

I, Jacob Lee, hereby declare:

That I possess advanced knowledge of the Japanese and English languages. The attached Japanese into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of JP 2006-093587 (A Murayama).

I declare that all statements made above of my own knowledge are true and that all statements made on information and belief are believed to be true. I have been warned and understand that willful false statements and the like are punishable by fine or imprisonment, or both, under § 1001 of Title 18 of the United States Code.

I declare (or certify, verify, or state) under penalty of perjury that the foregoing is true and correct.

Executed on Oct. 13, 2022 in Provo, Utah.
[city] [State]

Jacob Lee
[Jacob Lee]

Stacy Jensen
Notary Public



Notary Commission Expiry 9/24/2023

(12) Unexamined Patent Application Publication (A)

(19) Japan Patent Office (JP)

(11) Patent Application Publication No.

JP 2006-93587 A**(P2006-93587A)**(43) Publication Date: **Apr. 6, Heisei 18 (2006.4.6)**

(51) Int. Cl. (Reference)	FI	Theme Code
HO 1 L 27/146 (2006.01)	HO 1 L 27/14	A 4M118
HO 4 N 5/335 (2006.01)	HO 4 N 5/335	E 5C024
	HO 4 N 5/335	U

Examination Request: Not Made No. of Claims: 6OL (12 Pages Total)

(21) Filing No. JP 2004-279780 (P2004-279780)

(22) Filing Date Sep. 27, Heisei 16 (2004.9.27)

(71) Applicant 000002185

Sony Corp.
6-7-35 Kita Shinagawa, Shinagawa-
ku, Tokyo

(74) Agent 100122884

Yoshisue Tsunoda, Patent Attorney

(74) Agent 100113516

Hironobu Isoyama, Patent Attorney

(72) Inventor Yasushi Maruyama

c/o Sony Corp.
6-7-35 Kita Shinagawa, Shinagawa-
ku, Tokyo

F Terms (Ref.)

4M118	AA05	AB01	BA14	CA03	CA04
	CA32	EA01	EA14	FA06	FA26
	FA33	GA02	GC07	GD04	GD07
5C024	AX01	CX03	CX32	CY47	DX01
	EX43	GX24	GY01	GY31	HX01

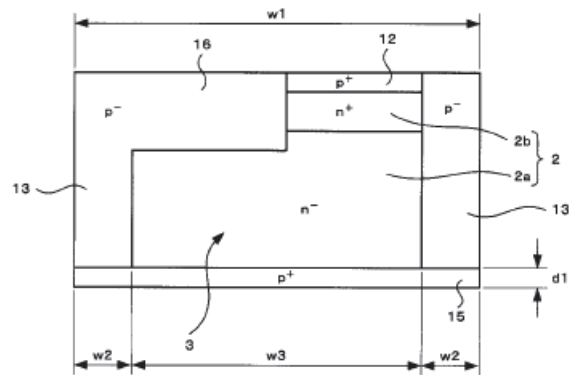
(54) [Title of Invention] Back-Illuminated Solid-State Imaging Device and Production Method Thereof

(57) [Abstract]

[Problem] The present invention provides a back-illuminated solid-state imaging device wherein no color mixing occurs even if a unit pixel is decreased in size and wherein dark-current generation in an accumulation layer is suppressed and also provides a production method of this back-illuminated solid-state imaging device.

[Resolution Means] In a back-illuminated solid-state imaging device 1 of the present invention, a photoelectric conversion unit 3 of each pixel is formed on a semiconductor substrate; a charge storage region, in the photoelectric conversion unit 3, and a device that performs a read operation of a signal charge are formed on a front side of the semiconductor substrate; a back side of the semiconductor substrate is the illuminated face; the photoelectric conversion unit 3 of each pixel is surrounded by accumulation layers, which are formed on both a surface and back face of the semiconductor substrate 2 and are of a different conductivity type than the photoelectric conversion unit 3, and a pixel separation region of the same conductivity type as the accumulation layers; and an impurity concentration of the accumulation layers is set to $1 \times 10^{17} \text{ cm}^{-3}$ to $1 \times 10^{19} \text{ cm}^{-3}$.

[Selected FIG.] FIG. 2



[Scope of Patent Claims]

[Claim 1]

A back-illuminated solid-state imaging device, wherein
a photoelectric conversion unit of each pixel is formed on a semiconductor substrate;
a charge storage region, in the photoelectric conversion unit, and a device that performs a read operation of a signal charge are formed on a front side of the semiconductor substrate;
a back side of the semiconductor substrate is the illuminated face;
the photoelectric conversion unit of each pixel is surrounded by accumulation layers, which are formed on both a surface and back face of the semiconductor substrate and are of a different conductivity type than the photoelectric conversion unit, and a pixel separation region of the same conductivity type as the accumulation layers; and
an impurity concentration of the accumulation layers is set to $1 \times 10^{17} \text{ cm}^{-3}$ to $1 \times 10^{19} \text{ cm}^{-3}$.

[Claim 2]

The back-illuminated solid-state imaging device of claim 1, wherein
the back-side accumulation layer has a junction depth from the back face of the semiconductor substrate of no greater than $0.4 \mu\text{m}$.

[Claim 3]

The back-illuminated solid-state imaging device of claim 1, wherein
the pixel separation region has a width of no greater than $2 \mu\text{m}$ and an impurity concentration of no less than $1 \times 10^{17} \text{ cm}^{-3}$.

[Claim 4]

The back-illuminated solid-state imaging device of claim 2, wherein
the pixel separation region has a width of no greater than $2 \mu\text{m}$ and an impurity concentration of no less than $1 \times 10^{17} \text{ cm}^{-3}$.

[Claim 5]

A production method of a back-illuminated solid-state imaging device, comprising:
a step of forming a back-side accumulation layer whose impurity concentration is $1 \times 10^{17} \text{ cm}^{-3}$ to $1 \times 10^{19} \text{ cm}^{-3}$ and whose junction depth from a back face is no greater than $0.4 \mu\text{m}$ by ion implantation from a back side—the illuminated face—of a semiconductor substrate whereon a photoelectric conversion unit of each pixel is formed; and
a step of activating the back-side accumulation layer by a laser light.

[Claim 6]

A production method of a back-illuminated solid-state imaging device, comprising:
a step of forming a back-side accumulation layer whose impurity concentration is $1 \times 10^{17} \text{ cm}^{-3}$ to $1 \times 10^{19} \text{ cm}^{-3}$ and whose junction depth from a back face is no greater than $0.4 \mu\text{m}$ by ion implantation from a back side—the illuminated face—of a semiconductor substrate whereon a photoelectric conversion unit of each pixel is formed; and
a step of activating the back-side accumulation layer by a heat treatment at a time of substrate affixing.

[Detailed Description of Invention]

[Field of Art]

[0001]

The present invention relates to a back-illuminated solid-state imaging device whereon light is incident from a substrate back side and to a production method of this back-illuminated solid-state imaging device.

[Background Art]

[0002]

As solid-state imaging devices, CMOS solid-state imaging devices and CCD solid-state imaging devices are known. For example, CMOS solid-state imaging devices form one pixel by a photodiode and a plurality of MOS transistors and are configured by arranging a plurality of pixels in a required pattern. This photodiode is a photoelectric transducer that generates and stores a signal charge according to a received light amount, and the plurality of MOS transistors is devices for performing an operation of reading the signal charge from the photodiode.

[0003]

FIG. 8 illustrates an example of a conventional back-illuminated CMOS solid-state imaging device applied

as an image sensor. FIG. 8 illustrates main portions of a pixel. The following components are represented in the unit pixel: a photodiode 53, a MOS transistor 54 that reads a signal charge from the photodiode 53, and another MOS transistor 55. This back-illuminated CMOS solid-state imaging device 51 forms, on a silicon semiconductor substrate 61 of a first conductivity type—for example, an n-type—a pixel separation region 62 for dividing the pixels. The photodiode 53 and the plurality of MOS transistors—that is, the read transistor 54 and the other MOS transistor 55—are formed in each divided pixel region, thereby configuring a unit pixel 60. A large number of these pixels 60 is then arranged in a two-dimensional matrix.

[0004]

10 The pixel separation region 62 is formed by a p-type semiconductor region of a second conductivity type having a relatively low impurity concentration from the front to the back of the substrate. The photodiode 53 is formed by the n-type semiconductor substrate 61, which is surrounded by the p-type pixel separation region 62 and by a relatively deep p-type semiconductor well region 63 formed by the MOS transistors 54, 55. That is, the photodiode 53 is formed by an n- semiconductor region 61A and an n+ semiconductor region (n+ region) 61B of a high impurity concentration on a front side of the n- semiconductor region 61A. This n+ region 61B is a charge storage region for storing, among electrons and holes generated by photoelectric conversion in the photodiode 3, a charge to serve as a signal—in this example, electrons. Moreover, a p+ semiconductor region 64 is formed on a surface of this n+ semiconductor region 61B.

[0005]

20 The MOS transistors 54, 55 are configured as follows. On a surface of the p-type semiconductor well region 63, n-type source/drain regions (n+ regions) 57, 58, 59 of a high impurity concentration are formed by ion implantation so as to be adjacent to the photodiode 53.

The read transistor 54 is constituted by the n-type source/drain region 57; the n+ region 61B, which also serves as a front-side source/drain region of the photodiode 53; and a gate electrode formed, via a gate insulating film, on a p- channel region 65 between the regions 57 and 61B. Moreover, the transistor 55 that is not the read transistor 54 is formed by the n-type source/drain regions 58 and 59, which form a pair, and a gate electrode 67 formed, via a gate insulating film, on the p-type semiconductor well region 63 between the regions 58 and 59.

30 Moreover, a p+ accumulation layer 68 made of a p-type semiconductor region of a high impurity concentration for suppressing dark-current generation is formed on the back-illuminated face of the n-type semiconductor substrate 61.

[0006]

In this back-illuminated solid-state imaging device 51, light becomes incident on the photodiode 53 from a back side of the semiconductor substrate 61. This undergoes photoelectric conversion in the photodiode 53, and a signal charge according to a received light amount is stored in the n+ region 61B. The signal charge of the n+ region 61B is then read by a read operation of the MOS transistors 54, 55.

[0007]

Patent literature 1 discloses the back-illuminated solid-state imaging device described above (see patent literature 1, FIG. 4).

40 [Patent Literature 1] JP 2003-31785 A

[Disclosure of Invention]

[Problem to Be Solved by Invention]

[0008]

50 Solid-state imaging devices need to narrow a pixel pitch between pixels in order to increase a pixel count—that is, to decrease a unit-pixel size. In the above back-illuminated solid-state imaging device as well, the pixel separation region tends to narrow as a unit-pixel size decreases. Because the pixel separation region is provided so the charge photoelectrically converted in each unit pixel does not leak to an adjacent pixel, narrowing this pixel separation region in conjunction with unit-pixel size reduction gives rise to charge leakage into an adjacent pixel and causes color mixing. As such, this pixel separation region cannot be simply narrowed.

Moreover, the semiconductor regions 64, 68 are formed on a surface and back face of the pixel, but unless these are formed according to optimal concentration conditions, dark-current generation arising from a

silicon interface increases, worsening an image-quality S/N.

[0009]

In view of the above, the present invention provides a back-illuminated solid-state imaging device wherein no color mixing occurs even if a unit pixel is decreased in size and wherein dark-current generation in an accumulation layer is suppressed and also provides a production method of this back-illuminated solid-state imaging device.

[Means for Solving Problem]

[0010]

10 In a back-illuminated solid-state imaging device of the present invention, a photoelectric conversion unit of each pixel is formed on a semiconductor substrate; a charge storage region, in the photoelectric conversion unit, and a device that performs a read operation of a signal charge are formed on a front side of the semiconductor substrate; a back side of the semiconductor substrate is the illuminated face; the photoelectric conversion unit of each pixel is surrounded by accumulation layers, which are formed on both a surface and back face of the semiconductor substrate and are of a different conductivity type than the photoelectric conversion unit, and a pixel separation region of the same conductivity type as the accumulation layers; and an impurity concentration of the accumulation layers is set to $1 \times 10^{17} \text{ cm}^{-3}$ to $1 \times 10^{19} \text{ cm}^{-3}$.

[0011]

20 Preferably, the back-side accumulation layer has a junction depth from the back face of the semiconductor substrate of no greater than $0.4 \text{ }\mu\text{m}$. Preferably, the pixel separation region has a width of no greater than $2 \text{ }\mu\text{m}$ and an impurity concentration of no less than $1 \times 10^{17} \text{ cm}^{-3}$.

[0012]

A production method of a back-illuminated solid-state imaging device of the present invention has: a step of forming a back-side accumulation layer whose impurity concentration is $1 \times 10^{17} \text{ cm}^{-3}$ to $1 \times 10^{19} \text{ cm}^{-3}$ and whose junction depth from a back face is no greater than $0.4 \text{ }\mu\text{m}$ by ion implantation from a back side—the illuminated face—of a semiconductor substrate whereon a photoelectric conversion unit of each pixel is formed; and a step of activating the back-side accumulation layer by a laser light.

[0013]

30 A production method of a back-illuminated solid-state imaging device of the present invention has: a step of forming a back-side accumulation layer whose impurity concentration is $1 \times 10^{17} \text{ cm}^{-3}$ to $1 \times 10^{19} \text{ cm}^{-3}$ and whose junction depth from a back face is no greater than $0.4 \text{ }\mu\text{m}$ by ion implantation from a back side—the illuminated face—of a semiconductor substrate whereon a photoelectric conversion unit of each pixel is formed; and a step of activating the back-side accumulation layer by a heat treatment at a time of substrate affixing.

[Effects of Invention]

[0014]

40 According to the back-illuminated solid-state imaging device of the present invention, the photoelectric conversion unit has a configuration of being surrounded by the front and back accumulation layers of the conductivity type different than the photoelectric conversion unit and by the pixel separation region of the same conductivity type. As such, a unit pixel can be decreased in size without causing color mixing. Moreover, by providing the impurity concentration of the accumulation layers to be no less than $1 \times 10^{17} \text{ cm}^{-3}$, dark-current generation from an interface of the photoelectric conversion unit can be suppressed, and by setting this to be no greater than $1 \times 10^{19} \text{ cm}^{-3}$, crystallinity disruptions can be avoided. Therefore, a dark current is low, and an image quality (S/N) can be improved.

By forming the back-side accumulation layer so the junction depth from the back face of the semiconductor substrate is no greater than $0.4 \text{ }\mu\text{m}$, in imaging a color image, blue light having a short wavelength can pass through the back-side accumulation layer, become incident on the photoelectric conversion unit, and be photoelectrically converted. Therefore, blue-light sensitivity can be ensured, and a color image of a favorable image quality can be obtained.

50 By forming the pixel separation region so its width is no greater than $2 \text{ }\mu\text{m}$ and its impurity concentration is no less than $1 \times 10^{17} \text{ cm}^{-3}$, a pixel pitch can be further decreased in size while preventing diffusion of a photoelectrically converted signal charge into an adjacent pixel—that is, while preventing color mixing.

[0015]

According to the production method of a back-illuminated solid-state imaging device of the present invention, the back-side accumulation layer is formed by ion implantation from the back side—the illuminated face—of the semiconductor substrate whereon the photoelectric conversion unit of each pixel is

formed. As such, a back-side accumulation layer having an impurity concentration of $1 \times 10^{17} \text{ cm}^{-3}$ to $1 \times 10^{19} \text{ cm}^{-3}$ and a junction depth from the back face of no greater than $0.4 \mu\text{m}$ can be formed with precision.

When the ion-implanted accumulation layer is activated by the laser light, the accumulation layer can be activated without adversely affecting other components. Moreover, when the ion-implanted accumulation layer is activated by a heat treatment due to substrate affixing at a time of production, a separate activating step is omitted, which can simplify the production process.

[Preferred Embodiments of Invention]

[0016]

Embodiments of the present invention are described below with reference to the drawings.

10 [0017]

FIG. 1 is a schematic configuration view illustrating one embodiment wherein a back-illuminated solid-state imaging device of the present invention is applied as a back-illuminated CMOS solid-state imaging device.

A back-illuminated solid-state imaging device 1 of the present embodiment forms a pixel separation region 13, made of a semiconductor region of a second conductivity type, on a silicon semiconductor substrate 2 of a first conductivity type. The back-illuminated solid-state imaging device 1 is configured by forming a photodiode 3, which serves as a photoelectric conversion unit, and devices for performing an operation of reading a signal charge stored in this photodiode 3—that is, a required number of MOS transistors Tr—in each pixel region divided by this pixel separation region 13. 20 is a unit pixel. The pixel separation region 13 is formed in a depth direction, from a surface to a back face of the substrate 2. An accumulation layer (charge storage layer) 12 of the second conductivity type for suppressing dark-current generation is formed at an interface of the photodiode 3 on a front side of the semiconductor substrate 2. Likewise, an accumulation layer (charge storage layer) 15 of the second conductivity type for suppressing dark-current generation is formed at an interface of the photodiode 3 on a back side of the semiconductor substrate 2. The photodiode 3 of each pixel is surrounded by these front- and back-side accumulation layers 12, 15 and left and right pixel separation regions 13.

20

[0018]

A gate electrode 8 of the MOS transistor Tr is formed on the surface of the substrate 2. Above the gate electrode 8 and via an interlayer insulating film 26, a wiring region 24 wherein multiple wiring layers 24a are provided is formed. Moreover, a support substrate 25 is formed above this wiring region 24. As the support substrate 25, a substrate of any material can be used as long as a thin semiconductor substrate can be supported. However, it is preferable to use, for example, a silicon substrate.

30

Meanwhile, an on-chip color filter 22 is formed, via an insulating protective film 17 or without the insulating protective film 17, on the accumulation layer 15 on the back side of the semiconductor substrate 2, and on-chip lenses 21 are formed on this color filter 22 so as to correspond to each pixel 20. In this CMOS back-illuminated solid-state imaging device 1, light L is irradiated from the back of the substrate to the photodiode 3 through the on-chip lens 21.

[0019]

Here, details of the back-illuminated CMOS solid-state imaging device 1 of the present invention are described.

40

FIG. 2 is a sectional configuration view illustrating main portions of the unit pixel of the back-illuminated solid-state imaging device of the present embodiment.

50

This embodiment is applied as a back-illuminated CMOS solid-state imaging device wherein a pixel region and a pixel pitch are decreased in size. In the present embodiment, the pixel separation region 13, made of a semiconductor region of the p-type—the second conductivity type—is formed so as to divide each pixel region of the silicon semiconductor substrate 2, which is of the n-type—the first conductivity type. A width w2 of this pixel separation region 13 is formed to be no greater than $2 \mu\text{m}$. An impurity concentration of the p-type pixel separation region 13 is no less than $1 \times 10^{17} \text{ cm}^{-3}$. Here, the p-type pixel separation region 13 has its impurity concentration set relative to the width w2 of the pixel separation region to prevent the signal charge generated in the photodiode 3 from diffusing to the photodiode 3 of an adjacent pixel. That is, as the width w2 is narrowed, the impurity concentration is raised. However, when the impurity concentration is raised too high, crystal defects due to lattice distortion can no longer be ignored. As such, $1 \times 10^{19} \text{ cm}^{-3}$ or less can be adopted as a practical range of the impurity concentration. Because there is an upper limit to the impurity concentration because of crystal defects due to lattice distortion, a lower limit of the width W2 is also restricted. The lower limit of the width W2 is a value that prevents charge leakage into an adjacent pixel at an allowed impurity dosage whereat crystal defects can be

ignored.

When a distance w_1 between the left and right pixel separation regions 13, which interpose the n-type semiconductor region constituting the photodiode 3, is no greater than $10\text{ }\mu\text{m}$ —for example, $5\text{ }\mu\text{m}$ —an effective width w_3 of the photodiode 3 is $w_1 - 2w_2$. For example, if the width w_2 of the pixel separation region 13 is $0.5\text{ }\mu\text{m}$, the effective width w_3 of the photodiode 3 is $4\text{ }\mu\text{m}$.

[0020]

The photodiode 3 serving as the photoelectric conversion unit is formed by the n-type semiconductor substrate 2 surrounded by the p-type pixel separation regions 13. The photodiode 3 is formed by an n-semiconductor region 2a and by an n+ semiconductor region 2b of a high impurity concentration on a front side of the n- semiconductor region 2a. A p-type semiconductor region 16 is formed on the surface of the n semiconductor substrate 2 so as to extend to the p-type pixel separation region 13. Although not illustrated, the MOS transistors are formed here. On the back side of the n-type semiconductor substrate 2, the back-side p+ accumulation layer 15 that suppresses a dark current is formed. Moreover, on the front side of the n-type semiconductor substrate 2, the front-side p+ accumulation layer 12 that suppresses a dark current is formed. An impurity concentration of the front- and back-side p+ accumulation layers 12 and 15 is set to $1 \times 10^{17}\text{ cm}^{-3}$ or more and $1 \times 10^{19}\text{ cm}^{-3}$ or less. Moreover, the back-side accumulation layer 15 is formed so a junction depth d_1 from a back face is no greater than $0.4\text{ }\mu\text{m}$. A lower limit of this junction depth depends on the impurity concentration of the accumulation layer 15 but is at least a value that can suppress dark-current generation.

[0021]

According to the back-illuminated CMOS solid-state imaging device 1 of the present embodiment, the photodiode 3 serving as the photoelectric conversion unit has a configuration of being surrounded by the front and back p+ accumulation layers 12, 15 and the p-type pixel separation region 13. As such, the unit pixel can be decreased in size without causing color mixing. By forming the back-side p+ accumulation layer 15 at an effective depth wherein the junction depth d_1 from the back face of the semiconductor substrate is $0.4\text{ }\mu\text{m}$, in imaging a color image, blue light having a short wavelength can pass through the back-side p+ accumulation layer 15, become incident on the photodiode 3, and be photoelectrically converted. Therefore, blue-light sensitivity can be ensured, and a color image of a favorable image quality can be obtained.

By forming the p-type pixel separation region 13 so its width w_2 is no greater than $2\text{ }\mu\text{m}$ and its impurity concentration is no less than $1 \times 10^{17}\text{ cm}^{-3}$, the pixel pitch—in FIG. 2, the width w_1 —can be decreased in size while preventing diffusion of the photoelectrically converted signal charge into an adjacent pixel—that is, while preventing color mixing. By making the impurity concentration of the back-side p+ accumulation layer 15 no less than $1 \times 10^{17}\text{ cm}^{-3}$, a dark current can be suppressed. Moreover, by making this no greater than $1 \times 10^{19}\text{ cm}^{-3}$, a crystallinity is not disrupted. Therefore, more dark-current suppression can be provided, and an image quality (S/N) can be improved.

[0022]

FIG. 3 and FIG. 4 are process diagrams illustrating one embodiment of a production method of a pixel portion of the back-illuminated solid-state imaging device 1 of the present invention.

As illustrated in FIG. 3A, an SOI substrate 30 made by stacking an n-type semiconductor layer 2 (corresponding to the semiconductor substrate 2 in FIG. 2) made of silicon on an n-type semiconductor substrate 32 made of silicon, a silicon oxide film 31 being interposed therebetween, is prepared. In the present example, a film thickness of the n-type semiconductor layer, which will later form the photodiode 3, is no greater than $10\text{ }\mu\text{m}$, and an SOI substrate 30 whose overall thickness is $725\text{ }\mu\text{m}$ is used.

[0023]

Next, as illustrated in FIG. 3B, the semiconductor layer 2 of the SOI substrate is thinned by, for example, mechanical polishing and chemical etching alone or by chemical mechanical polishing (CMP). In one layer in the SOI substrate 30—the n-type semiconductor layer 2—a photodiode 3 to serve as a pixel is formed. This photodiode 3 is formed by the n-type semiconductor region 2a and the n+ semiconductor region 2b of the high impurity concentration on the front side of the n-type semiconductor region 2a. Although not illustrated, the pixel separation region 13 of the p-type that is the second conductivity type is formed by ion implantation so as to surround the photodiode 3 to serve as a pixel. The width w_2 of the pixel separation region 13 in the present example is no greater than $2\text{ }\mu\text{m}$. Although not illustrated, the front-side p+ accumulation layer 12 is

formed by ion implantation and activated.

[0024]

Next, although not illustrated, the plurality of MOS transistors is formed in the p-type semiconductor region formed on the front side of the n-type semiconductor layer 2 having the photodiode 3. Moreover, as illustrated in FIG. 3C, the wiring region 24 is formed by stacking the wiring layers 24a, the interlayer insulating film 26, and an insulating protective film (not illustrated) on the SOI substrate 30. For example, as the MOS transistors, a read transistor, a reset transistor, an amp transistor, and a vertical selection transistor are formed.

[0025]

10 Next, as illustrated in FIG. 3D, the support substrate 25 is affixed on the wiring region 24 at a low temperature. The temperature whereat the support substrate 25 of the present example is affixed on the wiring region 24 is no greater than 400°C because the affixing is performed after the wiring layer 24a is formed. Moreover, as an adhesion method of the affixing, it is also possible to perform affixing by using a silicon oxide film, and it is also possible to perform joining by using a thermoplastic resin, SOG (spin-on glass), metal joining, or the like.

[0026]

20 Next, as illustrated in FIG. 3E, the substrate wherein the support substrate 25 is affixed to the wiring region 25 is flipped upside down. Here, a configuration is such that the support substrate 25 is the bottom layer and the wiring region 24, the n-type semiconductor substrate 2, the silicon oxide film 31, and the n-type semiconductor substrate 32 are stacked in this order.

[0027]

30 Next, as illustrated in FIG. 4A, another layer in the SOI substrate 30 that is the top layer—the n-type semiconductor substrate 32—is removed by mechanical polishing, chemical mechanical polishing (CMP), an etching treatment, or the like. Next, the back-side p+ accumulation layer 15 is formed from the back side by using ion implantation. At this time, ion implantation is performed in the p+ accumulation layer 15 so a p-type impurity concentration is $1 \times 10^{17} \text{ cm}^{-3}$ to $1 \times 10^{19} \text{ cm}^{-3}$. Moreover, by activating the back-side p+ accumulation layer 15 using a laser light, a p+ accumulation layer 15 of a junction depth of no greater than 0.4 μm is formed. Afterward, the silicon oxide film 31 is removed by etching. Alternatively, after removing the silicon oxide film 31 by etching and forming a reflection-preventing film / protective film (not illustrated), ion implantation and a laser light may be used to activate the back-side p+ accumulation layer 15.

[0028]

Next, as illustrated in FIG. 4B, by forming the color filter 22, the on-chip microlens 21, a reflection-preventing film or an insulating protective film (not illustrated), an electrode pad (not illustrated), and the like on a back-side pixel 20 region, the back-illuminated CMOS solid-state imaging device 1 is completed.

[0029]

40 According to the production method of the back-illuminated CMOS solid-state imaging device 1 of the present embodiment, the back-illuminated CMOS solid-state imaging device illustrated in FIG. 1 and FIG. 2 wherein the pixel region and the pixel pitch are decreased in size can be produced. In particular, because the photodiode 3 is formed, the p+ accumulation layer 15 is formed by ion implantation after the n-type semiconductor substrate 32 is polished from the back side, and activation is performed using a laser light, a back-side p+ accumulation layer 15 whose impurity concentration is no less than $1 \times 10^{17} \text{ cm}^{-3}$ and whose junction depth is no greater than 0.4 μm can be formed precisely and without significantly increasing a number of processes.

[0030]

FIG. 5 and FIG. 6 are process diagrams illustrating another embodiment of a production method of the pixel portion of the back-illuminated solid-state imaging device 1 of the present invention.

[0031]

50 As illustrated in FIG. 5A, the SOI substrate 30 made by stacking the n-type semiconductor layer 2 (corresponding to the semiconductor substrate 2 in FIG. 2) made of silicon on the n-type semiconductor substrate 32 made of silicon, the silicon oxide film 31 being interposed therebetween, is prepared. In the present example, a film thickness of the n-type semiconductor layer, which will later form the photodiode 3,

is no greater than 10 μm , and an SOI substrate 30 whose overall thickness is 725 μm is used.

[0032]

Next, as illustrated in FIG. 5B, in one layer in the SOI substrate 30—the n-type semiconductor layer 2—the photodiode 3 to serve as a pixel is formed. This photodiode 3 is formed by the n-type semiconductor region 2a and the n⁺ semiconductor region 2b of the high impurity concentration on the front side of the n-type semiconductor region 2a. Although not illustrated, the pixel separation region 13 of the p-type that is the second conductivity type is formed by ion implantation so as to surround the photodiode 3 to serve as a pixel. The width w2 of the pixel separation region 13 in the present example is no greater than 2 μm . Although not illustrated, the front-side p⁺ accumulation layer 12 is formed by ion implantation and activated. By performing ion implantation on the face that will later be the back side, a p⁺ accumulation layer 15 whose p-type impurity concentration is $1 \times 10^{17} \text{ cm}^{-3}$ to $1 \times 10^{19} \text{ cm}^{-3}$ and whose junction depth w2 from the back face is no greater than 0.4 μm is formed.

[0033]

Next, as illustrated in FIG. 5C, a first support substrate 35 having a silicon oxide film 36 is affixed at a high temperature on the semiconductor layer 2 having the p⁺ accumulation layer 15 that will later be the back side. The p⁺ accumulation layer 15 is activated by a heat treatment at a time of this affixing.

[0034]

Next, as illustrated in FIG. 5D, the entire substrate is flipped so the first support substrate 35 is the bottom layer and the other layer in the SOI substrate 30—the n-type semiconductor substrate 32—is the top layer.

[0035]

Next, as illustrated in FIG. 5E, the other layer in the SOI substrate 30—the n-type semiconductor substrate 32—and the silicon oxide film 31 are peeled off, leaving the n-type semiconductor layer 2 wherein the photodiode 3 is formed and the first support substrate 35. By performing polishing, chemical mechanical polishing (CMP), and a wet-etching treatment on the surface of the n-type semiconductor layer 2 that is the front side, the n-type semiconductor substrate 2 is formed to a required thickness.

[0036]

Next, the plurality of MOS transistors is formed in the p-type semiconductor region formed on the surface of the n-type semiconductor layer 2 having the photodiode 3. Moreover, as illustrated in FIG. 5F, the wiring region 24 is formed by stacking the wiring layers 24a, the interlayer insulating film 26, and a protective film (not illustrated) on the semiconductor layer 2. As the MOS transistors, for example, a read transistor, a reset transistor, an amp transistor, and a vertical selection transistor are formed.

[0037]

Next, as illustrated in FIG. 6A, a second support substrate 25 having a silicon oxide film 28 to serve as an adhesive layer is affixed at a low temperature on the wiring region 24. The temperature whereat the support substrate 25 of the present example is affixed on the wiring region 24 is no greater than 400°C because the affixing is performed after the wiring layer 24a is formed. Moreover, as an adhesion method of the affixing, as above, it is also possible to perform affixing by using a silicon oxide film, and it is also possible to perform joining by using a thermoplastic resin, SOG (spin-on glass), metal joining, or the like.

[0038]

Next, as illustrated in FIG. 6B, the substrate is flipped so the first support substrate 35 is the top layer and the second support substrate 25 is the bottom layer. Here, starting from the bottom layer, the stacking is in an order of the second support substrate 25, the wiring region 24, the n-type semiconductor substrate 2, and the first support substrate 35.

[0039]

Next, as illustrated in FIG. 6C, the first support substrate 35 having the silicon oxide film 36 is peeled off. Moreover, by subjecting the back-side n-type semiconductor layer 2 to polishing, chemical mechanical polishing (CMP), and wet etching, a required thickness of the n-type semiconductor layer 2 is formed.

[0040]

Next, as illustrated in FIG. 6D, a reflection-preventing film 37, an electrode pad (not illustrated), the color filter 22, the on-chip microlens 21, and the like are formed, thereby completing the back-illuminated solid-state imaging device 1.

[0041]

According to the production method of the back-illuminated solid-state imaging device 1 of the present

embodiment, the back-illuminated CMOS solid-state imaging device illustrated in FIG. 1 and FIG. 2 wherein the pixel region and the pixel pitch are decreased in size can be produced. In particular, because the photodiode 3 is formed, the p+ accumulation layer 15 is formed by ion implantation after the n-type semiconductor substrate 32 is polished from the back side, and activation is performed by a heat treatment of affixing the substrate, a back-side p+ accumulation layer 15 whose impurity concentration is no less than $1 \times 10^{17} \text{ cm}^{-3}$ and whose junction depth is no greater than $0.4 \mu\text{m}$ can be formed precisely and without adding a process only for activation.

[0042]

10 In the above example, the present invention is applied as a CMOS solid-state imaging device. However, in addition to this, the present invention can also be applied as a back-illuminated CCD solid-state imaging device wherein a charge storage region of a photodiode, which serves as a photoelectric conversion unit, and a vertical transfer register are formed on a substrate front side; a support substrate is affixed on a frontmost side; and an accumulation layer is had on a back-side interface of the photodiode facing a substrate back face.

[0043]

In the present invention, an electronic-device module or a camera module can be configured by incorporating the above back-illuminated semiconductor device 1.

FIG. 7 is a configuration view of one embodiment of an electronic-device module or camera module of the present invention.

20 In an electronic-device module or camera module 40 of the present embodiment, the module is formed by incorporating into one module the back-illuminated solid-state imaging device 1 (or 35 or a combination of both), an optical lens system 41, an input/output unit 42, a signal processing device (digital signal processor) 43, and a central processing device (CPU) 44 for controlling the optical lens system. Moreover, as an electronic-device module or camera module 45, a module can be formed by the back-illuminated solid-state imaging device 1, the optical lens system 41, and the input/output unit 42 alone. An electronic-device module or camera module 46 provided with the back-illuminated solid-state imaging device 1, the optical lens system 41, the input/output unit 42, and the signal processing device (digital signal processor) 43 can be configured.

[Brief Description of Drawings]

30 [0044]

[FIG. 1] A configuration view illustrating one embodiment of a back-illuminated solid-state imaging device of the present invention.

[FIG. 2] A sectional view illustrating main portions of the back-illuminated solid-state imaging device of the present invention.

[FIG. 3] A to E: Sectional views illustrating one embodiment of a production method of the back-illuminated solid-state imaging device of the present invention (part 1).

[FIG. 4] A to B: Sectional views illustrating one embodiment of a production method of the back-illuminated solid-state imaging device of the present invention (part 2).

40 [FIG. 5] A to F: Sectional views illustrating another embodiment of a production method of the back-illuminated solid-state imaging device of the present invention (part 1).

[FIG. 6] A to D: Sectional views illustrating another embodiment of a production method of the back-illuminated solid-state imaging device of the present invention (part 2).

[FIG. 7] A configuration view of an electronic-device module using the back-illuminated solid-state imaging device of the present invention.

[FIG. 8] A configuration view illustrating a conventional back-illuminated solid-state imaging device.

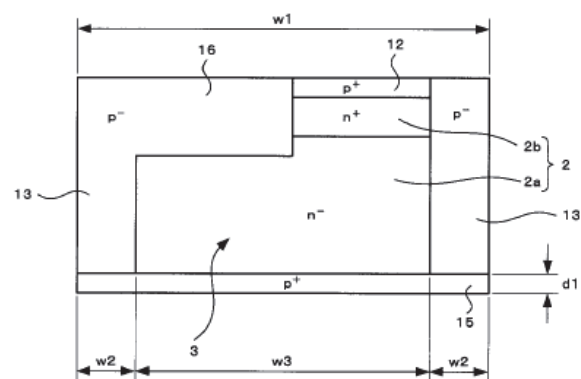
[Description of Reference Signs]

[0045]

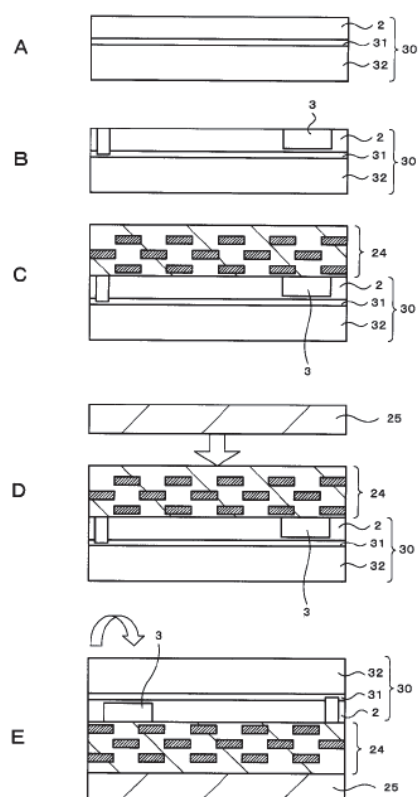
50 1 ... back-illuminated solid-state imaging device; 2 ... semiconductor substrate; 3 ... photodiode; 8 ... gate electrode; 13 ... pixel separation region; 12, 15 ... p+ accumulation layer; 16 ... p-type semiconductor well region; 17 ... insulating protective film; 20 ... unit pixel; 21 ... on-chip lens; 22 ... on-chip color filter; 24 ... wiring region; 24a ... wiring layer; 25, 35 ... support substrate; 26 ... interlayer insulating film; 30 ... SOI substrate; 28, 31, 36 ... silicon oxide film; 32 ... n-type semiconductor substrate; 51 ... back-illuminated solid-state imaging device; 53 ... photodiode; 54 ... read transistor; 55 ... MOS transistor; 57, 58, 59 ... drain region (n+ region); 60 ... unit pixel; 61 ... n-type silicon semiconductor substrate; 61A ... n semiconductor region (region); 61B ...

30

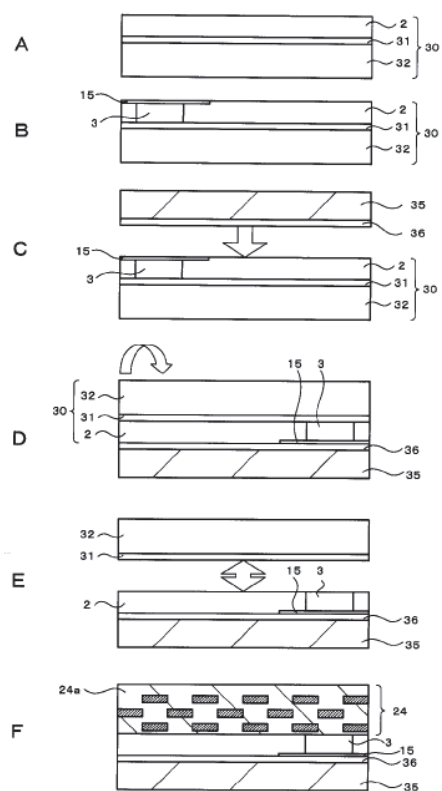
[FIG. 2]



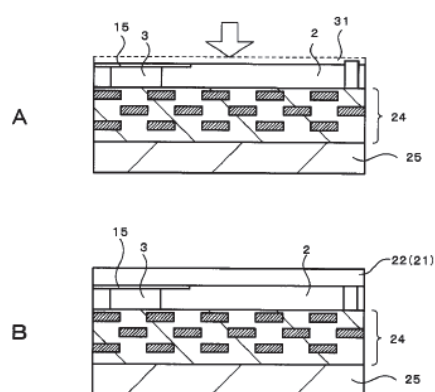
[FIG. 3]



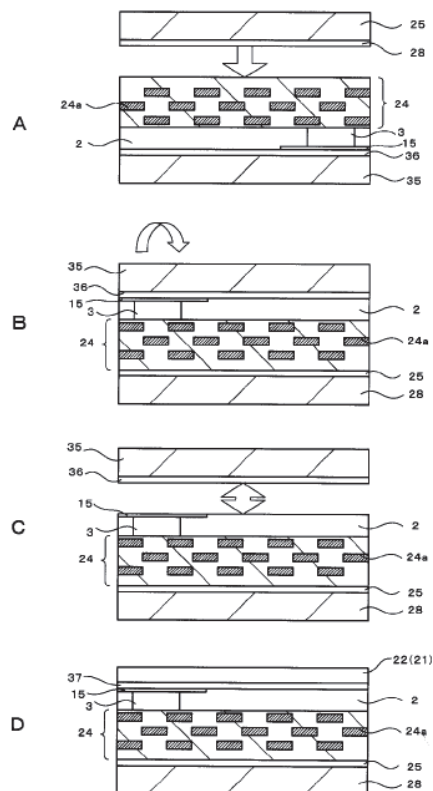
[FIG. 5]



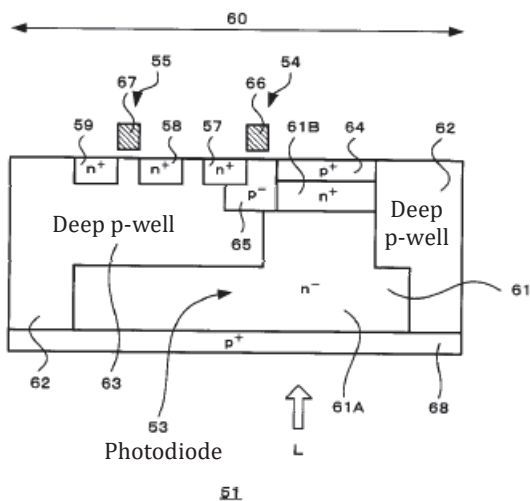
[FIG. 4]



[FIG. 6]



[FIG. 8]



【特許請求の範囲】

【請求項 1】

半導体基板に各画素の光電変換部が形成され、
 前記半導体基板の表面側に前記光電変換部における電荷蓄積領域及び信号電荷の読出し動作を行う素子が形成され、
 前記半導体基板の裏面側を光照射面となされ、
 前記各画素の光電変換部が、前記半導体基板の表裏両面に形成され前記光電変換部と異なる導電型のアキュムレーション層と、該アキュムレーション層と同導電型の画素分離領域とに囲まれ、
 前記アキュムレーション層の不純物濃度が、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ に設定されて成る
 ことを特徴とする裏面照射型固体撮像素子。 10

【請求項 2】

前記裏面側のアキュムレーション層は、前記半導体基板の裏面からの接合深さが $0.4 \mu\text{m}$ 以下である
 ことを特徴とする請求項 1 記載の裏面照射型固体撮像素子。

【請求項 3】

前記画素分離領域は、幅が $2 \mu\text{m}$ 以下で且つ不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上
 ことを特徴とする請求項 1 記載の裏面照射型固体撮像素子。

【請求項 4】

前記画素分離領域は、幅が $2 \mu\text{m}$ 以下で且つ不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上
 ことを特徴とする請求項 2 記載の裏面照射型固体撮像素子。 20

【請求項 5】

各画素の光電変換部が形成された半導体基板の光照射面となる裏面側からイオン注入により不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ で且つ裏面からの接合深さが $0.4 \mu\text{m}$ 以下の裏面側アキュムレーション層を形成する工程と、
 前記裏面側アキュムレーション層をレーザ光によって活性化する工程を有する
 ことを特徴とする裏面照射型固体撮像素子の製造方法。

【請求項 6】

各画素の光電変換部が形成された半導体基板の光照射面となる裏面側からイオン注入により不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ で且つ裏面からの接合深さが $0.4 \mu\text{m}$ 以下の裏面側アキュムレーション層を形成する工程と、
 前記裏面側アキュムレーション層を、基板貼り合せ時の熱処理によって活性化する工程を有する
 ことを特徴とする裏面照射型固体撮像素子の製造方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板裏面側から光を入射させるようにした裏面照射型固体撮像素子及びその製造方法に関する。 40

【背景技術】

【0002】

固体撮像素子として、CMOS型固体撮像素子及びCCD型固体撮像素子が知られている。例えばCMOS型固体撮像素子は、フォトダイオードと複数のMOSトランジスタとにより1画素を形成し、複数の画素を所要のパターンに配列して構成される。このフォトダイオードは、受光量に応じた信号電荷を生成し蓄積する光電変換素子であり、複数のMOSトランジスタはフォトダイオードからの信号電荷の読み出し動作を行うための素子である。

【0003】

図8に、イメージセンサに適用した従来の裏面から光照射するCMOS型固体撮像素子 50

の例を示す。図8は、画素の要部を示している。単位画素ではフォトダイオード53と、フォトダイオード53からの信号電荷を読み出すMOSトランジスタ54と、それ以外のMOSトランジスタ55の構成部分を表している。この裏面照射型のCMOS固体撮像素子51は、第1導電型、例えばn型のシリコン半導体基板61に各画素を区画するための画素分離領域62を形成し、各区画された画素領域にフォトダイオード53と複数のMOSトランジスタ、すなわち読み出しトランジスタ54、それ以外のMOSトランジスタ55が形成されて単位画素60が構成される。そして、この画素60が多数個、2次元マトリックス状に配列される。

【0004】

画素分離領域62は、基板表面から基板裏面にわたって比較的に低不純物濃度の第2導電型であるp型半導体領域により形成される。フォトダイオード53は、p型の画素分離領域62と各MOSトランジスタ54、55が形成される比較的に深いp型半導体ウェル領域63とにより囲まれたn型半導体基板61で形成される。すなわちフォトダイオード53は、n-半導体領域61Aとその表面側の高不純物濃度のn+半導体領域(n+領域)61Bとにより形成される。このn+領域61Bは、フォトダイオード3内で光電変換により生成された電子・正孔のうち信号となる電荷、この例では電子を蓄積するための電荷蓄積領域となる。さらに、このn+半導体領域61Bの表面にp+半導体領域64が形成される。

【0005】

各MOSトランジスタ54、55は、次のようにして構成される。p型半導体ウェル領域63の表面には、フォトダイオード53に隣接するように、高不純物濃度のn型ソース・ドレイン領域(n+領域)57、58、59がイオン注入により形成される。

読み出しトランジスタ54は、n型ソース・ドレイン領域57と、フォトダイオード53の表面側のソース・ドレイン領域を兼ねるn+領域61Bと、両領域57及び61B間のp-チャネル領域65上にゲート絶縁膜を介して形成したゲート電極とにより構成される。また、読み出しトランジスタ54以外のトランジスタ55は、対をなすn型ソース・ドレイン領域58及び59と、両領域58及び59間のp型半導体ウェル領域63上にゲート絶縁膜を介して形成したゲート電極67とにより形成される。

また、n型半導体基板61の光照射面となる裏面には、暗電流の発生を抑制するための高不純物濃度のp型半導体領域よりなるp+アキュムレーション層68が形成される。

【0006】

この裏面照射型固体撮像素子51は、半導体基板61の裏面側から光をフォトダイオード53に入射し、フォトダイオード53において光電変換して受光量に応じた信号電荷をn+領域61Bに蓄積するようにしている。そして、各MOSトランジスタ54、55の読み出し動作によってn+領域61Bの信号電荷が読み出される。

【0007】

特許文献1には、上述した裏面照射型固体撮像素子が開示されている(特許文献1、図4参照)。

【特許文献1】特開2003-31785号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

固体撮像素子は、多画素化、すなわち単位画素の微細化を進めるため、画素間の画素ピッチを狭める必要がある。上述のような裏面照射型固体撮像素子でも、単位画素の微細化に伴って画素分離領域も狭くなる傾向にある。各単位画素で光電変換された電荷が隣り合う画素に漏れないように画素分離領域を設けているため、微細化に伴って、この画素分離領域を狭くしてしまうと、隣り合う画素に電荷漏れを生じ混色の原因となるため単に狭くすることはできない。

さらに、画素の表裏面には、半導体領域64、68が形成されているが、最適な濃度条件で形成しないと、シリコン界面から発生する暗電流の発生が多くなり、画質のS/Nが

10

20

30

40

50

悪化してしまう。

【0009】

本発明は、上述の点に鑑み、単位画素を微細化しても混色することなく、また、アキュムレーション層での暗電流の発生を抑えた裏面照射型固体撮像素子及びその製造方法を提供するものである。

【課題を解決するための手段】

【0010】

本発明の裏面照射型固体撮像素子は、半導体基板に各画素の光電変換部が形成され、前記半導体基板の表面側に前記光電変換部における電荷蓄積領域及び信号電荷の読出し動作を行う素子が形成され、前記半導体基板の裏面側を光照射面となされ、前記各画素の光電変換部が、前記半導体基板の表裏両面に形成され前記光電変換部と異なる導電型のアキュムレーション層と、該アキュムレーション層と同導電型の画素分離領域とに囲まれ、前記アキュムレーション層の不純物濃度が、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ に設定されて成ることを特徴とする。

10

【0011】

前記裏面側のアキュムレーション層は、前記半導体基板の裏面からの接合深さが $0.4 \mu\text{m}$ 以下であることが好ましい。前記画素分離領域は、幅が $2 \mu\text{m}$ 以下で且つ不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることが好ましい。

【0012】

本発明の裏面照射型固体撮像素子の製造方法は、各画素の光電変換部が形成された半導体基板の光照射面となる裏面側からイオン注入により不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ で且つ裏面からの接合深さが $0.4 \mu\text{m}$ 以下の裏面側アキュムレーション層を形成する工程と、前記裏面側アキュムレーション層をレーザ光によって活性化する工程を有することを特徴とする。

20

【0013】

本発明の裏面照射型固体撮像素子の製造方法は、各画素の光電変換部が形成された半導体基板の光照射面となる裏面側からイオン注入により不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ で且つ裏面からの接合深さが $0.4 \mu\text{m}$ 以下の裏面側アキュムレーション層を形成する工程と、前記裏面側アキュムレーション層を、基板貼り合せ時の熱処理によって活性化する工程を有することを特徴とする。

30

【発明の効果】

【0014】

本発明の裏面照射型固体撮像素子によれば、光電変換部が表裏面の光電変換部と異なる導電型のアキュムレーション層と同導電型の画素分離領域で囲まれた構成であるので、混色を発生させることなく単位画素を微細化することができる。また、アキュムレーション層の不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以上に設けることにより、光電変換部の界面からの暗電流の発生を抑制することができ、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下に設定することにより結晶性の乱れを回避することができる。したがって、暗電流が少なく、画質(S/N)を向上することができる。

裏面側のアキュムレーション層を、半導体基板の裏面からの接合深さが $0.4 \mu\text{m}$ 以下で形成することにより、カラー画像の撮像において、波長の短い青光を裏面側アキュムレーション層を透過して光電変換部に入射させ光電変換させることができる。従って、青色に対する感度を確保することができ、画質のよいカラー画像が得られる。

40

画素分離領域を、その幅が $2 \mu\text{m}$ 以下で且つ不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上にして形成することにより、光電変換された信号電荷の隣接画素内への拡散を防止しつつ、すなわち混色を防ぎつつ、画素ピッチの更なる微細化を図ることができる。

【0015】

本発明の裏面照射型固体撮像素子の製造方法によれば、各画素の光電変換部が形成された半導体基板の光照射面となる裏面側からイオン注入により、裏面側アキュムレーション層を形成するので、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ で且つ裏

50

面からの接合深さが $0.4\mu\text{m}$ 以下を有する裏面側アキュムレーション層を精度よく形成することができる。

イオン注入後のアキュムレーション層をレーザ光によって活性化するときは、他部の悪影響を与えずにアキュムレーション層を活性化することができる。また、イオン注入後のアキュムレーション層を製造時の基板貼り合せによる熱処理によって活性化するときは、別途活性化する工程が省略され、製造工程の簡素化を図ることができる。

【発明を実施するための最良の形態】

【0016】

以下、図面を参照して本発明の実施の形態を説明する。

【0017】

図1は、本発明に係る裏面照射型固体撮像素子を裏面照射型CMOS固体撮像素子に適用した一実施の形態を示す概略構成図である。

本実施の形態に係る裏面照射型固体撮像素子1は、第1導電型のシリコン半導体基板2に第2導電型の半導体領域からなる画素分離領域13を形成し、この画素分離領域13で区画された各画素領域に光電変換部となるフォトダイオード3と、このフォトダイオード3に蓄積された信号電荷の読み出し動作を行うための素子、すなわち所要数のMOSトランジスタTrを形成し構成される。20は単位画素である。画素分離領域13は、基板2の表面から裏面に至るように深さ方向に形成される。半導体基板2の表面側のフォトダイオード3の界面には、暗電流発生を抑制するための第2導電型のアキュムレーション層（電荷蓄積層）12が形成され、半導体基板2の裏面側のフォトダイオード3の界面には、同様に暗電流発生を抑制するための第2導電型のアキュムレーション層（電荷蓄積層）15が形成される。各画素のフォトダイオード3は、この表裏両面側のアキュムレーション層12、15と、左右の画素分離領域13により囲まれる。

【0018】

基板2の表面上には、MOSトランジスタTrのゲート電極8が形成されると共に、その上に層間絶縁膜26を介して多層の配線層24aが配された配線領域24が形成される。さらにこの配線領域24上に支持基板25が形成される。支持基板25としては、薄い半導体基板を支持できるものであれば、どのような材料基板でも用いることができるが、例えばシリコン基板を用いることが好ましい。

一方、半導体基板2の裏面側のアキュムレーション層15上に絶縁保護膜17を介して、あるいは介さないでオンチップカラーフィルタ22が形成され、このカラーフィルタ22上に各画素20に対応するようにオンチップレンズ21が形成される。このCMOS裏面照射型固体撮像素子1においては、基板裏面からオンチップレンズ21を通してフォトダイオード3に対して光Lが照射するようになされる。

【0019】

ここで、本発明に係る裏面照射型CMOS固体撮像素子1の詳細について説明する。

図2は、本実施の形態に係る裏面照射型固体撮像素子の単位画素の要部を示す断面構成図である。

この実施の形態は、画素領域及び画素ピッチを微細化した裏面照射型CMOS固体撮像素子に適用した場合である。本実施の形態では、第1導電型であるn型シリコン半導体基板2の各画素領域を区画するように第2導電型であるp型の半導体領域からなる画素分離領域13が形成される。この画素分離領域13の幅w2は、 $2\mu\text{m}$ 以下で形成される。p型画素分離領域13の不純物濃度は、 $1\times 10^{17}\text{cm}^{-3}$ 以上とされる。ここで、p型画素分離領域13は、フォトダイオード3で発生した信号電荷が隣接する画素のフォトダイオード3へ拡散させないように、画素分離領域の幅w2に対して不純物濃度が設定される。つまり、幅w2を狭くするに従って不純物濃度を高くするようになる。しかし、余り不純物濃度を高くすると、格子歪みからくる結晶欠陥が無視できなくなるので、実用可能な不純物濃度の範囲としては、 $1\times 10^{19}\text{cm}^{-3}$ 以下とすることができる。格子歪みからくる結晶欠陥によって不純物濃度の上限が存在するために、幅W2の下限も制約される。幅W2の下限としては、結晶欠陥が無視できる許容不純物ドーズ量において、隣接さ

10

20

30

40

50

れる画素へ電荷が漏れ込まない値とする。

フォトダイオード3を構成するn型半導体領域を挟む左右の画素分離領域13間の距離w1を10 μ m以下、例えば5 μ mとしたとき、フォトダイオード3の実効幅w3はw1-2w2となる。例えば画素分離領域13の幅w2を0.5 μ mとすれば、フォトダイオード3の実効幅w3は4 μ mとなる。

【0020】

光電変換部となるフォトダイオード3は、p型画素分離領域13により囲まれたn型半導体基板2で形成される。フォトダイオード3は、n-半導体領域2aとその表面側の高不純物濃度のn+半導体領域2bとにより形成される。n半導体基板2の表面にp型画素分離領域13に延長するようにp型半導体領域16が形成され、図示せざるも、ここに各MOSトランジスタが形成される。n型半導体基板2の裏面側に、暗電流を抑制する裏面側のp+アキュムレーション層15が形成される。また、n型半導体基板2の表面側に、暗電流を抑制する表面側のp+アキュムレーション層12が形成される。この表面側及び裏面側のp+アキュムレーション層12及び15の、不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下に設定される。また、裏面側アキュムレーション層15は、裏面からの接合深さd1が0.4 μ m以下となるように形成される。この接合深さの下限は、アキュムレーション層15の不純物濃度によって変わるが少なくとも暗電流の発生を抑制できる値とする。

【0021】

本実施の裏面照射型CMOS固体撮像素子1によれば、光電変換部となるフォトダイオード3が表裏面のp+アキュムレーション層12、15とp型画素分離領域13で囲まれた構成であるので、混色を発生させることなく単位画素を微細化することができる。裏面側p+アキュムレーション層15を、半導体基板の裏面からの接合深さd1が0.4 μ mの有効深さで形成することにより、カラー画像の撮像において、波長の短い青光を裏面側p+アキュムレーション層15を透過してフォトダイオード3に入射させ光電変換させることができる。従って、青色に対する感度を確保することができ、画質のよいカラー画像が得られる。

p型画素分離領域13を、その幅w2が2 μ m以下で且つ不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上にして形成することにより、光電変換された信号電荷の隣接画素内への拡散を防止しつつ、すなわち混色を防ぎつつ、画素ピッチ、図2では幅w1の微細化を図ることができる。裏面側のp+アキュムレーション層15の不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上とすることにより、暗電流を抑制することができ、さらに $1 \times 10^{19} \text{ cm}^{-3}$ 以下とすることにより、結晶性を乱すことがない。したがって、より暗電流を抑制し、画質(S/N)を良くすることができる。

【0022】

図3及び図4は、本発明に係る裏面照射型固体撮像素子1の画素部分の製造方法の一実施の形態を示す工程図である。

図3Aに示すように、シリコンからなるn型半導体基板32上にシリコン酸化膜31を挟んでシリコンからなるn型半導体層2(図2の半導体基板2に相当する)を積層してなるSOI基板30を用意する。本例では、後にフォトダイオード3を形成するn型半導体層の膜厚を10 μ m以下とし、この全体の厚さを725 μ mとしたSOI基板30を用いる。

【0023】

次に図3Bに示すように、SOI基板の半導体層2の薄膜化を例えば機械的研磨と薬液によるエッチングのみで行う、または化学的機械的研磨(CMP)で行う。SOI基板30のうち一方のn型半導体層2に画素となるフォトダイオード3を形成する。このフォトダイオード3は、n型半導体領域2aとその表面側の高不純物濃度のn+半導体領域2bとにより形成される。図示せざるも、第2導電型のp型の画素分離領域13は、イオン注入により画素となるフォトダイオード3を囲むように形成する。本例の画素分離領域13の幅w2は、2 μ m以下とする。図示せざるも、表面側p+アキュムレーション層12を

10

20

30

40

50

イオン注入で形成し、活性化処理を行う。

【0024】

次に図示せざるもフォトダイオード3を有したn型半導体層2の表面側に形成したp型半導体領域に、複数のMOSトランジスタを形成する。さらに図3Cに示すように、SOI基板30上に配線層24a、層間絶縁膜26及び絶縁保護膜（図示せず）を積層することで配線領域24を形成する。例えば、このMOSトランジスタとしては、読み出しトランジスタ、リセットトランジスタ、アンプトランジスタ及び垂直選択トランジスタを形成する。

【0025】

次に、図3Dに示すように、配線領域24上に支持基板25を低温にて貼り合わせる。10
本例の支持基板25を配線領域24上に貼り合わせる温度は、配線層24aを形成した後に貼り合わせるため400℃以下である。また、貼り合わせる接着方法としては、シリコン酸化膜を用いて貼り合わせることもでき、さらに熱可塑性樹脂、SOG(Spin On Glass)、金属接合などを用いて接合することもできる。

【0026】

次に図3Eに示すように、配線領域25に支持基板25を貼り合わせた基板を上下反転させる。この場合支持基板25が下層になり、配線領域24、n型半導体基板2、シリコン酸化膜31及びn型半導体基板32が順に積層された構成となる。

【0027】

次に図4Aに示すように、上層となるSOI基板30の他方のn型半導体基板32を機械的研磨、化学的機械的研磨(CMP)、エッチング処理などにより除去する。次いで、裏面側よりイオン注入を用いて裏面側p+アキュムレーション層15を形成する。このときp+アキュムレーション層15には、イオン注入してp型不純物濃度を $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ とする。さらに、レーザ光を用いて裏面側のp+アキュムレーション層15を活性化することにより、接合深さが0.4μm以下のp+アキュムレーション層15を形成する。その後、シリコン酸化膜31をエッチング除去する。若しくはシリコン酸化膜31をエッチング除去し、反射防止膜兼保護膜（図示せず）を形成後、イオン注入、レーザ光を用いて裏面側のp+アキュムレーション層15を活性化しても良い。20

【0028】

次に図4Bに示すように、裏面側の画素20領域上に、カラーフィルタ22、オンチップマイクロレンズ21、反射防止膜、もしくは絶縁保護膜（図示せず）、電極パッド（図示せず）等を形成することで裏面照射型CMOS固体撮像素子1が完成する。30

【0029】

本実施の裏面照射型CMOS固体撮像素子1の製造方法によれば、図1及び図2に示す画素領域、画素ピッチが微細化された裏面照射型CMOS固体撮像素子を製造することができる。特に、フォトダイオード3を形成し、裏面側よりn型半導体基板32を研磨した後にイオン注入にてp+アキュムレーション層15を形成し、レーザ光にて活性化するため、

不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上で、接合深さが0.4μm以下の裏面側p+アキュムレーション層15を精度よく、かつ大幅に工程数を増やすことなく、形成することができる。40

【0030】

図5及び図6は、本発明に係る裏面照射型固体撮像素子1の画素部分の製造方法の他の実施の形態を示す工程図である。

【0031】

図5Aに示すように、シリコンからなるn型半導体基板32上にシリコン酸化膜31を挟んでシリコンからなるn型半導体層2（図2の半導体基板2に相当する）を積層してなるSOI基板30を用意する。本例では、後にフォトダイオード3を形成するn型半導体層の膜厚を10μm以下とし、この全体の厚さを725μmとしたSOI基板30を用い50

る。

【0032】

次に図5Bに示すように、SOI基板30のうち一方のn型半導体層2に画素となるフォトダイオード3を形成する。このフォトダイオード3は、n型半導体領域2aとその表面側の高不純物濃度のn+半導体領域2bとにより形成される。図示せざるも、第2導電型のp型の画素分離領域13は、イオン注入により画素となるフォトダイオード3を囲むように形成する。本例の画素分離領域13の幅w2は、2μm以下とする。図示せざるも、表面側p+アキュムレーション層12をイオン注入で形成し、活性化処理を行う。後に裏面側となる面にイオン注入することで、p型不純物濃度 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ で且つ裏面からの接合深さw2が0.4μm以下のp+アキュムレーション層15を形成する。

10

【0033】

次に図5Cに示すように、のちに裏面側となるp+アキュムレーション層15を有する半導体層2上にシリコン酸化膜36を有する第1の支持基板35を高温にて貼り合わせる。この貼り合わせ時の熱処理でp+アキュムレーション層15を活性化する。

【0034】

次に図5Dに示すように、第1の支持基板35が下層に、SOI基板30の他方のn型半導体基板32が上層になるように基板全体を反転する。

【0035】

次に図5Eに示すように、フォトダイオード3が形成されたn型半導体層2と第1の支持基板35を残して、SOI基板30のうち他方のn型半導体基板32とシリコン酸化膜31を剥離する。表面側となるn型半導体層2の表面を研磨、化学機械研磨(CMP)及びウエットエッチング処理を行うことで、n型半導体基板2を所要の厚さに形成する。

20

【0036】

次に、フォトダイオード3を有したn型半導体層2の表面に形成したp型半導体領域に、複数のMOSトランジスタを形成する。さらに図5Fに示すように、半導体層2上に配線層24a、層間絶縁膜26及び保護膜(図示せず)を積層することで配線領域24を形成する。このMOSトランジスタとしては、例えば、読み出しトランジスタ、リセットトランジスタ、アンプトランジスタ及び垂直選択トランジスタを形成する。

【0037】

次に図6Aに示すように、配線領域24上に接着層となるシリコン酸化膜28を有する第2の支持基板25を低温にて貼り合わせる。本例の支持基板25を配線領域24上に貼り合わせる温度は、配線層24aを形成した後に貼り合わせるため400℃以下である。また、貼り合わせる接着方法としては、上述のようにシリコン酸化膜を用いて貼り合わせることもでき、さらに熱可塑性樹脂、SOG(Spin On Glass)、金属接合などを用いて接合することもできる。

30

【0038】

次に図6Bに示すように、第1の支持基板35が上層、第2の支持基板25が下層となるように基板を反転させる。この場合、下層から第2の支持基板25、配線領域24、n型半導体基板2、第1の支持基板35の順に積層されている。

40

【0039】

次に図6Cに示すように、シリコン酸化膜36を有する第1の支持基板35を剥離して、さらに裏面側のn型半導体層2を研磨、化学機械研磨(CMP)、ウエットエッチングすることで、所要のn型半導体層2の厚さに形成する。

【0040】

次に図6Dに示すように、反射防止膜37、電極パッド(図示せず)、カラーフィルター22、オンチップマイクロレンズ21等を形成することで裏面照射型固体撮像素子1が完成する。

【0041】

本実施の裏面照射型固体撮像素子1の製造方法によれば、図1及び図2に示す画素領域

50

、画素ピッチが微細化された裏面照射型ＣＭＯＳ固体撮像素子を製造することができる。特に、フォトダイオード３を形成し、裏面側よりｎ型半導体基板３２を研磨した後にイオン注入にてｐ＋アキュムレーション層１５を形成、基板を貼り合わせる熱処理にて活性化するため、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上で、接合深さが $0.4 \mu\text{m}$ 以下の裏面側ｐ＋アキュムレーション層１５を精度よく、かつ活性化のためだけの追加工程なしに形成することができる。

【００４２】

上例では、本発明をＣＭＯＳ固体撮像素子に適用したが、その他、基板表面側に光電変換部となるフォトダイオードの電荷蓄積領域及び垂直転送レジスタが形成され、最表面側に支持基板が貼り合わされ、基板裏面に臨むフォトダイオードの裏面側界面にアキュムレーション層を有した裏面照射型のＣＣＤ固体撮像素子にも適用することができる。

10

【００４３】

本発明は、上述した裏面照射型半導体素子１を組み込んで電子機器モジュール、カメラモジュールを構成することができる。

図７は、本発明に係る電子機器モジュール、カメラモジュールの一実施の形態の構成図である。

本実施の電子機器モジュールあるいは、カメラモジュール４０は、裏面照射型固体撮像素子１（または３５またはこれらの組み合わせ）、光学レンズ系４１、入出力部４２、信号処理装置（Digital Signal Processors）４３、光学レンズ系制御用の中央演算装置（ＣＰＵ）４４を１つに組み込んでモジュールを形成する。また、電子機器モジュール、あるいはカメラモジュール４５としては、裏面照射型固体撮像素子１、光学レンズ系４１及び入出力部４２のみでモジュールを形成することもできる。裏面照射型固体撮像素子１、光学レンズ系４１、入出力部４２及び信号処理装置（Digital Signal Processors）４３を備えた電子機器モジュールあるいはカメラモジュール４６を構成することができる。

20

【図面の簡単な説明】

【００４４】

【図１】本発明に係る裏面照射型固体撮像素子の一実施の形態を示す構成図である。

【図２】本発明に係る裏面照射型固体撮像素子の要部を示す断面図である。

【図３】Ａ～Ｅ 本発明に係る裏面照射型固体撮像素子の製造方法の一実施の形態を示す断面図である（その１）。

30

【図４】Ａ～Ｂ 本発明に係る裏面照射型固体撮像素子の製造方法の一実施の形態を示す断面図である（その２）。

【図５】Ａ～Ｆ 本発明に係る裏面照射型固体撮像素子の製造方法の他の実施の形態を示す断面図である（その１）。

【図６】Ａ～Ｄ 本発明に係る裏面照射型固体撮像素子の製造方法の他の実施の形態を示す断面図である（その２）。

【図７】本発明に係る裏面照射型固体撮像素子を用いる電子機器モジュールの構成図である

【図８】従来の裏面照射型固体撮像素子を示す構成図である。

【符号の説明】

40

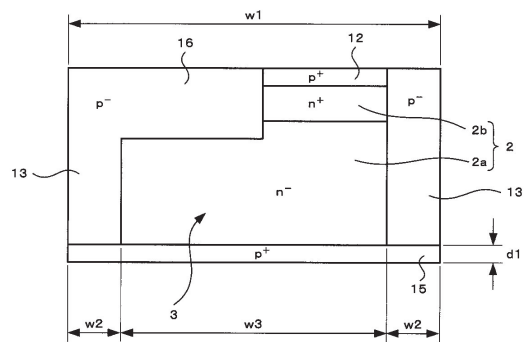
【００４５】

１・・・裏面照射型固体撮像素子、２・・・半導体基板、３・・・フォトダイオード、８・・・ゲート電極、１３・・・画素分離領域、１２、１５・・・ｐ＋アキュムレーション層、１６・・・ｐ型半導体ウェル領域、１７・・・絶縁保護膜、２０・・・単位画素、２１・・・オンチップレンズ、２２・・・オンチップカラーフィルタ、２４・・・配線領域、２４ａ・・・配線層、２５、３５・・・支持基板、２６・・・層間絶縁膜、３０・・・ＳＯＩ基板、２８、３１、３６・・・シリコン酸化膜、３２・・・ｎ型半導体基板、５１・・・裏面照射型固体撮像素子、５３・・・フォトダイオード、５４・・・読み出しトランジスタ、５５・・・ＭＯＳトランジスタ、５７、５８、５９・・・ドレイン領域（ｎ＋領域）、６０、単位画素、６１・・・ｎ型のシリコン半導体基板、６１Ａ・・・ｎ半導体領域（領域）、６１Ｂ・・・ｎ＋半導体領域（ｎ＋領域）

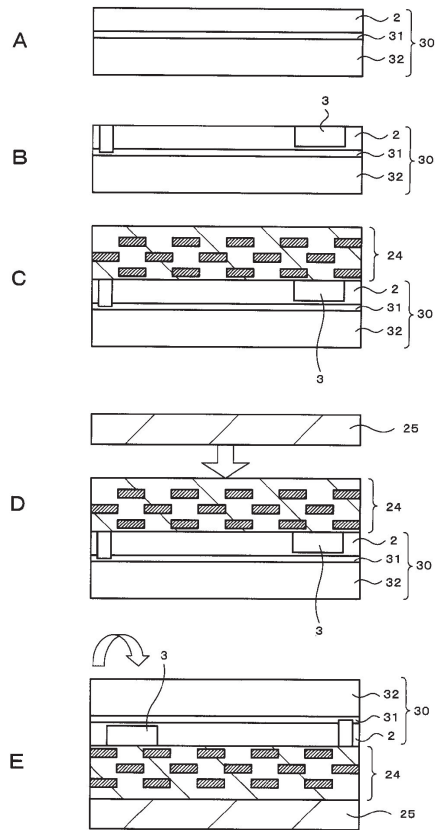
50

、62・・・画素分離領域、64・・・p+アキュムレーション層（電荷蓄積層）、65・・・p-チャンネル領域、67・・・ゲート電極、68・・・p+アキュムレーション層

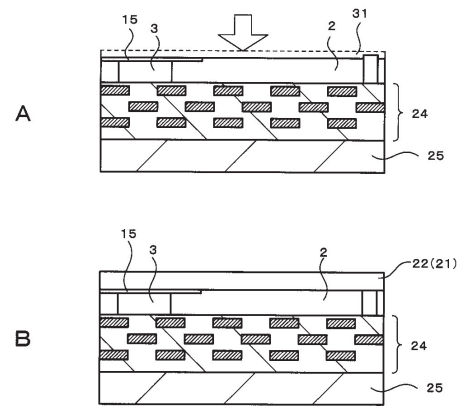
【图 2】



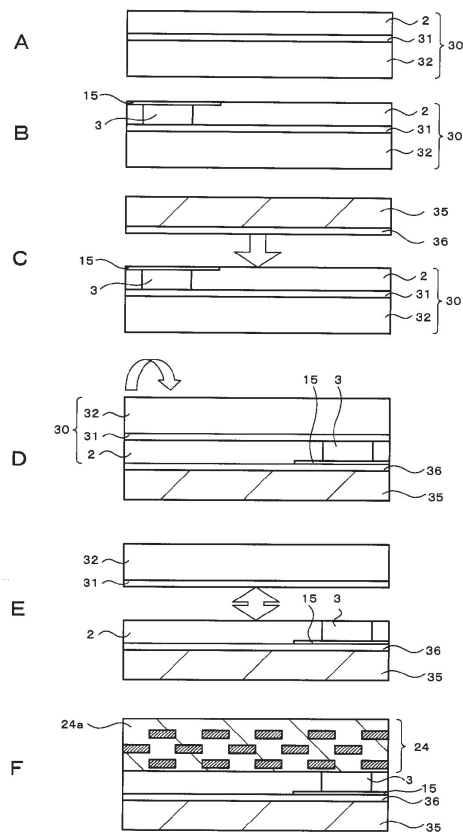
【図 3】



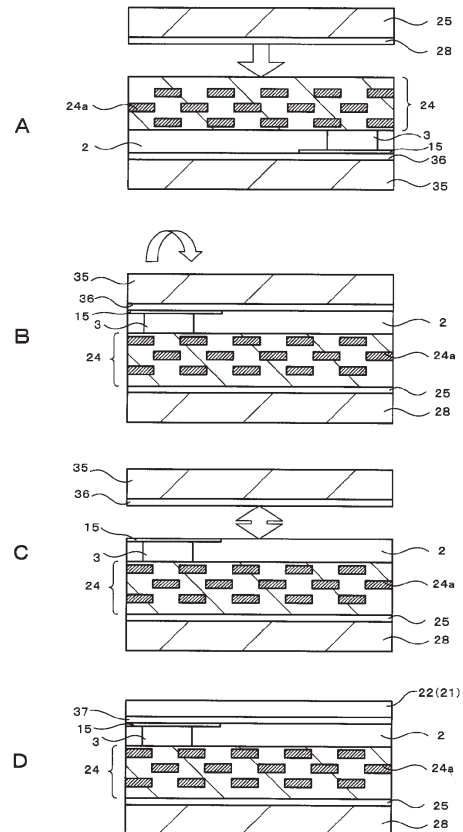
【図 4】



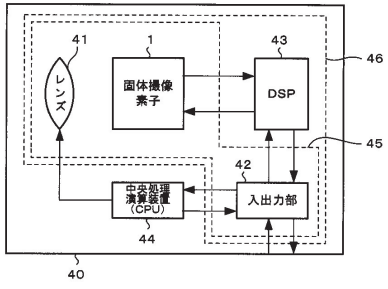
【図 5】



【図 6】



【图 7】



【图 8】

