

I, Jacob Lee, hereby declare:

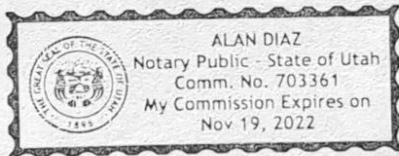
That I possess advanced knowledge of the Japanese and English languages. The attached Japanese into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of the patent document titled *Solid State Image Sensor and Manufacturing Method Therefor*, with Publication Number JP 2006-303385 A and Publication Date November 2, 2006.

I declare that all statements made above of my own knowledge are true and that all statements made on information and belief are believed to be true. I have been warned and understand that willful false statements and the like are punishable by fine or imprisonment, or both, under § 1001 of Title 18 of the United States Code.

I declare (or certify, verify, or state) under penalty of perjury that the foregoing is true and correct.

Executed on Sep. 9, 2022 in Provo, Utah.
[city] [State]

[Signature]
[Affiant name]



[Signature]
Notary Public

Notary Commission Expiry 11/19/22

(19) Japan Patent Office (JP)

(12) Unexamined Patent
Application Publication (A)(11) Patent Application Publication
No.

JP 2006-303385 A

(P2006-303385A)

(43) Publication Date: Nov. 2, Heisei 18 (11.2.2006)

(51) Int. Cl.			FI			Theme Code (Reference)
H01L	27/146	(2006.01)	H01L	27/14	A	4M118
H01L	31/10	(2006.01)	H01L	31/10	A	5F049

Examination Request: Not Made

No. of Claims: 10

OL

(13 Pages Total)

(21) Filing No. JP 2005-126815 (P2005-126815)

(22) Filing Date Apr. 25, Heisei 17 (4.25.2005)

(71) Applicant 000002185
Sony Corp.
6-7-35 Kita Shinagawa, Shinagawa-ku,
Tokyo

(74) Agent 100122884
Yoshisue Tsunoda, Patent Attorney

(74) Agent 100113516
Hironobu Isoyama, Patent Attorney

(72) Inventor Atsushi Masagaki
c/o Sony Corp.
6-7-35 Kita Shinagawa, Shinagawa-ku,
Tokyo

(72) Inventor Shūji Abe
c/o Sony Corp.
6-7-35 Kita Shinagawa, Shinagawa-ku,
Tokyo

Continued on Final Page

(54) [Title of Invention] Solid State Image Sensor and Manufacturing Method Therefor

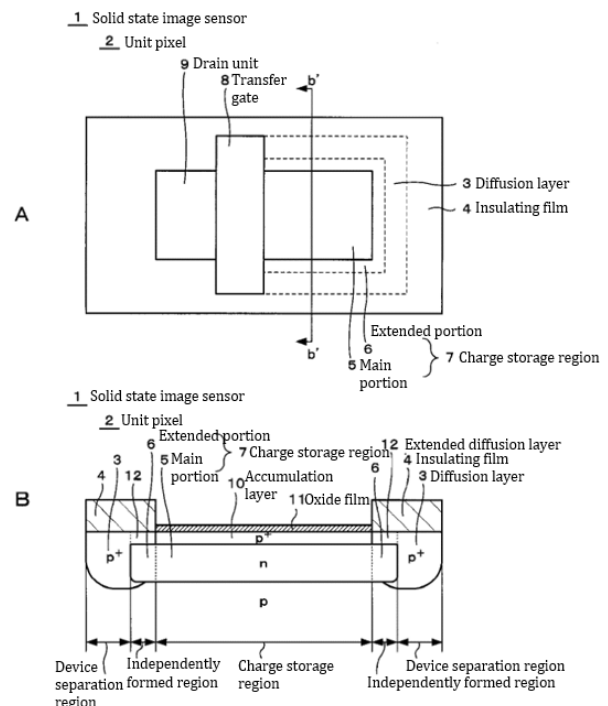
(57) [Abstract]

[Problem] To provide a solid state image sensor wherein a unit pixel can be miniaturized without sacrificing an effective area of a charge storage region, and a manufacturing method therefor.

[Resolution Means] A solid state image sensor is manufactured by: a step of forming a hard mask having a predetermined opening on a substrate; a step of forming a charge storage region of a first conductivity type making up the pixel, a portion of the charge storage region extending to an opening side of the substrate and this extended portion having an impurity concentration different from that of a main portion; a step of controlling at least a portion of the first-conductivity-type impurity concentration of the extended portion of the charge storage region independently of forming the main portion of the charge storage region; and a step of forming the insulating film in the opening so the insulating film contacts the diffusion layer formed below the opening.

[Selected Drawing]

FIG. 1



[Scope of Patent Claims]

[Claim 1]

A solid state image sensor, wherein adjacent pixels are separated by device separation means made up of a diffusion layer and an insulating film thereabove,
 a charge storage region of a first conductivity type making up the pixel is extended to below the insulating film, and
 an extended portion of the charge storage region below the insulating film is formed independently of a main portion defined by an inner edge of the insulating film of the charge storage region.

10 [Claim 2]

The solid state image sensor according to claim 1, wherein a width of the narrowest portion of the diffusion layer is defined by the extended portion of the charge storage region.

[Claim 3]

The solid state image sensor according to claim 1, wherein the diffusion layer is formed in part between the extended portion of the charge storage region and the insulating film.

[Claim 4]

20 The solid state image sensor according to claim 1, wherein the diffusion layer is formed in part by at least two or more instances of impurity introduction.

[Claim 5]

The solid state image sensor according to claim 1, wherein the solid state image sensor is made by forming an accumulation layer of a second conductivity type on the charge storage region.

[Claim 6]

30 A method for manufacturing a solid state image sensor wherein adjacent pixels are separated by device separation means made up of a diffusion layer and an insulating film thereupon, the method comprising:
 a step of forming a hard mask having a predetermined opening on a substrate;
 a step of forming a charge storage region of a first conductivity type making up the pixel, a portion of the charge storage region extending to an opening side of the substrate and this extended portion having an impurity concentration different from that of a main portion;
 a step of controlling at least a portion of the first-conductivity-type impurity concentration of the extended portion of the charge storage region independently of forming the main portion of the charge storage region; and
 a step of forming the insulating film in the opening so the insulating film contacts the diffusion layer formed below the opening.

[Claim 7]

40 The method for manufacturing a solid state image sensor according to claim 6, wherein a width of the narrowest portion of the diffusion layer is defined by the extended portion of the charge storage region.

[Claim 8]

The method for manufacturing a solid state image sensor according to claim 6, wherein the diffusion layer is formed in part between the extended portion of the charge storage region and the insulating film.

[Claim 9]

The method for manufacturing a solid state image sensor according to claim 6, wherein the diffusion layer is formed in part by at least two or more instances of impurity introduction.

[Claim 10]

50 The method for manufacturing a solid state image sensor according to claim 6, wherein an accumulation layer of a second conductivity type is formed on the charge storage region.

[Detailed Description of Invention]

[Field of Art]

[0001]

The present invention relates to a solid state image sensor and a manufacturing method therefor. In particular, it relates to a CMOS solid state image sensor and a manufacturing method therefor.

[Background Art]

[0002]

Demand for size reduction of solid state image sensors—so-called image sensors—is increasing, and an effective

area of a charge storage region constituting a unit pixel of the sensor—that is, a photodiode (photodiode; PD)—is decreasing.

Conventionally, a so-called shallow trench isolation (STI) structure—wherein a trench is formed in a substrate having a charge storage region formed therein and an insulating material is embedded in this trench—is used for inter-device separation of a solid state image sensor. However, it is pointed out that crystal defects are more likely to occur in this structure due to a difference in thermal expansion coefficients between a substrate material and the insulating material and that this structure is also a factor in decreasing a saturation signal amount of the charge storage region (for example, see non-patent document 1).

[0003]

10 Therefore, as an inter-device separation structure that replaces STI, an inter-device separation structure made up of a diffusion layer, formed by impurity diffusion, and an insulating film thereupon, as illustrated in FIGS. 11 and 12, is proposed. B in FIG. 11 illustrates a sectional structure corresponding to line a–a in A in FIG. 11, and B in FIG. 12 illustrates a sectional structure corresponding to line b–b in A in FIG. 12.

[0004]

20 In a solid state image sensor 101 having this inter-device separation structure, in a configuration wherein a plurality of unit pixels 102 is arrayed on a semiconductor substrate (not illustrated) of a first conductivity type—for example, an n type—each unit pixel 102 has, at the least, a diffusion layer 103 and an insulating layer 104 that form a device separation region between the unit pixel and an adjacent pixel; a charge storage region 105 constituting a photoelectric conversion unit—that is, a photodiode—of the unit pixel 102; a transfer gate 108 and a drain unit 109 constituting a floating diffusion (FD) whose source is this charge storage region 105; an accumulation layer 110 provided on the charge storage region 105; and an oxide film 111 that provides separation and insulation between, on one hand, this accumulation layer 110 and, on the other, the drain unit 109 and the transfer gate 108.

Moreover, a solid state image sensor capable of driving by a peripheral MOS transistor—that is, an imaging operation and a transfer operation—is configured by forming a gate electrode (not illustrated) on the transfer gate 108.

[0005]

In the solid state image sensor having such an inter-device separation structure, because device separation is substantially carried out by the diffusion layer 103 formed by ion implantation or the like, a separation width becomes only a width of the diffusion layer 103, and an effective area of the charge storage region 105 in the unit pixel 102 can be widened compared to the conventional STI configuration.

30 [Non-Patent Document 1] Kazuya Yonemoto, CQ Publishing, Basics and Applications of CCD/CMOS Image Sensors [Disclosure of Invention]

[Problem to Be Solved by Invention]

[0006]

In the solid state image sensor of this configuration, implantation of an n-type impurity for forming the charge storage region 105 that greatly contributes to optical characteristics of the sensor—that is, an image sensor—is performed by using the insulating film 104, formed previously, as a mask or by using a mask selected to be a shape corresponding to this insulating film 104. As such, a shape and the effective area of the charge storage region 105 are of a structure that is defined by an inner edge of the insulating film 104.

40 Slight diffusion of this implanted n-type impurity continues after implantation, downward relative to the insulating film 104. However, by this diffusion alone, a p-type impurity of a high concentration constituting the diffusion layer 103 completely cancels out this implanted n-type impurity. As such, it is difficult for this implanted n-type impurity to lead to a significant effective-area increase of the charge storage region.

[0007]

However, the insulating film 104 is formed at a minimum-dimension width according to standards for ensuring a gate-electrode overlap amount and inter-device separability—that is, process rules, and reducing this width is deemed to be difficult. Therefore, as long as this configuration is adopted, further size reduction of the unit pixel for miniaturization of the solid state image sensor must come from area reduction of the photoelectric conversion unit provided by the charge storage region 105—that is, area reduction of the photodiode.

50 However, area reduction of a photodiode leads to a decreased charge storage amount and a worsened S/N ratio and causes a problem of worsened imaging characteristics of the image sensor such as a decreased dynamic range.

[0008]

To solve these problems, an object of the present invention is to provide a solid state image sensor wherein a unit pixel can be miniaturized without sacrificing an effective area of a charge storage region, and a manufacturing method therefor.

[Means for Solving Problem]

[0009]

10 In a solid state image sensor of the present invention, adjacent pixels are separated by device separation means made up of a diffusion layer and an insulating film thereabove, a charge storage region of a first conductivity type making up the pixel is extended to below the insulating film, and an extended portion of the charge storage region below the insulating film is formed independently of a main portion defined by an inner edge of the insulating film of the charge storage region.

[0010]

Furthermore, in the solid state image sensor of the present invention, a width of the narrowest portion of the diffusion layer is defined by the extended portion of the charge storage region.

Moreover, in the solid state image sensor of the present invention, the diffusion layer is formed in part between the extended portion of the charge storage region and the insulating film.

Moreover, in the solid state image sensor of the present invention, the diffusion layer is formed in part by at least two or more instances of impurity introduction.

20 Moreover, in the solid state image sensor of the present invention, the solid state image sensor is made by forming an accumulation layer of a second conductivity type on the charge storage region.

[0011]

30 A method for manufacturing a solid state image sensor of the present invention is a method for manufacturing a solid state image sensor wherein adjacent pixels are separated by device separation means made up of a diffusion layer and an insulating film thereupon, the method having: a step of forming a hard mask having a predetermined opening on a substrate; a step of forming a charge storage region of a first conductivity type making up the pixel, a portion of the charge storage region extending to an opening side of the substrate and this extended portion having an impurity concentration different from that of a main portion; a step of controlling at least a portion of the first-conductivity-type impurity concentration of the extended portion of the charge storage region independently of forming the main portion of the charge storage region; and a step of forming the insulating film in the opening so the insulating film contacts the diffusion layer formed below the opening.

[0012]

Furthermore, in the method for manufacturing a solid state image sensor of the present invention, a width of the narrowest portion of the diffusion layer is defined by the extended portion of the charge storage region.

Moreover, in the method for manufacturing a solid state image sensor of the present invention, the diffusion layer is formed in part between the extended portion of the charge storage region and the insulating film.

Moreover, in the method for manufacturing a solid state image sensor of the present invention, the diffusion layer is formed in part by at least two or more instances of impurity introduction.

40 Moreover, in the method for manufacturing a solid state image sensor of the present invention, an accumulation layer of a second conductivity type is formed on the charge storage region.

[Effects of Invention]

[0013]

According to the solid state image sensor of the present invention, adjacent pixels are separated by device separation means made up of a diffusion layer and an insulating film thereabove, a charge storage region making up the pixel is extended to below the insulating film, and an extended portion of the charge storage region below the insulating film is formed independently of a main portion defined by an inner edge of the insulating film of the charge storage region. As such, a width of the charge storage region can be increased compared to a conventional width, and a greater saturation signal amount can be obtained by a pixel size of the same area.

[0014]

50 Furthermore, according to the solid state image sensor of the present invention, a width of the narrowest portion of the diffusion layer is defined by the extended portion of the charge storage region. As such, it becomes possible to effectively maximize a photodiode even while ensuring inter-device separation.

Moreover, the diffusion layer constituting an inter-device separation region is formed, for example, between

the extended portion of the charge storage region and the insulating film by, for example, being formed in part by at least two or more instances of impurity introduction. As such, suppression of a dark-current component arising in a vicinity of an interface between the insulating film and the charge storage region is optimized.

[0015]

Furthermore, according to the method for manufacturing a solid state image sensor of the present invention, had are: a step of forming a hard mask having a predetermined opening on a substrate; a step of forming a charge storage region of a first conductivity type making up the pixel, a portion of the charge storage region extending to an opening side of the substrate and this extended portion having an impurity concentration different from that of a main portion; a step of controlling at least a portion of the first-conductivity-type impurity concentration of the extended portion of the charge storage region independently of forming the main portion of the charge storage region; and a step of forming an insulating film in the opening so the insulating film contacts a diffusion layer formed below the opening. As such, the solid state image sensor can be formed by widening the charge storage region, which is conventionally limited to being within an inner edge of the insulating film, to a desired width, to even below the insulating film according to a width determined by an outer edge of the impurity implanted at a time of independent formation.

[0016]

Furthermore, according to the method for manufacturing a solid state image sensor of the present invention, the diffusion layer constituting an inter-device separation region is formed between the extended portion of the charge storage region and the insulating film by, for example, being formed in part by at least two or more instances of impurity introduction. As such, a solid state image sensor can be manufactured that provides dark-current suppression independently of a condition regarding the diffusion layer for inter-device separation.

Furthermore, such formation of a portion of the diffusion layer and formation of the charge storage region below the insulating film are performed using patterning art such as a general resist. As such, the present invention can provide many important effects such as enabling manufacturing by freely selecting a layout of the solid state image sensor.

[Preferred Embodiments of Invention]

[0017]

Embodiments of the present invention are described below with reference to the drawings.

[0018]

FIG. 1 illustrates a configuration of one embodiment of a solid state image sensor of the present invention. B in FIG. 1 illustrates a sectional structure corresponding to line b'-b' in A in FIG. 1.

A solid state image sensor 1 of this embodiment—that is, a CMOS solid state image sensor—has a semiconductor well region of a second conductivity type—for example, a p type—formed on a silicon semiconductor substrate (not illustrated) of a first conductivity type—for example, an n type. In this p-type semiconductor well region, a plurality of unit pixels 2 is made by being formed in a partitioned manner, the unit pixels 2 being insulated from each other by a device separation region made of a diffusion layer 3 and an insulating film 4.

[0019]

Each unit pixel 2 has, at the least, a charge storage region 7 constituting a photoelectric conversion unit—that is, a photodiode; a transfer gate 8 and a drain unit 9 constituting a floating diffusion (FD) whose source is this charge storage region 7; an accumulation layer 10 provided on the charge storage region 7; and an oxide film 11 that provides separation and insulation between, on one hand, this accumulation layer 10 and, on the other, the drain unit 9 and the transfer gate 8.

[0020]

The photoelectric conversion unit—that is, the photodiode—is formed in a HAD structure made of an n-type substrate (not illustrated), a p-type semiconductor well region, the n-type charge storage region 7, and the accumulation layer 10 on a front side thereof. The accumulation layer 10 suppresses a dark current due to an interface state—that is, a cause of white spots in imaging.

Note that this accumulation layer 10 is formed as a p-type impurity diffusion layer of a high concentration of, for example, no less than $5 \times 10^{17} \text{ cm}^{-3}$.

[0021]

FIG. 2 is an enlarged sectional view of a vicinity of the device separation region of this solid state image sensor.

The charge storage region 7 is made having not only a main portion 5, formed on an inner side of an inner edge of the insulating film 4, but also an extended portion 6, formed in a position, below the insulating film 4, that is continuous from the main portion 5.

As described below, this extended portion 6 is formed independently of the main portion 5 by, for example, two or more impurity implantations. As such, the charge storage region 7 has its effective area enlarged and its

saturation signal amount increased even while ensuring device separation, and an n-type impurity concentration of the extended portion 6 can also be adjusted to be approximately the same as an n-type impurity concentration of the main portion 5.

[0022]

Furthermore, in this embodiment, an extended diffusion layer 12 having a p-type impurity concentration that is approximately the same as the diffusion layer 3 is formed, between the extended portion 6 of the charge storage region 7 and the insulating layer 4, so as to connect the diffusion layer 3 and the accumulation layer 10. That is, a width of the extended diffusion layer 12 is not restricted by the extended portion 6 of the charge storage region 7, and only a width of the narrowest portion of the diffusion layer 3 is defined by the extended portion 6.

10 As described below, this extended diffusion layer 12 is formed independently of the diffusion layer 3 by, for example, two or more impurity implantations. As such, the p-type impurity concentration of the extended diffusion layer 12 can also be adjusted to be approximately the same as the impurity concentration of the diffusion layer 3.

Note that the diffusion layer 3 can also be configured to form an impurity-concentration distribution in a depth direction so, for example, the impurity concentration decreases gradually at greater depths.

[0023]

20 The insulating film 4 is formed such that its bottom is in a position that is shallow compared to a position of a pn junction formed at an interface between the charge storage region 7 and the accumulation layer 10. This can prevent generation of crystal defects caused by thermal stress. Moreover, even when a gate electrode, wiring, and the like are formed so as to come up onto the insulating film 4, generation of a parasitic channel, due to depletion or an inversion layer, directly below the insulating film 4 can be suppressed.

Moreover, even when the insulating film 4 is made to be thin, increasing the p-type impurity concentrations of the diffusion layer 3 and the extended diffusion layer 12 directly below the insulating film 4 can deter generation of a parasitic channel directly below the insulating film 4. As such, a thickness of the insulating film can be selected from between at least 1 nm to 1,000 nm.

[0024]

Next, first and second embodiments of a manufacturing method of the solid state image sensor of the present invention are described using FIG. 3 to FIG. 10.

[0025]

30 The first embodiment of the manufacturing method of the solid state image sensor of the present invention is described with reference to FIG. 3 to FIG. 6. This embodiment describes a manufacturing method in a situation wherein the unit pixel and a transistor region are adjacent via the device separation region.

[0026]

First, as illustrated in A in FIG. 3, a silicon substrate wherein a semiconductor well region 32 of the second conductivity type—for example, the p type—is formed on a silicon substrate 31 of the first conductivity type—for example, the n type—is prepared. The silicon oxide film 11 is formed on a surface of this silicon substrate, and a silicon nitride film 34 that will become a hard mask is formed thereon. Afterward, an n-type charge storage region 33 is formed—via a resist mask (not illustrated) for example and in a region that will become the photodiode—by ion implantation—for example, by ion implantation of an n-type impurity concentration of a dosage of approximately $1 \times 10^{12} \text{ cm}^{-3}$.

40 [0027]

Note that as the n-type impurity, arsenic (As) can be used in consideration of diffusion suppression in the course of a heat treatment. Alternatively, phosphorous (P) may be used. Moreover, in forming the charge storage region 33, a portion adjacent to the photodiode can be countered by a p-type impurity at a later step to form the device separation region in between. As such, as is the case in the present embodiment, adjacent pixels can be formed continuously.

[0028]

50 Next, as illustrated in B in FIG. 3, the silicon nitride film 34 in a portion where the device separation region is to be formed—that is, a portion between the photodiodes of adjacent pixels—and a portion between the photodiodes of the adjacent pixels and the drain is selectively removed by etching. Next, the silicon oxide film 11 that is the lower layer is selectively removed by etching to form an opening.

[0029]

Next, as illustrated in C in FIG. 4, using the silicon nitride film 34 and the silicon oxide film 11 as a mask,

a shallow groove is formed by a shallow etching treatment in the surface of the silicon substrate exposed in the opening. A p-type impurity is ion-implanted, forming, on a bottom face of the groove, the diffusion layer 3 that ultimately constitutes the device separation region. A resist 35 is formed on this diffusion layer 3 by leaving an opening that is narrower than a width of the diffusion layer 3 formed here. Note that the ion implantation here is performed using, for example, boron (B) at a dosage of approximately $2 \times 10^{12} \text{ cm}^{-3}$ to $1 \times 10^{14} \text{ cm}^{-3}$ and at an implantation energy of approximately several keV to 50 keV.

[0030]

10 Next, as illustrated in D in FIG. 4, ion implantation that increases the depth of the diffusion layer 3 is performed in the opening of the resist 35 that is formed previously—that is, at a width that is narrower than the width of the diffusion layer 3 that is already formed. Afterward, a resist 36 is formed above this position of ion implantation. Note that the ion implantation here can also be configured such that it is performed by being divided into several implantations in the depth direction. This forms an impurity-concentration distribution in the depth direction so, for example, the impurity concentration decreases gradually at greater depths.

[0031]

20 Next, as illustrated in E in FIG. 5, a second implantation of an n-type impurity is performed, using the resist 36 as a mask, on a portion whose n-type impurity concentration is decreased that is positioned on both ends of the charge storage region main portion 5 formed having inter-device separation by the diffusion layer 3 formed at the previous step. As such, below a region wherein the insulating film 4 of the solid state image sensor that is ultimately obtained is formed, the extended portion 6 having approximately the same impurity concentration as the main portion 5 is formed independently of the formation of the main portion 5. This completes the charge storage region 7.

[0032]

30 Next, as illustrated in F in FIG. 5, the resist in the formation of the extended portion 6 continues to be used as a mask, and a second implantation of a p-type impurity is performed on a surface portion 37 of the diffusion layer 3 whose p-type impurity concentration is decreased due to the second implantation of the n-type impurity performed previously. As such, the extended diffusion layer 12 having approximately the same p-type impurity concentration as the diffusion layer 3 is formed between the extended portion 6 of the charge storage region 7 and a formation position of the insulating film 4 of the solid state image sensor that is ultimately obtained. Afterward, the resist is removed.

[0033]

30 Next, as illustrated in FIG. 6, the insulating layer 4 is deposited and formed on upper faces of the diffusion layer 3 and the extended diffusion layer 12. After performing flattening polishing by, for example, CMP (chemical mechanical polishing) to a height of a surface of the silicon nitride film 34, the silicon nitride film 34 is removed. Subsequently, normal processes are used to form the drain region 9 of the transistor and the accumulation layer 10, thereby forming the photodiode of the HAD structure described above.

Afterward, although not illustrated, a gate insulating film and a gate electrode are formed, thereby forming a MOS transistor necessary to drive the solid state image sensor. This provides the CMOS solid state image sensor that is the object.

[0034]

40 Next, the second embodiment of the manufacturing method of the solid state image sensor of the present invention is described with reference to FIG. 7 to FIG. 10. This embodiment describes a manufacturing method in a situation wherein only the unit pixels are adjacent to each other via the device separation region.

[0035]

First, as illustrated in A in FIG. 7, a silicon substrate wherein a semiconductor well region 22 of the second conductivity type—for example, the p type—is formed on a silicon substrate 21 of the first conductivity type—for example, the n type—is prepared. The silicon oxide film 11 is formed on a surface of this silicon substrate, and a silicon nitride film 23 that will become a hard mask is formed thereon.

[0036]

50 Next, as illustrated in B in FIG. 7, the silicon nitride film 23 in a portion where the device separation region is to be formed—that is, a portion between the photodiodes of adjacent pixels—and a portion between the photodiodes of the adjacent pixels and the drain is selectively removed by etching. Next, the silicon oxide film 11 that is the lower layer is selectively removed by etching to form an opening.

[0037]

Next, as illustrated in C in FIG. 8, using the silicon nitride film 23 and the silicon oxide film 11 as a mask, a

shallow groove is formed by a shallow etching treatment in the surface of the silicon substrate exposed in the opening. A p-type impurity is ion-implanted, forming, on a bottom face of the groove, the diffusion layer 3 that ultimately constitutes the device separation region. A resist 24 is formed on this diffusion layer 3. Note that the ion implantation here is performed using, for example, boron (B) at a dosage of approximately $2 \times 10^{12} \text{ cm}^{-3}$ to $1 \times 10^{14} \text{ cm}^{-3}$ and at an implantation energy of approximately several keV to 50 keV.

[0038]

Next, as illustrated in D in FIG. 8, the resist 24 is deposited and formed on the upper face of the diffusion layer 3. Next, as illustrated in E in FIG. 9, using this resist 24 as a mask, the main portion 5 of the n-type charge storage region is formed, in the region that will become the photodiode, by ion implantation—for example, ion implantation of an n-type impurity concentration of a dosage of approximately $1 \times 10^{12} \text{ cm}^{-3}$.

[0039]

Next, as illustrated in F in FIG. 9, a second implantation of an n-type impurity is performed, using the resist 26 as a mask, on a region 25 whose n-type impurity concentration is low that is formed on both sides of the main portion 5 of the charge storage region formed at the previous step. As such, below a region wherein the insulating film 4 of the solid state image sensor that is ultimately obtained is formed, the extended portion 6 having approximately the same impurity concentration as the main portion 5 is formed independently of the formation of the main portion 5. This completes the charge storage region 7.

[0040]

Next, as illustrated in FIG. 10, the resist 26 used to form the extended portion 6 continues to be used as a mask, and a second implantation of a p-type impurity is performed on a surface portion 27 of the diffusion layer 3 whose p-type impurity concentration is decreased due to the second implantation of the n-type impurity performed previously. As such, the extended diffusion layer 12 having approximately the same p-type impurity concentration as the diffusion layer 3 is formed between the extended portion 6 of the charge storage region 7 and a formation position of the insulating film 4 of the solid state image sensor that is ultimately obtained. Afterward, the resist is removed. Next, the insulating layer 4 is deposited and formed on upper faces of the diffusion layer 3 and the extended diffusion layer 12, and the silicon nitride film 23 is removed. Subsequently, normal processes are used to form the drain region 9 of the transistor and the accumulation layer 10, thereby forming the photodiode of the HAD structure described above.

Afterward, although not illustrated, a gate insulating film and a gate electrode are formed, thereby forming a MOS transistor necessary to drive the solid state image sensor. This provides the CMOS solid state image sensor that is the object.

[0041]

Embodiments of the solid state image sensor and the manufacturing method of the solid state image sensor of the present invention are described above. However, the present invention is not limited to these embodiments.

[0042]

For example, in the manufacturing method of the solid state image sensor of the present invention, the charge storage region of the photodiode can be set independently of a width of the insulating film. As such, the present invention is not limited to an object of increasing an effective area of the charge storage region and can also be applied to manufacturing a solid state image sensor whose object is selective formation of a desired device separation pattern—for example, decreasing a separation width due to the diffusion layer for a portion, in a periphery of the photodiode, wherein a field intensity between mutually adjacent devices is weak and increasing the separation width due to the diffusion layer for a portion wherein this field intensity is strong.

[0043]

Furthermore, the present invention can be changed and varied in various ways. For example, the impurity implanted when forming the extended portion constituting the charge storage region and the extended diffusion layer constituting the device separation region independently of the main portion constituting the charge storage region and the diffusion layer constituting the device separation region does not necessarily need to be the same substance as the impurity used to form the main portion and the diffusion layer, and it is sufficient for these to be impurities having the same polarity.

[Brief Description of Drawings]

[0044]

[FIG. 1] A, B: a schematic top view and a schematic sectional view illustrating a configuration of one example of a solid state image sensor of the present invention.

[FIG. 2] An enlarged sectional view illustrating the configuration of one example of the solid state image sensor of the present invention.

[FIG. 3] A, B: process diagrams for describing one example of a manufacturing method of the solid state image sensor of the present invention.

[FIG. 4] C, D: process diagrams for describing one example of the manufacturing method of the solid state image sensor of the present invention.

[FIG. 5] E, F: process diagrams for describing one example of the manufacturing method of the solid state image sensor of the present invention.

[FIG. 6] A process diagram for describing one example of the manufacturing method of the solid state image sensor of the present invention.

[FIG. 7] A, B: process diagrams for describing another example of the manufacturing method of the solid state image sensor of the present invention.

10 [FIG. 8] C, D: process diagrams for describing another example of the manufacturing method of the solid state image sensor of the present invention.

[FIG. 9] E, F: process diagrams for describing another example of the manufacturing method of the solid state image sensor of the present invention.

[FIG. 10] A process diagram for describing another example of the manufacturing method of the solid state image sensor of the present invention.

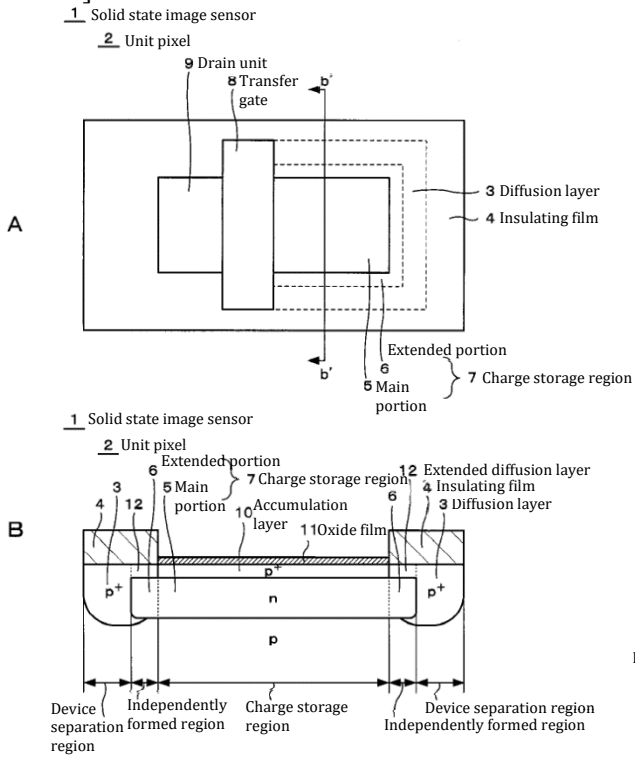
[FIG. 11] A, B: a schematic top view and a schematic sectional view illustrating a configuration of a conventional solid state image sensor.

[FIG. 12] A, B: a schematic top view and a schematic sectional view illustrating the configuration of the conventional solid state image sensor.

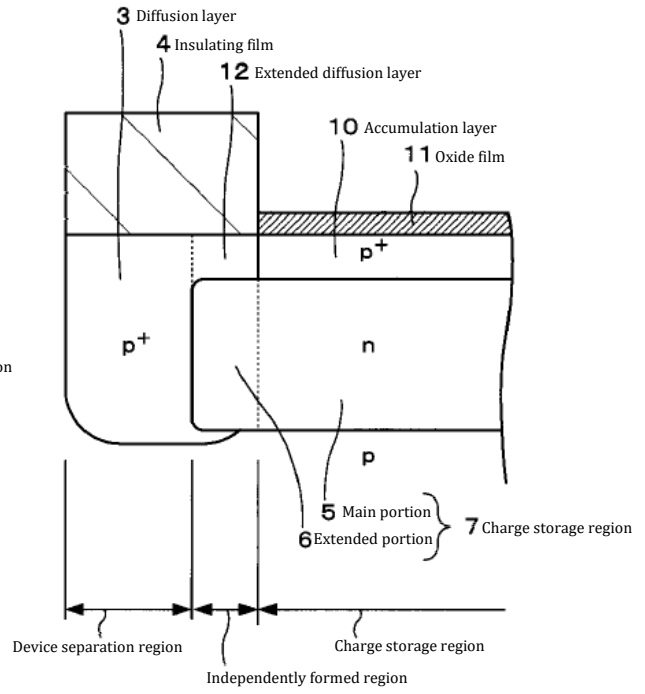
[Description of Reference Signs]

20 [0045]
 1 ... solid state image sensor, 2 ... unit pixel, 3 ... diffusion layer, 4 ... insulating film, 5 ... main portion, 6 ... extended portion, 7 ... charge storage region, 8 ... transfer gate, 9 ... drain unit, 10 ... accumulation layer, 11 ... oxide film, 12 ... extended diffusion layer, 21 ... semiconductor substrate, 22 ... semiconductor well region, 23 ... hard mask, 24 ... resist, 25 ... low impurity concentration region, 26 ... resist, 27 ... surface portion, 31 ... semiconductor substrate, 32 ... semiconductor well region, 33 ... charge storage region, 34 ... hard mask, 35 ... resist, 36 ... resist, 37 ... surface portion, 101 ... solid state image sensor, 102 ... unit pixel, 103 ... diffusion layer, 104 ... insulating film, 105 ... charge storage region, 108 ... transfer gate, 109 ... drain unit, 110 ... accumulation layer, 111 ... oxide film

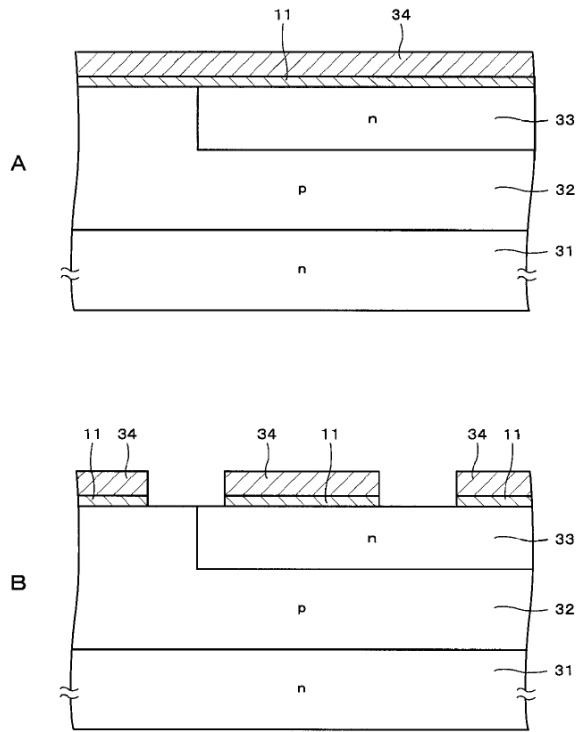
[FIG. 1]



[FIG. 2]

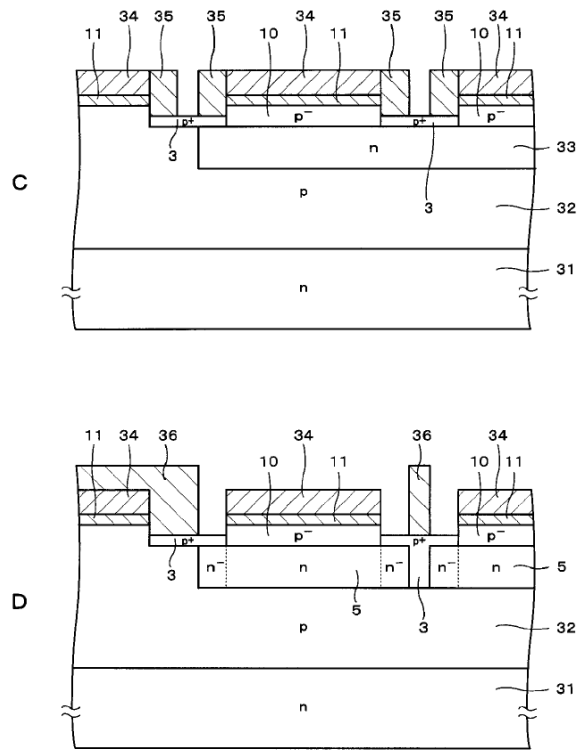


[FIG. 3]



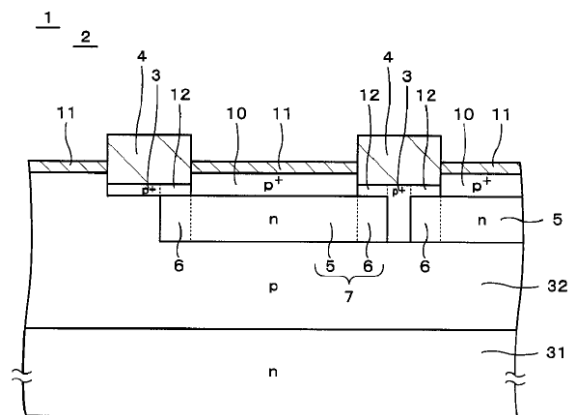
Manufacturing process diagram (part 1)

[FIG. 4]

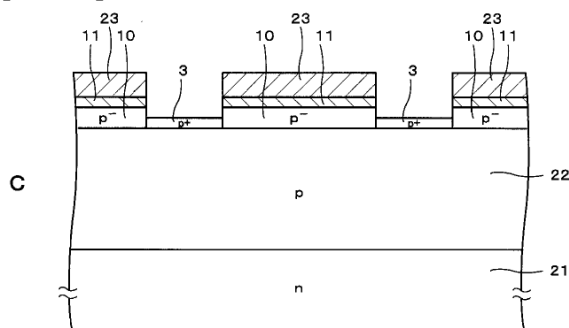


Manufacturing process diagram (part 2)

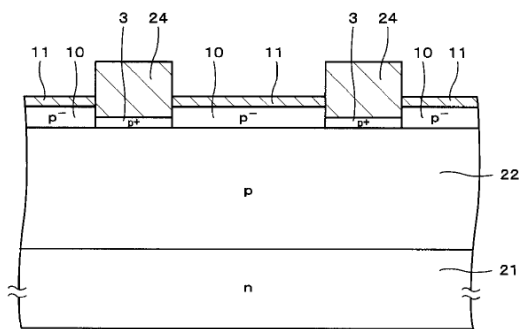
[FIG. 6]

[illegible]

[FIG. 8]

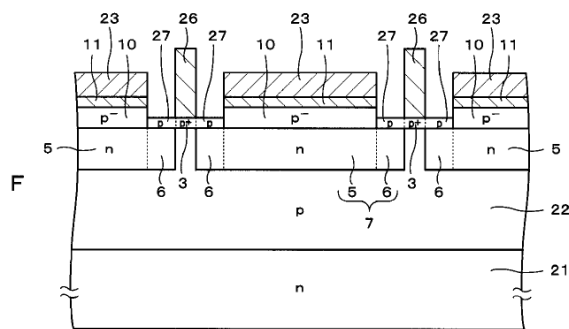
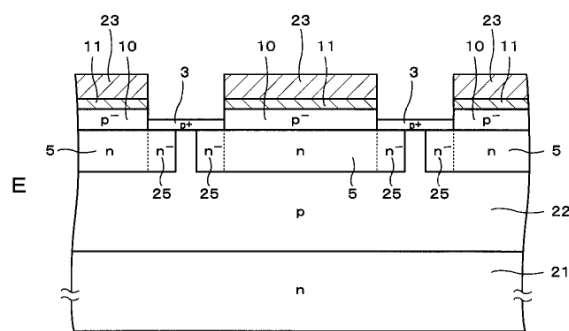


D



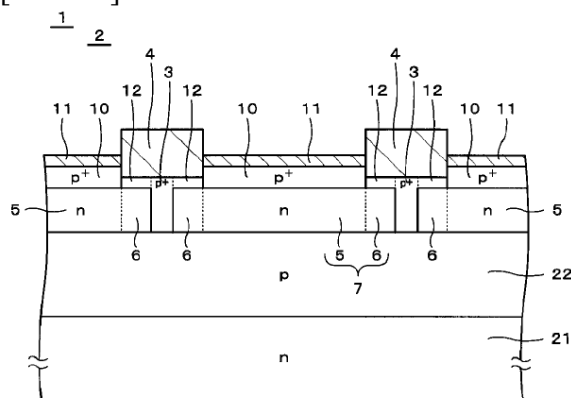
Manufacturing process diagram (part 2)

[FIG. 9]



Manufacturing process diagram (part 3)

[FIG. 10]

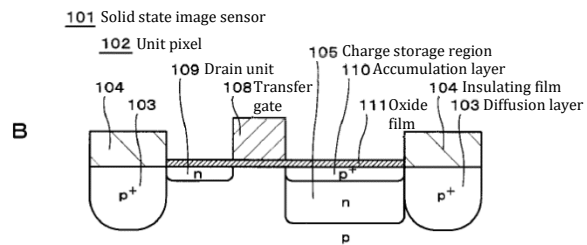
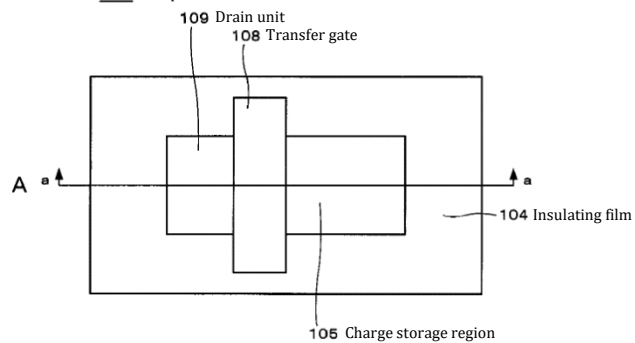


Manufacturing process diagram (part 4)

[FIG. 11]

101 Solid state image sensor

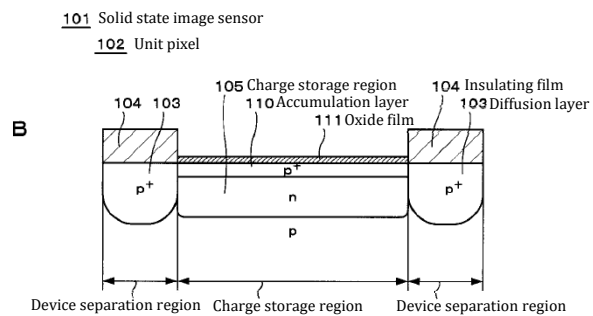
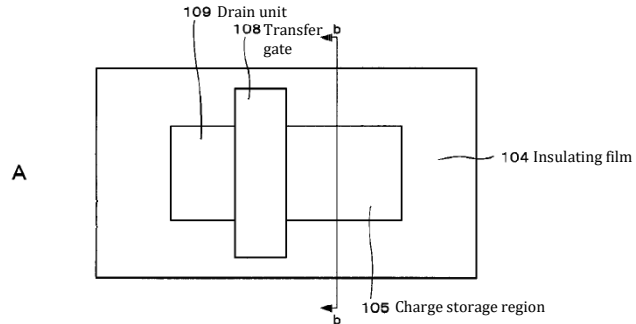
102 Unit pixel



[FIG. 12]

101 Solid state image sensor

102 Unit pixel



Continued from Front Page

(72) Inventor Masanori Ōhashi
c/o Sony Corp.
6-7-35 Kita Shinagawa, Shinagawa-ku, Tokyo

(72) Inventor Keiji Tatani
c/o Sony Corp.
6-7-35 Kita Shinagawa, Shinagawa-ku, Tokyo

F Terms (Reference) 4M118 AB01 BA14 CA03 CA04 CA32 EA01 EA06 EA14 FA26 FA29
FA33
5F049 MA02 MB03 NA01 NB05 PA10 PA18 QA14 RA03 SS03 SZ13

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-303385

(P2006-303385A)

(43) 公開日 平成18年11月2日(2006.11.2)

(51) Int. Cl.	F 1	テーマコード (参考)
H 0 1 L 27/146 (2006.01)	H 0 1 L 27/14 A	4 M 1 1 8
H 0 1 L 31/10 (2006.01)	H 0 1 L 31/10 A	5 F 0 4 9

審査請求 未請求 請求項の数 10 O L (全 13 頁)

(21) 出願番号	特願2005-126815 (P2005-126815)	(71) 出願人	000002185
(22) 出願日	平成17年4月25日 (2005. 4. 25)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100122884
			弁理士 角田 芳未
		(74) 代理人	100113516
			弁理士 磯山 弘信
		(72) 発明者	正垣 敦
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	阿部 秀司
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

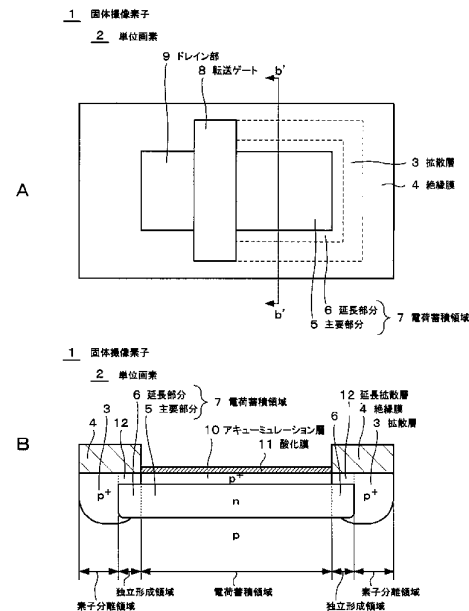
(54) 【発明の名称】 固体撮像素子及びその製造方法

(57) 【要約】

【課題】 電荷蓄積領域の実効面積を犠牲にすることなく単位画素の微小化を可能とする固体撮像素子及びその製造方法を提供する。

【解決手段】 基板上に所定の開口を有するハードマスクを形成する工程と、前記基板に前記開口側に一部延長し、該延長部分が主要部分と異なる不純物濃度を有する前記画素を構成する第1導電型の電荷蓄積領域を形成する工程と、前記電荷蓄積領域の延長部分の、少なくとも一部の第1導電型不純物濃度を、前記電荷蓄積領域の主要部分の形成とは独立に制御する工程と、前記開口下に形成された前記拡散層に接するように、前記開口内に前記絶縁膜を形成する工程とによって固体撮像素子を製造する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

隣り合う画素間が、拡散層とその上の絶縁膜で構成された素子分離手段で分離され、前記画素を構成する第 1 導電型の電荷蓄積領域が前記絶縁膜の下まで延長され、前記絶縁膜下の電荷蓄積領域の延長部分が、前記電荷蓄積領域の前記絶縁膜内縁で規定される主要部分とは独立に形成されて成ることを特徴とする固体撮像素子。

【請求項 2】

前記拡散層の最狭部の幅が、前記電荷蓄積領域の延長部分によって規定されることを特徴とする請求項 1 に記載の固体撮像素子。

10

【請求項 3】

前記拡散層が、一部、前記電荷蓄積領域の延長部分と前記絶縁膜との間に形成されることを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 4】

前記拡散層が、一部、少なくとも 2 回以上の不純物導入によって形成されることを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 5】

前記電荷蓄積領域上に、第 2 導電型のアキューミュレーション層が形成されて成ることを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 6】

隣り合う画素間が、拡散層とその上の絶縁膜とで構成される素子分離手段で分離される固体撮像素子の製造方法であって、

20

基板上に所定の開口を有するハードマスクを形成する工程と、

前記基板に前記開口側に一部延長し、該延長部分が主要部分と異なる不純物濃度を有する前記画素を構成する第 1 導電型の電荷蓄積領域を形成する工程と、

前記電荷蓄積領域の延長部分の、少なくとも一部の第 1 導電型不純物濃度を、前記電荷蓄積領域の主要部分の形成とは独立に制御する工程と、

前記開口下に形成された前記拡散層に接するように、前記開口内に前記絶縁膜を形成する工程とを有する

ことを特徴とする固体撮像素子の製造方法。

30

【請求項 7】

前記拡散層の最狭部の幅を、前記電荷蓄積領域の延長部分によって規定することを特徴とする請求項 6 に記載の固体撮像素子の製造方法。

【請求項 8】

前記拡散層を、一部、前記電荷蓄積領域の延長部分と前記絶縁膜との間に形成することを特徴とする請求項 6 に記載の固体撮像素子の製造方法。

【請求項 9】

前記拡散層を、一部、少なくとも 2 回以上の不純物導入によって形成することを特徴とする請求項 6 に記載の固体撮像素子の製造方法。

【請求項 10】

前記電荷蓄積領域上に、第 2 導電型のアキューミュレーション層を形成することを特徴とする請求項 6 に記載の固体撮像素子の製造方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、固体撮像素子及びその製造方法、特に C M O S 固体撮像素子及びその製造方法に関する。

【背景技術】**【0002】**

固体撮像素子、いわゆるイメージセンサの微細化に対する要求が強まっており、素子の

50

単位画素を構成する電荷蓄積領域すなわちフォトダイオード (Photo Diode; P D) の有効面積は減少傾向にある。

従来、固体撮像素子の素子間分離には、電荷蓄積領域が形成された基板にトレンチを形成し、このトレンチ内に絶縁材料を埋め込んだいわゆる S T I (シャロー・トレンチ・アイソレーション) 構造が用いられてきたが、基板材料と絶縁材料の熱膨張係数の違いに起因して結晶欠陥が生じやすいことや、電荷蓄積領域の飽和信号量が減少する要因ともなることが指摘されていた (例えば非特許文献 1 参照)。

【0003】

このため、S T I に代わる素子間分離構造として、図 1 1 及び図 1 2 に示すような、不純物拡散による拡散層とその上の絶縁膜による素子間分離構造が提案されている。図 1 1 B は、図 1 1 A の a - a 線に対応した断面構造を、図 1 2 B は図 1 2 A の b - b 線に対応した断面構造を示す。

10

【0004】

この素子間分離構造による固体撮像素子 1 0 1 は、第 1 導電型例えば n 型の半導体基板 (図示せず) 上に複数の単位画素 1 0 2 が配列された構成において、各単位画素 1 0 2 が、少なくとも、隣り合う画素との間の素子分離領域を形成する拡散層 1 0 3 及び絶縁層 1 0 4 と、単位画素 1 0 2 の光電変換部すなわちフォトダイオードを構成する電荷蓄積領域 1 0 5 と、この電荷蓄積領域 1 0 5 をソースとするフローティングディフュージョン (F D) を構成する転送ゲート 1 0 8 及びドレイン部 1 0 9 と、電荷蓄積領域 1 0 5 上に設けられたアキューミュレーション層 1 1 0 と、このアキューミュレーション層 1 1 0 及びドレイン部 1 0 9 と転送ゲート 1 0 8 とを分離絶縁する酸化膜 1 1 1 とを有する。

20

そして、転送ゲート 1 0 8 上にゲート電極 (図示せず) が形成されることにより、周辺の M O S トランジスタによる駆動、すなわち撮像動作ならびに転送動作が可能な固体撮像素子が構成される。

【0005】

このような素子間分離構造による固体撮像素子では、実質的な素子分離がイオン注入等によって形成される拡散層 1 0 3 でなされるため、分離幅が拡散層 1 0 3 だけの幅となり、従来の S T I による構成に比して単位画素 1 0 2 内における電荷蓄積領域 1 0 5 の実効面積を広くすることができる。

【非特許文献 1】米本和也著、C Q 出版社「C C D / C M O S イメージセンサの基礎と応用」

30

【発明の開示】

【発明が解決しようとする課題】

【0006】

この構成による固体撮像素子においては、素子すなわちイメージセンサの光学特性に大きく寄与する電荷蓄積領域 1 0 5 を形成するための n 型不純物の注入が、先に形成した絶縁膜 1 0 4 をマスクに用いたり、この絶縁膜 1 0 4 に対応する形状に選定されたマスクを用いて行われるために、電荷蓄積領域 1 0 5 の形状及び実効面積は、絶縁膜 1 0 4 の内縁によって規定される構造となる。

この注入された n 型不純物は、注入後に絶縁膜 1 0 4 の下へ向けて僅かに拡散が進むものの、この拡散によるのみでは、拡散層 1 0 3 を構成する高濃度の p 型不純物に全て打ち消されてしまうことから、実質的な電荷蓄積領域の実効面積増大につながり難い。

40

【0007】

しかし、絶縁膜 1 0 4 は、ゲート電極のオーバーラップ量や素子間の分離能力を確保するための規格すなわちプロセスルールにおける最小寸法幅で形成されており、その幅を縮小することは困難とされている。したがって、この構成による限り、固体撮像素子の微小化のための単位画素の更なる微細化は、電荷蓄積領域 1 0 5 による光電変換部すなわちフォトダイオードの面積縮小によらざるを得ない。

ところが、フォトダイオードの面積縮小は、電荷蓄積量の減少や、S / N 比の悪化を伴い、ダイナミックレンジの減少などのイメージセンサの撮像特性の悪化につながってしま

50

うという問題がある。

【0008】

本発明は、これらの諸問題の解決を図り、電荷蓄積領域の実効面積を犠牲にすることなく単位画素の微小化を可能とする固体撮像素子及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る固体撮像素子は、隣り合う画素間が、拡散層とその上の絶縁膜で構成された素子分離手段で分離され、前記画素を構成する第1導電型の電荷蓄積領域が前記絶縁膜の下まで延長され、前記絶縁膜下の電荷蓄積領域の延長部分が、前記電荷蓄積領域の前記絶縁膜内縁で規定される主要部分とは独立に形成されて成ることを特徴とする。

10

【0010】

また、本発明は、前記固体撮像素子において、前記拡散層の最狭部の幅が、前記電荷蓄積領域の延長部分によって規定されることを特徴とする。

また、本発明は、前記固体撮像素子において、前記拡散層が、一部、前記電荷蓄積領域の延長部分と前記絶縁膜との間に形成されることを特徴とする。

また、本発明は、前記固体撮像素子において、前記拡散層が、一部、少なくとも2回以上の不純物導入によって形成されることを特徴とする。

また、本発明は、前記固体撮像素子において、前記電荷蓄積領域上に、第2導電型のアキュムレーション層が形成されて成ることを特徴とする。

20

【0011】

本発明による固体撮像素子の製造方法は、隣り合う画素間が、拡散層とその上の絶縁膜とで構成される素子分離手段で分離される固体撮像素子の製造方法であって、基板上に所定の開口を有するハードマスクを形成する工程と、前記基板に前記開口側に一部延長し、該延長部分が主要部分と異なる不純物濃度を有する前記画素を構成する第1導電型の電荷蓄積領域を形成する工程と、前記電荷蓄積領域の延長部分の、少なくとも一部の第1導電型不純物濃度を、前記電荷蓄積領域の主要部分の形成とは独立に制御する工程と、前記開口下に形成された前記拡散層に接するように、前記開口内に前記絶縁膜を形成する工程とを有することを特徴とする。

【0012】

30

また、本発明は、前記固体撮像素子の製造方法において、前記拡散層の最狭部の幅を、前記電荷蓄積領域の延長部分によって規定することを特徴とする。

また、本発明は、前記固体撮像素子の製造方法において、前記拡散層を、一部、前記電荷蓄積領域の延長部分と前記絶縁膜との間に形成することを特徴とする。

また、本発明は、前記固体撮像素子の製造方法において、前記拡散層を、一部、少なくとも2回以上の不純物導入によって形成することを特徴とする。

また、本発明は、前記固体撮像素子の製造方法において、前記電荷蓄積領域上に、第2導電型のアキュムレーション層を形成することを特徴とする。

【発明の効果】

【0013】

40

本発明に係る固体撮像素子によれば、隣り合う画素間が、拡散層とその上の絶縁膜で構成された素子分離手段で分離され、画素を構成する電荷蓄積領域が絶縁膜の下まで延長され、絶縁膜下の電荷蓄積領域の延長部分が、電荷蓄積領域の絶縁膜内縁で規定される主要部分とは独立に形成されて成ることから、電荷蓄積領域の幅を従来に比して大とすることができ、同一面積の画素サイズでより大きな飽和信号量が得られる。

【0014】

また、本発明に係る固体撮像素子によれば、前記拡散層の最狭部の幅が、電荷蓄積領域の延長部分によって規定されることから、素子間分離を確保しながらも、効果的にフォトダイオードの最大化が可能となる。

また、素子間分離領域を構成する拡散層が、一部、少なくとも2回以上の不純物導入に

50

よって形成されるなどして、例えば電荷蓄積領域の延長部分と絶縁膜との間に形成されることから、絶縁膜と電荷蓄積領域との界面近傍で発生する暗電流成分の抑制の最適化が図られる。

【0015】

また、本発明に係る固体撮像素子の製造方法によれば、基板上に所定の開口を有するハードマスクを形成する工程と、基板に開口側に一部延長し、この延長部分が主要部分と異なる不純物濃度を有する前記画素を構成する第1導電型の電荷蓄積領域を形成する工程と、電荷蓄積領域の延長部分の、少なくとも一部の第1導電型不純物濃度を、電荷蓄積領域の主要部分の形成とは独立に制御する工程と、開口下に形成された拡散層に接するように、開口内に絶縁膜を形成する工程とを有することから、従来は絶縁膜の内縁以内に限られていた電荷蓄積領域を、独立形成時に注入した不純物の外縁によって決まる幅で、絶縁膜の下まで所望の幅に広げて固体撮像素子を形成することが可能となる。

10

【0016】

また、本発明に係る固体撮像素子の製造方法によれば、素子間分離領域を構成する拡散層を、一部、少なくとも2回以上の不純物導入によって形成するなどして、電荷蓄積領域の延長部分と絶縁膜との間に形成することから、素子間分離のための拡散層の条件によらず、暗電流の抑制が図られた固体撮像素子を製造することができる。

更に、このような拡散層の一部の形成や、絶縁膜下の電荷蓄積領域の形成を、一般的なレジストなどのパターニング技術を用いて行うことから、固体撮像素子のレイアウトを自由に選定して製造を行うことができるなど、本発明によれば、重要かつ多くの効果をもたらすことができるものである。

20

【発明を実施するための最良の形態】

【0017】

以下、図面を参照して本発明の実施の形態を説明する。

【0018】

図1に、本発明に係る固体撮像素子の一実施の形態の構成を示す。図1Bは、図1Aのb'-b'線に対応した断面構造を示す。

この実施の形態に係る固体撮像素子1、すなわちCMOS固体撮像素子は、第1導電型例えばn型のシリコン半導体基板（図示せず）上に第2導電型例えばp型の半導体ウェル領域が形成され、このp型半導体ウェル領域に、複数の単位画素2が、拡散層3及び絶縁膜4による素子分離領域で相互に絶縁されて区画形成されて成る。

30

【0019】

各单位画素2は、少なくとも、光電変換部すなわちフォトダイオードを構成する電荷蓄積領域7と、この電荷蓄積領域7をソースとするフローティングディフュージョン（FD）を構成する転送ゲート8及びドレイン部9と、電荷蓄積領域7上に設けられたアキュムレーション層10と、このアキュムレーション層10及びドレイン部9と転送ゲート8とを分離絶縁する酸化膜11とを有する。

【0020】

光電変換部すなわちフォトダイオードは、n型基板（図示せず）とp型半導体ウェル領域とn型電荷蓄積領域7とその表面側のアキュムレーション層10とからなるHAD構造に形成されており、アキュムレーション層10により、界面準位による暗電流、すなわち撮像における白点の原因が抑制される。

40

なお、このアキュムレーション層10は、例えば $5 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度のp型不純物拡散層で形成される。

【0021】

図2は、この固体撮像素子の、素子分離領域近傍の拡大断面図である。

電荷蓄積領域7は、絶縁膜4の内縁より内側に形成される主要部分5のみならず、絶縁膜4下の主要部分5から連続した位置に形成される延長部分6を有して成る。

この延長部分6は、後述するように、主要部分5とは独立に、例えば2回以上の不純物注入によって形成されることから、素子分離を確保しながらも電荷蓄積領域7の有効面積

50

拡大と飽和信号量増大が図られ、かつ延長部分 6 の n 型不純物濃度も、主要部分 5 の n 型不純物濃度と同程度に調整することが可能とされる。

【0022】

また、この実施の形態においては、拡散層 3 と同程度の p 型不純物濃度を有する延長拡散層 1 2 が、電荷蓄積領域 7 の延長部分 6 と絶縁層 4 との間に、拡散層 3 とアキュムレーション層 1 0 をつなぐように形成される。すなわち、延長拡散層 1 2 の幅は電荷蓄積領域 7 の延長部分 6 による規制を受けることなく、拡散層 3 の最狭部のみが延長部分 6 によってその幅を規定される。

この延長拡散層 1 2 は、後述するように、拡散層 3 とは独立して、例えば 2 回以上の不純物注入によって形成されることから、延長拡散層 1 2 の p 型不純物濃度も拡散層 3 の不純物濃度と同程度に調整することが可能とされる。

10

なお、拡散層 3 は、深さ方向に不純物濃度の分布を形成して、例えば深くなるにしたがって段階的に不純物濃度を低くする構成とすることもできる。

【0023】

絶縁膜 4 は、電荷蓄積領域 7 とアキュムレーション層 1 0 との界面に形成される p n 接合の位置に比して浅い位置に底が存するように形成されることから、熱ストレスに起因した結晶欠陥の発生を回避でき、更に絶縁膜 4 上にゲート電極や配線等が乗り上げて形成された場合にも、絶縁膜 4 直下に空乏化や反転層による寄生チャネルの発生を抑制することができる。

また、絶縁膜 4 を薄くした場合にも、絶縁膜 4 直下の拡散層 3 及び延長拡散層 1 2 の p 型不純物濃度を高くすることによって、絶縁膜 4 直下の寄生チャネルの発生を抑止できることから、絶縁膜の厚さは少なくとも 1 nm ~ 1000 nm の間で選定することができる。

20

【0024】

続いて、図 3 ~ 図 10 を用いて、本発明に係る固体撮像素子の製造方法の第 1 及び第 2 の実施の形態を説明する。

【0025】

本発明に係る固体撮像素子の製造方法の第 1 の実施の形態を、図 3 ~ 図 6 を参照して説明する。この実施の形態では、素子分離領域を隔てて単位画素とトランジスタ領域とが隣り合う場合の製造方法について説明する。

30

【0026】

まず、図 3 A に示すように、第 1 導電型例えば n 型のシリコン基板 3 1 に第 2 導電型例えば p 型の半導体ウェル領域 3 2 を形成したシリコン基体を用意し、このシリコン基体表面にシリコン酸化膜 1 1 を形成し、その上にハードマスクとなるシリコン窒化膜 3 4 を形成した後、例えばレジストマスク（図示せず）を介してフォトダイオードとなる領域に n 型電荷蓄積領域 3 3 をイオン注入により、例えば n 型不純物濃度をドーズ量 $1 \times 10^{12} \text{ cm}^{-3}$ 程度イオン注入して形成する。

【0027】

なお、n 型不純物としては、熱処理過程での拡散抑制を考慮して砒素 (As) を用いることもできるし、燐 (P) を用いても良い。また、電荷蓄積領域 3 3 の形成に際し、フォトダイオードと隣接するところは、後の工程で p 型不純物で打ち返して素子分離領域を間に形成することができることから、本実施形態におけるように、隣り合う画素については連続して形成することができる。

40

【0028】

次に、図 3 B に示すように、素子分離領域を形成すべき部分、すなわち隣り合う画素のフォトダイオード間の部分、及び隣り合う画素のフォトダイオードとドレイン間の部分のシリコン窒化膜 3 4 を選択的にエッチング除去し、続いて下層のシリコン酸化膜 1 1 を選択的にエッチング除去して、開口を形成する。

【0029】

次に、図 4 C に示すように、シリコン窒化膜 3 4 及びシリコン酸化膜 1 1 をマスクとし

50

て浅いエッチング処理で開口内に露出したシリコン基体表面に浅い溝を掘り、p型不純物をイオン注入して溝の底面に最終的に素子分離領域を構成する拡散層3を形成し、この拡散層3上に、ここで形成した拡散層3の幅より細い開口を残してレジスト35を形成する。なお、ここでのイオン注入は、例えばボロン(B)をドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ ~ ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 程度、打ち込みエネルギー数keV ~ 50keV程度で行う。

【0030】

次に、図4Dに示すように、先に形成したレジスト35の開口内に、つまり既に形成された拡散層3の幅より細い幅で、拡散層3の深さを拡大するイオン注入を行った後、ここでイオン注入した位置の上部にレジスト36を形成する。なお、ここでのイオン注入は、深さ方向に数回に分けて行い、深さ方向に不純物濃度の分布を形成して、例えば深くなるにしたがって段階的に不純物濃度を低くなるように構成とすることもできる。

10

【0031】

次に、図5Eに示すように、先の工程で形成した拡散層3によって素子間分離がなされて形成された電荷蓄積領域主要部分5の両端に位置する、n型不純物濃度の低下した部分に対して、レジスト36をマスクとしてn型不純物の2回目の注入を行って、最終的に得る固体撮像素子の絶縁膜4が形成される領域の下に、主要部分5と同程度の不純物濃度を有する延長部分6を、主要部分5の形成とは独立に形成して電荷蓄積領域7を完成させる。

【0032】

次に、図5Fに示すように、延長部分6の形成におけるレジストを引き続きマスクとして用いて、先に行ったn型不純物の2回目の注入によってp型不純物の濃度が低下した拡散層3の表面部分37に対してp型不純物の2回目の注入を行って、電荷蓄積領域7の延長部分6と最終的に得る固体撮像素子の絶縁膜4の形成位置との間に、拡散層3と同程度のp型不純物濃度を有する延長拡散層12を形成し、その後レジストを除去する。

20

【0033】

次に、図6に示すように、拡散層3及び延長拡散層12の上面に絶縁層4を被着形成し、シリコン窒化膜34表面の高さまで例えばCMP(化学機械研磨)法により平坦化研磨を行った後、シリコン窒化膜34を除去し、以降、通常の工程により、トランジスタのドレイン領域9とアキューミュレーション層10を形成して前述したHAD構造のフォトダイオードを形成する。

30

その後、図示しないが、ゲート絶縁膜及びゲート電極を形成して、固体撮像素子の駆動に必要なMOSトランジスタを形成することにより、目的のCMOS固体撮像素子を得る。

【0034】

続いて、本発明に係る固体撮像素子の製造方法の第2の実施の形態を、図7~図10を参照して説明する。この実施の形態では、素子分離領域を隔てて単位画素同士のみが隣り合う場合の製造方法について説明する。

【0035】

まず、図7Aに示すように、第1導電型例えばn型のシリコン基板21に第2導電型例えばp型の半導体ウェル領域22を形成したシリコン基体を用意し、このシリコン基体表面にシリコン酸化膜11を形成し、その上にハードマスクとなるシリコン窒化膜23を形成する。

40

【0036】

次に、図7Bに示すように、素子分離領域を形成すべき部分、すなわち隣り合う画素のフォトダイオード間の部分、及び隣り合う画素のフォトダイオードとドレイン間の部分のシリコン窒化膜23を選択的にエッチング除去し、続いて下層のシリコン酸化膜11を選択的にエッチング除去して、開口を形成する。

【0037】

次に、図8Cに示すように、シリコン窒化膜23及びシリコン酸化膜11をマスクとし

50

て浅いエッチング処理で開口内に露出したシリコン基体表面に浅い溝を掘り、p型不純物をイオン注入して溝の底面に最終的に素子分離領域を構成する拡散層3を形成し、この拡散層3上にレジスト24を形成する。なお、ここでのイオン注入は、例えばボロン(B)をドーズ量 $2 \times 10^{12} \text{ cm}^{-3}$ ～ドーズ量 $1 \times 10^{14} \text{ cm}^{-3}$ 程度、打ち込みエネルギー数keV～50keV程度で行う。

【0038】

次に、図8Dに示すように、拡散層3の上面にレジスト24を被着形成し、続いて、図9Eに示すように、このレジスト24をマスクとして、フォトダイオードとなる領域にn型電荷蓄積領域の主要部分5を、イオン注入により、例えばn型不純物濃度をドーズ量 $1 \times 10^{12} \text{ cm}^{-3}$ 程度イオン注入して形成する。

10

【0039】

次に、図9Fに示すように、先の工程で形成した電荷蓄積領域の主要部分5の両脇に形成された、n型不純物濃度の低い領域25に対して、レジスト26をマスクとしてn型不純物の2回目の注入を行って、最終的に得る固体撮像素子の絶縁膜4が形成される領域の下に、主要部分5と同程度の不純物濃度を有する延長部分6を、主要部分5の形成とは独立に形成して電荷蓄積領域7を完成させる。

【0040】

次に、図10に示すように、延長部分6の形成に用いたレジスト26を引き続きマスクとして用いて、先に行ったn型不純物の2回目の注入によってp型不純物の濃度が低下した拡散層3の表面部分27に対してp型不純物の2回目の注入を行って、電荷蓄積領域7の延長部分6と最終的に得る固体撮像素子の絶縁膜4の形成位置との間に、拡散層3と同程度のp型不純物濃度を有する延長拡散層12を形成し、その後レジストを除去し、続いて拡散層3及び延長拡散層12の上面に絶縁層4を被着形成し、シリコン窒化膜23を除去し、以降、通常の工程により、トランジスタのドレイン領域9とアキュミュレーション層10を形成して前述したHAD構造のフォトダイオードを形成する。

20

その後、図示しないが、ゲート絶縁膜及びゲート電極を形成して、固体撮像素子の駆動に必要なMOSトランジスタを形成することにより、目的のCMOS固体撮像素子を得る。

【0041】

以上、本発明に係る固体撮像素子及び固体撮像素子の製造方法の実施の形態を説明したが、本発明は、この実施の形態に限られるものではない。

30

【0042】

例えば、本発明による固体撮像素子の製造方法によれば、絶縁膜の幅によらずにフォトダイオードの電荷蓄積領域を設定することが可能になることから、電荷蓄積領域の実効面積を広げる目的に限らず、フォトダイオード周辺で互いに隣り合う素子間の電界強度が弱いところについては拡散層による分離幅を狭め、電界強度が強いところについては拡散層による分離幅を広げるなど、選択的な所望の素子分離パターン形成を目的とした固体撮像素子の製造に適用することもできる。

【0043】

また、例えば、電荷蓄積領域を構成する延長部分や素子分離領域を構成する延長拡散層を、電荷蓄積領域を構成する主要部分や素子分離領域を構成する拡散層と独立して形成する際に注入する不純物は、必ずしも主要部分や拡散層の形成に用いた不純物と同一物質でなくとも、同じ極性を持つ不純物であれば良いなど、本発明は、種々の変更及び変形をなされ得る。

40

【図面の簡単な説明】

【0044】

【図1】A、B 本発明に係る固体撮像素子の一例の構成を示す概略上面図及び概略断面図である。

【図2】本発明に係る固体撮像素子の一例の構成を示す拡大断面図である。

【図3】A、B 本発明に係る固体撮像素子の製造方法の一例の説明に供する工程図であ

50

る。

【図４】Ｃ，Ｄ 本発明に係る固体撮像素子の製造方法の一例の説明に供する工程図である。

【図５】Ｅ，Ｆ 本発明に係る固体撮像素子の製造方法の一例の説明に供する工程図である。

【図６】本発明に係る固体撮像素子の製造方法の一例の説明に供する工程図である。

【図７】Ａ，Ｂ 本発明に係る固体撮像素子の製造方法の他の例の説明に供する工程図である。

【図８】Ｃ，Ｄ 本発明に係る固体撮像素子の製造方法の他の例の説明に供する工程図である。

10

【図９】Ｅ，Ｆ 本発明に係る固体撮像素子の製造方法の他の例の説明に供する工程図である。

【図１０】本発明に係る固体撮像素子の製造方法の他の例の説明に供する工程図である。

【図１１】Ａ，Ｂ 従来の固体撮像素子の構成を示す概略上面図及び概略断面図である。

【図１２】Ａ，Ｂ 従来の固体撮像素子の構成を示す概略上面図及び概略断面図である。

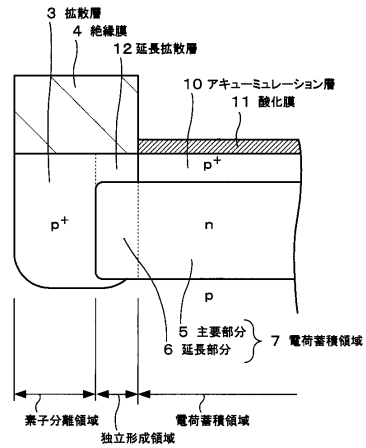
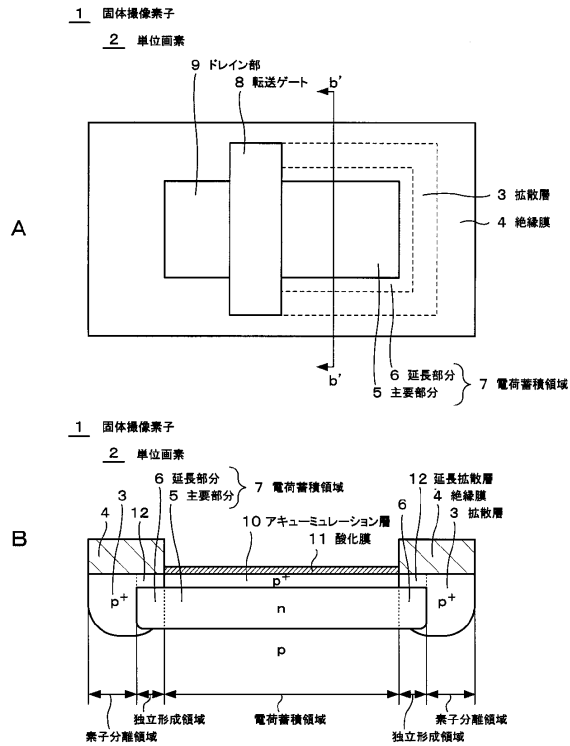
【符号の説明】

【００４５】

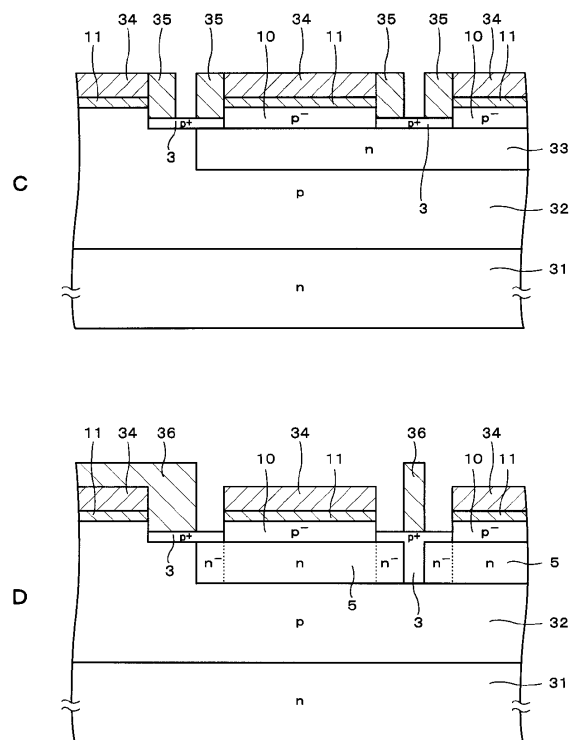
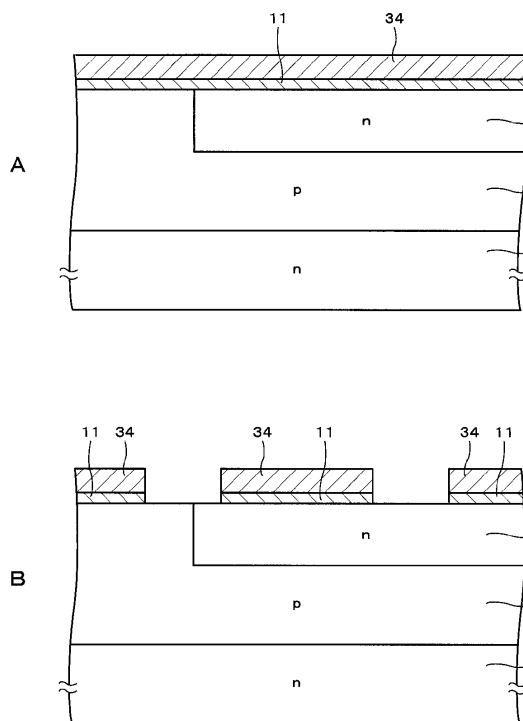
１・・・固体撮像素子、２・・・単位画素、３・・・拡散層、４・・・絶縁膜、５・・・主要部分、６・・・延長部分、７・・・電荷蓄積領域、８・・・転送ゲート、９・・・ドレイン部、１０・・・アキュムレーション層、１１・・・酸化膜、１２・・・延長拡散層、２１・・・半導体基板、２２・・・半導体ウェル領域、２３・・・ハードマスク、２４・・・レジスト、２５・・・低不純物濃度領域、２６・・・レジスト、２７・・・表面部分、３１・・・半導体基板、３２・・・半導体ウェル領域、３３・・・電荷蓄積領域、３４・・・ハードマスク、３５・・・レジスト、３６・・・レジスト、３７・・・表面部分、１０１・・・固体撮像素子、１０２・・・単位画素、１０３・・・拡散層、１０４・・・絶縁膜、１０５・・・電荷蓄積領域、１０８・・・転送ゲート、１０９・・・ドレイン部、１１０・・・アキュムレーション層、１１１・・・酸化膜

20

【图 2】

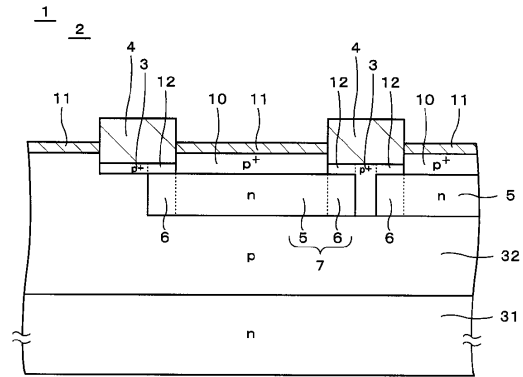


【 図 4 】

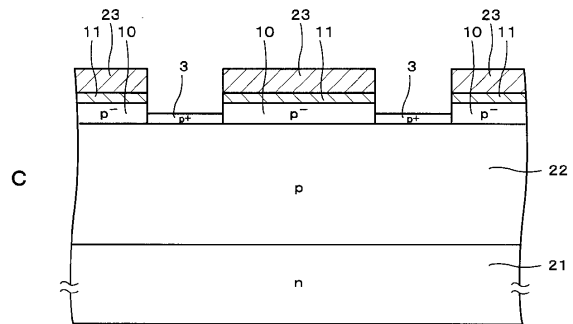


製造工程図(その2)

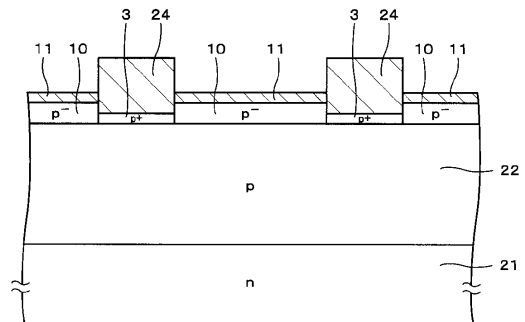
【图 6】

[illegible]

【图 8】

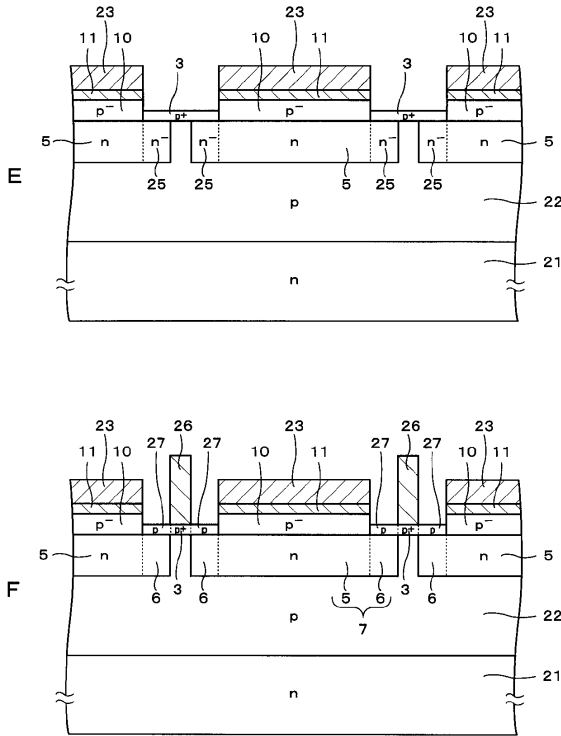


D



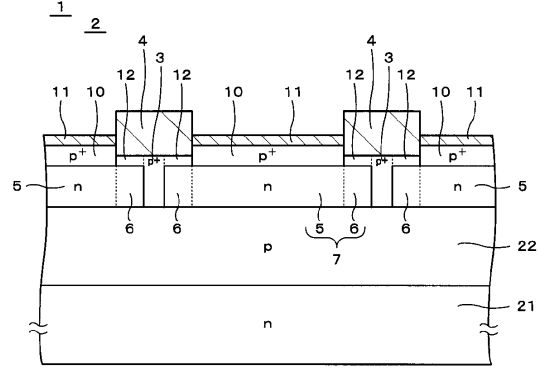
製造工程図(その2)

【図 9】



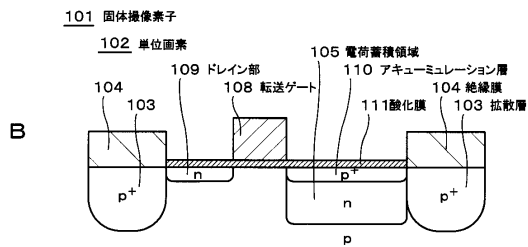
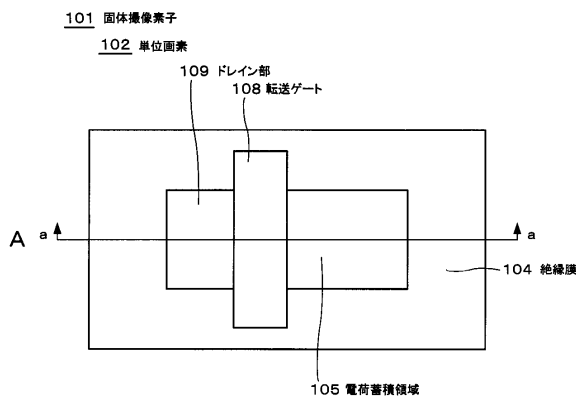
製造工程図(その3)

【図 10】

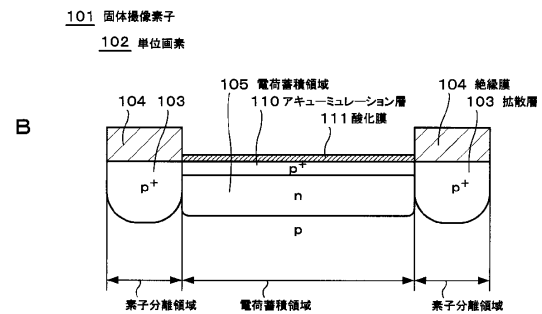
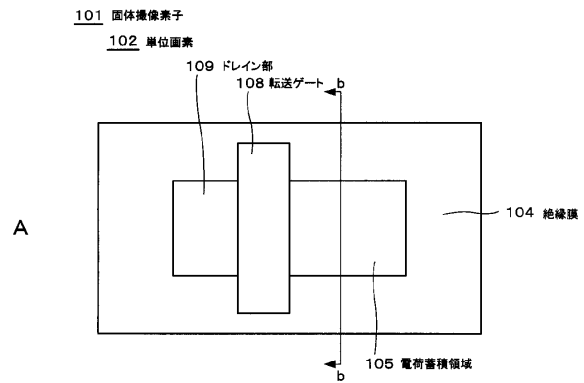


製造工程図(その4)

【図 11】



【図 12】



フロントページの続き

(72)発明者 大橋 正典

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 田谷 圭司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 4M118 AB01 BA14 CA03 CA04 CA32 EA01 EA06 EA14 FA26 FA29

FA33

5F049 MA02 MB03 NA01 NB05 PA10 PA18 QA14 RA03 SS03 SZ13