

I, Eric Vance, hereby declare:

That I possess advanced knowledge of the Japanese and English languages. The attached Japanese into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of the document *Japanese Unexamined Patent Application Publication No. 2005-353996 A*.

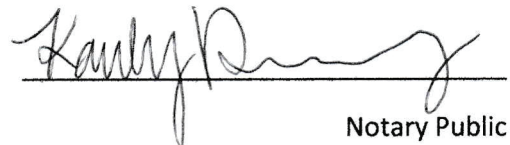
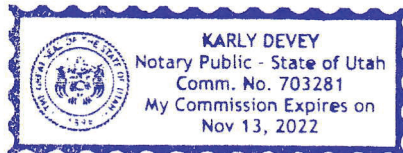
I declare that all statements made above of my own knowledge are true and that all statements made on information and belief are believed to be true. I have been warned and understand that willful false statements and the like are punishable by fine or imprisonment, or both, under § 1001 of Title 18 of the United States Code.

I declare under penalty of perjury that the foregoing is true and correct.

Executed on October 24, 2022 in South Jordan, Utah.



Eric Vance

  
Notary Public

Notary Commission Expiry Nov. 13 2022

(19) Japan Patent Office (JP) (12) JAPANESE UNEXAMINED PATENT APPLICATION PUBLICATION (A)

(11) Patent Application  
Publication No.  
**2005-353996**  
**(P2005-353996A)**

(43) Publication Date: **December 22, 2005 (Heisei 17)**

| (51) Int. Cl. <sup>7</sup> | FI           | Theme Code (Reference) |
|----------------------------|--------------|------------------------|
| <b>H01L 27/146</b>         | H01L 27/14 A | 4M118                  |
| <b>H01L 31/10</b>          | H04N 5/335 U | 5C024                  |
| <b>H04N 5/335</b>          | H01L 31/10 G | 5F049                  |

Examination Request: Not Yet Total No. of Claims: 6 OL (Total 12 pages)

|                      |                               |                     |                                     |
|----------------------|-------------------------------|---------------------|-------------------------------------|
| (21) Application No. | JP 2004-175755 (P2004-175755) | (71) Applicant      | 000002185                           |
| (22) Date of Filing  | June 14, 2004 (Heisei 16)     |                     | Sony Corporation                    |
|                      |                               |                     | 6-7-35 Kitashinagawa, Shinagawa-ku, |
|                      |                               |                     | Tokyo-to                            |
|                      |                               | (74) Agent          | 100122884                           |
|                      |                               |                     | Yoshisue Tsunoda, Patent Attorney   |
|                      |                               | (74) Agent          | 100113516                           |
|                      |                               |                     | Hironobu Isoyama, Patent Attorney   |
|                      |                               | (72) Inventor       | Toshiaki Shiraiwa                   |
|                      |                               |                     | c/o Sony Corporation                |
|                      |                               |                     | 6-7-35 Kitashinagawa, Shinagawa-ku, |
|                      |                               |                     | Tokyo-to                            |
|                      |                               | F Terms (Reference) | 4M118 AA01 AB01 CA04 CA09 EA20      |
|                      |                               |                     | FA26 GA02 GC07 GD04 GD07            |
|                      |                               |                     | HA25                                |
|                      |                               |                     | 5C024 CY47 GY01 GY31                |
|                      |                               |                     | 5F049 MA01 MB02 NA08 NA15 NB05      |
|                      |                               |                     | QA06 QA20 RA08 UA01 UA14            |

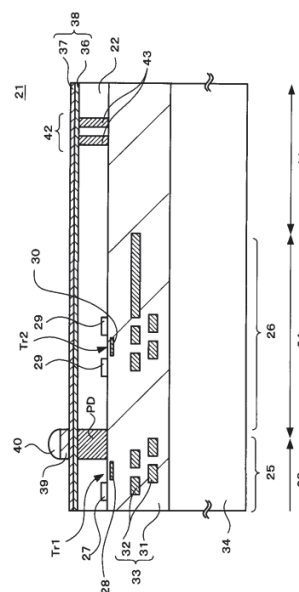
(54) [Title of Invention] SOLID-STATE IMAGING ELEMENT AND MANUFACTURING METHOD OF SAME, AND SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF SAME

(57) [Summary]

[Problem] To provide a semiconductor device including a back-lit solid-state imaging element, wherein a semiconductor substrate can be made thin without using an SOI substrate.

[Resolution Means] An end point detection portion 42 composed of an embedded layer 43 of a material different from that of a semiconductor substrate 22 is formed on the semiconductor substrate 22, the semiconductor substrate 22 is thinned from a back surface to a position facing the end point detection portion 42, components of a semiconductor element such as a solid-state imaging element are formed on a front surface side and a back surface side of the semiconductor substrate 22, and a carrier substrate 34 is bonded to the front surface side of the semiconductor substrate 22.

[Selected Drawing] FIG. 1



## [Scope of Patent Claims]

## [Claim 1]

A solid-state imaging element, wherein  
an end point detection portion composed of an embedded layer of a material different from a semiconductor substrate is formed on the semiconductor substrate,  
the semiconductor substrate is thinned from a back surface to a position faced by the end point detection portion,  
components of the solid-state imaging element are formed on a front surface side and a back surface side of the semiconductor substrate, and  
a carrier substrate is bonded to the front surface side of the semiconductor substrate.

## [Claim 2]

A semiconductor device, wherein  
an end point detection portion composed of an embedded layer of a material different from a semiconductor substrate is formed on the semiconductor substrate,  
the semiconductor substrate is thinned from a back surface to a position faced by the end point detection portion,  
components of the semiconductor device are formed on a front surface side and a back surface side of the semiconductor substrate, and  
a carrier substrate is bonded to the front surface side of the semiconductor substrate.

## [Claim 3]

A solid-state imaging element manufacturing method, comprising  
a step for forming an end point detection portion composed of an embedded layer of a material different from a semiconductor substrate on the semiconductor substrate,  
a step for forming a portion of components of a semiconductor device of the solid-state imaging element on a front surface side of the semiconductor substrate,  
a step for bonding a carrier substrate to the front surface side of the semiconductor substrate,  
a step for thinning the semiconductor substrate from a back surface to a position faced by the end point detection portion,  
and  
a step for forming another portion of components of the solid-state imaging element on a back surface side of the semiconductor substrate.

## [Claim 4]

The solid-state imaging element manufacturing method according to claim 3, wherein,  
in the thinning step, the end point detection portion is detected by a change in the emission intensity of the wavelength using a dry etching method.

## [Claim 5]

A semiconductor device manufacturing method, comprising  
a step for forming an end point detection portion composed of an embedded layer of a material different from a semiconductor substrate on the semiconductor substrate,  
a step for forming a portion of components of a semiconductor device on a front surface side of the semiconductor substrate,  
a step for bonding a carrier substrate to the front surface side of the semiconductor substrate,  
a step for thinning the semiconductor substrate from a back surface to a position faced by the end point detection portion,  
and  
a step for forming another portion of components of the semiconductor device on a back surface side of the semiconductor substrate.

## [Claim 6]

The semiconductor device manufacturing method according to claim 5, wherein,  
in the thinning step, the end point detection portion is detected by a change in the emission intensity of the wavelength using a dry etching method.

## [Detailed Description of the Invention]

## [Technical Field]

## [0001]

The present invention relates to a solid-state imaging element and a method for manufacturing the same, and to a semiconductor device and a method for manufacturing the same, wherein thinning of a semiconductor substrate is required.

## [Background Art]

## [0002]

Representative solid-state imaging elements include a CMOS solid-state imaging element (so-called CMOS image sensor) that specifies and reads an X-Y address and a CCD solid-state imaging element (so-called CCD image sensor) of a

charge transfer type. Both of these solid-state imaging elements perform photoelectric conversion of light incident on two-dimensionally arranged photodiodes, and one of two charges (for example, electrons) thereof is used as a signal charge.  
[0003]

A front-lit CMOS solid-state imaging element is generally used as a CMOS solid-state imaging element that radiates light from a front surface side in which a wiring layer of a semiconductor substrate is formed and detects light via a photodiode formed on the semiconductor substrate. However, it is known that in such a front-lit CMOS solid-state imaging element, multilayer wiring is present in the path of radiated light, particularly in the optical path of diagonal light in peripheral portions of the effective pixel region, and light is repelled by this multilayer wiring. Therefore, usage efficiency of light drops, and sensitivity is reduced. Thus, a back-lit CMOS solid-state imaging element that radiates light from the back surface side of a semiconductor substrate on which multilayer wiring is formed on the front surface side is promising (see patent document 1).  
[0004]

Furthermore, in CCD solid-state imaging elements as well, it is well-known that sensitivity drops due to light being absorbed by the interlayer insulating film on the element, and a structure is proposed that performs photoelectric conversion by introducing light from the substrate back surface side (see patent document 2).  
[0005]

[Patent Document 1] JP 2003-31785 A

[Patent Document 2] JP H6-29506 A

[Disclosure of the Invention]

[Problem to Be Solved by the Invention]

[0006]

However, for example, in a CMOS solid-state imaging element, when radiating light from the back surface of the substrate, the thickness of the silicon substrate is normally as thick as several hundred  $\mu\text{m}$ , and light cannot be transmitted. Therefore, the silicon substrate must be thinned to a few  $\mu\text{m}$ . When the thickness of a silicon layer varies during thinning, light incidence intensity variation occurs, and color unevenness causes defects.  
[0007]

Conversely, methods are under consideration that use an SOI (silicon on insulator) substrate to prevent variations in the film thickness of the silicon layer. In other words, variations in the film thickness of the silicon layer are suppressed by using an SOI substrate to perform mechanical polishing with a high etching rate, then performing CMP (chemical mechanical polishing), and then performing wet etching to stop thinning in the  $\text{SiO}_2$  layer.  
[0008]

A manufacturing method in which is manufactured a back-lit CMOS solid-state imaging element using an SOI substrate will be described with reference to FIGS. 7 to 10.

First, as illustrated in FIG. 7A, an SOI substrate 4 is prepared wherein a thin film silicon layer 3 is formed on a silicon substrate 1 atop a silicon oxide film ( $\text{SiO}_2$  film) 2.

Next, as illustrated in FIG. 7B, a pixel separation region (not illustrated) of the imaging region, a semiconductor well region (not illustrated), and a photodiode PD acting as a photosensor are formed on the silicon layer 3 from the front surface side thereof.  
[0009]

Next, as illustrated in FIG. 8C, a source/drain region 5 constituting a plurality of MOS transistors Tr1 for reading a signal charge to each unit pixel cell of the silicon layer 3 is formed, and a gate electrode 6 is formed atop a gate insulating film. A source/drain region 17 constituting a CMOS transistor Tr2 is formed in a peripheral circuit portion, and a gate electrode 18 is formed atop a gate insulating film. Furthermore, a so-called multilayer wiring layer 9 is formed by forming a multilayer wiring 8 on the silicon layer 3 atop an interlayer insulating film 7.

Next, as illustrated in FIG. 8D, a carrier substrate 11 made from, for example, a silicon substrate, is joined onto the multilayer wiring layer 9.  
[0010]

Next, as illustrated in FIG. 9E, the SOI substrate 4 is inverted, the silicon substrate 1 is polished and removed by BGR (back grinding: mechanical roughening) and wet etching, with an silicon oxide film 2 as a stopper film, and the

silicon oxide film 2 is removed by wet etching to thin the silicon layer 3 such that the back surface thereof is exposed.

Next, as illustrated in FIG. 9F, a passivation film composed of, for example, a silicon nitride film 12 and a silicon oxide film 13 is formed on the back surface of the silicon layer 3.

[0011]

Next, a pad opening is formed at a required position of the silicon layer 3, a terminal portion that includes the inside of the opening and connects to the wiring 8 is formed (not illustrated), and, as illustrated in FIG. 10, a color filter 14 and an on-chip lens 15 are formed at positions corresponding to the photodiode PD of each pixel, thereby obtaining a back-lit CMOS solid-state imaging element 16.

[0012]

However, when manufacturing a back-lit CMOS solid-state imaging element using an SOI substrate in this manner, there is a problem in that manufacturing costs increase because the SOI substrate is ten times as expensive as a normal silicon substrate.

[0013]

Such problems also occur for back-lit CCD solid-state imaging elements, are not limited to a solid-state imaging element, and may also occur in, for example, semiconductor integrated circuit devices configured to form a semiconductor element and/or multilayer wiring on both the front and back surfaces of a semiconductor substrate.

[0014]

In view of the points described above, the present invention provides a solid-state imaging element and a method for manufacturing the same, as well as a semiconductor device and a method for manufacturing the same, wherein a semiconductor substrate can be thinned without using an SOI substrate.

[Means for Solving the Problem]

[0015]

The solid-state imaging element of the present invention is characterized in that an end point detection portion composed of an embedded layer of a material different from a semiconductor substrate is formed on the semiconductor substrate, the semiconductor substrate is thinned from a back surface to a position faced by the end point detection portion, components of the solid-state imaging element are formed on a front surface side and a back surface side of the semiconductor substrate, and a carrier substrate is bonded to the front surface side of the semiconductor substrate.

[0016]

The solid-state imaging element manufacturing method of the present invention is characterized in having a step for forming an end point detection portion composed of an embedded layer of a material different from a semiconductor substrate on the semiconductor substrate, a step for forming a portion of components of the semiconductor device of the solid-state imaging element on the front surface side of the semiconductor substrate, a step for bonding a carrier substrate to the front surface side of the semiconductor substrate, a step for thinning the semiconductor substrate from a back surface to a position faced by the end point detection portion, and a step for forming another portion of components of the solid-state imaging element on the back surface side of the semiconductor substrate.

[0017]

In the thinning step, the end point detection portion is detected by a change in the emission intensity of the wavelength using a dry etching method.

[0018]

The semiconductor device of the present invention is characterized in that an end point detection portion composed of an embedded layer of a material different from a semiconductor substrate is formed on the semiconductor substrate, the semiconductor substrate is thinned from a back surface to a position faced by the end point detection portion, components of the semiconductor device are formed on the front surface side and the back surface side of the semiconductor substrate, and a carrier substrate is bonded to the front surface side of the semiconductor substrate.

[0019]

The semiconductor device manufacturing method of the present invention is characterized in having a step for forming an end point detection portion composed of an embedded layer of a material different from a semiconductor substrate on the semiconductor substrate, a step for forming a portion of components of the semiconductor device on the front surface side of the semiconductor substrate, a step for bonding a carrier substrate to the front surface side of the semiconductor substrate, a step for thinning the semiconductor substrate from a back surface to a position faced by the end point detection portion, and a step for forming another portion of components of the semiconductor device on the back surface side of the semiconductor substrate.

[0020]

In the thinning step, the end point detection portion is detected by a change in the emission intensity of the wavelength using a dry etching method.

## [Effect of the Invention]

[0021]

According to the solid-state imaging element of the present invention, each component is formed and configured using a semiconductor substrate thinned by an end point detection portion provided on the semiconductor substrate, without using an SOI substrate. Therefore, a low-cost, highly accurate back-lit solid-state imaging element can be provided.

[0022]

According to the solid-state imaging element manufacturing method of the present invention, an end point detection portion composed of an embedded layer of a material different from that of a semiconductor substrate is formed on the semiconductor substrate, and the semiconductor substrate is thinned from a back surface to a position faced by the end point detection portion, thereby enabling the semiconductor substrate to be thinned with less variation, without using an SOI substrate. Furthermore, in the step for thinning, the end point detection portion is detected by a change in the emission intensity of plasma using a dry etching method, thereby enabling thin film formation with a uniform film thickness and accurately setting the film thickness of the thin film. Accordingly, a back-lit solid-state imaging element can be manufactured at lower cost.

[0023]

According to the semiconductor device of the present invention, each component is formed and configured using a semiconductor substrate thinned by an end point detection portion provided on the semiconductor substrate, without using an SOI substrate. Therefore, a low-cost, highly accurate semiconductor device can be provided.

[0024]

According to the semiconductor device manufacturing method of the present invention, an end point detection portion composed of an embedded layer of a material different from that of a semiconductor substrate is formed on the semiconductor substrate, and the semiconductor substrate is thinned from a back surface to a position faced by the end point detection portion of the semiconductor substrate, thereby enabling the semiconductor substrate to be thinned with less variation, without using an SOI substrate. Furthermore, in the step for thinning, the end point detection portion is detected by a change in the emission intensity of plasma using a dry etching method, thereby enabling thin film formation with a uniform film thickness and accurately setting the film thickness of the thin film. Accordingly, the semiconductor device can be manufactured at lower cost.

## [Best Mode for Carrying Out the Invention]

[0025]

Embodiments of the present invention will be described below with reference to drawings.

[0026]

FIG. 1 illustrates one embodiment in which the solid-state imaging element according to the present invention is applied to a back-lit CMOS solid-state imaging element. Note that FIG. 1 illustrates a schematic configuration of the essential parts including the imaging region where the pixels are arrayed in a matrix shape and peripheral circuitry formed around such.

The back-lit CMOS solid-state imaging element 21 according to the present embodiment is formed by a plurality of unit pixels 25 formed in a matrix shape, the unit pixels configured from a photodiode PD serving as one light-receiving portion on a thinned semiconductor substrate that will be described below, for example, an imaging region 23 of a silicon semiconductor substrate 22, and a plurality of MOS transistors Tr1 serving as means for reading signal charges of the photodiode PD, and a peripheral circuit portion 26 made from a plurality of CMOS transistors Tr2 being formed on a peripheral region 24.

[0027]

The photodiode PD is formed so as to extend from the front surface side to the back surface side of the semiconductor substrate 22. The MOS transistors Tr1 of the unit pixels are configured by forming a gate electrode 28 atop a gate insulating film between a pair of source/drain regions 27 formed on the semiconductor substrate 22. Furthermore, the CMOS transistors Tr2 of the peripheral circuit portion 26 are configured by forming a gate electrode 30 atop a gate insulating film between a pair of source/drain regions 29 formed on the semiconductor substrate 22. On the front surface of the imaging region 23 and the peripheral region 24 of the semiconductor substrate 22, a multilayer wiring layer 33 having multilayer wiring 32 is formed atop an interlayer insulating film 31. Furthermore, the multilayer wiring 32 may be formed so as to overlap the photodiode PD. Furthermore, a carrier substrate 34 is bonded on the wiring layer 33 by, for example, a silicon substrate or the like in order to maintain the mechanical strength of the solid-state imaging element. Conversely, on the back surface side of the semiconductor substrate 22, a color filter 39 and an on-chip lens 40 thereon corresponding to each pixel 25 are formed atop, for example, a passivation film (also serving as an anti-reflection film) 38

composed of a silicon nitride film 36 and a silicon oxide film 37. In the CMOS solid-state imaging element 21, light is radiated on the photodiode PD from the substrate back surface side through the on-chip lens 40.

[0028]

Furthermore, in the present embodiment, an end point detection portion 42 that is a marker for detecting the polishing position when the semiconductor substrate 22 is thinned is formed on the semiconductor substrate 22. The end point detection portion 42 is formed from an embedded layer 43 of a material different from that of the semiconductor substrate 22 at a depth equivalent to the thinned thickness from the front surface of the semiconductor substrate 22. For example, in the silicon substrate 22, the end point detection portion 42 is formed by an embedded layer 43 such as a silicon oxide film. Detection of the end point detection portion 42 is performed by using an EPD (end point detector) method that detects a change in the emission intensity of a specific wavelength of the plasma emission due to a difference in material when the semiconductor substrate 22 is polished by plastic etching from the back surface side. The semiconductor substrate 22 of FIG. 1 detects the end point detection portion 42 and illustrates the thinned state. The thickness of the thinned semiconductor substrate 22 is set to 10  $\mu\text{m}$  or less, for example, about 5  $\mu\text{m}$ .

[0029]

The end point detection portion 42 may be formed in any portion within the solid-state imaging element, but it is preferably formed in a peripheral field region 44 separated from the imaging region 23 and the peripheral circuit portion 26. Furthermore, the end point detection portion 42 may also be formed on a scribe line of a wafer. The end point detection portion 42 can also be used as an alignment mark when forming the photodiode PD, the MOS transistor Tr1, the CMOS transistor Tr2, and the multilayer wiring 32 formed on the substrate front surface side and the color filter 39 and the on-chip lens 40 formed on the substrate back surface side.

[0030]

FIG. 2 illustrates a specific example of the unit pixel 25 of the back-lit CMOS solid-state imaging element 21. In this example, an element separation region 52 is formed made from a p-type, which is a second conductivity type semiconductor region so as to partition each pixel region 25 in a thinned first conductivity type, for example, n-type, silicon substrate 22. The n-type semiconductor substrate 22 of a pixel region 51 is formed at relatively low impurity concentration. A p-type semiconductor well region 53 is formed on the front surface of the n-type semiconductor substrate 22 of the pixel region 51 so as to be connected to a p-type element separation region 52 and extend partially into the pixel region 51. A photodiode PD as a photoelectric conversion part is formed of an n-type semiconductor substrate 22 surrounded by the p-type element separation region 52 and the p-type semiconductor well region 53. In other words, the photodiode PD is formed by an n-type semiconductor region 22A, a high impurity concentration  $n^+$  semiconductor region 22B on the front surface side thereof, and a  $p^+$  accumulation layer 54 for suppressing dark current generation formed on the interface of the  $n^+$  semiconductor region 22B. This photodiode PD is configured as a so-called HAD (Hole Accumulation Diode) sensor. The n-type semiconductor region 22A extends below the p-type semiconductor well region 53, and thus the photodiode PD is formed on a large area so as to extend over the entire pixel region.

[0031]

Conversely, the MOS transistor Tr1 is formed in the p-type semiconductor well region 53. That is, when one pixel is configured by, for example, one photodiode PD and four MOS transistors, the MOS transistor Tr1 has a read transistor, a reset transistor, an amplifier transistor, and a vertical selection transistor. In FIG. 2, one  $n^+$  source/drain region 57 is formed near the photodiode PD in the p-type semiconductor well region 53, and a read transistor Tr11 is formed by forming a gate electrode 27 atop a gate insulating film on the p-type semiconductor well region 53 between this  $n^+$  source/drain region 57 and the  $n^+$  semiconductor region 22B of the photodiode PD also serving as the other source/drain region. In another portion of the p-type semiconductor well region 53, corresponding  $n^+$  source/drain regions 58 and 59 are formed, a gate electrode 27 is formed on the p-type semiconductor well region 53 between the  $n^+$  source/drain regions 58 and 59 via a gate insulating film, and other MOS transistors, that is, a reset transistor Tr12, an amplifier transistor Tr13,

and a vertical selection transistor Tr14, are formed.

[0032]

Further, the multilayer wiring 32 is formed on the front surface of the semiconductor substrate 22 atop the interlayer insulating film 31 made of, for example, a silicon oxide film or the like, and the carrier substrate 34 made of, for example, a silicon substrate, is bonded onto the multilayer wiring layer 33. The passivation film 38 is formed on the light radiation surface of the back surface of the semiconductor substrate 22, and the on-chip lens 40 is formed on the passivation film 38 atop the color filter 39.

[0033]

Next, one embodiment of a manufacturing method of the back-lit CMOS solid-state imaging element 21 above will be described using FIG. 3 to FIG. 5.

In the present embodiment, first, as illustrated in FIG. 3A, an insulating film 61 is deposited on a front surface (one main surface) of the silicon substrate 22, the insulating film 61 is patterned using a resist mask (not illustrated), and grooves 62 of a required width and a required depth are formed on the silicon substrate 22 by using the insulating film 61 as a mask. In the present example, an 8-inch silicon wafer having a thickness of 725  $\mu\text{m}$  is used as the silicon substrate 22. A silicon nitride film 63 having a thickness of about 220 nm and a silicon oxide film 64 having a thickness of about 1  $\mu\text{m}$  are laminated on the silicon substrate 22 as the insulating film 61. An opening having a width of about 10  $\mu\text{m}$  is formed in the insulating film 61 by dry etching via the resist mask on the outer periphery of the region of the silicon substrate 22 where the solid-state imaging element is formed. After removing the resist mask, the plurality of grooves 62 having a width of about 10  $\mu\text{m}$  and a depth equivalent to 10  $\mu\text{m}$  or less, which is the thickness for thinning the silicon substrate 22, of about 6  $\mu\text{m}$  in the present example, are formed in the silicon substrate 22 by dry etching using the insulating film 61 as a mask.

[0034]

Next, as illustrated in FIG. 3B, a material different from silicon is deposited so as to be embedded in the groove 62, in the present example, the silicon oxide film 43 is deposited, and the front surface is smoothed by a CMP (chemical-mechanical polishing) method. Then, though not illustrated, an element separation region is formed, and the silicon nitride film 63 used as a mask is removed. Thus, the end point detection portion 42 is formed by embedding the silicon oxide film 43 in the grooves 62.

[0035]

Next, as illustrated in FIG. 4C, a component constituting a portion of the solid-state imaging element is formed on the front surface side of the silicon substrate 2 by using a normal semiconductor process. That is, the photodiode PD and the plurality of MOS transistors Tr1 are formed corresponding to each pixel region in the imaging region of the silicon substrate 22, and the CMOS transistor Tr2 (not illustrated) is formed in the peripheral circuit portion of the peripheral region. Furthermore, the multilayer wiring layer 33 in which the multilayer wiring 32 is disposed atop the interlayer insulating film 31 is formed on the silicon substrate 22.

[0036]

Next, as illustrated in FIG. 4D, a carrier substrate 34 made from, for example, a silicon substrate, is bonded onto the multilayer wiring layer 33.

[0037]

Next, as illustrated in FIG. 5E, the silicon substrate 22 is inverted, and the back surface side (the other main surface side) of the silicon substrate 22 is polished and thinned. In the present example, first, the silicon substrate 22 is thinned to a thickness of 10  $\mu\text{m}$  by mechanical polishing (for example, a BGR method) or in combination with a CMP method. Finally, the film is further thinned by dry etching, for example, dry etching using an  $\text{SF}_6/\text{O}_2$  gas system (so-called plasma etching). At this time, by using, for example, an end point detector (EPD), the end point of thinning is detected by the emission intensity change when the embedded silicon oxide film 43 of the end point detection portion 42 formed in FIG. 3B is exposed. In this case, the dry etching may be stopped once the emission intensity change is detected and thinning of the silicon substrate 22 may be finished, or the silicon substrate 22 may be thinned to a required thickness by controlling the timing of subsequent dry etching after detecting the emission intensity change and detecting that the embedded silicon oxide film 43 of the end point detection portion 42 is exposed.

[0038]

The dry etching conditions of the silicon substrate 2 while thinning may be, for example, dry etching under the following conditions.

|                                         |             |
|-----------------------------------------|-------------|
| Pressure                                | 250 mTorr   |
| RF power                                | 1500 W      |
| Gaseous SF <sub>6</sub> /O <sub>2</sub> | 400/75 sccm |
| Temperature                             | -10°C       |

[0039]

Next, as illustrated in FIG. 5F, a passivation film 38 composed of, for example, a silicon nitride film 36 and a silicon oxide film 37 is formed on the back surface of the thinned silicon substrate 22 by a plasma CVD method.

[0040]

Next, even though not illustrated, an opening for pad (terminal) derivation for connection to the wiring 32 is formed in a required portion of the solid-state imaging element formation region of the silicon substrate 22, and a pad is formed through this opening.

[0041]

Next, as illustrated in FIG. 1, the color filter 39 of a color corresponding to a position corresponding to each photodiode PD is formed, an on-chip lens 40 is further formed thereon, and the desired back-lit CMOS solid-state imaging element 21 is obtained.

[0042]

Note that the silicon oxide film 43 of the end point detection portion 42 can be distinguished from the silicon substrate 22, and thus the end point detection portion 42 can be used as an alignment mark to form the photodiode PD, the MOS transistor Tr1, and the CMOS transistor Tr2 with the end point detection portion 42 as a reference. Moreover, the end point detection portion 42 after thinning is also planarized, and thus there is no variance in the thickness of the coating film, and the color filter 39, on-chip lens, and the like can be formed with the end point detection portion 42 as a reference.

[0043]

According to the back-lit CMOS solid-state imaging element 21 of the present embodiment described above, each configuration element is formed and configured using a silicon substrate thinned by the end point detection portion 42 provided on the silicon substrate 22, without using the SOI substrate, and thus a low-cost and high-precision CMOS solid-state imaging element can be provided.

[0044]

Furthermore, according to the back-lit CMOS solid-state imaging element manufacturing method of the present embodiment, by forming the end point detection portion 42 that embeds a material different from silicon in the silicon substrate 22, it is possible to detect changes in the emission intensity of the plasma in the end point detection portion 42 when thinning is performed by dry etching, set the film thickness of the silicon substrate, and thin the silicon substrate 22 with less film thickness variation, without using an SOI substrate. When end point detection is performed by chemical polishing, erosion occurs where the silicon film thickness of the outer peripheral portion of the dense element becomes thinner, but when dry etching as in the present embodiment is performed and the end point is detected by a change in the emission intensity of the plasma, a thin film having a uniform film thickness can be formed over the entire region. Accordingly, the back-lit CMOS solid-state imaging element 21 can be manufactured at lower cost.

[0045]

The embodiment described above is applied to a back-lit CMOS solid-state imaging element, but it can also be applied to other solid-state imaging elements, for example, a back-lit CCD solid-state imaging element.

[0046]

FIG. 6 illustrates an embodiment in which the present invention is applied to a semiconductor device, that is, a semiconductor integrated circuit device. The semiconductor integrated circuit device 71 according to the present embodiment is configured by forming a multilayer wiring layer 77 in which multilayer wiring 76 is disposed atop a MOS transistor group Tr31 having a gate electrode 74 and an interlayer insulating film 75 on a front surface side of a silicon substrate 72 thinned using the end point detection portion 42 provided in the same manner as described above, joining a carrier substrate 34 by, for example, a silicon substrate on this multilayer wiring layer 77, and forming a multilayer wiring layer 81 in which multilayer wiring 80 is

disposed atop a MOS transistor group Tr32 having a gate electrode 78 and an interlayer insulating film 79 on a back surface side of the silicon substrate 72. 82 is a passivation film.

[0047]

The example in FIG. 6 is applied to a semiconductor integrated circuit device of a configuration in which the MOS transistor groups Tr31 and Tr32 and multilayer wiring layers 77 and 78 are formed respectively on both sides of a silicon substrate 72, but it can also be applied to various forms of semiconductor integrated circuit devices, such as by forming a MOS transistor or another semiconductor element on one surface side of a silicon substrate 72 and forming a wiring layer on the other surface side.

[0048]

The semiconductor integrated circuit device and the manufacturing method thereof also exhibit the same operation and effect as the solid-state imaging element described above.

[Brief Description of the Drawings]

[0049]

[FIG. 1] A schematic configurational diagram illustrating one embodiment in which the solid-state imaging element according to the present invention is applied to a back-lit CMOS solid-state imaging element.

[FIG. 2] An enlarged cross-sectional view of the essential parts of FIG. 1.

[FIG. 3] A and B: A manufacturing process diagram (No. 1) illustrating one embodiment of a manufacturing method of the back-lit CMOS solid-state imaging element of FIG. 1.

[FIG. 4] C and D: A manufacturing process diagram (No. 2) illustrating one embodiment of a manufacturing method of the back-lit CMOS solid-state imaging element of FIG. 1.

[FIG. 5] E and F: A manufacturing process diagram (No. 2) illustrating one embodiment of a manufacturing method of the back-lit CMOS solid-state imaging element of FIG. 1.

[FIG. 6] A schematic configurational diagram illustrating another embodiment in which the semiconductor device according to the present invention is applied to a semiconductor integrated circuit device.

[FIG. 7] A and B: A manufacturing process diagram (No. 1) of a manufacturing method of the back-lit CMOS solid-state imaging element of a comparative example.

[FIG. 8] C and D: A manufacturing process diagram (No. 2) of a manufacturing method of the back-lit CMOS solid-state imaging element of a comparative example.

[FIG. 9] E and F: A manufacturing process diagram (No. 3) of a manufacturing method of the back-lit CMOS solid-state imaging element of a comparative example.

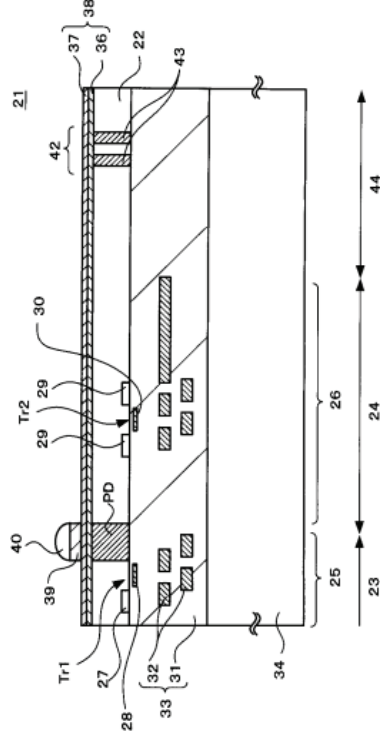
[FIG. 10] A manufacturing process diagram (No. 4) of a manufacturing method of the back-lit CMOS solid-state imaging element of a comparative example.

[Description of Reference Numerals]

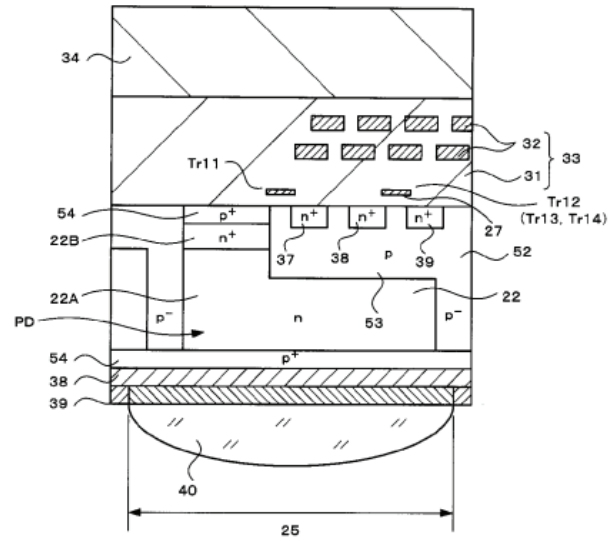
[0050]

21 ... Back-lit CMOS solid-state imaging element, 22 ... Silicon substrate, 23 ... Imaging region, 23 ... Peripheral region, 44 ... Field region, 25 ... Unit pixel, 26 ... Peripheral circuit portion, PD ... Photodiode, 27, 29 ... Source/drain region, 28, 30 ... Gate electrode, Tr1 ... MOS transistor, Tr2 ... CMOS transistor, 31 ... Interlayer insulating film, 32 ... Multilayer wiring, 33 ... Multilayer wiring layer, 34 ... Carrier substrate, 39 ... Color filter, 40 ... On-chip lens, 42 ... End point detection portion, 43 ... Embedded layer

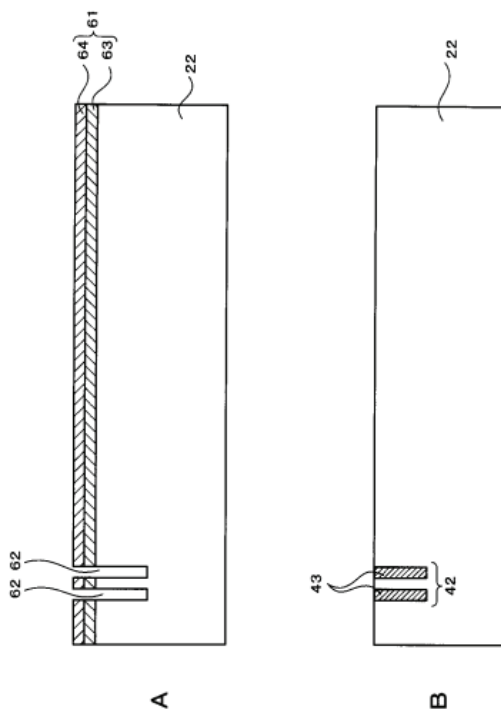
[FIG. 1]



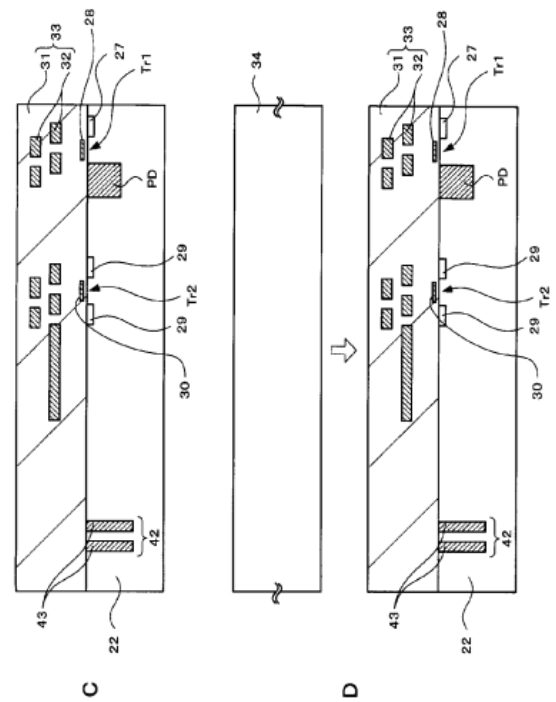
[FIG. 2]



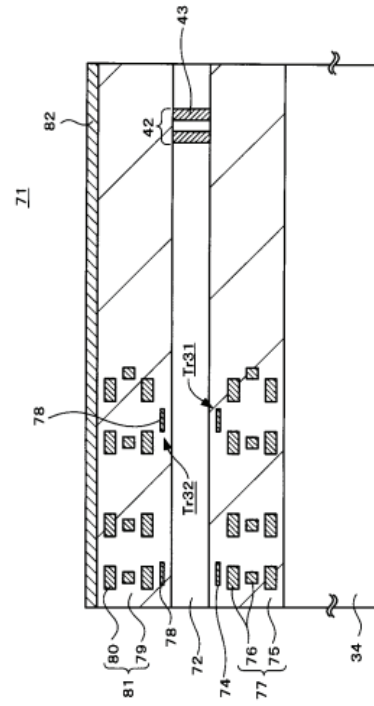
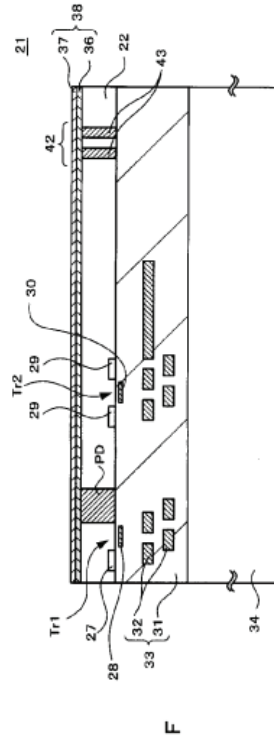
[FIG. 3]



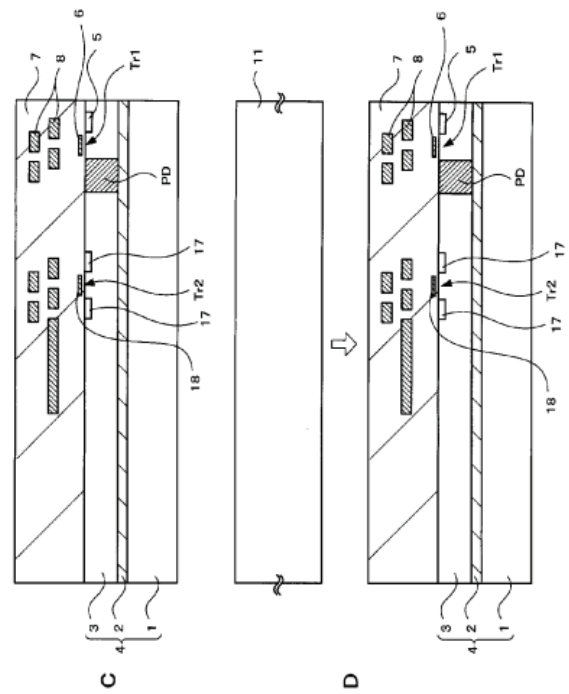
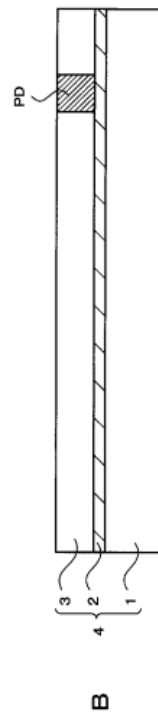
[FIG. 4]



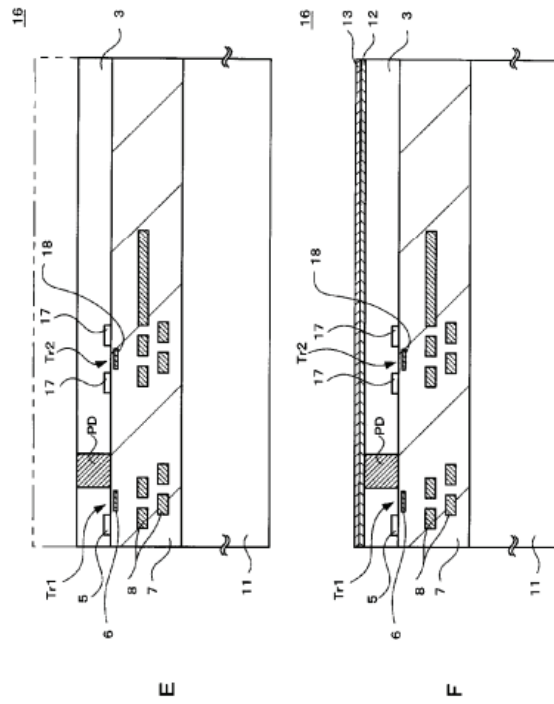
[FIG. 6]



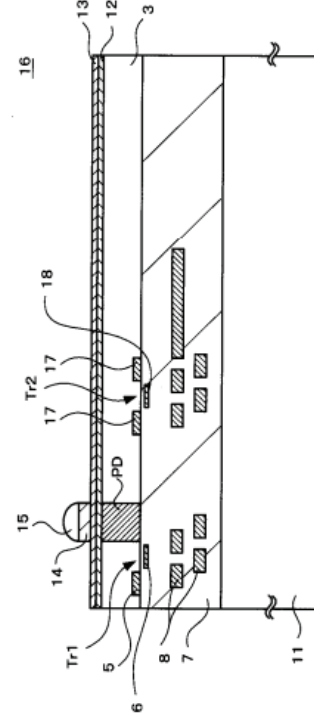
[FIG. 8]



[FIG. 9]



[FIG. 10]







## 【特許請求の範囲】

## 【請求項 1】

半導体基板に、該半導体基板と異なる材料の埋め込み層からなる終点検出部が形成され

、

前記半導体基板が裏面から前記終点検出部が臨む位置まで薄膜化され、

前記半導体基板の表面側及び裏面側に固体撮像素子の構成要素が形成され、

前記半導体基板の表面側に支持基板が貼り合せされて成る

ことを特徴とする固体撮像素子。

## 【請求項 2】

半導体基板に、該半導体基板と異なる材料の埋め込み層からなる終点検出部が形成され

10

、

前記半導体基板が裏面から前記終点検出部が臨む位置まで薄膜化され、

前記半導体基板の表面側及び裏面側に半導体装置の構成要素が形成され、

前記半導体基板の表面側に支持基板が貼り合せされて成る

ことを特徴とする半導体装置。

## 【請求項 3】

半導体基板に、該半導体基板と異なる材料の埋め込み層からなる終点検出部を形成する工程と、

前記半導体基板の表面側に固体撮像素子の半導体装置の構成要素の一部を形成する工程と、

20

前記半導体基板の表面側に支持基板を貼り合わせる工程と、

前記半導体基板を裏面から前記終点検出部が臨む位置まで薄膜化する工程と、

前記半導体基板の裏面側に固体撮像素子の構成要素の他部を形成する工程とを有する

ことを特徴とする固体撮像素子の製造方法。

## 【請求項 4】

前記薄膜化する工程において、ドライエッチング法を用いて波長の発光強度の変化により前記終点検出部を検出する

ことを特徴とする請求項 3 記載の固体撮像素子の製造方法。

## 【請求項 5】

半導体基板に、該半導体基板と異なる材料の埋め込み層からなる終点検出部を形成する工程と、

30

前記半導体基板の表面側に半導体装置の構成要素の一部を形成する工程と、

前記半導体基板の表面側に支持基板を貼り合わせる工程と、

前記半導体基板を裏面から前記終点検出部が臨む位置まで薄膜化する工程と、

前記半導体基板の裏面側に半導体装置の構成要素の他部を形成する工程とを有する

ことを特徴とする半導体装置の製造方法。

## 【請求項 6】

前記薄膜化する工程において、ドライエッチング法を用いて波長の発光強度の変化により前記終点検出部を検出する

ことを特徴とする請求項 5 記載の半導体装置の製造方法。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体基板の薄膜化を必要とした、固体撮像素子とその製造方法、並びに半導体装置とその製造方法に関する。

## 【背景技術】

## 【0002】

固体撮像素子としては、X-Yアドレスを指定して読み出すCMOS固体撮像素子（いわゆるCMOSイメージセンサ）と、電荷転送型であるCCD固体撮像素子（いわゆるCCDイメージセンサ）が代表的である。これら何れの固体撮像素子も2次元に配置された

50

フォトダイオードに入射した光を光電変換し、そのうちの一方の電荷（例えば電子）を信号電荷としている。

【0003】

CMOS固体撮像素子は、半導体基板の配線層が形成された表面側より光を照射し、半導体基板に形成されたフォトダイオードで光を検知する表面照射型のCMOS固体撮像素子が一般的である。しかし、この表面照射型のCMOS固体撮像素子では、照射される光の経路、特に有効画素領域の周辺部における斜め光の光路に多層配線が存在し、この多層配線により光が蹴られるために、光の利用効率が落ち感度が低下することが知られている。このため、表面側に多層配線が形成された半導体基板の裏面側から光を照射する裏面照射型のCMOS固体撮像素子が有望である（特許文献1参照）。 10

【0004】

また、CCD固体撮像素子においても、素子上の層間絶縁膜に光が吸収されて感度が低下することが知られており、基板裏面側から光を入射して光電変換する構造が提案されている（特許文献2参照）。

【0005】

【特許文献1】特開2003-31785号公報

【特許文献2】特開平6-29506号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、例えばCMOS固体撮像素子においては、光を基板裏面より照射する場合、通常シリコン基板の厚さが数百 $\mu\text{m}$ と厚く、光が透過することができないため、シリコン基板を数 $\mu\text{m}$ まで薄膜化する必要がある。薄膜化の際に、シリコン層の膜厚がばらつくと光の入射強度にばらつきが生じ、色むらとして不具合が生じる。 20

【0007】

一方、シリコン層の膜厚のばらつきを防ぐために、SOI (silicon on insulator) 基板を用いる方法が考えられている。すなわち、SOI基板を用いてエッチングレートの早い機械研磨、その後のCMP（化学的機械的研磨）処理、その後のウェットエッチングを行い、 $\text{SiO}_2$ 層で薄膜化を止めることにより、シリコン層の膜厚のばらつきを抑えているようにしている。 30

【0008】

図7～図10を参照して、SOI基板を用いて裏面照射型のCMOS固体撮像素子を製造した製造方法を説明する。

まず、図7Aに示すように、シリコン基板1上にシリコン酸化膜（ $\text{SiO}_2$ 膜）2を介して薄膜のシリコン層3が形成されたSOI基板4を用意する。

次に、図7Bに示すように、シリコン層3に、その表面側から撮像領域の画素分離領域（図示せず）、半導体ウェル領域（図示せず）及びフォトセンサとなるフォトダイオードPDを形成する。

【0009】

次に、図8Cに示すように、シリコン層3の各单位画素セルに信号電荷を読み出すための複数のMOSトランジスタTr1を構成するソース・ドレイン領域5を形成し、ゲート絶縁膜を介してゲート電極6を形成する。周辺回路部にCMOSトランジスタTr2を構成するソース・ドレイン領域17を形成し、ゲート絶縁膜を介してゲート電極18を形成する。さらに、シリコン層3上に層間絶縁膜7を介して多層の配線8を形成した所謂多層配線層9を形成する。 40

次に、図8Dに示すように、多層配線層9上に例えばシリコン基板による支持基板11を接合する。

【0010】

次に、図9Eに示すように、SOI基板4を反転して、シリコン酸化膜2をストッパ膜としてシリコン基板1をBGR（バックグラインド：機械的な粗削り）及びウェットエッ 50

チングにより研磨除去し、さらにシリコン酸化膜 2 をウェットエッチングで除去して、シリコン層 3 の裏面が露出するように薄膜化する。

次に、図 9 F に示すように、シリコン層 3 の裏面上にパシベーション膜となる例えばシリコン窒化膜 1 2、シリコン酸化膜 1 3 を形成する。

【 0 0 1 1 】

次に、シリコン層 3 の所要位置にパッド開口を形成し開口内のを含んで配線 8 と接続する端子部を形成し（図示せず）、また、図 1 0 に示すように、各画素のフォトダイオード P D に対応した位置にカラーフィルタ 1 4 及びオンチップレンズ 1 5 を形成して、裏面照射型の C M O S 固体撮像素子 1 6 を得る。

【 0 0 1 2 】

しかし、このように S O I 基板を用いて裏面照射型の C M O S 固体撮像素子を製造する場合、S O I 基板が通常のシリコン基板の 1 0 倍と価格が高いために、製造コストが高くなるという問題がある。

【 0 0 1 3 】

このような問題は、裏面照射型の C C D 固体撮像素子にも起こり、さらに固体撮像素子に限らず、例えば半導体基板の表裏両面に半導体素子又は／及び多層配線を形成するようにした半導体集積回路装置においても起こり得る。

【 0 0 1 4 】

本発明は、上述の点に鑑み、S O I 基板を用いずに半導体基板の薄膜化を可能にした、固体撮像素子とその製造方法、並びに半導体装置とその製造方法を提供するものである。

【課題を解決するための手段】

【 0 0 1 5 】

本発明に係る固体撮像素子は、半導体基板に、この半導体基板と異なる材料の埋め込み層からなる終点検出部が形成され、半導体基板が裏面から終点検出部が臨む位置まで薄膜化され、半導体基板の表面側及び裏面側に固体撮像素子の構成要素が形成され、半導体基板の表面側に支持基板が貼り合せされて成ることを特徴とする。

【 0 0 1 6 】

本発明に係る固体撮像素子の製造方法は、半導体基板に、この半導体基板と異なる材料の埋め込み層からなる終点検出部を形成する工程と、半導体基板の表面側に固体撮像素子の半導体装置の構成要素の一部を形成する工程と、半導体基板の表面側に支持基板を貼り合わせる工程と、半導体基板を裏面から前記終点検出部が臨む位置まで薄膜化する工程と、半導体基板の裏面側に固体撮像素子の構成要素の他部を形成する工程とを有することを特徴とする。

【 0 0 1 7 】

薄膜化する工程においては、ドライエッチング法を用いて波長の発光強度の変化により前記終点検出部を検出する。

【 0 0 1 8 】

本発明に係る半導体装置は、半導体基板に、この半導体基板と異なる材料の埋め込み層からなる終点検出部が形成され、半導体基板が裏面から終点検出部が臨む位置まで薄膜化され、半導体基板の表面側及び裏面側に半導体装置の構成要素が形成され、半導体基板の表面側に支持基板が貼り合せされて成ることを特徴とする。

【 0 0 1 9 】

本発明に係る半導体装置の製造方法は、半導体基板に、この半導体基板と異なる材料の埋め込み層からなる終点検出部を形成する工程と、半導体基板の表面側に半導体装置の構成要素の一部を形成する工程と、半導体基板の表面側に支持基板を貼り合わせる工程と、半導体基板を裏面から終点検出部が臨む位置まで薄膜化する工程と、半導体基板の裏面側に半導体装置の構成要素の他部を形成する工程とを有することを特徴とする。

【 0 0 2 0 】

薄膜化する工程においては、ドライエッチング法を用いて波長の発光強度の変化により前記終点検出部を検出する。

10

20

30

40

50

## 【発明の効果】

## 【0021】

本発明に係る固体撮像素子によれば、S O I基板を用いずに、半導体基板に設けた終点検出部により薄膜化した半導体基板を用いて、各構成要素を形成して構成されるので、安価にしかも精度の良い裏面照射型の固体撮像素子を提供することができる。

## 【0022】

本発明に係る固体撮像素子の製造方法によれば、半導体基板に半導体基板と異なる材料の埋め込み層からなる終点検出部を形成し、半導体基板の裏面カラー終点検出部が臨む位置まで薄膜化することにより、S O I基板を用いることなく、ばらつきを少なくした半導体基板の薄膜化が可能になる。また、薄膜化する工程において、ドライエッチング法を用いてプラズマの発光強度変化により終点検出部を検出することにより、均一な膜厚で薄膜化が可能になり、正確に薄膜の膜厚を設定することができる。従って、より安価に裏面照射型の固体撮像素子を製造することができる。

10

## 【0023】

本発明に係る半導体装置によれば、S O I基板を用いずに、半導体基板に設けた終点検出部により薄膜化した半導体基板を用いて、各構成要素を形成して構成されるので、安価にしかも精度の良い半導体装置を提供することができる。

## 【0024】

本発明に係る半導体装置の製造方法によれば、半導体基板に半導体基板と異なる材料の埋め込み層からなる終点検出部を形成し、半導体基板の裏面カラー終点検出部が臨む位置まで薄膜化することにより、S O I基板を用いることなく、ばらつきを少なくした半導体基板の薄膜化が可能になる。また、薄膜化する工程において、ドライエッチング法を用いてプラズマの発光強度変化により終点検出部を検出することにより、均一な膜厚で薄膜化が可能になり、正確に薄膜の膜厚を設定することができる。従って、より安価に半導体装置を製造することができる。

20

## 【発明を実施するための最良の形態】

## 【0025】

以下、図面を参照して本発明の実施の形態を説明する。

## 【0026】

図1に、本発明に係る固体撮像素子を、裏面照射型のC M O S固体撮像素子に適用した場合の一実施の形態を示す。なお、図1は、画素がマトリックス状に配列された撮像領域とその周辺に形成された周辺回路とを含む要部の概略構成を示している。

30

本実施の形態に係る裏面照射型のC M O S固体撮像素子21は、後述する薄膜化された半導体基板、例えばシリコン半導体基板22の撮像領域23に1つの受光部となるフォトダイオードPDとこのフォトダイオードPDの信号電荷を読み出す手段となる複数のM O SトランジスタT r 1で構成された単位画素25がマトリックス状に複数形成され、周辺領域24に複数のC M O SトランジスタT r 2からなる周辺回路部26が形成されて成る。

## 【0027】

フォトダイオードPDは半導体基板22の表面側から裏面側に至るように形成される。単位画素のM O SトランジスタT r 1は、半導体基板22に形成した対のソース・ドレイン領域27間上にゲート絶縁膜を介してゲート電極28を形成して構成される。また、周辺回路部26のC M O SトランジスタT r 2も、それぞれ半導体基板22に形成した対のソース・ドレイン領域29間上にゲート絶縁膜を介してゲート電極30を形成して構成される。半導体基板22の撮像領域23及び周辺領域24の表面上には、層間絶縁膜31を介して多層の配線32を有する多層配線層33が形成される。さらに、多層配線32は、フォトダイオードPD上に重なるように形成されも良い。さらに、配線層33上には固体撮像素子の機械的強度を保持するために、例えばシリコン基板などによる支持基板34が貼り合わされる。一方、半導体基板22の裏面側には、例えばシリコン窒化膜36とシリコン酸化膜37からなるパシベーション膜（反射防止膜防止膜も兼ねる）38を介してカ

40

50

ラーフィルタ 3 9 及びその上に各画素 2 5 に対応したオンチップレンズ 4 0 が形成される。この C M O S 固体撮像素子 2 1 においては、基板裏面側からオンチップレンズ 4 0 を通じてフォトダイオード P D に対して光が照射されるようになされる。

#### 【 0 0 2 8 】

更に、本実施の形態においては、半導体基板 2 2 に、この半導体基板 2 2 の薄膜化の際の研磨位置を検出する目印となる終点検出部 4 2 が形成される。この終点検出部 4 2 は、半導体基板 2 2 の表面から薄膜化する厚みに相当した深さに半導体基板 2 2 と異なる材料の埋込み層 4 3 で形成される。例えば、シリコン基板 2 2 ではシリコン酸化膜などの埋込み層 4 3 により終点検出部 4 2 が形成される。この終点検出部 4 2 の検出は、半導体基板 2 2 を裏面側からプラズマエッチングにより研磨して行ったときに、材料の違いによりプラズマ発光の特定波長の発光強度が変化するのを検出する、E P D (エンド・ポイント・ディテクタ) 法を用いてなされる。図 1 の半導体基板 2 2 は、この終点検出部 4 2 を検出して薄膜化された状態を示している。薄膜された半導体基板 2 2 の厚みは、1 0  $\mu$  m 以下、例えば 5  $\mu$  m 程度に設定される。

10

#### 【 0 0 2 9 】

終点検出部 4 2 は、固体撮像素子内のいずれの部分に形成してもよいが、好ましくは撮像領域 2 3 及び周辺回路部 2 6 から離れた周辺のフィールド領域 4 4 に形成される。さらに終点検出部 4 2 は、ウェハのスクライブラインに形成することもできる。この終点検出部 4 2 は、基板表面側に形成されるフォトダイオード P D、M O S トランジスタ T r 1、C M O S トランジスタ T r 2、多層配線 3 2、及び基板裏面側に形成するカラーフィルタ 3 9、オンチップレンズ 4 0 の形成の際のアライメントマークとしても用いることができる。

20

#### 【 0 0 3 0 】

図 2 に、裏面照射型の C M O S 固体撮像素子 2 1 の単位画素 2 5 の具体的一例を示す。この例では、薄膜化された第 1 導電型、例えば n 型のシリコン基板 2 2 に各画素領域 2 5 を区画するように第 2 導電型である p 型の半導体領域からなる素子分離領域 5 2 が形成される。画素領域 5 1 の n 型半導体基板 2 2 は比較的到低不純物濃度で形成される。画素領域 5 1 の n 型半導体基板 2 2 には、その表面に p 型素子分離領域 5 2 に接続して一部画素領域 5 1 内に延在するように p 型半導体ウェル領域 5 3 が形成される。光電変換部となるフォトダイオード P D は、p 型素子分離領域 5 2 及び p 型半導体ウェル領域 5 3 により囲まれた n 型半導体基板 2 2 で形成される。すなわち、フォトダイオード P D は、n 型半導体領域 2 2 A とその表面側の高不純物濃度の n<sup>+</sup> 半導体領域 2 2 B と n<sup>+</sup> 半導体領域 2 2 B の界面に形成した暗電流発生を抑制するための p<sup>+</sup> アキュムレーション層 5 4 とにより形成される。このフォトダイオード P D は、いわゆる H A D (H o l e A c c u m u l a t i o n D i o d e) センサとして構成される。フォトダイオード P D は、n 半導体領域 2 2 A が p 型半導体ウェル領域 5 3 の下方に延在するので、画素領域の全体にわたるように大面積で形成される。

30

#### 【 0 0 3 1 】

一方、M O S トランジスタ T r 1 は、p 型半導体ウェル領域 5 3 に形成される。すなわち、1 画素を例えば 1 つのフォトダイオード P D と 4 つの M O S トランジスタで構成するとき、M O S トランジスタ T r 1 は、読出しトランジスタ、リセットトランジスタ、アンプトランジスタ及び垂直選択トランジスタを有する。図 2 では、p 型半導体ウェル領域 5 3 内にフォトダイオード P D に近接して一方の n<sup>+</sup> ソース・ドレイン領域 5 7 が形成され、この一方の n<sup>+</sup> ソース・ドレイン領域 5 7 と他方のソース・ドレイン領域を兼ねるフォトダイオード P D の n<sup>+</sup> 半導体領域 2 2 B 間の p 型半導体ウェル領域 5 3 上にゲート絶縁膜を介してゲート電極 2 7 が形成されて読出しトランジスタ T r 1 1 が形成される。p 型半導体ウェル領域 5 3 の他部には、各対応した n<sup>+</sup> ソース・ドレイン領域 5 8、5 9 が形成され、両 n<sup>+</sup> ソース・ドレイン領域 5 8 及び 5 9 間の p 型半導体ウェル領域 5 3 上にゲート絶縁膜を介してゲート電極 2 7 が形成されて、他の M O S トランジスタ、すなわちリセットトランジスタ T r 1 2、アンプトランジスタ T r 1 3、垂直選択トランジスタ T r

40

50

14が形成される。

【0032】

そして、半導体基板22の表面には、例えばシリコン酸化膜等による層間絶縁膜31を介して多層配線32が形成され、多層配線層33上に例えばシリコン基板による支持基板34が接合される。半導体基板22の裏面の光照射面には、パシベーション膜38が形成され、このパシベーション膜38の上にカラーフィルタ39を介してオンチップレンズ40が形成される。

【0033】

次に、図3～図5を用いて上述した裏面照射型のCMOS固体撮像素子21の製造方法の一実施の形態を説明する。

10

本実施の形態においては、先ず、図3Aに示すように、シリコン基板22の表面（一主面）に絶縁膜61を堆積し、レジストマスク（図示せず）を用いて絶縁膜61をパターンニングし、この絶縁膜61をマスクにシリコン基板22に所要の幅及び所要の深さの溝62を形成する。本例では、シリコン基板22として厚さ725 $\mu$ mの8インチシリコンウェハを用いる。このシリコン基板22上に絶縁膜61として膜厚220nm程度のシリコン窒化膜63と膜厚1 $\mu$ m程度のシリコン酸化膜64を積層する。シリコン基板22の固体撮像素子の形成領域の外周部にレジストマスクを介してドライエッチングにより幅10 $\mu$ m程度の開口を絶縁膜61に形成する。レジストマスクを除去した後、この絶縁膜61をマスクにシリコン基板22に幅10 $\mu$ m程度で、深さがシリコン基板22を薄膜化する厚さである10 $\mu$ m以下に相当する深さ、本例では6 $\mu$ m程度の複数の溝62をドライエッチングにより形成する。

20

【0034】

次に、図3Bに示すように、溝62内に埋め込むようにシリコンと異なる材料、本例ではシリコン酸化膜43を堆積し、CMP（化学的機械的研磨）法により表面を平滑にする。その後、図示せざるも素子分離領域を形成、さらにマスクとなったシリコン窒化膜63を除去する。これによって、溝62内にシリコン酸化膜43を埋め込んでなる終点検出部42を形成する。

【0035】

次に、図4Cに示すように、シリコン基板2の表面側に、通常の半導体プロセスを用いて固体撮像素子の一部を構成する構成要素を形成する。すなわち、シリコン基板22の撮像領域に各画素領域に対応してフォトダイオードPDと複数のMOSトランジスタTr1を形成し、周辺領域の周辺回路部にCMOSトランジスタTr2（図示せず）を形成する。さらに、シリコン基板22上に層間絶縁膜31を介して多層配線32を配置した多層配線層33を形成する。

30

【0036】

次に、図4Dに示すように、多層配線層33上に例えばシリコン基板による支持基板34を貼り合わせる。

【0037】

次に、図5Eに示すように、シリコン基板22を反転させて、シリコン基板22の裏面側（他方の主面側）を研磨して薄膜化する。本例では、最初に機械的研磨（例えばBGR法）もしくはCMP法との組み合わせによりシリコン基板22を10 $\mu$ mの厚さまで薄膜化する。最終的にドライエッチング、例えばSF<sub>6</sub>/O<sub>2</sub>ガス系を用いたドライエッチング（いわゆるプラズマエッチング）により、更なる薄膜化を行う。このとき、例えばEPD（エンド・ポイント・ディテクタ）を用いて、図3Bで形成した終点検出部42の埋め込みシリコン酸化膜43が露出する際の発光強度変化により薄膜化の終点を検出する。この場合、発光強度変化を検出した時点でドライエッチングを停止して、シリコン基板22の薄膜化を終了するか、あるいは発光強度変化を検出して終点検出部42の埋め込みシリコン酸化膜43が露出したことを検出した後、続くドライエッチングの時間を制御してシリコン基板22を所要の厚さに薄膜化するようにしても良い。

40

【0038】

50

薄膜化の際のシリコン基板 2 のドライエッチング条件は、例えば次のような条件でドライエッチングできる。

|                                      |                     |
|--------------------------------------|---------------------|
| 圧力                                   | 2 5 0 m T o r r     |
| R F パワー                              | 1 5 0 0 W           |
| ガス S F <sub>6</sub> / O <sub>2</sub> | 4 0 0 / 7 5 s c c m |
| 温度                                   | - 1 0 °C            |

#### 【 0 0 3 9 】

次に、図 5 F に示すように、薄膜化したシリコン基板 2 2 の裏面にパシベーション膜 3 8 となる例えばシリコン窒化膜 3 6 、シリコン酸化膜 3 7 をプラズマ C V D 法により形成する。

10

#### 【 0 0 4 0 】

次に、図示せざるも、シリコン基板 2 2 の固体撮像素子形成領域の所要の部分に、配線 3 2 と接続するためのパッド（端子）導出用の開口を形成し、この開口を通じてパッドを形成する。

#### 【 0 0 4 1 】

次に、図 1 に示すように、各フォトダイオード P D に対応した位置に対応する色のカラーフィルタ 3 9 を形成し、さらにその上にオンチップレンズ 4 0 を形成して目的の裏面照射型の C M O S 固体撮像素子 2 1 を得る。

#### 【 0 0 4 2 】

なお、終点検出部 4 2 のシリコン酸化膜 4 3 はシリコン基板 2 2 と識別可能であるので、この終点検出部 4 2 をアライメントマークとして利用し、この終点検出部 4 2 を基準にフォトダイオード P D 、M O S トランジスタ T r 1 、C M O S トランジスタ T r 2 を形成することができる。また、薄膜化した後の終点検出部 4 2 も平坦化しているので、塗布膜の膜厚のばらつきもなく、終点検出部 4 2 を基準にカラーフィルタ 3 9 、オンチップレンズ等を形成することができる。

20

#### 【 0 0 4 3 】

上述した本実施の形態に係る裏面照射型の C M O S 固体撮像素子 2 1 によれば、S O I 基板を用いずに、シリコン基板 2 2 に設けた終点検出部 4 2 によって薄膜化したシリコン基板を用いて、各構成要素を形成して構成されるので、安価にしかも精度の良い C M O S 固体撮像素子を提供することができる。

30

#### 【 0 0 4 4 】

また、本実施の形態に係る裏面照射型の C M O S 固体撮像素子の製造方法によれば、シリコン基板 2 2 にシリコンと異なる材料を埋め込んだ終点検出部 4 2 を形成し、ドライエッチングにより薄膜化して行ったときの終点検出部 4 2 におけるプラズマの発光強度変化を検出してシリコン基板の膜厚を設定することにより、S O I 基板を用いることなく、膜厚のばらつきを少なくしたシリコン基板 2 2 の薄膜化が可能になる。終点検出を化学研磨で行うときは、密集素子の外周部のシリコン膜厚が薄くなるエロージョンという問題が起こるが、本実施の形態のようにドライエッチングで行い、プラズマの発光強度変化で終点を検出ときは、全域にわたり均一な膜厚で薄膜化できる。従って、より安価に裏面照射型の C M O S 固体撮像素子 2 1 を製造することができる。

40

#### 【 0 0 4 5 】

上述の実施の形態では、裏面照射型の C M O S 固体撮像素子に適用したが、その他の固体撮像素子、例えば裏面照射型の C C D 固体撮像素子に適用することもできる。

#### 【 0 0 4 6 】

図 6 に、本発明を半導体装置、すなわち半導体集積回路装置に適用した場合の実施の形態を示す。本実施の形態に係る半導体集積回路装置 7 1 は、前述したと同様にして設けた終点検出部 4 2 を用いて薄膜化されたシリコン基板 7 2 の表面側に、ゲート電極 7 4 を有する M O S トランジスタ群 T r 3 1 及び層間絶縁膜 7 5 を介して多層配線 7 6 を配置した多層配線層 7 7 を形成し、この多層配線層 7 7 上に例えばシリコン基板による支持基板 3 4 を接合し、また、シリコン基板 7 2 の裏面側にゲート電極 7 8 を有する M O S トランジ

50

スタ群 T r 3 2 及び層間絶縁膜 7 9 を介して多層配線 8 0 を配置した多層配線層 8 1 を形成して構成される。8 2 はパシベーション膜である。

【0047】

図6の例では、シリコン基板72の両面のそれぞれにMOSトランジスタ群T r 3 1、T r 3 2 及び多層配線層77、78を形成した構成の半導体集積回路装置に適用したが、その他、シリコン基板72の一方の面側にMOSトランジスタあるいは他の半導体素子を形成し、他方の面側に配線層を形成するなど、種々の形態の半導体集積回路装置にも適用できる。

【0048】

かかる半導体集積回路装置及びその製造方法においても、前述した固体撮像素子の場合と同様の作用・効果を奏するものである。

【図面の簡単な説明】

【0049】

【図1】本発明に係る固体撮像素子を裏面照射型のCMOS固体撮像素子に適用した一実施の形態を示す概略構成図である。

【図2】図1の要部の拡大断面図である。

【図3】A～B 図1の裏面照射型のCMOS固体撮像素子の製造方法の一実施の形態を示す製造工程図（その1）である。

【図4】C～D 図1の裏面照射型のCMOS固体撮像素子の製造方法の一実施の形態を示す製造工程図（その2）である。

【図5】E～F 図1の裏面照射型のCMOS固体撮像素子の製造方法の一実施の形態を示す製造工程図（その2）である。

【図6】本発明に係る半導体装置を半導体集積回路装置に適用した他の実施の形態を示す概略構成図である。

【図7】A～B 比較例に係る裏面照射型のCMOS固体撮像素子の製造方法の製造工程図（その1）である。

【図8】C～D 比較例に係る裏面照射型のCMOS固体撮像素子の製造方法の製造工程図（その2）である。

【図9】E～F 比較例に係る裏面照射型のCMOS固体撮像素子の製造方法の製造工程図（その3）である。

【図10】比較例に係る裏面照射型のCMOS固体撮像素子の製造方法の製造工程図（その4）である。

【符号の説明】

【0050】

21・・・裏面照射型のCMOS固体撮像素子、22・・・シリコン基板、23・・・撮像領域、23・・・周辺領域、44・・・フィールド領域、25・・・単位画素、26・・・周辺回路部、PD・・・フォトダイオード、27、29・・・ソース・ドレイン領域、28、30・・・ゲート電極、T r 1・・・MOSトランジスタ、T r 2・・・CMOSトランジスタ、31・・・層間絶縁膜、32・・・多層配線、33・・・多層配線層、34・・・支持基板、39・・・カラーフィルタ、40・・・オンチップレンズ、42・・・終点検出部、43・・・埋め込み層

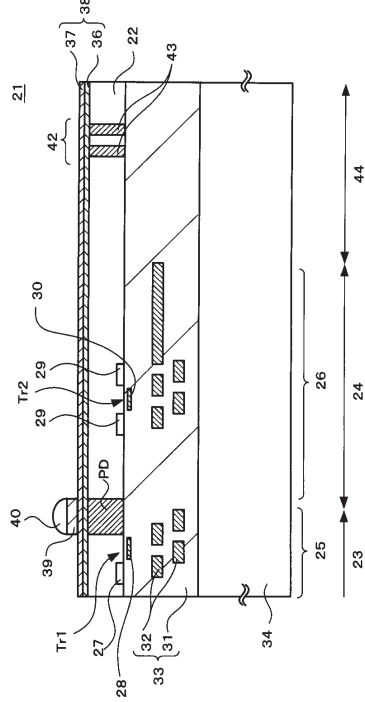
10

20

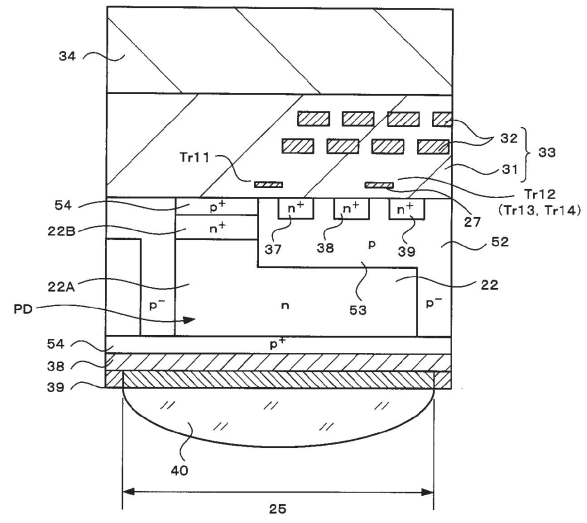
30

40

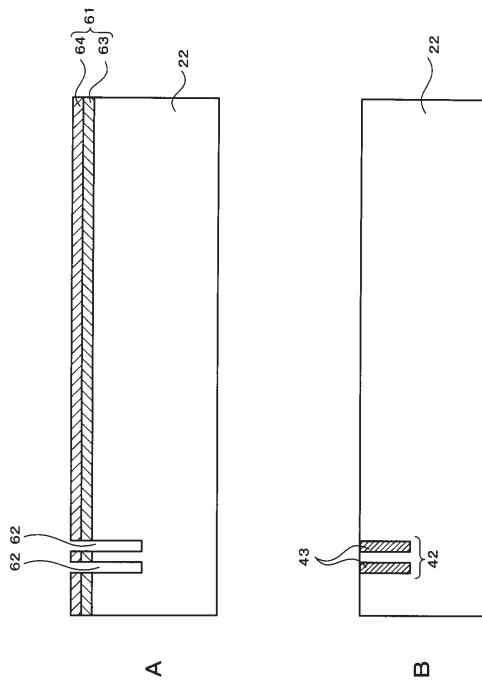
【図 1】



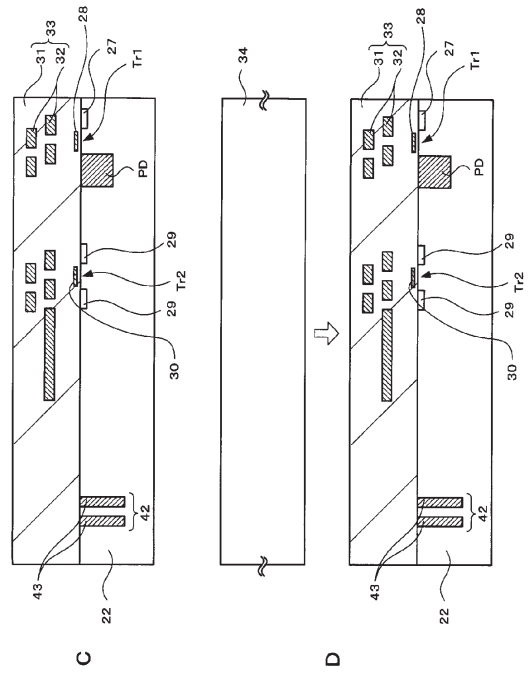
【図 2】



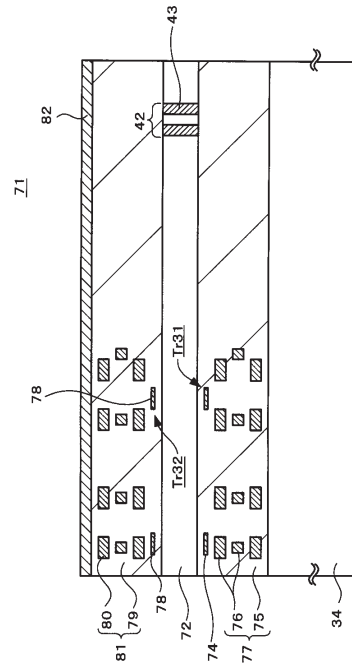
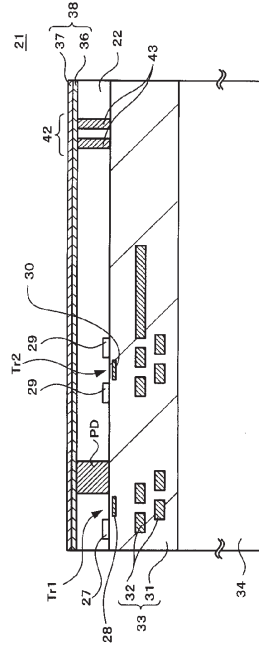
【図 3】



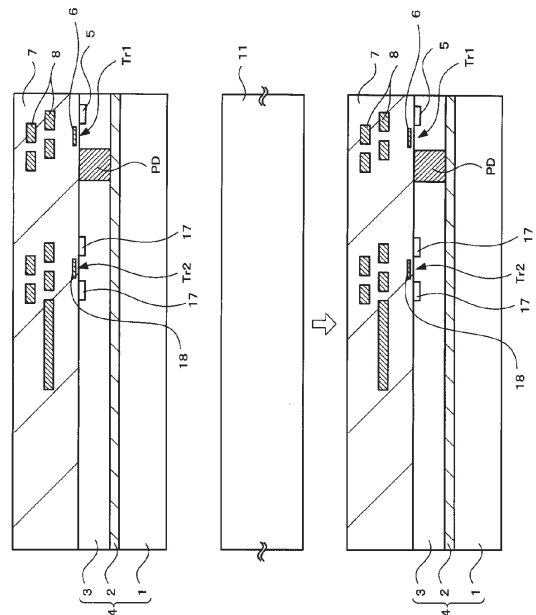
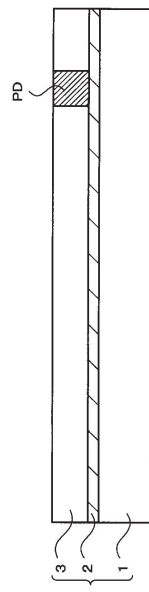
【図 4】



【 図 6 】



【图 8】



【 図 1 0 】

