

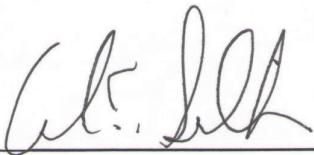
I, Carl T. Sullivan, hereby declare:

That I possess advanced knowledge of the Korean and English languages. The attached Korean into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of KR20060077132.

I declare that all statements made above of my own knowledge are true and that all statements made on information and belief are believed to be true. I have been warned and understand that willful false statements and the like are punishable by fine or imprisonment, or both, under § 1001 of Title 18 of the United States Code.

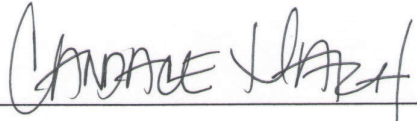
I declare (or certify, verify, or state) under penalty of perjury that the foregoing is true and correct.

Executed on October 20, 2022 in Manti, Utah.



[city] [State]

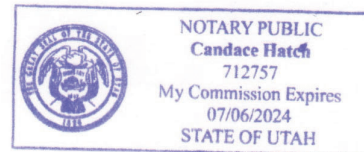
Carl T. Sullivan



Notary Public

STATE OF UTAH
COUNTY OF SANPETE
On this Oct. 20, 2022, personally
appeared before me, CARL SULLIVAN,
proved to me
on the basis of satisfactory evidence to be the
person(s) whose name(s) is subscribed to on
this instrument, acknowledged that HE
executed the same.
Notary Public CANDACE HATCH
Commission Expires 7.6.2024

Notary Commission Expiry 7.6.2024



(19) Korean Intellectual Property Office (KR)
(12) Registered Patent Gazette (A)

(51) Int. Cl.

H01L 27/146 (2006.01)
H01L 31/10 (2006.01)

(11) Registration No.

10-2006-0077132

(43) Unexamined Patent Application Date July 05, 2006

(21) Application No. 10-2004-0115928
(22) Application Date December 30, 2004(71) Applicant MagnaChip Semiconductor Ltd.
1 Hyangjeong-dong, Heungdeok-gu, Cheongju-si, Chungcheongbuk-do
(72) Inventor Sung Gyoo Pyo
203-206 Sinjeong Maeul, Pungdeokcheon 2-dong, Yongin-si, Gyeonggi-do
(74) Agent Sinseong Patent Law Office

Examination: N/A

(54) CMOS image sensor of 3D integrated structure and manufacturing method thereof

Abstract

A conventional CMOS image sensor manufacturing process involves a chemical mechanical polishing (hereinafter referred to as "CMP") process for forming a multilayer comprising a plurality of metal lines and an insulating film after forming a photodiode. This causes a decrease in light sensitivity due to an increase in the distance from the photodiode to the color filter, and an increase in bad pixels due to an increase in defects.

The present invention uses a single pad to three-dimensionally integrate an image chip that directly forms a color filter array and a microlens after forming a photodiode using two chips, an image chip by separating it into a logic chip consisting of a logic array that can bestow driver IC and other additional functions to drive it, and a logic chip.

Therefore, since a plurality of metal lines on the top of the photodiode are omitted, the distance between the photodiode and the microlens is reduced to dramatically reduce the optical path, thereby improving the photosensitivity.

The present invention is a method capable of improving color by maximizing the pixel array and reducing the pixel size/design rule, increasing pixel efficiency, and minimizing the scattering effect; as a solution to the next-generation CMOS image sensor, it is an innovative method for size reduction for wireless communication devices.

Representative Drawing

FIG. 3

Key Words

BEOL (Back End Of Line), metal wiring, CMOS image sensor, optical path, 3D integration.

Specification

Brief Description of the Drawings

FIG. 1 is a cross-sectional view schematically showing a conventional CMOS image sensor.

FIGS. 2a to 2d are cross-sectional views showing a CMOS image sensor manufacturing process according to one embodiment of the present invention.

FIG. 3 is a cross-sectional view showing a CMOS image sensor according to one embodiment of the present invention.

* Explanation of Symbols for Main Parts of the Drawings *

100: First substrate	101: Field oxide film
102: Photodiode	103, 202: Insulating film
104, 201: Metal line	105: Connecting portion
106: Overcoating layer	107: Color filter array
108: Micro lens	109: LTO
200: Second substrate	203: Pad
204: Bonding	

Detailed Description of the Invention

Object of the Invention

Technical Field of the Invention and Prior Art

The present invention relates to an image sensor, and more particularly, to a CMOS image sensor using a 3D integration method and a method for manufacturing the same.

A CMOS image sensor is a device that is widely used in a current mobile phone, a camera for a personal computer (PC), and electronic devices. The CMO [sic] image sensor is easier to drive than the Charge Coupled Device (CCD) used as an image sensor. Since a signal processing circuit can be integrated on a single chip, SOC (System On Chip) is possible, enabling miniaturization of the module.

In addition, it has many advantages, such as being able to lower the manufacturing cost, because the CMOS technology that has previously been set-up can be used interchangeably.

FIG. 1 is a cross-sectional view schematically showing a conventional CMOS image sensor.

Referring to FIG. 1, in the image sensor, a light receiving unit comprising a photodiode PD is positioned at a lower portion, and a microlens ML and a color filter array CFA are disposed at an uppermost portion overlapping the photodiode PD.

As shown, metal wirings M1 to M4 and an insulating film therebetween are comprised between the photodiode PD and the color filter array CFA.

The manufacturing process of the CMOS image sensor having the above structure, in particular, the BEOL (Back End Of Line), that is, the metal line process, is similar to the manufacturing process of the semiconductor device. At this time, different insulating materials must be used to form PMD (Pre-Metal Dielectric), IMD (Inter-Metal Dielectric), and a passivation layer, and the like; as a result, diffuse reflection of light occurs at the interface between each material, thereby reducing light sensitivity.

In addition, since they have different refractive indices due to different insulating layers, light sensitivity is deteriorated due to refraction of light.

In forming the conventional CMOS image sensor, M1 to M4 and a plurality of insulating film formation and planarization processes must be performed after the photodiode is formed, thereby causing defects.

Problem to be Solved by the Invention

The object of the present invention, proposed to solve the problems of the prior art as described above, is to provide a CMOS image sensor of a three-dimensional integration method that is able to reduce photosensitivity degradation and the occurrence of bad pixels due to structural problems, comprising multi-layer metal wiring of CMOS image sensors and an insulating film therebetween, a method for manufacturing the same.

Structure and Operation of the Invention

In order to achieve the above object, the present invention provides, in an image sensor in which an image chip disposed on a first substrate and a logic chip disposed on a second substrate are integrated in a three-dimensional structure, a CMOS image sensor wherein the first substrate and the second substrate are bonded through a connecting portion protruding from the rear surface of the first substrate and a pad on the upper portion of the second substrate, and a microlens is equipped on the upper portion of the first substrate.

Further, in order to achieve the above object, the present invention provides a manufacturing method for a CMOS image sensor, comprising a step of forming a photodiode on a first substrate, a step of forming a connecting portion to protrude from the rear surface of the first substrate, a step of forming a plurality of metal lines on a second substrate, a step of forming a pad on the upper portion of the metal line to correspond to the connecting portion, a step of bonding the rear surface of the first substrate and the front surface of the second substrate so that the connecting portion and the pad correspond to each other, and a step of forming a microlens on the upper portion of the photodiode of the first substrate.

The present invention uses two chips: one is an image chip that directly forms a color filter array and a microlens after forming a photodiode, and the other is a logic chip that comprises a driver that drives it and a logic array that can provide other additional functions.

By three-dimensionally integrating these two chips, through omitting the plurality of metal lines on the photodiode, the distance between the photodiode and the microlens is reduced to dramatically reduce the optical path, thereby improving the photosensitivity.

In short, the present invention can solve the problems caused by the conventional stacked structure of the metal line and the insulating film.

Hereinafter, the most preferred embodiment of the present invention will be described with reference to the accompanying drawings in order to describe it in enough detail that a person of ordinary skill in the art pertaining to the present invention can easily implement the technical idea of the present invention.

FIG. 3 is a cross-sectional view illustrating a CMOS image sensor according to an embodiment of the present invention.

Referring to FIG. 3, in the CMOS image sensor of the present invention, the logic chip formed on the second substrate 200 and the image chip integrated on the first substrate 100 are integrated in a three-dimensional structure. At this time, the connecting portion 105 protruding from the rear surface of the image chip and the pad 203 of the logic chip positioned below is bonded (204).

Hereinafter, the configuration will be described in more detail.

A plurality of metal lines 201 each surrounded by an insulating film 202 are formed on the second substrate 200 positioned below; a pad 203 is formed on an upper portion of the second substrate 200 on which the image chip and the integrated bonding are constituted so as to be exposed to the bonding portion.

A field oxide film 101 is locally formed on the first substrate 100, and a photodiode 102 is formed inside the first substrate 100 between the field oxide layers 101. A plurality of transistors (not shown) are disposed on the first substrate 100 spaced apart from the photodiode 102.

A microlens 108 is formed on the photodiode 102 to overlap the photodiode 102; the plurality of transistors are connected to the pads 203 of the second substrate 200 through the connecting portion 105 penetrating the first substrate 100, and the pads 203 are connected to the plurality of metal lines 201. The connecting portion 105 comprises a metal such as tungsten, aluminum, or copper.

LTO (Low Temperature Oxide) is formed on the microlens 108 to prevent scratches, etc., of the microlens 108; a color filter array 107 and an over-coating layer 106 are formed under the microlens 107.

The photodiode 102 is a pinned photodiode formed of a plurality of impurity diffusion layers formed on the lower portion of the surface of the first substrate 100. For example, when the first substrate 100 is a P-type conductivity type, the photodiode 102 will have a P/N/P structure consisting of a P0 region on the lower portion of the surface of the first substrate 100, an n-region below it, and a first substrate 100 of high concentration P-type (P⁺⁺); in this case, the n-region is completely depleted during the photodiode operation.

Here, the transistor comprises a reset transistor, a drive transistor, a select transistor, and the like; in the case of a structure comprising four transistors, a transfer transistor may be further comprised.

Reference number "104" also performs a light-shielding function to prevent light from entering into regions such as the transistor except for the photodiode 102 as a metal line for interconnecting the transistor constituting the unit pixel and the lower portion metal line 201. The metal line 104 is connected to the pad 203 through the connecting portion 105.

The metal line 201 is formed using copper or aluminum.

The CMOS image sensor of the present invention having the configuration as described above separates the logic chip and the image chip from each other and performs chip bonding so that the image chip is positioned on the upper portion of the logic chip; by removing the multi-layer consisting of a plurality of metal lines 201 and an insulating film 202 between the color filter array 107 and the microlens 108 on the photodiode 102, it is possible to maximize photosensitivity by eliminating the loss that occurs when visible light passes through the multi-layered insulating film 202.

In addition, it is possible to form a logic element with 6-layer wiring or more without any major problems, so that SOC is possible, and there is an advantage in that it can be loaded with core logic technology of 130 nm and 90 nm or less as it is.

Further, it is possible to reduce the diffuse reflectance phenomenon caused between different films due to the multi-layered insulating film from the microlens 108 to the photodiode 102, and it is also possible to maximize the amount of light incident on the photodiode by minimizing the refraction of light due to the different refractive indices between the layers, thereby increasing photosensitivity.

Hereinafter, the CMOS image sensor manufacturing process of the present invention having the above configuration will be described.

FIGS. 2a to 2d are cross-sectional views showing a CMOS image sensor manufacturing process according to an embodiment of the present invention.

FIG. 2a shows an image chip forming process before bonding.

As shown in FIG. 2a, a field oxide layer 101 is locally formed on the first substrate 100. The field oxide layer 101 comprises a LOCOS (LOCAl Oxidation of Silicon) or STI (Shallow Trench Isolation) structure.

After ion implantation for P or N well formation is performed, the photodiode 102 is formed on the first substrate 100 through ion implantation.

For example, a deep n-region is formed by ion-implanting an N-type impurity deep into the P-type first substrate 100, and a P0 region is formed by ion-implanting a P-type impurity into the lower portion of the surface of the first substrate 100 thereon.

Next, a plurality of transistors constituting a unit pixel, such as a transfer transistor, are formed.

Next, an insulating film 103 is deposited and a metal line 104 connected to the gate electrode or source/drain of the transistor through a contact is formed.

Then, a connecting portion 105 connected to the metal line 104 through the rear surface of the first substrate 100 is formed. At this time, since the connecting portion 105 needs to be connected to the logic chip during a subsequent bonding process, it is made to protrude from the rear surface of the first substrate 100.

This consists of a super via process through the rear surface of the first substrate 100, a process of filling the same to form the connecting portion 105, and a process of grinding the rear surface of the first substrate 100 so that the connecting portion 105 protrudes. For the connecting portion 105, tungsten, aluminum, copper, or the like may be used.

Thus, the image chip forming process prior to bonding is completed.

FIG. 2b shows the logic chip formation process before bonding.

As shown in FIG. 2b, a plurality of metal lines 201 each surrounded by an insulating film 202 are formed on the second substrate 200.

The metal line 201 is formed of aluminum or copper, and the insulating layer 202 comprises a pre-metal dielectric (PMD), an inter-metal dielectric (IMD), or a passivation layer.

Then, the pad 203 connected to the metal line 201 is formed.

Since the pad 203 must be connected to the connecting portion 105 during bonding, it is preferable to arrange the pad 203 so that the position where it is connected to the connecting portion 105 matches.

As shown in FIG. 2c, the first substrate 100 on which the image chip is formed is bonded so that the rear surface thereof is positioned on the upper portion of the second substrate 200 on which the logic chip is formed.

At this time, after the pad 203 and the connecting portion 105 are made to correspond to each other, heat treatment is performed at a temperature of 300°C to 600°C, whereby bonding between the two substrates 100 and 200 is made.

As shown in FIG. 2d, a planarization layer is formed on the first substrate 100, but it is omitted for the sake of simplification of the drawing.

Next, the color filter array 107, the microlens 108, and the protective film 109 are formed.

Although the technical idea of the present invention has been specifically described according to the above preferred embodiment, it should be noted that the above-described embodiment is for the purpose of explanation and not for limitation thereof. In addition, those skilled in the art will understand that various embodiments are possible within the scope of the technical spirit of the present invention.

Effects of the Invention

The present invention described above has effects wherein it dramatically reduces the optical path incident to the photodiode, thereby increasing the light sensitivity, maximizing the pixel array, and alleviating the demand for reducing the pixel size/design rule; it is able to increase the efficiency of pixels, reduce the scattering effect, increase the color, and significantly reduce the size thereof for next-generation wireless communication devices, so that it has excellent effects in terms of integration and performance.

(57) Claims

Claim 1

An image sensor in which an image chip disposed on a first substrate and a logic chip disposed on a second substrate are integrated in a three-dimensional structure,

wherein the first substrate and the second substrate are bonded through a connecting portion protruding from the rear surface of the first substrate and a pad on the upper portion of the second substrate, and
a microlens is equipped on the upper portion of the first substrate.

Claim 2

The image sensor according to claim 1,
wherein the image chip further comprises a photodiode formed on the first substrate, and
a color filter array formed between the photodiode and the microlens.

Claim 3

The image sensor according to claim 2,
wherein the photodiode is formed of a plurality of impurity diffusion layers formed on the lower portion of the first substrate.

Claim 4

The image sensor according to claim 1,
wherein the logic chip comprises a plurality of insulating layers and a plurality of metal lines.

Claim 5

The image sensor according to claim 1,
wherein the connecting portion comprises any one of tungsten, aluminum, or copper.

Claim 6

A manufacturing method for a CMOS image sensor, comprising:
a step of forming a photodiode on a first substrate,
a step of forming a connecting portion to protrude from the rear surface of the first substrate,
a step of forming a plurality of metal lines on a second substrate,
a step of forming a pad on the upper portion of the metal line to correspond to the connecting portion,
a step of bonding the rear surface of the first substrate and the front surface of the second substrate so that the connecting portion and the pad correspond to each other, and
a step of forming a microlens on the upper portion of the photodiode of the first substrate.

Drawings

FIG. 1

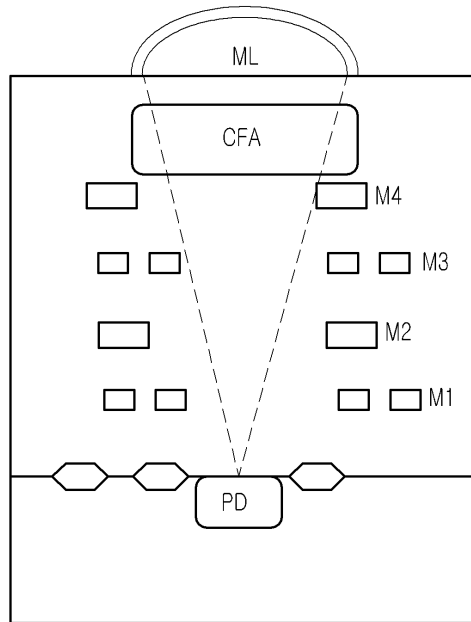


FIG. 2a

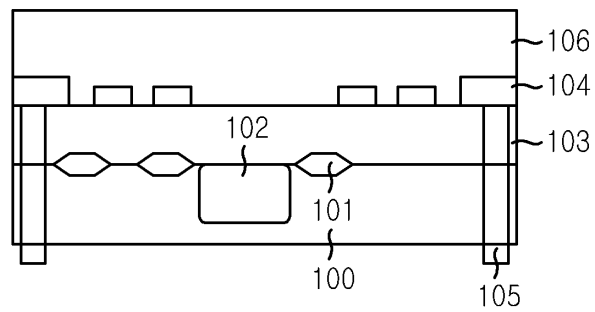


FIG. 2b

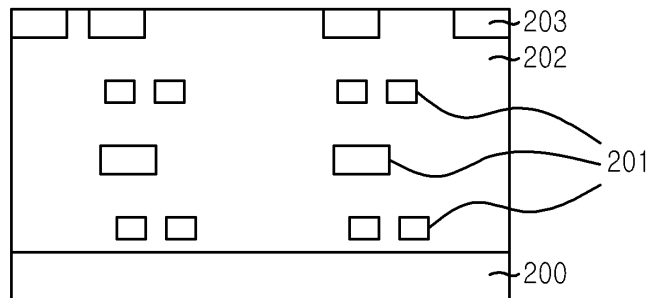


FIG. 2c

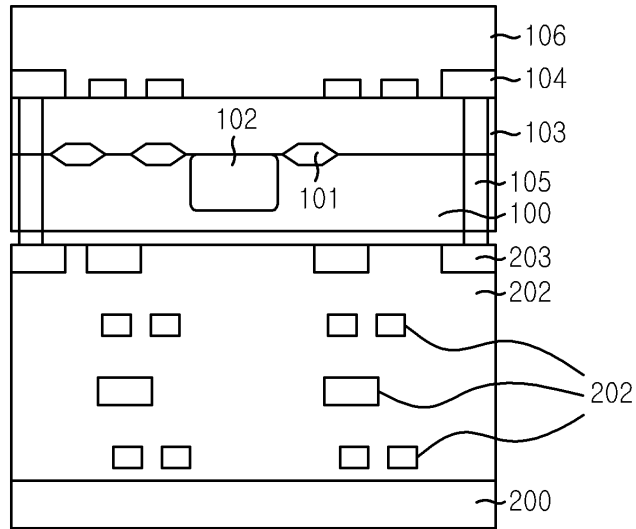


FIG. 2d

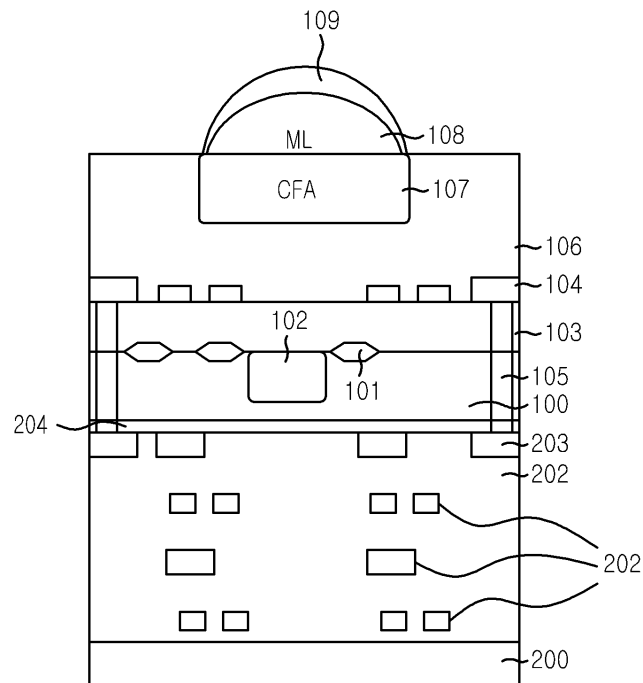
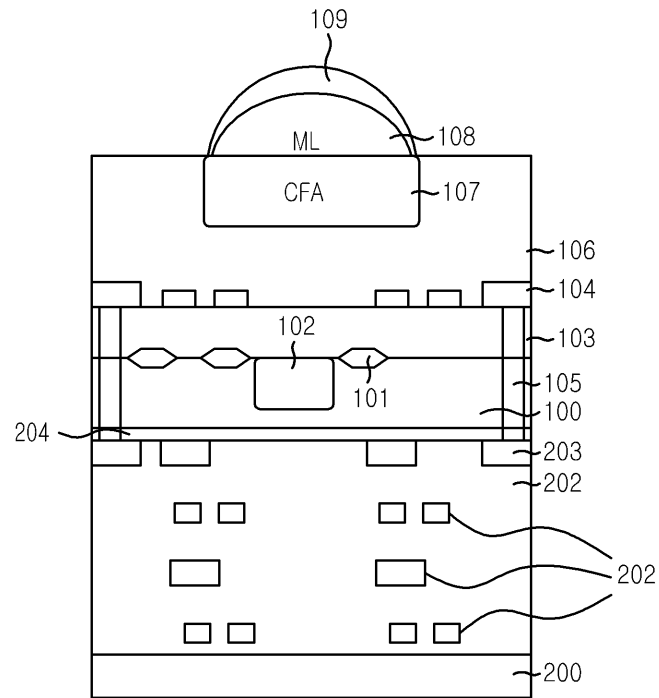


FIG. 3



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 27/146 (2006.01)

H01L 31/10 (2006.01)

(11) 공개번호

10-2006-0077132

(43) 공개일자

2006년07월05일

(21) 출원번호 10-2004-0115928

(22) 출원일자 2004년12월30일

(71) 출원인 매그나칩 반도체 유한회사
충북 청주시 흥덕구 향정동 1(72) 발명자 표성규
경기 용인시 풍덕천2동 신정마을 203-206

(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 3차원 집적 구조의 씨모스 이미지센서 및 그 제조 방법

요약

기존의 CMOS 이미지센서 제조 공정은, 포토다이오드 형성 후 복수의 메탈라인과 절연막을 포함하는 멀티 레이어(Multi-layer) 형성을 위한 화학기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 공정 등이 수반된다. 이는 포토다이오드에서 칼라필터 등에 이르는 간격의 증가로 인한 광감도 저하 및 디펙트(Defect) 증가로 인한 배드 픽셀(Bad pixel)의 증가를 야기한다.

본 발명은 두개의 칩을 이용하여 포토다이오드 형성 후 칼라필터 어레이와 마이크로렌즈를 바로 형성시키는 이미지 칩과, 이를 구동하는 드라이버 IC 및 기타 부가 기능을 부여할 수 있는 로직 어레이로 구성되는 로직 칩으로 분리하여 이미지 칩과 로직 칩을 하나의 패드를 이용하여 3차원 집적한다.

따라서, 포토다이오드 상부에서의 다수의 메탈라인이 생략됨으로 인해 포토다이오드와 마이크로렌즈 사이의 거리를 줄여 광경로를 획기적으로 감소시킴으로써, 광감도를 향상시킨다.

본 발명은 픽셀 어레이를 최대화 및 픽셀 사이즈/디자인 룰 축소 요구, 픽셀 효율(Pixel efficiency) 증가, 스캐터링 효과(Scattering effect) 최소화로 인한 색감 향상이 가능한 방법이며, 차세대 CMOS 이미지센서에 부응하는 해결책으로서 무선통신기기용으로서 사이즈 감소에 획기적인 방식이다.

대표도

도 3

색인어

BEOL(Back End Of Line), 금속배선, CMOS이미지센서, 광경로, 3차원 집적.

명세서

도면의 간단한 설명

도 1은 종래의 CMOS 이미지센서를 개략적으로 도시한 단면도.

도 2a 내지 도 2d는 본 발명의 일실시예에 따른 CMOS 이미지센서 제조 공정을 도시한 단면도.

도 3은 본 발명의 일실시예에 따른 CMOS 이미지센서를 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

100 : 제1기관 101 : 필드 산화막

102 : 포토다이오드 103, 202 : 절연막

104, 201 : 메탈라인 105 : 연결부

106 : 오버코팅 레이어 107 : 칼라필터 어레이

108 : 마이크로렌즈 109 : LTO

200 : 제2기관 203 : 패드

204 : 본딩

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이미지센서에 관한 것으로 특히, 3차원 집적(3D integration) 방식을 이용한 CMOS 이미지센서 및 그 제조 방법에 관한 것이다.

CMOS 이미지센서는 현재 모바일 폰(Mobile phone), PC(Personal Computer)용 카메라(Camera) 및 전자기기 등에서 광범위하게 사용되고 있는 디바이스(Device)이다. CMOS 이미지센서는 기존에 이미지센서로 사용되던 CCD(Charge Coupled Device)에 비해 구동방식이 간편하며, 신호 처리 회로(Signal Processing Circuit)를 한 칩에 집적할 수 있어서 SOC(System On Chip)이 가능하므로 모듈의 소형화를 가능하게 한다.

또한, 기존에 셋-업(Set-up)된 CMOS 기술을 호환성 있게 사용할 수 있으므로 제조 단가를 낮출 수 있는 등 많은 장점을 가지고 있다.

도 1은 종래의 CMOS 이미지센서를 개략적으로 도시한 단면도이다.

도 1을 참조하면, 이미지센서는 하부에 포토다이오드(PD)를 포함하는 수광부가 위치하고 있고, 포토다이오드(PD)와 오버랩되는 최상부에는 마이크로렌즈(ML)와 칼라필터 어레이(CFA)가 배치되어 있다.

도시된 바와 같이, 포토다이오드(PD)와 칼라필터 어레이(CFA) 사이에는 M1 ~ M4의 금속배선과 그 사이의 절연막을 포함하고 있다.

상기의 구조를 갖는 CMOS 이미지센서의 제조 공정 특히, BEOL(Back End Of Line) 즉, 메탈라인 공정은 반도체 소자의 제조 공정과 유사하다. 이 때, PMD(Pre-Metal Dielectric)과 IMD(Inter-Metal Dielectric) 및 보호막(Passivation layer) 등을 형성하기 위해 서로 상이한 절연 물질이 사용되어야 하며, 이로 인해 각 물질간 계면(Interface)에서 빛의 난반사 현상이 발생하여 광감도를 떨어뜨린다.

또한, 상이한 절연막으로 인해 서로 다른 굴절률을 가지기 때문에 빛의 굴절에 의해 광감도가 떨어진다.

종래의 CMOS 이미지센서를 형성함에 있어서, 포토다이오드 형성 후 M1 ~ M4 및 복수의 절연막 형성 및 평탄화 공정을 실시하여야 하므로 이에 따른 불량도 야기된다.

발명이 이루고자 하는 기술적 과제

상기와 같은 종래 기술의 문제점을 해결하기 위해 제안된 본 발명은, CMOS 이미지센서의 다층 금속배선 및 그 사이의 절연막을 포함하는 구조적인 문제로 인한 광감도 저하와 불량 픽셀 발생을 줄일 수 있는 3차원 집적 방식의 CMOS 이미지센서 및 그 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 제1기판에 배치된 이미지 칩과 제2기판에 배치된 로직 칩이 3차원 구조로 집적된 이미지센서에 있어서, 상기 제1기판과 상기 제2기판은 상기 제1기판의 배면에 돌출된 연결부와 상기 제2기판 상부의 패드를 통해 본딩되며, 상기 제1기판의 상부에 마이크로렌즈가 구비된 것을 특징으로 하는 CMOS 이미지센서를 제공한다.

또한, 상기 목적을 달성하기 위하여 본 발명은, 제1기판에 포토다이오드를 형성하는 단계; 상기 제1기판 배면에 돌출되도록 연결부를 형성하는 단계; 제2기판에 복수의 메탈라인을 형성하는 단계; 상기 메탈라인 상부에 상기 연결부와 대응하도록 패드를 형성하는 단계; 상기 연결부와 상기 패드가 서로 대응하도록 상기 제1기판의 배면과 상기 제2기판의 전면을 접합시키는 단계; 및 상기 제1기판의 상기 포토다이오드 상부에 마이크로렌즈를 형성하는 단계를 포함하는 CMOS 이미지센서 제조 방법을 제공한다.

본 발명은 두 개의 칩을 이용하는 바, 하나는 포토다이오드 형성 후 칼라필터 어레이와 마이크로렌즈를 바로 형성시키는 이미지 칩이며, 다른 하나는 이를 구동하는 드라이버 및 기타 부가 기능을 부여할 수 있는 로직 어레이를 포함하는 로직 칩이다.

이 두 칩을 3차원적으로 집적시킴으로써, 포토다이오드 상부에서의 복수의 메탈라인 생략됨으로 인해 포토다이오드와 마이크로렌즈 사이의 거리를 줄여 광경로를 획기적으로 감소시킴으로써, 광감도를 향상시킨다.

요컨대, 본 발명은 종래의 메탈라인과 절연막의 적층 구조로 인해 발생되던 문제점을 해결할 수 있다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다.

도 3은 본 발명의 일 실시예에 따른 CMOS 이미지센서를 도시한 단면도이다.

도 3을 참조하면, 본 발명의 CMOS 이미지센서는 제2기판(200)에 형성된 로직 칩과 제1기판(100)에 집적된 이미지 칩이 3차원 구조로 집적되어 있다. 이 때, 이미지 칩의 배면으로 돌출된 연결부(105)와 하부에 위치하는 로직 칩의 패드(203)가 본딩(204)된다.

이하에서는 그 구성을 보다 구체적으로 살펴본다.

하부에 위치하는 제2기판(200) 상에는 각각 절연막(202)에 의해 둘러싸인 복수의 메탈라인(201)이 형성되어 있으며, 이미지 칩과 집적 본딩이 이루어지는 제2기판(200)의 상부에는 본딩이 이루어지는 부분에 노출되도록 패드(203)가 형성되어 있다.

제1기판(100)에 국부적으로 필드 산화막(101)이 형성되어 있고, 필드 산화막(101) 사이의 제1기판(100) 내부에 포토다이오드(102)가 형성되어 있다. 포토다이오드(102)와 이격된 제1기판(100)에는 복수의 트랜지스터(도시하지 않음)가 배치된다.

포토다이오드(102)와 오버랩되도록 포토다이오드(102)의 상부에 마이크로렌즈(108)가 형성되어 있으며, 복수의 트랜지스터는 제1기판(100)을 관통하는 연결부(105)를 통해 제2기판(200)의 패드(203)와 연결되며, 패드(203)는 복수의 메탈라인(201)과 연결된다. 연결부(105)는 텅스텐, 알루미늄 또는 구리 등의 금속을 포함한다.

마이크로렌즈(108) 상에는 마이크로렌즈(108)의 굽힘 등을 방지하기 위한 LTO(Low Temperature Oxide)가 형성되어 있으며, 마이크로렌즈(107) 하부에는 칼라필터 어레이(107)와 오버코팅 레이어(106, Over-Coating Layer)가 형성되어 있다.

포토다이오드(102)는 제1기판(100)의 표면 하부에 형성된 복수의 불순물 확산층으로 이루어진 포토다이오드이다. 예컨대, 제1기판(100)이 P형의 도전형일 경우 포토다이오드(102)는 제1기판(100) 표면 하부의 P0영역과 그 하부의 n-영역 및 고농도 P형(P++)의 제1기판(100)으로 이루어진 P/N/P 구조일 것이며, 이 때 n-영역은 포토다이오드 동작시 완전 공핍 상태를 이룬다.

여기서, 트랜지스터는 리셋 트랜지스터와 드라이브 트랜지스터와 셀렉트 트랜지스터 등을 포함하며, 4개의 트랜지스터를 포함하는 구조일 경우에는 트랜스퍼 트랜지스터를 더 포함할 것이다.

도면부호 '104'는 단위화소를 이루는 트랜지스터와 하부의 메탈라인(201)을 상호 연결하기 위한 메탈라인으로 포토다이오드(102)를 제외한 트랜지스터 등의 영역으로 빛이 들어가는 것을 방지하는 광차폐 기능도 수행한다. 메탈라인(104)은 연결부(105)를 통해 패드(203)에 연결된다.

메탈라인(201)은 구리 또는 알루미늄 등을 이용하여 형성된다.

상기한 바와 같은 구성을 갖는 본 발명의 CMOS 이미지센서는 로직 칩과 이미지 칩을 서로 분리하고, 이미지 칩을 로직 칩 상부에 위치하도록 칩 본딩을 실시함으로써, 포토다이오드(102) 위에서 칼라필터 어레이(107) 및 마이크로렌즈(108) 사이의 복수의 메탈라인(201)과 절연막(202) 등으로 이루어진 멀티 레이어를 얹음으로써, 다층의 절연막(202)을 가시광선이 통과할 때 발생하는 손실을 없애 광감도를 최대로 할 수 있다.

또한, 6층 배선 이상의 로직 소자도 큰 문제없이 형성 가능하여 SOC도 가능하며 130nm 및 90nm 이하의 코어 로직(Core logic) 기술을 그대로 탑재할 수 있는 장점이 있다.

또한, 마이크로렌즈(108)로부터 포토다이오드(102)까지의 다층의 절연막으로 인한 상이한 막 간에 야기되는 난반사(Diffuse reflectance) 현상을 줄일 수 있고, 또한 층 간의 상이한 굴절율로 인하여 빛의 굴절 현상을 최소화하여 포토다이오드로 입사되는 빛의 양을 극대화할 수 있어 광감도를 증대시킬 수 있다.

이하에서는, 상기한 구성을 갖는 본 발명의 CMOS 이미지센서 제조 공정을 살펴본다.

도 2a 내지 도 2d는 본 발명의 일실시예에 따른 CMOS 이미지센서 제조 공정을 도시한 단면도이다.

도 2a에서는 본딩 이전의 이미지 칩 형성 공정을 나타낸다.

도 2a에 도시된 바와 같이, 제1기판(100)에 국부적으로 필드 산화막(101)을 형성한다. 필드 산화막(101)은 LOCOS(LOCAl Oxidation of Silicon) 또는 STI(Shallow Trench Isolation) 방식의 구조를 포함한다.

P 또는 N웰 형성을 위한 이온주입을 실시한 후, 이온주입을 통해 제1기판(100)에 포토다이오드(102)를 형성한다.

예컨대, P형의 제1기판(100) 깊은 곳에 N형 불순물을 이온주입하여 깊은 n-영역을 형성하고 그 상부의 제1기판(100) 표면 하부에 P형 불순물을 이온주입하여 P0영역을 형성한다.

이어서, 트랜스퍼 트랜지스터 등 단위화소를 이루는 복수의 트랜지스터를 형성한다.

이어서, 절연막(103)을 증착하고 콘택을 통해 트랜지스터의 게이트전극 또는 소스/드레인과 접속되는 메탈라인(104)을 형성한다.

이어서, 제1기판(100)의 배면을 통해 메탈라인(104)에 접속된 연결부(105)를 형성한다. 이 때, 연결부(105)는 후속 본딩 공정시 로직 칩과 접속되어야 하므로 제1기판(100)의 배면으로 돌출되도록 한다.

이는 제1기판(100)의 배면을 통한 수퍼 비아 공정과 이를 매립하여 연결부(105)를 형성하는 공정과 연결부(105)가 돌출되도록 제1기판(100)의 배면을 연마하는 공정으로 이루어진다. 연결부(105)는 텅스텐, 알루미늄 또는 구리 등을 사용할 수 있다.

따라서, 본딩 이전의 이미지 칩 형성 공정이 완료된다.

도 2b는 본딩 전 로직 칩 형성 공정을 나타낸다.

도 2b에 도시된 바와 같이, 제2기판(200) 상에 각각 절연막(202)에 의해 둘러 쌓인 복수의 메탈라인(201)을 형성한다.

메탈라인(201)은 알루미늄 또는 구리를 이용하여 형성하며, 절연막(202)은 PMD(Pre-Metal Dielectric), IMD(Inter-Metal Dielectric) 또는 보호막(Passivation layer) 등을 포함한다.

이어서, 메탈라인(201)과 연결되는 패드(203)를 형성한다.

패드(203)는 본딩시 연결부(105)와 접속되어야 하므로 연결부(105)와 접속되는 위치가 일치하도록 배치하는 것이 바람직하다.

도 2c에 도시된 바와 같이, 이미지 칩이 형성된 제1기판(100)이 배면이 로직 칩이 형성된 제2기판(200) 상부에 위치하도록 본딩한다.

이 때, 패드(203)와 연결부(105)가 각각 대응하도록 한 후, 300℃ ~ 600℃의 온도에서 열처리를 실시함으로써, 두 기판(100, 200) 간의 접합이 이루어진다.

도 2d 에 도시된 바와 같이, 제1기판(100) 상부에 평탄화막 등을 형성하나, 도면의 간략화를 위해 생략한다.

이어서, 칼라필터 어레이(107)와 마이크로렌즈(108) 및 보호막(109)을 형성한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은, 포토다이오드로 입사되는 광경로를 획기적으로 감소시켜 광감도를 증가시키며, 픽셀 어레이를 최대화 및 픽셀 사이즈/디자인 룰 축소 요구를 완화시킬 수 있으며, 픽셀의 효율을 증가시키며, 스캐터링 효과를 줄여 색감을 증가시킬 수 있으며, 차세대 무선통신기기용으로 그 사이즈를 대폭 줄일 수 있어, 집적도 및 성능 측면에서 탁월한 효과가 있다.

(57) 청구의 범위

청구항 1.

제1기판에 배치된 이미지 칩과 제2기판에 배치된 로직 칩이 3차원 구조로 집적된 이미지센서에 있어서,

상기 제1기판과 상기 제2기판은 상기 제1기판의 배면에 돌출된 연결부와 상기 제2기판 상부의 패드를 통해 본딩되며, 상기 제1기판의 상부에 마이크로렌즈가 구비된 것을 특징으로 하는 CMOS 이미지센서.

청구항 2.

제 1 항에 있어서,

상기 이미지 칩은,

상기 제1기판에 형성된 포토다이오드와, 상기 포토다이오드와 상기 마이크로렌즈 사이에 형성된 칼라필터 어레이를 더 포함하는 것을 특징으로 하는 CMOS 이미지센서.

청구항 3.

제 2 항에 있어서,

상기 포토다이오드는 상기 제1기판 하부에 형성된 복수의 불순물 확산층으로 이루어진 것을 특징으로 하는 CMOS 이미지센서.

청구항 4.

제 1 항에 있어서,

상기 로직 칩은, 복수의 절연막 및 복수의 메탈라인을 포함하는 것을 특징으로 하는 CMOS 이미지센서.

청구항 5.

제 1 항에 있어서,

상기 연결부는 텅스텐, 알루미늄 또는 구리 중 어느 하나를 포함하는 것을 특징으로 하는 CMOS 이미지센서.

청구항 6.

제1기판에 포토다이오드를 형성하는 단계;

상기 제1기판 배면에 돌출되도록 연결부를 형성하는 단계;

제2기판에 복수의 메탈라인을 형성하는 단계;

상기 메탈라인 상부에 상기 연결부와 대응하도록 패드를 형성하는 단계;

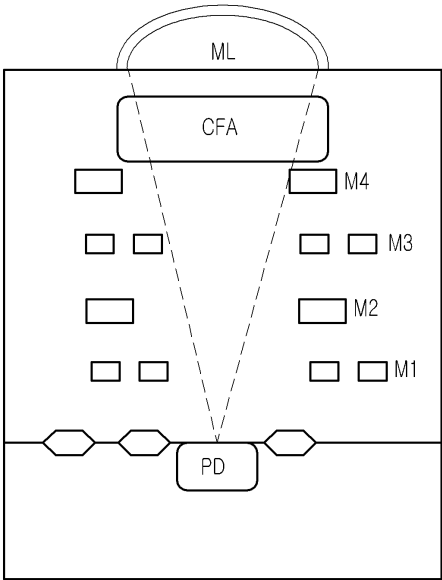
상기 연결부와 상기 패드가 서로 대응하도록 상기 제1기판의 배면과 상기 제2기판의 전면을 접합시키는 단계; 및

상기 제1기판의 상기 포토다이오드 상부에 마이크로렌즈를 형성하는 단계

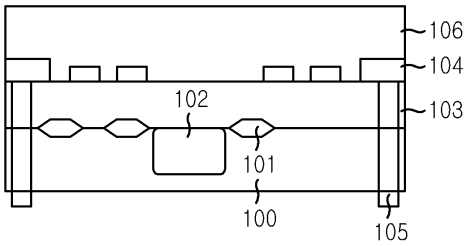
를 포함하는 CMOS 이미지센서 제조 방법.

도면

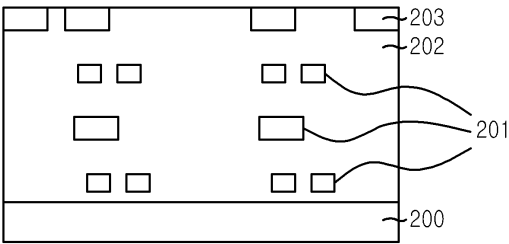
도면1



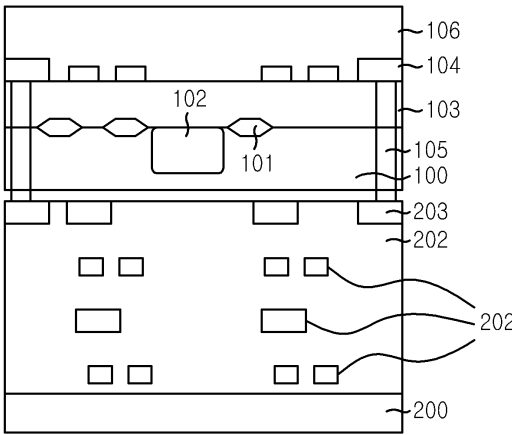
도면2a



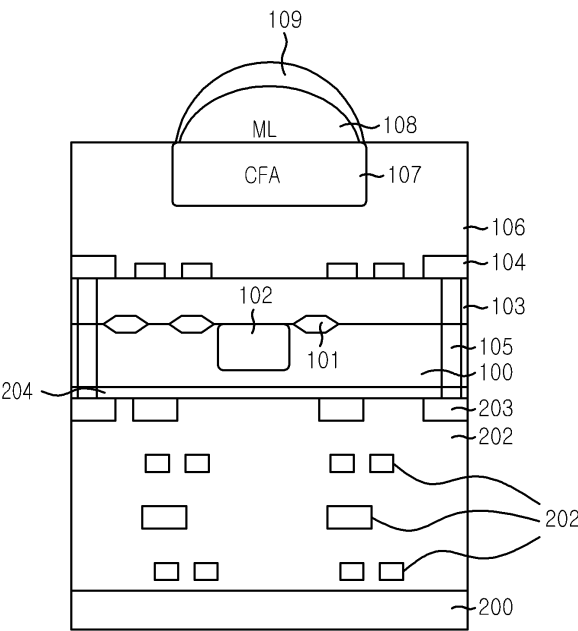
도면2b



도면2c



도면2d



도면3

