

I, Harumi Morota, hereby declare:

That I possess advanced knowledge of the Japanese and English languages. The attached Japanese into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of JP3800335B2 (Imaoka).

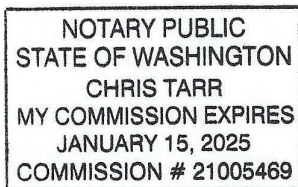
I declare that all statements made above of my own knowledge are true and that all statements made on information and belief are believed to be true. I have been warned and understand that willful false statements and the like are punishable by fine or imprisonment, or both, under § 1001 of Title 18 of the United States Code.

I declare (or certify, verify, or state) under penalty of perjury that the foregoing is true and correct.

Executed on October 12, 2022 in Camas, Washington.

Harumi Morota

Harumi Morota



Chris Tarr

Notary Public

Notary Commission Expiry 1-15-2025

Sony Exhibit 1006
Sony v. VisionX

(19) Japanese Patent Office (JP)

(12) Patent Official Gazette (B2)

(11) Japanese Patent No.

Patent No. 3800335**(P3800335)**

(45) Published on: 7.26.2006 (2006.7.26)

(24) Registered on: 5.12.2006 (2006.5.12)

(51) Int. Cl.

F1

H01L 27/14 (2006.01)

H01L 27/14 D

H01L 23/12 (2006.01)

H01L 23/12 N

H04N 5/225 (2006.01)

H04N 5/225 D

H04N 5/335 (2006.01)

H04N 5/335 V

Number of claims: 21. (17 pages in total)

(21) Application No.: Patent Application No. 2003-111643
(P2003-111643)
(22) Application filed on: 4.16.2003 (2003.4.16)
(65) Publication no.: Japanese Published Unexamined Patent
Application No. 2004-319758
(P2004-319758A)
(43) Published on: 11.11.2004 (2004.11.11)
Examination requested on: 11.25.2004 (2004.11.25)

Patent application subject to accelerated examination

(73) Patentee 000002369
Seiko Epson Corporation
4-1, Nishi-Shinjuku 2-chome, Shinjuku-ku,
Tokyo, Japan
(74) Agent: 100090397
Patent attorney: Yukio Fuse
(74) Agent: 100090398
Patent attorney: Michie Ofuchi
(72) Inventor: Norio Imaoka
3-3-5, Yamato, Suwa City, Nagano Prefecture,
Japan
Seiko Epson Corporation
Examiner: Masataka Shibayama

Continued on last page

(54) [Name of Invention] Optical device, optical module, semiconductor device and electronic equipment

(57) [Scope of patent claims]

[Claim 1]

An optical device, which comprises

a first semiconductor substrate having an optical part and a plurality of first pads;

a second semiconductor substrate having an integrated circuit and a plurality of second pads being stacked under the aforesaid first semiconductor substrate;

an intermediate layer provided between the aforesaid first and second semiconductor substrates;

a plurality of through-holes continuously extending through the aforesaid first semiconductor substrate, the aforesaid second semiconductor substrate and the aforesaid intermediate layer; and

a plurality of conductive parts formed on the inside of the aforesaid plurality of through-holes, wherein

the aforesaid intermediate layer has at least a first metal layer, a second metal layer overlapping the aforesaid first metal layer, and an insulating layer provided between the overlapping of the aforesaid first and second metal layers;

the aforesaid plurality of conductive parts have a first conductive part serving as a first power supply terminal and a second conductive part serving as a second power supply terminal;

the aforesaid first conductive part is electrically connected to the aforesaid first metal layer; and

the aforesaid second conductive part is electrically connected to the aforesaid second metal layer.

[Claim 2]

The optical device described in Claim 1, wherein the aforesaid optical part is formed on the side of the surface of the aforesaid first semiconductor substrate opposite to the aforesaid second semiconductor substrate.

[Claim 3]

The optical device described in Claim 1 or 2, wherein the aforesaid integrated circuit is formed on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate.

[Claim 4]

The optical device described in any one of Claim 1 to Claim 3, wherein the aforesaid through-hole is formed so as to extend through at least one of the aforesaid first and second pads.

[Claim 5]

The optical device described in any one of Claim 1 to Claim 4, which further comprises an insulating layer formed on the inner surface of the aforesaid through-hole, wherein the aforesaid conductive part is formed on the aforesaid insulating layer.

[Claim 6]

The optical device described in any one of Claim 1 to Claim 5, wherein the aforesaid conductive part has an electrical connection part on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate.

[Claim 7]

The optical device described in Claim 6, wherein the pitch of the aforesaid electrical connection part is larger than the pitch of the aforesaid second pad.

[Claim 8]

The optical device described in Claim 6 or Claim 7, which further comprises an external terminal provided on the aforesaid electrical connection part.

[Claim 9]

The optical device described in any one of Claim 6 to Claim 8, which further comprises a resin layer formed on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate, wherein the aforesaid electrical connection part is formed on the aforesaid resin layer.

[Claim 10]

The optical device described in Claim 9, wherein the aforesaid resin layer is formed in an area overlapping the aforesaid optical part.

[Claim 11]

The optical device described in any one of Claim 1 to Claim 10, wherein the aforesaid optical part is an optical device having a plurality of light-receiving elements.

[Claim 12]

The optical device described in Claim 11, wherein each of the aforesaid plurality of light-receiving elements is arrayed for image sensing.

[Claim 13]

An optical module, which further comprises an optical device described in any one of Claim 1 to Claim 12;
a wiring substrate facing the aforesaid second semiconductor substrate; and
a substrate member holding a lens mounted on the aforesaid wiring substrate and being provided above the aforesaid first semiconductor substrate.

[Claim 14]

A semiconductor device, which comprises
a first semiconductor substrate having a first integrated circuit and a plurality of first pads;
a second semiconductor substrate having a second integrated circuit and a plurality of second pads being stacked under the aforesaid first semiconductor substrate;
an intermediate layer provided between the aforesaid first and second semiconductor substrates;
a plurality of through-holes continuously extending through the aforesaid first semiconductor substrate, the

aforesaid second semiconductor substrate and the aforesaid intermediate layer; and

a plurality of conductive parts formed on the inside of the aforesaid plurality of through-holes, wherein

the aforesaid first integrated circuit is formed on the side of the surface of the aforesaid first semiconductor substrate opposite to the aforesaid second semiconductor substrate;

the aforesaid second integrated circuit is formed on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate;

the aforesaid intermediate layer has at least a first metal layer, a second metal layer overlapping the aforesaid first metal layer, and an insulating layer provided between the overlapping of the aforesaid first and second metal layers;

the aforesaid plurality of conductive parts have a first conductive part serving as a first power supply terminal and a second conductive part serving as a second power supply terminal;

the aforesaid first conductive part is electrically connected to the aforesaid first metal layer; and

the aforesaid second conductive part is electrically connected to the aforesaid second metal layer.

[Claim 15]

The semiconductor device described in Claim 14, wherein the aforesaid through-hole is formed so as to extend through at least one of the aforesaid first and second pads.

[Claim 16]

The semiconductor device described in Claim 14 or Claim 15, which further comprises an insulating layer formed on the inner surface of the aforesaid through-hole, wherein the aforesaid conductive part is formed on the aforesaid insulating layer.

[Claim 17]

The semiconductor device described in any one of Claim 14 to Claim 16, wherein the aforesaid conductive part has an electrical connection part on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate.

[Claim 18]

The semiconductor device described in Claim 17, wherein the pitch of the aforesaid electrical connection part is larger than the pitch of the aforesaid second pad.

[Claim 19]

The semiconductor device described in Claim 17 or Claim 18, which further comprises an external terminal provided on the aforesaid electrical connection part.

[Claim 20]

The semiconductor device described in any one of Claim 17 to Claim 19, which further comprises a resin layer formed on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate, wherein the aforesaid electrical connection part is formed on the aforesaid resin layer.

[Claim 21]

Electronic equipment, comprising an optical device, an optical module or a semiconductor device described in any one of Claim 1 to Claim 20.

[Detailed explanation of the invention]

[0001]

[Technical field to which the invention belongs]

This invention relates to an optical device, an optical module, a semiconductor device and electronic equipment.

[0002]

[Conventional technology]

[0003]

[Patent Document 1]

Japanese Unexamined Patent Application Publication Official Gazette No. H 10 (1998)-229162

[0004]

[Background of invention]

Miniaturization of semiconductor devices is in demand. For example, in optical modules of the imaging type, such as CCD and MOS, etc., a stack structure of an optical chip receiving optical signals and a semiconductor chip processing electric signals is known. Many such methods were accomplished by techniques of bonding a wire to achieve an electrical connection part, but setting up the wire led to limiting the scope of miniaturization. Alternatively, it is possible to conceive a method of attaining high density and miniaturization by forming an integrated circuit on both surfaces of a semiconductor chip, while this would require a new manufacturing process and equipment, thus increasing cost and making it difficult to assure reliability.

[0005]

An objective of the invention is to provide a method of achieving an electrical connection part between stacked semiconductor substrates with ease and high reliability as well as attaining miniaturization.

[0006]

[Means for solving the problems]

(1) An optical device according to this invention may include

a first semiconductor substrate having an optical part and a plurality of first pads;

a second semiconductor substrate having an integrated circuit and a plurality of second pads being stacked under the aforesaid first semiconductor substrate;

an intermediate layer provided between the aforesaid first and second semiconductor substrates;

a plurality of through-holes continuously extending through the aforesaid first semiconductor substrate, the aforesaid second semiconductor substrate and the aforesaid intermediate layer; and

a plurality of conductive parts formed to include the inside of the aforesaid plurality of through-holes, wherein the aforesaid intermediate layer has at least a first metal layer, a second metal layer overlapping the aforesaid first metal layer, and an insulating layer provided between the overlapping of the aforesaid first and second metal layers;

the aforesaid plurality of conductive parts have a first conductive part serving as a first power supply terminal and a second conductive part serving as a second power supply terminal;

the aforesaid first conductive part is electrically connected to the aforesaid first metal layer; and

the aforesaid second conductive part is electrically connected to the aforesaid second metal layer. According to this invention, the first and second semiconductor substrates are electrically connected through a conductive part in the through-hole which continuously extends through these semiconductor substrates. Hence, it is possible to keep the outer dimensions of the optical device within a range of the outer dimensions of a stacked structure of the first and second semiconductor substrates, thus enabling miniaturization to be attained. In addition, since the overlapping portions of the first and second metal layers can be used as capacitance, the electrical characteristics of the optical device can be improved. Moreover, since the capacitance can be placed in the vicinity of the first and second semiconductor substrates, it is very superior in high-frequency characteristics. In addition, since the capacitance is formed in the intermediate layer, unnecessary space can be omitted, and further miniaturization of the optical device can be achieved.

(2) In this optical device, the aforesaid optical part may be formed on the side of the surface of the aforesaid first semiconductor substrate opposite to the aforesaid second semiconductor substrate.

(3) In this optical device, the aforesaid integrated circuit may be on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate.

(4) In this optical device, the aforesaid through-hole may be so formed as to extend through at least one of the aforesaid first and second pads. By doing so, it makes it easier for the conductive part to be electrically connected to at least one of the first and second pads.

(5) This optical device further comprises an insulating layer formed on the inner surface of the aforesaid through-hole, and the aforesaid conductive part may be formed on the aforesaid insulating layer. By doing so, it is

possible to prevent electrical continuity between the conductive part and a semiconductor portion on the inside thereof.

(6) In this optical device, the aforesaid conductive part may have an electrical connection part on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate.

(7) In this optical device, the pitch of the aforesaid electrical connection part may be larger than the pitch of the aforesaid second pad. By doing so, for example, a plurality of electrical connection parts may be disposed in an area two-dimensionally expanding, thereby, for example, improving the degree of freedom of the position for setting an external terminal.

(8) This optical device may further comprise the external terminal provided on the aforesaid electrical connection part.

(9) This optical device further comprises a resin layer formed on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate, and the aforesaid electrical connection part may be formed on the aforesaid resin layer. By doing so, stress upon the electrical connection part may be relaxed by the resin layer.

(10) In this optical device, the aforesaid resin layer may be formed in an area overlapping the aforesaid optical part. By doing so, generation of noise thereof may be restrained.

(11) This optical device may further comprise an intermediate layer interposed between the aforesaid first and second semiconductor substrates.

(12) In this optical device, the aforesaid intermediate layer may include a metal layer formed in the area overlapping the aforesaid optical part. Since the metal layer reflects light, any unnecessary light incident to the optical device may be cut to restrain generation of noise thereof.

(13) In this optical device, the aforesaid optical part may have a plurality of light-receiving elements.

(14) In this optical device, each of the aforesaid plurality of light-receiving elements may be arrayed for image sensing.

(15) An optical module according to this invention further comprises the above-mentioned optical device, a wiring substrate facing the aforesaid second semiconductor substrate, and a substrate member holding a lens mounted on the aforesaid wiring substrate and provided above the aforesaid first semiconductor substrate.

(16) A semiconductor device according to the invention may include

a first semiconductor substrate having a first integrated circuit and a plurality of first pads;

a second semiconductor substrate having a second integrated circuit and a plurality of second pads being stacked under the aforesaid first semiconductor substrate;

an intermediate layer provided between the aforesaid first and second semiconductor substrates;

a plurality of through-holes continuously extending through the aforesaid first semiconductor substrate, the aforesaid second semiconductor substrate and the aforesaid intermediate layer; and

a plurality of conductive parts formed to include the inside of the aforesaid plurality of through-holes, wherein the aforesaid first integrated circuit is formed on the side of the surface of the aforesaid first semiconductor substrate opposite to the aforesaid second semiconductor substrate;

the aforesaid second integrated circuit is formed on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate;

the aforesaid intermediate layer has at least a first metal layer, a second metal layer overlapping the aforesaid first metal layer, and an insulating layer provided between the overlapping of the aforesaid first and second metal layers;

the aforesaid plurality of conductive parts have a first conductive part serving as a first power supply terminal and a second conductive part serving as a second power supply terminal;

the aforesaid first conductive part is electrically connected to the aforesaid first metal layer; and

the aforesaid second conductive part is electrically connected to the aforesaid second metal layer. According to this invention, the first and second semiconductor substrates are electrically connected through a conductive part in the through-hole which continuously extends through these semiconductor substrates. Hence, it is possible to keep the outer dimensions of the semiconductor device within a range of the outer dimensions of the stacked structure of the first and second semiconductor substrates, thus enabling miniaturization to be attained. Also, since an integrated circuit is formed on both surfaces of the semiconductor device, in pseudo terms, the same effect as having an integrated circuit on both surfaces of one semiconductor substrate can be achieved. Further, by selecting a combination of the first and second semiconductor substrates, it is possible to realize easily a semiconductor device having a variety of functions, thus providing a very high degree of design freedom. In addition, since the overlapping portions of the first and second metal layers can be used as capacitance, the electrical characteristics of the semiconductor device can be improved. Moreover, since the capacitance can be placed in the vicinity of the first and second semiconductor substrates, it is very superior in high-frequency characteristics. In addition, since the capacitance is formed in the intermediate layer, unnecessary space can be omitted, and further miniaturization of the semiconductor device can be achieved.

(17) In this semiconductor device, the aforesaid through-hole may be so formed as to extend through at least one of the aforesaid first and second pads. By doing so, it becomes easier for the conductive part to connect electrically to at least one of the first and second pads.

(18) This semiconductor device may further include an insulating layer formed on the inner surface of the aforesaid through-hole, and the aforesaid conductive part may be formed on the aforesaid insulating layer. By doing so, it is possible to prevent the electrical continuity between the conductive part and a semiconductor portion of the inside of the through-hole.

(19) In this semiconductor device, the conductive part may have an electrical connection part on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate.

(20) In this semiconductor device, the pitch of the aforesaid electrical connection part may be larger than the pitch of the aforesaid second pad. By doing so, for example, a plurality of electrical connection parts may be disposed in an area two-dimensionally expanding, and, for example, the degree of freedom of the setting position of the external terminal improves.

(21) This semiconductor device may further comprise the aforesaid external terminal provided on the electrical connection part.

(22) This semiconductor device may further comprise a resin layer formed on the side of the surface of the aforesaid second semiconductor substrate opposite to the aforesaid first semiconductor substrate, and the aforesaid electrical connection part may be formed on the aforesaid resin layer. By this means, stress upon the electrical connection part may be relaxed by the resin layer.

(23) Electronic equipment according to this invention comprises the above-mentioned optical device, optical module or semiconductor device.

[0007]

[Embodiments of the Invention]

The embodiments of this invention are explained below with reference to the figures.

[0008]

(First Embodiment)

Fig. 1 to Fig. 4 are drawings showing an optical device according to the first embodiment of this invention. Fig. 1 is a section of the optical device and a sectional view of Fig. 2 along line I-I. Fig. 2 is a plane view of the optical device. In Fig. 1 and Fig. 2, a portion of the optical device (photoresist layers 46, 48 and the like) is omitted. Fig. 3 is an expanded sectional view of the optical device. It is to be noted that although in this embodiment, an optical device will be described as an example of a semiconductor device, a semiconductor device according to this invention is not limited to an optical device.

[0009]

The optical device has a first and a second semiconductor substrate 10. The first semiconductor substrate 10 may be a semiconductor chip (for example, a silicon chip) or a semiconductor wafer (for example, a silicon wafer). The first semiconductor substrate 10 has a first integrated circuit 12. If the first semiconductor substrate 10 forms a rectangular parallelepiped, the first integrated circuit 12 is formed on either one of the surfaces (widest face) of the first semiconductor substrate. There is formed one independent first integrated circuit 12 on a semiconductor chip, and there are formed a plurality of independent integrated circuits 12 on a semiconductor wafer. The first semiconductor substrate 10 has a plurality of (a plurality of groups in a case of semiconductor wafers) first pads 14. At least one of the plurality of first pads 14 is electrically connected to the first semiconductor circuit. The first pads 14 may be exposed to a surface on which the first semiconductor circuit 12 on the first semiconductor substrate 10 is formed. The plurality of first pads 14 may be arrayed at an end (along at least one side (for example, two opposite sides or four opposite sides) of the semiconductor substrate 10 (for example, a semiconductor chip)). The plurality of first pads 14 may be arrayed in a manner of surrounding the first integrated circuit 12. The plurality of first pads 14 may be formed of an aluminum type or a copper type of metal. As Fig. 3 shows, passivation films 16 and 18 are formed in one or a plurality of layers on the first semiconductor substrate 10. The passivation films 16 and 18 may be formed of, for example, SiO₂, SiN, a polyimide resin and the like.

[0010]

A second semiconductor substrate 20 has a second integrated circuit 22 and a second pad 24. There are formed passivation films 26 and 28 on the second semiconductor substrate 20. As Fig. 1 and Fig. 2 show, the shape of the second semiconductor substrate 20 (for example, a plane shape) may be identical to the shape of the first semiconductor 10. Other contents of the second semiconductor substrate 20 may be the same as the above-mentioned first semiconductor substrate 10.

[0011]

In this embodiment, the first semiconductor substrate 10 has an optical part 13. The optical part 13 is a part to which light enters or from which light is emitted. The optical part 13 converts optical energy and other energies (for example, electrical energy). Namely, the optical part 13 has at least one energy converter (not illustrated). The energy converter (a light-receiving element and a light-emitting device) is a part of the first integrated circuit 12. In this embodiment, the energy converter is the light-receiving element (for example, a photodiode). A plurality of light-receiving elements may be so disposed as to enable image sensing by corresponding to each of a plurality of pixels two-dimensionally arrayed. That is, the optical device may be an image sensor (for example, a CCD image sensor or a CMOS image sensor).

[0012]

The optical part 13 may be equipped with a plurality of micro-lenses 54. The micro-lenses 54 are provided corresponding to each of the plurality of the light-receiving elements, being capable of narrowing down light incident to each light-receiving element. The micro-lenses 54 may be convex lenses. Although surfaces of the micro-lenses 54 may be of smooth curvature, so long as the surfaces can refract light, no restriction is imposed on the surface shape. The micro-lenses 54 are placed on the side of the surface on which the first integrated circuit 12 on the first semiconductor substrate 10 is formed.

[0013]

The optical part 13 may have a color filter (not illustrated). The color filter is provided corresponding to each of the plurality of the light-receiving elements. The color filter may be formed between the micro-lenses 54 and the light-receiving elements. For example, there may be provided a flattened layer (not illustrated) on the color filter with the micro-lenses 54 thereon.

[0014]

The first and second semiconductor substrates 10 and 20 are mutually stacked. In the example shown in Fig. 1, the first and second semiconductor substrates 10 and 20 are stacked such that the surfaces of these semiconductor substrates opposite to the formed surfaces of the first and the second integrated circuit 12 and 22 face each other. In other words, the optical part 13 (or the first integrated circuit 12) is formed on the side of the surface of the first

semiconductor substrate 10 opposite to the second integrated substrate 20, and the second integrated circuit 22 is formed on the side of the surface of the second integrated substrate 20 opposite to the first integrated substrate 10. In the example shown in Fig. 1, semiconductor chips are stacked and semiconductor wafers may be stacked.

[0015]

As Fig. 3 shows, there may be interposed an intermediate layer 30 between the first and second semiconductor substrates 10 and 20. The intermediate layer 30 may be an adhesive layer. Namely, the first and second semiconductor substrates 10 and 20 may be bonded to each other. The intermediate layer 30 may have an insulating property.

[0016]

A through-hole 32 is formed in the first and second semiconductor substrates 10 and 20. In particular, the through-hole 32 extends continuously (integrally) through the first and second semiconductor substrates 10 and 20. The inner wall surface of the through-hole may be perpendicular or slanted to the surface of either semiconductor substrate. The width (diameter) of the through-hole 32 may be constant or partially different. The sectional shape of the through-hole 32 may be circular as shown in Fig. 2 or angular. The through-hole 32 may so formed as to extend through at least one of the first and the second pad 14 and 24. For example, in a case of the first and the second pad 14 and 24 overlapping, the through-hole 32 may be formed in a position of extending through both the first and the second pad 14 and 24. Or, if the first and the second pad 14 and 24 do not overlap, the through-hole 32 may be formed in a position of extending through either the first or the second pad 14 and 24. The through-hole 32 can have a sectional area less than the pad area and, for example, may extend through the center of the pad. It is to be noted that a plurality of through-holes 32 may be formed in a manner of surrounding the optical part 13 (or the first integrated circuit 12) and the second integrated circuit 22.

[0017]

One or a plurality of resin layers 36 (one layer in Fig. 3) are formed on the second semiconductor substrate 20. In particular, the resin layer 36 is formed on the side of the surface of the second semiconductor substrate 20 opposite to the first semiconductor substrate 10. The resin layer 36 is formed on the passivation films 26 and 28 by keeping away from the second pad 24. For example, the resin layer 36 may be formed within an area surrounded by a plurality of second pads 24. As shown in Fig. 1, the resin layer 36 may be formed in an area where the optical part 13 of the first semiconductor substrate 10 overlaps. By doing so, if the resin layer 36 has a light shielding property (property of blocking at least part of the light of a wavelength to which the light-receiving element reacts), it is possible to keep the generation of noise of the optical device under control, hence, it is desirable. The resin layer 36 may have a slanted side so as to make an end surface of the semiconductor substrate larger than the tip surface. The resin layer 36 may have a stress relaxing function. The resin layer 36 may be formed of a polyimide resin, a silicone denatured polyimide resin, an epoxy resin, a silicone denatured epoxy resin, benzocyclobutene (BCB), polybenzoxazole (PBO) and the like. The resin layer 36 may also be formed between the second semiconductor substrate 20 and an external terminal 50 to be explained later.

[0018]

A conductive part 38 is formed inside the through-hole 32. In particular, part of the conductive part is disposed inside the through-hole 32. The conductive part 38 may fill the through-hole 32. Or, the conductive part 38 is formed inside the through-hole 32 and a through-hole of a small diameter may be formed in a central portion of the through-hole 32. The conductive part 38 is electrically connected to at least one (both in Fig. 3) of the first and the second pad 14 and 24. In the example illustrated in Fig. 3, an insulating layer 34 is formed on the inner surface of the through-hole 32, and the conductive part 38 is formed on the insulating layer 34. By doing so, it is possible to prevent electrical continuity between the conductive part 38 and a semiconductor portion (for example, a silicon portion) on the inside of the through-hole 32. The conductive part 38 may be formed in one or a plurality of layers. In the example shown in Fig. 3, the first and second conductive layers 40 and 42 are included.

[0019]

The conductive part 38 has an electrical connection part 44 with other electronic parts (for example, a wiring substrate 60 (refer to Fig. 4)). The electrical connection part 44 may be formed on the second semiconductor substrate 20. In particular, the electrical connection part 44 is formed on the side of the surface of the second semiconductor substrate 20 opposite to the first semiconductor substrate 10. The electrical connection part 44 may be formed on the through-hole 32 and may

overlap the second pad 24. The electrical connection part 44 may be formed of a different material than other portions of the conductive part 38. For example, a plated layer (for example, gold plating) may be formed only on the surface of the electrical connection part 44. The electrical connection part 44 may be provided with the external terminal 50. The external terminal 50 may be of solder (for example, a solder ball).

[0020]

A plurality of electrical connection parts 44 may be formed by keeping away from the through-hole 32. Namely, the conductive part 38 is formed as wiring on the surface of the second semiconductor substrate 20 and part of the wiring may be the electrical connection part 44. A tip of the wiring may be the electrical connection part 44. The electrical connection part 44 may be formed on the resin layer 36. Namely, the conductive part 38 may extend to reach over the resin layer 36. By doing so, stress upon the electrical connection part 44 (or the external terminal 50) may be relaxed by the resin layer 36.

[0021]

As shown in Fig. 2, the pitch of the electrical connection parts 44 with one another in the vicinity may be larger than the pitch of the second pads 24 with one another in the vicinity. Namely, pitch conversion may be performed. By doing so, for example, the plurality of electrical connection parts 44 may be disposed in an area expanding two-dimensionally and the degree of freedom of the setting position of the external terminal 50 improves.

[0022]

As shown in Fig. 3, photoresist layers 46 and 48 may be formed on the first and second semiconductor substrates. The photoresist layers 46 and 48 have an insulating property. The photoresist layer 46 covers the conductive part 38 which is exposed on the first semiconductor substrate 10 and the photoresist layer 48 covers the conductive part 38 which is exposed on the second semiconductor substrate 20. However, the photoresist layer 48 is formed by keeping away from part of the conductive layer 38 (electrical connection parts 44). By using the photoresist layers 46 and 48, it is possible to prevent oxidation, corrosion, and electrical defects of the conductive part 38. As an example of variation, the sides of the first and second semiconductor substrates 10 and 20 may be covered with the photoresist layer. Further, the photoresist layer may be integrally formed over the external surfaces of the first and second semiconductor substrates 10 and 20.

[0023]

A covering layer 52 may be formed on the photoresist layer 48. The covering layer 52 covers the base part (the lower end part) of the external terminal 50. As shown in Fig. 3, the covering layer 52 may be formed only on the surroundings of the external terminal 50. At least the base part of the external terminal 50 is reinforced with the covering layer 52. Namely, after the optical device is packed on a wiring substrate 60 (refer to Fig. 4), it is possible to disperse the concentration of stress to the external terminal 50 through the covering layer 52.

[0024]

According to a semiconductor device (an optical device) of this embodiment, the first and second semiconductor substrates 10 and 20 are electrically connected through the conductive part 38 in the through-hole 32 which extends continuously through these semiconductor substrates. Hence, it becomes possible to put the outer dimensions of the semiconductor device (optical device) within a range of the outer dimensions of the stacked structure of the first and second semiconductor substrates 10 and 20, thus enabling miniaturization to be achieved. Further, since the integrated circuits are formed on both surfaces of the semiconductor device (the optical device), it is possible to accomplish, in pseudo terms, the same effect of a semiconductor device having integrated circuits on both surfaces of one semiconductor substrate. Moreover, by selecting a combination of the first and second semiconductor substrates 10 and 20, it is possible to realize a semiconductor device having a variety of functions, thereby producing a very high degree of design freedom.

[0025]

Fig. 4 is a sectional view of an optical module including an optical device. The optical module may be an image sensor module. The optical module includes an optical device 1, a wiring substrate 60, and a substrate member 70.

[0026]

The wiring substrate 60 may be a rigid substrate or a flexible substrate. The wiring substrate 60 has a wiring pattern 62. The wiring pattern 62 may be formed by applying known technology, such as plating techniques and exposure techniques. The optical device 1 is mounted on the wiring substrate 60. In particular, the wiring substrate 60 is located opposite to the second semiconductor substrate 20, and the electrical connection part 44 and the wiring pattern 62 are electrically

connected. Solder (the external terminal 50 in Fig. 3) may be interposed between the two for joining. An under-fill material (sealant) 64 may be set up between the optical device 1 and the wiring substrate 60. It is to be noted that no restriction is imposed on the mode of the electrical connection part of the optical device 1 and the wiring substrate 60, so that an anisotropic conductive material such as an anisotropic conductive film (ACF) or an anisotropic conductive paste (ACP) may be employed or a connection mode through the contraction strength of an insulating resin may also be applied.

[0027]

The substrate member 70 is an exterior of the optical device 1 and may be called a frame. It is desirable that the substrate member 70 is formed of a light shielding material (for example, a resin or a metal). The substrate member 70 may be formed by injection molding. The substrate 70 is attached to the wiring substrate 60 in a manner of surrounding the optical device 1. The substrate member 70 may be bonded to the wiring substrate 60 with an adhesive 88. The substrate member 70 holds a lens 72. The substrate member and the lens 72 may be called an imaging optical system. The substrate member 70 may be formed of, as explained later, a plurality of members which are mutually separable or may be integrally constructed with one member.

[0028]

The substrate member 70 includes a first and a second part 74 and 76. The lens 72 is attached to the first part 74. Namely, the first part 74 is a lens holder. In particular, the first part 74 has a first hole 78, and the lens 72 is held inside the first hole 78. The lens 72 may be fixed to inside the first hole 78 with a screw (not illustrated) formed inside the first part 74. The lens 72 is provided above the optical device 1 (for details, refer to the first semiconductor substrate 10).

[0029]

As shown in Fig. 4, the second part 76 has a second hole 80, and the first part 74 is held inside the second hole 80. The first and the second hole 78 and 80 comprise a through-hole in communication with each other. The optical device 1 may be placed inside the second hole 80. On the outside of the first part 74 and on the inside of the second hole 80 of the second part 76, there are formed the first and the second screw 82 and 84 which link the first and the second part 74 and 76 together. And, by means of the first and the second screw 82 and 84, the first part 74 is made position-adjustable along the axial direction of the second hole 80 in the second part 76. In this way, the focus of the lens 72 may be adjusted.

[0030]

The optical module includes an optical filter 86. The optical filter 86 may be a filter which transmits only light having a specific wavelength (for example, visible light) or a filter having small loss with respect to light of a specific wavelength (for example, visible light). The optical filter 86 may be attached to the substrate member 70 (for example, the second hole 80). Or, the lens 72 may be equipped with a function of the optical filter 86. In the optical filter 86, there is formed an optical function film such as an anti-reflection coat (AR coat) and an infrared shield coat (IR coat).

[0031]

From the end part of the wiring substrate 60, a flexible substrate 90 may extend. For example, through the flexible substrate 90, the wiring substrate 60 may be electrically connected to other circuit substrates (for example, a motherboard). Or the wiring substrate 60 may be a motherboard. On the wiring substrate 60, there may be mounted other electronic parts (not illustrated). As electronic parts, there are active parts (semiconductor chips with an integrated circuit built in and the like), passive parts (resistors, capacitors and the like), functional parts (filters and other parts that change an input signal property), connection parts (flexible substrates, connectors, switches and the like), converters (parts converting input signals such as sensors into an energy system with different input signals) and the like.

[0032]

Since an optical module according to this embodiment has the above-mentioned optical device, it is possible to achieve miniaturization and high density.

[0033]

Next, as shown in Fig. 5(A) to Fig. 8, a manufacturing method of a semiconductor device according to this embodiment will be described. The contents of the manufacturing method of the semiconductor device include the contents obtained from the above-mentioned semiconductor device. It is to be noted that the contents of the above-mentioned semiconductor device include the contents obtained from the manufacturing method of the semiconductor device.

[0034]

As shown in Fig. 5(A), the first and second semiconductor substrates 10 and 20 are stacked. In particular, the first and second semiconductor substrates 10 and 20 are stacked such that the surfaces of these substrates opposite to the formed surfaces of the first and the second integrated circuit 12 and 22 face each other. An intermediate layer 30 may be interposed between the first and second semiconductor substrates 10 and 20. The intermediate layer 30 may be an adhesive layer, and the adhesive layer may be either in the form of paste or a sheet.

[0035]

As an example of variation, the first and second semiconductor substrates 10 and 20 may be joined by anode bonding. In anode bonding, joining is performed by generating static attraction on the interface while the first and second semiconductor substrates 10 and 20 are in the state of being heated at high temperature. In a case of between semiconductor substrates having the same materials (for example, between silicon substrates), because both have the identical coefficient of thermal expansion, when the temperature returns to normal, warpage of the interface of a joint due to divergence of the coefficient of thermal expansion may be prevented. Further, in this case, the above-mentioned intermediate layer 30 may be omitted, thereby making it possible to provide further miniaturization of a semiconductor device.

[0036]

As shown in Fig. 5(A), a passivation film 16 is formed on a surface of the first semiconductor substrate 10 on which the first integrated circuit 12 is formed, and the first pad 14 is formed thereon. Further, the other passivation film 18 may be formed by keeping away from at least a part (for example, the central part) of a surface of the first pad 14. After the passivation film is formed by covering the surface of the first pad 14, part thereof is subjected to etching and forming an opening 19, therefore, at least a part of the first pad 14 may be exposed from the opening 19. The same applies to the second semiconductor substrate 20, and at least part of the second pad 24 is exposed from an opening 29 of the passivation film 28.

[0037]

As shown in Fig. 5(B), a through-hole 32 is formed. In particular, the through-hole 32 is formed such that the through-hole 32 continuously extends through the first and second semiconductor substrates 10 and 20 (integrally). The first and second semiconductor substrates 10 and 20 may be simultaneously pierced through. If the intermediate layer 30 is to be interposed between the first and second semiconductor substrates 10 and 20, the through-hole 32 also extends through the intermediate layer 30. For formation of the through-hole 32, for example, a laser (a YAG laser, a CO₂ laser, an excimer laser and the like) may be used, and etching (dry etching or wet etching) may be applied. The through-hole 32 may be so formed as to extend through at least one of the first and the second pad 14 and 24. In an example shown in Fig. 5(B), the through-hole 32 extends through each of a hole 15 of the first pad 14 and a hole 25 of the second pad 24.

[0038]

As shown in Fig. 5(C), an insulating layer 34 is formed on the inner surface of the through-hole 32. The insulating layer 34 is formed by supplying an insulating material to the through-hole 32. The insulating material is set up by a screen printing method, an ink jet printer method, chemical vapor deposition (CVD), a spray method or coating by a dispenser. The insulating layer is formed so as to not clog the through-hole 34. In the example shown in Fig. 5(C), the insulating layer 34 is formed such that at least part of each of the first and second pads 14 and 24 may be exposed.

[0039]

As shown in Fig. 6(A), a resin layer 36 is formed at the second semiconductor substrate 20 (to be specific, at the passivation films 26 and 28). The resin layer 36 may be subjected to patterning by applying photolithography techniques to a photosensitive resin or by etching a non-photosensitive resin. The resin layer 36 may be formed in an area overlapping the first integrated circuit 12.

[0040]

As shown in Fig. 6(B) to Fig. 7(A), a conductive part 38 is formed so as to include the inside of the through-hole 32. The conductive part 38 is formed by supplying a conductive material. The conductive material is set up by a screen printing method, an ink jet printer method, chemical vapor deposition (CVD), a spray method or coating by a dispenser. According to this embodiment, the conductive part 38 includes the first and second conductive layers 40 and 42.

[0041]

First, as shown in Fig. 6(B), a first conductive layer 40 is formed. The first conductive layer 40 may at least include a barrier layer. The barrier layer is for preventing a material set up thereon from dispersing to the first and second semiconductor substrates. The barrier layer may be formed of a material different from the material thereon (for example, TiW or TiN). The first conductive layer 40 may include a seed layer. The seed layer is formed after the barrier layer is formed. The seed layer may be formed of the same material as the material set up thereon (for example, Cu). The first conductive layer 40 is set up so as not to bury the inside of the through-hole 32. Namely, inside the through-hole 32, a through-aperture surrounded by the first conductive layer 40 may be formed. The first conductive layer 40 may be formed on the surfaces of the first and second semiconductor substrates 10 and 20 and over the entire interior of the through-hole 32. Or, the first conductive layer 40 may be formed only on the insulating layer 34 inside the through-hole 32. The first conductive layer 40 may be formed so as to connect electrically to at least one of the first and the second pad 14 and 24.

[0042]

As shown in Fig. 6(C), a photoresist layer 92 for patterning the second conductive layer 42 may be formed. The photoresist layer 92 is in an inverted shape to a forming area of the conductive part 38 (refer to Fig. 2). And, a conductive material is supplied to an opening part of the photoresist layer 92 to form the second conductive layer 42. The second conductive layer 42 may bury the through-hole 32.

[0043]

Thereafter, as shown in Fig. 7(A), the photoresist layer 92 is removed and the unnecessary portion of the first conductive layer 40 is removed. In this way, it is possible to provide electrical continuity of both surfaces of the optical device through the conductive part 38. The method of forming the conductive part 38 is not limited to the above-mentioned method. The conductive part 38 may be formed so as to have an electrical connection part 44. The electrical connection part 44 may be subjected to pitch conversion. The details are as mentioned above.

[0044]

As shown in Fig. 7(B), the photoresist layers 46 and 48 may be formed on the first and second semiconductor substrates 10 and 20. The photoresist layer 48 has an opening 49 on the electrical connection part 44. The photoresist layer 48 may be a solder photoresist. Thereafter, the external terminal 50 is formed at the electrical connection part 44, forming a covering layer 52 to reinforce the base of the external terminal 50 (refer to Fig. 3).

[0045]

As shown in Fig. 8, if the first and second semiconductor substrates 10 and 20 are semiconductor wafers, the through-hole 32 is formed corresponding to each of the first and second integrated circuits 12 and 22, and the conductive part 38 is formed. Thereafter, the first and second semiconductor substrates 10 and 20 may be cut (for example, dicing). For cutting, a cutter (for example, a dicer) 94 or a laser (for example, a CO₂ laser, a YAG laser and the like) may be used.

[0046]

According to a manufacturing method of a semiconductor device of this embodiment, after stacking the first and second semiconductor substrates 10 and 20, a through-hole 32 continuously extending through these semiconductor substrates is formed and the conductive part 38 is so formed as to include the inside of the through-hole 32. Since a semiconductor device having an integrated circuit on both surfaces is manufactured by stacking the first and second semiconductor substrates 10 and 20, it is possible to keep costs under control and to improve reliability more than the method of forming an integrated circuit on both surfaces of a semiconductor substrate. Further, inasmuch as it is possible to form the through-hole 32 and the conductive part 38 in one package with the first and second semiconductor substrates 10 and 20, the manufacturing process may be simplified.

[0047]

(Second Embodiment)

Fig. 9 is a diagram explaining a semiconductor device according to the second embodiment of this invention. This embodiment may be applied to the above-mentioned optical device or optical module. Fig. 9 is a diagram explaining an intermediate layer interposed between the first and second semiconductor substrates, and the first and second semiconductor substrates are omitted.

[0048]

In this embodiment, the intermediate layer 110 may have a metal layer (in Fig. 9, the first and second metal layers 120 and 130). The metal layer may be used as a light shielding layer. If the first semiconductor substrate 10 has the optical part 13 (refer to Fig. 1), the metal layer may be formed in an area overlapping the optical part 13. Since the metal layer reflects light (having the light shielding property), it may cut any unnecessary light incident to the optical device and keep the generation of noise in the optical device under control. The intermediate layer 110 has an insulating layer (omitted in Fig. 9) on the surfaces above and below the metal layer. The insulating layer may be an adhesive material. The metal layer is formed by keeping away from a through-hole (through-hole 32 in Fig. 3), which is formed continuously through the first and second semiconductor substrates 10 and 20 and may be electrically shut off from a conductive part (the conductive part 38 in Fig. 3).

[0049]

As shown in Fig. 9, the intermediate layer 110 may have a plurality of metal layers (the first and the second metal layer 120 and 130) and an insulating layer provided between respective metal layers (omitted in Fig. 9). The first and the second metal layer 120 and 130 are, at least, partly overlapping. And, at least one conductive part (for example, power supply terminal V_{DD}) 112 is electrically connected to the first metal layer 120 and, at least one other conductive part (for example, power supply terminal V_{SS}) 114 is electrically connected to the second metal layer 130. In particular, it is so designed that the conductive part 112 provides continuity to the first metal layer 120 and no continuity to the second metal layer 130 by passing through a hole 132. The conductive part 114 conducts through the second metal layer 130 and through the hole 124 and does not conduct through the first metal layer 120. It is to be noted that other conductive parts (for example, input/output terminal) 116 are designed so as not to provide continuity to the first and the second metal layer 120 and 130 by passing through a hole 126 and a hole 136. According to this, an overlapping part of the first and the second metal layer 120 and 130 becomes capacitance, hence, it is possible to improve the electric characteristics of a semiconductor device (for example, an optical device). Further, since it is possible to place capacitance in the vicinity of the first and second semiconductor substrates 10 and 20, a very remarkable high-frequency characteristic may be obtained. Furthermore, because it is possible to place the capacitance on the intermediate layer 110, wasteful space is eliminated, thus contributing to further miniaturization of the semiconductor device (an optical device or an optical module).

[0050]

An insulating layer between the first and the second metal layer 120 and 130 may be, for example, a silicon oxide film, a silicon nitride film, or a thin film of a ferroelectric substance. The insulating layer may be provided on the upper surface of the first metal layer 120 and on the lower surface of the second metal layer 130. The first and the second metal layer 120 and 130 may be formed on the insulating layer by means of the sputtering method. The first and the second metal layer 120 and 130 may be formed, for example, of an aluminum type or a copper type of metal. It is to be noted that after holes 124, 126, 134, and 136 are formed at specified sections, the first and the second metal layer 120 and 130 may be interposed between the first and second semiconductor substrates 10 and 20.

[0051]

Separately from the example shown in Fig. 9, a metal layer may be formed in more than 3 layers. In this case, at least one conductive part may be electrically connected to respective metal layers. By doing so, capacitance redoubles. Hence, it is possible to accomplish further improvement of electric characteristics.

[0052]

As electronic equipment according to an embodiment of this invention, a laptop personal computer 1000 shown in Fig. 10 has a camera 1100 in which an optical device, optical module or semiconductor device are incorporated. Also, a digital camera 2000 shown in Fig. 11 includes a digital camera and the like. Furthermore, a mobile phone 3000 shown in Fig. 12(A) and Fig. 12(B) has a camera 3100 in which an optical device and the like are incorporated.

[0053]

It should be understood that this invention is not limited by the above-mentioned embodiments, and that various changes and modifications are possible. For example, this invention includes virtually the same structure as the structure described in the embodiments (for example, the function, method, and result are of the same structure or the object and result are of the same structure). Further, this invention includes a structure which replaced a non-essential part of the structure described in the embodiments. Furthermore, this invention includes a structure which provides the same operation-effect as the structure described in the embodiments or a structure which may accomplish the same object. Moreover, this invention includes a structure which consists of the structure described in the embodiments with the addition of known techniques.

[Brief explanation of the figures]

[Fig. 1] Fig. 1 is a sectional view of an optical device according to the first embodiment of this invention.

[Fig. 2] Fig. 2 is a plane view of an optical device according to the first embodiment of this invention.

[Fig. 3] Fig. 3 is an expanded sectional view of an optical device according to the first embodiment of this invention.

[Fig. 4] Fig. 4 is a diagram showing an optical module according to the first embodiment of this invention.

[Fig. 5] Fig. 5(A) to Fig. 5(C) are diagrams showing a manufacturing method of a semiconductor device according to the first embodiment of this invention.

[Fig. 6] Fig. 6(A) to Fig. 6(C) are diagrams showing a manufacturing method of a semiconductor device according to the first embodiment of this invention.

[Fig. 7] Fig. 7(A) and Fig. 7(B) are diagrams showing a manufacturing method of a semiconductor device according to the first embodiment of this invention.

[Fig. 8] Fig. 8 is a diagram showing a manufacturing method of a semiconductor device according to the first embodiment of this invention.

[Fig. 9] Fig. 9 is a diagram showing a manufacturing method of a semiconductor device according to a second embodiment of this invention.

[Fig. 10] Fig. 10 is a diagram showing electronic equipment according to an embodiment of this invention.

[Fig. 11] Fig. 11 is a diagram showing electronic equipment according to an embodiment of this invention.

[Fig. 12] Fig. 12(A) and Fig. 12(B) are diagrams showing electronic equipment according to an embodiment of this invention.

[Description of the reference numerals]

10... first semiconductor substrate 12... first integrated circuit 13... optical part

14... first pad 20... second semiconductor substrate 22... second integrated circuit

24... second pad 28... passivation film 30... intermediate layer

32... through-hole 34... insulating layer 36... resin layer 38... conductive part

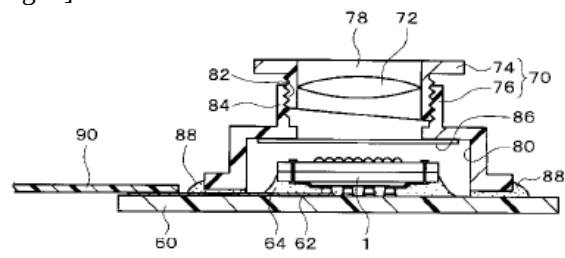
44... electrical connection part 50... external terminal 54... micro-lens

60... wiring substrate 70... substrate member 110... intermediate layer

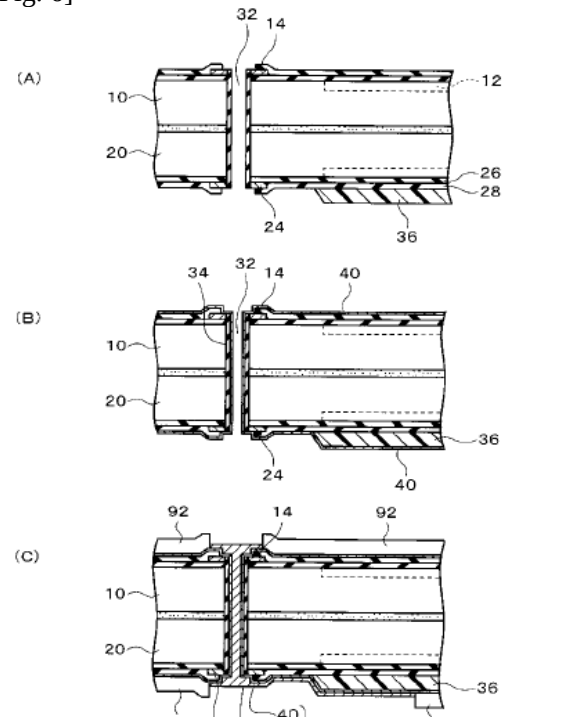
112, 114, 116... conductive part 120... first metal layer

130... second metal layer

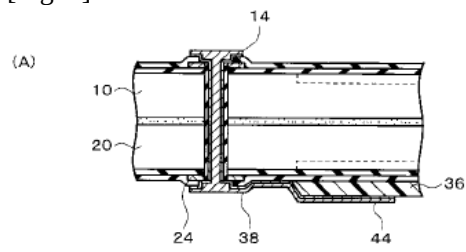
[Fig. 4]



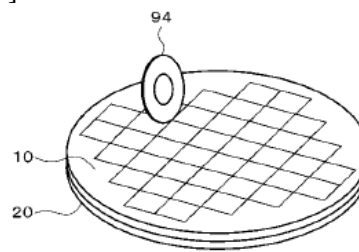
[Fig. 6]



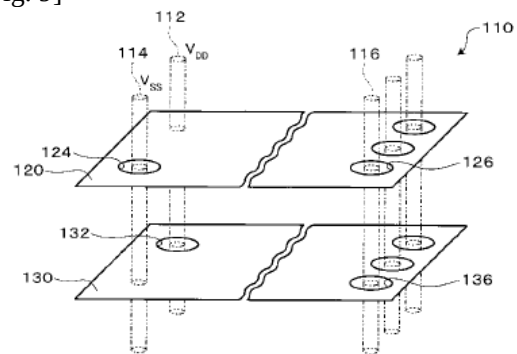
[Fig. 7]



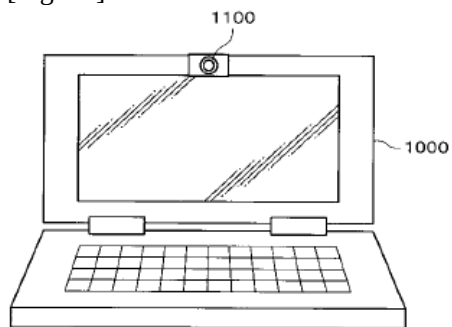
[Fig. 8]



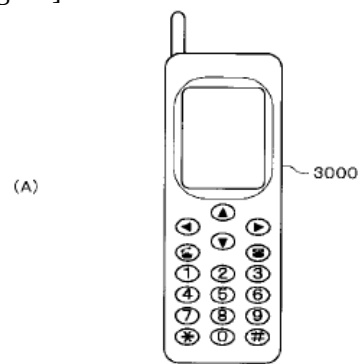
[Fig. 9]



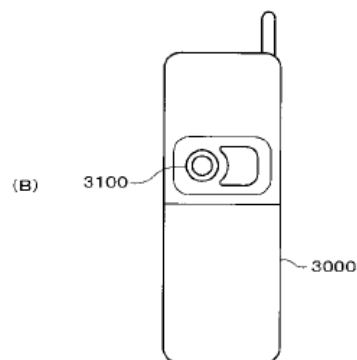
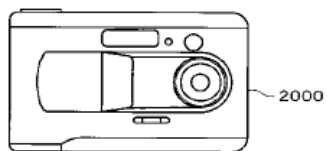
[Fig. 10]



[Fig. 12]



[Fig. 11]



Continued from first page

- (56) Reference Documents Japanese Unexamined Patent Application Publication Official Gazette No. S57
 (1983)-145367 (JP, A)
 Japanese Unexamined Patent Application Publication Official Gazette No.
 2002-094082 (JP, A)
 Japanese Unexamined Patent Application Publication Official Gazette No.
 1993-110048 (JP, A)
 Japanese Unexamined Patent Application Publication Official Gazette No.
 2003-110147 (JP-A)
 Japanese Unexamined Patent Application Publication Official Gazette No.
 2002-134725 (JP, A)
- (58) Field investigated (Int. Cl., DB name)
 H01L 27/14
 H01L 23/12
 H04N 5/225
 H04N 5/335

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3800335号

(P3800335)

(45) 発行日 平成18年7月26日(2006.7.26)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int. Cl.

F I

H O 1 L 27/14 (2006.01)

H O 1 L 27/14 D

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 N

H O 4 N 5/225 (2006.01)

H O 4 N 5/225 D

H O 4 N 5/335 (2006.01)

H O 4 N 5/335 V

請求項の数 21 (全 17 頁)

(21) 出願番号 特願2003-111643 (P2003-111643)
 (22) 出願日 平成15年4月16日(2003.4.16)
 (65) 公開番号 特開2004-319758 (P2004-319758A)
 (43) 公開日 平成16年11月11日(2004.11.11)
 審査請求日 平成16年11月25日(2004.11.25)

早期審査対象出願

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090387
 弁理士 布施 行夫
 (74) 代理人 100090398
 弁理士 大淵 美千栄
 (72) 発明者 今岡 紀夫
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 柴山 将隆

最終頁に続く

(54) 【発明の名称】 光デバイス、光モジュール、半導体装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

光学的部分及び複数の第1のパッドを有する第1の半導体基板と、
 集積回路及び複数の第2のパッドを有し、前記第1の半導体基板に積層された第2の半導体基板と、

前記第1及び第2の半導体基板の間に設けられた中間層と、

前記第1の半導体基板、前記第2の半導体基板及び前記中間層を連続して貫通する複数の貫通穴と、

前記複数の貫通穴の内側を含むように形成された複数の導電部と、

を含み、

前記中間層は、少なくとも、第1の金属層と、前記第1の金属層とオーバーラップする第2の金属層と、前記第1及び第2の金属層のオーバーラップする間に設けられた絶縁層と、を有し、

前記複数の導電部は、第1の電源端子となる第1の導電部と、第2の電源端子となる第2の導電部と、を有し、

前記第1の導電部は、前記第1の金属層に電氣的に接続され、

前記第2の導電部は、前記第2の金属層に電氣的に接続されてなる光デバイス。

【請求項2】

請求項1記載の光デバイスにおいて、

前記光学的部分は、前記第1の半導体基板のうち、前記第2の半導体基板とは反対を向

10

20

く面側に形成されてなる光デバイス。

【請求項 3】

請求項 1 又は請求項 2 記載の光デバイスにおいて、

前記集積回路は、前記第 2 の半導体基板のうち、前記第 1 の半導体基板とは反対を向く面側に形成されてなる光デバイス。

【請求項 4】

請求項 1 から請求項 3 のいずれかに記載の光デバイスにおいて、

前記貫通穴は、前記第 1 及び第 2 のパッドの少なくとも一方を貫通するように形成されてなる光デバイス。

【請求項 5】

10

請求項 1 から請求項 4 のいずれかに記載の光デバイスにおいて、

前記貫通穴の内面に形成された絶縁層をさらに含み、

前記導電部は、前記絶縁層上に形成されてなる光デバイス。

【請求項 6】

請求項 1 から請求項 5 のいずれかに記載の光デバイスにおいて、

前記導電部は、前記第 2 の半導体基板における前記第 1 の半導体基板とは反対を向く面側に電氣的接続部を有する光デバイス。

【請求項 7】

請求項 6 記載の光デバイスにおいて、

前記電氣的接続部のピッチは、前記第 2 のパッドのピッチよりも大きい光デバイス。

20

【請求項 8】

請求項 6 又は請求項 7 記載の光デバイスにおいて、

前記電氣的接続部に設けられた外部端子をさらに含む光デバイス。

【請求項 9】

請求項 6 から請求項 8 のいずれかに記載の光デバイスにおいて、

前記第 2 の半導体基板における前記第 1 の半導体基板とは反対を向く面側に形成された樹脂層をさらに含み、

前記電氣的接続部は、前記樹脂層上に形成されてなる光デバイス。

【請求項 10】

請求項 9 記載の光デバイスにおいて、

前記樹脂層は、前記光学的部分とオーバーラップする領域に形成されてなる光デバイス

30

。

【請求項 11】

請求項 1 から請求項 10 のいずれかに記載の光デバイスにおいて、

前記光学的部分は、複数の受光部を有する光デバイス。

【請求項 12】

請求項 11 記載の光デバイスにおいて、

前記複数の受光部のそれぞれは、画像センシング用に配列されてなる光デバイス。

【請求項 13】

請求項 1 から請求項 12 のいずれかに記載の光デバイスと、

40

前記第 2 の半導体基板に対向してなる配線基板と、

前記配線基板に搭載され、前記第 1 の半導体基板の上方に設けられたレンズを保持する基材と、

をさらに含む光モジュール。

【請求項 14】

第 1 の集積回路及び複数の第 1 のパッドを有する第 1 の半導体基板と、

第 2 の集積回路及び複数の第 2 のパッドを有し、前記第 1 の半導体基板に積層された第 2 の半導体基板と、

前記第 1 及び第 2 の半導体基板の間に設けられた中間層と、

前記第 1 の半導体基板、前記第 2 の半導体基板及び前記中間層を連続して貫通する複数

50

の貫通穴と、

前記複数の貫通穴の内側を含むように形成された複数の導電部と、

を含み、

前記第 1 の集積回路は、前記第 1 の半導体基板のうち、前記第 2 の半導体基板とは反対を向く面側に形成され、

前記第 2 の集積回路は、前記第 2 の半導体基板のうち、前記第 1 の半導体基板とは反対を向く面側に形成され、

前記中間層は、少なくとも、第 1 の金属層と、前記第 1 の金属層とオーバーラップする第 2 の金属層と、前記第 1 及び第 2 の金属層のオーバーラップする間に設けられた絶縁層と、を有し、

10

前記複数の導電部は、第 1 の電源端子となる第 1 の導電部と、第 2 の電源端子となる第 2 の導電部と、を有し、

前記第 1 の導電部は、前記第 1 の金属層に電氣的に接続され、

前記第 2 の導電部は、前記第 2 の金属層に電氣的に接続されてなる半導体装置。

【請求項 1 5】

請求項 1 4 記載の半導体装置において、

前記貫通穴は、前記第 1 及び第 2 のパッドの少なくとも一方を貫通するように形成されてなる半導体装置。

【請求項 1 6】

請求項 1 4 又は請求項 1 5 記載の半導体装置において、

20

前記貫通穴の内面に形成された絶縁層をさらに含み、

前記導電部は、前記絶縁層上に形成されてなる半導体装置。

【請求項 1 7】

請求項 1 4 から請求項 1 6 のいずれかに記載の半導体装置において、

前記導電部は、前記第 2 の半導体基板における前記第 1 の半導体基板とは反対を向く面側に電氣的接続部を有する半導体装置。

【請求項 1 8】

請求項 1 7 記載の半導体装置において、

前記電氣的接続部のピッチは、前記第 2 のパッドのピッチよりも大きくなっている半導体装置。

30

【請求項 1 9】

請求項 1 7 又は請求項 1 8 記載の半導体装置において、

前記電氣的接続部に設けられた外部端子をさらに含む半導体装置。

【請求項 2 0】

請求項 1 7 から請求項 1 9 のいずれかに記載の半導体装置において、

前記第 2 の半導体基板における前記第 1 の半導体基板とは反対を向く面側に形成された樹脂層をさらに含み、

前記電氣的接続部は、前記樹脂層上に形成されてなる半導体装置。

【請求項 2 1】

請求項 1 から請求項 2 0 のいずれかに記載の光デバイス、光モジュール又は半導体装置を含む電子機器。

40

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、光デバイス、光モジュール、半導体装置及び電子機器に関する。

【0 0 0 2】

【従来の技術】

【0 0 0 3】

【特許文献 1】

特開平 1 0 - 2 2 9 1 6 2 号公報

50

【0004】

【発明の背景】

半導体装置の小型化が要求されている。例えば、CCDやCMOSなどの撮像系の光モジュールでは、光信号を受光する光学チップと、電気信号を処理する半導体チップを積層することが知られている。その多くは、ワイヤをボンディングして電氣的な接続を図るものであったが、ワイヤを設けたために小型化に限界があった。あるいは、半導体チップの両面に集積回路を形成して高密度化・小型化を図ることも考えられるが、新たな製造工程及び設備が要求され、コストがかかるとともに信頼性を確保することが難しい。

【0005】

本発明の目的は、積層した半導体基板相互の電氣的な接続を高い信頼性をもって容易に図ることができ、かつ、小型化を図ることにある。 10

【0006】

【課題を解決するための手段】

(1) 本発明に係る光デバイスは、光学的部分及び複数の第1のパッドを有する第1の半導体基板と、

集積回路及び複数の第2のパッドを有し、前記第1の半導体基板に積層された第2の半導体基板と、

前記第1及び第2の半導体基板の間に設けられた中間層と、

前記第1の半導体基板、前記第2の半導体基板及び前記中間層を連続して貫通する複数の貫通穴と、 20

前記複数の貫通穴の内側を含むように形成された複数の導電部と、

を含み、

前記中間層は、少なくとも、第1の金属層と、前記第1の金属層とオーバーラップする第2の金属層と、前記第1及び第2の金属層のオーバーラップする間に設けられた絶縁層と、を有し、

前記複数の導電部は、第1の電源端子となる第1の導電部と、第2の電源端子となる第2の導電部と、を有し、

前記第1の導電部は、前記第1の金属層に電氣的に接続され、

前記第2の導電部は、前記第2の金属層に電氣的に接続されてなる。本発明によれば、第1及び第2の半導体基板は、それらを連続的に貫通する貫通穴内の導電部を介して電氣的に接続されている。したがって、光デバイスの外形寸法を、第1及び第2の半導体基板の積層構造の外形寸法の範囲に収めることができ、小型化を図ることができる。また、第1及び第2の金属層のオーバーラップする部分がキャパシタンスになるので、光デバイスの電気特性の向上を図ることができる。しかも、第1及び第2の半導体基板の近傍にキャパシタンスを配置することができるので、高周波特性に非常に優れている。また、中間層にキャパシタンスを形成するので、無駄なスペースを省略でき、光デバイスのさらなる小型化を図ることができる。 30

(2) この光デバイスにおいて、

前記光学的部分は、前記第1の半導体基板のうち、前記第2の半導体基板とは反対を向く面側に形成されていてもよい。 40

(3) この光デバイスにおいて、

前記集積回路は、前記第2の半導体基板のうち、前記第1の半導体基板とは反対を向く面側に形成されていてもよい。

(4) この光デバイスにおいて、

前記貫通穴は、前記第1及び第2のパッドの少なくとも一方を貫通するように形成されていてもよい。こうすることで、導電部が、第1及び第2のパッドの少なくとも一方に電氣的に接続しやすくなる。

(5) この光デバイスにおいて、

前記貫通穴の内面に形成された絶縁層をさらに含み、

前記導電部は、前記絶縁層上に形成されていてもよい。こうすることで、導電部と、貫 50

通穴の内面の半導体部分との電氣的導通を防止することができる。

(6) この光デバイスにおいて、

前記導電部は、前記第2の半導体基板における前記第1の半導体基板とは反対を向く面側に電氣的接続部を有してもよい。

(7) この光デバイスにおいて、

前記電氣的接続部のピッチは、前記第2のパッドのピッチよりも大きくてもよい。こうすることで、例えば、複数の電氣的接続部を2次元状に広がる領域に配置することができる、例えば外部端子の設定位置の自由度が向上する。

(8) この光デバイスにおいて、

前記電氣的接続部に設けられた外部端子をさらに含んでもよい。

10

(9) この光デバイスにおいて、

前記第2の半導体基板における前記第1の半導体基板とは反対を向く面側に形成された樹脂層をさらに含み、

前記電氣的接続部は、前記樹脂層上に形成されていてもよい。これによれば、樹脂層によって、電氣的接続部に加わる応力を緩和することができる。

(10) この光デバイスにおいて、

前記樹脂層は、前記光学的部分とオーバーラップする領域に形成されていてもよい。こうすることで、光デバイスのノイズの発生を抑えることができる。

(11) この光デバイスにおいて、

前記第1及び第2の半導体基板の間に介在してなる中間層をさらに含んでもよい。

20

(12) この光デバイスにおいて、

前記中間層は、前記光学的部分とオーバーラップする領域に形成された金属層を含んでもよい。金属層は、光を反射するので、光デバイスに入射する不要な光をカットして、光デバイスのノイズの発生を抑えることができる。

(13) この光デバイスにおいて、

前記光学的部分は、複数の受光部を有してもよい。

(14) この光デバイスにおいて、

前記複数の受光部のそれぞれは、画像センシング用に配列されていてもよい。

(15) 本発明に係る光モジュールは、上記光デバイスと、

前記第2の半導体基板に対向してなる配線基板と、

30

前記配線基板に搭載され、前記第1の半導体基板の上方に設けられたレンズを保持する基材と、

をさらに含む。

(16) 本発明に係る半導体装置は、第1の集積回路及び複数の第1のパッドを有する第1の半導体基板と、

第2の集積回路及び複数の第2のパッドを有し、前記第1の半導体基板に積層された第2の半導体基板と、

前記第1及び第2の半導体基板の間に設けられた中間層と、

前記第1の半導体基板、前記第2の半導体基板及び前記中間層を連続して貫通する複数の
貫通穴と、

40

前記複数の貫通穴の内側を含むように形成された複数の導電部と、

を含み、

前記第1の集積回路は、前記第1の半導体基板のうち、前記第2の半導体基板とは反対を向く面側に形成され、

前記第2の集積回路は、前記第2の半導体基板のうち、前記第1の半導体基板とは反対を向く面側に形成され、

前記中間層は、少なくとも、第1の金属層と、前記第1の金属層とオーバーラップする第2の金属層と、前記第1及び第2の金属層のオーバーラップする間に設けられた絶縁層と、を有し、

前記複数の導電部は、第1の電源端子となる第1の導電部と、第2の電源端子となる第

50

2の導電部と、を有し、

前記第1の導電部は、前記第1の金属層に電氣的に接続され、

前記第2の導電部は、前記第2の金属層に電氣的に接続されてなる。本発明によれば、第1及び第2の半導体基板は、それらを連続的に貫通する貫通穴内の導電部を介して電氣的に接続されている。したがって、半導体装置の外形寸法を、第1及び第2の半導体基板の積層構造の外形寸法の範囲に収めることができ、小型化を図ることができる。また、半導体装置の両面に集積回路が形成されているので、擬似的に、1つの半導体基板の両面に集積回路を有するものと同様の効果を達成することができる。さらに、第1及び第2の半導体基板の組み合わせを選択することによって、様々な機能を有する半導体装置を簡単に実現できるので設計自由度が非常に高い。また、第1及び第2の金属層のオーバーラップする部分がキャパシタンスになるので、半導体装置の電気特性の向上を図ることができる。しかも、第1及び第2の半導体基板の近傍にキャパシタンスを配置することができるので、高周波特性に非常に優れている。また、中間層にキャパシタンスを形成するので、無駄なスペースを省略でき、半導体装置のさらなる小型化を図ることができる。

10

(17) この半導体装置において、

前記貫通穴は、前記第1及び第2のパッドの少なくとも一方を貫通するように形成されていてもよい。こうすることで、導電部が、第1及び第2のパッドの少なくとも一方に電氣的に接続しやすくなる。

(18) この半導体装置において、

前記貫通穴の内面に形成された絶縁層をさらに含み、

前記導電部は、前記絶縁層上に形成されていてもよい。こうすることで、導電部と、貫通穴の内面の半導体部分との電氣的導通を防止することができる。

20

(19) この半導体装置において、

前記導電部は、前記第2の半導体基板における前記第1の半導体基板とは反対を向く面側に電氣的接続部を有してもよい。

(20) この半導体装置において、

前記電氣的接続部のピッチは、前記第2のパッドのピッチよりも大きくなっていてもよい。こうすることで、例えば、複数の電氣的接続部を2次元状に広がる領域に配置することができ、例えば外部端子の設定位置の自由度が向上する。

(21) この半導体装置において、

前記電氣的接続部に設けられた外部端子をさらに含んでもよい。

30

(22) この半導体装置において、

前記第2の半導体基板における前記第1の半導体基板とは反対を向く面側に形成された樹脂層をさらに含み、

前記電氣的接続部は、前記樹脂層上に形成されていてもよい。これによれば、樹脂層によって、電氣的接続部に加わる応力を緩和することができる。

(23) 本発明に係る電子機器は、上記光デバイス、光モジュール又は半導体装置を含む。

【0007】

【発明の実施の形態】

40

以下、本発明の実施の形態について図面を参照して説明する。

【0008】

(第1の実施の形態)

図1～図4は、本発明の第1の実施の形態に係る光デバイスを示す図である。図1は、光デバイスの断面図であり、図2のI-I線断面図である。図2は、光デバイスの平面図である。図1及び図2では、光デバイスの一部(レジスト層46、48など)が省略されている。図3は、光デバイスの拡大断面図である。なお、本実施の形態では、半導体装置の一例として光デバイスを説明するが、本発明に係る半導体装置は、光デバイスに限定されるものではない。

【0009】

50

光デバイスは、第1及び第2の半導体基板10を有する。第1の半導体基板10は、半導体チップ（例えばシリコンチップ）であってもよいし、半導体ウエハ（例えばシリコンウエハ）であってもよい。第1の半導体基板10は、第1の集積回路12を有する。第1の半導体基板10が直方体形状をなす場合、第1の集積回路12は、第1の半導体基板10のいずれか1つの面（最も広い面）に形成されている。半導体チップには、独立した1つの第1の集積回路12が形成され、半導体ウエハには、独立した複数の第1の集積回路12が形成されている。第1の半導体基板10は、複数（半導体ウエハでは複数グループ）の第1のパッド14を有する。複数の第1のパッド14の少なくとも1つは、第1の集積回路12に電氣的に接続されている。第1のパッド14は、第1の半導体基板10における第1の集積回路12が形成された面に露出してもよい。複数の第1のパッド14が半導体基板（例えば半導体チップ）10の端部に（少なくとも1辺（例えば対向する2辺又は4辺）に沿って）配列されてもよい。複数の第1のパッド14は、第1の集積回路12を囲むように配列されてもよい。第1のパッド14は、アルミニウム系又は銅系の金属で形成されてもよい。図3に示すように、第1の半導体基板10には、1層又は複数層のパッシベーション膜16、18が形成されている。パッシベーション膜16、18は、例えば、 SiO_2 、 SiN 、ポリイミド樹脂などで形成することができる。

【0010】

第2の半導体基板20は、第2の集積回路22及び第2のパッド24を有する。第2の半導体基板20には、パッシベーション膜26、28が形成されている。図1及び図2に示すように、第2の半導体基板20の形状（例えば平面形状）は、第1の半導体基板10の形状と同一であってもよい。第2の半導体基板20のその他の内容は、上述の第1の半導体基板10と同様であってもよい。

【0011】

本実施の形態では、第1の半導体基板10は光学的部分13を有する。光学的部分13は、光が入射又は出射する部分である。光学的部分13は、光エネルギーと他のエネルギー（例えば電気エネルギー）を変換する。すなわち、光学的部分13は、少なくとも1つのエネルギー変換部（図示しない）を有する。エネルギー変換部（受光部・発光部）は、第1の集積回路12の一部である。本実施の形態では、エネルギー変換部は、受光部（例えばフォトダイオード）である。複数の受光部は、2次元状に配列される複数の画素のそれぞれに対応して、画像センシングを行えるように配列されてもよい。すなわち、光デバイスは、イメージセンサ（例えばCCDイメージセンサ、CMOSイメージセンサ）であってもよい。

【0012】

光学的部分13は、複数のマイクロレンズ54を有してもよい。マイクロレンズ54は、複数の受光部のそれぞれに対応して設けられ、受光部に入射する光を絞ることができる。マイクロレンズ54は、凸型レンズであってもよい。マイクロレンズ54の表面は、滑らかな曲面であってもよいが、光を屈折させることができればその表面形状は限定されない。マイクロレンズ54は、第1の半導体基板10における第1の集積回路12が形成された面側に配置されている。

【0013】

光学的部分13は、カラーフィルタ（図示しない）を有してもよい。カラーフィルタは、複数の受光部のそれぞれに対応して設けられる。マイクロレンズ54と受光部との間にカラーフィルタを形成してもよい。例えば、カラーフィルタ上に平坦化層（図示しない）が設けられ、その上にマイクロレンズ54が設けられてもよい。

【0014】

第1及び第2の半導体基板10、20は互いに積層されている。図1に示す例では、第1及び第2の半導体基板10、20は、第1及び第2の集積回路12、22の形成面とは反対の面同士が対向する向きに積層されている。言い換えれば、光学的部分13（又は第1の集積回路12）は、第1の半導体基板10における第2の半導体基板20とは反対を向く面側に形成され、第2の集積回路22は、第2の半導体基板20における第1の半導体

基板 10 とは反対を向く面側に形成されている。図 1 に示す例では、半導体チップ同士が積層されているが、半導体ウエハ同士が積層されてもよい。

【0015】

図 3 に示すように、第 1 及び第 2 の半導体基板 10, 20 の間に中間層 30 が介在してもよい。中間層 30 は、接着層であってもよい。すなわち、第 1 及び第 2 の半導体基板 10, 20 は、互いに接着されてもよい。中間層 30 は、絶縁性を有してもよい。

【0016】

第 1 及び第 2 の半導体基板 10, 20 には、貫通穴 32 が形成されている。詳しくは、貫通穴 32 は、第 1 及び第 2 の半導体基板 10, 20 を連続して（一体的に）貫通している。貫通穴 32 の内壁面は、いずれかの半導体基板の面に対して垂直であってもよいし、傾斜していてもよい。貫通穴 32 の幅（直径）は、一定であってもよいし、部分的に異なってもよい。貫通穴 32 の断面形状は、図 2 に示すように円形状であってもよいし、角形状であってもよい。貫通穴 32 は、第 1 及び第 2 のパッド 14, 24 の少なくとも一方を貫通するように形成されてもよい。例えば、第 1 及び第 2 のパッド 14, 24 がオーバーラップする場合に、貫通穴 32 は第 1 及び第 2 のパッド 14, 24 の両方を貫通する位置に形成されてもよい。あるいは、第 1 及び第 2 のパッド 14, 24 がオーバーラップしない場合には、貫通穴 32 は第 1 及び第 2 のパッド 14, 24 のいずれか一方を貫通する位置に形成されてもよい。貫通穴 32 は、パッドの面積よりも小さな断面積を有し、例えばパッドの中央部を貫通してもよい。なお、複数の貫通穴 32 は、光学的部分 13（又は第 1 の集積回路 12）及び第 2 の集積回路 22 を囲むように形成されてもよい。

【0017】

第 2 の半導体基板 20 には、1 層又は複数層（図 3 では 1 層）の樹脂層 36 が形成されている。詳しくは、樹脂層 36 は、第 2 の半導体基板 20 における第 1 の半導体基板 10 とは反対を向く面側に形成されている。樹脂層 36 は、パッシベーション膜 26, 28 上に形成され、第 2 のパッド 24 を避けて形成されている。例えば、樹脂層 36 は、複数の第 2 のパッド 24 で囲まれた領域内に形成されてもよい。図 1 に示すように、樹脂層 36 は、第 1 の半導体基板 10 の光学的部分 13 とオーバーラップする領域に形成されてもよい。こうすることで、樹脂層 36 が遮光性（受光部が反応する波長の光の少なくとも一部を遮断する性質）を有する場合に、光デバイスのノイズの発生を抑えることができるので好ましい。樹脂層 36 は、先端面よりも基端面が大きくなるように、側面が傾斜してもよい。樹脂層 36 は、応力緩和機能を有してもよい。樹脂層 36 は、ポリイミド樹脂、シリコーン変性ポリイミド樹脂、エポキシ樹脂、シリコーン変性エポキシ樹脂、ベンゾシクロブテン（BCB; benzocyclobutene）、ポリベンゾオキサゾール（PBO; polybenzoxazole）などで形成することができる。樹脂層 36 は、第 2 の半導体基板 20 と後述の外部端子 50 との間に形成されてもよい。

【0018】

貫通穴 32 の内側には、導電部 38 が形成されている。詳しくは、導電部 38 の一部が貫通穴 32 の内側に配置されている。導電部 38 は、貫通穴 32 を埋めてもよい。あるいは、導電部 38 は、貫通穴 32 の内面に形成され、貫通穴 32 の中央部に小径の貫通孔が形成されてもよい。導電部 38 は、第 1 及び第 2 のパッド 14, 24 の少なくとも一方（図 3 では両方）に電氣的に接続されている。図 3 に示す例では、貫通穴 32 の内面に絶縁層 34 が形成され、導電部 38 は絶縁層 34 上に形成されている。こうすることで、導電部 38 と、貫通穴 32 の内面の半導体部分（例えばシリコン部分）との電氣的導通を防止することができる。導電部 38 は、1 層又は複数層で形成してもよく、図 3 に示す例では、第 1 及び第 2 の導電層 40, 42 を含む。

【0019】

導電部 38 は、他の電子部品（例えば配線基板 60（図 4 参照））との電氣的接続部 44 を有する。電氣的接続部 44 は、第 2 の半導体基板 20 に形成されてもよい。詳しくは、電氣的接続部 44 は、第 2 の半導体基板 20 における第 1 の半導体基板 10 とは反対を向く面側に形成されている。電氣的接続部 44 は、貫通穴 32 上に形成されてもよく、第 2

のパッド24とオーバーラップしてもよい。電氣的接続部44は、導電部38のその他の部分とは異なる材料で形成してもよく、例えば電氣的接続部44の表面のみにメッキ層（例えば金メッキ）を形成してもよい。電氣的接続部44には、外部端子50が設けられてもよい。外部端子50は、ろう材（例えばハンダボール）であってもよい。

【0020】

複数の電氣的接続部44は、貫通穴32を避けて形成されてもよい。すなわち、導電部38は、第2の半導体基板20の面上で配線として形成され、配線の一部が電氣的接続部44になっていてもよい。配線の先端部が電氣的接続部44であってもよい。電氣的接続部44は、樹脂層36上に形成されてもよい。すなわち、導電部38は、樹脂層36上に至るように延びてもよい。これによれば、樹脂層36によって、電氣的接続部44（又は外部端子50）に加わる応力を緩和することができる。

10

【0021】

図2に示すように、隣同士の電氣的接続部44のピッチは、隣同士の第2のパッド24のピッチよりも大きくてもよい。すなわち、ピッチ変換してもよい。こうすることで、例えば、複数の電氣的接続部44を2次元状に広がる領域に配置することができ、外部端子50の設定位置の自由度が向上する。

【0022】

図3に示すように、第1及び第2の半導体基板10、20にレジスト層46、48が形成されてもよい。レジスト層46、48は絶縁性を有する。レジスト層46は、第1の半導体基板10上に露出する導電部38を覆い、レジスト層48は、第2の半導体基板20上に露出する導電部38を覆う。ただし、レジスト層48は、導電層38の一部（電氣的接続部44）を避けて形成される。レジスト層46、48によって、導電部38の酸化、腐食を防止し、電氣的不良を防止することができる。変形例として、レジスト層によって、第1及び第2の半導体基板10、20の側面も覆ってもよい。また、レジスト層を第1及び第2の半導体基板10、20の外面に一体的に形成してもよい。

20

【0023】

レジスト層48上に被覆層52が形成されてもよい。被覆層52は、外部端子50の根本部（下端部）を覆っている。図3に示すように、被覆層52は、外部端子50の周囲のみに形成されてもよい。被覆層52によって外部端子50の少なくとも根本部が補強される。すなわち、光デバイスが配線基板60（図4参照）に実装された後に、被覆層52によって外部端子50への応力の集中を分散させることができる。

30

【0024】

本実施の形態に係る半導体装置（光デバイス）によれば、第1及び第2の半導体基板10、20は、それらを連続的に貫通する貫通穴32内の導電部38を介して電氣的に接続されている。したがって、半導体装置（光デバイス）の外形寸法を、第1及び第2の半導体基板10、20の積層構造の外形寸法の範囲に収めることができ、小型化を図ることができる。また、半導体装置（光デバイス）の両面に集積回路が形成されているので、擬似的に、1つの半導体基板の両面に集積回路を有する半導体装置と同様の効果を達成することができる。さらに、第1及び第2の半導体基板10、20の組み合わせを選択することによって、様々な機能を有する半導体装置を簡単に実現できるので設計自由度が非常に高い。

40

【0025】

図4は、光デバイスを含む光モジュールの断面図である。光モジュールは、イメージセンサモジュールであってもよい。光モジュールは、光デバイス1と、配線基板60と、基材70と、を含む。

【0026】

配線基板60は、リジッド基板であってもフレキシブル基板であってもよい。配線基板60は、配線パターン62を有する。配線パターン62は、メッキ技術、露光技術などの周知技術を適用して形成することができる。光デバイス1は、配線基板60に搭載されている。詳しくは、配線基板60は、第2の半導体基板20に対向してなり、電氣的接続部

50

4 4 と配線パターン 6 2 とが電氣的に接続されている。両者間に、ろう材（図 3 では外部端子 5 0）を介して接合してもよい。光デバイス 1 と配線基板 6 0 との間に、アンダーフィル材（封止材）6 4 が設けられてもよい。なお、光デバイス 1 及び配線基板 6 0 の電氣的な接続形態は限定されず、異方性導電膜（ACF）や異方性導電ペースト（ACP）等の異方性導電材料を使用してもよいし、絶縁樹脂の収縮力による接続形態を適用してもよい。

【0027】

基材 7 0 は、光デバイス 1 の外装であり、筐体と呼ぶこともできる。基材 7 0 は、遮光性を有する材料（例えば樹脂又は金属）で形成されることが好ましい。基材 7 0 は、射出成形によって形成してもよい。基材 7 0 は、光デバイス 1 を囲むように配線基板 6 0 に取り付けられている。基材 7 0 は、配線基板 6 0 に接着材料 8 8 によって接着されてもよい。基材 7 0 は、レンズ 7 2 を保持する。基材 7 0 及びレンズ 7 2 を撮像光学系と呼ぶことができる。基材 7 0 は、後述するように相互に分離できる複数の部材で構成してもよいし、1 つの部材で一体的に構成してもよい。

【0028】

基材 7 0 は、第 1 及び第 2 の部分 7 4、7 6 を含む。第 1 の部分 7 4 には、レンズ 7 2 が取り付けられている。すなわち、第 1 の部分 7 4 は、レンズフォルダである。詳しくは、第 1 の部分 7 4 は、第 1 の穴 7 8 を有し、第 1 の穴 7 8 内にレンズ 7 2 を保持している。レンズ 7 2 は、第 1 の部分 7 4 の内側に形成されたねじ（図示せず）によって、第 1 の穴 7 8 内に固定されてもよい。レンズ 7 2 は、光デバイス 1（詳しくは第 1 の半導体基板 1 0）の上方に設けられている。

【0029】

図 4 に示すように、第 2 の部分 7 6 は、第 2 の穴 8 0 を有し、第 2 の穴 8 0 内に第 1 の部分 7 4 を保持している。第 1 及び第 2 の穴 7 8、8 0 は、相互に連通した 1 つの貫通穴を構成する。第 2 の穴 8 0 内に光デバイス 1 が配置されてもよい。第 1 の部分 7 4 の外側と第 2 の部分 7 6 の第 2 の穴 8 0 の内側には、第 1 及び第 2 のネジ 8 2、8 4 が形成され、これらによって、第 1 及び第 2 の部分 7 4、7 6 が連結されている。そして、第 1 及び第 2 のネジ 8 2、8 4 によって、第 1 の部分 7 4 は、第 2 の部分 7 6 における第 2 の穴 8 0 の軸方向に沿って位置調整可能になっている。こうして、レンズ 7 2 の焦点を調整することができる。

【0030】

光モジュールは、光学フィルタ 8 6 を含む。光学フィルタ 8 6 は、特定の波長の光（例えば可視光）のみを透過するもの又は特定の波長の光（例えば可視光）に対して損失が小さいものであってもよい。光学フィルタ 8 6 は、光エネルギーが通過する位置に設けられる。図 1 に示すように、光学フィルタ 8 6 は、基材 7 0（例えば第 2 の穴 8 0）に取り付けられてもよい。あるいは、レンズ 7 2 が光学フィルタ 8 6 の機能を備えていてもよい。光学フィルタ 8 6 には、反射防止膜（AR コート）、赤外線遮蔽膜（IR コート）などの光学機能膜が形成されている。

【0031】

配線基板 6 0 の端部からフレキシブル基板 9 0 が延出してもよい。例えば、フレキシブル基板 9 0 を介して、配線基板 6 0 を他の回路基板（例えばマザーボード）に電氣的に接続してもよい。あるいは、配線基板 6 0 がマザーボードであってもよい。配線基板 6 0 には、他の電子部品（図示しない）が搭載されてもよい。電子部品として、能動部品（集積回路を内蔵した半導体チップ等）、受動部品（抵抗器、コンデンサ等）、機能部品（フィルタ等の入力信号特性を変化させる部品）、接続部品（フレキシブル基板、コネクタ、スイッチ等）、変換部品（センサ等の入力信号を異なるエネルギー系に変換する部品）等がある。

【0032】

本実施の形態に係る光モジュールは、上述の光デバイスを有するので、小型化及び高密度化を図ることができる。

【0033】

次に、図5（A）～図8に示すように、本実施の形態に係る半導体装置の製造方法を説明する。半導体装置の製造方法の内容は、上述の半導体装置によって得られる内容を含む。なお、上述の半導体装置の内容は、半導体装置の製造方法によって得られる内容を含む。

【0034】

図5（A）に示すように、第1及び第2の半導体基板10、20を積層する。詳しくは、第1及び第2の半導体基板10、20を、第1及び第2の集積回路12、22の形成面とは反対の面同士が対向する向きに積層する。第1及び第2の半導体基板10、20の間に中間層30を介在させてもよい。中間層30は、接着層であってもよく、接着層はペースト状又はシート状のいずれであってもよい。

10

【0035】

変形例として、第1及び第2の半導体基板10、20を陽極接合で接合してもよい。陽極接合では、第1及び第2の半導体基板10、20を、高温に加熱した状態で界面に静電引力を発生させることで接合を行う。同一材料の半導体基板同士（例えばシリコン基板同士）であれば、両者の熱膨張係数が同一であるため、常温に戻ったときに熱膨張係数のズレによって接合界面が歪むのを防止できる。また、この場合、上述の中間層30を省略してもよく、さらに半導体装置の小型化を図ることができる。

【0036】

図5（A）に示すように、第1の半導体基板10には、第1の集積回路12が形成された面にパッシベーション膜16が形成され、その上に第1のパッド14が形成されている。また、他のパッシベーション膜18が第1のパッド14の表面の少なくとも一部（例えば中央部）を避けて形成されてもよい。パッシベーション膜18は、第1のパッド14の表面を覆って形成した後、その一部をエッチングして開口部19を形成し、開口部19から第1のパッド14の少なくとも一部を露出させてもよい。第2の半導体基板20についても同様であり、パッシベーション膜28の開口部29から第2のパッド24の少なくとも一部が露出している。

20

【0037】

図5（B）に示すように、貫通穴32を形成する。詳しくは、貫通穴32を、第1及び第2の半導体基板10、20を連続して（一体的に）貫通するように形成する。第1及び第2の半導体基板10、20を同時に貫通させてもよい。第1及び第2の半導体基板10、20の間に中間層30が介在する場合には、貫通穴32は、中間層30も貫通する。貫通穴32の形成には、例えば、レーザ（YAGレーザ、CO₂レーザ、エキシマレーザなど）を使用してもよいし、エッチング（ドライエッチング又はウェットエッチング）を適用してもよい。貫通穴32は、第1及び第2のパッド14、24の少なくとも一方を貫通するように形成してもよい。図5（B）に示す例では、貫通穴32は、第1のパッド14の穴15と、第2のパッド24の穴25とのそれぞれに連通している。

30

【0038】

図5（C）に示すように、貫通穴32の内面に絶縁層34を形成する。絶縁層34は、絶縁材料を貫通穴32に供給して形成する。絶縁材料は、スクリーン印刷方式、インクジェットプリンタ方式、化学気相堆積（CVD）、スプレー方式又はディスペンサによる塗布などで設けることができる。絶縁層34は、貫通穴32を塞がないように形成する。図5（C）に示す例では、絶縁層34は、第1及び第2のパッド14、24のそれぞれの少なくとも一部が露出するように形成する。

40

【0039】

図6（A）に示すように、第2の半導体基板20（詳しくはパッシベーション膜26、28上）に樹脂層36を形成する。樹脂層36は、感光性樹脂をフォトリソグラフィ技術によってパターンニングしてもよいし、非感光性樹脂をエッチングしてもよい。あるいは、スクリーン印刷方式又はインクジェット方式を適用してもよい。樹脂層36は、第1の集積回路12とオーバーラップする領域に形成されてもよい。

【0040】

50

図6（B）～図7（A）に示すように、貫通穴32の内側を含むように導電部38を形成する。導電部38は、絶縁層34上に形成する。導電部38は、導電材料を供給することによって形成する。導電材料は、メッキ処理（電気メッキ又は無電解メッキ）、スクリーン印刷方式、インクジェット方式、化学気相堆積（CVD）、スプレー方式又はディスペンサによる塗布などで設けることができる。本実施の形態では、導電部38は、第1及び第2の導電層40、42を含む。

【0041】

まず、図6（B）に示すように、第1の導電層40を形成する。第1の導電層40は、少なくともバリア層を含んでもよい。バリア層は、その上に設けられる材料が、第1及び第2の半導体基板に拡散することを防止するものである。バリア層は、その上の材料とは異なる材料（例えばTiW、TiN）で形成してもよい。第1の導電層40は、シード層を含んでもよい。シード層は、バリア層を形成した後に形成する。シード層は、その上に設けられる材料と同じ材料（例えばCu）で形成してもよい。第1の導電層40は、貫通穴32内を埋めないように設ける。すなわち、貫通穴32内で、第1の導電層40によって囲まれた貫通孔が形成されてもよい。第1の導電層40は、第1及び第2の半導体基板10、20の表面及び貫通穴32内の全体に形成してもよい。あるいは、第1の導電層40は、貫通穴32内の絶縁層34上のみに形成してもよい。第1の導電層40を、第1及び第2のパッド14、24の少なくとも一方に電氣的に接続するように形成してもよい。

【0042】

図6（C）に示すように、第2の導電層42をパターニングするためのレジスト層92を形成してもよい。レジスト層92は、導電部38の形成領域と反転形状になっている（図2参照）。そして、レジスト層92の開口部分に導電材料を供給して、第2の導電層42を形成する。第2の導電層42は、貫通穴32を埋めてもよい。

【0043】

その後、図7（A）に示すように、レジスト層92を除去し、第1の導電層40の不要部分を除去する。こうして、導電部38によって、光デバイスの両面の電氣的な導通を図ることができる。導電部38の形成方法は、上述に限定されるものではない。導電部38を、電氣的接続部44を有するように形成してもよい。電氣的接続部44はピッチ変換してもよい。詳しくは、上述した通りである。

【0044】

図7（B）に示すように、第1及び第2の半導体基板10、20にレジスト層46、48を形成してもよい。レジスト層48は、電氣的接続部44上に開口部49を有する。レジスト層48は、ソルダレジストであってもよい。その後、電氣的接続部44に外部端子50を形成し、外部端子50の根本を補強する被覆層52を形成する（図3参照）。

【0045】

図8に示すように、第1及び第2の半導体基板10、20が半導体ウエハである場合、それぞれの第1及び第2の集積回路12、22に対応して貫通穴32を形成し、導電部38を形成し、その後、第1及び第2の半導体基板10、20を切断（例えばダイシング）してもよい。切断には、カッタ（例えばダイサ）94またはレーザー（例えばCO₂レーザー、YAGレーザー等）を使用してもよい。

【0046】

本実施の形態に係る半導体装置の製造方法によれば、第1及び第2の半導体基板10、20を積層した後に、それらを連続して貫通する貫通穴32を形成し、貫通穴32の内側を含むように導電部38を形成する。第1及び第2の半導体基板10、20を積層して、両面に集積回路を有する半導体装置を製造するので、1つの半導体基板の両面に集積回路を形成する方法よりも、コストを抑え、信頼性の向上を図ることができる。また、貫通穴32及び導電部38を、第1及び第2の半導体基板10、20に一括して形成することができるので、製造工程の簡略化を図ることができる。

【0047】

（第2の実施の形態）

図9は、本発明を適用した第2の実施の形態に係る半導体装置を説明する図である。本実施の形態を上述の光デバイス又は光モジュールに適用してもよい。図9は、第1及び第2の半導体基板の間に介在する中間層を説明する図であり、第1及び第2の半導体基板は省略してある。

【0048】

本実施の形態では、中間層110は、金属層（図9では第1及び第2の金属層120、130）を有してもよい。金属層は、遮光層として使用してもよい。第1の半導体基板10が光学的部分13を有する場合（図1参照）、金属層は、光学的部分13とオーバーラップする領域に形成されてもよい。金属層は、光を反射する（遮光性を有する）ので、光デバイスに入射する不要な光をカットして、光デバイスのノイズの発生を抑えることができる。中間層110は、金属層の上下面に絶縁層（図9では省略してある）を有する。絶縁層は、接着材料であってもよい。金属層は、第1及び第2の半導体基板10、20に連続して形成される貫通穴（図3では貫通穴32）を避けて形成され、導電部（図3では導電部38）とは電氣的に遮断されてもよい。

10

【0049】

図9に示すように、中間層110は、複数の金属層（第1及び第2の金属層120、130）と、それぞれの金属層の間に設けられた絶縁層（図9では省略してある）と、を有してもよい。第1及び第2の金属層120、130は、少なくとも一部がオーバーラップしている。そして、少なくとも1つの導電部（例えば電源端子 V_{DD} ）112は、第1の金属層120に電氣的に接続され、少なくとも1つの他の導電部（例えば電源端子 V_{SS} ）114は、第2の金属層130に電氣的に接続されている。詳しくは、導電部112は、第1の金属層120に導通し、穴132を通過して第2の金属層130に導通しないようになっている。導電部114は、第2の金属層130に導通し、穴124を通過して第1の金属層120に導通しないようになっている。なお、その他の導電部（例えば入出力端子）116は、穴126及び穴136を通過して、第1及び第2の金属層120、130に導通しないようになっている。これによれば、第1及び第2の金属層120、130のオーバーラップする部分がキャパシタンスになるので、半導体装置（例えば光デバイス）の電気特性の向上を図ることができる。しかも、第1及び第2の半導体基板10、20の近傍にキャパシタンスを配置することができるので、高周波特性に非常に優れている。また、中間層110にキャパシタンスを形成するので、無駄なスペースを省略でき、半導体装置（光デバイス又は光モジュール）のさらなる小型化を図ることができる。

20

30

【0050】

第1及び第2の金属層120、130の間の絶縁層は、例えばシリコン酸化膜、シリコン窒化膜又は強誘電体薄膜などであってもよい。絶縁層は、図9における第1の金属層120の上面及び第2の金属層130の下面にも設けられてもよい。第1及び第2の金属層120、130は、絶縁層上にスパッタ法によって形成してもよい。第1及び第2の金属層120、130は、例えばアルミニウム系又は銅系の金属で形成してもよい。なお、第1及び第2の金属層120、130は、所定部分に穴124、126、134、136を形成した後に、第1及び第2の半導体基板10、20の間に介在させればよい。

【0051】

図9に示す例とは別に、金属層は3層以上形成してもよい。その場合、それぞれの金属層にいずれか少なくとも1つの導電部が電氣的に接続されていてもよい。こうすることで、キャパシタンス容量が倍增するので、電気特性のさらなる向上を図ることができる。

40

【0052】

本発明の実施の形態に係る電子機器として、図10に示すノート型パーソナルコンピュータ1000は、上述の光デバイス、光モジュール又は半導体装置が組み込まれたカメラ1100を有する。また、図11に示すデジタルカメラ2000は上述の光デバイス等を含む。さらに、図12（A）及び図12（B）に示す携帯電話3000は、上述の光デバイス等が組み込まれたカメラ3100を有する。

【0053】

50

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図 1】 図 1 は、本発明の第 1 の実施の形態に係る光デバイスの断面図である。

【図 2】 図 2 は、本発明の第 1 の実施の形態に係る光デバイスの平面図である。

10

【図 3】 図 3 は、本発明の第 1 の実施の形態に係る光デバイスの拡大断面図である。

【図 4】 図 4 は、本発明の第 1 の実施の形態に係る光モジュールを示す図である。

【図 5】 図 5 (A) ～図 5 (C) は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

【図 6】 図 6 (A) ～図 6 (C) は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

【図 7】 図 7 (A) 及び図 7 (B) は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

【図 8】 図 8 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

20

【図 9】 図 9 は、本発明の第 2 の実施の形態に係る半導体装置を説明する図である。

【図 10】 図 10 は、本発明の実施の形態に係る電子機器を示す図である。

【図 11】 図 11 は、本発明の実施の形態に係る電子機器を示す図である。

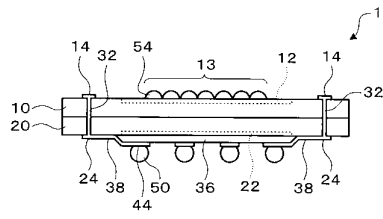
【図 12】 図 12 (A) 及び図 12 (B) は、本発明の実施の形態に係る電子機器を示す図である。

【符号の説明】

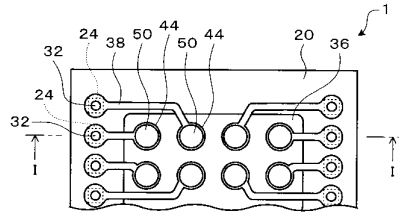
1 0 …第 1 の半導体基板 1 2 …第 1 の集積回路 1 3 …光学的部分
 1 4 …第 1 のパッド 2 0 …第 2 の半導体基板 2 2 …第 2 の集積回路
 2 4 …第 2 のパッド 2 8 …パッシベーション膜 3 0 …中間層
 3 2 …貫通穴 3 4 …絶縁層 3 6 …樹脂層 3 8 …導電部
 4 4 …電氣的接続部 5 0 …外部端子 5 4 …マイクロレンズ
 6 0 …配線基板 7 0 …基材 1 1 0 …中間層
 1 1 2, 1 1 4, 1 1 6 …導電部 1 2 0 …第 1 の金属層
 1 3 0 …第 2 の金属層

30

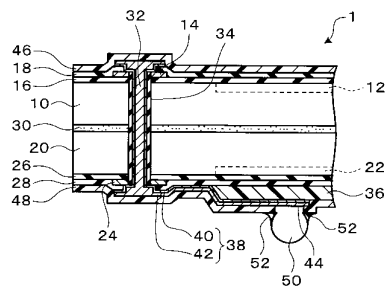
【図 1】



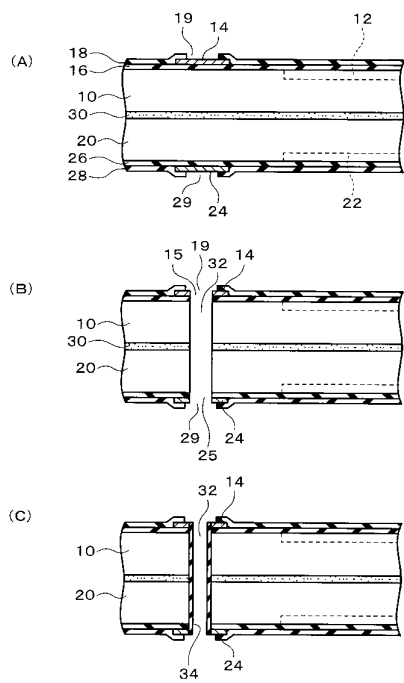
【図 2】



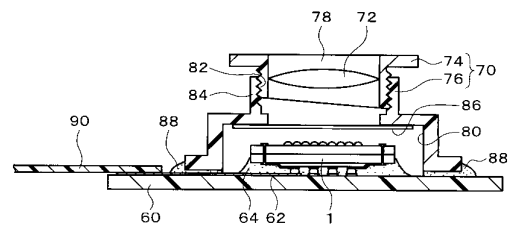
【図 3】



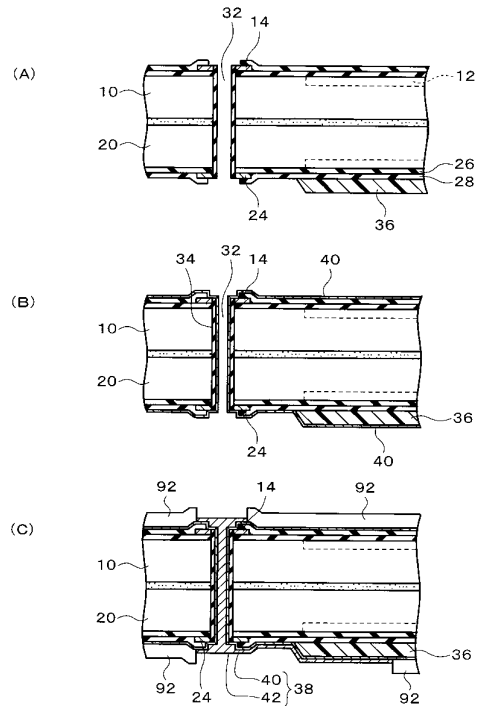
【図 5】



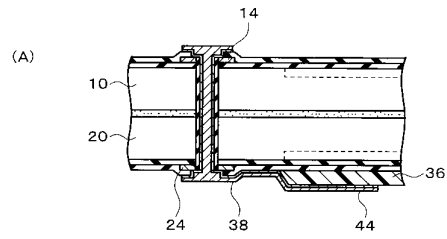
【図 4】



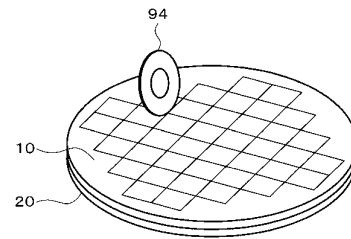
【図 6】



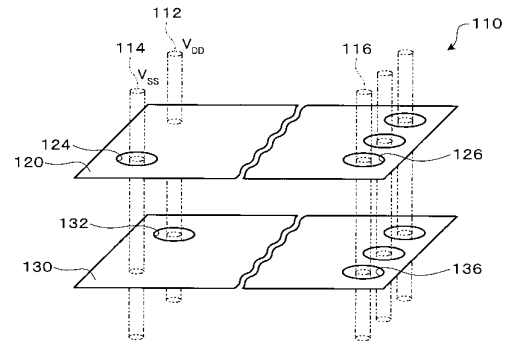
【図 7】



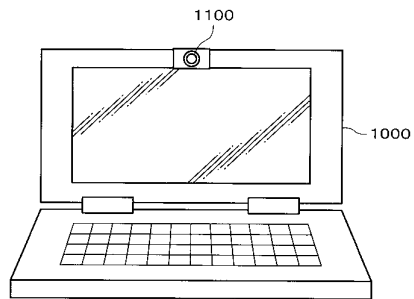
【図 8】



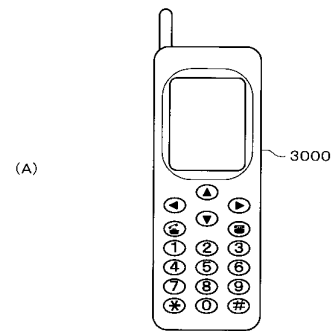
【図 9】



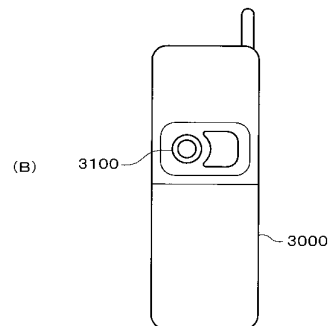
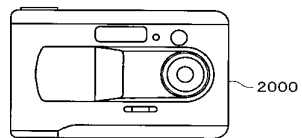
【図 10】



【図 12】



【図 11】



フロントページの続き

- (56)参考文献 特開昭57-145367 (JP, A)
特開2002-094082 (JP, A)
特開平05-110048 (JP, A)
特開2003-110147 (JP, A)
特開2002-134725 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14
H01L 23/12
H04N 5/225
H04N 5/335