(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-32497
(P2006-32497A)
(43)公開日　平成18年2月2日(2006.2.2)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 27/14	(2006.01)	H01L 27/14	D	4M118
H01L 27/146	(2006.01)	H01L 27/14	A	

審査請求 未請求　請求項の数 7　ＯＬ　（全 16 頁）

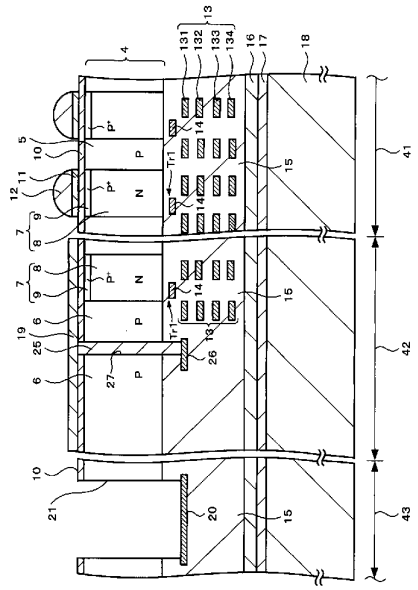
(21)出願番号　特願2004-206377 (P2004-206377)
(22)出願日　平成16年7月13日 (2004.7.13)

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100122884
弁理士　角田　芳末
(74)代理人　100113516
弁理士　磯山　弘信
(72)発明者　柳田　剛志
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

Ｆターム(参考)　4M118 AA05 AA10 AB01 BA14 DD04 FA06 FA11 GB04 GC07 GD04

(54)【発明の名称】固体撮像素子と固体撮像装置、固体撮像素子の製造方法

(57)【要約】
【課題】　光電変換素子において発生した少数キャリアが、外部に容易に抜けるような構成の固体撮像装置を提供する。
【解決手段】　半導体基体４内に光電変換素子７が形成され、半導体基体４の表面側に設けられた絶縁層１５内に配線層１３が形成され、光電変換素子７に、半導体基体４の裏面側より光が照射される構成であり、光電変換素子７の周囲の半導体基体４内に半導体領域６が形成され、半導体基体４の裏面側より、半導体領域６内の少なくとも一部に導電材料層２５が形成されている固体撮像素子１と、固体撮像素子１に対して電圧を印加する手段とを備えた固体撮像装置において、この手段から、導電材料層２５に接地電位が印加されるように構成する。
【選択図】　図２



Sony Exhibit 1016
Sony v. VisionX

【特許請求の範囲】
【請求項１】
半導体基体内に光電変換素子が形成され、
前記半導体基体の表面側に設けられた絶縁層内に配線層が形成され、
前記光電変換素子に、前記半導体基体の裏面側より光が照射される構成の固体撮像素子であって、
前記光電変換素子の周囲の前記半導体基体内に半導体領域が形成され、
前記半導体基体の裏面側より、前記半導体領域内の少なくとも一部に導電材料層が形成されている
ことを特徴とする固体撮像素子。
【請求項２】
前記導電材料層は、前記半導体領域の裏面側から前記半導体基体の表面側に貫通して形成された穴内に埋め込まれていることを特徴とする請求項１に記載の固体撮像素子。
【請求項３】
半導体基体内に光電変換素子が形成され、
前記半導体基体の表面側に設けられた絶縁層内に配線層が形成され、
前記光電変換素子に、前記半導体基体の裏面側より光が照射される構成であり、
前記光電変換素子の周囲の前記半導体基体内に半導体領域が形成され、
前記半導体基体の裏面側より、前記半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、
前記固体撮像素子に対して電圧を印加する手段とを備え、
前記手段から、前記導電材料層に接地電位が印加される
ことを特徴とする固体撮像装置。
【請求項４】
前記導電材料層は、前記半導体領域の裏面側から前記半導体基体の表面側に貫通して形成された穴内に埋め込まれていることを特徴とする請求項３に記載の固体撮像装置。
【請求項５】
半導体基体内に光電変換素子が形成され、
前記半導体基体の表面側に設けられた絶縁層内に配線層が形成され、
前記光電変換素子に、前記半導体基体の裏面側より光が照射される構成であり、
前記光電変換素子の周囲の前記半導体基体内に半導体領域が形成され、
前記半導体基体の裏面側より、前記半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、
前記固体撮像素子に対して電圧を印加する手段とを備え、
前記手段から、前記導電材料層に、少数キャリアを引き抜くことができるような正電位或いは負電位が印加される
ことを特徴とする固体撮像装置。
【請求項６】
前記導電材料層は、前記半導体領域の裏面側から前記半導体基体の表面側に貫通して形成された穴内に埋め込まれていることを特徴とする請求項５に記載の固体撮像装置。
【請求項７】
撮像領域とオプティカルブラック領域とパッド領域とを有し、前記撮像領域及び前記オプティカルブラック領域において、半導体基体内に光電変換素子が形成され、前記半導体基体の表面側に設けられた絶縁層内に配線層が形成され、前記光電変換素子に、前記半導体基体の裏面側より光が照射される構成の固体撮像素子を製造する方法であって、
前記半導体基体内に半導体領域を形成する工程と、
前記半導体領域内に光電変換素子を形成する工程と、
前記配線層と前記配線層を覆う絶縁層とを形成すると共に、前記パッド領域において、電極層を形成し、前記絶縁層で覆う工程と、
前記パッド領域において、前記電極層に達する開口を形成すると同時に、前記半導体領

域内を貫通して、前記配線層に達する穴を形成する工程と、
前記穴内に金属材料膜を埋め込む工程とを有する
ことを特徴とする固体撮像素子の製造方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、固体撮像素子と固体撮像装置、固体撮像素子の製造方法に関する。
【背景技術】
【０００２】
従来、固体撮像素子では、半導体基体の表面側に、光電変換素子、読み出し電極等の電極層、さらにはカラーフィルタ又はオンチップレンズ等が形成され、この表面側より光を入射させて撮像を行う構成となっている。
【０００３】
このような構成の固体撮像素子においては、例えば、光電変換素子の周囲に形成された半導体ウェル領域の電位を、半導体基体（単結晶シリコン層）の表面側、すなわち半導体ウェル領域の表面側から配線を通じて接地させることにより、光電変換素子内において発生した少数キャリアを、半導体ウェル領域を通じて引き抜くようにしている。
なお、光電変換素子にはポテンシャル勾配がつけられており、光電変換素子内で発生した小数キャリアは半導体ウェル領域に自然に流れ出るようになっている。
【０００４】
ところで、このような構成（いわゆる表面照射型）の固体撮像素子の場合、表面側に形成された電極層等で入射光が吸収、あるいは反射されてしまい、入射光に対する光電変換効率が低く、感度の低下が問題となっている。
【０００５】
そこで、近年、このような問題を解決する構成として、半導体基体の表面側に読み出し電極等の電極層を形成し、半導体基体の裏面側にカラーフィルタ又はオンチップレンズ等を形成し、半導体基体の裏面側より光を入射させて撮像できるようにすることで、受光のための開口率を高くし、また、入射光の吸収、あるいは反射を抑えるようにした、いわゆる裏面照射型の固体撮像素子が用いられてきている（例えば特許文献１参照）。
【０００６】
【特許文献１】特開２００３－０３１７８５号公報
【発明の開示】
【発明が解決しようとする課題】
【０００７】
ところで、このような構成の裏面照射型の固体撮像素子は、表面照射型と比較して、半導体基体（単結晶シリコン層）の厚さを数μ（例えば５μ）程度と薄くしているために、単結晶シリコン層内の抵抗値が高くなっている。
【０００８】
しかし、裏面照射型の固体撮像素子において、上述した表面照射型の固体撮像素子と同様の構成によって、光電変換素子内で発生した少数キャリアを引き抜くようにした場合、すなわち、上述したように、光電変換素子の周囲に形成された半導体ウェル領域の電位を、単結晶シリコン層の表面側から配線を通じて接地させた場合には、以下に示すような問題が生じる。
【０００９】
単結晶シリコン層の裏面側から光電変換素子内に入射した光のうち、例えば、光電変換素子の深い領域（表面側）にまで到達するような長波長の光（赤外光）により発生した正孔は、半導体ウェル領域へと流れ、単結晶シリコン層の表面側から配線を通じて容易に引き抜かれることになる。
一方、例えば、光電変換素子の裏面側までしか到達しない短波長の光（紫外光）により

発生した正孔の場合、半導体ウェル領域へと流れた後に、半導体ウェル領域の裏面側から表面側へと移動させる必要があるため、半導体ウェル領域の高い抵抗値の影響を受けて引き抜かれ難くなる。

この場合、半導体ウェル領域内に正孔が徐々に蓄積されてきてしまい、半導体ウェル領域内において正孔の滞留時間が長くなってしまうことから、光電変換素子から半導体ウェル領域へ正孔が流れ難くなり、光電変換素子内に正孔が蓄積され易くなってしまう。このため、光電変換素子に加えられている電界が影響を受けて弱くなるため、光電変換素子に蓄積された多数キャリア、すなわち電子（信号電荷）を正しく読み出すことができない。

【００１０】

これにより、光電変換素子内の飽和電荷量（Ｑｓ）が一定にならず、例えば、時間に応じて特性が変化したり、感度が低下したりする過渡現象が生じる。

【００１１】

上述した点に鑑み、本発明は、光電変換素子において発生した少数キャリアが、外部に容易に抜けるような構成の固体撮像素子と固体撮像装置、固体撮像素子の製造方法を提供するものである。

【課題を解決するための手段】

【００１２】

本発明に係る固体撮像素子は、半導体基体内に光電変換素子が形成され、半導体基体の表面側に設けられた絶縁層内に配線層が形成され、光電変換素子に、半導体基体の裏面側より光が照射される構成の固体撮像素子であって、光電変換素子の周囲の半導体基体内に半導体領域が形成され、半導体基体の裏面側より、半導体領域内の少なくとも一部に導電材料層が形成されている構成とする。

【００１３】

上述した本発明に係る固体撮像素子によれば、光電変換素子の周囲の半導体基体内に半導体領域が形成され、半導体基体の裏面側より、半導体領域（例えば半導体ウェル領域もしくは素子分離領域）内の少なくとも一部に導電材料層が形成されているので、光電変換素子の裏面側で発生した少数キャリアを半導体領域内に形成された導電材料層を通じて引き抜くことが可能になる。そして、例えば、外部に設けられた電圧印加手段により、導電材料層に接地電位や少数キャリアが引き抜かれるような正電位或いは負電位を印加する構成とすれば、容易に少数キャリアを引き抜くことが可能になる。

【００１４】

本発明に係る固体撮像装置は、半導体基体内に光電変換素子が形成され、半導体基体の表面側に設けられた絶縁層内に配線層が形成され、光電変換素子に、半導体基体の裏面側より光が照射される構成であり、光電変換素子の周囲の半導体基体内に半導体領域が形成され、半導体基体の裏面側より、半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、この固体撮像素子に対して電圧を印加する手段とを備え、この手段から、導電材料層に接地電位が印加される構成とする。

【００１５】

上述した本発明に係る固体撮像装置によれば、光電変換素子の周囲の半導体基体内に半導体領域が形成され、半導体基体の裏面側より、半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、この固体撮像素子に対して電圧を印加する手段とを備え、この手段から、導電材料層に接地電位が印加される構成とされているので、光電変換素子の裏面側で発生した少数キャリアを半導体領域内に形成された導電材料層を通じて容易に引く抜くことができる。これにより、光電変換素子に少数キャリアが蓄積されることを防ぐことができる。また、接地電位が印加される構成であるので、簡易な構成で少数キャリアを引き抜くことが可能になる。

【００１６】

本発明に係る固体撮像装置は、半導体基体内に光電変換素子が形成され、半導体基体の表面側に設けられた絶縁層内に配線層が形成され、光電変換素子に、半導体基体の裏面側より光が照射される構成であり、光電変換素子の周囲の半導体基体内に半導体領域が形成

され、半導体基体の裏面側より、半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、固体撮像素子に対して電圧を印加する手段とを備え、この手段から、導電材料層に、少数キャリアを引き抜くことができるような正電位或いは負電位が印加される構成とする。

【００１７】

本発明に係る固体撮像装置によれば、光電変換素子の周囲の半導体基体内に半導体領域が形成され、半導体基体の裏面側より、半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、固体撮像素子に対して電圧を印加する手段とを備え、この手段から、導電材料層に、少数キャリアを引き抜くことができるような正電位或いは負電位が印加される構成とされているので、光電変換素子の裏面側で発生した少数キャリアを半導体領域内に形成された導電材料層を通じて容易に引く抜くことができる。これにより、光電変換素子に少数キャリアが蓄積されることを防ぐことができる。また、少数キャリアが引き抜かれるような電圧が印加される構成であるので、電圧を制御することにより、効率的に少数キャリアを引き抜くことが可能になる。

【００１８】

本発明に係る固体撮像素子の製造方法は、撮像領域とオプティカルブラック領域とパッド領域とを有し、撮像領域及びオプティカルブラック領域において、半導体基体内に光電変換素子が形成され、半導体基体の表面側に設けられた絶縁層内に配線層が形成され、光電変換素子に、半導体基体の裏面側より光が照射される構成の固体撮像素子を製造する方法であって、半導体基体内に半導体領域を形成する工程と、半導体領域内に光電変換素子を形成する工程と、配線層と配線層を覆う絶縁層とを形成すると共に、パッド領域において、電極層を形成し、絶縁層で覆う工程と、パッド領域において、電極層に達する開口を形成すると同時に、半導体領域内を貫通して、配線層に達する穴を形成する工程と、穴内に金属材料膜を埋め込む工程とを有するようにする。

【００１９】

本発明に係る固体撮像素子の製造方法によれば、半導体基体内に半導体領域を形成する工程と、半導体領域内に光電変換素子を形成する工程と、配線層と配線層を覆う絶縁層とを形成すると共に、パッド領域において、電極層を形成し、絶縁層で覆う工程と、パッド領域において、電極層に達する開口を形成すると同時に、半導体領域内を貫通して、配線層に達する穴を形成する工程と、穴内に金属材料膜を埋め込む工程とを有するので、パッド領域において、電極層に達する開口を形成すると同時に、半導体領域において穴を形成する工程を行うことにより、パッド領域の開口と導電材料層を埋め込む穴を同時に形成することができる。これにより、開口形成用のレジストマスクを形成する工程と穴形成用のレジストマスクを形成する工程とを１回の工程で行うことができる。

【発明の効果】

【００２０】

本発明に係る固体撮像素子及び固体撮像装置によれば、光電変換素子に小数キャリアが蓄積されることを防ぐことができ、光電変換素子内の飽和信号量を常に一定とすることができる。

これにより、過渡現象が生じることを抑えることができるために、感度の低下が抑制され、例えば長時間の動画等にも対応することができる固体撮像素子及び固体撮像装置を得ることができる。

したがって、高性能で、高信頼性を有する固体撮像素子及び固体撮像装置を実現することができる。

【００２１】

本発明に係る固体撮像素子の製造方法によれば、レジストマスクを形成する工程を簡略化させることができるため、固体撮像素子の製造工程を削減することが可能になる。

【発明を実施するための最良の形態】

【００２２】

以下、図面を参照して、本発明の実施の形態を説明する。

【００２３】
まず、本発明の一実施の形態として、裏面照射型の固体撮像素子、例えば、ＣＭＯＳ型の固体撮像素子の構成を、図１及び図２を参照して説明する。
なお、図１は、裏面照射型の固体撮像素子、例えば、ＣＭＯＳ型の固体撮像素子の概略平面図を示している。また、図２は、図１のＸ－Ｘ線の拡大断面図を示している。
【００２４】
ＣＭＯＳ型の固体撮像素子１は、画素がマトリクス状に配列された撮像領域４１と、この撮像領域４１の周囲に形成されたオプティカルブラック領域４２と、このオプティカルブラック領域４２の周囲に形成されたパッド領域４３等から構成されている。
オプティカルブラック領域４２は、暗電流補正用の画素が撮像領域４１の画素の周囲に配列された構成であり、画素の一方の主面側が遮光膜により覆われている。そして、オプティカルブラック領域４２から出力された信号を基準として、撮像領域４１から出力された信号を補正することにより暗電流等のノイズを除去するようにしている。また、パッド領域４３は、例えば、外部の配線と接続されるパッドが設けられる領域である。なお、撮像領域４１及びオプティカルブラック領域４２の外には、図示しないトランジスタ等からなる周辺回路領域が形成されている。
【００２５】
撮像領域４１では、図２に示すように、半導体基体（例えば単結晶シリコン層）４内に形成された素子分離領域５により区切られた単位画素領域内に、Ｎ型の半導体領域よりなる光電変換素子７が形成されている。この光電変換素子７は、Ｎ型の半導体領域からなる電荷蓄積領域８と、高濃度のＰ型の半導体領域からなる正電荷蓄積領域９とから形成されている。
【００２６】
単結晶シリコン層４の一方の主面側、すなわち裏面側（図中上側）には、反射防止膜（酸化膜及び窒化膜）１０を介してカラーフィルタ１１が形成され、このカラーフィルタ１１上の光電変換素子７に対応する位置にオンチップレンズ１２が形成されている。
単結晶シリコン層４の他方の主面側、すなわち表面側（図中下側）には、光電変換素子７に対応して、例えばＭＯＳ型のトランジスタＴｒ１等が形成され、このトランジスタＴｒ１上には、多層の配線層１３が形成されている。
【００２７】
なお、撮像領域４１では、図示しないが、光電変換素子で蓄積された信号電荷を電圧に変換するフローティングディフュージョン部が形成されている。また、フローティングディフュージョン部で変換された電圧を出力する出力部（出力アンプ）や、フローティングディフュージョン部に蓄積された信号電荷を掃き捨てるリセットゲート部等が形成されている。これらフローティングディフュージョン部、出力部、リセットゲート部は、個々の光電変換素子毎に形成されている。
【００２８】
ＭＯＳ型のトランジスタＴｒ１は、単結晶シリコン層４中に形成された対のソース領域及びドレイン領域間の表面側にゲート絶縁膜を介してゲート電極１４が形成された構成である。なお、トランジスタＴｒ１のソース領域及びドレイン領域、またチャネル領域は、図示しないが、単結晶シリコン層１４中の所定の位置に形成されている。
【００２９】
配線層１３は、４層の配線を有している。
具体的には、単結晶シリコン層４の表面側に形成された絶縁層１５中において、１層目の配線１３１と、この１層目の配線１３１上に絶縁層１５を介して形成された２層目の配線１３２と、この２層目の配線１３２上に絶縁層１５を介して形成された３層目の配線１３３と、この３層目の配線１３３上に絶縁層１５を介して形成された４層目の配線１３４とから形成されている。
【００３０】
なお、絶縁層１５上には平坦化膜１６が形成され、この平坦化膜１６上に接着剤層１７

を介して支持基板１８が貼り合わされている。

【００３１】

オプティカルブラック領域４２では、単結晶シリコン層４の裏面側に反射防止膜１０を介して遮光膜１９が形成されている。このオプティカルブラック領域４２においても、撮像領域４１と同様に光電変換素子７、トランジスタＴｒ１、配線層２６が形成されている。

なお、遮光膜１９は、オプティカルブラック領域４２の光電変換素子の全てを覆って形成されている。

【００３２】

このオプティカルブラック領域４２の周辺部では、Ｐ型の半導体領域からなる半導体ウェル領域６が形成されている。この半導体ウェル領域６は、少なくとも、撮像領域４１とオプティカルブラック領域４２の全体に形成されている。

【００３３】

パッド領域４３では、単結晶シリコン層４の表面側の絶縁層１５内に、撮像領域４１やオプティカルブラック領域４２の配線１３１、配線２６と同一の面上に電極層２０が形成され、この電極層２０に達する開口２１が単結晶シリコン層４の裏面側より形成されている。開口２１内の側壁には図示しないが絶縁膜が形成されている。

【００３４】

なお、光電変換素子７にはポテンシャル勾配がつけられており、光電変換素子７内において発生した少数キャリアが自然と半導体ウェル領域６へと流れ出すようになっている。

【００３５】

このような構成のＣＭＯＳ型の固体撮像素子１においては、単結晶シリコン層３の裏面側から画像光が入射される。

【００３６】

そして、本実施の形態においては、特に、オプティカルブラック領域４２の周辺部の半導体ウェル領域６内に導電材料層２５が形成されている。そして、この導電材料層２５は、半導体ウェル領域６内の裏面側から表面側へと貫通し、半導体ウェル領域６の表面側の絶縁層１５内に形成された配線２６まで達する穴２７内に埋め込まれて形成されている。

【００３７】

この導電材料層２５は、導電性を有する材料、例えば、ＡｌＣｕ、Ａｌ、ＡｌＳｉ、Ｗ等の金属材料を用いることができる。このような金属材料を用いた場合、導電材料層２５の抵抗値が半導体ウェル領域６内の抵抗値よりも低くなる。

【００３８】

導電材料層２５は、図示しない外部に設けられた電圧印加手段により、電圧が印加される構成となっている。すなわち、上述した構成の固体撮像素子１と、固体撮像素子１の外部に設けられた電圧印加手段とを備えて固体撮像装置を構成する。

この電圧印加手段としては、例えば、固体撮像素子１の外部又は内部に設けられ、電源からの電圧から導電材料層２５に印加する電圧を生成する電圧制御回路と、電圧制御回路で生成された電圧を導電材料層２５へ導く配線（ワイヤや固体撮像素子１内の配線層）とを備え構成する。

【００３９】

このような構成の固体撮像装置として、本実施の形態では、単結晶シリコン層４の表面側の絶縁層１５内に形成された配線２６と、この配線２６と接続されたパッド領域４３の電極層２０を用いて、導電材料層２５に対して電圧を印加する手段を構成している。そして、この電極層２０を通じて、導電材料層２５に電圧が印加されるようになっている。なお、配線２６及び電極層２０は、図示しない領域において接続されている。

【００４０】

そして、上述の固体撮像装置の一実施の形態として、電圧印加手段から導電材料層２５に対して、接地電圧（０Ｖ）を印加するように構成する。

【００４１】

このように導電材料層２５に接地電圧を印加するようにして固体撮像装置を構成した場合は、固体撮像素子１において、光電変換素子７内で発生した少数キャリア（正孔）を、半導体ウェル領域６内の導電材料層２５を通じて容易に引き抜くことができる。

この際、導電材料層２５が、半導体ウェル領域６の裏面側から表面側まで貫通して形成されており、金属材料で形成されていることから、前述したように、特に、短波長の入射光により光電変換素子の裏面側で発生した正孔が引き抜き難くなるようなことはなく、半導体ウェル領域６よりも抵抗値の低い導電材料層２６によって正孔を容易に引き抜くことができる。

【００４２】

このため、固体撮像素子１において、光電変換素子７内に正孔が蓄積され易くなることを防ぐことができ、光電変換素子７内の飽和信号量を常に一定とすることができる。

これにより、光電変換素子７内の飽和電荷量（Ｑｓ）が変動することを抑えて、飽和電荷量（Ｑｓ）を一定とすることができるため、例えば、時間の経過によって色が変化してしまうといった時間依存性の問題を解決することができる。また、感度の低下を防ぐことができる。

【００４３】

また、導電材料層２５が接地されている構成であるので、簡易な構成で正孔を引き抜くことが可能になる。

【００４４】

なお、オプティカルブラック領域に形成された遮光膜も接地させるようにすることが考えられているが、この場合、例えば、遮光膜を形成した後に、遮光膜に対し外部より接地用の配線を接続している。

これに対して、本実施の形態の固体撮像素子１においては、導電材料層２５が、絶縁層１５内に形成された接地用の配線２６まで達して形成されているため、遮光膜１９も、導電材料層２５及び配線２６を通じて接地される。これにより、接地用の配線を遮光膜１９に接続させる必要がない。

【００４５】

また、上述の固体撮像装置の他の形態として、電圧印加手段から導電材料層２５に対して、少数キャリアを引く抜くことができるような正電圧或いは負電圧を印加するように構成することもできる。

【００４６】

すなわち、図１及び図２に示した固体撮像素子１においては、光電変換素子７が、Ｎ型の半導体領域から形成され、半導体ウェル領域６がＰ型の半導体領域で形成されている。したがって、電圧印加手段からは、導電材料層２５に対して負電圧を印加する。この負電圧は、固体撮像素子１の特性に影響を与えないような電圧、例えば読み出し電圧よりも低い電圧とする。

【００４７】

このように導電材料層２５に負電圧を印加するようにして固体撮像装置を構成した場合は、接地電圧を印加する場合と同様の作用に加えて、電圧を制御させることにより、効率的に少数キャリアを引き抜くことができる。

【００４８】

なお、光電変換素子がＰ型の半導体領域から形成され、半導体ウェル領域がＮ型の半導体領域から形成されている固体撮像素子を用いた場合は、半導体ウェル領域内に形成された導電材料層２５に対して正電圧を印加することにより、上述した負電圧を印加した場合と同様の作用を得ることができる。なお、この場合も、固体撮像素子１の特性に影響を与えないような正電圧を印加することはいうまでもない。

【００４９】

また、上述した固体撮像装置のさらに他の形態として、単結晶シリコン層４の裏面側（図１の上側）から、導電材料層２５に接地電圧や負電圧を印加するように構成することもできる。

具体的には、例えば、オプティカルブラック領域４２の遮光膜１９にワイヤ等を接続して、遮光膜１９を通じて導電材料層２５に電圧を印加する。

このように単結晶シリコン層４の裏面側から導電材料層２５に接地電圧や負電圧を印加するようにして固体撮像装置を構成した場合にも、単結晶シリコン層４の表面側（図１の下側）から接地電圧や負電圧を印加する場合と同様の作用効果が得られる。

【００５０】

このように単結晶シリコン層４の裏面側から電圧を印加する構成は、後述するように、オプティカルブラック領域において、素子分離領域内に導電材料層が形成された構成の固体撮像素子や、半導体ウェル領域内の裏面側の界面から途中まで導電材料層が形成された構成の固体撮像素子の場合にも適用することができる。すなわち、撮像領域４１のように、単結晶シリコン層４の裏面側にカラーフィルタ１１やオンチップレンズ１２が形成されており、単結晶シリコン層４の裏面側に電圧印加用の配線や電極等を形成することが困難な部分に導電材料層２５が形成された構成以外の固体撮像素子を用いる場合に適用することができる。

【００５１】

このように、本実施の形態の固体撮像装置では、オプティカルブラック領域４２の周辺部の半導体ウェル領域６内に導電材料層２５を形成し、この導電材料層２５に対して、単結晶シリコン層の表面側或いは裏面側より、電圧印加手段から、接地電圧や少数キャリアを引き抜くことができるような電圧（正電圧或いは負電圧）を印加するようにしたので、光電変換素子７内に少数キャリアが蓄積されることを防止することができ、光電変換素子内の飽和信号量を常に一定とすることができる。

【００５２】

なお、単結晶シリコン層４の裏面側から導電材料層２５に電圧を印加するように固体撮像装置を構成した場合には、必ずしも図２に示したように、導電材料層２５を表面側の配線２６に接続させなくても構わない。例えば、導電材料層２５を単結晶シリコン層４の裏面側の界面から表面側の界面まで形成した構成としても良い。この構成としても、正孔を半導体ウェル領域６の表面側及び裏面側から、導電材料層２５及び遮光膜１９を通じて引き抜くことができる。

【００５３】

次に、図１及び図２に示した固体撮像素子１を製造する方法を、図３～図６を参照して説明する。なお、図３～図６は、図１に示す固体撮像素子１の、撮像領域４１及びオプティカルブラック領域４２、さらにはオプティカルブラック領域４２の周辺の概略断面図である。また、図１及び図２と対応する部分には同一符号を付している。

なお、以下に示す製造工程は、後述する単結晶シリコン層の所定の位置に貫通して形成された、図示しないアライメントマークを基準として用いて行う。

【００５４】

先ず、図３Ａに示すように、例えばシリコン基板２上に、埋め込み酸化膜（所謂ＢＯＸ層）３を介して、単結晶シリコン層４が形成されたＳＯＩ基板３０を用意する。

なお、埋め込み酸化膜３や単結晶シリコン層４の膜厚は任意に設定することができる。

【００５５】

次に、撮像領域４１からオプティカルブラック領域４２において、単結晶シリコン層４内に、公知の技術によりＰ型の半導体ウェル領域６を形成した後、半導体ウェル領域６内の所定の位置に、公知の技術により素子分離領域５を形成する。そして、素子分離領域５により区切られた素子形成領域内の所定の位置に、公知の技術により光電変換素子を形成するＮ型の半導体領域（電荷蓄積領域）８を形成する（以上、図３Ｂ参照）。

【００５６】

次に、図３Ｃに示すように、撮像領域４１及びオプティカルブラック領域４２において、単結晶シリコン層４上に、絶縁層を介してそれぞれゲート電極１４と対のソース領域及びドレイン領域からなるＭＯＳ型のトランジスタＴｒ１を形成する。

なお、トランジスタＴｒ１の、チャネル領域、ソース領域及びドレイン領域は、図示し

ないが、単結晶シリコン層４内の所定の位置に形成する。

【００５７】

次に、図４Ｄに示すように、単結晶シリコン層４上に絶縁層１５を介して多層の配線層１３を形成する。

【００５８】

具体的には、先ず、単結晶シリコン層４上に絶縁層１５を形成して平坦化処理を行った後、１層目となる配線１３１を所定のパターンに形成する。

次に、１層目の配線１３１を含んで全面に再び絶縁層１５を形成して平坦化処理を行った後、２層目となる配線１３２を所定のパターンに形成する。

これ以降は、所定の層数となるまで、このような工程が繰り返される。

なお、図４Ｄに示す場合では配線層１３が４層の場合を示したが、４層以上の場合はこのような工程が繰り返される。

また、絶縁層１５上には、例えばＳｉＮ膜やＳｉＯＮ膜等からなる平坦化膜が形成される。

【００５９】

この配線１３の形成工程では、撮像領域４１やオプティカルブラック領域４２の１層目の配線１３１を形成する際に、オプティカルブラック領域４２の周辺部においては、配線１３１と同一の面上に接地用の配線２６を所定のパターンに形成する。また、図示しないが、パッド領域においては、配線１３１や配線２６と同一の面上に電極層を所定のパターンに形成する。

【００６０】

次に、図４Ｅに示すように、平坦化膜上に接着材層１７を塗布し、支持基板１８を貼り合わせる。このように、ＳＯＩ基板３０の表面側に支持基板１８を貼り合わせるのは、後述する工程において、ＳＯＩ基板３０を薄膜化させる際に機械的な強度を確保するためである。

【００６１】

次に、上下を反転させることにより、ＳＯＩ基板３０のシリコン基板２が上面となった状態にする。そして、シリコン基板２及び埋め込み酸化膜３を順次除去して、図４Ｆに示すように、ＳＯＩ基板３０の単結晶シリコン層４が露出された状態にする。

そして、電荷蓄積領域８の裏面側に、公知の技術（例えば、単結晶シリコン層４の上面に薄く酸化膜を成膜した後に、レジストマスクを形成し、イオン注入を行う）により高濃度のＰ型の半導体領域からなる正電荷蓄積領域９を形成する。これにより光電変換素子７が形成される。なお、正電荷蓄積領域９を形成する工程は、この図４Ｆに示す状態で行う場合に限らず、電荷蓄積領域８と同様に単結晶シリコン層４の表面側から形成する等、その他様々なやり方が可能である。

【００６２】

次に、図５Ｇに示すように、パッド領域４３において、絶縁層１５内に埋め込まれた電極層２０に外部よりコンタクト配線を接続するために、裏面側より、単結晶シリコン層４、絶縁層１５を順にエッチング除去して、電極層２０に達する開口２１を形成する。

この際、本実施の形態においては、半導体ウェル領域６内において、配線２６に達する穴２７を同時に形成する。

すなわち、パッド領域４３の電極層２０は、上述したように、撮像領域４１やオプティカルブラック領域４２の配線１３１や配線２６と同一の面上で形成されている。したがって、パッド領域４３において、電極層２０に達する開口２１を形成する際に、オプティカルブラック領域４２において、配線２６に達する穴２７を同時に形成することができる。

【００６３】

具体的には、ＳＯＩ基板３０の単結晶シリコン層４が露出している状態（図４Ｆ参照）において、単結晶シリコン層上に反射防止膜を形成した後、この反射防止膜上にフォトレジスト膜を成膜し、公知のリソグラフィ技術を用いて開口と穴形成用のパターンのレジストマスクを形成する。

次に、このレジストマスクをマスクとして単結晶シリコン層をエッチング除去することにより、図５Ｇに示したように、オプティカルブラック領域４２及びパッド領域４３において、単結晶シリコン層４内の所定の位置に穴２７と開口２１とをそれぞれ形成することができる。

【００６４】

次に、穴２７を含んで、単結晶シリコン層４上に導電材料層２５を形成する。そして、単結晶シリコン層４の表面上の導電材料層２５のみを除去することにより、図５Ｈに示すように、穴２７内に導電材料層２５を埋め込む。

【００６５】

次に、図６Ｉに示すように、オプティカルブラック領域４２において、単結晶シリコン層４上に遮光膜１９を形成する。この際、撮像領域４１においては、単結晶シリコン層４上をマスクで覆うようにする。なお、遮光膜１９はオプティカルブラック領域４２の周辺部までを覆って形成する。

【００６６】

この後は、図６Ｊに示すように、撮像領域４１において、単結晶シリコン層４の裏面側の光電変換素子７に対応する部分に、カラーフィルタ１１を介してオンチップマイクロレンズ１２を形成する。

【００６７】

このようにして、図１及び図２に示した構成の裏面照射型のＣＭＯＳ型固体撮像素子１を製造することができる。

【００６８】

上述した製造方法によれば、パッド領域４３において、電極層２０に外部よりコンタクト配線を接続するための開口２１を形成する際に、オプティカルブラック領域４２の周辺部において、導電材料層２５を埋め込むための穴２７を同時に形成するようにしたので、穴２７形成用のレジストマスクを形成する工程と、開口２１形成用のレジストマスクを形成する工程とを１回の工程で行うことができる。これにより、レジストマスク形成工程と簡略化することができる。

【００６９】

また、上述した製造方法では、本発明を、シリコン基板２上に埋め込み酸化膜３を介して単結晶シリコン層４が積層された、複数の層からなるＳＯＩ基板３０から固体撮像素子１を製造する場合に適用して説明した。しかし、例えば、層の厚さが薄い単層の半導体基体（単結晶シリコン層）から、上述したような構成の固体撮像素子を製造する場合においても本発明を適用することが可能である。

【００７０】

なお、上述した製造方法では、図４Ｅ～図４Ｆに示す工程において、シリコン基板２、埋め込み酸化膜３を除去して、ＳＯＩ基板３０の単結晶シリコン層４を露出する場合を示したが、シリコン基板２のみを除去して、埋め込み酸化膜３を残すことも可能である。

【００７１】

次に、本発明の固体撮像素子の他の実施の形態を説明する。

上述した実施の形態の固体撮像素子１では、図２に示したように、オプティカルブラック領域４２の周辺部に形成された半導体ウェル領域６内に導電材料層２５を形成したが、本実施の形態の固体撮像素子３１では、図７に示すように、撮像領域４１において、隣接する光電変換素子７間を分離するＰ型の半導体領域からなる素子分離領域５内に導電材料層２５を形成する。

導電材料層２５に用いられる材料等、その他の構成は、上述した実施の形態の固体撮像素子１の構成と同様であるので、重複説明は省略する。

【００７２】

このような、撮像領域４１の素子分離領域５内に導電材料層２５が形成された構成の固体撮像素子３１を用いて固体撮像装置を構成する場合には、撮像領域４１の単結晶シリコン層４の裏面側に、カラーフィルタ１１やオンチップレンズ１２等が形成されているため

、単結晶シリコン層４の表面側から導電材料層２５に対して電圧を印加するように電圧印加手段を構成する。そして、上述したように、この電圧印加手段から、接地電圧や少数キャリアを取り除くことができるような電圧が印加されるように構成する。

すなわち、上述したように、例えば、配線２６及びパッド領域４３の電極層２０を介して、外部に設けられた電圧印加手段により、導電材料層２５に電圧が印加される構成とする。

【００７３】

このように撮像領域４１の素子分離領域５内に導電材料層２５が形成された構成の固体撮像素子３１を用いて固体撮像装置を構成した場合は、上述したように、固体撮像素子３１において、光電変換素子７内に正孔が蓄積され易くなることを防ぐことができ、光電変換素子７内の飽和信号量を常に一定とすることができる。これにより、光電変換素子７内の飽和電荷量（Ｑｓ）が変動することを抑えて、飽和電荷量（Ｑｓ）を一定とすることができるため、例えば、時間の経過によって色が変化してしまうといった時間依存性の問題を解決することができる。また、感度の低下を防ぐことができる。

【００７４】

次に、本発明の固体撮像素子のさらに他の実施の形態を説明する。

本実施の形態の固体撮像素子３２では、オプティカルブラック領域４２において、隣接する光電変換素子７間を分離するＰ型の半導体領域からなる素子分離領域５内に、導電材料層２５を形成する。

導電材料層２５に用いられる材料等、その他の構成は、上述した実施の形態の固体撮像素子１の構成と同様であるので、重複説明は省略する。

【００７５】

このような、オプティカルブラック領域４２の素子分離領域５内に導電材料層２５が形成された構成の固体撮像素子３２を用いて固体撮像装置を構成する場合には、単結晶シリコン層４の表面側から導電材料層２５に対して電圧を印加するように電圧印加手段を構成する。そして、上述したように、この電圧印加手段から、接地電圧や少数キャリアを取り除くことができるような電圧が印加されるように構成する。

すなわち、上述したように、例えば、配線２６及びパッド領域４３の電極層２０を介して、外部に設けられた電圧印加手段により、導電材料層２５に電圧が印加される構成とする。

なお、このような構成の固体撮像装置の場合、単結晶シリコン層４の表面側からではなく、単結晶シリコン層４の裏面側から導電材料層２５に対して電圧が印加されるように電圧印加手段を構成することもできる。この場合、上述したように、例えば、オプティカルブラック領域４２の遮光膜１９にワイヤ等を接続して、遮光膜１９を通じて導電材料層２５に電圧が印加されるように構成する。

【００７６】

このようにオプティカルブラック領域４２の素子分離領域５内に導電材料層２５が形成された構成の固体撮像素子を用いて固体撮像装置を構成した場合においても、固体撮像素子３２において、光電変換素子７内に正孔が蓄積され易くなることを防ぐことができ、光電変換素子７内の飽和信号量を常に一定とすることができる。これにより、光電変換素子７内の飽和電荷量（Ｑｓ）が変動することを抑えて、飽和電荷量（Ｑｓ）を一定とすることができるため、例えば、時間の経過によって色が変化してしまうといった時間依存性の問題を解決することができる。また、感度の低下を防ぐことができる。

【００７７】

なお、図７及び図８に示したように、導電材料層２５を素子分離領域５内に形成する構成では、各光電変換素子７を分離する複数の素子分離領域５のそれぞれに形成することも可能である。

【００７８】

上述した各実施の形態（さらに他の実施の形態）においては、導電材料層２５が、半導体ウェル領域６の裏面側から表面側へと貫通して形成された構成を示したが、例えば、図

９に示すように、導電材料層２５が半導体ウェル領域６の裏面側の界面から途中まで形成された構成とすることもできる。なお、図９は、導電材料層２５の周辺の拡大断面図を示している。

このような構成の導電材料層２５を形成する場合は、図５Ｇに示した穴２７形成工程において、単結晶シリコン層４の表面側まで貫通しないような条件で、穴２７を形成すればよい。

【００７９】

このような構成の固体撮像素子を用いて固体撮像装置を構成する場合には、導電材料層２５が単結晶シリコン層４の表面側まで達していないので、単結晶シリコン層４の表面側に電圧が印加されるように構成することができない。したがって、単結晶シリコン層４の裏面側に電圧が印加されるように構成する。

【００８０】

このように、導電材料層２５が半導体ウェル領域６の裏面側の界面から途中まで形成された構成の固体撮像素子を用いて固体撮像装置を構成した場合においても、上述したように、固体撮像素子において、光電変換素子７内に正孔が蓄積され易くなることを防ぐことができ、光電変換素子７内の飽和信号量を常に一定とすることができる。これにより、光電変換素子７内の飽和電荷量（Ｑｓ）が変動することを抑えて、飽和電荷量（Ｑｓ）を一定とすることができるため、例えば、時間の経過によって色が変化してしまうといった時間依存性の問題を解決することができる。また、感度の低下を防ぐことができる。

【００８１】

また、上述した実施の形態においては、接地可能な領域において半導体ウェル領域６や素子分離領域５等が形成されている場合を前提に説明したが、例えば、接地されては困るような領域において半導体ウェル領域６や素子分離領域５等が形成されている場合は、当該領域５，６と導電材料層２５との境界に、例えば、絶縁膜を形成したり、ＰＮ接合の領域を形成することにより絶縁を図るようにする。

これにより、例えば、撮像領域４１やオプティカルブラック領域４２の外周に形成された周辺回路部等の特性に影響を与えることを防ぐことができる。

【００８２】

また、上述した実施の形態においては、導電材料層２５として金属材料を用いたが、導電材料層２５に用いられる材料は、導電性が高い材料であれば、上述した種類の金属材料に限定されない。なお、金属材料を用いた場合は、上述したように低抵抗であるため、少数キャリアを引き抜き易い。

なお、このように金属材料を用いた場合、例えば、穴２７内に埋め込まれた金属材料が単結晶シリコン層４中に拡散する場合が考えられる。このため、図１０に示すように、穴２７の側壁にバリアメタル膜３３を形成して、金属の拡散を防ぐ構成とすることも可能である。

【００８３】

また、上述した実施の形態においては、半導体ウェル領域６や素子分離領域５内に導電材料層２５をそれぞれ１つ形成した構成としたが、導電材料層２５は複数形成しても構わない。

【００８４】

尚、本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【図面の簡単な説明】

【００８５】

【図１】本発明の一実施の形態の固体撮像素子の概略構成図（平面図）である。

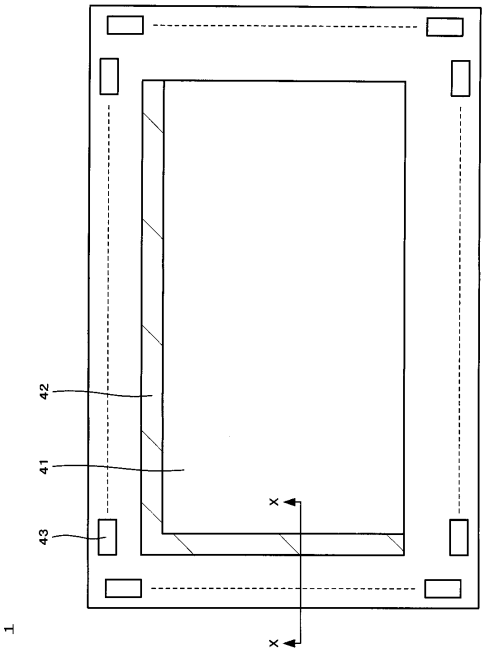
【図２】図１の撮像領域及びオプティカルブラック領域の概略断面図（拡大図）である。

【図３】Ａ～Ｃ　図１及び図２の固体撮像素子の製造方法を示す製造工程図（その１）である。

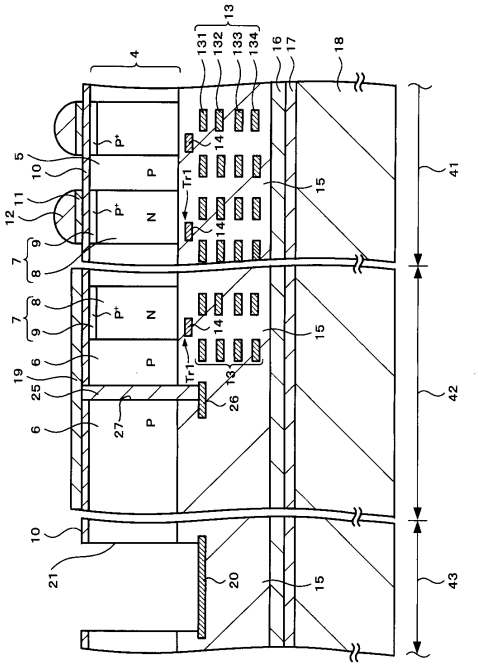
【図４】Ｄ～Ｆ　図１及び図２の固体撮像素子の製造方法を示す製造工程図（その２）で

ある。
【図５】Ｇ～Ｈ　図１及び図２の固体撮像素子の製造方法を示す製造工程図（その３）である。
【図６】Ｉ～Ｊ　図１及び図２の固体撮像素子の製造方法を示す製造工程図（その４）である。
【図７】本発明の一実施の形態の固体撮像素子の他の実施の形態を示す概略断面図（拡大図）である。
【図８】本発明の一実施の形態の固体撮像素子のさらに他の実施の形態を示す概略断面図（拡大図）である。
【図９】本発明の一実施の形態の固体撮像素子のさらに他の実施の形態を示す概略断面図である。
【図１０】導電材料層の他の形態を示す拡大断面図である。
【符号の説明】
【００８６】
１，３１，３２・・・固体撮像素子、２・・・シリコン基板、３・・・埋め込み酸化膜、４・・・単結晶シリコン層（半導体基体）、５・・・素子分離領域、６・・・Ｐ型の半導体ウェル領域、７・・・光電変換素子、８・・・電荷蓄積領域、９・・・正電荷蓄積領域、１０・・・反射防止膜、１１・・・カラーフィルタ、１２・・・オンチップレンズ、１３（１３１，１３２，１３３）・・・配線層、１４・・・ゲート電極、１５・・・絶縁層、１６・・・平坦化膜、１７接着材層、１８・・・支持基板、１９・・・遮光膜、２０・・・電極層、２１・・・開口、２５・・・導電材料層、２６・・・配線、２７・・・穴、３３・・・バリアメタル膜、４１・・・撮像領域、４２・・・オプティカルブラック領域、４３・・・パッド領域

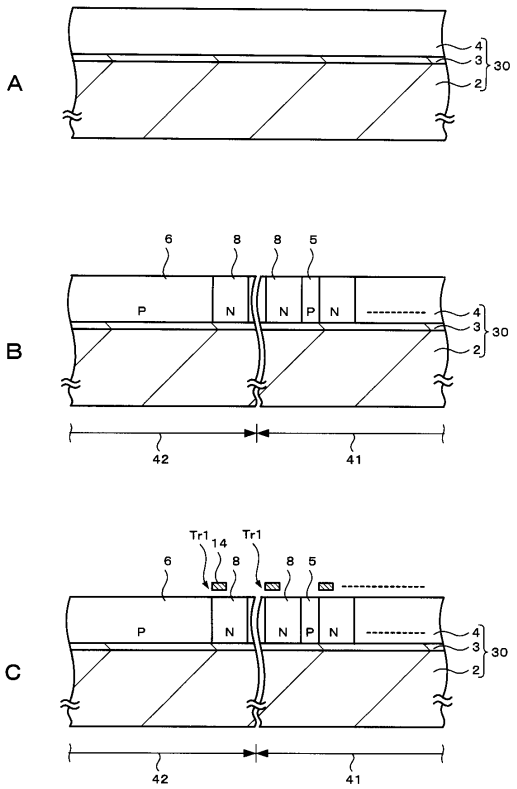
【図１】



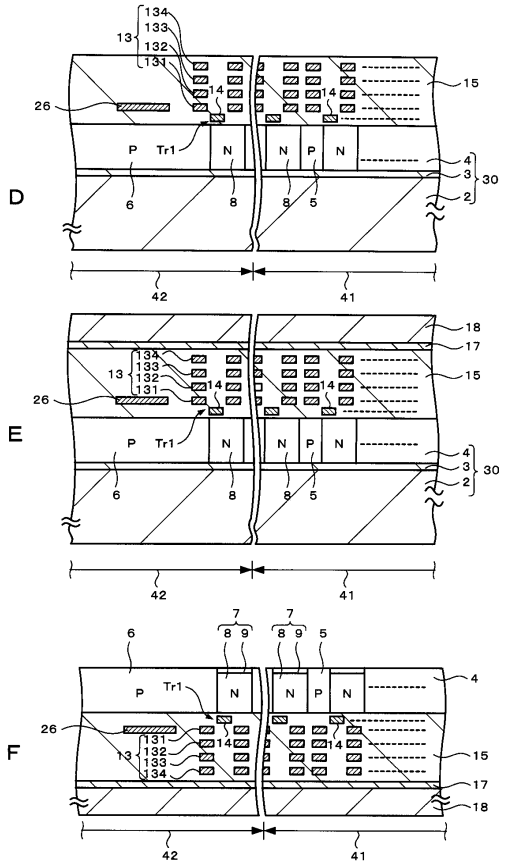
【図２】



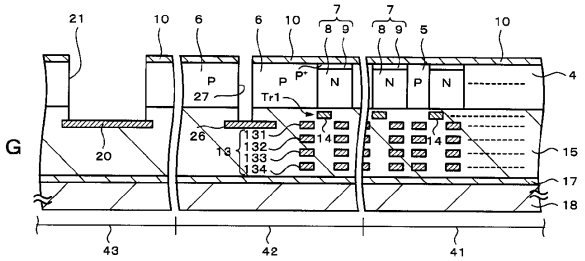
【図３】


A
B
C
P
N
Tr1
30
42
41

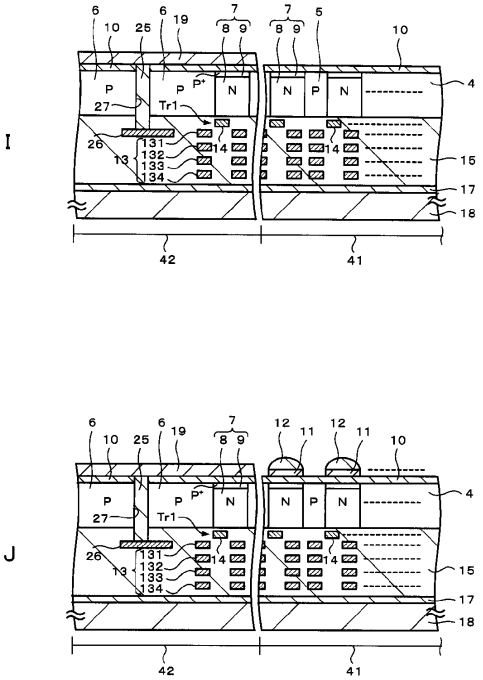
【図４】


D
E
F
P
N
Tr1
30
42
41

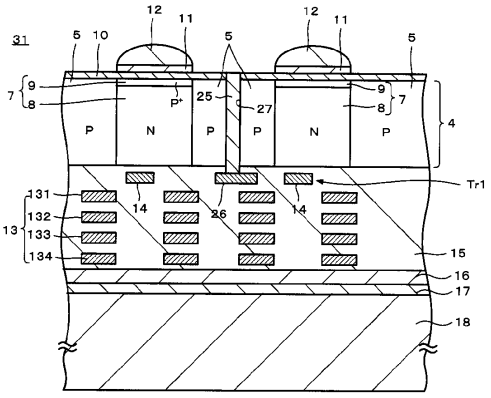
【図５】


G
P
N
Tr1
43
42
41

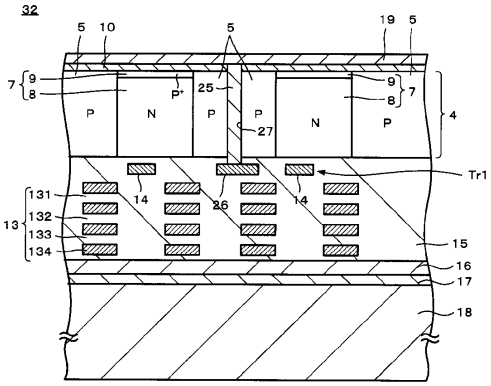
【図６】


I
H
J
P
N
Tr1
42
41

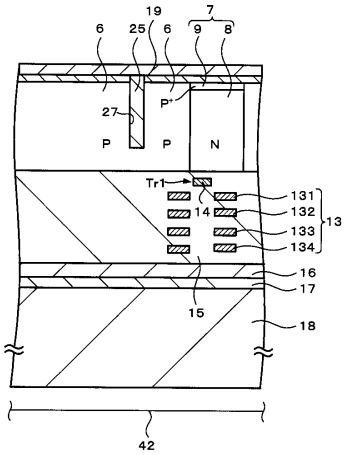
【図７】


31
12
11
5
10
7
9
8
P+
25
27
P
N
4
Tr1
14
26
131
132
133
134
13
15
16
17
18

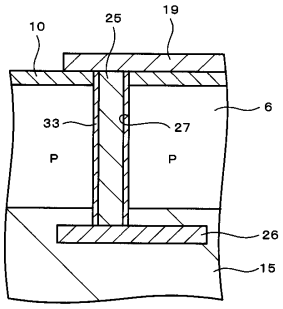
【図８】


32
5
10
19
7
9
8
P+
25
27
P
N
4
Tr1
14
26
131
132
133
134
13
15
16
17
18

【図９】


19
7
6
25
9
8
P+
27
P
N
Tr1
14
131
132
133
134
13
16
17
15
18
42

【図１０】


10
25
19
6
33
27
P
26
15