

I declare (or certify, verify, or state) under penalty of perjury that the foregoing is true and correct.

Executed on 12 Oct, 2022 in Manti, Utah.

Carl T. Sullivan

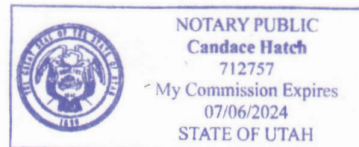
STATE OF UTAH
COUNTY OF SANPETE

On this OCTOBER, 2022 personally appeared before me, CARL SULLIVAN,
Notary Public, who proved to me
on the basis of satisfactory evidence to be the
person(s) whose name(s) is subscribed to on
this instrument, acknowledged that HE
executed the same.

Notary Public CAROLINE CLARK
Commission Expires 7-6-2024

Notary Public

Notary Commission Expiry





(19) Korean Intellectual Property Office (KR)
(12) Registered Patent Gazette (B1)

(51) Int. Cl.
H01L 27/146 (2006.01)
H01L 21/28 (2006.01)
H01L 21/3205 (2006.01)
H01L 31/10 (2006.01)

(45) Publication Date January 03, 2007
(11) Registration No. 10-0664864
(24) Registration Date December 27, 2006

(21) Application No.	10-2004-0115901	(65) Unexamined Patent Application No.	10-2006-0077108
(22) Filing Date	December 30, 2004	(43) Unexamined Patent Application Date	July 05, 2006
Examination Request Date	December 30, 2004		

(73) Patentee	MagnaChip Semiconductor Co., Ltd. 1 Hyangjeong-dong, Heungdeok-gu, Cheongju-si, Chungbuk
(72) Inventor	Joon Ho Yun 13-603 Sujeong Town Apartment, Doosan 2-dong, Seo-gu, Daejeon
(74) Agent	Shinsung Patent Firm LLC

Examiner: Bong Mook Choi

Total Number of Claims: 23 Claims

(54) Method of forming metal line of image sensor

(57) Abstract

The present invention provides a method of forming a metal line using copper of an image sensor that is capable of reducing light loss due to an etch stop film used when copper is used as a metal line and preventing deterioration of device characteristics due to plasma etching; to this end, the present invention provides a method of forming a metal line of an image sensor comprising the following: a step of forming a first dielectric layer on a substrate on which a predetermined process comprising photodiode formation is completed, a step of forming a photoresist pattern defining a width of the metal line in a metal line formation region on the first dielectric layer, a step of growing a second dielectric layer from the first dielectric layer at a portion exposed by the photoresist pattern through a liquid phase deposition (LPD) method, a step of forming a trench defining a metal line region by removing the photoresist pattern, a step of forming a first barrier layer along the trench-formed profile, a step of forming a copper layer on the first barrier layer to fill the trench, and a step of forming a metal line buried in the trench by performing a planarization process with a target to which the second dielectric layer is exposed.

Representative Drawing

FIG. 3a

Claims

Claim 1.

A method of forming a metal line of an image sensor comprising the following:

a step of forming a first dielectric layer on a substrate on which a predetermined process comprising photodiode formation is completed,

a step of forming a photoresist pattern defining a width of the metal line in a metal line formation region on the first dielectric layer,

a step of growing a second dielectric layer from the first dielectric layer at a portion exposed by the photoresist pattern through a liquid phase deposition (LPD) method,

a step of forming a trench defining a metal line region by removing the photoresist pattern,

a step of forming a first barrier layer along the trench-formed profile,

a step of forming a copper layer on the first barrier layer to fill the trench, and

a step of forming a metal line buried in the trench by performing a planarization process with a target to which the second dielectric layer is exposed.

Claim 2.

The method of forming a metal line of an image sensor according to claim 1,

wherein the first and second dielectric layers comprise SiO₂.

Claim 3.

The method of forming a metal line of an image sensor according to claim 2,

wherein in the step of growing the second dielectric layer, the substrate is deposited in an aqueous solution to which boric acid (H₃BO₃) has been added in a ratio of 25% to 30% to supersaturated hydrofluoric acid (H₂SiF₆) at 25°C to 35°C.

Claim 4.

The method of forming a metal line of an image sensor according to claim 1,

wherein the second dielectric layer is grown to a thickness of 4000Å to 500Å.

Claim 5.

The method of forming a metal line of an image sensor according to claim 1,

wherein in the step of removing the photoresist pattern, an O₂ plasma device is used that uses a microwave downstream.

Claim 6.

The method of forming a metal line of an image sensor according to claim 5,

wherein in the step of removing the photoresist pattern, a power of 1500W to 1800W is used, the temperature of the substrate is maintained up to 200°C, and the flow rate of O₂ is set from 200SCCM to 300SCCM.

Claim 7.

The method of forming a metal line of an image sensor according to claim 1,

wherein in the step of forming the metal line, the copper film and the first barrier film are recessed from 500Å to 1000Å into the trench.

Claim 8.

The method of forming a metal line of an image sensor according to claim 7,

further comprising a step of depositing a second barrier film along a profile in which the copper film and the first barrier film are recessed, and

a step of performing a planarization process with a target to which the second dielectric layer is exposed so that the metal line is surrounded by the first barrier layer and the second barrier layer.

Claim 9.

The method of forming a metal line of an image sensor according to claim 8,

wherein the first barrier layer is formed to a thickness from 100Å to 500Å, and the second barrier layer is formed to a thickness from 1000Å to 1500Å.

Claim 10.

A method of forming a metal line of an image sensor comprising the following:

a step of forming a first dielectric layer on a substrate on which a predetermined process comprising photodiode formation is completed,

a step of forming a first photoresist pattern defining a width of the first metal line in a first metal line forming region on the first dielectric layer,

a step of growing a second dielectric layer from the exposed first dielectric layer using an LPD method,

a step of forming a first trench defining a first metal line region by removing the first photoresist pattern,

a step of forming a first barrier layer along the profile in which the first trench is formed,

a step of forming a first copper layer on the first barrier layer to fill the first trench,

a step of forming a first metal line formed by isolating the first copper layer by performing a planarization process with a target to which the second dielectric layer is exposed,

a step of forming a second photoresist pattern defining a width of the via contact in a via contact region on the first metal line,

a step of growing a third dielectric layer from the exposed second dielectric layer using an LPD method,

a step of forming a via hole defining a via contact region by removing the second photoresist pattern,

a step of forming a third photoresist pattern defining a width of the second metal line in a second metal line region while filling the via hole,

a step of growing a fourth dielectric layer from the exposed third dielectric layer using an LPD method,

a step of forming a dual damascene structure formed by a first trench defining a second metal line region and the via hole thereunder by removing the third photoresist pattern,

a step of forming a second barrier layer along the profile on which the dual damascene structure is formed,

a step of forming a second copper layer on the second barrier layer to fill the dual damascene structure, and

a step of forming a second metal line formed by isolating the second copper layer by performing a planarization process with a target to which the fourth dielectric layer is exposed.

Claim 11.

The method of forming a metal line of an image sensor according to claim 10,

wherein the first to fourth dielectric layers comprise SiO_2 .

Claim 12.

The method of forming a metal line of an image sensor according to claim 11,

wherein in the step of growing the second dielectric layer, the third dielectric layer, and the fourth dielectric layer, the substrate is deposited in an aqueous solution in which boric acid (H_3BO_3) has been added in a ratio of 25% to 30% to supersaturated hydrofluoric acid (H_2SiF_6) at 25°C to 35°C.

Claim 13.

The method of forming a metal line of an image sensor according to claim 10,

wherein the second dielectric layer, the third dielectric layer, and the fourth dielectric layer are grown to a thickness from 4000Å to 500Å.

Claim 14.

The method of forming a metal line of an image sensor according to claim 10,

wherein in the step of removing the first photoresist pattern and removing the second photoresist pattern, an O₂ plasma device is used that uses a microwave downstream.

Claim 15.

The method of forming a metal line of an image sensor according to claim 14,

wherein in the step of removing the first photoresist pattern and removing the second photoresist pattern, a power of 1500W to 1800W is used, the temperature of the substrate is maintained up to 200°C, and the flow rate of O₂ is set from 200SCCM to 300SCCM.

Claim 16.

The method of forming a metal line of an image sensor according to claim 10,

wherein in the step of removing the second photoresist pattern, a biased O₂ plasma device is used.

Claim 17.

The method of forming a metal line of an image sensor according to claim 16,

wherein in the step of removing the second photoresist pattern, a source power of 1800W to 2000W and a bias power of 300W to 500W are used, the temperature of the substrate is maintained up to 200°C, a pressure from 100 mTorr to 200 mTorr is maintained, and the flow rate of O₂ is set from 200SCCM to 300SCCM.

Claim 18.

The method of forming a metal line of an image sensor according to claim 10,

wherein in the step of forming the first metal line,

the first copper film and the first barrier film are recessed from 500Å to 1000Å into the trench.

Claim 19.

The method of forming a metal line of an image sensor according to claim 18,

further comprising a step of depositing a third barrier film along a profile in which the first copper film and the first barrier film are recessed, and

a step of performing a planarization process with a target to which the second dielectric layer is exposed so that the first metal line is surrounded by the first barrier layer and the third barrier layer.

Claim 20.

The method of forming a metal line of an image sensor according to claim 19,

wherein the first barrier layer is formed to a thickness from 100Å to 500Å, and the third barrier layer is formed to a thickness from 1000Å to 1500Å.

Claim 21.

The method of forming a metal line of an image sensor according to claim 10,

wherein in the step of forming the second metal line, the second copper layer and the second barrier layer are recessed from 500Å to 1000Å into the trench.

Claim 22.

The method of forming a metal line of an image sensor according to claim 21,

further comprising a step of depositing a fourth barrier film along a profile in which the second copper film and the second barrier film are recessed, and

a step of performing a planarization process with a target to which the fourth dielectric layer is exposed so that the second metal line is surrounded by the second barrier layer and the fourth barrier layer.

Claim 23.

The method of forming a metal line of an image sensor according to claim 19,

wherein the second barrier film is formed to a thickness from 100Å to 500Å, and the fourth barrier film is formed to a thickness from 1000Å to 1500Å.

Specification

Detailed Description of the Invention

Object of the Invention

Technical Field of the Invention and Prior Art

The present invention relates to a method of manufacturing an image sensor, and more particularly, to a method of forming a metal line using copper for an image sensor.

An image sensor is a semiconductor device that converts an optical image into an electrical signal. Among them, a charge coupled device (CCD) is a device in which individual metal-oxide-silicon (MOS) capacitors are located very close to each other, and charge carriers are stored and transported in the capacitor.

On the other hand, the CMOS (Complementary MOS; hereafter referred to as CMOS) image sensor is an element that employs a switching method using CMOS technology utilizing a control circuit and a signal processing circuit as peripheral circuits to make MOS transistors as many as the number of pixels and uses this to sequentially detect the output of pixels.

FIG. 1 is a cross-sectional view schematically showing an image sensor according to the prior art.

Referring to FIG. 1, a color filter array (CFA; Color Filter Array, 14) of blue, red, and green forming a unit pixel on the substrate 10 on which the photodiodes 11 and PD are formed is disposed, an over-coating layer (OCL) 15 is formed thereon, and a convex microlens 16 is formed on a region overlapping the color filter array 14.

A plurality of metal lines 13 are formed between the dielectric layer 12, and the metal lines 13 are disposed in a region that does not overlap the photodiode 11 to function as a light blocking layer.

In addition, a plurality of transistors 18 are formed on the substrate 10 adjacent to the photodiode 11; in the case of a unit pixel having a 4Tr structure, this comprises a transfer transistor, a select transistor, a reset transistor, and a drive transistor.

A protective film 17 is formed on the microlens 16 to protect the microlens 16 from scratches.

The unit pixel of the CMOS image sensor shown in FIG. 1 is composed of a transistor 18 and a photodiode 11 for various purposes as described above. A process is conducted in which, first, light is transmitted through the photodiode 11; second, the hole formed in the photodiode 11 is excited for conversion into an electrical signal; and third, these signals are transferred to the image.

Among these three processes, it is most ideal that the first incident light reaches 100% of the photodiode 11. As high image quality is required, the size of the unit pixel is gradually reduced, so that the area ratio of the photodiode 11 per unit pixel is reduced to 30% or less. That is, since only 30% or less of the actual incoming light enters the photodiode 11, a method of focusing more than 90% of the light to the photodiode is used by arranging the microlens 16 on each unit pixel.

On the other hand, since the metal line 13 of several layers is formed on the photodiode 11 and the transistor 18, light entering through the microlens 16 passes through the dielectric layer 12 made of several layers and enters the photodiode 11. At this time, while the upper metal line 13 is different depending on the technology node, since it is formed in three or more layers, as the distance from the microlens 16 to which the light is incident to the photodiode 11 increases, the focus is disturbed, as indicated by the dotted line in FIG. 1, resulting in loss of light.

Most of these phenomena are due to reflection, absorption, scattering, etc., that occur when light passes through a heterogeneous dielectric layer structure.

Accordingly, attempts have been made to reduce the number of metal lines or decrease the thickness of the dielectric layer.

In this regard, compared to Al used as the conventional metal line 13, Cu has advantages of reducing the thickness of the dielectric layer, improving the optical properties and reducing delay time due to planarization characteristics.

That is, when Cu is used as the metal line, the resistance of the metal line can be reduced, so that the thickness of the metal line is reduced, thereby reducing the thickness of the dielectric layer 12. As a result, the distance from the microlens 16 to the photodiode 11 is reduced, so that the efficiency of incident light can be improved.

FIG. 2 is a diagram showing a metal line structure of an image sensor using Cu according to the prior art.

Referring to FIG. 2, metal lines 200 and 209 of M1 and M2 are in contact through a via 207. Each of the metal lines 200, 209 is separated by an oxide-based dielectric layer 203, 205 that separates the layers; the metal lines 200 and 209 and the via 207 are formed using Cu. As is well-known, Cu has the advantage of being able to handle high-density current because it has low resistance and excellent electromigration resistance; however, the metal lines 200 and 209 and the via 207 have conductive barrier layers 201, 206, and 208 around them because they are oxidized by mutual diffusion when in contact with the oxide layer. The conductive barrier layers 201, 206, and 208 are for separation from an oxide layer existing between the same layers.

The Cu metal lines 200 and 209 are mainly formed through a damascene process; etch stop layers 202 and 204 are used to form such a damascene structure.

SiN and SiC are used as the etch stop layers 202 and 204.

Further, the etch stop layers 203 and 205 have a refractive index ($n > 2$) greater than a refractive index ($n = 1.5$) of the oxide-based dielectric layers 203 and 205.

When light passes through materials having different refractive indices, some reflection occurs, and the larger the difference in refractive indices, the greater the amount of reflection.

Since SiN has a refractive index of about 2.1, and SiC has a refractive index of about 2.4, when the insulating barrier film 204 is present between the dielectric layers 203 and 205 using the oxide film series having a refractive index of about 1.5, the amount of light lost due to reflection is further increased in proportion to the number of metal lines.

Meanwhile, the reflectance generated when passing through two materials having different refractive indices is calculated using $(n_i - n_{i+1}) / (n_i + n_{i+1})$.

In addition, Si_3N_4 has a dielectric constant of about 7, and SiC has a dielectric constant of about 4.5. This is a very large number compared to the dielectric layers 203 and 205 using the oxide film series; this increase in permittivity serves to reduce the operating speed of the image sensor.

In addition, there are several methods for forming the damascene structure; in particular, when forming a dual damascene structure, an etching process is required to form via holes and trenches. Since this etching process uses an etching method using plasma, if plasma formation is unstable during etching using plasma, plasma damage may be induced in the device, thereby deteriorating the characteristics of the device. In addition, additional processes such as a photomask, a photoresist strip, and cleaning are required for the etching process.

Problem to be Solved by the Invention

The present invention has been proposed to solve the problems of the prior art; an object of the present invention is to provide a method of forming a metal line using copper of an image sensor that is able to reduce light loss due to an etch stop film used when copper is used as a metal line and prevent the deterioration of device characteristics due to plasma etching.

Structure of the Invention

In order to achieve the above object, the present invention provides a method of forming a metal line of an image sensor comprising the following: a step of forming a first dielectric layer on a substrate on which a predetermined process comprising photodiode formation is completed, a step of forming a photoresist pattern defining a width of the metal line in a metal line formation region on the first dielectric layer, a step of growing a second dielectric layer from the first dielectric layer at a portion exposed by the photoresist pattern through a liquid phase deposition (LPD) method, a step of forming a trench defining a metal

line region by removing the photoresist pattern, a step of forming a first barrier layer along the trench-formed profile, a step of forming a copper layer on the first barrier layer to fill the trench, and a step of forming a metal line buried in the trench by performing a planarization process with a target to which the second dielectric layer is exposed.

In addition, in order to achieve the above object, the present invention provides a method of forming a metal line of an image sensor comprising the following: a step of forming a first dielectric layer on a substrate on which a predetermined process comprising photodiode formation is completed, a step of forming a first photoresist pattern defining a width of the first metal line in a first metal line forming region on the first dielectric layer, a step of growing a second dielectric layer from the exposed first dielectric layer using an LPD method, a step of forming a first trench defining a first metal line region by removing the first photoresist pattern, a step of forming a first barrier layer along the profile in which the first trench is formed, a step of forming a first copper layer on the first barrier layer to fill the first trench, a step of forming a first metal line formed by isolating the first copper layer by performing a planarization process with a target to which the second dielectric layer is exposed, a step of forming a second photoresist pattern defining a width of the via contact in a via contact region on the first metal line, a step of growing a third dielectric layer from the exposed second dielectric layer using an LPD method, a step of forming a via hole defining a via contact region by removing the second photoresist pattern, a step of forming a third photoresist pattern defining a width of the second metal line in a second metal line region while filling the via hole, a step of growing a fourth dielectric layer from the exposed third dielectric layer using an LPD method, a step of forming a dual damascene structure formed by a first trench defining a second metal line region and the via hole thereunder by removing the third photoresist pattern, a step of forming a second barrier layer along the profile on which the dual damascene structure is formed, a step of forming a second copper layer on the second barrier layer to fill the dual damascene structure, and a step of forming a second metal line formed by isolating the second copper layer by performing a planarization process with a target to which the fourth dielectric layer is exposed.

Although Cu is used to lower the thickness of the metal line and the dielectric layer, if an insulating barrier film such as SiN or SiC is used, the advantage of using the Cu metal line for the image sensor is lost due to loss of light due thereto.

Therefore, the present invention uses a method of depositing at room temperature instead of using a plasma method when forming a dielectric layer between metal lines. That is, using a Liquid Phase Deposition (LPD) method, the fluorinated silica glass (FSG) is brought into contact only with the portion of the SiO₂-based dielectric layer exposed between the photoresist patterns, and SiOF is formed by these reactions. In this case, SiOF growth is not performed on the portion covered with the photoresist pattern.

At this time, by removing the photoresist pattern, a damascene structure is formed without a plasma etching process, Cu is deposited on the damascene structure, and a metal line is formed through a chemical mechanical polishing (CMP) process.

Hereinafter, in order to describe in detail enough that a person of ordinary skill in the art pertaining to the present invention can easily implement the technical idea of the present invention, the most preferred embodiment of the present invention will be described in detail with reference to the accompanying drawings.

FIGS. 3a to 3j are cross-sectional views showing a process of forming a metal line using copper of a CMOS image sensor according to an embodiment of the present invention; referring to these, the process of forming a metal line will be described.

As shown in FIG. 3a, a photoresist pattern 301 defining a region in which the first metal line M1 is to be formed is formed on the first dielectric layer 300.

The first dielectric layer 300 is an oxide film series comprising SiO₂ and corresponds to a dielectric layer (Pre-Metal Dielectric; hereinafter referred to as PMD) used in a CMOS image sensor. Accordingly, dielectric layers formed later may correspond to inter-metal dielectric (IMD).

Meanwhile, a photodiode and a transistor formed by a CMOS process may be formed under the first dielectric layer 300 (not shown).

The photoresist forming the photoresist pattern 301 does not require a subsequent etching process, so there is no need to set a material having an etching barrier property; a material having a small molecular weight is used to minimize edge roughness of the photoresist pattern 301.

It is preferable to use a rotation coating method when applying the photoresist; it is set to have a thickness of 5000Å to 6000Å or more than the dielectric layer for isolating the first metal line.

Next, a second dielectric layer 302 is grown from the first dielectric layer 300 using a selective LPD method. In this case, the second dielectric layer 302 is formed to be 500Å to 1000Å thicker than the first metal line in consideration of the amount lost during the subsequent CMP process. Considering this situation, the thickness of the second dielectric layer 302 is preferably about 4000Å to 5000Å.

Hereinafter, a process using the selective LPD method will be described in more detail.

The substrate (not shown) on which the photoresist pattern 301 is formed is immersed in an aqueous solution containing boric acid (H_3BO_3) in an aqueous solution of supersaturated hydrofluosilicic acid (H_2SiF_6) at 25°C to 35°C. As a result, in the region where the photoresist pattern 301 remains, that is, in the region where the first metal line is formed, the SiO_2 -based dielectric layer is not formed, and on the first dielectric layer 300 on which the photoresist pattern 301 does not remain, a SiO_2 based second dielectric layer 302 is grown.

The formation mechanism of SiO_2 by the LPD method is as follows.



Accordingly, SiO_2 is formed in an aqueous solution of hydrofluosilicic acid (H_2SiF_6), and HF that etches SiO_2 and residue is generated. In order to decompose the generated HF, boric acid (H_3BO_3) is added in an amount of 20% to 30% of the total aqueous solution. At this time, the selectivity and deposition rate of the photoresist are increased by the following reaction.



As shown in FIG. 3b, the photoresist pattern 301 is removed using an O_2 plasma apparatus using a microwave downstream.

The strip conditions at this time are as follows.

The power is 1500W ~ 1800W, the temperature of the wafer is maintained up to about 200°C in order to increase the reactivity of oxygen radicals decomposed by plasma, and the O_2 gas flow rate is conducted at from 200SCCM to 300SCCM.

As the photoresist pattern 301 is removed, the region where the first metal line is to be formed forms the open portion 303 of the trench structure, thereby forming a damascene structure without an etching process.

A first barrier layer 304 is deposited along the profile in which the open portion 303 is formed. The first barrier film 304 comprises Ti, TiN, Ta, TaN, or the like. When the first barrier layer 304 is deposited, a Physical Vapor Deposition (hereinafter referred to as PVD) method is used, and the thickness of the first barrier layer 304 is about 100Å to 500Å.

In addition to the PVD method, a chemical vapor deposition (CVD) method may be used.

Next, a copper layer 305 is formed on the first barrier layer 304 to sufficiently fill the open portion 303.

The copper layer 305 is preferably formed using an electroplating method, and other deposition methods may be used.

As shown in FIG. 3c, a CMP process is performed for planarization. At this time, over-polishing is performed so that the copper film 305 and the first barrier film 304 filled in the open part 303 are recessed. Accordingly, the first metal line 305' recessed in the open portion 303 is formed. The recess depth is set to be 500Å to 1000Å.

A second barrier layer 306 is formed along the profile in which the recessed first metal line 305' is formed. The second barrier film 306 is used to prevent the diffusion of copper, and is made of Ti, TiN, Ta or TaN. The second barrier layer 306 is preferably formed to a thickness of 1000Å to 1500Å. Accordingly, when the first metal line 305' is recessed, the recessed portion is filled.

As shown in FIG. 3d, a CMP process is performed so that the second barrier film 306 is filled in the target where the second dielectric layer 302 is exposed, that is, the recessed portion.

Accordingly, the first metal line 305' made of copper is surrounded by the first barrier film 304 and the second barrier film 306.

As shown in FIG. 3e, a photoresist pattern 307 defining a via contact region is formed on the second barrier layer 306.

The photoresist pattern 307 uses the same material as the photoresist in FIG. 3a.

When applying the photoresist, it is preferable to use a rotation coating method; the thickness of the photoresist is 5000Å to 6000Å or more than the dielectric layer for isolating the via contact.

Next, a third dielectric layer 308 is grown from the second dielectric layer 302 using the selective LPD method as shown in FIG. 3a. In this case, it is preferable to form the third dielectric layer 308 to a thickness of about 4000 Å to 5000Å.

As shown in FIG. 3f, a via hole 309 is formed by removing the photoresist pattern 307 using a biased O₂ plasma apparatus. At this time, by increasing the sputtering effect by the bias power, the cross-sectional shape (facet) cut like 'X' is formed at the upper end of the via hole 309. This is to lower the via contact resistance by increasing the step coverage in the photoresist pattern forming process for subsequent formation of the trench-type open part and the variability film deposition process performed after the dual damascene process.

The strip conditions at this time are as follows.

The pressure is 100mTorr ~ 200mTorr, the source power is 1800W ~ 2000W, the bias power is 300W ~ 500W, and the flow rate of the O₂ gas is conducted from 200 SCCM to 300 SCCM.

As the photoresist pattern 307 is removed, a region in which a via contact is to be formed forms a via hole 309. As such, the etching process is not performed even when the via hole 309 is formed.

As shown in FIG. 3g, a photoresist pattern 310 defining a trench region for a second metal line is formed over the via hole 309 while filling the via hole 309.

The photoresist pattern 310 uses the same material as the photoresist in FIGS. 3a and 3e.

When applying the photoresist, it is preferable to use a rotation coating method; the thickness of the photoresist is 7000Å to 8000Å or more than the thickness of the second metal line.

Then, alkali treatment is performed so that the portion defining the region of the trench has a vertical profile.

Next, a fourth dielectric layer 311 is grown from the third dielectric layer 308 using the selective LPD method as in FIGS. 3a and 3f. In this case, the fourth dielectric layer 311 is preferably formed to have a thickness of about 4000Å to about 5000Å.

As shown in FIG. 3h, the photoresist pattern 310 is removed using an O₂ plasma device utilizing a microwave downstream.

As a result of removing the photoresist pattern 310, a dual damascene structure is formed for simultaneously exposing a via hole for a mia [sic] contact and a trench for the first metal line.

The strip conditions at this time are as follows.

The power is 1500W ~ 1800W, and the temperature of the wafer is maintained up to about 200°C in order to increase the reactivity of oxygen radicals decomposed by plasma; the flow rate of the O₂ gas is conducted from 200 SCCM to 300 SCCM.

As the photoresist pattern 310 is removed, the region where the second metal line and the via contact are to be formed forms a dual damascene structure of a trench and a via hole, thereby forming a dual damascene structure without an etching process.

A third barrier layer 312 is deposited along the profile in which the dual damascene structure is formed. The third barrier layer 312 comprises Ti, TiN, Ta or TaN. When depositing the third barrier layer 312, a PVD method is used; the thickness of the third barrier layer 312 is about 100Å to 500Å.

In addition to the PVD method, a CVD method may be used.

Next, a copper layer 313 is formed on the third barrier layer 312 to sufficiently fill the dual damascene structure.

The copper layer 305 is preferably formed using an electroplating method, and other deposition methods may be used.

As shown in Figure 3i, a CMP process is performed for planarization. At this time, excessive polishing is performed so that the copper layer 313 and the third barrier layer 312 filled in the upper trench are recessed. Accordingly, a recessed second metal line and via contact 313' are formed in the dual damascene structure. The recess depth is set at 500Å to 1000Å.

A fourth barrier layer 314 is formed along the profile in which the recessed second metal line 313' is formed. The fourth barrier layer 314 serves to prevent the diffusion of copper, and uses Ti, TiN, Ta or TaN. The fourth barrier layer 314 is preferably formed to a thickness of 1000Å to 1500Å. Accordingly, when the second metal line 313' is recessed, the recessed portion is filled.

As shown in FIG. 3j, a CMP process is performed so that the fourth barrier layer 314 is filled in the target where the fourth dielectric layer 311 is exposed, that is, the recessed portion.

Accordingly, the second metal line and the via contact 313' made of copper are surrounded by the second barrier layer 312 and the fourth barrier layer 314 around them.

Here, M1 denotes a first metal line, M2 denotes a second metal line, and V denotes a via contact.

By implementing the metal line of the image sensor using copper, the present invention constituted as described above has been found through an embodiment to be capable of lowering the thickness of the metal line and the dielectric layer to increase the light efficiency, and of concurrently forming a metal line using the LPD method without an etch stop film that is utilized when implementing a metal line using conventional copper, so that when light is focused from the microlens to the photodiode, the loss of photons can be minimized to improve the optical characteristics of the image sensor.

Although the technical idea of the present invention has been specifically described according to the above preferred embodiment, it should be noted that the above-described embodiment is for the purpose of explanation and not for limitation thereof. In addition, those skilled in the art will understand that various embodiments are possible within the scope of the technical spirit of the present invention.

Effects of the Invention

The present invention as described above has the following effects.

- 1) By forming a dielectric layer using the same insulating material (SiO₂ using LPD) without the need for SiN and SiC, which are etch stop layers and copper diffusion barrier layers, the optical characteristics of the image sensor can be improved.
- 2) Since the dielectric layer deposition process or an etching process using plasma can be reduced, plasma damage can be reduced to improve the device characteristics.

3) By selectively depositing a dielectric layer to form a metal line, there is no need to form an etch stop film used in the conventional dual damascene process, so that the speed of the element may be improved by simplifying the process and reducing inter capacitance.

4) By using O₂ plasma to which a bias is applied, intentional chipping at the side of the via contact due to the sputtering effect is induced to increase the step coverage during subsequent barrier film deposition, thereby increasing element reliability.

Brief Description of the Drawings

FIG. 1 is a cross-sectional view schematically showing an image sensor according to the prior art.

FIG. 2 is a view showing a metal line structure of an image sensor using Cu according to the prior art.

FIGS. 3a to 3j are cross-sectional views showing a metal line forming process using copper of a CMOS image sensor according to an embodiment of the present invention.

Description of Reference Numerals for Main Parts of the Drawings

300: First dielectric layer 301: Photoresist pattern

302: Second dielectric layer

Drawings

FIG. 1

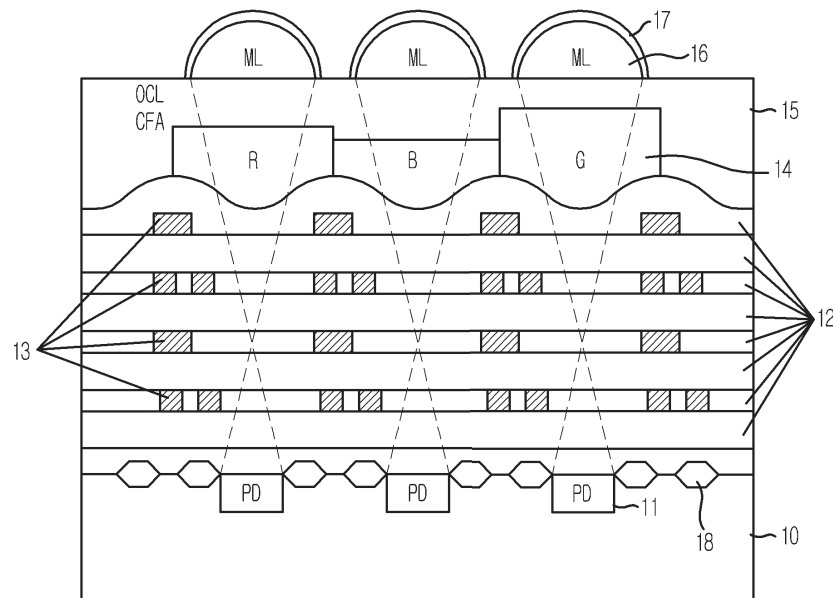


FIG. 2

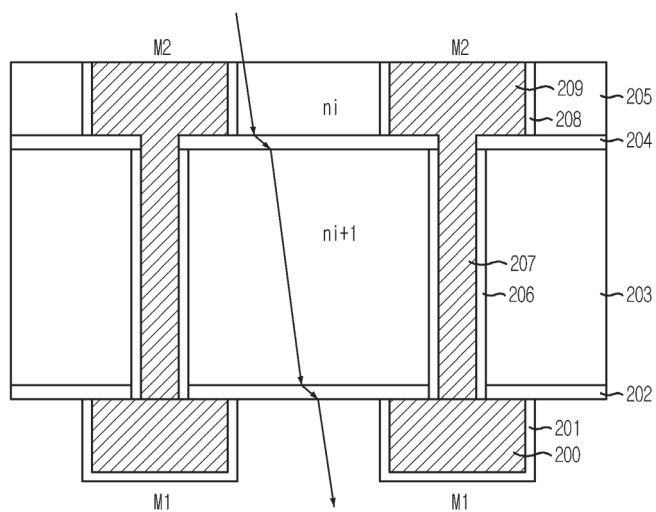


FIG. 3a

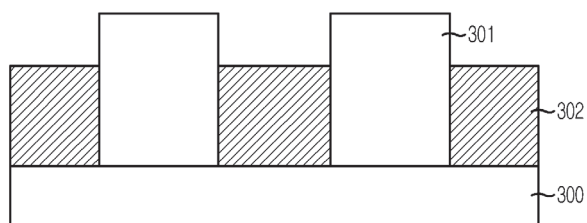


FIG. 3b

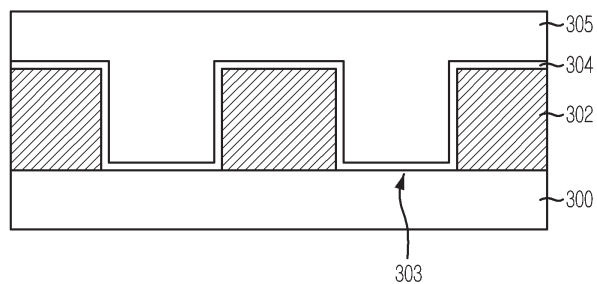


FIG. 3c

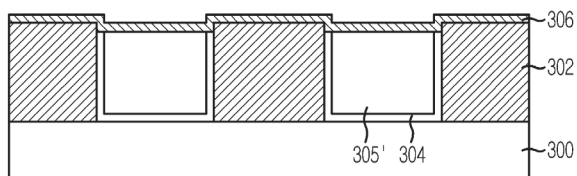


FIG. 3d

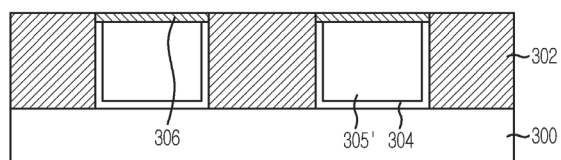


FIG. 3e

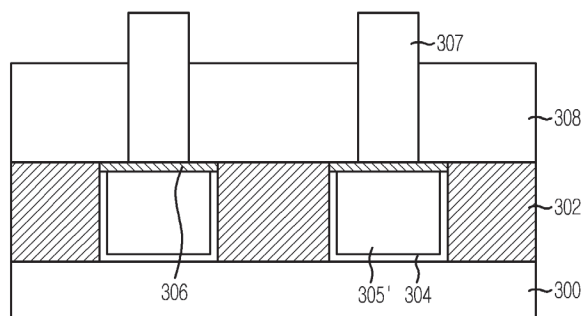


FIG. 3f

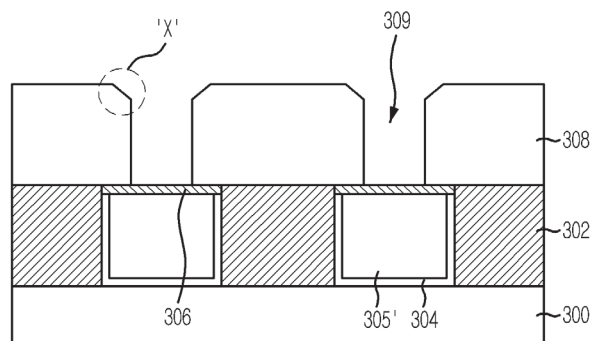


FIG. 3g

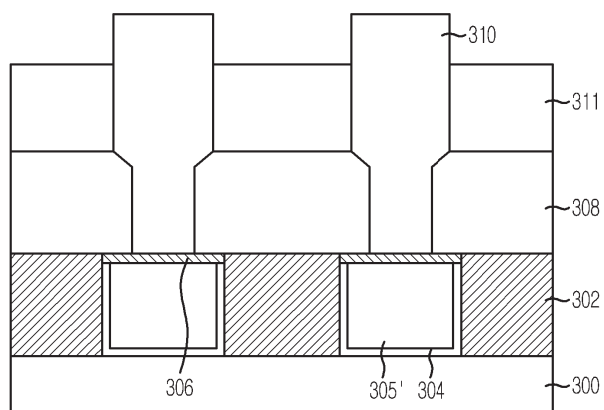


FIG. 3h

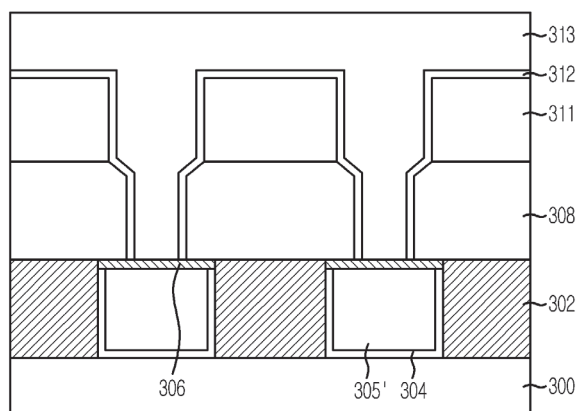


FIG. 3i

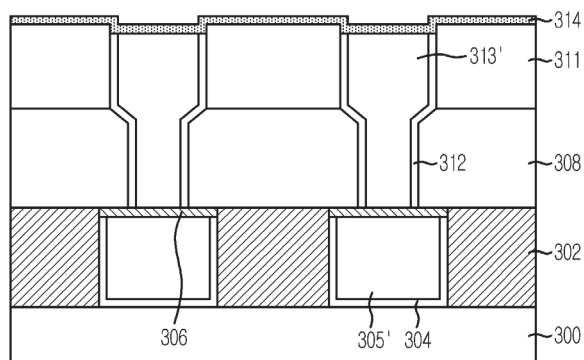
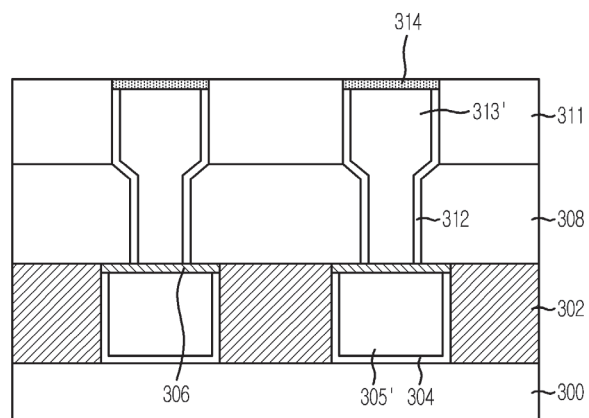


FIG. 3j





(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 27/146 (2006.01)

H01L 21/28 (2006.01)

H01L 21/3205 (2006.01)

H01L 31/10 (2006.01)

(45) 공고일자

2007년01월03일

(11) 등록번호

10-0664864

(24) 등록일자

2006년12월27일

(21) 출원번호 10-2004-0115901

(22) 출원일자 2004년12월30일

심사청구일자 2004년12월30일

(65) 공개번호

10-2006-0077108

(43) 공개일자

2006년07월05일

(73) 특허권자

매그나칩 반도체 유한회사
충북 청주시 흥덕구 향정동 1

(72) 발명자

윤준호
대전 서구 둔산2동 수정타운아파트 13동 603호

(74) 대리인

특허법인 신성

심사관 : 최봉묵

전체 청구항 수 : 총 23 항

(54) 이미지센서의 메탈라인 형성 방법

(57) 요약

본 발명은 구리를 메탈라인으로 이용할 경우 사용되는 식각정지막으로 인한 광 손실을 줄이며, 플라즈마 식각에 의한 소자의 특성 열화를 방지할 수 있는 이미지센서의 구리를 이용한 메탈라인 형성 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 포토다이오드 형성을 포함한 소정의 공정이 완료된 기판 상에 제1절연막을 형성하는 단계; 상기 제1절연막 상에 메탈라인 형성 영역에서 상기 메탈라인의 폭을 정의하는 포토레지스트 패턴을 형성하는 단계; LPD(Liquid Phase Deposition) 방식을 통해 상기 포토레지스트 패턴에 의해 노출된 부분의 상기 제1절연막으로부터 제2절연막을 성장시키는 단계; 상기 포토레지스트 패턴을 제거하여 메탈라인 영역을 정의하는 트렌치를 형성하는 단계; 상기 트렌치가 형성된 프로파일을 따라 제1배리어막을 형성하는 단계; 상기 제1배리어막 상에 상기 트렌치를 매립하도록 구리막을 형성하는 단계; 및 상기 제2절연막이 노출되는 타겟으로 평탄화 공정을 실시하여 상기 트렌치 내에 매립된 메탈라인을 형성하는 단계를 포함하는 이미지센서의 메탈라인 형성 방법을 제공한다.

대표도

도 3a

특허청구의 범위

청구항 1.

포토다이오드 형성을 포함한 소정의 공정이 완료된 기판 상에 제1절연막을 형성하는 단계;

상기 제1절연막 상에 메탈라인 형성 영역에서 상기 메탈라인의 폭을 정의하는 포토레지스트 패턴을 형성하는 단계;

LPD(Liquid Phase Deposition) 방식을 통해 상기 포토레지스트 패턴에 의해 노출된 부분의 상기 제1절연막으로부터 제2절연막을 성장시키는 단계;

상기 포토레지스트 패턴을 제거하여 메탈라인 영역을 정의하는 트렌치를 형성하는 단계;

상기 트렌치가 형성된 프로파일을 따라 제1배리어막을 형성하는 단계;

상기 제1배리어막 상에 상기 트렌치를 매립하도록 구리막을 형성하는 단계; 및

상기 제2절연막이 노출되는 타겟으로 평탄화 공정을 실시하여 상기 트렌치 내에 매립된 메탈라인을 형성하는 단계를 포함하는 이미지센서의 메탈라인 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 제1 및 제2절연막은 SiO_2 를 포함하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 3.

제 2 항에 있어서,

상기 제2절연막을 성장시키는 단계에서,

25℃ 내지 35℃의 과포화된 하이드로 플로 실리산(H_2SiF_6)에 25% 내지 30%의 비율로 보릭 산(H_3BO_3)을 첨가한 수용액에 상기 기판을 침적하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 4.

제 1 항에 있어서,

상기 제2절연막을 4000Å 내지 500Å의 두께로 성장시키는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 5.

제 1 항에 있어서,

상기 포토레지스트 패턴을 제거하는 단계에서,

마이크로 웨이브 다운 스트림을 이용한 O_2 플라즈마 장치를 이용하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 6.

제 5 항에 있어서,

상기 포토레지스트 패턴을 제거하는 단계에서, 1500W 내지 1800W의 파워를 사용하고, 상기 기판의 온도를 200℃ 까지 유지하며, O₂의 플로우 레이트를 200SCCM 내지 300SCCM으로 하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 7.

제 1 항에 있어서,

상기 메탈라인을 형성하는 단계에서,

상기 구리막 및 상기 제1배리어막을 상기 트렌치 내부로 500Å 내지 1000Å 리세스시키는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 8.

제 7 항에 있어서,

상기 구리막 및 상기 제1배리어막이 리세스된 프로파일을 따라 제2배리어막을 증착하는 단계와,

상기 제2절연막이 노출되는 타겟으로 평탄화 공정을 실시하여 상기 메탈라인이 상기 제1배리어막 및 상기 제2배리어막에 의해 둘러싸이도록 하는 단계를 더 포함하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 9.

제 8 항에 있어서,

상기 제1배리어막을 100Å 내지 500Å의 두께로 형성하고, 상기 제2배리어막을 1000Å 내지 1500Å의 두께로 형성하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 10.

포토다이오드 형성을 포함한 소정의 공정이 완료된 기판 상에 제1절연막을 형성하는 단계;

상기 제1절연막 상에 제1메탈라인 형성 영역에서 상기 제1메탈라인의 폭을 정의하는 제1포토레지스트 패턴을 형성하는 단계;

LPD 방식을 이용하여 노출된 상기 제1절연막으로부터 제2절연막을 성장시키는 단계;

상기 제1포토레지스트 패턴을 제거하여 제1메탈라인 영역을 정의하는 제1트렌치를 형성하는 단계;

상기 제1트렌치가 형성된 프로파일을 따라 제1배리어막을 형성하는 단계;

상기 제1배리어막 상에 상기 제1트렌치를 매립하도록 제1구리막을 형성하는 단계;

상기 제2절연막이 노출되는 타겟으로 평탄화 공정을 실시하여 상기 제1구리막이 아이솔레이션되어 이루는 제1메탈라인을 형성하는 단계;

상기 제1메탈라인 상에 비아 콘택 영역에서 상기 비아 콘택의 폭을 정의하는 제2포토레지스트 패턴을 형성하는 단계;

LPD 방식을 이용하여 노출된 상기 제2절연막으로부터 제3절연막을 성장시키는 단계;

상기 제2포토레지스트 패턴을 제거하여 비아 콘택 영역을 정의하는 비아 홀을 형성하는 단계;

상기 비아 홀을 매립하면서 제2메탈라인 영역에서 상기 제2메탈라인의 폭을 정의하는 제3포토레지스트 패턴을 형성하는 단계;

LPD 방식을 이용하여 노출된 상기 제3절연막으로부터 제4절연막을 성장시키는 단계;

상기 제3포토레지스트 패턴을 제거하여 제2메탈라인 영역을 정의하는 제1트렌치와 그 하부의 상기 비아 홀이 이루는 듀얼 다마신 구조를 형성하는 단계;

상기 듀얼 다마신 구조가 형성된 프로파일을 따라 제2배리어막을 형성하는 단계;

상기 제2배리어막 상에 상기 듀얼 다마신 구조를 매립하도록 제2구리막을 형성하는 단계; 및

상기 제4절연막이 노출되는 타겟으로 평탄화 공정을 실시하여 상기 제2구리막이 아이솔레이션되어 이루는 제2메탈라인을 형성하는 단계

를 포함하는 이미지센서의 메탈라인 형성 방법.

청구항 11.

제 10 항에 있어서,

상기 제1절연막 내지 제4절연막은 SiO_2 를 포함하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 12.

제 11 항에 있어서,

상기 제2절연막과 상기 제3절연막 및 상기 제4절연막을 성장시키는 단계에서,

25℃ 내지 35℃의 과포화된 하이드로 플로 실산(H_2SiF_6)에 25% 내지 30%의 비율로 보릭 산(H_3BO_3)을 첨가한 수용액에 상기 기판을 침적하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 13.

제 10 항에 있어서,

상기 제2절연막과 상기 제3절연막 및 상기 제4절연막을 4000Å 내지 500Å의 두께로 성장시키는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 14.

제 10 항에 있어서,

상기 제1포토레지스트 패턴을 제거하는 단계 및 상기 제2포토레지스트 패턴을 제거하는 단계에서,

마이크로 웨이브 다운 스트림을 이용한 O₂ 플라즈마 장치를 이용하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 15.

제 14 항에 있어서,

상기 제1포토레지스트 패턴을 제거하는 단계 및 상기 제2포토레지스트 패턴을 제거하는 단계에서,

1500W 내지 1800W의 파워를 사용하고, 상기 기판의 온도를 200℃ 까지 유지하며, O₂의 플로우 레이트를 200SCCM 내지 300SCCM으로 하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 16.

제 10 항에 있어서,

상기 제2포토레지스트 패턴을 제거하는 단계에서,

바이어스가 인가된 O₂ 플라즈마 장치를 이용하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 17.

제 16 항에 있어서,

상기 제2포토레지스트 패턴을 제거하는 단계에서,

1800W 내지 2000W의 소스 파워와 300W 내지 500W의 바이어스 파워를 사용하고, 상기 기판의 온도를 200℃ 까지 유지하고, 100mTorr 내지 200mTorr의 압력을 유지하며, O₂의 플로우 레이트를 200SCCM 내지 300SCCM으로 하는 것을 특징으로 하는 이미지센서의 메탈라인 형성 방법.

청구항 18.

제 10 항에 있어서,

상기 제1메탈라인을 형성하는 단계에서,

상기 제1구리막 및 상기 제1배리어막을 상기 트렌치 내부로 500Å 내지 1000Å 리세스시키는 것을 특징으로 하는 이미지 센서의 메탈라인 형성 방법.

청구항 19.

제 18 항에 있어서,

상기 제1구리막 및 상기 제1배리어막이 리세스된 프로파일을 따라 제3배리어막을 증착하는 단계와,

상기 제2절연막이 노출되는 타겟으로 평탄화 공정을 실시하여 상기 제1메탈라인이 상기 제1배리어막 및 상기 제3배리어막에 의해 둘러싸이도록 하는 단계를 더 포함하는 것을 특징으로 하는 이미지 센서의 메탈라인 형성 방법.

청구항 20.

제 19 항에 있어서,

상기 제1배리어막을 100Å 내지 500Å의 두께로 형성하고, 상기 제3배리어막을 1000Å 내지 1500Å의 두께로 형성하는 것을 특징으로 하는 이미지 센서의 메탈라인 형성 방법.

청구항 21.

제 10 항에 있어서,

상기 제2메탈라인을 형성하는 단계에서,

상기 제2구리막 및 상기 제2배리어막을 상기 트렌치 내부로 500Å 내지 1000Å 리세스시키는 것을 특징으로 하는 이미지 센서의 메탈라인 형성 방법.

청구항 22.

제 21 항에 있어서,

상기 제2구리막 및 상기 제2배리어막이 리세스된 프로파일을 따라 제4배리어막을 증착하는 단계와,

상기 제4절연막이 노출되는 타겟으로 평탄화 공정을 실시하여 상기 제2메탈라인이 상기 제2배리어막 및 상기 제4배리어막에 의해 둘러싸이도록 하는 단계를 더 포함하는 것을 특징으로 하는 이미지 센서의 메탈라인 형성 방법.

청구항 23.

제 19 항에 있어서,

상기 제2배리어막을 100Å 내지 500Å의 두께로 형성하고, 상기 제4배리어막을 1000Å 내지 1500Å의 두께로 형성하는 것을 특징으로 하는 이미지 센서의 메탈라인 형성 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이미지센서 제조 방법에 관한 것으로 특히, 이미지센서의 구리를 이용한 메탈라인 형성 방법에 관한 것이다.

이미지센서는 광학 영상(Optical image)을 전기 신호로 변환시키는 반도체 소자이다. 이 중에서 전하결합소자(CCD : Charge Coupled Device)는 개개의 MOS(Metal-Oxide-Silicon) 캐패시터가 서로 매우 근접한 위치에 있으면서, 전하 캐리어가 캐패시터에 저장되고 이동되는 소자이다.

반면, CMOS(Complementary MOS; 이하 CMOS) 이미지센서는 제어회로(Control circuit) 및 신호처리회로(Signal processing circuit)를 주변회로로 사용하는 CMOS 기술을 이용하여 화소 수 만큼 MOS 트랜지스터를 만들고 이것을 이용하여 차례차례 화소의 출력(Output)을 검출하는 스위칭 방식을 채용하는 소자이다.

도 1은 종래기술에 따른 이미지센서를 개략적으로 도시한 단면도이다.

도 1을 참조하면, 포토다이오드(11, PD)가 형성된 기판(10) 상부에 단위 화소(Pixel)를 이루는 청색(Blue), 적색(Red), 녹색(Green) 등의 칼라필터 어레이(CFA; Color Filter Array, 14)가 배치되어 있으며, 그 상부에 오버코팅 레이어(OCL; Over-Coating Layer, 15)가 형성되어 있고, 칼라필터 어레이(14)와 오버랩되는 영역의 상부에 볼록 형상의 마이크로렌즈(Microlens, 16)가 형성되어 있다.

절연막(12) 사이에는 복수의 메탈라인(13)이 형성되어 있으며, 메탈라인(13)은 광차단막의 역할을 하도록 포토다이오드(11)와 오버랩되지 않는 영역에 배치된다.

또한, 포토다이오드(11)에 인접한 기판(10) 상에는 복수의 트랜지스터(18)가 형성되어 있는 바, 이는 4Tr 구조의 단위 화소의 경우 트랜스퍼 트랜지스터, 셀렉트 트랜지스터, 리셋 트랜지스터, 드라이브 트랜지스터를 포함한다.

마이크로렌즈(16) 상에는 스크래치(Scratch) 등으로부터 마이크로렌즈(16)를 보호하기 위해 보호막(17)이 형성되어 있다.

도 1에 도시된 CMOS 이미지센서의 단위화소는 전술한 바와 같이 다양한 용도의 트랜지스터(18)와 1개의 포토다이오드(11)로 이루어져 있다. 1차적으로 빛이 포토다이오드(11)에 투과되어 2차로 포토다이오드(11)에 형성된 정공(Hole)을 여기시켜 전기적인 신호로 변화되며, 3차로 이러한 신호를 이미지로 전달시키는 과정을 거친다.

이러한 3가지의 과정 중에서 1차로 입사된 빛이 포토다이오드(11) 까지 100% 도달하는 것이 가장 이상적이다. 고화질이 요구됨에 따라 단위 화소의 사이즈는 점점 줄어들어 단위 화소당 포토다이오드(11)가 차지하는 면적 비율이 30% 이하로 줄어들게 된다. 즉, 실제 들어오는 빛의 30% 이하의 빛 만이 포토다이오드(11)로 들어오기 때문에 각 단위 화소 위에 마이크로렌즈(16)를 배치시킴으로써 90% 이상의 빛을 포토다이오드로 집속시키는 방법을 이용하고 있다.

한편, 포토다이오드(11)와 트랜지스터(18) 위에는 여러 층의 메탈라인(13)이 형성되어 있으므로 마이크로렌즈(16)를 통해 들어오는 빛은 여러 층으로 이루어진 절연막(12)을 통과하여 포토다이오드(11)로 들어오게 된다. 이 때, 상부의 메탈라인(13)은 테크놀로지 노드(Technology node)에 따라 다르겠지만, 3층 이상으로 형성되기 때문에 빛이 입사되는 마이크로렌즈(16)로부터 포토다이오드(11) 까지의 거리가 증가함으로 인해 도 1에서 점선으로 표시된 것과 같이 초점이 흐트러지게 되어 빛의 손실이 발생한다.

이러한 현상은 빛이 이중 절연막 구조를 통과할 때 발생하는 반사(Reflection), 흡수(Absorption), 산란(Scattering) 등에 의한 것이 대부분이다.

따라서, 메탈라인의 수를 줄이거나 절연막의 두께를 낮출려는 시도도 진행되어 왔다.

이러한 점에서, 기존의 메탈라인(13)으로 사용되던 Al에 비해 Cu는 절연막의 두께 감소와 평탄화 특성에 의한 광 특성 개선 및 지연 시간의 감소라는 장점을 가지고 있다.

즉, Cu를 메탈라인으로 사용하면 메탈라인의 저항을 줄일 수 있기 때문에 메탈라인의 두께를 낮추게 되며, 이로 인해 절연막(12)의 두께를 낮춘다. 이로 인해 마이크로렌즈(16)로부터 포토다이오드(11)까지의 거리가 줄어들게 되어 입사된 빛의 효율을 향상시킬 수 있다.

도 2는 종래기술에 따라 Cu를 이용한 이미지센서의 메탈라인 구조를 도시한 도면이다.

도 2를 참조하면, M1과 M2의 메탈라인(200, 209)이 비아(207)를 통해 콘택되어 있다. 각 메탈라인(200, 209)은 층간을 분리하는 산화막 계열의 절연막(203, 205)에 분리되어 있으며, 메탈라인(200, 209)과 비아(207)는 Cu를 이용하여 형성되어 있다. Cu의 경우 주어진 바와 같이 낮은 저항과 우수한 전자이동(Electromigration) 저항 특성을 가지고 있기 때문에 고밀도의 전류를 감당할 수 있는 장점이 있으나, 산화막 계열과 접촉될 경우 상호 확산에 의해 산화되는 특징이 있으므로 메탈라인(200, 209)과 비아(207)는 그 주변에 전도성 배리어막(201, 206, 208)을 갖는다. 이러한 전도성 배리어막(201, 206, 208)은 동일층 간에 존재하는 산화막과의 분리를 위한 것이다.

Cu 메탈라인(200, 209)은 주로 다마신(Damascene) 공정을 통해 이루어지며, 이러한 다마신 구조를 형성하기 위해서는 식각정지막(202, 204)이 사용된다.

이러한, 식각정지막(202, 204)으로는 SiN과 SiC가 사용된다.

한편, 이러한 식각정지막(203, 205)은 산화막 계열의 절연막(203, 205)이 갖는 굴절율($n=1.5$) 보다 큰 굴절율($n>2$)을 갖는다.

빛이 서로 굴절율을 갖는 물질을 통과할 경우 일부 반사가 일어나며, 굴절율 차이가 클수록 반사되는 양은 더욱 커진다.

SiN의 경우 약 2.1의 굴절율을 가지며, SiC의 경우 약 2.4의 굴절율을 가지므로 약 1.5의 굴절율을 갖는 산화막 계열을 사용하는 절연막(203, 205) 사이에 이러한 굴절율을 절연성 배리어막(204)이 존재할 경우 메탈라인 수에 비례하여 반사로 인해 손실되는 빛의 양은 더욱 증가하게 된다.

한편, 두개의 서로 다른 굴절율을 갖는 물질을 통과할 때 발생하는 반사율(Reflectance)은 $(n_1 - n_2)^2 / (n_1 + n_2)^2$ 을 이용하여 계산된다.

아울러, Si₃N₄의 경우 약 7정도의 유전율을 가지며, SiC의 경우 약 4.5 정도의 유전율을 가진다. 이는 산화막 계열을 사용하는 절연막(203, 205)에 비해 매우 큰 수치이며, 이러한 유전율의 증가는 이미지센서의 동작 속도를 감소시키는 역할을 한다.

아울러, 다마신 구조를 형성하는 방법은 여러 가지가 있으며, 특히 듀얼 다마신(Dual Damascene) 구조를 형성할 때에는 비아 홀(Via hole)과 트렌치(Trench)를 형성하기 위해 식각 공정이 필요하다. 이러한 식각 공정은 플라즈마를 이용한 식각 방식을 이용하므로, 플라즈마를 이용한 식각시 플라스마 형성이 불안정할 경우 소자에 플라스마 데미지(Plasma damage)를 유발하게 되어 소자의 특성을 열화시킬 수 있다. 또한 식각 공정을 위해서는 포토 마스크, 포토레지스트 스트립 및 세정 등의 추가 공정이 필요하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 구리를 메탈라인으로 이용할 경우 사용되는 식각정지막으로 인한 광 손실을 줄이며, 플라즈마 식각에 의한 소자의 특성 열화를 방지할 수 있는 이미지센서의 구리를 이용한 메탈라인 형성 방법을 제공하는 것을 그 목적으로 한다.

발명의 구성

상기의 목적을 달성하기 위해 본 발명은, 포토다이오드 형성을 포함한 소정의 공정이 완료된 기판 상에 제1절연막을 형성하는 단계; 상기 제1절연막 상에 메탈라인 형성 영역에서 상기 메탈라인의 폭을 정의하는 포토레지스트 패터를 형성하는 단계; LPD(Liquid Phase Deposition) 방식을 통해 상기 포토레지스트 패터에 의해 노출된 부분의 상기 제1절연막으로부터 제2절연막을 성장시키는 단계; 상기 포토레지스트 패터를 제거하여 메탈라인 영역을 정의하는 트렌치를 형성하는 단

제; 상기 트렌치가 형성된 프로파일을 따라 제1배리어막을 형성하는 단계; 상기 제1배리어막 상에 상기 트렌치를 매립하도록 구리막을 형성하는 단계; 및 상기 제2절연막이 노출되는 타겟으로 평탄화 공정을 실시하여 상기 트렌치 내에 매립된 메탈라인을 형성하는 단계를 포함하는 이미지센서의 메탈라인 형성 방법을 제공한다.

또한, 상기의 목적을 달성하기 위해 본 발명은, 포토다이오드 형성을 포함한 소정의 공정이 완료된 기판 상에 제1절연막을 형성하는 단계; 상기 제1절연막 상에 제1메탈라인 형성 영역에서 상기 제1메탈라인의 폭을 정의하는 제1포토리스트 패턴을 형성하는 단계; LPD 방식을 이용하여 노출된 상기 제1절연막으로부터 제2절연막을 성장시키는 단계; 상기 제1포토리스트 패턴을 제거하여 제1메탈라인 영역을 정의하는 제1트렌치를 형성하는 단계; 상기 제1트렌치가 형성된 프로파일을 따라 제1배리어막을 형성하는 단계; 상기 제1배리어막 상에 상기 제1트렌치를 매립하도록 제1구리막을 형성하는 단계; 상기 제2절연막이 노출되는 타겟으로 평탄화 공정을 실시하여 상기 제1구리막이 아이솔레이션되어 이루는 제1메탈라인을 형성하는 단계; 상기 제1메탈라인 상에 비아 콘택 영역에서 상기 비아 콘택의 폭을 정의하는 제2포토리스트 패턴을 형성하는 단계; LPD 방식을 이용하여 노출된 상기 제2절연막으로부터 제3절연막을 성장시키는 단계; 상기 제2포토리스트 패턴을 제거하여 비아 콘택 영역을 정의하는 비아 홀을 형성하는 단계; 상기 비아 홀을 매립하면서 제2메탈라인 영역에서 상기 제2메탈라인의 폭을 정의하는 제3포토리스트 패턴을 형성하는 단계; LPD 방식을 이용하여 노출된 상기 제3절연막으로부터 제4절연막을 성장시키는 단계; 상기 제3포토리스트 패턴을 제거하여 제2메탈라인 영역을 정의하는 제1트렌치와 그 하부의 상기 비아 홀이 이루는 듀얼 다마신 구조를 형성하는 단계; 상기 듀얼 다마신 구조가 형성된 프로파일을 따라 제2배리어막을 형성하는 단계; 상기 제2배리어막 상에 상기 듀얼 다마신 구조를 매립하도록 제2구리막을 형성하는 단계; 및 상기 제4절연막이 노출되는 타겟으로 평탄화 공정을 실시하여 상기 제2구리막이 아이솔레이션되어 이루는 제2메탈라인을 형성하는 단계를 포함하는 이미지센서의 메탈라인 형성 방법을 제공한다.

Cu를 사용하여 메탈라인 및 절연막의 두께를 낮출 수 있지만 SiN 또는 SiC와 같은 절연성 배리어막 사용한다면 이로 인한 빛의 손실로 인하여 이미지센서에 Cu 메탈라인을 사용하는 장점이 없어지게 된다.

따라서, 본 발명은 메탈라인 사이의 절연막 형성시 플라즈마 방식을 이용하지 않고 상온에서 침적하는 방식을 이용한다. 즉, 선택적인(Selective) LPD(Liquid Phase Deposition) 방식을 이용하여 포토레지스트 패턴 사이의 노출된 SiO₂ 계열의 절연막 부분에만 FSG(Fluorinated Silica Glass)이 접촉되도록 하여 이들의 반응에 의해 SiOF를 형성한다. 이 때, 포토레지스트 패턴이 덮힌 부분은 SiOF 성장이 이루어지지 않는다.

이 때, 포토레지스트 패턴을 제거함으로써, 플라즈마 식각 공정 없이 다마신 구조를 형성하며, 다마신 구조에 Cu를 증착하고 화학기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 공정을 통해 메탈라인을 형성한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

도 3a 내지 도 3j는 본 발명의 일실시예에 따른 CMOS 이미지센서의 구리를 이용한 메탈라인 형성 공정을 도시한 단면도로서, 이를 참조하여 메탈라인 형성 공정을 살펴본다.

도 3a에 도시된 바와 같이, 제1절연막(300) 상에 제1메탈라인(M1)이 형성될 영역을 정의하는 포토레지스트 패턴(301)을 형성한다.

제1절연막(300)은 SiO₂를 포함하는 산화막 계열이며, CMOS 이미지센서에서 사용하는 메탈라인 형성 전 절연막(Pre-Metal Dielectric; 이하 PMD라 함)에 해당한다. 따라서, 이후에 형성되는 절연막들은 IMD(Inter-Metal Dielectric)에 해당할 것이다.

한편, 도시되지 않은 제1절연막(300) 하부에는 포토다이오드와 CMOS 공정에 의한 트랜지스터 등이 형성되어 있을 것이다.

포토리스트 패턴(301)을 이루는 포토레지스트는, 후속의 식각 공정이 수반되지 않으므로 식각 배리어 특성을 갖는 물질의 설정이 필요 없으며, 포토레지스트 패턴(301)의 에지 거칠기(Edge roughness)가 최소화되도록 분자 중량(Molecular weight)이 작은 물질을 사용한다.

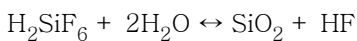
포토리스트는 도포 시 회전 도포 방식을 이용하는 것이 바람직하며, 제1메탈라인을 아이솔레이션시키는 절연막 보다 5000Å ~ 6000Å 이상의 두께가 되도록 한다.

이어서, 선택적인 LPD 방식을 이용하여 제1절연막(300)으로부터 제2절연막(302)을 성장시킨다. 이 때, 제2절연막(302)은 후속 CMP 공정시 손실되는 양을 고려하여 제1메탈라인 보다 500Å ~ 1000Å 정도 두껍게 형성한다. 이러한 상황을 고려했을 때의 제2절연막(302)의 두께는 4000Å ~ 5000Å 정도가 바람직하다.

이하에서는 선택적인 LPD 방식을 이용하는 공정을 보다 구체적으로 살펴본다.

포토레지스트 패턴(301)이 형성된 기판(도시하지 않음)을 25℃ ~ 35℃의 과포화된 하이드로 플로 실리시산(Hydrofluosilicic acid, H_2SiF_6) 수용액에 보릭 산(Boric acid, H_3BO_3)을 첨가한 수용액에 침적한다. 결과, 포토레지스트 패턴(301)이 남아 있는 즉, 제1메탈라인이 형성되는 영역에서는 SiO_2 계열의 절연막 형성이 이루어지지 않고, 포토레지스트 패턴(301)이 남아 있지 않은 제1절연막(300) 상에서는 SiO_2 계열의 제2절연막(302)이 성장한다.

SiO_2 의 LPD 방식에 의한 형성 메카니즘(Mechanism)은 다음과 같다.



따라서, 하이드로 플로 실리시산(H_2SiF_6) 수용액에서 SiO_2 가 형성되고, SiO_2 와 레지듀(Residue)를 식각하는 HF가 발생된다. 발생된 HF를 분해하기 위하여 보릭 산(H_3BO_3)을 수용액 전체의 20% ~ 30% 정도로 첨가한다. 이 때, 다음과 같은 반응에 의해 포토레지스트의 선택비 및 증착 속도를 높인다.



도 3b에 도시된 바와 같이, 마이크로 웨이브 다운 스트림(Microwave down stream)을 이용한 O_2 플라즈마 장치를 이용하여 포토레지스트 패턴(301)을 제거한다.

이 때의 스트립(Strip) 조건은 다음과 같다.

파워는 1500W ~ 1800W로 하고, 플라즈마에 의해 분해된 옥시젠 래디컬(Oxygen radical)의 반응성을 높이기 위해 웨이퍼의 온도를 200℃ 정도까지 유지하도록 하며, O_2 가스의 플로우 레이트(Flow rate)는 200SCCM ~ 300SCCM으로 진행한다.

포토레지스트 패턴(301)이 제거됨으로써, 제1메탈라인이 형성될 영역은 트렌치 구조의 오픈부(303)를 이루게 되는 바, 식각 공정없이 다마신 구조를 이루게 된다.

오픈부(303)가 형성된 프로파일을 따라 제1배리어막(304)을 증착한다. 제1배리어막(304)은 Ti, TiN, Ta 또는 TaN 등을 포함한다. 제1배리어막(304) 증착 시에는 물리기상증착(Physical Vapor Deposition; 이하 PVD라 함) 방식을 이용하여, 100Å ~ 500Å 정도의 두께가 되도록 한다.

PVD 방식 이외에 화학기상증착(Chemical Vapor Deposition; 이하 CVD라 함) 방식을 이용할 수도 있다.

이어서, 제1배리어막(304) 상에 오픈부(303)를 충분히 매립할 수 있도록 구리막(305)을 형성한다.

구리막(305)은 일렉트로 플레이팅(Electroplating) 방식을 이용하여 형성하는 것이 바람직하며, 이외에 다른 증착 방식을 이용할 수도 있다.

도 3c에 도시된 바와 같이, 평탄화를 위해 CMP 공정을 실시한다. 이 때, 과도 연마(Over-polishing)를 실시하여 오픈부(303) 내에 채워진 구리막(305)과 제1배리어막(304)이 리세스(Recess)되도록 한다. 따라서, 오픈부(303)에 리세스된 제1메탈라인(305')이 형성된다. 리세스 깊이는 500Å ~ 1000Å가 되도록 한다.

리세스된 제1메탈라인(305')이 형성된 프로파일을 따라 제2배리어막(306)을 형성한다. 제2배리어막(306)은 구리의 확산을 방지하기 위한 것이며, Ti, TiN, Ta 또는 TaN 등을 사용한다. 제2배리어막(306)은 1000Å ~ 1500Å의 두께로 형성하는 것이 바람직하다. 따라서, 제1메탈라인(305') 리세스시 리세스된 부분을 매립시킨다.

도 3d에 도시된 바와 같이, 제2절연막(302)이 노출되는 타겟 즉, 리세스된 부분에 제2배리어막(306)이 매립되도록 CMP 공정을 실시한다.

따라서, 구리로 이루어진 제1메탈라인(305')은 그 주변의 제1배리어막(304)과 제2배리어막(306)에 의해 둘러 쌓여 있다.

도 3e에 도시된 바와 같이, 제2배리어막(306) 상에 비아콘택 영역을 정의하는 포토레지스트 패턴(307)을 형성한다.

포토레지스트 패턴(307)은 도 3a에서의 포토레지스트와 동일한 물질을 사용한다.

포토레지스트는 도포 시 회전 도포 방식을 이용하는 것이 바람직하며, 비아콘택을 아이솔레이션시키는 절연막 보다 5000Å ~ 6000Å 이상의 두께가 되도록 한다.

이어서, 도 3a에서와 같은 선택적인 LPD 방식을 이용하여 제2절연막(302)으로부터 제3절연막(308)을 성장시킨다. 이 때, 제3절연막(308)은 4000Å ~ 5000Å 정도의 두께로 형성하는 것이 바람직하다.

도 3f에 도시된 바와 같이, 바이어스가 인가된(Biased) O₂ 플라즈마 장치를 이용하여 포토레지스트 패턴(307)을 제거하여 비아 홀(309)을 형성한다. 이 때, 바이어스 파워에 의한 스퍼터링(Sputtering) 효과를 크게 하여 비아 홀(309) 상단부에 'X'와 같이 깎여진 단면 형상(Facet)을 이루도록 한다. 이는 후속 트렌치형 오픈부 형성을 위한 포토레지스트 패턴 형성 공정과 듀얼 다마신 공정 후 실시하는 배리어막 증착 공정에서 스텝 커버리지(Step coverage)를 높여 비아 콘택 저항을 낮추기 위한 것이다.

이 때의 스트립 조건은 다음과 같다.

압력은 100mTorr ~ 200mTorr로 하고, 소스 파워는 1800W ~ 2000W로 하고, 바이어스 파워는 300W ~ 500W로 하며, O₂ 가스의 플로우 레이트는 200SCCM ~ 300SCCM으로 진행한다.

포토레지스트 패턴(307)이 제거됨으로써, 비아 콘택이 형성될 영역은 비아 홀(309)을 이루게 된다. 이렇듯, 비아 홀(309) 형성 시에도 식각 공정은 진행되지 않는다.

도 3g에 도시된 바와 같이, 비아 홀(309)을 매립하면서 그 상부로 제2메탈라인용 트렌치 영역을 정의하는 포토레지스트 패턴(310)을 형성한다.

포토레지스트 패턴(310)은 도 3a 및 도 3e에서의 포토레지스트와 동일한 물질을 사용한다.

포토레지스트는 도포 시 회전 도포 방식을 이용하는 것이 바람직하며, 제2메탈라인의 두께 보다 7000Å ~ 8000Å 이상의 두께가 되도록 한다.

이어서, 트렌치를 영역을 정의하는 부분이 버티컬(Vertical)한 프로파일을 갖도록 알칼리 처리를 실시한다.

이어서, 도 3a 및 도 3f에서와 같은 선택적인 LPD 방식을 이용하여 제3절연막(308)으로부터 제4절연막(311)을 성장시킨다. 이 때, 제4절연막(311)은 4000Å ~ 5000Å 정도의 두께로 형성하는 것이 바람직하다.

도 3h에 도시된 바와 같이, 마이크로 웨이브 다운 스트림을 이용한 O₂ 플라즈마 장치를 이용하여 포토레지스트 패턴(310)을 제거한다.

포토레지스트 패턴(310) 제거 결과 미아 콘택용 비아 홀과 제1메탈라인용 트렌치를 동시에 노출시키는 듀얼 다마신 구조를 형성한다.

이 때의 스트립 조건은 다음과 같다.

과워는 1500W ~ 1800W로 하고, 플라즈마에 의해 분해된 옥시젠 래디컬의 반응성을 높이기 위해 웨이퍼의 온도를 200℃ 정도까지 유지하도록 하며, O₂ 가스의 플로우 레이트는 200SCCM ~ 300SCCM으로 진행한다.

포토리저스트 패턴(310)이 제거됨으로써, 제2메탈라인 및 비아 콘택이 형성될 영역은 트렌치와 비아 홀의 듀얼 다마신을 이루게 되는 바, 식각 공정없이 듀얼 다마신 구조를 이루게 된다.

듀얼 다마신 구조가 형성된 프로파일을 따라 제3배리어막(312)을 증착한다. 제3배리어막(312)은 Ti, TiN, Ta 또는 TaN 등을 포함한다. 제3배리어막(312) 증착 시에는 PVD 방식을 이용하며, 100Å ~ 500Å 정도의 두께가 되도록 한다.

PVD 방식 이외에 CVD 방식을 이용할 수도 있다.

이어서, 제3배리어막(312) 상에 듀얼 다마신 구조를 충분히 매립할 수 있도록 구리막(313)을 형성한다.

구리막(305)은 일렉트로 플레이팅 방식을 이용하여 형성하는 것이 바람직하며, 이외에 다른 증착 방식을 이용할 수도 있다.

도 3i에 도시된 바와 같이, 평탄화를 위해 CMP 공정을 실시한다. 이 때, 과도 연마를 실시하여 상부의 트렌치 부분에 채워진 구리막(313)과 제3배리어막(312)이 리세스되도록 한다. 따라서, 듀얼 다마신 구조에 리세스된 제2메탈라인 및 비아 콘택(313')이 형성된다. 리세스 깊이는 500Å ~ 1000Å가 되도록 한다.

리세스된 제2메탈라인(313')이 형성된 프로파일을 따라 제4배리어막(314)을 형성한다. 제4배리어막(314)은 구리의 확산을 방지하기 위한 것이며, Ti, TiN, Ta 또는 TaN 등을 사용한다. 제4배리어막(314)은 1000Å ~ 1500Å의 두께로 형성하는 것이 바람직하다. 따라서, 제2메탈라인(313') 리세스시 리세스된 부분을 매립시킨다.

도 3j에 도시된 바와 같이, 제4절연막(311)이 노출되는 타겟 즉, 리세스된 부분에 제4배리어막(314)이 매립되도록 CMP 공정을 실시한다.

따라서, 구리로 이루어진 제2메탈라인 및 비아 콘택(313')은 그 주변의 제2배리어막(312)과 제4배리어막(314)에 의해 둘러 쌓여 있다.

여기서, M1은 제1메탈라인을 나타내고, M2는 제2메탈라인을 나타내며, V는 비아 콘택을 나타낸다.

전술한 바와 같이 이루어지는 본 발명은, 이미지센서의 메탈라인을 구리를 이용하여 구현함으로써, 메탈라인 및 절연막의 두께를 낮출 수 있어 광 효율을 증가시키고 동시에, 종래의 구리를 이용한 메탈라인 구현시 사용되던 식각정지막없이 LPD 방식을 이용하여 메탈라인을 형성함으로써, 광이 마이크로렌즈로부터 포토다이오드로 집속될 때 포톤(Photon)의 손실을 최소화하여 이미지센서의 광특성을 개선시킬수 있음을 실시예를 통해 알아 보았다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같은 본 발명은, 다음과 같은 효과가 있다.

1) 식각정지막 및 구리 확산방지막인 SiN과 SiC가 필요 없이 동일한 절연 물질(LPD를 이용한 SiO₂)로 절연막을 형성함으로써, 이미지센서의 광특성을 향상시킬 수 있다.

2) 플라즈마를 이용한 절연막 증착 공정 또는 식각 공정을 줄일 수 있으므로, 플라즈마 데미지를 줄여 소자의 특성을 개선할 수 있다.

3) 선택적으로 절연막을 증착하여 메탈라인을 형성함으로써, 종래의 듀얼 다마신 공정에서 사용하는 식각정지막을 형성할 필요가 없으므로, 공정 단순화 및 상호 캐패시턴스(Inter capacitance)를 줄여 소자의 속도를 향상시킬 수 있다.

4) 바이어스가 인가된 O₂ 플라즈마를 이용하여 스퍼터링 효과에 의한 의도적인 비아 콘택 측면에서의 깎이는 현상을 유도하여 후속 배리어막 증착시 스텝 커버리지를 높임으로써, 소자의 신뢰성을 높일 수 있다.

도면의 간단한 설명

도 1은 종래기술에 따른 이미지센서를 개략적으로 도시한 단면도.

도 2는 종래기술에 따라 Cu를 이용한 이미지센서의 메탈라인 구조를 도시한 도면.

도 3a 내지 도 3j는 본 발명의 일실시예에 따른 CMOS 이미지센서의 구리를 이용한 메탈라인 형성 공정을 도시한 단면도.

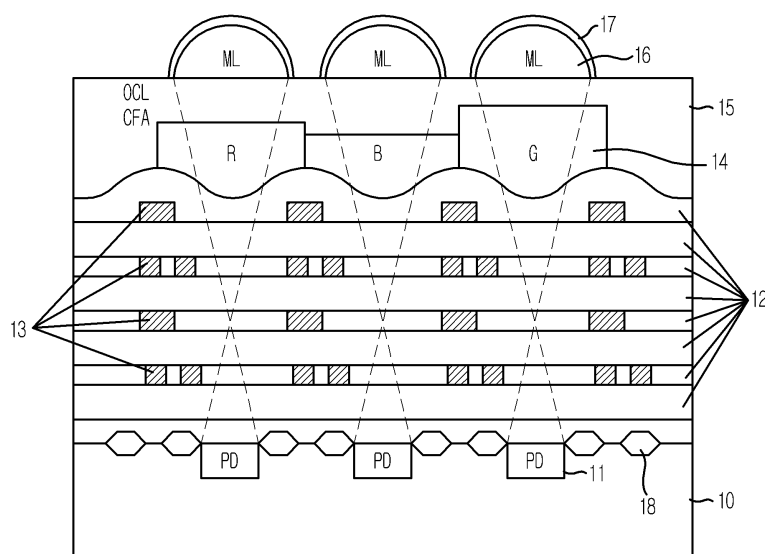
* 도면의 주요부분에 대한 부호의 설명 *

300 : 제1절연막 301 : 포토레지스트 패턴

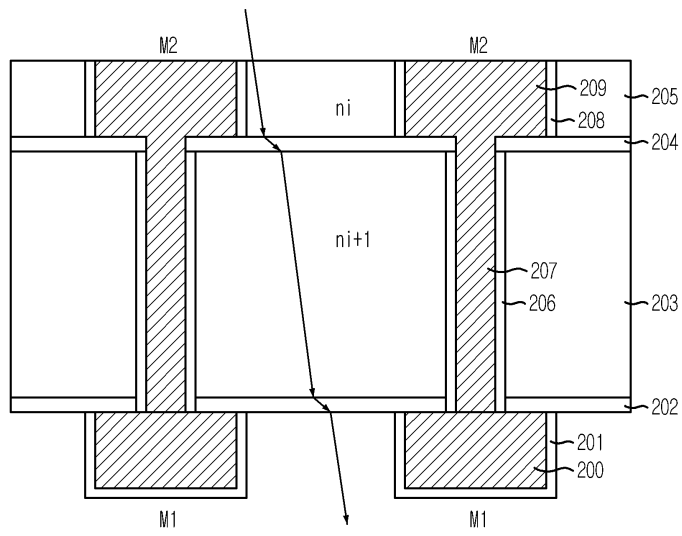
302 : 제2절연막

도면

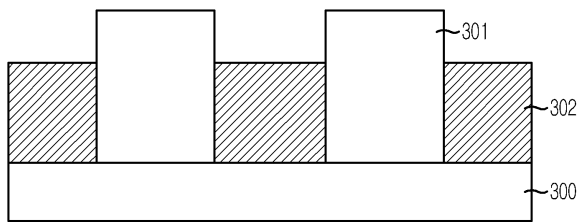
도면1



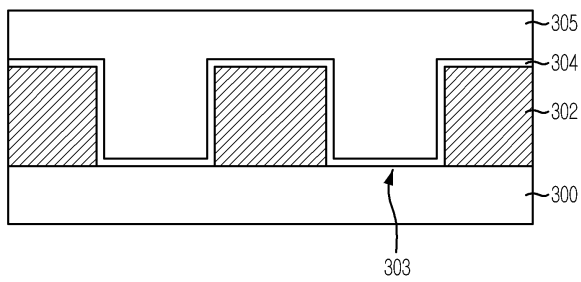
도면2



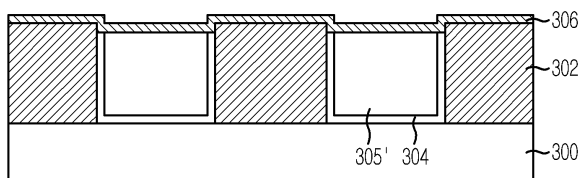
도면3a



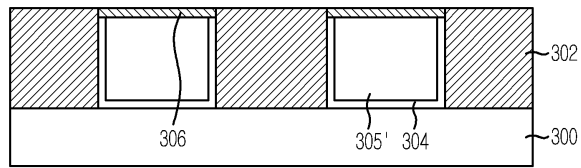
도면3b



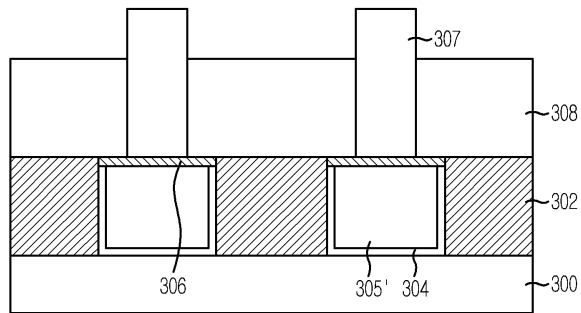
도면3c



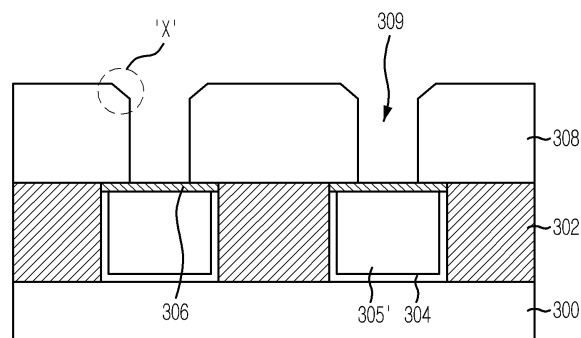
도면3d



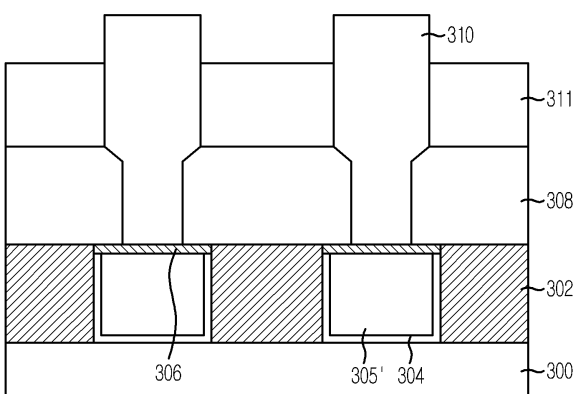
도면3e



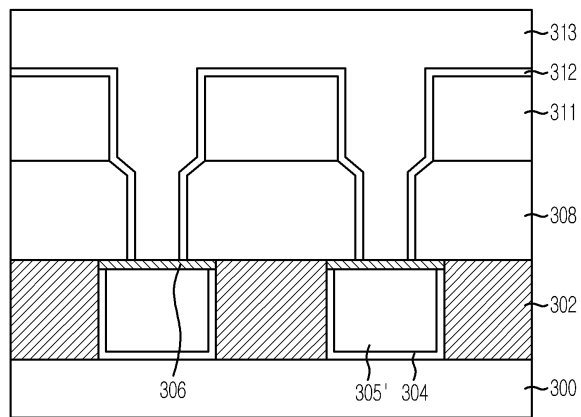
도면3f



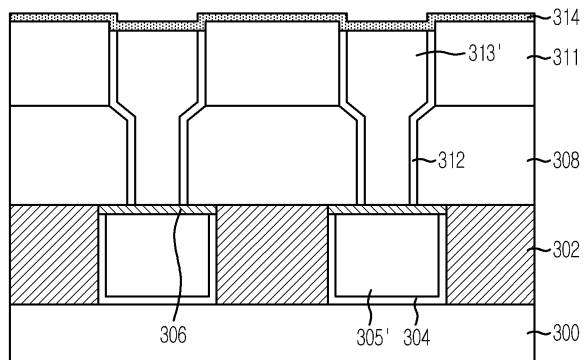
도면3g



도면3h



도면3i



도면3j

