

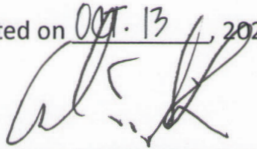
I, Carl T. Sullivan, hereby declare:

That I possess advanced knowledge of the Korean and English languages. The attached Korean into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of Korean Intellectual Property Office Written Opinion ('914 Response).

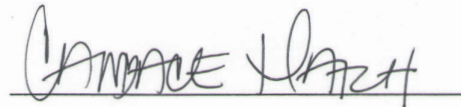
I declare that all statements made above of my own knowledge are true and that all statements made on information and belief are believed to be true. I have been warned and understand that willful false statements and the like are punishable by fine or imprisonment, or both, under § 1001 of Title 18 of the United States Code.

I declare (or certify, verify, or state) under penalty of perjury that the foregoing is true and correct.

Executed on Oct. 13, 2022 in Manti, Utah.



Carl T. Sullivan

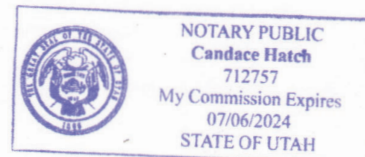


Notary Public

STATE OF UTAH
COUNTY OF SANPETE
On this Oct. 13, 2022, personally
appeared before me, CARL SULLIVAN,
proved to me
on the basis of satisfactory evidence to be the
person(s) whose name is subscribed to on
this instrument, acknowledged that HE
executed the same.

Notary Public Candace Hatch
Commission Expires 7.6.2024

Notary Commission Expiry 7.6.2024





Opinion (response, explanation)

[Classification] Opinion following notification of reasons for refusal, etc.

[Submitted by]

[Name] Dongbu Electronics Co., Ltd.

[Patent customer number] 1-1998-002671-9

[Relationship to case] Applicant

[Agent]

[Name] Yong Rok Heo

[Agent No.] 9-1998-000616-9

[**Mandating** Registration ID] 2005-075256-1

[Indication of Case]

[Application No.] 10-2007-0024914

[Transmission number of document
constituting the cause of submission] 9-5-2008-0089170-87

[Details of opinion] Same as attached sheet

[Purport]

Herein submitted as noted above to the Commissioner of the Korean Intellectual Property Office
(Presiding Judge of the Intellectual Property Trial and Appeal Board).

Agent Yong Rok Heo



Details of Opinion

I. Invention of the Present Application

The present invention, "Image sensor and manufacturing method thereof," is an invention filed on March 14, 2007, Application No. 10-2007-0024914 (hereinafter referred to as "the invention of the present application").

II. Summary of Reason for Refusal

On February 21, 2008, the examiner issued a Notice of Submission of Opinions to the following effect:

"[Specific Reason for Refusal]

Since the invention described in claims 1 to 6 of the claims of the present application can be easily invented by a person of ordinary skill in the art pertaining to the invention prior to the application is pointed out below, it may not be patented under Article 29 (2) of the Patent Act.

-Below-

Claim 1 of the present application relates to an image sensor comprising the following: a first semiconductor substrate on which a pixel and a first via are formed; an interlayer insulating film comprising a metal wiring and a conductive barrier film formed on the first semiconductor substrate; metal wiring, comprising a color filter array and a microlens formed on the interlayer insulating film so as to be connected to the first via exposed through the rear surface of the first semiconductor substrate; and a second semiconductor substrate on which an interlayer insulating film comprising a second via is formed. In Korean Unexamined Patent Application Publication No. 2006-77132 of Cited Invention 1, the disclosure is similar to the configuration in which a first substrate on which a photodiode, a color filter array, and a micro lens are formed, and a second substrate on which a plurality of metal lines are formed on an insulating film are electrically connected to each other by a connection part; while in claim 1 of the present application, there is a difference in that the conductive barrier film on the metal wiring is not described, since this is commonly used in this field, such as in Japanese Unexamined Patent Application Publication No. 2003-204055, which is Cited Invention 2, in which a barrier metal is formed on the wiring layer, Claim 1 of the present application can be easily obtained by simply combining Cited Invention 1 and Cited Invention 2.

Claims 2-6 of the present application are dependent claims citing Claim 1; while they provide limitations as follows: the conductive barrier film is formed only on the metal wiring (Claim 2); the metal wiring of the first semiconductor substrate is formed of copper, and the conductive barrier film is formed of a cobalt (Co) or nickel (Ni) alloy (Claim 3); the metal wiring of the first semiconductor substrate is formed lower than the interlayer insulating film to have a step difference with the interlayer insulating film (Claim 4); the metal wiring of the second semiconductor substrate is formed of copper (Cu) or aluminum



(A1) (Claim 5); and the first semiconductor substrate and the second semiconductor substrate are bonded to polyimide, benzocyclobutene, silicon, and a tin/copper alloy (Claim 6); these limitations limit the simple material, or are only a structural change, so that it is not technically difficult to apply these things, or unexpected effects occur, so that Claims 2-6 can be easily invented by Cited Inventions 1 and 2.

2. This application cannot be granted a patent because the description in all of the claims does not satisfy the requirements under Article 42 (4) 2 of the Patent Act due to incompleteness as pointed out below.

-Below-

The first and second semiconductor substrates, the pixels, the first and second vias, the metal wiring, and the conductive barrier film, which are the components of claims 1 and 7, are described in a simple array, so that their arrangement and connections are unclear, and the meaning of via is unclear; in claim 6, the material for bonding the first and second semiconductor substrates is described as 'polyimide, benzocyclobutene, silicon, and tin/copper alloy,' but it is unclear how they are combined, and the invention is unclear because the dependent claims citing claims 1 and 7 also have the same deficiencies."

Accordingly, the present applicant would like to express an Opinion along with the submission of amendments to the specification for the present invention.

III. Amendments to Specifications, etc.

Amendments have been made as follows in accordance with this Opinion and the amendments to the specification of the same person.

1. Amendment of Claims

[Claim 1]

(deleted)

An image sensor, comprising the following: a first semiconductor substrate on which a pixel and a first via are formed; an interlayer insulating film comprising a metal wiring and a conductive barrier film formed on the first semiconductor substrate; metal wiring, comprising a color filter array and a



microlens formed on the interlayer insulating film so as to be connected to the first via exposed through the rear surface of the first semiconductor substrate; and a second semiconductor substrate on which an interlayer insulating film comprising a second via is formed.

[Claim 2]

(deleted)

The image sensor according to Claim 1,

wherein the conductive barrier film of the first semiconductor substrate is formed only on the metal wiring.

[Claim 3]

(deleted)

The image sensor according to Claim 1,

wherein the metal wiring of the first semiconductor substrate is formed of copper, and the conductive barrier layer is formed of a cobalt (Co) or nickel (Ni) alloy.

[Claim 4]

(deleted)

The image sensor according to Claim 1,

wherein the metal wiring of the first semiconductor substrate is formed lower than the interlayer insulating layer to have a step difference with the interlayer insulating layer.

[Claim 5]

(deleted)

The image sensor according to Claim 1,

wherein the metal wiring of the second semiconductor substrate is formed of copper (Cu) or aluminum (Al).

[Claim 6]

(deleted)

The image sensor according to Claim 1,

wherein the first semiconductor substrate and the second semiconductor substrate are bonded to polyimide, benzocyclobutene, silicon, and a tin/copper alloy.



[Claim 7]

(correction)

A method of manufacturing an image sensor, comprising the following:

a step of forming a PMD layer on a first semiconductor substrate comprising a unit pixel;

a step of forming a first via contact penetrating the PMD layer corresponding to a region other than the unit pixel and the first substrate;

a step of forming a first interlayer insulating layer on the first semiconductor substrate comprising the first via contact;

a step of forming a metal wiring in the first interlayer insulating layer to be connected to the unit pixel and a first via contact;

a step of forming a conductive barrier film on the metal wiring;

a step of preparing a second semiconductor substrate comprising a metal wiring and a second interlayer insulating film;

a step of forming a second via contact penetrating the second interlayer insulating layer to be connected to the metal wiring of the second semiconductor substrate;

a step of aligning the second via contact of the second semiconductor substrate to be positioned below the first via contact of the first semiconductor substrate; and

a step of bonding the first semiconductor substrate and the second semiconductor substrate.

[Claim 8]

(correction)

The method of manufacturing an image sensor according to claim 7,

wherein the step of forming the metal wiring of the first semiconductor substrate comprises the following:

a step of forming a first interlayer insulating film on the first semiconductor substrate;

a step of forming a trench in the first interlayer insulating film;

a step of forming a barrier metal layer and a copper seed layer in the trench;

a step of forming a copper plating film on the copper seed film; and

a step of planarizing the copper plating film.

[Claim 9]

(correction)



The method of manufacturing an image sensor according to claim 8,

wherein the metal wiring of the first semiconductor substrate is planarized by a CMP process, and the height of the metal wiring is formed low to have a step difference with the first interlayer insulating film.

[Claim 10]

The method of manufacturing an image sensor according to claim 7 or claim 8,

wherein the conductive barrier film formed on the metal wiring of the first semiconductor substrate is formed by an electroless plating method.

[Claim 11]

The method of manufacturing an image sensor according to claim 10,

wherein the conductive barrier film is a cobalt (Co) or nickel (Ni) alloy.

[Claim 12]

The method of manufacturing an image sensor according to claim 7,

wherein the metal wiring formed on the second semiconductor substrate is copper (Cu) or aluminum (Al).

[Claim 13]

(correction)

The method of manufacturing an image sensor according to claim 7,

wherein the step of bonding the first semiconductor substrate and the second semiconductor substrate comprises the following:

a step of exposing the first via contact by etching a rear surface of the first semiconductor substrate,

a step of forming a via hole for selectively exposing a metal wiring of a second interlayer insulating film formed on the second semiconductor substrate and forming a copper plating film in the via hole to form a second via contact, and

a step of bonding the first semiconductor substrate and the second semiconductor substrate by aligning the first via contact and the second via contact to coincide with each other.

[Claim 14]

The method of manufacturing an image sensor according to claim 13,



wherein the rear etching of the first semiconductor substrate further comprises etching to a thickness of 10-50 μm using a back grinding process.

[Claim 15]

(correction)

The method of manufacturing an image sensor according to claim 7,

wherein the bonding of the first semiconductor substrate and the second semiconductor substrate is performed by any one of polymer bonding, silicon fusion bonding, copper-to-copper bonding, and eutectic bonding.

2. Correction of detailed description

The following corrections have been applied throughout the original application specification of the present invention:

- (1) The interlayer insulating film 130 formed on the first semiconductor substrate 100 was corrected to be the first interlayer insulating film 130.
- (2) The interlayer insulating films 210 and 220 formed on the second semiconductor substrate 200 were corrected to be the second interlayer insulating films 210 and 220.
- (3) The first via 110 was corrected to be via contact 110.
- (4) The second via 230 was corrected to be the second via contact 230.

3. Legality of amendments

Amendment within the scope of the matters described in the specification or drawings (in the case of addition of new matters) refers to matters apparent to those skilled in the art as a result of judgment based on the matters described in the specification or drawings.

In this case, "apparent matters" refers to where the matter itself includes matters directly described in the specification or drawings first attached to the application, as well as matters that are not directly expressed in the first attached specification or drawings, but can be recognized by those skilled in the art as described in light of the description of the initial specification, etc. (refer to examination guidelines).

In the case of the clarification of unclear descriptions, by clarifying the elements of the claims, the corrections of the first interlayer insulating film, the second interlayer insulating film, the first via contact and the second via contact in the detailed description and claims of the present invention



by the above criteria are considered to be legitimate amendments that are recognized as being within the stated range of the initial specification.

Further, with respect to the correction of the first via contact and the second via contact of the present invention, in the original specification of the present invention, the first and second vias were formed of metal and served as contacts connected to each metal wiring; therefore, the correction was made to clarify the meaning, and it is considered to be a legitimate correction that is recognized as falling within the scope of the initial specification, etc.

IV. Statement of Opinion

1. Details of Opinion on Article 29 (2) of the Patent Act

The Examiner pointed out that the invention described in claims 1 to 6 of the present invention can be easily invented by the Cited Inventions, so it does not satisfy the provisions of Article 29 (2) of the Patent Act.

Accordingly, the present applicant reflected the points pointed out by the examiner and made an amendment to delete claims 1 to 6 of the claims of the present invention.

Therefore, it should be judged that the claims 7 to 15 of the present invention, which the examiner recognized as having no grounds for refusal, satisfy the patentability.

Accordingly, it is considered that the reason for refusal to the effect that a patent cannot be obtained under Article 29 Paragraph 2 of the Patent Act pointed out by the examiner has been resolved.

2. Details of Opinion on Article 29 (4) 2 of the Patent Act

The Examiner pointed out that the elements of claims 1 and 7 are described in a simple arrangement, so that their arrangement relationship is unclear and the meaning of via is unclear. As pointed out by the examiner, in claim 7 of the present invention, the description of the components is unclear; accordingly, the present applicant reflected the points pointed out by the examiner and corrected the arrangement and connection relationship of the elements of claim 7 of the claims as described in the Amendments submitted on the same date as this Statement of Opinion.

In addition, the 1st and 2nd vias pointed out by the examiner are respectively connected to the metal wiring of the first semiconductor substrate and the metal wiring of the second semiconductor substrate, and they are formed of a metal material, so it can be seen that they play the role of a contact plug.



Accordingly, the first via and second via are corrected to be a first via contact and a second via contact, so that the meaning of the first and second vias is made clear.

Accordingly, it is considered that the reasons for refusal under Article 42 (4) 2 of the Patent Act pointed out by the examiner have been resolved.

V. Concluding remarks

It is judged that the reasons for refusal of the present invention have been resolved through the amendments and opinions as described above; if there are no other reasons for refusal after reexamining the present invention, please make a decision to grant the patent.



의견(답변, 소명)서

【구분】 거절이유 등 통지에 따른 의견

【제출인】

【명칭】 동부일렉트로닉스 주식회사

【특허고객번호】 1-1998-002671-9

【사건과의 관계】 출원인

【대리인】

【성명】 허용록

【대리인번호】 9-1998-000616-9

【포괄위임등록번호】 2005-075256-1

【사건의 표시】

【출원번호】 10-2007-0024914

【제출원인이 된 서류의 발송번호】 9-5-2008-0089170-87
호】

【의견내용】 별지와 같음

【취지】

위와 같이 특허청장(특허심판원장, 심판장)에게 제출합니다.

대리인 허용록 (인)

의견내용

I. 본원발명

본원발명, "이미지 센서 및 그의 제조방법"은 2007.03.14., 출원번호 10-2007-0024914으로 출원된 발명(이하 "본원발명"이라 함)입니다.

II. 거절이유의 요약

심사관님께서서는 2008.02.21일에,

"[구체적인 거절이유]

1. 이 출원의 특허청구범위의 청구항 제1항 내지 제6항에 기재된 발명은 그 출원 전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습다.

- 아 래 -

본원의 청구항1은 화소 및 제1 비아가 형성된 제1 반도체 기판; 상기 제1 반도체 기판 상에 형성된 금속배선 및 전도성 배리어막을 포함하는 층간 절연막; 상기 층간절연막 상에 형성된 컬러필터 어레이 및 마이크로렌즈를 포함하며, 상기 제1 반도체 기판의 배면으로 노출된 제1 비아와 연결되도록 금속배선 및 제2 비아를 포함하는 층간절연막이 형성된 제2 반도체 기판을 포함하는 이미지 센서에 관한 것이며, 인용발명1은 공개특허공보 2006-77132호에는 포토 다이오드, 컬러 필터 어레이, 마이크로 렌즈가 형성된 제1 기판과, 절연막에 복수이 메탈라인이 형성된 제2기판을 연결부에 의해 전기적으로 연결되도록 본딩된 구성과 유사하며, 다만 본원의 청구항1은 금속 배선상에 전도성 배리어막에 대한 것이 기재되어 있지 않은 차이점은 있으나, 이러한 것은 인용발명2인 일본공개특허공보 2003-204055호에서 배선층상에 배리어 메탈을 형성한 것과 같이 이 분야에서 통상적으로 사용되는 것이므로, 본원의 청구항1은 인용발명1과 인용발명2의 단순 주합에 의해 용이하게 발명할 수 있는 것이며,

본원의 청구항2-6은 청구항1을 인용하는 종속항들로, 전도성 배리어막은 금속배선 위에만 형성된 것(청구항2), 제1 반도체 기판의 금속배선은 구리로 형성되고, 전도성 배리어막은 코발트(Co) 또는 니켈(Ni) 합금으로 형성된 것(청구항3), 제1 반도체 기판의 금속배선은 상기 층간절연막과 단차를 가지도록 층간절연막 보다 낮게 형성된 것(청구항4), 제2 반도체

기판의 금속배선은 구리(Cu) 또는 알루미늄(Al)으로 형성된 것(청구항5), 제1 반도체 기판과 제2반도체 기판은 폴리이미드(polyimide), 벤조사이클로부틸렌(benzocyclobutene), 실리콘(silicon) 및 주석·구리 합금으로 결합된 것(청구항6)을 한정하고 있으나, 이러한 한정 사항들은 단순 재료를 한정하거나, 구조 변경에 불과한 것으로, 이러한 것들을 적용하는 것이 기술적으로 곤란성이 있거나, 예측하지 못한 효과가 발생하는 것은 아니므로, 청구항 2-6은 인용발명1,2에 의해 용이하게 발명할 수 있는 것입니다.

2. 이 출원은 특허청구범위의 청구항 전항의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제4항제2호의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

- 아 래 -

청구항1,7의 구성요소들인 제1,2 반도체 기판, 화소, 제1,2비아, 금속배선, 전도성 배리어막을 단순 나열식으로 기재되어 있어, 이들의 배치와 연결관계들이 불명확하며, 비아의 의미가 불명확하며, 청구항6에서 제1,2 반도체 기판을 결합시키는 재료 ‘폴리이미드(polyimide), 벤조사이클로부틸렌(benzocyclobutene), 실리콘(silicon) 및 주석·구리 합금’이라고 기재되어 있으나, 이들이 어떻게 결합된 것인지 불명확하며, 청구항1,7을 인용하는 종속항들도 동일한 기재불비 사항들이 있는 것이므로 발명이 불명확합니다.

"라는 취지의 의견제출통지서를 발송하셨습니다.

이에 본 출원인은 본원발명에 대한 명세서 등의 보정서 제출과 함께 의견을 개진하고자 합니다.

Ⅲ. 명세서 등의 보정내용

본 의견서와 동일자의 명세서 등의 보정서에 의해 하기와 같이 보정하였습니다.

1. 청구항의 보정

[청구항 1]

(삭제)

화소 및 제1 비아가 형성된 제1 반도체 기판;

상기 제1 반도체 기판 상에 형성된 금속배선 및 전도성 배리어막을 포함하는 층간 절연막;
상기 층간절연막 상에 형성된 컬러필터 어레이 및 마이크로렌즈를 포함하며,

상기 제1 반도체 기판의 배면으로 노출된 제1 비아와 연결되도록 금속배선 및 제2 비아를 포함하는 층간절연막이 형성된 제2 반도체 기판을 포함하는 이미지 센서.

[청구항 2]

(삭제)

제1항에 있어서,

상기 제1 반도체 기판의 전도성 배리어막은 금속배선 위에만 형성된 것을 특징으로 하는 이미지 센서.

[청구항 3]

(삭제)

제1항에 있어서,

상기 제1 반도체 기판의 금속배선은 구리로 형성되고, 상기 전도성 배리어막은 코발트(Co) 또는 니켈(Ni) 합금으로 형성된 것을 특징으로 하는 이미지 센서.

[청구항 4]

(삭제)

제1항에 있어서,

상기 제1 반도체 기판의 금속배선은 상기 층간절연막과 단차를 가지도록 상기 층간절연막 보다 낮게 형성된 것을 특징으로 하는 이미지 센서.

[청구항 5]

(삭제)

제1항에 있어서,

상기 제2 반도체 기판의 금속배선은 구리(Cu) 또는 알루미늄(Al)으로 형성된 것을 특징으로 하는 이미지 센서.

[청구항 6]

(삭제)

제1항에 있어서,

상기 제1 반도체 기판과 제2 반도체 기판은 폴리이미드(polyimide), 벤조사이클로부틸렌(benzocyclobutene), 실리콘(silicon) 및 주석·구리 합금으로 결합된 것을 특징으로 하는 이미지 센서.



[청구항 7]

(정정)

단위화소를 포함하는 제1 반도체 기판 상에 PMD층을 형성하는 단계;

상기 단위화소 이외의 영역에 해당하는 상기 PMD층 및 상기 제1 기판을 관통하는 제1 비아 콘택을 형성하는 단계;

상기 제1 비아 콘택을 포함하는 상기 제1 반도체 기판 상에 제1 층간 절연막을 형성하는 단계;

상기 단위화소 및 제1 비아 콘택과 연결되도록 상기 제1 층간 절연막에 금속배선을 형성하는 단계;

상기 금속배선 상에 전도성 배리어막을 형성하는 단계;

금속배선 및 제2 층간 절연막을 포함하는 제2 반도체 기판을 준비하는 단계;

상기 제2 반도체 기판의 금속배선과 연결되도록 상기 제2 층간 절연막을 관통하는 제2 비아 콘택을 형성하는 단계;

상기 제1 반도체 기판의 제1 비아 콘택 하부로 상기 제2 반도체 기판의 제2 비아 콘택이 위치되도록 정렬시키는 단계; 및

상기 제1 반도체 기판과 상기 제2 반도체 기판을 본딩하는 단계를 포함하는 이미지 센서의 제조방법.

[청구항 8]

(정정)

제7항에 있어서,

상기 제1 반도체 기판의 금속배선을 형성하는 단계는,

상기 제1 반도체 기판 상에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막에 트렌치를 형성하는 단계;

상기 트렌치에 장벽금속막 및 구리시드막을 형성하는 단계;

상기 구리시드막 상에 구리도금막을 형성하는 단계; 및

상기 구리도금막을 평탄화시키는 단계를 포함하는 이미지 센서의 제조방법.

[청구항 9]

(정정)

제8항에 있어서,

상기 제1 반도체 기판의 금속배선은 CMP 공정에 의해 평탄화되며, 상기 금속배선의 높이는 제1 층간절연막과 단차를 가지도록 낮게 형성되는 것을 포함하는 이미지 센서의 제조방법.

[청구항 10]

제7항 또는 제8항에 있어서,

상기 제1 반도체 기판의 금속배선 상에 형성되는 전도성 배리어막은 무전해 도금방법으로 형성되는 것을 특징으로 하는 이미지 센서의 제조방법.

[청구항 11]

제10항에 있어서,

상기 전도성 배리어막은 코발트(Co) 또는 니켈(Ni) 합금인 것을 포함하는 이미지 센서의 제조방법.

[청구항 12]

제7항에 있어서,

상기 제2 반도체 기판에 형성되는 금속배선은 구리(Cu) 또는 알루미늄(Al)인 것을 특징으로 하는 이미지 센서의 제조방법.

[청구항 13]

(정정)

제7항에 있어서,

상기 제1 반도체 기판과 제2 반도체 기판을 본딩하는 단계는,

상기 제1 반도체 기판의 배면을 식각하여 상기 제1 비아 컨택을 노출시키는 단계;

상기 제2 반도체 기판에 형성된 제2 층간 절연막의 금속배선을 선택적으로 노출시키는 비아홀을 형성하고 상기 비아홀에 구리도금막을 형성하여 제2 비아 컨택을 형성하는 단계;
및

상기 제1 비아 컨택과 제2 비아 컨택이 일치되도록 정렬하여 제1 반도체 기판과 제2 반도체 기판을 접합하는 단계를 포함하는 이미지 센서의 제조방법.

[청구항 14]

제13항에 있어서,



상기 제1 반도체 기판의 배면식각은 백 그라인딩 공정을 이용하여 10~50 μ m의 두께로 식각하는 단계를 더욱 포함하는 이미지 센서의 제조방법.

[청구항 15]

(정정)

제7항에 있어서,

상기 제1 반도체 기판과 제2 반도체 기판의 본딩은 폴리머(polymer) 본딩, 실리콘 퓨전 본딩(silicon fusion bonding), 구리 본딩(copper-to-copper bonding) 및 금속 혼합물 본딩(eutectic bonding) 중 어느 하나의 방법으로 접합되는 것을 특징으로 하는 이미지 센서의 제조방법.

2. 상세한 설명의 보정

본원발명의 최초 출원 명세서 전반에 걸쳐서,

(1) 제1 반도체 기판(100) 상에 형성된 층간 절연막(130)을 제1 층간 절연막(130)이라고 정정하였습니다.

(2) 제2 반도체 기판(200) 상에 형성된 층간 절연막(210, 220)을 제2 층간 절연막(210,220)이라고 정정하였습니다.

(3) 제1 비아(110)를 비아 콘택(110)이라고 정정하였습니다.

(4) 제2 비아(230)는 제2 비아 콘택(230)으로 정정하였습니다.

3. 보정의 적법성

명세서 또는 도면에 기재된 사항의 범위 안에서의 보정(신규사항의 추가가 아닌 경우)이란, 명세서 또는 도면에 기재된 사항에 의해 판단한 결과 당업자에게 자명한 사항을 의미합니다.

이때, "자명한 사항"이란 그 사항 자체가 출원서에 최초로 첨부된 명세서 또는 도면에 직접적으로 기재된 사항을 포함함은 물론 최초로 첨부된 명세서 또는 도면에 직접적으로 표현하는 기재는 없으나 당업자가 최초 명세서 등의 기재내용으로 보아 기재되어 있는 것으로 인정할 수 있는 사항을 말합니다(심사지침서 참조).

상기 기준에 의해 본원발명의 상세한 설명 및 특허청구범위에서 제1 층간 절연막, 제2 층간 절연막, 제1 비아 콘택 및 제2 비아 콘택의 정정은 특허청구범위의 구성요소를 명확히 함으



로써 분명하지 않은 기재를 명확히 하는 경우에 해당하여 최초 명세서 등의 기재된 범위 안의 것으로 인정되는 적법한 보정으로 사료됩니다.

또한, 본원발명의 제1 비아 컨택 및 제2 비아 컨택의 정정과 관련하여, 본원발명 최초 출원 명세서에 제1 및 제2 비아는 금속으로 형성되며 각각의 금속배선과 연결되는 컨택 역할을 하는 것이므로 그 의미를 명확하게 하기 위하여 정정한 것으로 이는 분명하지 않은 기재를 명확히 하는 경우에 해당하여 최초 명세서 등의 기재된 범위 안의 것으로 인정되는 적법한 보정으로 사료됩니다.

IV. 의견 개진

1. 특허법 제29조제2항에 대한 의견내용

심사관님께서는 본원발명의 특허청구범위 제1항 내지 제6항에 기재된 발명이 인용발명들에 의하여 용이하게 발명할 수 있으므로 특허법 제29조제2항의 규정을 충족시키지 못한다고 지적하신 바 있습니다.

이에 본 출원인은 심사관님께서 지적하신 바를 반영하여, 본원발명의 특허청구범위 제1항 내지 제6항을 삭제하는 보정을 하였습니다.

따라서, 심사관님께서 거절이유 없는 것으로 인정하신 본원발명의 특허청구범위 제7항 내지 제15항은 특허성을 충족시키는 것으로 판단되어야 할 것입니다.

이로써 심사관님께서 지적하신 특허법 제29조제2항의 규정에 의한 특허 받을 수 없다는 취지의 거절이유는 해소된 것으로 사료됩니다.

2. 특허법 제29조제4항제2호에 대한 의견내용

심사관님께서는 특허청구범위 제1항 및 제7항의 구성요소가 단순 나열식으로 기재되어 있어, 이들의 배치관계가 불명확하며 비아의 의미가 불명확하다고 지적하신 바 있습니다.

심사관님께서 지적하신 바와 같이 본원발명의 특허청구범위 제7항은 구성요소의 기재가 불분명하므로, 이에 본 출원인은 심사관님께서 지적하신 바를 반영하여 본 의견서와 동일자로 제출되는 보정서에 기재된 바와 같이 특허청구범위 제7항의 구성요소들의 배치 및 연결관계가 명확하도록 보정하였습니다.

또한, 심사관님께서 지적하신 제1 비아, 제2 비아는 제1 반도체 기판의 금속배선, 제2 반도체 기판의 금속배선과 각각 연결되는 것이고 금속물질로 형성되어 이는 컨택 플러그의 역할을 한다고 볼수 있습니다.



따라서, 상기 제1 비아 및 제2 비아를 제1 비아 컨택 및 제2 비아 컨택으로 정정하여, 제1 및 제2 비아가 의미하는 바가 명확해지도록 보정하였습니다.

이로써, 심사관님께서 지적하신 특허법제42조제4항제2호의 규정에 의한 거절이유는 해소된 것으로 사료됩니다.

V. 맺음말

이상에서와 같은 보정 및 의견 개진을 통하여 본원발명에 대한 거절이유는 해소된 것으로 판단되오니, 본원발명을 재심사하시어 다른 거절이유가 없으시면 특허결정하여 주시기 바랍니다.