

SOLID STATE IMAGING DEVICE AND ITS MANUFACTURING METHOD

Publication number: JP2003204055

Publication date: 2003-07-18

Inventor: SUGIMOTO MASARU

Applicant: SONY CORP

Classification:

- international: **H01L27/146; H01L21/3205; H01L21/768; H01L23/52; H04N5/335; H01L27/146; H01L21/02; H01L21/70; H01L23/52; H04N5/335; (IPC1-7): H01L27/146; H01L21/3205; H01L21/768; H04N5/335**

- European:

Application number: JP20020001936 20020109

Priority number(s): JP20020001936 20020109

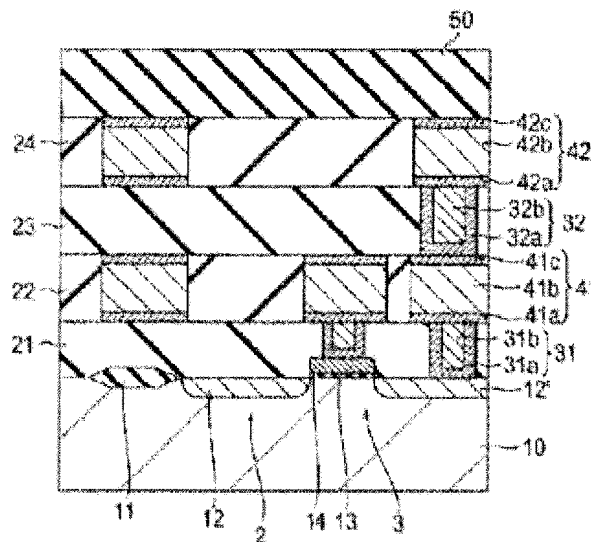
[Report a data error here](#)

Abstract of JP2003204055

PROBLEM TO BE SOLVED: To provide a solid state imaging device capable of reducing a dark current by expediting lowering of interface levels due to a hydrogenation, thereby improving the S/N ratio and improving an image quality, and to provide a method for manufacturing the same

SOLUTION: The solid state imaging device of a CMOS type comprises main wiring layers 41b, 42b containing aluminum for selecting a pixel and propagating a signal in a pixel unit. The imaging device further comprises adhesive property layers 31a, 32a of barrier metals 41a, 41c, 42a, 42c for preventing the layers 41b, 42b from being reacted with conductive layers 31, 32b made of tungsten or the like for embedding contact holes, using a tungsten nitride.

COPYRIGHT: (C)2003,JPO



Data supplied from the **esp@cenet** database - World

Pat. Owner VisionX Exhibit 2012
IPR2023-00298
Sony v. VisionX

【特許請求の範囲】

【請求項1】基板に複数の画素が設けられ、コンタクト孔に導電層が埋め込まれて形成されたコンタクトを介して前記画素に接続された配線層を有する固体撮像装置であって、

前記配線層は、主配線材料の反応を防止するバリア層を有し、

前記コンタクトは、前記コンタクト孔に埋め込む前記導電層の密着性を確保し得る密着層を有しており、

前記バリア層および前記密着層が、窒化タングステンを含む材料により形成されている固体撮像装置。

【請求項2】前記配線層は、前記主配線材料としてアルミニウムを含む請求項1記載の固体撮像装置。

【請求項3】前記導電層は、タングステンを含む請求項1記載の固体撮像装置。

【請求項4】前記基板の上層に形成され、前記基板の欠陥に捕獲され得る水素を含有する水素含有膜をさらに有する請求項1記載の固体撮像装置。

【請求項5】基板に複数の画素を形成し、コンタクト孔に導電層を埋め込むことでコンタクトを形成し、前記コンタクトを介して前記画素に接続する配線層を形成する固体撮像装置の製造方法であって、

前記配線層の形成において、主配線材料の反応を防止するバリア層を形成する工程と、

前記コンタクトの形成において、前記コンタクト孔に埋め込む前記導電層の密着性を確保し得る密着層を形成する工程とを有し、

前記バリア層および前記密着層の形成において、窒化タングステンを含む材料により形成する固体撮像装置の製造方法。

【請求項6】前記配線層の形成において、前記主配線材料としてアルミニウムを含む材料により形成する請求項5記載の固体撮像装置の製造方法。

【請求項7】前記コンタクトの形成において、前記コンタクト孔に前記密着層を介してタングステンを含む前記導電層を埋め込む請求項5記載の固体撮像装置の製造方法。

【請求項8】前記バリア層の形成および前記密着層の形成において、窒化タングステンをスパッタリングにより成膜する請求項5記載の固体撮像装置の製造方法。

【請求項9】前記配線層を形成する工程の後に、水素を含むガスの雰囲気下で熱処理をする工程をさらに有する請求項5記載の固体撮像装置の製造方法。

【請求項10】前記配線層を形成する工程の後に、前記画素部における前記基板上に、前記基板の欠陥に捕獲され得る水素を含有する水素含有膜を形成する工程と、熱処理を行う工程とをさらに有する請求項5記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、デジタルカメラ、ビデオカメラ、イメージリーダ等の画像入力装置に用いられる固体撮像装置およびその製造方法に関する。

【0002】

【従来の技術】デジタルカメラ、ビデオカメラ、イメージリーダ等の画像入力装置には、CCD (Charge Coupled Device) イメージセンサや、CMOS イメージセンサ等の非CCD型のイメージセンサ等の固体撮像素子が設けられ、ここで光学的画像情報を電気信号に変換し、この変換された電気信号に各種の信号処理を施して表示器に表示したり、記録媒体に記録したりしている。

【0003】高性能な固体撮像素子を得るには、各画素のセンサー部への集光効率および光電変換効率を高くし感度を高めることと、暗電流や増幅器に依存するランダムノイズ、固定パターンノイズを低く抑え、S/N比を高くすることが必要である。

【0004】メモリやロジック等のCMOS技術を流用しているCMOSイメージセンサは、各画素の選択線や、信号伝播線にもCMOS素子の配線技術が流用されている。CMOS素子の配線技術は、一般に各レイヤーの配線材料としてアルミニウム、または銅やシリコンが含有されたアルミニウムが用いられている。

【0005】このアルミニウム配線は、シリコンやポリシリコン、タングステンポリサイドとの接合部において合金層を形成し、シリコンバルク内部のp-n接合を破壊するいわゆるアロイスバイクや、シリコンやタングステンを吸い上げることによる断線不良を引き起こす。

【0006】これを防止するとともに、接合抵抗を安定させるために、チタン (Ti) や窒化チタン (TiN) からなるいわゆるバリアメタルをアルミニウム配線とシリコン等との接合部に挟む構造が広く用いられている。

【0007】また、素子の微細化に伴い多層の配線間を繋ぐためのコンタクトホールも微細化され、スパッタリングにより成膜されたアルミニウム配線の段差被覆性を補う意味で、CVD (Chemical Vapor Deposition) によるタングステンでコンタクトホールを埋め込む技術が広く用いられている。

【0008】このタングステンは、酸化シリコン等の絶縁膜上には成長しにくく、また、密着性も劣ることから、密着層としてチタン (Ti) や窒化チタン (TiN) が広く用いられている。

【0009】CMOSイメージセンサでは、以上のようなCMOS配線技術を適用して、画素部に形成された画素を選択する画素選択用、および各画素に蓄積された信号電荷を読み出す信号伝播用等の配線や当該配線に接続するコンタクトが形成されている。

【0010】

【発明が解決しようとする課題】上述したように、イメージセンサのS/N比を向上させるためには、暗電流起

因のノイズを低減する必要がある。暗電流を低減するための手段として、シリコンと酸化シリコン膜界面での界面準位を低減するために、そのダングリングボンドを水素で終端させる必要がある。このため、水素(H₂)を含んだガス中で熱処理を行ったり、NH基を含む膜を成膜したりしている。

【0011】しかしながら、CMOSイメージセンサの配線のバリアメタルとして用いられているチタンは、水素吸蔵合金にも一般に用いられている様に、水素を吸着する作用があり、界面準位を低減させるための上述した水素化処理を阻害してしまう。その結果として、CMOSイメージセンサの暗電流を低減することができず、画質の劣化に繋がっていた。

【0012】本発明は上記の事情に鑑みてなされたものであり、その目的は、水素化による界面準位の低減を促進して、暗電流を低減させることで、S/N比の向上や、画質の向上を実現することができる固体撮像装置およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】上記の目的を達成するため、本発明の固体撮像装置は、基板に複数の画素が設けられ、コンタクト孔に導電層が埋め込まれて形成されたコンタクトを介して前記画素に接続された配線層を有する固体撮像装置であって、前記配線層は、主配線材料の反応を防止するバリア層を有し、前記コンタクトは、前記コンタクト孔に埋め込む前記導電層の密着性を確保し得る密着層を有しており、前記バリア層および前記密着層が、窒化タングステンを含む材料により形成されている。

【0014】前記配線層は、前記主配線材料としてアルミニウムを含む。

【0015】前記導電層は、タングステンを含む。

【0016】前記基板の上層に形成され、前記基板の欠陥に捕獲され得る水素を含有する水素含有膜をさらに有する。

【0017】上記の本発明の固体撮像装置では、バリア層や密着層に水素吸蔵性のない窒化タングステンを含む材料を用いており、水素吸蔵性の高い金属を一切用いていないことから、水素を基板へ拡散させる際に、基板の水素化が阻害されることがない。また、本発明で採用する窒化タングstenは、窒素を含有することで、主配線材料の反応を防止するバリア層としての機能や、コンタクト孔への導電層の密着性を確保する密着層としての機能を有している。

【0018】上記の目的を達成するため、本発明の固体撮像装置の製造方法は、基板に複数の画素を形成し、コンタクト孔に導電層を埋め込むことでコンタクトを形成し、前記コンタクトを介して前記画素に接続する配線層を形成する固体撮像装置の製造方法であって、前記配線層の形成において、主配線材料の反応を防止するバリア

層を形成する工程と、前記コンタクトの形成において、前記コンタクト孔に埋め込む前記導電層の密着性を確保し得る密着層を形成する工程とを有し、前記バリア層および前記密着層の形成において、窒化タングstenを含む材料により形成する。

【0019】前記配線層の形成において、前記主配線材料としてアルミニウムを含む材料により形成する。

【0020】前記コンタクトの形成において、前記コンタクト孔に前記密着層を介してタングstenを含む前記導電層を埋め込む。

【0021】前記バリア層の形成および前記密着層の形成において、窒化タングstenをスパッタリングにより成膜する。

【0022】前記配線層を形成する工程の後に、水素を含むガスの雰囲気下で熱処理をする工程をさらに有する。

【0023】前記配線層を形成する工程の後に、前記画素部における前記基板上に、前記基板の欠陥に捕獲され得る水素を含有する水素含有膜を形成する工程と、熱処理を行う工程とをさらに有する。

【0024】上記の本発明の固体撮像装置の製造方法によれば、バリア層や密着層に水素吸蔵性のない窒化タングstenを含む材料を用いており、水素吸蔵性の高い金属を一切用いていないことから、後に、水素を基板へ拡散させる際に、基板の水素化が阻害されることがない。また、本発明で採用する窒化タングstenは、窒素を含有することで、主配線材料の反応を防止するバリア層としての機能や、コンタクト孔への導電層の密着性を確保する密着層としての機能を有している。

【0025】

【発明の実施の形態】以下に、本発明の固体撮像装置およびその製造方法の実施の形態について、図面を参照して説明する。

【0026】図1に、本実施形態に係るCMOS型の固体撮像装置の構成の一例を示す。図1に示す固体撮像装置1は、光電変換を行うフォトダイオード(即ち、pn接合型のフォトセンサ)2と、画素を選択する例えばMOSトランジスタからなる垂直選択用スイッチ素子4と、例えばMOSトランジスタからなる読み出し用スイッチ素子3とによって構成された単位画素5が、マトリックス状に複数配列されてなる撮像領域と、各行毎に垂直選択用スイッチ素子4の制御電極(ゲート電極)が共通に接続された垂直選択線SVLに垂直走査パルスφV(φV1, … φVm, … φVm+k, …)を出力する垂直走査回路6と、各列毎に読み出し用スイッチ素子3の主電極が共通に接続された垂直信号線VLと、各列毎に垂直選択用スイッチ素子3の主電極に接続された読み出しパルス線RLと、垂直信号線VLと水平信号線HLに主電極が接続された例えばMOSトランジスタからなる水平スイッチ素子7と、水平スイッチ素子

7の制御電極と読み出しパルス線RLに接続された水平走査回路8と、水平信号線HLに接続されたアンプ9により構成されている。

【0027】各单位画素5では、読み出し用スイッチ素子3の一方の主電極が、フォトセンサ2に接続され、他方の主電極が垂直信号線VLに接続されている。また、垂直選択用スイッチ素子4の一方の主電極が、読み出し用スイッチ素子3の制御電極に接続され、その他方の主電極が読み出しパルス線RLに接続され、その制御電極が垂直選択線SVLに接続されている。

【0028】水平走査回路8から各水平スイッチ素子7の制御電極に水平走査パルス ϕH ($\phi H_1, \dots, \phi H_n, \dots, \phi H_{n+1}, \dots$) が供給されるとともに、各読み出しパルス線RLに水平読み出しパルス ϕH^R ($\phi H^R_1, \dots, \phi H^R_n, \dots, \phi H^R_{n+1}, \dots$) が供給される。

【0029】この固体撮像装置1の基本動作は、次のようになる。垂直走査回路6からの垂直走査パルス ϕV_m と、水平走査回路8からの読み出しパルス ϕH^R_n を受けた垂直選択用スイッチ素子4が、それらのパルス ϕV_m , ϕH^R_n の積のパルスを作り、この積のパルスで読み出し用スイッチ素子3の制御電極を制御して、フォトセンサ2で光電変換された信号電荷を垂直信号線VLに読み出す。この信号電荷は、水平映像期間中に、水平走査回路8からの水平走査パルス ϕH により制御された水平スイッチ素子7を通して水平信号線HLに出力され、これに接続されたアンプ9により信号電圧に変換されて出力される。

【0030】尚、上記の例では、单位画素内に2つのトランジスタを有する例について説明したが、これに限られず、单位画素内に5つのトランジスタを有するもの等、様々なタイプのものが存在する。

【0031】図2に、上記のフォトセンサ2およびその上層構成を示す断面図を示す。図2に示すように、例えば、酸化シリコン等からなる素子分離絶縁膜10により画素分離されたp型の半導体基板10の活性領域に、n型不純物を含有するn型半導体領域12が形成され、当該n型半導体領域12とp型の半導体基板10との間でpn接合を形成してなるフォトセンサ2が構成されている。

【0032】画素分離された半導体基板10の他の部分において、フォトセンサ2のn型半導体領域12と同時に形成されたn型半導体領域12'が形成されており、当該n型半導体領域12, 12'間における半導体基板10上には、酸化シリコン等からなるゲート絶縁膜13とポリサイド構造のゲート電極14が積層形成されて構成されるnMOSトランジスタからなる読み出し用スイッチ素子3が形成されている。なお、図示しない領域において、画素分離された半導体基板10にはMOSトランジスタからなる垂直選択用スイッチ素子やその他の素

子が形成されている。

【0033】フォトセンサ2および読み出し用スイッチ素子3を被覆して、酸化シリコン等からなる第1の層間絶縁膜21が形成され、当該第1の層間絶縁膜21には、ゲート電極14およびn型半導体領域12'へ達するコンタクトホールが形成されている。なお、図示はしないが、垂直選択用スイッチ素子やその他の素子に接続が必要な領域においてもコンタクトホールが形成されている。

【0034】第1の層間絶縁膜21に形成されたコンタクトホールの内表面を被覆して、窒化タングステン(WN)からなる密着層31aが形成されており、コンタクトホール内には当該密着層31aを介してタングステン(W)からなる導電層31bが埋め込まれて、当該密着層31aおよび導電層31bにより第1のコンタクト31が形成されている。

【0035】上記の第1のコンタクト31に接続するように第1の層間絶縁膜21上には、第1層配線41が形成されている。第1層配線41は、その下層から順に、窒化タングステンからなるバリアメタル41aと、銅やシリコンを含有するアルミニウムからなる主配線層41bと、窒化タングステンからなるバリアメタル41cにより構成されている。バリアメタル41aは、主配線層41bを構成するアルミニウムと、第1のコンタクト31の導電層31bを構成するタングステンとの反応を防止する役割を有する。なお、バリアメタル41cについても、同様に、主配線層41bを構成するアルミニウムと、上層のコンタクトの導電層に使用されるタングステンとの反応を防止する役割を有する。

【0036】第1層配線41および第1の層間絶縁膜21を被覆して、酸化シリコン等からなる第2の層間絶縁膜22が形成されており、当該第2の層間絶縁膜22の表面は平坦化されている。

【0037】第2の層間絶縁膜22の上層構成は、基本的に、コンタクト形成層と配線層の繰返して形成されており、本実施形態では、一例として2層配線を図示している。すなわち、第2の層間絶縁膜22を被覆して全面に、例えば、酸化シリコン等からなる第3の層間絶縁膜23が形成されており、当該第3の層間絶縁膜23の所望の箇所にコンタクトホールが形成されている。

【0038】第3の層間絶縁膜23に形成されたコンタクトホールの内表面を被覆して、同様に、窒化タングステン(WN)からなる密着層32aが形成されており、コンタクトホール内には当該密着層32aを介してタングステン(W)からなる導電層32bが埋め込まれて、当該密着層32aおよび導電層32bにより第2のコンタクト32が形成されている。

【0039】上記の第2のコンタクト32に接続するように第3の層間絶縁膜23上には、第2層配線42が形成されている。第2層配線42は、その下層から順に、

窒化タングステンからなるバリアメタル42aと、銅やシリコンを含有するアルミニウムからなる主配線層42bと、窒化タングステンからなるバリアメタル42cにより構成されている。

【0040】第2層配線42および第3の層間絶縁膜23を被覆して、酸化シリコン等からなる第4の層間絶縁膜24が形成されており、当該第4の層間絶縁膜24の表面は平坦化されている。

【0041】このようにして、半導体基板10に形成されたフォトセンサ2や読み出し用スイッチ素子3およびその他のトランジスタの上層には、多層配線が形成されている。なお、本実施形態では、一例として、第1層配線41、第2層配線42の2層配線の例を示してあるが、これに限定されるものではない。

【0042】表面が平坦化された第4の層間絶縁膜24上には、例えば、窒化シリコン等からなる保護膜50が形成されている。

【0043】図示はしないが、保護膜50の上層には、オンチップカラーフィルタが形成され、オンチップカラーフィルタ上には、ネガ型感光樹脂などの光透過材料からなるオンチップレンズが形成されている。オンチップカラーフィルタは、原色系では、赤(R)、緑(G)、青(B)のいずれかに着色され、補色系では、例えば、シアン(Cy)、マゼンタ(Mg)、イエロー(Ye)、緑(G)などのいずれかに着色されている。

【0044】次に、上記の本実施形態に係る固体撮像装置の製造方法について、図3から図7を参照して説明する。

【0045】まず、図3(a)に示すように、一般的なCMOSイメージセンサの形成と同様に、CMOS技術を用いて、半導体基板10に必要な素子を形成する。例えば、p型のシリコン等からなる半導体基板10に画素分離のために選択酸化により素子分離絶縁膜11を形成した後、単位画素を形成すべき活性領域の半導体基板10上に熱酸化によりゲート絶縁膜13を形成し、続いて、多結晶シリコン膜およびタングステンシリサイド(WSi)膜等を成膜し、これをドライエッチングによりパターニングして読み出し用スイッチ素子のポリサイド構造のゲート電極14を形成する。なお、このとき、図示しない垂直選択用スイッチ素子等の素子のゲート電極も同時形成される。ゲート電極14を形成した後、ゲート電極14をマスクに読み出し用スイッチ素子のドレイン領域、およびフォトセンサを形成すべき領域に、n型不純物、例えば砒素(As)をイオン注入してn型半導体領域12、12'を形成する。これにより、pn接合を有するフォトセンサ2が形成され、読み出し用スイッチ素子3のドレインとなるn型半導体領域12'が形成される。なお、このとき、図示しない垂直選択用スイッチ素子等の素子のソース・ドレイン領域も同時形成される。

【0046】次に、図3(b)に示すように、半導体基板10の全面を被覆して、TEOS(tetraethylorthosilicate)を用いたLPCVD(Low Pressure Chemical Vapor Deposition)法により、酸化シリコンを堆積させて第1の層間絶縁膜21を形成する。

【0047】次に、図3(c)に示すように、コンタクトホールを形成する領域に開口を有する図示しないレジストパターンをフォトリソグラフィ技術により形成し、当該レジストパターンをマスクとして、異方性のドライッチングを行うことで、第1の層間絶縁膜21に、ゲート電極14およびn型半導体領域12'に達するコンタクトホールC11、C12を形成する。なおこのとき、図示する以外にも、他の領域において半導体基板10に形成された素子とのコンタクトを形成すべき領域にコンタクトホールが形成される。

【0048】次に、図4(d)に示すように、半導体基板10の全面を被覆して、反応性スパッタリングにより窒化タングステンを成膜して密着層31aを形成する。このときの窒化タングステンの成膜条件としては、ターゲット：タングステン、ガス流量：ArとN₂の混合ガス(N₂比が30～60%の範囲)、圧力：0.133～1.33Pa(1～10mTorr)、パワー：100～1000W、膜厚10～100nmの範囲内で成膜する。すなわち、ガスの流量比においては、N₂比が大きいほど、金属の組成比が小さくなるため抵抗が大きくなり、N₂比が小さいほど金属の組成比が大きくなるため抵抗が小さくなることからこれらを考慮して最適な流量比を設定する。また、圧力は、膜厚や成膜される膜の組成の面内均一性に影響し、また基板へのストレスにも影響することから、上記の範囲で最適な圧力を設定する。また、パワーは、成膜レートや基板へのストレスに影響することから、これらを考慮して上記の範囲内で最適なパワーを設定する。膜厚は、コンタクトホールの径にもよるが、基本的には、密着層の膜厚が大きすぎるとコンタクトホールが塞がってしまうことから、密着層として機能する範囲内の膜厚で小さく設定することが好ましい。なお、好適な一例としては、ガス流量：Ar/N₂=60/40sccm、圧力：0.266Pa(2mTorr)、パワー：500W、膜厚40nmが挙げられる。

【0049】次に、図4(e)に示すように、密着層31a上の全面に、タングステン(W)をCVD法により堆積させ、導電層31bを形成する。このときのタングステンのCVD条件例としては、ガス：Ar/N₂/H₂/WF₆=2200/300/500/75sccm、温度：450℃、圧力1040Pa程度とすることができる。

【0050】次に、図4(f)に示すように、第1の層間絶縁膜21が露出するまで全面エッチバックを行い、コンタクトホールC11、C12内以外の密着層31a

および導電層31bを除去する。これにより、コンタクトホールC11、C12には、密着層31aおよび導電層31bからなる第1のコンタクト31が形成される。このときの、エッチバックの条件例としては、ガス：SF₆ = 50 sccm、RFパワー：150W、圧力：1.33Pa程度とすることができる。

【0051】次に、図5(g)に示すように、半導体基板10の全面を被覆して、反応性スパッタリングにより窒化タングステンを成膜してバリアメタル41aを形成する。このときの窒化タングステンの成膜条件としては、密着層31aの形成条件と同様に、ターゲット：タングステン、ガス流量：ArとN₂の混合ガス(N₂比が30～60%の範囲)、圧力：0.133～1.33Pa(1～10mTorr)、パワー：100～1000W、膜厚10～100nmの範囲内で成膜する。ここで、基本的には密着層で述べたのと同様であるが、ガスの流量比においては、N₂比が小さいほどアルミニウム配線へのバリア性が小さくなることから、これと抵抗等を考慮してガスの流量比を設定する。また、バリアメタルとしての機能を果たすためには、最低10nm程度は必要と考えられる。なお、好適な一例としては、密着層を構成する窒化タングステンと同じ条件である、ガス流量：Ar/N₂ = 60/40 sccm、圧力：0.266Pa(2mTorr)、パワー：500W、膜厚40nmが挙げられる。

【0052】次に、図5(h)に示すように、バリアメタル41a上の全面に、銅とシリコンを添加したアルミニウムをスパッタリングにより堆積させて主配線層41bを形成する。

【0053】次に、図5(i)に示すように、主配線層41b上の全面を被覆して、反応性スパッタリングにより窒化タングステンを成膜してバリアメタル41cを形成する。なお、このときのバリアメタル41cの成膜条件は、バリアメタル41aについて説明したのと同様である。

【0054】次に、図6(j)に示すように、バリアメタル41a、主配線層41b、バリアメタル41c上に、第1層配線のパターンを有する図示しないレジストパターンをフォトリソグラフィ技術により形成し、当該レジストパターンをマスクとして、異方性のドライエッチングを行うことで、バリアメタル41a、41c、主配線層41bからなる第1層配線41を形成する。

【0055】次に、図6(k)に示すように、高密度プラズマCVD(High Density Plasma enhanced CVD：HDP-CVD)法により、酸化シリコン膜を堆積させ、続いて、CMP(Chemical Mechanical Polishing)法により、第1層配線41が露出するまで研磨して、当該第1層配線41に起因する段差をなくして、表面が平坦化された第2の層間絶縁膜22を形成する。

【0056】次に、図7(1)に示すように、上述した

図3(b)～図4(f)に示すコンタクト形成工程と同様に、TEOSを用いたLPCVD法により酸化シリコン膜からなる第3の層間絶縁膜23を形成し、当該第3の層間絶縁膜23にコンタクトホールを形成し、スパッタリングにより窒化タングステンからなる密着層32aを形成し、CVD法によりタングステンからなる導電層32bを形成し、全面エッチバックを行うことで、第3の層間絶縁膜23のコンタクトホールに埋め込まれた密着層32aおよび導電層32bからなる第2のコンタクト32を形成する。

【0057】次に、図7(m)に示すように、上述した図5(g)～図6(k)に示す配線形成工程と同様に、スパッタリングおよびエッチングにより、窒化タングステンからなるバリアメタル42a、銅とシリコンが添加されたアルミニウムからなる主配線層42b、窒化タングステンからなるバリアメタル42cからなる所定パターンの第2層配線42を形成して、HDP-CVD法により酸化シリコン膜を堆積させ、CMP法により表面を研磨することにより、表面が平坦化された第4の層間絶縁膜24を形成する。

【0058】以降の工程としては、さらなる多層配線を形成する場合には、図7(1)に示すコンタクト形成工程、図7(m)に示す配線形成工程を必要に応じて繰り返して、最終配線形成後に、プラズマCVD法により、窒化シリコン膜を堆積することで保護膜50を形成する。

【0059】続いて、温度が200℃～350℃、時間が30分～180分程度で、アニール(以下、水素化処理と称する)を行う。なお、この水素化処理で使用するガスは、100%の水素ガスや、水素ガスと窒素ガスとの混合ガス等を使用する。これにより、プラズマCVD法により形成された窒化シリコンからなる保護膜50は、水素を多量に含有することから、当該保護膜50に含まれる水素が当該熱処理によって拡散して、フォトセンサ2における基板10と第1の層間絶縁膜21との界面に存在するダングリングボンドや、読み出し用スイッチ素子3のゲート電極14下における半導体基板10とゲート絶縁膜13との界面に存在するダングリングボンドを消滅させることにより、半導体基板10と絶縁膜との界面準位を低減させる。なお、水素化は、上記のように、プラズマCVDによる窒化シリコン膜からなる保護膜を形成した後に行うのみでなく、保護膜を形成する前にも、水素を含むガス中でアニールすることにより行ってもよい。

【0060】続いて、保護膜50上に、例えば、オンチップカラーフィルタを形成し、オンチップカラーフィルタ上に、オンチップレンズを形成する。オンチップカラーフィルタの形成方法として染色法を用いる場合には、カゼインなどの高分子に感光剤を添加して塗布し、露光、現像、染色および定着を色ごとに繰り返す。その他、分散法、印刷法または電着法等を用いてオンチップ

カラーフィルタを形成してもよい。オンチップレンズは、全面に、ネガ型感光性樹脂などの光透過性樹脂などのレンズ材を形成して、当該レンズ材上に、所定の曲率を有するレンズ形状のレジストパターンを形成し、当該レジストパターンをマスクとしたエッチングにより、レンズ材を加工することで形成することができる。

【0061】以上により、図2に示す本実施形態に係る固体撮像装置を製造することができる。

【0062】上記の本実施形態では、保護膜50を形成する前や後に、水素を含む雰囲気化で熱処理することで水素化処理を行っており、これにより、上述したように、当該保護膜50に含まれる水素や外部雰囲気の水素を当該熱処理によって基板方向へ拡散して、フォトセンサ2における基板10と絶縁膜21との界面に存在するダングリングボンドや、読み出し用スイッチ素子3のゲート電極14下における半導体基板10とゲート絶縁膜13との界面に存在するダングリングボンドを消滅させることにより、半導体基板10と絶縁膜との界面準位を低減させている。本実施形態では、配線のバリアメタルや密着層に水素吸蔵性のない窒化タングステンを用いており、水素吸蔵性の高いチタン(Ti)を一切用いていないことから、この水素が基板10へ拡散する際に、基板10の水素化が阻害されることがないため、水素化による界面準位の低減が促進される。

【0063】また、本実施形態において配線41、42のバリアメタル41a、41c、42a、42cに採用する窒化タングステン(WN)は、上述したように、窒素を含有することで、従来の窒化チタンと同等の主配線層を構成するアルミニウムの反応を防止するバリア性能を有し、また、窒化チタンと同等の加工性を有していることが確認された。また、コンタクト31、32の導電層31b、32bとしてCVD法により成膜するタングステンは、絶縁膜の表面への膜付きが悪いが、スパッタリングにより成膜する窒化タングステンを密着層として採用することで膜付きが向上され、密着層として、従来の窒化チタンと同等の機能を有していることが確認された。

【0064】以上のように、本実施形態によれば、水素を吸着するチタン(Ti)および窒化チタン(TiN)を使用することなく、CMOS型の固体撮像装置を製造することが可能となり、界面準位の低減のための水素化処理が阻害されることがなく、CMOS型固体撮像装置の暗電流を低減することができ、その結果、固体撮像装置のS/N比の向上や、画質の向上を実現することが可能となる。

【0065】本発明は、上記の実施形態の説明に限定さ

れない。例えば、本実施形態では、バリアメタルや密着層を構成する窒化タングステンの製法として、通常のスパッタリングによって成膜する例について説明したが、アスペクト比の増大に伴うコンタクトホール底部に堆積される膜厚の減少を防止して、コンタクトホール底部における膜付きを向上させるため、スパッタ粒子の直行成分を引き出す遠距離スパッタリングや、コロメートスパッタリング等を用いることもできる。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0066】

【発明の効果】本発明によれば、水素化による界面準位の低減を促進して、暗電流を低減させることで、S/N比の向上や、画質の向上を実現することができる。

【図面の簡単な説明】

【図1】本実施形態に係るCMOS型の固体撮像装置の構成の一例を示す図である。

【図2】本実施形態に係る固体撮像装置のフォトセンサおよびその上層構成の一例を示す断面図である。

【図3】本実施形態に係る固体撮像装置の製造において、コンタクトホールの形成後の断面図である。

【図4】本実施形態に係る固体撮像装置の製造において、第1のコンタクトの形成後の断面図である。

【図5】本実施形態に係る固体撮像装置の製造において、第1層配線となる導電層の堆積後の断面図である。

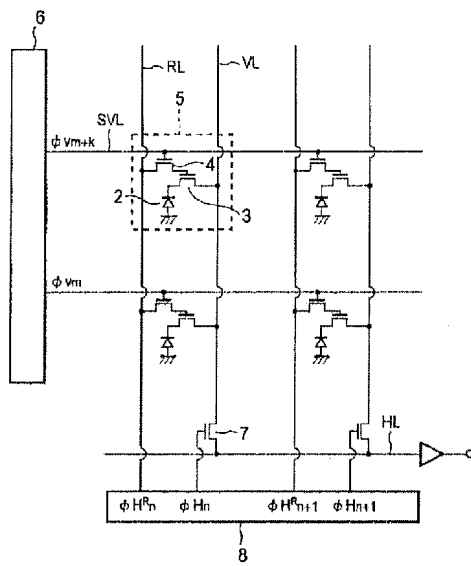
【図6】本実施形態に係る固体撮像装置の製造において、第2の層間絶縁膜の形成後の断面図である。

【図7】本実施形態に係る固体撮像装置の製造において、第4の層間絶縁膜の形成後の断面図である。

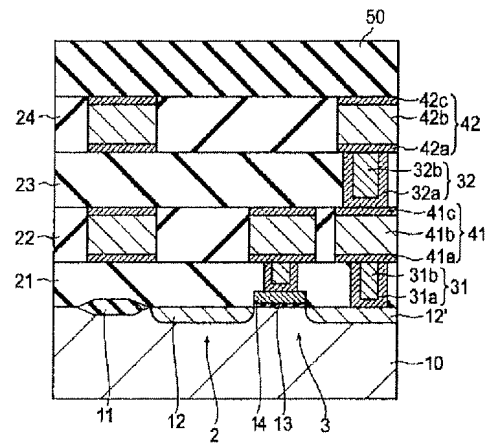
【符号の説明】

1…固体撮像装置、2…フォトセンサ、3…読み出し用スイッチ素子、4…垂直選択用スイッチ素子、5…単位画素、6…垂直走査回路、7…水平スイッチ素子、8…水平走査回路、9…アンプ、10…半導体基板、11…素子分離絶縁膜、12、12'…n型半導体領域、13…ゲート絶縁膜、14…ゲート電極、21…第1の層間絶縁膜、22…第2の層間絶縁膜、23…第3の層間絶縁膜、24…第4の層間絶縁膜、31…第1のコンタクト、31a…密着層、31b…導電層、32…第2のコンタクト、32a…密着層、32b…導電層、41…第1層配線、41b…主配線層、41a、41c…バリアメタル、42…第2層配線、42b…主配線層、42a、42c…バリアメタル、50…保護膜、SVL…垂直選択線、VL…垂直信号線、RL…読み出しパルス線、HL…水平信号線、C11、C12…コンタクトホール。

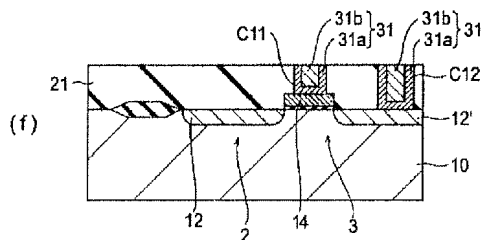
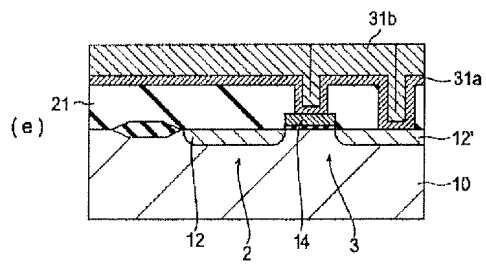
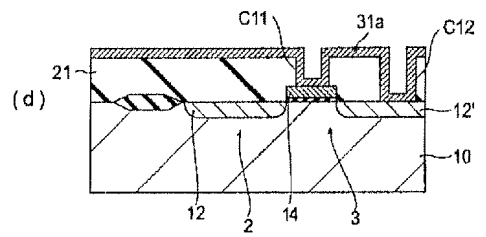
【図1】



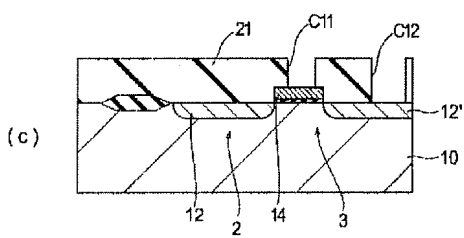
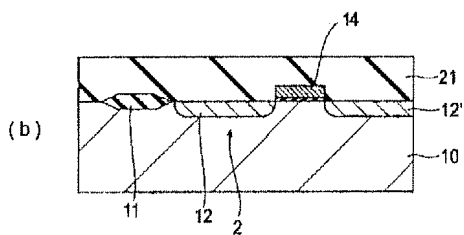
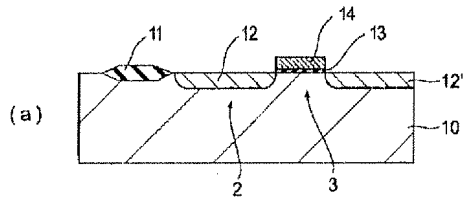
【図2】



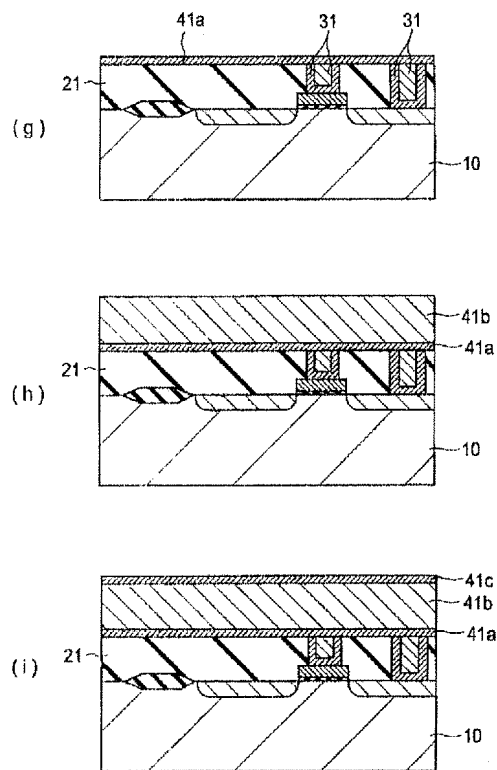
【図4】



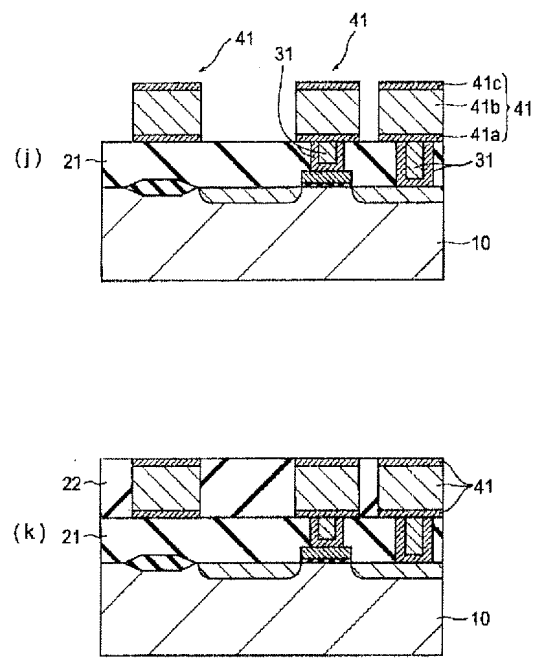
【図3】



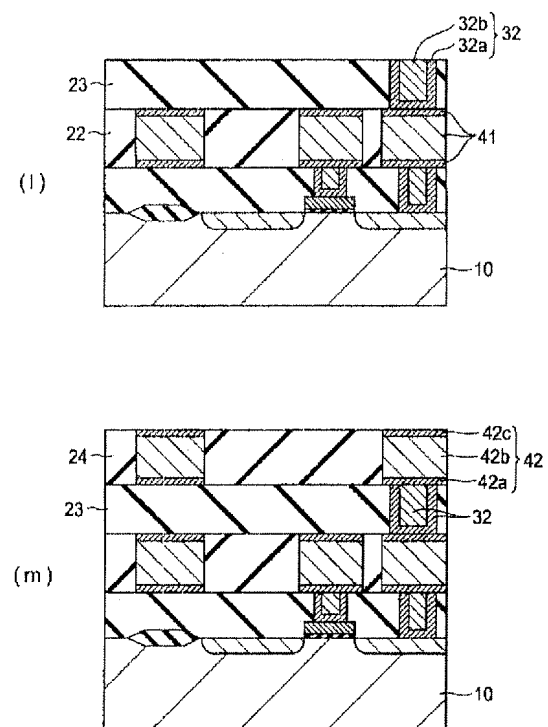
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I
H O 1 L 21/90

キーワード(参考)

C
A

Fターム(参考) 4M118 AA05 AB01 BA14 CA03 CA34
EA01 FA06 FA28 GC08 GC09
GD04
5C024 CX32 CY47
5F033 HH04 HH09 HH28 HH34 JJ19
JJ34 KK01 KK09 KK34 MM07
MM08 MM13 NN06 PP16 PP22
QQ08 QQ09 QQ10 QQ11 QQ16
QQ37 QQ39 QQ48 QQ73 RR04
RR06 SS04 SS13 SS15 TT02
VV06 XX14 XX20