CSP Development of ShellCase Type

Hisayuki SAKAI*

* Custom Device Div., Intex Corporation (3-2-1 Sakado, Takatsu-ku, Kawasaki-shi, Kanagawa-ken 213)

1. Introduction

Higher speed and higher performance of electronic equipment are promoted by higher integration and higher performance of LSI, and as the portability of electronic devices becomes an important factor along with the advancement of software, portable electronic devices such as digital cameras with memory cards, pagers, and notebook computers have appeared on the market. Miniature packaging of semiconductor devices is also playing an increasing role in miniaturizing equipment.

For applications such as portable devices such as smart cards and PCMCIA memory cards, the use of thin packages has become essential.

In line with these market demands, TSOP, TSSOP, and TQFP are provided as thin packages for electronic components, and Ultra-Thin TCP, Dual in Line TCP to which the TAB process has been applied has been developed to meet the requirements for ultra-thin packages.

In addition, Direct Chip Attach (DCA) using wire bonding technology that meets the requirement for a small cross-sectional area, which is an important factor in the development of card-type portable equipment, has been developed.

These thin and ultra-thin package methods require new investment in production equipment when manufacturing TCP or TAB packages.

Also, in order to make it thinner due to the limitation on thickness, a method of grinding the silicon wafer or die thinly is also adopted, but considering the influence on the active surface of the electric circuit in the grinding process, it is necessary to consider the damage, etc. In addition, the adoption of ultra-thin Flip Chip packages requires new production equipment, and there is a problem of fragility of thin dies that must be resolved.

In order to solve these problems that CSP have, a CSP of ShellCase Type ultra-thin package has been developed based on a new concept package technology.

2. *ShellCase-Type CSP Development Concept* and its structure

In promoting the CSP Development of ShellCase Type, the following five items were set as development goals, and the development was performed.

1) Aim for a CSP shape that is the same size as the chip size.
2) Aim for a CSP thickness of less than 500-600 μm, which is the thickness of a typical wafer.
3) Apply the protective plates to the top and bottom of the active surface of the electric circuit as a countermeasure against physical damage from the outside.
4) Employ side lead and BGA type as the type of package, making it possible to use conventional SMT technology.
5) Aim to reduce the manufacturing lead time, by linking the CSP manufacturing process and the semiconductor process.

In order to achieve the development goal of a thin CSP, I considered and developed a new method of forming electrical leads (input/output terminals) described below. This method focuses on pad placement and scribe line area in the silicon wafer or die layout, wherein considering the use of the die pad as an electrical lead, after forming an additional pad extended to the scribe line area on the pad arranged on the die, a die-sized CSP is made by cutting the additional pad within the scribe line area, and forming electrical leads using the cut surface of the additional pad

In addition, arranging glass as a protective shell above and below the die can remove the manufacturing obstacles that arise due to thinning, improve processing, and protect the active surface of the electric circuit from being exposed to the outside of the silicon wafer.

Based on this concept, I was able to develop a CSP with a size within 100 μm in length and width and a thickness of 0.3 to 0.5 mm compared to conventional dies.

Figures 1 and 2 show schematic diagrams of electrical lead formation and lead formation connections.

The package's electrical leads are formed by utilizing two upper and lower glass sheets arranged for the protection plate to form electrical leads, developing a ShellCase ShellPACKBGA-type ShellBGA of ultra-thin, ultra-compact multi-pin type solder lead terminal with a pitch width of 0.3 to 0.5 mm.

Furthermore, it is assumed that mounting is possible using conventional surface-mount technology (SMT) production equipment.

The schematic structure of this ShellCase-type CSP is shown in Figure 3.

TSMC EX. 1010 Page 1 of 9

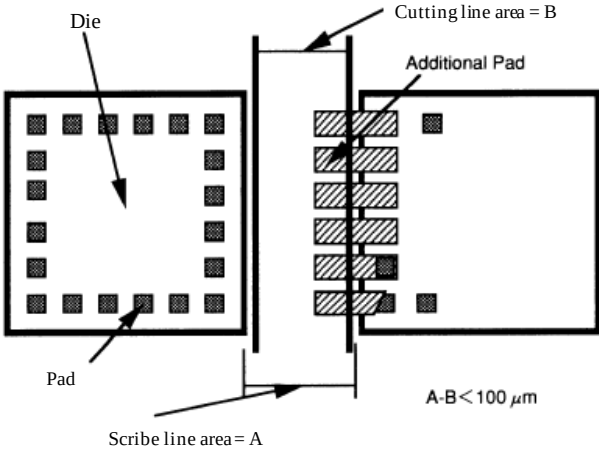


Figure 1. Conceptual diagram of lead formation

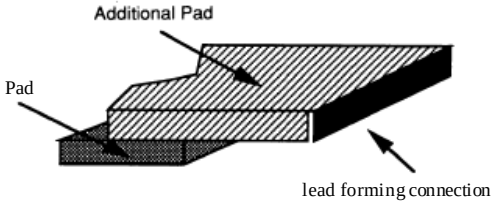


Figure 2. Lead forming connection

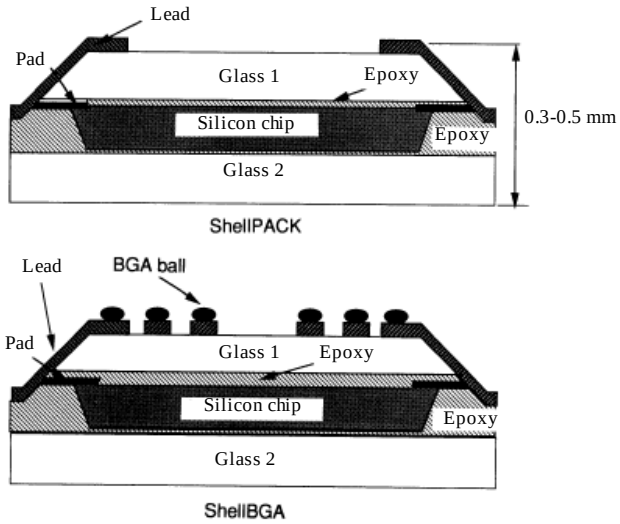


Figure 3. Package structure diagram

Because the production process of this Shell Case-type CSP can be manufactured at the silicon wafer level, it is possible to reduce the manufacturing lead time by linking it with the semiconductor process.

3. *Thickness comparison of various thin packages and Shell Case*-type method

Figure 4 shows a comparison of the thickness of various thin packages and ShellCase-type method.

Comparing this figure, it can be said that this ShellCase Type method is one of the thinnest among the thin packages with external protection.

Due to the thickness of each thin package, the ShellCase Type scheme can enable higher density packaging for applications where space and vacant room are not available.

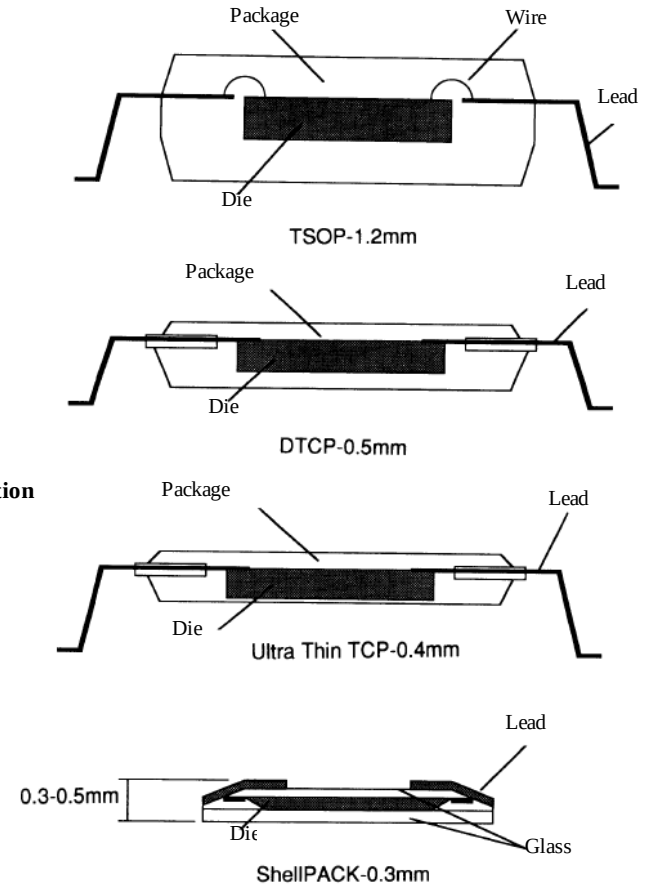


Figure 4. Thin Package Comparison

For example, if a PCMCIA standard IC card specifies a thickness limit of 3.3 mm, then if TSOP is used, one single-sided board must be used, or if a special processing process is required when using a double-sided board. However, when using this Shell Case method, it becomes possible to use a double-sided board, and the mounting density can be doubled at once, and two double-sided boards can be used due to the extra space.

4. *Shell Case manufacturing method*

Next, an outline of the manufacturing process of the ShellCase method will be explained (Figure 5).

Process A: Prepare a silicon wafer (thickness 500-600 μm) that has been pre-applied with the additional pad described above and cleaned, and bond it to glass 1 (thickness 100-200 μm) using an epoxy adhesive.

In this case, it is important to control the thickness of the adhesive to 20 μm or less, and to ensure that the adhesive is uniform and spreads to the edge of the adhesive.

Process B: Grinding the silicon wafer down to 100 μm.

Process C: Specially processed the silicon wafer into a CSP shape and then etched it to form a CSP shape.

Step D: Bond the glass 2 to the side of the silicon wafer with an adhesive.

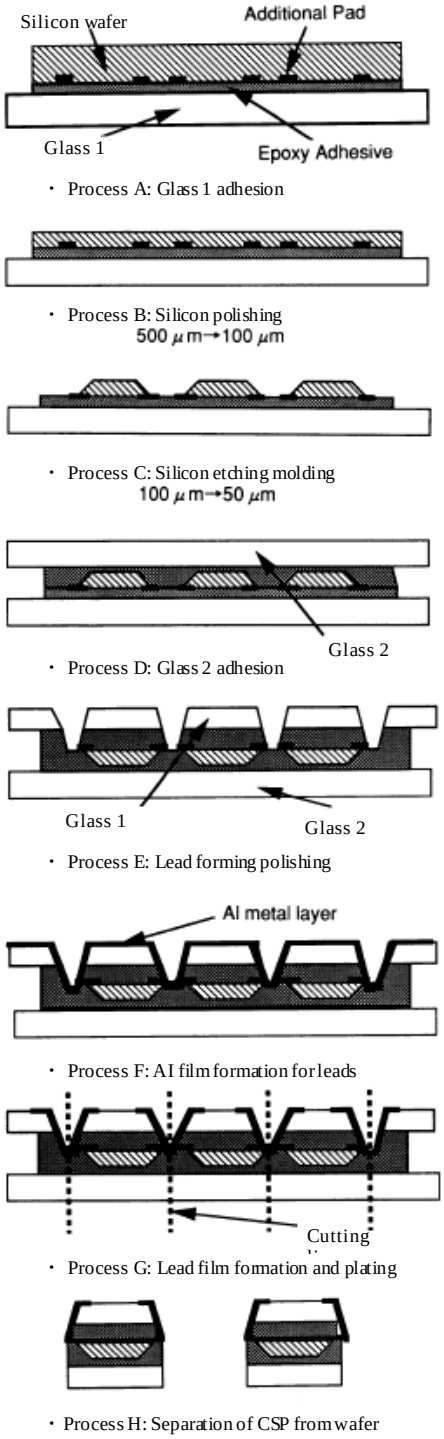


Figure 5. ShellCase CSP manufacturing process

Process E: Using a slicer machine, make deep grooves until the edges of the additional pad are exposed. This process is a grooving process for three different types of materials, and the key points are the selection of the grade to be used and the selection of processing conditions.

Process F: Coat the aluminum film on the upper surface of the glass 1 of the silicon wafer on which deep grooves are formed using a sputtering machine. In order to stabilize the contact between the end face of the additional pad and the aluminum film, it is necessary to devise the activation treatment of the grooved portion of the deep-grooved silicon wafer.

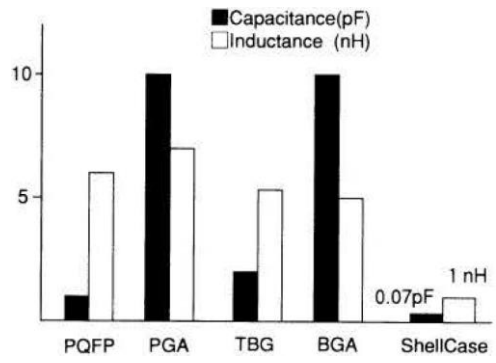


Figure 6. Comparison of electrical characteristics of various packages

Process G: Expose the applied resist through a mask for forming electric leads, and form electric leads by photo-etching. For SMT compatibility, the aluminum film is plated with nickel or gold or solder.

Process H: Complete individually packaged CSPs by separating CSPs with a slicer.

5. *Electrical characteristics*

Because the ShellPACK package utilizes silicon wafer pads, short electrical leads can be made, resulting in very low parasitic inductance and capacitance, with lead-to-lead capacitance of up to 0.07 pF. The lead inductance is lnH at the upper limit. Low inductance and low capacitance improve the usage characteristics in the high frequency band, resulting in high speed characteristics. Figure 6 shows a comparison of electrical characteristics with various packages.

6. *Experiment to study soldering mounting*

The goal of the ShellCase-type CSP is to enable solder mounting on the PCB using the typical SMT (surface-mount technology); to be able to solder without special measures, and I am currently conducting experiments to study soldering mounting. Soldered samples are also currently in the stage of reliability evaluation. The outline is shown below.

"Experimental conditions"

* ShellCase-type CSP
(BGA type)
* Solder mask: 316L stainless steel
(Wet etching process)
Thickness: 5 mil (125 μm)
Groove Width: 150 μm
* Experimental PC board: FR4 type
* Solder paste: Multicore 63/37
noclean LR725 (Alloy 89-91%)
* Reflow oven used
Made of OK Industries, Inc.

7. *Reliability*

I am currently conducting a reliability test on the manufactured samples.

TSMC EX. 1010 Page 3 of 9

Table 1. ShellCase-type ShellCase CSP Reliability Test Interim Results

Test item	Test Conditions	Interim Test Results	
Temp Cycling	-45°C to 85°C, air to air MIL STD.883D Method 1017.7	1000cycles-	passed
Heat Dissipation	5 Watt with heat sink & 5 Watt without heat sink	Tj<125°C	
THB	85°C;85%RH;5V Bias	1000H-	passed
Life test	15mA, 125°C	1000H-	passed
Popcorn	JEDECA112	3 Reflow cycles-	passed
Shear	MIL STD.883 Method 2019.5		passed
Break	ASTM method f 394-78		passed

Table 1 shows the test items and interim test results. So far, there have been no major problems, but I will proceed with further evaluation.

8. Conclusion

So far, I have described the development of an ultra-thin package ShellCase-type CSP based on a new concept package technology. I would greatly appreciate if this article could serve as a reference for future development of CSP.

(Accepted on 3.15.1997-re-accepted on 4.8.1997)

Glossary

PCMCIA: Personal Computer Memory Card International Association

A memory card interface standard established by the US IC memory card industry group.

TSSOP: Thin Shrink Small Outline Package

An SOP type package with gullwing leads arranged on two sides of the package with a reduced lead pitch and a thin and compact SOP package.

TQFP: Thin Quad Flat Package

A thin QFP package that is thinner than the QFP type with leads arranged on the four sides of the package.

Ultra-Thin TCP: Ultra-Thin Tape Carrier Package

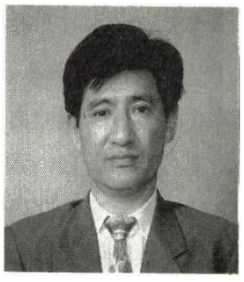
A thin tape type package of 0.8 mm or less, in which wiring is performed by wire bonding using tape instead of a lead frame to support thinning of multiple pins.

Dual in Line TCP: Dual in Line Tape Carrier Package

A tape-type package in which leads are arranged on two sides.

Flip Chip: A packaging method in which a bare chip is directly mounted on a circuit board, which is effective in improving circuit characteristics by reducing the mounting area and height, reducing the wiring length, and shortening the wiring length.

Wet etching process: A type of method for forming shapes on metal materials, etc., using chemical corrosion that occurs in a liquid phase using chemicals.



Hisayuki Sakai
Born in 1944. In 1967, graduated from the Department of Mechanical Engineering, Faculty of Engineering, Meiji University. Currently engaged in quick delivery gate array LPGA (Laser Programmable Gate Array) business at Intex Corporation Custom Device Division.

TSMC EX. 1010 Page 4 of 9

ShellCase方式CSPの開発

坂井　久之*

CSP Development of ShellCase Type

Hisayuki SAKAI*

*株式会社インテックスコーポレーションカスタムデバイス事業部（〒213　神奈川県川崎市高津区坂戸3-2-1）
*Custom Device Div., Intex Corporation (3-2-1 Sakado, Takatsu-ku, Kawasaki-shi, Kanagawa 213)

1. はじめに

電子機器の高速化，高性能化がLSIの高集積化，高性能化によって促進され，ソフトウエアの進歩と合わせて電子機器の携帯性が重要な要素になるにつれて，メモリカード付きデジタルカメラ，ページャ，ノートパソコンといった携帯用電子機器が市場に登場してきた。また，半導体デバイスのミニチュアパッケージ化が，機器の小型化に果たす役割も増してきている。

スマートカードやPCMCIAメモリカードといった携帯用機器等の用途には，薄形パッケージを使うことがなくてはならないものになってきている。

このような市場の要求に沿って，電子部品の薄形パッケージはTSOP，TSSOP，TQFPが提供されており，さらに超薄形パッケージの要求に対してTABのプロセスを応用したUltra Thin TCP，Dual in Line TCPが開発されている。

また，カードタイプの携帯用機器開発で重要な要素である，小断面積への要求に対応したワイヤボンディング技術を使ったDirect Chip Attach (DCA) が開発されている。

これらの薄形，超薄形パッケージ方式は，TCPまたはTABパッケージを製造する場面では，新たに生産設備への投資が不可欠となる。

また，厚さへの制約からより薄くするために，シリコンウエハ，またはダイを薄く削る方法も採用されているが，研削工程での電気回路能動面への影響を考えると破壊などへの考慮が必要になる。また，Flip Chipの超薄形パッケージの採用には，やはり新たな生産設備が必要であり，また薄形ダイが壊れやすいとの課題を解決しなければならない。

これらのCSPが持つ課題を改善するために，新しいコンセプトのパッケージ技術に基づいた超薄形パッケージShellCase方式CSPを開発した。

2. ShellCase方式CSPの開発コンセプトとその構造

ShellCase方式CSPの開発を進めるにあたり，下記の5項目を開発目標として掲げて開発に取り組んだ。

1) CSPの形状がチップサイズと同等の大きさを狙う。
2) CSPの厚さが一般的なウエハの厚さ500-600 μm以下を狙う。
3) 電気回路能動面への外部からの物理的障害対策として保護板を上下に施す。
4) パッケージの種類はサイドリードとBGAタイプを達成し，従来からのSMT技術を使用可能とする。
5) CSP製造プロセスと半導体プロセスを連結して行うことで，製造リードタイムの削減を図る。

薄形CSPの開発目標を達成するために，次に述べる新しい電気リード（入出力端子）の形成方法を考え開発を行った。この方法は，シリコンウエハまたはダイのレイアウトでのパッドの配置とスクライブライン領域に着目して，ダイパッドを電気リードとして利用することを考えて，ダイに配置されているパッド上にスクライブライン領域まで延長したAdditional Padを追加形成した後，スクライブライン領域内でAdditional Padを切断し，そのAdditional Padの切断面を利用して電気リードを形成することによりダイサイズのCSPを作る。

また，ダイの上下に保護シェルとしてガラスを配置することにより，薄形化のために発生する製作上の障害を取り除き，加工改善とシリコンウエハが外部に露出させない電気回路能動面への保護機能を持たせた。

このコンセプトによって，CSPの大きさは従来のダイに比較して縦・横100μm以内の大きさで，厚さも0.3-0.5mmのCSPを開発できた。

図1，2に概略電気リード形成構想図とリード形成接続部を示す。

パッケージの電気リード対応は，保護板用に配置した上下2枚のガラスを活用して電気リードを形成し，0.3〜0.5mmピッチ幅のはんだリード端子の超薄形，超小型多ピンタイプのShellCase方式サイドリードタイプのShellPACKと，BGAタイプのShell BGAを開発した。

さらに，従来の表面実装技術（SMT）の生産設備を用いて実装が可能であるものとした。

このShellCase方式のCSPの概略構造は図3に示す。

TSMC EX. 1010 Page 5 of 9

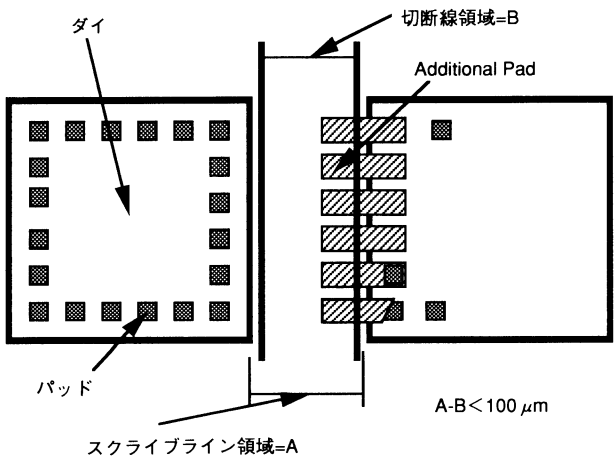


図1. リード形成構想図

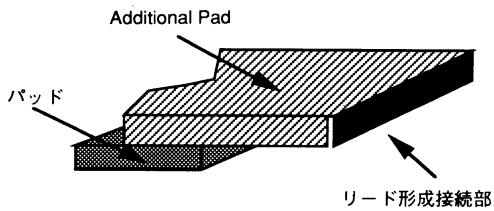


図2. リード形成接続部

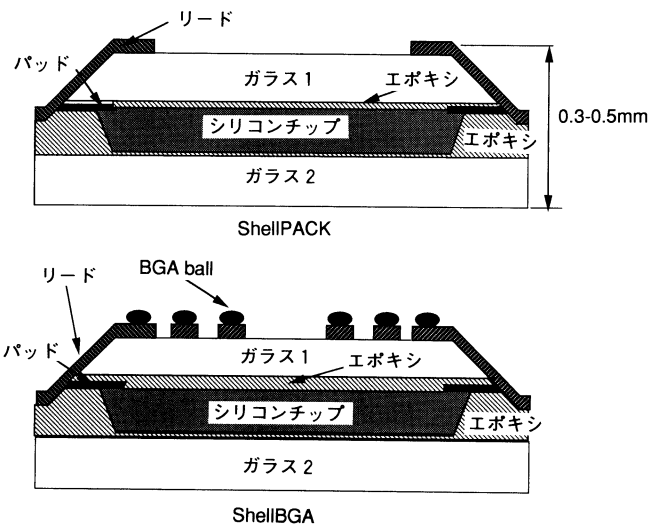


図3. パッケージ構造図

このShellCase方式CSPの生産プロセスは，シリコンウエハレベルで製作ができるため，半導体プロセスと連結して行うことで製造リードタイムの削減を図ることができる。

3. 各種薄形パッケージとShellCase方式の厚み比較

種々の薄形パッケージとShellCase方式の厚み比較を，図4に示す。

この図から比較すると，外部保護対応が施されている薄形パッケージの中で，ShellCase方式は最も薄いパッケージの一つと言える。

各薄形パッケージの厚さにより，スペースと空間が確保

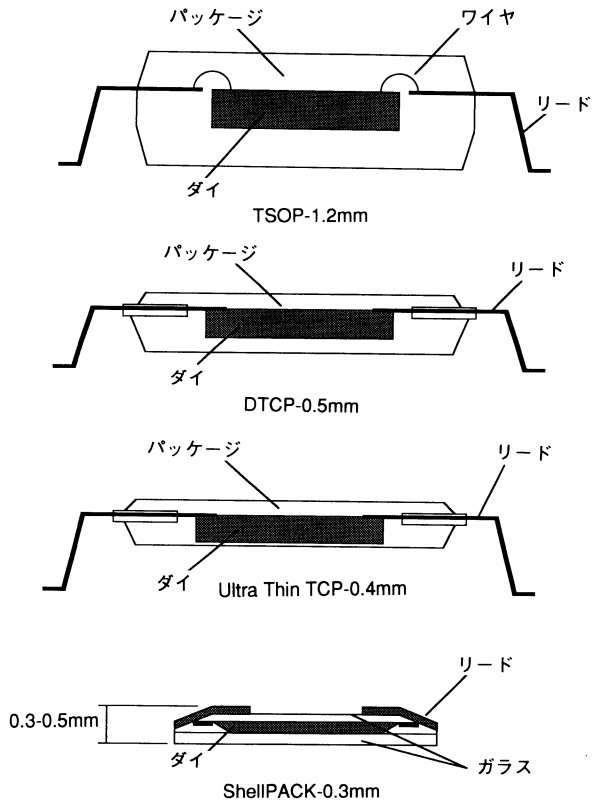


図4. 薄形パッケージの比較

できないような用途の場合に，ShellCase方式はより高密度な実装を可能にすることができる。

例えば，PCMCIA規格のICカードで，3.3mmという厚みの制限が指定されている場合，TSOPを使用した場合は片面基板1枚を使用するか，または両面基板使用時には特殊な加工工程が必要となるが，ShellCase方式を使用する場合は両面基板を使うことが可能になり，一挙に実装密度を倍増でき，さらにスペース的余裕から両面基板を2枚使用することも可能となる。

4. ShellCase方式の製造方法

次にShellCase方式の概略製造工程を説明する（図5）。

A工程：あらかじめ前述したAdditional Padを施して洗浄したシリコンウエハ（厚み500-600μm）を用意し，ガラス1（厚み100-200μm）とエポキシ系の接着剤を用いて接着する。

この場合，接着剤が均一で，端面までの広がりと厚さ20μm以下にコントロールすることが，次の工程への製造上で重要なポイントとなる。

B工程：研削にてシリコンウエハを100μmまで削り落とす。

C工程：シリコンウエハにCSP形状の特殊加工を施し，エッチングにてCSP形状を形成する。

D工程：シリコンウエハサイドにガラス2を接着剤を用いて接着する。

E工程：スライサーマシンを用いて，Additional Padの

TSMC EX. 1010 Page 6 of 9

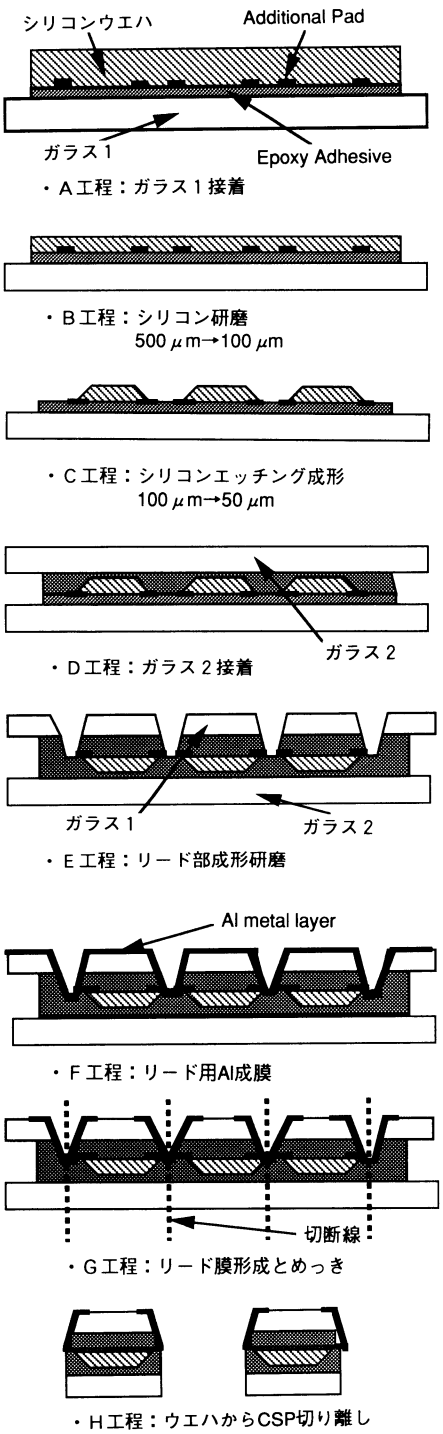


図5. ShellCase CSP製造工程

端面が露出するまで深溝を入れる。この工程は3種類の異種材料の溝掘り工程であり，使用するグレードの選択と加工条件の選定がポイントとなる。

F工程：深溝形成したシリコンウエハのガラス1の上面に，アルミニウム膜をスパッターマシンにてコートする。Additional Padの端面とアルミニウム膜のコンタクトを安定させるために，深溝形成したシリコンウエハの溝部分の活性化処理に工夫がいる。

G工程：塗布したレジストを電気リード形成用のマスクを通して露光し，フォトエッチングにて電気リード形成する。SMT対応として，ニッケル膜ー金またははんだめっきをアルミニウム膜に施す。

H工程：スライサーにてCSPを切り離して個々にパッケージされたCSPが完成する。

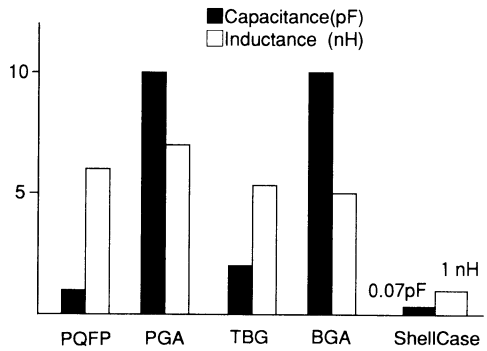


図6. 各種パッケージ電気特性比較

5. 電気的特性

ShellPACKパッケージはシリコンウエハのパッドを利用しているため，短い電気リードを作ることができ，寄生インダクタンスとキャパシタンスが大変低くなり，リード間のキャパシタンスは最高で0.07pFとなる。リードのインダクタンスは上限で1nHである。低いインダクタンス，低キャパシタンスが高周波帯域での使用特性を改善し，高速特性になっている。各種パッケージとの電気特性の比較を図6に示す。

6. はんだ付け実装検討の実験

ShellCase方式CSPは，通常のSMT（表面実装技術）でPCB上にはんだ実装することができ，特別な対応をせずに，はんだ付けできることが目標であり，現在，はんだ付け実装検討の実験を進めている。はんだ付けサンプルについても，現在，信頼性評価を進めている段階である。その概要について下記に示す。

「実験条件」

＊ShellCase方式CSP
（BGAタイプ）
＊はんだマスク：316Lステンレス製
（ウエットエッチング加工）
厚さ：5 mil(125μm)
溝の幅：150μm
＊実験用PCボード：FR4タイプ
＊はんだペースト：Multicore 63/37
noclean LR725(アロイ89-91%)
＊使用リフロー炉
OK Industries Inc.製

7. 信頼性

現在，製作したサンプルについては信頼性テストを行っ

TSMC EX. 1010 Page 7 of 9

表1. ShellCase CSPの信頼性テスト中間結果

Test項目	Test Conditions	中間Test結果	
Temp Cycling	−45℃ to 85℃, air to air MIL STD.883D Method 1017.7	1000cycles-	passed
Heat Dissipation	5 Watt with heat sink & 5 Watt without heat sink	Tj＜125℃	
THB	85℃; 85%RH; 5 V Bias	1000H-	passed
Life test	15mA, 125℃	1000H-	passed
Popcorn	JEDEC A112	3 Reflow cycles-	passed
Shear	MIL STD.883 Method 2019.5		passed
Break	ASTM method f 394-78		passed

ている。

表1にテスト項目と中間テスト結果を示す。現在のところ，大きな問題もなく経過しているが，さらに評価を進めていく。

8. 結び

以上，新しいコンセプトのパッケージ技術に基づいた，超薄形パッケージShellCase方式CSPの開発について述べた。今後のCSPの発展に少しでも参考になれば幸いである。

（1997.3.15-受理　1997.4.8-再受理）

用語解説

PCMCIA：Personal Computer Memory Card International Association

米国ICメモリカード業界団体が制定した，メモリカードのインタフェース規格。

TSSOP：Thin Shrink Small Outline Package

パッケージの2辺にガルウィング型のリードを配置したSOPタイプにてリードピッチを縮小し，薄形・小型化したSOPパッケージ。

TQFP：Thin Quad Flat Package

パッケージの4辺にリードを配置したQFPタイプにて厚さを薄くした，薄形QFPパッケージ。

Ultra Thin TCP：Ultra Thin Tape Carrier Package

多ピン薄形化対応において，リードフレームの代わりにテープを用いてワイヤボンディングにて配線を施した，0.8mm以下の薄形テープタイプパッケージ。

Dual in Line TCP：Dual in Line Tape Carrier Package

テープタイプパッケージにおいて，2辺にリードを配置した，テープタイプパッケージ。

Flip Chip：ベアチップを基板に直接実装する方法で，実装面積・高さの薄形・小型化，配線長が短くでき，回路特性の向上に効果があるパッケージ方式。

ウエットエッチング加工：化学薬品を用いて液相下で起きる化学的腐食を利用し，金属材料等へ形状形成する方式の一種。

坂井　久之（さかい　ひさゆき）
昭和19年生まれ。昭和42年，明治大学工学部機械工学科卒業。現在，株式会社インテックスコーポレーションカスタムデバイス事業部において，短納期対応ゲートアレイLPGA（Laser Programable Gate Array）ビジネスに従事。

TSMC EX. 1010 Page 8 of 9

TRANSPERFECT

I, Natalia Lehmann, declare as follows:

1. I am over eighteen years of age and fully competent to make this affidavit. I have personal knowledge of the information contained in this affidavit, and it is true and accurate to the best of my knowledge.

2. I am a translator fluent in the Japanese and English languages. I provide this affidavit on behalf of TransPerfect.

3. I translated "Sakai - Development of ShellCase CSP" from Japanese to English and attest that it is a true and accurate translation.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on the information and belief are believed to be true; I declare under penalty of perjury that the foregoing is true and correct, and understand that willful false statements and the like are punishable by fine or imprisonment, or both pursuant to 18 U.S.C. 1001.

Executed on Wednesday, December 14, 2022, in Lindale, TX.

Natalia Lehmann
Wednesday, December 14, 2022