



回路実装 学会誌

●特集

BGA/CSPの実装技術

THE JOURNAL OF JAPAN INSTITUTE FOR INTERCONNECTING AND PACKAGING ELECTRONIC CIRCUITS

JIPC

28-MAY-1997 BSDS BOSTON SPA
LS23 78QJOURNAL - JAPAN INSTITUTE FOR INTERCONNECTIN
G AND PACKAGING ELECTRONIC CIRCUITS

4805.190000

VOL 12 PART 3

回路実装学会誌

第12巻第3号
通巻第68号
(1997年5月)

目次

■巻頭言

マルチメディア時代の実装技術 日本電気 内海和明

■特集「BGA/CSPの実装技術」

特集「BGA/CSPの実装技術」緒言 エス・シー・ラボラトリー 本多 進 133

小型FC-PBGA技術 シナズン時計 石綿修一 134

テープタイプBGA/CSP技術 日本電気 萩本英二 139

ShellCase方式CSPの開発 インテックスコーポレーション 坂井久之 144

BGA/CSP用プリント配線板 山一電機 米沢 章 大平 洋 148

CSP実装技術 九州松下電器 山本祐介 153

■研究論文

PdCl₂/SnCl₂混合触媒の吸着量に及ぼすコンディショニングの効果 関東学院大学 藤波知之、渡辺城司、水口泰一、本間英夫、160
神奈川県産業技術総合研究所 馬飼野信一

最尤推定法を用いた漏洩金属平面の表面電流分布解析による漏洩位置の推定 NEC情報システムズ 林 昌世、NEC 増田幸一郎、島山賢一 166

FCA実装構造体の反り変形挙動と残留応力の熱粘弾性解析 日立製作所 中村省三、芹沢弘二 173

超多層板用熱硬化型ポリフェニレンエーテル樹脂 旭化成工業 黒木正勝、新井雄史、石井義行、横山秀久、木下昌三、片寄照雄 179

■講座：絵解き・光実装技術入門 第4回

光部品入門—実装技術とマイクロプロセッサ 職業能力開発大学校 西澤祐一 188

■講座：高密度実装技術・今後どうなるシリーズ 第3回

ガラスセラミック基板は今後どうなる 日本電気 嶋田勇三、内海和明 193

■第11回 回路実装学術講演大会印象記 198

■図書・文献紹介 東芝 高橋邦明 205

会告 ①～④ 編集後記 207

本会だより 205 会員増強依頼 208

複写をされる方に

本誌に掲載された著作物を複写したい方は、著作権者から複写権の委託を受けている次の団体から許諾を受けて下さい。

●学協会著作権協議会

〒107 東京都港区赤坂9-6-41 乃木坂ビル3F Phone/Fax 03-3475-5618

■会 長 周 英明

■副会長 多田 邦雄 飛弾 康則

■編集委員会

委員長 大塚 寛治

委 員 赤星 晴夫

鎌ヶ江裕三

曾我太佐男

中野 孝一

前田 裕之

(50音順)

安食 弘二

古賀 孝昭

高橋 邦明

原 靖彦

森永 素安

荒井 邦夫

越地 耕二

津坂 英夫

藤岡 信之

The Journal of Japan Institute for Interconnecting and Packaging Electronic Circuits

Vol.12 No.3
MAY 1997

CONTENTS

■Preface

Packaging Technology in the Multimedia Age Kazuaki UTSUMI

■Special Articles: Packaging Technology of BGA/CSP

Special Articles: Packaging Technology of BGA/CSP—Preface Susumu HONDA 133

Packaging Technology for Small Size FC-PBGA Shuichi ISHIWATA 134

Tape-type BGA/CSP Technology Eiji HAGIMOTO 139

CSP Development of ShellCase Type Hisayuki SAKAI 144

Print Wiring Circuit Board for BGA/CSP Akira YONEZAWA, Hiroshi OHDAIRA 148

CSP Mounting Technology Yuusuke YAMAMOTO 153

■Technical Papers

The Effect of Conditioning on Adsorption Amount of Mixed PdCl₂/SnCl₂ Catalyst
..... Tomoyuki FUJINAMI, Jyoji WATANABE, Taichi MIZUGUCHI, Hideo HONMA, Shin'ichi MAGAINO 160

Leakage Location Estimation by Surface Current Distribution Analysis for a Metal Surface with Leakage Using Maximum
Likelihood Estimation Shose HAYASHI, Koichiro MASUDA, Kenichi HATAKEYAMA 166

Thermo-Viscoelastic Analysis of Warp Deformation and Residual Stress for
Laminated Bodies of Flip-Chip Mounted LSI Device Shozo NAKAMURA, Koji SERIZAWA 173

Thermosetting Polyphenylene Ether for Multilayer Printed Circuit Boards
..... Masakatsu KUROKI, Takeshi ARAI, Yoshiyuki ISHII, Hidehisa YOKOYAMA, Shozo KINOSHITA, Teruo KATAYOSE 179

■Tutorial Series: Graphical Introduction of Interconnect and Packaging Technologies for Optoelectronic Devices (4)

A Primer of Optical Components—Microoptics and Its Mounting and Packaging Koichi NISHIZAWA 188

■Tutorial Series: Trends in High Density Packaging Technologies (3)

Whether Glass Ceramic Substrate Has a Viable Commercial Future Yuzo SHIMADA, Kazuaki UTSUMI 193

Announcement ①-④ News 205

In the U.S.A., authorization to photocopy items for internal or personal use, or the internal or personal use of specific clients, is granted by [copyright owner's name], provided that designated fees are paid directly to Copyright Clearance Center. For those organizations that have been granted a photocopy license by CCC, a separate system of payment has been arranged.

●Copyright Clearance Center, Inc.

222 Rosewood Drive, Danvers, MA 01923, USA Phone (508) 750-8400 Fax (508) 750-4744

○広告掲載会社 (50音順)

㈱ アルメックス

上村工業㈱

住友ベークライト㈱

大日本スクリーン製造㈱

太陽インキ製造㈱

㈱ 角田ブラシ製作所

日刊工業新聞社

日本シイエムケイ㈱

松下電工㈱

村上スクリーン㈱

メディアエックステック㈱

メルテックス㈱

ShellCase方式CSPの開発

坂井 久之*

CSP Development of ShellCase Type

Hisayuki SAKAI*

*株式会社インテックスコーポレーションカスタムデバイス事業部 (〒213 神奈川県川崎市高津区坂戸3-2-1)

* Custom Device Div., Intex Corporation (3-2-1 Sakado, Takatsu-ku, Kawasaki-shi, Kanagawa 213)

1. はじめに

電子機器の高速化、高性能化がLSIの高集積化、高性能化によって促進され、ソフトウェアの進歩と合わせて電子機器の携帯性が重要な要素になるにつれて、メモリカード付きデジタルカメラ、ページャ、ノートパソコンといった携帯用電子機器が市場に登場してきた。また、半導体デバイスのミニチュアパッケージ化が、機器の小型化に果たす役割も増してきている。

スマートカードやPCMCIAメモリカードといった携帯用機器等の用途には、薄形パッケージを使うことがなくてはならないものになってきている。

このような市場の要求に沿って、電子部品の薄形パッケージはTSOP、TSSOP、TQFPが提供されており、さらに超薄形パッケージの要求に対してTABのプロセスを応用したUltra Thin TCP、Dual in Line TCPが開発されている。

また、カードタイプの携帯用機器開発で重要な要素である、小断面積への要求に対応したワイヤボンディング技術を使ったDirect Chip Attach (DCA)が開発されている。

これらの薄形、超薄形パッケージ方式は、TCPまたはTABパッケージを製造する場面では、新たに生産設備への投資が不可欠となる。

また、厚さへの制約からより薄くするために、シリコンウエハ、またはダイを薄く削る方法も採用されているが、研削工程での電気回路能動面への影響を考えると破壊などへの考慮が必要になる。また、Flip Chipの超薄形パッケージの採用には、やはり新たな生産設備が必要であり、また薄形ダイが壊れやすいとの課題を解決しなければならない。

これらのCSPが持つ課題を改善するために、新しいコンセプトのパッケージ技術に基づいた超薄形パッケージShellCase方式CSPを開発した。

2. ShellCase方式CSPの開発コンセプトとその構造

ShellCase方式CSPの開発を進めるにあたり、下記の5項目を開発目標として掲げて開発に取り組んだ。

- 1) CSPの形状がチップサイズと同等の大きさを狙う。
- 2) CSPの厚さが一般的なウエハの厚さ500-600 μ m以下を狙う。
- 3) 電気回路能動面への外部からの物理的障害対策として保護板を上下に施す。
- 4) パッケージの種類はサイドリードとBGAタイプを達成し、従来からのSMT技術を使用可能とする。
- 5) CSP製造プロセスと半導体プロセスを連結して行うことで、製造リードタイムの削減を図る。

薄形CSPの開発目標を達成するために、次に述べる新しい電気リード(入出力端子)の形成方法を考え開発を行った。この方法は、シリコンウエハまたはダイのレイアウトでのパッドの配置とスクライブライン領域に着目して、ダイパッドを電気リードとして利用することを考えて、ダイに配置されているパッド上にスクライブライン領域まで延長したAdditional Padを追加形成した後、スクライブライン領域内でAdditional Padを切断し、そのAdditional Padの切断面を利用して電気リードを形成することによりダイサイズのCSPを作る。

また、ダイの上下に保護シェルとしてガラスを配置することにより、薄形化のために発生する製作上の障害を取り除き、加工改善とシリコンウエハが外部に露出させない電気回路能動面への保護機能を持たせた。

このコンセプトによって、CSPの大きさは従来のダイに比較して縦・横100 μ m以内の大きさで、厚さも0.3-0.5mmのCSPを開発できた。

図1、2に概略電気リード形成構想図とリード形成接続部を示す。

パッケージの電気リード対応は、保護板用に配置した上下2枚のガラスを活用して電気リードを形成し、0.3~0.5mmピッチ幅のはんだリード端子の超薄形、超小型多ピンタイプのShellCase方式サイドリードタイプのShellPACKと、BGAタイプのShell BGAを開発した。

さらに、従来の表面実装技術(SMT)の生産設備を用いて実装が可能であるものとした。

このShellCase方式のCSPの概略構造は図3に示す。

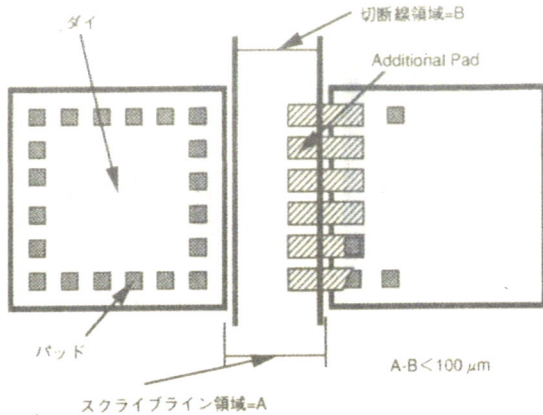


図1. リード形成構想図

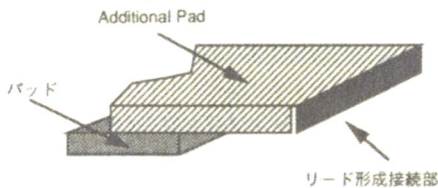


図2. リード形成接続部

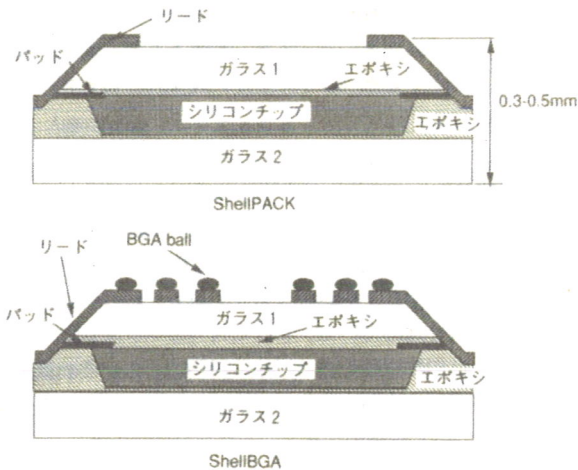


図3. パッケージ構造図

このShellCase方式CSPの生産プロセスは、シリコンウエハレベルで製作ができるため、半導体プロセスと連結して行うことで製造リードタイムの削減を図ることができる。

3. 各種薄形パッケージとShellCase方式の厚み比較

種々の薄形パッケージとShellCase方式の厚み比較を、図4に示す。

この図から比較すると、外部保護対応が施されている薄形パッケージの中で、ShellCase方式は最も薄いパッケージの一つと言える。

各薄形パッケージの厚さにより、スペースと空間が確保

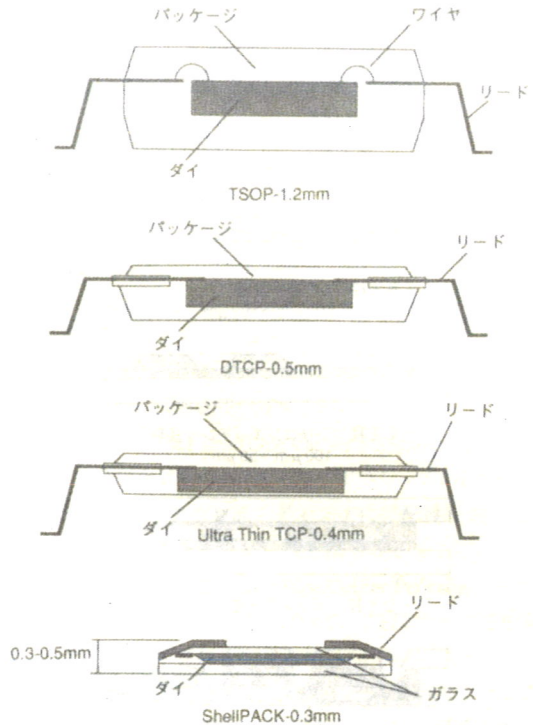


図4. 薄形パッケージの比較

できないような用途の場合に、ShellCase方式はより高密度な実装を可能にすることができる。

例えば、PCMCIA規格のICカードで、3.3mmという厚みの制限が指定されている場合、TSOPを使用した場合は片面基板1枚を使用するか、または両面基板使用時には特殊な加工工程が必要となるが、ShellCase方式を使用する場合は両面基板を使うことが可能になり、一挙に実装密度を倍増でき、さらにスペース的余裕から両面基板を2枚使用することも可能となる。

4. ShellCase方式の製造方法

次にShellCase方式の概略製造工程を説明する（図5）。

A工程：あらかじめ前述したAdditional Padを施して洗浄したシリコンウエハ（厚み500-600μm）を用意し、ガラス1（厚み100-200μm）とエポキシ系の接着剤を用いて接着する。

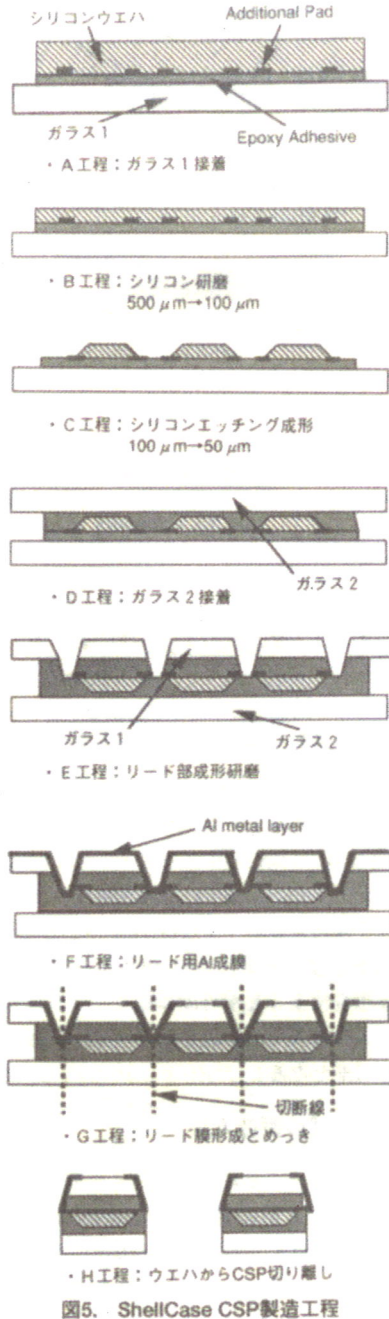
この場合、接着剤が均一で、端面までの広がり厚さ20μm以下にコントロールすることが、次の工程への製造上で重要なポイントとなる。

B工程：研削にてシリコンウエハを100μmまで削り落とす。

C工程：シリコンウエハにCSP形状の特殊加工を施し、エッチングにてCSP形状を形成する。

D工程：シリコンウエハサイドにガラス2を接着剤を用いて接着する。

E工程：スライサマシを用いて、Additional Padの



端面が露出するまで深溝を入れる。この工程は3種類の異種材料の溝掘り工程であり、使用するグレードの選択と加工条件の選定がポイントとなる。

F工程：深溝形成したシリコンウエハのガラス1の上面に、アルミニウム膜をスパッタマシンにてコートする。Additional Padの端面とアルミニウム膜のコンタクトを安定させるために、深溝形成したシリコンウエハの溝部分の活性化処理に工夫がいる。

G工程：塗布したレジストを電気リード形成用のマスクを通して露光し、フォトリソエッチングにて電気リード形成す

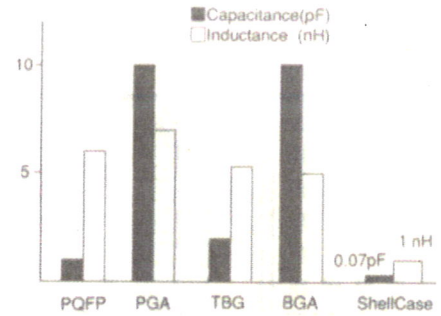


図6. 各種パッケージ電気特性比較

る。SMT対応として、ニッケル膜一金またははんだめっきをアルミニウム膜に施す。

H工程：スライサーにてCSPを切り離して個々にパッケージされたCSPが完成する。

5. 電気的特性

ShellPACKパッケージはシリコンウエハのパッドを利用しているため、短い電気リードを作ることができ、寄生インダクタンスとキャパシタンスが大変低くなり、リード間のキャパシタンスは最高で0.07pFとなる。リードのインダクタンスは上限で1nHである。低いインダクタンス、低キャパシタンスが高周波帯域での使用特性を改善し、高速特性になっている。各種パッケージとの電気特性の比較を図6に示す。

6. はんだ付け実装検討の実験

ShellCase方式CSPは、通常のSMT（表面実装技術）でPCB上にはんだ実装することができ、特別な対応をせずに、はんだ付けできることが目標であり、現在、はんだ付け実装検討の実験を進めている。はんだ付けサンプルについても、現在、信頼性評価を進めている段階である。その概要について下記に示す。

「実験条件」

- * ShellCase方式CSP
(BGAタイプ)
- * はんだマスク：316Lステンレス製
(ウェットエッチング加工)
厚さ：5 mil(125 μm)
溝の幅：150 μm
- * 実験用PCボード：FR4タイプ
- * はんだペースト：Multicore 63/37
noclean LR725(アロイ89-91%)
- * 使用リフロー炉
OK Industries Inc.製

7. 信頼性

現在、製作したサンプルについては信頼性テストを行っ

表1. ShellCase CSPの信頼性テスト中間結果

Test項目	Test Conditions	中間Test結果
Temp Cycling	-45℃ to 85℃, air to air MIL STD.883D Method 1017.7	1000cycles- passed
Heat Dissipation	5 Watt with heat sink & 5 Watt without heat sink	Tj<125℃
THB	85℃; 85%RH; 5 V Bias	1000H- passed
Life test	15mA, 125℃	1000H- passed
Popcorn	JEDEC A112	3 Reflow cycles- passed
Shear	MIL STD.883 Method 2019.5	passed
Break	ASTM method f 394-78	passed

ている。

表1にテスト項目と中間テスト結果を示す。現在のところ、大きな問題もなく経過しているが、さらに評価を進めていく。

8. 結び

以上、新しいコンセプトのパッケージ技術に基づいた、超薄形パッケージShellCase方式CSPの開発について述べた。今後のCSPの発展に少しでも参考になれば幸いである。

(1997.3.15-受理 1997.4.8-再受理)

用語解説

PCMCIA : Personal Computer Memory Card International Association

米国ICメモリカード業界団体が制定した、メモリカードのインタフェース規格。

TSSOP : Thin Shrink Small Outline Package

パッケージの2辺にガルウイング型のリードを配置したSOPタイプにてリードピッチを縮小し、薄形・小型化したSOPパッケージ。

TQFP : Thin Quad Flat Package

パッケージの4辺にリードを配置したQFPタイプにて厚

さを薄くした、薄形QFPパッケージ。

Ultra Thin TCP : Ultra Thin Tape Carrier Package

多ピン薄形化対応において、リードフレームの代わりにテープを用いてワイヤボンディングにて配線を施した、0.8mm以下の薄形テープタイプパッケージ。

Dual in Line TCP : Dual in Line Tape Carrier Package

テープタイプパッケージにおいて、2辺にリードを配置した、テープタイプパッケージ。

Flip Chip : ペアチップを基板に直接実装する方法で、実装面積・高さの薄形・小型化、配線長が短くでき、回路特性の向上に効果があるパッケージ方式。

ウエットエッチング加工 : 化学薬品を用いて液相下で起きる化学的腐食を利用し、金属材料等へ形状形成する方式の一種。



坂井 久之 (さかい ひさゆき)
昭和19年生まれ。昭和42年、明治大学工学部機械工学科卒業。現在、株式会社インテックスコーポレーションカスタムデバイス事業部において、短納期対応ゲートアレイLPGA (Laser Programmable Gate Array) ビジネスに従事。