

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2006-032497

(43)Date of publication of application : 02.02.2006

(51)Int.Cl.

H01L 27/14 (2006.01)

H01L 27/146 (2006.01)

(21)Application number : 2004-206377

(71)Applicant : SONY CORP

(22)Date of filing : 13.07.2004

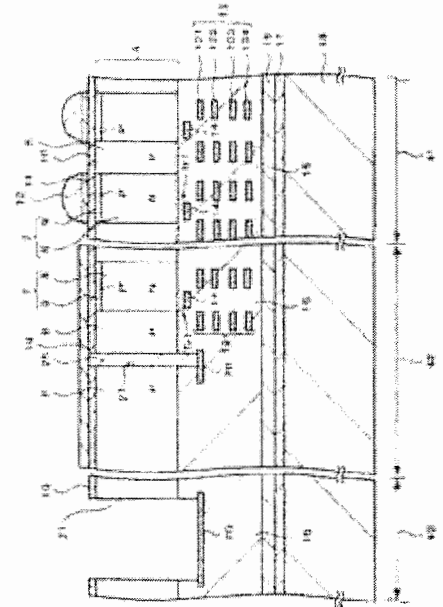
(72)Inventor : YANAGIDA TSUYOSHI

(54) SOLID-STATE IMAGE PICKUP DEVICE, METHOD OF MANUFACTURING THE SAME, AND SOLID-STATE IMAGING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state imaging device having such a structure as to allow minority carriers generated by photoelectric conversion elements to easily break through to the outside.

SOLUTION: The solid-state imaging device comprises a solid-state image pickup device 1 and a means for applying voltage to the solid-state image pickup device 1. The solid-state image pickup device 1 has such a structure that the photoelectric conversion elements 7 are formed in a semiconductor substrate 4, and that an interconnection layer 13 is formed in an insulation layer 15 formed on the front surface side of the semiconductor substrate 4. Light is irradiated on the photoelectric conversion elements 7 from the rear surface side of the semiconductor substrate 4. In part of the semiconductor substrate 4 around the photoelectric conversion elements 7, a semiconductor region 6 is formed, and a conductive material layer 25 is formed in at least part of the semiconductor region 6 from the rear surface side of the semiconductor substrate 4. Ground potential is applied to the conductive material layer 25 from the means for applying voltage to the solid-state image pickup device 1.



Pat. Owner VisionX Exhibit 2001
IPR2023-00389
Sony v. VisionX

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2006-32497

(P2006-32497A)

(43) 公開日 平成18年2月2日 (2006. 2. 2)

(51) Int. Cl.

F 1

テーマコード (参考)

H 0 1 L 27/14 (2006.01)

H 0 1 L 27/14

D

4 M 1 1 8

H 0 1 L 27/146 (2006.01)

H 0 1 L 27/14

A

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号

特願2004-206377 (P2004-206377)

(22) 出願日

平成16年7月13日 (2004. 7. 13)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100122884

弁理士 角田 芳木

(74) 代理人 100113516

弁理士 磯山 弘信

(72) 発明者 柳田 剛志

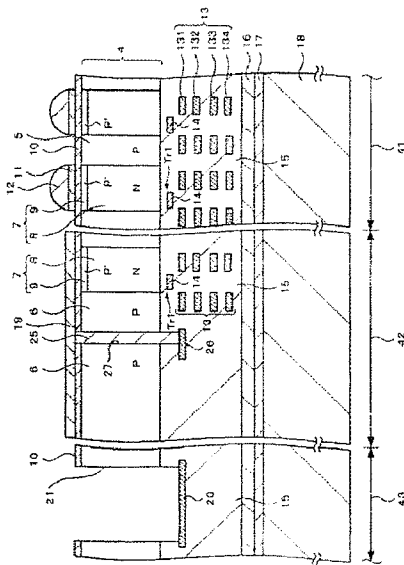
東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

Fターム(参考) 4M118 AA05 AA10 AB01 BA14 DD04

FA06 FA11 GB04 GC07 GD04

(54) 【発明の名称】 固体撮像素子と固体撮像装置、固体撮像素子の製造方法



17 1

- [0001] 本発明は、固体撮像素子と固体撮像装置、固体撮像素子の製造方法に関する。
- [0002] 従来、固体撮像素子では、半導体基体の表面側に、光電変換素子、読み出し電極等の電極層、さらにはカラーフィルタ又はオンチップレンズ等が形成され、この表面側より光を入射させて撮像を行う構成となっている。
- [0003] このような構成の固体撮像素子においては、例えば、光電変換素子の周囲に形成された半導体ウェル領域の電位を、半導体基体（単結晶シリコン層）の表面側、すなわち半導体ウェル領域の表面側から配線を通じて接地させることにより、光電変換素子内において発生した少数キャリアを、半導体ウェル領域を通じて引き抜くようにしている。
- なお、光電変換素子にはポテンシャル勾配がつけられており、光電変換素子内で発生した少数キャリアは半導体ウェル領域に自然に流れ出るようになっている。
- [0004] ところで、このような構成（いわゆる表面照射型）の固体撮像素子の場合、表面側に形成された電極層等で入射光が吸収、あるいは反射されてしまい、入射光に対する光電変換効率が低く、感度の低下が問題となっている。
- [0005] そこで、近年、このような問題を解決する構成として、半導体基体の表面側に読み出し電極等の電極層を形成し、半導体基体の裏面側にカラーフィルタ又はオンチップレンズ等を形成し、半導体基体の裏面側より光を入射させて撮像できるようにすることで、受光のための開口率を高くし、また、入射光の吸収、あるいは反射を抑えるようにした、いわゆる裏面照射型の固体撮像素子が用いられてきている（例えば特許文献１参照）。
- [0006] 【特許文献 1】 特開 2003-031785 号公報
- [0007] ところで、このような構成の裏面照射型の固体撮像素子は、表面照射型と比較して、半導体基体（単結晶シリコン層）の厚さを数 μ （例えば 5μ ）程度と薄くしているために、単結晶シリコン層内の抵抗値が高くなっている。
- [0008] しかし、裏面照射型の固体撮像素子において、上述した表面照射型の固体撮像素子と同様の構成によって、光電変換素子内で発生した少数キャリアを引き抜くようにした場合、すなわち、上述したように、光電変換素子の周囲に形成された半導体ウェル領域の電位を、単結晶シリコン層の表面側から配線を通じて接地させた場合には、以下に示すような問題が生じる。
- [0009] 単結晶シリコン層の裏面側から光電変換素子内に入射した光のうち、例えば、光電変換素子の深い領域（表面側）にまで到達するような長波長の光（赤外光）により発生した正孔は、半導体ウェル領域へと流れ、単結晶シリコン層の表面側から配線を通じて容易に引き抜かれることになる。
- 一方、例えば、光電変換素子の裏面側までしか到達しない短波長の光（紫外光）により発生した正孔の場合、半導体ウェル領域へと流れた後に、半導体ウェル領域の裏面側から表面側へと移動させる必要があるため、半導体ウェル領域の高い抵抗値の影響を受けて引き抜かれ難くなる。
- この場合、半導体ウェル領域内に正孔が徐々に蓄積されてきてしまい、半導体ウェル領域内において正孔の滞留時間が長くなってしまうことから、光電変換素子から半導体ウェル領域へ正孔が流れ難くなり、光電変換素子内に正孔が蓄積され易くなってしまう。このため、光電変換素子に加えられている電界が影響を受けて弱くなるため、光電変換素子に蓄積された多数キャリア、すなわち電子（信号電荷）を正しく読み出すことができない。
- [0010] これにより、光電変換素子内の飽和電荷量（ Q_s ）が一定にならず、例えば、時間に応じて特性が変化したり、感度が低下したりする過渡現象が生じる。
- [0011] 上述した点に鑑み、本発明は、光電変換素子において発生した少数キャリアが、外部に容易に抜けるような構成の固体撮像素子と固体撮像装置、固体撮像素子の製造方法を提供するものである。
- [0012] 本発明に係る固体撮像素子は、半導体基体内に光電変換素子が形成され、半導体基体の表面側に設けられた絶縁層内に配線層が形成され、光電変換素子に、半導体基体の裏面側より光が照射される構成の固体撮像素子であって、光電変換素子の周囲の半導体基体内に半導体領域が形成され、半導体基体の裏面側より、半導体領域内の少なくとも一部に導電材料層が形成されている構成とする。
- [0013] 上述した本発明に係る固体撮像素子によれば、光電変換素子の周囲の半導体基体内に半導体領域が形成され、半導体基体の裏面側より、半導体領域（例えば半導体ウェル領域もしくは素子分離領域）内の少なくとも一部に導電材料層が形成されているので、光電変換素子の裏面側で発生した少数キャリアを半導体領域内に形成された導電材料層を通じて引き抜くことが可能になる。そして、例えば、外部に設けられた電圧印加手段により、導電材料層に

接地電位や少数キャリアが引き抜かれるような正電位或いは負電位を印加する構成とすれば、容易に少数キャリアを引き抜くことが可能になる。

[0014] 本発明に係る固体撮像装置は、半導体基体内に光電変換素子が形成され、半導体基体の表面側に設けられた絶縁層内に配線層が形成され、光電変換素子に、半導体基体の裏面側より光が照射される構成であり、光電変換素子の周囲の半導体基体内に半導体領域が形成され、半導体基体の裏面側より、半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、この固体撮像素子に対して電圧を印加する手段とを備え、この手段から、導電材料層に接地電位が印加される構成とする。

[0015] 上述した本発明に係る固体撮像装置によれば、光電変換素子の周囲の半導体基体内に半導体領域が形成され、半導体基体の裏面側より、半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、この固体撮像素子に対して電圧を印加する手段とを備え、この手段から、導電材料層に接地電位が印加される構成とされているので、光電変換素子の裏面側で発生した少数キャリアを半導体領域内に形成された導電材料層を通じて容易に引く抜くことができる。これにより、光電変換素子に少数キャリアが蓄積されることを防ぐことができる。また、接地電位が印加される構成であるので、簡易な構成で少数キャリアを引き抜くことが可能になる。

[0016] 本発明に係る固体撮像装置は、半導体基体内に光電変換素子が形成され、半導体基体の表面側に設けられた絶縁層内に配線層が形成され、光電変換素子に、半導体基体の裏面側より光が照射される構成であり、光電変換素子の周囲の半導体基体内に半導体領域が形成され、半導体基体の裏面側より、半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、固体撮像素子に対して電圧を印加する手段とを備え、この手段から、導電材料層に、少数キャリアを引き抜くことができるような正電位或いは負電位が印加される構成とする。

[0017] 本発明に係る固体撮像装置によれば、光電変換素子の周囲の半導体基体内に半導体領域が形成され、半導体基体の裏面側より、半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、固体撮像素子に対して電圧を印加する手段とを備え、この手段から、導電材料層に、少数キャリアを引き抜くことができるような正電位或いは負電位が印加される構成とされているので、光電変換素子の裏面側で発生した少数キャリアを半導体領域内に形成された導電材料層を通じて容易に引く抜くことができる。これにより、光電変換素子に少数キャリアが蓄積されることを防ぐことができる。また、少数キャリアが引き抜かれるような電圧が印加される構成であるので、電圧を制御することにより、効率的に少数キャリアを引き抜くことが可能になる。

[0018] 本発明に係る固体撮像素子の製造方法は、撮像領域とオプティカルブラック領域とパッド領域とを有し、撮像領域及びオプティカルブラック領域において、半導体基体内に光電変換素子が形成され、半導体基体の表面側に設けられた絶縁層内に配線層が形成され、光電変換素子に、半導体基体の裏面側より光が照射される構成の固体撮像素子を製造する方法であって、半導体基体内に半導体領域を形成する工程と、半導体領域内に光電変換素子を形成する工程と、配線層と配線層を覆う絶縁層とを形成すると共に、パッド領域において、電極層を形成し、絶縁層で覆う工程と、パッド領域において、電極層に達する開口を形成すると同時に、半導体領域内を貫通して、配線層に達する穴を形成する工程と、穴内に金属材料膜を埋め込む工程とを有するようにする。

[0019] 本発明に係る固体撮像素子の製造方法によれば、半導体基体内に半導体領域を形成する工程と、半導体領域内に光電変換素子を形成する工程と、配線層と配線層を覆う絶縁層とを形成すると共に、パッド領域において、電極層を形成し、絶縁層で覆う工程と、パッド領域において、電極層に達する開口を形成すると同時に、半導体領域内を貫通して、配線層に達する穴を形成する工程と、穴内に金属材料膜を埋め込む工程とを有するので、パッド領域において、電極層に達する開口を形成すると同時に、半導体領域において穴を形成する工程を行うことにより、パッド領域の開口と導電材料層を埋め込む穴を同時に形成することができる。これにより、開口形成用のレジストマスクを形成する工程と穴形成用のレジストマスクを形成する工程とを1回の工程で行うことができる。

[0020] 本発明に係る固体撮像素子及び固体撮像装置によれば、光電変換素子に少数キャリアが蓄積されることを防ぐことができ、光電変換素子内の飽和信号量を常に一定とすることができる。

これにより、過渡現象が生じることを抑えることができるために、感度の低下が抑制され、例えば長時間の動画等にも対応することができる固体撮像素子及び固体撮像装置を得ることができる。

したがって、高性能で、高信頼性を有する固体撮像素子及び固体撮像装置を実現することができる。

[0021] 本発明に係る固体撮像素子の製造方法によれば、レジストマスクを形成する工程を簡略化させることができるため、固体撮像素子の製造工程を削減することが可能になる。

[0022] 以下、図面を参照して、本発明の実施の形態を説明する。

[0023] まず、本発明の一実施の形態として、裏面照射型の固体撮像素子、例えば、CMOS型の固体撮像素子の構成を

、図 1 及び図 2 を参照して説明する。

なお、図 1 は、裏面照射型の固体撮像素子、例えば、CMOS 型の固体撮像素子の概略平面図を示している。また、図 2 は、図 1 の X-X 線の拡大断面図を示している。

[0024] CMOS 型の固体撮像素子 1 は、画素がマトリクス状に配列された撮像領域 4 1 と、この撮像領域 4 1 の周囲に形成されたオプティカルブラック領域 4 2 と、このオプティカルブラック領域 4 2 の周囲に形成されたパッド領域 4 3 等から構成されている。

オプティカルブラック領域 4 2 は、暗電流補正用の画素が撮像領域 4 1 の画素の周囲に配列された構成であり、画素の一方の主面側が遮光膜により覆われている。そして、オプティカルブラック領域 4 2 から出力された信号を基準として、撮像領域 4 1 から出力された信号を補正することにより暗電流等のノイズを除去するようにしている。また、パッド領域 4 3 は、例えば、外部の配線と接続されるパッドが設けられる領域である。なお、撮像領域 4 1 及びオプティカルブラック領域 4 2 の外には、図示しないトランジスタ等からなる周辺回路領域が形成されている。

[0025] 撮像領域 4 1 では、図 2 に示すように、半導体基体（例えば単結晶シリコン層）4 内に形成された素子分離領域 5 により区切られた単位画素領域内に、N 型の半導体領域よりなる光電変換素子 7 が形成されている。この光電変換素子 7 は、N 型の半導体領域からなる電荷蓄積領域 8 と、高濃度の P 型の半導体領域からなる正電荷蓄積領域 9 とから形成されている。

[0026] 単結晶シリコン層 4 の一方の主面側、すなわち裏面側（図中上側）には、反射防止膜（酸化膜及び窒化膜）1 0 を介してカラーフィルタ 1 1 が形成され、このカラーフィルタ 1 1 上の光電変換素子 7 に対応する位置にオンチップレンズ 1 2 が形成されている。

単結晶シリコン層 4 の他方の主面側、すなわち表面側（図中下側）には、光電変換素子 7 に対応して、例えば MOS 型のトランジスタ Tr 1 等が形成され、このトランジスタ Tr 1 上には、多層の配線層 1 3 が形成されている。

[0027] なお、撮像領域 4 1 では、図示しないが、光電変換素子で蓄積された信号電荷を電圧に変換するフローティングディフュージョン部が形成されている。また、フローティングディフュージョン部で変換された電圧を出力する出力部（出力アンプ）や、フローティングディフュージョン部に蓄積された信号電荷を掃き捨てるリセットゲート部等が形成されている。これらフローティングディフュージョン部、出力部、リセットゲート部は、個々の光電変換素子毎に形成されている。

[0028] MOS 型のトランジスタ Tr 1 は、単結晶シリコン層 4 中に形成された対のソース領域及びドレイン領域間の表面側にゲート絶縁膜を介してゲート電極 1 4 が形成された構成である。なお、トランジスタ Tr 1 のソース領域及びドレイン領域、またチャネル領域は、図示しないが、単結晶シリコン層 1 4 中の所定の位置に形成されている。

[0029] 配線層 1 3 は、4 層の配線を有している。

具体的には、単結晶シリコン層 4 の表面側に形成された絶縁層 1 5 中において、1 層目の配線 1 3 1 と、この 1 層目の配線 1 3 1 上に絶縁層 1 5 を介して形成された 2 層目の配線 1 3 2 と、この 2 層目の配線 1 3 2 上に絶縁層 1 5 を介して形成された 3 層目の配線 1 3 3 と、この 3 層目の配線 1 3 3 上に絶縁層 1 5 を介して形成された 4 層目の配線 1 3 4 とから形成されている。

[0030] なお、絶縁層 1 5 上には平坦化膜 1 6 が形成され、この平坦化膜 1 6 上に接着剤層 1 7 を介して支持基板 1 8 が貼り合わされている。

[0031] オプティカルブラック領域 4 2 では、単結晶シリコン層 4 の裏面側に反射防止膜 1 0 を介して遮光膜 1 9 が形成されている。このオプティカルブラック領域 4 2 においても、撮像領域 4 1 と同様に光電変換素子 7、トランジスタ Tr 1、配線層 2 6 が形成されている。

なお、遮光膜 1 9 は、オプティカルブラック領域 4 2 の光電変換素子の全てを覆って形成されている。

[0032] このオプティカルブラック領域 4 2 の周辺部では、P 型の半導体領域からなる半導体ウェル領域 6 が形成されている。この半導体ウェル領域 6 は、少なくとも、撮像領域 4 1 とオプティカルブラック領域 4 2 の全体に形成されている。

[0033] パッド領域 4 3 では、単結晶シリコン層 4 の表面側の絶縁層 1 5 内に、撮像領域 4 1 やオプティカルブラック領域 4 2 の配線 1 3 1、配線 2 6 と同一の面上に電極層 2 0 が形成され、この電極層 2 0 に達する開口 2 1 が単結晶シリコン層 4 の裏面側より形成されている。開口 2 1 内の側壁には図示しないが絶縁膜が形成されている。

- [0034] なお、光電変換素子 7 にはポテンシャル勾配がつけられており、光電変換素子 7 内において発生した少数キャリアが自然と半導体ウェル領域 6 へと流れ出すようになっている。
- [0035] このような構成の CMOS 型の固体撮像素子 1 においては、単結晶シリコン層 3 の裏面側から画像光が入射される。
- [0036] そして、本実施の形態においては、特に、オプティカルブラック領域 4 2 の周辺部の半導体ウェル領域 6 内に導電材料層 2 5 が形成されている。そして、この導電材料層 2 5 は、半導体ウェル領域 6 内の裏面側から表面側へと貫通し、半導体ウェル領域 6 の表面側の絶縁層 1 5 内に形成された配線 2 6 まで達する穴 2 7 内に埋め込まれて形成されている。
- [0037] この導電材料層 2 5 は、導電性を有する材料、例えば、AlCu、Al、AlSi、W等の金属材料を用いることができる。このような金属材料を用いた場合、導電材料層 2 5 の抵抗値が半導体ウェル領域 6 内の抵抗値よりも低くなる。
- [0038] 導電材料層 2 5 は、図示しない外部に設けられた電圧印加手段により、電圧が印加される構成となっている。すなわち、上述した構成の固体撮像素子 1 と、固体撮像素子 1 の外部に設けられた電圧印加手段とを備えて固体撮像装置を構成する。
- この電圧印加手段としては、例えば、固体撮像素子 1 の外部又は内部に設けられ、電源からの電圧から導電材料層 2 5 に印加する電圧を生成する電圧制御回路と、電圧制御回路で生成された電圧を導電材料層 2 5 へ導く配線（ワイヤや固体撮像素子 1 内の配線層）とを備え構成する。
- [0039] このような構成の固体撮像装置として、本実施の形態では、単結晶シリコン層 4 の表面側の絶縁層 1 5 内に形成された配線 2 6 と、この配線 2 6 と接続されたパッド領域 4 3 の電極層 2 0 を用いて、導電材料層 2 5 に対して電圧を印加する手段を構成している。そして、この電極層 2 0 を通じて、導電材料層 2 5 に電圧が印加されるようになっている。なお、配線 2 6 及び電極層 2 0 は、図示しない領域において接続されている。
- [0040] そして、上述の固体撮像装置の一実施の形態として、電圧印加手段から導電材料層 2 5 に対して、接地電圧（0 V）を印加するように構成する。
- [0041] このように導電材料層 2 5 に接地電圧を印加するようにして固体撮像装置を構成した場合は、固体撮像素子 1 において、光電変換素子 7 内で発生した少数キャリア（正孔）を、半導体ウェル領域 6 内の導電材料層 2 5 を通じて容易に引き抜くことができる。
- この際、導電材料層 2 5 が、半導体ウェル領域 6 の裏面側から表面側まで貫通して形成されており、金属材料で形成されていることから、前述したように、特に、短波長の入射光により光電変換素子の裏面側で発生した正孔が引き抜き難くなるようなことはなく、半導体ウェル領域 6 よりも抵抗値の低い導電材料層 2 5 によって正孔を容易に引き抜くことができる。
- [0042] このため、固体撮像素子 1 において、光電変換素子 7 内に正孔が蓄積され易くなることを防ぐことができ、光電変換素子 7 内の飽和信号量を常に一定とすることができる。
- これにより、光電変換素子 7 内の飽和電荷量（ Q_s ）が変動することを抑えて、飽和電荷量（ Q_s ）を一定とすることができるため、例えば、時間の経過によって色が変わってしまうといった時間依存性の問題を解決することができる。また、感度の低下を防ぐことができる。
- [0043] また、導電材料層 2 5 が接地されている構成であるので、簡易な構成で正孔を引き抜くことが可能になる。
- [0044] なお、オプティカルブラック領域に形成された遮光膜も接地させるようにすることが考えられているが、この場合、例えば、遮光膜を形成した後に、遮光膜に対し外部より接地用の配線を接続している。
- これに対して、本実施の形態の固体撮像素子 1 においては、導電材料層 2 5 が、絶縁層 1 5 内に形成された接地用の配線 2 6 まで達して形成されているため、遮光膜 1 9 も、導電材料層 2 5 及び配線 2 6 を通じて接地される。これにより、接地用の配線を遮光膜 1 9 に接続させる必要がない。
- [0045] また、上述の固体撮像装置の他の形態として、電圧印加手段から導電材料層 2 5 に対して、少数キャリアを引く抜くことができるような正電圧或いは負電圧を印加するように構成することもできる。
- [0046] すなわち、図 1 及び図 2 に示した固体撮像素子 1 においては、光電変換素子 7 が、N型の半導体領域から形成され、半導体ウェル領域 6 がP型の半導体領域で形成されている。したがって、電圧印加手段からは、導電材料層 2

5に対して負電圧を印加する。この負電圧は、固体撮像素子1の特性に影響を与えないような電圧、例えば読み出し電圧よりも低い電圧とする。

[0047] このように導電材料層25に負電圧を印加するようにして固体撮像装置を構成した場合は、接地電圧を印加する場合と同様の作用に加えて、電圧を制御させることにより、効率的に少数キャリアを引き抜くことができる。

[0048] なお、光電変換素子がP型の半導体領域から形成され、半導体ウェル領域がN型の半導体領域から形成されている固体撮像素子を用いた場合は、半導体ウェル領域内に形成された導電材料層25に対して正電圧を印加することにより、上述した負電圧を印加した場合と同様の作用を得ることができる。なお、この場合も、固体撮像素子1の特性に影響を与えないような正電圧を印加することはいうまでもない。

[0049] また、上述した固体撮像装置のさらに他の形態として、単結晶シリコン層4の裏面側（図1の上側）から、導電材料層25に接地電圧や負電圧を印加するように構成することもできる。

具体的には、例えば、オプティカルブラック領域42の遮光膜19にワイヤ等を接続して、遮光膜19を通じて導電材料層25に電圧を印加する。

このように単結晶シリコン層4の裏面側から導電材料層25に接地電圧や負電圧を印加するようにして固体撮像装置を構成した場合にも、単結晶シリコン層4の表面側（図1の下側）から接地電圧や負電圧を印加する場合と同様の作用効果が得られる。

[0050] このように単結晶シリコン層4の裏面側から電圧を印加する構成は、後述するように、オプティカルブラック領域において、素子分離領域内に導電材料層が形成された構成の固体撮像素子や、半導体ウェル領域内の裏面側の界面から途中まで導電材料層が形成された構成の固体撮像素子の場合にも適用することができる。すなわち、撮像領域41のように、単結晶シリコン層4の裏面側にカラーフィルタ11やオンチップレンズ12が形成されており、単結晶シリコン層4の裏面側に電圧印加用の配線や電極等を形成することが困難な部分に導電材料層25が形成された構成以外の固体撮像素子を用いる場合に適用することができる。

[0051] このように、本実施の形態の固体撮像装置では、オプティカルブラック領域42の周辺部の半導体ウェル領域6内に導電材料層25を形成し、この導電材料層25に対して、単結晶シリコン層の表面側或いは裏面側より、電圧印加手段から、接地電圧や少数キャリアを引き抜くことができるような電圧（正電圧或いは負電圧）を印加するようになったので、光電変換素子7内に少数キャリアが蓄積されることを防止することができ、光電変換素子内の飽和信号量を常に一定とすることができる。

[0052] なお、単結晶シリコン層4の裏面側から導電材料層25に電圧を印加するように固体撮像装置を構成した場合には、必ずしも図2に示したように、導電材料層25を表面側の配線26に接続させなくても構わない。例えば、導電材料層25を単結晶シリコン層4の裏面側の界面から表面側の界面まで形成した構成としても良い。この構成としても、正孔を半導体ウェル領域6の表面側及び裏面側から、導電材料層25及び遮光膜19を通じて引き抜くことができる。

[0053] 次に、図1及び図2に示した固体撮像素子1を製造する方法を、図3～図6を参照して説明する。なお、図3～図6は、図1に示す固体撮像素子1の、撮像領域41及びオプティカルブラック領域42、さらにはオプティカルブラック領域42の周辺の概略断面図である。また、図1及び図2に対応する部分には同一符号を付している。

なお、以下に示す製造工程は、後述する単結晶シリコン層の所定の位置に貫通して形成された、図示しないアライメントマークを基準として用いて行う。

[0054] 先ず、図3Aに示すように、例えばシリコン基板2上に、埋め込み酸化膜（所謂BOX層）3を介して、単結晶シリコン層4が形成されたSOI基板30を用意する。

なお、埋め込み酸化膜3や単結晶シリコン層4の膜厚は任意に設定することができる。

[0055] 次に、撮像領域41からオプティカルブラック領域42において、単結晶シリコン層4内に、公知の技術によりP型の半導体ウェル領域6を形成した後、半導体ウェル領域6内の所定の位置に、公知の技術により素子分離領域5を形成する。そして、素子分離領域5により区切られた素子形成領域内の所定の位置に、公知の技術により光電変換素子を形成するN型の半導体領域（電荷蓄積領域）8を形成する（以上、図3B参照）。

[0056] 次に、図3Cに示すように、撮像領域41及びオプティカルブラック領域42において、単結晶シリコン層4上に、絶縁層を介してそれぞれゲート電極14と対のソース領域及びドレイン領域からなるMOS型のトランジスタTr1を形成する。

なお、トランジスタ T_1 の、チャネル領域、ソース領域及びドレイン領域は、図示しないが、単結晶シリコン層4内の所定の位置に形成する。

[0057] 次に、図4Dに示すように、単結晶シリコン層4上に絶縁層15を介して多層の配線層13を形成する。

[0058] 具体的には、まず、単結晶シリコン層4上に絶縁層15を形成して平坦化処理を行った後、1層目となる配線131を所定のパターンに形成する。

次に、1層目の配線131を含んで全面に再び絶縁層15を形成して平坦化処理を行った後、2層目となる配線132を所定のパターンに形成する。

これ以降は、所定の層数となるまで、このような工程が繰り返される。

なお、図4Dに示す場合では配線層13が4層の場合を示したが、4層以上の場合はこのような工程が繰り返される。

また、絶縁層15上には、例えばSiN膜やSiON膜等からなる平坦化膜が形成される。

[0059] この配線13の形成工程では、撮像領域41やオプティカルブラック領域42の1層目の配線131を形成する際に、オプティカルブラック領域42の周辺部においては、配線131と同一の面上に接地用の配線26を所定のパターンに形成する。また、図示しないが、パッド領域においては、配線131や配線26と同一の面上に電極層を所定のパターンに形成する。

[0060] 次に、図4Eに示すように、平坦化膜上に接着材層17を塗布し、支持基板18を貼り合わせる。このように、SOI基板30の表面側に支持基板18を貼り合わせるの、後述する工程において、SOI基板30を薄膜化させる際に機械的な強度を確保するためである。

[0061] 次に、上下を反転させることにより、SOI基板30のシリコン基板2が上面となった状態にする。そして、シリコン基板2及び埋め込み酸化膜3を順次除去して、図4Fに示すように、SOI基板30の単結晶シリコン層4が露出された状態にする。

そして、電荷蓄積領域8の裏面側に、公知の技術（例えば、単結晶シリコン層4の上面に薄く酸化膜を成膜した後、レジストマスクを形成し、イオン注入を行う）により高濃度のP型の半導体領域からなる正電荷蓄積領域9を形成する。これにより光電変換素子7が形成される。なお、正電荷蓄積領域9を形成する工程は、この図4Fに示す状態で行う場合に限らず、電荷蓄積領域8と同様に単結晶シリコン層4の表面側から形成する等、その他様々なやり方が可能である。

[0062] 次に、図5Gに示すように、パッド領域43において、絶縁層15内に埋め込まれた電極層20に外部よりコンタクト配線を接続するために、裏面側より、単結晶シリコン層4、絶縁層15を順にエッチング除去して、電極層20に達する開口21を形成する。

この際、本実施の形態においては、半導体ウェル領域6内において、配線26に達する穴27を同時に形成する。

すなわち、パッド領域43の電極層20は、上述したように、撮像領域41やオプティカルブラック領域42の配線131や配線26と同一の面上で形成されている。したがって、パッド領域43において、電極層20に達する開口21を形成する際に、オプティカルブラック領域42において、配線26に達する穴27を同時に形成することができる。

[0063] 具体的には、SOI基板30の単結晶シリコン層4が露出している状態（図4F参照）において、単結晶シリコン層上に反射防止膜を形成した後、この反射防止膜上にフォトリソグラフィ技術を用いて開口と穴形成用のパターンのレジストマスクを形成する。

次に、このレジストマスクをマスクとして単結晶シリコン層をエッチング除去することにより、図5Gに示したように、オプティカルブラック領域42及びパッド領域43において、単結晶シリコン層4内の所定の位置に穴27と開口21とをそれぞれ形成することができる。

[0064] 次に、穴27を含んで、単結晶シリコン層4上に導電材料層25を形成する。そして、単結晶シリコン層4の表面上の導電材料層25のみを除去することにより、図5Hに示すように、穴27内に導電材料層25を埋め込む。

[0065] 次に、図6Iに示すように、オプティカルブラック領域42において、単結晶シリコン層4上に遮光膜19を形成する。この際、撮像領域41においては、単結晶シリコン層4上をマスクで覆うようにする。なお、遮光膜19

はオプティカルブラック領域42の周辺部までを覆って形成する。

[0066] この後は、図6Jに示すように、撮像領域41において、単結晶シリコン層4の裏面側の光電変換素子7に対応する部分に、カラーフィルタ11を介してオンチップマイクロレンズ12を形成する。

[0067] このようにして、図1及び図2に示した構成の裏面照射型のCMOS型固体撮像素子1を製造することができる。

[0068] 上述した製造方法によれば、パッド領域43において、電極層20に外部よりコンタクト配線を接続するための開口21を形成する際に、オプティカルブラック領域42の周辺部において、導電材料層25を埋め込むための穴27を同時に形成するようにしたので、穴27形成用のレジストマスクを形成する工程と、開口21形成用のレジストマスクを形成する工程とを1回の工程で行うことができる。これにより、レジストマスク形成工程と簡略化することができる。

[0069] また、上述した製造方法では、本発明を、シリコン基板2上に埋め込み酸化膜3を介して単結晶シリコン層4が積層された、複数の層からなるSOI基板30から固体撮像素子1を製造する場合に適用して説明した。しかし、例えば、層の厚さが薄い単層の半導体基体（単結晶シリコン層）から、上述したような構成の固体撮像素子を製造する場合においても本発明を適用することが可能である。

[0070] なお、上述した製造方法では、図4E～図4Fに示す工程において、シリコン基板2、埋め込み酸化膜3を除去して、SOI基板30の単結晶シリコン層4を露出する場合を示したが、シリコン基板2のみを除去して、埋め込み酸化膜3を残すことも可能である。

[0071] 次に、本発明の固体撮像素子の他の実施の形態を説明する。

上述した実施の形態の固体撮像素子1では、図2に示したように、オプティカルブラック領域42の周辺部に形成された半導体ウェル領域6内に導電材料層25を形成したが、本実施の形態の固体撮像素子31では、図7に示すように、撮像領域41において、隣接する光電変換素子7間を分離するP型の半導体領域からなる素子分離領域5内に導電材料層25を形成する。

導電材料層25に用いられる材料等、その他の構成は、上述した実施の形態の固体撮像素子1の構成と同様であるので、重複説明は省略する。

[0072] このような、撮像領域41の素子分離領域5内に導電材料層25が形成された構成の固体撮像素子31を用いて固体撮像装置を構成する場合には、撮像領域41の単結晶シリコン層4の裏面側に、カラーフィルタ11やオンチップレンズ12等が形成されているため、単結晶シリコン層4の表面側から導電材料層25に対して電圧を印加するように電圧印加手段を構成する。そして、上述したように、この電圧印加手段から、接地電圧や少数キャリアを取り除くことができるような電圧が印加されるように構成する。

すなわち、上述したように、例えば、配線26及びパッド領域43の電極層20を介して、外部に設けられた電圧印加手段により、導電材料層25に電圧が印加される構成とする。

[0073] このように撮像領域41の素子分離領域5内に導電材料層25が形成された構成の固体撮像素子31を用いて固体撮像装置を構成した場合は、上述したように、固体撮像素子31において、光電変換素子7内に正孔が蓄積され易くなることを防ぐことができ、光電変換素子7内の飽和信号量を常に一定とすることができる。これにより、光電変換素子7内の飽和電荷量（ Q_s ）が変動することを抑えて、飽和電荷量（ Q_s ）を一定とすることができるため、例えば、時間の経過によって色が変わってしまうといった時間依存性の問題を解決することができる。また、感度の低下を防ぐことができる。

[0074] 次に、本発明の固体撮像素子のさらに他の実施の形態を説明する。

本実施の形態の固体撮像素子32では、オプティカルブラック領域42において、隣接する光電変換素子7間を分離するP型の半導体領域からなる素子分離領域5内に、導電材料層25を形成する。

導電材料層25に用いられる材料等、その他の構成は、上述した実施の形態の固体撮像素子1の構成と同様であるので、重複説明は省略する。

[0075] このような、オプティカルブラック領域42の素子分離領域5内に導電材料層25が形成された構成の固体撮像素子32を用いて固体撮像装置を構成する場合には、単結晶シリコン層4の表面側から導電材料層25に対して電圧を印加するように電圧印加手段を構成する。そして、上述したように、この電圧印加手段から、接地電圧や少数キャリアを取り除くことができるような電圧が印加されるように構成する。

すなわち、上述したように、例えば、配線26及びパッド領域43の電極層20を介して、外部に設けられた電

圧印加手段により、導電材料層 2 5 に電圧が印加される構成とする。

なお、このような構成の固体撮像装置の場合、単結晶シリコン層 4 の表面側からではなく、単結晶シリコン層 4 の裏面側から導電材料層 2 5 に対して電圧が印加されるように電圧印加手段を構成することもできる。この場合、上述したように、例えば、オプティカルブラック領域 4 2 の遮光膜 1 9 にワイヤ等を接続して、遮光膜 1 9 を通じて導電材料層 2 5 に電圧が印加されるように構成する。

[0076] このようにオプティカルブラック領域 4 2 の素子分離領域 5 内に導電材料層 2 5 が形成された構成の固体撮像素子を用いて固体撮像装置を構成した場合においても、固体撮像素子 3 2 において、光電変換素子 7 内に正孔が蓄積され易くなることを防ぐことができ、光電変換素子 7 内の飽和信号量を常に一定とすることができる。これにより、光電変換素子 7 内の飽和電荷量 (Q_s) が変動することを抑えて、飽和電荷量 (Q_s) を一定とすることができるため、例えば、時間の経過によって色が変化してしまうといった時間依存性の問題を解決することができる。また、感度の低下を防ぐことができる。

[0077] なお、図 7 及び図 8 に示したように、導電材料層 2 5 を素子分離領域 5 内に形成する構成では、各光電変換素子 7 を分離する複数の素子分離領域 5 のそれぞれに形成することも可能である。

[0078] 上述した各実施の形態（さらに他の実施の形態）においては、導電材料層 2 5 が、半導体ウェル領域 6 の裏面側から表面側へと貫通して形成された構成を示したが、例えば、図 9 に示すように、導電材料層 2 5 が半導体ウェル領域 6 の裏面側の界面から途中まで形成された構成とすることもできる。なお、図 9 は、導電材料層 2 5 の周辺の拡大断面図を示している。

このような構成の導電材料層 2 5 を形成する場合は、図 5 G に示した穴 2 7 形成工程において、単結晶シリコン層 4 の表面側まで貫通しないような条件で、穴 2 7 を形成すればよい。

[0079] このような構成の固体撮像素子を用いて固体撮像装置を構成する場合には、導電材料層 2 5 が単結晶シリコン層 4 の表面側まで達していないので、単結晶シリコン層 4 の表面側に電圧が印加されるように構成することができない。したがって、単結晶シリコン層 4 の裏面側に電圧が印加されるように構成する。

[0080] このように、導電材料層 2 5 が半導体ウェル領域 6 の裏面側の界面から途中まで形成された構成の固体撮像素子を用いて固体撮像装置を構成した場合においても、上述したように、固体撮像素子において、光電変換素子 7 内に正孔が蓄積され易くなることを防ぐことができ、光電変換素子 7 内の飽和信号量を常に一定とすることができる。これにより、光電変換素子 7 内の飽和電荷量 (Q_s) が変動することを抑えて、飽和電荷量 (Q_s) を一定とすることができるため、例えば、時間の経過によって色が変化してしまうといった時間依存性の問題を解決することができる。また、感度の低下を防ぐことができる。

[0081] また、上述した実施の形態においては、接地可能な領域において半導体ウェル領域 6 や素子分離領域 5 等が形成されている場合を前提に説明したが、例えば、接地されては困るような領域において半導体ウェル領域 6 や素子分離領域 5 等が形成されている場合は、当該領域 5、6 と導電材料層 2 5 との境界に、例えば、絶縁膜を形成したり、PN 接合の領域を形成することにより絶縁を図るようにする。

これにより、例えば、撮像領域 4 1 やオプティカルブラック領域 4 2 の外周に形成された周辺回路部等の特性に影響を与えることを防ぐことができる。

[0082] また、上述した実施の形態においては、導電材料層 2 5 として金属材料を用いたが、導電材料層 2 5 に用いられる材料は、導電性が高い材料であれば、上述した種類の金属材料に限定されない。なお、金属材料を用いた場合は、上述したように低抵抗であるため、少数キャリアを引き抜き易い。

なお、このように金属材料を用いた場合、例えば、穴 2 7 内に埋め込まれた金属材料が単結晶シリコン層 4 中に拡散する場合が考えられる。このため、図 1 0 に示すように、穴 2 7 の側壁にバリアメタル膜 3 3 を形成して、金属の拡散を防ぐ構成とすることも可能である。

[0083] また、上述した実施の形態においては、半導体ウェル領域 6 や素子分離領域 5 内に導電材料層 2 5 をそれぞれ 1 つ形成した構成としたが、導電材料層 2 5 は複数形成しても構わない。

[0084] 尚、本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

[0085] 1、3 1、3 2・・・固体撮像素子、2・・・シリコン基板、3・・・埋め込み酸化膜、4・・・単結晶シリコ

ン層（半導体基体）、５・・・素子分離領域、６・・・Ｐ型の半導体ウェル領域、７・・・光電変換素子、８・・・電荷蓄積領域、９・・・正電荷蓄積領域、１０・・・反射防止膜、１１・・・カラーフィルタ、１２・・・オンチップレンズ、１３（１３１、１３２、１３３）・・・配線層、１４・・・ゲート電極、１５・・・絶縁層、１６・・・平坦化膜、１７接着材層、１８・・・支持基板、１９・・・遮光膜、２０・・・電極層、２１・・・開口、２５・・・導電材料層、２６・・・配線、２７・・・穴、３３・・・バリアメタル膜、４１・・・撮像領域、４２・・・オプティカルブラック領域、４３・・・ハッド領域

【請求項 1】

半導体基体内に光電変換素子が形成され、

前記半導体基体の表面側に設けられた絶縁層内に配線層が形成され、

前記光電変換素子に、前記半導体基体の裏面側より光が照射される構成の固体撮像素子であって、

前記光電変換素子の周囲の前記半導体基体内に半導体領域が形成され、

前記半導体基体の裏面側より、前記半導体領域内の少なくとも一部に導電材料層が形成されている

ことを特徴とする固体撮像素子。

【請求項 2】

前記導電材料層は、前記半導体領域の裏面側から前記半導体基体の表面側に貫通して形成された穴内に埋め込まれていることを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 3】

半導体基体内に光電変換素子が形成され、

前記半導体基体の表面側に設けられた絶縁層内に配線層が形成され、

前記光電変換素子に、前記半導体基体の裏面側より光が照射される構成であり、

前記光電変換素子の周囲の前記半導体基体内に半導体領域が形成され、

前記半導体基体の裏面側より、前記半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、

前記固体撮像素子に対して電圧を印加する手段とを備え、

前記手段から、前記導電材料層に接地電位が印加される

ことを特徴とする固体撮像装置。

【請求項 4】

前記導電材料層は、前記半導体領域の裏面側から前記半導体基体の表面側に貫通して形成された穴内に埋め込まれていることを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 5】

半導体基体内に光電変換素子が形成され、

前記半導体基体の表面側に設けられた絶縁層内に配線層が形成され、

前記光電変換素子に、前記半導体基体の裏面側より光が照射される構成であり、

前記光電変換素子の周囲の前記半導体基体内に半導体領域が形成され、

前記半導体基体の裏面側より、前記半導体領域内の少なくとも一部に導電材料層が形成されている固体撮像素子と、

前記固体撮像素子に対して電圧を印加する手段とを備え、

前記手段から、前記導電材料層に、少数キャリアを引き抜くことができるような正電位或いは負電位が印加されることを特徴とする固体撮像装置。

【請求項 6】

前記導電材料層は、前記半導体領域の裏面側から前記半導体基体の表面側に貫通して形成された穴内に埋め込まれていることを特徴とする請求項 5 に記載の固体撮像装置。

【請求項 7】

撮像領域とオプティカルブラック領域とパッド領域とを有し、前記撮像領域及び前記オプティカルブラック領域において、半導体基体内に光電変換素子が形成され、前記半導体基体の表面側に設けられた絶縁層内に配線層が形成され、前記光電変換素子に、前記半導体基体の裏面側より光が照射される構成の固体撮像素子を製造する方法であって、

前記半導体基体内に半導体領域を形成する工程と、

前記半導体領域内に光電変換素子を形成する工程と、

前記配線層と前記配線層を覆う絶縁層とを形成すると共に、前記パッド領域において、電極層を形成し、前記絶縁層で覆う工程と、

前記パッド領域において、前記電極層に達する開口を形成すると同時に、前記半導体領域内を貫通して、前記配線層に達する穴を形成する工程と、

前記穴内に金属材料膜を埋め込む工程とを有する

ことを特徴とする固体撮像素子の製造方法。

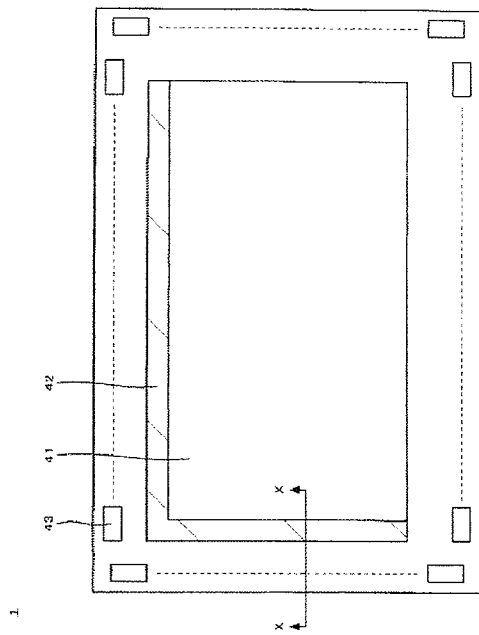
(57) 【要約】

【課題】 光電変換素子において発生した少数キャリアが、外部に容易に抜けるような構成の固体撮像装置を提供する。

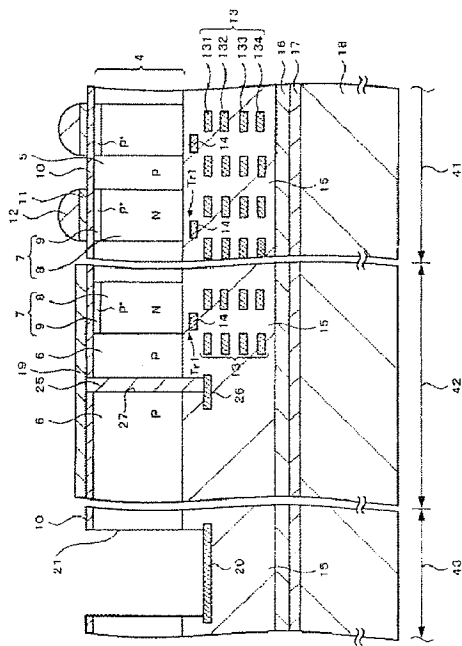
【解決手段】 半導体基体 4 内に光電変換素子 7 が形成され、半導体基体 4 の表面側に設けられた絶縁層 1 5 内に配線層 1 3 が形成され、光電変換素子 7 に、半導体基体 4 の裏面側より光が照射される構成であり、光電変換素子 7 の周囲の半導体基体 4 内に半導体領域 6 が形成され、半導体基体 4 の裏面側より、半導体領域 6 内の少なくとも一部に導電材料層 2 5 が形成されている固体撮像素子 1 と、固体撮像素子 1 に対して電圧を印加する手段とを備えた固体撮像装置において、この手段から、導電材料層 2 5 に接地電位が印加されるように構成する。

【選択図】 図 2

【圖 1】

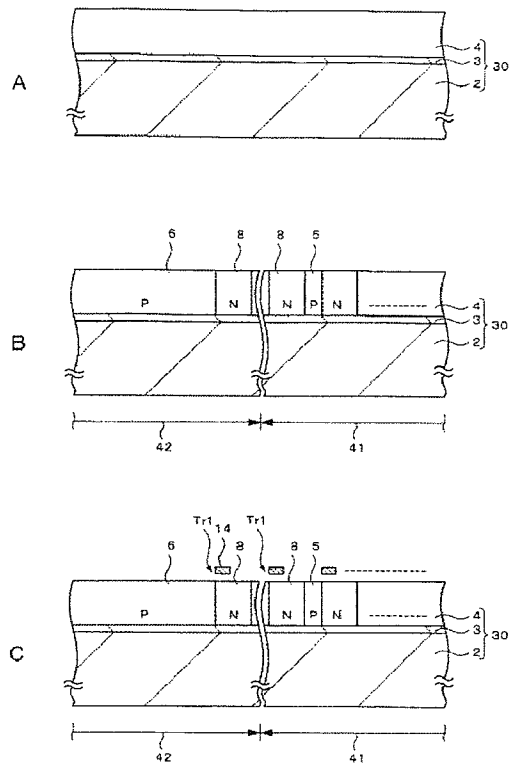


【圖 2】

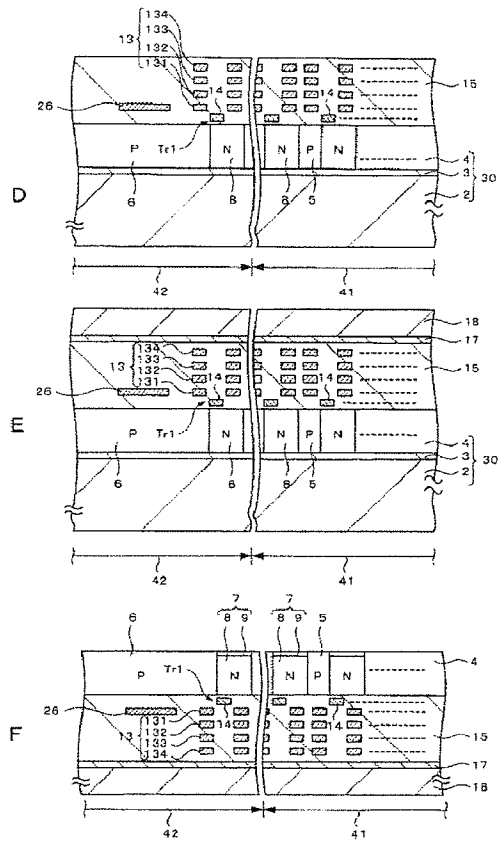


17-12

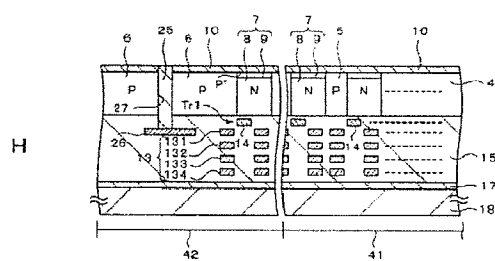
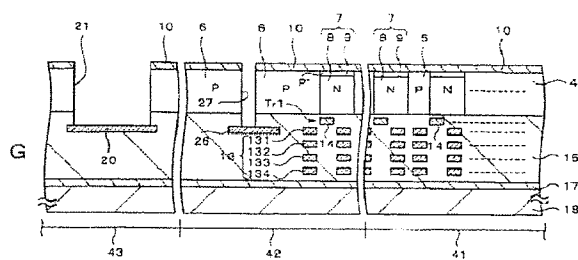
【圖 3】



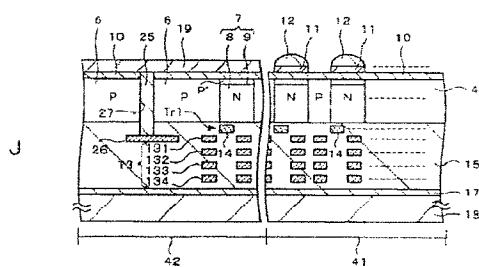
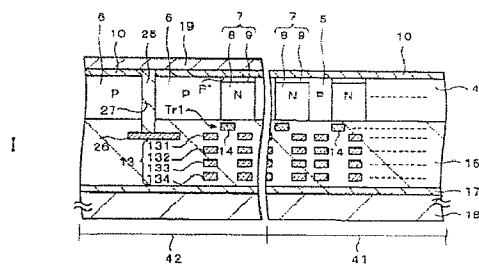
【圖 4】



【 5】



【圖 6】



【圖 10】

