

ELECTRO-OPTICAL DEVICE

Abstract

PROBLEM TO BE SOLVED: To reduce noise in signals on a signal line arranged on a peripheral region of a substrate with relatively simple construction in an electrooptical device such as a liquid crystal device, and display a high quality picture.

SOLUTION: The electrooptical device is provided with a pixel electrode (9a), a TFT(thin film transistor 30) connected to the pixel electrode (9a) and a capacitive line (300) on a picture display region of a TFT array substrate (10) and is further provided with a data line (6a) and a scanning line (3a) connected to the TFT. In the peripheral region, a peripheral circuit including a circuit related to data line driving, a signal line (400) connected to the peripheral circuit and made of a same film as the capacitive line, and a shield (401a) electrically screening the signal line (400) from at least one direction and formed from a same film as the data line are provided.

DESCRIPTION

[0001]

The present invention relates to the technical field of electro-optical devices such as liquid crystal devices, and more particularly to the technical field of electro-optical devices of a type in which data lines are driven in accordance with image signals, clock signals, and the like by peripheral circuits such as data line driving circuits and sampling circuits provided in peripheral regions on a TFT array substrate.

[0002]

In an active matrix driving type electro-optical device driven by TFTs, a large number of scanning lines and data lines arranged vertically and horizontally, respectively, and a large number of pixel electrodes corresponding to intersections of the scanning lines and the data lines are provided on a TFT array substrate.

In addition, signal lines such as image signal lines or control signal lines (for example, clock signal lines or waveform selection signal lines) connected to the peripheral circuits such as the data line driving circuit, the sampling circuit, and a scanning line driving circuit may be provided in the peripheral region on the TFT array substrate.

[0003]

In this case, the data line driving circuit is supplied with a control signal such as a reference clock (hereinafter referred to as an X-side reference clock) serving as a reference of a supply timing of an image signal, or a waveform selection signal for avoiding occurrence of so-called ghost and the like, an image signal corresponding to a content of an image to be displayed, a positive or negative constant potential power supply, and the like via an external input terminal

and a wiring provided in the TFT array substrate, respectively. On the other hand, a reference clock (hereinafter referred to as a Y-side reference clock) serving as a reference of a supply timing of a scanning signal, a positive or negative constant potential power supply, and the like are supplied to the scanning line drive circuit via an external input terminal and a wiring provided in the TFT array substrate. Then, for example, the scanning signals are line-sequentially supplied to the scanning lines at timing based on the Y-side reference clock by the scanning line drive circuit. Correspondingly, the data line driving circuit sequentially drives the sampling circuit for sampling input image signals at timing based on the X-side reference clock, and image signals are supplied from the sampling circuit to the data lines. As a result, each TFT of which gate is connected to the scanning line is turned to a conductive state in accordance with the supply of the scanning signal, and the image signal is supplied to the pixel electrode via the data line and the TFT, thereby displaying an image in each pixel.

[0004]

In recent years, in particular, with the increase in resolution of display images, serial image signals having very high frequency has been input. For example, a dot frequency of the image signal is about 65 MHz in the XGA display mode used in a high resolution personal computer screen in the near time, and about 135 MHz in the SXGA display mode, which is far above the dot frequency (about 30 MHz) in the conventional VGA display mode. Correspondingly, the frequency of the X-side reference clock supplied to the data line drive circuit is also extremely high. Further, in order to reduce the high frequency of the image signal to a frequency which can be sampled by the sampling circuit, a process of serial-parallel converting a high-frequency serial image signals into a plurality of parallel image signals is performed in a stage before being input to the electro-optical device. For example, in the VGA display mode described above, conversion into approximately 6 parallel image signals is performed, and in the XGA display mode or the SXGA display mode, for example, conversion into approximately 12 or 24 parallel image signals is necessary according to the performance of the sampling circuit.

[0005]

However, under the recent demand for high quality display images, the occurrence of high-frequency clock noise due to the increase in the frequency of the reference clock becomes non-negligible. That is, for example, in a conventional configuration in which the sampling circuit is driven by supplying an X-side reference clock having a relatively low frequency to the data line driving circuit, if a frequency of a clock signal is increased as it is, high-frequency clock noise occurs in an image signal input to the sampling circuit or an image signal output from the sampling circuit, and the image signal to be supplied to the data line changes. When the changed image signal is supplied, the image displayed by each pixel electrode also changes. For example, when gradation display of an intermediate level is performed in each pixel, even if only a small noise of about several mV to several tens mV jumps in the image signal, the noise appears as noise of a degree that can be visually recognized in the display image. This is because the change in a transmittance of the liquid crystals with respect to the change in the liquid crystal driving voltage at the intermediate level is steeper than that in the case where the display at white or black level corresponding to the highest or lowest liquid crystal driving voltage (for example, a

voltage between 0 and 5 V) is performed. In order to realize such a high-precision multi-tone display, the problem of high-frequency clock noise is serious.

[0006]

On the other hand, the frequency of the image signals supplied to the sampling circuit can be lowered by increasing the number of parallel image signals by serial-parallel conversion as described above, but the number of external input terminals for image signal input and the number of image signal lines which must be provided on the substrate of the electro-optical device must be increased in accordance with the increase in the number of parallel image signals. Therefore, a large number of signal lines must be arranged in extremely close proximity in a peripheral region on a limited substrate, and as a result, there is a problem that noise that jumps from one signal line (for example, a clock signal line) arranged in close proximity as a noise source into a signal on another signal line (for example, image signal lines) increases. Moreover, as the number of parallel image signals by serial-parallel conversion increases, the area occupied by block ghosts (i.e., block-shaped ghosts that are generated by putting together pixel electrode groups corresponding to a plurality of data lines to which parallel image signals are supplied) that are generated due to insufficient writing ability to pixel electrodes increases in the image display area. This also results in a serious problem that the block ghosts become visually noticeable.

[0007]

The present invention has been made in view of the above-described problems, and an object of the present invention is to provide an electro-optical device in which noise in a signal on a signal line provided in a peripheral region on a substrate is reduced, and which can display a high-quality image.

[0008]

In order to solve the above problems, an electro-optical device of the present invention includes a plurality of pixel electrodes, a capacitance line made of a first conductive film for adding a storage capacitance to the pixel electrodes, and a data line made of a second conductive film stacked on the first conductive film via an interlayer insulating film in an image display region, and includes a peripheral circuit including a circuit related to driving of the data line, a signal line connected to the peripheral circuit and made of one of the first conductive film and the second conductive film, and a shield made of the other one of the first conductive film and the second conductive film that electrically shields the signal line from at least one direction in a peripheral region located around the image display region on the substrate.

[0009]

According to the electro-optical device of the present invention, in the image display region, the second conductive film forming the data line is stacked on the first conductive film forming the capacitance line via the interlayer insulating film 2. In the peripheral region, signal lines connected to the peripheral circuit are formed from one of the first conductive film and the second conductive film, and a shield that electrically shields the signal lines from at least one

direction (for example, upper side or lower side) is formed from the other of the first conductive film and the second conductive film. Therefore, by electrically shielding the signal line using the second conductive film which forms the data line while forming the signal line in the peripheral region using the first conductive film which forms a capacitance line, the jump of electromagnetic noise to the signal on the signal line can be effectively reduced, or the occurrence of electromagnetic noise from the signal line can be effectively reduced. Alternatively, by electrically shielding the signal line using the first conductive film forming the capacitance line while forming the signal line in the peripheral region using the second conductive film forming the signal line, it is possible to effectively reduce the jump of electromagnetic noise into the signal on the signal line or to effectively reduce the occurrence of electromagnetic noise from the signal line. In addition, in any case, it is not necessary to separately form a dedicated film for forming the signal line or the shield in the peripheral region, which is advantageous in simplifying the configuration and the manufacturing processes. In particular, when the pixel pitch is miniaturized to increase the driving frequency in order to improve the image quality, noise related to such signal lines generally increases relatively. Therefore, the configuration of electrically shielding signal lines such as image signal lines and control signal lines wired in the peripheral region as in the present invention is very advantageous in terms of miniaturizing the pixel pitch or increasing the driving frequency.

[0010]

The "circuit related to driving of data lines" in the peripheral circuit of the present invention means, for example, a wide range including all circuits related to driving of data lines or supply of image signals to data lines, including a data line driving circuit for driving data lines, a sampling circuit for applying image signals to a plurality of data lines at a predetermined timing under control of a sampling circuit driving signal from the data line driving circuit, a precharge circuit for supplying precharge signals of predetermined voltage levels to the plurality of data lines prior to the image signals, and the like. Moreover, the "peripheral circuit" refers to any circuit formed in the peripheral region such as a circuit related to driving of the scanning lines, an inspection circuit for inspecting quality or defects of the electro-optical device during manufacturing or shipment and the like, except the circuit related to driving of data lines.

[0011]

As a result, it is possible to realize an electro-optical device in which noise in an image signal or the like is reduced and high-quality image display is possible by a relatively simple configuration.

[0012]

In one aspect of the electro-optical device of the present invention, the shield is made of the second conductive film, and electrically shields the signal line made of the first conductive film from above.

[0013]

According to this aspect, the signal line such as the image signal line made of the first conductive film is electrically shielded from above by the shield made of the second conductive film.

Therefore, it is possible to effectively reduce the jump of the electromagnetic noise from other signal lines wirings, circuits, or elements as noise sources located mainly above and on lateral sides of the signal lines.

[0014]

In this aspect, the shield may further include a main line portion that electrically shields the signal line from above and a side wall portion that extends from the main line portion and is embedded in a groove at least formed in the interlayer insulating film, and the main line portion and the side wall portion may electrically shield the signal line from three sides when viewed in a cross section of the signal line.

[0015]

With this configuration, signal lines such as image signal lines made of the first conductive film are electrically shielded from three sides of the upper side, the lateral sides by a shield made of the second conductive film 2. Therefore, it is possible to more effectively reduce the electromagnetic noise from other signal lines, wirings, circuits, or elements as noise sources located mainly above and on lateral sides of the signal lines.

[0016]

In this case, the shield may further include a bottom wall portion made of another conductive film stacked below the signal line via another interlayer insulation film, and the main line portion, the side wall portion, and the bottom wall portion may electrically shield the signal line from four sides when viewed in a cross section of the signal line.

[0017]

With this configuration, signal lines such as image signal lines made of the first conductive film are electrically shielded from four sides of the upper side, the lateral sides, and the lower side by a shield made of the second conductive film and another conductive film. Therefore, it is possible to significantly effectively reduce the jump of the electromagnetic noise from other signal lines, wirings, circuits, or elements as noise sources located on four sides of each signal line.

[0018]

In another aspect of the electro-optical device of the present invention, the shield is made of the first conductive film, and electrically shields the signal line made of the second conductive film from below.

[0019]

According to this aspect, the signal line such as the image signal line made of the second conductive film is electrically shielded from below by the shield made of the first conductive film. Therefore, it is possible to effectively reduce the jump of the electromagnetic noise from other signal lines, wirings, circuits, or elements as noise sources located mainly below and on lateral sides of the signal lines.

[0020]

In another aspect of the electro-optical device of the present invention, the signal line includes an image signal line for supplying an image signal.

[0021]

According to this aspect, since the image signal line is electrically shielded in the peripheral region, it is possible to effectively reduce the jump of the electromagnetic noise into the image signal on the image signal line from another signal line, wiring, circuits, or elements as a noise source. Therefore, it is possible to display a high-quality image in the image display region based on the image signal having a high S/N finally.

[0022]

In another aspect of the electro-optical device of the present invention, the peripheral circuit includes a sampling circuit that samples an image signal, and the signal line includes a relay wiring that relays and connects an image signal line that supplies the image signal and the sampling circuit.

[0023]

According to this aspect, since the relay wiring is shielded in the peripheral region, it is possible to effectively reduce the jump of the electromagnetic noise into the image signal on the relay wiring from other signal lines, wirings, circuits, or elements as noise sources. Therefore, it is possible to display a high-quality image in the image display region based on the image signal having a high S/N finally. In particular, for the relay wiring portion facing a counter electrode provided on a counter substrate, it is effective to electrically shield the relay wiring portion by an upper shield disposed between the relay wiring portion and the counter electrode from the viewpoint of reducing the parasitic capacitance between the relay wiring portion and the counter electrode.

[0024]

In another aspect of the electro-optical device of the present invention, the peripheral circuit includes a sampling circuit that samples an image signal, and the signal line includes a gate signal line of the sampling circuit.

[0025]

According to this aspect, since the gate signal line of the sampling circuit is shielded in the peripheral region, it is possible to effectively reduce the jump of the electromagnetic noise into a control signal (for example, a sampling circuit drive signal output from a data line drive circuit) on the gate signal line from other signal lines, wirings, circuits or elements as noise sources. Therefore, it is possible to finally display a high-quality image in the image display region by a high-precision sampling operation in the sampling circuit. In particular, it is effective to electrically shield a gate signal line portion facing the counter electrode provided on the counter substrate by an upper shield disposed between the gate signal line portion and the counter

electrode from the viewpoint of reducing the parasitic capacitance between the gate signal line portion and the counter electrode.

[0026]

In another aspect of the electro-optical device of the present invention, the signal line includes a control signal line that supplies a control signal including at least one of a clock signal and a waveform selection signal.

[0027]

According to this aspect, since the control signal line is electrically shielded in the peripheral region, it is possible to effectively reduce the jump of the electromagnetic noise into the control signal on the control signal line from other signal lines, wirings, circuits, or elements as noise sources. Furthermore, a control signal having a high frequency or a high potential is likely to become a noise source for an image signal. Therefore, by electrically shielding the control signal line in this manner, it is possible to effectively reduce the jump of the electromagnetic noise from the control signal line as a noise source into an image signal line or the like as another signal line supplying an image signal or the like which serves as another signal line. Therefore, it is possible to display a high-quality image in the image display region based on a control signal, an image signal, or the like having a high S/N finally.

[0028]

In the electro-optical device (including the embodiments) of the present invention described above, the shield is preferably provided with a ground potential or another constant potential.

[0029]

In another aspect of the electro-optical device of the present invention, the signal line includes an image signal line that supplies an image signal and a control signal line that supplies a control signal including at least one of a clock signal and a waveform selection signal, the shield includes a first portion that electrically shields the image signal line and a second portion that electrically shields the control signal line, the first portion is provided with a first constant potential, and the second portion is provided with a second constant potential different from the first constant potential.

[0030]

According to this aspect, in the peripheral region, the image signal line is electrically shielded by the first portion of the shield, and the control signal line is electrically shielded by the second portion of the shield, it is possible to effectively reduce the jump of the electromagnetic noise into the image signal on the image signal line and the control signal on the control signal line from other signal lines, wirings, circuits, or elements as noise sources. In particular, since the first part and the second part of the shield are provided with different constant potentials, it is possible to prevent a situation in which potential fluctuations between both signal lines affect each other via a same constant potential wiring. Therefore, it is possible to display a high-quality

image in the image display region based on the image signal, the control signal, and the like having a high S/N finally.

[0031]

In another aspect of the electro-optical device of the present invention, the shield is divided for each signal line.

[0032]

According to this aspect, since the signal lines are electrically shielded separately one by one, each signal line can be electrically shielded from all other signal lines. That is, adverse effects of electromagnetic waves between the plurality of signal lines can be reduced as much as possible.

[0033]

In another aspect of the electro-optical device of the present invention, the shield is divided for a plurality of signal lines.

[0034]

According to this aspect, since the signal lines are electrically shielded separately in units of the plurality of signal lines, the shield can be easily formed as compared with a case where the shield is provided for each of the signal lines. In this case, if a plurality of signal lines, such as a plurality of pixel signal lines, which are basically less affected by electromagnetic waves from each other are together electrically shielded by a same shield, and on the other hand, signal lines, such as an image signal line and a clock signal line, which are basically more affected by electromagnetic waves from each other are electrically shielded by separating shields, it is possible to minimize the disadvantage when the plurality of signal lines are together electrically shielded (that is, noise jump between the plurality of signal lines electrically shielded by a same shield).

[0035]

In another aspect of the electro-optical device of the present invention, at least one of the first conductive film and the second conductive film is made of a film containing a metal.

[0036]

According to this aspect, for example, by forming the first conductive film or the second conductive film from a film containing a metal such as an Al (aluminum) film or a film containing Cr (chromium) etc., it is possible to easily reduce the resistance of these conductive films.

[0037]

In another aspect of the electro-optical device of the present invention, the image display region further includes a scanning line made of a third conductive film stacked below the first conductive film on the substrate, and further includes another shield made of the third conductive film that electrically shields the signal line from below in the peripheral region.

[0038]

According to this aspect, in the image display region, the third conductive film forming the scanning line is stacked below the first conductive film forming the capacitance line. In the peripheral region, another shield that electrically shields the signal line from below is formed from the third conductive film. Therefore, the signal line, such as the image signal line formed from one of the first conductive film and the second conductive film, is electrically shielded redundantly from the upper side or the lower side by the shield which formed from the other one of the first conductive film and the second conductive film, and the shield which formed from the third conductive film. Therefore, the jump of the electromagnetic noise from other signal lines, wirings, circuits, or elements as noise sources can be more effectively reduced. In the image display region, active matrix driving or passive matrix driving using scanning lines and data lines is possible.

[0039]

In another aspect of the electro-optical device of the present invention, the electro-optical device further includes a thin film transistor connected between the data line and the pixel electrode, and a conductive light shielding film stacked below the first conductive film and the thin film transistor on the substrate that shields at least a channel region of the thin film transistor in the image display region, and further includes another shield formed from the light shielding film that electrically shields the signal line from below in the peripheral region.

[0040]

According to this aspect, in the image display region, a light shielding film that shields at least the channel region of the thin film transistor is stacked below the first conductive film forming the capacitance line. In the peripheral region, another shield that electrically shields the signal line from below is formed from the light shielding film. Therefore, the signal line, such as the image signal line formed from one of the first conductive film and the second conductive film, is electrically shielded redundantly from the upper side or the lower side by the shield formed from the other one of the first conductive film and the second conductive film, and the shield formed from a light shielding film. Therefore, the jump of the electromagnetic noise from other signal lines, wirings, circuits, or elements as noise sources can be more effectively reduced. Moreover, in the image display region, active matrix driving by the data lines and the thin film transistors is enabled.

[0041]

In another aspect of the electro-optical device of the present invention, a counter electrode facing the plurality of pixel electrodes is further provided on a counter substrate facing the substrate with an electro-optical material provided therebetween, and the shield includes a portion located between a portion of the signal line facing the counter electrode and the counter electrode that electrically shields the portion of the signal line from above.

[0042]

According to this aspect, since the upper shield is provided between the counter electrode provided on the counter substrate and a portion of the signal line facing the counter electrode, the parasitic capacitance between the portion of the signal line and the counter electrode can be reduced. That is, it is possible to effectively reduce the jump of the electromagnetic noise into the image signal or the like on the signal line from the counter electrode as the noise source, or the jump of the electromagnetic noise into a constant potential signal of the counter electrode (for example, a constant potential signal that is not inverted, or a constant potential signal that is inverted for each frame or field, or the like) from the signal line as the noise source.

[0043]

In another aspect of the electro-optical device of the present invention, the shield is formed of a main line or a branch line of a power supply wiring.

[0044]

According to this aspect, since the shield is formed of the main line or the branch line of the power supply line, the shield can be provided with a constant potential. Moreover, since the region occupied by the shield in the peripheral region is allocated to the power supply wiring, the power supply wiring can be relatively easily configured to be wide, and a stable constant potential can be supplied. In addition, by using the shield also as the power supply wiring, it is possible to simplify the configuration and the manufacturing processes. Furthermore, by providing the shield with such a stable constant potential, the performance of the electrical shielding is also improved, which is more advantageous.

[0045]

In order to solve the above problem, another electro-optical device of the present invention includes a plurality of pixel electrodes, a capacitance line made of a first conductive film for adding a storage capacitance to the pixel electrodes, and a data line made of a second conductive film stacked on the first conductive film via an interlayer insulating film in an image display region on a substrate, and includes a peripheral circuit including a circuit related to driving of the data line, an image signal line made of one of the first conductive film and the second conductive film while supplying an image signal to the peripheral circuit, and a control signal line made of the other one of the first conductive film and the second conductive film while supplying a control signal including at least one of a clock signal and a waveform selection signal to the peripheral circuit, in a peripheral region located around the image display region on the substrate.

[0046]

According to another electro-optical device of the present invention, in the image display region, the second conductive film forming the data line is stacked on the first conductive film forming the capacitance line via the interlayer insulating film 2. In the peripheral region, an image signal line is formed from one of the first conductive film and the second conductive film, and a control signal line is formed from the other one of the first conductive film and the second conductive film. Therefore, in the peripheral region, compared with the case where the image signal line and the control signal line are formed in a same plane by patterning a same conductive film, the

parasitic capacitance between the two conductive films forming the image signal line and the control signal line is reduced as much as the distance in the direction perpendicular to the substrate. That is, it is possible to reduce the jump of the electromagnetic noise from the control signal line as the noise source into the image signal on the image signal line (or the jump of the electromagnetic noise from the image signal line as the noise source into the control signal line on the control signal line) that decreases as the distance between the two signal lines increases. The electro-optical device having such a configuration may be provided with various shields according to the present invention described above. With this configuration, both the effect of reducing electromagnetic noise due to separation of the image transmission signal line and the control signal line in the direction perpendicular to the substrate and the effect of reducing electromagnetic noise due to shielding between the image signal and the control signal line can be obtained.

[0047]

As a result, the electro-optical device can be realized in which noise in an image signal or the like is reduced and high-quality image display is possible by a relatively simple configuration.

[0048]

This effect and other advantages of the present invention will be apparent from the following embodiments.

[0049]

[Embodiment of the invention] An embodiment of the present invention will be described below with reference to the drawings. The following embodiment is a liquid crystal device to which the electro-optical device of the present invention is applied.

[0050]

First, the configuration of an electro-optical device according to an embodiment of the present invention will be described with reference to FIGs. 1 to 3. FIG. 1 is an equivalent circuit of various elements, wirings, and the like provided in a plurality of pixels formed in a matrix forming an image display region of an electro-optical device.

FIG. 2 is a plan view of a plurality of pixel groups adjacent to each other in a TFT array substrate in which data lines, scanning lines, pixel electrodes, and the like are formed.

FIG. 3 is a cross-sectional view taken along line A-A' of FIG. 2.

In FIG. 3, the scale of each layer or each member is different in order to make each layer or each member have a size that can be recognized in the drawing.

[0051]

In FIG. 1, pixel electrodes 9a and TFTs 30 for controlling switching of the pixel electrodes 9a are respectively formed in a plurality of pixels formed in a matrix forming an image display region of the electro-optical device according to the present embodiment, and data lines 6a to

which image signals are supplied are electrically connected to source electrodes of the TFTs 30. The image signals S1, S2,..., Sn to be written to the data lines 6a may be supplied line-sequentially in this order, or may be supplied to a plurality of data lines 6a adjacent to each other for each group. A plurality of scanning lines 3a are electrically connected to the gate electrodes of the TFTs 30, and the scanning signals G1, G2,..., Gm are applied line-sequentially in this order to the scanning lines 3a in a pulsed manner at predetermined timings. The pixel electrodes 9a are electrically connected to the drain electrodes of the TFT 30, and writes the image signals S1, S2,..., Sn supplied from the data lines 6a at predetermined timings by turning off the switching with the TFTs 30 as switching elements for predetermined period. The image signals S1, S2,..., Sn of predetermined levels written in liquid crystals as an example of the electro-optic material via the pixel electrodes 9a are held for a predetermined period between a counter electrode (described later) formed on the counter substrate (described later). The liquid crystals modulate light and enables gradation display by changing the alignment and order of molecular sets according to the applied potential level. In the normally white mode, a transmittance for incident light decreases in accordance with the voltage applied in units of pixels, and in the normally black mode, a transmittance for incident light increases in accordance with the voltage applied in units of pixels, and light having contrast in accordance with an image signal is emitted from the electro-optical device as a whole. In order to prevent leakage of held image signal, a storage capacitor 70 is added in parallel with a liquid crystal capacitor formed between the pixel electrode 9a and the counter electrode. A capacitance line 300 including a fixed potential- side capacitance electrode of the storage capacitor 70 and provided with a constant potential is provided along with the scanning line 3a.

[0052]

In FIG. 2, a plurality of transparent pixel electrodes 9a (outline of which is shown by dotted line portions 9a') are provided in a matrix on the TFT array substrate of the electro-optical device, and the data lines 6a and the scanning lines 3a are provided along the vertical and horizontal boundaries of the pixel electrodes 9a.

[0053]

Further, the scanning line 3a is arranged to face a channel region 1a' shown by the oblique line region which is upward to the right in the drawing of the semiconductor layer 1a, and the scanning line 3a functions as a gate electrode (in particular, in the present embodiment, the scanning line 3a is formed to be wide in a portion to be the gate electrode). In this manner, TFTs 30 for pixel switching are provided at intersections of the scanning lines 3a and the data lines 6a, respectively, in which the scanning lines 3a are arranged to face the channel region 1a' as gate electrodes.

[0054]

As shown in FIGS. 2 and 3, the storage capacitor 70 is formed by arranging the relay layer 71 serving as a pixel potential-side capacitance electrode connected to the high-concentration drain region 1e (and the pixel electrode 9a) of the TFT 30 and a part of the capacitance line 300 serving as a fixed potential-side capacitance electrode to face each other via the dielectric film 75.

[0055]

The relay layer 71 has a function as the pixel potential-side capacitance electrode of the storage capacitor 70, and also a function as an intermediate conductive layer that relays and connects the pixel electrode 9a to the high-concentration drain region 1e of the TFT 30 via the contact holes 83 and 85.

[0056]

The capacitance line 300 extends in a stripe shape along the scanning line 3a when viewed in a plan view, and a portion overlapping the TFT 30 protrudes upward and downward in FIG.

2. Such a capacitance line 300 is preferably configured to have a multilayer structure in which a first film made of a conductive polysilicon film or the like having a film thickness of about 50 nm and a second film made of a metal silicide film or the like containing a high melting point metal having a film thickness of about 150 nm are stacked. With this configuration, the second film has a function as a fixed potential-side capacitance electrode of the capacitance line 300 or the storage capacitor 70, and also a function as a light shielding layer that shields the TFT 30 from incident light on the upper side of the TFT 30.

[0057]

On the other hand, a lower light shielding film 11a is provided in a lattice pattern on the TFT array substrate 10 below the TFT 30. The lower light shielding film 11a is made of, for example, a metal simple substance, an alloy, a metal silicide, a polysilicide, or a laminate thereof, including at least one of high melting point metals such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead).

[0058]

The data lines 6a extending in the vertical direction in FIG. 2 and the capacitance lines 300 extending in the horizontal direction in FIG. 2 are formed to intersect each other, and the lower light shielding film 11a formed in the lattice shape forms light shielding regions in a lattice shape as viewed in plan on the upper side and the lower side of the TFT 30 on the TFT array substrate 10, thereby defining the opening regions of the respective pixels.

[0059]

In FIG. 3, the dielectric film 75 disposed between the relay layer 71 serving as a capacitance electrode and the capacitance line 300 is made of, for example, a silicon oxide film such as an HTO film or an LTO film having a relatively thin film thickness of about 5 to 200 nm, a silicon nitride film, or the like. From the viewpoint of increasing the storage capacitance 70, the dielectric film 75 is preferably as thin as possible as long as the reliability of the film is sufficiently obtained.

[0060]

As shown in FIGS. 2 and 3, the data line 6a is electrically connected to the high concentration source region 1d of the semiconductor layer 1a made of, for example, a polysilicon film via the

contact hole 81. Note that a relay layer made of the same film as the above-described relay layer 71 may be formed, and the data line 6a and the high-concentration source region 1d may be electrically connected to each other via the relay layer and two contact holes.

[0061]

The capacitance line 300 extends from the image display region where the pixel electrode 9a is disposed to the periphery thereof, is electrically connected to a constant potential source, and is provided with a fixed potential. Such a constant potential source may be a constant potential source of a positive power supply or a negative power supply supplied to a scanning line drive circuit (described later) for supplying a scanning signal for driving the TFT 30 to the scanning line 3a, or a data line drive circuit (described later) for controlling a sampling circuit for supplying an image signal to the data line 6a, or may be a constant potential supplied to the counter electrode 21 of the counter substrate 20. Further, the lower light shielding film 11a provided below the TFT 30 may also be extended from the image display region to the periphery thereof and connected to a constant potential source, similarly to the capacitance line 300, in order to prevent the potential fluctuation from adversely affecting the TFT 30.

[0062]

The pixel electrode 9a is electrically connected to the high-concentration drain region 1e of the semiconductor layer 1a through the contact holes 83 and 85 by relaying the relay layer 71. That is, in the present embodiment, the relay layer 71 functions to relay and connect the pixel electrode 9a to the TFT 30 in addition to the function as the pixel potential-side capacitance electrode of the storage capacitor 70. In this way, even if the interlayer distance is long, for example, about 1000 nm, the relay layer 71 can satisfactorily connect the pixel electrode 9a to the TFT 30 through two or more contact holes arranged in series having a relatively small diameter while avoiding technical difficulty of connecting the pixel electrode 9a to the TFT 30 through one contact hole, and can increase the pixel aperture ratio, which also helps prevent etching penetration at the time of opening the contact hole.

[0063]

In FIGS. 2 and 3, the electro-optical device includes a TFT array substrate 10 and a transparent counter substrate 20 disposed to face the TFT array substrate. The TFT array substrate 10 is made of, for example, a quartz substrate, a glass substrate, or a silicon substrate, and the counter substrate 20 is made of, for example, a glass substrate or a quartz substrate.

[0064]

As shown in FIG. 3, the TFT array substrate 10 is provided with pixel electrodes 9a, and an alignment film 16 subjected to a predetermined alignment process such as rubbing is provided on the upper side of the pixel electrodes 9a. The pixel electrode 9a is made of a transparent conductive thin film such as an indium tin oxide (ITO) film. The alignment film 16 is made of an organic thin film such as a polyimide thin film.

[0065]

On the other hand, the counter substrate 20 is provided with the counter electrode 21 over the entire surface thereof, and an alignment film 22 subjected to a predetermined alignment process such as rubbing is provided on the lower side of the counter electrode 21. The counter electrode 21 is made of a transparent conductive thin film such as an ITO film. The alignment film 22 is made of an organic thin film such as a polyimide thin film.

[0066]

The counter substrate 20 may be provided with a light shielding film in a lattice shape or a stripe shape. By adopting such a configuration, the light shielding film on the counter substrate 20 together with the capacitance line 300 and the data line 6a constituting the light shielding region as described above can more reliably prevent incident light from the counter substrate 20 side from entering the channel region 1a', the low concentration source region 1b, and the low concentration drain region 1c. Further, the light shielding film on the counter substrate 20 serves to prevent a temperature rise of the electro-optical device by forming at least a surface irradiated with incident light with a highly reflective film.

[0067]

Liquid crystals, which is an example of an electro-optic material, are sealed in a space surrounded by a sealing material described later between the TFT array substrate 10 and the counter substrate 20 arranged in a way that the pixel electrode 9a and the counter electrode 21 face each other, and a liquid crystal layer 50 is formed. The liquid crystal layer 50 is kept in a predetermined alignment state by the alignment films 16 and 22 in a state where no voltage is generated between the pixel electrode 9a and the counter electrode 21. The liquid crystal layer 50 is made of, for example, a liquid crystal obtained by mixing one or several types of nematic liquid crystals. The sealing material 52 is an adhesive made of, for example, a photocurable resin or a thermosetting resin for bonding the TFT array substrate 10 and the counter substrate 20 to each other at their peripheries, and a gap material such as glass fiber or glass bead for setting a distance between the substrates to a predetermined value is mixed.

[0068]

Further, a base insulating film 12 is provided under the pixel switching TFT 30. The base insulating film 12 has a function of insulating the TFTs 30 from the lower light shielding film 11a between layers, and also has a function of preventing a change in the characteristics of the TFT 30 for pixel switching due to roughening at the time of polishing the surface of the TFT array substrate 10 or contamination remaining after cleaning by being formed on the entire surface of the TFT array substrate 10.

[0069]

In FIG. 3, the TFT 30 for pixel switching has a light-only doped drain (LDD) structure, and includes a scanning line 3a, a channel region 1a' of a semiconductor layer 1a in which a channel is formed by an electric field from the scanning line 3a, an insulating thin film 2 including a gate insulating film that insulates the scanning line 3a from the semiconductor layer 1a, a low concentration source region 1b and a low concentration drain region 1c of the semiconductor

layer 1a, a high concentration source region 1d and a high concentration drain region 1e of the semiconductor layer 1a.

[0070]

On the scanning line 3a, a first interlayer insulating film 41 is formed in which a contact hole 81 leading to the high concentration source region 1d and a contact hole 83 leading to the high concentration drain region 1e are defined.

[0071]

The relay layer 71 and the capacitance line 300 are formed on the first interlayer insulating film 41, and a second interlayer insulating film 42 in which the contact hole 81 leading the high concentration source region 1d and the contact hole 85 leading to the relay layer 71 are defined respectively is formed on the relay layer 71 and the capacitance line 300.

[0072]

In the present embodiment, the first interlayer insulating film 41 may be baked at 1000° C to activate ions implanted into the polysilicon film constituting the semiconductor layer 1a and the scanning line 3a. On the other hand, stress generated in a vicinity of an interface of the capacitance line 300 may be relieved by not performing such baking on the second interlayer insulating film 42.

[0073]

The data line 6a is formed on the second interlayer insulating film 42, and a planarized third interlayer insulating film 43 in which the contact hole 85 leading to the relay layer 71 is defined is formed on the data line 6a. The pixel electrode 9a is provided on an upper surface of the third interlayer insulating film 43 configured as described above.

[0074]

In the present embodiment, a surface of the third interlayer insulating film 43 is planarized by CMP (Chemical Mechanical Polishing) treatment or the like, and the alignment defect of the liquid crystal in the liquid crystal layer 50 caused by steps due to various wirings or elements existing below the surface is reduced.

[0075]

According to the present embodiment configured as described above, when incident light is incident on the channel region 1a' of the TFT 30 and the vicinity thereof from the counter substrate 20 side, light is blocked by the lattice-shaped light shielding layer including the data lines 6a and the capacitance lines 300. On the other hand, when return light is incident on the channel region 1a' of the TFT 30 and the vicinity thereof from the TFT array substrate 10 side, the light is blocked by the lower light shielding film 11a (in particular, when a plurality of electro-optical devices are combined via a prism or the like to form one optical system in a double-plate type projector for color display or the like, the return light from part of projection light that passes through the prism or the like from the other electro-optical device is strong, and

thus is effective).As a result, the characteristics of the TFT 30 hardly change due to light leakage, and the electro-optical device can obtain very high light resistance. In addition, a large storage capacitor 70 can be constructed by using the non-opening region of each pixel in which the data line 6a and the scanning line 3a are formed.

[0076]

Next, with reference to FIG. 4, the wiring and the shield in the peripheral region in the present embodiment will be described. FIG. 4 is a schematic plan view showing a configuration of various wirings including a shield provided on the TFT array substrate, peripheral circuits, and the like in the present embodiment.

[0077]

FIGS. 5 to 10 are cross-sectional views taken along line B-B' of FIG. 4 showing various specific examples of wirings such as a shield line, an image signal line, and a clock signal line.

[0078]

In FIG. 4, a data line driving circuit 101, a scanning line driving circuit 104, and a sampling circuit 301, as examples of peripheral circuits are formed in a peripheral region located around an image display region on a TFT array substrate of a liquid crystal device.

[0079]

In the following description of FIG. 4, for ease of description, wirings 400 of signals input via a plurality of external input terminals 102 provided along a lower side of the TFT array substrate 1 are referred to by attaching same alphabet symbols as signal names after the wiring 400 in parentheses (for example, a signal wiring of “clock signal CLX” is referred to as “wiring 400 (CLX)”).The scan line drive circuit 104 starts a built-in shift register circuit according to inputting of a start signal SPY using a negative power source VSSY and a positive power source VDDY configured for the scan line drive circuit 104 as power sources, which are supplied from an external control circuit via the external input terminals 102, the wirings 400 (VSSY), and the wirings 400 (VDDY).Then, the scanning signals are applied to the scanning lines 3a line-sequentially in a pulsed manner at predetermined timings based on a reference clock signal CLY for the built-in shift register circuit of the scanning line drive circuit 104 and an inverted clock signal CLY' of the reference clock signal CLY, which are supplied via the external input terminals 102, the wirings 400 (CLY), and the wirings 400 (CLY').

[0080]

The data line drive circuit 101 starts a built-in shift register circuit according to inputting of a start signal SPX using a negative power source VSSX and a positive power source VDDX configured for the data line drive circuit 101 as power sources, which are supplied from an external control circuit via the external input terminals 102 and the signal wirings 400 (VSSX) and the wiring 400s (VDDX).Then, based on the reference clock signals CLX and an inverted clock signals CLX' of the reference clock signal CLX configured for the internal shift register circuit of the data line drive circuit 101 and supplied via the external input terminals 102, the

wirings 400 (CLX), and the wirings 400 (CLX'), for each of image signals VID1 to VID12 which are serial-parallel converted into, for example, 12 parallel signals supplied via the external input terminals 102 and the wiring 400 (VID1) to the wiring 400 (VID12), the sampling circuit drive signals Q_m ($m=1, 2, \dots$) are supplied to the sampling circuit 301 via a sampling circuit drive signal lines 306 at predetermined timings in accordance with the timings at which the scanning line drive circuit 104 applies the scanning signals for each data line.

[0081]

The sampling circuit 301 includes a TFT 302 for each data line 6a, the wiring 400 (VID 1) to the wiring 400 (VID 12) are connected to the source electrodes of the TFTs 302 via the relay wirings 305, and the sampling circuit drive signal lines 306 are connected to the gate electrodes of the TFTs 302. When the image signals VID1 to VID12 are input, these image signals are sampled. When the sampling circuit drive signal Q_m is input from the data line drive circuit 101 via the sampling circuit drive signal line 306, the image signals sampled for the image signals VID 1 to VID 12 are sequentially applied to each group consisting of 12 adjacent data lines 6a.

[0082]

As described above, the data line driving circuit 101 and the sampling circuit 301 are configured to supply the image signals VID1 to VID12 converted into 12 parallel signals to the data line 6a as the image signals S1, S2,....In the present embodiment, a method has been described in which sampling circuits 301 connected to 12 adjacent data lines 6a are simultaneously selected and sequentially transferred for each group consisting of 12 data lines 6a, but the data lines 6a may be selected for each 6 or 24 data lines.

Alternatively, 2 or more arbitrary numbers may be selected simultaneously. At this time, it is needless to say that the external input terminal 102 and the image signal lines for the image signal are required only as many as the number of parallel image signals. The number of parallel image signals and the number of sampling circuits 301 to be simultaneously selected may be equal to each other, or the former may be larger than the latter.

[0083]

As shown in FIG. 4, the data line driving circuit 101 includes a shift register circuit 101a for starting sequential generation of transfer signals based on the reference clock signal CLX and the inverted clock signal CLK' when the start signal SPX is inputted, a waveform control circuit 101b and a buffer circuit 101c for shaping the waveform of the transfer signals from the shift register circuit 101a and then supplying the shaped transfer signals to the sampling circuit 301 via the sampling circuit driving signal lines 306. Further, in the sampling circuit 301, 12 TFTs 302 are connected in parallel to each sampling circuit drive signal line 306 in correspondence with the image signals VID 1 to VID 12 serial-parallel converted into 12 ones. That is, the switches S1 to S12 constituted by the TFTs 302 are connected to a first sampling circuit drive signal line 306 from the left, the switches S13 to S24 are connected to a second sampling circuit drive signal line 306 from the left, and the switches S_{n-11} to S_n are connected to the sampling circuit drive signal lines 306 on the right.

[0084]

Enable signals ENB1 and ENB2 as waveform selection signals, which are one kind of the control signals, are input to the waveform control circuit 101b. In the waveform control circuit 101b, widths of the pulses sequentially output from the shift register circuit 101a are limited to the pulse widths of the enable signals ENB 1 and ENB 2, thereby controlling selection periods of the sampling circuit 301 (so that periods in which adjacent ones of the sampling circuit drive signals Q 1, Q 2,... are at the high level do not overlap each other). This prevents block ghosts from occurring between the data lines 6a that receive image signals from the same wiring 400 (VID 1) to wiring 400 (VID 12). Therefore, the enable signals ENB 1 and ENB 2 are high-frequency control signals having a period shorter than the horizontal scanning period, similarly to the clock signals CLX and CLX'.

[0085]

In the present embodiment, vertical conductive terminals 106 for electrically conducting the TFT array substrate 1 and the counter electrode 21 on the counter substrate 20 side (see FIG. 3) are provided at four corners of the image display area (in FIG. 4, 2 corners of 4 are shown). The vertical conduction terminal 106 is supplied via the external input terminal 102 and the wiring 400 (LCCOM).

[0086]

Next, various specific examples of the shield that can be employed in the electro-optical device of the present embodiment are shown in FIGS. 5 to 10, respectively. FIGS. 5 to 10 are cross-sectional views showing structures of various specific examples of the shield in cross-section taken along B-B' of FIG. 4.

[0087]

In FIGs. 5 to 10, in each specific example, the wirings 400 (VID1) to 400 (VID12) that are image signal lines are made of the same conductive film (for example, a multilayer film including a conductive polysilicon film and a conductive metal silicide film) as the capacitance lines 300 in the image display region, and these wirings 400 are at least electrically shielded by a shield made of the same film (for example, an Al film) as the data lines 6a in the image display region.

[0088]

That is to say, in the specific example of FIG. 5, the wiring 400 made of the same conductive film as the capacitance line 300 is electrically shielded by an upper shield 401a made of the same conductive film as the data line 6a formed along each wiring 400 and in a region covering each wiring 400 from above. In particular, in this specific example, since the upper shield 401a is divided for each wire 400, and each wire 400 can be electrically shielded from all other wires 400.

[0089]

In the specific example of FIG. 6, the wiring 400 made of the same conductive film as the capacitance line 300 is electrically shielded by an upper shield 401b made of the same conductive film as the data line 6a formed along the plurality of wirings 400 from above and in a region covering the plurality of wirings 400 together. In particular, in this specific example, the upper shield 401b is divided for each of the plurality of signal lines. Therefore, the upper shield 401b can be formed relatively easily compared with the specific example of FIG. 5 in which the upper shield 401a is provided for each signal line. In this case, it is preferable that a plurality of signal lines, such as the plurality of pixel signal lines, which are basically less affected by electromagnetic waves are together electrically shielded by one upper shield 401b, and on the other hand, signal lines, such as the image signal lines and the clock signal lines, which are basically more affected by electromagnetic waves are electrically shielded by mutually separate upper shields 401b. That is, it can minimize the disadvantage of together electrically shielding the plurality of signal lines.

[0090]

In the specific example of FIG. 7, the wiring 400 is electrically shielded from the up-down direction by the lower shield 11b made of the same conductive film as the lower light shielding film 11a in the image display region in addition to the upper shield 401a shown in FIG. 5.

[0091]

In the specific example of FIG. 8, the wiring 400 is electrically shielded from the up and down direction by a lower shield 402 made of the same conductive film as the scanning line 3a in the image display region in addition to the upper shield 401a shown in FIG. 5.

[0092]

In the specific example of FIG. 9, in addition to the upper shield 401c and the lower shield 11b similar to FIG. 7, the wiring 400 is electrically shielded from the up and down and left and right directions by the side shield 401d that is extended from the same conductive film as the upper shield 401c and embedded in a hole drilled in a groove shape along the wiring 400 and defined in the base insulating film 12, the first interlayer insulating film 41, the dielectric film 75, and the second interlayer insulating film 42. In particular, in this specific example, since the shield electrically shields the entire circumference of each wire 400, it is possible to reduce the adverse effect of the electromagnetic wave between the plurality of wires 400 as much as possible.

[0093]

In the specific example of FIG. 10, in addition to the upper shield 401c and the lower shield 402 similar to FIG. 8, the wiring 400 is electrically shielded from the up and down and left and right directions by the side shield 401e which is extended from the same conductive film as the upper shield 401c and embedded in the hole drilled in a groove shape along the wiring 400 and defined in the first interlayer insulation film 41, the dielectric film 75, and the second interlayer insulation film 42. In particular, in this specific example, since the shield electrically shields the entire circumference of each wire 400, it is possible to reduce the adverse effect of the electromagnetic wave between the plurality of wires 400 as much as possible. As described

above, according to the electro-optical device of the present embodiment, in the image display region, the second conductive film forming the data line 6a is stacked on the first conductive film forming the capacitance line 300 via the interlayer insulating film. In the peripheral region, the wiring 400 connected to the peripheral circuit is formed from one of the first conductive film and the second conductive film, and a shield that electrically shields the wiring 400 from at least one direction (for example, upper side or lower side) is formed from the other of the first conductive film and the second conductive film. Therefore, it is possible to effectively reduce the jump of the electromagnetic noise into the image signal or the like on the wiring 400 such as the image signal line. In addition, since a dedicated film for forming the wiring 400 and the shield in the peripheral region does not have to be separately formed, it is also advantageous in simplifying the configuration and the manufacturing processes. In particular, when the pixel pitch is miniaturized to increase the driving frequency in order to improve the image quality, noise related to such signal lines (for example, electromagnetic noise from a control signal line such as a clock signal line or a waveform selection signal line to an image signal on the image signal line, electromagnetic noise from an external device or another circuit to an image signal on the image signal line, electromagnetic noise from a control signal line such as a clock signal line or a waveform selection signal line to an external device or another circuit) generally increases relatively (that is, S/N decreases). Therefore, the configuration in which the wiring 400 such as the image signal line and the control signal line wired in the peripheral region is electrically shielded by the shield such as the upper shield 401a, 401b, or 401c, the lower shield 11b, or 402, and the side shield 401d, or 401e as in the present embodiment is very advantageous in terms of reducing the pixel pitch or increasing the driving frequency.

[0094]

In the present embodiment, since the image signal lines serving as the wiring 400 are electrically shielded, it is possible to effectively reduce the jump of the electromagnetic noise into the image signals S1, S2,... on the image signal lines from other signal lines, wirings, circuits, or elements as noise sources. Therefore, it is possible to display a high-quality image in the image display region based on the image signals S 1, S 2,... having a high S/N finally.

[0095]

In the embodiment described above, the relay wiring 305 or the sampling circuit drive signal line 306 that relays and connects the image signal line to the sampling circuit 301 illustrated in FIG. 4 may be electrically shielded from above, below, or from lateral side as illustrated in FIGS. 5 to 10. In this way, it is possible to effectively reduce the jump of the electromagnetic noise into the image signals S 1, S 2,... on the relay wiring 305 and the jump of the electromagnetic noise into the sampling circuit drive signals Q 1, Q 2,... on the sampling circuit drive signal line 306. Since the relay wiring 305 or the sampling circuit drive signal line 306 include a portion facing the counter electrode 21 provided on the counter substrate 20, from the viewpoint of reducing the parasitic capacitance between these wiring and the counter electrode 21, it is particularly effective to electrically shield the wiring and the counter electrode by an upper shield disposed therebetween.

[0096]

In the embodiment described above, the wiring 400 (CLX) and the wiring 400 (CLX') as clock signal lines, and the wiring 400 (ENB1) and the wiring 400 (ENB2) as waveform selection signal lines may be electrically shielded from the upper side, the lower side, or the lateral sides as shown in FIGS. 5 to 10. With this configuration, it is possible to effectively prevent high-frequency and strong electromagnetic noise caused by a control signal on these control signal lines and is generally at a high potential at a high frequency and easily serving as a noise source for an image signal from jumping into the image signal on the image signal line or the like.

[0097]

In the electro-optical devices (including the embodiments) of the present invention described above, the shield is preferably provided with a ground potential or another constant potential. In this case, it is particularly preferable to electrically shield the image signal lines (the wiring 400 (VID 1), the wiring 400 (VID 2),...) and the control signal lines (the wiring 400 (CLX), the wiring 400 (CLX'),...) separately and to provide the image signal lines with constant potentials different from each other. With this configuration, it is possible to prevent the potential fluctuations from affecting each other between the signal lines with the same constant potential wirings. For example, the image signal line may be electrically shielded at a low potential by connecting the image signal line to a constant potential line at a first potential of a low potential (ground potential or about several volts), and the control signal line may be electrically shielded at a high potential by connecting the control signal line to a constant potential line at a second constant potential of a high potential (about ten and several volts), and the constant potential line at a .

[0098]

In addition, in the present embodiment, it is preferable to use the shield as the main line or the branch line of the power supply wiring. With this configuration, the shield can be provided with a constant potential while simplifying the configuration and the manufacturing processes. Moreover, since the region occupied by the shield in the peripheral region is allocated to the power supply wiring, the power supply wiring can be relatively easily formed to be wide. Furthermore, the shielding is formed to be wider, which is more advantageous because the performance of the shielding is also improved.

[0099]

In the various specific examples shown in FIGS. 5 to 10, the wiring 400 is made of the same conductive film as the capacitance line 300 and the shield is made of a conductive layer different from the capacitance line 300, but the wiring 400 may be made of the same conductive film as the data line 6a and the shield may be made of a conductive layer different from the data line 6a, the wiring 400 may be made of the same conductive film as the scanning line 3a and the shield may be made of a conductive layer different from the scanning line 3 a, or the wiring 400 may be made of the same conductive film as the lower light shielding film 11a and the shield may be made of a conductive layer different from the lower light shielding film 11a.

[0100]

Furthermore, it is also possible to form a part of the shield from the same film as the wiring, and in this case, it is possible to perform electrically shield mainly from the lateral sides. In the present embodiment, as illustrated in FIG. 4, the wiring 400 (VSSY) that supplies the negative power supply VSSY and the wiring 400 (VSSX) that supplies the negative power supply VSSX surround the wiring 400 (VID 2), the wiring 400 (VID 4), the wiring 400 (VID 6), and the like which are image signal lines in the same plane, and function as image signal shield lines. Similarly, in the same plane, the wiring 400 (VDDY) that supplies the positive power supply VDDY and the wiring 400 (VSSX) that supplies the negative power supply VSSX surround the wiring 400 (VID 1), the wiring 400 (VID 3), the wiring 400 (VID 5), and the like which are image signal lines, and function as image signal shield lines. Furthermore, the wiring 400 (VDDX) that supplies the positive power supply VDDX surrounds control signal lines such as the wiring 400 (CLX) and the wiring 400 (CLX') which are clock signal lines, and functions as a control signal shield line, also in the same plane. Similarly, the wiring 400 (VDDY) that supplies the positive power supply VDDY surrounds control signals such as the wiring 400 (CLY) and the wiring 400 (CLY') which are clock signal lines, and functions as a control signal shield line, also in the same plane. In particular, as shown by the broken line in FIG. 4, two ends of the wiring 400 (VDDX) as the control signal shielding line may be connected to each other by the connection portion 93, and similarly, two ends of the wiring 400 (VSSX) as the image signal shielding line may be connected to each other by the connection portion 91.

[0101]

Furthermore, it is also possible to form the two stacked conductive films from low-resistance Al films, and thereby, it is possible to electrically shield the low-resistance wiring with the low-resistance conductive film, and a configuration in which electromagnetic noise hardly jumps is obtained.

[0102]

In the embodiment described above, by laminating a large number of conductive layers as shown in FIG. 3, the occurrence of a step in a region along the data line 6a or the scanning line 3a on the lower surface of the pixel electrode 9a (that is, a surface of the third interlayer insulating film 43) is flattened by planarizing the surface of the third interlayer insulating film 43, but instead of or in addition to this, planarizing process may be performed by digging a groove in the TFT array substrate 10, the base insulating film 12, the first interlayer insulating film 41, the second interlayer insulating film 42, or the third interlayer insulating film 43 and embedding a wiring such as the data line 6a, the TFT 30, or the like, or the planarizing process may be performed by polishing steps on an upper surface of the second interlayer insulating film 42 by a CMP (Chemical Mechanical Polishing) process or the like, or by forming an even surface using an organic SOG.

[0103]

In the above-described embodiment, the pixel switching TFT 30 preferably has an LDD structure as shown in FIG. 3, or may have an offset structure in which impurities are not implanted into the low concentration source region 1b and the low concentration drain region 1c, or may be a self-aligned TFT in which impurities are implanted at a high concentration using a gate electrode made of a part of the scanning line 3a as a mask to form the high concentration source and drain regions in a self-aligned manner.

In the present embodiment, a single gate structure in which only one of the pixel switching TFT 30 gate electrode is disposed between the high concentration source region 1d and the high concentration drain region 1e is described, but one or more gate electrodes may be disposed between the high concentration source region 1d and the high concentration drain region 1e. When the TFT is configured with a dual gate or a triple gate or more, it is possible to prevent a leakage current at a junction between the channel and the source and drain regions, and to reduce a current at the time of off-state.

[0104]

As a modification of the embodiment of the present invention described above, instead of or in addition to providing various shields as shown in FIGS. 5 to 10 for the wiring 400 in the peripheral region, the wiring 400 (CLX), the wiring 400 (CLY),... as control signal lines may be formed from one of the four conductive films of the capacitance line 300, the data line 6a, the scanning line 3a, and the lower light shielding film 11a, and the wiring 400 (VID 1), the wiring 400 (VID 2),... as image signal lines may be formed from another one of the four conductive films.

With this configuration, compared with the case where the two types of wirings are formed in the same plane by patterning the same conductive film, it is advantageous because the two signal lines are separated in the direction perpendicular to the substrate and the interlayer insulating film is disposed between the two signal lines, so that noise jump between the two signal lines can be reduced. That is, even if there is no shield, noise can be reduced by forming these two types of signal lines separated in the direction perpendicular to the substrate. Further, by combining such a configuration with the above-described various shields, the effect of reducing electromagnetic noise can be further enhanced.

[0105]

The overall configuration of the electro-optical device in each of the embodiments configured as described above will be described with reference to FIGS. 11 and 12. FIG. 11 is a plan view of the TFT array substrate 10 and the components formed thereon as viewed from the counter substrate 20 side, and FIG. 12 is a cross-sectional view taken along line H-H' in FIG. 11.

[0106]

In FIG. 12, a sealing material 52 is provided along an edge of the TFT array substrate 10, and a light shielding film 53 as a frame defining a periphery of the image display region 10a is provided in parallel with an inner side of the sealing material 52. In a region outside the sealing material 52, the data line driving circuit 101 and the external circuit connection terminals 102 are

provided along a side of the TFT array substrate 10, and the scanning line driving circuit 104 is provided along two sides adjacent to the side. It is needless to say that the scanning line drive circuit 104 may be provided on only one side as long as the scanning signal delay supplied to the scanning line 3a does not cause a problem. The data line drive circuits 101 may be arranged on both sides along the side of the image display region 10a. Furthermore, a plurality of wirings 105 for connecting the scanning line drive circuits 104 provided on both sides of the image display region 10a are provided on a remaining side of the TFT array substrate 10. The vertical conductive material 106 for electrically conducting the TFT array substrate 10 and the counter substrate 20 is provided in at least one position of a corner portion of the counter substrate 20,. The sampling circuit 301 shown in FIG. 4 is provided in a frame region. As shown in FIG. 12, the counter substrate 20 having substantially a same contour as the sealing material 52 shown in FIG. 11 is fixed to the TFT array substrate 10 by the sealing material 52.

[0107]

In addition to the data line driving circuit 101, the scanning line driving circuit 104, the sampling circuit 301, and the like, a precharge circuit for supplying precharge signals of predetermined voltage levels to the plurality of data lines 6a prior to an image signal, an inspection circuit for inspecting quality or defects, and the like of the electro-optical device during manufacturing or shipment, and the like may be formed on the TFT array substrate 10.

[0108]

In the embodiment described above with reference to FIGs. 1 to 12, instead of providing the data line drive circuit 101 and the scan line drive circuit 104 on the TFT array substrate 10, for example, the data line drive circuit and the scan line drive circuit may be electrically and mechanically connected to a driving LSI mounted on a tape automated bonding (TAB) substrate via an anisotropic conductive film provided in a peripheral portion of the TFT array substrate 10. Further, a polarizing film, a retardation film, a polarizing plate, and the like are arranged in a predetermined direction on a side of the counter substrate 20 on which the projection light is incident and a side of the TFT array substrate 10 on which the emission light is emitted, respectively, depending on an operation mode such as a TN mode, a VA (Vertically Aligned) mode, or a PDLC (Polymer Dispersed Liquid Crystal) mode, or a normally white mode/normally black mode.

[0109]

Since the electro-optical device in the above-described embodiment may be applied to a projector, three electro-optical devices are used as light valves for RGB, and light of each color separated through dichroic mirrors for RGB color separation is incident on each light valve as projection light. Therefore, in each embodiment, the counter substrate 20 is not provided with a color filter. However, RGB color filters may be formed on the counter substrate 20 together with a protective film in a predetermined region facing the pixel electrode 9a. In this way, the electro-optical device in each embodiment may be applied to a direct-view type or reflective type color electro-optical device other than the projector. Further, microlens may be formed on the counter substrate 20 each corresponding to one pixel. Alternatively, a color filter layer may be formed

with color resists or the like under the pixel electrodes 9a facing RGB on the TFT array substrate 10. In this way, a bright electro-optical device can be realized by improving the light condensing efficiency of incident light. Furthermore, by depositing interference layers having different refractive indices on the counter substrate 20, dichroic filters that generates RGB colors by utilizing optical interference may be formed. According to the counter substrate with dichroic filters, a lighter color electro-optical device can be realized.

[0110]

The present invention is not limited to the above-described embodiments, and can be appropriately changed within a range not departing from the gist or spirit of the invention that can be read from the claims and the entire specification, and an electro-optical device with such changes and a method for manufacturing the same are also included in the technical scope of the present invention.

[0111]

Brief Description of the Drawings

[0112]

FIG. 1 is an equivalent circuit of various elements, wirings, and the like provided in a plurality of pixels in a matrix forming an image display region in an electro-optical device according to an embodiment of the present invention.

[0113]

FIG. 2 is a plan view of a plurality of pixel groups adjacent to each other in a TFT array substrate in which data lines, scanning lines, pixel electrodes, and the like are formed in the electro-optical device according to the embodiment.

[0114]

FIG. 3 is a cross-sectional view taken along line A-A' of FIG. 2.

[0115]

FIG. 4 is a schematic plan view showing a configuration of various wirings including a shield provided on a TFT array substrate, peripheral circuits, and the like in the present embodiment.

[0116]

FIG. 5 is a cross-sectional view taken along line B-B' of FIG. 4 according to a specific example of a shield that can be employed in the present embodiment.

[0117]

FIG. 6 is a cross-sectional view taken along line B-B' of FIG. 4 according to another specific example of the shield that can be employed in the present embodiment.

[0118]

FIG. 7 is a cross-sectional view taken along line B-B' of FIG. 4 according to another specific example of the shield that can be employed in the present embodiment.

[0119]

FIG. 8 is a cross-sectional view taken along line B-B' of FIG. 4 according to another specific example of the shield that can be employed in the present embodiment.

[0120]

FIG. 9 is a cross-sectional view taken along line B-B' of FIG. 4 according to another specific example of the shield that can be employed in the present embodiment.

[0121]

FIG. 10 is a cross-sectional view taken along line B-B' of FIG. 4 according to another specific example of the shield that can be employed in the present embodiment.

[0122]

FIG. 11 is a plan view of the TFT array substrate and the components formed thereon of the electro-optical device in the present embodiment, as viewed from the counter substrate side.

[0123]

FIG. 12 is a cross-sectional view taken along line H-H' of FIG. 11.

[0124]

Description of Reference Symbols

[0125]

1a: semiconductor layer

1a': channel region

1b: low-concentration source region

1c: low-concentration drain region

1d: high-concentration source region

1e: high-concentration drain region

2: insulating thin film

3a: scanning line

6a: data line

9a: pixel electrode

10: TFT array substrate

11a: lower light shielding film
12: base insulating film
16: alignment film
20: counter substrate
21: counter electrode
22: alignment film
30: TFT
50: liquid crystal layer
70: storage capacitor
71: relay layer
75: dielectric film
81, 83, 85: contact hole
101: data line driving circuit
101a: shift register circuit
101b: waveform control circuit
101c: buffer circuit
104: scanning line driving circuit
300: capacitance line
301: sampling circuit
302: TFT
305: relay line
306: sampling circuit driving signal line
400: line
401a, 401b, 401c: upper shield
401d, 401e: side shield
402: lower shield

1.

An electro-optical device comprising: a plurality of pixel electrodes; a capacitance line made of a first conductive film for adding a storage capacitance to the pixel electrodes; and a data line made of a second conductive film stacked on the first conductive film via an interlayer insulating film in an image display region, a peripheral circuit including a circuit related to driving of the data line, a signal line connected to the peripheral circuit and made of one of the first conductive film and the second conductive film, and a shield made of the other one of the first conductive film and the second conductive film that electrically shields the signal line from at least one direction in a peripheral region located around the image display region on the substrate.

2.

The electro-optical device according to claim 1, wherein the shield is made of the second conductive film, and electrically shields the signal line made of the first conductive film from above.

3.

The electro-optical device according to claim 2, wherein the shield further includes a main line portion that electrically shields the signal line from above and a side wall portion that extends from the main line portion and is embedded in a groove at least formed in the interlayer insulating film, and the main line portion and the side wall portion electrically shield the signal line from three sides when viewed in a cross section of the signal line.

4.

The electro-optical device according to claim 3, wherein the shield further includes a bottom wall portion made of another conductive film stacked below the signal line via another interlayer insulation film, and the main line portion, the side wall portion, and the bottom wall portion electrically shield the signal line from four sides when viewed in a cross section of the signal line.

5.

The electro-optical device according to claim 1, wherein the shield is made of the first conductive film and electrically shields the signal line made of the second conductive film from below.

6.

The electro-optical device according to any one of claims 1 to 5, wherein the signal line includes an image signal line for supplying an image signal.

7.

The electro-optical device according to any one of claims 1 to 6, wherein the peripheral circuit includes a sampling circuit that samples an image signal, and the signal line includes a relay wiring that relays and connects an image signal line that supplies the image signal to the sampling circuit.

8.

The electro-optical device according to any one of claims 1 to 7, wherein the peripheral circuit includes a sampling circuit that samples an image signal, and the signal line includes a gate signal line of the sampling circuit.

9.

The electro-optical device according to any one of claims 1 to 8, wherein the signal line includes a control signal line that supplies a control signal including at least one of a clock signal and a waveform selection signal.

10.

The electro-optical device according to any one of claims 1 to 9, wherein the signal line includes an image signal line that supplies an image signal and a control signal line that supplies a control signal including at least one of a clock signal and a waveform selection signal, the shield includes a first portion that electrically shields the image signal line and a second portion that electrically shields the control signal line, the first portion is provided with a first constant potential, and the second portion is provided with a second constant potential different from the first constant potential.

11.

The electro-optical device according to any one of claims 1 to 10, wherein the shield is divided for each signal line.

12.

The electro-optical device according to any one of claims 1 to 10, wherein the shield is divided for a plurality of signal lines.

13.

The electro-optical device according to any one of claims 1 to 12, wherein at least one of the first conductive film and the second conductive film is made of a film containing a metal.

14.

The electro-optical device according to any one of claims 1 to 13, further comprising a scanning line made of a third conductive film stacked below the first conductive film on the substrate in the image display region, and further comprising another shield made of the third conductive film that electrically shields the signal line from below in the peripheral region.

15.

The electro-optical device according to claim 1 to 14, further comprising: a thin film transistor connected between the data line and the pixel electrode; and a conductive light shielding film stacked below the first conductive film and the thin film transistor on the substrate that shields at least a channel region of the thin film transistor in the image display region, and further includes another shield formed from the light shielding film that electrically shields the signal line from below in the peripheral region.

16.

The electro-optical device according to any one of claims 1 to 15, further comprising a counter electrode facing the plurality of pixel electrodes on a counter substrate facing the substrate with an electro-optical material provided therebetween, wherein the shield includes a portion located between a portion of the signal line facing the counter electrode and the counter electrode that electrically shields the portion of the signal line from above.

17.

The electro-optical device according to any one of claims 1 to 16, wherein the shield is formed of a main line or a branch line of a power supply wiring.

18.

An electro-optical device comprising: a plurality of pixel electrodes; a capacitance line made of a first conductive film for adding a storage capacitance to the pixel electrodes; and a data line made of a second conductive film stacked on the first conductive film via an interlayer insulating film in an image display region on a substrate, a peripheral circuit including a circuit related to driving of the data line, an image signal line including one of the first conductive film and the second conductive film while supplying an image signal to the peripheral circuit, and a control signal line made of the other one of the first conductive film and the second conductive film while supplying a control signal including at least one of a clock signal and a waveform selection signal to the peripheral circuit in a peripheral region located around the image display region on the substrate.

Declaration Under 28 U.S.C. § 1746

I, Angela Huang, am fluent in both the Japanese and English languages, and hereby certify that the English texts attached hereto are, to the best of my ability, knowledge, and belief, accurate, true, complete, and correct translation of the original document: Japanese Patent Application Publication No. 2002049052A. I understand that willful false statements and the like are punishable by fine or imprisonment, or both (18 U.S.C. § 1001).

I certify under penalty of perjury that the foregoing is true and correct.

Executed on: 2022.12.28

By: Angela Huang

(Angela Huang)

(19)日本国特許庁（J P）

(12) **公開特許公報** (A)

(11)特許出願公開番号

特開2002－49052

(P2002－49052A)

(43)公開日 平成14年2月15日(2002.2.15)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 F 1/1345		G 0 2 F 1/1345	2 H 0 9 2
1/133	550	1/133	2 H 0 9 3
1/1368		G 0 9 F 9/00	309 Z 5 C 0 0 6
G 0 9 F 9/00	309		348 C 5 C 0 8 0
	348	9/30	330 Z 5 C 0 9 4
審査請求 未請求 請求項の数 18 O L (全 17数) 最終頁に続く			

(21)出願番号 特願2000－236195(P2000－236195)

(22)出願日 平成12年8月3日(2000.8.3)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコーエ

プソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅誉 (外1名)

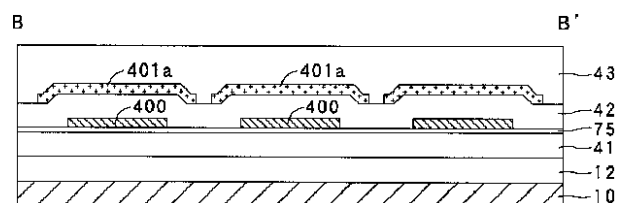
最終頁に続く

(54)【発明の名称】 電気光学装置

(57)【要約】

【課題】 液晶装置等の電気光学装置において、比較的簡単な装置構成により、基板上の周辺領域に設けられた信号線上の信号におけるノイズを低減し、高品位の画像表示を行なう。

【解決手段】 電気光学装置は、T F Tアレイ基板（1 0）上の画像表示領域に、画素電極（9 a）と、これに接続されたT F T（3 0）及び容量線（3 0 0）を備え、更にT F Tに接続されたデータ線（6 a）及び走査線（3 a）を備える。周辺領域に、データ線の駆動に係る回路を含む周辺回路と、これに接続されており容量線と同一膜からなる信号線（4 0 0）と、これを少なくとも一方向から電気遮蔽するデータ線と同一膜からなるシールド（4 0 1 a）を備える。



【特許請求の範囲】

【請求項 1】 基板上の画像表示領域に、複数の画素電極と、該画素電極に蓄積容量を付加するための第 1 導電膜からなる容量線と、該第 1 導電膜上に層間絶縁膜を介して積層された第 2 導電膜からなるデータ線とを備え、前記基板上の前記画像表示領域の周辺に位置する周辺領域に、前記データ線の駆動に係る回路を含む周辺回路と、該周辺回路に接続されており前記第 1 導電膜及び前記第 2 導電膜の一方からなる信号線と、該信号線を少なくとも一方向から電気遮蔽する前記第 1 導電膜及び前記第 2 導電膜の他方からなるシールドとを備えたことを特徴とする電気光学装置。

【請求項 2】 前記シールドは、前記第 2 導電膜からなり、前記第 1 導電膜からなる前記信号線を上方から電気遮蔽することを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】 前記シールドは、前記信号線を上方から電気遮蔽する本線部と該本線部から延設されて少なくとも前記層間絶縁膜に掘られた溝内に埋め込まれる側壁部分を更に有し、前記本線部及び前記側壁部分により前記信号線の断面上で見て前記信号線を三方から電気遮蔽することを特徴とする請求項 2 に記載の電気光学装置。

【請求項 4】 前記シールドは、前記信号線の下方に他の層間絶縁膜を介して積層された他の導電膜からなる底壁部分を更に有し、前記本線部、前記側壁部分及び前記底壁部分により前記信号線を前記信号線の断面上で見て四方から電気遮蔽することを特徴とする請求項 3 に記載の電気光学装置。

【請求項 5】 前記シールドは、前記第 1 導電膜からなり、前記第 2 導電膜からなる前記信号線を下方から電気遮蔽することを特徴とする請求項 1 に記載の電気光学装置。

【請求項 6】 前記信号線は、画像信号を供給する画像信号線を含むことを特徴とする請求項 1 から 5 のいずれか一項に記載の電気光学装置。

【請求項 7】 前記周辺回路は、画像信号をサンプリングするサンプリング回路を含み、前記信号線は、前記画像信号を供給する画像信号線と前記サンプリング回路とを中継接続する中継配線を含むことを特徴とする請求項 1 から 6 のいずれか一項に記載の電気光学装置。

【請求項 8】 前記周辺回路は、画像信号をサンプリングするサンプリング回路を含み、前記信号線は、前記サンプリング回路のゲート信号線を含むことを特徴とする請求項 1 から 7 のいずれか一項に記載の電気光学装置。

【請求項 9】 前記信号線は、クロック信号及び波形選択信号のうち少なくとも一方を含む制御信号を供給する制御信号線を含むことを特徴とする請求項 1 から 8 のいずれか一項に記載の電気光学装置。

【請求項 10】 前記信号線は、画像信号を供給する画像信号線とクロック信号及び波形選択信号のうち少なくとも一方を含む制御信号を供給する制御信号線とを含み、

前記シールドは、前記画像信号線を電気遮蔽する第 1 部分と、前記制御信号線を電気遮蔽する第 2 部分とを含み、

前記第 1 部分は第 1 定電位に固定され且つ前記第 2 部分は前記第 1 定電位とは異なる第 2 定電位に固定されることを特徴とする請求項 1 から 9 のいずれか一項に記載の電気光学装置。

【請求項 11】 前記シールドは、1 本の信号線毎に分断されていることを特徴とする請求項 1 から 10 のいずれか一項に記載の電気光学装置。

【請求項 12】 前記シールドは、複数の信号線毎に分断されていることを特徴とする請求項 1 から 10 のいずれか一項に記載の電気光学装置。

【請求項 13】 前記第 1 導電膜及び前記第 2 導電膜のうち少なくとも一方は、金属を含有する膜から形成されたことを特徴とする請求項 1 から 12 のいずれか一項に記載の電気光学装置。

【請求項 14】 前記画像表示領域に、前記基板上において前記第 1 導電膜よりも下方に積層された第 3 導電膜からなる走査線を更に備え、

前記周辺領域に、前記信号線を下方から電気遮蔽する前記第 3 導電膜からなる他のシールドを更に備えたことを特徴とする請求項 1 から 13 のいずれか一項に記載の電気光学装置。

【請求項 15】 前記画像表示領域に、前記データ線と前記画素電極との間に接続された薄膜トランジスタと、該薄膜トランジスタの少なくともチャンネル領域を遮光する前記基板上において前記第 1 導電膜及び前記薄膜トランジスタよりも下方に積層された導電性の遮光膜とを更に備え、

前記周辺領域に、前記信号線を下方から電気遮蔽する前記遮光膜からなる他のシールドを更に備えたことを特徴とする請求項 1 から 14 に記載の電気光学装置。

【請求項 16】 前記基板に電気光学物質を介して対向する対向基板上に、前記複数の画素電極に対向する対向電極を更に備えており、

前記シールドは、前記信号線のうち前記対向電極に対向する一部と前記対向電極との間において前記信号線の一部を上方から電気遮蔽する部分を含むことを特徴とする請求項 1 から 15 のいずれか一項に記載の電気光学装置。

【請求項 17】 前記シールドは、電源配線の本線又は分岐配線からなることを特徴とする請求項 1 から 16 のいずれか一項に記載の電気光学装置。

【請求項 18】 基板上の画像表示領域に、複数の画素電極と、該画素電極に蓄積容量を付加するための第 1 導

電膜からなる容量線と、該第 1 導電膜上に層間絶縁膜を介して積層された第 2 導電膜からなるデータ線とを備え、前記基板上の前記画像表示領域の周辺に位置する周辺領域に、前記データ線の駆動に係る回路を含む周辺回路と、該周辺回路に画像信号を供給すると共に前記第 1 導電膜及び前記第 2 導電膜の一方からなる画像信号線と、該周辺回路にクロック信号及び波形選択信号のうち少なくとも一方を含む制御信号を供給すると共に前記第 1 導電膜及び前記第 2 導電膜の他方からなる制御信号線とを

備えたことを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶装置等の電気光学装置の技術分野に属し、特に、TFTアレイ基板上の周辺領域に設けられたデータ線駆動回路、サンプリング回路等の周辺回路により画像信号、クロック信号等に応じてデータ線を駆動する形式の電気光学装置の技術分野に属する。

【0002】

【背景技術】TFT駆動によるアクティブマトリクス駆動方式の電気光学装置においては、縦横に夫々配列された多数の走査線及びデータ線並びにこれらの各交点に対応して多数の画素電極がTFTアレイ基板上に設けられている。そして、これらに加えて、データ線駆動回路、サンプリング回路、走査線駆動回路等の周辺回路、更にこのような周辺回路に接続された画像信号線や制御信号線（例えば、クロック信号線や波形選択信号線）などの信号線が、係るTFTアレイ基板上の周辺領域に設けられる場合がある。

【0003】この場合、データ線駆動回路には、画像信号の供給タイミングの基準となる基準クロック（以下、X側基準クロックと称す）や所謂ゴーストの発生を防ぐための波形選択信号などの制御信号、表示すべき画像の内容に対応する画像信号、正や負の定電位電源等が、TFTアレイ基板に設けられた外部入力端子及び配線を介して夫々供給される。他方、走査線駆動回路には、走査信号の供給タイミングの基準となる基準クロック（以下、Y側基準クロックと称す）、正や負の定電位電源等が、やはりTFTアレイ基板に設けられた外部入力端子及び配線を介して供給される。そして例えば、走査線駆動回路により、Y側基準クロックに基づくタイミングで走査信号を走査線に線順次で供給する。これに対応してデータ線駆動回路が、入力された画像信号をサンプリングするサンプリング回路を、X側基準クロックに基づくタイミングで順次駆動して、サンプリング回路から画像信号がデータ線に供給される。これらの結果、走査線にゲート接続された各TFTは、走査信号の供給に応じて導通状態とされ、画像信号がデータ線及び当該TFTを介して画素電極に供給されて各画素における画像表示が

行われる。

【0004】近年特に、表示画像の高解像度化に伴って、非常に高い周波数のシリアルな画像信号が入力されるようになってきている。例えば、画像信号のドット周波数は、近時の高解像度のパソコン画面において使用されるXGA表示モードでは約65MHzであり、SXGA表示モードでは約135MHzであり、従来のVGA表示モードにおけるドット周波数（約30MHz）を遥かに上回る。これに対応すべく、特にデータ線駆動回路に供給されるX側基準クロックの周波数も非常に高くなる。更に、このように高い画像信号の周波数を、サンプリング回路でサンプリング可能な程度の周波数に落とすために、電気光学装置に入力される前段階で、高周波数のシリアルな画像信号を複数のパラレルな画像信号にシリアル-パラレル変換する処理が行われている。例えば、前述のVGA表示モードでは、6個程度のパラレルな画像信号への変換が行われており、XGA表示モードやSXGA表示モードでは、サンプリング回路の性能に応じて、例えば12個或いは24個程度のパラレルな画像信号への変換が必要となる。

【0005】

【発明が解決しようとする課題】しかしながら、近年の表示画像の高品位化の要請の下では、このように基準クロックの周波数を高くすることによる、高周波のクロックノイズの発生が無視し得なくなる。即ち、例えば従来の比較的周波数の低いX側基準クロックをデータ線駆動回路に供給してサンプリング回路を駆動する構成において、そのままクロック信号の周波数を上げたのでは、サンプリング回路に入力される画像信号中やサンプリング回路から出力される画像信号中に高周波のクロックノイズが発生して、データ線に供給すべき画像信号が変化してしまう。このように変化した画像信号の供給を受けたのでは、各画素電極により表示される画像もやはり変化してしまうという問題点がある。例えば、各画素において中間レベルの階調表示を行う時に、数mV～数十mV程度の微少なノイズが画像信号中に飛び込んだだけでも、表示画像中に視認可能な程度のノイズとして現れてしまう。これは、最高又は最低の液晶駆動電圧（例えば、0～5V間の電圧）に対応する白又は黒レベルの表示を行っている場合と比べて、中間レベルにおける液晶駆動電圧の変化に対する液晶の透過率の変化が急峻だからである。このように高精度の多階調表示を実現するためには、高周波のクロックノイズの問題は重大である。

【0006】他方で、前述のようにシリアル-パラレル変換によるパラレルな画像信号の個数を増やすことによりサンプリング回路に供給される画像信号の周波数を下げることができるが、電気光学装置の基板に設けねばならない画像信号入力用の外部入力端子の数や画像信号線

て増やさねばならない。従って、限られた基板上の周辺領域に多数の信号線を極めて近接配置せねばならず、結果として、近接配置された一の信号線（例えば、クロック信号線）をノイズ源として他の信号線（例えば、画像信号線）上の信号中に飛び込むノイズが増大してしまうという問題点が生ずる。しかも、シリアルーパラレル変換によるパラレルな画像信号の個数を増やす程、画素電極への書き込み能力不足に起因して発生するブロックゴースト（即ち、パラレルな画像信号が供給される複数のデータ線に対応する画素電極群を一纏めとして発生するブロック状のゴースト）が画像表示領域内に占める面積が増加する。この結果、ブロックゴーストが視覚上目立つようになるという深刻な問題も生じる。

【0007】本発明は上述の問題点に鑑みなされたものであり、基板上の周辺領域に設けられた信号線上の信号におけるノイズが低減されており、高品位の画像表示が可能な電気光学装置を提供することを課題とする。

【0008】

【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、基板上の画像表示領域に、複数の画素電極と、該画素電極に蓄積容量を付加するための第1導電膜からなる容量線と、該第1導電膜上に層間絶縁膜を介して積層された第2導電膜からなるデータ線とを備え、前記基板上の前記画像表示領域の周辺に位置する周辺領域に、前記データ線の駆動に係る回路を含む周辺回路と、該周辺回路に接続されており前記第1導電膜及び前記第2導電膜の一方からなる信号線と、該信号線を少なくとも一方向から電気遮蔽する前記第1導電膜及び前記第2導電膜の他方からなるシールドとを備える。

【0009】本発明の電気光学装置によれば、画像表示領域では、容量線をなす第1導電膜上に、データ線をなす第2導電膜が層間絶縁膜を介して積層されている。周辺領域では、これら第1導電膜及び第2導電膜の一方から、周辺回路に接続された信号線が形成されており、これら第1導電膜及び第2導電膜の他方から、信号線を少なくとも一方向（例えば、上方や下方）から電気遮蔽するシールドが形成されている。従って、容量線をなす第1導電膜を利用して周辺領域における信号線を形成しつつ、データ線をなす第2導電膜を利用して係る信号線を電気遮蔽することにより、信号線上の信号への電磁ノイズの飛び込みを効果的に低減でき、又は信号線からの電磁ノイズの発生を効果的に低減できる。或いは、信号線をなす第2導電膜を利用して周辺領域における信号線を形成しつつ、容量線をなす第1導電膜を利用して係る信号線を電気遮蔽することにより、信号線上の信号への電磁ノイズの飛び込みを効果的に低減でき、又は信号線からの電磁ノイズの発生を効果的に低減できる。しかも、いずれの場合にも、周辺領域に信号線やシールドを形成するために専用の膜を別途形成しないで済むので、装置

構成及び製造工程を簡略化する上でも有利である。特に、画像品位の向上のために画素ピッチを微細化し駆動周波数を高めた場合に、一般にこのような信号線に係るノイズは相対的に増加する。従って、本発明のように周辺領域に配線された画像信号線、制御信号線等の信号線を電気遮蔽する構成は、画素ピッチを微細化し或いは駆動周波数を高める上で大変有利である。

【0010】尚、本発明における周辺回路のうち「データ線の駆動に係る回路」とは、例えばデータ線を駆動するデータ線駆動回路の他、データ線駆動回路からのサンプリング回路駆動信号による制御を受けて複数のデータ線に画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路等を含む、データ線の駆動或いはデータ線への画像信号の供給に関連する回路を全て含む広い意味である。また、「周辺回路」とは、このようなデータ線の駆動に係る回路以外に、例えば走査線の駆動に係る回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等の周辺領域に作りこまれる任意の回路をいう。

【0011】以上の結果、比較的簡単な装置構成により、画像信号等におけるノイズが低減されており、高品位の画像表示が可能な電気光学装置を実現できる。

【0012】本発明の電気光学装置の一態様では、前記シールドは、前記第2導電膜からなり、前記第1導電膜からなる前記信号線を上方から電気遮蔽する。

【0013】この態様によれば、第1導電膜からなる画像信号線等の信号線は、第2導電膜からなるシールドにより上方から電気遮蔽される。従って、各信号線の主に上方や側方に位置するノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを効果的に低減できる。

【0014】この態様では、前記シールドは、前記信号線を上方から電気遮蔽する本線部と該本線部から延設されて少なくとも前記層間絶縁膜に掘られた溝内に埋め込まれる側壁部分を更に有し、前記本線部及び前記側壁部分により前記信号線の断面上で見て前記信号線を三方から電気遮蔽するように構成してもよい。

【0015】このように構成すれば、第1導電膜からなる画像信号線等の信号線は、第2導電膜からなるシールドにより上方及び側方の三方から電気遮蔽される。従って、各信号線の主に上方や側方に位置するノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを一層効果的に低減できる。

【0016】この場合更に、前記シールドは、前記信号線の下方に他の層間絶縁膜を介して積層された他の導電膜からなる底壁部分を更に有し、前記本線部、前記側壁部分及び前記底壁部分により前記信号線を前記信号線の断面上で見て四方から電気遮蔽するように構成してもよ

い。

【0017】このように構成すれば、第1導電膜からなる画像信号線等の信号線は、第2導電膜及び他の導電膜からなるシールドにより上方、側方及び下方の四方から電気遮蔽される。従って、各信号線の四方に位置するノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを非常に効果的に低減できる。

【0018】本発明の電気光学装置の他の態様では、前記シールドは、前記第1導電膜からなり、前記第2導電膜からなる前記信号線を下方から電気遮蔽する。

【0019】この態様によれば、第2導電膜からなる画像信号線等の信号線は、第1導電膜からなるシールドにより下方から電気遮蔽される。従って、各信号線の主に下方や側方に位置するノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを効果的に低減できる。

【0020】本発明の電気光学装置の他の態様では、前記信号線は、画像信号を供給する画像信号線を含む。

【0021】この態様によれば、周辺領域において、画像信号線は電気遮蔽されているので、ノイズ源としての他の信号線や配線或いは回路や素子からの画像信号線上の画像信号への電磁ノイズの飛び込みを効果的に低減できる。従って、最終的に高いS/Nを持つ画像信号に基づいて、画像表示領域において高品位の画像表示を行うことが可能となる。

【0022】本発明の電気光学装置の他の態様では、前記周辺回路は、画像信号をサンプリングするサンプリング回路を含み、前記信号線は、前記画像信号を供給する画像信号線と前記サンプリング回路とを中継接続する中継配線を含む。

【0023】この態様によれば、周辺領域において、中継配線はシールドされているので、ノイズ源としての他の信号線や配線或いは回路や素子からの中継配線上的画像信号への電磁ノイズの飛び込みを効果的に低減できる。従って、最終的に高いS/Nを持つ画像信号に基づいて、画像表示領域において高品位の画像表示を行うことが可能となる。特に、対向基板に設けられる対向電極に対向する中継配線部分については、当該中継配線部分と対向電極との寄生容量を低減する観点から、両者間に配置される上方シールドにより電気遮蔽すると効果的である。

【0024】本発明の電気光学装置の他の態様では、前記周辺回路は、画像信号をサンプリングするサンプリング回路を含み、前記信号線は、前記サンプリング回路のゲート信号線を含む。

【0025】この態様によれば、周辺領域において、サンプリング回路のゲート信号線はシールドされているので、ノイズ源としての他の信号線や配線或いは回路や素子からのゲート信号線上の制御信号（例えば、データ線駆動回路から出力されるサンプリング回路駆動信号）へ

の電磁ノイズの飛び込みを効果的に低減できる。従って、最終的にサンプリング回路における高精度のサンプリング動作により、画像表示領域において高品位の画像表示を行うことが可能となる。特に、対向基板に設けられる対向電極に対向するゲート信号線部分については、当該ゲート信号線部分と対向電極との寄生容量を低減する観点から、両者間に配置される上方シールドにより電気遮蔽すると効果的である。

【0026】本発明の電気光学装置の他の態様では、前記信号線は、クロック信号及び波形選択信号のうち少なくとも一方を含む制御信号を供給する制御信号線を含む。

【0027】この態様によれば、周辺領域において、制御信号線は電気遮蔽されているので、ノイズ源としての他の信号線や配線或いは回路や素子からの制御信号線上の制御信号への電磁ノイズの飛び込みを効果的に低減できる。更に、一般に高周波数や高電位である制御信号は画像信号に対するノイズ源となり易い。従って、このように制御信号線を電気遮蔽することにより、ノイズ源としての当該制御信号線からの、他の信号線たる画像信号線等へ供給される画像信号等への電磁ノイズの飛び込みを効果的に低減できる。よって、最終的に高いS/Nを持つ制御信号や画像信号等に基づいて、画像表示領域において高品位の画像表示を行うことが可能となる。

【0028】尚、以上説明した本発明の電気光学装置（各実施形態を含む）では、シールドは、好ましくは接地電位や他の定電位に固定される。

【0029】本発明の電気光学装置の他の態様では、前記信号線は、画像信号を供給する画像信号線とクロック信号及び波形選択信号のうち少なくとも一方を含む制御信号を供給する制御信号線とを含み、前記シールドは、前記画像信号線を電気遮蔽する第1部分と、前記制御信号線を電気遮蔽する第2部分とを含み、前記第1部分は第1定電位に固定され且つ前記第2部分は前記第1定電位とは異なる第2定電位に固定される。

【0030】この態様によれば、周辺領域において、画像信号線はシールドの第1部分により電気遮蔽されており、制御信号線はシールドの第2部分により電気遮蔽されているので、ノイズ源としての他の信号線や配線或いは回路や素子からの、画像信号線上の画像信号及び制御信号線上の制御信号への電磁ノイズの飛び込みを夫々効果的に低減できる。そして特に、シールドの第1部分と第2部分とは、相異なる定電位に固定されているので、同一の定電位配線を介して両信号線間でそれらの電位変動が相互に影響を及ぼす事態を未然防止できる。従って、最終的に高いS/Nを持つ画像信号や制御信号等に基づいて、画像表示領域において高品位の画像表示を行うことが可能となる。

【0031】本発明の電気光学装置の他の態様では、前記シールドは、1本の信号線毎に分断されている。

【0032】この態様によれば、信号線は、1本毎に別個に電気遮蔽されているので、各信号線を他の全ての信号線から電気遮蔽できる。即ち、複数の信号線相互間の電磁波による悪影響を極力低減できる。

【0033】本発明の電気光学装置の他の態様では、前記シールドは、複数の信号線毎に分断されている。

【0034】この態様によれば、信号線は、複数の信号線毎に別個に電気遮蔽されているので、1本の信号線毎にシールドを設ける場合と比較して、容易にシールドを形成できる。この際、例えば複数の画素信号線など、相互に電磁波が及ぼす影響が基本的に小さい複数の信号線を同一シールドにより纏めて電気遮蔽するようにし、他方で、例えば画像信号線とクロック信号線など、相互に電磁波が及ぼす影響が基本的に大きい信号線を相互に別個のシールドにより電気遮蔽するようにすれば、このように複数の信号線を纏めて電気遮蔽する際の不利益（即ち、同一シールドで電気遮蔽される複数の信号線相互間におけるノイズの飛び込み）を抑えることができる。

【0035】本発明の電気光学装置の他の態様では、前記第1導電膜及び前記第2導電膜のうち少なくとも一方は、金属を含有する膜から形成される。

【0036】この態様によれば、例えば、Al（アルミニウム）膜、Cr（クロム）等の金属を含有する膜から第1導電膜や第2導電膜を形成することにより、これらの導電膜の低抵抗化を容易に図ることができる。

【0037】本発明の電気光学装置の他の態様では、前記画像表示領域に、前記基板上において前記第1導電膜よりも下方に積層された第3導電膜からなる走査線を更に備え、前記周辺領域に、前記信号線を下方から電気遮蔽する前記第3導電膜からなる他のシールドを更に備える。

【0038】この態様によれば、画像表示領域では、走査線をなす第3導電膜が、容量線をなす第1導電膜よりも下方に積層されている。周辺領域では、この第3導電膜から、信号線を下方から電気遮蔽する他のシールドが形成されている。従って、第1導電膜及び第2導電膜の一方からなる画像信号線等の信号線は、第1導電膜及び第2導電膜の他方からなるシールドと、第3導電膜からなるシールドとにより上下から或いは下方から冗長的に電気遮蔽される。従って、ノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを一層効果的に低減できる。尚、画像表示領域では、走査線及びデータ線によるアクティブマトリクス駆動或いはパッシブマトリクス駆動が可能となる。

【0039】本発明の電気光学装置の他の態様では、前記画像表示領域に、前記データ線と前記画素電極との間に接続された薄膜トランジスタと、該薄膜トランジスタの少なくともチャンネル領域を遮光する前記基板上において前記第1導電膜及び前記薄膜トランジスタよりも下方に積層された導電性の遮光膜とを更に備え、前記周辺領

域に、前記信号線を下方から電気遮蔽する前記遮光膜からなる他のシールドを更に備える。

【0040】この態様によれば、画像表示領域では、薄膜トランジスタの少なくともチャンネル領域を遮光する遮光膜が、容量線をなす第1導電膜よりも下方に積層されている。周辺領域では、この遮光膜から、信号線を下方から電気遮蔽する他のシールドが形成されている。従って、第1導電膜及び第2導電膜の一方からなる画像信号線等の信号線は、第1導電膜及び第2導電膜の他方からなるシールドと、遮光膜からなるシールドとにより上下から或いは下方から冗長的に電気遮蔽される。従って、ノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを一層効果的に低減できる。尚、画像表示領域では、データ線及び薄膜トランジスタによるアクティブマトリクス駆動が可能となる。

【0041】本発明の電気光学装置の他の態様では、前記基板上に電気光学物質を介して対向する対向基板上に、前記複数の画素電極に対向する対向電極を更に備えており、前記シールドは、前記信号線のうち前記対向電極に対向する一部と前記対向電極との間において前記信号線の一部を上方から電気遮蔽する部分を含む。

【0042】この態様によれば、対向基板上に設けられる対向電極とこれに対向する信号線の一部との間に上方シールドが存在するので、当該信号線の一部と対向電極との間における寄生容量を低減できる。即ち、ノイズ源としての対向電極からの信号線上の画像信号等への電磁ノイズの飛び込みや、ノイズ源としての信号線からの対向電極上の定電位信号（例えば、反転しない定電位の信号、フレームやフィールド毎に反転する定電位の信号など）等への電磁ノイズの飛び込みを効果的に低減できる。

【0043】本発明の電気光学装置の他の態様では、前記シールドは、電源配線の本線又は分岐配線からなる。

【0044】この態様によれば、シールドは、電源配線の本線又は分岐配線からなるので、シールドを定電位に固定できる。しかも、周辺領域におけるシールドが占める領域を電源配線に割り当てることになるので、電源配線を比較的容易に幅広に構成することができ、安定した定電位を供給することも可能となる。またシールドと電源配線とを共用することで、装置構成及び製造工程の簡略化を図ることも可能となる。更に、シールドをこのように安定した定電位に固定することにより、電気遮蔽の性能も向上するので一層有利である。

【0045】本発明の他の電気光学装置は上記課題を解決するために、基板上の画像表示領域に、複数の画素電極と、該画素電極に蓄積容量を付加するための第1導電膜からなる容量線と、該第1導電膜上に層間絶縁膜を介して積層された第2導電膜からなるデータ線とを備え、前記基板上の前記画像表示領域の周辺に位置する周辺領域に、前記データ線の駆動に係る回路を含む周辺回路

と、該周辺回路に画像信号を供給すると共に前記第 1 導電膜及び前記第 2 導電膜の一方からなる画像信号線と、該周辺回路にクロック信号及び波形選択信号のうち少なくとも一方を含む制御信号を供給すると共に前記第 1 導電膜及び前記第 2 導電膜の他方からなる制御信号線とを備える。

【0046】本発明の他の電気光学装置によれば、画像表示領域では、容量線をなす第 1 導電膜上に、データ線をなす第 2 導電膜が層間絶縁膜を介して積層されている。周辺領域では、これら第 1 導電膜及び第 2 導電膜の一方から、画像信号線が形成されており、これら第 1 導電膜及び第 2 導電膜の他方から、制御信号線が形成されている。従って、周辺領域において、同一導電膜をパターンニングすることにより同一平面内に画像信号線と制御信号線とを形成する場合と比べると、画像信号線と制御信号線とを形成する二つの導電膜が基板に垂直な方向に離間した分だけ両者間における寄生容量は低減されたことになる。即ち、二つの信号線間の距離が大きくなるに連れて小さくなるノイズ源としての制御信号線からの画像信号線上の画像信号への電磁ノイズの飛び込み（或いはノイズ源としての画像信号線からの制御信号線への電磁ノイズの飛び込み）を低減できる。尚、このような構成を持つ電気光学装置に対して、上述した本発明に係る各種のシールドを設けてもよい。このように構成すれば、画送信号線と制御信号線とが基板に垂直な方向に離間したことによる電磁ノイズを低減する効果と、画像信号と制御信号線との間のシールドによる電磁ノイズを低減する効果との両者を享受できる。

【0047】以上の結果、比較的簡単な装置構成により、画像信号等におけるノイズが低減されており、高品位の画像表示が可能な電気光学装置を実現できる。

【0048】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0049】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

【0050】先ず本発明の実施形態における電気光学装置の構成について、図 1 から図 3 を参照して説明する。図 1 は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図 2 は、データ線、走査線、画素電極等が形成された TFT アレイ基板の相隣接する複数の画素群の平面図である。図 3 は、図 2 の A-A' 断面図である。尚、図 3 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0051】図 1 において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極 9a と当該画素電極

9a をスイッチング制御するための TFT 30 とが形成されており、画像信号が供給されるデータ線 6a が当該 TFT 30 のソースに電気的に接続されている。データ線 6a に書き込む画像信号 S1、S2、…、Sn は、この順に線順次に供給しても構わないし、相隣接する複数のデータ線 6a 同士に対して、グループ毎に供給するようにしても良い。また、TFT 30 のゲートに走査線 3a が電気的に接続されており、所定のタイミングで、走査線 3a にパルス的に走査信号 G1、G2、…、Gm を、この順に線順次で印加するように構成されている。画素電極 9a は、TFT 30 のドレインに電気的に接続されており、スイッチング素子である TFT 30 を一定期間だけそのスイッチを閉じることにより、データ線 6a から供給される画像信号 S1、S2、…、Sn を所定のタイミングで書き込む。画素電極 9a を介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号 S1、S2、…、Sn は、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電位レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9a と対向電極との間に形成される液晶容量と並列に蓄積容量 70 を付加する。走査線 3a に並んで、蓄積容量 70 の固定電位側容量電極を含むと共に定電位に固定された容量線 300 が設けられている。

【0052】図 2 において、電気光学装置の TFT アレイ基板には、マトリクス状に複数の透明な画素電極 9a（点線部 9a' により輪郭が示されている）が設けられており、画素電極 9a の縦横の境界に各々沿ってデータ線 6a 及び走査線 3a が設けられている。

【0053】また、半導体層 1a のうち図中右上がりの斜線領域で示したチャンネル領域 1a' に対向するように走査線 3a が配置されており、走査線 3a はゲート電極として機能する（特に、本実施形態では、走査線 3a は、当該ゲート電極となる部分において幅広に形成されている）。このように、走査線 3a とデータ線 6a との交差する個所には夫々、チャンネル領域 1a' に走査線 3a がゲート電極として対向配置された画素スイッチング用の TFT 30 が設けられている。

【0054】図 2 及び図 3 に示すように、蓄積容量 70 は、TFT 30 の高濃度ドレイン領域 1e（及び画素電極 9a）に接続された画素電位側容量電極としての中継層 71 と、固定電位側容量電極としての容量線 300 の一部とが、誘電体膜 75 を介して対向配置されることに

より形成されている。

【0055】中継層 71 は、蓄積容量 70 の画素電位側容量電極としての機能の他、コンタクトホール 83 及び 85 を介して、画素電極 9a と TFT 30 の高濃度ドレイン領域 1e とを中継接続する中間導電層としての機能を持つ。

【0056】容量線 300 は平面的に見て、走査線 3a に沿ってストライプ状に伸びており、TFT 30 に重なる個所が図 2 中上下に突出している。このような容量線 300 は好ましくは、膜厚 50 nm 程度の導電性のポリシリコン膜等からなる第 1 膜と、膜厚 150 nm 程度の高融点金属を含む金属シリサイド膜等からなる第 2 膜とが積層された多層構造を持つように構成される。このように構成すれば、第 2 膜は、容量線 300 或いは蓄積容量 70 の固定電位側容量電極としての機能の他、TFT 30 の上側において入射光から TFT 30 を遮光する遮光層としての機能を持つ。

【0057】他方、TFT アレイ基板 10 上における TFT 30 の下側には、下側遮光膜 11a が格子状に設けられている。下側遮光膜 11a は、例えば、Ti (チタン)、Cr (クロム)、W (タングステン)、Ta (タンタル)、Mo (モリブデン)、Pb (鉛) 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。

【0058】そして、図 2 中縦方向に夫々伸びるデータ線 6a と図 2 中横方向に夫々伸びる容量線 300 とが相交差して形成されること及び格子状に形成された下側遮光膜 11a により、TFT アレイ基板 10 上における TFT 30 の上側及び下側には夫々、平面的に見て格子状に遮光領域が構成されており、各画素の開口領域を規定している。

【0059】また図 3 において、容量電極としての中継層 71 と容量線 300 との間に配置される誘電体膜 75 は、例えば膜厚 5 ~ 200 nm 程度の比較的薄い HTO 膜、LTO 膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量 70 を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜 75 は薄い程良い。

【0060】図 2 及び図 3 に示すように、データ線 6a は、コンタクトホール 81 を介して、例えばポリシリコン膜からなる半導体層 1a のうち高濃度ソース領域 1d に電氣的に接続されている。尚、上述した中継層 71 と同一膜からなる中継層を形成して、当該中継層及び 2 つのコンタクトホールを介してデータ線 6a と高濃度ソース領域 1d とを電氣的に接続してもよい。

【0061】また容量線 300 は、画素電極 9a が配置された画像表示領域からその周囲に延設され、定電位源と電氣的に接続されて、固定電位とされる。このような定電位源としては、TFT 30 を駆動するための走査信

号を走査線 3a に供給するための走査線駆動回路（後述する）や画像信号をデータ線 6a に供給するサンプリング回路を制御するデータ線駆動回路（後述する）に供給される正電源や負電源の定電位源でもよいし、対向基板 20 の対向電極 21 に供給される定電位でも構わない。更に、TFT 30 の下側に設けられる下側遮光膜 11a についても、その電位変動が TFT 30 に対して悪影響を及ぼすことを避けるために、容量線 300 と同様に、画像表示領域からその周囲に延設して定電位源に接続するとよい。

【0062】画素電極 9a は、中継層 71 を中継することにより、コンタクトホール 83 及び 85 を介して半導体層 1a のうち高濃度ドレイン領域 1e に電氣的に接続されている。即ち、本実施形態では、中継層 71 は、蓄積容量 70 の画素電位側容量電極としての機能に加えて、画素電極 9a を TFT 30 へ中継接続する機能を果たす。このように中継層 71 は、層間距離が例えば 1000 nm 程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続でき、画素開口率を高めることが可能となり、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

【0063】図 2 及び図 3 において、電気光学装置は、TFT アレイ基板 10 と、これに対向配置される透明な対向基板 20 とを備えている。TFT アレイ基板 10 は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板 20 は、例えばガラス基板や石英基板からなる。

【0064】図 3 に示すように、TFT アレイ基板 10 には、画素電極 9a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 16 が設けられている。画素電極 9a は例えば、ITO (Indium Tin Oxide) 膜などの透明導電性薄膜からなる。また配向膜 16 は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0065】他方、対向基板 20 には、その全面に渡って対向電極 21 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 22 が設けられている。対向電極 21 は例えば、ITO 膜などの透明導電性薄膜からなる。また配向膜 22 は、ポリイミド薄膜などの有機薄膜からなる。

【0066】対向基板 20 には、格子状又はストライプ状の遮光膜を設けるようにしてもよい。このような構成を採ることで、前述の如く遮光領域を構成する容量線 300 及びデータ線 6a と共に当該対向基板 20 上の遮光膜により、対向基板 20 側からの入射光がチャンネル領域 1a' や低濃度ソース領域 1b 及び低濃度ドレイン領域 1c に侵入するのを、より確実に阻止できる。更に、このような対向基板 20 上の遮光膜は、少なくとも入射光

が照射される面を高反射な膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。

【0067】このように構成された、画素電極 9a と対向電極 21 とが対面するように配置された TFT アレイ基板 10 と対向基板 20 との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層 50 が形成される。液晶層 50 は、画素電極 9a と対向電極 21 との間に電圧が生じていない状態で配向膜 16 及び 22 により所定の配向状態をとる。液晶層 50 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材 52 は、TFT アレイ基板 10 及び対向基板 20 をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のギャップ材が混入されている。

【0068】更に、画素スイッチング用の TFT 30 下には、下地絶縁膜 12 が設けられている。下地絶縁膜 12 は、下側遮光膜 11a から TFT 30 を層間絶縁する機能の他、TFT アレイ基板 10 の全面に形成されることにより、TFT アレイ基板 10 の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用の TFT 30 の特性の変化を防止する機能を有する。

【0069】図 3 において、画素スイッチング用の TFT 30 は、LDD (Lightly Doped Drain) 構造を有しており、走査線 3a、当該走査線 3a からの電界によりチャネルが形成される半導体層 1a のチャネル領域 1a'、走査線 3a と半導体層 1a とを絶縁するゲート絶縁膜を含む絶縁薄膜 2、半導体層 1a の低濃度ソース領域 1b 及び低濃度ドレイン領域 1c、半導体層 1a の高濃度ソース領域 1d 並びに高濃度ドレイン領域 1e を備えている。

【0070】走査線 3a 上には、高濃度ソース領域 1d へ通じるコンタクトホール 81 及び高濃度ドレイン領域 1e へ通じるコンタクトホール 83 が各々開孔された第 1 層間絶縁膜 41 が形成されている。

【0071】第 1 層間絶縁膜 41 上には中継層 71 及び容量線 300 が形成されており、これらの上には、高濃度ソース領域 1d へ通じるコンタクトホール 81 及び中継層 71 へ通じるコンタクトホール 85 が各々開孔された第 2 層間絶縁膜 42 が形成されている。

【0072】尚、本実施形態では、第 1 層間絶縁膜 41 に対しては、1000℃の焼成を行うことにより、半導体層 1a や走査線 3a を構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。他方、第 2 層間絶縁膜 42 に対しては、このような焼成を行わないことにより、容量線 300 の界面付近に生じるストレスの緩和を図るようにしてもよい。

【0073】第 2 層間絶縁膜 42 上にはデータ線 6a が形成されており、これらの上には、中継層 71 へ通じる

コンタクトホール 85 が形成された平坦化した第 3 層間絶縁膜 43 が形成されている。画素電極 9a は、このように構成された第 3 層間絶縁膜 43 の上面に設けられている。

【0074】本実施形態では、第 3 層間絶縁膜 43 の表面は、CMP (Chemical Mechanical Polishing: 化学的機械研磨) 処理等により平坦化されており、その下方に存在する各種配線や素子による段差に起因する液晶層 50 における液晶の配向不良を低減する。

【0075】以上のように構成された本実施形態によれば、対向基板 20 側から TFT 30 のチャネル領域 1a' 及びその付近に入射光が入射しようとする、データ線 6a 及び容量線 300 からなる格子状の遮光層で遮光を行う。他方、TFT アレイ基板 10 側から、TFT 30 のチャネル領域 1a' 及びその付近に戻り光が入射しようとする、下側遮光膜 11a で遮光を行う（特に、複板式のカラー表示用のプロジェクタ等で複数の電気光学装置をプリズム等を介して組み合わせて一つの光学系を構成する場合には、他の電気光学装置からプリズム等を突き抜けて来る投射光部分からなる戻り光は強力であるので、有効である。）。これらの結果、TFT 30 の特性が光リークにより変化することは殆ど無くなり、当該電気光学装置では、非常に高い耐光性が得られる。また、データ線 6a 及び走査線 3a が形成された各画素の非開口領域を利用して大きな蓄積容量 70 を構築できる。

【0076】次に、図 4 を参照して、本実施形態における周辺領域における配線及びシールドについて説明する。ここに、図 4 は、本実施形態における TFT アレイ基板上に設けられたシールドを含む各種配線、周辺回路等の構成を示す図式的な平面図である。

【0077】図 5 から図 10 は夫々、シールド線、画像信号線及びクロック信号線等の配線の各種具体例を示す図 4 の B-B' 断面図である。

【0078】図 4 において、液晶装置の TFT アレイ基板上における画像表示領域の周辺に位置する周辺領域には、周辺回路の一例として、データ線駆動回路 101、走査線駆動回路 104 及びサンプリング回路 301 が形成されている。

【0079】以下図 4 の説明において、TFT アレイ基板 1 の下辺に沿って複数設けられた外部入力端子 102 を介して入力される信号の配線 400 は、説明の容易化のために信号名称と同一のアルファベット記号を配線 400 の後に夫々括弧で付加して参照する（例えば、“クロック信号 CLX”の信号配線を“配線 400 (CLX)”と呼ぶ）ことにする。走査線駆動回路 104 は、外部制御回路から外部入力端子 102 並びに配線 400 (VSSY) 及び配線 400 (VDDY) を介して供給される、走査線駆動回路 104 用の負電源 VSSY 及び正電源 VDDY を電源として用いて、スタート信号 SP

Yの入力により内蔵シフトレジスタ回路をスタートさせる。そして、外部入力端子102並びに配線400(CLY)及び配線400(CLY')を介して供給される、走査線駆動回路104の内蔵シフトレジスタ回路用の基準クロック信号CLY及びその反転クロック信号CLY'に基づく所定タイミングで、走査線3aに走査信号をパルスの線順次で印加する。

【0080】データ線駆動回路101は、外部制御回路から外部入力端子102並びに信号配線400(VSSX)及び配線400(VDDX)を介して供給される、データ線駆動回路101用の負電源VSSX及び正電源VDDXを電源として用いて、スタート信号SPXの入力により内蔵シフトレジスタ回路をスタートさせる。そして、外部入力端子102並びに配線400(CLY)及び配線400(CLY')を介して供給される、データ線駆動回路101の内蔵シフトレジスタ回路用の基準クロック信号CLX及びその反転クロック信号CLX'に基づき、走査線駆動回路104が走査信号を印加するタイミングに合わせて、外部入力端子102及び配線400(VID1)～配線400(VID12)を介して供給される例えば12個の平行信号にシリアル-parallel変換された画像信号VID1～VID12夫々について、データ線6a毎にサンプリング回路駆動信号Qm(m=1、2、…)をサンプリング回路301にサンプリング回路駆動信号線306を介して所定タイミングで供給する。

【0081】サンプリング回路301は、TFT302を各データ線6a毎に備えており、配線400(VID1)～配線400(VID12)が中継配線305を経由して、TFT302のソース電極に接続されており、サンプリング回路駆動信号線306がTFT302のゲート電極に接続されている。そして、画像信号VID1～VID12が入力されると、これらの画像信号をサンプリングする。また、サンプリング回路駆動信号線306を介して、データ線駆動回路101からサンプリング回路駆動信号Qmが入力されると、画像信号VID1～VID12夫々についてサンプリングされた画像信号を、12本の隣接するデータ線6aからなるグループ毎に順次印加する。

【0082】以上のように、データ線駆動回路101とサンプリング回路301とは、12個の平行信号に変換された画像信号VID1～VID12をデータ線6aに画像信号S1、S2、…として供給するように構成されている。本実施の形態では隣接する12本のデータ線6aに接続されるサンプリング回路301を同時に選択し、12本のデータ線6aからなるグループ毎に順次転送していく方式を述べたが、データ線6aを6本毎に選択してもよいし、24本毎に選択してもよい。或いは、2本以上の任意の本数を同時に選択してもよい。この際、少なくとも平行な画像信号の個数だけ、画像

信号用の外部入力端子102及び画像信号線が必要なことは言うまでもない。尚、平行な画像信号の個数とサンプリング回路301を同時に選択する数が相等しくなるように構成してもよいし、前者が後者よりも多くなるように構成してもよい。

【0083】更に図4に示すように、データ線駆動回路101は、スタート信号SPXが入力されると、基準クロック信号CLX及びその反転クロック信号CLX'に基づく転送信号の順次生成を開始するシフトレジスタ回路101aと、シフトレジスタ回路101aからの転送信号を波形整形した後、サンプリング回路駆動信号線306を介してサンプリング回路301に供給する波形制御回路101b及びバッファ回路101cとを備えている。また、サンプリング回路301は、12個にシリアル-parallel変換された画像信号VID1～VID12に対応してTFT302が12個ずつ平行に各サンプリング回路駆動信号線306に接続されている。即ち、TFT302から構成されるスイッチS1～S12が左から1本目のサンプリング回路駆動信号線306に接続されており、スイッチS13～S24が左から2本目のサンプリング回路駆動信号線306に接続されており、スイッチSn-11～Snが右端のサンプリング回路駆動信号線306に接続されている。

【0084】制御信号の一つである波形選択信号としてのイネーブル信号ENB1及びENB2は、波形制御回路101bに入力される。この波形制御回路101bでは、シフトレジスタ回路101aから順次出力されるパルスの幅を、イネーブル信号ENB1及びENB2のパルス幅に制限することにより、サンプリング回路301の選択期間を(相前後するサンプリング回路駆動信号Q1、Q2、…がハイレベルとなる期間が相互に重ならないように)制御する。これにより、同一の配線400(VID1)～配線400(VID12)から画像信号を受けるデータ線6a間におけるブロックゴーストの発生を防止する。従って、イネーブル信号ENB1及びENB2は、クロック信号CLX及びCLX'と同じく、水平走査期間よりも短い周期を持つ高周波の制御信号である。

【0085】尚、本実施形態では、画像表示領域の四隅には、TFTアレイ基板1と対向基板20側の対向電極21(図3参照)との間で電気的な導通をとるための上下導通端子106が設けられている(但し、図4では、そのうち2隅が図示されている)。上下導通端子106には、外部入力端子102並びに配線400(LCCOM)を介して供給される。

【0086】次に、本実施形態の電気光学装置で採用可能なシールドの各種具体例を図5から図10に夫々示す。ここに、図5から図10は夫々、シールドの各種具体例の、図4のB-B'断面における構造を夫々示す断面図である。

【0087】図5から図10において、各具体例では夫々、画像信号線である配線400（VID1）～配線400（VID12）は、画像表示領域における容量線300と同一の導電膜（例えば、導電性のポリシリコン膜と導電性の金属シリサイド膜とを含む多層膜）から構成されており、これらの配線400は少なくとも、画像表示領域におけるデータ線6aと同一膜（例えば、A1膜）からなるシールドにより電気遮蔽されている。

【0088】即ち、図5の具体例では、容量線300と同一導電膜からなる配線400は、その上方から各配線400に沿って且つ各配線400を覆う領域に形成されたデータ線6aと同一導電膜からなる上方シールド401aにより、電気遮蔽されている。特にこの具体例では、上方シールド401aは、1本の配線400毎に分断されているので、各配線400を他の全ての配線400から相互に電気遮蔽できる。

【0089】図6の具体例では、容量線300と同一導電膜からなる配線400は、その上方から複数の配線400に沿って且つ複数の配線400を纏めて覆う領域に形成されたデータ線6aと同一導電膜からなる上方シールド401bにより、電気遮蔽されている。特にこの具体例では、上方シールド401bは、複数の信号線毎に分断されている。従って、1本の信号線毎に上方シールド401aを設ける図5の具体例の場合と比較して、比較的容易に上方シールド401bを形成できる。この際、複数の画素信号線など、相互に電磁波が及ぼす影響が基本的に小さい複数の信号線を一つの上方シールド401bにより纏めて電気遮蔽するようにし、他方で、例えば画像信号線とクロック信号線など、相互に電磁波が及ぼす影響が基本的に大きい信号線を相互に別個の上方シールド401bにより電気遮蔽するとよい。即ち、これにより、複数の信号線を纏めて電気遮蔽する際の不利益を最小限に抑えることができる。

【0090】図7の具体例では、図5に示した上方シールド401aに加えて、画像表示領域における下側遮光膜11aと同一導電膜からなる下方シールド11bより、配線400は上下方向から電気遮蔽されている。

【0091】図8の具体例では、図5に示した上方シールド401aに加えて、画像表示領域における走査線3aと同一導電膜からなる下方シールド402より、配線400は上下方向から電気遮蔽されている。

【0092】図9の具体例では、図7と同様の上方シールド401c及び下方シールド11bに加えて、上方シールド401cと同一導電膜から延設されてなり、下地絶縁膜12、第1層間絶縁膜41、誘電体膜75及び第2層間絶縁膜42に配線400に沿って溝状に掘られた穴に埋め込まれた側方シールド401dにより、配線400は上下左右方向から電気遮蔽されている。特にこの具体例では、シールドは、1本の配線400毎に全周を電気遮蔽しているので、複数の配線400相互間の電磁

波による悪影響を極力低減できる。

【0093】図10の具体例では、図8と同様の上方シールド401c及び下方シールド402に加えて、上方シールド401cと同一導電膜から延設されてなり且つ第1層間絶縁膜41、誘電体膜75及び第2層間絶縁膜42に配線400に沿って溝状に掘られた穴に埋め込まれた側方シールド401eにより、配線400は上下左右方向から電気遮蔽されている。特にこの具体例では、シールドは、1本の配線400毎に全周を電気遮蔽しているので、複数の配線400相互間の電磁波による悪影響を極力低減できる。以上説明したように本実施形態の電気光学装置によれば、画像表示領域では、容量線300をなす第1導電膜上に、データ線6aをなす第2導電膜が層間絶縁膜を介して積層されている。周辺領域では、これら第1導電膜及び第2導電膜の一方から、周辺回路に接続された配線400が形成されており、これら第1導電膜及び第2導電膜の他方から、配線400を少なくとも一方向（例えば、上方や下方）から電気遮蔽するシールドが形成されている。従って、画像信号線等の配線400上の画像信号等への電磁ノイズの飛び込みを効果的に低減できる。しかも、周辺領域に配線400やシールドを形成するために専用の膜を別途形成しないで済むので、装置構成及び製造工程を簡略化する上でも有利である。特に、画像品位の向上のために画素ピッチを微細化し駆動周波数を高めた場合に、一般にこのような信号線に係るノイズ（例えば、クロック信号線や波形選択信号線等の制御信号線から画像信号線上の画像信号への電磁ノイズ、外部装置や他の回路等からの画像信号線上の画像信号への電磁ノイズ、クロック信号線や波形選択信号線等の制御信号線から外部装置や他の回路等への電磁ノイズなど）は相対的に増加する（即ち、S/Nは低下する）。従って、本実施形態のように周辺領域に配線された画像信号線、制御信号線等の配線400を、上方シールド401a、401b又は401c、下方シールド11b又は402、側方シールド401d又は401e等のシールドにより電気遮蔽する構成は、画素ピッチを微細化し或いは駆動周波数を高める上で大変有利である。

【0094】また本実施形態では特に配線400として画像信号線を電気遮蔽するので、ノイズ源としての他の信号線や配線或いは回路や素子からの画像信号線上の画像信号S1、S2、…への電磁ノイズの飛び込みを効果的に低減できる。従って、最終的に高いS/Nを持つ画像信号S1、S2、…に基づいて、画像表示領域において高品位の画像表示を行うことが可能となる。

【0095】また以上説明した実施形態では、図4に示した画像信号線とサンプリング回路301とを中継接続する中継配線305やサンプリング回路駆動信号線306を、図5から図10に示したように上方、下方或いは側方から電気遮蔽してもよい。このようにすれば、中継

配線305上の画像信号S1、S2、…への電磁ノイズの飛び込みや、サンプリング回路駆動信号線306上のサンプリング回路駆動信号Q1、Q2、…への電磁ノイズの飛び込みを効果的に低減できる。これらの中継配線305やサンプリング回路駆動信号線306は、対向基板20に設けられる対向電極21に対向する部分を含むので、これらの配線と対向電極21との寄生容量を低減する観点から、両者間に配置される上方シールドにより電気遮蔽すると特に効果的である。

【0096】更に以上説明した実施形態では、クロック信号線としての配線400(C LX)、配線400(C LX')や、波形選択信号線としての配線400(ENB1)、配線400(ENB2)を図5から図10に示したように上方、下方或いは側方から電気遮蔽してもよい。このように構成すれば、これらの制御信号線上にあり、一般には画像信号に対するノイズ源となり易い高周波数で高電位である制御信号に起因する高周波で強力な電磁ノイズが、画像信号線等上の画像信号に飛び込むことを効果的に阻止できる。

【0097】以上説明した本発明の電気光学装置(各実施形態を含む)では、シールドは、好ましくは接地電位や他の定電位に固定される。この際特に、画像信号線(配線400(VID1)、配線400(VID2)、…など)と制御信号線(配線400(C LX)、配線400(C LX')、…など)とを別々に電気遮蔽すると共に相互に異なる定電位に固定するのがより好ましい。このように構成すれば、同一の定電位配線を介して両信号線間でそれらの電位変動が相互に影響を及ぼす事態を未然防止できる。例えば、画像信号線を低電位(接地電位或いは数ボルト程度)の第1定電位の定電位線に接続することにより低電位で電気遮蔽し、制御信号線を高電位(十数ボルト程度)の第2定電位の定電位線に接続することにより高電位で電気遮蔽すればよい。

【0098】加えて本実施形態では、シールドと電源配線の本線又は分岐配線とを共用するのが好ましい。このように構成すれば、装置構成及び製造工程の簡略化を図りつつ、シールドを定電位に固定できる。しかも、周辺領域におけるシールドが占める領域を電源配線に割り当てることになるので、電源配線を比較的容易に幅広に構成することができる。更に、シールドを幅広に形成することにより、シールドの性能も向上するので一層有利である。

【0099】また図5から図10に示した各種具体例では、配線400を容量線300と同一導電膜から形成し且つシールドを容量線300と異なる導電層から形成したが、配線400をデータ線6aと同一導電膜から形成し且つシールドをデータ線6aと異なる導電層から形成してもよいし、配線400を走査線3aと同一導電膜から形成し且つシールドを走査線3aと異なる導電層から形成してもよいし、配線400を下側遮光膜11aと同

一導電膜から形成し且つシールドを下側遮光膜11aと異なる導電層から形成してもよい。

【0100】更に、シールドの一部を、配線と同一膜から形成することも可能であり、この場合には主に側方から電気遮蔽することが可能である。本実施形態では、図4に示したように、同一平面内で、負電源VSSYを供給する配線400(VSSY)及び負電源VSSXを供給する配線400(VSSX)は、画像信号線たる配線400(VID2)、配線400(VID4)、配線400(VID6)、…を囲んでおり、画像信号シールド線として機能している。同様に同一平面内で、正電源VDDYを供給する配線400(VDDY)及び負電源VSSXを供給する配線400(VSSX)は、画像信号線たる配線400(VID1)、配線400(VID3)、配線400(VID5)、…を囲んでおり、画像信号シールド線として機能している。更に、正電源VDDXを供給する配線400(VDDX)は、やはり同一平面内で、クロック信号線たる配線400(C LX)、配線400(C LX')等の制御信号線を囲んでおり、制御信号シールド線として機能している。同様に正電源VDDYを供給する配線400(VDDY)は、やはり同一平面内で、クロック信号線たる配線400(C LY)、配線400(C LY')等の制御信号線を囲んでおり、制御信号シールド線として機能している。特に図4中で、破線で示したように、制御信号シールド線としての配線400(VDDX)の2つの先端は、接続部93により相互に接続されてもよいし、同様に画像信号シールド線としての配線400(VSSX)の2つの先端は、接続部91により相互に接続されてもよい。

【0101】更にまた、積層された2つの導電膜を共に低抵抗のA1膜から構成することも可能であり、これにより、低抵抗の配線を低抵抗の導電膜で電気遮蔽することが可能となり、非常に電磁ノイズが飛び込み難い構成が得られる。

【0102】以上説明した実施形態では、図3に示したように多数の導電層を積層することにより、画素電極9aの下地面(即ち、第3層間絶縁膜43の表面)におけるデータ線6aや走査線3aに沿った領域に段差が生じるのを、第3層間絶縁膜43の表面を平坦化することで緩和しているが、これに代えて或いは加えて、TFTアレイ基板10、下地絶縁膜12、第1層間絶縁膜41、第2層間絶縁膜42或いは第3層間絶縁膜43に溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより平坦化処理を行ってもよいし、第2層間絶縁膜42の上面の段差をCMP(Chemical Mechanical Polishing)処理等で研磨することにより、或いは有機SOGを用いて平らに形成することにより、当該平坦化処理を行ってもよい。

【0103】尚、以上説明した実施形態では、画素スイッチング用TFT30は、好ましくは図3に示したよう

にLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。また本実施形態では、画素スイッチング用TFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これら10の間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャンネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

【0104】加えて、以上説明した本発明の実施形態の変形として、周辺領域で配線400に対して、図5から図10に示した如き各種シールドを設けるのに代えて又は加えて、容量線300、データ線6a、走査線3a及び下側遮光膜11aの4つの導電膜のうちの一つから、制御信号線たる配線400(C LX)、配線400(C LY)、…を形成すると共に、これら4つの導電膜の他の一つから、画像信号線たる配線400(V ID1)、配線400(V ID2)、…を形成してもよい。このように構成すれば、同一導電膜をパターンニングすることにより同一平面内にこれら2種類の配線を形成する場合と比べると、両信号線は基板に垂直な方向に離間し且つ両信号線間に層間絶縁膜が配置されている分だけ、両信号線間におけるノイズの飛び込みを低減できるので有利である。即ち、シールドがなくとも、このように基板に垂直な方向に離間するように、これら2種類の信号線を形成することにより、ノイズを低減することが可能となるのである。更に、このような構成と上述した各種シールドとを組み合わせることで、電磁ノイズを低減する効果を一層高めることができる。

【0105】(電気光学装置の全体構成) 以上のように構成された各実施形態における電気光学装置の全体構成を図11及び図12を参照して説明する。尚、図11は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図12は、図11のH-H'断面図である。

【0106】図12において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、画像表示領域10aの周辺を規定する額縁としての遮光膜53が設けられている。シール材52の外側の領域には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いこ

とは言うまでもない。また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列してもよい。更にTFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的に導通をとるための上下導通材106が設けられている。また図4に示したサンプリグ回路301が額縁領域に設けられている。そして、図12に示すように、図11に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。

【0107】尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104、サンプリグ回路301等に加えて、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0108】以上図1から図12を参照して説明した実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB(Tape Automated bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TNモード、VA(Vertically Aligned)モード、PDL(Polymer Dispersed LiquidCrystal)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0109】以上説明した実施形態における電気光学装置は、プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。この

ようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干涉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0110】本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置及びその製造方法もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】本発明の実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

【図4】本実施形態におけるTFTアレイ基板上に設けられたシールドを含む各種配線、周辺回路等の構成を示す図式的な平面図である。

【図5】本実施形態で採用可能なシールドの一具体例に係る図4のB-B'断面図である。

【図6】本実施形態で採用可能なシールドの他の具体例に係る図4のB-B'断面図である。

【図7】本実施形態で採用可能なシールドの他の具体例に係る図4のB-B'断面図である。

【図8】本実施形態で採用可能なシールドの他の具体例に係る図4のB-B'断面図である。

【図9】本実施形態で採用可能なシールドの他の具体例に係る図4のB-B'断面図である。

【図10】本実施形態で採用可能なシールドの他の具体例に係る図4のB-B'断面図である。

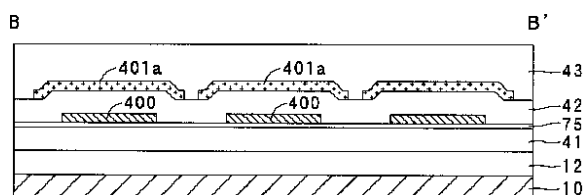
【図11】実施形態の電気光学装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

*【図12】図11のH-H'断面図である。

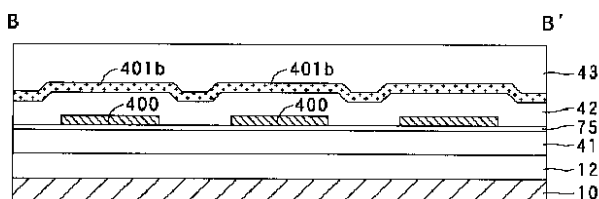
【符号の説明】

- 1a…半導体層
- 1a'…チャネル領域
- 1b…低濃度ソース領域
- 1c…低濃度ドレイン領域
- 1d…高濃度ソース領域
- 1e…高濃度ドレイン領域
- 2…絶縁薄膜
- 3a…走査線
- 6a…データ線
- 9a…画素電極
- 10…TFTアレイ基板
- 11a…下側遮光膜
- 12…下地絶縁膜
- 16…配向膜
- 20…対向基板
- 21…対向電極
- 22…配向膜
- 30…TFT
- 50…液晶層
- 70…蓄積容量
- 71…中継層
- 75…誘電体膜
- 81、83、85…コンタクトホール
- 101…データ線駆動回路
- 101a…シフトレジスタ回路
- 101b…波形制御回路
- 101c…バッファ回路
- 104…走査線駆動回路
- 300…容量線
- 301…サンプリング回路
- 302…サンプリング回路のTFT
- 305…中継配線
- 306…サンプリング回路駆動信号線
- 400…配線
- 401a、401b、401c…上方シールド
- 401d、401e…側方シールド
- 402…下方シールド

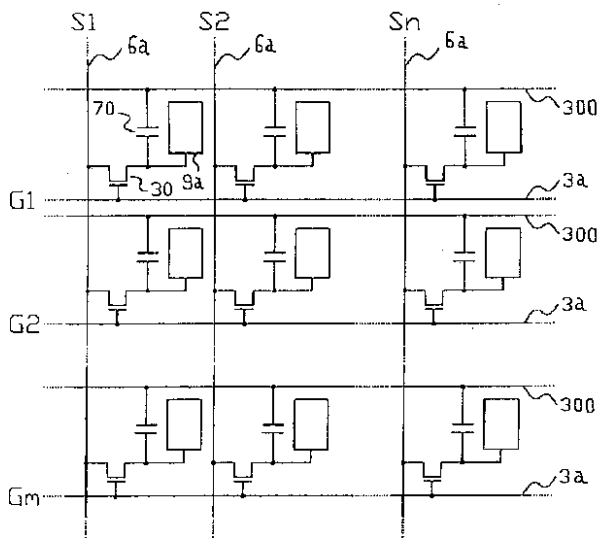
【図5】



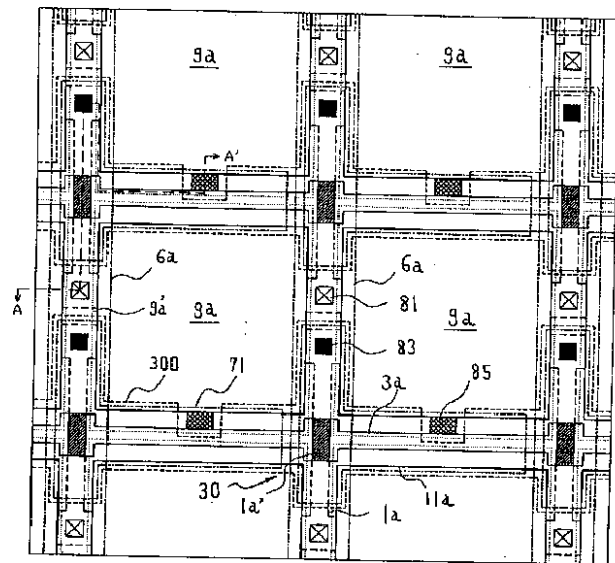
【図6】



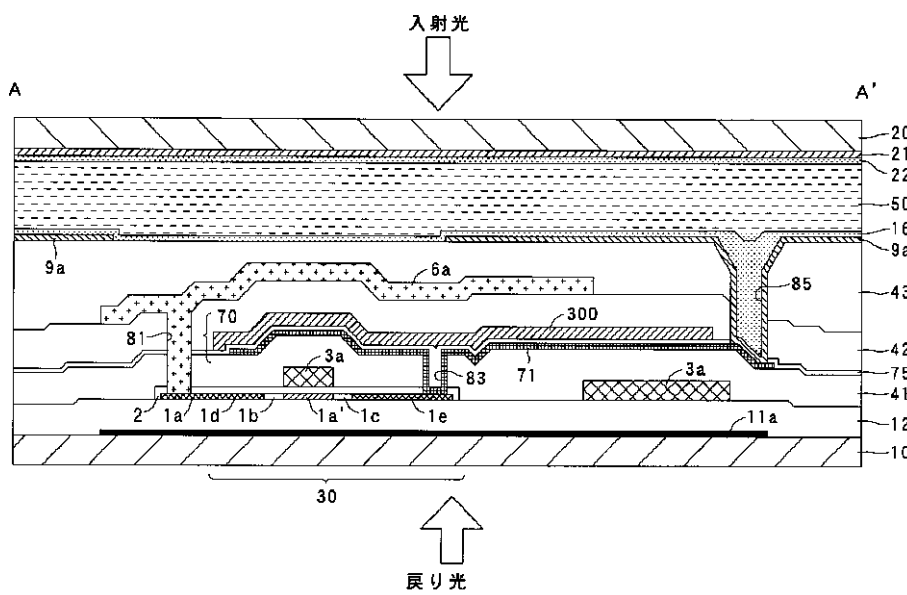
【図1】



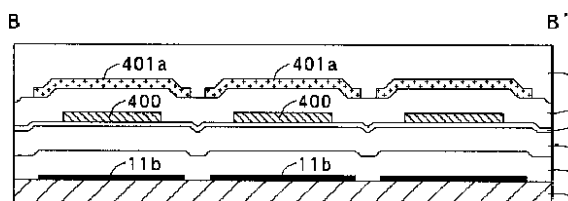
【図2】



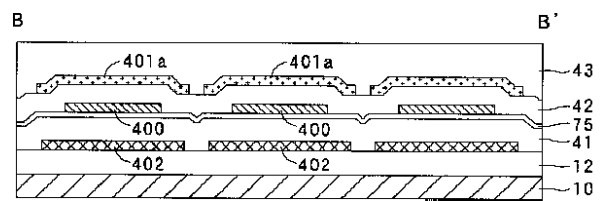
【図3】



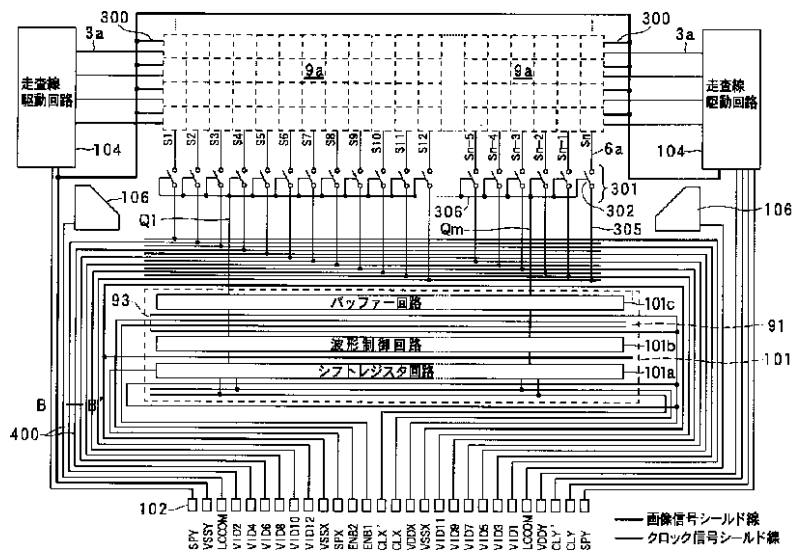
【図7】



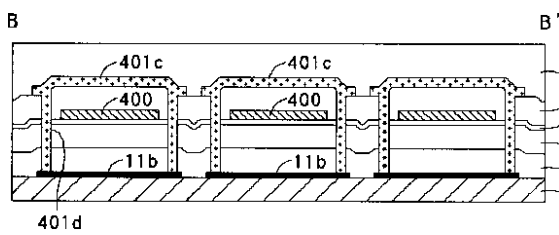
【図8】



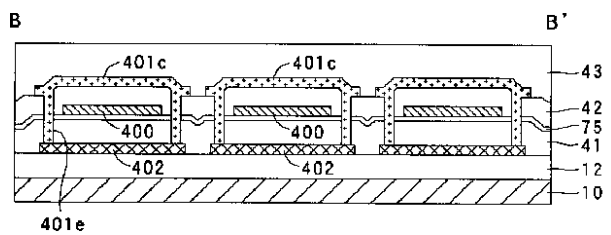
【図4】



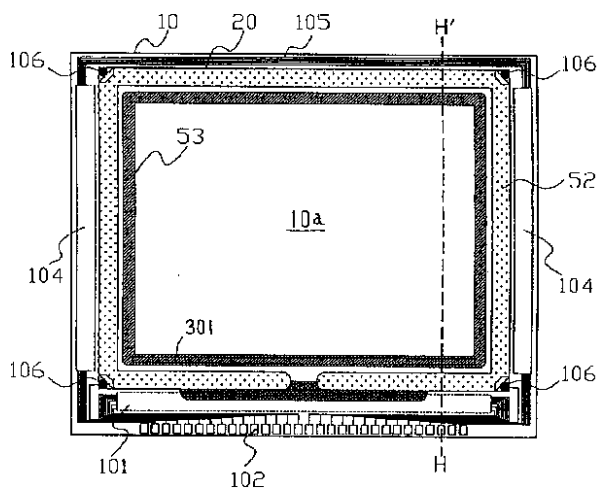
【図9】



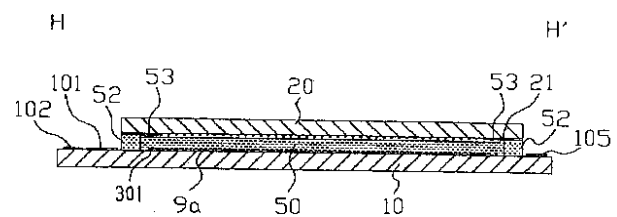
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 F 9/30

識別記号

3 3 0

3 3 8

F I

G 0 9 F 9/30

G 0 9 G 3/20

テーマコード^{*}(参考)

3 3 8 5 G 4 3 5

6 1 1 C

// G O 9 G	3/20	6 1 1		6 2 3 L
		6 2 3	3/36	
	3/36		G O 2 F	5 0 0
			1/136	

F ターム(参考)

2H092	GA35	GA59	GA64	JB24	JB33
	JB54	JB64	JB66	JB69	NA23
	NA25	PA06	PA09	RA05	
2H093	NA16	NC13	NC23	NC35	ND40
	NE02	NE03	NG02		
5C006	BB16	BC12	BC22	BC23	BF11
	EB05	EC11	FA32		
5C080	AA10	BB05	DD12	FF11	JJ02
	JJ06				
5C094	AA03	AA05	AA07	AA09	AA53
	AA56	BA03	BA43	CA19	CA25
	DA09	DA13	DB01	DB04	DB10
	EA04	EA10	EB02	FA01	FA02
	FB12	FB14	FB15	GA10	
5G435	AA16	BB12	CC09	EE37	HH12
	HH14				