

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

PATENT
W&B Docket No.: INF 2434-USS
OC Docket No.: INFN/0091

17302 U.S. PTO
10/887949
070904

CERTIFICATE UNDER 37 CFR 1.10

I hereby certify that this correspondence and the documents referred to as attached therein are being deposited on July 9, 2004 with the United States Postal Service in an envelope as "Express Mail Post Office to Addressee," mailing label No. EV335469132US addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

July 9, 2004
Date

Gero G. McClellan

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Inventor(s): RORY DICKMANN

Title: OUTPUT DRIVER FOR AN INTEGRATED CIRCUIT
AND METHOD FOR DRIVING AN OUTPUT DRIVER

Transmitted herewith is the patent application identified above, including:

- ☒ Specification, claims and abstract 16 Total Pages
- ☒ Drawings ☒ Formal ☐ Informal 2 Total Pages
- ☒ Declaration and Power of Attorney (Unsigned)
- ☒ Information Disclosure Statement with List
- ☐ Assignment of the Invention to
- ☐ Assignment Recordation Cover Sheet

FEE CALCULATION

	NUMBER OF CLAIMS FILED	LESS NUMBER PAID BY BASIC FEE	NUMBER OF EXTRA CLAIMS (Not less than zero)	LARGE ENTITY FEE
Basic Fee				\$770.00
Total Claims	20	- 20 =	X \$18 =	\$.00
Independent Claims	3	- 3 =	X \$86 =	\$.00
First Presentation of Multiple Dependent Claims + \$.00				-0-
Total Filing Fee Calculation				\$770.00

- ☒ The Commissioner is hereby authorized to charge \$770.00 to Deposit Account No. 20-0782/INFN/0091/GGM **A duplicate copy of this transmittal is enclosed.**
- ☐ The Commissioner is hereby authorized to charge any additional fees which may be required, or credit any overpayment to Deposit Account No. **A duplicate copy of this transmittal is enclosed.**
- ☒ Please address all future correspondence to:
GERO G. MCCLELLAN
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd., Suite 1500
Houston, TX 77056

Respectfully submitted,

Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd., Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Attorney for Applicant

UNITED STATES PATENT APPLICATION FOR:

**OUTPUT DRIVER FOR AN INTEGRATED CIRCUIT
AND METHOD FOR DRIVING AN OUTPUT DRIVER**

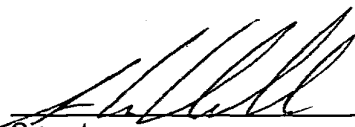
INVENTOR:

RORY DICKMANN

ATTORNEY DOCKET NUMBER: INFN/0091

CERTIFICATION OF MAILING UNDER 37 C.F.R. 1.10

I hereby certify that this New Application and the documents referred to as enclosed therein are being deposited with the United States Postal Service on July 9, 2004, in an envelope marked as "Express Mail United States Postal Service", Mailing Label No. EV335469132US addressed to: Commissioner for Patents, Box 1450, Alexandria, VA 22313-1450


Signature

Gero G. McClellan
Name

July 9, 2004
Date of signature

OUTPUT DRIVER FOR AN INTEGRATED CIRCUIT AND METHOD FOR DRIVING AN OUTPUT DRIVER

CROSS-REFERENCE TO RELATED APPLICATIONS

[0001] This application claims foreign priority benefits under 35 U.S.C. §119 to co-pending German patent application number 103 31 607.8, filed July 12, 2003. This related patent application is herein incorporated by reference in its entirety.

BACKGROUND OF THE INVENTION

Field of the Invention

[0002] The invention relates to an output driver for an integrated circuit having a driver circuit for driving an input signal onto an output line. The invention furthermore relates to a method for driving an output driver for an integrated circuit.

Description of the Related Art

[0003] Integrated circuits usually have output drivers for driving signals which have been generated in circuits of the integrated circuit on external lines connected to the integrated circuit. To define the driver behavior of the output drivers, a specification is provided which, depending on the output driver, provides an upper and a lower current value or an upper and lower potential value depending on the signal state (high level or low level) of the output signal to be driven. In this case, the specification respectively specifies an upper and lower current-voltage characteristic curve for the activated pull-up path of the driver circuit and for the pull-down path of the driver circuit, which characteristic curve in each case defines a current intensity range within which the current intensity through the relevant path and thus through the output line must be. Depending on whether a high or low level is intended to be driven by the output driver, the specification prescribes different upper and lower current-voltage characteristic curves for the pull-up path and the pull-down path.

[0004] Usually, the specifications for integrated circuits, in particular for SDRAM and DDR memory circuits, provide a relatively large current intensity range or potential range for the output drivers, so that it is simpler to achieve the specification-conforming current intensity values or potential values for process cut-off values,

temperatures and voltages (PVT). The specification-conforming current intensity ranges or voltage ranges of the pull-up paths and pull-down paths may signify great differences with regard to the power consumption depending on the position of the actual potential value or current value within the specification, since more power is required in an upper current intensity range and/or in an upper potential range than if the output signal is in a lower range of the permissible predetermined potential window and/or current intensity window.

[0005] However, the exact potential value or current value with which the signal is driven with the aid of the output driver cannot be established from the outset since it is necessary to take account of process deviations, temperature fluctuations and voltage fluctuations which might have the effect that the relevant value is outside the specification-conforming window. Moreover, different loads are possible at the outputs of the integrated circuit, so that this may result in different potential values or current values depending on the connected components or the switching states thereof.

SUMMARY OF THE INVENTION

[0006] It is an object of the present invention to provide an integrated circuit and a method for controlling an output driver which are able to reduce the power consumption of the integrated circuit and to ensure that the corresponding potential value or current value at the output of the output driver is within the specification.

[0007] A first aspect of the present invention provides an output driver for an integrated circuit. The output driver has a driver circuit for driving an input signal onto an output line. The driver circuit is dimensioned in such a way as to supply a current intensity dependent on the input signal to be driven and/or a potential dependent on the input signal to be driven on the output line. The current value and/or the potential value lie in a current intensity range and/or potential range defined by a predetermined specification. The driver strength of the driver circuit may be set in accordance with a control signal. A measuring circuit is provided to measure the current intensity of the current flowing on the output line and/or the

potential of the output line. A control circuit serves for setting the driver strength of the driver circuit so that the potential on the output line is set to a potential value and/or the current intensity is set to a current value, wherein the set potential value and the set current value may lie in a lower power range of the current intensity range and/or potential range prescribed by the specification.

[0008] In this way, one aspect of the invention provides an output driver for an integrated circuit which makes it possible to set the current value and/or the potential value on the output line in a lower power range, i.e., to operate the integrated circuit at an operating point at which the power consumption of the output driver can be reduced, but without permitting a current value or potential value outside the specification-conforming limits. The current intensity ranges and/or potential ranges permissible in accordance with the specification are comparatively large on account of process fluctuations in the production of the integrated circuits, a high operating temperature range in which the integrated circuit can be operated reliably, and voltage fluctuations that may occur. It follows from this that the output driver has a different power consumption depending on the current intensity or potential within the permissible windows with which the output driver drives a signal onto the output line. Consequently, the range of possible power consumptions is likewise very large on account of the large range of values for the potential and the current intensity. In order not to reach an operating range outside the specification on account of temperature fluctuations, process fluctuations or the like, the driver strength of the output driver may be set by means of the production process such that the input signal to be driven is driven with a current intensity and a potential which essentially lies centrally within the current intensity range or potential range prescribed by the specification.

[0009] One aspect of the invention also provides a control circuit which influences the driver strength of the driver circuit. The driver strength of the driver circuit may be set by the control circuit in such a way that the current intensity and/or the potential on the output line, depending on the input signal to be driven, lies in a lower power range of the current intensity range and/or potential range prescribed

by the specification, i.e., the power consumption of the output driver is reduced within the permissible range. As a result, it is possible to take into account the process fluctuations during the production of the integrated circuit, the respective operating temperature, the potential fluctuations, e.g., of the supply voltages, and the load connected to the output driver such that the driver circuit of the output driver supplies a potential value and a current intensity value lying within the specification-conforming range limits, albeit in a lower power range to reduce the power consumption of the output driver in comparison with the energy consumption of a noncontrolled driver circuit.

[0010] One aspect of the invention provides that the lower power range is determined by a lower current limit value prescribed by the specification and a lower current limit value increased by a tolerance magnitude and/or by a lower potential value prescribed by the specification and a lower potential value increased by a tolerance magnitude. In this way, a lower power range can be defined in the current or potential value prescribed by the specification.

[0011] The specification may specify a first maximum and minimum current-voltage characteristic curve for a pull-up path of the driver circuit and a second maximum and minimum current-voltage characteristic curve for a pull-down path of the driver circuit. Depending on the respectively driven pull-up path or pull-down path of the driver circuit, the lower power range is determined depending on the current intensity range which is prescribed by the specification and is specified by the first or second current-voltage characteristic curve.

[0012] The control circuit may comprise a comparator device for comparing the measured current value or the measured potential value with a reference current value or a reference potential value dependent on the specification. The reference current value or the reference potential value may be provided by a reference voltage source or a reference current source.

[0013] A further aspect of the present invention provides a method for driving an output driver for an integrated circuit having a driver circuit. The driver circuit serves

for driving an output signal dependent on an input signal with a current intensity and/or a potential onto an output line. The current intensity of the current flowing on the output line and/or the potential on the output line are measured. The driver strength of the driver circuit is controlled in such a way as to set the current intensity and/or the potential in a current intensity range and/or potential range defined by a predetermined specification. Furthermore, the driver strength is set in such a way that the potential value and/or the current intensity lie in a lower power range of the current intensity range and potential range prescribed by the specification.

[0014] The method according to the invention affords the possibility of setting the driver power of an output driver in such a way that the current intensity and/or the potential on the output line are always set in such a way that the power consumption of the driver circuit lies in a lower power range of the current-voltage window prescribed by the specification. The power consumption of the output driver can thereby be reduced. Furthermore, the output driver can be controlled in this way such that it can also react to influences of the load applied to the output driver on the potential value of the output signal and always sets the current intensity or the potential on the output line such that it lies within the specification-conforming current-voltage window of the driver circuit.

[0015] The control of the driver strength of the driver circuit may be carried out continuously, periodically or in accordance with a setting signal.

BRIEF DESCRIPTION OF THE DRAWINGS

[0016] A preferred embodiment of the invention is explained in more detail with reference to the accompanying drawings, in which:

[0017] Figure 1 shows a block diagram of an output driver according to one embodiment of the invention; and

[0018] Figures 2a, 2b show minimum and maximum current-voltage characteristic curves for illustrating the current-voltage windows for the pull-down path and the pull-up path of the driver circuit.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENT

[0019] Figure 1 illustrates a block diagram of an output driver according to one embodiment of the invention. The output driver has a driver circuit 1 comprising a p-channel transistor 2 and an n-channel transistor 3. An input signal E is applied to control inputs of the p-channel transistor 2 and of the n-channel transistor 3, which input signal is driven in inverted fashion onto an output line 4 connected to an output 5 of the driver circuit 1.

[0020] A first terminal of the p-channel transistor 2 is connected to a high supply potential. A second terminal of the p-channel transistor 2 is connected to a first terminal of the n-channel transistor 3, and a second terminal of the n-channel transistor 3 is connected to a low supply potential, e.g., a ground potential GND.

[0021] The driver circuit 1 furthermore comprises a setting circuit 6, by means of which the driver strength of the driver circuit 1 can be set in accordance with a control signal S on a control line 7. The driver strength may be set, for example, by enlarging or decreasing the active area of the p-channel transistor 2 and of the n-channel transistor 3 in a manner dependent on the control signal S. Alternatively, a plurality of such circuits, each having a p-channel transistor and an n-channel transistor, may be connected in parallel to jointly drive an input signal present at the circuits' respective control inputs onto the output line 4. Other possibilities are also conceivable for providing a setting circuit 6 such that the driver strength of an output stage connected thereto can be set in a manner dependent on a control signal.

[0022] The output line 4 of the driver circuit 1 is connected to a control unit 8. The control unit 8 is configured to evaluate the potential value on the output line 4 in accordance with predetermined reference values and to generate the control signal S utilized to drive the driver circuit 1. The control unit 8 is also configured to correspondingly adapt the driver strength of the driver circuit 1 if the potential of the respective output signal that is present on the output line lies above or below a range defined by reference potentials.

[0023] In the exemplary embodiment illustrated, the control unit 8 includes a comparator unit 12 comprising a first comparator 13 and a second comparator 14. A first reference potential V_{Ref1} provided by a multiplexer 11 is applied to the first comparator 13 and a second reference potential V_{Ref2} is applied to the second comparator 14. The first and second reference potentials V_{Ref1} , V_{Ref2} define a potential range within which the potential on the output line 4 is intended to lie. Outputs of the first comparator 13 and of the second comparator 14 are connected to an evaluation unit 9, which generates the control signal S at an output and makes it available to the setting circuit 6 of the driver circuit 1. If the potential on the output line 4 lies above the potential prescribed by the first reference potential value V_{Ref1} , then the evaluation unit 9 generates a control signal that specifies to the driver circuit 1 that the driver strength be reduced. If the potential value on the output line 4 is less than the second reference potential value V_{Ref2} , then the evaluation unit 9 generates a control signal that indicates to the driver circuit 1 that the driver strength be increased. In this way, the potential value on the output line 4 can be regulated to a driver strength which enables the potential value on the output line 4 to be put into a potential window defined by the first reference potential value V_{Ref1} and the second reference potential value V_{Ref2} .

[0024] Since the potential value on the output line 4 depends on the input signal E present, the input line connected to the input of the driver circuit 1 is connected via a connecting line 15 to the control unit 8, in particular to the multiplexer 11. In this way, the multiplexer 11 may apply the first and second reference potential values V_{Ref1} , V_{Ref2} to the comparator unit 12 in such a way that corresponding selected reference potential values are specified depending on the signal level of the output signal to be output on the output line 4. For this purpose, essentially four reference potentials may be prescribed for the multiplexer 11, two respectively prescribing the desired potential value range for a high level and the respective other two reference potentials prescribing the potential value range for the low level of the output signal. The reference potentials may be provided by a voltage divider 10, for example, to which a reference supply voltage V_{Ref} or a reference supply current I_{Ref} is applied. The reference potentials for defining the potential window for the high level of the

output signal are chosen such that they lie within a lower range of the potential window permitted by the specification for the high level of the output signal on the output line 4. The potential window for the low level of the output signal on the output line 4 is defined by the reference potentials such that it likewise lies within a lower range of the potential window prescribed by the specification for the low level of the output signal.

[0025] The evaluation unit 9 may be designed as a counter, for example, wherein the control signal is transmitted to the setting circuit 6 as a digital value of the counter reading or wherein the counter value is converted into an analog voltage signal which is provided to the setting circuit 6 as a control signal.

[0026] The first comparator 13 and the second comparator 14 are configured in such a way that, at the output of the first comparator 13, a logic "1" is present if the potential on the output line 4 exceeds the first reference potential V_{Ref1} and a logic "0" is present if the potential on the output line 4 falls below the first reference potential V_{Ref1} . Equally, at the output of the second comparator 14, a logic "1" is present if the potential on the output line 4 falls below the second reference potential V_{Ref2} and a logic "0" is present if the potential on the output line 4 exceeds the second reference potential V_{Ref2} .

[0027] The counter in the evaluation unit 9 is decremented if a logic "1" is present at the output of the first comparator 13, and incremented if a logic "1" is present at the output of the second comparator 14. If a logic "0" is present at both outputs of the comparators 13, 14, then the counter reading of the counter in the evaluation unit 9 is not altered.

[0028] The first and second reference voltages are prescribed such that the range formed by the first and second reference voltages V_{Ref1} , V_{Ref2} lies within a lower range of the permitted potential window prescribed by the specification. The reference voltages V_{Ref1} , V_{Ref2} are selected by the multiplexer 11 depending on whether a high level or a low level is intended to be output at the output 5 of the driver circuit 1. For this purpose, by way of example, the input signal may be

connected to the multiplexer 11. Alternatively, the output signal on the output line 4 may be connected to the multiplexer 11. By means of the voltage divider 10, reference voltages are made available such that, in each case, two of the reference voltages may be selected by means of the multiplexer 11 to define a voltage range which determines a lower power range within the permissible current-voltage window for the output signal on the output line.

[0029] As an alternative, instead of the potential on the output line, a current may also be converted into a measurement voltage, e.g., with the aid of a measuring resistor or another current measuring method, and the measurement voltage may then be compared with the reference potentials made available. It is also possible for the two setting methods to be combined with one another in that both the potential and the current intensity on the output line 4 are measured and evaluated either by two separate comparator circuits or successively with the aid of the reference potentials made available.

[0030] Figures 2a and 2b show the switching behaviors of the n-channel transistor 3 in the pull-down path and of the p-channel transistor 2 of the driver circuit 1 in the pull-up path. The current-voltage characteristic curves define a range that is permissible in accordance with the specification. The permissible potential ranges for the high and low levels on the output line are thereby determined. The range is defined in accordance with the lower current-voltage characteristic curve, identified by $I_{\min}$, and the upper current-voltage characteristic curve, identified by $I_{\max}$. The current-voltage characteristic curves identified by $I_{\text{nom,max}}$ and $I_{\text{nom,min}}$ represent nominal values of the respective transistor 2, 3. The driver power is principally determined by the current driver capability of the n-channel and p-channel transistors.

[0031] In accordance with the specification, an output current may be provided in the current-voltage window defined by the lower and upper current-voltage characteristic curves. The less current flows on the output line, however, the lower the power consumption of the driver circuit 1. A reduction of the power consumption through a reduction of the current intensity through the activated transistor is permissible as

long as the current intensity is within the respective current-voltage window prescribed by the specification. It is thus possible, within the limits prescribed by the specification, to define a current intensity range which brings about minimal power consumption through the driver circuit 1. This range is chosen to lie within the range prescribed by the current-voltage windows.

[0032] The range may be defined, for example, in that a tolerance magnitude is added to the minimum current intensity $I_{\min}$ prescribed for a state of the output signal in accordance with the lower current-voltage characteristic curve, and the corresponding lower power range is thereby defined. Equally, provision may be made for providing a certain distance between the lower power range and the minimum current intensity value, so that the lower current/voltage characteristic curve is not undershot during regulation.

[0033] The adaptation of the driver strength of the driver circuit 1 may take place continuously or at periodic time intervals. It is expedient for the setting of the driver strength not to be carried out continuously, since the control unit 8 also has a power consumption which might minimize or cancel the power saving. The driver strength may also be adapted in accordance with an adaptation signal at predetermined points in time.

WHAT IS CLAIMED IS:

1. An output driver for an integrated circuit, comprising:
a driver circuit for driving an input signal of the output driver onto an output line;
a measuring circuit for measuring at least one of an output line current and an output line potential; and
a control unit for providing a control signal for setting a driver strength of the driver circuit to provide at least one of the output line potential and the output line current in a desired power range of a specification-prescribed potential range and a specification-prescribed current range.
2. The output driver of claim 1, wherein the desired power range is determined by one of a specification-prescribed lower current limit value, a specification-prescribed lower current limit value adjusted with a tolerance magnitude, a specification-prescribed lower potential limit value and a specification-prescribed lower potential limit value adjusted with the tolerance magnitude.
3. The output driver of claim 1, wherein the driver circuit includes a pull-up path defined by a first maximum and minimum current/potential (I/V) characteristic curve and a pull-down path defined by a second maximum and minimum I/V characteristic curve and wherein the desired power range is determined depending on respectively activated pull-up path and pull-down path of the driver circuit.
4. The output driver of claim 1, wherein the desired power range corresponds to a lower portion of the specification-prescribed potential range and a lower portion of the specification-prescribed current range.
5. The output driver of claim 1, wherein the driver circuit further comprises a setting circuit for receiving the control signal from the control unit and for setting the driver strength of the driver circuit.

6. The output driver of claim 1, further comprising a comparator unit for comparing at least one of the measured output line current and the measured output line potential respectively with at least one of a reference current value and a reference potential value.
7. The output driver of claim 6, wherein the control unit further comprises an evaluation unit connected to the comparator unit, the evaluation unit configured to change the control signal based upon a result from the comparator unit.
8. The output driver of claim 7, wherein the evaluation unit comprises a counter.
9. The output driver of claim 6, wherein the control unit further comprises a multiplexer connected to provide a first reference potential and a second reference potential to the comparator unit.
10. The output driver of claim 9, wherein the multiplexer selects the first reference potential and the second reference potential supplied to the comparator unit based on the input signal.
11. The output driver of claim 10, wherein the multiplexer includes an input connected to the input signal of the driver circuit, and wherein the input signal is utilized to determine whether a high level or a low level is to be output by the driver circuit.
12. The output driver of claim 9, wherein the multiplexer selects the first reference voltage and the second reference voltage supplied to the comparator unit based on an output signal on the output line.
13. The output driver of claim 9, wherein the control unit further comprises a voltage divider connected provide a plurality of reference potentials selectable by the multiplexer.

14. A method for driving an output driver for an integrated circuit having a driver circuit driving an input signal onto an output line, comprising:

measuring at least one of an output line current and an output line potential;
and

controlling a driver strength of the driver circuit to set at least one of the current and the potential in at least one of a specification-prescribed current range and a specification-prescribed potential range, respectively, wherein the driver strength is set such that the potential and the current intensity lie in a lower power range of the specification-prescribed current range and the specification-prescribed potential range.

15. The method of claim 14, wherein the driver strength of the driver circuit is controlled in a manner selected from continuously, periodically and in accordance with a setting signal.

16. The method of claim 14, further comprising:

comparing at least one of the measured output line current and the measured output line potential respectively with at least one of a reference current value and a reference potential value; and

changing a control signal for setting the driver strength supplied to the driver circuit based upon a result from the comparison.

17. The method of claim 16, further comprising:

determining whether a high level or a low level is to be output by the driver circuit based on the input signal; and

selecting a first reference voltage and a second reference voltage from a plurality of voltage references to be compared against the measured output line potential, the first reference voltage and the second reference voltage selected based on the determination of high level or low level.

18. An output driver for an integrated circuit, comprising:

a driver means for driving an input signal of the output driver onto an output line; and

a control means for providing a control signal for setting a driver strength of the driver means to provide at least one of an output line potential and an output line current in a lower power range of a specification-prescribed potential range and a specification-prescribed current range, the control means comprising:

a comparator means for comparing at least one of the output line current and the output line potential respectively with at least one of a reference current value and a reference potential value; and

an evaluation means for changing the control signal based upon a comparison result from the comparator means.

19. The output driver of claim 18, wherein the control means further comprises:

a multiplexing means connected to provide a first reference voltage and a second reference voltage to the comparator means for the output line potential to be compared; and

a voltage divider means for providing a plurality of reference voltages for selection by the multiplexing means.

20. The output driver of claim 19, wherein the multiplexing means includes an input connected to the input signal of the driver circuit, wherein the input signal is utilized to determine whether a high level or a low level is to be output by the driver circuit and wherein the multiplexer selects the first reference voltage and the second reference voltage supplied to the comparator unit based on the input signal.

ABSTRACT OF THE DISCLOSURE

One embodiment of the invention provides an output driver for an integrated circuit. The output driver has a driver circuit for driving an input signal onto an output line. The driver circuit is dimensioned in such a way as to supply a current intensity dependent on the input signal to be driven and/or a potential dependent on the input signal to be driven on the output line. The current value and/or the potential value lie in a current intensity range and/or potential range defined by a predetermined specification. The driver strength of the driver circuit may be set in accordance with a control signal. A measuring circuit is provided to measure the current intensity of the current flowing on the output line and/or the potential of the output line. A control circuit serves for setting the driver strength of the driver circuit so that the potential on the output line is set to a potential value and/or the current intensity is set to a current value, wherein the set potential value and the set current value may lie in a lower power range of the current intensity range and/or potential range prescribed by the specification.

FIG 2A

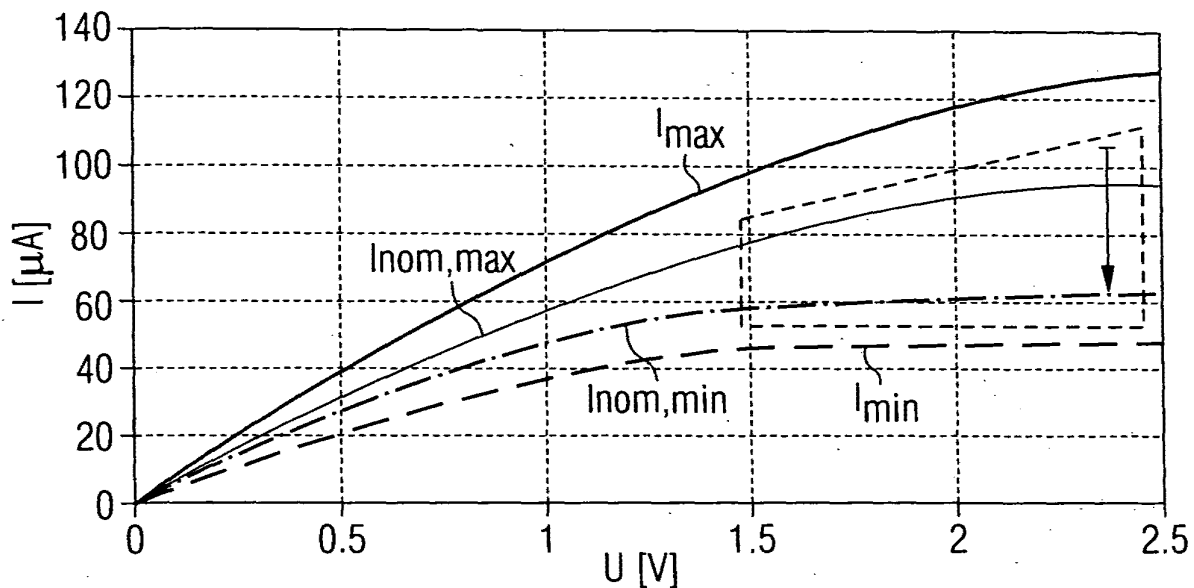
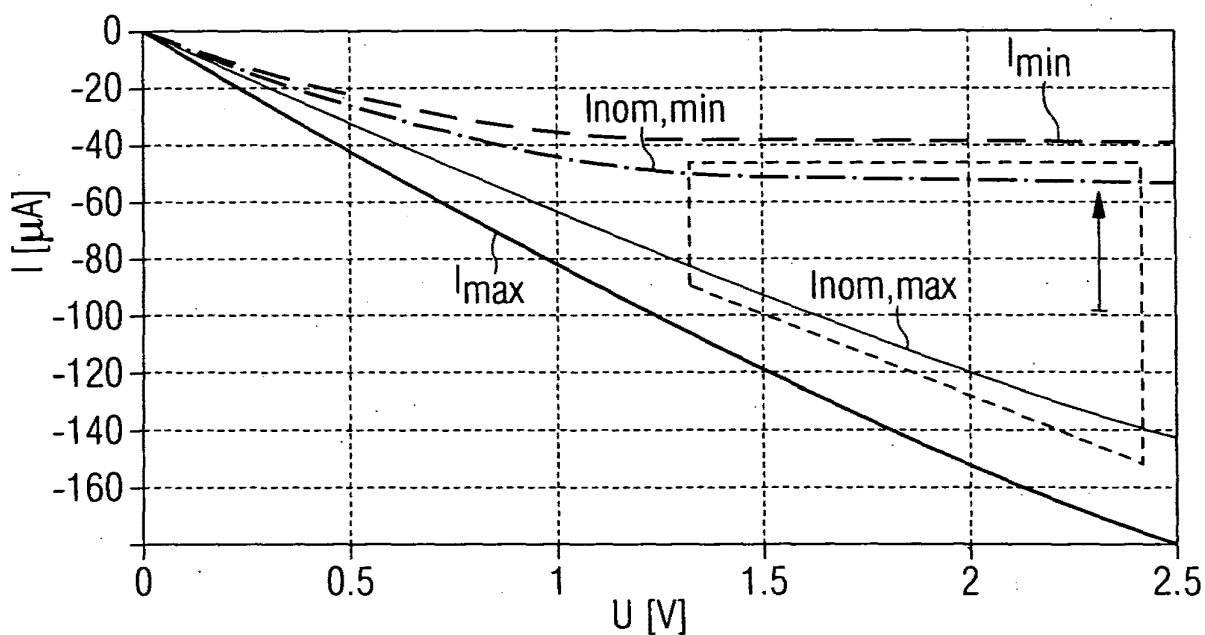


FIG 2B



**DECLARATION FOR PATENT APPLICATION, POWER OF
ATTORNEY & DESIGNATION OF CORRESPONDENCE ADDRESS**

As below named inventor, I hereby declare that:

My residence, post office address and citizenship are as stated below next to my name.

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

**OUTPUT DRIVER FOR AN INTEGRATED CIRCUIT
AND METHOD FOR DRIVING AN OUTPUT DRIVER**

the specification of which (check one)

_____ is attached hereto.

 X was filed on July 9, 2004 as Attorney Docket No. INFN/0091.

I hereby state that I have reviewed and understand the contents of the above-identified specification including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information known to me to be material to the patentability of this application in accordance with 37 CFR §1.56(a).

**PRIOR FOREIGN/PCT APPLICATION(S) FILED WITHIN 12 MONTHS (6 MONTHS
FOR DESIGN) PRIOR TO THIS APPLICATION AND ANY PRIORITY CLAIMS UNDER
35 U.S.C. § 119(a)-(d)**

I hereby claim foreign priority benefits under 35 USC § 119 of any foreign application(s) for patent or inventor's certificate listed below and have also identified below any foreign application for patent or inventor's certificate having a filing date before that of the application on which priority is claimed:

Prior Foreign Application(s)			Priority Claimed	
Number	Country	Day/Month/Year Filed	Yes	No
DE 103 31 607.8	GERMANY	July 12, 2003	X	

**CLAIM FOR BENEFIT OF PRIOR U.S. PROVISIONAL APPLICATION(S)
(35 U.S.C. § 119(e))**

I hereby claim the benefit under Title 35, United States Code, § 119 (e) of any United States provisional application(s) listed below:

Provisional Application Number	Filing Date

**CLAIM FOR BENEFIT OF EARLIER US/PCT APPLICATION(S)
UNDER 35 U.S.C. § 120**

I hereby claim the benefits under 35 USC § 120 of any United States application(s) listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States application in the manner provided by the first paragraph of 35 USC § 112, I acknowledge the duty to disclose material information as defined in 37 CFR § 1.56 which occurred between the filing date of the prior application and the national or PCT international filing date of this application:

Appl. No.	Filing Date	Patented, Pending, Abandoned

Power of Attorney: As a named inventor, I hereby appoint the following attorney(s) and/or agent(s) to prosecute this application and transact all business in the Patent and Trademark Office connected therewith.

Erik O. Berger, Reg. No. 42,315
Gero G. McClellan, Reg. No. 44,227
Keith M. Tackett, Reg. No. 32,008
Randol W. Read, Reg. No. 43,876

Marie-Claire B. Maple, Reg. No. 37,588
B. Todd Patterson, Reg. No. 37,906
William B. Patterson, Reg. No. 34,102

Send correspondence to:

Gero G. McClellan
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Boulevard, Suite 1500
Houston, Texas 77056-6582

Direct telephone calls to:

Gero G. McClellan
(713) 623-4844

I hereby declare that all statements made herein on my own knowledge are true and that all statements made on information and belief are believed to be true, and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both under 18 USC §1001 and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

Full Name of First Inventor: Rory Dickmann	
Inventor's Signature:	Date:
Residence: Rehgässchen 4 93047 Regensburg, Germany	
Citizenship: US	
Mailing Address: Same	

The patents and/or publications submitted herewith are set forth on the attached Form PTO-1449.

Respectfully submitted,



Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd. Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Attorney for Applicant(s)

286956_1



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet

1

of

2

Application Number

Unknown

Filing Date

Concurrently Herewith

First Named Inventor

Rory Dickmann

Group Art Unit

Unknown

Examiner Name

Unknown

Attorney Docket Number

INFN/0091

Submission Date

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Document Number	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code ² (if known)			
	A1	US-6,400,177	Jun 4, 2002	Yoshizaki	
	A2	US-			
	A3	US-			
	A4	US-			
	A5	US-			
	A6	US-			
	A7	US-			
	A8	US-			
	A9	US-			
	A10	US-			
	A11	US-			
	A12	US-			
	A13	US-			
	A14	US-			
	A15	US-			
	A16	US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Foreign Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T ⁶
		Number-Kind Code ² (if known)				
	B1	DE 102 37 536 A1	24 04 2003	Takeshi		
	B2	EP 1 326 343 A1	09 07 2003	Janardhanan		
	B3	DE 100 34 713 A 1	07 02 2002	Klein		
	B4	JP8065138 (Abstract)	03 08 1996	Shushaku		
	B5	JP9261035 (Abstract)	10 03 1997	Toshiharu		
	B6	JP11027132 (Abstract)	01 29 1999	Yoshiyuki		
	B7	JP11214977 (Abstract)	08 06 1999	Harufusa et al		

Examiner

Date Considered

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450. If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Substitute for form 1449B/PTO

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**

(Use as many sheets as necessary)

Application Number	Unknown
Filing Date	Concurrently Herewith
First Named Inventor	Rory Dickmann
Group Art Unit	Unknown
Examiner Name	Unknown
Attorney Docket Number	INFN/0091
Submission Date	

Sheet 2

of 2

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published	T ²
	C1	Examination Report Dated April 29, 2004	
	C2		
	C3		
	C4		
	C5		
	C6		
	C7		
	C8		
	C9		
	C10		
	C11		
	C12		

Examiner

Date Considered

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450. If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

SIGNAL LINE DRIVING CIRCUIT

Patent Number: JP8065138
Publication date: 1996-03-08
Inventor(s): YAMAGUCHI SHUSAKU
Applicant(s): FUJITSU LTD
Requested Patent: JP8065138
Application Number: JP19940196746 19940822
Priority Number(s):
IPC Classification: H03K19/0175; H03K17/04; H03K17/687; H03K19/017
EC Classification:
Equivalents:

Abstract

PURPOSE: To attain high speed signal delivery and to attain a high processing speed for an integrated circuit by controlling a voltage to drive a wire in the signal driving circuit used for a semiconductor integrated circuit.

CONSTITUTION: A transistor(TR) T01 of the driving circuit 2 is turned on when inputs 1, 2 are at a low level and a TR T02 is turned off to set a potential of a signal line 1 to be a high potential VCC of a power supply so as to turn on a low potential load TR T04, then the amplitude is suppressed by a high potential depending on an on-resistance ratio of the T01, T04. In this case, a VREF 2 of a comparator circuit 4 is set to a slightly lower voltage by this potential. When the level of the inputs 1, 2 is transited to a high level from this state the T01 is turned off and the T02 is turned on to reduce the potential of the signal line 1. The potential of the signal line 1 is reduced cup to the VREF 1 of the comparator circuit 3 to set an output of the circuit 3 to be lower and then the high potential side load TR T03 is turned on. Thus, the amplitude is suppressed by the potential depending on the on-resistance of the T02, T03 with the high potential VCC in this way.

Data supplied from the esp@cenet database - I2

CMOS DEVICE

Patent Number: JP9261035
 Publication date: 1997-10-03
 Inventor(s): SOFUE TOSHIHARU
 Applicant(s): NEC CORP
 Requested Patent: JP9261035
 Application Number: JP19960096162 19960326
 Priority Number(s):
 IPC Classification: H03K19/0175; H03K19/00; H03K19/0948
 EC Classification:
 Equivalents: JP2790117B2

Abstract

PROBLEM TO BE SOLVED: To provide a CMOS device in which dispersion in an output impedance is compensated and the output impedance at a high level output is made the same as the output impedance at a low level output.

SOLUTION: A P-channel MOS transistor(TR) 3 being a variable resistor is provided between a power supply terminal VDD and a P-channel MOS TR 1, and an N-channel MOS TR 4 being a variable resistor is provided between a ground terminal GND and an N-channel MOS TR 2. Furthermore, a comparator circuit 5(6) is provided, which compares an output voltage VOUT of an output terminal OUT of the CMOS device with a 1st(2nd) reference voltage VREF1 (VREF2). An impedance adjustment circuit 7 adjusts the resistance of variable resistors 3, 4 based on outputs S1, S2 of the comparator circuits 5, 6. Thus, the resistance of the variable resistors 3, 4 is adjusted so that the output voltage VOUT of the output terminal OUT is between the 1st and 2nd reference voltages VREF1 , VREF2 .

Data supplied from the esp@cenet database - I2

IMPEDANCE MATCHING CIRCUIT AND SEMICONDUCTOR MEMORY

Patent Number: JP11027132
Publication date: 1999-01-29
Inventor(s): OKUMA YOSHIYUKI
Applicant(s): HITACHI LTD
Requested Patent: JP11027132
Application Number: JP19970176075 19970701
Priority Number(s):
IPC Classification: H03K19/0175; G11C11/417; G11C11/409
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To match an output impedance of an output buffer with an impedance of a transmission line automatically by allowing a counter to count up when an output level of the output buffer does not exceed a reference voltage and allowing the counter to count down when the output level exceeds the reference voltage and using the count to select an output impedance adjustment element of the output buffer.

SOLUTION: A 1st comparator circuit CMP1 compares a voltage level V_{no} of an output node No of an output buffer OPB with a reference voltage V_{ref1} . A 2nd comparator circuit CMP2 compares the voltage V_{no} with a reference voltage V_{ref2} , and counters CNT1, CNT2 count up or down depending on the comparison result by the comparator circuits CMP1, CMP2. Then a signal of each bit of the counters CNT1, CNT2 is fed to gates of impedance adjustment MOSFETs Q_{p1} - Q_{pn} , Q_{n1} - Q_{nn} .

Data supplied from the esp@cenet database - I2

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP11214977
 Publication date: 1999-08-06
 Inventor(s): KONDO HARUFUSA; URAMOTO SHINICHI
 Applicant(s): MITSUBISHI ELECTRIC CORP
 Requested Patent: JP11214977
 Application Number: JP19980309785 19981030
 Priority Number(s):
 IPC Classification: H03K19/0175
 EC Classification:
 Equivalents: JP3116922B2

Abstract

PROBLEM TO BE SOLVED: To properly adjust a time when the potential level of a drive node changes, regardless of the load capacity of the drive node.

SOLUTION: An output buffer 10 is provided with a latch 1 which synchronizes with a clock signal $\phi_{\text{hiv}} 1$ and holds a signal V_i , a driver circuit 2 which supplies a current to a node Do in accordance with the signal V_2 that is held by the latch 1, a comparator 3 which synchronizes with a clock signal $\phi_{\text{hiv}} 2$ and compares reference potential V_{ref} with the potential of the node Do, a control 5 which adjusts the current quantity that is supplied to the node Do of the circuit 2 according to comparison results CMP of the comparator 3 and a timing signal generation circuit 2 which generates the clocks $\phi_{\text{hiv}} 1$ and $\phi_{\text{hiv}} 2$ with appropriate timings.

Data supplied from the esp@cenet database - I2

PATENT APPLICATION FEE DETERMINATION RECORD

Effective October 1, 2003

Application or Docket Number

10887949

CLAIMS AS FILED - PART I

(Column 1) (Column 2)

TOTAL CLAIMS	20	
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	20 minus 20 =	* 0
INDEPENDENT CLAIMS	3 minus 3 =	* 0
MULTIPLE DEPENDENT CLAIM PRESENT ☐		

* If the difference in column 1 is less than zero, enter "0" in column 2

CLAIMS AS AMENDED - PART II

(Column 1) (Column 2) (Column 3)

AMENDMENT A		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
	Total	*	Minus	**	=
	Independent	*	Minus	***	=
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐				

(Column 1) (Column 2) (Column 3)

AMENDMENT B		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
	Total	*	Minus	**	=
	Independent	*	Minus	***	=
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐				

(Column 1) (Column 2) (Column 3)

AMENDMENT C		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
	Total	*	Minus	**	=
	Independent	*	Minus	***	=
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐				

- * If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
 - ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
 - *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
- The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

SMALL ENTITY TYPE ☐

OR OTHER THAN SMALL ENTITY

RATE	FEE
BASIC FEE	385.00
XS 9=	
X43=	
+145=	
TOTAL	

RATE	FEE
BASIC FEE	770.00
XS18=	
X86=	
+290=	
TOTAL	770

SMALL ENTITY

OR OTHER THAN SMALL ENTITY

RATE	ADDITIONAL FEE
XS 9=	
X43=	
+145=	
TOTAL ADDIT. FEE	

RATE	ADDITIONAL FEE
XS18=	
X86=	
+290=	
TOTAL ADDIT. FEE	

RATE	ADDITIONAL FEE
XS 9=	
X43=	
+145=	
TOTAL ADDIT. FEE	

RATE	ADDITIONAL FEE
XS18=	
X86=	
+290=	
TOTAL ADDIT. FEE	

RATE	ADDITIONAL FEE
XS 9=	
X43=	
+145=	
TOTAL ADDIT. FEE	

RATE	ADDITIONAL FEE
XS18=	
X86=	
+290=	
TOTAL ADDIT. FEE	

PATENT APPLICATION SERIAL NO. _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

07/14/2004 LWONDIM1 00000031 200782 10887949
01 FC:1001 770.00 DA

PTO-1556
(5/87)



①9 **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 102 37 536 A 1**

⑤1 Int. Cl. 7:
H 03 K 19/0185
H 03 K 19/003

②1 Aktenzeichen: 102 37 536.4
②2 Anmeldetag: 16. 8. 2002
④3 Offenlegungstag: 24. 4. 2003

U.S. PAT. 10/887949
DE 102 37 536 A 1
070904

③0 Unionspriorität:
2001-281179 17. 09. 2001 JP

⑦1 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑦4 Vertreter:
Prüfer und Kollegen, 81545 München

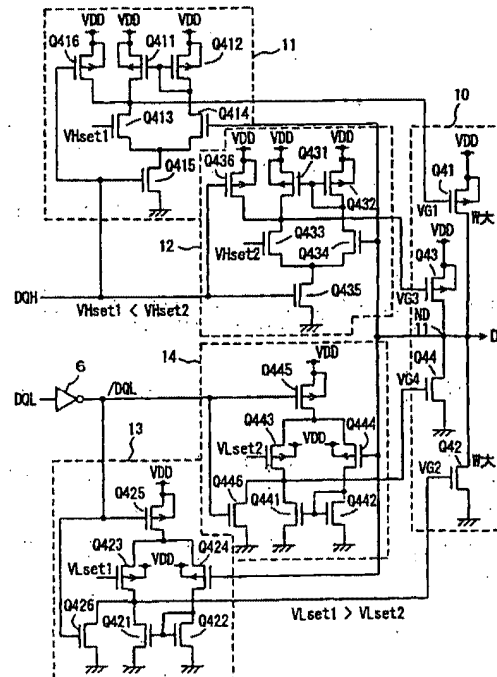
⑦2 Erfinder:
Kajimoto, Takeshi, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Halbleiterausgangsschaltungsrichtung

⑤7 Entsprechend einer Mehrzahl von Pull-Up-Transistoren (Q41, Q43) sind Vergleicherschaltungen (11, 12) bereitgestellt, jede zum Vergleichen einer Spannung an einem Ausgangsknoten (ND11) mit einer jeweiligen Referenzspannung (VHset1, VHset2), die unterschiedliche Spannungspegel haben, und zum Einstellen eines Treiberstromes eines entsprechenden Ausgangs-Pull-Up-Transistors. Weiterhin sind entsprechend einer Mehrzahl von Pull-Down-Transistoren (Q42, Q44) Vergleicherschaltungen (13, 14) bereitgestellt, jede zum Vergleichen der Spannung des Ausgangsknotens mit der jeweiligen Referenzspannung (VLset1, VLset2), die verschiedene Spannungspegel haben, und jede zum Einstellen der Größe eines Treiberstromes eines entsprechenden Pull-Down-Transistors entsprechend einem Ergebnis des Vergleichs. Die Referenzspannungen sind alle auf einen Spannungspegel zwischen einer Versorgungsspannung (VDD) und einer Massespannung (GND) eingestellt. Ohne einen zugeordneten Versorgungsstiftanschluss kann ein Signal mit einer kleinen Amplitude, dessen Amplitude stabil und genau begrenzt ist, mit hoher Geschwindigkeit ausgegeben werden.



DE 102 37 536 A 1

[0001] Die vorliegende Erfindung bezieht sich allgemein auf Halbleiterschaltungsvorrichtungen, besonders auf Halbleiterausgangsschaltungsvorrichtungen, die zuverlässig ein Ausgangssignal mit hoher Geschwindigkeit erzeugen.

[0002] Halbleitervorrichtungen, wie z. B. Halbleiterspeichervorrichtungen und Halbleiterlogikverarbeitungsvorrichtungen müssen zum Senden und Empfangen von Signalen/Daten zwischen den Vorrichtungen einen Bus verwenden. Die Bussignalleitung, die außerhalb der Vorrichtungen vorgesehen ist, hat eine große Last. Um die externe Signalleitung zum Übertragen eines Signals/Datenwerts mit hoher Geschwindigkeit zu treiben, sind diese Halbleitervorrichtungen jeweils mit einer Ausgangsschaltung versehen, die aus einem Transistor mit einer großen Steuerfähigkeit gebildet wird. Mit einer Ausgangsschaltung zum Übertragen eines Signals/Datenwerts muss die Bussignalleitung in Abhängigkeit von dem zu übertragenen Signal/Datenwert auf einen H-Pegel (logisch HIGH) oder auf einen L-Pegel (logisch LOW) getrieben werden.

[0003] Fig. 9 zeigt ein Beispiel für einen Aufbau einer bekannten Halbleiterausgangsschaltung. Stellvertretend ist ein Aufbau einer Datenausgangsschaltung gezeigt, die einen Datenwert DQ ausgibt. Die in Fig. 9 dargestellte Halbleiterausgangsschaltung beinhaltet: Eine Ausgangstreibersteuerschaltung 100 zum Erzeugen der Datenausgangssteuersignale DQH und DQL entsprechend internen Daten; einen Inverter 102 um Invertieren des Ausgangssteuersignals DQH zum Erzeugen eines komplementären Ausgangssteuersignals /DQH; und eine Ausgangspufferschaltung 104, die einen Ausgangsknoten 104a entsprechend dem von dem Inverter 102 ausgegebenen Signal /DQH und dem Ausgangssteuersignal DQL ansteuert.

[0004] Die Ausgangssteuersignale DQH und DQL werden entsprechend einem Zeitsteuersignal für die Datenausgabe und entsprechend den internen Daten erzeugt. Wenn beim Ausgeben von Daten der interne Ausgangsdatenwert auf H-Pegel liegt, werden die Ausgangssteuersignale DQH auf H-Pegel und DQL auf L-Pegel gelegt, und wenn der interne Ausgangsdatenwert auf L-Pegel liegt, werden die Ausgangssteuersignale DQH auf L-Pegel und DQL auf H-Pegel gelegt. Wenn keine Daten ausgegeben werden, legt die Ausgangstreibersteuerschaltung 100 die Ausgangssteuersignale DQH und DQL entsprechend dem Zeitsteuersignal für die Datenausgabe beide auf L-Pegel.

[0005] Die Ausgangspufferschaltung 104 beinhaltet einen p-Kanal MOS-Transistor (einen Feldeffekttransistor mit isoliertem Gate) Q71, der zwischen einen eine Versorgungsspannung VDD empfangenden Versorgungsknoten und den Ausgangsknoten 104 geschaltet ist und an seinem Gate das von dem Inverter 102 ausgegebene Signal /DQH empfängt, und einen n-Kanal MOS-Transistor Q72, der zwischen den Ausgangsknoten 104a und einen Masseknoten geschaltet ist und an seinem Gate das Ausgabesteuersignal EQL empfängt. Ein rückseitiges Gate (Backgate) des p-Kanal MOS-Transistors Q71 ist mit dem Versorgungsknoten verbunden.

[0006] Wenn in dem in Fig. 9 dargestellten Aufbau der Halbleiterausgangsschaltungsanordnung die Ausgangssteuersignale DQH und DQL beide auf L-Pegel liegen, sind die MOS-Transistoren Q71 und Q72 beide in ausgeschaltetem Zustand (nichtleitendem Zustand), und die Ausgangspufferschaltung 104 ist in einem Zustand mit hoher Ausgangsimpedanz.

[0007] Wenn das Ausgangssteuersignal DQH auf H-Pegel liegt und das Ausgangssteuersignal DQL auf L-Pegel, gibt der Inverter 102 das Signal /DQH mit L-Pegel aus, und in der Ausgangssteuerschaltung 104 werden die MOS-Transi-

storen Q71 in den eingeschalteten Zustand (leitenden Zustand) und Q72 in den ausgeschalteten Zustand versetzt, und Ausgangsknoten 104a wird über den MOS-Transistor Q71 auf den Versorgungsspannungspegel VDD getrieben, und der Ausgangsdatenwert Q erhält den H-Pegel.

[0008] Wenn die Ausgangssteuersignale DQH und DQL jeweils auf L-Pegel bzw. H-Pegel liegen, gelangt MOS-Transistor Q71 in der Ausgangspufferschaltung 104 in den ausgeschalteten Zustand und MOS-Transistor Q72 in den eingeschalteten Zustand, der Ausgangsknoten 104a wird über den MOS-Transistor Q72 auf den Massespannungspegel getrieben, und der Ausgangsdatenwert Q erhält den L-Pegel.

[0009] Eine CMOS-Pufferschaltung, die wie in Fig. 9 dargestellt aus p-Kanal und n-Kanal MOS-Transistoren Q71 und Q72 aufgebaut ist, kann verwendet werden, um den Ausgangsknoten 104 auf den Spannungsversorgungspegel VDD und auf den Massespannungspegel zu treiben.

[0010] Wenn eine solche Ausgangspufferschaltung verwendet wird, geht der Ausgangsknoten 104 einher mit einer Last wie einer externen Signalleitung und einem Anschlussbein. Zum Treiben des Signals/der Daten am Ausgangsknoten 104a auf den Versorgungsspannungspegel VDD oder auf den Massespannungspegel ist daher eine Übergangszeitspanne erforderlich. Wenn diese Übergangszeitspanne durch Erhöhen der Stromzufuhrfähigkeit der Ausgangspufferschaltung 104 verringert wird, bewirkt eine parasitäre Induktivität am Ausgangsknoten 104a ein Einschwingen mit Überspringen/Unterschwingen, und das Signal/die Daten können nicht mit hoher Geschwindigkeit übertragen werden. Daher gibt es einen Grenzwert für eine Übergangszeitspanne des Ausgangssignals.

[0011] Wie im folgenden beschrieben wird, können die Ausgangsdaten weiterhin in Abhängigkeit von einem Ausgangsdatenmuster oder von einer Sequenz von H- und L-Pegelsignalen in ihrer Amplitude schwanken. Insbesondere wenn wie in Fig. 10 durch eine durchgezogene Linie LA dargestellt zwei Datenwerte mit denselben logischen Pegel und zwei Datenwerte mit einem gemeinsamen anderen Logikpegel im Wechsel in einer Einheit von zwei Datenwerten ausgegeben werden, wie z. B. in der Sequenz H-Pegel, H-Pegel, L-Pegel und L-Pegel, wird die Zeit, in der der Ausgangsknoten 104a durch die Ausgangspufferschaltung 104 in eine Richtung getrieben wird, vergrößert, und es tritt ein Fall auf, in dem ein Ausgangssignal sich zwischen einem Pegel, der einen Spannungspegel VH auf der H-Seite übersteigt und einem Spannungspegel, der einen Spannungspegel VL auf der L-Seite unterschreitet, ändert.

[0012] Wenn Ausgangsdaten auf H-Pegel und auf L-Pegel im Wechsel ausgegeben werden, wird der Ausgangsknoten für eine geringere Zeitspanne in eine Richtung getrieben. Wie in Fig. 10 durch eine gestrichelte Linie LB dargestellt, führt das Ausgangssignal einen Übergang durch innerhalb des Spannungspegels VH auf der H-Seite und des Spannungspegels VL auf der L-Seite.

[0013] Selbst wenn Ausgangsdaten mit derselben Frequenz übertragen werden, können daher die Ausgangsdaten in Abhängigkeit von dem zu übertragenden Datenmuster in ihrer Amplitude schwanken. So kann eine nachfolgende Schaltung möglicherweise den Logikpegel der empfangenden Daten nicht genau bestimmen, und die Daten können nicht mit hoher Geschwindigkeit übertragen werden. In diesem Fall können Ausgangsdaten, die vom H-Pegel auf L-Pegel oder die von L-Pegel auf H-Pegel übergehen, in verschiedenen Zeitspannen einen mittleren Spannungspegel (einen logischen Eingangsschwellenspannungspegel für die nachfolgende Schaltung) erhalten, und demzufolge würde die nachfolgende Schaltung einen verringerten Zeitspiel-

raum für ein Eingangssignal haben.

[0014] Wenn die Ausgangsdaten verschiedene Frequenzen haben, unterscheiden sich die Signalamplituden in ähnlicher Weise, und bei einer schnellen Datenübertragung wird der Ausgangsknoten für eine verringerte Zeitspanne getrieben, und die Ausgangsdaten werden in ihre Amplitude verringert, während in einem langsamen Betrieb der Ausgabe-knoten für eine höhere Zeitspanne getrieben wird und die Ausgangsdaten in der Amplitude ansteigen.

[0015] Wenn Daten mit einem gemeinsamen Logikpegel aufeinanderfolgend in einem Datenmuster ausgegeben werden, würde weiterhin eine Amplitude der Ausgangsdaten wie in Fig. 11 dargestellt zu dem H-Pegel oder dem L-Pegel hin abweichen.

[0016] Insbesondere stellt in Fig. 11 eine durchgezogene Linie LC einen Signalverlauf für den Fall dar, in dem Daten mit L-Pegel andauern und dann Daten mit H-Pegel ausgegeben werden, und eine gestrichelte Linie LD stellt einen Signalverlauf in einem Fall dar, in dem Daten von H-Pegel nacheinander gelesen werden und dann Daten von L-Pegel.

[0017] Wenn z. B. die Daten/das Signal mit L-Pegel andauert, gehen die Daten/das Signal hinunter auf den Masse-spannungspegel GND und dann auf den H-Pegel, und daher ändern sich die Daten/das Signal wie in Fig. 11 durch die durchgezogene Linie LC dargestellt zwischen der H-seitigen Spannung V_{II} und der Massespannung GND. Wenn im Gegensatz dazu Daten mit H-Pegel andauern, ändern sich die Daten/das Signal wie in Fig. 11 durch die gestrichelte Linie LD dargestellt, zwischen der L-seitigen Spannung V_L und der Versorgungsspannung VDD.

[0018] Wenn wie in Fig. 11 dargestellt ein Ausgangssignal/Daten mit H-Pegel und ein Ausgangssignal/Daten mit L-Pegel unterschiedliche Amplitude haben (mit Bezug auf eine logische Eingangsschwellenspannung V_{cr} einer nachfolgenden Stufe), kann die nachfolgende Schaltung ein Eingangssignal nicht richtig aufnehmen. Demzufolge ändert sich ein Spielraum für die logische Eingangsschwellenspannung, und eine Eingangsschaltung der nachfolgenden Schaltung würde eine falsche Entscheidung über den H-Pegel/L-Pegel der Eingangsdaten fällen.

[0019] Um Daten/ein Signal zuverlässig mit hoher Geschwindigkeit zu übertragen, ist es daher erforderlich, einen Signal/Datenübergang mit derselben Amplitude zu übertragen, wobei die logische Eingangsschwellenspannung V_{cr} der nachfolgenden Stufe in der Mitte liegt. Insbesondere kann durch Übertragen eines Signals, das durch Amplitudenbegrenzung eine kleinere Amplitude hat als die Versorgungsspannung VDD, der Lade- und Entladestrom einer externen Signalleitung verringert werden, und demzufolge kann zusätzlich zu dem Vorteil der schnellen Daten/Signalübertragung der Leistungsverbrauch vorteilhaft verringert werden.

[0020] Fig. 12 ist eine schematische Darstellung eines Aufbaus einer bekannten Halbleiterschaltungsvorrichtung. Wie in Fig. 12 dargestellt, beinhaltet eine Halbleiterschaltungsvorrichtung 110 eine Halbleiterschaltung 112, die einen vorher bestimmten Vorgang ausführt zum Erzeugen der Ausgangsteuersignale DQL und /DQH, und eine Ausgangspufferschaltung 114, die entsprechend den Ausgangsteuersignalen DQH und DQL der Halbleiterschaltung 112 Ausgangsdaten DQ erzeugt. Die Ausgangspufferschaltung 114 beinhaltet einen p-Kanal MOS-Transistor Q91, der einen Ausgangsknoten entsprechend dem Ausgangsteuersignal/DQH nach oben zieht, und einen n-Kanal MOS-Transistor Q92, der den Ausgangsknoten entsprechend dem Ausgangsteuersignal DQL nach unten zieht.

[0021] Die Halbleiterschaltung 112 empfängt über einen Versorgungsanschluss 115 die Versorgungsspannung VDD

und über einen Masseanschluss 116 die Massespannung VSS. Die Ausgangspufferschaltung 114 empfängt über einen Ausgangsversorgungsanschluss 117 eine obere Ausgangsversorgungsspannung VDDQ und über einen Ausgangsversorgungsanschluss 118 eine untere Ausgangsversorgungsspannung VSSQ.

[0022] Die Versorgungsspannungen VDDQ und VSSQ unterscheiden sich im Pegel jeweils von den der Halbleiterschaltung 112 zugeführten Versorgungsspannungen VDD und VSS. Insbesondere liegt die Ausgangsversorgungsspannung VDDQ auf einem Pegel, der kleiner ist als der Versorgungsspannungspegel VDD, und die Ausgangsversorgungsspannung VSSQ liegt auf einem Pegel, der größer ist als die Massespannung VSS. Durch die ausschließliche Zufuhr der Versorgungsspannungen VDDQ und VSSQ zu der Ausgangsschaltung kann die Ausgangspufferschaltung 114 Daten DQ ausgeben, die eine kleinere Amplitude haben als die Versorgungsspannung VDD. Weiterhin kann ein Ausgangssignal unabhängig von dem Muster der Ausgangsdaten daran gehindert werden, dass sein Spannungspegel in eine Richtung abweicht.

[0023] Die Halbleiterschaltungsvorrichtung 110 ist auf einem Substrat oder einer Platte angebracht, die in den Arten von Leistungsquellen begrenzt ist. Damit tritt das Problem auf, dass es schwer ist, die Versorgungsspannungen VDDQ und VSSQ ausschließlich der Ausgangsschaltung zuzuführen. Daher kann die Ausgangspufferschaltung 114 nicht Versorgungsspannungen VDDQ und VSSQ mit einem optimierten Spannungspegel empfangen, und wie mit Bezug auf Fig. 11 beschrieben, wird eine Verzerrung des Signalverlaufs und eine Abweichung der H- und L-Pegellamplitude bewirkt, und Daten/ein Signal können nicht zuverlässig mit hoher Geschwindigkeit übertragen werden. Daher ist es notwendig, eine Amplitude des Ausgangssignals/der Ausgangsdaten zu begrenzen, während der Versorgungsspannungspegel beibehalten wird.

[0024] Fig. 13 zeigt einen Aufbau eines Datenausgabeabschnitts einer bekannten Halbleiterschaltung mit einer Amplitudenbegrenzungsfunktion. Die in Fig. 13 dargestellte Halbleiterschaltungsvorrichtung 120 beinhaltet eine Ausgangspufferschaltung 122, die entsprechend den Ausgangsteuersignalen /DQH und DQL einen Ausgangsknoten 125 ansteuert, und eine Amplitudenbegrenzungsschaltung 124 zum Begrenzen der Amplitude der von dem Ausgangsknoten 125 ausgegebenen Daten DQ. Die Ausgangspufferschaltung 122 und die Amplitudenbegrenzungsschaltung 124 empfangen die Versorgungsspannung VDD als eine Betriebsversorgungsspannung und die Massespannung GND als die andere Betriebsversorgungsspannung.

[0025] Die Ausgangspufferschaltung 122 beinhaltet einen p-Kanal MOS-Transistor Q1a, der die Spannung des Ausgangsknotens 125 entsprechend dem Ausgangsteuersignal /DQH nach oben zieht, und einen n-Kanal MOS-Transistor Q2a, der die Spannung des Ausgangsknotens 125 entsprechend dem Ausgangsteuersignal DQL nach unten zieht.

[0026] Die Amplitudenbegrenzungsschaltung 124 beinhaltet ein Widerstandselement RH, das zwischen einen Versorgungsspannungsknoten und den Ausgangsknoten 125 geschaltet ist, und ein Widerstandselement RL, das zwischen den Ausgangsknoten 125 und einen Masseknoten geschaltet ist.

[0027] Wenn in der in Fig. 13 dargestellten Halbleiterschaltungsvorrichtung die Ausgangsteuersignale /DQH und DQL beide auf L-Pegel liegen, wird der Ausgangsknoten 125 über den MOS-Transistor Q1a mit Strom versorgt. Der über den MOS-Transistor Q1a und das Widerstandselement RH zugeführte Strom wird über das Widerstandselement RL zu dem Masseknoten abgeleitet. Somit haben Da-

ten mit H-Pegel eine Spannung $V(H)$ wie durch den folgenden Ausdruck dargestellt:

$$V(H) = RL \cdot VDD / (ON(Q1a) / RH + RL)$$

wobei $ON(Q1a)$ den Kanalwiderstand des MOS-Transistors $Q1a$ darstellt. Das Widerstandselement RL hat einen Widerstandswert, der mit demselben Bezugszeichen RL dargestellt wird. Das Symbol $"/"$ stellt eine Parallelschaltung der Widerstandswerte des Kanalwiderstands (oder EIN-Widerstand) $ON(Q1a)$ des MOS-Transistors $Q1a$ und des Widerstandselements RH dar.

[0028] Wenn die Ausgangskontrollsignale $/DQH$ und DQL beide auf H-Pegel liegen, wird der Ausgangsknoten 125 über den MOS-Transistor $Q2a$ auf den Massespannungspegel entladen. In diesem Fall wird Strom von dem Widerstandselement RH über den MOS-Transistor $Q2a$ und das Widerstandselement RL zu dem Masseknoten abgeleitet. Somit befindet sich beim Erzeugen von Daten mit L-Pegel der Ausgangsknoten 125 auf einer Spannung $V(L)$, wie in dem folgenden Ausdruck dargestellt:

$$V(L) = (ON(Q2a) / RL) \cdot VDD / (RH + (ON(Q2a) / RL))$$

wobei $ON(Q2a)$ den Kanalwiderstand des MOS-Transistors $Q2a$ darstellt.

[0029] Um die Ausgangsspannungen $V(H)$ und $V(L)$ mit den Widerstandselementen RH und RL auf einen Spannungspegel zwischen der Versorgungsspannung VDD und der Massespannung einzustellen, müssen die Widerstandselemente RH und RL im wesentlichen denselben Widerstandswert aufweisen wie der Kanalwiderstand (EIN-Widerstand) der MOS-Transistoren $Q1a$ und $Q2a$. Typischerweise haben die Ausgangs-MOS-Transistoren $Q1a$ und $Q2a$ einen Kanalwiderstand (EIN-Widerstand) von mehreren 10Ω . Wenn die Widerstandselemente RH und RL annähernd den gleichen Widerstandswert haben, würde in diesem Ausgangsabschnitt durch die Widerstandselemente RH und RL ständig ein Durchgangsstrom von mehreren 10 mA fließen. D. h. unabhängig davon, ob Daten ausgegeben werden oder nicht, fließt durch die Amplitudenbegrenzungsschaltung 124 ständig der Durchgangsstrom, und der Stromverbrauch, insbesondere des Stroms im Bereitschaftszustand, würde nachteilig erhöht werden. Insbesondere wenn diese Halbleiterschaltungsvorrichtung eine Halbleiterspeichervorrichtung ist und Mehrbitdaten ausgibt, steigt der Durchgangsstrom weiter an, und die Halbleiterspeichervorrichtung kann nicht mit geringem Strom im Bereitschaftszustand betrieben werden.

[0030] Weiterhin schwanken die EIN-Widerstände der MOS-Transistoren $Q1a$ und $Q2a$ und die Widerstandswerte der Widerstandselemente RH und RL , wenn sich in dem Herstellungsvorgang ein Prozessparameter verändert. Wenn die EIN-Widerstände der Ausgangs-MOS-Transistoren $Q1a$ und $Q2a$ und die Widerstandswerte der Widerstandselemente RH und RL schwanken, schwanken dementsprechend auch die Ausgangsdaten DQ in der Amplitude, und ein Signal mit einer kleinen, konstanten Amplitude wird schwerlich hergestellt.

[0031] Wenn weiterhin der Ausgangsknoten 125 mit verschiedenen Lasten für verschiedene Systemanordnungen verbunden ist, unterscheiden sich dementsprechend die Daten vom Ausgangsknoten 125 für verschiedene Systeme in der Amplitude.

[0032] Fig. 14 zeigt noch einen anderen Aufbau des Ausgangsabschnitts der bekannten Halbleiterschaltungsvorrichtung. Die in Fig. 14 dargestellte Halbleiterschaltungsvorrichtung 130 beinhaltet eine Ausgangspufferschaltung 132

zum Treiben eines Ausgangsknotens 132a entsprechend den Ausgangssteuersignalen $/DQH$ und DQL , und ein strombegrenzendes Widerstandselement RS , das zwischen den Ausgangsknoten 132a und eine externe Signalleitung 140 geschaltet ist.

[0033] Die externe Signalleitung 140 ist über ein Abschlusswiderstandselement RT mit einer Abschlussspannungsquelle 142 verbunden. Die Abschlussspannungsquelle 142 liefert eine mittlere Spannung $VDD/2$.

[0034] Wenn sich in dem in Fig. 14 dargestellten Aufbau der MOS-Transistor $Q1b$ in einem EIN-Zustand befindet, fließt Strom über den MOS-Transistor $Q1b$, das Widerstandselement RS und den Abschlusswiderstand RT zu der Abschlussspannungsquelle 142. Wenn der Datenwert DQ auf H-Pegel liegt, hat der Datenwert mit H-Pegel somit einen Spannungspegel $V(DQH)$ wie in dem folgenden Ausdruck dargestellt:

$$V(DQH) = VDD \cdot RT / 2 \cdot (ON(Q1b) + RS + RT) + VDD / 2$$

wobei $ON(Q1b)$ den Kanalwiderstand (oder EIN-Widerstand) des MOS-Transistors $Q1b$ darstellt.

[0035] Wenn sich der MOS-Transistor $Q2b$ in dem EIN-Zustand befindet, fließt Strom von der Abschlussspannungsquelle 142 über die Widerstandselemente RT und RS und den MOS-Transistor $Q2b$ zu dem Masseknoten. Wenn der Datenwert DQ auf L-Pegel liegt, hat der Datenwert somit einen Spannungspegel $V(DQL)$ wie in dem folgenden Ausdruck dargestellt:

$$V(DQL) = VDD \cdot (ON(Q2b) + RS) / 2 \cdot (ON(Q2b) + RS + RT)$$

wobei $ON(Q2b)$ den Kanalwiderstand (oder EIN-Widerstand) des MOS-Transistors $Q2b$ darstellt.

[0036] Wenn wie in dem in Fig. 14 dargestellten Aufbau der Abschlusswiderstand RT verwendet wird, um Ausgangsdaten DQ bereitzustellen, die eine kleinere Amplitude haben als die Versorgungsspannung VDD , müssen die Widerstandselemente RS und RT im wesentlichen denselben Widerstandswert haben wie die EIN-Widerstände der MOS-Transistoren $Q1b$ und $Q2b$. Somit leitet der Abschlusswiderstand RT einen relativ hohen Strom.

[0037] Wenn weiterhin die EIN-Widerstände der MOS-Transistoren $Q1b$ und $Q2b$ bedingt durch die Schwankung eines Prozessparameters in einem Herstellungsvorgang, durch die Betriebstemperatur oder durch die Versorgungsspannung im Vergleich zu mit den Widerstandselementen RT und RS beträchtlich schwanken, ändert sich die Amplitude der Ausgangsdaten DQ beträchtlich, wie unten beschrieben.

[0038] Insbesondere durch Veränderung der Herstellungsparameter schwankt der EIN-Widerstand des MOS-Transistors in einem Bereich von annähernd ± 10 bis 20% . Bezüglich der Änderung des EIN-Widerstands des MOS-Transistors bei Veränderung der Betriebstemperatur schwankt der EIN-Widerstand des MOS-Transistors in einem Bereich von annähernd ± 8 bis 16% für eine Temperaturänderung von 100°C . Weiterhin verändert sich bei einer Veränderung der Versorgungsspannung von $\pm 10\%$ der EIN-Widerstand des MOS-Transistors in einem Bereich von annähernd ± 10 bis 15% . Wenn alle diese Schwankungsfaktoren in Betracht gezogen werden, ändert sich der EIN-Widerstand des MOS-Transistors in einem Bereich von annähernd ± 28 bis 51% .

[0039] Aus den obigen Ausdrücken erhält man eine Amplitude der Ausgangsdaten DQ von $V(DQH) - V(DQL)$ wie in dem folgenden Ausdruck dargestellt:

$$V(DQH) - V(DQL) = VDD \cdot RT / (ON(Q2b) + RS + RT)$$

wobei angenommen ist, dass die MOS-Transistoren Q1b und Q2b den gleichen EIN-Widerstand haben. Wenn der EIN-Widerstand des MOS-Transistors sich ändert, ändert sich auch die Amplitude der Ausgangsdaten. Wenn solche Schwankungsfaktoren wie oben beschrieben bewirken, dass der EIN-Widerstand des MOS-Transistors sich dergestalt ändert, dass die Amplitude der Ausgangsdaten vergrößert wird, können Daten nicht mit hoher Geschwindigkeit übertragen werden, und auch der Stromverbrauch steigt nachteilig an.

[0040] Wenn weiterhin die Halbleiterschaltungsvorrichtung 130 eine Halbleiterspeichervorrichtung ist und als Daten DQ Daten von z. B. 64 Bit ausgibt, muss die Abschlussspannungsquelle 142 die Abschlussspannung VDD/2 an 64 Datenbits gemeinsam zuführen. Wenn sich in diesem Zusammenhang die 64 Bit als viele Daten in eine einzige Richtung ändern, würden mehrere 100 mA Strom verbraucht werden. Während ein solcher Strom in den Ausgangsschaltungen verbraucht wird, muss der Spannungspegel der Abschlussspannung VDD/2 dementsprechend konstant gehalten werden, und so werden an die Abschlussspannungsquelle 142 strenge Anforderungen gestellt.

[0041] Insbesondere wenn eine Abschlussspannungsquelle aus einer einfachen Spannungsteilerschaltung gebildet wird, würde die Abschlussspannungsquelle von einem hohen Durchgangsstrom begleitet sein, was ungeeignet ist für Systeme mit geringem Leistungsverbrauch. Es tritt das Problem auf, dass es schwierig ist, eine Abschlussspannungsquelle mit einer kleinen belegten Fläche, einem geringen Leistungsverbrauch und einer großen Stromzufuhrfähigkeit aufzubauen.

[0042] Somit könnte entsprechend dem Aufbau einer Ausgangsschaltung in einer bekannten Halbleiterschaltungsvorrichtung ein Ausgangssignal/Daten mit kleiner Amplitude nicht stabil bei hoher Geschwindigkeit mit geringem Leistungsverbrauch übertragen werden.

[0043] Die Aufgabe der vorliegenden Erfindung besteht darin, eine Halbleiterspeichervorrichtung bereitzustellen, die in der Lage ist, genau und stabil ein Ausgangssignal/Daten mit einer kleinen Amplitude zu erzeugen. Weiterhin soll eine Halbleiterschaltungsvorrichtung bereitgestellt werden, die in der Lage ist, ohne einen zusätzlichen Leistungsversorgungsanschluss ein Ausgangssignal mit einer gewünschten Amplitude zu erzeugen.

[0044] Die Aufgabe wird erfüllt durch eine Halbleiterschaltungsvorrichtung nach Anspruch 1 und 9. Weiterbildungen der Erfindung sind in den Unteransprüchen gekennzeichnet.

[0045] Entsprechend einem ersten Aspekt der vorliegenden Erfindung beinhaltet eine Halbleiterspeichervorrichtung einen ersten Ausgangstransistor, der zwischen einen ersten Versorgungsknoten und einen Ausgangsknoten geschaltet ist, und eine erste Ausgangssteuerschaltung, die entsprechend einem ersten Ausgangssteuersignal aktiviert wird, zum Vergleichen einer Spannung des Ausgangsknotens mit einer ersten Referenzspannung und zum Steuern der Größe eines durch den ersten Ausgangstransistor fließenden Stroms entsprechend dem Ergebnis des Vergleichs.

[0046] Entsprechend einem zweiten Aspekt der vorliegenden Erfindung beinhaltet eine Halbleiterspeichervorrichtung: eine Mehrzahl von Pull-up-Transistoren, die parallel zueinander zwischen einen ersten Versorgungsknoten und einen Ausgangsknoten geschaltet sind; eine erste Referenzspannungserzeugeschaltung zum Erzeugen einer Mehrzahl von Pull-up-Referenzspannungen, die der Mehrzahl von Pull-up-Transistoren entsprechen und deren Spannungspegel voneinander verschieden sind; eine Mehrzahl von Pull-

up-Steuerschaltungen, die entsprechend der Mehrzahl von Pull-up-Transistoren angeordnet sind, von denen jede entsprechend einem ersten Ausgangssteuersignal aktiviert wird, zum Vergleichen einer Spannung des Ausgangsknotens mit einer entsprechenden von der ersten Referenzspannungserzeugeschaltung erzeugten Pull-up-Referenzspannung und zum Steuern eines Potentials einer Steuerelektrode eines entsprechenden Pull-up-Transistors entsprechend dem Ergebnis des Vergleichs; eine Mehrzahl von Pull-down-Transistoren, die parallel zueinander zwischen einen zweiten Versorgungsknoten und den Ausgangsknoten geschaltet sind; eine zweite Referenzspannungserzeugeschaltung zum Erzeugen einer Mehrzahl von Pull-down-Referenzspannungen, die der Mehrzahl von Pull-down-Transistoren entsprechen und deren Spannungspegel voneinander verschieden sind; und eine Mehrzahl von Pull-down-Steuerschaltungen, die entsprechend der Mehrzahl von Pulldown-Transistoren angeordnet sind, von denen jede entsprechend einem zweiten Ausgangssteuersignal aktiviert wird, zum Vergleichen der Spannung des Ausgangsknotens mit einer entsprechenden Pull-down-Referenzspannung und zum Ansteuern eines Potentials einer Steuerelektrode eines entsprechenden Pull-down-Transistors entsprechend dem Ergebnis des Vergleichs.

[0047] Eine Spannung an dem Ausgangsknoten wird mit einer Referenzspannung verglichen, und der Ausgangstransistor wird entsprechend dem Ergebnis des Vergleichs angesteuert. Somit kann der Spannungspegel des Ausgangsknotens auf einen der Referenzspannung entsprechenden Pegel eingestellt werden. Wenn die Referenzspannung auf einen von der Versorgungsspannung verschiedenen Spannungspegel eingestellt wird, kann ein Signal erzeugt werden, dessen Amplitude ständig auf einen bestimmten Spannungspegel begrenzt ist, unabhängig von der Änderung einer externen Last oder eines Transistorparameters.

[0048] Insbesondere wenn die Referenzspannungserzeugeschaltung mit einer Trimmfunktion versehen ist, kann der Pegel der Referenzspannung feinabgeglichen werden, und ein Signal wird erzeugt, dessen Amplitude ohne nachteiligen Einfluss einer Änderung der Prozessparameter auf einen gewünschten Spannungspegel begrenzt wird.

[0049] Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der beigefügten Zeichnungen. Von den Figuren zeigen

[0050] Fig. 1 einen Aufbau einer Halbleiterschaltungsvorrichtung gemäß einer ersten Ausführungsform der vorliegenden Erfindung;

[0051] Fig. 2 ein Signalverlaufdiagramm, das einen Betrieb der in Fig. 1 dargestellten Halbleiterschaltung darstellt; [0052] Fig. 3 ein Beispiel für einen Aufbau einer Schaltung zum Erzeugen einer in Fig. 1 dargestellten Referenzspannung;

[0053] Fig. 4 einen Aufbau einer Halbleiterschaltungsvorrichtung gemäß einer zweiten Ausführungsform der vorliegenden Erfindung;

[0054] Fig. 5A ein Signalverlaufdiagramm eines Ausgangssignals mit Ansprechverzögerung in einem Betrieb mit hoher Geschwindigkeit;

[0055] Fig. 5B ein Signalverlaufdiagramm, das einen Betrieb einer in Fig. 4 dargestellten Ausgangsschaltung darstellt;

[0056] Fig. 6 ein Beispiel für einen Aufbau einer Schaltung zum Erzeugen einer in Fig. 4 dargestellten Referenzspannung;

[0057] Fig. 7 ein Beispiel für einen Aufbau eines Abschnitts zum Erzeugen eines in Fig. 1 bzw. 4 dargestellten Ausgangsteuersignals;

[0058] Fig. 8 eine schematische Darstellung eines anderen Aufbaus zum Erzeugen eines in Fig. 1 bzw. 4 dargestellten Ausgangsteuersignals;

[0059] Fig. 9 ein Beispiel für einen Aufbau einer bekannten Ausgangsschaltung;

[0060] Fig. 10 eine Darstellung der Amplitudenänderung eines Ausgangssignals für verschiedene Betriebsfrequenzen der in Fig. 9 dargestellten Ausgangsschaltung;

[0061] Fig. 11 ein Signalverlaufdiagramm eines Ausgangssignals der in Fig. 9 dargestellten Halbleiterschaltungsvorrichtung in einem Betrieb mit hoher Geschwindigkeit;

[0062] Fig. 12 ein Beispiel für einen Gesamtaufbau einer bekannten Halbleiterschaltungsvorrichtung;

[0063] Fig. 13 ein Beispiel für einen Aufbau einer bekannten Ausgangsschaltung mit einer Amplitudenbegrenzungsfunktion;

[0064] Fig. 14 einen Aufbau einer anderen bekannten Ausgangsschaltung mit einer Amplitudenbegrenzungsfunktion.

[0065] Fig. 1 zeigt einen Aufbau eines Ausgangsabschnitts einer Halbleiterschaltungsvorrichtung entsprechend einer ersten Ausführungsform der vorliegenden Erfindung. Wie in Fig. 1 dargestellt, wird ein Datenausgangsknoten ND0 entsprechend den von einer in Fig. 9 dargestellten Ausgangstreibersteuerschaltung 100 ausgegebenen Ausgangsteuersignalen DQH und DQL angesteuert. Auch wenn im folgenden ein Betrieb eines Datenausgabeabschnitts zum Ausgeben von Daten DQ beschrieben wird, kann die Ausgangsschaltung gemäß der vorliegenden Erfindung z. B. eine normale Schaltung zum Ausgeben eines Steuersignals sein.

[0066] Die in Fig. 1 dargestellte Datenausgangsschaltung beinhaltet: eine Vergleicherschaltung 2, die bei Aktivierung des Ausgangsteuersignals DQH freigegeben wird, zum Vergleichen der Spannung des Ausgangsknotens ND0 mit einer Referenzspannung VHset; eine Vergleicherschaltung 3, die bei Aktivierung des Ausgangsteuersignals DQL freigegeben wird, zum Vergleichen der Spannung des Ausgangsknotens ND0 mit einer Referenzspannung VLset; und eine Ausgangspufferschaltung 1, die den Ausgangsknoten ND0 entsprechend den von den Vergleicherschaltungen 2 und 3 ausgegebenen Signalen VG1 und VG2 ansteuert.

[0067] Die Ausgangspufferschaltung 1 beinhaltet einen p-Kanal MOS-Transistor Q1, der zwischen einen Versorgungsknoten und einen Ausgangsknoten ND0 geschaltet ist und an seinem Gate das von der Vergleicherschaltung 2 ausgegebene Signal VG1 empfängt, und einen n-Kanal MOS-Transistor Q2, der zwischen den Ausgangsknoten ND0 und einen Masseknoten geschaltet ist und an seinem Gate das von der Vergleicherschaltung 3 ausgegebene Signal VG2 empfängt.

[0068] Die Vergleicherschaltung 2 beinhaltet: Eine Differenzverstärkerschaltung 4, die zum Vergleichen der Spannung des Ausgangsknotens ND0 mit der Referenzspannung VHset freigegeben wird, zum Erzeugen eines Treibersteuersignals VG1 entsprechend dem Ergebnis des Vergleichs; einen n-Kanal MOS-Transistor Q15, der die Differenzverstärkerschaltung 4 freigibt, wenn das Ausgangsteuersignal DQH aktiviert ist; und einen p-Kanal MOS-Transistor Q16, um das Ausgangstreibersteuersignal VG1 auf dem Pegel einer Versorgungsspannung VDD zu halten, wenn es deaktiviert ist.

[0069] Die Differenzverstärkerschaltung 4 beinhaltet: Einen p-Kanal MOS-Transistor Q11, der zwischen einen Versorgungsknoten und den Knoten ND1 geschaltet ist und dessen Gate mit einem Knoten ND2 verbunden ist; einen p-Kanal MOS-Transistor Q12, der zwischen einen Versorgungs-

knoten und den Knoten ND2 geschaltet ist und dessen Gate mit dem Knoten ND2 verbunden ist; einen n-Kanal MOS-Transistor Q13, der zwischen die Knoten ND1 und ND3 geschaltet ist und an seinem Gate die Referenzspannung

VHset empfängt; und einen n-Kanal MOS-Transistor Q14, der zwischen die Knoten ND3 und ND2 geschaltet ist und dessen Gate mit dem Ausgangsknoten ND0 verbunden ist.

[0070] Ein MOS-Transistor Q15 ist zwischen den Knoten ND3 und den Masseknoten geschaltet und empfängt an seinem Gate das Ausgangsteuersignal DQH. Ein MOS-Transistor Q16 ist zwischen einen Versorgungsknoten und einen Knoten ND1 geschaltet und empfängt an seinem Gate das Ausgangsteuersignal DQH. Die Backgates der MOS-Transistoren Q11, Q12 und Q16 sind jeweils mit einem Versorgungsknoten verbunden.

[0071] Wenn in dem Aufbau der Vergleicherschaltung 2 das Ausgangsteuersignal DQH auf dem L-Pegel eines inaktiven Zustands liegt, ist der MOS-Transistor Q15 eingeschaltet und der MOS-Transistor Q16 eingeschaltet. In der Differenzverstärkerschaltung 4 ist ein Pfad für das Fließen eines Betriebsstromes unterbrochen, und die Differenzverstärkerschaltung 4 bleibt in einem inaktiven Zustand. Knoten ND1 wird durch den MOS-Transistor Q16 auf dem Versorgungsspannungspegel VDD gehalten. In diesem Zustand liegt das Ausgangstreibersteuersignal VG1 auf dem Versorgungsspannungspegel VDD, und in der Ausgangspufferschaltung 1 bleibt der MOS-Transistor Q1 in ausgeschaltetem Zustand.

[0072] Wenn das Ausgangsteuersignal DQH den H-Pegel erhält, ist der MOS-Transistor Q15 eingeschaltet und der MOS-Transistor Q16 ausgeschaltet. Damit wird in der Differenzverstärkerschaltung 4 ein Pfad zum Fließen eines Betriebsstromes gebildet, und die Differenzverstärkerschaltung 4 führt eine Differenzverstärkung durch.

[0073] In der Differenzverstärkerschaltung 4 bilden die MOS-Transistoren Q11 und Q12 eine Stromspiegelschaltung, und ein Spiegelstrom des Stroms, der durch den MOS-Transistor Q12 fließt, fließt durch den MOS-Transistor Q11. Die MOS-Transistoren Q13 und Q14 bilden eine Differenzstufe zum Verstärken der Differenz zwischen der Referenzspannung VHset und der Spannung des Ausgangsknotens ND0.

[0074] Wenn die Referenzspannung VHset kleiner ist als die Spannung des Ausgangsknotens ND0, wird der MOS-Transistor Q14 leitfähiger als der MOS-Transistor Q13 und die MOS-Transistoren Q12 und Q14 bewirken, dass ein großer Strom fließt. Der Spiegelstrom des MOS-Transistors Q11 kann nicht ganz über den MOS-Transistor Q13 abgeleitet werden, der Spannungspegel des Ausgangstreibersteuersignals VG1 am Knoten ND1 steigt auf H-Pegel (den Versorgungsspannungspegel VDD), und in der Ausgangspufferschaltung 1 schaltet der MOS-Transistor Q1 aus.

[0075] Wenn die Spannung am Ausgangsknoten ND0 kleiner ist als die Referenzspannung VHset, wird der MOS-Transistor Q13 leitfähiger als der MOS-Transistor Q14, der MOS-Transistor Q13 kann den gesamten von dem MOS-Transistor Q11 zugeführten Spiegelstrom ableiten, und das Ausgangstreibersteuersignal VG1 am Knoten ND1 erhält den L-Pegel, und der MOS-Transistor Q1 versorgt den Ausgangsknoten ND0 mit Strom.

[0076] Somit wird der H-Pegel der Daten DQ des Ausgangsknotens ND0 auf den Spannungspegel der Referenzspannung VHset gesetzt.

[0077] Die Vergleicherschaltung 3 beinhaltet eine Differenzverstärkerschaltung 5, die zum Verstärken der Differenz zwischen der Referenzspannung VLset und der Spannung des Ausgangsknotens ND0 freigegeben wird; einen p-Kanal MOS-Transistor Q25, der entsprechend einem L-Pegel des

komplementären Ausgangssteuersignals/DQL leitend gemacht wird, das über einen Inverter 6 zugeführt wird, der das Ausgangssteuersignal DQL empfängt, zum Versorgen der Differenzverstärkerschaltung 5 mit einem Eoetriebsstrom; und einen n-Kanal MOS-Transistor Q26, der entsprechend einem H-Pegel des komplementären Ausgangssteuersignals /DQL leitend gemacht wird und das Ausgangstreibersteuersignal VG2 von der Differenzverstärkerschaltung 5 auf dem Massespannungspegel hält.

[0078] Die Differenzverstärkerschaltung 5 beinhaltet: einen p-Kanal MOS-Transistor Q23, der zwischen einen internen Betriebsversorgungsknoten ND4 und den Knoten ND5 geschaltet ist und an seinem Gate die Referenzspannung VLset empfängt; einen p-Kanal MOS-Transistor Q24, der zwischen die Knoten ND4 und ND6 geschaltet ist und dessen Gate mit dem Ausgangsknoten ND0 verbunden ist; einen n-Kanal MOS-Transistor Q21, der zwischen den Knoten ND5 und den Masseknoten geschaltet ist und dessen Gate mit dem Knoten ND6 verbunden ist; und einen n-Kanal MOS-Transistor Q22, der zwischen den Knoten ND6 und den Masseknoten geschaltet ist und dessen Gate mit dem Knoten ND6 verbunden ist.

[0079] Ein MOS-Transistor Q25 führt der Differenzverstärkerschaltung 5 in leitendem Zustand die Versorgungsspannung VDD an einem internen Betriebsversorgungsknoten ND4 zu.

[0080] In dem Aufbau der Differenzverstärkerschaltung 5 bilden die MOS-Transistoren Q21 und Q22 eine Stromspiegelschaltung, und ein Spiegelstrom des Stroms, der durch den MOS-Transistor Q22 fließt, fließt durch den MOS-Transistor Q21.

[0081] Die MOS-Transistoren Q23 und Q24 bilden eine Differenzstufe zum Verstärken der Differenz zwischen der Referenzspannung VLset und der Spannung des Ausgangsknotens ND0. Die Backgates der MOS-Transistoren Q23 und Q24 sind aus den folgenden Gründen mit der Versorgungsspannung VDD verbunden: um zu verhindern, dass ein Substratbereich in einen schwebenden Zustand mit instabilem Substratpotential gerät, wenn die Differenzverstärkerschaltung 5 sich in einem inaktiven Zustand befindet, und um die MOS-Transistoren Q25, Q23 und Q24 in einer gemeinsamen Wanne oder Substratbereich auszubilden, um die Belegungsfläche der Schaltung zu verringern.

[0082] Wenn das Ausgangssteuersignal DQL auf L-Pegel liegt und das komplementäre Ausgangssteuersignal /DQL auf H-Pegel, ist in der Vergleicherschaltung 3 der MOS-Transistor 25 ausgeschaltet und der MOS-Transistor Q26 eingeschaltet. Somit bleibt die Differenzverstärkerschaltung 5 in einem inaktiven Zustand, das Ausgangstreibersteuersignal VG2 an Knoten ND5 liegt auf Massespannungspegel, und der MOS-Transistor Q2 in der Ausgangspufferschaltung 1 bleibt in ausgeschaltetem Zustand.

[0083] Wenn die Vergleicherschaltung 3 sich in dem inaktiven Zustand befindet, ist der MOS-Transistor Q25 ausgeschaltet und die Differenzverstärkerschaltung 5 wird nicht mit Betriebsstrom versorgt. Somit wird der Knoten ND4 auf den Massespannungspegel entladen.

[0084] Wenn das Ausgangssteuersignal DQL den H-Pegel erhält, erhält das komplementäre Ausgangssteuersignal /DQL den L-Pegel, der MOS-Transistor Q25 wird leitend und der MOS-Transistor Q26 nicht leitend. Die Differenzverstärkerschaltung 5 empfängt über den MOS-Transistor Q25 Betriebsstrom, führt Differenzverstärkung durch und erzeugt entsprechend dem Spannungsunterschied zwischen der Spannung des Ausgangsknotens ND0 und der Referenzspannung VLset das Ausgangstreibersteuersignal VG2.

[0085] Wenn der Ausgangsknoten ND0 einen höheren Spannungspegel erhält als die Referenzspannung VLset,

wird der MOS-Transistor Q23 leitfähiger als der MOS-Transistor Q24, und durch den MOS-Transistor Q23 fließt ein größerer Strom als durch den MOS-Transistor Q24. Der MOS-Transistor Q22 leitet den von dem MOS-Transistor Q24 zugeführten Strom zu dem Masseknoten ab, und durch den MOS-Transistor Q21 fließt ein Spiegelstrom des durch den MOS-Transistor Q22 fließenden Stromes. Somit empfängt in diesem Zustand der MOS-Transistor Q23 einen größeren Strom als den Spiegelstrom, der durch MOS-Transistor Q21 fließt, der Spannungspegel des Knotens ND5 steigt an, der Spannungspegel des Ausgangssteuersignals VG2 steigt an, und der MOS-Transistor Q2 wird leitend gemacht. [0086] Wenn der Ausgangsknoten ND0 einen kleineren Spannungspegel hat als die Referenzspannung VLset, wird der MOS-Transistor Q24 leitfähiger als der MOS-Transistor Q23, und durch den MOS-Transistor Q24 fließt ein größerer Strom als der, der durch den MOS-Transistor Q23 fließt. Unter dieser Bedingung erhält das Ausgangstreibersteuersignal VG2 an Knoten ND5 den Massespannungspegel, und in der Ausgangspufferschaltung 1 wird der MOS-Transistor Q2 nichtleitend gemacht.

[0087] Somit wird der L-Pegel der Ausgangsspannung DQ des Ausgangsknotens ND0 auf den Spannungspegel der Referenzspannung VLset gesetzt.

[0088] Die Referenzspannung VHset ist kleiner eingestellt als die Versorgungsspannung VD, während die Referenzspannung VLset einzeln höher eingestellt ist als die Massespannung. In dem Aufbau, in dem die Versorgungsspannung VDI und die Massespannung GND als Betriebsversorgungsspannungen zum Treiben der Ausgangsschaltung verwendet werden, kann die Amplitude der Ausgangsdaten DQ somit durch die Referenzspannungen bestimmt werden, und daher kann ein Signal mit einer kleineren Amplitude als die Versorgungsspannung VDD erzeugt werden. Die Amplitude der Ausgangsdaten kann entsprechend den Spannungspegeln der Referenzspannungen VHset und VLset auf einen gewünschten Wert eingestellt werden. Weiterhin kann einfach die Versorgungsspannung VDD verwendet werden, und auf einen zusätzlichen Versorgungsanschluss für die Amplitudenbegrenzung kann verzichtet werden.

[0089] Fig. 2 ist ein Signalverlaufdiagramm, das einen Betrieb der in Fig. 1 dargestellten Halbleiterschaltung darstellt. Während die Ausgangsschaltung mit der Versorgungsspannung VDD und der Massespannung GND als Betriebsversorgungsspannungen versorgt wird, können die Vergleicherschaltungen 2 und 3, wie in Fig. 2 dargestellt, den H-Pegel und den L-Pegel der Ausgangsdaten DQ jeweils auf den Pegel der Referenzspannung VHset bzw. den Pegel der Referenzspannung VLset begrenzen. Somit sind auch in einem Betrieb mit hoher Geschwindigkeit die Ausgangsdaten in ihrer Amplitude auf die Spannung VHset und VLset begrenzt und können ohne Verzerrung des Signalverlaufs mit hoher Geschwindigkeit übertragen werden.

[0090] Auch wenn weiterhin das Ausgangsdatenmuster nicht gleichförmig ist oder Daten mit gemeinsamen Logikpegel nacheinander ausgegeben werden, würden die Ausgangsdaten DQ, deren H- und L-Pegel jeweils auf die Referenzspannungen VHset und VLset gesetzt sind, nicht zu der Versorgungsspannung VDD oder der Massespannung GND hin getrieben werden. Somit werden die Ausgangsdaten in ihrem Potentialpegel nicht in eine Richtung verschoben und können daher bei hoher Geschwindigkeit richtig übertragen werden.

[0091] Durch die Verwendung der in Fig. 1 dargestellten Vergleicherschaltungen 2 und 3 zum Begrenzen der Amplitude kann weiterhin ein Signal mit CMOS-Pegel in ein Signal mit einer kleinen Amplitude umgewandelt werden, das

zum Übertragen an eine Schaltungsvorrichtung mit einer Schnittstelle mit kleiner Amplitude geeignet ist wie z. B. SSTL (stub series terminated transistor logic), CTT (center tap terminated interface).

[0092] Durch Verwendung einer Differenzverstärkerschaltung, die eine Referenzspannung für den H/L-Pegel einer solchen Schnittstelle mit kleiner Amplitude als Eingangspuffer in einem Eingangsabschnitt empfängt, kann die Halbleiterschaltungsvorrichtung entsprechend der vorliegenden Erfindung auch in einem System angewendet werden, die eine Schnittstellenschaltung beinhaltet, die ein Signal mit einer kleinen Amplitude überträgt.

[0093] Fig. 3 zeigt ein Beispiel für den Aufbau einer Referenzspannungserzeugerschaltung zum Erzeugen der in Fig. 1 dargestellten Referenzspannungen VHset und VLset. Die in Fig. 3 dargestellte Referenzspannungserzeugerschaltung beinhaltet: einen p-Kanal MOS-Transistor Q31, der zwischen einen Versorgungsknoten und einen Knoten ND7 geschaltet ist und dessen Gate mit dem Knoten ND7 verbunden ist; ein Widerstandselement R31, das zwischen die Knoten ND7 und ND8 geschaltet ist; einen n-Kanal MOS-Transistor Q33, der zwischen den Knoten ND8 und einen Masseknoten geschaltet ist und dessen Gate mit dem Knoten ND8 verbunden ist; einen p-Kanal MOS-Transistor Q32, der zwischen einen Versorgungsknoten und einen Knoten ND9 geschaltet ist und dessen Gate mit dem Knoten ND7 verbunden ist; ein Widerstandselement R32, das zwischen den Knoten ND9 und einen Masseknoten geschaltet ist; ein Widerstandselement R33, das zwischen den Versorgungsknoten und einen Knoten ND10 geschaltet ist; und einen n-Kanal MOS-Transistor Q34, der zwischen den Knoten ND10 und den Masseknoten geschaltet ist und dessen Gate mit dem Knoten ND8 verbunden ist.

[0094] Die Widerstandswerte der Widerstandselemente R32 und R33 können z. B. durch Lasertrimmen eingestellt werden. Die Widerstandselemente R32 und R33 sind z. B. aus Einheitswiderstandselementen, die in Serie geschaltet werden, und aus Verbindungselementen, die parallel zu den Einheitswiderstandselementen geschaltet werden, ausgebildet. Beim Lasertrimmen werden die parallel zu den Einheitswiderstandselementen geschalteten Verbindungselemente z. B. durch den Laser selektiv durchtrennt zum Abgleichen der Widerstandswerte.

[0095] Der Widerstandswert des Widerstandselements R31 ist hinreichend größer als die Kanalwiderstände (EIN-Widerstände) der MOS-Transistoren Q31 und Q33. Unter dieser Bedingung arbeiten die MOS-Transistoren Q31 und Q33 in eine Diodenbetriebsart, und jeder bewirkt einen Spannungsabfall von dem Absolutwert einer Schwellenspannung. Somit wird der Strom I durch den folgenden Ausdruck dargestellt:

$$I = (VDD - |V_{thp}| - V_{thn})/R31$$

wobei V_{thp} und V_{thn} jeweils eine Schwellenspannung der MOS-Transistoren Q31 und Q33 darstellen und R31 den Widerstandswert des Widerstandselements R31. Wenn die Versorgungsspannung VDD konstant ist, ist auch der Strom I ein konstanter Strom. Die MOS-Transistoren Q31 und Q32 bilden eine Stromspiegelschaltung, und wenn sie dieselbe Größe haben, fließt der Strom I durch den MOS-Transistor Q32. Wenn das veränderliche Widerstandselement R32 einen Widerstandswert R32 hat, wird die an Knoten ND9 erzeugte Referenzspannung VLset durch den folgenden Ausdruck dargestellt:

$$VLset = I \cdot R32$$

[0096] Weiterhin bilden die MOS-Transistoren Q33 und Q34 einen Stromspiegel, und wenn sie dieselbe Größe haben, fließt durch den MOS-Transistor Q34 der Strom I. Somit wird die an Knoten ND11 erzeugte Referenzspannung VHset durch den folgenden Ausdruck dargestellt:

$$VHset = VDD - I \cdot R33$$

[0097] Das einzelne Einstellen der Widerstandswerte der Widerstandselemente R32 und R33 ermöglicht es, dass jede der Referenzspannungen VLset und VHset auf einen gewünschten Spannungspegel eingestellt wird. Wenn insbesondere die Widerstandselemente R32 und R33 denselben Widerstandswert aufweisen, können VLset und VDD-VHset auf denselben Spannungswert gesetzt werden, und Daten mit H- und L-Pegel können mit derselben Amplitude übertragen werden, wobei VDD/2 in der Mitte liegt.

[0098] Weiterhin können dadurch, dass die Widerstandselemente R32 und R33 jeweils aus lasertrimmbaren Widerstandselementen mit einem einstellbaren Widerstandswert ausgebildet sind, die Referenzspannung VLset und VHset auf einen gewünschten Spannungspegel eingestellt werden, auch wenn die Eigenschaften der Vorrichtung durch eine Veränderung der Prozessparameter bei dem Herstellungsvorgang oder anderen schwanken. Wenn sich z. B. ein Prozessparameter ändert und dementsprechend die MOS-Transistoren Q31 und Q33 veränderte Schwellenspannungen haben und das Widerstandselement R31 einen veränderten Widerstandswert, ändert sich der Wert des Stroms I. In diesem Fall können die Widerstandselemente R32 und R33 lasergetrimmt werden zum Einstellen ihrer Widerstandswerte, so dass jede der Referenzspannung VLset und VHset auf einen gewünschten Spannungspegel eingestellt wird.

[0099] Insbesondere dadurch, dass die Referenzspannungen VLset und VHset in ihren eigenen getrennten Pfaden erzeugt werden, ermöglichen es die Widerstandselemente R32 und R33, dass die Spannungspegel der Referenzspannungen VLset und VHset jeweils einzeln eingestellt werden können, um mit hoher Genauigkeit ein Signal mit einer gewünschten Amplitude zu erzeugen.

[0100] Weiterhin werden die Referenzspannung VLset und VHset jeweils den in Fig. 1 dargestellten Differenzverstärkerschaltungen 5 und 4 zugeführt und an die Gates von MOS-Transistoren angelegt. Daher müssen die Referenzspannungen VLset und VHset nur die Gatekapazitäten der in Fig. 1 dargestellten MOS-Transistoren Q23 und Q13 aufladen, sie müssen keine große Stromsteuerfähigkeit aufweisen, und der Strom I kann einen Wert haben, der auf die Größenordnung von μA verringert ist. Somit kann der Stromverbrauch der Referenzspannungserzeugerschaltung hinreichend verringert werden.

[0101] Die in Fig. 3 dargestellte Referenzspannungserzeugerschaltung erzeugt einen Strom I, der von der Versorgungsspannung VDD abhängt. Der Schaltungsaufbau ist zum Verringern einer Schaltungslayoutfläche vereinfacht. Es kann jedoch ein Referenzstromerzeugungsabschnitt verwendet werden, um einen Strom zu erzeugen, der nicht von der Versorgungsspannung abhängt.

[0102] Weiterhin können die Differenzverstärkerschaltungen 4 und 5 ein Signal ausgeben, dass sich wie oben beschrieben in einer analogen Weise ändert, oder sie können ein Signal ausgeben, das sich digital zwischen den zwei Werten des H- und L-Pegels ändert.

[0103] Entsprechend der ersten Ausführungsform der vorliegenden Erfindung wird die Spannung an einem Ausgangsknoten bei Aktivierung eines Ausgangsteuersignals mit einer Referenzspannung verglichen, und der Ausgangstransistor wird entsprechend dem Ergebnis des Vergleichs

angesteuert. Somit kann die Amplitude eines Signals/der Daten des Ausgangsknoten auf den Pegel der Referenzspannung begrenzt werden, und ohne einen zusätzlichen Versorgungsanschluss für die Strombegrenzung kann ein Signal mit einer kleinen Amplitude wie gewünscht mit hoher Genauigkeit und geringem Leistungsverbrauch erzeugt werden.

[0104] Fig. 4 zeigt einen Aufbau einer Halbleiterschaltungsvorrichtung entsprechend einer zweiten Ausführungsform der vorliegenden Erfindung. Wie in Fig. 4 dargestellt, beinhaltet die Halbleiterschaltungsvorrichtung: eine Vergleicherschaltung 11, die bei Aktivierung des Ausgangssteuerersignals DQH freigegeben wird, zum Vergleichen der Spannung eines Ausgangsknotens ND11 mit einer Referenzspannung VHset1, zum Erzeugen des Ausgangstreibersteuersignals VG1 entsprechend dem Ergebnis des Vergleichs; eine Vergleicherschaltung 12, die bei Aktivierung des Ausgangssteuerersignals DQH freigegeben wird, zum Vergleichen der Spannung des Ausgangsknotens ND11 mit einer Referenzspannung VHset2, zum Erzeugen eines Ausgangstreibersteuersignals VG3 entsprechend dem Ergebnis des Vergleichs; eine Vergleicherschaltung 13, die bei Aktivierung des Ausgangssteuerersignals DQL freigegeben wird, zum Vergleichen der Spannung des Ausgangsknotens ND11 mit einer Referenzspannung VLset1 zum Erzeugen eines Ausgangstreibersteuersignals VG2 entsprechend dem Ergebnis des Vergleichs; eine Vergleicherschaltung 14, die bei Aktivierung des Ausgangssteuerersignals DQL freigegeben wird, zum Vergleichen der Spannung des Ausgangsknotens ND11 mit einer Referenzspannung VLset2, zum Erzeugen eines Ausgangstreibersteuersignals VG4 entsprechend dem Ergebnis des Vergleichs; und eine Ausgangspufferschaltung 10 zum Treiben des Ausgangsknotens ND11 zum Erzeugen von Ausgangsdaten DQ entsprechend den Ausgangstreibersteuersignalen VG1 bis VG4.

[0105] Die Referenzspannung VHset1 ist kleiner als die Referenzspannung VHset2, und die Referenzspannung VLset1 ist größer als die Referenzspannung VLset2.

[0106] Die Ausgangspufferschaltung 10 beinhaltet: einen p-Kanal MOS-Transistor Q41, der zwischen einen Versorgungsknoten und den Ausgangsknoten ND11 geschaltet ist und an seinem Gate das Ausgangstreibersteuersignal VG1 empfängt; einen p-Kanal MOS-Transistor Q43, der zwischen den Versorgungsknoten und den Ausgangsknoten ND11 geschaltet ist und an seinem Gate das Ausgangstreibersteuersignal VG3 empfängt; einen n-Kanal MOS-Transistor Q42, der zwischen den Ausgangsknoten ND11 und einen Masseknoten geschaltet ist und an seinem Gate das Ausgangstreibersteuersignal VG2 empfängt; und einen n-Kanal MOS-Transistor Q44, der zwischen den Ausgangsknoten ND11 und den Masseknoten geschaltet ist und an seinem Gate das Ausgangstreibersteuersignal VG4 empfängt.

[0107] Der MOS-Transistor Q41 ist in seiner Größe (d. h. dem Verhältnis von Kanalweite zu Kanallänge W/L) größer ausgebildet als der MOS-Transistor Q43, und der MOS-Transistor Q42 ist in seiner Größe größer ausgebildet als der MOS-Transistor Q44. Somit haben unter der Voraussetzung derselben Gate-Source-Spannung die MOS-Transistoren Q41 und Q42 eine höhere Stromzufuhrfähigkeit als die MOS-Transistoren Q43 und Q44.

[0108] Die Ausgangspufferschaltung 10 zieht den Ausgangsknoten ND11 entsprechend den Ausgangstreibersteuersignalen VG1 und VG3 in zwei Schritten nach oben und entsprechend den Ausgangstreibersteuersignalen VG2 und VG4 in zwei Schritten nach unten.

[0109] Die Vergleicherschaltung 11 beinhaltet: p-Kanal MOS-Transistoren Q411 und Q412, die mit einem Versorgungsknoten verbunden sind und eine Stromspiegelschal-

tung bilden; n-Kanal MOS-Transistoren Q413 und Q414, die eine Differenzstufe bilden, die Strom von den MOS-Transistoren Q411 und Q412 empfängt und die Spannung am Ausgangsknoten ND11 mit der Referenzspannung VHset1 vergleicht; einen n-Kanal MOS-Transistor Q415, der bei Aktivierung des Ausgangssteuerersignals DQH leitend gemacht wird und in leitendem Zustand einen Pfad für das Fließen eines Betriebsstroms für die aus den MOS-Transistoren Q411 bis Q414 gebildete Differenzverstärkerschaltung bildet; und einen p-Kanal MOS-Transistor Q416, der bei Deaktivierung des Ausgangssteuerersignals DQH leitend gemacht wird und im leitenden Zustand das Ausgangstreibersteuersignal VG1 auf dem Versorgungsspannungspegel VDD hält. Das Ausgangstreibersteuersignal VG1 wird an einem Knoten erzeugt, der mit den MOS-Transistoren Q411 und Q413 verbunden ist.

[0110] Die Vergleicherschaltung 12 beinhaltet: p-Kanal MOS-Transistoren Q431 und Q432, die eine Stromspiegelschaltung bilden; n-Kanal MOS-Transistoren Q433 und Q434, die eine Differenzstufe bilden, die die Spannung des Ausgangsknotens ND11 mit der Referenzspannung VHset2 vergleicht; einen n-Kanal MOS-Transistor Q435, der bei Aktivieren des Ausgangssteuerersignals DQH leitend gemacht wird zum Bilden eines Pfads für das Fließen eines Betriebsstroms durch die MOS-Transistoren Q431 bis Q434; und einen p-Kanal MOS-Transistor Q436, der bei Deaktivierung des Ausgangssteuerersignals DQH leitend gemacht wird und in leitendem Zustand das Ausgangstreibersteuersignal VG3 auf dem Versorgungsspannungspegel VDD hält.

[0111] Die MOS-Transistoren Q431 bis Q434 bilden eine Differenzverstärkerschaltung, und der MOS-Transistor Q435 wirkt in leitendem Zustand als ein Stromquellentransistor für die Differenzverstärkerschaltung. Das Ausgangstreibersteuersignal VG3 wird einem Knoten entnommen, der die MOS-Transistoren Q431 und Q433 verbindet.

[0112] Die Vergleicherschaltung 13 beinhaltet: p-Kanal MOS-Transistoren Q423 und Q424, die eine Differenzstufe bilden zum Vergleichen der Spannung des Ausgangsknotens ND11 mit der Referenzspannung VLset1; n-Kanal MOS-Transistoren Q421 und Q422, die eine Stromspiegelschaltung bilden, die durch die MOS-Transistoren Q423 und Q424 einen Strom derselben Größe fließen lässt; einen p-Kanal MOS-Transistor Q425, der leitend gemacht wird, wenn das von dem Inverter 6, der das Ausgangssteuerersignal DQL empfängt, ausgegebene Ausgangssteuerersignal/DQL aktiviert ist, um die MOS-Transistoren Q423 und Q424 mit der Versorgungsspannung VDD zu versorgen; und ein n-Kanal MOS-Transistor Q426, der bei Deaktivierung des komplementären Ausgabesteuersignals/DQL leitend gemacht wird, um das Ausgangssteuerersignal VG2 auf dem Massespannungspegel zu halten.

[0113] Das Ausgangstreibersteuersignal VG2 wird an einem Verbindungsknoten zwischen den MOS-Transistoren Q423 und Q421 erzeugt. Die MOS-Transistoren Q421 bis Q424 bilden eine Differenzverstärkerschaltung, und der MOS-Transistor Q425 dient in leitendem Zustand als Stromquellentransistor für die Differenzverstärkerschaltung.

[0114] Der MOS-Transistor Q422 dient als Master-Stufe der Stromspiegelschaltung. Die Backgates der MOS-Transistoren Q423 und Q424 sind mit dem Versorgungsknoten verbunden. Die Vergleicherschaltung 14 beinhaltet: n-Kanal MOS-Transistoren Q441 und Q442, die eine Stromspiegelschaltung bilden; p-Kanal MOS-Transistoren Q443 und Q444, die eine Differenzstufe bilden, deren Strom durch die MOS-Transistoren Q441 und Q442 gesteuert wird, zum Vergleichen der Spannung des Ausgangsknotens ND11 mit

der Referenzspannung VLset2; einen p-Kanal MOS-Transistor Q445, der bei Aktivierung des komplementären Ausgangsteuersignals/DQL leitend gemacht wird, zum Übertragen der Versorgungsspannung VDD an die MOS-Transistoren Q443 und Q444; und einen n-Kanal MOS-Transistor Q446, der bei Deaktivierung des komplementären Ausgangsteuersignals/DQL leitend gemacht wird, um das Ausgangstreibersteuersignal VG4 auf dem Massespannungspegel zu halten. Das Ausgangstreibersteuersignal VG4 wird an einem Knoten erzeugt, der die MOS-Transistoren Q443 und Q441 verbindet.

[0115] Der MOS-Transistor Q442 dient als Master-Stufe der Stromsteuerschaltung. Die Backgates der MOS-Transistoren Q443 und Q444 sind mit dem Versorgungsknoten verbunden.

[0116] Wenn die Vergleicherschaltungen 11 und 12 freigegeben werden und der Ausgangsknoten ND11 auf einem Spannungspegel liegt, der kleiner ist als die Referenzspannungen VHset1 und VHset2, legen die Vergleicherschaltungen 11 und 12 die Ausgangstreibersteuersignale VG1 und VG3 auf L-Pegel. Wenn der Ausgangsknoten ND11 auf einem Spannungspegel liegt, der größer ist als die Referenzspannungen VHset1 und VHset2, legen die Vergleicherschaltungen 11 und 12 die Ausgangstreibersteuersignale VG1 und VG3 auf H-Pegel. Wenn der Ausgangsknoten ND11 auf einem Spannungspegel zwischen den Referenzspannungen VHset1 und VHset2 liegt, erhält das Ausgangsteuersignale VG1 den H-Pegel und das Ausgangsteuersignale VG3 den L-Pegel.

[0117] In der Ausgangspufferschaltung 10 treibt der MOS-Transistor Q41 den Ausgangsknoten ND11 auf den Spannungspegel der Referenzspannung VHset1, während der MOS-Transistor Q43 den Ausgangsknoten ND11 auf den Spannungspegel der Referenzspannung VHset2 treibt. Da der MOS-Transistor Q41 größer ist als der MOS-Transistor Q43, treibt der MOS-Transistor Q41 beim Hinaufziehen der Ausgangsdaten DQ den Knoten ND11 schnell auf den Spannungspegel der Referenzspannung VHset1, und dann treibt der MOS-Transistor Q43 den Knoten ND11 auf den Spannungspegel der Referenzspannung VHset2. So kann im Betrieb mit hoher Geschwindigkeit das Entstehen eines Überschwingers verhindert werden.

[0118] Wenn der Ausgangsknoten ND11 auf einer Spannung liegt, die größer ist als die Referenzspannung VLset1, legt die Vergleicherschaltung 13 das Ausgangstreibersteuersignal VG2 auf H-Pegel, und wenn der Ausgangsknoten ND11 auf einer Spannung liegt, die kleiner ist als die Referenzspannung VLset1, legt die Vergleicherschaltung 13 das Ausgangstreibersteuersignal VG2 auf L-Pegel.

[0119] Wenn der Ausgangsknoten ND11 auf einer Spannung liegt, die größer ist als die Referenzspannung VLset2, legt die Vergleicherschaltung 14 das Ausgangstreibersteuersignal VG4 auf H-Pegel, und wenn der Ausgangsknoten ND11 auf einer Spannung liegt, die kleiner ist als die Referenzspannung VLset2, legt die Vergleicherschaltung 14 das Ausgangsteuersignal VG4 auf L-Pegel.

[0120] Beim Hinunterziehen des Ausgangsknotens ND11 in der Ausgangspufferschaltung 10 treibt der MOS-Transistor Q42 den Ausgangsknoten ND11 auf den Spannungspegel der Referenzspannung VLset1, und der MOS-Transistor Q44 treibt den Ausgangsknoten ND11 auf den Spannungspegel der Referenzspannung VLset2. Da der MOS-Transistor Q42 größer ist als der MOS-Transistor Q44, wird der Ausgangsknoten ND11 hinuntergezogen, indem er zunächst schnell durch den MOS-Transistor Q42 auf den Spannungspegel der Referenzspannung VLset1 getrieben wird und dann langsam durch den MOS-Transistor Q44 auf den Spannungspegel der Referenzspannung VLset2. So kann das

Entstehen eines Unterschwingens der Ausgangsdaten DQ im Betrieb mit hoher Geschwindigkeit verhindert werden.

[0121] Wenn diese Halbleiterschaltungsvorrichtung weiter beschleunigt wird, kann ein Rückkopplungspfad, der aus einer Vergleicherschaltung und einer Ausgangstreiberschaltung gebildet wird, eine Ansprechverzögerung bewirken. Wenn wie in Fig. 5A dargestellt eine solche Ansprechverzögerung bewirkt wird, nachdem die Daten DQ die Referenzspannung VHset oder VLset überschreiten, wird der Ausgangstreibertransistor nichtleitend gemacht. Da der Ausgangsknoten schnell getrieben wird, würde ein Einschwingen stattfinden, eine gewisse Zeitspanne wäre erforderlich, bevor die Daten stabilisiert sind, und eine schnelle Datenübertragung könnte nicht erzielt werden. Wenn weiterhin die Ausgangsdaten übersteuert werden, könnte das Potential der Ausgangsdaten bei Übertragung mit hoher Geschwindigkeit in eine Richtung verschoben werden.

[0122] Wie in Fig. 4 dargestellt, werden jedoch beim Hinaufziehen der Ausgangsdaten DQ zum Steuern des Ausgangsknotens ND11 der MOS-Transistor Q41 mit einer großen Größe und daher einer großen Stromsteuerfähigkeit und der MOS-Transistor Q43 mit einer kleinen Stromsteuerfähigkeit verwendet, und wenn der Spannungspegel des Ausgangsknotens ND11 die Referenzspannung VHset1 überschreitet, wird der MOS-Transistor Q41 mit der größeren Stromtreiberfähigkeit nichtleitend gemacht, und der MOS-Transistor Q43 mit der kleineren Stromsteuerfähigkeit treibt den Ausgangsknoten ND11 langsam auf den Spannungspegel der Referenzspannung VHset2. Wie in Fig. 5 dargestellt, kann diese zweistufige Ansteuerweise ein Überspringen verhindern, und sie stellt sicher, dass die Ausgangsdaten DQ mit H-Pegel im Spannungspegel auf die Referenzspannung VHset2 begrenzt wird.

[0123] Wenn in diesem Fall in der Vergleicherschaltung 11 und dem Ausgangstreibertransistor Q41 eine Ansprechverzögerung bewirkt wird, erreicht der Spannungspegel am Ausgangsknoten ND11 nicht den Pegel der Referenzspannung VHset2. Bevor der Spannungspegel am Ausgangsknoten ND11 die Referenzspannung VHset2 erreicht, kann der MOS-Transistor Q41 mit der größeren Stromsteuerfähigkeit entsprechend dem von der Vergleicherschaltung 11 ausgegebenen Ausgangstreibersteuersignal VG1 nichtleitend gemacht werden. Anschließend treibt der MOS-Transistor Q43 mit der kleineren Stromsteuerfähigkeit den Ausgangsknoten ND11 langsam. Der Ausgangsknoten ND11 ändert seine Spannung langsam, und ein Rückkopplungspfad aus der Vergleicherschaltung 12 und dem MOS-Transistor Q43 leidet nicht unter Ansprechverzögerung, und Ausgangsdaten DQ mit H-Pegel können zuverlässig auf den Spannungspegel der Referenzspannung VHset2 eingestellt werden.

[0124] Weiterhin werden beim Hinunterziehen der Ausgangsdaten DQ der MOS-Transistor Q42, der größer ist und daher eine höhere Stromsteuerfähigkeit aufweist und der MOS-Transistor Q44 mit einer kleineren Stromsteuerfähigkeit verwendet, um den Ausgangsknoten ND11 schnell zu entladen. Wenn der Ausgangsknoten ND11 einen Spannungspegel der Referenzspannung VLset1 erreicht, wird der MOS-Transistor Q42 mit der größeren Stromsteuerfähigkeit (bzw. der größeren Größe) entsprechend dem von der Vergleicherschaltung 13 ausgegebenen Ausgangstreibersteuersignal VG2 nichtleitend gemacht. Anschließend wird der Ausgangsknoten ND11 durch den MOS-Transistor Q44 mit der kleineren Stromsteuerfähigkeit auf den Spannungspegel der Referenzspannung VLset2 getrieben.

[0125] Auch wenn beim Hinunterziehen der Ausgangsdaten DQ im Betrieb mit hoher Geschwindigkeit in der Vergleicherschaltung 13 und dem MOS-Transistor Q42 eine Ansprechverzögerung bewirkt wird, erhält der Knoten

ND11 nicht den Spannungspegel der Referenzspannung VLset2, und wenn der Rückkopplungspfad aus Vergleicherschaltung 13 und MOS-Transistor Q42 an Ansprechverzögerung leidet, erhält das Ausgangstreibersteuersignal VG2 den Massespannungspegel, bevor der Ausgangsknoten ND11 den Spannungspegel der Referenzspannung VLset2 erreicht, und der MOS-Transistor Q42 kann nichtleitend gemacht werden.

[0126] Dann wird der MOS-Transistor Q44 mit einer kleineren Stromtreiberfähigkeit verwendet, um den Ausgangsknoten ND11 langsam auf den Spannungspegel der Referenzspannung VLset2 zu treiben. Beim Hinunterziehen des Ausgangsknotens ND11 auf die Referenzspannung VLset2 ändert sich die Spannung allmählich und das Ansprechen ist nicht verzögert, und wenn der Knoten ND11 den Spannungspegel der Referenzspannung VLset2 erreicht, kann der MOS-Transistor Q44 entsprechend dem Ausgangstreibersteuersignal VG4 nichtleitend gemacht werden, um die Ausgangsdaten DQ mit L-Pegel auf den Spannungspegel der Referenzspannung VLset2 zu begrenzen.

[0127] Beim Treiben des Ausgangsknotens kann somit ein MOS-Transistor mit einer größeren Größe und einer größeren Stromsteuerfähigkeit leitend gemacht werden, um den Ausgangsknoten ND11 schnell zu treiben, und danach treibt ein MOS-Transistor mit einer kleineren Stromsteuerfähigkeit den Ausgangsknoten langsam. Bei einer Übertragung mit hoher Geschwindigkeit schwingt der Ausgangsknoten ND11 somit nicht über, und es kann eine Übertragung von Ausgangsdaten mit einer genau auf einen gewünschten Spannungspegel begrenzten Amplitude mit hoher Geschwindigkeit erreicht werden.

[0128] Es sei angemerkt, dass die Vergleicherschaltungen 11 bis 14 ein Ausgangssignal ausgeben können, das sich in analoger Weise entsprechend einem Unterschied zwischen einer entsprechenden Referenzspannung und der Spannung des Ausgangsknotens ändert, oder sie können so arbeiten, dass sie das Ausgangssignal digital mit zwei Pegeln treiben entsprechend einem Unterschied zwischen der entsprechenden Referenzspannung und der Spannung des Ausgangsknotens.

[0129] Fig. 6 zeigt ein Beispiel für einen Aufbau einer in Fig. 4 dargestellten Schaltung zum Erzeugen einer Referenzspannung, die mehrere Arten von Referenzspannungen erzeugt. Die in Fig. 6 dargestellte Referenzspannungserzeugerschaltung beinhaltet: einen p-Kanal MOS-Transistor Q61, der zwischen einen Versorgungsknoten und einen Knoten ND20 geschaltet ist und dessen Gate mit dem Knoten ND20 verbunden ist; ein Widerstandselement R61, das zwischen die Knoten ND20 und ND21 geschaltet ist; und einen n-Kanal MOS-Transistor Q63, der zwischen den Knoten ND21 und einen Masseknoten geschaltet ist und dessen Gate mit dem Knoten ND21 verbunden ist. Die MOS-Transistoren Q61 und Q63 und das Widerstandselement R61 bilden ähnlich wie die in Fig. 3 dargestellte Anordnung eine Konstantstromquelle und erzeugen einen Strom I wie in der folgenden Gleichung dargestellt:

$$I = (VDD - |V_{thp}| - V_{thn})/R61$$

wobei V_{thp} und V_{thn} jeweils eine Schwellenspannung der MOS-Transistoren Q61 und Q63 darstellen und R61 einen Widerstandswert des Widerstandselements R61. Weiterhin ist der Strom I ein konstanter Strom, wenn die Versorgungsspannung VDD konstant ist.

[0130] Die Referenzspannungserzeugerschaltung beinhaltet weiter einen p-Kanal MOS-Transistor Q62, der zwischen einen Versorgungsknoten und einen Knoten ND22 geschaltet ist und dessen Gate mit dem Knoten ND20 verbunden ist,

und Widerstandselemente R62 und R63, die in Reihe zueinander zwischen den Knoten ND22 und einen Masseknoten geschaltet sind. Die Referenzspannung VLset1 wird an dem Knoten ND22 erzeugt und die Referenzspannung VLset2 an einem Knoten ND23 zwischen den Widerstandselementen R62 und R63.

[0131] Die Referenzspannungserzeugerschaltung beinhaltet weiter Widerstandselemente R64 und R65, die in Reihe zueinander zwischen einen Versorgungsknoten und einen Knoten ND25 geschaltet sind, und einen n-Kanal MOS-Transistor Q64, der zwischen den Knoten ND25 und eine Massespannung geschaltet ist und dessen Gate mit dem Knoten ND21 verbunden ist. Die Referenzspannung VGset2 wird zwischen den Widerstandselementen R64 und R65 an den Knoten ND24 erzeugt und die Referenzspannung VGset1 an dem Knoten ND25. Der MOS-Transistor Q62 bildet mit dem MOS-Transistor Q61 eine Stromspiegelschaltung, und wenn sie die gleiche Größe haben, bewirkt der MOS-Transistor Q62, dass ein Strom I fließt. In ähnlicher Weise bilden die MOS-Transistoren Q54 und Q63 einen Stromspiegel, und wenn sie dieselbe Größe haben, fließt durch den MOS-Transistor Q64 der Strom I derselben Größe wie der Strom, der durch den MOS-Transistor Q63 fließt. Die Referenzspannungen VLset1, VLset2, VHset1 und VHset2 haben Spannungspegel, wie sie jeweils in den folgenden Gleichungen dargestellt sind:

$$VLset1 = I \cdot (R62 + R63)$$

$$VLset2 = I \cdot R63$$

$$VHset1 = VDD - (R64 + R65)$$

$$VHset2 = VDD - I \cdot R64$$

[0132] Durch Aufbauen der Widerstandselemente R62 bis R65 mit lasertrimmbaren Widerstandselementen mit Verbindungselementen, deren Widerstandswert mit Hilfe eines Lasers eingestellt werden kann, kann eine genau auf einen gewünschten Spannungspegel eingestellte Referenzspannung erzeugt werden, auch wenn ein Prozessparameter in einem Herstellungsschritt schwankt und dementsprechend ein Bauteilparameter schwankt.

[0133] Auch bei dem in Fig. 6 dargestellten Aufbau der Referenzspannungserzeugerschaltung werden die Referenzspannungen VHset1, VHset2, VLset1 und VLset2 jeweils den Gates der MOS-Transistoren Q413, Q433, Q423 und Q443 der Differenzstufe der Vergleicherschaltungen 11, 12, 13 und 14 zugeführt. Da jedes der Gates eine geringe Kapazität aufweist, ist der Strom I wie in der ersten Ausführungsform beschrieben ein kleiner Strom von einigen μA oder so. Auch wenn die Anzahl der erzeugten Referenzspannungen erhöht ist, kann daher ein Ansteigen des Stromverbrauchs durch die Referenzspannungserzeugerschaltung zufriedenstellend unterdrückt werden, und die Referenzspannungen mit einer Mehrzahl von Pegeln können zum Hinaufziehen und Hinunterziehen stabil erzeugt werden.

[0134] Weiterhin können die Referenzspannungen für das Hinaufziehen VHset1 und VHset2 und die Referenzspannungen für das Hinunterziehen VLset1 und VLset2 über verschiedene Pfade erzeugt werden, und ihre jeweiligen Spannungspegel können so einzeln eingestellt werden. Auch wenn ein Bauteilparameter wie z. B. eine Schwellenspannung oder ein Widerstandswert sich ändert, können die Spannungspegel jeder Referenzspannung einzeln auf einen optimalen Pegel eingestellt werden, und Daten mit einer kleinen Amplitude, deren Spannungspegel mit hoher Genauigkeit eingestellt ist, können mit hoher Geschwindigkeit übertragen werden.

[0135] Zusätzlich zu dem Begrenzen der Amplitude können die Rate der Ausgangsdatenänderungen und die Anstiegsgeschwindigkeit der Ausgangsdaten optimiert werden.

[0136] Fig. 7 zeigt ein Beispiel für einen Aufbau eines

Abschnitts zum Erzeugen der Ausgangssteuersignale DQH und DQL. Der in Fig. 7 dargestellte Abschnitt zum Erzeugen eines Ausgangssteuersignals beinhaltet: einen Inverter 20, der interne Daten D empfängt, eine AND-Schaltung 21, die ein Ausgangsfreigabezeitsteuersignal OEM und interne Daten D empfängt und das Ausgangssteuersignal DQH erzeugt; und eine AND-Schaltung 22, die das Ausgangsfreigabezeitsteuersignal OEM und komplementäre interne Daten /D von dem Inverter 20 empfängt und das Ausgangssteuersignal DQL erzeugt.

[0137] Wenn in dem in Fig. 7 dargestellten Aufbau das Ausgangsfreigabezeitsteuersignal OEM auf L-Pegel liegt, liegen die Ausgangssteuersignale DQH und DQL beide auf L-Pegel. In diesem Zustand ist die Ausgangspufferschaltung 1 bzw. 10 in einem Zustand mit hoher Ausgangsimpedanz.

[0138] Wenn das Ausgangsfreigabezeitsteuersignal OEM einen H-Pegel erhält, werden die Ausgangssteuersignale DQH und DQL entsprechend den internen Daten D erzeugt.

[0139] Wenn interne Daten D entsprechend dem Ausgangsfreigabezeitsteuersignal OEM z. B. in einer Halbleiterspeichervorrichtung über eine Datenausgangsschaltung ausgegeben werden, und für die Ausgangsschaltung eine Ausgangsschaltung entsprechend der ersten oder zweiten Ausführungsform verwendet wird, können somit interne Lesedaten zuverlässig bei hoher Geschwindigkeit übertragen werden.

[0140] Interne Lesedaten D können komplementäre Daten D und /D sein, die z. B. von einem intern bereitgestellten Vorverstärker parallel übertragen werden.

[0141] Fig. 8 zeigt schematisch einen anderen Aufbau eines Abschnitts zum Erzeugen des Ausgangssteuersignals. In dem in Fig. 8 dargestellten Aufbau erzeugt eine Übertragungsschaltung 23, die interne Daten D synchron mit einem Taktsignal CLK überträgt, die Ausgangssteuersignale DQH und DQL. Insbesondere ist die Übertragungsschaltung 23 z. B. aus einer Verriegelungsschaltung aufgebaut und überträgt interne Daten zum Erzeugen der komplementären Daten D und /D in Synchronisation mit dem Taktsignal CLK mit Übergang von L-Pegel auf H-Pegel bzw. von H-Pegel auf L-Pegel. Die komplementären internen Daten D und /D werden jeweils als Ausgangssteuersignale DQH und DQL verwendet.

[0142] In einer Schaltungsvorrichtung wie z. B. einer Logik, in der wie in Fig. 8 dargestellt die Ausgangssteuersignale DQH und DQL entsprechend den internen Daten D und /D durch die Übertragungsschaltung 23 erzeugt werden, können Daten zuverlässig mit hoher Geschwindigkeit übertragen werden, wenn die Ausgangsschaltung entsprechend der ersten oder zweiten Ausführungsform verwendet wird.

[0143] Auch in dem in Fig. 8 dargestellten Aufbau kann die Übertragungsschaltung 23 so aufgebaut sein, dass sie komplementäre Daten D und /D empfängt.

[0144] Somit kann die Halbleiterschaltungsvorrichtung gemäß der vorliegenden Erfindung für Datenausgangsschaltungen von Halbleiterspeichervorrichtungen und für Datenausgangsschaltungsabschnitte von allgemeinen Logikschaltungen verwendet werden. Weiterhin kann die Halbleiterschaltungsvorrichtung gemäß der vorliegenden Erfindung auf eine Schaltung angewendet werden, die anstelle von Daten ein Signal mit zwei Pegeln wie z. B. ein Steuersignal erzeugt.

[0145] In der in Fig. 4 dargestellten Halbleiterschaltungsvorrichtung wird weiterhin der Ausgangsknoten in einem zweistufigen Betrieb nach oben bzw. nach unten gezogen. Der Ausgangsknoten kann jedoch auch in drei oder mehr Stufen nach oben bzw. nach unten gezogen werden. In diesem Fall ist es nicht erforderlich, dass jeder einzelne Ausgangstreibertransistor eine unterschiedliche Größe hat, eine

Mehrzahl von Ausgangstransistoren können verwendet werden, um den Ausgangsknoten hinauf- oder hinunterzuziehen, gefolgt von einem abschließenden Hinauf- bzw. Hinunterziehen durch einen einzelnen Ausgangstransistor, und Überspringen des Ausgangsknotens kann zuverlässig unterdrückt werden.

[0146] Wie oben beschrieben wird entsprechend der vorliegenden Erfindung ein Ausgangstransistor entsprechend einem Ergebnis eines Vergleichs zwischen einer Spannung an einem Ausgangsknoten und einer Referenzspannung angesteuert. Somit kann die Amplitude eines Ausgangssignals mit hoher Genauigkeit und ohne einen zusätzlichen Versorgungsanschluss begrenzt werden, und ein Signal mit kleiner Amplitude kann zuverlässig mit hoher Geschwindigkeit übertragen werden.

Patentansprüche

1. Halbleiterschaltungsvorrichtung mit:

einem ersten Ausgangstransistor (Q1, Q2, Q43, Q44), der zwischen einen ersten Versorgungsknoten (VDD, GND) und einen Ausgangsknoten (ND0, ND11) geschaltet ist; und

einer ersten Ausgangssteuerschaltung (2, 3, 12, 14), die entsprechend einem ersten Ausgangssteuersignal (DQH, /DQL) freigegeben wird, zum Vergleichen einer Spannung des Ausgangsknotens mit einer ersten Referenzspannung (VHset, VLset, VHset2, VLset2) und zum Steuern der Größe eines durch den ersten Ausgangstransistor fließenden Stroms entsprechend einem Ergebnis des Vergleichs.

2. Halbleiterschaltungsvorrichtung nach Anspruch 1, bei der die erste Ausgangssteuerschaltung (2, 3, 12, 14) eine Differenzverstärkerschaltung (4, 5, Q431-Q435, Q441-Q445) aufweist zum Verstärken einer Differenz zwischen der Spannung des Ausgangsknotens (ND0, ND11) und der ersten Referenzspannung (VHset, VLset, VHset2, VLset2) und zum Anlegen eines ein Ergebnis der Differenzverstärkung anzeigenden Signals an eine Steuerelektrode des ersten Ausgangstransistors (Q1, Q2, Q43, Q44).

3. Halbleiterschaltungsvorrichtung nach Anspruch 1 oder 2 mit:

einem zweiten Ausgangstransistor (Q41, Q42), der zwischen den ersten Versorgungsknoten (VDD, GND) und den Ausgangsknoten (ND11) geschaltet ist; und einer zweiten Ausgangssteuerschaltung (11, 13), die entsprechend einem ersten Ausgangssteuersignal (DQH, /DQL) freigegeben wird, zum Vergleichen der Spannung des Ausgangsknotens mit einer zweiten Referenzspannung (VHset1, VLset1) mit einem von der ersten Referenzspannung verschiedenen Spannungspiegel und zum Steuern der Größe eines durch den zweiten Ausgangstransistor fließenden Stroms entsprechend einem Ergebnis des Vergleichs.

4. Halbleiterschaltungsvorrichtung nach Anspruch 3, bei der der zweite Ausgangstransistor (Q41, Q42) eine andere Stromsteuerfähigkeit aufweist als der erste Ausgangstransistor (Q43, Q44) unter der Voraussetzung, dass dieselbe Steuergatespannung angelegt ist.

5. Halbleiterschaltungsvorrichtung nach Anspruch 3 oder 4, bei der die zweite Ausgangssteuerschaltung (11, 13) eine Differenzverstärkerschaltung (Q411-Q415, Q421-Q425) aufweist zum Verstärken einer Differenz zwischen der Spannung des Ausgangsknotens (ND11) und der zweiten Referenzspannung (VHset1, VLset1) und zum Anlegen ihres Ausgangssignals an eine Steuerelektrode des zweiten Ausgangs-

transistors (Q41, Q42).

6. Halbleiterschaltungsvorrichtung nach Anspruch 1 oder 2 mit:

einem zweiten Ausgangstransistor (Q2, Q1, Q44, Q43), der zwischen einen zweiten Versorgungsknoten (GND, VDD) und einen Ausgangsknoten (ND0, ND11) geschaltet ist; und

einer zweiten Ausgangssteuerschaltung (3, 2, 14, 12), die entsprechend einem zweiten Ausgangssteuersignal (/DQL, DQH) freigegeben wird, zum Vergleichen einer Spannung des Ausgangsknotens mit einer zweiten Referenzspannung (VLset, VHset, VLset2, VHset2) und zum Steuern der Größe eines durch den zweiten Ausgangstransistor fließenden Stroms entsprechend einem Ergebnis des Vergleichs.

7. Halbleiterschaltungsvorrichtung nach Anspruch 6, bei der die zweite Referenzspannung (VLset, VHset, VLset2, VHset2) und die erste Referenzspannung (VHset, VLset, VHset2, VLset2) jeweils einzeln eingestellte Spannungspegel haben.

8. Halbleiterschaltungsvorrichtung nach Anspruch 6 oder 7, bei der die Ausgangssteuerschaltung (3, 2, 14, 12) eine Differenzverstärkerschaltung (5, 4, Q441-Q445, Q431-Q435) aufweist zum Verstärken einer Differenz zwischen der Spannung des Ausgangsknotens (ND0, ND11) und der zweiten Referenzspannung (VLset, VHset, VLset2, VHset2) und zum Anlegen ihres Ausgangssignals an eine Steuerelektrode des zweiten Ausgangstransistors (Q2, Q1, Q44, Q43).

9. Halbleiterschaltungsvorrichtung mit: einer Mehrzahl von Pull-up-Transistoren (Q41, Q43), die parallel zueinander zwischen einen ersten Versorgungsknoten (VDD) und einen Ausgangsknoten (ND11) geschaltet sind;

einer ersten Referenzspannungserzeugeschaltung (Q61, Q63, Q64, R64, R65) zum Erzeugen einer Mehrzahl von Pullup-Referenzspannungen (VHset1, VHset2), die der Mehrzahl von Pull-up-Transistoren entsprechen und deren Spannungspegel voneinander verschieden sind;

einer Mehrzahl von Pull-up-Steuerschaltungen (11, 12), die entsprechend der Mehrzahl von Pull-up-Transistoren angeordnet sind, von denen jede entsprechend einem ersten Ausgangssteuersignal (DQH) freigegeben wird, zum Vergleichen einer Spannung des Ausgangsknotens mit einer entsprechenden von der ersten Referenzspannungserzeugeschaltung erzeugten Pull-up-Referenzspannung und zum Einstellen eines Potentials einer Steuerelektrode eines entsprechenden Pullup-Transistors entsprechend einem Ergebnis des Vergleichs;

einer Mehrzahl von Pull-down-Transistoren (Q42, Q44), die parallel zueinander zwischen einen zweiten Versorgungsknoten (GND) und den Ausgangsknoten geschaltet sind;

einer zweiten Referenzspannungserzeugeschaltung (Q61, Q63, Q62, R62, R63) zum Erzeugen einer Mehrzahl von Pulldown-Referenzspannungen (VLset1, VLset2), die der Mehrzahl von Pull-down-Transistoren entsprechen und deren Spannungspegel voneinander verschieden sind; und

einer Mehrzahl von Pull-down-Steuerschaltungen (13, 14), die entsprechend der Mehrzahl von Pull-down-Transistoren angeordnet sind, von denen jede entsprechend einem zweiten Ausgangssteuersignal (/DQL) freigegeben wird, zum Vergleichen der Spannung des Ausgangsknotens mit einer entsprechenden Pull-down-Referenzspannung und zum Ansteuern eines Potentials einer Steuerelektrode eines entsprechenden Pulldown-

Transistors.

10. Halbleiterschaltungsvorrichtung nach Anspruch 9, bei der die Mehrzahl von Pull-up-Transistoren (Q41, Q43) sich in der Stromsteuerfähigkeit voneinander unterscheiden unter der Voraussetzung, dass dieselbe Steuerelektrodenspannung angelegt ist.

11. Halbleiterschaltungsvorrichtung nach Anspruch 9 oder 10, bei der die Mehrzahl von Pull-down-Transistoren (Q42, Q44) sich in der Stromsteuerfähigkeit voneinander unterscheiden unter der Voraussetzung, dass dieselbe Steuerelektrodenspannung angelegt ist.

12. Halbleiterschaltungsvorrichtung nach einem der Ansprüche 9 bis 11, bei der die erste Referenzspannungserzeugeschaltung (Q61, Q63, Q64, R64, R65) und die zweite Referenzspannungserzeugeschaltung (Q61, Q63, Q62, R62, R63) die Pegel der Mehrzahl von Pull-up-Referenzspannungen (VHset1, VHset2) bzw. die Pegel der Mehrzahl von Pull-down-Referenzspannungen (VLset1, VLset2) jeweils einzeln einstellen.

13. Halbleiterschaltungsvorrichtung nach einem der Ansprüche 9 bis 12, bei der aus der Mehrzahl von Pull-up-Steuerschaltungen (11, 12) und der Mehrzahl von Pull-down-Steuerschaltungen (13, 14) jede eine Differenzverstärkerschaltung (Q411-Q415, Q431-Q435, Q421-Q425, Q441-Q445) aufweist zum Verstärken einer Differenz zwischen der entsprechenden Referenzspannung (VHset1, VHset2, VLset1, VLset2) und der Spannung des Ausgangsknotens (ND11) und zum Übertragen ihres Ausgangssignals an die Steuerelektrode des entsprechenden Transistors (Q41, Q43, Q42, Q44).

Hierzu 7 Seite(n) Zeichnungen

FIG.1

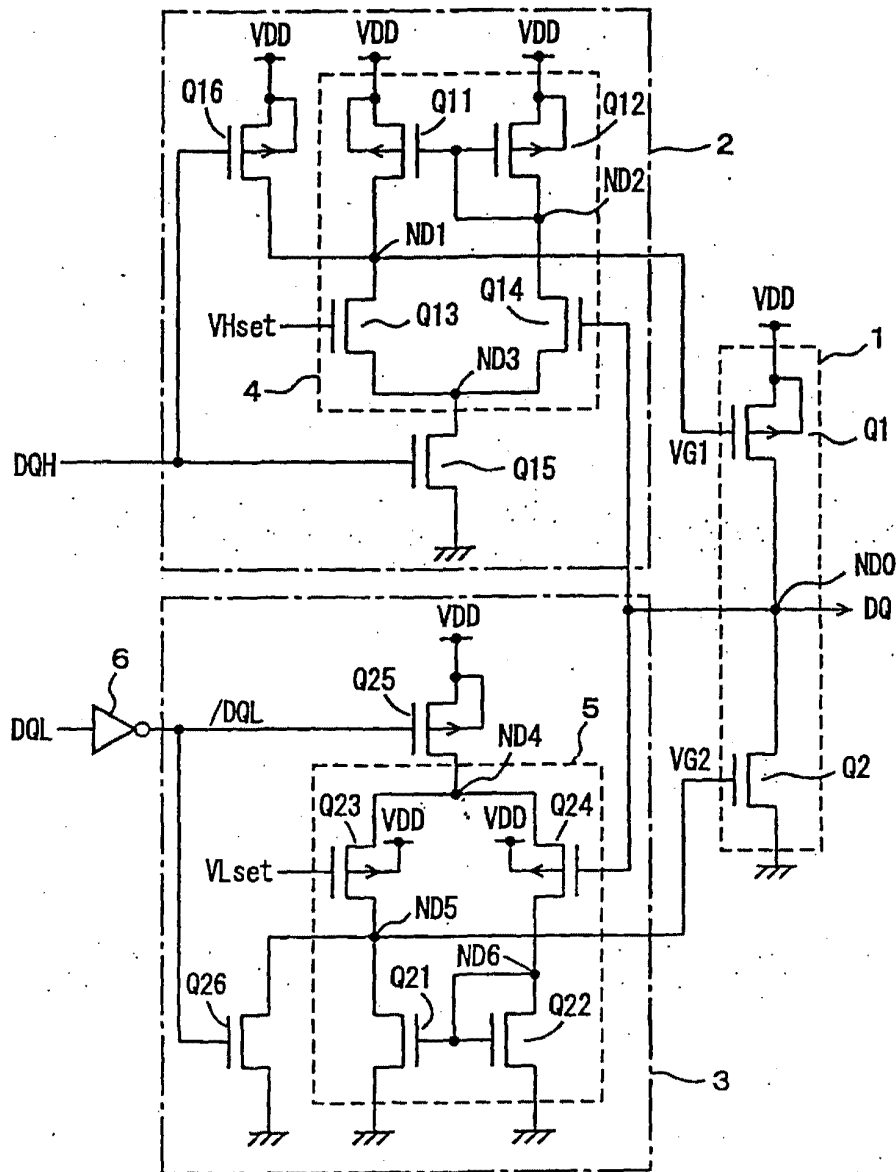


FIG.2

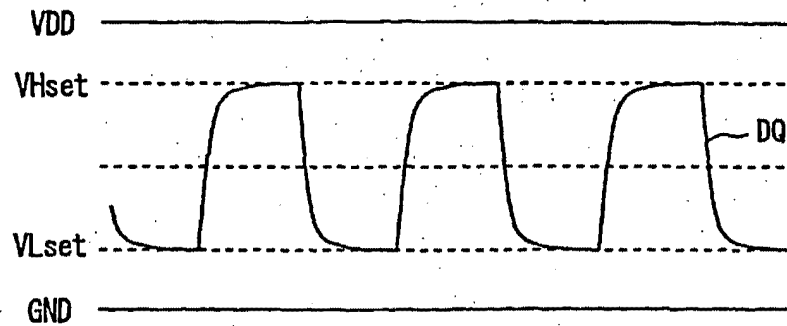


FIG.3

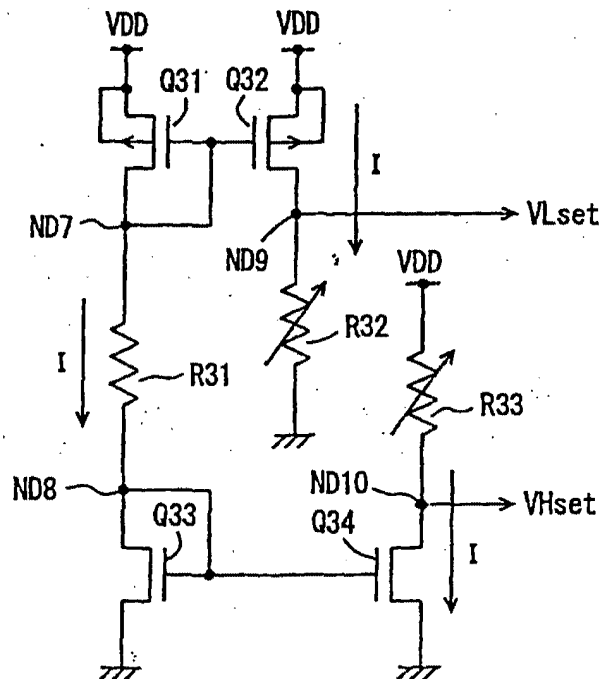


FIG.4

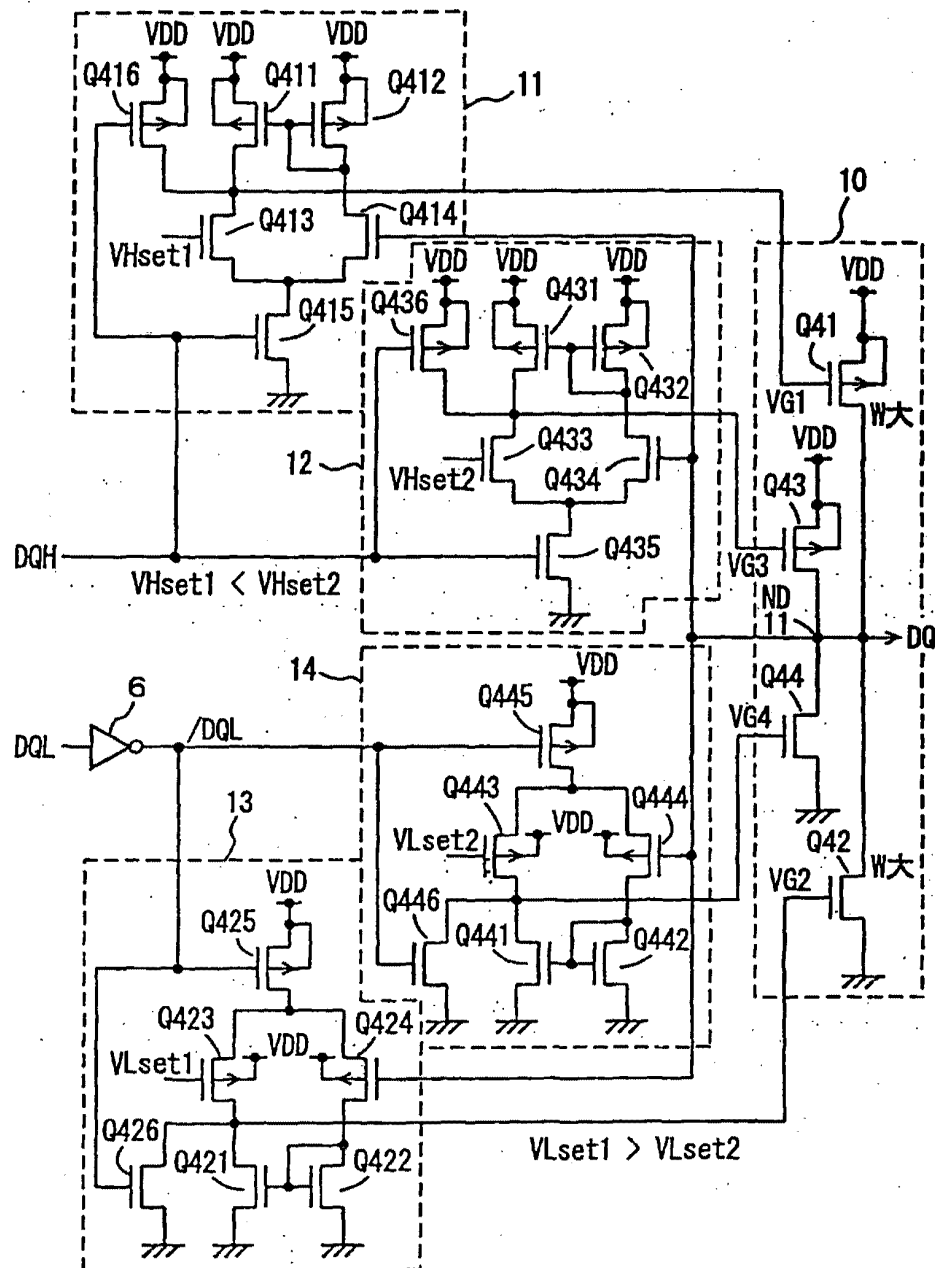


FIG.5A

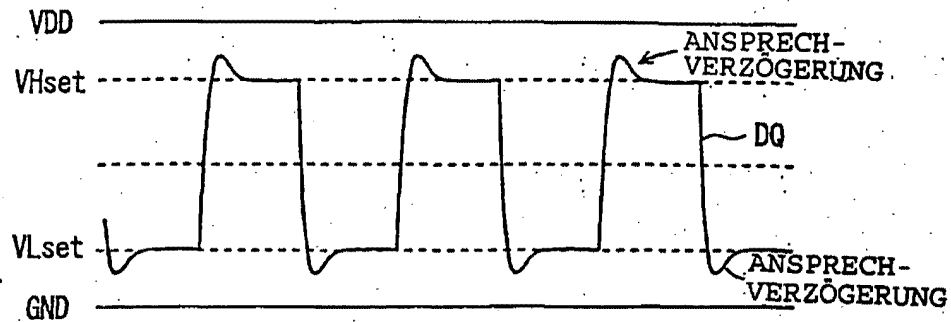


FIG.5B

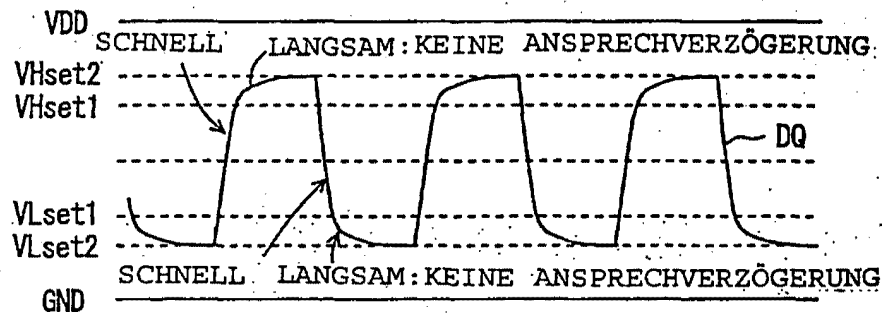


FIG.6

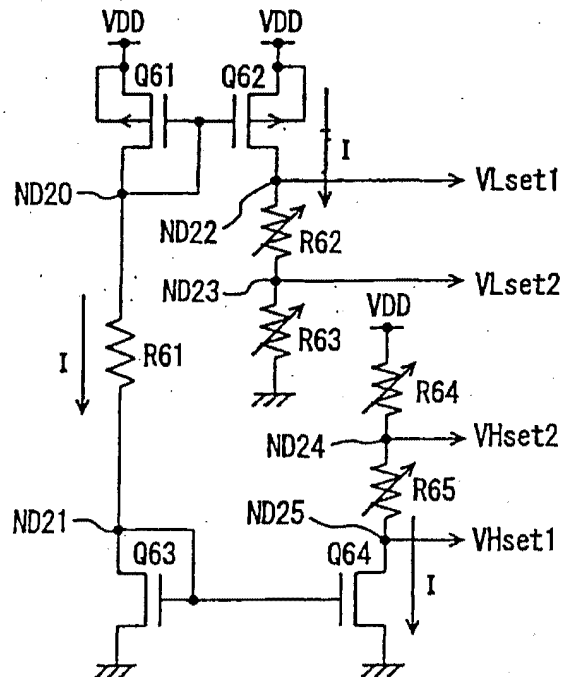


FIG.7

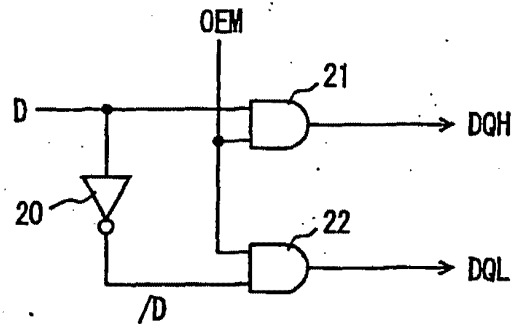


FIG.8

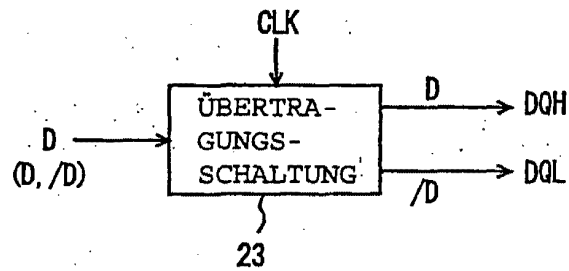


FIG.9

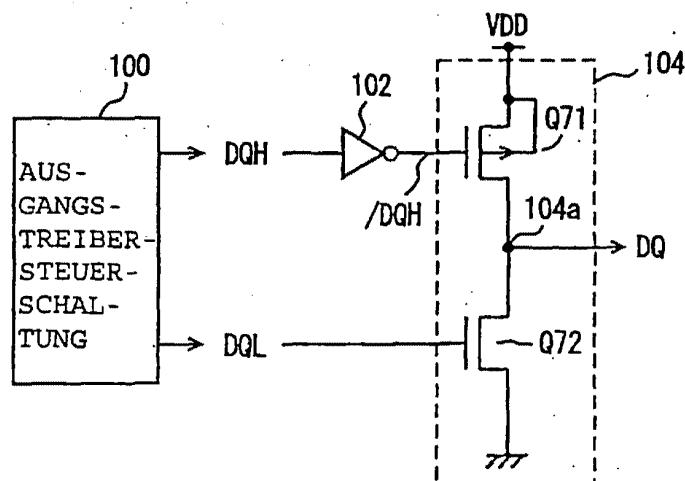


FIG.10

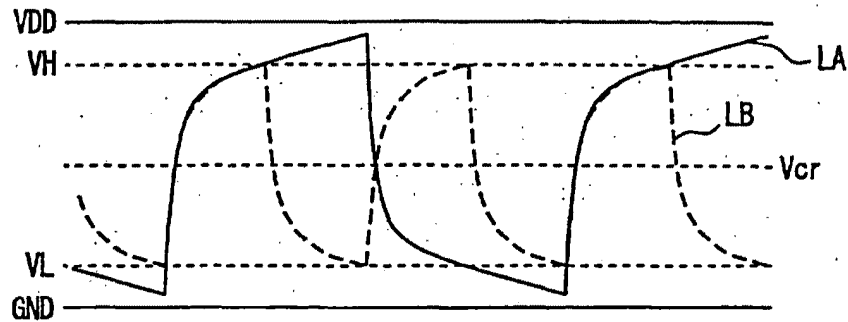


FIG.11

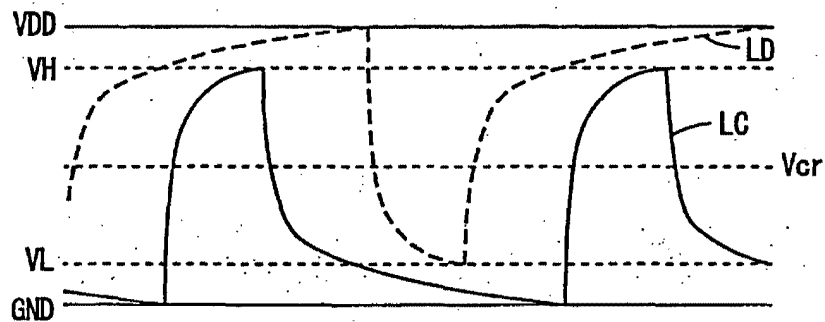


FIG.12

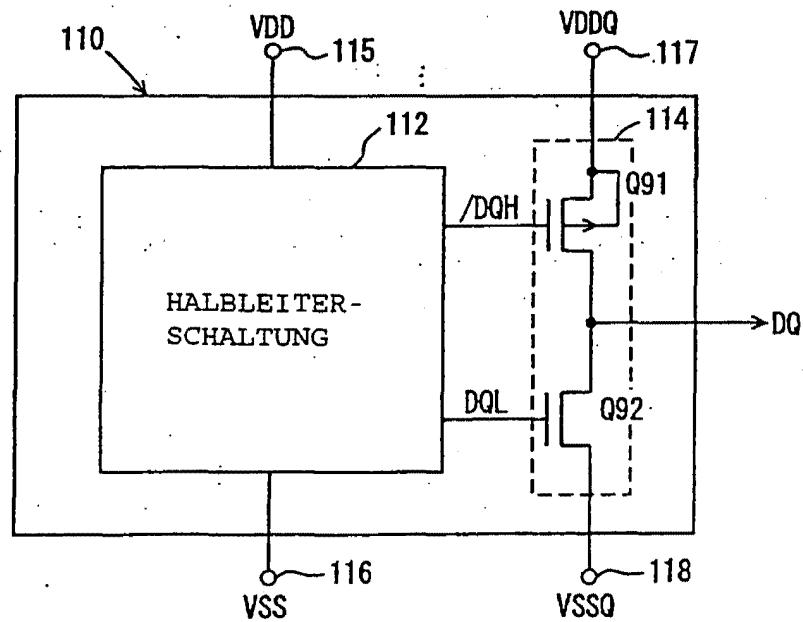


FIG.13

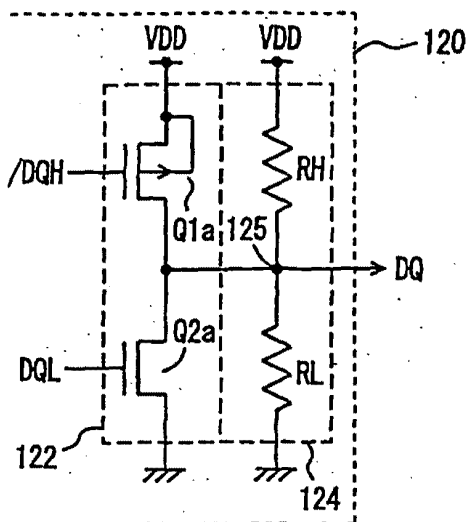
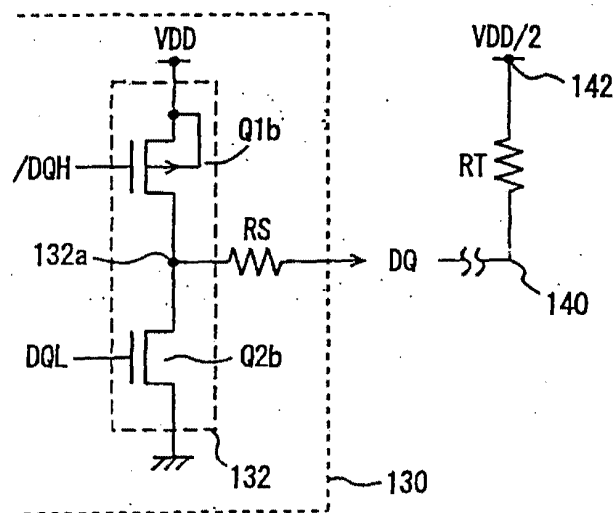


FIG.14





(11) **EP 1 326 343 A1**

(12) **EUROPEAN PATENT APPLICATION**

(43) Date of publication:
09.07.2003 Bulletin 2003/28

(51) Int Cl.7: **H03K 19/003, H03K 19/00,
H03K 19/0185**

(21) Application number: **03250012.6**

(22) Date of filing: **02.01.2003**

(84) Designated Contracting States:
**AT BE BG CH CY CZ DE DK EE ES FI FR GB GR
HU IE IT LI LU MC NL PT SE SI SK TR**
Designated Extension States:
AL LT LV MK RO

(72) Inventor: **Ajit, Janardhanan S.**
Irvine, California 92604 (US)

(74) Representative:
Jehle, Volker Armin, Dipl.-Ing. et al
Patentanwälte
Bosch, Graf von Stosch, Jehle,
Flüggensstrasse 13
80639 München (DE)

(30) Priority: **02.01.2002 US 343582 P**
25.06.2002 US 178272

(71) Applicant: **Broadcom Corporation**
Irvine, CA 92618-3616 (US)

(54) **Methods and systems for sensing and compensating for process, voltage, temperature, and load variations**

(57) Methods and systems for maintaining desired circuit and/or signal characteristics, such as impedance matching characteristics and rise and fall time characteristics, over a range of PVT variations. In an embodiment, a PVT compensating circuit senses one or more circuit and/or signal characteristics at an output pad or terminal. When the one or more circuit and/or signal characteristics are affected by PVT variations in the IC and/or load, the PVT compensating circuit controls a variable output drive to maintain the one or more circuit

and/or signal characteristics within a desired or predetermined range. The PVT compensating circuit is designed to compensate over a range of PVT variations. In an embodiment, the PVT compensating circuit senses a rate of voltage change over time (i.e., dV/dt), of an output signal at the output terminal. During state transitions of the output signal, the output signal is adjusted as needed to maintain a desired, or predetermined, rate of voltage change. The invention further provides impedance matching characteristics.

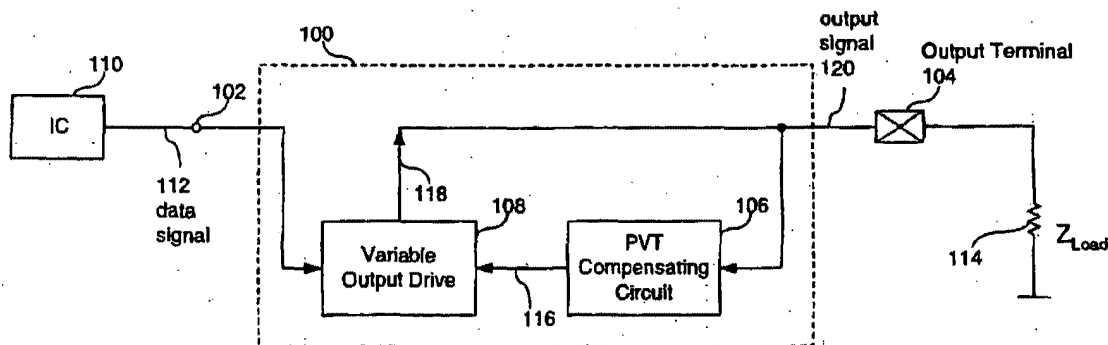


FIG. 1

EP 1 326 343 A1

Description

[0001] The present invention is directed to methods and systems for sensing and compensating for process, voltage, and/or temperature ("PVT") variations in integrated circuits ("ICs") and loads and, more particularly, for sensing and compensating for PVT variations in IC's that are impedance matched to loads.

[0002] Integrated circuits ("ICs") need to interface with widely varying loads, such as 40 ohm to 100 ohm transmission lines. In order to reduce voltage waveform reflections and consequent loss of signal integrity, output impedances of ICs should match load impedances.

[0003] IC characteristics and load characteristics can vary due to process (e.g., manufacturing process), voltage, and/or temperature ("PVT") variations. ICs that are fabricated with narrower track widths tend to be more susceptible to PVT variations. PVT variations adversely affect circuit characteristics, such as impedances and rise and fall times of waveforms.

[0004] What are needed are methods and systems for maintaining circuit and/or signal characteristics, such as impedance matching characteristics and rise and fall time characteristics, over a range of PVT variations.

[0005] The present invention is directed to methods and systems for maintaining circuit and/or signal characteristics, such as impedance matching characteristics and rise and fall time characteristics, over a range of PVT variations. The invention is useful, for example, where an IC output is coupled to a load.

[0006] In accordance with the invention, a PVT compensating circuit senses one or more circuit and/or signal characteristics at an output pad or terminal. When the one or more circuit and/or signal characteristics are affected by PVT variations in the IC and/or load, the PVT compensating circuit controls a variable output drive to maintain the one or more circuit and/or signal characteristics within a desired or predetermined range. The PVT compensating circuit is designed to compensate over a range of PVT variations.

[0007] In an embodiment, the PVT compensating circuit senses a rate of voltage change over time (i.e., dV/dt), of an output signal at the output terminal. During state transitions of the output signal, the output signal is adjusted as needed to maintain a desired, or predetermined, rate of voltage change. As a result, the present invention enables control of output drive dependent on load.

[0008] In an embodiment, the PVT compensating circuit and the variable output drive are part of an output circuit coupled between an IC and an output terminal. The output circuit further includes an output impedance. When neither the circuit nor the load are substantially affected by PVT variations, the output impedance substantially matches the load impedance and the output signal characteristic(s) of interest are generally within a desired or predetermined range. When the IC and/or the load are affected by PVT variations, the PVT compen-

sating circuit senses the affect and adjusts the variable output drive to make suitable corrections. In an embodiment, the output drive adjusts rise and/or fall times of an output waveform. Alternatively, or additionally, the variable output drive adjusts the output impedance of the output circuit.

[0009] In an embodiment, the output signal is initially driven by a primary output drive. Additional compensation is added as needed by the variable output drive. In an alternative embodiment, output signal is driven solely by the variable output drive circuit.

[0010] In an embodiment, the primary output drive and/or the variable output drive include impedances that, alone or in combination with other impedances, substantially match the load impedance.

[0011] In an embodiment, the output circuit is implemented on the same die or wafer as the IC. In an embodiment, the output circuit is implemented with process technology that is less susceptible to PVT variations. For example, in an embodiment, one or more portions of the output circuit are implemented using wider path widths than those used in the IC and/or load.

[0012] Further features and advantages of the present invention, as well as the structure and operation of various embodiments of the present invention, are described in detail below with reference to the accompanying drawings.

[0013] The present invention will be described with reference to the accompanying drawings, wherein like reference numbers indicate identical or functionally similar elements. Also, the leftmost digit(s) of the reference numbers identify the drawings in which the associated elements are first introduced.

[0014] FIG. 1 is a high-level block diagram of an output circuit in accordance with an aspect of the present invention.

[0015] FIG. 2 is a block diagram of an example embodiment of the output circuit illustrated in FIG. 1.

[0016] FIG. 3 is a circuit diagram of an example embodiment of the output circuit illustrated in FIG. 2.

[0017] FIG. 4 is another circuit diagram of an example embodiment of the output circuit illustrated in FIG. 2.

[0018] In FIG. 5 is another circuit diagram of an example embodiment of the output circuit illustrated in FIG. 2.

[0019] FIG. 6 is another circuit diagram of an example embodiment of the output circuit illustrated in FIG. 2.

[0020] FIG. 7 is another circuit diagram of an example embodiment of the output circuit illustrated in FIG. 2.

[0021] FIG. 8 is another circuit diagram of an example embodiment of the output circuit illustrated in FIG. 2.

[0022] In FIG. 9 is a process flowchart for implementing the present invention.

[0023] The present invention is directed to methods and systems for maintaining circuit and/or signal characteristics, such as impedance matching characteristics and rise and fall time characteristics, over a range of PVT variations.

[0024] FIG. 1 is a high-level block diagram of an output circuit 100 in accordance with the present invention. The output circuit 100 includes a PVT compensating circuit 106 and a variable output drive 108. The output circuit 100 is coupled between an input terminal 102 and an output terminal 104. The input terminal 102 couples the output circuit 100 to an IC core 110. The IC core 110 can be any of a variety of types of integrated circuitry. The IC core 110 outputs a data signal 112, which is propagated through the output circuit 100 to the output terminal or pad 104. The output pad 104 is coupled to a load 114 having a load impedance.

[0025] The output circuit 100 further includes impedance matching circuitry (not shown in FIG. 1) that substantially matches the output impedance of circuit 100 to the load impedance. The impedance matching circuitry helps to insure that signal characteristics at the output terminal 104 are within a desired range, PVT variations, however, can affect the signal characteristics.

[0026] The PVT compensating circuit 106 monitors/senses an output signal 120 at the output terminal 104 for PVT variations. PVT variations can be due to PVT variations in the IC core 110, the output circuit 100, and/or the load 114. The PVT compensating circuit 106 outputs a control signal 116 that controls the variable output drive 108. The variable output drive 108 generates a compensation output signal 118, which compensates for detected PVT variations. In the example of FIG. 1, the compensation output signal 118 is provided directly to the output terminal 104. Alternatively, the compensation output signal 118 is provided to the output terminal 104 through an impedance resistance, as described below.

[0027] PVT variations can affect rise and fall times of the output signal 120. In an embodiment, the PVT compensating circuit 106 senses rising and falling edges of the output signal 120 at the output terminal 104, and controls the variable output drive 108 to compensate the rising and falling edges with additional drive as needed.

[0028] In an embodiment, the PVT compensating circuit 106 senses changes in voltage with respect to time ("dV/dt") and varies the control signal 116 in proportion to the rate of change (dV/dt). In an embodiment, the PVT compensating circuit 106 varies the control signal 116, and thus the variable output drive 108, inversely proportional to the dV/dt. In other words, at higher dV/dt, the variable output drive 108 provides little, if any, compensation. As the dV/dt decreases, the variable output drive 108 increases the compensation.

[0029] In an embodiment, when the output signal 120 at the output terminal 104 should be at steady state, the output circuit 100 provides no compensation. Alternatively, when the output signal should be at steady state, the output circuit 100 maintains a constant level of compensation.

[0030] FIG. 2 is a high-level block diagram of an output circuit 200 in accordance with an aspect of the present invention. The output circuit 200 is an example

embodiment of the output circuit 100. The output circuit 200 includes the PVT compensating circuit 106 and the variable output drive 108. The output circuit 200 further includes a primary output drive 202, an impedance resistance 204, and an electrostatic discharge ("ESD") resistance 206. The primary drive 202 propagates the data signal 112 to the output terminal 104 through the impedance resistance 204. The PVT compensating circuit 106 monitors the output signal 120 at the output terminal 104, through the ESD resistance 206. In an embodiment, the ESD resistance 206 is part of an ESD circuit that protects the PVT compensating circuit 106 from ESD events that occur at the output terminal 104.

[0031] The PVT compensating circuit 106 monitors and/or senses one or more circuit and/or signal characteristics at the output terminal 104 and determines whether compensation is needed to correct for PVT variations in the IC core 110, the output circuit 200, and/or the load 114. For example, where the PVT compensating circuit 106 monitors changes in voltage with respect to time, the compensating circuit 106 determines whether the rate of change is within a desired or predetermined range. The PVT compensating circuit 106 generates the control signal 116 to increase, decrease, or maintain the rate of voltage change at the output terminal 104. The control signal 116 is provided to the variable output drive 108.

[0032] In an embodiment, the variable output drive 108 provides compensation to the output terminal 104 during state transitions of the output signal 120. In order to determine when state transitions occur, the variable output drive 108 also receives the data signal 112. The variable output drive 108 uses the data signal 112 as an enable signal to insure that the variable output drive 108 compensates during state transitions, as now described.

[0033] In FIG. 2, the variable output drive 108 includes a delay 208 that delays the data signal 112 by approximately the same amount of delay imparted on the data signal 112 as it is propagated from the IC core 110, to the output terminal 104, to the output of the PVT compensating circuit 106. The delay 208 allows the variable output drive 108 to determine whether the output signal 120, as viewed at the output terminal 104, is transitioning between states. When the signal at the output terminal 104 is transitioning between states, the variable output drive 108 is enabled to generate and/or adjust the compensation output signal 118. In an embodiment, the variable output drive 108 outputs the compensation output signal 118 to maintain, increase and/or decrease the rate of voltage change at the output terminal 104.

[0034] In an embodiment, the primary output drive 202 and the variable output drive 108 are current sources, which can be combined directly with one another.

[0035] FIG. 3A is a circuit diagram of an example output circuit 300 in accordance with an aspect of the present invention. The output circuit 300 is an example embodiment of the output circuit 200. The output circuit

300 includes a first set of compensation circuitry for compensating rising edges, generally denoted with the suffix "a" and a second set of compensation circuitry for compensating falling edges, generally denoted with the suffix "b."

[0036] In the output circuit 300, the primary output drive 202 includes primary output drives 202a and 202b, which drive positive and negative transitions (i.e., rising and falling edges), respectively. The primary output drive 202a is illustrated with an inverter 310a and one or more PMOS devices 312a. The primary output drive 202b is illustrated with an inverter 310b and one or more NMOS devices 312b. The invention is not, however, limited to this embodiment. Other embodiments utilize other types and/or numbers of devices.

[0037] In the output circuit 300, the PVT compensating circuit 106 includes a feedback circuit 302 coupled to the ESD resistance 206. The feedback circuit 302 receives the output signal 120 from the output pad 104 through the ESD resistance 206. Alternatively, the feedback circuit 302 includes an internal resistance in place of, or in addition to the ESD resistance 206. The feedback circuit 302 generates a signal 304 representative of voltage ("V") or changes in voltage with respect to time ("dV/dt"), as measured at the output pad 104. In an embodiment, the feedback circuit 302 includes a capacitance that, when combined with the resistance of the ESD resistance 206, generates the V or dV/dt signal 304. In series with the capacitor, the feedback circuit 302 includes an inverter.

[0038] The feedback circuit 302 can be implemented in a variety of ways. For example, in FIG. 4, the feedback circuit 302 is implemented as an inverter. In FIG. 5, the feedback circuit 302 is implemented as a cross-coupled pair. The cross-coupled pair of FIG. 5 works similar to the inverter of FIG. 4. In FIGS. 6, 7, and 8, the feedback circuit 302 is implemented as voltage comparator circuits. In the voltage comparator circuits of FIGS. 6 and 7, the voltage from the output pad 104 is compared to a reference voltage (V_{ref}). When $V_{pad} > V_{ref}$, the current drive of the output circuit is reduced. When $V_{pad} < V_{ref}$, the current drive of the output circuit is increased. Typically, V_{ref} is close to $VDDO/2$ and could be generated by using a resistive divider on $VDDO$ (as shown in FIG. 8) or other supply voltage. Other similar circuitry such as a current comparator could also be used instead of the voltage comparator. The invention is not, however, limited to these exemplary embodiments. Based on the description herein, one skilled in the relevant art(s) will understand that other circuit implementations of the feedback circuit 302 are possible. Such other implementations are within the scope of the present invention.

[0039] Referring back to FIG. 3, the PVT compensating circuit 106 generates separate control signals 116a and 116b for controlling compensation to rising and falling edges, respectively. The PVT compensating circuit 106 generates the rising edge control signal 116a with

PMOS device 308a and NMOS device 306a. The PMOS device 308a acts as an adjustable voltage source that outputs the control signal 216a under control of the V or dV/dt signal 304. The NMOS device 307a acts as an enabling device that enables the V or dV/dt signal 304 to control the NMOS device 306a during state transitions of the output signal 120, and essentially terminates the V or dV/dt signal 304 when the output signal 120 is below a pre-determined value. The PVT compensating circuit 106 generates the falling edge control signal 116b in a similar fashion, using an NMOS device 308b and a PMOS device 306b.

[0040] In FIG. 3, the variable output drive 108 is illustrated with separate fingers for positive and negative transitions. Positive transitions are compensated with drive from a set of one or more PMOS devices 314a, under control of the control signal 116a. Negative transitions are compensated with drive from a set of one or more NMOS devices 314b, under control of the control signal 116b.

[0041] Impedance matching features of the invention are now described. In the primary output drive 202, the PMOS device(s) 312a and the NMOS device(s) 312b include inherent resistances and capacitances. Similarly, in the variable output drive 108, the PMOS device(s) 314a and the NMOS device(s) 314b include inherent resistances and capacitances. These inherent resistances and capacitances, together with the impedance resistance 204, form an output impedance. The PMOS devices 312a and 314a, the NMOS devices 312b and 314b, and the impedance resistance 204, are selected to provide an output impedance appropriate for a given load impedance.

[0042] In an embodiment, the impedance matching characteristics provided by the primary output drive 202 and the variable output drive 108 are relatively fixed without regard to the level of compensation provided by the variable output drive 108. Alternatively, under ideal or near-ideal circumstances (e.g., no PVT variations), when no compensation is required, the primary output drive 202 provides suitable impedance matching to the load 114. For non-ideal circumstances (e.g., PVT variations), the variable output drive 108 provides additional impedance matching characteristics. In an embodiment, the additional impedance matching characteristics of the variable output drive 108 vary in proportion to control signals 116a and 116b.

[0043] In operation, the output pad 104 is driven by fingers of devices 312a (e.g., MPd0-MPd3), 312b (e.g., MNd0-MNd3), 314a (e.g., MPd4-MPd17), and 314b (e.g., MNd4-MNd17). The value of the impedance resistance 204 (i.e., R_{imp}), is chosen such that the combination of the impedance resistor 204 and the inherent impedance of devices 312a, 312b, 314a, and 314b, match the impedance of the load 114. The voltage and dV/dt (change in voltage with time) at output pad 104 are fed-back to the PVT compensating circuit 106 after passing through the ESD resistance 206 (i.e., R_{esd}).

The fed-back voltage and dV/dt are used to control the gate drives of the NMOS device 306a and the PMOS device 306b. The voltage level at the pad terminal and the rate of change of voltage at the pad terminal affects the switching-point of the input of the PVT compensating circuit 106.

[0044] The ESD resistor 206, along with input gate capacitance of the PVT compensating circuit 106, make the PVT compensating circuit sensitive to the dV/dt of the signal at the output pad 104. Thus, during rising transitions at the output pad 104, a high voltage at the output pad 104 and a high dV/dt causes the input of the PVT compensating circuit 106 (e.g., an inverter in FIG. 4), to be charged high fast causing the input NMOS device 404 to turn-on hard and fast, thereby quickly decreasing the gate voltage of the NMOS device 306a and PMOS device 308a to reduce the conduction of the NMOS device 306a and increase the conduction of the PMOS device 308a. This increases the voltage at 116a thereby reducing conduction of output PMOS 314a. Similarly, during falling transitions at the output pad 104, a low voltage at the output pad 104 and a high $-dV/dt$ (high dV/dt in the negative direction), causes the PMOS device 402 to turn-on hard and fast, thereby quickly increasing the gate voltage of the PMOS device 306b and NMOS device 308b, to reduce the conduction of the PMOS device 306b and increase conduction of the NMOS device 308b. This decreases the voltage at 116b, thereby reducing conduction of output NMOS device 314b. The voltage at the output pad 104 generally depends on the relative values of the impedance of the load 114 and the output transistors plus any built-in-resistor impedance.

[0045] In FIGS. 3-8, the PMOS device 308a and the NMOS device 308b are controlled by a single feedback circuit 302. Alternatively, the PMOS device 308a and the NMOS device 308b can also be controlled with separate feedback circuits.

[0046] In an embodiment, multiple PVT compensating circuits having varying switching points are used to control different legs of output PMOS and NMOS devices, each output PMOS and NMOS device coupled to different variable output drive fingers. This provides, among other things, greater granularity of control.

[0047] In FIG. 9 illustrates a process flowchart 900 for implementing the present invention. For exemplary purposes, the process flowchart 900 is described below with reference to one or more of the example system implementations illustrated in one or more of the drawing FIGS. 1-8. The present invention is not, however, limited to the example system implementations illustrated in drawing FIGS. 1-8. Based on the description herein, one skilled in the relevant art(s) will understand that the process flowchart 900 can be implemented with other system implementations as well. Such other implementations are within the spirit and scope of the present invention.

[0048] The process begins with step 902, which in-

cludes receiving an output signal from a circuit. For example, in FIG. 1, the data signal 112 is received at the input terminal 102.

[0049] Step 904 includes propagating the output signal to an output terminal. For example, in FIG. 2, the data signal 112 is propagated to the output terminal 104 by the primary output drive 202.

[0050] Step 906 includes sensing changes in voltage level and change in voltage with respect to time at the output terminal. For example, in FIG. 2, the PVT compensating circuit 106 senses changes in voltage with respect to time at the output terminal 104.

[0051] Step 908 includes generating a control signal proportional to the sensed changes in voltage with respect to time. For example, in FIG. 2, the PVT compensating circuit 106 generates the control signal 116 proportional to the sensed changes in voltage with respect to time.

[0052] Step 910 includes generating a supplemental drive signal under control of the control signal. For example, in FIG. 2, the variable output drive 108 generates the supplemental drive signal 118 under control of the control signal 116.

[0053] Step 912 includes providing the supplemental drive signal to the output terminal, wherein the output signal at the output terminal has a rate of voltage change with respect to time that is substantially within a predetermined range. For example, in FIG. 2, the supplemental drive signal 118 is combined with the output of the primary output drive 202 and provided to the output terminal 104 through the impedance resistance 204. The supplemental drive signal 118 is generated so as to substantially maintain the rate of voltage change at pad terminal 104 with respect to time within a predetermined range.

[0054] Step 914 includes impedance matching the output signal and said supplemental output signal to the load. For example, in FIG. 3, in an embodiment described above, the primary output drive 202 and the variable output drive 108 include inherent gate resistances and capacitances that, in combination with the impedance resistance 204, substantially matches the impedance of the load 114.

[0055] In an embodiment, the control signal generated in step 908 is further used to control impedance matching characteristics. For example, in FIG. 3, in an embodiment, the inherent resistance of the variable output drive 108 varies in accordance with the control signal 116. As a result, the output signal 120 at the pad terminal 104 is substantially impedance matched to the load 114 for a range of process, voltage, and/or temperature variations in the circuits 110 and 300, and the load 114. Accordingly, FIG. 9 includes an optional step 916, which includes controlling the impedance matching with the control signal, wherein the output signal and the supplemental output signal are substantially impedance matched to the load for a range of process, voltage, and/or temperature variations in the circuit and the load.

[0056] The present invention has been described above with the aid of functional building blocks illustrating the performance of specified functions and relationships thereof. The boundaries of these functional building blocks have been arbitrarily defined herein for the convenience of the description. Alternate boundaries can be defined so long as the specified functions and relationships thereof are appropriately performed. Any such alternate boundaries are thus within the scope and spirit of the claimed invention. One skilled in the art will recognize that these functional building blocks can be implemented by discrete components, application specific integrated circuits, processors executing appropriate software, and the like, and/or combinations thereof.

[0057] While various embodiments of the present invention have been described above, it should be understood that they have been presented by way of example only, and not limitation. Thus, the breadth and scope of the present invention should not be limited by any of the above-described exemplary embodiments, but should be defined only in accordance with the following claims and their equivalents.

Claims

1. A system for impedance matching a circuit to a load and for compensating for process, voltage, and/or temperature variations in said circuit and said load, comprising:
 - an input terminal for receiving a data signal from said circuit;
 - an output terminal;
 - an impedance resistance coupled between said input terminal and said output terminal;
 - a primary output drive coupled between said input terminal and said impedance resistance, whereby said primary output drive circuit propagates said data signal to said output terminal through said impedance resistance, said primary output drive circuit having a first resistance;
 - a compensating circuit coupled to said output terminal through an ESD resistance, said compensating circuit including a feedback circuit that senses a rate of voltage change with respect to time at said output terminal; said compensating circuit including a control signal generator that generates a control signal in proportion to sensed changes in said rate of voltage change with respect to time; and
 - a variable output drive coupled between said compensating circuit and said output terminal, said variable output drive generating a supplemental drive signal under control of said control signal to substantially maintain said rate of voltage change with respect to time within a predetermined range, said variable output drive having a second resistance, wherein said first and second resistances and said impedance resistance form an output impedance that substantially matches an impedance of said load.
2. The system according to claim 1, wherein said second resistance is a variable resistance and is controlled by said control signal, wherein said first resistance, said variable resistance, and said impedance resistance form a variable output impedance that substantially matches an impedance of said load for a range of process, voltage, temperature, and load variations.
3. The system according to claim 1 or claim 2, wherein:
 - said feedback circuit includes a capacitance, whereby said capacitance and said ESD resistance generate a dV/dt signal indicative of said rate of voltage change with respect to time; and
 - said control signal generator generates said control signal in proportion to changes in said dV/dt signal.
4. The system according to any of claims 1 to 3, wherein said feedback circuit comprises an inverter.
5. The system according to any of the preceding claims, wherein said feedback circuit comprises a cross-coupled pair.
6. The system according to any of the preceding claims, wherein said feedback circuit comprises a voltage comparator.
7. The system according to claim 6, wherein said voltage comparator compares a voltage from said output terminal to a reference voltage.
8. The system according to any of the preceding claims, wherein:
 - said variable output drive includes an input coupled to said input terminal, whereby said variable output drive generates said supplemental drive signal under control of said control signal and said output signal to substantially maintain said predetermined rate of voltage change with respect to time during state changes of said output terminal.
9. A method for impedance matching a circuit to a load and for compensating for process, voltage, and/or temperature variations in said circuit and/or in said load, comprising the steps of:

- (1) receiving a data signal from a said circuit;
- (2) propagating said data signal to an output terminal;
- (3) sensing changes in voltage with respect to time at said output terminal;
- (4) generating a control signal proportional to said sensed changes in voltage with respect to time;
- (5) generating a supplemental drive signal under control of said control signal;
- (6) providing said supplemental drive signal to said output terminal, wherein said output signal at said output terminal has a rate of voltage change with respect to time that is substantially within a predetermined range; and
- (7) impedance matching said output signal and said supplemental output signal to said load.

10. The method according to claim 9, further comprising the step of:

- (8) controlling said impedance matching with said control signal, wherein said output signal and said supplemental output signal are substantially impedance matched to said load for a range of process, voltage, and/or temperature variations in said circuit and said load.

11. A system for impedance matching a circuit to a load and for compensating for process, voltage, and/or temperature variations in said circuit and/or in said load, comprising:

- means for receiving a data signal from a said circuit;
- means for propagating said data signal to an output terminal;
- means for sensing changes in voltage with respect to time at said output terminal;
- means for generating a control signal proportional to said sensed changes in voltage with respect to time;
- means for generating a supplemental drive signal under control of said control signal;
- means for providing said supplemental drive signal to said output terminal, wherein said output signal at said output terminal has a rate of voltage change with respect to time that is substantially within a predetermined range; and
- means for impedance matching said output signal and said supplemental output signal to said load.

12. The system according to claim 11, further comprising:

- means for controlling said impedance matching with said control signal, wherein said output

signal and said supplemental output signal are substantially impedance matched to said load for a range of process, voltage, and/or temperature variations in said circuit and said load.

13. A system for impedance matching a circuit to a load and for compensating for process, voltage, and/or temperature variations in said circuit and/or in said load, comprising:

- an input terminal for receiving a data signal from said circuit;
- an output terminal;
- an impedance resistance coupled between said input terminal and said output terminal;
- a primary output drive coupled between said input terminal and said impedance resistance, whereby said primary output drive circuit propagates said data signal to said output terminal through said impedance resistance, said primary output drive circuit having a first resistance;
- a compensating circuit coupled to said output terminal through an ESD resistance, said compensating circuit including a feedback circuit that senses voltage at said output terminal, said compensating circuit including a control signal generator that generates a control signal in proportion to sensed voltage; and
- a variable output drive coupled between said compensating circuit and said output terminal, said variable output drive generating a supplemental drive signal under control of said control signal, said variable output drive including a second resistance, wherein said first and second resistances and said impedance resistance form an output impedance that substantially matches an impedance of said load.

14. The system according to claim 13, wherein said second resistance is a variable resistance and is controlled by said control signal, wherein said first resistance, said variable resistance, and said impedance resistance form a variable output impedance that substantially matches an impedance of said load for a range of process, voltage, temperature, and load variations.

15. The system according to claim 13 or claim 14, wherein:

- said feedback circuit includes a capacitance, whereby said capacitance and said ESD resistance generate a dV/dt signal indicative of said voltage; and
- said control signal generator generates said control signal in proportion to said voltage and said dV/dt signal.

16. The system according to any of claims 13 to 15, wherein said feedback circuit comprises an inverter.

17. The system according to any of claims 13 to 16, wherein said feedback circuit comprises a cross-coupled pair. 5

18. The system according to any of claims 13 to 17, wherein said feedback circuit comprises a voltage comparator. 10

19. The system according to claim 18, wherein said voltage comparator compares a voltage from said output terminal to a reference voltage. 15

20. The system according to any of claims 13 to 19, wherein:

said variable output drive includes an input coupled to said input terminal, whereby said variable output drive generates said supplemental drive signal under control of said control signal and said output signal to substantially maintain said predetermined rate of voltage change with respect to time during state changes of said output terminal. 20

21. A method for impedance matching a circuit to a load and for compensating for process, voltage, and/or temperature variations in said circuit and/or in said load, comprising the steps of: 30

- (1) receiving a data signal from a said circuit;
- (2) propagating said data signal to an output terminal; 35
- (3) sensing voltage at said output terminal;
- (4) generating a control signal proportional to said sensed voltage;
- (5) generating a supplemental drive signal under control of said control signal; 40
- (6) providing said supplemental drive signal to said output terminal, wherein said output signal at said output terminal has a rate of voltage change with respect to time that is substantially within a predetermined range; and 45
- (7) impedance matching said output signal and said supplemental output signal to said load.

22. The method according to claim 21, further comprising the step of: 50

- (8) controlling said impedance matching with said control signal, wherein said output signal and said supplemental output signal are substantially impedance matched to said load for a range of process, voltage, and/or temperature variations in said circuit and said load. 55

23. A system for impedance matching a circuit to a load and for compensating for process, voltage, and/or temperature variations in said circuit and/or in said load, comprising:

means for receiving a data signal from a said circuit;

means for propagating said data signal to an output terminal;

means for sensing voltage at said output terminal;

means for generating a control signal proportional to said sensed voltage;

means for generating a supplemental drive signal under control of said control signal;

means for providing said supplemental drive signal to said output terminal, wherein said output signal at said output terminal has a rate of

voltage change with respect to time that is substantially within a predetermined range; and

means for impedance matching said output signal and said supplemental output signal to said load.

24. The system according to claim 23, further comprising:

means for controlling said impedance matching with said control signal, wherein said output signal and said supplemental output signal are substantially impedance matched to said load for a range of process, voltage, and/or temperature variations in said circuit and said load.

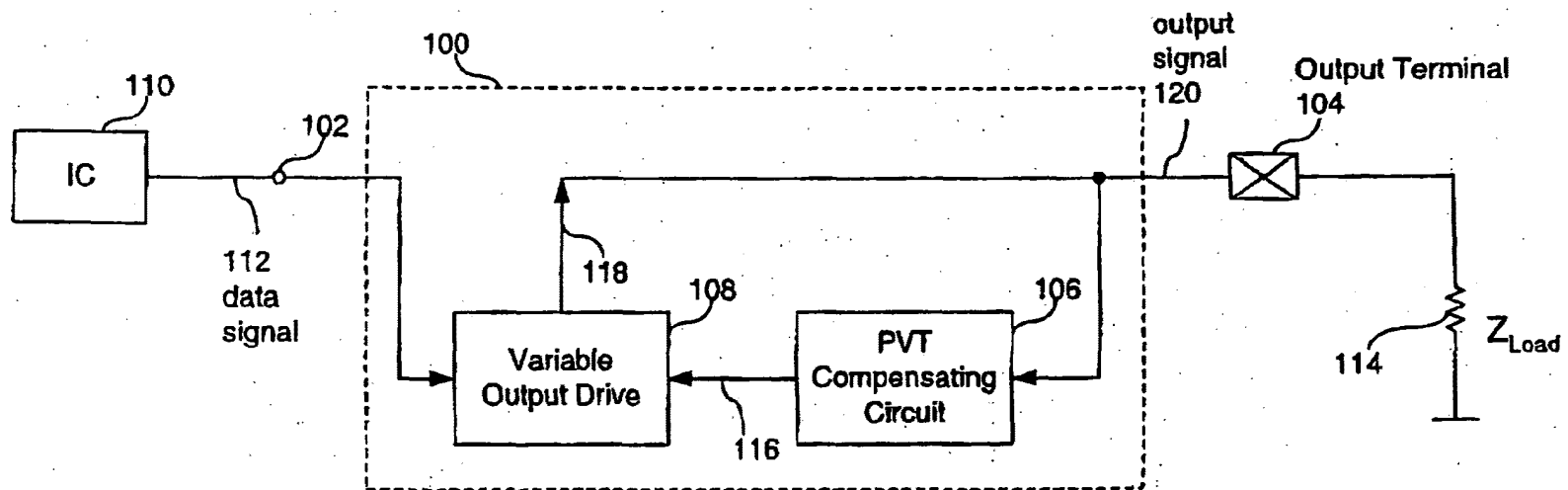


FIG. 1

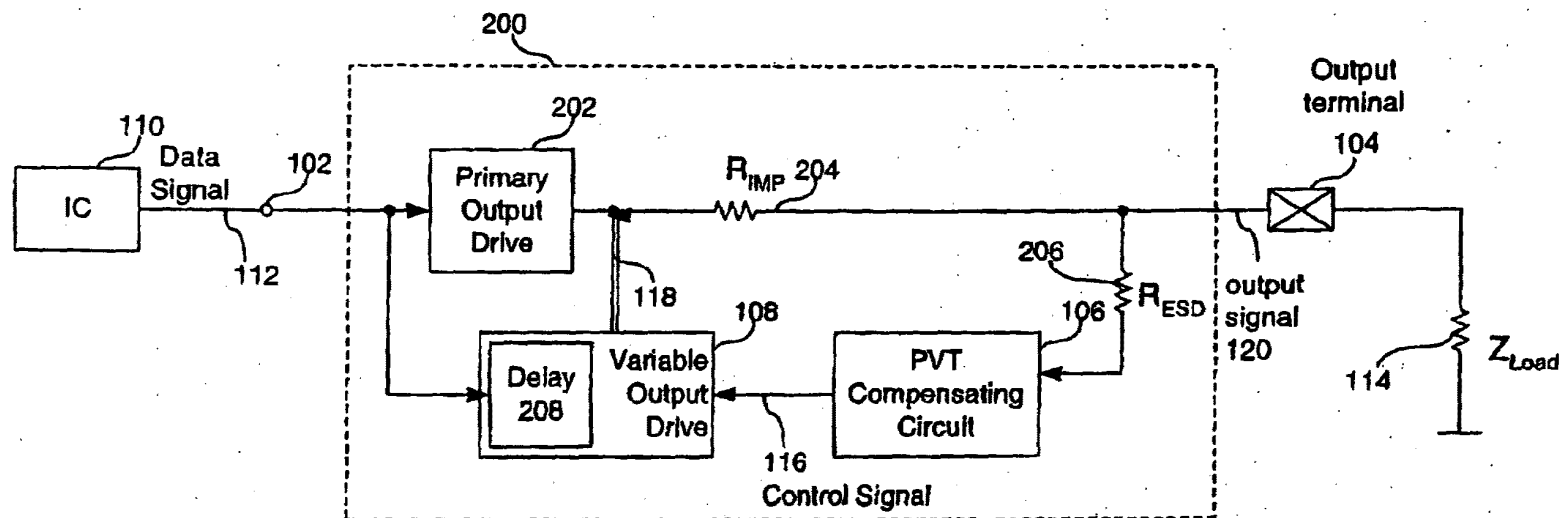


FIG. 2

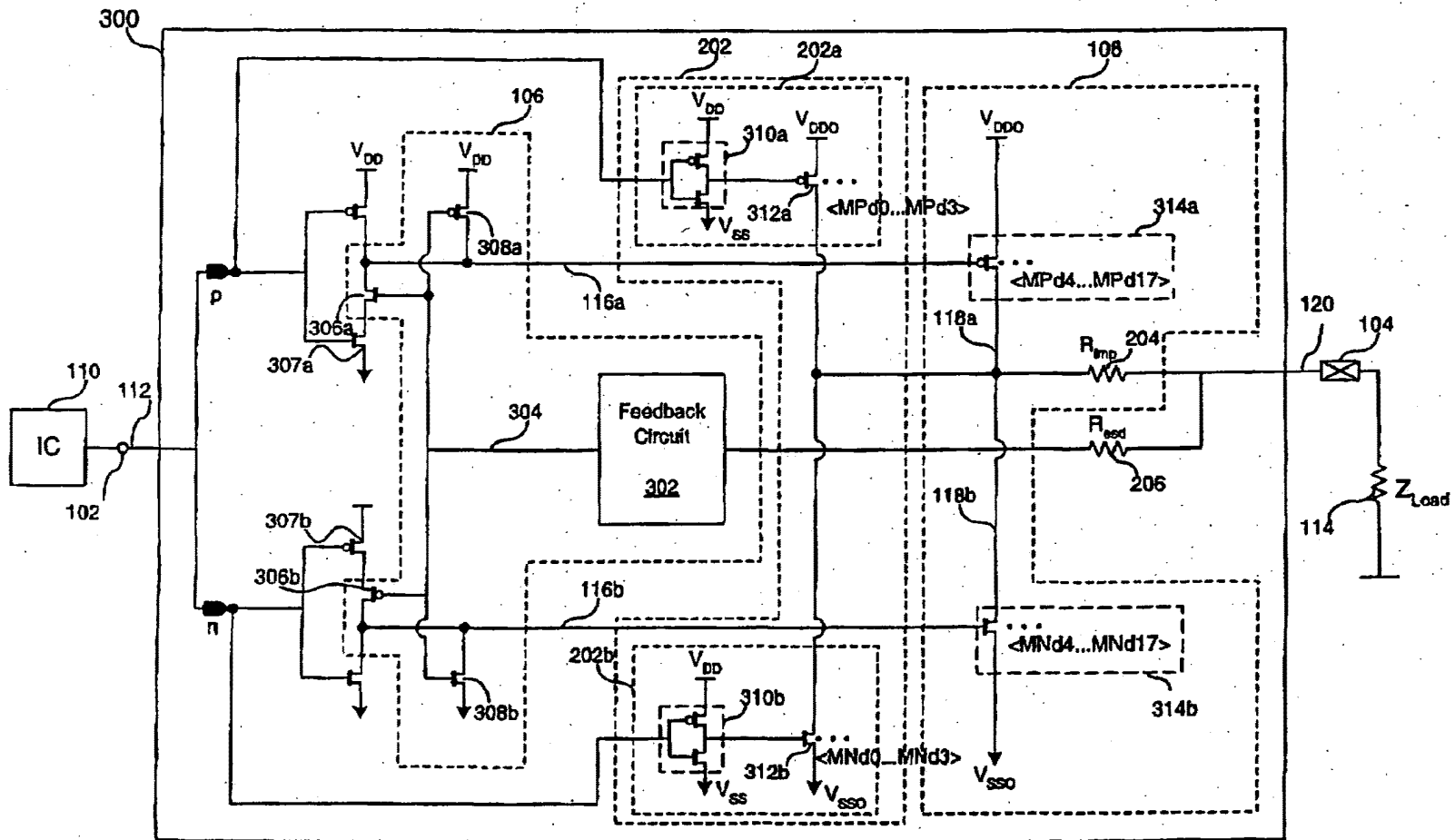


FIG. 3

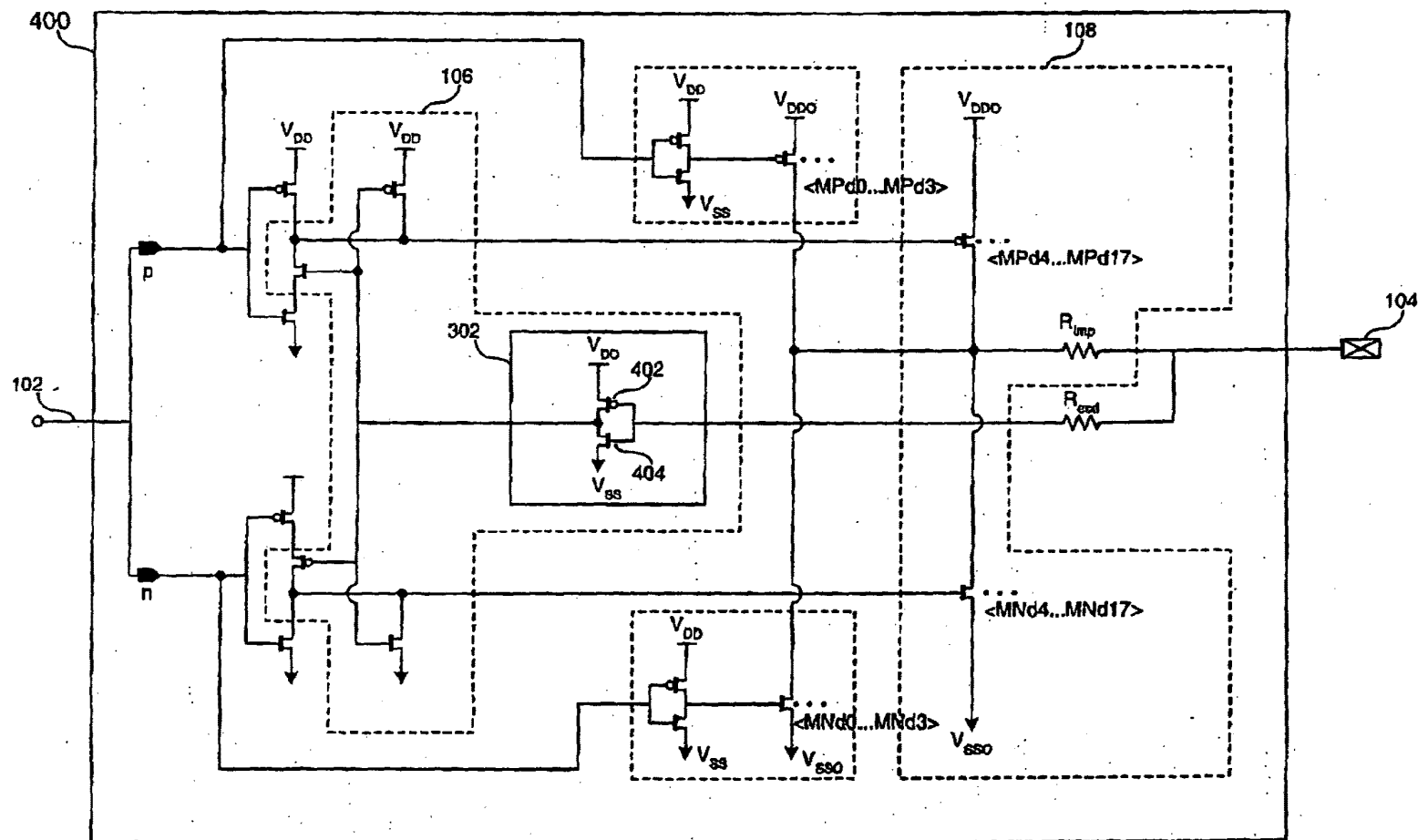


FIG. 4

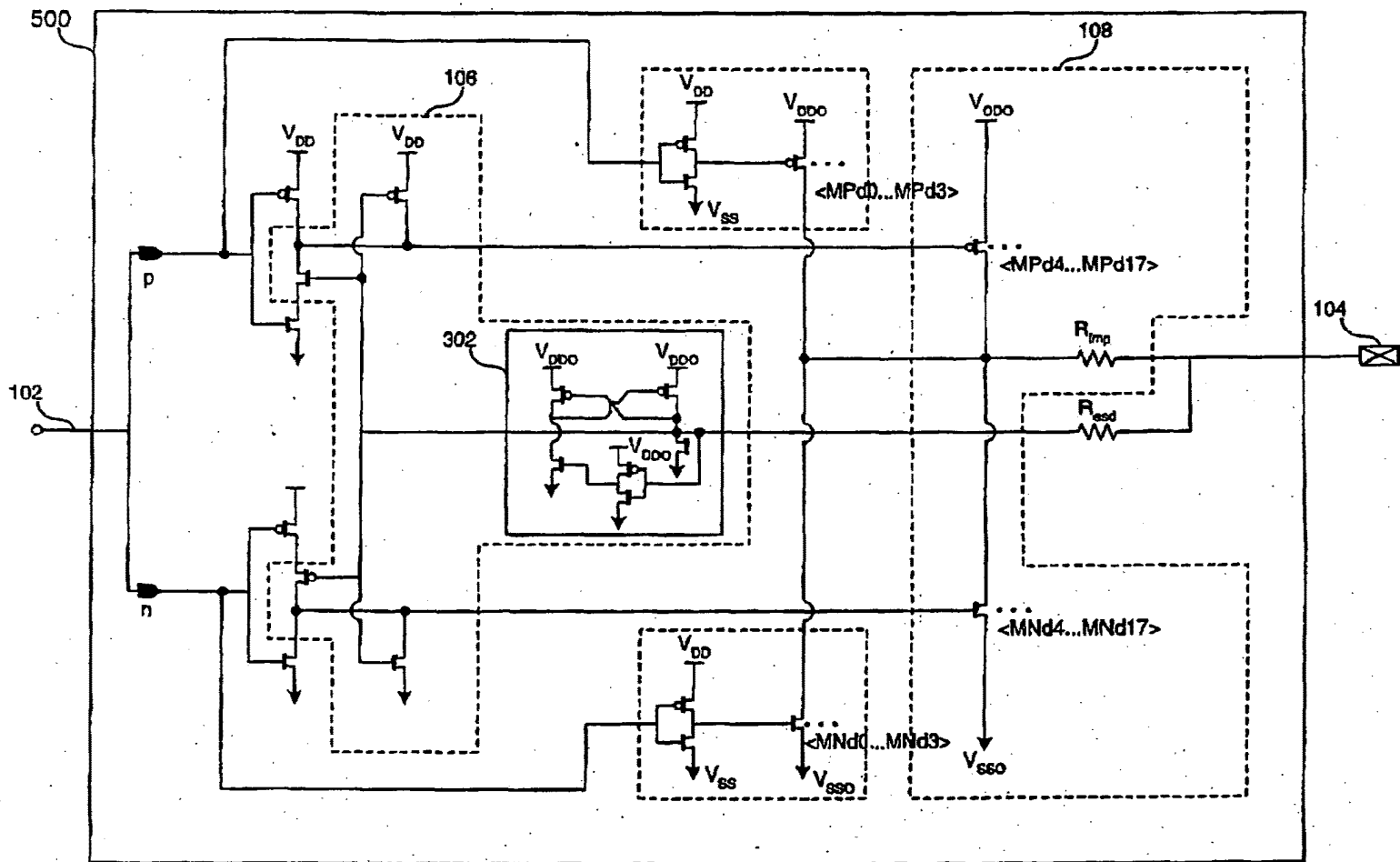


FIG. 5

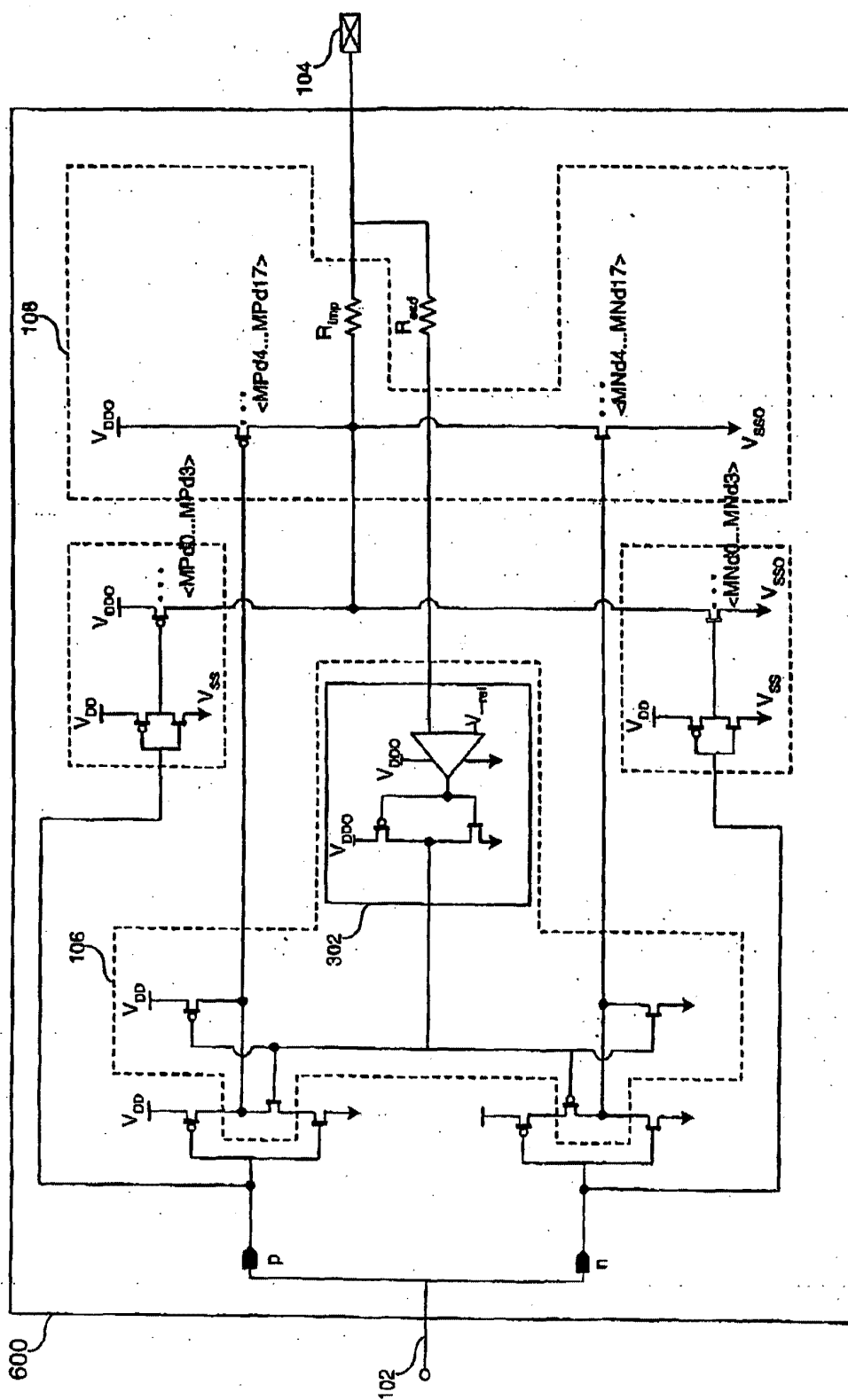


FIG. 6

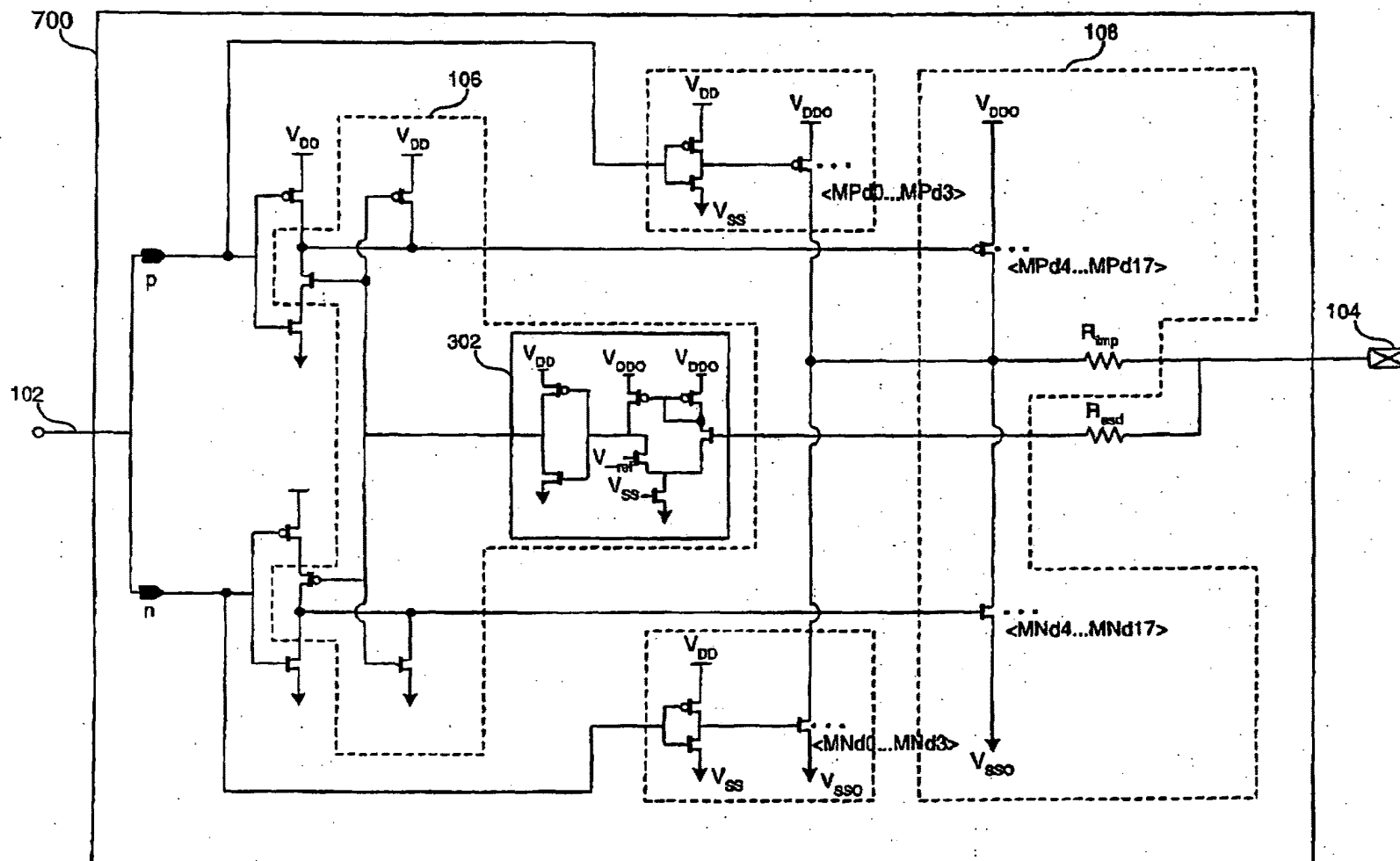


FIG. 7

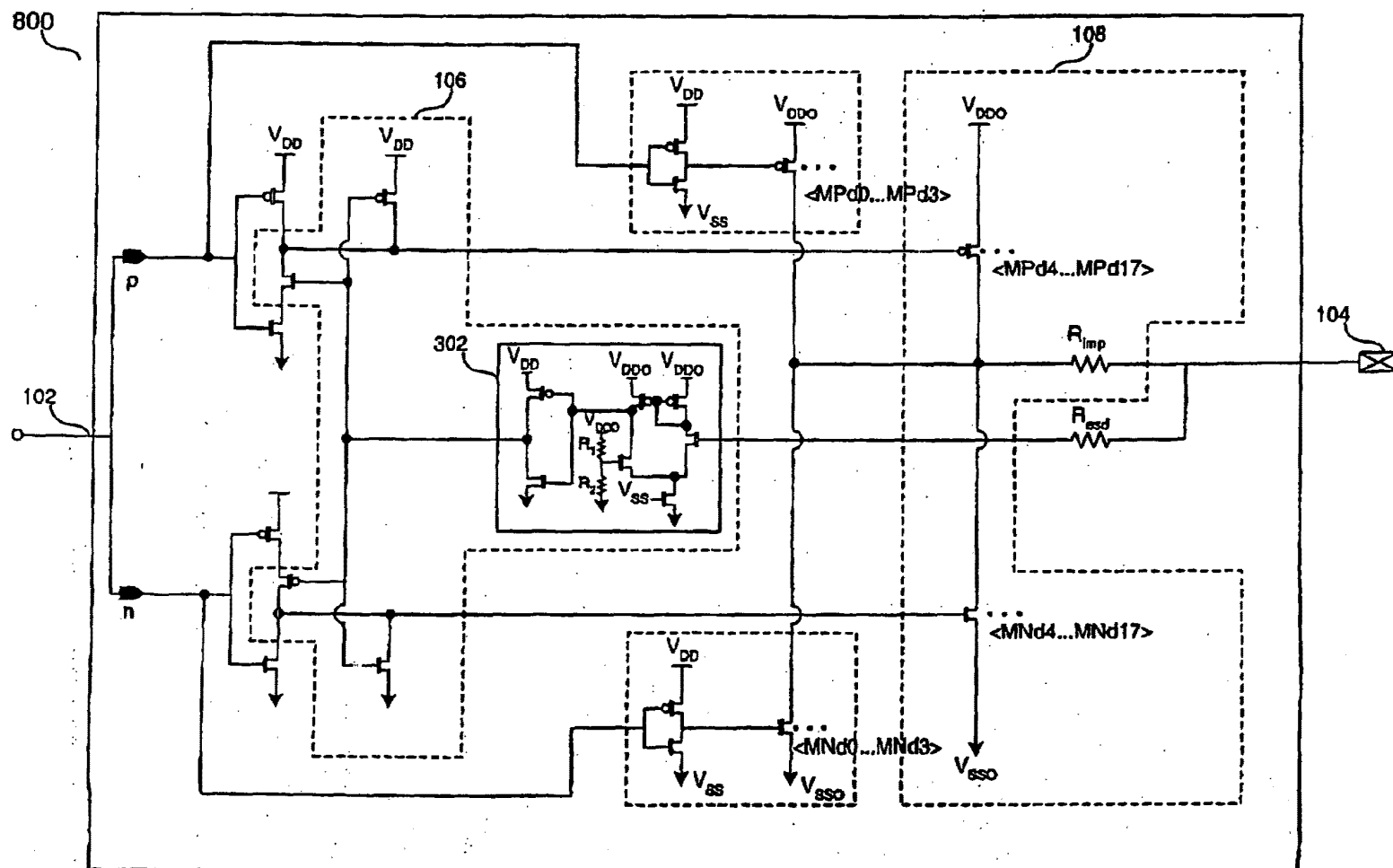


FIG. 8

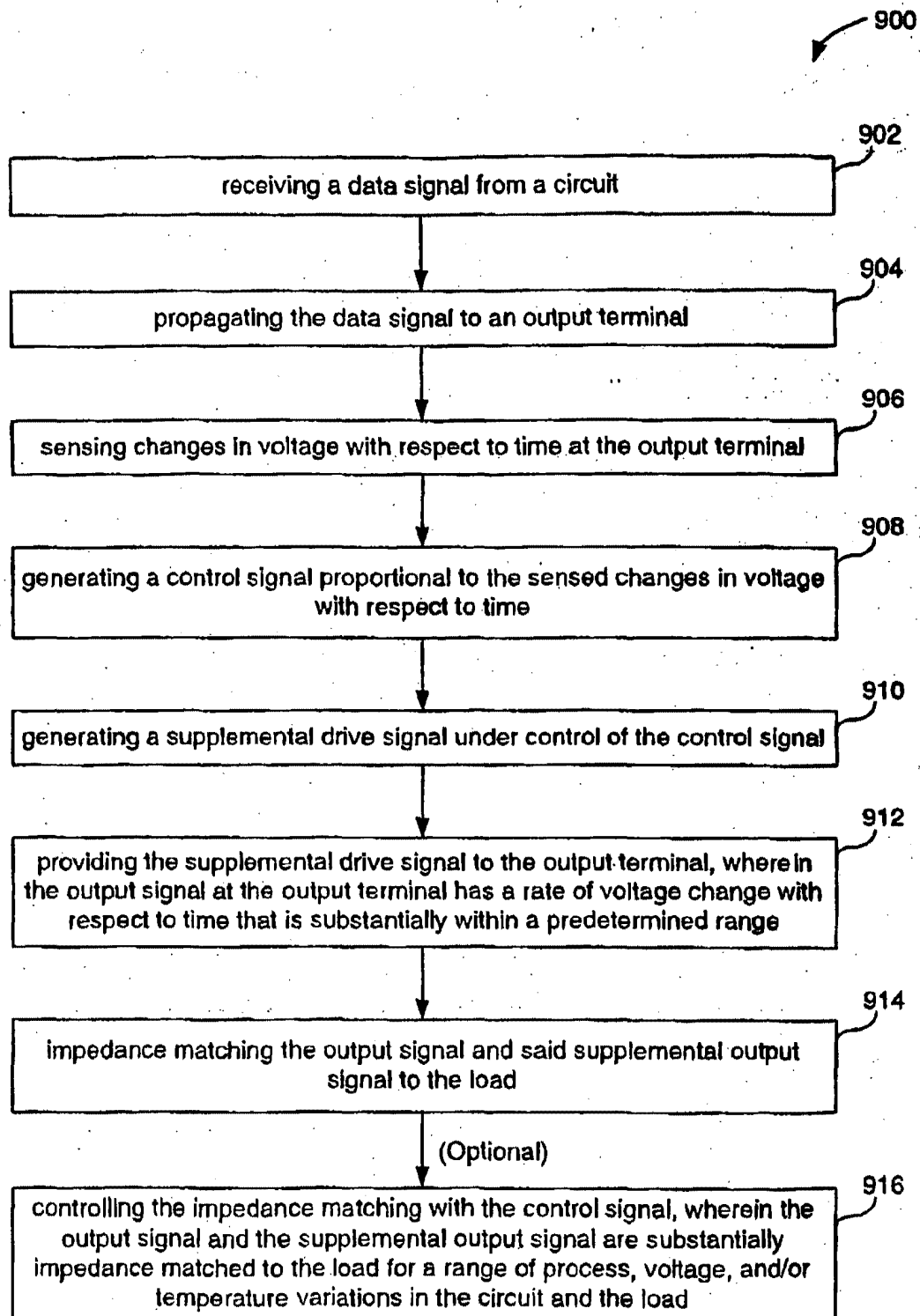


FIG. 9



European Patent
Office

EUROPEAN SEARCH REPORT

Application Number
EP 03 25 0012

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.7)
X	HUCHZERMEIER J: "SAUBER UND SCHNELL SCHALTEN DYNAMIC OUTPUT CONTROL ERMOEGLICHT VERBESSERTE SCHALTEIGENSCHAFTEN BEI HOHEN GESCHWINDIGKEITEN" ELEKTRONIK, FRANZIS VERLAG GMBH. MUNCHEN, DE, vol. 48, no. 20, 5 October 1999 (1999-10-05), pages 50-54, 56, 58, XP000927619 ISSN: 0013-5658 * page 54, right-hand column, paragraph 1 * * page 56, right-hand column, paragraphs 1, 2; figures 6, 8 *	1, 2, 8-14, 20-24	H03K19/003 H03K19/00 H03K19/0185
Y	---	3-7, 15-19	
A	"CMOS INTEGRATED CIRCUITS, B-SERIES" November 1976 (1976-11), SOLID STATE SCIENTIFIC INC., MONTGOMERYVILLE, PA., US XP002233969 * page 16 - page 17; figure 11 *	1, 13	TECHNICAL FIELDS SEARCHED (Int.Cl.7) H03K
Y	DE 40 18 754 A (BOSCH GMBH ROBERT) 19 December 1991 (1991-12-19) * column 2, line 59-61; figure 1 *	3, 15	
Y	US 2001/026178 A1 (ITOH KUNIHITO ET AL) 4 October 2001 (2001-10-04) * page 9, paragraph 116; figure 13 *	4, 6, 7, 16, 18, 19	
A	* page 4, paragraphs 46-54; figure 5 * * page 8, paragraphs 100, 107 * * page 1, paragraph 1 * --- -/--	1, 9, 11, 13, 21, 23	
The present search report has been drawn up for all claims			
Place of search MUNICH		Date of completion of the search 10 March 2003	Examiner Moll, P
CATEGORY OF CITED DOCUMENTS X: particularly relevant if taken alone Y: particularly relevant if combined with another document of the same category A: technological background O: non-written disclosure P: intermediate document T: theory or principle underlying the invention E: earlier patent document, but published on, or after the filing date D: document cited in the application L: document cited for other reasons &: member of the same patent family, corresponding document			

EPO FORM 1503 03 82 (P04C01)



European Patent
Office

EUROPEAN SEARCH REPORT

Application Number
EP 03 25 0012

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.7)
Y	US 6 177 819 B1 (NGUYEN ANDY T) 23 January 2001 (2001-01-23) * column 6, line 55-65; figures 3,3A *	5,17	
X	US 6 137 322 A (TEN EYCK TIMOTHY A) 24 October 2000 (2000-10-24) * the whole document *	9-12, 21-24	
A	US 5 719 509 A (CHAN FRANCIS H) 17 February 1998 (1998-02-17) * column 2, line 57 - column 3, line 58; figure 1 *	1-24	
A	US 6 184 730 B1 (CHEN BAOHUA ET AL) 6 February 2001 (2001-02-06) * column 1, line 36 - column 2, line 5; figure 1 * * column 6, line 43 - column 7, line 5; figure 4 *	1-24	
A	CHOY C S ET AL: "A LOW POWER-NOISE OUTPUT DRIVER WITH AN ADAPTIVE CHARACTERISTIC APPLICABLE TO A WIDE RANGE OF LOADING CONDITIONS" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 32, no. 6, 1 June 1997 (1997-06-01), pages 913-917, XP000723415 ISSN: 0018-9200 * figure 4 *	1-24	
The present search report has been drawn up for all claims			
Place of search MUNICH		Date of completion of the search 10 March 2003	Examiner Moll, P
CATEGORY OF CITED DOCUMENTS X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document			

EPO FORM 1503 03.82 (P04C01)

**ANNEX TO THE EUROPEAN SEARCH REPORT
ON EUROPEAN PATENT APPLICATION NO.**

EP 03 25 0012

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

10-03-2003

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 4018754 A	19-12-1991	DE 4018754 A1 WO 9120129 A1	19-12-1991 26-12-1991
US 2001026178 A1	04-10-2001	JP 2001285049 A JP 2001292056 A	12-10-2001 19-10-2001
US 6177819 B1	23-01-2001	NONE	
US 6137322 A	24-10-2000	JP 2000031812 A TW 415145 B	28-01-2000 11-12-2000
US 5719509 A	17-02-1998	US 5486782 A JP 8111636 A	23-01-1996 30-04-1996
US 6184730 B1	06-02-2001	NONE	

EPO FORM P0450

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 **Offenlegungsschrift**
10 **DE 100 34 713 A 1**

51 Int. Cl. 7:
H 03 K 17/14

21 Aktenzeichen: 100 34 713.4
22 Anmeldetag: 17. 7. 2000
43 Offenlegungstag: 7. 2. 2002

DE 100 34 713 A 1

71 Anmelder:
Infineon Technologies AG, 81669 München, DE

74 Vertreter:
Patentanwälte Dr. Graf Lambsdorff & Dr. Lange,
81673 München

72 Erfinder:
Klein, Ralf, 81541 München, DE

55 Entgegenhaltungen:
DE 44 41 523 C1
US 60 81 134
US 45 67 378

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

64 Verfahren und Vorrichtung zur Beurteilung der Stärke eines Treibers

57 Bei einem Verfahren und einer Vorrichtung zum Steuern der Stärke eines Treibers, insbesondere eines Padtreibers für hochintegrierte elektronische Schaltungen, wird, insbesondere wiederkehrend in jedem Systemtakt, ein mit dem Treibereingangssignal zeitlich gekoppelter Auswertungszeitpunkt ermittelt. Unter Verwendung des Auswertungszeitpunktes wird ausgewertet, ob die Stärke des Treibers zu ändern ist oder beibehalten werden kann.

DE 100 34 713 A 1

Beschreibung

[0001] Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zum Beurteilen der Stärke eines Treibers, insbesondere eines Padtreibers für hochintegrierte elektronische Schaltungen, wobei der Treiber, ausgelöst durch ein Treiber Eingangssignal, einen Wert eines Treiber Ausgangssignals erhöht oder erniedrigt.

[0002] Im Zusammenhang mit elektronischen Schaltungen werden sogenannte Treiber eingesetzt, um Spannungssignale zu erzeugen, die meist einen hohen und einen niedrigen Spannungswert haben können und daher als binäre Signale interpretierbar sind. Weiterhin können die Treiber dazu verwendet werden, durch Erzeugen eines Spannungsanstieges oder eines Spannungsabfalls innerhalb kurzer Zeit in anderen elektronischen Baugruppen oder Schaltungen Vorgänge auszulösen. In beiden Fällen wird von einem geeigneten Treiber gefordert, daß der Wert seines Ausgangssignals sich in einer vorgegebenen maximalen Zeitspanne auf ein bestimmtes Niveau erhöhen oder erniedrigen können muß. In heutigen digitalen Schaltungen treten Datenraten z. B. von mehreren zehn Millionen Bits pro Sekunde auf. Das Treiberkonzept bietet sich bei heutigen Technologien besonders für Flankenzeiten von ca. 10 ns bis 50 ns an.

[0003] Treiber können Bestandteil der mit den Ausgangssignalen des jeweiligen Treibers zu betreibenden Schaltungen sein oder durch eine separate Schaltung realisiert werden. In letzterem Fall kann ein Treiber dazu dienen, Ausgangssignale für eine Mehrzahl zu betreibender Schaltungen bereitzustellen. In der Mikroelektronik werden sogenannte Padtreiber (Ausgangskontakt-Treiber) eingesetzt, die dem Betrieb integrierter Schaltungen wie Mikrocontroller, Mikroprozessoren, ASICs, Speicherbausteine oder dergleichen mikroelektronischer Bauelemente dienen. Derartige Schaltungen stellen unterschiedlich große, meist kapazitive Lasten für den Treiber dar, so daß unterschiedlich starke elektrische Ströme erforderlich sind, um den gewünschten Spannungsanstieg oder Spannungsabfall zu erzeugen. Üblicherweise wird die Stärke eines Treibers, also die Fähigkeit, eine bestimmte Last in einer bestimmten Zeit mit dem gewünschten Signal anzusteuern, auf die ungünstigsten Betriebsbedingungen (worst case) ausgelegt. Zu den Betriebsbedingungen gehören außer der Lastgröße der zu betreibenden Schaltung unter anderem auch die Versorgungsspannung des Treibers und die Umgebungstemperatur. Weiterhin gibt es bei der Herstellung von Treibern ein und desselben Typs Schwankungen, die zu unterschiedlichen Treiberstärken führen.

[0004] Insbesondere bei elektronischen Steuerungen von Kraftfahrzeugen, in denen zunehmend mikroelektronische Bauelemente eingesetzt werden, kommt es zu extremen Schwankungen der Umgebungstemperatur der Elektronik. Zum Beispiel muß die elektronische Steuerung bei Temperaturen von -40°C bis zu 140°C funktionieren.

[0005] Wenn die Stärke eines Treibers auf den ungünstigsten Fall ausgelegt ist, ist der Treiber (außerhalb des worst case) in der Regel zu stark, d. h. es treten unnötig große Stromstärken und unnötig kurze Anstiegs- bzw. Abfallzeiten eines Spannungssignals auf. Die Folge sind unnötig große Feldstärken des elektromagnetischen Feldes, das bei der Generierung des Treiber-Ausgangssignals erzeugt wird. Derartige elektromagnetische Felder können sich aber störend auf die Funktionsfähigkeit von elektronischen Schaltungen auswirken und führen im Extremfall zum Ausfall oder sogar zur Zerstörung.

[0006] Um die Stärke eines Treibers an die jeweilige Lastkapazität eines mit dem Treiber zu betreibenden Bauelements anzupassen, wird in DE 44 41 523 C1 eine digitale

Treiberschaltung mit einer Ausgangsstufe vorgeschlagen, wobei die Ausgangsstufe wenigstens zwei zueinander parallel geschaltete, Ausgangstransistoren aufweisende Ausgangszweige hat. Weiterhin sind ein Steuermittel zum Ansteuern der Ausgangsstufe und eine Eingabevorrichtung zur Eingabe einer Maßzahl vorgesehen. Der Nutzer, beispielsweise der Käufer eines Padtreibers, kann nun eine Maßzahl eingeben, so daß die Stärke der digitalen Treiberschaltung durch Ansteuern der Ausgangsstufe an die jeweilige Lastkapazität des zu betreibenden Bauelements angepaßt wird. Ferner weist die digitale Treiberschaltung eine Meßvorrichtung auf, um die Abhängigkeit der Stärke des Treibers von Größen wie Prozeßparameter, beispielsweise Oxidschichtdicken oder sonstige Parameter, die aufgrund des Herstellungsprozesses der Treiberschaltung Schwankungen unterworfen sind, zu berücksichtigen. Ferner können die Versorgungsspannung der Treiberschaltung und die Temperatur berücksichtigt werden. Die Meßvorrichtung weist einen oder mehrere Meßtransistoren auf, die an die Versorgungsspannung der Treiberschaltung angeschlossen sind. Der oder die Meßtransistoren müssen jedoch so angeordnet und ausgelegt sein, daß der Transistorstrom unter Bedingungen gemessen wird, die im wesentlichen den Bedingungen entsprechen, die für die Ausgangszweige der Treiberschaltung gültig sind.

[0007] Um die Faktoren, die die Stärke des Treibers beeinflussen, berücksichtigen zu können, sind daher zwei verschiedene Einrichtungen vorgesehen, die Eingabevorrichtung und die Meßvorrichtung. Der fertigungstechnische Aufwand ist daher verhältnismäßig groß. Ferner ist nicht gewährleistet, daß die Meßvorrichtung auch tatsächlich denselben Herstellungs- und Betriebsbedingungen ausgesetzt ist wie die Ausgangszweige des Treibers.

[0008] Aus US 4,567,378 ist ein Padtreiber bekannt, der mit einem Rampengenerator zur Generierung eines rampenartig ansteigenden oder abfallenden Referenzsignals dient. Das rampenartige Referenzsignal wird durch Laden oder Entladen eines Kondensators erzeugt, wobei der Kondensator an eine Versorgungsspannung anschließbar ist bzw. von dieser abgekoppelt werden kann. US 4,567,378 lehrt zu vergleichen, ob das Ausgangssignal des Treibers schneller oder langsamer ansteigt bzw. abfällt als das rampenartige Referenzsignal. Dementsprechend kann ein Steuersignal erzeugt werden, damit der Treiber einen schnelleren oder langsameren Anstieg bzw. Abfall seines Ausgangssignals produziert.

[0009] Durch dieses Konzept kann die Treiberstärke an unterschiedliche kapazitive Lasten angepaßt werden. Jedoch ist das rampenartige Referenzsignal den Einflüssen von Schwankungen der Prozeßparameter bei seiner Herstellung unterworfen. Insbesondere kann der Kondensator des Rampengenerators unterschiedliche Kapazitätswerte erhalten und können Transistoren zur Steuerung des Auf- und Entladens des Kondensators je nach Herstellungsprozeß unterschiedlich ausfallen. Weiterhin wird der Kondensator unter Verwendung einer Versorgungsspannung aufgeladen. Das rampenartige Referenzsignal ist somit auch von der Versorgungsspannung abhängig.

[0010] Aufgabe der vorliegenden Erfindung ist es, ein Verfahren und eine Schaltungsanordnung der eingangs genannten Art anzugeben, die es ermöglichen, die Stärke eines Treibers unabhängig von Betriebsbedingungen, wie z. B. Umgebungstemperatur und Versorgungsspannung, und unabhängig von Schwankungen von Prozeßparametern des Herstellungsprozesses auf einen gewünschten Wert einzustellen.

[0011] Die Aufgabe wird durch ein Verfahren mit den Merkmalen des Anspruchs 1 und durch eine Schaltungsanordnung mit den Merkmalen des Anspruchs 12 gelöst. Wei-

terbildungen sind Gegenstand der abhängigen Ansprüche.
 [0012] Ein wesentlicher Gedanke der vorliegenden Erfindung liegt darin, einen mit dem Treibereingangssignal zeitlich gekoppelten Auswertungszeitpunkt zu ermitteln. Unter Verwendung des Auswertungszeitpunktes wird dann ausgewertet, ob die Stärke des Treibers einer Vorgabe entspricht. Beispielsweise kann dann der Wert des Treiberausgangssignals beeinflusst werden, d. h. die Treiberstärke geändert werden, oder es kann ein anderer Treiber ausgewählt werden.

[0013] Unter Kopplung des Auswertungszeitpunktes mit dem Treibereingangssignal wird verstanden, daß anknüpfend an ein Ereignis oder einen anderweitig feststellbaren Zeitpunkt des Treibereingangssignals eindeutig der Auswertungszeitpunkt bestimmt werden kann. Beispielsweise wird durch eine steigende Flanke des Treibereingangssignals der Treiber getriggert, den Wert seines Ausgangssignals zu erhöhen. Das Ereignis, an das der Auswertungszeitpunkt anknüpft ist dann der Anstieg des Treibereingangssignals. Insbesondere liegt dann der Auswertungszeitpunkt um ein Zeitintervall vorgegebener Länge nach dem Zeitpunkt, zu dem das Treibereingangssignal bei seinem Anstieg einen bestimmten Schwellwert erreicht hat.

[0014] Die Kopplung des Auswertungszeitpunktes mit dem Treibereingangssignal kann auf unterschiedliche Weise realisiert werden. Eine Möglichkeit ist, daß das Treibereingangssignal sowohl dem Treiber als auch einer Festlegungseinheit zur Festlegung des Auswertungszeitpunktes zugeführt wird. Eine andere Möglichkeit besteht darin, ein externes Taktsignal eines Systemtaktes zu verwenden. Das Treibereingangssignal wird dann mit einem Ereignis des Taktsignals synchronisiert, so daß an dieses Ereignis anknüpfend der Auswertungszeitpunkt ermittelt werden kann.

[0015] Allgemein kann das bei der Ermittlung des Auswertungszeitpunktes verwendete Signal ein mit dem Treibereingangssignal gekoppeltes periodisches Signal sein. Derartige periodische Signale können besonders präzise mit konstanter Periodendauer bzw. Frequenz erzeugt werden, etwa durch einen externen Schwingquarz. Beim Betrieb mikroelektronischer Schaltungen ist ein derartiges periodisches Signal, meist ein Taktsignal, üblicherweise ohnehin vorhanden.

[0016] Ein wesentlicher Vorteil der Kopplung des Treibereingangssignals mit dem Auswertungszeitpunkt liegt darin, daß der Auswertungszeitpunkt unabhängig von den Betriebsbedingungen des Treibers, wie Umgebungstemperatur und Versorgungsspannung, und unabhängig von Schwankungen der Herstellungsparameter bei der Herstellung des Treibers ermittelt werden kann. Natürlich ist es möglich, daß geringfügige Abhängigkeiten von Herstellungsparametern und Betriebsbedingungen auch bei der Ermittlung des Auswertungszeitpunktes bestehen. Jedoch können diese Abhängigkeiten ohne großen technischen Aufwand vernachlässigbar klein gehalten werden. Beispielsweise kann der Auswertungszeitpunkt ausgehend von einem Ansteuerungszeitpunkt des Treibereingangssignals ermittelt werden, wobei ein Zeitintervall vorgegeben wird, das zu dem Ansteuerungszeitpunkt beginnt und durch dessen Ende der Auswertungszeitpunkt definiert ist. Ein derartiges Zeitintervall kann, wie noch beispielhaft detailliert beschrieben wird, präzise und unabhängig von Betriebs- und Herstellungsbedingungen generiert werden. Insbesondere wird zumindest ein Teil des Zeitintervalls durch Vorgeben einer festen Verzögerungszeit vorgegeben. Hierdurch können beispielsweise Verzögerungen berücksichtigt werden, die auftreten, wenn der Treiber angesteuert worden ist, bis er damit beginnt, den Wert seines Treiberausgangssignals zu ändern. Vorzugsweise ist die feste Verzögerungszeit zwar in Zusam-

menhang mit der Steuerung eines bestimmten Treibers fest, jedoch einstellbar, um auch andere Treiber in geeigneter Weise ansteuern zu können.

[0017] Bei der Ermittlung des Auswertungszeitpunktes kann es nicht nur wie in dem zuvor dargestellten Fall, sondern auch sonst nützlich sein, ein Zeitintervall zu generieren, an dessen Ende der Auswertungszeitpunkt liegt. Vorzugsweise wird hierzu die Periodendauer und oder die Frequenz eines periodischen Signals, etwa des oben genannten Taktsignals eines Systemtaktes, verwendet.

[0018] Insbesondere wird aus dem periodischen Signal ein Zeitsignal generiert, dessen Länge ein Vielfaches oder ein Bruchteil der Periodendauer ist und dessen Länge zumindest einen Teil der Länge des Zeitintervalls festlegt. Besonders einfach ist die Generierung eines derartigen Zeitsignals, wenn das periodische Signal regelmäßig wiederkehrend ein Zeitsignal bestimmter Länge enthält. Im allereinfachsten Fall kann dann sogar die Generierung eines Zeitsignals unterbleiben und kann eines der in dem periodischen Signal enthaltenen Zeitsignale zur Ermittlung des Auswertungszeitpunktes verwendet werden. Insbesondere kann der Beginn des Zeitsignals mit einem Ereignis des Treibereingangssignals, etwa einer Flanke, synchronisiert werden. Um aber Zeitsignale unterschiedlicher Länge generieren zu können, und damit den Auswertungszeitpunkt wahlweise unterschiedlich festlegen zu können, wird bevorzugt, eine Mehrzahl von Zeitsignalen unterschiedlicher Länge aus einem vorhandenen Zeitsignal zu generieren.

[0019] Bei einer besonders bevorzugten Ausgestaltung weist der Treiber eine Mehrzahl von Treibereinheiten auf, die einzeln freigegeben oder gesperrt werden können, und bestimmt durch die Kombination der freigegebenen Treiber die Stärke des Treibers. In diesem Fall können, abhängig von dem unter Verwendung des Auswertungszeitpunktes erhaltenen Auswertungsergebnis ein oder mehrere Treibereinheiten freigegeben und/oder gesperrt werden, sofern dies erforderlich ist.

[0020] Beim Betrieb mikroelektronischer Bauelemente erzeugt ein Treiber üblicherweise nicht nur einmal, sondern immer wieder ein Ausgangssignal. Hierzu wird der Treiber immer wieder angesteuert (getriggert). Insbesondere für diesen Fall wird vorgeschlagen, daß die Beurteilung, ob die Stärke des Treibers beibehalten werden kann, in einer ersten Zeitphase, beispielsweise einer Anfangsphase, mehrfach durchgeführt wird. Nach der ersten Zeitphase muß die Auswertung jedoch nicht ständig wiederholt werden, da eine geeignete Treiberstärke bereits gefunden wurde bzw. eingestellt wurde. Es reicht dann aus, die Auswertung zur Überprüfung einer geeigneten Treiberstärke in vorgegebenen größeren Zeitabständen zu wiederholen. Dies ist insbesondere dann von Vorteil, wenn ein und dieselbe Steuerschaltung zum Steuern der Stärken von mehreren Treibern eingesetzt wird. Nach der Anfangsphase kann die Steuerschaltung somit eine Vielzahl der Treiber überwachen, beispielsweise jeweils einen Treiber in einem Systemtakt.

[0021] Der Auswertungszeitpunkt kann in unterschiedlicher Weise bei der gewünschten Auswertung der Treiberstärke verwendet werden. Bei einer Ausführungsform wird ausgewertet, ob ein aus dem Treiberausgangssignal erhaltenes Sekundärsignal und/oder ein Ereignis des Treiberausgangssignals vor, an und/oder nach dem Auswertungszeitpunkt vorliegt bzw. eintritt. Hierfür wird beispielsweise ein Ereignisdetektor eingesetzt, der ausgestaltet ist festzustellen, welches Signal früher vorliegt bzw. an ihm anliegt bzw., ob das Ereignis vor, an und/oder nach dem Auswertungszeitpunkt eintritt. Das Sekundärsignal wird insbesondere unter Verwendung eines Komparators erzeugt, der einen ersten Komparatoreingang zum Empfangen des Treiberaus-

gangssignals und einen zweiten Komparatoreingang zum Empfangen eines Referenzsignals hat. Der Komparator ist ausgestaltet, ein Ereignissignal auszugeben, wenn das Treiberausgangssignal einen Wert erreicht und/oder überschreitet und/oder unterschreitet, der durch das Referenzsignal vorgegeben ist. Der Komparator ist mit dem Ereignisdetektor verbunden, um das Ereignissignal als Sekundärsignal an diesen auszugeben.

[0022] Bei einer besonders bevorzugten Ausführungsform wird zu dem Auswertungszeitpunkt der Wert des Treiberausgangssignals ausgewertet. Hierzu ist insbesondere eine Auswertungseinheit vorgesehen, die einen triggerbaren Komparator aufweist. Der triggerbare Komparator ist mit einer Festlegungseinheit zur Festlegung des Auswertungszeitpunktes verbunden. Weiterhin hat der triggerbare Komparator einen ersten Komparatoreingang zum Empfangen des Treiberausgangssignals und einen zweiten Komparatoreingang zum Empfangen eines Referenzsignals. Zum Auswertungszeitpunkt wird der triggerbare Komparator angetriggert und wertet aus, ob der Wert des Treiberausgangssignals kleiner, gleich oder größer als ein Wert des Referenzsignals ist. Das Referenzsignal ist insbesondere ein Spannungssignal mit einem zeitlich konstanten Spannungswert.

[0023] Beide zuvor beispielhaft beschriebenen Ausführungsformen haben den Vorteil, mit minimalem Herstellungsaufwand realisiert werden zu können. Es ist lediglich eine einfache Rückkopplung und Auswertung des Treiberausgangssignals unter Verwendung des Auswertungszeitpunktes erforderlich. Gerade in der gerätetechnisch einfachen Lösung liegt aber auch die Stärke: Es wird unmittelbar das Ausgangssignal des Treibers ausgewertet.

[0024] Ermöglicht wurde dies durch die Erfindung, der die wesentliche Erkenntnis zugrundeliegt, daß eine von Betriebsbedingungen und Herstellungsparametern unabhängige Auswertung dann möglich ist, wenn ein mit dem Treibereingangssignal gekoppelter Auswertungszeitpunkt ermittelt wird, der wiederum unabhängig von den Betriebsbedingungen und den Herstellungsparametern ist.

[0025] Die erfindungsgemäße Schaltungsanordnung weist insbesondere einen Eingangssignaleingang zum Empfangen eines mit dem Treibereingangssignal gekoppelten Eingangssignals und einen Ausgangssignaleingang zum Empfangen des Treiberausgangssignals auf. Weiterhin ist eine Festlegungseinheit zur Festlegung eines Auswertungszeitpunktes vorgesehen, die mit dem Eingangssignaleingang verbunden ist. Außerdem ist eine Auswertungseinheit zur Auswertung vorgesehen, ob die Stärke des Treibers einer Vorgabe entspricht. Die Auswertungseinheit ist mit der Festlegungseinheit und mit dem Ausgangssignaleingang verbunden, wobei die Auswertungseinheit einen Auswertungssignalausgang zum Ausgeben eines zu dem Auswertungszeitpunkt ermittelten Auswertungsergebnisses aufweist.

[0026] Vorzugsweise sind die Schaltungsanordnung und der Treiber auf einem gemeinsamen mikroelektronischen Chip angeordnet. Dies hat den Vorteil, daß verbleibende minimale Abhängigkeiten von Herstellungsparametern weiter reduziert werden können. Beispielsweise ist der Einfluß von Herstellungsparametern bei Bauteilen des Treibers und der Steuerschaltung hinsichtlich der Reaktion auf Flanken von Eingangssignalen gleich. So wirkt sich beispielsweise ein externes Taktsignal, das sowohl dem Treiber oder einer dem Treiber vorgeschalteten Baugruppe zugeführt wird, als auch der Festlegungseinheit zugeführt wird, nicht unterschiedlich aus.

[0027] Weiterhin bevorzugt wird, daß der Treiber eine Mehrzahl von Treibereinheiten aufweist, die einzeln freigegeben oder gesperrt werden können, wobei die Kombination der freigegebenen Treibereinheiten die Stärke des Treibers

bestimmt. Hierbei sind zumindest eine erste der Treibereinheiten und eine zweite der Treibereinheiten so ausgelegt, daß die erste Treibereinheit mit der halben Stärke der zweiten Treibereinheit zur Gesamtstärke des Treibers beitragen kann. Diese Ausgestaltung erlaubt eine Einstellung der Treiberstärke in äquidistanten Stufen.

[0028] Bei einer Weiterbildung ist die Auswertungseinheit mit einer binären Steuereinheit zum Steuern der Stärke des Treibers verbunden, wobei die Steuereinheit derart mit den Treibereinheiten verbunden ist, daß die erste und zweite Treibereinheit durch binäre Steuersignale angesteuert werden können. Bei dieser Weiterbildung brauchen die Steuersignale der binären Steuereinheit nicht mehr umgesetzt zu werden, um die Treibereinheiten ansteuern zu können. Insbesondere kann die binäre Steuereinheit einen binären Zähler aufweisen, dessen Zählerstand jeweils dann erhöht oder erniedrigt wird, wenn die Treiberstärke zu verändern ist. Der Zählerstand entspricht dann unmittelbar der Kombination von freigegebenen und gesperrten Treibereinheiten.

[0029] Die Festlegungseinheit weist vorzugsweise eine Verzögerungsstufe zur Verzögerung eines Zeitsignals auf, um den Auswertungszeitpunkt zu verschieben. Das Zeitsignal ist beispielsweise ein durch seine Länge charakterisiertes Signal, das in der oben beschriebenen Weise verwendet werden kann.

[0030] Bei einer Weiterbildung der erfindungsgemäßen Schaltungsanordnung weist die Festlegungseinheit eine Zeitsignaleinheit zum Generieren und/oder Empfangen eines Auswertungszeitsignals auf, dessen Länge zumindest teilweise der Zeitdifferenz zwischen dem Auswertungszeitpunkt und einem aus dem Treibereingangssignal ableitbaren Auslösezeitpunkt entspricht.

[0031] Soll der Auswertungszeitpunkt anknüpfend an ein Ereignis des Treibereingangssignals bzw. an einen bestimmten Zeitpunkt des Treibereingangssignals ermittelt werden, bestehen grundsätzlich beliebig viele Möglichkeiten bei der Ermittlung des Auswertungszeitpunktes unabhängig von Betriebsbedingungen und Herstellungsparametern. Wie bereits beschrieben, besteht die Möglichkeit, die Länge eines Zeitintervalls vorzugeben, dessen Beginn durch das Ereignis des Treibereingangssignals definiert wird und dessen Ende den Auswertungszeitpunkt definiert. Dabei kann z. B. ein Teil der Länge des Zeitintervalls durch die Länge eines Zeitsignals definiert werden und ein anderer Teil durch Vorgeben einer Verzögerungszeit (siehe oben) vorgegeben werden. Die Länge des Zeitintervalls muß aber nicht unveränderlich festliegen, sondern kann beispielsweise durch den Benutzer der Schaltungsanordnung geändert werden. Es können auch eine Mehrzahl der Zeitsignale mit unterschiedlicher Länge generiert werden, um eine Mehrzahl von Zeitintervallen zur Verfügung zu haben. In letzterem Fall kann jeweils ein Zeitintervall einem von mehreren anzusteuern den Treibern zugeordnet sein.

[0032] Bei einer bevorzugten Ausführungsform ist die Festlegungseinheit ausgestaltet, ein Eingangssignalsignal zu empfangen und/oder zu generieren, wobei die Festlegungseinheit eine Verzögerungskette mit einer Mehrzahl von Verzögerungsstufen zum Verzögern des Eingangssignals aufweist und wobei Ausgänge der Verzögerungsstufen mit einer Logikeinheit verbunden sind, die das Eingangssignalsignal empfängt, so daß an Ausgängen der Logikeinheit unterschiedlich lange Auswertungszeitsignale anliegen. Insbesondere durch einen Multiplexer können dann die unterschiedlichen Auswertungszeitsignale zur Auswertung der Treiberstärken einer Mehrzahl von Treibern verwendet werden.

[0033] Bei einer Weiterbildung ist die Verzögerungskette mit einer Synchronisierungseinheit zum Synchronisieren ei-

nes Ereignisses des Eingangszeitsignals mit einem Ereignis des verzögerten Eingangszeitsignals verbunden. Es ist somit gewährleistet, daß die Verzögerung der Eingangszeitsignale in definierter Weise stattfindet und Schwankungen aufgrund von Änderungen der Betriebsbedingungen und Einflüsse von Herstellungsparameterschwankungen ausgeregelt werden können bzw. ausgeschlossen sind.

[0034] Bei noch einer Weiterbildung weist zumindest eine der Verzögerungsstufen einen Steuereingang zum Zuführen eines Steuersignals auf und ist die Synchronisierungseinheit mit dem Steuereingang verbunden, um die Verzögerung zu steuern. Somit kann die Synchronisierungseinheit durch Ansteuern der Verzögerungsstufe die Synchronisation in der gewünschten Weise herbeiführen. Dies erlaubt, insbesondere nach dem Betriebsstart des Treibers und der Schaltungsanordnung, ein Einregeln der Verzögerung.

[0035] Die vorliegende Erfindung wird nun anhand von Ausführungsbeispielen unter Bezugnahme auf die beigefügte Zeichnung näher beschrieben. Sie ist jedoch nicht auf die Ausführungsbeispiele beschränkt. Die einzelnen Figuren der Zeichnung zeigen:

[0036] Fig. 1 ein erstes Ausführungsbeispiel für eine Schaltungsanordnung zum Regeln der Stärke eines Treibers,

[0037] Fig. 2 ein zweites Ausführungsbeispiel einer derartigen Schaltungsanordnung,

[0038] Fig. 3 ein Ausführungsbeispiel für einen Zeitsignalgenerator gemäß Fig. 1 und Fig. 2,

[0039] Fig. 4 ein Ausführungsbeispiel für einen hinsichtlich seiner Stärke skalierbaren Treiber mit einer Steuereinheit zum Steuern der Stärke,

[0040] Fig. 5 den zeitlichen Verlauf eines Steuersignals am Ausgang eines Ereignisdetektors gemäß Fig. 1 oder eines Komparators gemäß Fig. 2,

[0041] Fig. 6 den zeitlichen Verlauf des Ausgangssignals an dem Treiber gemäß Fig. 1 und Fig. 2 und den zeitlichen Verlauf eines Zeitsignals am Ausgang einer Verzögerungseinheit gemäß Fig. 1 und Fig. 2,

[0042] Fig. 7 einen anderen zeitlichen Verlauf des in Fig. 5 dargestellten Signals,

[0043] Fig. 8 andere Verläufe der in Fig. 6 dargestellten Signale,

[0044] Fig. 9a) bis Fig. 9d) zeitliche Verläufe von Steuerungssignalen am Ausgang einer Treiberstärken-Steuereinheit gemäß Fig. 1 und Fig. 2,

[0045] Fig. 10 zwei zeitliche Verläufe von Stromstärken am Ausgang des Treibers gemäß Fig. 1 und Fig. 2 bei unterschiedlicher Treiberstärke, und

[0046] Fig. 11 zwei zeitliche Verläufe des Ausgangssignals des Treibers gemäß Fig. 1 und Fig. 2 entsprechend den zeitlichen Verläufen der Stromstärken gemäß Fig. 10.

[0047] Fig. 1 zeigt eine Regelschaltung 1 zum Regeln der Stärke eines Treibers 3. Der Treiber 3 ist gemeinsam mit der Regelschaltung 1 auf einem mikroelektronischen Chip 4 angeordnet. Die Regelschaltung 1 weist einen Nutzereingang 16 zum Eingeben eines Nutzersignals auf, das dazu dient, den Treiber 3 anzusteuern, damit dieser den Spannungswert an einem am Treiberausgang 8 anliegenden Treiber-Ausgangssignal auf einen vorgegebenen Wert erhöht oder erniedrigt.

[0048] Das Nutzersignal erreicht von dem Nutzerausgang 16 aus gesehen nicht unmittelbar den Treiber 3. Vielmehr ist noch eine Eingabeeinheit 15 zwischen den Nutzereingang 16 und einen Treibereingang 6 geschaltet. Die Eingabeeinheit 15 ist ferner mit einem Systemtakteingang 17 der Regelschaltung 1 verbunden.

[0049] Der Treiberausgang 8 ist mit einem Ausgangskontakt 10 verbunden, an den externe kapazitive Lasten, im Beispiel von Fig. 1 und Fig. 2 die Last 2, anschließbar sind.

Weiterhin ist der Treiberausgang 8 mit dem invertierenden Eingang eines Komparators 5 verbunden. Der Komparator 5 weist noch einen nichtinvertierenden Eingang auf, an den eine Referenzspannung angelegt werden kann. Der Ausgang des Komparators 5 ist mit einem Ereignisdetektor 9 verbunden.

[0050] Der Systemtakteingang 17 dient dem Empfangen eines Taktsignals, insbesondere zum Empfangen eines Taktsignals mit äquidistanten Rechtecksignalen gleicher Länge. Außer mit der Eingabeeinheit 15 ist der Systemtakteingang 17 auch mit dem Eingang eines Zeitsignalgenerators 13 verbunden. Der Ausgang des Zeitsignalgenerators 13 ist wiederum mit dem Eingang einer Verzögerungseinheit 11 verbunden oder verbindbar. Der Ausgang der Verzögerungseinheit 11 ist mit einem Eingang des Ereignisdetektors 9 verbunden.

[0051] Ein Ausgang des Ereignisdetektors 9 ist mit dem Eingang einer Treiberstärken-Steuereinheit 7 verbunden, deren Ausgang wiederum mit einem Steuereingang des Treibers 3 verbunden ist.

[0052] Ist die Regelschaltung 1 wie in Fig. 1 dargestellt mit der Last 2 verbunden und liegt an dem Systemtakteingang 17 beispielsweise das dargestellte Taktsignal an, ist die Funktionsweise der Regelschaltung 1 wie folgt: Wird an dem Nutzereingang 16 ein Triggersignal, beispielsweise ein stufenartig ansteigendes Spannungssignal eingegeben, empfängt die Eingabeeinheit 15 das Triggersignal und das Systemtaktsignal. Ist das Triggersignal zeitlich verschoben gegenüber der ansteigenden Flanke des zeitlich nächstliegenden Rechtecksignals des Systemtaktsignals, so wartet die Eingabeeinheit 15 mit der Ausgabe des Triggersignals an den Treiber 3, bis die nächste ansteigende Flanke eines Rechtecksignals des Systemtaktsignals an der Eingabeeinheit 15 eingegangen ist. Auf diese Weise wird das Triggersignal mit dem Systemtakt synchronisiert. Es besteht somit eine zeitliche Kopplung zwischen dem am Treibereingang 6 anliegenden Triggersignal und dem Systemtaktsignal.

[0053] Das Systemtaktsignal wiederum wird von einer Taktsignalquelle empfangen, die unabhängig ist von Betriebsbedingungen wie Temperatur und Versorgungsspannung. Eine geeignete Taktsignalquelle ist insbesondere ein durch einen Schwingquarz gesteuerter Systemtaktgenerator.

[0054] Nachdem der Treiber 3 das Triggersignal von der Eingabeeinheit 15 empfangen hat, beginnt der Treiber 3, gegebenenfalls verzögert, die Spannung an seinem Treiberausgang 8 zu erhöhen. Alternativ, bei einer anderen Ausgestaltung, beginnt der Treiber 3 die Spannung an seinem Treiberausgang 8 zu erniedrigen. Der zeitliche Verlauf der Spannung am Treiberausgang 8 ist beispielhaft in Fig. 6 dargestellt: Die ununterbrochene Kurve in Fig. 6 stellt die Ausgangsspannung Vout am Treiberausgang 8 dar. Zum Zeitpunkt $t = 0$ hat der Treiber 3 das Triggersignal von der Eingabeeinheit 15 empfangen. Der Anstieg von Vout beginnt jedoch in der Darstellung von Fig. 6 erst etwa nach 6 ns. Vout steigt im weiteren Verlauf bis auf etwa den Wert 2,5 V an. Für den hier erläuterten Beispielsfall wird von dem Treiber 3 gefordert, daß 12,5 ns nach Empfang des Triggersignals Vout einen Wert von 2,0 V erreicht hat. Wie aus Fig. 6 ersichtlich ist, erreicht Vout diesen Wert aber bereits früher, etwa nach 10,5 ns. Dies bedeutet, daß die Stärke des Treibers 3 zu groß ist und daher unnötig große elektromagnetische Feldstärken durch den zu schnellen Anstieg von Vout erzeugt werden. Die damit verbundenen Störfelder können andere Baugruppen auf dem Chip 4 oder außerhalb des Chips 4 angeordnete elektronische Schaltungen in ihrer Funktion stören.

[0055] Zur Regelung der Treiberstärke ist daher das Treiberausgangssignal Vout an den invertierenden Eingang des

Komparators 5 angelegt. Die Referenzspannung V_{ref} , die an dem nichtinvertierenden Eingang des Komparators 5 anliegt, ist auf den Wert 2,0 V eingestellt (siehe waagerechte unterbrochene Linie in Fig. 6). Wenn daher V_{out} diesen Wert erreicht, wechselt das Ausgangssignal des Komparators 5 von logisch "high" nach logisch "low". Dies ist im Beispiel nach 10,5 ns der Fall. Den Wechsel von "high" nach "low" registriert der Ereignisdetektor 9 annähernd unverzögert, so daß dort also nach etwa 10,5 ns das Ereignis "Vout erreicht den Referenzspannungswert" festgestellt wird.

[0056] Wie bereits beschrieben wurde, ist das von der Eingabeeinheit 15 an den Treiber 3 übertragene Triggersignal zeitlich synchronisiert mit der steigenden Flanke eines Rechtecksignals des Systemtaktsignals. Die steigende Flanke erreicht also zum gleichen Zeitpunkt, zu dem das Triggersignal an dem Treiber 3 eingeht, den Zeitsignalgenerator 13. Dieser generiert unverzögert aus dem Rechtecksignal ein sekundäres Rechtecksignal bestimmter Länge. Die Länge ist vorgegeben und legt einen Teil der Länge des Zeitintervalls fest, welches vom Eingang des Triggersignals am Treiber 3 bis zu einem Auswertungszeitpunkt verstreichen soll. In dem in Fig. 6 dargestellten Fall hat das sekundäre Rechtecksignal eine Länge von 7,5 ns.

[0057] Die Verzögerungseinheit 11 empfängt das sekundäre Rechtecksignal und verzögert dessen Weitergabe an den Ereignisdetektor um eine vorgegebene Verzögerungszeit, die hier 5 ns beträgt. Dargestellt ist in Fig. 6 mit einer strichpunktuierten Linie das invertierte Signal des verzögerten sekundären Rechtecksignals, welches von der Verzögerungseinheit 11 an den Ereignisdetektor 9 ausgegeben wird. Somit ist der Auswertungszeitpunkt, im Beispiel von Fig. 6 bei $t = 12,5$ ns, durch die Summe aus der Länge des sekundären Rechtecksignals und der Verzögerungszeit definiert, wobei der Auswertungszeitpunkt mit dem Zeitpunkt des Eingangs des Triggersignals am Treiber 3 bzw. mit dem Zeitpunkt des Eingangs der steigenden Flanke des Rechtecksignals an der Eingabeeinheit 15 und an dem Zeitsignalgenerator 13 gekoppelt ist.

[0058] Nachdem der Ereignisdetektor 9 bereits das Ereignis "Vout erreicht die Referenzspannung" detektiert hat, detektiert er zum Auswertungszeitpunkt den Eingang der fallenden Flanke des sekundären Rechtecksignals. Dies entspricht der steigenden Flanke des invertierten sekundären Rechtecksignals zum Zeitpunkt $t = 12,5$ ns in Fig. 6. Zwischen den beiden Ereignissen liegt eine Zeitspanne der Länge Δt (siehe Fig. 6). Als Reaktion auf diese Zeitspanne, d. h. auf den zeitlich früheren Eintritt des Ereignisses "Vout erreicht die Referenzspannung", gibt der Ereignisdetektor 9 das in Fig. 5 dargestellte Spannungssignal EDout an die Treiberstärken-Steuereinheit 7 aus.

[0059] Vor dem Auswertungszeitpunkt hatte EDout einen Spannungswert, der logisch dem Zustand "high" entspricht. Nach dem Auswertungszeitpunkt ist EDout nunmehr logisch "low". Daher erniedrigt die Treiberstärken-Steuereinheit 7, wie noch genauer erläutert wird, die Stärke des Treibers 3 um eine Stufe.

[0060] Der gesamte Regelzyklus wiederholt sich jedesmal, wenn ein Triggersignal am Treibereingang 6 eingeht, im beschriebenen Beispiel in jedem Systemtakt. Dies ist, wie beschrieben, jedesmal ein Zeitpunkt, zu dem auch die steigende Flanke eines Rechtecksignals am Zeitsignalgenerator 13 eingeht.

[0061] In Fig. 6 ist noch ein weiterer Regelzyklus dargestellt. Das Triggersignal geht zum Zeitpunkt $t = 30$ ns am Treibereingang 6 ein. Der damit gekoppelte Auswertungszeitpunkt liegt um die vorgegebene Zeitspanne von 12,5 ns später, d. h. zum Zeitpunkt $t = 42,5$ ns. Da Vout wieder vor

dem Auswertungszeitpunkt den Wert $V_{ref} = 2,0$ V erreicht, bleibt EDout logisch "low", so daß die Stärke des Treibers 3 wieder um eine Stufe reduziert wird.

[0062] Eine spätere Zeitspanne derselben Regelphase ist in Fig. 7 und Fig. 8 dargestellt. An der Zeitachse sind die Zahlen 14, 15 und 16 aufgetragen, die den 14., 15. und 16. Auswertungszeitpunkt bezeichnen. Dementsprechend sind der 14., 15. und 16. Regelzyklus in Fig. 7 und Fig. 8 zu erkennen. Bis einschließlich zum 14. Regelzyklus hat der Ereignisdetektor 9 immer festgestellt, daß Vout vor dem Auswertungszeitpunkt die Referenzspannung erreicht hat. Dementsprechend war EDout (dargestellt in Fig. 5 und Fig. 7) seit dem Ende des ersten Regelzyklus logisch "low". Erstmals im 15. Regelzyklus erreicht Vout erst nach dem Auswertungszeitpunkt die Referenzspannung. Daher wird EDout logisch "high" und die Stärke des Treibers 3 wieder um eine Stufe erhöht.

[0063] Im 16. Regelzyklus erreicht Vout wieder vor dem Auswertungszeitpunkt die Referenzspannung, weshalb EDout wieder logisch "low" wird. Somit hat sich nach dem 14. Regelzyklus ein Zustand des Treibers 3 eingestellt, in dem seine Stärke mit geringer Amplitude um einen Mittelwert schwankt.

[0064] Eine Ausgestaltung des Treibers 3 und seiner Steuerung durch die Treiberstärken-Steuereinheit 7 ist beispielhaft in Fig. 4 dargestellt. Der Treiber 3 weist fünf Treibereinheiten 45a-45e auf. Die Treibereinheit 45a hat die halbe Stärke der Treibereinheit 45b, die Treibereinheit 45b hat die halbe Stärke der Treibereinheit 45c und so fort. Die Treibereinheiten 45a-45e können einzeln aktiviert bzw. deaktiviert werden. Allgemein hat ein derartiger hinsichtlich seiner Stärke skalierbarer Treiber n Teiltreiber, die individuell aktivierbar sind. Die Teiltreiber sind beispielsweise als MOSFET (Metall-Oxid-Halbleiter-Feldeffekttransistor mit isolierter Gate-Elektrode) realisiert. In diesem Fall kann, bei gleicher Kanallänge im MOSFET, deren möglicher Beitrag zur Gesamtstärke des Treibers durch die Kanalweite W eingestellt werden. Die Kanalweite W_1 des schwächsten Teiltreibers beträgt daher die Hälfte der Kanalweite W_2 des zweitschwächsten Teiltreibers. Allgemein gilt

$$W_i = 2 \cdot W_{i-1} \quad i = 2, \dots, n.$$

[0065] Für die Gesamt-Kanalweite aller Teiltreiber bzw. entsprechend für die Gesamtstärke des Treibers gilt:

$$W_{\text{gesamt}} = \sum_{i=1}^n W_i.$$

[0066] Wird die Kanalweite des Transistors i durch die Gesamtweite W_{gesamt} ausgedrückt, gilt folgendes:

$$W_i = \frac{2^{i-1} W_{\text{gesamt}}}{2^n - 1}.$$

[0067] Insgesamt sind daher k Stärken- bzw. Weitenkombinationen mit Weiten größer als Null möglich, wobei gilt:

$$k = 2^n - 1$$

$$W_i = W_{\min}, 2W_{\min}, 3W_{\min}, \dots, W_{\text{gesamt}}$$

[0068] $W_{\min}$ ist die Weite des schwächsten Teiltreibers, d. h. der Bereich von $W_{\min}$ bis W_{gesamt} kann in Schritten der Weite $W_{\min}$ durchlaufen werden.

[0069] Im Beispiel von Fig. 4 hat der Treiber 3 fünf Trei-

bereinheiten 45a–45e, so daß die Stärke des Treibers 3 mit 31 Abstufungen zwischen der Stärke der schwächsten Treibereinheit 45a und der maximalen Stärke des Treibers 3 eingestellt werden kann. Der Stärkeunterschied zwischen zwei Stufen ist jeweils gleich der Stärke der schwächsten Treibereinheit 45a.

[0070] Die Treibereinheiten 45a–45e haben jeweils drei Eingänge. Ein erster Eingang ist mit dem Treibereingang 6 identisch bzw. mit diesem verbunden. Ein zweiter Eingang ist ein Rücksetzeingang 41 zum Rücksetzen der Treibereinheiten 45a–45e in ihren Anfangszustand, der vorzugsweise der Zustand ist, in dem alle Treibereinheiten 45a–45e aktiviert sind. Ein dritter Eingang der Treibereinheiten 45a–45e ist jeweils über eine Bitleitung 43a–43e mit der Treiberstärken-Steuereinheit 7 verbunden. Über die Bitleitungen 43a–43e kann die Treiberstärken-Steuereinheit 7 ein Bitsignal, d. h. ein binäres Signal, an die Treibereinheiten 45a–45e übertragen. Ist das binäre Signal logisch "high" bzw. "1", ist die jeweilige Treibereinheit 45a–45e deaktiviert. Im umgekehrten Fall ist sie aktiviert. Die Treiberstärken-Steuereinheit 7 weist vorzugsweise einen binären fünfstelligen Zähler auf, wobei dementsprechend Zustände zwischen dem Zählerstand "0" und dem Zählerstand "31" möglich sind. Zählerstand "0" entspricht "0" als Steuersignal auf jeder der Bitleitungen 43a–43e, d. h. alle Treibereinheiten 45a–45e sind aktiviert. Zählerstand "31" würde demnach dem deaktivierten Zustand aller Treibereinheiten 45a–45e entsprechen. Dieser Zustand ist jedoch während des Betriebs des Treibers 3 nicht sinnvoll. Daher beträgt der höchste erlaubte Zählerstand "30", was der Aktivierung ausschließlich der schwächsten Treibereinheit 45a entspricht. [0071] Liegt bei dem anhand von Fig. 1 beschriebenen und bei dem noch anhand von Fig. 2 zu beschreibenden Ausführungsbeispiel am Eingang der Treiberstärken-Steuereinheit 7 zu einem gegebenen Zeitpunkt nach dem Auswertungszeitpunkt das Signal logisch "high" an, so wird der Zählerstand um "1" erniedrigt. Umgekehrt wird der Zählerstand um "1" erhöht, wenn das Eingangssignal logisch "low" entspricht.

[0072] Fig. 9a) bis d) zeigen die binären Signale am Ausgang der Treiberstärken-Steuereinheit 7, die in der oben beschriebenen Regelungsphase an die Treibereinheiten 45a–45d ausgegeben werden. Das an die Treibereinheit 45e ausgegebene Signal ist während der gesamten Regelungsphase logisch "0", d. h. die Treibereinheit 45e ist immer aktiviert. Fig. 9a) zeigt das über die Bitleitung 43a an die Treibereinheit 45a ausgegebene binäre Signal, Fig. 9b) zeigt das über die Bitleitung 43b an die Treibereinheit 45b ausgegebene Signal usw. Entlang der Zeitachse in Fig. 9 (der horizontalen Achse) sind die Auswertungszeitpunkte der ersten 16 Regelzyklen markiert. Man erkennt, daß vom ersten bis zum 14. Regelzyklus das Summensignal der vier binären Signale jeweils um "1" erhöht wird. Dies entspricht einer Reduzierung der Treiberstärke des Treibers 3 um jeweils eine Stufe. Erst im 15. Regelzyklus wird das Summensignal wieder um "1" erniedrigt, was der Darstellung des Signals EDout in Fig. 7 entspricht.

[0073] Fig. 3 zeigt ein Ausführungsbeispiel für den Zeitsignalgenerator 13 (Fig. 1). Es ist eine Verzögerungskette 27 mit fünf Verzögerungsstufen 29a–29e vorgesehen. Der Eingang der Verzögerungsstufe 29a ist mit dem Systemtaktingang 17 verbunden. Der Ausgang der Verzögerungsstufe 29a ist mit dem Eingang der Verzögerungsstufe 29b verbunden und so fort. Der Ausgang der Verzögerungsstufe 29e ist mit einem Eingang eines Phasendetektors 31 verbunden. Ein weiterer Eingang des Phasendetektors 31 ist mit dem Ausgang eines Invertierers 35 verbunden, dessen Eingang wiederum mit dem Systemtaktingang 17 verbunden ist. Ein

Ausgang des Phasendetektors 31 ist mit einem Eingang einer Verzögerungssteuerung 33 verbunden. Ein Ausgang der Verzögerungssteuerung 33 ist mit jeweils einem Steuereingang 30a–30e der Verzögerungsstufen 29a–29e verbunden.

[0074] Weiterhin ist der Ausgang des Invertierers 35 mit je einem Eingang eines NOR-Gliedes 37a–37d verbunden. Ein weiterer Eingang der NOR-Glieder 37a–37d ist jeweils mit einem entsprechenden Ausgang einer der Verzögerungsstufen 29a–29d verbunden. Ausgänge der NOR-Glieder 37a–37d sind mit dem Zeitsignalausgang 14 des Zeitsignalgenerators 13 verbunden. Eine weitere Verbindung besteht unmittelbar zwischen dem Systemtaktingang 17 und dem Zeitsignalausgang 14.

[0075] Eine Multiplexersteuerung 25 erlaubt es, jeden der fünf Teilausgänge des Zeitsignalausgangs 14 mit einer Anschlußleitungsverbindung einzeln zu verbinden. Die Anschlußleitungsverbindung führt insbesondere zu der Verzögerungseinheit 11 (Fig. 1).

[0076] Geht ein Rechtecksignal am Systemtaktingang 17 ein, so wird es durch die Verzögerungskette 27 geführt. Jede der Verzögerungsstufen 29a–29e verzögert das Rechtecksignal um dieselbe Zeitspanne. Zu einem bestimmten Zeitpunkt, der der Verzögerung durch die Verzögerungskette 27 entspricht, geht die steigende Flanke des fünf Mal verzögerten Rechtecksignals an dem Phasendetektor 31 ein. Der Phasendetektor 31 stellt fest, ob diese steigende Flanke gleichzeitig oder vor oder nach der fallenden Flanke des von dem Invertierer 35 empfangenen invertierten Rechtecksignals eingeht. Gehen diese beiden Flanken nicht gleichzeitig ein, wird ein entsprechendes Signal an die Verzögerungssteuerung 33 ausgegeben, die wiederum über ein Steuersignal an die Eingänge 30a–30e der Verzögerungsstufen 29a–29e die Verzögerung derart einstellt, daß der zeitliche Abstand zwischen dem Eintreffen der beiden Flanken am Phasendetektor 31 kleiner wird und/oder verschwindet. Spätestens nach einigen Regelzyklen treffen die beiden Flanken dann gleichzeitig am Phasendetektor 31 ein.

[0077] In diesem Zustand stehen dann an den Ausgängen der Verzögerungsstufen 29a–29d vier um jeweils 1/5 der Länge des Rechteckimpulses am Systemtaktingang 17 verzögerte Rechteckimpulse zur Verfügung. Durch logische Nicht-Oder-Verknüpfung (NOR) in den NOR-Gliedern 37a–37d mit dem invertierten, nicht verzögerten Rechtecksignal stehen dann an den Ausgängen der NOR-Glieder 37a–37d vier sekundäre Rechtecksignale unterschiedlicher Länge zur Verfügung. Diese Signale, die an dem Zeitsignalausgang 14 zum Abgriff zur Verfügung stehen, sind derart miteinander synchronisiert, daß ihre steigenden Flanken zur gleichen Zeit am Zeitsignalausgang 14 anliegen. Weiterhin liegt auch das unverzögerte Rechtecksignal am Zeitsignalausgang 14 an. Die Längen der insgesamt fünf dort anliegenden Rechtecksignale betragen 1/5 bis 5/5 der Länge des unverzögerten Rechtecksignals, d. h. des Rechtecksignals des Systemtakts.

[0078] Je nach Bedarf kann somit eines der Zeitsignale unterschiedlicher Länge zur Bestimmung des Auswertungszeitpunktes abgegriffen werden, wobei der Beginn des Zeitsignals mit dem Beginn bzw. der steigenden Flanke des unverzögerten Rechtecksignals synchronisiert ist. Dies gibt die Möglichkeit, je nach Anwendung einen unterschiedlichen Auswertungszeitpunkt festzulegen und somit die Stärke des Treibers 3 zu verändern. Weiterhin oder alternativ können mehrere der Treiber 3 mit den Zeitsignalen des Zeitsignalgenerators 13 gesteuert werden, wobei die gesteuerten Treiber auch teilweise oder alle dasselbe Zeitsignal abgreifen können. Auf diese Weise läßt sich die Fläche einer integrierten Schaltung deutlich kleiner halten, als es bei jeweils einem Zeitsignalgenerator pro Treiber der Fall wäre.

[0079] Ein wesentlicher Vorteil des beschriebenen Zeitsignalgenerators 13 ist die exakte Generierung von Zeitsignalen, deren Länge eindeutig durch ein externes Rechtecksignal vorgegeben ist. Weiterhin ist der Anfangszeitpunkt der verschiedenen Zeitsignale synchronisiert. Es kann somit ohne Einfluß von Herstellungsparametern und Betriebsbedingungen zuverlässig das jeweilige Zeitsignal gewünschter Länge generiert werden.

[0080] Weiterhin erlaubt es die beschriebene DLL-Schaltung (Delay-Locked Loop) bei gegebener Pulslänge eines an ihrem Eingang anliegenden Pulssignals, etwa des Rechtecksignals, die Pulslänge zu teilen. Die Länge des externen Pulses beschränkt somit nicht die Möglichkeiten bei der Festlegung des Auswertungszeitpunktes. Ferner kann das Systemtaktsignal eines hochpräzisen externen Systemtaktes als Eingangssignal verwendet werden. Da die Längen der Rechtecksignale bzw. die Pulslängen eines derartigen Taktsignals mit hoher Präzision übereinstimmen und unabhängig von Herstellungsparametern und Betriebsbedingungen sind, kann der Auswertungszeitpunkt allein durch Vorgeben der gewünschten Zeitsignallänge am Ausgang des Zeitsignalgenerators 13 und gegebenenfalls zusätzlich durch Vorgeben einer Verzögerungszeit festgelegt werden. Herstellungsparameter und Betriebsbedingungen sind dann ohne Einfluß.

[0081] Alternativ oder zusätzlich können auch Frequenzteiler vorgesehen werden, die ebenfalls unabhängig von Herstellungsparametern und Betriebsbedingungen die Frequenz des externen Systemtaktsignals teilen können bzw. die Länge der Pulsdauern vervielfachen können. Insbesondere wenn die Möglichkeit besteht, die Verzögerungszeit durch eine Verzögerungseinheit wie die Verzögerungseinheit 11 in Fig. 1 frei veränderlich vorzugeben, kann ein Zeitintervall beliebiger Länge vorgegeben werden, dessen Anfang durch den Eingang des Triggersignals an dem zu steuernden Treiber bestimmt ist und an dessen Ende der Auswertungszeitpunkt liegt.

[0082] Im einfachsten Fall kann der Zeitsignalgenerator lediglich aus einer Signalleitung bestehen, die ein externes Zeitsignal durchleitet, beispielsweise zu der Verzögerungseinheit 11. Eine derartige Lösung ist dann sinnvoll, wenn keine Zeitsignale benötigt werden, die kürzer sind als die Länge des externen Zeitsignals.

[0083] Bei einer bevorzugten Weiterbildung des Zeitsignalgenerators 13 gemäß Fig. 3 wird zwar die steigende Flanke des am Systemtakteingang 17 anliegenden Rechtecksignals in der beschriebenen Weise durch die Verzögerungskette 27 verzögert, jedoch nicht oder nur geringfügig die fallende Flanke des Rechtecksignals verzögert. Bei dieser Weiterbildung besteht nicht die Gefahr der Überlappung eines verzögerten Zeitsignals am Ausgang der Verzögerungsstufe 29e mit einem auf das verzögerte Zeitsignal folgenden nicht verzögerten Zeitsignal, dessen zugehöriges invertiertes Signal am Ausgang des Invertierers 35 anliegen könnte. Gerade dann, wenn die Verzögerungszeit noch nicht in der gewünschten Weise durch die Verzögerungssteuerung 33 eingestellt ist, können somit Fehlfunktionen vermieden werden. Es ist daher gewährleistet, daß die Verzögerungszeit immer richtig eingestellt werden kann.

[0084] In Fig. 10 und Fig. 11 sind die Ströme bzw. Spannungen am Treiberausgang 8 zu Beginn der Regelungsphase und nach dem 14. Regelzyklus dargestellt. In Fig. 10 entspricht die mit kurzen Strichen dargestellte Linie dem Strom zu Anfang der Regelungsphase, in Fig. 11 die mit einheitlich langen Teilstrichen dargestellte Kurve der Spannung zu Beginn der Regelungsphase. Man erkennt, daß durch die Regelung sowohl das zeitliche Anwachsen des Stromes als auch der Wert des maximal fließenden Stromes reduziert werden konnten (Fig. 10). Dem entspricht der flachere An-

stieg der Spannung am Treiberausgang 6 (Fig. 11). Die Bezeichnung "t_a" in Fig. 11 markiert den Zeitpunkt, an dem das Triggersignal am Treibereingang 6 eingeht.

[0085] In Fig. 2 ist eine alternative Ausführungsform einer Regelschaltung dargestellt. Die Regelschaltung 21 stimmt weitgehend mit der Regelschaltung 1 (Fig. 1) überein. Jedoch sind der Komparator 5 und der Ereignisdetektor 9 durch einen triggerbaren Komparator 19 ersetzt. Ein invertierender Eingang des triggerbaren Komparators 19 ist mit dem Treiberausgang 8 verbunden. An den nicht invertierenden Eingang des triggerbaren Komparators 19 ist eine Referenzspannung anlegbar oder angelegt. Weiterhin weist der triggerbare Komparator 19 einen Triggereingang auf, der mit dem Ausgang der Verzögerungseinheit 11 verbunden ist.

[0086] Die Funktionsweise der Regelschaltung 21 ist wie folgt: Durch die fallende Flanke des am Ausgang der Verzögerungseinheit 11 anliegenden Zeitsignals wird der triggerbare Komparator 19 getriggert, d. h. der Zeitpunkt, an dem die Flanke an dem Triggereingang anliegt, ist der Auswertungszeitpunkt. Zu diesem Zeitpunkt wird verglichen, ob die Ausgangsspannung am Treiberausgang 8 größer, gleich oder kleiner als die Referenzspannung ist. Dementsprechend wird am Ausgang des triggerbaren Komparators 19 ein Steuersignal ausgegeben, das entweder logisch "high" oder "low" ist.

[0087] Mit der Regelschaltung 21 kann dasselbe Regelverhalten wie mit der Regelschaltung 1 erzielt werden. Daher entspricht auch der Verlauf der Kurven gemäß Fig. 5 bis Fig. 11 der Regelschaltung 21. Um die Variante bei der Auswertung des Treiberausgangssignals zu verdeutlichen, ist in Fig. 6, rechter Diagrammabschnitt, die Spannungsdifferenz ΔV dargestellt, die der triggerbare Komparator 19 zum Auswertungszeitpunkt $t = 42,5$ ns feststellt. Da ΔV wie auch in dem vorhergehenden und den nachfolgenden Regelzyklen größer als Null ist, d. h. die Treiberausgangsspannung größer als die Referenzspannung ist, gibt der triggerbare Komparator ein Ausgangssignal gemäß Fig. 5 aus, welches logisch dem Zustand "low" entspricht.

[0088] Die anhand von Fig. 1 und Fig. 2 beschriebenen Regelschaltungen 1; 21 können in analoger Weise verwendet werden, wenn der Treiber 3 angesteuert wird, um ein Ausgangssignal auszugeben, dessen Wert erniedrigt wird, beispielsweise eine abfallende Flanke eines Spannungssignals erzeugt. Auch kann eine Stärkensteuerung eines Treibers in entsprechender Weise realisiert werden, der sowohl steigende als auch fallende Flanken erzeugen kann. Dabei kann die Stärke des Treibers für fallende Flanken und für steigende Flanken gleich sein oder unterschiedlich sein. Dementsprechend ist es möglich, durch eine einzige Treiberstärken-Steuereinheit 7 die Stärke des Treibers einzustellen oder es kann eine Mehrzahl der Treiberstärken-Steuereinheiten 7 vorgesehen sein. Bereits durch eine einzige Treiberstärken-Steuereinheit 7 können auch unterschiedliche Stärken des Treibers eingestellt werden, etwa durch Verwendung eines Multiplexers, der das Ausgangssignal der Treiberstärken-Steuereinheit zeitlich nacheinander an verschiedene Steuereingänge des Treibers legt.

[0089] Durch die Erfindung ist eine Treiberstärkensteuerung realisierbar, die nur geringen schaltungstechnischen Aufwand bedeutet. Es bestehen große Freiheiten beim Vorgeben des Auswertungszeitpunktes. Weiterhin kann die Trägheit des Treibers berücksichtigt werden und kann frei gewählt werden, welchen Wert das Treiberausgangssignal zum Auswertungszeitpunkt haben soll. Es ist somit nicht erforderlich, die gewünschte Flankensteilheit des Ausgangssignals über bestimmte Prozentwerte des Maximalanstiegs zu definieren.

Bezugszeichenliste

1 Regelschaltung	
2 Last	
3 Treiber	5
4 Chip	
5 Komparator	
6 Treibereingang	
7 Treiberstärken-Steuereinheit	
8 Treiberausgang	10
9 Ereignisdetektor	
10 Ausgangskontakt	
11 Verzögerungseinheit	
13 Zeitsignalgenerator	
14 Zeitsignalausgang	15
15 Eingabeeinheit	
16 Nutzereingang	
17 Systemtaktteingang	
19 triggerbarer Komparator	
21 Regelschaltung	20
25 Multiplexersteuerung	
27 Verzögerungskette	
29a-e Verzögerungsstufe	
30a-e Steuereingang	
31 Phasendetektor	25
33 Verzögerungssteuerung	
35 Invertierer	
37a-d NOR-Glied	
41 Rücksetzeingang	
43a-e Bitleitung	30
45a-e Treibereinheit	

Patentansprüche

1. Verfahren zum Beurteilen der Stärke eines Treibers (3), insbesondere eines Padtreibers für hochintegrierte elektronische Schaltungen, wobei der Treiber (3), ausgelöst durch ein Treibereingangssignal, einen Wert eines Treiberausgangssignals erhöht oder erniedrigt, bei welchem, insbesondere taktweise wiederkehrend, ein mit dem Treibereingangssignal zeitlich gekoppelter Auswertungszeitpunkt ermittelt wird und unter Verwendung des Auswertungszeitpunktes ausgewertet wird, ob die Stärke des Treibers (3) einer Vorgabe entspricht. 35
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Wert des Treiberausgangssignals entsprechend dem Auswertungsergebnis beeinflußt wird. 40
3. Verfahren nach Anspruch 1 oder 2 dadurch gekennzeichnet, daß zu dem Auswertungszeitpunkt der Wert des Treiberausgangssignals ausgewertet wird. 45
4. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß ausgewertet wird, ob ein aus dem Treiberausgangssignal erhaltenes Sekundärsignal und/oder ein Ereignis des Treiberausgangssignals vor, an und/oder nach dem Auswertungszeitpunkt vorliegt bzw. eintritt. 50
5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß bei der Ermittlung des Auswertungszeitpunktes ein mit dem Treibereingangssignal gekoppeltes periodisches Signal verwendet wird, insbesondere ein Taktsignal eines Systemtaktes für ein System mit mikroelektronischen Baugruppen. 55
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß unter Verwendung der Periodendauer und/oder der Frequenz des periodischen Signals ein Zeitintervall generiert wird und daß der Auswertungszeitpunkt am Ende des Zeitintervalls liegt. 60

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß aus dem periodischen Signal ein Zeitsignal generiert wird, dessen Länge ein Vielfaches oder ein Bruchteil der Periodendauer ist und dessen Länge zumindest einen Teil der Länge des Zeitintervalls festlegt. 65
8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß das Treibereingangssignal den Treiber (3) zu einem Ansteuerungszeitpunkt ansteuert, so daß der Treiber (3), gegebenenfalls verzögert, damit beginnt, den Wert des Treiberausgangssignals zu ändern, und daß ein Zeitintervall vorgegeben wird, das zu dem Ansteuerungszeitpunkt beginnt und durch dessen Ende der Auswertungszeitpunkt definiert ist.
9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß zumindest ein Teil des Zeitintervalls durch Vorgeben einer festen Verzögerungszeit vorgegeben wird.
10. Verfahren nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß der Treiber (3) eine Mehrzahl von Treibereinheiten (45a-45e) aufweist, die einzeln freigegeben oder gesperrt werden können, daß die Kombination der freigegebenen Treibereinheiten (45a-45e) die Stärke des Treibers (3) bestimmt und daß, abhängig von dem Auswertungsergebnis, gegebenenfalls ein oder mehrere der Treibereinheiten (45a-45e) freigegeben und/oder gesperrt werden.
11. Verfahren nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß die Auswertung in einer ersten Zeitphase mehrfach durchgeführt wird und daß die Auswertung zur Überprüfung einer geeigneten Treiberstärke in vorgegebenen größeren Zeitabständen wiederholt wird.
12. Schaltungsanordnung (1; 21) zum Beurteilen der Stärke eines Treibers (3), insbesondere eines Padtreibers für hochintegrierte elektronische Schaltungen, wobei der Treiber (3), ausgelöst durch ein Treibereingangssignal, einen Wert eines Treiberausgangssignals erhöht oder erniedrigt, mit einem Eingangssignaleingang (17) zum Empfangen eines mit dem Treibereingangssignal gekoppelten Eingangssignals, einem Ausgangssignaleingang (8) zum Empfangen des Treiberausgangssignals, einer Festlegungseinheit (11, 13) zur Festlegung eines Auswertungszeitpunktes, die mit dem Eingangssignaleingang (17) verbunden ist, und einer Auswertungseinheit (5, 9; 19) zur Auswertung, ob die Stärke des Treibers (3) einer Vorgabe entspricht, wobei die Auswertungseinheit (5, 9; 19) mit der Festlegungseinheit (11, 13) und mit dem Ausgangssignaleingang (8) verbunden ist und wobei die Auswertungseinheit (5, 9; 19) einen Auswertungssignalausgang zum Ausgeben eines zu dem Auswertungszeitpunkt ermittelten Auswertungsergebnisses aufweist.
13. Schaltungsanordnung nach Anspruch 12, dadurch gekennzeichnet, daß eine Einrichtung (7) zum Beeinflussen der Stärke des Treibers (3) vorgesehen ist, die mit dem Auswertungssignalausgang verbunden ist.
14. Schaltungsanordnung nach Anspruch 12 oder 13, dadurch gekennzeichnet, daß die Schaltungsanordnung (1) und der Treiber (3) auf einem gemeinsamen mikroelektronischen Chip (4) angeordnet sind.
15. Schaltungsanordnung nach Anspruch 12 bis 14, dadurch gekennzeichnet, daß der Treiber (3) eine Mehrzahl von Treibereinheiten (45a-45e) aufweist, die einzeln freigegeben oder gesperrt werden können, wobei die Kombination der freigegebenen Treibereinheiten

ten (45a– 45e) die Stärke des Treibers (3) bestimmt, und daß eine erste (45a–45d) der Treibereinheiten (45a–45e) mit der halben Stärke einer zweiten (45b–45e) der Treibereinheiten (45a–45e) zur Gesamtstärke des Treibers (3) beitragen kann.

16. Schaltungsanordnung nach Anspruch 15, dadurch gekennzeichnet, daß die Auswertungseinheit (5, 9; 19) mit einer binären Steuereinheit (7) zum Steuern der Stärke des Treibers (3) verbunden ist, und daß die Steuereinheit (7) derart mit den Treibereinheiten (45a–45e) verbunden ist, daß die erste (45a–45d) und die zweite (45b–45e) Treibereinheit durch binäre Steuersignale angesteuert werden können und dadurch die Stärke des Treibers (3) in äquidistanten Stufen eingestellt werden kann.

17. Schaltungsanordnung nach einem der Ansprüche 12 bis 16, dadurch gekennzeichnet, daß die Festlegungseinheit (11, 13) eine Verzögerungseinheit (11) zur Verzögerung eines Zeitsignals aufweist, um den Auswertungszeitpunkt zu verschieben.

18. Schaltungsanordnung nach einem der Ansprüche 12 bis 17, dadurch gekennzeichnet, daß die Festlegungseinheit (11, 13) eine Zeitsignaleinheit (13) zum Generieren und/oder Empfangens eines Auswertungszeitsignals aufweist, dessen Länge zumindest teilweise der Zeitdifferenz zwischen dem Auswertungszeitpunkt und einem aus dem Treibereingangssignal ableitbaren Auslösezeitpunkt entspricht.

19. Schaltungsanordnung nach Anspruch 18, dadurch gekennzeichnet, daß die Festlegungseinheit (11, 13) ausgestaltet ist, ein Eingangszeitsignal zu empfangen und/oder zu generieren, daß die Festlegungseinheit (11, 13) eine Verzögerungskette (27) mit einer Mehrzahl von Verzögerungsstufen (29a–29e) zum Verzögern des Eingangszeitsignals aufweist und daß Ausgänge der Verzögerungsstufen (29a–29e) mit einer Logikeinheit (37a–37d) verbunden sind, die das Eingangszeitsignal oder ein daraus abgeleitetes Signal empfängt, so daß an einem Ausgang (14) der Logikeinheit (37a–37d) unterschiedlich lange Auswertungszeitsignale anliegen.

20. Schaltungsanordnung nach Anspruch 19, dadurch gekennzeichnet, daß die Verzögerungskette (27) mit einer Synchronisierungseinheit (31, 33), zum Synchronisieren eines Ereignisses des Eingangszeitsignals mit einem Ereignis des verzögerten Eingangszeitsignals, verbunden ist.

21. Schaltungsanordnung nach Anspruch 20, dadurch gekennzeichnet, daß zumindest eine der Verzögerungsstufen (29a–29e) einen Steuereingang (30a–30e) zum Zuführen eines Steuersignals aufweist und daß die Synchronisierungseinheit (31, 33) mit dem Steuereingang (30a–30e) verbunden ist, um die Verzögerung zu steuern.

22. Schaltungsanordnung nach einem der Ansprüche 18 bis 21, dadurch gekennzeichnet, daß die Festlegungseinheit (11, 13) ausgestaltet ist, an einem Signalausgang (14) eine Mehrzahl der Ausgangszeitsignale zur Verfügung zu stellen, und daß eine Mehrzahl der Treiber mit dem Signalausgang (14) verbunden und/oder verbindbar sind.

23. Schaltungsanordnung nach einem der Ansprüche 12 bis 22, dadurch gekennzeichnet, daß die Auswertungseinheit (5, 9) einen Ereignisdetektor (9) aufweist, der ausgestaltet ist festzustellen, ob ein aus dem Treiberausgangssignal ermittelbares Ereignis vor, an und/oder nach dem Auswertungszeitpunkt eintritt.

24. Schaltungsanordnung nach Anspruch 23, dadurch gekennzeichnet, daß die Auswertungseinheit (5, 9) ei-

nen Komparator (5) aufweist, der einen ersten Komparatoreingang zum Empfangen des Treiberausgangssignals und einen zweiten Komparatoreingang zum Empfangen eines Referenzsignals hat, wobei der Komparator (5) ausgestaltet ist, ein Eingangssignal auszugeben, wenn das Treiberausgangssignal einen Wert erreicht und/oder überschreitet und/oder unterschreitet, der durch das Referenzsignal vorgegeben ist, und wobei der Komparator mit dem Ereignisdetektor (9) verbunden ist, um das Ereignissignal an diesen auszugeben.

25. Schaltungsanordnung nach einem der Ansprüche 12 bis 22, dadurch gekennzeichnet, daß die Auswertungseinheit (19) einen triggerbaren Komparator (19) aufweist, der einen mit der Festlegungseinheit (11, 13) verbundenen Triggereingang, einen ersten Komparatoreingang zum Empfangen des Treiberausgangssignals und einen zweiten Komparatoreingang zum Empfangen eines Referenzsignals hat.

Hierzu 4 Seite(n) Zeichnungen

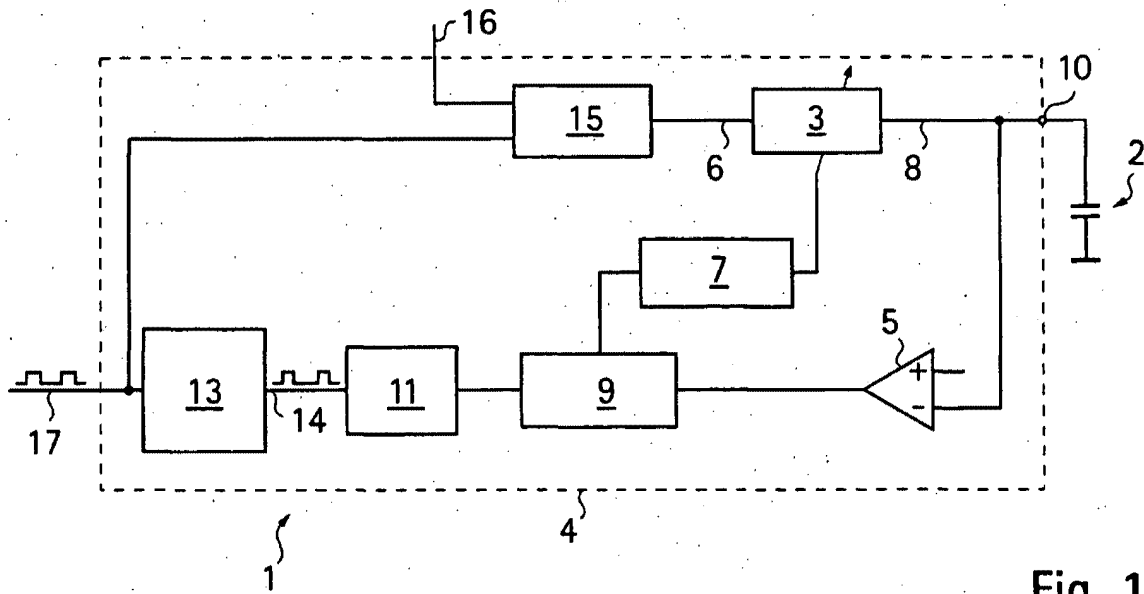


Fig. 1

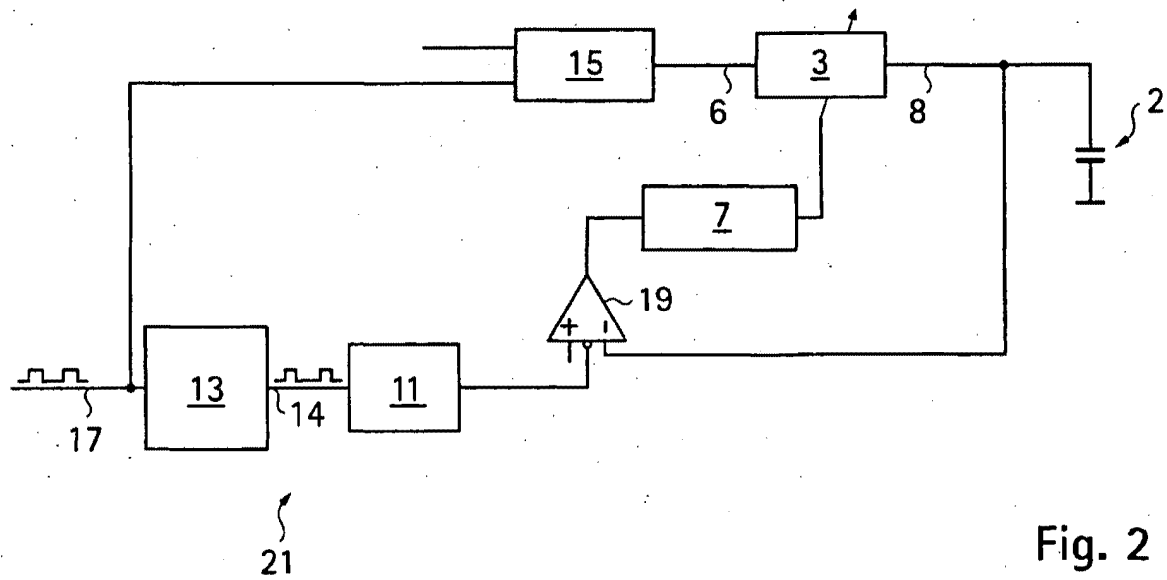


Fig. 2

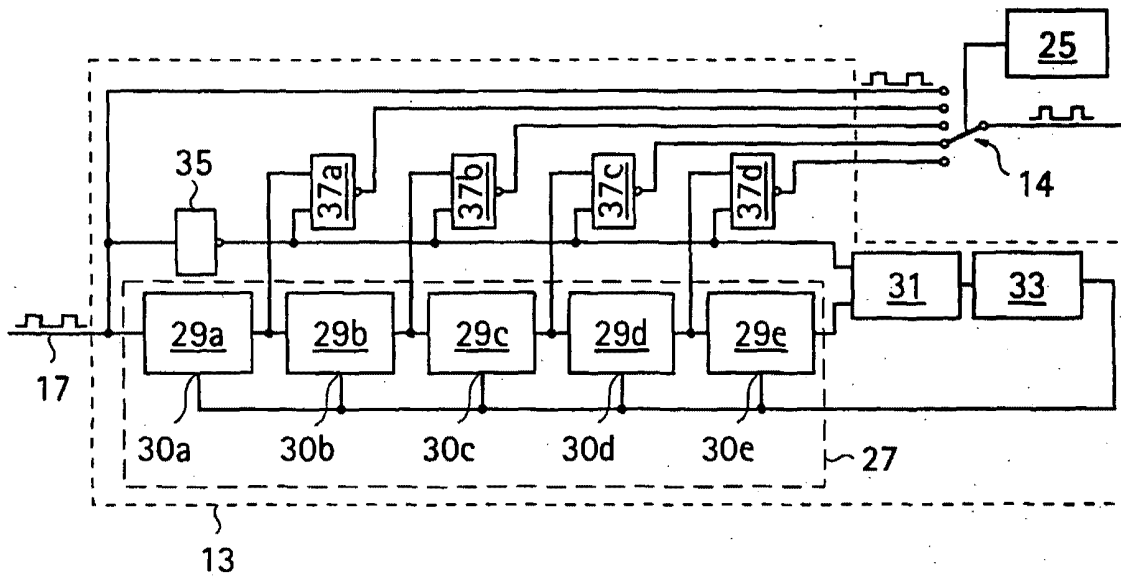


Fig. 3

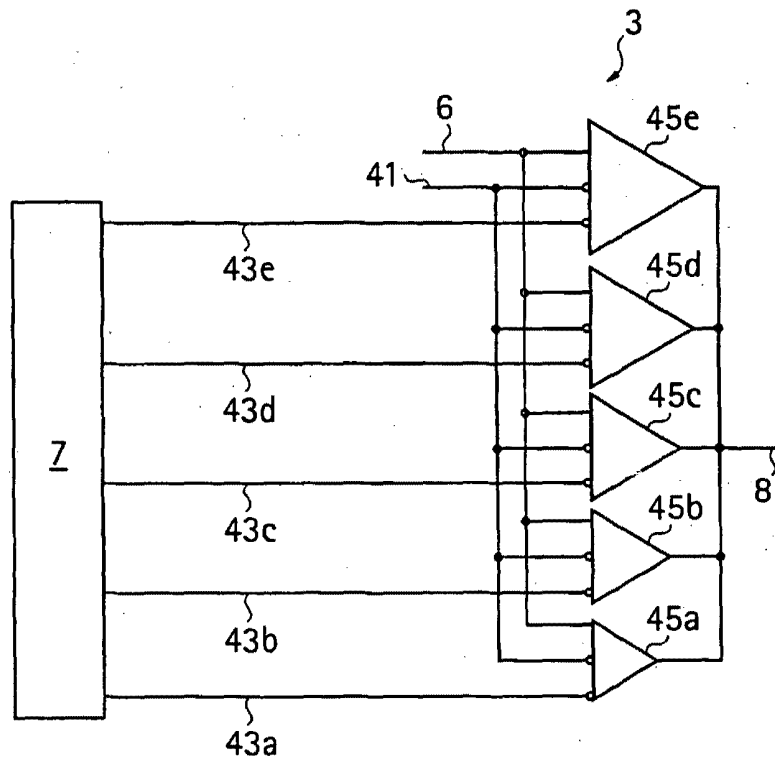


Fig. 4

Fig. 5

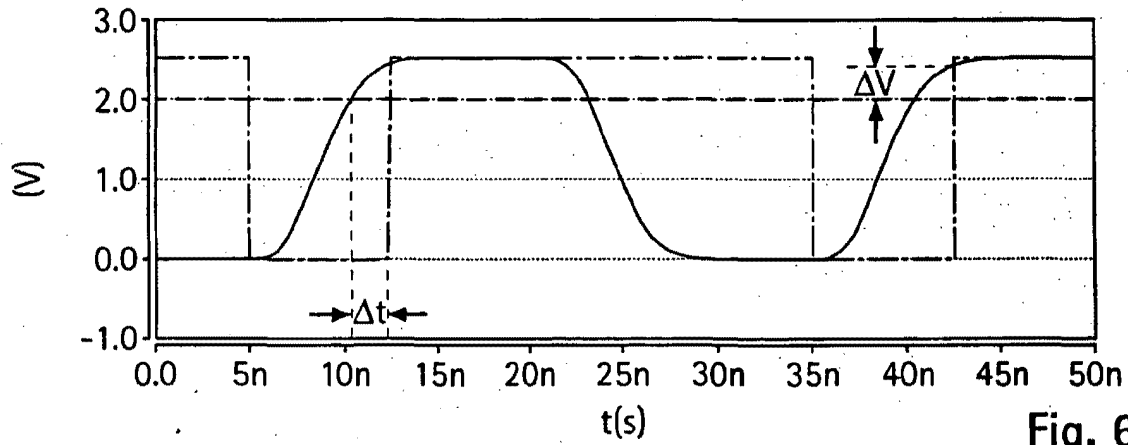
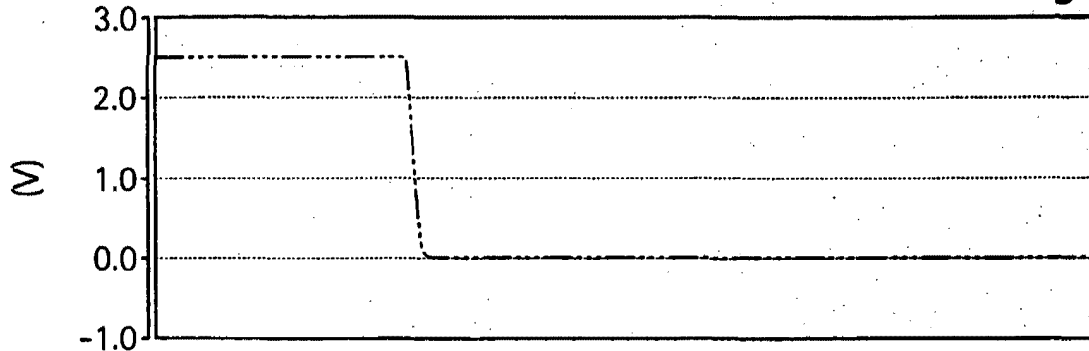


Fig. 6

Fig. 7

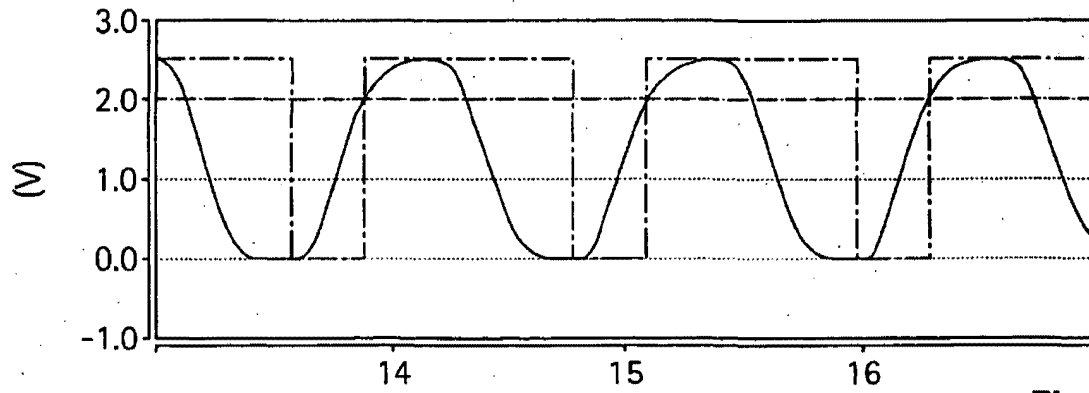
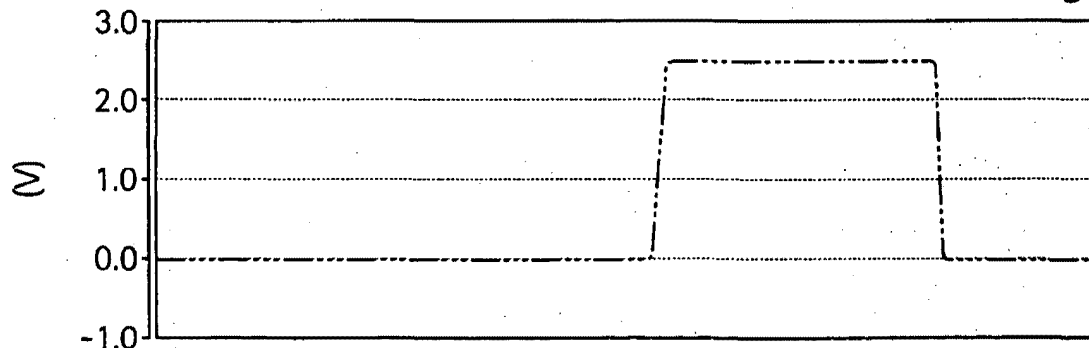


Fig. 8

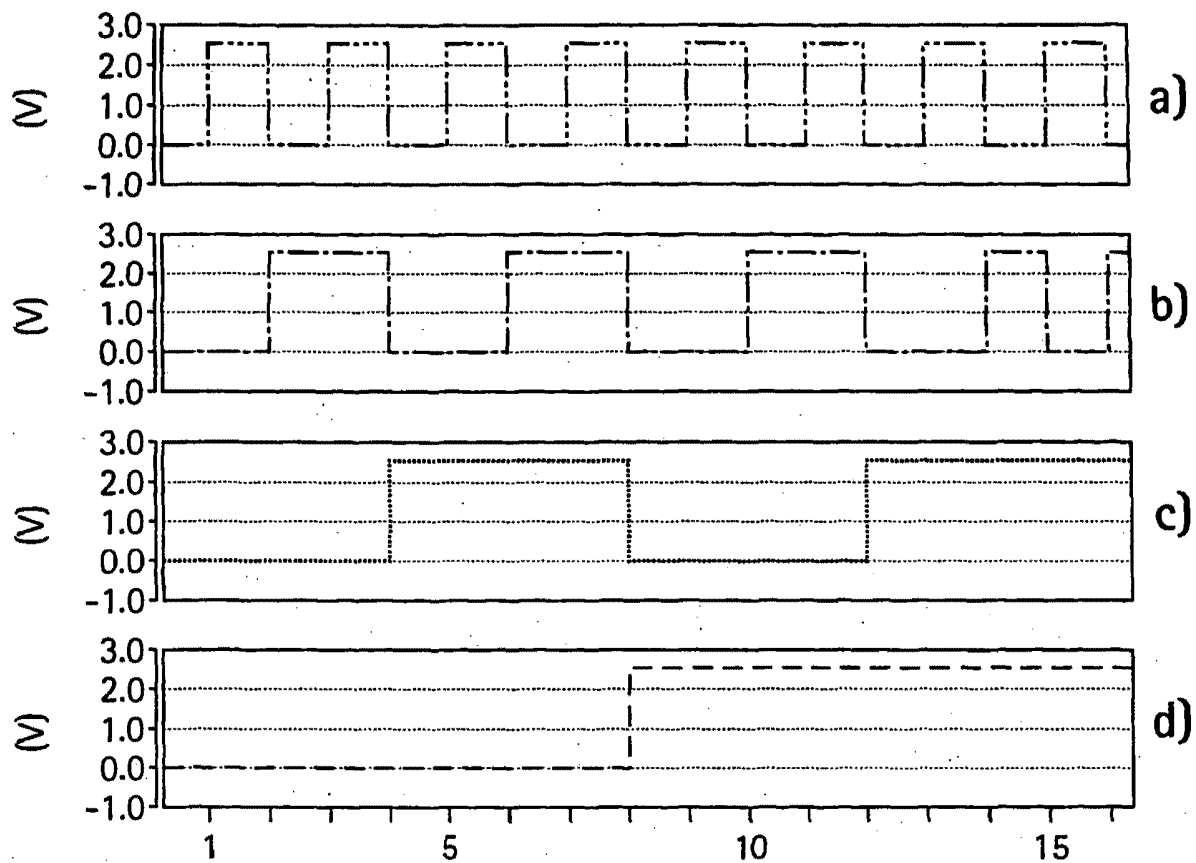


Fig. 9

Fig. 10

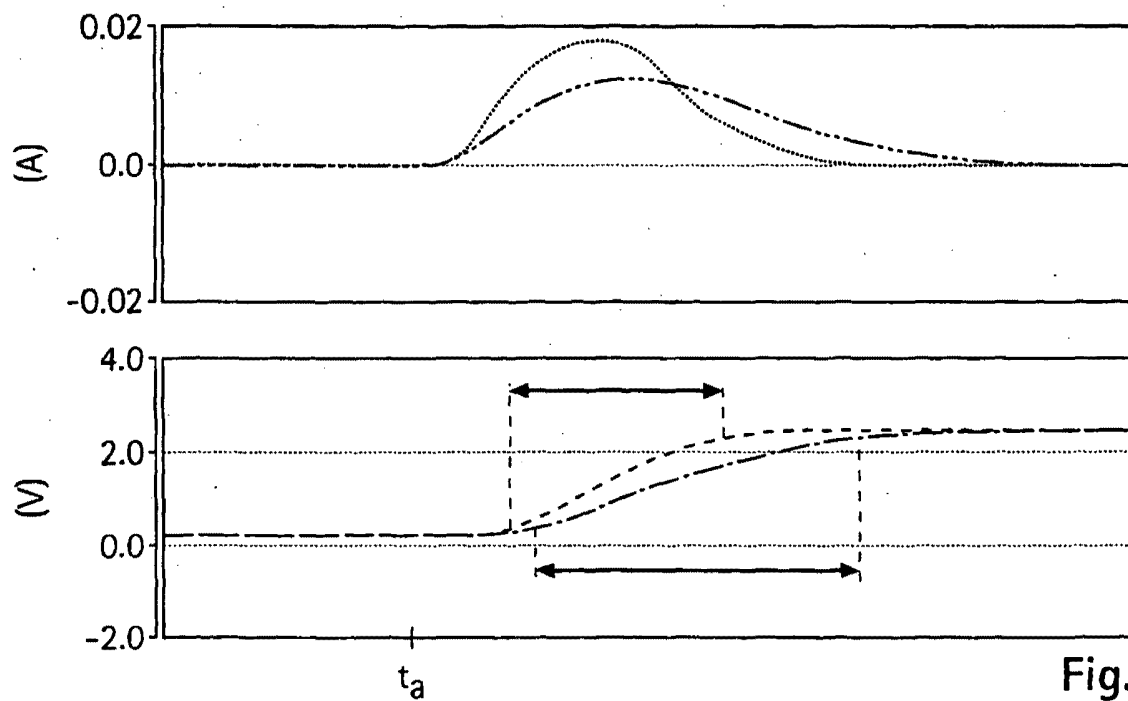


Fig. 11



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

APPLICATION NUMBER	FILING OR 371 (c) DATE	FIRST NAMED APPLICANT	ATTORNEY DOCKET NUMBER
10/887,949	07/09/2004	Rory Dickmann	INFN/0091

CONFIRMATION NO. 5218

GERO G. McCLELLAN
 MOSER, PATTERSON & SHERIDAN, L.L.P.
 Suite 1500
 3040 Post Oak Blvd.
 Houston, TX 77056

FORMALITIES LETTER



OC000000013622268

Date Mailed: 08/24/2004

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

FILED UNDER 37 CFR 1.53(b)

*Filing Date Granted***Items Required To Avoid Abandonment:**

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items and pay any fees required below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The oath or declaration is unsigned.
- To avoid abandonment, a late filing fee or oath or declaration surcharge as set forth in 37 CFR 1.16(e) of \$130 for a non-small entity, must be submitted with the missing items identified in this letter.

SUMMARY OF FEES DUE:

Total additional fee(s) required for this application is **\$130** for a Large Entity

- **\$130** Late oath or declaration Surcharge.

Replies should be mailed to: Mail Stop Missing Parts
 Commissioner for Patents
 P.O. Box 1450
 Alexandria VA 22313-1450

*A copy of this notice **MUST** be returned with the reply.*

4-13

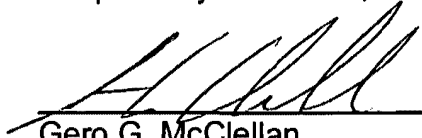
Customer Service Center

Initial Patent Examination Division (703) 308-1202

PART 3 - OFFICE COPY

The Commissioner is hereby authorized to charge a total of \$130 as payment of the surcharge associated with this Communication and Response, or credit any overpayment, to Deposit Account No. 20-0782/INFN/WB0091/GGM.

Respectfully submitted,



Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd. Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Attorney for Applicant(s)



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

1FW\$

APPLICATION NUMBER	FILING OR 371 (c) DATE	FIRST NAMED APPLICANT	ATTORNEY DOCKET NUMBER
10/887,949	07/09/2004	Rory Dickmann	INFN/0091

CONFIRMATION NO. 5218

FORMALITIES LETTER



OC000000013622268

GERO G. McCLELLAN
 MOSER, PATTERSON & SHERIDAN, L.L.P.
 Suite 1500
 3040 Post Oak Blvd.
 Houston, TX 77056

Date Mailed: 08/24/2004

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

FILED UNDER 37 CFR 1.53(b)

*Filing Date Granted*Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items and pay any fees required below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The oath or declaration is unsigned.
- To avoid abandonment, a late filing fee or oath or declaration surcharge as set forth in 37 CFR 1.16(e) of \$130 for a non-small entity, must be submitted with the missing items identified in this letter.

SUMMARY OF FEES DUE:

Total additional fee(s) required for this application is **\$130** for a Large Entity

- **\$130** Late oath or declaration Surcharge.

Replies should be mailed to: Mail Stop Missing Parts
 Commissioner for Patents
 P.O. Box 1450
 Alexandria VA 22313-1450

10/26/2004 DEMMANU1 00000050 200782 10887949

01 FC:1051 130.00 DA

*A copy of this notice **MUST** be returned with the reply.*

E.D.

Customer Service Center

Initial Patent Examination Division (703) 308-1202

PART 2 - COPY TO BE RETURNED WITH RESPONSE



W&B Docket No.: INF-2434-US
OC Docket No.: INFN/0091

**DECLARATION FOR PATENT APPLICATION, POWER OF
ATTORNEY & DESIGNATION OF CORRESPONDENCE ADDRESS**

As below named inventor, I hereby declare that:

My residence, post office address and citizenship are as stated below next to my name.

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

**OUTPUT DRIVER FOR AN INTEGRATED CIRCUIT
AND METHOD FOR DRIVING AN OUTPUT DRIVER**

the specification of which (check one)

_____ is attached hereto.

X was filed on July 9, 2004 as Attorney Docket No. INFN/0091.

I hereby state that I have reviewed and understand the contents of the above-identified specification including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information known to me to be material to the patentability of this application in accordance with 37 CFR §1.56(a).

**PRIOR FOREIGN/PCT APPLICATION(S) FILED WITHIN 12 MONTHS (6 MONTHS
FOR DESIGN) PRIOR TO THIS APPLICATION AND ANY PRIORITY CLAIMS UNDER
35 U.S.C. § 119(a)-(d)**

I hereby claim foreign priority benefits under 35 USC § 119 of any foreign application(s) for patent or inventor's certificate listed below and have also identified below any foreign application for patent or inventor's certificate having a filing date before that of the application on which priority is claimed:

Prior Foreign Application(s)			Priority Claimed	
Number	Country	Day/Month/Year Filed	Yes	No
DE 103 31 607.8	GERMANY	July 12, 2003	X	

**CLAIM FOR BENEFIT OF PRIOR U.S. PROVISIONAL APPLICATION(S)
(35 U.S.C. § 119(e))**

I hereby claim the benefit under Title 35, United States Code, § 119 (e) of any United States provisional application(s) listed below:

Provisional Application Number	Filing Date

**CLAIM FOR BENEFIT OF EARLIER US/PCT APPLICATION(S)
UNDER 35 U.S.C. § 120**

I hereby claim the benefits under 35 USC § 120 of any United States application(s) listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States application in the manner provided by the first paragraph of 35 USC § 112, I acknowledge the duty to disclose material information as defined in 37 CFR § 1.56 which occurred between the filing date of the prior application and the national or PCT international filing date of this application:

Appl. No.	Filing Date	Patented, Pending, Abandoned

Power of Attorney: As a named inventor, I hereby appoint the following attorney(s) and/or agent(s) to prosecute this application and transact all business in the Patent and Trademark Office connected therewith.

Erik O. Berger, Reg. No. 42,315
Gero G. McClellan, Reg. No. 44,227
Keith M. Tackett, Reg. No. 32,008
Randol W. Read, Reg. No. 43,876

Marie-Claire B. Maple, Reg. No. 37,588
B. Todd Patterson, Reg. No. 37,906
William B. Patterson, Reg. No. 34,102

Send correspondence to:

Gero G. McClellan
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Boulevard, Suite 1500
Houston, Texas 77056-6582

Direct telephone calls to:

Gero G. McClellan
(713) 623-4844

I hereby declare that all statements made herein on my own knowledge are true and that all statements made on information and belief are believed to be true, and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both under 18 USC §1001 and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

Full Name of First Inventor:	Rory Dickmann	Dickman	2004 July 28
Inventor's Signature:		X	Date: 28.07.2004
Residence:	Rehgässchen 4 93047 Regensburg, Germany		
Citizenship:	US		
Mailing Address:	Same		

In accordance with 37 CFR § 1.97, this Supplemental Information Disclosure Statement is not to be construed as a representation that a search has been made or that no other possibly material information as defined under 37 CFR § 1.56(a) exists.

The patents and/or publications submitted herewith are set forth on the attached Form PTO-1449.

If the sum of \$180.00 is due under 37 CFR § 1.17(p) pursuant to § 1.97, the Commissioner is hereby authorized to charge this fee, and any other fee necessary to make this submission timely, to the Deposit Account No. 20-0782/INFN/WB0091/GGM.

Respectfully submitted,



Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd. Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Attorney for Applicant(s)

310428_1

Please type a plus sign (+) inside this box →



PTO/SB/08a (08-03)

Approved for use through 07/31/2006. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Substitute for form 1449A/PTO

OCT 25 2004

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1

of 2

Application Number	10/887,949
Filing Date	July 9, 2004
First Named Inventor	Rory Dickman
Group Art Unit	2816
Examiner Name	Unknown
Attorney Docket Number	INFN/WB0091
Submission Date	October 21, 2004

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Document Number	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code ² (if known)			
	A1	US-4,627,053	12/02/1986	YAMAKI ET AL.	
	A2	US-4,389,715	06/21/1983	EATON, JR. ET AL.	
	A3	US-6,182,262 B1	01/30/2001	SEYYEDY	
	A4	US-6,374,378 B1	04/16/2002	TAKANO ET AL.	
	A5	US-6,421,794 B1	07/16/2002	CHEN ET AL.	
	A6	US-5,317,573	05/31/1994	BULA ET AL.	
	A7	US-5,859,804	01/12/1999	HEDBERG ET AL.	
	A8	US-			
	A9	US-			
	A10	US-			
	A11	US-			
	A12	US-			
	A13	US-			
	A14	US-			
	A15	US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Foreign Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T ⁶
		Number-Kind Code ² (if known)				
	B1	FR 2 611 301 A1	08/26/1988	JEAN DEVIN ET AL.		
	B2					
	B3					
	B4					
	B5					

Examiner

Date Considered

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. * Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450. If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

Substitute for form 1449B/PTO

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**

(Use as many sheets as necessary)

Sheet 2

of 2

Application Number	10/887,949
Filing Date	July 9, 2004
First Named Inventor	Rory Dickman
Group Art Unit	2816
Examiner Name	Unknown
Attorney Docket Number	INFNWB0091
Submission Date	October 21, 2004

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published	T ²
	C1	ROBERT T. SMITH, JAMES D. CHLIPALA, JOHN M. BINDELS, ROY G. NELSON, FREDERICK H. FISCHER and THOMAS F. MANTZ, <i>Laser Programmable Redundancy and Yield Improvement in a 64K DRAM</i> , IEEE Journal of Solid-State Circuits, Vol. SC-16, No. 5, October 1981, pp. 506-514.	
	C2	SATORU TANOI, <i>BIST: Required for Embedded DRAM</i> , International Test Conference, Paper P6.4, P. 1149, IEEE 1998.	
	C3	TOMOYA KAWAGOE, JUN OHTANI, MITSUTAKA NIIRO, TUKASA OOISHI, MITSUHIRO HAMADA AND HIDETO HIDAKA, <i>A Built-In Self-Repair Analyzer (CRESTA) for Embedded DRAMs</i> , ITC International Test Conference, Paper 21.3, pp. 567-574, IEEE 2000.	
	C4	German Patent Office Examination Report dated June 15, 2004.	
	C5		
	C6		
	C7		
	C8		

Examiner

Date Considered

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450. If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 103 31 607.8
Anmeldetag: 12. Juli 2003
Anmelder/Inhaber: Infineon Technologies AG,
81669 München/DE
Bezeichnung: Ausgangstreiber für eine integrierte Schaltung
und Verfahren zum Ansteuern eines Ausgangs-
treibers
IPC: H 03 K 19/003

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 08. Juli 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Schäfer

Beschreibung

Ausgangstreiber für eine integrierte Schaltung und Verfahren zum Ansteuern eines Ausgangstreibers

5

Die Erfindung betrifft einen Ausgangstreiber für eine integrierte Schaltung mit einer Treiberschaltung, um ein Eingangssignal auf eine Ausgangsleitung zu treiben. Die Erfindung betrifft weiterhin ein Verfahren zur Ansteuerung eines Ausgangstreibers für eine integrierte Schaltung.

10

Integrierte Schaltungen weisen üblicherweise Ausgangstreiber auf, um Signale, die in Schaltkreisen der integrierten Schaltung generiert worden sind, auf mit der integrierten Schaltung verbundenen externen Leitungen zu treiben. Um das Treiberverhalten der Ausgangstreiber zu definieren, ist eine Spezifikation vorgesehen, die je nach Ausgangstreiber einen oberen und einen unteren Stromwert bzw. einen oberen und unteren Potentialwert abhängig von dem Signalzustand (High-Pegel oder Low-Pegel) des zu treibenden Ausgangssignal vorsehen. Die Spezifikation gibt dabei für den durchgeschalteten Pull-Up-Zweig der Treiberschaltung und für den Pull-Down-Zweig der Treiberschaltung jeweils eine obere und untere Strom-Spannungs-Kennlinie an, die jeweils einen Stromstärkebereich definiert, innerhalb der sich die Stromstärke durch den betreffenden Zweig und somit durch die Ausgangsleitung befinden muss. Je nachdem, ob durch den Ausgangstreiber ein High- oder Low-Pegel getrieben werden soll, gibt die Spezifikation für den Pull-Up-Zweig und den Pull-Down-Zweig verschiedene obere und untere Strom-Spannungs-Kennlinien vor.

15

20

25

30

Üblicherweise sehen die Spezifikationen für integrierte Schaltungen, insbesondere für SDRAM- und DDR-

Speicherschaltungen einen relativ großen Stromstärkebereich bzw. Potentialbereich für die Ausgangstreiber vor, so dass es einfacher ist, für Prozesseckwerte, Temperaturen und Spannungen (PVT) die spezifikationsgemäße Stromstärkewerte bzw. Potentialwerte zu erreichen. Die spezifikationsgemäßen Stromstärkebereiche bzw. Spannungsbereiche der Pull-Up-Zweige und Pull-Down-Zweige können je nach Lage des tatsächlichen Potentialwertes bzw. Stromwertes innerhalb der Spezifikation bezüglich der Leistungsaufnahme große Unterschiede bedeuten, da in einem oberen Stromstärkebereich und/oder in einem oberen Potentialbereich mehr Leistung benötigt wird, als wenn sich das Ausgangssignal in einem unteren Bereich des zulässigen vorgegebenen Potentialfensters und/oder Stromstärkefensters befindet.

Der exakte Potentialwert bzw. Stromwert, mit dem das Signal mit Hilfe des Ausgangstreibers getrieben wird, lässt sich jedoch nicht von vorne herein einstellen, da man Prozessabweichungen, Temperaturschwankungen und Spannungsschwankungen berücksichtigen muss, die dazu führen könnten, dass sich der betreffende Wert außerhalb des spezifikationsgemäßen Fensters befindet. Auch sind unterschiedliche Lasten an den Ausgängen der integrierten Schaltung möglich, so dass sich dadurch unterschiedliche Potentialwerte oder Stromwerte abhängig von den angeschlossenen Bauelementen bzw. dessen Schaltzuständen ergeben können.

Es ist Aufgabe der vorliegenden Erfindung, eine integrierte Schaltung und ein Verfahren zum Steuern eines Ausgangstreibers zur Verfügung zu stellen, wobei die Leistungsaufnahme der integrierten Schaltung reduzierbar ist und gewährleistet wird, dass sich der entsprechende Potentialwert bzw. Strom-

wert am Ausgang des Ausgangstreibers innerhalb der Spezifikation befindet.

Diese Aufgabe wird durch den Ausgangstreiber nach Anspruch 1,
5 sowie durch das Verfahren nach Anspruch 5 gelöst.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

10 Gemäß einem ersten Aspekt der vorliegenden Erfindung ist ein Ausgangstreiber für eine integrierte Schaltung vorgesehen. Der Ausgangstreiber weist eine Treiberschaltung auf, um ein Eingangssignal auf eine Ausgangsleitung zu treiben. Die Treiberschaltung ist so dimensioniert, um eine von dem zu treibenden Eingangssignal abhängige Stromstärke und/oder ein von dem zu treibenden Eingangssignal abhängiges Potential auf der Ausgangsleitung zu liefern. Der Stromwert und/oder der Potentialwert liegen in einem von einer vorgegebenen Spezifikation definierten Stromstärkebereich und/oder Potentialbereich. Die
15 Treiberstärke der Treiberschaltung ist gemäß einem Steuersignal einstellbar. Es ist eine Messschaltung vorgesehen, um die Stromstärke des auf der Ausgangsleitung fließenden Stroms und/oder das Potential der Ausgangsleitung zu messen. Eine Steuerschaltung dient zum Einstellen der Treiberstärke der
20 Treiberschaltung, so dass das Potential auf der Ausgangsleitung auf einen Potentialwert und/oder die Stromstärke auf einen Stromwert eingestellt wird, wobei der eingestellte Potentialwert und der eingestellte Stromwert in einem unteren Leistungsbereich des durch die Spezifikation vorgegebenen
25 Stromstärkebereichs und/oder Potentialsbereichs liegt.
30

Auf diese Weise ist es möglich, einen Ausgangstreiber für eine integrierte Schaltung zur Verfügung zu stellen, mit der es

möglich ist, den Stromwert und/oder den Potentialwert auf der Ausgangsleitung in einem unteren Leistungsbereich einzustellen, d. h. in einem Arbeitspunkt zu betreiben, bei der die Leistungsaufnahme des Ausgangstreibers reduziert sein kann, ohne jedoch einen Stromwert oder Potentialwert außerhalb der spezifikationsgemäßen Schranken zuzulassen. Aufgrund von Prozessschwankungen bei der Herstellung der integrierten Schaltungen, einem hohen Betriebstemperaturbereich, in dem die integrierte Schaltung zulässigerweise betrieben werden kann, und möglicherweise auftretende Spannungsschwankungen sind die gemäß der Spezifikation zulässigen Stromstärkebereiche und/oder Potentialbereiche vergleichsweise groß. Daraus folgt z. B., dass je nachdem, mit welcher Stromstärke oder mit welchem Potential innerhalb der zulässigen Fenster der Ausgangstreiber ein Signal auf die Ausgangsleitung treibt, der Ausgangstreiber eine unterschiedliche Leistungsaufnahme aufweist. Aufgrund der großen Wertebereiche für das Potential und die Stromstärke ist folglich der Bereich der möglichen Leistungsaufnahmen ebenfalls sehr groß. Um nicht aufgrund von Temperaturschwankungen, Prozessschwankungen oder dergleichen in einen Arbeitsbereich außerhalb der Spezifikation zu gelangen, wird versucht, die Treiberstärke des Ausgangstreibers durch den Herstellungsprozess so einzustellen, dass das zu treibende Eingangssignal mit einer Stromstärke und einem Potential getrieben wird, der im Wesentlichen mittig innerhalb des durch die Spezifikation vorgegebenen Stromstärkebereichs oder Potentialbereichs liegt.

Erfindungsgemäß ist nun eine Steuerschaltung vorgesehen, die die Treiberstärke der Treiberschaltung beeinflusst. Die Treiberstärke der Treiberschaltung wird durch die Steuerschaltung so eingestellt, dass die Stromstärke und/oder das Potential auf der Ausgangsleitung abhängig von dem zu treibenden Ein-

gangssignal in einem unteren Leistungsbereich des durch die Spezifikation vorgegebenen Stromstärkebereichs und/oder Potentialbereichs liegt, d. h. die Leistungsaufnahme des Ausgangstreibers wird innerhalb des zulässigen Bereichs reduziert. Dadurch ist es möglich, sowohl die Prozessschwankungen bei der Herstellung der integrierten Schaltung, die jeweilige Betriebstemperatur, die Potentialschwankungen z.B. der Versorgungsspannungen, als auch die an dem Ausgangstreiber angeschlossene Last so zu berücksichtigen, dass einerseits die Treiberschaltung des Ausgangstreibers einen Potentialwert und einen Stromstärkewert liefert, der innerhalb der spezifikationsgemäßen Bereichsgrenzen liegt, diese jedoch in einem unteren Leistungsbereich liegen, so dass die Leistungsaufnahme des Ausgangstreibers gegenüber einer nicht gesteuerten Treiberschaltung und somit der Energieverbrauch reduziert werden kann.

Es kann vorgesehen sein, dass der untere Leistungsbereich durch einen durch die Spezifikation vorgegebenen unteren Stromgrenzwert und einen um einen Toleranzbetrag erhöhten unteren Stromgrenzwert und/oder durch einen durch die Spezifikation vorgegebenen unteren Potentialwert und einen um einen Toleranzbetrag erhöhten unteren Potentialwert bestimmt ist. Auf diese Weise lässt sich in dem durch die Spezifikation vorgegebenen Strom- bzw. Potentialwert ein unterer Leistungsbereich definieren.

Vorzugsweise gibt die Spezifikation eine erste maximale und minimale Strom-Spannungs-Kennlinie für einen Pull-Up-Zweig der Treiberschaltung und eine zweite maximale und minimale Strom-Spannungs-Kennlinie für einen Pull-Down-Zweig der Treiberschaltung an. Abhängig von dem jeweils angesteuerten Pull-Up-Zweig bzw. Pull-Down-Zweig der Treiberschaltung ist der

untere Leistungsbereich abhängig von dem durch die Spezifikation vorgegebenen durch die erste oder zweite Strom-Spannungs-Kennlinie angegebene Stromstärkebereich bestimmt.

- 5 Die Steuerschaltung kann eine Vergleichereinrichtung umfassen, um den gemessenen Stromwert oder den gemessenen Potentialwert mit einem von der Spezifikation abhängigen Referenzstromwert oder Referenzpotentialwert zu vergleichen. Der Referenzstromwert bzw. der Referenzpotentialwert können von einer Referenzspannungsquelle oder einer Referenzstromquelle
10 bereitgestellt werden.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Ansteuern eines Ausgangstreibers für eine
15 integrierte Schaltung mit einer Treiberschaltung vorgesehen. Die Treiberschaltung dient dazu, ein von einem Eingangssignal abhängiges Ausgangssignal mit einer Stromstärke und/oder einem Potential auf eine Ausgangsleitung zu treiben. Die Stromstärke der auf der Ausgangsleitung fließenden Stromstärke
20 und/oder das Potential auf der Ausgangsleitung werden gemessen. Die Treiberstärke der Treiberschaltung wird so gesteuert, um die Stromstärke und/oder das Potential in einem von einer vorgegebenen Spezifikation definierten Stromstärkebereich und/oder Potentialbereich einzustellen. Die Treiber-
25 stärke wird so eingestellt, dass der Potentialwert und/oder die Stromstärke in einem unteren Leistungsbereich des durch die Spezifikation vorgegebenen Stromstärkebereichs und Potentialbereichs liegen.

- 30 Das erfindungsgemäße Verfahren bietet die Möglichkeit, die Treiberleistung eines Ausgangstreibers so einzustellen, dass die Stromstärke und/oder das Potential auf der Ausgangsleitung stets so eingestellt sind, dass die Leistungsaufnahme

der Treiberschaltung in einem unteren Leistungsbereichs des durch die Spezifikation vorgegebenen Strom-Spannungsfensters liegen. Dadurch kann die Leistungsaufnahme des Ausgangstreibers reduziert werden. Weiterhin ist der Ausgangstreiber auf diese Weise so steuerbar, dass er auch auf Einflüsse der an dem Ausgangstreiber anliegenden Last auf den Potentialwert des Ausgangssignals reagieren kann und die Stromstärke oder das Potential auf der Ausgangsleitung stets so einstellt, dass es innerhalb des spezifikationsgemäßen Strom-Spannungsfensters der Treiberschaltung liegt.

Die Steuerung der Treiberstärke der Treiberschaltung kann kontinuierlich, periodisch oder gemäß einem Einstellsignal durchgeführt werden.

Eine bevorzugte Ausführungsform der Erfindung wird im folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Figur 1 ein Blockschaltbild eines erfindungsgemäßen Ausgangstreibers; und

Figur 2a, 2b minimale und maximale Strom-Spannungs-Kennlinien zur Veranschaulichung der Strom-Spannungsfenster für den Pull-Down-Zweig und den Pull-Up-Zweig der Treiberschaltung.

In Figur 1 ist ein Blockschaltbild eines erfindungsgemäßen Ausgangstreibers dargestellt. Der Ausgangstreiber weist eine Treiberschaltung 1 auf, die im Wesentlichen einen p-Kanaltransistor 2 und einen n-Kanaltransistor 3 umfasst. An Steuereingängen des p-Kanaltransistors 2 und des n-Kanaltransistors 3 ist ein Eingangssignal E angelegt, das auf

eine Ausgangsleitung 4, die mit einem Ausgang 5 der Treiberschaltung 1 verbunden ist, invertiert getrieben wird.

Ein erster Anschluss des p-Kanaltransistors 2 ist mit einem hohen Versorgungspotential, ein zweiter Anschluss des p-Kanaltransistors 2 mit einem ersten Anschluss des n-Kanaltransistors 3 und der zweite Anschluss des n-Kanaltransistors 3 mit einem niedrigen Versorgungspotential, vorzugsweise einem Massepotential GND, verbunden.

10

Die Treiberschaltung 1 umfasst ferner eine Einstellschaltung 6, über die gemäß einem Steuersignal S auf einer Steuerleitung 7 die Treiberstärke der Treiberschaltung 1 eingestellt werden kann. Dies kann beispielsweise dadurch erfolgen, dass die aktive Fläche des p-Kanaltransistors 2 und des n-Kanaltransistors 3 abhängig von dem Steuersignal S vergrößert oder verkleinert wird. Es ist auch möglich, mehrere solche einen p-Kanaltransistor und einen n-Kanaltransistor aufweisende Schaltungen parallel zu schalten, so dass diese gemeinsam ein an ihren Steuereingängen anliegendes Eingangssignal auf die Ausgangsleitung 4 treiben. Auch andere Möglichkeiten sind denkbar, eine Einstellschaltung 6 so vorzusehen, dass die Treiberstärke einer daran angeschlossenen Endstufe abhängig von einem Steuersignal eingestellt werden kann.

25

Die Ausgangsleitung 4 der Treiberschaltung 1 ist mit einer Steuereinheit 8 verbunden. Die Steuereinheit 8 ist so gestaltet, um den Potentialwert auf der Ausgangsleitung 4 gemäß vorgegebenen Referenzwerten zu bewerten und das Steuersignal S zu generieren, mit dem die Treiberschaltung 1 angesteuert wird. Die Steuereinheit 8 ist so gestaltet, um die Treiberstärke der Treiberschaltung 1 entsprechend anzupassen, wenn das auf der Ausgangsleitung anliegende Potential des jeweili-

30

gen Ausgangssignals oberhalb oder unterhalb eines durch Referenzpotentiale definierten Bereiches liegt.

Im dargestellten Ausführungsbeispiel weist die Steuereinheit 8 eine Vergleichereinheit 12 auf, die einen ersten Vergleich-
5 cher 13 und einen zweiten Vergleich-
cher 14 umfasst. An den ersten Vergleich-
cher 13 ist ein von einem Multiplexer 11 zur Verfügung gestelltes erstes Referenzpotential V_{Ref1} und an den
zweiten Vergleich-
cher 14 ein zweites Referenzpotential V_{Ref2} ange-
10 gelegt. Das erste und das zweite Referenzpotential V_{Ref1} , V_{Ref2}
definieren einen Potentialbereich, in dem das Potential auf
der Ausgangsleitung 4 liegen soll. Ausgänge des ersten
Vergleichers 13 und des zweiten Vergleichers 14 sind mit ei-
ner Auswerteeinheit 9 verbunden, die an einem Ausgang das
15 Steuersignal S generiert und der Einstellschaltung 6 der
Treiberschaltung 1 zur Verfügung stellt. Liegt das Potential
auf der Ausgangsleitung 4 über den durch den ersten Referenz-
potentialwert V_{Ref1} vorgegebenen Potential so wird durch die
Auswerteeinheit 9 ein Steuersignal generiert, dass der Trei-
20 berschaltung angibt, die Treiberstärke zu reduzieren. Ist der
Potentialwert auf der Ausgangsleitung 4 geringer als der
zweite Referenzpotentialwert V_{Ref2} so generiert die Auswerte-
einheit 9 ein Steuersignal, dass der Treiberschaltung 1 an-
zeigt, die Treiberstärke zu erhöhen. Auf diese Weise kann der
25 Potentialwert auf der Ausgangsleitung 4 auf eine Treiberstärke
geregelt werden, die es ermöglicht, den Potentialwert auf
der Ausgangsleitung 4 in ein durch den ersten Referenzpoten-
tialwert V_{Ref1} und den zweiten Referenzpotentialwert V_{Ref2} de-
finierten Potentialfensters zu legen.

30

Da der Potentialwert auf der Ausgangsleitung 4 von dem anlie-
genden Eingangssignal E abhängt, ist die mit dem Eingang der
Treiberschaltung 1 verbundene Eingangsleitung über eine Ver-

bindungsleitung 15 mit der Steuereinheit 8, insbesondere mit dem Multiplexer 11 verbunden. Auf diese Weise ist es möglich, dass der Multiplexer 11 den ersten und zweiten Referenzpotentialwert V_{Ref1} , V_{Ref2} so an die Vergleichereinheit 12 anlegt, dass je nach auszugebenden Signalpegel des Ausgangssignals auf der Ausgangsleitung 4 entsprechende ausgewählte Referenzpotentialwerte angegeben werden. Dazu werden dem Multiplexer 11 im Wesentlichen vier Referenzpotentiale vorgegeben, wobei jeweils zwei den gewünschten Potentialwertbereich für einen High-Pegel und die jeweils anderen zwei Referenzpotentiale die Potentialwertebereich für den Low-Pegel des Ausgangssignals vorgeben. Die Referenzpotentiale können beispielsweise durch einen Spannungsteiler bereit gestellt werden, an den eine Referenzversorgungsspannung VV_{Ref} oder ein Referenzversorgungsstrom I_{Ref} angelegt ist. Die Referenzpotentiale zum Definieren des Potentialfensters für den High-Pegel des Ausgangssignals sind so gewählt, dass sie in einem unteren Bereich des durch die Spezifikation zugelassenen Potentialfensters für den High-Pegel des Ausgangssignals auf der Ausgangsleitung 4 liegen. Das Potentialfenster für den Low-Pegel des Ausgangssignals auf der Ausgangsleitung 4 ist durch die Referenzpotentiale so definiert, dass es ebenfalls in einem unteren Bereich des durch die Spezifikation vorgegebenen Potentialfensters für den Low-Pegel des Ausgangssignals liegt.

Die Auswerteeinheit 9 kann beispielsweise als ein Zähler ausgebildet sein, wobei das Steuersignal entweder als digitaler Wert des Zählerstandes an die Einstellschaltung 6 übertragen wird oder der Zählerwert in ein analoges Spannungssignal umgewandelt wird, um dieses als Steuersignal der Einstellschaltung 6 zur Verfügung zu stellen.

Der erste Vergleicher 13 und der zweite Vergleicher 14 sind so ausgestaltet, dass am Ausgang des ersten Vergleichers 13 eine logische „1“ anliegt, wenn das Potential auf der Ausgangsleitung 4 das erste Referenzpotential V_{Ref1} übersteigt und eine logische „0“ anliegt, wenn das Potential auf der Ausgangsleitung 4 das erste Referenzpotential unterschreitet. Ebenso liegt am Ausgang des zweiten Vergleichers 14 eine logische „1“ an, wenn das Potential auf der Ausgangsleitung 4 das zweite Referenzpotential V_{Ref2} unterschreitet und eine logische „0“ an, wenn das Potential auf der Ausgangsleitung 4 das zweite Referenzpotential V_{Ref2} überschreitet.

Der Zähler in der Auswerteeinheit 9 wird vermindert, wenn am Ausgang des ersten Vergleichers 13 eine logische „1“ anliegt und erhöht, wenn am Ausgang des zweiten Vergleichers 14 eine logische „1“ anliegt. Liegen an beiden Ausgängen der Vergleicher 13, 14 eine logische „0“ an, so wird der Zählerstand des Zählers in der Auswerteeinheit 9 nicht verändert.

Die Vorgabe der ersten und zweiten Referenzspannung erfolgt so, dass sich der durch die erste und zweite Referenzspannung V_{Ref1} , V_{Ref2} gebildete Bereich in einem unteren Bereich des durch die Spezifikation vorgegebenen erlaubten Potentialbereichs liegt. Je nachdem, ob ein High-Pegel oder ein Low-Pegel am Ausgang 5 der Treiberschaltung 1 ausgegeben werden soll, werden die Referenzspannungen V_{Ref} durch den Multiplexer 11 ausgewählt. Dazu kann beispielsweise das Eingangssignal mit dem Multiplexer 11 oder auch das Ausgangssignal auf der Ausgangsleitung 4 mit dem Multiplexer 11 verbunden sein. Durch den Spannungsteiler 10 werden Referenzspannungen so zur Verfügung gestellt, dass über den Multiplexer 11 jeweils zwei der Referenzspannungen ausgewählt werden können, um einen Spannungsbereich zu definieren, der einen unteren Leistungs-

bereich innerhalb des zulässigen Strom-Spannungsfensters für das Ausgangssignal auf der Ausgangsleitung bestimmt.

Alternativ kann anstelle des Potentials auf der Ausgangsleitung auch ein Strom z.B. mithilfe eines Messwiderstands oder eines anderen Strommessverfahrens in eine Messspannung umgewandelt werden und diese Messspannung dann mit den zur Verfügung gestellten Referenzpotentialen verglichen werden. Auch lassen sich beide Einstellmethoden miteinander kombinieren, indem sowohl das Potential als auch die Stromstärke auf der Ausgangsleitung 4 gemessen wird und diese entweder durch zwei getrennte Vergleicherschaltungen oder nacheinander mithilfe der zur Verfügung gestellten Referenzpotentiale ausgewertet werden.

Figur 2a und 2b zeigen die Schaltverhalten des n-Kanaltransistor 3 im Pull-Down-Zweig bzw. des p-Kanaltransistors 2 der Treiberschaltung 1 im Pull-Up-Zweig, wobei die Strom-Spannungs-Kennlinien einen gemäß der Spezifikation zulässigen Bereich definieren. Dadurch werden die zulässigen Potentialbereiche für den High- und Lowpegel auf der Ausgangsleitung bestimmt. Der Bereich wird definiert gemäß der unteren Strom-Spannungs-Kennlinie, die mit $I_{\min}$ und der oberen Strom-Spannungs-Kennlinie, die mit $I_{\max}$ gekennzeichnet ist. Die mit $I_{\text{nom,max}}$ und $I_{\text{nom,min}}$ gekennzeichnete Strom-/Spannungs-Kennlinie stellen Nominalwerte des jeweiligen Transistors 2, 3 dar. Die Treiberleistung ist hauptsächlich durch die Stromtreiberfähigkeit der n-Kanal- bzw. p-Kanaltransistoren bestimmt.

Gemäß der Spezifikation ist es zulässig, einen Ausgangsstrom in dem durch die untere und obere Strom-Spannungs-Kennlinie definierten Strom-Spannungsfenster bereitzustellen. Je weni-

ger Strom jedoch auf der Ausgangsleitung fließt, desto geringer ist die Leistungsaufnahme der Treiberschaltung 1. Eine Verringerung der Leistungsaufnahme durch eine Verringerung der Stromstärke durch den durchgeschalteten Transistor ist zulässig, solange sich die Stromstärke in dem jeweiligen durch die Spezifikation vorgegebenen Strom-Spannungsfenster befindet. So ist es möglich, innerhalb der durch die Spezifikation vorgegebenen Grenzen einen Stromstärkebereich zu definieren, der eine möglichst geringe Leistungsaufnahme durch die Treiberschaltung 1 hervorruft. Dieser Bereich sollte so gewählt sein, dass er innerhalb des durch die Strom-Spannungsfenster vorgegebenen Bereich liegt.

Der Bereich kann beispielsweise dadurch definiert sein, dass die für einen Zustand des Ausgangssignals gemäß der unteren Strom-Spannungs-Kennlinie vorgegebenen Mindeststromstärke $I_{\min}$ ein Toleranzbetrag hinzugefügt wird und dadurch der entsprechende untere Leistungsbereich definiert wird. Ebenso kann vorgesehen sein, ein gewissen Abstand des unteren Leistungsbereichs von dem Mindeststromstärkewert vorzusehen, so dass es während der Regelung die untere Strom-/Spannungskennlinie nicht unterschritten wird.

Das Anpassen der Treiberstärke der Treiberschaltung 1 kann kontinuierlich stattfinden oder in periodischen Zeitabständen. Es ist sinnvoll, das Einstellen der Treiberstärke nicht kontinuierlich durchzuführen, da auch die Steuereinheit 8 eine Leistungsaufnahme aufweist, die die Leistungseinsparung minimieren oder aufheben könnte. Die Treiberstärke kann auch gemäß einem Anpasssignal zu vorgegebenen Zeitpunkten angepasst werden.

Patentansprüche

1. Ausgangstreiber für eine integrierte Schaltung, mit einer Treiberschaltung (1), um ein Eingangssignal auf eine Ausgangsleitung (4) zu treiben, wobei die Treiberschaltung (1) so dimensioniert ist, um eine von dem zu treibenden Eingangssignal abhängige Stromstärke und/oder ein von dem zu treibenden Eingangssignal abhängiges Potential auf der Ausgangsleitung (4) zu liefern, die je nach zu treibenden Eingangssignal in einem von einer vorgegebenen Spezifikation definierten Stromstärkebereich und/oder Potentialbereich liegen, wobei die Treiberstärke der Treiberschaltung (1) gemäß einem Steuersignal (5) einstellbar ist,
- mit einer Messschaltung, um die Stromstärke des auf der Ausgangsleitung (4) fließenden Stromes und/oder das Potential der Ausgangsleitung (4) zu messen, und
- mit einer Steuerschaltung (8) zum Einstellen der Treiberstärke der Treiberschaltung (1), so dass das Potential auf der Ausgangsleitung (4) auf einen Potentialwert oder die Stromstärke auf einen Stromwert eingestellt wird, wobei der eingestellte Potentialwert oder der eingestellte Stromwert in einem unteren Leistungsbereich des durch die Spezifikation vorgegebenen Stromstärkebereichs und/oder Potentialbereichs liegt.
2. Ausgangstreiber nach Anspruch 1, wobei der untere Leistungsbereich durch einen durch die Spezifikation vorgegebenen unteren Stromgrenzwert und einen um eine Toleranzbetrag erhöhten unteren Stromgrenzwert und/oder durch einen durch die Spezifikation vorgegebenen unteren Potentialwert und einen um einen Toleranzbetrag erhöhten unteren Potentialwert bestimmt ist.

3. Ausgangstreiber nach Anspruch 1 oder 2, wobei die Treiberschaltung (1) einen Pull-Up-Zweig (2) und einen Pull-Down-Zweig (3) aufweist, wobei die Spezifikation eine erste maximale und minimale I/V-Kennlinie für den Pull-Up-Zweig der Treiberschaltung (1) und eine zweite maximale und minimale I/V-Kennlinie für den Pull-Down-Zweig (3) der Treiberschaltung angibt, wobei abhängig von dem jeweils durchgeschalteten Pull-Up-Zweig (2) oder Pull-Down-Zweig (3) der Treiberschaltung (1) der untere Leistungsbereich abhängig von dem durch die Spezifikation vorgegebenen ersten Stromstärkebereichs oder zweiten Stromstärkebereichs bestimmt ist.
4. Ausgangstreiber nach einem der Ansprüche 1 bis 3, wobei die Steuerschaltung (8) eine Vergleichereinrichtung (12) umfasst, um den gemessenen Stromwert oder den gemessenen Potentialwert mit einem von der Spezifikation abhängigen Referenzstromwert oder Referenzpotentialwert zu vergleichen.
5. Verfahren zum Ansteuern eines Ausgangstreibers für eine integrierte Schaltung mit einer Treiberschaltung (1), um ein von einem Eingangssignal abhängiges Ausgangssignal mit einer Stromstärke und/oder einem Potential auf eine Ausgangsleitung zu treiben, wobei die Stromstärke des auf der Ausgangsleitung (4) fließenden Stromes und/oder das Potential auf der Ausgangsleitung (4) gemessen wird, wobei die Treiberstärke der Treiberschaltung (1) so gesteuert wird, um die Stromstärke und/oder das Potential in einem von einer vorgegebenen Spezifikation definierten Stromstärkebereich oder Potentialbereich einzustellen.

len,

wobei die Treiberstärke so eingestellt wird, dass das Potential und die Stromstärke in einem unteren Leistungsbereich des durch die Spezifikation vorgegebenen Stromstärkebereichs und/oder Potentialbereichs liegt.

6. Verfahren nach Anspruch 5, wob (1) kontinuierlich, periodisch oder gemäß einem Einstellsignal durchgeführt wird.

10

Zusammenfassung

Ausgangstreiber für eine integrierte Schaltung und Verfahren zum Ansteuern eines Ausgangstreibers

5

Die Erfindung betrifft einen Ausgangstreiber für eine integrierte Schaltung, mit einer Treiberschaltung, um ein Eingangssignal auf eine Ausgangsleitung zu treiben, wobei die Treiberschaltung so dimensioniert ist, um eine von dem zu

10 treibenden Eingangssignal abhängige Stromstärke und/oder ein von dem zu treibenden Eingangssignal abhängiges Potential auf der Ausgangsleitung zu liefern, die je nach zu treibenden Eingangssignal in einem von einer vorgegebenen Spezifikation definierten Stromstärkebereich und/oder Potentialbereich liegen, wobei die Treiberstärke der Treiberschaltung gemäß einem
15 Steuersignal einstellbar ist, mit einer Messschaltung, um die Stromstärke des auf der Ausgangsleitung fließenden Stromes und das Potential der Ausgangsleitung zu messen, und mit einer Steuerschaltung zum Einstellen der Treiberstärke der
20 Treiberschaltung, so dass das Potential auf der Ausgangsleitung auf einen Potentialwert oder die Stromstärke auf einen Stromwert eingestellt wird, wobei der eingestellte Potentialwert oder der eingestellte Stromwert in einem unteren Leistungsbereich des durch die Spezifikation vorgegebenen Stromstärkebereichs und/oder Potentialbereichs liegt.
25

30 Figur 1

Bezugszeichenliste

	1	Treiberschaltung
	2	p-Kanal-Transistor
5	3	n-Kanal-Transistor
	4	Ausgangsleitung
	5	Ausgang
	6	Einstellschaltung
	7	Steuerleitung
10	8	Steuereinheit
	9	Auswerteeinheit
	10	Spannungsteiler
	11	Multiplexer
	12	Vergleichereinheit
15	13	erster Vergleicher
	14	zweiter Vergleicher
	15	Verbindungsleitung

Figur für die Zusammenfassung

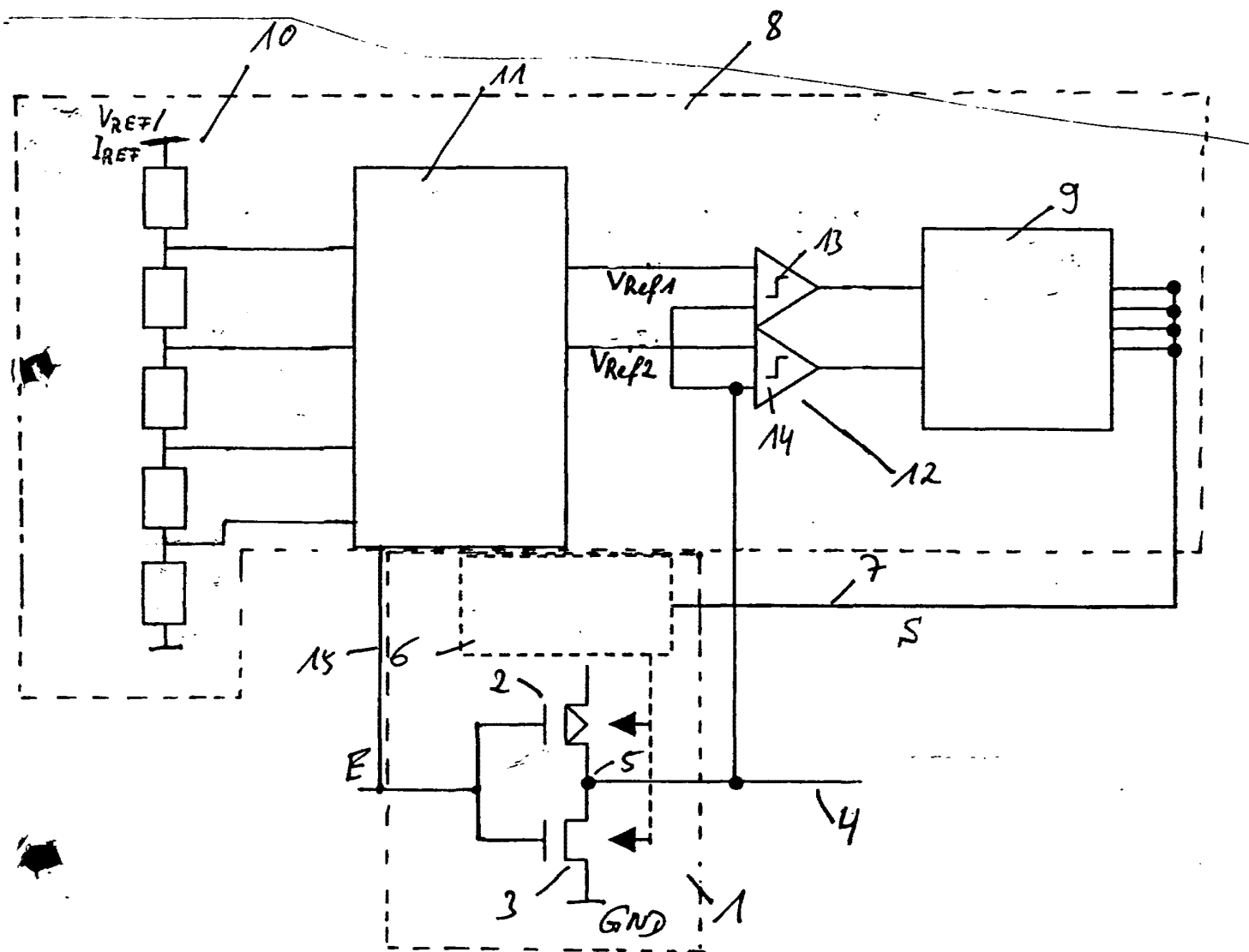


Fig. 1

112

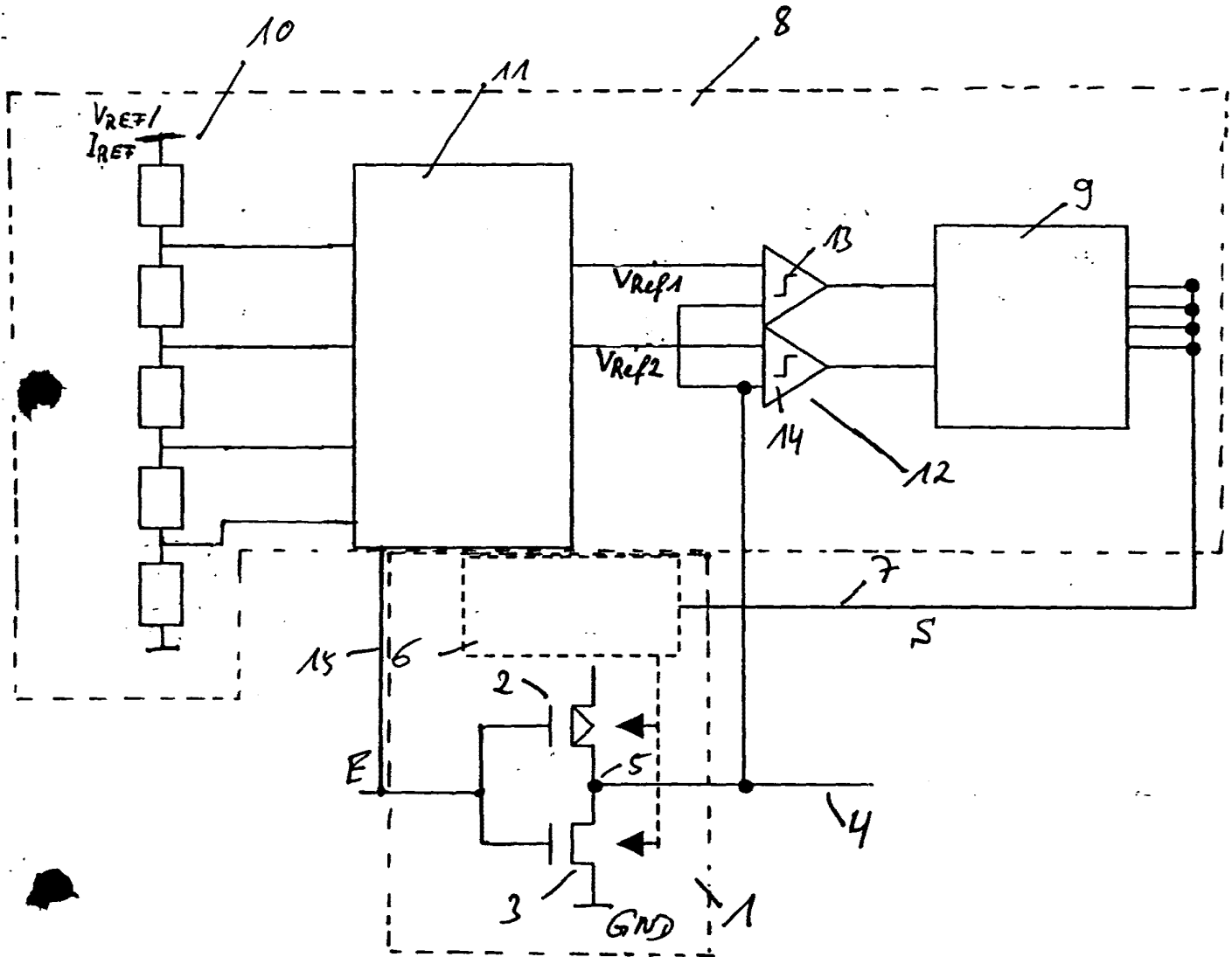
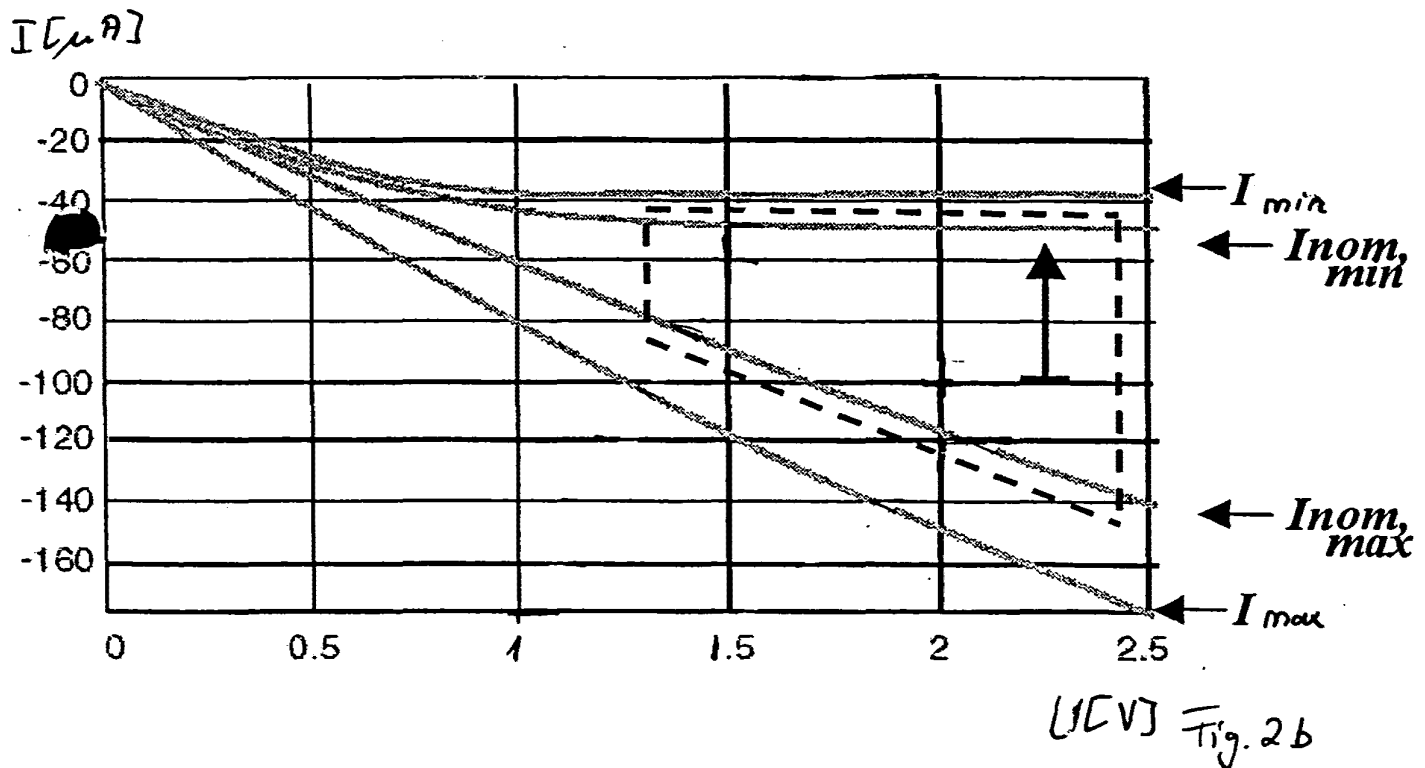
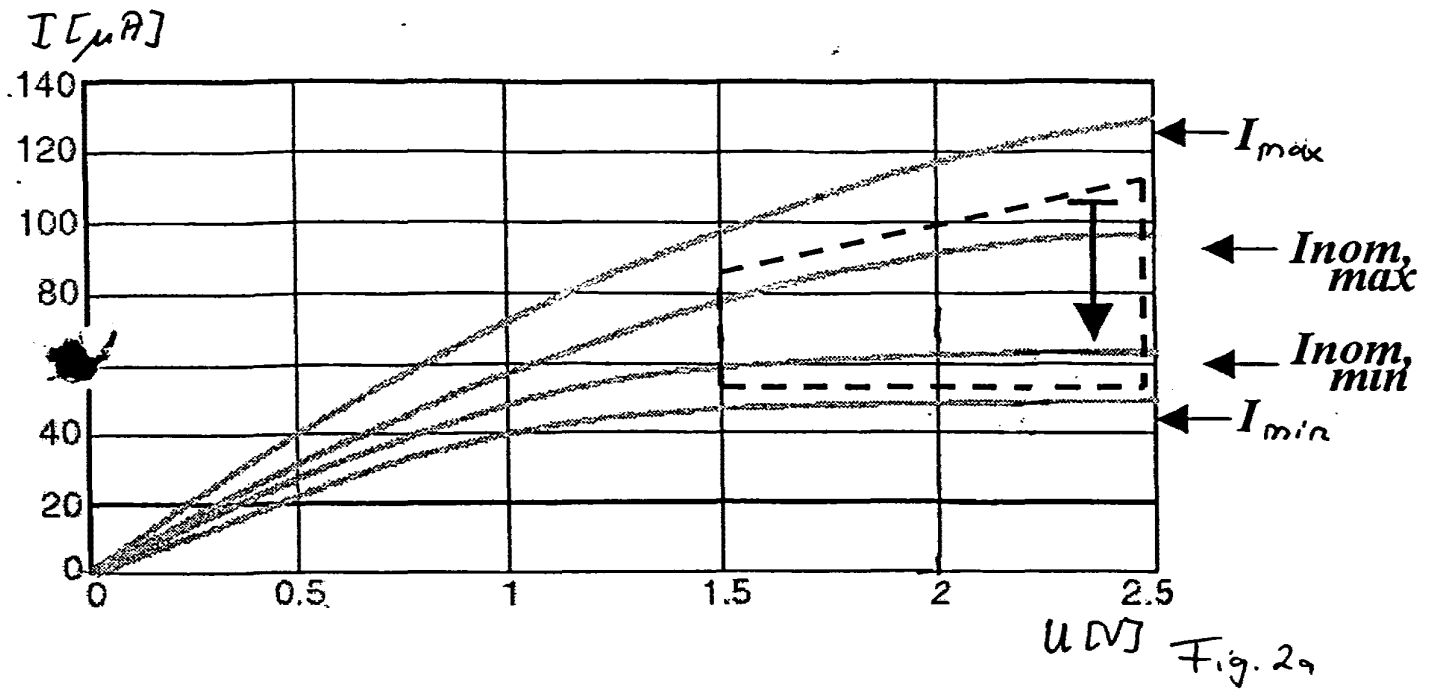


Fig. 1



(19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

(11) N° de publication : **2 611 301**

(la n'utiliser que pour les
commandes de reproduction)

(21) N° d'enregistrement national : **87 02372**

(51) Int Cl⁴ : G 11 C 29/00.

(12) **DEMANDE DE BREVET D'INVENTION**

A1

(22) Date de dépôt : 24 février 1987.

(30) Priorité :

(71) Demandeur(s) : Société dite : THOMSON SEMI-
CONDUCTEURS. — FR.

(72) Inventeur(s) : Jean Devin et Jean Marie Gaultier, Thom-
son-CSF SCPL.

(43) Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 34 du 26 août 1988.

(60) Références à d'autres documents nationaux appa-
rentés :

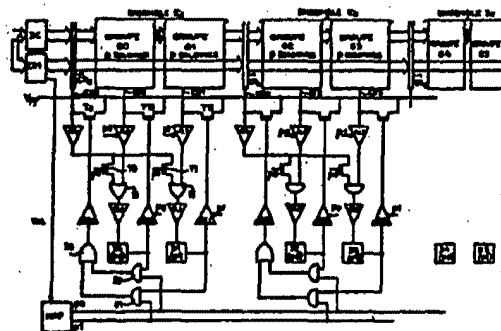
(73) Titulaire(s) :

(74) Mandataire(s) : Michel Guerin, Thomson-CSF SCPL.

(54) Mémoire intégrée avec redondance de colonnes de données.

(57) L'invention concerne la redondance des mémoires inté-
grées de grande capacité (1 mégabit par exemple).

La redondance permet de remplacer des éléments défec-
tueux par des éléments redondants. L'invention concerne plus
précisément le remplacement de colonnes défectueuses dans
des mémoires organisées en mots de k bits et comportant y
lignes et k groupes G0 à G5 de p colonnes. On propose une
architecture de circuit de redondance permettant d'éviter de
remplacer simultanément k colonnes lorsqu'une seule colonne
s'avère défectueuse. Pour cela on répartit les groupes de
colonnes en m ensembles de r colonnes (m et r différents de
1) et on affecte une colonne redondante CRa, CRb, CRc à
chaque ensemble; la position d'une colonne défectueuse est
repérée seulement à l'intérieur d'un ensemble et on remplace
par des colonnes redondantes toutes les colonnes de même
position même si elles ne sont pas toutes défectueuses.



FR 2 611 301 - A1

D

MEMOIRE INTEGREE AVEC REDONDANCE
DE COLONNES DE DONNEES

La présente invention concerne les mémoires réalisées en circuit-intégré. Elle concerne aussi bien les mémoires vives (RAM) que les mémoires mortes (ROM, EPROM, EEPROM).

5 Plus les mémoires ont une grande capacité de stockage d'information et plus la technologie d'intégration est fine, plus ces mémoires sont sujettes à des défauts de fabrication. Il est très difficile aujourd'hui d'avoir un bon rendement de fabrication pour des mémoires de 1 mégabit intégrées sur une surface de silicium de moins d'un cm². Un seul défaut dans une
10 mémoire de 1 million de cellules entraîne la mise au rebut de l'ensemble de la mémoire. Or la tendance de l'industrie est à l'augmentation toujours accrue de la capacité de stockage et à la miniaturisation toujours plus poussée.

Pour augmenter le rendement global de fabrication, une solution est d'utiliser des réseaux de mémoire redondants,
15 c'est-à-dire comportant plus d'éléments mémoire qu'il n'est strictement nécessaire; au cas où un ou plusieurs éléments de mémoire seraient défectueux (ce que l'on détecte lors du test des tranches de circuit-intégré), on les remplace par des éléments redondants de sorte que la mémoire paraît intégralement bonne et
20 n'est pas mise au rebut. On récupère ainsi des mémoires comportant un nombre limité de défauts.

Les défauts peuvent concerner:

- des cellules de mémoire isolées (par exemple des défauts dans l'oxyde de grille d'un transistor de la cellule),
25

- des rangées adjacentes de cellules (par exemple un court-circuit entre deux rangées par des filaments résiduels de silicium polycristallin mal gravé),

5 - plusieurs rangées de cellules (par exemple par suite d'un mauvais contact à l'intérieur d'un décodeur servant à désigner tout un groupe de rangées),

10 - deux colonnes (par exemple par suite d'un court-circuit par un pont d'aluminium qui relie anormalement deux lignes d'aluminium correspondant à deux colonnes adjacentes),

- etc.

15 Selon les types de défauts qui apparaissent le plus fréquemment, il faut choisir des éléments de redondance appropriés et connecter ces éléments en remplacement des éléments défectueux d'une manière telle que l'utilisateur de la mémoire n'ait aucune contrainte particulière due à ce remplacement: on dit que le remplacement doit être transparent pour l'utilisateur qui n'a accès qu'aux bornes extérieures du circuit-intégré.

20 Les éléments de redondance seront le plus généralement, pour des mémoires de capacité importante (plusieurs centaines de milliers de bit et au delà), des rangées entières de cellules plutôt que des cellules individuelles. Ce sont en effet les rangées qui sont les plus faciles à remplacer compte-tenu des contraintes d'encombrement de la circuiterie qu'il est nécessaire
25 de rajouter pour que le remplacement soit transparent pour l'utilisateur.

30 Mais certains défauts comme les court-circuits par ponts d'aluminium entre deux colonnes ne peuvent être réparés que par le remplacement de ces colonnes par d'autres colonnes.

Dans tout ce qui suit on distinguera d'une part les rangées de cellules et d'autre part les colonnes de cellules selon la distinction habituelle: une mémoire est organisée en matrice de rangées et de colonnes d'éléments et c'est sur une colonne qu'on lit le contenu d'une cellule qui est au croisement entre cette

colonne et une rangée désignée par une adresse de rangée déterminée.

5 Le remplacement d'une colonne défectueuse par une colonne redondante s'avère plus difficile que le remplacement d'une rangée par une autre lorsque la mémoire est organisée en mots de plusieurs bits.

10 Ainsi, dans une architecture de mémoire possible, on peut prévoir qu'il y a 1024 rangées de cellules et 1024 colonnes réparties en 16 groupes de 64 colonnes; l'application d'une adresse d'entrée désigne d'une part une rangée déterminée parmi 1024 et d'autre part une colonne parmi 64 dans chacun des groupes, donc 16 colonnes à la fois (et non pas une seule colonne parmi 1024). L'information de sortie de la mémoire pour cette adresse d'entrée est un mot de 16 bits qui se présente sur 16 plots de sortie de la mémoire.

15 Le remplacement d'une colonne défectueuse peut se faire en aiguillant une colonne redondante à la place de cette colonne défectueuse. Cela s'avère en pratique très difficile à réaliser car il faut rajouter une circuiterie très encombrante pour

- 20 - mémoriser l'adresse précise de la colonne défectueuse,
- désactiver la lecture normale des informations provenant de cette colonne,
- prévoir un amplificateur supplémentaire pour lire les informations en provenance d'une colonne redondante,
- 25 - ramener ces informations vers l'amplificateur de lecture correspondant à la colonne défectueuse,
- prévoir une circuiterie non seulement pour la lecture d'informations en provenance de la colonne redondante mais aussi pour l'écriture d'informations dans cette colonne.

30 Une autre solution plus simple pour assurer le remplacement d'une colonne défectueuse consiste à prévoir pour l'ensemble de la mémoire un groupe de seize colonnes redondantes destinées à être substituées globalement à un groupe de seize colonnes qui présente un défaut. Autrement dit, si une adresse de mémoire désigne seize colonnes, et si on détecte un défaut dans l'une de

ces seize colonnes, on remplace globalement tout le groupe de seize colonnes désigné par cette adresse.

Cette solution est plus simple car le décodage des éléments défectueux est de même nature que le décodage normal des colonnes de la mémoire; la circuiterie rajoutée pour assurer le remplacement d'une manière transparente est relativement limitée.

Mais cette solution a deux inconvénients:

- si on veut corriger un défaut dans une colonne il faut prévoir un groupe de seize colonnes redondantes; si on veut corriger deux défauts, il faut deux fois seize colonnes, etc. L'encombrement qui en résulte est très important.

- un groupe de seize colonnes représente 16000 cellules de mémoire, ce qui est considérable; le risque de défauts dans ces cellules n'est pas du tout négligeable. S'il y a un défaut dans une colonne redondante, l'utilisation de la redondance n'aura servi à rien.

Un but de la présente invention est de proposer une mémoire comportant des circuits de redondance qui évitent autant que possible les inconvénients des circuits de redondance proposés jusqu'à maintenant.

L'invention s'applique à des mémoires comportant un réseau de cellules de mémoire organisées en y rangées et k groupes de colonnes, chaque groupe correspondant à un plot d'entrée-sortie respectif parmi k plots, une colonne de chaque groupe pouvant être reliée au plot correspondant à ce groupe par sélection d'une adresse de colonne commune à tous les groupes, k et p étant différents de 1, la mémoire comportant en outre des colonnes redondantes pour remplacer des colonnes défectueuses, des éléments de mémorisation d'adresse de colonne aptes à mémoriser l'adresse des colonnes défectueuses et un circuit logique de sélection de colonne redondante couplé aux éléments de mémorisation d'adresse de colonne pour sélectionner une colonne redondante lorsqu'une adresse de colonne défectueuse est appliquée à la mémoire.

Selon l'invention,

- les k plots sont répartis en m ensembles de r plots, m et r différents de 1, et à chaque ensemble est associé au moins une colonne redondante,

- des éléments de mémorisation d'une position de plot sont prévus pour mémoriser une position du plot correspondant au groupe de colonnes dans lequel se situe une colonne défectueuse, la position mémorisée étant une position j parmi r positions possibles de l'ensemble de plots dans lequel se situe le plot considéré,

- un circuit d'auillage est prévu et est couplé aux éléments de mémorisation de position de plot, ce circuit étant apte à:

* autoriser ou inhiber la transmission entre les plots de même position j de tous les ensembles de plot et les colonnes redondantes respectives associées à chaque ensemble,

* corrélativement inhiber ou autoriser la transmission d'informations entre les plots de position j de tous les ensembles et les groupes de colonnes correspondant à ces plots,

l'autorisation et l'inhibition corrélatrice étant commandée en fonction de l'information mémorisée par les éléments de mémorisation de position de plot.

Ainsi, si la colonne défectueuse est une colonne d'adresse A, située dans le n^{ème} groupe de colonnes, ce groupe correspondant au j^{ème} plot du x^{ème} ensemble de plots, alors, non seulement on remplace cette colonne défectueuse par une colonne redondante, mais on remplace aussi par d'autres colonnes redondantes les colonnes de même adresse A des groupes qui correspondent au j^{ème} plot dans chacun des autres ensembles, même si ces colonnes de même adresse A ne sont pas défectueuses.

Les éléments de mémorisation d'adresse de colonne défectueuse sont classiquement des batteries de fusibles: lors du

test de la mémoire on repère une adresse de colonne défectueuse et on grille certains fusibles de la batterie, de sorte que l'état des fusibles de la batterie après cette opération représente l'adresse de la colonne défectueuse. Lors du fonctionnement ultérieur, les adresses présentées à l'entrée de la mémoire sont comparées à l'état de la batterie de fusibles; chaque fois que l'adresse de colonne défectueuse se présente, le circuit de redondance agit pour permettre la lecture ou l'écriture d'informations dans les colonnes redondantes. Mais la liaison effective entre un plot d'entrée-sortie et une colonne redondante ne se fait qu'en fonction de l'état des éléments de mémorisation de position de plot.

Les éléments de mémorisation de position de plots sont de préférence aussi constitués par une batterie de fusibles. Lors du test de la mémoire, on détermine à quelle position de plot parmi r correspond le défaut. On grille en conséquence les fusibles de la batterie pour mémoriser cette position. Lors du fonctionnement ultérieur de la mémoire, l'état de la batterie de fusibles est examiné et cet état définit ceux des plots qui doivent être reliés à des colonnes redondantes lorsque la redondance est utilisée.

Dans un exemple pratique, pour une mémoire de 1 mégabit agencé en 1024 rangées et 16 groupes de 64 colonnes, on a 10 bits d'adresse de rangée, 6 bits d'adresse de colonne définissant une colonne parmi 64 dans chacun des groupes, et 16 plots d'entrée-sortie sur lesquels apparaît un mot de seize bits lorsqu'on applique à la mémoire une adresse de rangée déterminée (10 bits) et une adresse de colonne déterminée (6 bits). Dans ce cas, à titre d'exemple, on peut prévoir que les plots sont répartis en quatre ensembles de quatre plots ($k=4$, $m=4$, $r=4$).

Si on prévoit la possibilité de corriger au maximum un seul défaut de colonne, il y aura alors quatre colonnes redondantes, une colonne étant associée à chaque ensemble de quatre plots; une batterie de six fusibles définira l'adresse (parmi 64) de la colonne défectueuse, et une autre batterie de deux fusibles

définira la position (parmi quatre) du plot sur lequel on a repéré une information défectueuse.

Si on veut pouvoir corriger deux défauts de colonne, on aura huit colonnes de redondance, deux colonnes étant associées à chaque ensemble de quatre plots; deux batteries de six fusibles
5 chacune définiront les adresses des colonnes défectueuses (chacune parmi 64), et deux batteries de deux fusibles chacune définiront les positions de plot pour chacune des deux informations défectueuses repérées.

10 D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence au dessin annexé dans lequel la figure unique représente un schéma de la partie de circuit de redondance spécifique de la présente invention.

15 Pour simplifier la description et la représentation d'une mémoire selon l'invention, on a choisi un exemple de réalisation dans lequel les paramètres k , m , et r définis ci-dessus sont respectivement:

20 $k = 6$
 $m = 3$
 $r = 2$

La mémoire comporte donc six plots d'entrée-sortie D0, D1, D2, D3, D4, D5 à partir desquels on peut lire et écrire des
25 informations dans la mémoire sous forme de mots de six bits.

Les informations sont stockées dans un réseau de cellules organisé en y rangées et k ($k=6$) groupes de p colonnes.

Sur la figure on n'a pas représenté le réseau proprement dit, et en particulier pas les rangées et les décodeurs
30 d'adressage de rangées qui sont classiques. On n'a représenté, sous forme symbolique que des groupes de conducteurs de colonne, chaque groupe correspondant à un plot respectif. Les groupes sont désignés par les références G0, G1, G2, G3, G4, G5.

De manière classique, un décodeur de colonne DC est prévu; il reçoit une adresse de colonne A et permet de sélectionner une colonne parmi p dans chacun des groupes de p colonnes: les k colonnes d'adresse A sont sélectionnées simultanément par le décodeur DC. Sur la figure on a représenté des conducteurs de sortie respectifs CS0, CS1, CS2, CS3, CS4, CS5 pour chacun des groupes de colonne, ce qui veut dire que l'application d'une adresse A a pour effet de relier à chacun de ces conducteurs de sortie une colonne déterminée du groupe correspondant.

Le circuit de redondance selon l'invention comporte deux parties dont une est représentée symboliquement par le bloc CR1. Ce bloc est constitué d'une manière connue et comporte des éléments de mémorisation d'adresses de colonnes défectueuses, c'est-à-dire des batteries de fusibles grillées au moment du test sur tranche de la mémoire. Ce bloc a la fonction suivante: il reçoit l'adresse A et la compare avec l'information mémorisée par les batteries de fusibles. S'il y a coïncidence, il désactive la sortie du décodeur DC et sélectionne à la place des colonnes redondantes. Autrement dit, il interdit la transmission d'une information entre les conducteurs de sortie CS0 à CS5 et les colonnes des groupes G0 à G5, mais il autorise la transmission d'informations entre les colonnes redondantes, désignées ici par CRa, CRb, CRc, et des conducteurs de sortie respectifs CSa, CSb, CSc de ces colonnes redondantes.

Plus précisément, on considérera d'abord qu'il n'y a qu'une seule possibilité de réparation de colonne défectueuse, et dans ce cas, le bloc CR1 comporte une seule batterie de fusibles permettant le repérage de l'adresse de colonne défectueuse; le bloc CR1 sélectionne alors toutes les colonnes redondantes existantes. On notera à ce propos qu'une différence essentielle entre les circuits de redondance classique et la présente invention est le fait qu'il n'y a pas ici autant de colonnes redondantes que de plots d'entrée-sortie, mais cela ne change rien à la constitution classique du circuit CR1 dont la fonction est de désigner toutes les colonnes redondantes.

On reviendra plus loin sur le cas où le circuit doit permettre la réparation de plusieurs colonnes défectueuses.

Dans l'architecture selon la présente invention, les plots d'entrée-sortie sont répartis en m ensembles de r plots.

Ici, D0, D1 forment le premier ensemble. D2, D3 forment le
5 deuxième ensemble. D4, D5 forment le troisième ensemble.

A chaque ensemble de plots est associé d'une part un ensemble de r groupes de p colonnes et d'autre part une colonne redondante pouvant remplacer de manière transparente une colonne quelconque de cet ensemble de groupes.

10 Ici, à l'ensemble de plots D0, D1 sont associés d'une part l'ensemble Ea des groupes G0 et G1, qui comprennent chacun p colonnes, et d'autre part la colonne de redondance CRa qui peut remplacer l'une quelconque des colonnes des groupes G0 et G1.

15 De même, à l'ensemble de plots D2, D3 sont associés d'une part l'ensemble Eb des groupes de colonnes G2 et G3, et d'autre part la colonne redondante CRb. Enfin, à l'ensemble de plots D4, D5 correspondent l'ensemble de groupes G4, G5 et la colonne redondante CRc.

20 Dans chaque ensemble de r plots ($r=2$) on définit une position de plot parmi r .

Ici, il n'y a que deux plots dans chaque ensemble donc seulement deux positions de plot possibles qu'on appellera position p0 et position p1.

25 Dans le premier ensemble de deux plots D0, D1, on dira que D0 est le plot de position p0 et D1 le plot de position p1. Dans le deuxième ensemble on dira que D2 est le plot de position p0 et D3 le plot de position p1. Enfin, dans le troisième ensemble, D4 est le plot de position p0 et D5 le plot de position p1.

30 Lorsque le test sur tranche est effectué, si on détecte qu'une information anormale apparaît et résulte d'un défaut de colonne qu'on peut réparer par remplacement de cette colonne, non seulement on repère l'adresse A fournie au décodeur de colonne au moment de cete détection d'information anormale, mais on repère aussi le plot sur lequel apparaît un bit anormal.

Cependant on ne repère ce plot que par sa "position" dans l'ensemble de r plots. Autrement dit, dans l'exemple représenté, au lieu de repérer qu'un bit anormal est apparu sur le plot D3 par exemple, on se contente de repérer qu'un bit anormal est apparu sur un plot de position p1.

5 Cette information est mémorisée dans des éléments de mémorisation de position de plot appartenant à un circuit logique MPP. Ces éléments consistent en une batterie de fusibles. Il y a autant de fusibles qu'il est nécessaire pour définir une position
10 parmi r. Pour deux positions p0 et p1, un fusible est nécessaire. Ce fusible est grillé lors du test sur tranche; l'information qu'il mémorise est exploitée (comme l'information stockée dans les fusibles du circuit CR1) lors de l'utilisation ultérieure de la mémoire.

15 Dans l'exemple représenté, le circuit logique MPP qui contient ce fusible possède deux conducteurs de sortie repérés par les mêmes symboles qui définissent les positions de plot: le conducteur p0 présente un état logique 1 si un bit défectueux a été détecté à une position p0 et un état 0 dans le cas contraire;
20 le conducteur p1 présente un état logique 1 si un bit défectueux a été détecté à une position p1 et un état logique 1 dans le cas contraire. Les états logiques 1 n'apparaissent que sous la commande du circuit CR1 lorsqu'une adresse A de colonne défectueuse a été reconnue par ce circuit CR1; c'est pourquoi
25 une connexion VAL a été représentée entre le circuit CR1 et le circuit MPP.

Les conducteurs p0 et p1 sont appliqués comme signaux d'entrée à un circuit d'aiguillage qui va maintenant être décrit et qui sert

30 - à autoriser ou inhiber la transmission d'informations entre d'une part les plots de même position j de tous les ensembles de plots et d'autre part la colonne redondante respective associée à chaque ensemble

- corrélativement, à inhiber ou à autoriser la transmission d'informations entre les plots de position j de tous

les ensembles et les groupes de colonnes correspondant à ces plots.

Bien entendu, on aura compris que l'autorisation ou l'inhibition se fait en fonction de l'état des conducteurs p_0 et p_1 .

5 Ce circuit d'aiguillage est en réalité décomposé en sous-circuits d'aiguillage tous identiques et correspondant chacun à un ensemble respectif de r plots.

Un seul de ces sous-circuits sera décrit, celui qui correspond à l'ensemble de plots D_0 , D_1 .

10 Ce sous-circuit comprend des portes logiques, des transistors, et des amplificateurs.

Tout d'abord, à chaque groupe de p colonnes est associé classiquement un amplificateur de lecture des informations délivrées par ce groupe de colonnes; ainsi, un amplificateur de
15 lecture ALO ayant son entrée reliée au conducteur CS_0 permet de lire l'information délivrée par une colonne d'adresse A (sélectionnée par le décodeur DC) du groupe G_0 ; un amplificateur de lecture AL_1 ayant son entrée reliée au conducteur CS_1 permet de lire l'information délivrée par une colonne d'adresse A du
20 groupe G_1 .

De plus un amplificateur de lecture ARa ayant son entrée reliée au conducteur CSa permet de lire l'information présente en sortie de la colonne de redondance CRA .

25 Les sorties de ces amplificateurs sont transmises, à travers des portes de sélection commandées par les conducteurs p_0 et p_1 issus du circuit MPP , aux plots D_0 et D_1 .

La fonction de ces portes est

- d'autoriser la transmission de l'information issue du groupe de colonnes G_0 vers le plot D_0 lorsque p_0 est au niveau
30 logique bas et de l'interdire dans le cas contraire,
- d'autoriser la transmission de l'information issue du groupe de colonnes G_1 vers le plot D_1 lorsque p_1 est au niveau logique bas et de l'interdire dans le cas contraire,

- d'autoriser la transmission de l'information issue de la colonne redondante CRA vers le plot D0 si et seulement si p0 est au niveau logique haut, ou vers le plot D1 si et seulement si p1 est au niveau logique haut.

5 La manière de réaliser pratiquement ces portes logiques a peu d'importance pourvu que les fonctions ci-dessus soient réalisées. Sur la figure on a représenté à titre d'exemple une porte OU 10 à deux entrées dont la sortie est reliée à travers un amplificateur tampon BLO au plot D0; une entrée de la porte reçoit la sortie de l'amplificateur ALO et cet amplificateur peut
10 être inhibé par p0 (inhibition si p0=1); l'autre entrée est reliée à la sortie de l'amplificateur ARA à travers un interrupteur rendu conducteur par p0 (transistor T0 rendu conducteur si p0=1). De même, une autre porte OU 11 à deux entrées reçoit l'information issue de l'amplificateur AL1 si cet
15 amplificateur n'est pas inhibé par p1 ou reçoit l'information issue de l'amplificateur ARA à travers un transistor T1 si p1=1, la sortie de cette deuxième porte étant reliée par un amplificateur tampon BL1 au plot D1.

20 Le reste du circuit logique relié aux plots D0 et D1 sert à la transmission d'information en écriture et non plus en lecture. Il faut en effet écrire des informations à partir du plot D0 vers une colonne d'adresse A du groupe G0 si p0=0 mais vers la colonne redondante CRA si p0=1. De même, il faut écrire du plot D1 vers une colonne d'adresse A du groupe G1 si p1=0 ou vers la
25 colonne CRA si p1=1.

Les éléments de circuit logique représentés à titre d'exemple pour assurer cette fonction sont les suivants:

- un amplificateur BEO de commande d'écriture dans les colonnes du groupe G0 a son entrée reliée au plot D0; il est
30 inhibé si p0=1; il commande un transistor T10 relié entre une ligne Vpp d'application de tension de programmation et la sortie CS0 du groupe G0;

- un amplificateur BE1 de commande d'écriture dans les colonnes du groupe G1 a son entrée reliée au plot D1; il est

inhibé si $p1=1$; il commande un transistor T11 relié entre une ligne Vpp d'application de tension de programmation et la sortie CS1 du groupe G1;

5 - deux portes ET 20 et 21 ayant toutes deux une entrée reliée au plot D0 et ayant l'une une autre entrée reliée au conducteur p0 et l'autre une autre entrée reliée au conducteur p1;

10 - une porte OU 30 recevant les sorties des deux portes ET 20 et 21 et commandant, à travers un amplificateur tampon BRa, un transistor Ta relié entre la ligne Vpp et la sortie de la colonne CRa.

15 Le bit d'écriture présent sur le plot D0 est donc transmis soit à une colonne du groupe G0 si $p0=0$ soit à la colonne redondante CRa si $p0=1$; pendant ce temps, le bit présent sur le plot D1 est transmis soit à une colonne du groupe G1 (colonne de même adresse A que celle du groupe G0) si $p1=0$ soit à la colonne redondante CRa si $p1=1$.

20 Comme ce sont les mêmes conducteurs p0 et p1 qui commandent aussi les circuits d'aiguillage équivalents correspondant aux autres ensembles de plots (ensemble D2, D3 et ensemble D4, D5), il en résulte que:

25 - si aucune colonne défectueuse n'a été repérée lors du test, p0 et p1 sont toujours nuls; les circuits d'aiguillage fonctionnent pour aiguiller les informations exclusivement entre un plot et une colonne d'un groupe correspondant à cette colonne, ceci aussi bien en lecture qu'en écriture;

30 - si une colonne défectueuse a été repérée, son adresse A a été enregistrée dans le circuit CR1; la position p0 ou p1 du plot correspondant à cette colonne a été enregistrée dans le circuit MPP; lorsque cette adresse A est appliquée à l'entrée de la mémoire, que ce soit en lecture ou en écriture, elle est reconnue par le circuit CR1 qui désélectionne les groupes de colonnes (tous) et sélectionne à la place les colonnes redondantes CRa, CRb, CRc; de plus, le circuit CR1 envoie un signal de validation VAL au circuit MPP qui est alors autorisé à émettre un signal de

niveau logique haut sur l'un des deux conducteurs p0 et p1 selon la position de colonne défectueuse qui a été enregistrée; si la position défectueuse est p0, c'est que la colonne défectueuse faisait partie du groupe G0 ou du groupe G2 ou du groupe G4; dans ce cas les colonnes redondantes CRA, CRb, CRc sont connectées aux plots D0, D2, D4 respectivement; si au contraire la position défectueuse enregistrée est la position p1, alors les colonnes redondantes sont connectées aux plots D1, D3, D5 respectivement.

Dans le cas où le circuit doit permettre la réparation de plusieurs colonnes défectueuses, le circuit CR1 comporte plusieurs batteries de fusibles capables de mémoriser chacune une adresse de colonne défectueuse. L'adresse A appliquée au bloc CR1 est comparée à toutes ces adresses d'éléments défectueux. Les colonnes redondantes sont dédoublées, c'est-à-dire qu'il y a plusieurs colonnes redondantes CRA1, CRA2, ... à la place de la colonne CRA, plusieurs colonnes CRb1, CRb2, ... à la place de la colonne CRb etc. Chaque batterie de mémorisation d'adresse est associée à un ensemble de colonnes redondantes: par exemple la première batterie est associée à des colonnes CRA1, CRb1, CRc1, la deuxième batterie est associée à l'ensemble CRA2, CRb2, CRc2.

Si le circuit CR1 reconnaît une adresse défectueuse A1, mémorisée par la première batterie, il sélectionne l'ensemble de colonnes redondantes correspondant CRA1, CRb1, CRc1 et les connecte aux conducteurs de sortie respectifs CSa, CSb, CSc; s'il reconnaît au contraire une deuxième adresse défectueuse A2, il sélectionne un autre ensemble de colonnes redondantes pour les connecter aux conducteurs CSa, CSb, CSc.

De plus, pour chaque adresse défectueuse enregistrée dans une batterie du circuit CR1, on enregistre aussi une position de plot dans une batterie de fusibles du circuit MPP. Il faut alors prévoir une commande supplémentaire du circuit MPP par le circuit CR1 (commande analogue à la commande VAL) pour que lorsqu'une adresse défectueuse est reconnue par comparaison avec la n^{ième} batterie de fusibles du circuit CR1 on transmette sur

les conducteurs p0, p1 l'information engendrée par la n^{ième}
batterie de fusibles du circuit MPP.

REVENDECATION

1- Mémoire intégrée comportant un réseau d'éléments de mémoire organisés en y rangées et k groupes de p colonnes, chaque groupe (G0 à G5) correspondant à un plot d'entrée-sortie respectif parmi k plots (D0 à D5), une colonne de chaque groupe pouvant être reliée au plot correspondant à ce groupe par
5 sélection d'une adresse de colonne commune à tous les groupes, k et p étant différents de 1, la mémoire comportant en outre des colonnes redondantes (CRa à CRc) pour remplacer des colonnes défectueuses, des éléments de mémorisation d'adresse de colonne aptes à mémoriser l'adresse des colonnes défectueuses, et un
10 circuit logique (CR1) de sélection de colonne redondante couplé aux éléments de mémorisation d'adresse de colonne pour sélectionner une colonne redondante lorsqu'une adresse de colonne défectueuse est appliquée à la mémoire, caractérisée en ce que

15 - les k plots sont répartis en m ensembles de r plots, m et r différents de 1, et à chaque ensemble est associé au moins une colonne redondante,

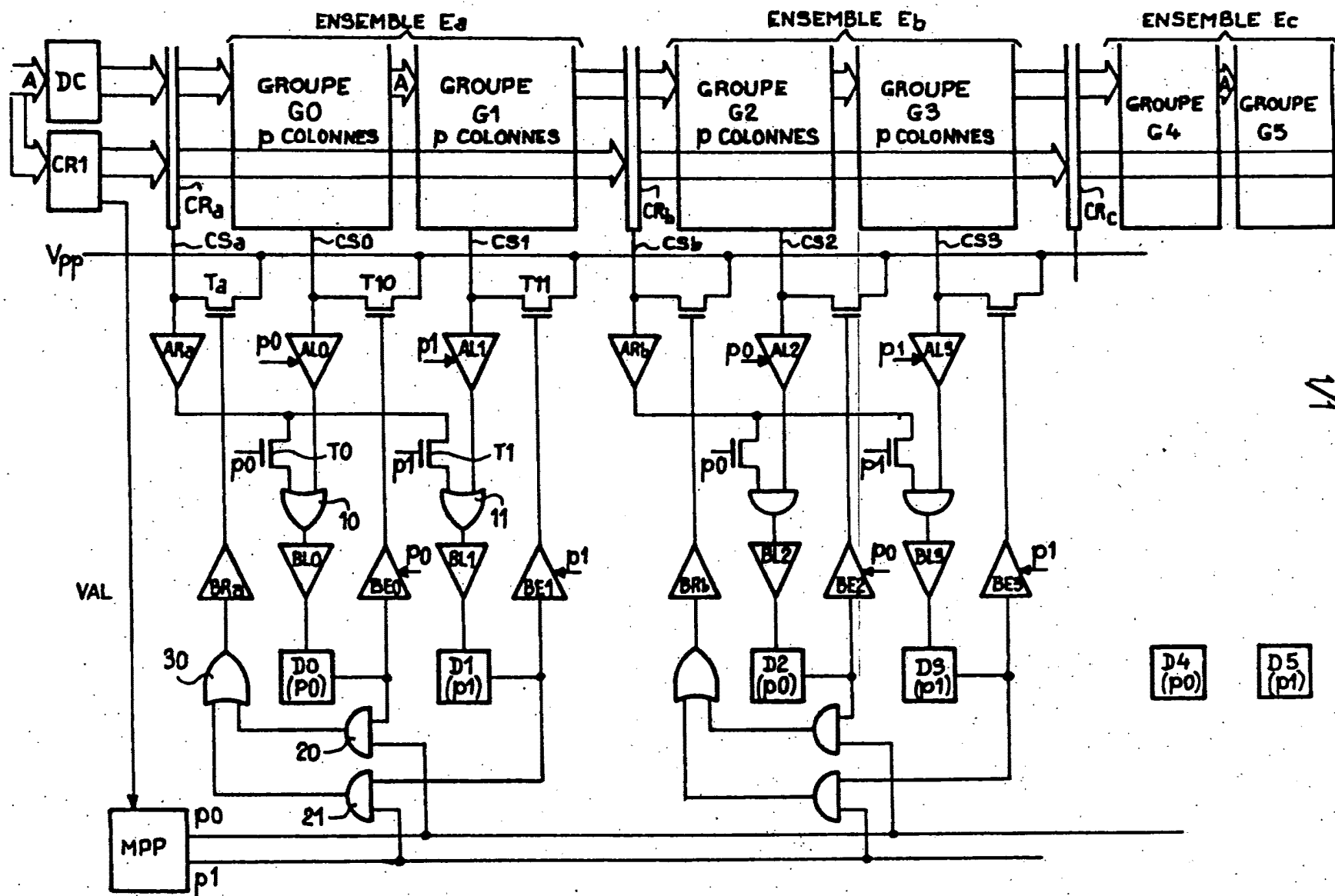
- des éléments (MPP) de mémorisation d'une position de plot sont prévus pour mémoriser une position du plot correspondant
20 au groupe de colonnes dans lequel se situe une colonne défectueuse, la position mémorisée étant une position j parmi r positions possibles de l'ensemble de plots dans lequel se situe le plot considéré,

- un circuit logique d'aiguillage est prévu, couplé aux
25 éléments de mémorisation de position de plot, ce circuit étant apte à:

* autoriser ou inhiber la transmission d'informations entre les plots de même position j de tous les ensembles de plots et les colonnes redondantes
30 respectives associées à chaque ensemble,

* corrélativement inhiber ou autoriser la transmission d'informations entre les plots de position j de tous les ensembles et les groupes de colonnes correspondant à ces plots,

- 5 l'autorisation et l'inhibition corrélatrice étant fonction de l'information mémorisée par les éléments de mémorisation de position de plot.
-



2611301

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	PATENT NUMBER	GROUP ART UNIT	FILE WRAPPER LOCATION
10/887,949		2816	

Change of Address/Power of Attorney

The following fields have been set to Customer Number 46798 on 03/07/2005

- Correspondence Address
- Power of Attorney
- Maintenance Fee Address

The address of record for Customer Number 46798 is:

MOSER, PATTERSON & SHERIDAN, LLP
GERO G. MCCLELLAN/INFINEON
3040 POST OAK BLVD.,
SUITE 1500
HOUSTON, TX 77056

The Practitioners of record for Customer Number 46798 are:

PTO INSTRUCTIONS:

Please take the following action when the correspondence address has been changed to a customer number:

- 1) Add 'ADDRESS CHANGE TO CUSTOMER NUMBER' on the next available content line of the File Jacket.
- 2) Put a line through the old address on the File Jacket and enter the Customer Number as the new address.
- 3) File this Notice in the File Jacket.

Please take the following action when the correspondence address has NOT been changed:

- 1) File this Notice in the File Jacket



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/887,949	07/09/2004	Rory Dickman	INFN/WB0091	5218
46798	7590	09/26/2005	EXAMINER	
PATTERSON & SHERIDAN, LLP			TON, MY TRANG	
3040 POST OAK BLVD.,			ART UNIT	
SUITE 1500			PAPER NUMBER	
HOUSTON, TX 77056			2816	

DATE MAILED: 09/26/2005

Please find below and/or attached an Office communication concerning this application or proceeding.

Office Action Summary

Application No.

10/887,949

Applicant(s)

DICKMAN, RORY

Examiner

My-Trang N. Ton

Art Unit

2816

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) ☐ Responsive to communication(s) filed on ____.
- 2a) ☐ This action is **FINAL**. 2b) ☒ This action is non-final.
- 3) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

- 4) ☒ Claim(s) 1-20 is/are pending in the application.
- 4a) Of the above claim(s) ____ is/are withdrawn from consideration.
- 5) ☐ Claim(s) ____ is/are allowed.
- 6) ☒ Claim(s) 1-7, 14-16 and 18 is/are rejected.
- 7) ☒ Claim(s) 8-13, 17, 19 and 20 is/are objected to.
- 8) ☐ Claim(s) ____ are subject to restriction and/or election requirement.

Application Papers

- 9) ☐ The specification is objected to by the Examiner.
- 10) ☒ The drawing(s) filed on 09 July 2004 is/are: a) ☒ accepted or b) ☐ objected to by the Examiner.
- Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
- Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 11) ☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

- 12) ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
- a) ☒ All b) ☐ Some * c) ☐ None of:
1. ☒ Certified copies of the priority documents have been received.
 2. ☐ Certified copies of the priority documents have been received in Application No. ____.
 3. ☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

MY-TRANG N. TON
PRIMARY EXAMINER

09/26/05

Attachment(s)

- 1) ☒ Notice of References Cited (PTO-892)
- 2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
- 3) ☒ Information Disclosure Statement(s) (PTO-1449 or PTO/SB/08)
- Paper No(s)/Mail Date 10/25/04 & 07/09/05

- 4) ☐ Interview Summary (PTO-413)
- Paper No(s)/Mail Date. ____
- 5) ☐ Notice of Informal Patent Application (PTO-152)
- 6) ☐ Other: ____

DETAILED ACTION

Claim Rejections - 35 USC § 112

Claims 1, 6 and 14 are rejected under 35 U.S.C. 112, second paragraph, as being indefinite for failing to particularly point out and distinctly claim the subject matter which applicant regards as the invention.

In claim 1, the limitation "measuring circuit for measuring at least one of an output line current and an output line potential" is misdescriptive of the present invention since such limitation is not seen as recited therein. In order to avoid any confusion, Applicant is required to particularly point out how this limitation reads on the circuit arrangement of the drawings. According the specification, page 7, driver circuit is seen as element 1 (line 3) and control unit is considered as element 8 (last paragraph). Thus, it is unclear which element is referred as "the measuring circuit" as recited in line 3.

In claim 6, the limitation "the output driver of claim 1, further comprising a comparator unit ..." is indefinite because it is misdescriptive. Clearly, Fig. 1 shows comparators 13-14 are inside control circuit (8). Thus, in order to avoid any confusion, it is suggested that: before "further", the limitation "wherein the control unit" should be added.

The method recited in claim 14 is similarly rejected as claim 1 regarding the limitation "measuring at least one of an output line current and an output line potential".

Claim Rejections - 35 USC § 102

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless –

(e) the invention was described in (1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effects for purposes of this subsection of an application filed in the United States only if the international application designated the United States and was published under Article 21(2) of such treaty in the English language.

Claims 1- 5, 14-15 are rejected under 35 U.S.C. 102(e) as being anticipated by Mitsui (U.S Patent No. 6,765,432).

Mitsui discloses in Fig. 2 a semiconductor device including:

a driver circuit (52) for driving an input signal (ENABLE) of the output driver (28A) onto an output line (ND2);

a measuring circuit (due to indefiniteness, the limitation “measuring circuit” doesn’t given sufficient weight to read over the reference); and

a control unit (281, P1, C2, N4, 54) for providing a control signal (ND1) for setting driver strength of the driver circuit (52) to provide at least one of the output line potential and the output line current (ND2) in a desired power range of a specification-prescribed potential range and a specification –prescribed current range. Because the claimed structure is fully met by Mitsui, the recited function or result limitations “desired power range of a specification-prescribed potential range and a specification –prescribed current range” will necessarily be inherent in Mitsui, as held by the court in *In re Best*, 195 USPQ 430.

Regarding claim 2: Because the claimed structure is fully met by Mitsui, the recited function or result limitations recited therein will necessarily be inherent in Mitsui, as held by the court in *In re Best*, 195 USPQ 430.

Regarding claim 3: element P3 reads on a pull-up path, elements N2, N3 read on a pull-down path.

Claim 4 is similarly rejected as claim 2.

Regarding claim 5: element P2 reads on a setting circuit for receiving the control signal (ND1).

The method recited in claims 14-15 are similarly rejected as claims 1-5 above.

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Claims 1-2, 4 and 14-15 are rejected under 35 U.S.C. 102(b) as being anticipated by Ten Pierick et al (U.S Patent No. 6,348,819).

Ten Pierick discloses in fig. 4 a driving circuit including:

a driver circuit (1) for driving an input signal of the output driver (Fig. 4) onto an output line (connected to 1);

a measuring circuit (2) for measuring at least one of an output line current and an output line potential; and

a control unit (3) for providing a control signal (Cs) for setting driver strength of the driver circuit (1) to provide at least one of the output line potential and the output line current (connected to 1) in a desired power range of a specification-prescribed potential range and a specification –prescribed current range. Because the claimed structure is fully met by Ten Pierick, the recited function or result limitations “desired power range of

Art Unit: 2816

a specification-prescribed potential range and a specification –prescribed current range” will necessarily be inherent in Ten Pierick, as held by the court in In re Best, 195 USPQ 430.

Regarding claims 2 and 4: Because the claimed structure is fully met by Ten Pierick, the recited function or result limitations recited therein will necessarily be inherent in Ten Pierick, as held by the court in In re Best, 195 USPQ 430.

The method recited in claims 14-15 are similarly rejected as claims 1-2 and 4.

Claims 1-2, 4-7, 14-16 and 18 are rejected under 35 U.S.C. 102(b) as being anticipated by Preuss et al (U.S Patent No. 6,348,819).

Preuss et al discloses in fig. 1 a control system including:

a driver circuit (112, 140) for driving an input signal (142) of the output driver (110) onto an output line (connected to 112);

a measuring circuit (due to indefiniteness, the limitation “measuring circuit” doesn’t given sufficient weight to read over the reference); and

a control unit (120) for providing a control signal (131) for setting driver strength of the driver circuit (140, 112) to provide at least one of the output line potential and the output line current (connected to 112) in a desired power range of a specification-prescribed potential range and a specification –prescribed current range. Because the claimed structure is fully met by Preuss, the recited function or result limitations “desired power range of a specification-prescribed potential range and a specification –

Art Unit: 2816

prescribed current range" will necessarily be inherent in Preuss, as held by the court in *In re Best*, 195 USPQ 430.

Regarding claims 2 and 4: Because the claimed structure is fully met by Preuss, the recited function or result limitations recited therein will necessarily be inherent in Preuss, as held by the court in *In re Best*, 195 USPQ 430.

Regarding claim 5: element 140 reads on a setting circuit.

Regarding claim 6: element 120 reads on a comparator unit for comparing at least one of the measured output line current and the measured output line potential (115) respectively with at least one of a reference current value and a reference potential value (121).

Regarding claim 7: element 130 reads on an evaluation unit connected to the comparator unit (120).

The method recited in claims 14-16 are similarly rejected as claims 1-2, 4-7.

Claim 18 is similarly rejected as claims above: a driver means (112, 140), a control means (120, 130), wherein the control means comprising: a comparator (120) and an evaluation (130).

Allowable Subject Matter

Claims 8-13, 17 and 19-20 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to My-Trang N. Ton whose telephone number is 571-272-1754. The examiner can normally be reached on 7:00 a.m - 5:30 p.m.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Timothy Callahan can be reached on 571-272-1740. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free).



My-Trang N. Ton
Primary Examiner
Art Unit 2816

September 26, 2005

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Application Number

Unknown 10/887,949

Filing Date

Concurrently Herewith 7/9/04

First Named Inventor

Rory Dickmann

Group Art Unit

Unknown 2816

Examiner Name

Unknown TON

Attorney Docket Number

INFN/0091

Sheet 1

of 2

Submission Date

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Document Number	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code ² (if known)			
MT	A1	US-6,400,177	Jun 4, 2002	Yoshizaki	
	A2	US-			
	A3	US-			
	A4	US-			
	A5	US-			
	A6	US-			
	A7	US-			
	A8	US-			
	A9	US-			
	A10	US-			
	A11	US-			
	A12	US-			
	A13	US-			
	A14	US-			
	A15	US-			
	A16	US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Foreign Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T ⁶
		Number-Kind Code ² (if known)				
MT	B1	DE 102 37 536 A1	24 04 2003	Takeshi		
MT	B2	EP 1 326 343 A1	09 07 2003	Janardhanan		
MT	B3	DE 100 34 713 A 1	07 02 2002	Klein		
MT	B4	JP8065138 (Abstract)	03 08 1996	Shushaku		
MT	B5	JP9261035 (Abstract)	10 03 1997	Toshiharu		
MT	B6	JP11027132 (Abstract)	01 29 1999	Yoshiyuki		
MT	B7	JP11214977 (Abstract)	08 06 1999	Harufusa et al		

Examiner

[Signature]

Date Considered

09/26/05

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450. If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Substitute for form 1449B/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Application Number

~~Unknown~~ 10/887,949

Filing Date

Concurrently Herewith

First Named Inventor

Rory Dickmann

Group Art Unit

~~Unknown~~ 2816

Examiner Name

~~Unknown~~ TON

Attorney Docket Number

INFN/0091

Sheet 2

of 2

Submission Date

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published	T ²
MT	C1	Examination Report Dated April 29, 2004	
	C2		
	C3		
	C4		
	C5		
	C6		
	C7		
	C8		
	C9		
	C10		
	C11		
	C12		

Examiner

Date Considered 09/26/05

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450. If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

Please type a plus sign (+) inside this box →

+

PTO/SB/08a (08-03)

Approved for use through 07/31/2008. OMB 0851-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Substitute for form 1449A/PTO

OCT 2 5 2004

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Application Number 10/887,949

Filing Date July 9, 2004

First Named Inventor Rory Dickman

Group Art Unit 2816

Examiner Name Unknown T-N

Attorney Docket Number INFN/WB0091

Submission Date October 21, 2004

Sheet 1

of 2

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Document Number	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code ² (if known)			
MT	A1	US-4,627,053	12/02/1986	YAMAKI ET AL.	
MT	A2	US-4,389,715	06/21/1983	EATON, JR. ET AL.	
MT	A3	US-6,182,262 B1	01/30/2001	SEYYEDY	
MT	A4	US-6,374,378 B1	04/16/2002	TAKANO ET AL.	
MT	A5	US-6,421,794 B1	07/16/2002	CHEN ET AL.	
MT	A6	US-5,317,573	05/31/1994	BULA ET AL.	
MT	A7	US-5,859,804	01/12/1999	HEDBERG ET AL.	
	A8	US-			
	A9	US-			
	A10	US-			
	A11	US-			
	A12	US-			
	A13	US-			
	A14	US-			
	A15	US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Foreign Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T ³
		Number-Kind Code ² (if known)				
MT	B1	FR 2 611 301 A1	08/26/1988	JEAN DEVIN ET AL.		
	B2					
	B3					
	B4					
	B5					

Examiner

[Signature]

Date Considered

09/26/05

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450. If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

Substitute for form 1449B/PTO

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**

(Use as many sheets as necessary)

Sheet 2

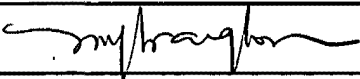
of 2

Application Number	10/887,949
Filing Date	July 9, 2004
First Named Inventor	Rory Dickman
Group Art Unit	2816
Examiner Name	Unknown TON
Attorney Docket Number	INFN/WB0091
Submission Date	October 21, 2004

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published	T ²
MT	C1	ROBERT T. SMITH, JAMES D. CHLIPALA, JOHN M. BINDELS, ROY G. NELSON, FREDERICK H. FISCHER and THOMAS F. MANTZ, <i>Laser Programmable Redundancy and Yield Improvement in a 64K DRAM</i> , IEEE Journal of Solid-State Circuits, Vol. SC-16, No. 5, October 1981, pp. 506-514.	
MT	C2	SATORU TANOI, <i>BIST: Required for Embedded DRAM</i> , International Test Conference, Paper P6.4, P. 1149, IEEE 1998.	
MT	C3	TOMOYA KAWAGOE, JUN OHTANI, MITSUTAKA NIRO, TUKASA OOISHI, MITSUHIRO HAMADA AND HIDETO HIDAKA, <i>A Built-In Self-Repair Analyzer (CRESTA) for Embedded DRAMs</i> , ITC International Test Conference, Paper 21.3, pp. 567-574, IEEE 2000.	
MT	C4	German Patent Office Examination Report dated June 15, 2004.	
	C5		
	C6		
	C7		
	C8		

Examiner



Date Considered

09/26/05

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450. If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

Notice of References Cited	Application/Control No. 10/887,949	Applicant(s)/Patent Under Reexamination DICKMAN, RORY	
	Examiner My-Trang N. Ton	Art Unit 2816	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
	A	US-6,765,432	07-2004	Mitsui, Katsuyoshi	327/544
	B	US-6,348,819	02-2002	Ten Pierick et al.	327/110
	C	US-5,949,249	09-1999	Preuss et al.	326/27
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Search Notes

Application/Control No.

10/887,949

Examiner

My-Trang N. Ton

Applicant(s)/Patent under
Reexamination

DICKMAN, RORY

Art Unit

2816

SEARCHED

Class	Subclass	Date	Examiner
327	108	9/26/2005	MT
	112		
326	82-87		

INTERFERENCE SEARCHED

Class	Subclass	Date	Examiner

**SEARCH NOTES
(INCLUDING SEARCH STRATEGY)**

	DATE	EXMR
East searches	9/23/2005	MT

Index of Claims



Application/Control No.

10/887,949

Examiner

My-Trang N. Ton

Applicant(s)/Patent under Reexamination

DICKMAN, RORY

Art Unit

2816

✓	Rejected
=	Allowed

—	(Through numeral) Cancelled
÷	Restricted

N	Non-Elected
I	Interference

A	Appeal
O	Objected

Claim		Date											
Final	Original	9/26/05											
	1	✓											
	2												
	3												
	4												
	5												
	6												
	7	✓											
	8	O											
	9												
	10												
	11												
	12												
	13	O											
	14	✓											
	15												
	16	✓											
	17	O											
	18	✓											
	19	O											
	20	O											
	21												
	22												
	23												
	24												
	25												
	26												
	27												
	28												
	29												
	30												
	31												
	32												
	33												
	34												
	35												
	36												
	37												
	38												
	39												
	40												
	41												
	42												
	43												
	44												
	45												
	46												
	47												
	48												
	49												
	50												

Claim		Date											
Final	Original												
	51												
	52												
	53												
	54												
	55												
	56												
	57												
	58												
	59												
	60												
	61												
	62												
	63												
	64												
	65												
	66												
	67												
	68												
	69												
	70												
	71												
	72												
	73												
	74												
	75												
	76												
	77												
	78												
	79												
	80												
	81												
	82												
	83												
	84												
	85												
	86												
	87												
	88												
	89												
	90												
	91												
	92												
	93												
	94												
	95												
	96												
	97												
	98												
	99												
	100												

Claim		Date											
Final	Original												
	101												
	102												
	103												
	104												
	105												
	106												
	107												
	108												
	109												
	110												
	111												
	112												
	113												
	114												
	115												
	116												
	117												
	118												
	119												
	120												
	121												
	122												
	123												
	124												
	125												
	126												
	127												
	128												
	129												
	130												
	131												
	132												
	133												
	134												
	135												
	136												
	137												
	138												
	139												
	140												
	141												
	142												
	143												
	144												
	145												
	146												
	147												
	148												
	149												
	150												

**PATTERSON &
SHERIDAN, LLP**

ATTORNEYS AT LAW

**RECEIVED
CENTRAL FAX CENTER**

DEC 27 2005

3040 Post Oak Blvd, Suite 1500
Houston, TX 77056-6582
TEL 713.623.4844
FAX 713.623.4846

FACSIMILE COVER SHEET

DATE: December 27, 2005
FILE NO: INFN/WB0091
TO: MAIL STOP AMENDMENT
Examiner My Trang Ton
FAX NO: 1-571-273-8300
COMPANY: USPTO
FROM: Gero G. McClellan / David M. Magness
PAGE(S) with cover: //

RE:
TITLE: OUTPUT DRIVER FOR AN INTEGRATED CIRCUIT AND
METHOD FOR DRIVING AN OUTPUT DRIVER
U.S. SERIAL NO.: 10/887,949
FILING DATE: July 9, 2004
INVENTOR(S): Rory Dickman
EXAMINER: My Trang Ton
GROUP ART UNIT: 2816
CONFIRMATION NO.: 5218

Attached are the following document(s) for the above-referenced application:

Response To Office Action Dated September 26, 2005.

CONFIDENTIALITY NOTE

The document accompanying this facsimile transmission contains information from the law firm of Patterson & Sheridan, L.L.P. which is confidential or privileged. The information is intended to be for the use of the individual or entity named on this transmission sheet. If you are not the intended recipient, be aware that any disclosure, copying, distribution or use of the contents of this faxed information is prohibited. If you have received this facsimile in error, please notify us by telephone immediately so that we can arrange for the retrieval of the original documents at no cost to you.

RECEIVED
CENTRAL FAX CENTER

PATENT
W&B Ref. No. : INF 2434-US
Atty. Dkt. No. INFN/WB0091

DEC 27 2005

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:
Rory Dickman

Serial No.: 10/887,949

Confirmation No.: 5218

Filed: July 9, 2004

**For: OUTPUT DRIVER FOR AN
INTEGRATED CIRCUIT AND
METHOD FOR DRIVING AN
OUTPUT DRIVER**

Group Art Unit: 2816

Examiner: My Trang Ton

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

CERTIFICATE OF MAILING OR TRANSMISSION

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Mail Stop Amendment, Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450, or facsimile transmitted to the U.S. Patent and Trademark Office to fax number 571-273-8300 to the attention of Examiner My Trang Ton, on the date shown below:

December 27, 2005
Date

David M. Magness

RESPONSE TO OFFICE ACTION DATED SEPTEMBER 26, 2005

In response to the Office Action dated September 26, 2005, having a shortened statutory period for response set to expire on December 26, 2005, please enter this response and reconsider the claims pending in the application for reasons discussed below. While no fees are believed due, the Commissioner is hereby authorized to charge counsel's Deposit Account No. 20-0782/INFN/WB0091/GGM for any fees, including extension of time fees or excess claim fees, required to make this response timely and acceptable to the Office.

Amendments to the Claims are reflected in the listing of claims which begins on page 2 of this paper. Remarks/Arguments begin on page 6 of this paper.

Page 1

423449_1

PATENT
W&B Ref. No. : INF 2434-US
Atty. Dkt. No. INFN/WB0091

IN THE CLAIMS:

Please amend the claims as follows:

1. (Original) An output driver for an integrated circuit, comprising:
a driver circuit for driving an input signal of the output driver onto an output line;
a measuring circuit for measuring at least one of an output line current and an output line potential; and
a control unit for providing a control signal for setting a driver strength of the driver circuit to provide at least one of the output line potential and the output line current in a desired power range of a specification-prescribed potential range and a specification-prescribed current range.
2. (Original) The output driver of claim 1, wherein the desired power range is determined by one of a specification-prescribed lower current limit value, a specification-prescribed lower current limit value adjusted with a tolerance magnitude, a specification-prescribed lower potential limit value and a specification-prescribed lower potential limit value adjusted with the tolerance magnitude.
3. (Original) The output driver of claim 1, wherein the driver circuit includes a pull-up path defined by a first maximum and minimum current/potential (I/V) characteristic curve and a pull-down path defined by a second maximum and minimum I/V characteristic curve and wherein the desired power range is determined depending on respectively activated pull-up path and pull-down path of the driver circuit.
4. (Original) The output driver of claim 1, wherein the desired power range corresponds to a lower portion of the specification-prescribed potential range and a lower portion of the specification-prescribed current range.
5. (Original) The output driver of claim 1, wherein the driver circuit further comprises a setting circuit for receiving the control signal from the control unit and for

Page 2

423449_1

PATENT
W&B Ref. No. : INF 2434-US
Atty. Dkt. No. INFN/WB0091

setting the driver strength of the driver circuit.

6. (Currently Amended) The output driver of claim 1, wherein the control unit further comprises ~~comprising~~ a comparator unit for comparing at least one of the measured output line current and the measured output line potential respectively with at least one of a reference current value and a reference potential value.

7. (Original) The output driver of claim 6, wherein the control unit further comprises an evaluation unit connected to the comparator unit, the evaluation unit configured to change the control signal based upon a result from the comparator unit.

8. (Original) The output driver of claim 7, wherein the evaluation unit comprises a counter.

9. (Original) The output driver of claim 6, wherein the control unit further comprises a multiplexer connected to provide a first reference potential and a second reference potential to the comparator unit.

10. (Original) The output driver of claim 9, wherein the multiplexer selects the first reference potential and the second reference potential supplied to the comparator unit based on the input signal.

11. (Original) The output driver of claim 10, wherein the multiplexer includes an input connected to the input signal of the driver circuit, and wherein the input signal is utilized to determine whether a high level or a low level is to be output by the driver circuit.

12. (Original) The output driver of claim 9, wherein the multiplexer selects the first reference voltage and the second reference voltage supplied to the comparator unit based on an output signal on the output line.

Page 3

423449_1

PATENT
W&B Ref. No. : INF 2434-US
Atty. Dkt. No. INFNWB0091

13. (Original) The output driver of claim 9, wherein the control unit further comprises a voltage divider connected provide a plurality of reference potentials selectable by the multiplexer.
14. (Original) A method for driving an output driver for an integrated circuit having a driver circuit driving an input signal onto an output line, comprising:
measuring at least one of an output line current and an output line potential; and
controlling a driver strength of the driver circuit to set at least one of the current and the potential in at least one of a specification-prescribed current range and a specification-prescribed potential range, respectively, wherein the driver strength is set such that the potential and the current intensity lie in a lower power range of the specification-prescribed current range and the specification-prescribed potential range.
15. (Original) The method of claim 14, wherein the driver strength of the driver circuit is controlled in a manner selected from continuously, periodically and in accordance with a setting signal.
16. (Original) The method of claim 14, further comprising:
comparing at least one of the measured output line current and the measured output line potential respectively with at least one of a reference current value and a reference potential value; and
changing a control signal for setting the driver strength supplied to the driver circuit based upon a result from the comparison.
17. (Original) The method of claim 16, further comprising:
determining whether a high level or a low level is to be output by the driver circuit based on the input signal; and
selecting a first reference voltage and a second reference voltage from a plurality of voltage references to be compared against the measured output line potential, the first reference voltage and the second reference voltage selected based on the determination of high level or low level.

PATENT
W&B Ref. No. : INF 2434-US
Atty. Dkt. No. JNFWB0091

18. (Original) An output driver for an integrated circuit, comprising:
a driver means for driving an input signal of the output driver onto an output line;
and

a control means for providing a control signal for setting a driver strength of the driver means to provide at least one of an output line potential and an output line current in a lower power range of a specification-prescribed potential range and a specification-prescribed current range, the control means comprising:

a comparator means for comparing at least one of the output line current and the output line potential respectively with at least one of a reference current value and a reference potential value; and

an evaluation means for changing the control signal based upon a comparison result from the comparator means.

19. (Original) The output driver of claim 18, wherein the control means further comprises:

a multiplexing means connected to provide a first reference voltage and a second reference voltage to the comparator means for the output line potential to be compared;
and

a voltage divider means for providing a plurality of reference voltages for selection by the multiplexing means.

20. (Original) The output driver of claim 19, wherein the multiplexing means includes an input connected to the input signal of the driver circuit, wherein the input signal is utilized to determine whether a high level or a low level is to be output by the driver circuit and wherein the multiplexer selects the first reference voltage and the second reference voltage supplied to the comparator unit based on the input signal.

PATENT
W&B Ref. No. : INF 2434-US
Atty. Dkt. No. INFN/WB0091

REMARKS

This is intended as a full and complete response to the Office Action dated September 26, 2005, having a shortened statutory period for response set to expire on December 26, 2005. Please reconsider the claims pending in the application for reasons discussed below.

Claims 1-20 are pending in the application. Claims 1-20 remain pending following entry of this response. Claim 6 has been amended. Applicant submits that the amendment does not introduce new matter.

Claim Rejections - 35 USC § 112

Claims 1, 6 and 14 are rejected under 35 U.S.C. 112, second paragraph.

With respect to claims 1 and 14, the Examiner states that the limitation "measuring circuit for measuring at least one of an output line current and an output line potential" is misdescriptive of the present invention since such limitation is not seen as recited therein. However, Applicant respectfully submits that such limitation is recited, for example in the "Summary of the Invention" section at Para. [0007]. Other embodiments for measuring at least one of an output line current and an output line potential are described in the specification in at least Paras. [0022]-[0024] and [0029]. Accordingly, the cited limitation is recited in the specification. Withdrawal of the rejection is respectfully requested.

With respect to claim 6, the claim has been amended for clarification as suggested by the Examiner. Accordingly, withdrawal of the rejection is respectfully requested.

Claim Rejections - 35 USC § 102

Claims 1-5 and 14-15 are rejected under 35 U.S.C. 102(e) as being anticipated by *Mitsui* (U.S. Patent No. 6,765,432). Applicant respectfully traverses this rejection.

"A claim is anticipated only if each and every element as set forth in the claim is found, either expressly or inherently described, in a single prior art reference." *Verdegaal Bros. v. Union Oil Co. of California*, 814 F.2d 628, 631, 2 USPQ2d 1051, 1053 (Fed. Cir. 1987). "The identical invention must be shown in as complete detail as

Page 6

423449_1

PATENT
W&B Ref. No. : INF 2434-US
Atty. Dkt. No. INFNWB0091

is contained in the ... claim." *Richardson v. Suzuki Motor Co.*, 868 F.2d 1226, 1236, 9 USPQ2d 1913, 1920 (Fed. Cir. 1989). The elements must be arranged as required by the claim. *In re Bond*, 910 F.2d 831, 15 USPQ2d 1566 (Fed. Cir. 1990).

In this case, *Mitsui* does not disclose "each and every element as set forth in the claim". For example, *Mitsui* does not disclose a driver circuit for driving an input signal of the output driver onto an output line. The Examiner argues that *Mitsui* discloses a driver circuit for driving an input signal (ENABLE) of the output driver onto an output line at Figure 2, Item 52. However, the cited figure is in fact directed to a NOR gate (52) in a time counting circuit 28. See Col. 8, Lines 33-34. The NOR gate (52) receives both the ENABLE signal and the output of a time constant circuit (54). See Figure 2; Col. 9, Lines 16-21. Thus, the item cited by Examiner is a NOR gate (52) and not a driver. See Figure 2.

Furthermore, *Mitsui* does not describe a control unit for providing a control signal for setting a driver strength of the driver circuit. Examiner states that the control unit is shown in Figure 2, Items 281, P1, C2, N4, 54. As described above, the cited items are portions of a time counter circuit 28. Item 281 is an inverter which inverts the ENABLE signal. See Figure 2; Col. 8, Lines 43-45. P1, C2, and 54 are used to operate the time constant circuit (54) which generates a time constant and serves as a logical input to NOR gate (52). See Figure 2; Col. 9, Lines 4-15. Transistor N4 latches an output value at node ND2. See Figure 2; Lines 22-26.

Thus, the items cited by the Examiner are used to generate a time constant for a time constant circuit (54) which acts as a logical input to a NOR gate (52). Therefore, the cited items do not describe a control unit for providing a control signal for setting a driver strength of the driver circuit as asserted by the Examiner for at least two reasons. First, as described above, Item 52 is a NOR gate and not a driver circuit. Furthermore, the output of the time constant circuit (54) is a logical input to the NOR gate (52), and thus does not serve as a control signal for setting a driver strength of a driver circuit.

Accordingly, the rejection with respect to claim 1, and the claims that depend therefrom, is believed to be overcome. Withdrawal of the rejection is respectfully requested. Claims 14-15 are rejected for reasons similar to claims 1-5. However, as described above, the rejection with respect to claim 1 and the claims that depend

Page 7

423449_1

PATENT
W&B Ref. No. : INF 2434-US
Atty. Dkt. No. INFN/WB0091

therefrom is believed to be overcome. Accordingly, the rejection with respect to claims 14-15 is also believed to be overcome. Withdrawal of the rejection is respectfully requested.

Claims 1-2, 4 and 14-15 are rejected under 35 U.S.C. 102(b) as being anticipated by *Ten Pierick et al.* (U.S. Patent No. 6,348,819, hereinafter *Ten Pierick*). Applicant respectfully traverses this rejection.

In this case, *Ten Pierick* does not disclose "each and every element as set forth in the claim". For example, *Ten Pierick* does not disclose a driver circuit for driving an input signal of the output driver onto an output line as asserted by the Examiner. The Examiner argues that *Ten Pierick* discloses a driver circuit for driving an input signal of the output driver onto an output line at Figure 4, Item 1. However, the cited passage is in fact directed to a switch (1). See Figure 4, Item 1, Col. 3, Lines 1-4. The switch (1) is conducting or non-conducting dependent on a control signal Cs. See *Id.* A switch is not a driver. Accordingly, the cited sections do not describe a driver as asserted by the Examiner.

Furthermore, *Ten Pierick* does not disclose a control unit for providing a control signal for setting a driver strength of the driver circuit. The Examiner states that *Ten Pierick* describes a control unit for providing a control signal for setting a driver strength of the driver circuit at Figure 4, Item 3. However, as described at Col. 3, Lines 48-49, the control circuit (3) supplies the control signal Cs to the control terminal of the switch (1). The control signal Cs affects whether the switch (1) is conducting or non-conducting. See Col. 3, Lines 1-4. As known to those skilled in the art, controlling whether a switch (1) is conducting or non-conducting is not the same as providing a control signal for setting a driver strength of a driver circuit. Accordingly, the cited figure is directed to a control circuit (3) which affects whether a switch (1) is conducting or non-conducting, and not a control unit for providing a control signal for setting a driver strength of a driver circuit.

Accordingly, the rejection with respect to claim 1, and the claims that depend therefrom, is believed to be overcome. Withdrawal of the rejection is respectfully requested. Claims 14-15 are rejected for reasons similar to claims 1-2 and 4. However,

Page 8

423449_1

PATENT
W&B Ref. No. : INF 2434-US
Atty. Dkt. No. INFNWB0091

as described above, the rejection with respect to claim 1 and the claims that depend therefrom is believed to be overcome. Accordingly, the rejection with respect to claims 14-15 is also believed to be overcome. Withdrawal of the rejection is respectfully requested.

Claims 1-2, 4-7, 14-16 and 18 are rejected under 35 U.S.C. 102(b) as being anticipated by *Preuss et al.* (U.S Patent No. 6,348,819, hereinafter *Preuss*). Applicant respectfully traverses this rejection.

In this case, *Preuss* does not disclose "each and every element as set forth in the claim". For example, *Preuss* does not disclose a control unit for providing a control signal for setting a driver strength of a driver circuit. The Examiner argues that *Preuss* discloses a control unit for providing a control signal for setting a driver strength of a driver circuit at Figure 1, Items 120 and 131. However, the cited passage is in fact directed to a controller 130 which outputs a control signal 131 which controls a predriver to increase or decrease the slew rate of the voltage 141 provided to an output device gate. See Col. 3, Line 60-64. A slew rate and a driver strength are not the same. Accordingly, the cited items are directed to changing the slew rate of a voltage applied to an output device gate, and not to a control circuit for providing a control signal for setting a driver strength of the driver circuit. See *Id.* Thus, *Preuss* does not teach the cited limitations as asserted by the Examiner.

Accordingly, the rejection with respect to claim 1, and the claims that depend therefrom, is believed to be overcome. Withdrawal of the rejection is respectfully requested. Claims 14-16 and 18 are rejected for reasons similar to claims 1-2 and 4-7. However, as described above, the rejection with respect to claim 1 and the claims that depend therefrom is believed to be overcome. Accordingly, the rejection with respect to claims 14-15 is also believed to be overcome. Withdrawal of the rejection is respectfully requested.

Therefore, the claims are believed to be in condition for allowance, and allowance of the claims is respectfully requested.

Page 9

423449_1

PATENT
W&B Ref. No. : INF 2434-US
Atty. Dkt. No. INFN/WB0091

Allowable Subject Matter

Claims 8-13, 17 and 19-20 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

Applicant acknowledges the allowable subject matter. However, Applicant respectfully submits that the rejections of the base claims have been overcome for the reasons stated above. Accordingly, withdrawal of the objection and allowance of the claims is respectfully requested.

Conclusion

Having addressed all issues set out in the office action, Applicant respectfully submits that the claims are in condition for allowance and respectfully requests that the claims be allowed.

Respectfully submitted,

/Gero G. McClellan, Reg. No. 44,227/

Gero G. McClellan

Registration No. 44,227

PATTERSON & SHERIDAN, L.L.P.

3040 Post Oak Blvd. Suite 1500

Houston, TX 77056

Telephone: (713) 623-4844

Facsimile: (713) 623-4846

Attorney for Applicant

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875						Application or Docket Number 10887949		
CLAIMS AS FILED – PART I								
(Column 1)		(Column 2)		(Column 3)				
FOR	NUMBER FILED	NUMBER EXTRA	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY		
BASIC FEE (37 CFR 1.16(a))			RATE	FEE		RATE	FEE	
TOTAL CLAIMS (37 CFR 1.16(c))	minus 20 =		X \$ _____ =		OR	X \$ _____ =		
INDEPENDENT CLAIMS (37 CFR 1.16(b))	minus 3 =		X \$ _____ =		OR	X \$ _____ =		
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(d))					OR			
			TOTAL		OR	TOTAL		
* If the difference in column 1 is less than zero, enter "0" in column 2								
CLAIMS AS AMENDED – PART II								
(Column 1)		(Column 2)		(Column 3)				
AMENDMENT A	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
Total (37 CFR 1.16(c))	Minus	**	=	RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
Independent (37 CFR 1.16(b))	Minus	***	=	X \$ _____ =		OR	X \$ _____ =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))				X \$ _____ =		OR	X \$ _____ =	
				+ \$ _____ =		OR	+ \$ _____ =	
				TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	
(Column 1)		(Column 2)		(Column 3)				
AMENDMENT B	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
Total (37 CFR 1.16(c))	Minus	**	=	RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
Independent (37 CFR 1.16(b))	Minus	***	=	X \$ _____ =		OR	X \$ _____ =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))				X \$ _____ =		OR	X \$ _____ =	
				+ \$ _____ =		OR	+ \$ _____ =	
				TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	
(Column 1)		(Column 2)		(Column 3)				
AMENDMENT C	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
Total (37 CFR 1.16(c))	Minus	**	=	RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
Independent (37 CFR 1.16(b))	Minus	***	=	X \$ _____ =		OR	X \$ _____ =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))				X \$ _____ =		OR	X \$ _____ =	
				+ \$ _____ =		OR	+ \$ _____ =	
				TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3. ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20" *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3" The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.								

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PATENT-8 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/887,949	07/09/2004	Rory Dickman	INFN/WB0091	5218
46798	7590	03/10/2006	EXAMINER	
PATTERSON & SHERIDAN, LLP Gero McClellan / Infineon Technologies 3040 POST OAK BLVD., SUITE 1500 HOUSTON, TX 77056			TON, MY TRANG	
			ART UNIT	PAPER NUMBER
			2816	

DATE MAILED: 03/10/2006

Please find below and/or attached an Office communication concerning this application or proceeding.

Office Action Summary

Application No.

10/887,949

Applicant(s)

DICKMAN, RORY

Examiner

My-Trang N. Ton

Art Unit

2816

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) ☒ Responsive to communication(s) filed on 27 December 2005.
- 2a) ☐ This action is **FINAL**. 2b) ☒ This action is non-final.
- 3) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

- 4) ☒ Claim(s) 1-20 is/are pending in the application.
- 4a) Of the above claim(s) _____ is/are withdrawn from consideration.
- 5) ☒ Claim(s) 18-20 is/are allowed.
- 6) ☒ Claim(s) 1-6 and 14-17 is/are rejected.
- 7) ☒ Claim(s) 7-13 is/are objected to.
- 8) ☐ Claim(s) _____ are subject to restriction and/or election requirement.

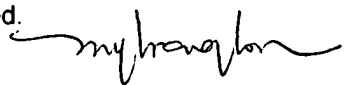
Application Papers

- 9) ☐ The specification is objected to by the Examiner.
- 10) ☒ The drawing(s) filed on 09 July 2004 is/are: a) ☒ accepted or b) ☐ objected to by the Examiner.
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 11) ☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

- 12) ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
- a) ☒ All b) ☐ Some * c) ☐ None of:
- 1) ☒ Certified copies of the priority documents have been received.
 - 2) ☐ Certified copies of the priority documents have been received in Application No. _____.
 - 3) ☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.


MY-TRANG N. TON
PRIMARY EXAMINER

Attachment(s)

- 1) ☒ Notice of References Cited (PTO-892)
- 2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
- 3) ☐ Information Disclosure Statement(s) (PTO-1449 or PTO/SB/08)
Paper No(s)/Mail Date _____
- 4) ☐ Interview Summary (PTO-413)
Paper No(s)/Mail Date. _____
- 5) ☐ Notice of Informal Patent Application (PTO-152)
- 6) ☐ Other: _____

DETAILED ACTION

The Amendment filed on 12/27/05 has been received and entered in the case.

In response to Applicant's remarks filed on 12/27/05, the rejections made in the last Office action on the Mitsui, Ten Pierick and Preuss references are withdrawn.

Claim Rejections - 35 USC § 102

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless –

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Claims 1-6 and 14-17 are rejected under 35 U.S.C. 102(b) as being anticipated by Kajimoto (US No. 2003/0052369 or DE 10237536 as cited in PTOL 1449).

Kajimoto discloses in Fig. 1 a semiconductor output circuit including:

an output driver for an integrated control unit with a driver control (1) that sends an entry signal (DQH, DQL) to an output control unit (NDO). The driver control (1) is dimensioned in such a way that it supplies a digital input signal dependent current and a digital input signal dependent potential to the output controls, which lies in a pre-defined current and potential area according to the digital input signal. The driver power of the driver switch (1) can be adjusted according to a control signal (VG1, VG2). Differential amplifiers 4 and 5 are used in order to measure the current flowing from the output control and the potential of the output control. A control unit (2, 3) to switch on the driver unit strength of the driver controls (1), so that potential lies at a potential value and the input current lies in a lower range of performance of the current area and potential area

Art Unit: 2816

(the limitation “desired power range of a specification-prescribed potential range and a specification –prescribed current range” is met) as recited in claim 1.

Regarding claim 2: Kajimoto also teaches driver switches (Q1, Q2) is adjustable by the control signal (VG1, VG2) and possess a measuring switch in order to measure the current intensity of the current flowing through the output controls and to measure the potential of the output controls, thus the limitation recited in claim 2 is inherently met.

Regarding to claim 3: the driver circuit includes a pull-up path (Q1) and a pull-down path (Q2) defined by maximum and minimum current/potential characteristic curves.

The limitation recited in claim 4 is seen to read in fig. 1 of Kajimoto: the control unit (2, 3) switches on the driver unit strength of the driver controls (1), thus the potential lies at a potential value and the input current lies in a lower range of performance of the current area and potential area.

Regarding claim 5: elements Q1, Q2 read on a setting circuit for receiving the control signal (VG1, VG2) from the control unit (2, 3).

Regarding claim 6: the control unit (2, 3) further comprises a comparator unit (4, 5) for comparing at least one of the measured output line current and the measured output line potential respectively with at least one of a reference current value and a reference potential (VHset, VLset).

The method recited in claims 14-17 are similarly rejected as claims 1-6.

Allowable Subject Matter

Art Unit: 2816

Claims 7-13 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims. None of the prior art disclosed or suggested to show the particular structure and/or the particular operation recited in these claims namely: "an valuation unit ... from the comparator unit" (claim 7); "a multiplexer" (claim 9).

Claims 18-20 are allowable over the prior art of record. None of the prior art disclosed or suggested to show the particular structure and/or the particular operation recited in these claims namely: "an evaluation means for changing the control signal based upon a comparison result from the comparator means" in combination with "a comparator means" and "a driver means" as recited in claim 18.

Conclusion

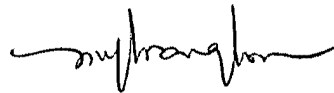
In view of the above noted new grounds of rejection not necessitated by Applicants Amendments, this action is non-final.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to My-Trang N. Ton whose telephone number is 571-272-1754. The examiner can normally be reached on 8:00a.m – 4:30 p.m.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Timothy Callahan can be reached on 571-272-1740. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Art Unit: 2816

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free).



My-Trang N. Ton

Primary Examiner

Art Unit 2816

March 6, 2006

Notice of References Cited	Application/Control No. 10/887,949		Applicant(s)/Patent Under Reexamination DICKMAN, RORY	
	Examiner My-Trang N. Ton		Art Unit 2816	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-2003/0052369	03-2003	Kajimoto, Takeshi	257/368
	B	US-			
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Index of Claims



Application/Control No.

10/887,949

Examiner

My-Trang N. Ton

Applicant(s)/Patent under
Reexamination

DICKMAN, RORY

Art Unit

2816

✓	Rejected
=	Allowed

—	(Through numeral) Cancelled
÷	Restricted

N	Non-Elected
I	Interference

A	Appeal
O	Objected

Claim		Date			
Final	Original	3/6/06			
	1	✓			
	2	↓			
	3	↓			
	4	↓			
	5	↓			
	6	✓			
	7	↓			
	8	↓			
	9	↓			
	10	↓			
	11	↓			
	12	↓			
	13	↓			
	14	✓			
	15	↓			
	16	↓			
	17	↓			
	18	=			
	19	=			
	20	=			
	21				
	22				
	23				
	24				
	25				
	26				
	27				
	28				
	29				
	30				
	31				
	32				
	33				
	34				
	35				
	36				
	37				
	38				
	39				
	40				
	41				
	42				
	43				
	44				
	45				
	46				
	47				
	48				
	49				
	50				

Claim		Date			
Final	Original				
	51				
	52				
	53				
	54				
	55				
	56				
	57				
	58				
	59				
	60				
	61				
	62				
	63				
	64				
	65				
	66				
	67				
	68				
	69				
	70				
	71				
	72				
	73				
	74				
	75				
	76				
	77				
	78				
	79				
	80				
	81				
	82				
	83				
	84				
	85				
	86				
	87				
	88				
	89				
	90				
	91				
	92				
	93				
	94				
	95				
	96				
	97				
	98				
	99				
	100				

Claim		Date			
Final	Original				
	101				
	102				
	103				
	104				
	105				
	106				
	107				
	108				
	109				
	110				
	111				
	112				
	113				
	114				
	115				
	116				
	117				
	118				
	119				
	120				
	121				
	122				
	123				
	124				
	125				
	126				
	127				
	128				
	129				
	130				
	131				
	132				
	133				
	134				
	135				
	136				
	137				
	138				
	139				
	140				
	141				
	142				
	143				
	144				
	145				
	146				
	147				
	148				
	149				
	150				

My-Trang N. Ton

2816

[illegible]

INTERFERENCE SEARCHED			
Class	Subclass	Date	Examiner

[illegible]

IN THE CLAIMS:

Please amend the claims as follows:

1. (Currently Amended) An output driver for an integrated circuit, comprising:
a driver circuit for driving an input signal of the output driver onto an output line;
a measuring circuit for measuring at least one of an output line current and an output line potential; and
a control unit for providing a control signal for setting a driver strength of the driver circuit to provide at least one of the output line potential and the output line current in a desired power range of a specification-prescribed potential range and a specification-prescribed current range, wherein the control unit includes a feedback control to affect the setting of the driver strength based on a measured value provided by the measuring circuit.
2. (Original) The output driver of claim 1, wherein the desired power range is determined by one of a specification-prescribed lower current limit value, a specification-prescribed lower current limit value adjusted with a tolerance magnitude, a specification-prescribed lower potential limit value and a specification-prescribed lower potential limit value adjusted with the tolerance magnitude.
3. (Original) The output driver of claim 1, wherein the driver circuit includes a pull-up path defined by a first maximum and minimum current/potential (I/V) characteristic curve and a pull-down path defined by a second maximum and minimum I/V characteristic curve and wherein the desired power range is determined depending on respectively activated pull-up path and pull-down path of the driver circuit.
4. (Original) The output driver of claim 1, wherein the desired power range corresponds to a lower portion of the specification-prescribed potential range and a lower portion of the specification-prescribed current range.

5. (Original) The output driver of claim 1, wherein the driver circuit further comprises a setting circuit for receiving the control signal from the control unit and for setting the driver strength of the driver circuit.
6. (Previously Presented) The output driver of claim 1, wherein the control unit further comprises a comparator unit for comparing at least one of the measured output line current and the measured output line potential respectively with at least one of a reference current value and a reference potential value.
7. (Original) The output driver of claim 6, wherein the control unit further comprises an evaluation unit connected to the comparator unit, the evaluation unit configured to change the control signal based upon a result from the comparator unit.
8. (Original) The output driver of claim 7, wherein the evaluation unit comprises a counter.
9. (Original) The output driver of claim 6, wherein the control unit further comprises a multiplexer connected to provide a first reference potential and a second reference potential to the comparator unit.
10. (Original) The output driver of claim 9, wherein the multiplexer selects the first reference potential and the second reference potential supplied to the comparator unit based on the input signal.
11. (Original) The output driver of claim 10, wherein the multiplexer includes an input connected to the input signal of the driver circuit, and wherein the input signal is utilized to determine whether a high level or a low level is to be output by the driver circuit.
12. (Original) The output driver of claim 9, wherein the multiplexer selects the first reference voltage and the second reference voltage supplied to the comparator unit

based on an output signal on the output line.

13. (Original) The output driver of claim 9, wherein the control unit further comprises a voltage divider connected provide a plurality of reference potentials selectable by the multiplexer.

14. (Currently Amended) A method for driving an output driver for an integrated circuit having a driver circuit driving an input signal onto an output line, comprising:

measuring at least one of an output line current and an output line potential; and
controlling a driver strength of the driver circuit to set at least one of the current and the potential in at least one of a specification-prescribed current range and a specification-prescribed potential range, respectively, wherein the driver strength is set such that the potential and the current intensity lie in a lower power range of the specification-prescribed current range and the specification-prescribed potential range, and wherein the driver strength is feedback-controlled based on a measured value provided by the measuring circuit.

15. (Original) The method of claim 14, wherein the driver strength of the driver circuit is controlled in a manner selected from continuously, periodically and in accordance with a setting signal.

16. (Original) The method of claim 14, further comprising:

comparing at least one of the measured output line current and the measured output line potential respectively with at least one of a reference current value and a reference potential value; and

changing a control signal for setting the driver strength supplied to the driver circuit based upon a result from the comparison.

17. (Original) The method of claim 16, further comprising:

determining whether a high level or a low level is to be output by the driver circuit based on the input signal; and

selecting a first reference voltage and a second reference voltage from a plurality of voltage references to be compared against the measured output line potential, the first reference voltage and the second reference voltage selected based on the determination of high level or low level.

18. (Original) An output driver for an integrated circuit, comprising:
a driver means for driving an input signal of the output driver onto an output line;
and
a control means for providing a control signal for setting a driver strength of the driver means to provide at least one of an output line potential and an output line current in a lower power range of a specification-prescribed potential range and a specification-prescribed current range, the control means comprising:
a comparator means for comparing at least one of the output line current and the output line potential respectively with at least one of a reference current value and a reference potential value; and
an evaluation means for changing the control signal based upon a comparison result from the comparator means.

19. (Original) The output driver of claim 18, wherein the control means further comprises:
a multiplexing means connected to provide a first reference voltage and a second reference voltage to the comparator means for the output line potential to be compared;
and
a voltage divider means for providing a plurality of reference voltages for selection by the multiplexing means.

20. (Original) The output driver of claim 19, wherein the multiplexing means includes an input connected to the input signal of the driver circuit, wherein the input signal is utilized to determine whether a high level or a low level is to be output by the driver circuit and wherein the multiplexer selects the first reference voltage and the second reference voltage supplied to the comparator unit based on the input signal.

REMARKS

This is intended as a full and complete response to the Office Action dated March 10, 2006, having a shortened statutory period for response set to expire on June 10, 2006. Please reconsider the claims pending in the application for reasons discussed below.

Claims 1-20 are pending in the application. Claims 1-20 remain pending following entry of this response. Claims 1 and 14 have been amended. Applicants submit that the amendments do not introduce new matter.

Claim Rejections - 35 USC § 102

Claims 1-6 and 14-17 are rejected under 35 U.S.C. 102(b) as being anticipated by *Kajimoto* (US No. 2003/0052369 or DE 10237536 as cited in PTOL 1449).

Applicant respectfully traverses this rejection.

"A claim is anticipated only if each and every element as set forth in the claim is found, either expressly or inherently described, in a single prior art reference." *Verdegaal Bros. v. Union Oil Co. of California*, 814 F.2d 628, 631, 2 USPQ2d 1051, 1053 (Fed. Cir. 1987). "The identical invention must be shown in as complete detail as is contained in the ... claim." *Richardson v. Suzuki Motor Co.*, 868 F.2d 1226, 1236, 9 USPQ2d 1913, 1920 (Fed. Cir. 1989). The elements must be arranged as required by the claim. *In re Bond*, 910 F.2d 831, 15 USPQ2d 1566 (Fed. Cir. 1990).

In this case, *Kajimoto* does not disclose "each and every element as set forth in the claim". For example, *Kajimoto* does not disclose a control unit having a feedback control to affect the setting of the driver strength based on a measured value provided by the measuring circuit. In contrast, *Kajimoto* discloses a feed-forward control circuit for controlling the output potential. Independent claims 1 and 14 have been amended respectively to more clearly recite the feedback-control based on a measured value provided by the measuring circuit.

Therefore, the claims are believed to be in condition for allowance, and allowance of the claims is respectfully requested.

Allowable Subject Matter

Claims 7-13 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims. In view of the arguments presented herein, Applicant believes that all claims are in allowable condition, and thus, claims 7-13 need not be rewritten in independent form.

Claims 18-20 are allowable over the prior art of record.

Conclusion

Having addressed all issues set out in the office action, Applicant respectfully submits that the claims are in condition for allowance and respectfully requests that the claims be allowed.

Respectfully submitted, and
S-signed pursuant to 37 CFR 1.4,

/Gero G. McClellan, Reg. No. 44,227/

Gero G. McClellan

Registration No. 44,227

PATTERSON & SHERIDAN, L.L.P.

3040 Post Oak Blvd. Suite 1500

Houston, TX 77056

Telephone: (713) 623-4844

Facsimile: (713) 623-4846

Attorney for Applicant

Electronic Patent Application Fee Transmittal

Application Number:	10887949			
Filing Date:	09-Jul-2004			
Title of Invention:	Output driver for an integrated circuit and method for driving an output driver			
First Named Inventor:	Rory Dickman			
Filer:	Gero G. McClellan/Joseph Jong			
Attorney Docket Number:	INFN/WB0091			
Filed as Large Entity				
Utility Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Extension - 1 month with \$0 paid	1251	1	120	120

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Total in USD (\$)				120

Electronic Acknowledgement Receipt

EFS ID:	1107791
Application Number:	10887949
Confirmation Number:	5218
Title of Invention:	Output driver for an integrated circuit and method for driving an output driver
First Named Inventor:	Rory Dickman
Customer Number:	46798
Filer:	Gero G. McClellan/Joseph Jong
Filer Authorized By:	Gero G. McClellan
Attorney Docket Number:	INFN/WB0091
Receipt Date:	10-JUL-2006
Filing Date:	09-JUL-2004
Time Stamp:	20:50:12
Application Type:	Utility
International Application Number:	

Payment information:

Submitted with Payment	yes
Payment was successfully received in RAM	\$ 120
RAM confirmation Number	769
Deposit Account	200782

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)	Multi Part	Pages
-----------------	----------------------	-----------	------------------	------------	-------

1	Amendment - After Non-Final Rejection	0091_ROA.pdf	98923	no	7
Warnings:					
Information:					
2	Fee Worksheet (PTO-875)	fee-info.pdf	8172	no	2
Warnings:					
Information:					
Total Files Size (in bytes):			107095		
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.					

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	1361551	driv\$3	USPAT	OR	OFF	2006/07/17 14:47
L2	242424	feedback or (fed adj back)	USPAT	OR	OFF	2006/07/17 14:47
L3	159232	1 and 2	USPAT	OR	OFF	2006/07/17 14:47
L4	36082	(pull adj up) or (pull adj down)	USPAT	OR	OFF	2006/07/17 14:47
L5	8333	3 and 4	USPAT	OR	OFF	2006/07/17 14:48
L6	1189618	measur\$3	USPAT	OR	OFF	2006/07/17 14:48
L7	3578	5 and 6	USPAT	OR	OFF	2006/07/17 14:48
L8	2192429	control\$3	USPAT	OR	OFF	2006/07/17 14:48
L9	3525	7 and 8	USPAT	OR	OFF	2006/07/17 14:52
L10	71460	"327"/\$.ccls. or "326"/\$.ccls.	USPAT	OR	OFF	2006/07/17 14:53
L11	385	9 and 10	USPAT	OR	OFF	2006/07/17 15:04
L12	3230	327/108	USPAT	OR	OFF	2006/07/17 15:04
L13	1161	12 and 2	USPAT	OR	OFF	2006/07/17 15:04
L14	1085	13 and 8	USPAT	OR	OFF	2006/07/17 15:05
L15	1016	14 not 11	USPAT	OR	OFF	2006/07/17 15:49
L16	1559	327/112	USPAT	OR	OFF	2006/07/17 15:50
L17	559	16 and 2	USPAT	OR	OFF	2006/07/17 15:50
L18	243	17 not 15	USPAT	OR	OFF	2006/07/17 15:50
L19	203	18 not 11	USPAT	OR	OFF	2006/07/17 15:56
L20	3467	326/82 or 326/83	USPAT	OR	OFF	2006/07/17 15:57
L21	1077	20 and 2	USPAT	OR	OFF	2006/07/17 15:57
L22	611	21 not 11 not 15 not 18 not 19	USPAT	OR	OFF	2006/07/17 16:11
L23	1202	326/85 or 326/87	USPAT	OR	OFF	2006/07/17 16:11
L24	386	23 and 2	USPAT	OR	OFF	2006/07/17 16:11
L25	62	24 not 20 not 12 not 16	USPAT	OR	OFF	2006/07/17 16:18
L26	104	(driv\$3 same measur\$3 same control\$4 same feedback).clm.	US-PGPUB	OR	OFF	2006/07/17 17:11
L27	0	((driv\$3 adj trength) same measur\$3 same control\$4 same feedback).clm.	US-PGPUB	OR	OFF	2006/07/17 17:21
L28	0	((driv\$3 adj strength) same measur\$3 same control\$4 same feedback).clm.	US-PGPUB	OR	OFF	2006/07/17 17:08
L29	0	(driv\$3 same ((feedback adj control\$4) near3 (measur\$3 adj value))).clm.	US-PGPUB	OR	OFF	2006/07/17 17:10
L30	2	(driv\$3 same control\$4 same comparat\$3 same reference same evaluation).clm.	US-PGPUB	OR	OFF	2006/07/17 17:22



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

46798 7590 07/21/2006

PATTERSON & SHERIDAN, LLP
Gero McClellan / Infineon Technologies
3040 POST OAK BLVD.,
SUITE 1500
HOUSTON, TX 77056

EXAMINER

TON, MY TRANG

ART UNIT

PAPER NUMBER

2816

DATE MAILED: 07/21/2006

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/887,949	07/09/2004	Rory Dickman	INFN/WB0091	5218
TITLE OF INVENTION: OUTPUT DRIVER FOR AN INTEGRATED CIRCUIT AND METHOD FOR DRIVING AN OUTPUT DRIVER				

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1400	\$300	\$0	\$1700	10/23/2006

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail** Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
 or **Fax** (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

46798 7590 07/21/2006
PATTERSON & SHERIDAN, LLP
Gero McClellan / Infineon Technologies
3040 POST OAK BLVD.,
SUITE 1500
HOUSTON, TX 77056

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

10/887,949 07/09/2004 Rory Dickman INFN/WB0091 5218

TITLE OF INVENTION: OUTPUT DRIVER FOR AN INTEGRATED CIRCUIT AND METHOD FOR DRIVING AN OUTPUT DRIVER

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
-------------	--------------	---------------	---------------------	----------------------	------------------	----------

nonprovisional NO \$1400 \$300 \$0 \$1700 10/23/2006

EXAMINER	ART UNIT	CLASS-SUBCLASS
----------	----------	----------------

TON, MY TRANG 2816 327-108000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

- (1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
- (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
 2 _____
 3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

- ☐ Issue Fee
- ☐ Publication Fee (No small entity discount permitted)
- ☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

- ☐ A check is enclosed.
- ☐ Payment by credit card. Form PTO-2038 is attached.
- ☐ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- ☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____

Date _____

Typed or printed name _____

Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/887,949	07/09/2004	Rory Dickman	INFN/WB0091	5218
46798	7590	07/21/2006	EXAMINER	
PATTERSON & SHERIDAN, LLP Gero McClellan / Infineon Technologies 3040 POST OAK BLVD., SUITE 1500 HOUSTON, TX 77056			TON, MY TRANG	
			ART UNIT	PAPER NUMBER
			2816	
DATE MAILED: 07/21/2006				

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)

(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 0 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 0 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Notice of Allowability

Application No.

10/887,949

Examiner

My-Trang N. Ton

Applicant(s)

DICKMAN, RORY

Art Unit

2816

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to Tel. Int. 07/18/06.
2. ☒ The allowed claim(s) is/are 1-20.
3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) ☒ All b) ☐ Some* c) ☐ None of the:
 1. ☒ Certified copies of the priority documents have been received.
 2. ☐ Certified copies of the priority documents have been received in Application No. _____.
 3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

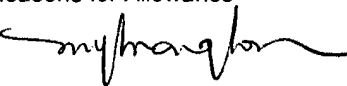
Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.

THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
 5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
 - (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.
- Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3. ☐ Information Disclosure Statements (PTO-1449 or PTO/SB/08), Paper No./Mail Date _____
4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
5. ☐ Notice of Informal Patent Application (PTO-152)
6. ☒ Interview Summary (PTO-413), Paper No./Mail Date 07/18/06.
7. ☒ Examiner's Amendment/Comment
8. ☒ Examiner's Statement of Reasons for Allowance
9. ☐ Other _____


MY-TRANG NUTON
PRIMARY EXAMINER

EXAMINER'S AMENDMENT

An examiner's amendment to the record appears below. Should the changes and/or additions be unacceptable to applicant, an amendment may be filed as provided by 37 CFR 1.312. To ensure consideration of such an amendment, it **MUST** be submitted no later than the payment of the issue fee.

Authorization for this examiner's amendment was given in a telephone interview with Att. McClellan on July 18, 2006.

The application has been amended as follows:

In claim 14, last line, replace "the" with – a --.

Reasons for allowance

The following is an examiner's statement of reasons for allowance:

None of the prior art disclosed or suggested to show the particular structure and/or the particular operation recited in these claims namely: "the control unit includes a feedback control to affect the setting of the driver strength based on a measured value provided by the measuring circuit" in combination with "a driver circuit" and "a measuring circuit" as recited in claim 1; "the driver strength is feedback-controlled based on a measured value provided by a measuring circuit" in combination with "measuring" and "controlling" method steps as recited in claim 14; the details of "control means" in combination with "a driver means" as recited in claim 18.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably

Art Unit: 2816

accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Any inquiry concerning this communication or earlier communications from the examiner should be directed to My-Trang N. Ton whose telephone number is 571-272-1754. The examiner can normally be reached on 7:00 a.m - 5:30 p.m.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Timothy Callahan can be reached on 571-272-1740. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

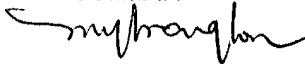
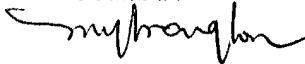
Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.


My-Trang N. Ton
Primary Examiner
Art Unit 2816

July 18, 2006

Issue Classification 	Application/Control No.	Applicant(s)/Patent under Reexamination	
	10/887,949	DICKMAN, RORY	
	Examiner	Art Unit	
	My-Trang N. Ton	2816	

ISSUE CLASSIFICATION									
ORIGINAL					CROSS REFERENCE(S)				
CLASS		SUBCLASS			CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)			
327		108			327	112			
INTERNATIONAL CLASSIFICATION									
H	0	3	K	3/00					
				/					
				/					
				/					
				/					

(Assistant Examiner) (Date)		MY-TRANG NUTON PRIMARY EXAMINER  (Primary Examiner)		Total Claims Allowed: 20 <table border="1"> <tr> <td>O.G. Print Claim(s)</td> <td>O.G. Print Fig.</td> </tr> <tr> <td>1</td> <td>1</td> </tr> </table>		O.G. Print Claim(s)	O.G. Print Fig.	1	1
O.G. Print Claim(s)	O.G. Print Fig.								
1	1								
 (Legal Instruments Examiner) (Date)		 (Primary Examiner) (Date)							

☒ Claims renumbered in the same order as presented by applicant										☐ CPA		☐ T.D.		☐ R.1.47	
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		31		61		91		121		151		181		
	2		32		62		92		122		152		182		
	3		33		63		93		123		153		183		
	4		34		64		94		124		154		184		
	5		35		65		95		125		155		185		
	6		36		66		96		126		156		186		
	7		37		67		97		127		157		187		
	8		38		68		98		128		158		188		
	9		39		69		99		129		159		189		
	10		40		70		100		130		160		190		
	11		41		71		101		131		161		191		
	12		42		72		102		132		162		192		
	13		43		73		103		133		163		193		
	14		44		74		104		134		164		194		
	15		45		75		105		135		165		195		
	16		46		76		106		136		166		196		
	17		47		77		107		137		167		197		
	18		48		78		108		138		168		198		
	19		49		79		109		139		169		199		
	20		50		80		110		140		170		200		
	21		51		81		111		141		171		201		
	22		52		82		112		142		172		202		
	23		53		83		113		143		173		203		
	24		54		84		114		144		174		204		
	25		55		85		115		145		175		205		
	26		56		86		116		146		176		206		
	27		57		87		117		147		177		207		
	28		58		88		118		148		178		208		
	29		59		89		119		149		179		209		
	30		60		90		120		150		180		210		

Search Notes

Application/Control No.

10/887,949

Examiner

My-Trang N. Ton

Applicant(s)/Patent under
Reexamination

DICKMAN, RORY

Art Unit

2816

SEARCHED

Class	Subclass	Date	Examiner
327	update	7/17/2006	MT
326	searches		

INTERFERENCE SEARCHED

Class	Subclass	Date	Examiner
see print out		7/17/2006	MT

**SEARCH NOTES
(INCLUDING SEARCH STRATEGY)**

	DATE	EXMR
East searches (see print out)	7/17/2006	MT

Index of Claims



Application/Control No.

10/887,949

Examiner

My-Trang N. Ton

Applicant(s)/Patent under Reexamination

DICKMAN, RORY

Art Unit

2816

✓	Rejected
=	Allowed

—	(Through numeral) Cancelled
÷	Restricted

N	Non-Elected
I	Interference

A	Appeal
O	Objected

Claim		Date			
Final	Original				
	7/18/06				
	1				
	2				
	3				
	4				
	5				
	6				
	7				
	8				
	9				
	10				
	11				
	12				
	13				
	14				
	15				
	16				
	17				
	18				
	19				
	20				
	21				
	22				
	23				
	24				
	25				
	26				
	27				
	28				
	29				
	30				
	31				
	32				
	33				
	34				
	35				
	36				
	37				
	38				
	39				
	40				
	41				
	42				
	43				
	44				
	45				
	46				
	47				
	48				
	49				
	50				

Claim		Date			
Final	Original				
	51				
	52				
	53				
	54				
	55				
	56				
	57				
	58				
	59				
	60				
	61				
	62				
	63				
	64				
	65				
	66				
	67				
	68				
	69				
	70				
	71				
	72				
	73				
	74				
	75				
	76				
	77				
	78				
	79				
	80				
	81				
	82				
	83				
	84				
	85				
	86				
	87				
	88				
	89				
	90				
	91				
	92				
	93				
	94				
	95				
	96				
	97				
	98				
	99				
	100				

Claim		Date			
Final	Original				
	101				
	102				
	103				
	104				
	105				
	106				
	107				
	108				
	109				
	110				
	111				
	112				
	113				
	114				
	115				
	116				
	117				
	118				
	119				
	120				
	121				
	122				
	123				
	124				
	125				
	126				
	127				
	128				
	129				
	130				
	131				
	132				
	133				
	134				
	135				
	136				
	137				
	138				
	139				
	140				
	141				
	142				
	143				
	144				
	145				
	146				
	147				
	148				
	149				
	150				

PATENT APPLICATION FEE DETERMINATION RECORD
Effective December 8, 2004

Application or Docket Number

10/887949

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS		
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	minus 20=	*
INDEPENDENT CLAIMS	minus 3 =	*
MULTIPLE DEPENDENT CLAIM PRESENT ☐		

* If the difference in column 1 is less than zero, enter "0" in column 2

CLAIMS AS AMENDED - PART II

	(Column 1)	(Column 2)	(Column 3)
AMENDMENT A	7/20/06	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR
Total	20	Minus	** 20 =
Independent	3	Minus	*** 3 =
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐			

SMALL ENTITY TYPE ☐

OR OTHER THAN SMALL ENTITY

RATE	FEE		RATE	FEE
BASIC FEE		OR	BASIC FEE	
X\$ 25=		OR	X\$50=	
X100=		OR	X200=	
+180=		OR	+360=	
TOTAL		OR	TOTAL	

SMALL ENTITY

OR OTHER THAN SMALL ENTITY

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X\$ 25=		OR	X\$50=	
X100=		OR	X200=	
+180=		OR	+360=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

	(Column 1)	(Column 2)	(Column 3)
AMENDMENT B		CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR
Total	*	Minus	**
Independent	*	Minus	***
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐			

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X\$ 25=		OR	X\$50=	
X100=		OR	X200=	
+180=		OR	+360=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

	(Column 1)	(Column 2)	(Column 3)
AMENDMENT C		CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR
Total	*	Minus	**
Independent	*	Minus	***
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐			

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X\$ 25=		OR	X\$50=	
X100=		OR	X200=	
+180=		OR	+360=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

- * If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
- ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
- *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
- The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov



Bib Data Sheet

CONFIRMATION NO. 5218

SERIAL NUMBER 10/887,949	FILING OR 371(c) DATE 07/09/2004 RULE	CLASS 327	GROUP ART UNIT 2816	ATTORNEY DOCKET NO. INFN/WB0091
APPLICANTS Rory Dickman, Regensburg, GERMANY; ** CONTINUING DATA ***** ** FOREIGN APPLICATIONS ***** GERMANY DE 103 31 607.8 07/12/2003 IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** 08/23/2004				
Foreign Priority claimed ☒ yes ☐ no 35 USC 119 (a-d) conditions met ☒ yes ☐ no ☐ Met after Allowance Verified and Acknowledged ☒ M Examiner's Signature Initials		STATE OR COUNTRY GERMANY	SHEETS DRAWING 2	TOTAL CLAIMS 20
			INDEPENDENT CLAIMS 3	
ADDRESS 46798				
TITLE Output driver for an integrated circuit and method for driving an output driver				
FILING FEE RECEIVED 900	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:		☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit	

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

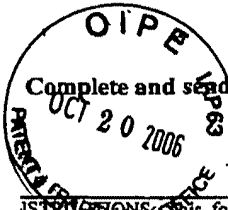
PATENT APPLICATION FEE DETERMINATION RECORD						Application or Docket Number 10/89949			
Substitute for Form PTO-875									
APPLICATION AS FILED – PART I									
(Column 1)		(Column 2)		SMALL ENTITY		OR OTHER THAN SMALL ENTITY			
FOR	NUMBER FILED	NUMBER EXTRA		RATE (\$)	FEE (\$)	RATE (\$)	FEE (\$)		
BASIC FEE (37 CFR 1.16(a), (b), or (c))									
SEARCH FEE (37 CFR 1.16(k), (l), or (m))									
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))									
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*		X	=	X	=		
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*		X	=	X	=		
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).								
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))									
* If the difference in column 1 is less than zero, enter "0" in column 2.				TOTAL		TOTAL			
APPLICATION AS AMENDED – PART II									
(Column 1)		(Column 2)		(Column 3)		SMALL ENTITY		OR OTHER THAN SMALL ENTITY	
AMENDMENT A		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X	=	X	=
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X	=	X	=
	Application Size Fee (37 CFR 1.16(s))								
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))								
(Column 1)		(Column 2)		(Column 3)		SMALL ENTITY		OR OTHER THAN SMALL ENTITY	
AMENDMENT B		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X	=	X	=
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X	=	X	=
	Application Size Fee (37 CFR 1.16(s))								
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))								
(Column 1)		(Column 2)		(Column 3)		SMALL ENTITY		OR OTHER THAN SMALL ENTITY	
						TOTAL ADD'L FEE		TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
 ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
 *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
 The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PART B - FEE(S) TRANSMITTAL



Complete and send this form, together with applicable fee(s), to: **Mail** Mail Stop ISSUE FEE
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 or **Fax** (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed when appropriate. Further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address.)

46798 7590 07/21/2006

PATTERSON & SHERIDAN, LLP
 Gero McClellan / Infineon Technologies
 3048 POST OAK BLVD.,
 SUITE 1500
 HOUSTON, TX 77056

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

Joseph Jong (Depositor's name)
 (Signature)
 October 20, 2006 (Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/887,949	07/09/2004	Rory Dickman	INFN/WB0091	5218

TITLE OF INVENTION: OUTPUT DRIVER FOR AN INTEGRATED CIRCUIT AND METHOD FOR DRIVING AN OUTPUT DRIVER

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1400	\$300	\$0	\$1700	10/23/2006
EXAMINER	ART UNIT	CLASS-SUBCLASS				
TON, MY TRANG	2816	327-108000				

Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.

2. For printing on the patent front page, list
 (1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
 (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 Patterson & Sheridan, L.L.P.
 2
 3

ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

INFINEON TECHNOLOGIES AG

MUNICH, GERMANY

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

The following fee(s) are submitted:

☒ Issue Fee \$1400
☒ Publication Fee (No small entity discount permitted) \$300
☐ Advance Order - # of Copies

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

☐ A check is enclosed. Dep. Acct. No. 20-0782 / INFNWB 0091 / GGM
☐ Payment by credit card. Form PTO-2038 is attached.
☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 20-0782 (enclose an extra copy of this form).

Change in Entity Status (from status indicated above)

☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature

Date

October 20, 2006

Typed or printed name

Joseph M. Jong

Registration No.

42,698

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATTERSON &
SHERIDAN, LLP

ATTORNEYS AT LAW



3040 Post Oak Blvd, Suite 1500

Houston, TX 77056-6582

TEL 713.623.4844

FAX 713.623.4846

FACSIMILE COVER SHEET

October 20, 2006

FILE NO: INFN/WB0091 (INF 2434-US)

TO: **Mail Stop ISSUE FEE**
Commissioner for Patents, USPTO

FAX NO: 1-571-273-2885

FROM: Gero G. McClellan / Joseph M. Jong

PAGE(S) with cover: 3

ORIGINAL TO FOLLOW?

☐ YES ☒ NO

RE:

TITLE: OUTPUT DRIVER FOR AN INTEGRATED CIRCUIT AND
METHOD FOR DRIVING AN OUTPUT DRIVER

U.S. SERIAL NO.: 10/887,949

FILING DATE: July 9, 2004

INVENTOR: Rory Dickman

EXAMINER: My Trang Ton

ART UNIT: 2816

CONF. NO.: 5218

Attached are:

1. Part B - Fee(s) Transmittal for Application No. 10/887,949
2. Copy for charge to Deposit Account No. 20-0782 / INFN/WB0091 / GGM

CONFIDENTIALITY NOTE

The document accompanying this facsimile transmission contains information from the law firm of Patterson & Sheridan, L.L.P. which is confidential or privileged. The information is intended to be for the use of the individual or entity named on this transmission sheet. If you are not the intended recipient, be aware that any disclosure, copying, distribution or use of the contents of this faxed information is prohibited. If you have received this facsimile in error, please notify us by telephone immediately so that we can arrange for the retrieval of the original documents at no cost to you.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/887,949	12/05/2006	7145369	INFN/WB0091	5218

46798 7590 11/15/2006
PATTERSON & SHERIDAN, LLP
Gero McClellan / Infineon Technologies
3040 POST OAK BLVD.,
SUITE 1500
HOUSTON, TX 77056

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571) 272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at (703) 305-8283.

APPLICANT(s) (up to 18 names are included below, see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Rory Dickman, Regensburg, GERMANY;



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/887,949	12/05/2006	7145369	INFN/WB0091	5218

46798 7590 11/15/2006
PATTERSON & SHERIDAN, LLP
Gero McClellan / Infineon Technologies
3040 POST OAK BLVD.,
SUITE 1500
HOUSTON, TX 77056

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571) 272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at (703) 305-8283.

APPLICANT(s) (up to 18 names are included below, see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Rory Dickman, Regensburg, GERMANY;

AO 120 (Rev. 08/10)

TO: Mail Stop 8 Director of the U.S. Patent and Trademark Office P.O. Box 1450 Alexandria, VA 22313-1450	REPORT ON THE FILING OR DETERMINATION OF AN ACTION REGARDING A PATENT OR TRADEMARK
---	---

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been
filed in the U.S. District Court _____ the District of Delaware _____ on the following

☐ Trademarks or ☒ Patents. (☐ the patent action involves 35 U.S.C. § 292.):

DOCKET NO.	DATE FILED 2/8/2022	U.S. DISTRICT COURT the District of Delaware
PLAINTIFF Polaris Innovations Limited		DEFENDANT Xilinx, Inc.
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1 6,157,589	12/5/2000	Polaris Innovations Limited
2 7,145,369	12/5/2006	Polaris Innovations Limited
3 7,532,523	5/12/2009	Polaris Innovations Limited
4 6,702,473	3/2/2004	Polaris Innovations Limited
5		

In the above—entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED	INCLUDED BY ☐ Amendment ☐ Answer ☐ Cross Bill ☐ Other Pleading	
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1		
2		
3		
4		
5		

In the above—entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT

CLERK	(BY) DEPUTY CLERK	DATE
-------	-------------------	------

Copy 1—Upon initiation of action, mail this copy to Director Copy 3—Upon termination of action, mail this copy to Director
Copy 2—Upon filing document adding patent(s), mail this copy to Director Copy 4—Case file copy