

99113048.5 - 1806 / 0969475

30.01.14

Client Database System (CDS) - Datenabgleich

Anmeldung Nr.: 99113048.5

Im Rahmen des Projekts "Abgleich von Kundendaten in der EPA Datenbank (CDS)" wurden Angaben zum Namen bzw. zur Adresse des/der **Anmeldervertreter (Zusammenschluss)** wie folgt geändert:

Epping - Hermann - Fischer
Patentanwalts-gesellschaft mbH
Schloßschmidstraße 5
80639 München
DE

Falls erforderlich, werden geänderte Daten in das europäische Patentregister übertragen.

Information erhalten Sie von der Abteilung "Client Data Registration" im Europäischen Patentamt - München unter der Rufnummer +49 (0)89 2399 2780.



Europäisches Patentamt
80298 MÜNCHEN
DEUTSCHLAND
Tel.: +49 89 2399 - 0
Fax: +49 89 2399 - 4465

Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Epping - Hermann - Fischer
Ridlerstrasse 55
80339 München
ALLEMAGNE



Formalsachbearbeiter

Name: Sportellini

Tel.: 7647

Datum
20.06.07

Zeichen 1998P 1989 EP N	Anmeldung Nr./Patent Nr. 99113048.5 - 2210 / 0969475
Anmelder/Patentinhaber Infineon Technologies AG	

Mitteilung über den Ablauf der Frist zur Einlegung eines Einspruches

Hiermit teilen wir Ihnen mit, dass bis zum Ablauf der Frist von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents Nr. 0969475 kein Einspruch zu den Akten gelangt ist.

Eine entsprechende Eintragung erfolgt im europäischen Patentregister.

Prüfungsabteilung



EPPU 02: 16.08.06 2210



✉ EPA/EPO/OEB
D-80298 München
☎ +49 89 2399 - 0
FAX +49 89 2399 - 4465

**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Generaldirektion 2

Directorate General 2

Direction Générale 2

Epping - Hermann - Fischer
Ridlerstrasse 55
80339 München
ALLEMAGNE



Formalsachbearbeiter

Name:

Tel.:

Datum

20.07.06

Zeichen
1998P 1989 EP N

Anmeldung Nr./Patent Nr.
99113048.5 - 2210 / 0969475

Anmelder/Patentinhaber
Infineon Technologies AG

Entscheidung über die Erteilung eines Europäischen Patents gemäss Art. 97(2) EPÜ

Nach Prüfung der europäischen Patentanmeldung Nr. 99113048.5 wird für die benannten Vertragsstaaten ein europäisches Patent mit der Bezeichnung und mit den Unterlagen erteilt, die in der gemäß Regel 51(4) EPÜ ergangenen Mitteilung vom 17.03.06 aufgeführt sind.

Patentnummer : 0969475
Anmeldetag : 30.06.99
Beanspruchte Priorität : 30.06.98/DE 19829287

Benannte Vertragsstaaten
und Patentinhaber : DE FR GB IE IT
Infineon Technologies AG
St.-Martin-Strasse 53
81669 München/DE

Die Entscheidung wird an dem Tag wirksam, an dem im Europäischen Patentblatt auf die Erteilung hingewiesen worden ist (Art. 97(4) und (5) EPÜ).

Der Hinweis über die Erteilung wird im Europäischen Patentblatt 06/33 am 16.08.06 bekanntgemacht.

Prüfungsabteilung

Operti A

Harms J

Gärtner W



Einschreiben

EPA Form 2006A 07.02 14.07.06

zur Poststelle am: 14.07.06

ANMERKUNG ZUR ENTSCHEIDUNG ÜBER DIE ERTEILUNG
EINES EUROPÄISCHEN PATENTS (EPA Form 2006)

1. **EPA Informationsbroschüre "Nationales Recht zum EPÜ"**

Diese Broschüre enthält nützliche Informationen zu den formalen Erfordernissen und den Handlungen, die vor den Patentbehörden der Vertragsstaaten vorzunehmen sind, um Rechte in diesen Staaten zu erlangen. Da diese Handlungen einem ständigen Wandel unterworfen sind, sollte immer nur die neueste Ausgabe der Broschüre benutzt werden. Nachträgliche Informationen werden im Amtsblatt veröffentlicht.

2. **Übersetzung der europäischen Patentschrift nach Artikel 65(1) des Europäischen Patentübereinkommens**

Sie werden erneut darauf hingewiesen, dass bestimmte Vertragsstaaten nach Artikel 65(1) EPÜ eine Übersetzung der europäischen Patentschrift verlangen; hierauf wird in der Mitteilung gemäss Regel 51(6) verwiesen. **Die Nichteinreichung dieser Übersetzung kann zur Folge haben, dass das Patent in dem betreffenden Staat/in den betreffenden Staaten als von Anfang an nicht eingetreten gilt.** Weitere Einzelheiten entnehmen Sie bitte der oben genannten Broschüre.

3. **Zahlung von Jahresgebühren für europäische Patente**

Nach Artikel 141 EPU können "nationale" Jahresgebühren für das europäische Patent für die Jahre erhoben werden, die an das Jahr anschliessen, in dem der Hinweis auf die Erteilung des europäischen Patents im "Europäischen Patentblatt" bekanntgemacht wird. Weitere Einzelheiten entnehmen Sie bitte der oben genannten Broschüre.

NOTE RELATING TO THE DECISION TO GRANT A
EUROPEAN PATENT (EPO Form 2006)

1. **EPO Information Brochure "National law relating to the EPC".**

This brochure provides useful information regarding formal requirements and the steps to be taken before the patent authorities of the Contracting States in order to acquire rights in those states. Since the necessary steps are subject to change the latest edition of the brochure should always be used. Subsequent information is published in the Official Journal.

2. **Translation of the European patent specification under Article 65(1) of the European Patent Convention**

Your attention is again drawn to the requirements regarding translation of the European patent specification laid down by a number of Contracting States under Article 65(1) EPC, to which reference is made in the communication under Rule 51(6). **Failure to supply such translation(s) may result in the patent being deemed to be void "ab initio" in the State(s) in question.** For further details you are recommended to consult the above-mentioned brochure.

3. **Payment of renewal fees for European patents**

Under Article 141 EPC "national" renewal fees in respect of a European patent may be imposed for the years which follow that in which the mention of the grant of the European patent is published in the "European Patent Bulletin". For further details you are recommended to consult the above-mentioned brochure.

REMARQUE RELATIVE A LA DECISION DE DELIVRANCE
D'UN BREVET EUROPEEN (OEB Form 2006)

1. **Brochure d'information de l'OEB "Droit national relatif à la CBE"**

Cette brochure fournit d'utiles renseignements sur les conditions de forme requises et sur les actes à accomplir auprès des offices de brevet des Etats contractants aux fins d'obtenir des droits dans les Etats contractants. Etant donné que les actes indispensables sont susceptibles de modifications, il serait bon de toujours consulter la dernière édition de la brochure. Toute information ultérieure est publiée au Journal Officiel.

2. **Traduction du fascicule du brevet européen en vertu de l'article 65(1) de la Convention sur le brevet européen**

Votre attention est de nouveau attirée sur l'obligation faite par certains Etats contractants, en vertu de l'article 65(1) CBE, de fournir une traduction du fascicule du brevet européen, à laquelle il est fait référence dans la notification établie conformément à la règle 51(6). **Si la(les) traduction(s) n'est(ne sont) pas fournie(s), le brevet européen peut, dès l'origine, être réputé sans effet dans cet(ces) Etat(s).** Pour plus de détails, nous vous renvoyons à la brochure susmentionnée.

3. **Paiement des taxes annuelles pour le brevet européen**

Conformément à l'article 141 CBE, les taxes annuelles "nationales" dues au titre du brevet européen peuvent être perçues pour les années suivant celle au cours de laquelle la mention de la délivrance du brevet européen est publiée au "Bulletin européen des brevets". Pour plus de détails, nous vous renvoyons à la brochure susmentionnée.

Patent Claims

1. Dynamic semiconductor memory device of the random access type (DRAM/SDRAM) having an initialization circuit which controls the switch-on operation of the semiconductor memory device and of its circuit components and supplies a supply voltage stable signal (POWERON) once the supply voltage has been stabilized after the switch-on of the semiconductor memory device, the initialization circuit having an enable circuit (9), which is assigned to the supply voltage stable signal (POWERON) and to further command signals (PRE, ARF, MRS) externally applied to the semiconductor memory device and supplies an enable signal (CHIPREADY) after the identification of a predetermined proper initialization sequence of the command signals (PRE, ARF, MRS) applied to the semiconductor memory device, which enable signal effects the unlatching of a control circuit (13) provided for the proper operation of the semiconductor memory device, characterized in that the command signals (PRE, ARF, MRS) - externally applied to the semiconductor memory device - of the initialization sequence to be identified by the enable circuit (9) have the preparation command for word line activation (PRECHARGE), and/or the refresh command (AUTOREFRESH), and/or the loading configuration register command (MODE-REGISTER-SET).
2. Semiconductor memory device according to Claim 1, characterized in that the enable circuit (9) has at least one bistable multivibrator stage (14, 15, 16) with a set input (S), to which a command signal (PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET) is applied, a reset input (R), to which the supply voltage stable signal (POWERON) or a signal derived therefrom or a linked signal is applied, and with an output (Q), at which the enable signal (CHIPREADY) (9) is derived.

3. Semiconductor memory device according to Claim 2,
characterized in that the enable circuit (9) has a
plurality of bistable multivibrator stages (14, 15, 16)
respectively assigned to a command signal (PRE, ARF,
5 MRS).

4. Semiconductor memory device according to Claim 2
or 3,
characterized in that the output (Q) of at least one of
10 the bistable multivibrator stages (14) is passed to a
reset input of a further multivibrator stage (15).

5. Semiconductor memory device according to Claims 3
or 4,
15 characterized in that, in one of the bistable
multivibrator stages (15), the supply voltage stable
signal (POWERON) and the signal output from the output
(Q) of a further multivibrator stage (14) are passed,
after having been logically combined by means of a gate
20 (17), to the reset input (R) of the multivibrator stage
(15).

6. Semiconductor memory device according to one of
Claims 3 to 5,
25 characterized in that the bistable multivibrator stage
(14, 15, 16) is in each case formed by an RS flip-flop
constructed from at least two NOR or NAND gates (14A,
14B, 15A, 17, 16A, 16B).

30 7. Semiconductor memory device according to one of
Claims 1 to 6,
characterized in that the initialization sequence which
is identified as a proper initialization sequence by
the enable circuit (9) and triggers the enable signal
35 (CHIPREADY) constitutes a command sequence conforming
to the JEDEC standard.

8. Semiconductor memory device according to one of
Claims 1 to 7,

characterized in that the output drivers of the semiconductor memory device remain latched during the switch-on operation until the outputting of the enable signal (CHIPREADY) supplied by the enable circuit (9).

5

9. Semiconductor memory device according to one of Claims 1 to 8,

characterized in that a proper initialization sequence which effects the triggering of an enable signal (CHIPREADY) comprises the following chronologically successive command sequences:

10

a) firstly PRE, secondly ARF, thirdly MRS, or

b) firstly PRE, secondly MRS, thirdly ARF, or

c) firstly MRS, secondly PRE, or thirdly ARF,

15

where the abbreviations designate the following commands:

PRE = preparation command for word line activation (PRECHARGE)

ARF = refresh command (AUTOREFRESH), and

20

MRS = loading configuration register command (MODE-REGISTER-SET).

10. Method for initializing a dynamic semiconductor memory device of the random access type (DRAM/SDRAM) by means of an initialization circuit which controls the switch-on operation of the semiconductor memory device and of its circuit components and supplies a supply voltage stable signal (POWERON) once the supply voltage has been stabilized after the switch-on of the semiconductor memory device,

30

the initialization circuit supplying an enable signal (CHIPREADY) by means of an enable circuit (9), which is assigned to the supply voltage stable signal (POWERON) and to further command signals (PRE, ARF, MRS) externally applied to the semiconductor memory device, after the identification of a predetermined proper initialization sequence of the command signals applied to the semiconductor memory device, which enable signal effects the unlatching of the control circuit (13)

35

provided for the proper operation of the semiconductor memory device,
characterized in that the command signals (PRE, ARF, MRS) - externally applied to the semiconductor memory
5 device - of the initialization sequence to be identified by the enable circuit (9) have the preparation command for word line activation (PRE-CHARGE), and/or the refresh command (AUTOREFRESH), and/or the loading configuration register command
10 (MODE-REGISTER-SET).

11. Method according to Claim 10,
characterized in that the output drivers of the semiconductor memory device remain latched during the
15 switch-on operation until the outputting of the enable signal (CHIPREADY) supplied by the enable circuit (9)



EPPING · HERMANN · FISCHER · Ridlerstr. 55 · D-80339 München

Europäisches Patentamt
80298 München

EPO - Munich
77
04. Juli 2006

Ihr Zeichen:

Unser Zeichen:
1998P1989 EP N

München,
30. Juni 2006
(CL/RP)

EP-Patentanmeldung Nr. 99113048.5-2210
Anmelder: Infineon Technologies AG
Mitteilung vom 17. März 2006

Zur Kasse

Hiermit wird gemäß Regel 51 (4) EPÜ das Einverständnis zu der von der Prüfungsabteilung vorgeschlagenen Fassung zur Erteilung eines Patents mitgeteilt.

Ferner werden als Anlage die englische und die französische Übersetzung der Patentansprüche eingereicht.

Die Erteilungsgebühr bitten wir von unserem laufenden Konto Nr. 2800 0973 abzubuchen.

Ferner wird beantragt, dass zusammen mit der Urkunde über das europäische Patent eine Kopie der Patentschrift an uns übermittelt wird.

EPPING HERMANN FISCHER
Patentanwaltsgesellschaft mbH

Volker Fischer
European Patent Attorney
Zusammenschluss Nr. 175
Allg. Vollmacht Nr. 42494

Anlagen

Abbuchungsauftrag
Englische und französische Übersetzung der Patentansprüche

Patentanwälte
European Patent Attorneys
European Trademark Attorneys
European Design Attorneys

BÜRO MÜNCHEN
Ridlerstraße 55
D - 80339 München
Fon +49 89 50 03 29 - 0
Fax +49 89 50 03 29 - 99

BÜRO REGENSBURG
Galgenbergstraße 2b
D - 93053 Regensburg
Fon +49 941 70 54 99 - 0
Fax +49 941 70 54 99 - 9

BRIEFADRESSE
Postfach 200734
D - 80007 München

E-MAIL
info@ehf-patent.com

BANK
HypoVereinsbank München
Kontonummer 383 89 530
Bankleitzahl 700 202 70

GESCHÄFTSFÜHRER
Dr.-Ing. Wilhelm Epping
Dipl.-Ing. Uwe Hermann
Dipl.-Ing. Volker Fischer
Dipl.-Phys. Richard Schachtner
Dipl.-Ing. Alwin Rietzler
Dr.rer.nat. Michael Lettenberger

VAT DE227365227
Steuernummer 810/33160
Amtsgericht München
HRB 148733

www.ehf-patent.com

Revendications

1. Dispositif de mémorisation dynamique à semi-conducteur du type à accès optionnel (DRAM/SDRAM), comportant un circuit d'initialisation qui commande le processus de connexion du
5 dispositif de mémorisation à semi-conducteur et de ses parties constitutives de circuit et qui fournit un signal stable de tension d'alimentation (POWERON) une fois que la tension d'alimentation est stabilisée après la connexion du dispositif de mémorisation à semi-conducteur,
10 le circuit d'initialisation comportant un circuit de libération (9), qui est associé au signal stable de tension d'alimentation (POWERON) et à d'autres signaux de commande (PRE, ARF, MRS) appliqués de l'extérieur au dispositif de mémorisation à semi-conducteur et qui fournit, après détection
15 d'une suite d'initialisation ordonnée prédéterminée des signaux de commande (PRE, ARF, MRS) appliqués au dispositif de mémorisation à semi-conducteur, un signal de libération (CHIPREADY), qui provoque le déverrouillage d'un circuit de commande (13) prévu pour faire fonctionner correctement le
20 dispositif de mémorisation à semi-conducteur,
caractérisé en ce que les signaux de commande (PRE, ARF, MRS), appliqués de l'extérieur au dispositif de mémorisation à semi-conducteur, de la suite d'initialisation détectée par le circuit de libération (9) comportent la commande de
25 préparation de l'activation de la ligne de mot (PRECHARGE), et/ou la commande de rafraîchissement (AUTOREFRESH) et/ou la commande de registre de configuration de charge (MODE-REGISTER-SET).
2. Dispositif de mémorisation à semi-conducteur selon la

- revendication 1, caractérise en ce que le circuit de libération (9) comporte au moins un étage de bascule bistable (14, 15, 16), qui comporte une entrée de positionnement (S), à laquelle est appliquée un signal de commande (PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET), une entrée de réinitialisation (R), à laquelle est appliqué le signal stable de tension d'alimentation (POWERON) ou un signal combiné ou dérivé de celui-ci, et une sortie (Q) sur laquelle est prélevé le signal de libération (CHIPREADY) (9).
3. Dispositif de mémorisation à semi-conducteur selon la revendication 2, caractérisé en ce que le circuit de libération (9) comporte plusieurs étages de bascules bistable (14, 15, 16) associés chacun à un signal de commande (PRE, ARF, MRS).
4. Dispositif de mémorisation à semi-conducteur selon la revendication 2 ou 3, caractérisé en ce que la sortie (Q) de l'au moins un des étages de bascule bistable (14) est amenée à une entrée de repositionnement d'un autre étage de bascule bistable (15).
5. Dispositif de mémorisation à semi-conducteur selon la revendication 3 ou 4, caractérisé en ce que, dans l'un des étages de bascule bistable (15), le signal stable de tension d'alimentation (POWERON) et le signal délivré par la sortie (Q) d'un autre étage de bascule bistable (14) sont amenés à l'entrée de repositionnement (R) de l'étage de bascule bistable (15) en étant combiné logiquement par une porte (17).
6. Dispositif de mémorisation à semi-conducteur selon l'une des revendications 3 à 5, caractérisé en ce que les étages de bascule bistable (14, 15, 16) sont conformés chacun en bascule RS Flip-Flop comportant au moins deux portes NOR ou NAND (14A, 14B, 15A, 17, 16A, 16B).
7. Dispositif de mémorisation à semi-conducteur selon l'une des revendications 1 à 6, caractérisé en ce que la suite d'initialisation, détectée par le circuit de libération (9)

sous la forme d'une suite d'initialisation ordonnée et déclenchant le signal de libération (CHIPREADY), représente une séquence de commandes conforme à la norme JEDEC.

8. Dispositif de mémorisation à semi-conducteur selon l'une des revendications 1 à 7, caractérisé en ce que l'étage d'attaque en sortie du dispositif de mémorisation à semi-conducteur reste verrouillé lors du processus de connexion jusqu'à la sortie du signal de libération (CHIPREADY) délivré par le circuit de libération (9).

9. Dispositif de mémorisation à semi-conducteur selon l'une des revendications 1 à 18, caractérisé en ce qu'une suite d'initialisations ordonnée, qui commande le déclenchement d'un signal de libération (CHIPREADY), comporte les séquences de commande successives suivantes :

- a) en premier PRE, en deuxième ARF, en troisième MRS, ou
 - b) en premier PRE, en deuxième MRS, en troisième ARF, ou
 - c) en premier MRS, en deuxième PRE, en troisième ARF,
- les abréviations désignant les commandes suivantes :

PRE = commande de préparation de l'activation de ligne de mot (PRECHARGE),

ARF = commande de rafraîchissement (AUTOREFRESH), et

MRS = commande de registre de configuration de charge (MODE-REGISTER-SET).

10. Procédé d'initialisation d'un dispositif de mémorisation dynamique à semi-conducteur du type à accès optionnel (DRAM/SDRAM) au moyen d'un circuit d'initialisation qui commande le processus de connexion du dispositif de mémorisation à semi-conducteur et de ses parties constitutives de circuit et qui fournit un signal stable de tension d'alimentation (POWERON) une fois que la tension d'alimentation est stabilisée après la connexion du dispositif de mémorisation à semi-conducteur,

le circuit d'initialisation fournissant au moyen d'un circuit de libération (9), qui est associé au signal stable de

tension d'alimentation (POWERON) et à d'autres signaux de commande (PRE, ARF, MRS) appliqués de l'extérieur au dispositif de mémorisation à semi-conducteur, après détection d'une suite d'initialisation ordonnée prédéterminée des signaux de commande (PRE, ARF, MRS) appliqués au dispositif de mémorisation à semi-conducteur, un signal de libération (CHIPREADY) qui provoque le déverrouillage d'un circuit de commande (13) prévu pour faire fonctionner correctement le dispositif de mémorisation à semi-conducteur,

caractérisé en ce que les signaux de commande (PRE, ARF, MRS), appliqués de l'extérieur au dispositif de mémorisation à semi-conducteur, de la suite d'initialisation détectée par le circuit de libération (9) comportent la commande de préparation de l'activation de la ligne de mot (PRECHARGE), et/ou la commande de rafraîchissement (AUTOREFRESH) et/ou la commande de registre de configuration de charge (MODE-REGISTER-SET).

11. Procédé selon la revendication 10, caractérisé en ce que l'étage d'attaque en sortie du dispositif de mémorisation à semi-conducteur reste verrouillé lors du processus de connexion jusqu'à la sortie du signal de libération (CHIPREADY) fourni par le circuit de libération (9).

Anlage zu EPA Form 2004, Mitteilung gemäß Regel 51(4) EPÜ

Bibliographische Daten der europäischen Patentanmeldung Nr. 99 113 048.5

Für die beabsichtigte Erteilung eines europäischen Patents werden nachfolgend die bibliographischen Daten zur Information mitgeteilt:

Bezeichnung:

- Dynamische Halbleiter-Speichervorrichtung und Verfahren zur Initialisierung einer dynamischen Halbleiter-Speichervorrichtung
- Dynamic semiconductor memory and method for the initialisation of a dynamic semiconductor memory
- Mémoire dynamique à semi-conducteur et méthode pour l'initialisation d'une mémoire dynamique à semi-conducteur

Klassifikation: G11C7/00

Anmeldetag: 30.06.1999

Beanspruchte Priorität: DE / 30.06.1998 / DEA19829287

Vertragsstaaten*, für die Gebühren bezahlt wurden: DE FR GB IE IT

Erstreckungsstaaten*, für die Gebühren bezahlt wurden:

Anmelder:** Infineon Technologies AG
St.-Martin-Strasse 53
81669 München
DE

Erfinder: Krause, Gunnar
Schlierseestrasse 8
81451 München
DE

- | | |
|----------------------|--|
| <p>*)</p> <p>**)</p> | <p>Sind Fristen gemäß Artikel 79(2) und Regel 85a EPÜ noch nicht abgelaufen, dann sind alle Vertragsstaaten/Erstreckungsstaaten genannt.</p> <p>Falls zwei oder mehrere Anmelder verschiedene Vertragsstaaten benannt haben, ist dies hier angegeben.</p> |
|----------------------|--|

Epping - Hermann - Fischer
Ridlerstrasse 55
80339 München
ALLEMAGNE



Anmeldung Nr. 99 113 048.5 - 2210	Zeichen GR 98P1989E	Datum 17.03.2006
Anmelder Infineon Technologies AG		

Mitteilung gemäß Regel 51(4) EPÜ

Hiermit wird Ihnen mitgeteilt, dass die Prüfungsabteilung beabsichtigt, ein europäisches Patent auf der Grundlage der oben genannten europäischen Patentanmeldung in der sich aus folgenden Unterlagen ergebenden Fassung zu erteilen:

In der Fassung für die Vertragsstaaten:
DE FR GB IE IT

Beschreibung, Seiten

2, 5-8 ursprüngliche Fassung
1, 1a, 3, 4 eingegangen am 30.01.2006 mit Schreiben vom 30.01.2006

Ansprüche, Nr.

1-11 eingegangen am 30.01.2006 mit Schreiben vom 30.01.2006

Zeichnungen, Blätter

1/3-3/3 ursprüngliche Fassung

In der Anlage erhalten Sie eine Kopie der oben genannten Unterlagen.

Die Bezeichnung der Erfindung in den drei Amtssprachen des Europäischen Patentamts, die Internationale Patentklassifikation, die benannten Vertragsstaaten, der registrierte Name des Anmelders und die bibliografischen Daten sind der Anlage (EPA Form 2056) zu entnehmen.

Sie werden aufgefordert, innerhalb einer **nicht verlängerbaren** Frist von vier Monaten, gerechnet von der Zustellung dieser Mitteilung an,

1. die Übersetzung des Patentanspruchs/der Patentansprüche in einfacher



Ausfertigung in den beiden anderen Amtssprachen des Europäischen Patentamts einzureichen;

EUR

2a.	die Erteilungsgebühr einschließlich der Druckkostengebühr bis höchstens 35 Seiten zu entrichten;	Kennziffer 007	715.00
2b.	die Druckkostengebühr für die 36. Seite und jede weitere Seite zu entrichten; Anzahl der Seiten: 0	Kennziffer 008	0.00
3.	die Anspruchsgebühr(en) zu entrichten (Regel 51(7) EPÜ); Zahl der zu entrichtenden Anspruchsgebühren:	Kennziffer 016	0.00
		Gesamtbetrag	715.00

Werden die Erteilungsgebühr, die Druckkostengebühr oder die Anspruchsgebühr nicht rechtzeitig entrichtet oder wird die Übersetzung nicht rechtzeitig eingereicht, so gilt die europäische Patentanmeldung als zurückgenommen (Regel 51(8) EPÜ).

Zur Möglichkeit eines Antrags auf beschleunigte Erteilung gemäß Artikel 97(6)EPÜ siehe ABI. EPA 2001, 459.

Bei allen Zahlungsarten wird gebeten, EPA Form 1010 zu benutzen oder die Kennziffer(n) der Gebühr(en) anzugeben.

Nach ihrer Veröffentlichung kann die europäische Patentschrift gebührenfrei vom Veröffentlichungsserver des EPA über <https://publications.european-patent-office.org> heruntergeladen oder gegen Zahlung einer Gebühr ausschließlich von der Dienststelle Wien bezogen werden (ABI. EPA 2005, 126).

Auf schriftlichen Antrag erhält jeder Patentinhaber die Urkunde über das europäische Patent **zusammen mit einer Kopie** der Patentschrift, wenn der Antrag innerhalb der Frist nach Regel 51 (4) EPÜ eingereicht wird. Wurde dieser Antrag schon früher gestellt, so ist er innerhalb der Frist nach Regel 51 (4) EPU zu bestätigen. Die beantragte Kopie wird gebührenfrei ausgestellt. Wird der Antrag nach Ablauf der Frist nach Regel 51 (4) EPÜ eingereicht, so wird die Urkunde ohne eine Kopie der Patentschrift ausgestellt.

Übersetzung des Prioritätsbelegs/der Prioritätsbelege

Ist die nach Artikel 88(1) EPÜ erforderliche Übersetzung des Prioritätsbelegs oder die Erklärung gemäß Regel 38(5) EPÜ noch nicht eingereicht, wird Form 2530 getrennt übersandt. Die Übersetzung ist bis zum Ablauf der oben genannten Frist einzureichen (Regel 38(5) EPÜ).

Hinweis auf die Entrichtung der Jahresgebühren

Wird eine Jahresgebühr nach Zustellung dieser Aufforderung und vor dem vorgesehenen Tag der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents fällig (Regel 37(1) EPÜ), so wird der Hinweis erst bekanntgemacht, wenn die Jahresgebühr und gegebenenfalls die Zuschlagsgebühr entrichtet ist (Regel 51(9) EPÜ).

Jahresgebühren sind nach Artikel 86(4) EPÜ bis zu dem Jahr fällig und an das Europäische Patentamt zu entrichten, in dem der Hinweis auf die Erteilung des europäischen Patents bekanntgemacht wird.

Einreichung von Übersetzungen in den Vertragsstaaten



Folgende Vertragsstaaten verlangen gemäß Artikel 65(1) EPÜ eine Übersetzung der europäischen Patentschrift in ihre/eine ihrer Amtssprachen (Regel 51(10) EPÜ), sofern diese Patentschrift nicht in ihrer/einer ihrer Amtssprachen veröffentlicht wird

- innerhalb von **drei** Monaten nach Bekanntmachung des vorgenannten Hinweises auf die Erteilung:

DE DEUTSCHLAND
FR FRANKREICH

GB VEREINIGTES KÖNIGREICH
IT ITALIEN

- innerhalb von **sechs** Monaten nach Bekanntmachung des vorgenannten Hinweises auf die Erteilung:

IE IRLAND

Der Tag der Bekanntmachung des Hinweises auf die Erteilung des Europäischen Patents im Europäischen Patentblatt wird aus dem Erteilungsbeschluss (EPA Form 2006) zu ersehen sein.

Die Einreichung der Übersetzung an die nationalen Ämter der Vertrags- oder Erstreckungsstaaten hat gemäß den hierfür im jeweiligen Staat geltenden Vorschriften zu erfolgen. Nähere Einzelheiten (z.B. Bestellung eines Inlandsvertreters oder Nennung einer inländischen Zustellanschrift) können der Informationsbroschüre "Nationales Recht zum EPÜ" und den ergänzenden Informationen im Amtsblatt des EPA oder der Internetseite des EPA entnommen werden.

Wird die bei den Vertragsstaaten und bei den Erstreckungsstaaten einzureichende Übersetzung nicht fristgerecht und vorschriftsmäßig eingereicht, kann dies zur Folge haben, dass die Wirkung des Patents in dem betreffenden Staat als von Anfang an nicht eingetreten gilt.

Hinweis für die Teilnehmer am automatischen Abbuchungsverfahren

Die Gebühr wird / die Gebühren werden am letzten Tag der Zahlungsfrist automatisch abgebucht, falls dem EPA nicht bis zu diesem Zeitpunkt eine gegenteilige Erklärung zugegangen ist. Näheres siehe Vorschriften über das automatische Abbuchungsverfahren (vgl. Beilage zum ABI. EPA 2/2002).



Datum 17.03.2006

Blatt 4

Anmeldenummer: 99 113 048.5

Prüfungsabteilung:

Vorsitzender:

2. Prüfer:

1. Prüfer:

Gaertner, W

Harms, J

Operti, A



Taylor, K

Für die Prüfungsabteilung

Tel. Nr.: +49 89 2399 - 7862

Anlage(n):

Form 2056

16 Kopien der Unterlagen



ZUSATZBLATT

+++ WICHTIGE INFORMATION +++

1. **Für Mitteilungen nach Regel 51 (4) EPÜ, die am oder nach dem 01.04.2005 ergehen, ist die Frist von vier Monaten nicht mehr verlängerbar:**

Nach Regel 51 (4) EPÜ in der geänderten Fassung beträgt die in der Mitteilung nach Regel 51 (4) EPÜ gesetzte Frist für alle Anmeldungen vier Monate und ist nicht verlängerbar.

Die geänderte Regel 51 (4) EPÜ gilt für alle Anmeldungen, für die eine Mitteilung nach Regel 51 (4) EPÜ am oder nach dem 01.04.2005 ergeht.

2. **Eine Kopie der Patentschrift wird der Urkunde über das europäische Patent nur auf besonderen Antrag innerhalb der Frist gemäß Mitteilung nach Regel 51 (4) EPÜ beigelegt:**

Nach Regel 54 EPÜ in der geänderten Fassung und dem Beschluss des Präsidenten des Europäischen Patentamts vom 22.12.2004 (ABI. EPA 2005, 122) erhält jeder Patentinhaber auf schriftlichen Antrag die Urkunde über das europäische Patent zusammen mit einer Kopie der Patentschrift, wenn der Antrag innerhalb der Frist nach Regel 51 (4) EPÜ eingereicht wird. Wurde dieser Antrag schon früher gestellt, so ist er innerhalb der Frist nach Regel 51 (4) EPÜ zu bestätigen. Die beantragte Kopie wird gebührenfrei ausgestellt.

Wird der Antrag nach Ablauf der Frist nach Regel 51 (4) EPÜ eingereicht, so wird die Urkunde ohne eine Kopie der Patentschrift ausgestellt.

Nach ihrer Veröffentlichung kann die europäische Patentschrift gebührenfrei vom Veröffentlichungsserver des EPA über <https://publications.european-patent-office.org> heruntergeladen oder gegen Zahlung einer Gebühr von der Dienststelle Wien bezogen werden (ABI. EPA 2005, 126).

Weiterhin kann gegen Entrichtung einer Verwaltungsgebühr auch eine zusätzliche Ausfertigung der Urkunde über das europäische Patent mit beigelegter Patentschrift oder eine beglaubigte Kopie der Patentschrift ausgestellt werden.

1 Druckexemplar

Beschreibung

~~1 Dynamische Halbleiter-Speichervorrichtung und Verfahren zur~~
~~Initialisierung einer dynamischen Halbleiter-~~
5 ~~Speichervorrichtung~~

Die Erfindung betrifft eine dynamische Halbleiter-Speicher-
vorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) mit einer
den Einschaltvorgang der Halbleiter-Speichervorrichtung und
10 ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung, welche nach einer nach dem Einschalten der Halbleiter-Speichervorrichtung erfolgten Stabilisierung der Versorgungsspannung ein Versorgungsspannungsstabilisierungssignal (POWERON) liefert, wobei die Initialisierungsschaltung eine dem
15 Versorgungsspannungsstabilisierungssignal und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen (PRE, ARF, MRS) zugeordnete Freigabeschaltung aufweist, welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-
20 Speichervorrichtung angelegten Kommandosignale Kommandosignalen (PRE, ARF, MRS) ein Freigabesignal (CHIPREADY) liefert, welches die Entriegelung einer zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerschaltung bewirkt. Solch eine Halbleiter-Speichervorrichtung ist
25 aus JP 09 106668 A bekannt. Die Erfindung betrifft ferner ein Verfahren zur Initialisierung einer solchen dynamischen Halbleiter-Speichervorrichtung gemäß Anspruch 10.

Bei SDRAM-Halbleiterspeichern nach dem JEDEC-Standard ist
30 während des Einschaltvorganges ("POWERUP") dafür zu sorgen, dass die internen, für den ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerschaltungen sicher in einem definierten Sollzustand gehalten werden, um eine unerwünschte Aktivierung von Ausgangstransistoren zu verhindern, die auf den Datenleitungen einen Kurzschluss (soge-
35 hindern, die auf den Datenleitungen einen Kurzschluss (soge-

→ 1a

1a

nannte "Bus Contention" bzw. "Data Contention") oder eine unkontrollierte Aktivierung von internen Stromverbrauchern hervorrufen würde. Aufgrund einer prinzipiellen Unvorhersehbarkeit des zeitlichen Verlaufes der Versorgungsspannung und des
5 bzw. der Spannungspegel an den externen Steuereingängen während des Einschaltvorganges des Halbleiter-Speichers gestaltet sich die Lösung dieses Problems schwierig. Nach den Herstellerspezifikationen sollte ein SDRAM-Bauelement sämtliche Befehle, die zeitlich vor einer definierten Initialisierungs-

→ p. 2

2

abfolge anliegen, ignorieren. Diese Abfolge besteht aus vorbestimmten Kommandos, die in einer definierten zeitlichen Reihenfolge angelegt werden müssen. Eine Reihe von Funktionen und Kommandos, die im ordnungsgemäßen Betrieb des Bauelementes erlaubt sind, sind jedoch zeitlich erst nach der Initialisierungsabfolge erwünscht bzw. erlaubt. Nach dem JEDEC-Standard für SDRAM-Halbleiter-Speicher ist eine empfohlene Initialisierungsabfolge (sogenannte "POWERON-SEQUENCE") wie folgt vorgesehen:

10

1. Anlegen eines Versorgungsspannungs- und Startimpulses, um die Aufrechterhaltung einer NOP-Bedingung bei den Eingängen des Bauelementes zu erzielen.

15

2. Aufrechterhaltung einer stabilen Versorgungsspannung, eines stabilen Taktes, und von stabilen NOP-Eingangsbedingungen für eine Mindestzeitdauer von 200 μ s.

20

3. Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE) für sämtliche Speicherbänke der Vorrichtung.

4. Aktivierung von acht oder mehreren Auffrischkommandos (AUTOREFRESH).

25

5. Aktivierung des Lade-Konfigurations-Register-Kommandos (MODE-REGISTER-SET) zur Initialisierung des Modusregisters.

Nach dem Erkennen einer solchen definierten Initialisierungsabfolge befindet sich der Speicherbaustein normalerweise in einem sogenannten IDLE-Zustand, d.h. er ist vorgeladen und für den ordnungsgemäßen Betrieb vorbereitet. Bei den bisher bekannt gewordenen SDRAM-Halbleiter-Speicherbausteinen wurden sämtliche Steuerschaltungen des Bauelementes lediglich mit dem POWERON-Signal entriegelt. Dieses Signal POWERON ist aktiv, wenn die internen Versorgungsspannungen die erforderli-

35

3

chen Werte erreicht haben, die zum ordnungsgemäßen Betrieb des Bauelementes erforderlich sind. Danach ist der Baustein in der Lage, Befehle anzuerkennen und auszuführen.

- 5 Der Erfindung liegt die Aufgabe zugrunde, eine konstruktiv möglichst einfache Verbesserung der Steuerung des Einschaltvorganges bei dynamischen Halbleiter-Speichervorrichtungen vom wahlweisen Zugriffstyp (DRAM oder SDRAM) anzugeben, mit welcher die Gefahr eines Kurzschlusses der Datenleitungen
10 und/oder einer unkontrollierten Aktivierung von internen Stromverbrauchern wirksam verhindert wird.

- Diese Aufgabe wird durch eine dynamische Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp nach Anspruch 1 und
15 ein Verfahren zur Initialisierung einer solchen Halbleiter-Speichervorrichtung nach Anspruch 10 gelöst.

- Erfindungsgemäß ist vorgesehen, dass die Initialisierungsschaltung eine dem Versorgungsspannungssstabilisignal und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen zugeordnete Freigabeschaltung aufweist, welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale ein Freigabesignal
25 liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerungschaltung bewirkt.

- Dem Prinzip der Erfindung folgend wird ein Freigabesignal
30 (CHIPREADY) generiert, welches in Abhängigkeit weiterer interner Signale und der Initialisierungsabfolge aktiv wird und danach vorbestimmte Schaltungen entriegelt. Bis zur Beendi-

4

gung der vorgegebenen Initialisierungsabfolge bleiben die vorbestimmten Schaltungen verriegelt. Beispielsweise werden Kommandos decodiert, jedoch nicht ausgeführt, und die Ausgangstreiber hochohmig gehalten.

5

Erfindungsgemäß ist vorgesehen, dass die von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignale der von der Freigabeschaltung erkennenden Initialisierungsabfolge das Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE), und/oder das Auffrischungskommando (AUTOREFRESH), und/oder das Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET) aufweist.

10

15

20

Nach einer vorteilhaften konstruktiven Ausgestaltung der erfindungsgemäßen Initialisierungsschaltung ist vorgesehen, dass die Freigabeschaltung wenigstens eine bistabile Kipp-schaltungsstufe mit einem Setzeingang, an dem ein Kommando-signal (PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET) anliegt, einem Rücksetzeingang, an dem das Versorgungsspannungsstabil-signal (POWERON) oder ein davon abgeleitetes bzw. verknüpftes Signal anliegt, und mit einem Ausgang, an dem das Freigabe-signal (CHIPREADY) abgeleitet ist, aufweist.

25

Insbesondere besitzt die Freigabeschaltung mehrere, jeweils einem Kommandosignal zugeordnete bistabile Kippschaltungsstufen.

30

In zweckmäßiger Ausgestaltung der Erfindung ist vorgesehen, dass der Ausgang wenigstens einer der bistabilen Kippschal-tungsstufen an einen Rücksetzeingang einer weiteren Kipp-schaltungsstufe geführt ist. Hierbei kann des Weiteren vorge-sehen sein, dass bei einer der bistabilen Kippschaltungsstufe das Versorgungsspannungsstabil-signal (POWERON) und das von dem Ausgang einer weiteren Kippschaltungsstufe ausgegebene

5

Signal über ein Gatter logisch verknüpft an den Rücksetzeingang der Kippschaltungsstufe geführt sind.

5 Weitere vorteilhafte Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen.

Nachfolgend wird die Erfindung anhand mehrerer in der Zeichnung dargestellter Ausführungsbeispiele weiter erläutert. Es zeigt:

10

Figur 1 eine schematische Blockdarstellung einer den Einschaltvorgang des Halbleiterspeichers und ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung;

15

Figur 2 ein schematisches Schaltbild einer das Freigabesignal (CHIPREADY) liefernden Freigabeschaltung;

20

Figur 3 ein Zeitablaufdiagramm zur Erläuterung der Funktionsweise der Schaltung nach Figur 2;

Figur 4 ein Schaltbild einer Freigabeschaltung nach einem Ausführungsbeispiel der Erfindung.

25 Figur 1 zeigt die für das Verständnis der Erfindung wichtigen Schaltungsbestandteile einer nach dem JEDEC-Standard arbeitenden SDRAM-Speichervorrichtung mit einer den Einschaltvorgang der Halbleiterspeichervorrichtung und ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung mit einer
30 Eingangsschaltung 1, an deren Eingang 2 die von außen an den Halbleiterspeicher einzugebenden Kommando- und Taktsignale anliegen, verstärkt und aufbereitet werden, einem der Eingangsschaltung 1 nachgeschalteten Kommandodecoder 3, an dessen Ausgang 4 unter anderem die Kommandosignale PRE bzw.
35 PRECHARGE (Vorbereitungskommando für die Wortleitungsaktivie-

6

rung), ARF bzw. AUTOREFRESH (Auffrischungskommando) und MRS bzw. MODE-REGISTER-SET (Lade-Konfiguration-Register-Kommando) ausgegeben werden, sowie einer Schaltung 5 für die interne Spannungsregulierung bzw. -detektierung, an deren Eingang 6 die von außen an den Halbleiter-Speicher anliegenden externen Versorgungsspannungen zugeführt sind, und an deren Ausgang 7 das POWERON-Signal und an deren Ausgang 8 die stabilisierten internen Versorgungsspannungen geliefert werden. Die Funktionsweise und der Aufbau der Schaltungen 1, 3 und 5 ist dem Fachmann hinreichend bekannt und braucht daher nicht näher erläutert werden. Wichtig für das Verständnis der Erfindung ist, dass die Schaltung 5 ein aktives POWERON-Signal liefert, wenn nach der POWERUP-Phase des SDRAM-Speichers die am Ausgang 8 anliegenden internen Versorgungsspannungen die für den ordnungsgemäßen Betrieb des Bauelementes erforderlichen Werte erreicht haben.

Nach der Erfindung besitzt die Initialisierungsschaltung darüber hinaus eine den Schaltungen 3 und 5 nachgeschaltete Freigabeschaltung 9, an deren Eingang 10 unter anderem die Kommandosignale PRE, ARF und MRS, an deren Eingang 11 das POWERON-Signal anliegt, und an deren Ausgang 12 das nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale ein Freigabesignal CHIPREADY geliefert wird, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerungschaltungen 13 bewirkt. Diese internen Steuerungschaltungen 13 dienen unter anderem der Ablaufsteuerung für einen oder mehrere der (nicht näher dargestellten) Speicherblöcke des SDRAM-Speichers und sind als solche bekannt.

Figur 2 zeigt ein bevorzugtes Ausführungsbeispiel der Freigabeschaltung 9 nach der Erfindung. Diese umfasst drei bistabile Kippschaltungsstufen 14, 15 und 16 mit jeweils einem Setz-

7

eingang S, einem Rücksetzeingang R, sowie einem Ausgang Q, ein-dem Rücksetzeingang R der Kippschaltungsstufe 15 vorgeschaltetes UND-Gatter 17, ein sämtlichen Ausgängen Q der Kippschaltungsstufen 14, 15, 16 nachgeschaltetes UND-Gatter 18, sowie einem dem UND-Gatter 18 nachgeschalteten Inverter 19, an dessen Ausgang 12 das Freigabesignal CHIPREADY ausgegeben wird, wobei das Freigabesignal HIGH-aktiv ist, d.h. aktiviert ist, wenn sein Spannungspegel auf logisch HIGH ist. Die an den jeweiligen Setzeingängen S der bistabilen Kippschaltungsstufen 14, 15, 16 anliegenden Kommandosignale PRE, ARF, MRS sind jeweils LOW-aktiv, d.h. diese Signale sind aktiv, wenn ihr Spannungspegel auf logisch LOW liegt, während das POWERON-Signal wiederum HIGH-aktiv ist. Das POWERON-Signal liegt bei den Kippschaltungsstufen 14 und 16 unmittelbar an den Rücksetzeingängen R an und liegt bei der Kippschaltungsstufe 15 zunächst an dem einen Eingang des UND-Gatters 17 an, an dessen anderem Eingang das von dem Ausgang Q der Kippschaltungsstufe 14 ausgegebenen Signal anliegt, wobei der Ausgang des UND-Gatters 17 mit dem Rücksetzeingang der Kippschaltungsstufe 15 verbunden ist.

Die Funktionsweise der in Figur 2 dargestellten Freigabeschaltung 9 ist dergestalt, dass eine Aktivierung des Freigabesignales CHIPREADY am Ausgang 12 auf logisch HIGH erst dann generiert wird, wenn eine vorbestimmte zeitliche Initialisierungsabfolge der Kommandosignale PRE, ARF und MRS und eine Aktivierung des POWERON-Signales auf den logischen Pegel HIGH detektiert wird. Erst danach werden aufgrund der Aktivierung des Freigabesignales CHIPREADY die Steuerschaltungen entriegelt; vorher bleiben diese Schaltungen verriegelt.

In dem schematischen Zeitablaufdiagramm nach Figur 3 sind beispielhafte Kommandoabfolgen während des Einschaltvorganges der Halbleiter-Speichervorrichtung zur Erläuterung der Funktionsweise der Freigabeschaltung 9 dargestellt.

Bei der Fallkonstellation A erfolgt eine gegenüber der Aktivierung des POWERON-Signales zu frühe Aktivierung des Signales PRECHARGE auf LOW-aktiv, so dass konsequenterweise noch
5 keine Aktivierung des Freigabesignales CHIPREADY auf logisch LOW erfolgt, da die ordnungsgemäße Initialisierungsabfolge eine Wartezeit vor dem ersten Kommando erfordert. Richtigerweise wird damit der Signalhub des Kommandos PRECHARGE nach der Fallkonstellation A ignoriert. Bei der Fallkonstellation
10 B ist die zeitliche Reihenfolge der Aktivierung des Signales AUTOFRESH auf logisch LOW falsch, da die ordnungsgemäße Initialisierungsabfolge einen vorherigen PRECHARGE-Befehl vor dem AUTOREFRESH-Befehl vorschreibt. Der Signalhub des AUTOREFRESH-Signales auf logisch LOW nach der Fallkonstellat
15 tion B wird daher ebenfalls ignoriert, das Freigabesignal geht nicht auf logisch HIGH. Bei der Fallkonstellation C liegt - konform mit dem JEDEC-Standard - eine richtige zeitliche Reihenfolge der Befehle PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET vor; folgerichtig wird nun, nachdem auch das
20 POWERON-Signal auf logisch HIGH ist, ein Freigabesignal CHIPREADY auf logisch HIGH geliefert. Mit dem Symbol D ist strichliert dargestellt noch eine weitere denkbare, erlaubte und daher ein Freigabesignal auslösende Initialisierungsabfolge dargestellt: Eine Aktivierung des Kommandos MODE-
25 REGISTER-SET auf logisch LOW ist nach der Aktivierung des POWERON-Signales jederzeit erlaubt.

Figur 4 zeigt in näheren Einzelheiten ein bevorzugtes Ausführungsbeispiel einer erfindungsgemäßen Freigabeschaltung 9.
30 Bei diesem Ausführungsbeispiel ist jede bistabile Kippstufe 14, 15, 16 aus jeweils zwei NAND-Gattern 14A, 14B, 15A, 17, 16A, 16B, sowie einem Inverter 14C, 15C und 16C aufgebaut, die in der dargestellten Art und Weise miteinander verbunden sind. Bei der bistabilen Kippstufe 15 ist das NAND-Gatter 17
35 mit drei Eingängen versehen.

Patentansprüche

1. Dynamische Halbleiter-Speichervorrichtung vom wahlweisen
5 Zugriffstyp (DRAM/SDRAM) mit einer den Einschaltvorgang der
Halbleiter-Speichervorrichtung und ihrer Schaltungsbestand-
teile steuernden Initialisierungsschaltung, welche nach einer
nach dem Einschalten der Halbleiter-Speichervorrichtung er-
folgten Stabilisierung der Versorgungsspannung ein Versor-
10 gungsspannungsstabilisignal (POWERON) liefert,
wobei die Initialisierungsschaltung eine dem Versorgungsspan-
nungsstabilisignal (POWERON) und weiteren, von außen an die
Halbleiter-Speichervorrichtung angelegten Kommandosignalen
(PRE, ARF, MRS) zugeordnete Freigabeschaltung (9) aufweist,
15 welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen
Initialisierungsabfolge der an die Halbleiter-Speichervor-
richtung angelegten Kommandosignale Kommandosignalen (PRE,
ARF, MRS) ein Freigabesignal (CHIPREADY) liefert, welches die
Entriegelung einer zum ordnungsgemäßen Betrieb der Halblei-
20 ter-Speichervorrichtung vorgesehenen Steuerschaltung (13) be-
wirkt,
dadurch g e k e n n z e i c h n e t ,
dass die von außen an die Halbleiter-Speichervorrichtung an-
gelegten Kommandosignale (PRE, ARF, MRS) der von der Freiga-
25 beschaltung (9) erkennenden Initialisierungsabfolge das Vor-
bereitungskommando für die Wortleitungsaktivierung (PRE-
CHARGE), und/oder das Auffrischungskommando (AUTOREFRESH),
und/oder das Lade-Konfigurations-Register-Kommando (MODE-
REGISTER-SET) aufweist.

30

2. Halbleiter-Speichervorrichtung nach Anspruch 1,
dadurch g e k e n n z e i c h n e t ,
dass die Freigabeschaltung (9) wenigstens eine bistabile
Kippschaltungsstufe (14, 15, 16) mit einem Setzeingang (S),
35 an dem ein Kommandosignal (PRECHARGE, AUTOREFRESH, MODE-

10

REGISTER-SET) anliegt, einem Rücksetzeingang (R), an dem das Versorgungsspannungsstabilisignal (POWERON) oder ein davon abgeleitetes bzw. verknüpftes Signal anliegt, und mit einem Ausgang (Q), an dem das Freigabesignal (CHIPREADY) (9) abgeleitet ist, aufweist.

3. Halbleiter-Speichervorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass die Freigabeschaltung (9) mehrere, jeweils einem Kommandosignal (PRE, ARF, MRS) zugeordnete bistabile Kippschaltungsstufen (14, 15, 16) aufweist.

4. Halbleiter-Speichervorrichtung nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass der Ausgang (Q) wenigstens einer der bistabilen Kippschaltungsstufen (14) an einen Rücksetzeingang einer weiteren Kippschaltungsstufe (15) geführt ist.

5. Halbleiter-Speichervorrichtung nach Anspruch 3 oder 4, dadurch gekennzeichnet, dass bei einer der bistabilen Kippschaltungsstufen (15) das Versorgungsspannungsstabilisignal (POWERON) und das von dem Ausgang (Q) einer weiteren Kippschaltungsstufe (14) ausgegebene Signal über ein Gatter (17) logisch verknüpft an den Rücksetzeingang (R) der Kippschaltungsstufe (15) geführt sind.

6. Halbleiter-Speichervorrichtung nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, dass die bistabile Kippschaltungsstufe (14, 15, 16) jeweils durch ein aus wenigstens zwei NOR- oder NAND-Gattern (14A, 14B, 15A, 17, 16A, 16B) aufgebautes RS-Flip-Flop ausgebildet ist.

35

11

7. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1 bis 6,

dadurch gekennzeichnet,

5 dass die von der Freigabeschaltung (9) als ordnungsgemäße Initialisierungsabfolge erkannte und das Freigabesignal (CHIPREADY) auslösende Initialisierungsabfolge eine mit dem JEDEC-Standard konforme Kommandofolge darstellt.

8. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1 bis 7,

dadurch gekennzeichnet,

10 dass die Ausgangstreiber der Halbleiter-Speichervorrichtung beim Einschaltvorgang bis zur Ausgabe des von der Freigabeschaltung (9) gelieferten Freigabesignals (CHIPREADY) verriegelt bleiben.

9. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1 bis 8,

dadurch gekennzeichnet,

20 dass eine ordnungsgemäße Initialisierungsabfolge, welche die Auslösung eines Freigabesignals (CHIPREADY) bewirkt, folgende zeitlich aufeinanderfolgende Kommandosequenzen umfasst:

a) erstens PRE, zweitens ARF, drittens MRS, oder

b) erstens PRE, zweitens MRS, drittens ARF, oder

25 c) erstens MRS, zweitens PRE, oder drittens ARF,

wobei die Abkürzungen folgende Kommandos bezeichnen:

PRE = Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE),

ARF = Auffrischungskommando (AUTOREFRESH), und

30 MRS = Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET).

10. Verfahren zur Initialisierung einer dynamischen Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp (DRAM/

12

SDRAM) vermittelt einen den Einschaltvorgang der Halbleiter-Speichervorrichtung und ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung, welche nach einer nach dem Einschalten der Halbleiter-Speichervorrichtung erfolgten Stabilisierung der Versorgungsspannung ein Versorgungsspannungsstabilisierungssignal (POWERON) liefert, wobei die Initialisierungsschaltung vermittelt einer dem Versorgungsspannungsstabilisierungssignal (POWERON) und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen (PRE, ARF, MRS) zugeordneten Freigabeschaltung (9) nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale ein Freigabesignal (CHIP-READY) liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerschaltung (13) bewirkt, dadurch gekennzeichnet, dass die von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignale (PRE, ARF, MRS) der von der Freigabeschaltung (9) erkennenden Initialisierungsabfolge das Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE), und/oder das Auffrischungskommando (AUTOREFRESH), und/oder das Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET) aufweist.

25

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die Ausgangstreiber der Halbleiter-Speichervorrichtung beim Einschaltvorgang bis zur Ausgabe des von der Freigabeschaltung (9) gelieferten Freigabesignals (CHIPREADY) verriegelt bleiben.

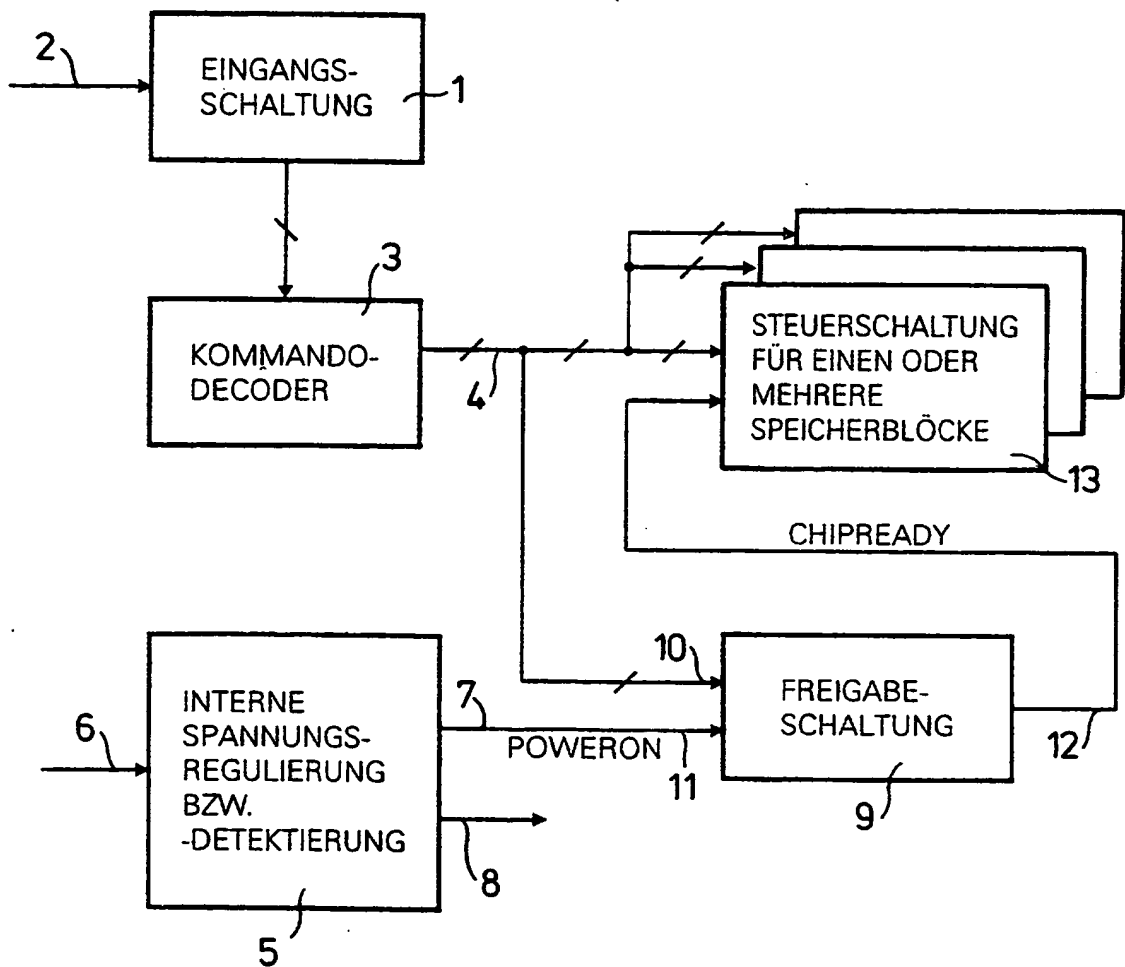
30

EPO - Munich
15

30. Juni 1999

1/3

Fig 1



2/3

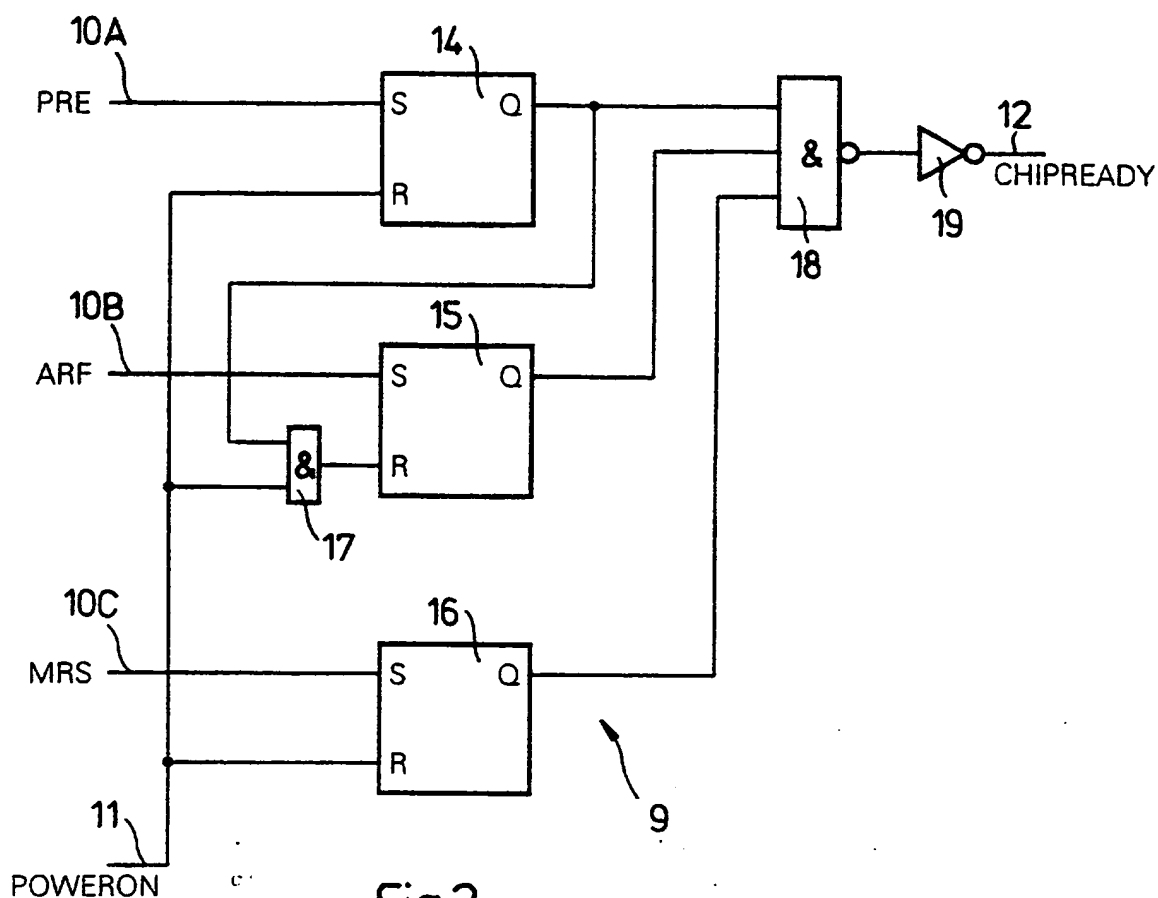


Fig 2

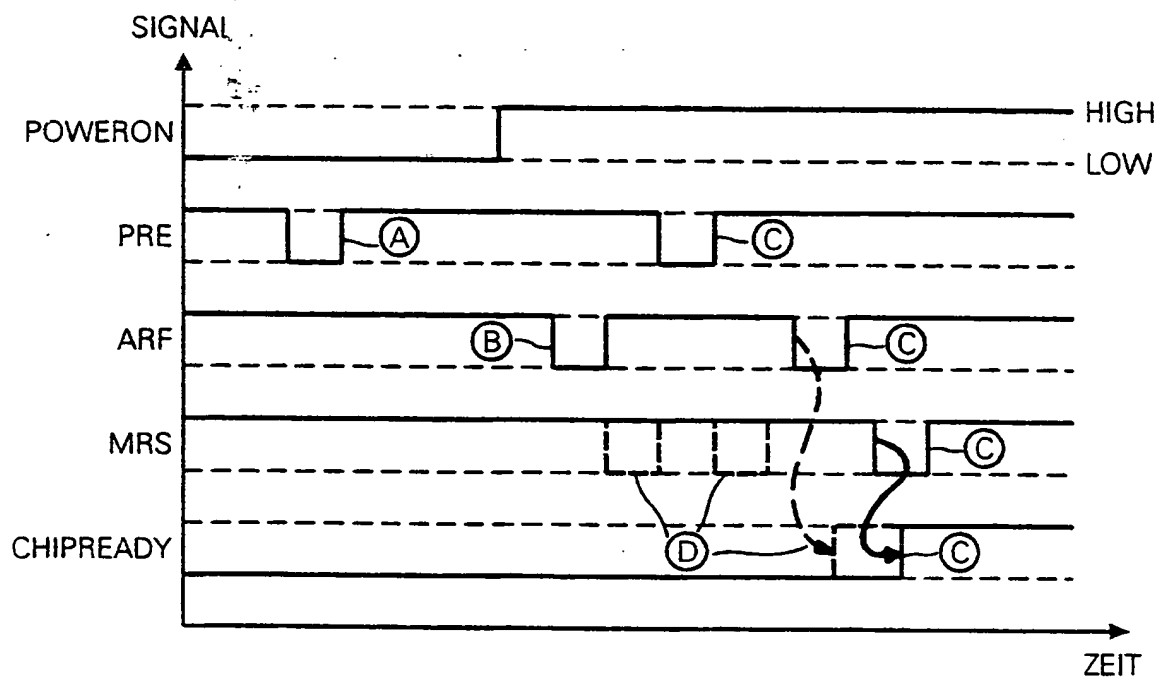


Fig 3

3/3

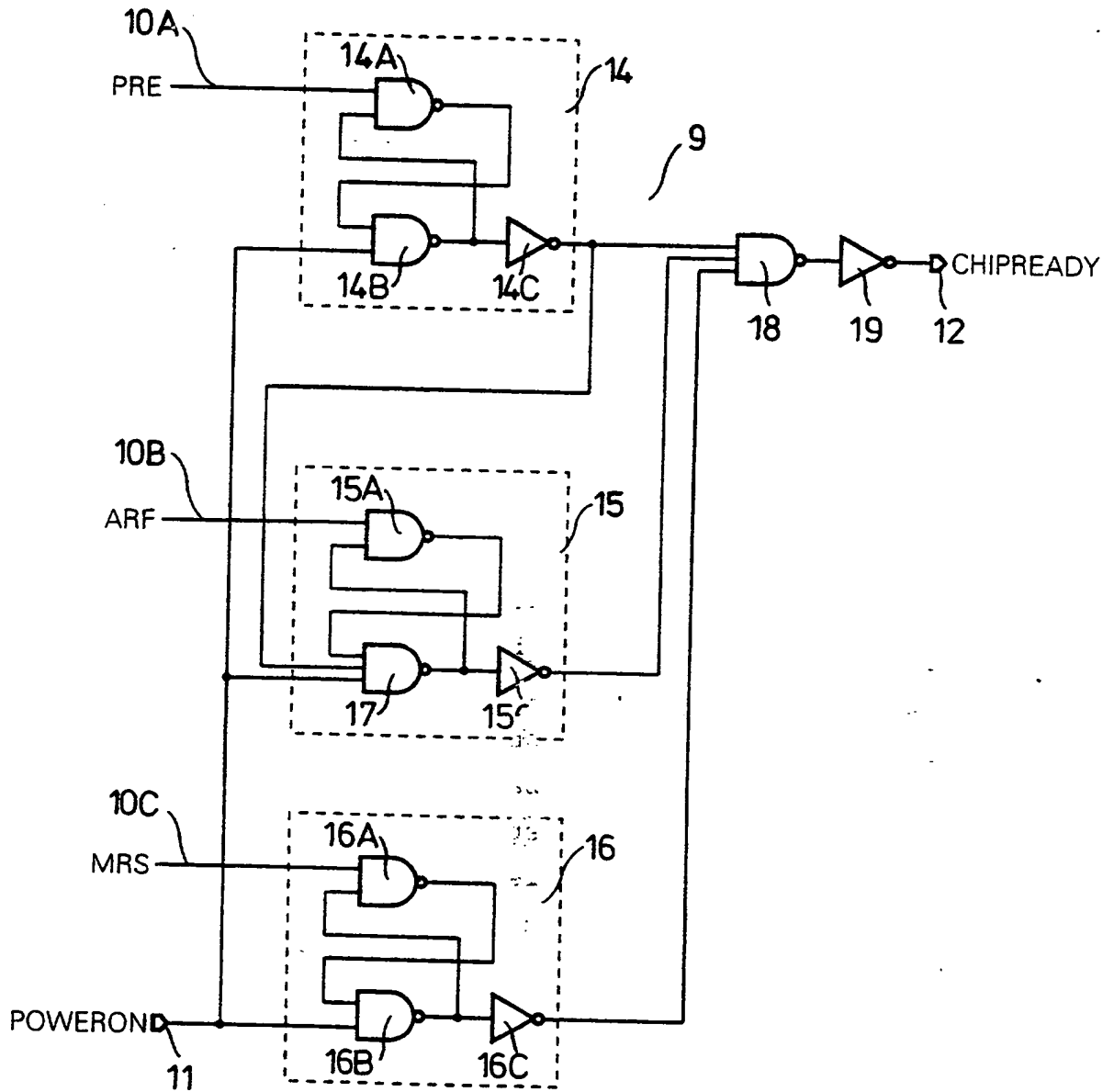


Fig 4

Patentansprüche

1. Dynamische Halbleiter-Speichervorrichtung vom wahlweisen
5 Zugriffstyp (DRAM/SDRAM) mit einer den Einschaltvorgang der
Halbleiter-Speichervorrichtung und ihrer Schaltungsbestand-
teile steuernden Initialisierungsschaltung, welche nach einer
nach dem Einschalten der Halbleiter-Speichervorrichtung er-
folgten Stabilisierung der Versorgungsspannung ein Versor-
10 gungsspannungsstabilsignal (POWERON) liefert,
wobei die Initialisierungsschaltung eine dem Versorgungsspan-
nungsstabilsignal (POWERON) und weiteren, von außen an die
Halbleiter-Speichervorrichtung angelegten Kommandosignalen
(PRE, ARF, MRS) zugeordnete Freigabeschaltung (9) aufweist,
15 welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen
Initialisierungsabfolge der an die Halbleiter-Speichervor-
richtung angelegten Kommandosignale Kommandosignalen (PRE,
ARF, MRS) ein Freigabesignal (CHIPREADY) liefert, welches die
Entriegelung einer zum ordnungsgemäßen Betrieb der Halblei-
20 ter-Speichervorrichtung vorgesehenen Steuerschaltung (13) be-
wirkt,
dadurch g e k e n n z e i c h n e t ,
dass die von außen an die Halbleiter-Speichervorrichtung an-
gelegten Kommandosignale (PRE, ARF, MRS) der von der Freiga-
25 beschaltung (9) erkennenden Initialisierungsabfolge das Vor-
bereitungskommando für die Wortleitungsaktivierung (PRE-
CHARGE), und/oder das Auffrischungskommando (AUTOREFRESH),
und/oder das Lade-Konfigurations-Register-Kommando (MODE-
REGISTER-SET) aufweist.

30

2. Halbleiter-Speichervorrichtung nach Anspruch 1,
dadurch g e k e n n z e i c h n e t ,
dass die Freigabeschaltung (9) wenigstens eine bistabile
Kippschaltungsstufe (14, 15, 16) mit einem Setzeingang (S),
35 an dem ein Kommandosignal (PRECHARGE, AUTOREFRESH, MODE-

10

REGISTER-SET) anliegt, einem Rücksetzeingang (R), an dem das Versorgungsspannungsstabilisignal (POWERON) oder ein davon abgeleitetes bzw. verknüpftes Signal anliegt, und mit einem Ausgang (Q), an dem das Freigabesignal (CHIPREADY) (9) abgeleitet ist, aufweist.

3. Halbleiter-Speichervorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass die Freigabeschaltung (9) mehrere, jeweils einem Kommandosignal (PRE, ARF, MRS) zugeordnete bistabile Kippschaltungsstufen (14, 15, 16) aufweist.

4. Halbleiter-Speichervorrichtung nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass der Ausgang (Q) wenigstens einer der bistabilen Kippschaltungsstufen (14) an einen Rücksetzeingang einer weiteren Kippschaltungsstufe (15) geführt ist.

5. Halbleiter-Speichervorrichtung nach Anspruch 3 oder 4, dadurch gekennzeichnet, dass bei einer der bistabilen Kippschaltungsstufen (15) das Versorgungsspannungsstabilisignal (POWERON) und das von dem Ausgang (Q) einer weiteren Kippschaltungsstufe (14) ausgegebene Signal über ein Gatter (17) logisch verknüpft an den Rücksetzeingang (R) der Kippschaltungsstufe (15) geführt sind.

6. Halbleiter-Speichervorrichtung nach einem der Ansprüche 3 bis 5,

dadurch gekennzeichnet, dass die bistabile Kippschaltungsstufe (14, 15, 16) jeweils durch ein aus wenigstens zwei NOR- oder NAND-Gattern (14A, 14B, 15A, 17, 16A, 16B) aufgebautes RS-Flip-Flop ausgebildet ist.

11

7. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1 bis 6,

dadurch gekennzeichnet,

dass die von der Freigabeschaltung (9) als ordnungsgemäße Initialisierungsabfolge erkannte und das Freigabesignal (CHIPREADY) auslösende Initialisierungsabfolge eine mit dem JEDEC-Standard konforme Kommandofolge darstellt.

8. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1 bis 7,

dadurch gekennzeichnet,

dass die Ausgangstreiber der Halbleiter-Speichervorrichtung beim Einschaltvorgang bis zur Ausgabe des von der Freigabeschaltung (9) gelieferten Freigabesignals (CHIPREADY) verriegelt bleiben.

9. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1 bis 8,

dadurch gekennzeichnet,

dass eine ordnungsgemäße Initialisierungsabfolge, welche die Auslösung eines Freigabesignals (CHIPREADY) bewirkt, folgende zeitlich aufeinanderfolgende Kommandosequenzen umfasst:

a) erstens PRE, zweitens ARF, drittens MRS, oder

b) erstens PRE, zweitens MRS, drittens ARF, oder

c) erstens MRS, zweitens PRE, oder drittens ARF,

wobei die Abkürzungen folgende Kommandos bezeichnen:

PRE = Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE),

ARF = Auffrischungskommando (AUTOREFRESH), und

MRS = Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET).

10. Verfahren zur Initialisierung einer dynamischen Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp (DRAM/

12

SDRAM) vermittelt einer den Einschaltvorgang der Halbleiter-Speichervorrichtung und ihrer Schaltungsbestandteile steuern-
den Initialisierungsschaltung, welche nach einer nach dem
Einschalten der Halbleiter-Speichervorrichtung erfolgten Sta-
5 bilisierung der Versorgungsspannung ein Versorgungsspannungs-
stabilisignal (POWERON) liefert,

wobei die Initialisierungsschaltung vermittelt einer dem Ver-
sorgungsspannungsstabilisignal (POWERON) und weiteren, von
außen an die Halbleiter-Speichervorrichtung angelegten Kom-

10 mandosignalen (PRE, ARF, MRS) zugeordneten Freigabeschaltung
(9) nach dem Erkennen einer vorbestimmten ordnungsgemäßen I-
nitialisierungsabfolge der an die Halbleiter-Speichervor-
richtung angelegten Kommandosignale ein Freigabesignal (CHIP-
READY) liefert, welches die Entriegelung der zum ordnungsge-
15 mäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen
Steuerschaltung (13) bewirkt, . .

dadurch g e k e n n z e i c h n e t,

dass die von außen an die Halbleiter-Speichervorrichtung an-
gelegten Kommandosignale (PRE, ARF, MRS) der von der Freigabe-
20 schaltung (9) erkennenden Initialisierungsabfolge das Vorbe-
reitungskommando für die Wortleitungsaktivierung (PRECHARGE),
und/oder das Auffrischungskommando (AUTOREFRESH), und/oder
das Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET)
aufweist.

25

11. Verfahren nach Anspruch 10,

dadurch g e k e n n z e i c h n e t,

dass die Ausgangstreiber der Halbleiter-Speichervorrichtung
beim Einschaltvorgang bis zur Ausgabe des von der Freigabe-
30 schaltung (9) gelieferten Freigabesignals (CHIPREADY) verrie-
gelt bleiben.

Patentansprüche

1. Dynamische Halbleiter-Speichervorrichtung vom wahlweisen
5 Zugriffstyp (DRAM/SDRAM) mit einer den Einschaltvorgang der
Halbleiter-Speichervorrichtung und ihrer Schaltungsbestand-
teile steuernden Initialisierungsschaltung, welche nach einer
nach dem Einschalten der Halbleiter-Speichervorrichtung er-
folgten Stabilisierung der Versorgungsspannung ein Versor-
10 gungsspannungsstabilsignal (POWERON) liefert,
wobei die Initialisierungsschaltung eine dem Versorgungsspan-
nungsstabilsignal (POWERON) und weiteren, von außen an die
Halbleiter-Speichervorrichtung angelegten Kommandosignalen
(PRE, ARF, MRS) zugeordnete Freigabeschaltung (9) aufweist,
15 welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen
Initialisierungsabfolge der an die Halbleiter-Speichervor-
richtung angelegten Kommandosignale Kommandosignalen (PRE,
ARF, MRS) ein Freigabesignal (CHIPREADY) liefert, welches die
Entriegelung einer zum ordnungsgemäßen Betrieb der Halblei-
20 ter-Speichervorrichtung vorgesehenen Steuerschaltung (13) be-
wirkt,
dadurch gekennzeichnet,
dass die von außen an die Halbleiter-Speichervorrichtung an-
gelegten Kommandosignale (PRE, ARF, MRS) der von der Freiga-
25 beschaltung (9) erkennenden Initialisierungsabfolge das Vor-
bereitungskommando für die Wortleitungsaktivierung (PRE-
CHARGE), und/oder das Auffrischungskommando (AUTOREFRESH),
und/oder das Lade-Konfigurations-Register-Kommando (MODE-
REGISTER-SET) aufweist.

30

2. Halbleiter-Speichervorrichtung nach Anspruch 1,
dadurch gekennzeichnet,
dass die Freigabeschaltung (9) wenigstens eine bistabile
Kippschaltungsstufe (14, 15, 16) mit einem Setzeingang (S),
35 an dem ein Kommandosignal (PRECHARGE, AUTOREFRESH, MODE-

Handexemplar

10

REGISTER-SET) anliegt, einem Rücksetzeingang (R), an dem das Versorgungsspannungsstabilisierungssignal (POWERON) oder ein davon abgeleitetes bzw. verknüpftes Signal anliegt, und mit einem Ausgang (Q), an dem das Freigabesignal (CHIPREADY) (9) abgeleitet ist, aufweist.

3. Halbleiter-Speichervorrichtung nach Anspruch 2,

dadurch gekennzeichnet,

dass die Freigabeschaltung (9) mehrere, jeweils einem Kommandosignal (PRE, ARF, MRS) zugeordnete bistabile Kippschaltungsstufen (14, 15, 16) aufweist.

4. Halbleiter-Speichervorrichtung nach Anspruch 2 oder 3,

dadurch gekennzeichnet,

dass der Ausgang (Q) wenigstens einer der bistabilen Kippschaltungsstufen (14) an einen Rücksetzeingang einer weiteren Kippschaltungsstufe (15) geführt ist.

5. Halbleiter-Speichervorrichtung nach Anspruch 3 oder 4,

dadurch gekennzeichnet,

dass bei einer der bistabilen Kippschaltungsstufen (15) das Versorgungsspannungsstabilisierungssignal (POWERON) und das von dem Ausgang (Q) einer weiteren Kippschaltungsstufe (14) ausgegebene Signal über ein Gatter (17) logisch verknüpft an den Rücksetzeingang (R) der Kippschaltungsstufe (15) geführt sind.

6. Halbleiter-Speichervorrichtung nach einem der Ansprüche 3 bis 5,

dadurch gekennzeichnet,

dass die bistabile Kippschaltungsstufe (14, 15, 16) jeweils durch ein aus wenigstens zwei NOR- oder NAND-Gattern (14A, 14B, 15A, 17, 16A, 16B) aufgebautes RS-Flip-Flop ausgebildet ist.

Handexemplar

11

7. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1
bis 6,

dadurch g e k e n n z e i c h n e t,

dass die von der Freigabeschaltung (9) als ordnungsgemäße I-
5 nitialisierungsabfolge erkannte und das Freigabesignal
(CHIPREADY) auslösende Initialisierungsabfolge eine mit dem
JEDEC-Standard konforme Kommandofolge darstellt.

8. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1
10 bis 7,

dadurch g e k e n n z e i c h n e t,

dass die Ausgangstreiber der Halbleiter-Speichervorrichtung
beim Einschaltvorgang bis zur Ausgabe des von der Freigabe-
schaltung (9) gelieferten Freigabesignals (CHIPREADY) verrie-
15 gelt bleiben.

9. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1
bis 8,

dadurch g e k e n n z e i c h n e t,

20 dass eine ordnungsgemäße Initialisierungsabfolge, welche die
Auslösung eines Freigabesignals (CHIPREADY) bewirkt, folgende
zeitlich aufeinanderfolgende Kommandosequenzen umfasst:

a) erstens PRE, zweitens ARF, drittens MRS, oder

b) erstens PRE, zweitens MRS, drittens ARF, oder

25 c) erstens MRS, zweitens PRE, oder drittens ARF,

wobei die Abkürzungen folgende Kommandos bezeichnen:

PRE = Vorbereitungs-kommando für die Wortleitungsaktivierung
(PRECHARGE),

ARF = Auffrischungs-kommando (AUTOREFRESH), und

30 MRS = Lade-Konfigurations-Register-Kommando (MODE-REGISTER-
SET).

10. Verfahren zur Initialisierung einer dynamischen Halblei-
ter-Speichervorrichtung vom wahlweisen Zugriffstyp (DRAM/

Handexemplar

12

SDRAM) vermittelt einer den Einschaltvorgang der Halbleiter-Speichervorrichtung und ihrer Schaltungsbestandteile steuern-
den Initialisierungsschaltung, welche nach einer nach dem
Einschalten der Halbleiter-Speichervorrichtung erfolgten Sta-
5 bilisierung der Versorgungsspannung ein Versorgungsspannungs-
stabilisignal (POWERON) liefert,

wobei die Initialisierungsschaltung vermittelt einer dem Ver-
sorgungsspannungsstabilisignal (POWERON) und weiteren, von
außen an die Halbleiter-Speichervorrichtung angelegten Kom-
10 mandosignalen (PRE, ARF, MRS) zugeordneten Freigabeschaltung
(9) nach dem Erkennen einer vorbestimmten ordnungsgemäßen I-
nitialisierungsabfolge der an die Halbleiter-Speichervor-
richtung angelegten Kommandosignale ein Freigabesignal (CHIP-
READY) liefert, welches die Entriegelung der zum ordnungsge-
15 mäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen
Steuerschaltung (13) bewirkt,

dadurch gekennzeichnet,

dass die von außen an die Halbleiter-Speichervorrichtung an-
gelegten Kommandosignale (PRE, ARF, MRS) der von der Freigabe-
20 schaltung (9) erkennenden Initialisierungsabfolge das Vorbe-
reitungs-kommando für die Wortleitungsaktivierung (PRECHARGE),
und/oder das Auffrischungskommando (AUTOREFRESH), und/oder
das Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET)
aufweist.

25

11. Verfahren nach Anspruch 10,

dadurch gekennzeichnet,

dass die Ausgangstreiber der Halbleiter-Speichervorrichtung
beim Einschaltvorgang bis zur Ausgabe des von der Freigabe-
30 schaltung (9) gelieferten Freigabesignals (CHIPREADY) verrie-
gelt bleiben.

Beschreibung

Dynamische Halbleiter-Speichervorrichtung und Verfahren zur
Initialisierung einer dynamischen Halbleiter-

5 Speichervorrichtung

Die Erfindung betrifft eine dynamische Halbleiter-Speicher-
vorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) mit einer
den Einschaltvorgang der Halbleiter-Speichervorrichtung und
10 ihrer Schaltungsbestandteile steuernden Initialisierungs-
schaltung, welche nach einer nach dem Einschalten der Halb-
leiter-Speichervorrichtung erfolgten Stabilisierung der Ver-
sorgungsspannung ein Versorgungsspannungsstabilisignal (PO-
WERON) liefert, wobei die Initialisierungsschaltung eine dem
15 Versorgungsspannungsstabilisignal und weiteren, von außen an
die Halbleiter-Speichervorrichtung angelegten Kommandosigna-
len (PRE, ARF, MRS) zugeordnete Freigabeschaltung aufweist,
welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen
Initialisierungsabfolge der an die Halbleiter-
20 Speichervorrichtung angelegten Kommandosignale Kommandosigna-
len (PRE, ARF, MRS) ein Freigabesignal (CHIPREADY) liefert,
welches die Entriegelung einer zum ordnungsgemäßen Betrieb
der Halbleiter-Speichervorrichtung vorgesehenen Steuerschal-
tung bewirkt. Solch eine Halbleiter-Speichervorrichtung ist
25 aus JP 09 106668 A bekannt. Die Erfindung betrifft ferner ein
Verfahren zur Initialisierung einer solchen dynamischen Halb-
leiter-Speichervorrichtung gemäß Anspruch 10.

Bei SDRAM-Halbleiterspeichern nach dem JEDEC-Standard ist
30 während des Einschaltvorganges ("POWERUP") dafür zu sorgen,
dass die internen, für den ordnungsgemäßen Betrieb der Halb-
leiter-Speichervorrichtung vorgesehenen Steuerschaltungen si-
cher in einem definierten Sollzustand gehalten werden, um ei-
ne unerwünschte Aktivierung von Ausgangstransistoren zu ver-
35 hindern, die auf den Datenleitungen einen Kurzschluss (soge-

1a

nannte "Bus Contention" bzw. "Data Contention") oder eine unkontrollierte Aktivierung von internen Stromverbrauchern hervorgerufen würde. Aufgrund einer prinzipiellen Unvorhersehbarkeit des zeitlichen Verlaufes der Versorgungsspannung und des
5 bzw. der Spannungspegel an den externen Steuereingängen während des Einschaltvorganges des Halbleiter-Speichers gestaltet sich die Lösung dieses Problems schwierig. Nach den Herstellerspezifikationen sollte ein SDRAM-Bauelement sämtliche Befehle, die zeitlich vor einer definierten Initialisierungs-

chen Werte erreicht haben, die zum ordnungsgemäßen Betrieb des Bauelementes erforderlich sind. Danach ist der Baustein in der Lage, Befehle anzuerkennen und auszuführen.

- 5 Der Erfindung liegt die Aufgabe zugrunde, eine konstruktiv möglichst einfache Verbesserung der Steuerung des Einschaltvorganges bei dynamischen Halbleiter-Speichervorrichtungen vom wahlweisen Zugriffstyp (DRAM oder SDRAM) anzugeben, mit welcher die Gefahr eines Kurzschlusses der Datenleitungen
10 und/oder einer unkontrollierten Aktivierung von internen Stromverbrauchern wirksam verhindert wird.

Diese Aufgabe wird durch eine dynamische Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp nach Anspruch 1 und
15 ein Verfahren zur Initialisierung einer solchen Halbleiter-Speichervorrichtung nach Anspruch 10 gelöst.

Erfindungsgemäß ist vorgesehen, dass die Initialisierungsschaltung eine dem Versorgungsspannungssstabilisignal und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen zugeordnete Freigabeschaltung aufweist, welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale ein Freigabesignal
25 liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerungschaltung bewirkt.

Dem Prinzip der Erfindung folgend wird ein Freigabesignal
30 (CHIPREADY) generiert, welches in Abhängigkeit weiterer interner Signale und der Initialisierungsabfolge aktiv wird und danach vorbestimmte Schaltungen entriegelt. Bis zur Beendi-

4

gung der vorgegebenen Initialisierungsabfolge bleiben die vorbestimmten Schaltungen verriegelt. Beispielsweise werden Kommandos decodiert, jedoch nicht ausgeführt, und die Ausgangstreiber hochohmig gehalten.

5

Erfindungsgemäß ist vorgesehen, dass die von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignale der von der Freigabeschaltung erkennenden Initialisierungsabfolge das Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE), und/oder das Auffrischungskommando (AUTOREFRESH), und/oder das Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET) aufweist.

10

Nach einer vorteilhaften konstruktiven Ausgestaltung der erfindungsgemäßen Initialisierungsschaltung ist vorgesehen, dass die Freigabeschaltung wenigstens eine bistabile Kippschaltungsstufe mit einem Setzeingang, an dem ein Kommandosignal (PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET) anliegt, einem Rücksetzeingang, an dem das Versorgungsspannungssignal (POWERON) oder ein davon abgeleitetes bzw. verknüpftes Signal anliegt, und mit einem Ausgang, an dem das Freigabesignal (CHIPREADY) abgeleitet ist, aufweist.

20

Insbesondere besitzt die Freigabeschaltung mehrere, jeweils einem Kommandosignal zugeordnete bistabile Kippschaltungsstufen.

25

In zweckmäßiger Ausgestaltung der Erfindung ist vorgesehen, dass der Ausgang wenigstens einer der bistabilen Kippschaltungsstufen an einen Rücksetzeingang einer weiteren Kippschaltungsstufe geführt ist. Hierbei kann des Weiteren vorgesehen sein, dass bei einer der bistabilen Kippschaltungsstufe das Versorgungsspannungssignal (POWERON) und das von dem Ausgang einer weiteren Kippschaltungsstufe ausgegebene

30

Beschreibung

Dynamische Halbleiter-Speichervorrichtung und Verfahren zur
Initialisierung einer dynamischen Halbleiter-
5 Speichervorrichtung

Die Erfindung betrifft eine dynamische Halbleiter-Speicher-
vorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) mit einer
den Einschaltvorgang der Halbleiter-Speichervorrichtung und
10 ihrer Schaltungsbestandteile steuernden Initialisierungs-
schaltung, welche nach einer nach dem Einschalten der Halb-
leiter-Speichervorrichtung erfolgten Stabilisierung der Ver-
sorgungsspannung ein Versorgungsspannungsstabilsignal (PO-
WERON) liefert, wobei die Initialisierungsschaltung eine dem
15 Versorgungsspannungsstabilsignal und weiteren, von außen an
die Halbleiter-Speichervorrichtung angelegten Kommandosigna-
len (PRE, ARF, MRS) zugeordnete Freigabeschaltung aufweist,
welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen
Initialisierungsabfolge der an die Halbleiter-
20 Speichervorrichtung angelegten Kommandosignale Kommandosigna-
len (PRE, ARF, MRS) ein Freigabesignal (CHIPREADY) liefert,
welches die Entriegelung einer zum ordnungsgemäßen Betrieb
der Halbleiter-Speichervorrichtung vorgesehenen Steuerschal-
tung bewirkt. Solch eine Halbleiter-Speichervorrichtung ist
25 aus JP 09 106668 A bekannt. Die Erfindung betrifft ferner ein
Verfahren zur Initialisierung einer solchen dynamischen Halb-
leiter-Speichervorrichtung gemäß Anspruch 10.

Bei SDRAM-Halbleiterspeichern nach dem JEDEC-Standard ist
30 während des Einschaltvorganges ("POWERUP") dafür zu sorgen,
dass die internen, für den ordnungsgemäßen Betrieb der Halb-
leiter-Speichervorrichtung vorgesehenen Steuerschaltungen si-
cher in einem definierten Sollzustand gehalten werden, um ei-
ne unerwünschte Aktivierung von Ausgangstransistoren zu ver-
35 hindern, die auf den Datenleitungen einen Kurzschluss (soge-

Handexemplar

1a
nannte "Bus Contention" bzw. "Data Contention") oder eine un-
kontrollierte Aktivierung von internen Stromverbrauchern her-
vorrufen würde. Aufgrund einer prinzipiellen Unvorhersehbar-
keit des zeitlichen Verlaufes der Versorgungsspannung und des
5 bzw. der Spannungspegel an den externen Steuereingängen wäh-
rend des Einschaltvorganges des Halbleiter-Speichers gestal-
tet sich die Lösung dieses Problems schwierig. Nach den Her-
stellerspezifikationen sollte ein SDRAM-Bauelement sämtliche
Befehle, die zeitlich vor einer definierten Initialisierungs-

Handexemplar

3

chen Werte erreicht haben, die zum ordnungsgemäßen Betrieb des Bauelementes erforderlich sind. Danach ist der Baustein in der Lage, Befehle anzuerkennen und auszuführen.

5 Der Erfindung liegt die Aufgabe zugrunde, eine konstruktiv möglichst einfache Verbesserung der Steuerung des Einschaltvorganges bei dynamischen Halbleiter-Speichervorrichtungen vom wahlweisen Zugriffstyp (DRAM oder SDRAM) anzugeben, mit welcher die Gefahr eines Kurzschlusses der Datenleitungen
10 und/oder einer unkontrollierten Aktivierung von internen Stromverbrauchern wirksam verhindert wird.

Diese Aufgabe wird durch eine dynamische Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp nach Anspruch 1 und
15 ein Verfahren zur Initialisierung einer solchen Halbleiter-Speichervorrichtung nach Anspruch 10 gelöst.

Erfindungsgemäß ist vorgesehen, dass die Initialisierungsschaltung eine dem Versorgungsspannungssstabilisignal und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen zugeordnete Freigabeschaltung aufweist, welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale ein Freigabesignal
20 liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerungschaltung bewirkt.
25

Dem Prinzip der Erfindung folgend wird ein Freigabesignal
30 (CHIPREADY) generiert, welches in Abhängigkeit weiterer interner Signale und der Initialisierungsabfolge aktiv wird und danach vorbestimmte Schaltungen entriegelt. Bis zur Beendi-

4

gung der vorgegebenen Initialisierungsabfolge bleiben die vorbestimmten Schaltungen verriegelt. Beispielsweise werden Kommandos decodiert, jedoch nicht ausgeführt, und die Ausgangstreiber hochohmig gehalten.

5

Erfindungsgemäß ist vorgesehen, dass die von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignale der von der Freigabeschaltung erkennenden Initialisierungsabfolge das Vorbereitungskommando für die Wortleitungsaktivierung
10 (PRECHARGE), und/oder das Auffrischungskommando (AUTOREFRESH), und/oder das Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET) aufweist.

Nach einer vorteilhaften konstruktiven Ausgestaltung der erfindungsgemäßen Initialisierungsschaltung ist vorgesehen,
15 dass die Freigabeschaltung wenigstens eine bistabile Kipp-schaltungsstufe mit einem Setzeingang, an dem ein Kommando-signal (PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET) anliegt, einem Rücksetzeingang, an dem das Versorgungsspannungsstabil-
20 signal (POWERON) oder ein davon abgeleitetes bzw. verknüpftes Signal anliegt, und mit einem Ausgang, an dem das Freigabe-signal (CHIPREADY) abgeleitet ist, aufweist.

Insbesondere besitzt die Freigabeschaltung mehrere, jeweils
25 einem Kommandosignal zugeordnete bistabile Kippschaltungsstufen.

In zweckmäßiger Ausgestaltung der Erfindung ist vorgesehen, dass der Ausgang wenigstens einer der bistabilen Kippschal-
30 tungsstufen an einen Rücksetzeingang einer weiteren Kipp-schaltungsstufe geführt ist. Hierbei kann des Weiteren vorge-sehen sein, dass bei einer der bistabilen Kippschaltungsstufe das Versorgungssspannungsstabilsignal (POWERON) und das von dem Ausgang einer weiteren Kippschaltungsstufe ausgegebene



EPPING · HERMANN · FISCHER · Ridlerstr. 55 · D-80339 München

Europäisches Patentamt

80298 München

EPO - Munich
42

30. Jan. 2006

Ihr Zeichen:

Unser Zeichen:
1998P1989 EP N

München,
30. Januar 2006
(CL/HA)

EP-Patentanmeldung Nr. 99113048.5-2210

Anmelder: Infineon Technologies AG

Bescheid vom 28.09.2005

Auf den obigen Bescheid werden Austauschseiten 1, 1a, 3, 4 und 9 bis 12 anstelle der ursprünglichen Seiten 1, 3, 4 und 9 bis 13 der Anmeldung eingereicht. Ferner wird ein Handexemplar beigelegt, in dem die vorgenommenen Änderungen durch Unterstreichung gekennzeichnet sind.

Es wurde das Merkmal des ursprünglichen Anspruchs 2 in den Anspruch 1 aufgenommen, der dem Bescheid zufolge amtsseitig als erteilbar angesehen wird. Entsprechend wurde in den nebengeordneten Anspruch 11 (10 in neuer Nummerierung) das Merkmal des ursprünglichen Anspruchs 12, der dem ursprünglichen Anspruch 2 entspricht, aufgenommen. Der ursprüngliche Anspruch 14 wurde gestrichen.

Die Beschreibung wurde entsprechend angepasst. Der relevante Stand der Technik ist auf Seite 1, Zeile 25 zitiert.

Im Bescheid wurde im Abschnitt 6. auf Patentansprüche 15 bis 20 Bezug genommen. Die eingereichte Anmeldung enthielt jedoch nur die Patentansprüche 1 bis 14. Außer dem nun vorgelegten Anspruchssatz mit 11 Patentansprüchen sind somit keine weiteren Patentansprüche mehr im Verfahren.

Patentanwälte
European Patent Attorneys
European Trademark Attorneys
European Design Attorneys

BÜRO MÜNCHEN
Ridlerstraße 55
D - 80339 München
Fon +49 89 50 03 29 - 0
Fax +49 89 50 03 29 - 99

BÜRO REGENSBURG
Galgenbergstraße 2b
D - 93053 Regensburg
Fon +49 941 70 54 99 - 0
Fax +49 941 70 54 99 - 9

BRIEFADRESSE
Postfach 200734
D - 80007 München

E-MAIL
info@ehf-patent.com

BANK
HypoVereinsbank München
Kontonummer 383 89 530
Bankleitzahl 700 202 70

GESCHÄFTSFÜHRER
Dr.-Ing. Wilhelm Epping
Dipl.-Ing. Uwe Hermann
Dipl.-Ing. Volker Fischer
Dipl.-Phys. Richard Schachtner
Dipl.-Ing. Alwin Rietzler
Dr.rer.nat. Michael Lettenberger

VAT DE227365227
Steuernummer 810/33160
Amtsgericht München
HRB 148733

www.ehf-patent.com



Der Erlass der Mitteilung nach R. 51 (4) sollte nun möglich sein.

EPPING HERMANN FISCHER
Patentanwalts-gesellschaft mbH

Volker Fischer
European Patent Attorney
Allg. Vollmacht Nr. 42494

Anlagen
Austauschseiten 1, 1a, 3,
4, 9-12
Handexemplar

**Bescheid/Protokoll (Anlage)**

Datum
Date 28.09.2005
Date

Communication/Minutes (Annex)

Blatt
Sheet 1
Feuille

Notification/Procès-verbal (Annexe)

Anmelde-Nr.:
Application No.: 99 113 048.5
Demande n°:

Der Prüfung werden **folgende Anmeldungsunterlagen** zugrunde gelegt:

Beschreibung, Seiten

1-8 ursprüngliche Fassung

Ansprüche, Nr.

1-14 ursprüngliche Fassung

Zeichnungen, Blätter

1/3-3/3 ursprüngliche Fassung

1. In diesem Bescheid werden folgende, im Recherchenbericht zitierte Dokumente D1-D2 genannt; die Numerierung wird auch im weiteren Verfahren beibehalten:

D1: JP 09 106668 A (SAMSUNG ELECTRON CO LTD) 22. Apr. 97 (1997-04-22)

D2: EP-A-0 797 207 (FUJITSU LTD) 24. September 1997 (1997-09-24)

Dokument D1 offenbart (die Verweise in Klammern beziehen sich auf dieses Dokument): Dynamische Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) mit einer den Einschaltvorgang der Halbleiter-Speichervorrichtung (Bild 3) und ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung (Bild 3 Bezugszeichen 12,14,16,46,56), welche nach einer nach dem Einschalten der Halbleiter-Speichervorrichtung erfolgten Stabilisierung der Versorgungsspannung (VCC) ein Versorgungsspannungsstabilsignal (VCCH) liefert, dadurch gekennzeichnet, dass die Initialisierungsschaltung eine dem Versorgungsspannungsstabilsignal (VCCH) und weiteren, von aussen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen (DSF, RASB, CASB) zugeordnete Freigabeschaltung (46) aufweist, welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge (Spalte 3 Zeilen 19-22 "SET in response to a sequence of reset control signals DSF, RASB, and CASB", and Spalte 2 Zeile 28) der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale Kommandosignalen (DSF, RASB, and CAB) ein Freigabesignal (Ausgang RST) liefert, welches die Entriegelung (Spalte 2 Zeile 26-28 "initialization signal .. being activated") der zum ordnungsgemäßen Betrieb der Halbleiterspeichervorrichtung vorgesehenen Steuerschaltung (Angeschlossen zu Ausgang RST, Spalte 3 Zeile 21 "circuit within the memory device") bewirkt.



Der Gegenstand des Anspruchs 1 ist daher nicht neu (Artikel 54(1) und 54(2) EPÜ).

2. Betreffend Anspruch 3 sind die charakterisierenden Merkmale der Verwendung einer bistabile Kippschaltungsstufe auch in D1 offenbart (Bild 3: bistabile Kippschaltungsstufe 20-22 und 34-36; angelegte Kommandosignale phi.DSF phi.R, phi.C; Versorgungsspannungsstabilesignal phi.VCCH angeschlossen an 20; ein davon abgeleitetes Signal phi.INIT; Freigabesignal phi.RST).
3. Die Erfindung laut Ansprüchen 2 und 10 scheint neu und erfinderisch zu sein, so dass die Bestimmungen von Artikel 52(1) EPC erfüllt sind.
4. Die Merkmale der abhängigen Ansprüche 4-7 sind entweder aus D1 bekannt oder naheliegend.
5. Aus D2 (Spalte 3, Zeilen 25-40) ist das Merkmal, daß die Ausgangstreiber verriegelt bleiben bis zur Ausgabe des von der Freigabeschaltung gelieferten Freigabesignals, um eine unerwünschte Aktivierung von Ausgangstransistoren zu verhindern, bekannt. Der Fachmann würde eine solche Freigabeschaltung in der aus D1 bekannten Vorrichtung verwenden, um den gleichen Vorteil zu erzielen. Dieser Anspruch 9 erfüllt folglich nicht die Erfordernisse der Artikel 52(1) und 56 EPÜ und ist demnach nicht gewährbar.
6. Ansprüche 16-20 definieren im Wesentlichen die Merkmale den Ansprüche 1-15 in Verfahrensausdrücken, deshalb gelten für Ansprüche 16-20 die gleichen Einwände wie für Ansprüche 1-15 (siehe Punkte oben).
7. Sollte der Anmelder beabsichtigen, die vorliegende Anmeldung entsprechend weiterzuverfolgen, so ist zusätzlich zu den oben genannten Punkte auch folgende Punkte zu beachten:
 - a. Bei der Überarbeitung der Anmeldung, insbesondere des einleitenden Teils und der Darstellung der Aufgabe oder der Vorteile der Erfindung, sollte darauf geachtet werden, dass ihr Gegenstand nicht über den Inhalt der Anmeldung in der ursprünglich eingereichten Fassung hinausgeht Artikel (123(2) EPÜ).
Um die Prüfung von geänderten Anmeldungsunterlagen im Hinblick auf Artikel 123(2) EPÜ zu erleichtern, wird der Anmelder gebeten, die durchgeführten Änderungen, unabhängig davon, ob es sich um Änderungen durch Hinzufügen,

**Bescheid/Protokoll (Anlage)**

Datum
Date 28.09.2005
Date

Communication/Minutes (Annex)

Blatt
Sheet 3
Feuille

Notification/Procès-verbal (Annexe)

Anmelde-Nr.:
Application No.: 99 113 048.5
Demande n°:

Ersetzen oder Streichen handelt, deutlich aufzuzeigen und anzugeben, auf welche Stellen in der ursprünglich eingereichten Anmeldung sich diese Änderungen stützen.

- b. Um die Erfordernisse der Regel 27(1) b) EPÜ zu erfüllen, ist in der Beschreibung das Dokument D1 zu nennen; sein einschlägiger Inhalt sollte kurz umrissen werden.
- c. Die Beschreibung muß mit den neu einzureichenden Ansprüchen in Einklang gebracht werden, Regel 27(1) c) EPÜ.



EPA/EPO/OEB
D-80298 München
+49 89 2399-0
TX 523 656 epmu d
FAX +49 89 2399-4465

Europäisches
Patentamt

Generaldirektion 2

European
Patent Office

Directorate General 2

Office européen
des brevets

Direction Générale 2

Epping - Hermann - Fischer
Ridlerstrasse 55
80339 München
ALLEMAGNE

Telefonnummern:

Beauftragter Prüfer +49 89 2399-5781
(Sachprüfungsfragen)

Formalsachbearbeiter/Assistent +49 89 2399-2565
(Formalangelegenheiten und
andere Fragen)



Anmeldung Nr. 99 113 048.5 - 2210	Zeichen GR 98P1989E	Datum 28.09.2005
Anmelder Infineon Technologies AG		

Bescheid gemäß Artikel 96(2) EPÜ

Die Prüfung der obengenannten Anmeldung hat ergeben, daß sie den Erfordernissen des Europäischen Patentübereinkommens aus den beigefügten Gründen nicht genügt. Werden die genannten Mängel nicht behoben, so kann die Anmeldung nach Artikel 97(1) EPÜ zurückgewiesen werden.

Sie werden aufgefordert, innerhalb einer Frist

von 4 Monaten

gerechnet von der Zustellung dieses Bescheides, Ihre Stellungnahme einzureichen und die angeführten Mängel, soweit diese behebbar sind, zu beseitigen. Die Frist berechnet sich nach den Bestimmungen der Regeln 78(2), 83(2) und (4) EPÜ.

Änderungen zur Beschreibung, zu den Ansprüchen und den Zeichnungen sind gegebenenfalls innerhalb der genannten Frist in **einem Exemplar** auf gesonderten Blättern (Regel 36(1) EPÜ) einzureichen.

Unterlassen Sie es, auf diese Aufforderung rechtzeitig zu antworten, so gilt die europäische Anmeldung als zurückgenommen (Artikel 96(3) EPÜ).



Operti, A
Beauftragter Prüfer
für die Prüfungsabteilung

Anlagen: 3 Seite/h Gründe (Form 2906)



✉ EPA/EPO/OEB
D-80298 München
☎ +49 89 2399-0
TX 523 656 epmu d
FAX +49 89 2399-4465

Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Generaldirektion 2

Directorate General 2

Direction Générale 2

COPY

Epping Hermann & Fischer
Ridlerstrasse 55
80339 München
ALLEMAGNE

Datum/Date

26/04/01

Zeichen/Ref./Réf. 1998P 1989 EP N	Anmeldung Nr./Application No./Demande n°. /Patent Nr. /Patent No./Brevet n°. 99113048.5-2210/0969475
Anmelder/Applicant/Demandeur/Patentinhaber/Proprietor/Titulaire Infineon Technologies AG	

Mitteilung der Eintragung von geänderten Angaben über den Vertreter
(Regel 92(1)h) EPÜ)

Antragsgemäss wurden für die europäische Patentanmeldung/das euro-
päische Patent die Angaben über den Vertreter geändert in:

Epping Hermann & Fischer
Ridlerstrasse 55
80339 München/DE

Die Änderung wird in das europäische Patentregister eingetragen
und im Europäischen Patentblatt (I.12/II.12) veröffentlicht.

Formalsachbearbeiter
Tel.Nr.: (089)2399

N. Tebani



EPA Form 2548 08.85				7051016		20/04/01	

EPHING HERMANN & FISCHER

EPO - Munich
63
02 April 2001

Epping Hermann & Fischer • Ridlerstraße 55 • D-80339 München

Europäisches Patentamt

80298 München

Patentanwälte - European Patent Attorneys

Wilhelm Epping, Dr.-Ing.

Uwe Hermann, Dipl.-Ing.

Volker Fischer, Dipl.-Ing.

Ihr Zeichen

Unser Zeichen

München,

1998 P 1989 EP N
(JC/JS)

26. März 2001

Aktenzeichen 99113048.5-2210

Anmelder Infineon Technologies AG (Umschreibung beantragt)

Hiermit zeigen wir unsere Vertretung aufgrund der Allg. Vollmacht Nr. 42494 für die oben aufgeführte europäische Patentanmeldung an. Künftige Zustellungen bitten wir nur noch an uns vorzunehmen.



Volker Fischer

European Patent Attorney

Zusammenschluß Nr. 175

Telefon: +49-89-5003290
Telefax: +49-89-
50032999

Briefadresse: Postfach 12 10 26
80034 München
Besuchsadresse: Ridlerstraße 55
80339 München

Bank: Konto Nr. 383 89 530
HypoVereinsbank München
(BLZ 700 202 70)



☐ EPA/EPO/OEB
D-80298 München
☎ +49 89 2399-0
TX 523 656 epmu d
FAX +49 89 2399-4465

Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Generaldirektion 2

Directorate General 2

Direction Générale 2

COPY

Infineon Technologies AG
St.-Martin-Strasse 53
81669 München
ALLEMAGNE

Datum/Date
29/03/01

Zeichen/Ref./Réf. GR 98P1989E	Anmeldung Nr./Application No./Demande n°./Patent Nr./Patent No./Brevet n°. 99113048.5-2210/0969475
Anmelder/Applicant/Demandeur/Patentinhaber/Proprietor/Titulaire Infineon Technologies AG	

M I T T E I L U N G

über die Eintragung von Änderungen betreffend

[☒] einen Rechtsübergang (Regel 20 / Regeln 61, 20 EPÜ)

[☐] Angaben über den Anmelder/den Patentinhaber (Regel 92(1)f) EPÜ)

Antragsgemäß wurden die Angaben über den Anmelder der obengenannten europäischen Patentanmeldung/den Patentinhaber des obengenannten europäischen Patents wie folgt geändert:

DE-FR-GB-IE-IT
Infineon Technologies AG
St.-Martin-Strasse 53
81669 München/DE

Die Eintragung der geänderten Daten ist mit Wirkung vom **06.03.01** erfolgt.

Soweit es sich um eine bereits veröffentlichte Patentanmeldung/um ein Patent handelt, wird die Änderung in das europäische Patentregister eingetragen und im europäischen Patentblatt (Abschnitt I.12/II.12) veröffentlicht.

Es wird darauf hingewiesen, dass im Falle der Eintragung eines Rechtsübergangs ein eventueller automatischer Abbuchungsauftrag erst am Tag des ausdrücklichen Widerrufs seine Wirkung verliert (vgl. Punkt 14(c) der Vorschriften über das automatische Abbuchungsverfahren, Beilage zum AB1. (EPA 6/1994).

R. P. Meier
Formalprüfer
Tel. (+49-89) 2399-



EPA Form 2544	11.99	7051014	24/03/01

Europäisches Patentamt
Erhardstraße 27

80331 München

Übertragungserklärung

Wir übertragen hiermit die Europäische Patentanmeldung Nr 99 113 048.5 auf die Firma

Infineon Technologies AG; St.-Martin-Str. 53, 81669 München

und erklären uns mit der Umschreibung auf den Namen der Erwerberin einverstanden.

München, 05.03.2001

Siemens Aktiengesellschaft



Hashuber

Allgemeine Vollmacht Nr. 650

Europäisches Patentamt

80298 München

EPO - Munich
6

06. März 2001

Name	Katharina Klinger
Abteilung	CT IPS AM
Telefon	+49 89 636 82807
Telefax	+49 89 636 81857
E-Mail	katharina.klinger@mchm.siemens.de

Ihr Schreiben	
Unser Zeichen	1998P01989EP I9H / GAR
Datum	05.03.2001

Anmeldung Nr. 99113048.5

Anmelder Siemens Aktiengesellschaft

Hiermit reichen wir eine Übertragungserklärung ein, gemäß der wir die obengenannte Patentanmeldung auf die Infineon Technologies AG, St.-Martin-Str. 53, D-81669 München, übertragen haben und bitten, die Umschreibung vorzunehmen.

Die Umschreibgebühr in Höhe von EUR 76,-- wird mit gesondertem Abbuchungsauftrag entrichtet.

Zur Kasse

Siemens Aktiengesellschaft

Anlage

Übertragung

Zahlungsvordruck



Hashuber

Allgm. Vollmacht Nr. 650

Corporate Technology

Corporate Intellectual Property and Functions

Leitung:
Dr. Horst Fischer

Briefadresse:
Siemens AG
CT
Postfach 22 16 34
D-80506 München

Hausadresse:
Ridlerstr. 55
80339 München

Siemens Aktiengesellschaft · Vorsitzender des Aufsichtsrats: Karl-Hermann Baumann · Vorstand: Heinrich v. Pierer, Vorsitzender · Mitglieder: Volker Jung, Roland Koch, Edward G. Krubasik, Rudi Lamprecht, Heinz-Joachim Neubürger, Peter Pribilla, Jürgen Radomski, Uriel J. Sharef, Claus Weyrich, Klaus Wucherer
Sitz der Gesellschaft: Berlin und München · Registergericht: Berlin-Charlottenburg, HRB 12300; München, HRB 6684





P.B.5818 – Patentlaan 2
2280 HV Rijswijk (ZH)
☎ (070) 3 40 20 40
TX 31651 epo nl
FAX (070) 3 40 30 16

Europäisches
Patentamt

Eingangs-
stelle

European
Patent Office

Receiving
Section

Office européen
des brevets

Section de
Dépôt

SIEMENS AKTIENGESELLSCHAFT
Postfach 22 16 34
80506 München
ALLEMAGNE

Datum/Date

11/01/00

Zeichen/Ref./Réf.

GR 98P1989E

Anmeldung Nr./Application No./Demande n°./Patent Nr./Patent No./Brevet n°.

99113048.5-2210 / 0969475

Anmelder/Applicant/Demandeur/Patentinhaber/Proprietor/Titulaire

SIEMENS AKTIENGESELLSCHAFT

**MITTEILUNG NACH REGEL 50 EPÜ
ERINNERUNG AN DIE ZAHLUNG DER BENENNUNGSGEBÜHREN (ART. 79(2) EPÜ)
SOWIE DER PRÜFUNGSGEBÜHR (ART. 94(2) EPÜ)**

Der Tag, an dem im Europäischen Patentblatt auf die Veröffentlichung des europäischen Recherchenberichtes für die obige europäische Patentanmeldung hingewiesen wurde, ist der 05.01.00.

Es wird auf Artikel 79(2) und (3) sowie Artikel 94(2) und (3) EPÜ hingewiesen, wonach bis zum Ablauf von SECHS MONATEN nach dem obengenannten Veröffentlichungstag des europäischen Recherchenberichts

- die Benennungsgebühren zu entrichten sind (siehe hierzu aber die Beilage zum ABl. EPA 12/1996, Abs. 6)
- ein schriftlicher Prüfungsantrag gestellt sowie die Prüfungsgebühr entrichtet werden muss. (Der schriftliche Prüfungsantrag liegt vor.)

Die Benennungsgebühr für jeden benannten Vertragsstaat beträgt derzeit:

EUR	DEM	GBP	FRF	CHF	NLG	SEK	BEF/LUF	ITL
76	148,64	51	498,53	120	167,48	680	3066	147157

ATS	ESP	GRD	DKK	PTE	IEP	FIM	CYP
1045,78	12645	25300	570	15236,60	59,85	451,88	45

Ist die Patentanmeldung ab dem 01. Juli 1999 eingereicht worden, so gilt die Zahlung des siebenfachen Betrags einer Benennungsgebühr als Zahlung der Benennungsgebühren für alle Vertragsstaaten (siehe ABl. EPA 06/1999, 405).

--2/

EINSCHREIBEN

EPA Form 1081 (07.99)
003

DE* 7011005 06/01/00



Die Prüfungsgebühr beträgt derzeit:

EUR	DEM	GBP	FRF	CHF	NLG	SEK	BEF/LUF	ITL
1431	2798,79	966	9386,74	2320	3153,51	12880	57726	2770802
ATS	ESP	GRD	DKK	PTE	IEP	FIM	CYP	
19690,99	238098	476500	10730	286889,70	1127	8508,34	844	

Werden nicht wenigstens eine Benennungsgebühr und die Prüfungsgebühr innerhalb der Frist nach Artikel 79(2) bzw. 94(2) EPÜ entrichtet, so gilt die Anmeldung als zurückgenommen (Art. 79(3), Art. 94(3) EPÜ).

Eventuelle Erstreckungsgebühren sind ebenfalls innerhalb der obigen Frist zu entrichten.

HINWEIS FÜR TEILNEHMER AM AUTOMATISCHEN ABBUCHUNGSVERFAHREN:

1) Benennungsgebühr

Ist die Anmeldung bis zum 30. Juni 1999 eingereicht worden, so werden am letzten Tag der Frist nach Art. 79(2) EPÜ die Benennungsgebühren für die unter Nr. 2 des Felds 32 im Erteilungsantrag (Form 1001 (11.98)) angekreuzten Vertragsstaaten abgebucht, falls dem EPA nicht bis dahin eine abweichende Erklärung zugegangen ist.

Ist eine Anmeldung ab dem 01. Juli 1999 eingereicht worden, so wird am letzten Tag der Frist nach Art. 79(2) EPÜ der siebenfache Betrag einer Benennungsgebühr abgebucht. Sind unter Nr. 2 des Felds 32 im Erteilungsantrag (Form 1001 (07.99)) Vertragsstaaten eingetragen worden, werden nur die Benennungsgebühren für diese Vertragsstaaten abgebucht, falls dem EPA nicht vor Ablauf der Grundfrist zur Zahlung der Benennungsgebühren eine abweichende Erklärung zugegangen ist.

2) Prüfungsgebühr

Die Prüfungsgebühr wird am letzten Tag der Zahlungsfrist automatisch abgebucht, falls dem EPA nicht bis zu diesem Zeitpunkt eine gegen-
teilige Erklärung zugegangen ist.

Näheres siehe Vorschriften über das automatische Abbuchungsverfahren,
Beilage zum ABI. EPA 2/1999.

EINGANGSSTELLE



Anmeldung Nr./Application No./Demande n° // Patent Nr./Patent No./Brevet n°.	Blatt/Page/Feuille
99113048.5	2



2280 HV RIJSWIJK (ZH)
☎ (070) 3 40 20 40
TX 31651 epo nl
FAX (070) 3 40 30 16

Patentamt
Eingangs-
stelle

Patent Office
Receiving
Section

Bureau des brevets
Section de
Dépôt

SIEMENS AKTIENGESELLSCHAFT
Postfach 22 16 34
80506 München
ALLEMAGNE

Datum/Date

24/11/99

Zeichen/Ref./Réf.

GR 98P1989E

Anmeldung Nr./Application No./Demande n°/Patent Nr./Patent No./Brevet n°.

99113048.5-2210 / 0969475

Anmelder/Applicant/Demandeur/Patentinhaber/Proprietor/Titulaire

SIEMENS AKTIENGESELLSCHAFT

MITTEILUNG DER EUROPÄISCHEN VERÖFFENTLICHUNGSNUMMER UND INFORMATION ZUR ANWENDUNG DES ARTIKELS 67(3) EPÜ

Die Eingangsstelle weist Sie hiermit darauf hin, dass die technischen Vorbereitungen für die Veröffentlichung der obengenannten europäischen Patentanmeldung abgeschlossen sind. Der einstweilige Schutz gemäss Art. 67(1) und (2) EPÜ in den jeweiligen Vertragsstaaten wird nur wirksam, wenn die in Art. 67(3) EPÜ angeführten Voraussetzungen erfüllt sind (nähere Informationen hierzu sind der EPA Broschüre "Nationales Recht zum EPÜ" zu entnehmen).

Diese Anmeldung wird am 05.01.00 mit dem europäischen Recherchenbericht veröffentlicht werden. Auf die Veröffentlichung wird im Europäischen Patentblatt Nummer 1900/01 hingewiesen werden. Die Veröffentlichungsnummer ist: 0969475.

Die Bezeichnung der Erfindung lautet in den drei Amtssprachen des Europäischen Patentamts wie folgt:

Dynamische Halbleiter-Speichervorrichtung und Verfahren zur Initialisierung einer dynamischen Halbleiter-Speichervorrichtung
Dynamic semiconductor memory and method for the initialisation of a dynamic semiconductor memory

Mémoire dynamique à semi-conducteur et méthode pour l'initialisation d'une mémoire dynamique à semi-conducteur

Sie werden gebeten, künftig bei allen Mitteilungen an das EPA die oben angegebene Anmeldenummer als Referenz anzugeben, d.h. einschliesslich der vier Ziffern (welche die für das weitere Verfahren zuständige Direktion kennzeichnen).

Änderungen der europäischen Patentanmeldung oder des europäischen Patents müssen in der Verfahrenssprache eingereicht werden.

HINWEIS: Ein Exemplar der veröffentlichten Patentanmeldung wird Ihnen von unserer Druckerei zugesandt werden.

EINGANGSSTELLE





P.B.5818 – Patentlaan 2
2280 HV Rijswijk (ZH)
☎ (070) 3 40 20 40
TX 31651 epo nl
FAX (070) 3 40 30 16

**Europäisches
Patentamt**

Eingangs-
stelle

**European
Patent Office**

Receiving
Section

**Office européen
des brevets**

Section de
Dépôt

SIEMENS AKTIENGESELLSCHAFT
Postfach 22 16 34
80506 München
ALLEMAGNE

Datum/Date

24/11/99

Zeichen/Ref./Réf.

GR 98P1989E

Anmeldung Nr./Application No./Demande n°./Patent Nr./Patent No./Brevet n°.

99113048.5-2210 / 0969475

Anmelder/Applicant/Demandeur/Patentinhaber/Proprietor/Titulaire

SIEMENS AKTIENGESELLSCHAFT

MITTEILUNG DER EUROPÄISCHEN VERÖFFENTLICHUNGSNUMMER UND INFORMATION ZUR ANWENDUNG DES ARTIKELS 67(3) EPÜ

Die Eingangsstelle weist Sie hiermit darauf hin, dass die technischen Vorbereitungen für die Veröffentlichung der obengenannten europäischen Patentanmeldung abgeschlossen sind. Der einstweilige Schutz gemäss Art. 67(1) und (2) EPÜ in den jeweiligen Vertragsstaaten wird nur wirksam, wenn die in Art. 67(3) EPÜ angeführten Voraussetzungen erfüllt sind (nähere Informationen hierzu sind der EPA Broschüre "Nationales Recht zum EPÜ" zu entnehmen).

Diese Anmeldung wird am 05.01.00 mit dem europäischen Recherchenbericht veröffentlicht werden. Auf die Veröffentlichung wird im Europäischen Patentblatt Nummer 1900/01 hingewiesen werden.

Die Veröffentlichungsnummer ist: 0969475.

Die Bezeichnung der Erfindung lautet in den drei Amtssprachen des Europäischen Patentamts wie folgt:

Dynamische Halbleiter-Speichervorrichtung und Verfahren zur
Initialisierung einer dynamischen Halbleiter-Speichervorrichtung
Dynamic semiconductor memory and method for the initialisation of a
dynamic semiconductor memory

Mémoire dynamique à semi-conducteur et méthode pour
l'initialisation d'une mémoire dynamique à semi-conducteur

Sie werden gebeten, künftig bei allen Mitteilungen an das EPA die oben angegebene Anmeldenummer als Referenz anzugeben, d.h. einschliesslich der vier Ziffern (welche die für das weitere Verfahren zuständige Direktion kennzeichnen).

Änderungen der europäischen Patentanmeldung oder des europäischen Patents müssen in der Verfahrenssprache eingereicht werden.

HINWEIS: Ein Exemplar der veröffentlichten Patentanmeldung wird Ihnen von unserer Druckerei zugesandt werden.

EINGANGSSTELLE



**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT
ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 99 11 3048

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentedokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am

Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

28-10-1999

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP 09106668 A	22-04-1997	US 5774402 A	30-06-1998
EP 0797207 A	24-09-1997	JP 9259582 A	03-10-1997
		US 5699302 A	16-12-1997
		US 5812491 A	22-09-1998

EPO FORM P0461

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82



P.B.5818 – Patentlaan 2
2280 HV Rijswijk (ZH)
☎ (070) 3 40 20 40
TX 31651 epo nl
FAX (070) 3 40 30 16

**Europäisches
Patentamt**

Zweigstelle
in Den Haag
Recherchen-
abteilung

**European
Patent Office**

Branch at
The Hague
Search
division

**Office européen
des brevets**

Département à
La Haye
Division de la
recherche

SIEMENS AKTIENGESELLSCHAFT
Postfach 22 16 34
80506 München
ALLEMAGNE

Datum/Date

05.11.99

Zeichen/Ref./Réf.

GR 98P1989E

Anmeldung Nr./Application No./Demande n°./Patent Nr./Patent No./Brevet n°.

99113048.5-2210-

Anmelder/Applicant/Demandeur/Patentinhaber/Proprietor/Titulaire

SIEMENS AKTIENGESELLSCHAFT

MITTEILUNG

Das Europäische Patentamt übermittelt beiliegend den europäischen Recherchenbericht zu der obengenannten europäischen Patentanmeldung.

Wenn zutreffend, Kopien der im Recherchenbericht aufgeführten Schriften sind beigelegt.

☐ Zusätzliche Kopie(n) der im europäischen Recherchenbericht angeführten Schriftstücke sind beigelegt.

Die folgenden Angaben des Anmelders wurden von der Recherchenabteilung genehmigt:

☒ Zusammenfassung

☒ Bezeichnung

☐ Die Zusammenfassung wurde von der Recherchenabteilung abgeändert und der endgültige Wortlaut ist dieser Mitteilung beigelegt.

Die folgende Abbildung wird mit der Zusammenfassung veröffentlicht: 1



RÜCKERSTATTUNG DER RECHERCHENGEBÜHR

Falls Artikel 10 der Gebührenordnung in Anwendung kommt, ergeht noch eine gesonderte Mitteilung der Eingangsstelle hinsichtlich der Rückerstattung der Recherchegebühr.



EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
X	JP 09 106668 A (SAMSUNG ELECTRON CO LTD) 22. April 1997 (1997-04-22)	1,3,4, 12,13	G11C7/00
Y	& US 5 774 402 A (LEE CHEOL-HA) 30. Juni 1998 (1998-06-30) * das ganze Dokument *	9	
Y	EP 0 797 207 A (FUJITSU LTD) 24. September 1997 (1997-09-24) * Spalte 3, Zeile 25-39; Abbildungen 1-4 *	9	
			RECHERCHIERTE SACHGEBIETE (Int.Cl.7)
			G11C
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 28. Oktober 1999	Prüfer Czarik, D
KATEGORIE DER GENANTEN DOKUMENTE X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

1

EPO FORM 1503 03.82 (P04C03)

30. Juni 1999

14

Zusammenfassung

Bezeichnung der Erfindung: Dynamische Halbleiterspeichervorrichtung und Verfahren zur Initialisierung einer dynamischen

5 Halbleiterspeichervorrichtung

Die Erfindung betrifft eine dynamische Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) mit einer den Einschaltvorgang der Halbleiter-Speichervorrichtung und
10 ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung, welche nach einer nach dem Einschalten der Halbleiter-Speichervorrichtung erfolgten Stabilisierung der Versorgungsspannung ein Versorgungsspannungsstabilisignal (POWERON) liefert. Die Initialisierungsschaltung weist eine
15 dem Versorgungsspannungsstabilisignal (POWERON) und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen zugeordnete Freigabeschaltung (9) auf, welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung
20 angelegten Kommandosignale ein Freigabesignal (CHIP-READY) liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerschaltung (13) bewirkt.

25 (Figur 1)

30. Juni 1999

Patentansprüche

1. Dynamische Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) mit einer den Einschaltvorgang der Halbleiter-Speichervorrichtung und ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung, welche nach einer nach dem Einschalten der Halbleiter-Speichervorrichtung erfolgten Stabilisierung der Versorgungsspannung ein Versorgungsspannungsstabilsignal (POWERON) liefert, dadurch gekennzeichnet, dass die Initialisierungsschaltung eine dem Versorgungsspannungsstabilsignal (POWERON) und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen (PRE, ARF, MRS) zugeordnete Freigabeschaltung (9) aufweist, welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale Kommandosignalen (PRE, ARF, MRS) ein Freigabesignal (CHIPREADY) liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerschaltung (13) bewirkt.
2. Halbleiter-Speichervorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignale (PRE, ARF, MRS) der von der Freigabeschaltung (9) erkennenden Initialisierungsabfolge das Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE), und/oder das Auffrischkommando (AUTOREFRESH), und/oder das Lade-Konfigurations-Register-Kommando (MODEREGISTER-SET) aufweist.

10

3. Halbleiter-Speichervorrichtung nach Anspruch 1 oder 2,
dadurch g e k e n n z e i c h n e t,
dass die Freigabeschaltung (9) wenigstens eine bistabile
Kippschaltungsstufe (14, 15, 16) mit einem Setzeingang (S),
5 an dem ein Kommandosignal (PRECHARGE, AUTOREFRESH, MODE-
REGISTER-SET) anliegt, einem Rücksetzeingang (R), an dem das
Versorgungsspannungsstabilisierungssignal (POWERON) oder ein davon ab-
geleitetes bzw. verknüpftes Signal anliegt, und mit einem
Ausgang (Q), an dem das Freigabesignal (CHIPREADY) (9) abge-
10 leitet ist, aufweist.

4. Halbleiter-Speichervorrichtung nach Anspruch 3,
dadurch g e k e n n z e i c h n e t,
dass die Freigabeschaltung (9) mehrere, jeweils einem Komman-
15 dosignal (PRE, ARF, MRS) zugeordnete bistabile Kippschal-
tungsstufen (14, 15, 16) aufweist.

5. Halbleiter-Speichervorrichtung nach Anspruch 3 oder 4,
dadurch g e k e n n z e i c h n e t,
20 dass der Ausgang (Q) wenigstens einer der bistabilen Kipp-
schaltungsstufen (14) an einen Rücksetzeingang einer weiteren
Kippschaltungsstufe (15) geführt ist.

6. Halbleiter-Speichervorrichtung nach einem der Ansprüche 3
25 bis 5,
dadurch g e k e n n z e i c h n e t,
dass bei einer der bistabilen Kippschaltungsstufe (15) das
Versorgungsspannungsstabilisierungssignal (POWERON) und das von dem
Ausgang (Q) einer weiteren Kippschaltungsstufe (14) ausgege-
30 bene Signal über ein Gatter (17) logisch verknüpft an den
Rücksetzeingang (R) der Kippschaltungsstufe (15) geführt
sind.

7. Halbleiter-Speichervorrichtung nach einem der Ansprüche 3 bis 6,

dadurch gekennzeichnet,

5 dass die bistabile Kippschaltungsstufe (14, 15, 16) jeweils durch ein aus wenigstens zwei NOR- oder NAND-Gattern (14A, 14B, 15A, 17, 16A, 16B) aufgebautes RS-Flip-Flop ausgebildet ist.

8. Halbleiter-Speichervorrichtung nach einem der Ansprüche 2 bis 7,

dadurch gekennzeichnet,

10 dass die von der Freigabeschaltung (9) als ordnungsgemäße Initialisierungsabfolge erkannte und das Freigabesignal (CHIPREADY) auslösende Initialisierungsabfolge eine mit dem JEDEC-Standard konforme Kommandofolge darstellt.

9. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1 bis 8,

dadurch gekennzeichnet,

20 dass die Ausgangstreiber der Halbleiter-Speichervorrichtung beim Einschaltvorgang bis zur Ausgabe des von der Freigabeschaltung (9) gelieferten Freigabesignals (CHIPREADY) verriegelt bleiben.

25 10. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1 bis 9,

dadurch gekennzeichnet,

30 dass eine ordnungsgemäße Initialisierungsabfolge, welche die Auslösung eines Freigabesignals (CHIPREADY) bewirkt, folgende zeitlich aufeinanderfolgende Kommandosequenzen umfasst:

a) erstens PRE, zweitens ARF, drittens MRS, oder

b) erstens PRE, zweitens MRS, drittens ARF, oder

c) erstens MRS, zweitens PRE, oder drittens ARF,

wobei die Abkürzungen folgende Kommandos bezeichnen:

35 PRE = Vorbereitungskommando für die Wortleitungsaktivierung

(PRECHARGE),

ARF = Auffrischungskommando (AUTOREFRESH), und

MRS = Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET).

5

11. Verfahren zur Initialisierung einer dynamischen Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) vermittelt einer den Einschaltvorgang der Halbleiter-Speichervorrichtung und ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung, welche nach einer nach dem Einschalten der Halbleiter-Speichervorrichtung erfolgten Stabilisierung der Versorgungsspannung ein Versorgungsspannungsstabilisignal (POWERON) liefert,
dadurch g e k e n n z e i c h n e t,
15 dass die Initialisierungsschaltung vermittelt einer dem Versorgungsspannungsstabilisignal (POWERON) und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen (PRE, ARF, MRS) zugeordneten Freigabeschaltung (9) nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale ein Freigabesignal (CHIP-READY) liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerschaltung (13) bewirkt.

25

12. Verfahren nach Anspruch 11,
dadurch g e k e n n z e i c h n e t,
dass die von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignale (PRE, ARF, MRS) der von der Freigabeschaltung (9) erkennenden Initialisierungsabfolge das Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE),
30 und/oder das Auffrischungskommando (AUTOREFRESH), und/oder das Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET) aufweist.

35

13

13. Verfahren nach Anspruch 11 oder 12,
dadurch g e k e n n z e i c h n e t ,
dass die Ausgangstreiber der Halbleiter-Speichervorrichtung
beim Einschaltvorgang bis zur Ausgabe des von der Freigabe-
5 schaltung (9) gelieferten Freigabesignals (CHIPREADY) verrie-
gelt bleiben.

14. Verwendung einer ein Freigabesignal (CHIPREADY) liefern-
den Freigabeschaltung (9) zur Steuerung des Einschaltvorgan-
10 ges einer dynamischen Halbleiter-Speichervorrichtung vom
wahlweisen Zugriffstyp (DRAM/SDRAM) nach einem der Ansprüche 1
bis 10.

30. Juni 1999

1

Beschreibung

Bezeichnung der Erfindung: Dynamische Halbleiter-Speicher-
vorrichtung und Verfahren zur Initialisierung einer dynami-
5 schen Halbleiter-Speichervorrichtung

Die Erfindung betrifft eine dynamische Halbleiter-Speicher-
vorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) mit einer
den Einschaltvorgang der Halbleiter-Speichervorrichtung und
10 ihrer Schaltungsbestandteile steuernden Initialisierungs-
schaltung, welche nach einer nach dem Einschalten der Halb-
leiter-Speichervorrichtung erfolgten Stabilisierung der Ver-
sorgungsspannung ein Versorgungsspannungsstabilisignal (PO-
WERON) liefert, ein Verfahren zur Initialisierung einer sol-
15 chen dynamischen Halbleiter-Speichervorrichtung, sowie die
Verwendung einer ein Freigabesignal liefernden Freigabeschal-
tung zur Steuerung des Einschaltvorganges einer dynamische
Halbleiter-Speichervorrichtung.

20 Bei SDRAM-Halbleiterspeichern nach dem JEDEC-Standard ist
während des Einschaltvorganges ("POWERUP") dafür zu sorgen,
dass die internen, für den ordnungsgemäßen Betrieb der Halb-
leiter-Speichervorrichtung vorgesehenen Steuerschaltungen si-
cher in einem definierten Sollzustand gehalten werden, um ei-
25 ne unerwünschte Aktivierung von Ausgangstransistoren zu ver-
hindern, die auf den Datenleitungen einen Kurzschluss (soge-
nannte "Bus Contention" bzw. "Data Contention") oder eine un-
kontrollierte Aktivierung von internen Stromverbrauchern her-
vorrufen würde. Aufgrund einer prinzipiellen Unvorhersehbar-
30 keit des zeitlichen Verlaufes der Versorgungsspannung und des
bzw. der Spannungspegel an den externen Steuereingängen wäh-
rend des Einschaltvorganges des Halbleiter-Speichers gestal-
tet sich die Lösung dieses Problems schwierig. Nach den Her-
stellerspezifikationen sollte ein SDRAM-Bauelement sämtliche
35 Befehle, die zeitlich vor einer definierten Initialisierungs-

abfolge anliegen, ignorieren. Diese Abfolge besteht aus vorbestimmten Kommandos, die in einer definierten zeitlichen Reihenfolge angelegt werden müssen. Eine Reihe von Funktionen und Kommandos, die im ordnungsgemäßen Betrieb des Bauelementes erlaubt sind, sind jedoch zeitlich erst nach der Initialisierungsabfolge erwünscht bzw. erlaubt. Nach dem JEDEC-Standard für SDRAM-Halbleiter-Speicher ist eine empfohlene Initialisierungsabfolge (sogenannte "POWERON-SEQUENCE") wie folgt vorgesehen:

10

1. Anlegen eines Versorgungsspannungs- und Startimpulses, um die Aufrechterhaltung einer NOP-Bedingung bei den Eingängen des Bauelementes zu erzielen.

15

2. Aufrechterhaltung einer stabilen Versorgungsspannung, eines stabilen Taktes, und von stabilen NOP-Eingangsbedingungen für eine Mindestzeitdauer von 200 μ s.

20

3. Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE) für sämtliche Speicherbänke der Vorrichtung.

4. Aktivierung von acht oder mehreren Auffrischungskommandos (AUTOREFRESH).

25

5. Aktivierung des Lade-Konfigurations-Register-Kommandos (MODE-REGISTER-SET) zur Initialisierung des Modusregisters.

30

Nach dem Erkennen einer solchen definierten Initialisierungsabfolge befindet sich der Speicherbaustein normalerweise in einem sogenannten IDLE-Zustand, d.h. er ist vorgeladen und für den ordnungsgemäßen Betrieb vorbereitet. Bei den bisher bekannt gewordenen SDRAM-Halbleiter-Speicherbausteinen wurden sämtliche Steuerschaltungen des Bauelementes lediglich mit dem POWERON-Signal entriegelt. Dieses Signal POWERON ist aktiv, wenn die internen Versorgungsspannungen die erforderli-

35

chen Werte erreicht haben, die zum ordnungsgemäßen Betrieb des Bauelementes erforderlich sind. Danach ist der Baustein in der Lage, Befehle anzuerkennen und auszuführen.

- 5 Der Erfindung liegt die Aufgabe zugrunde, eine konstruktiv möglichst einfache Verbesserung der Steuerung des Einschaltvorganges bei dynamischen Halbleiter-Speichervorrichtungen vom wahlweisen Zugriffstyp (DRAM oder SDRAM) anzugeben, mit welcher die Gefahr eines Kurzschlusses der Datenleitungen
10 und/oder einer unkontrollierten Aktivierung von internen Stromverbrauchern wirksam verhindert wird.

Diese Aufgabe wird durch eine dynamische Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp nach Anspruch 1, ein
15 Verfahren zur Initialisierung einer solchen Halbleiter-Speichervorrichtung nach Anspruch 11, sowie durch die Verwendung einer ein Freigabesignal (CHIPREADY) liefernden Freigabeschaltung zur Steuerung des Einschaltvorganges einer derartigen Halbleiter-Speichervorrichtung nach Anspruch 14 gelöst.

20 Erfindungsgemäß ist vorgesehen, dass die Initialisierungsschaltung eine dem Versorgungsspannungssstabilisignal und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen zugeordnete Freigabeschaltung aufweist, welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale ein Freigabesignal
25 liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerungsschaltung bewirkt.
30

Dem Prinzip der Erfindung folgend wird ein Freigabesignal (CHIPREADY) generiert, welches in Abhängigkeit weiterer interner Signale und der Initialisierungsabfolge aktiv wird und
35 danach vorbestimmte Schaltungen entriegelt. Bis zur Beeendi-

gung der vorgegebenen Initialisierungsabfolge bleiben die vorbestimmten Schaltungen verriegelt. Beispielsweise werden Kommandos decodiert, jedoch nicht ausgeführt, und die Ausgangstreiber hochohmig gehalten.

5

Nach der bevorzugten Anwendung bei SDRAM-Speichervorrichtungen nach dem JEDEC-Standard ist vorgesehen, dass die von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignale der von der Freigabeschaltung erkennenden In-

10 itialisierungsabfolge das Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE), und/oder das Auffrischkommando (AUTOREFRESH), und/oder das Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET) aufweist.

15 Nach einer vorteilhaften konstruktiven Ausgestaltung der erfindungsgemäßen Initialisierungsschaltung ist vorgesehen, dass die Freigabeschaltung wenigstens eine bistabile Kipp-schaltungsstufe mit einem Setzeingang, an dem ein Kommandosi-
20 gnal (PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET) anliegt, einem Rücksetzeingang, an dem das Versorgungsspannungsstabilisignal (POWERON) oder ein davon abgeleitetes bzw. verknüpftes Signal anliegt, und mit einem Ausgang, an dem das Freigabesi-
gnal (CHIPREADY) abgeleitet ist, aufweist.

25 Insbesondere besitzt die Freigabeschaltung mehrere, jeweils einem Kommandosignal zugeordnete bistabile Kippschaltungsstufen.

In zweckmäßiger Ausgestaltung der Erfindung ist vorgesehen,
30 dass der Ausgang wenigstens einer der bistabilen Kippschaltungsstufen an einen Rücksetzeingang einer weiteren Kippschaltungsstufe geführt ist. Hierbei kann des Weiteren vorge-
sehen sein, dass bei einer der bistabilen Kippschaltungsstufe das Versorgungsspannungsstabilisignal (POWERON) und das von
35 dem Ausgang einer weiteren Kippschaltungsstufe ausgegebene

5

Signal über ein Gatter logisch verknüpft an den Rücksetzeingang der Kippschaltungsstufe geführt sind.

5 Weitere vorteilhafte Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen.

Nachfolgend wird die Erfindung anhand mehrerer in der Zeichnung dargestellter Ausführungsbeispiele weiter erläutert.

Es zeigt:

10

Figur 1 eine schematische Blockdarstellung einer den Einschaltvorgang des Halbleiterspeichers und ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung;

15

Figur 2 ein schematisches Schaltbild einer das Freigabesignal (CHIPREADY) liefernden Freigabeschaltung;

20

Figur 3 ein Zeitablaufdiagramm zur Erläuterung der Funktionsweise der Schaltung nach Figur 2;

Figur 4 ein Schaltbild einer Freigabeschaltung nach einem Ausführungsbeispiel der Erfindung.

25 Figur 1 zeigt die für das Verständnis der Erfindung wichtigen Schaltungsbestandteile einer nach dem JEDEC-Standard arbeitenden SDRAM-Speichervorrichtung mit einer den Einschaltvorgang der Halbleiterspeichervorrichtung und ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung mit einer
30 Eingangsschaltung 1, an deren Eingang 2 die von außen an den Halbleiterspeicher einzugebenden Kommando- und Taktsignale anliegen, verstärkt und aufbereitet werden, einem der Eingangsschaltung 1 nachgeschalteten Kommandodecoder 3, an dessen Ausgang 4 unter anderem die Kommandosignale PRE bzw.
35 PRECHARGE (Vorbereitungskommando für die Wortleitungsaktivie-

rung), ARF bzw. AUTOREFRESH (Auffrischungskommando) und MRS bzw. MODE-REGISTER-SET (Lade-Konfiguration-Register-Kommando) ausgegeben werden, sowie einer Schaltung 5 für die interne Spannungsregulierung bzw. -detektierung, an deren Eingang 6 die von außen an den Halbleiter-Speicher anliegenden externen Versorgungsspannungen zugeführt sind, und an deren Ausgang 7 das POWERON-Signal und an deren Ausgang 8 die stabilisierten internen Versorgungsspannungen geliefert werden. Die Funktionsweise und der Aufbau der Schaltungen 1, 3 und 5 ist dem Fachmann hinreichend bekannt und braucht daher nicht näher erläutert werden. Wichtig für das Verständnis der Erfindung ist, dass die Schaltung 5 ein aktives POWERON-Signal liefert, wenn nach der POWERUP-Phase des SDRAM-Speichers die am Ausgang 8 anliegenden internen Versorgungsspannungen die für den ordnungsgemäßen Betrieb des Bauelementes erforderlichen Werte erreicht haben.

Nach der Erfindung besitzt die Initialisierungsschaltung darüber hinaus eine den Schaltungen 3 und 5 nachgeschaltete Freigabeschaltung 9, an deren Eingang 10 unter anderem die Kommandosignale PRE, ARF und MRS, an deren Eingang 11 das POWERON-Signal anliegt, und an deren Ausgang 12 das nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale ein Freigabesignal CHIPREADY geliefert wird, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerschaltungen 13 bewirkt. Diese internen Steuerschaltungen 13 dienen unter anderem der Ablaufsteuerung für einen oder mehrere der (nicht näher dargestellten) Speicherblöcke des SDRAM-Speichers und sind als solche bekannt.

Figur 2 zeigt ein bevorzugtes Ausführungsbeispiel der Freigabeschaltung 9 nach der Erfindung. Diese umfasst drei bistabile Kippschaltungsstufen 14, 15 und 16 mit jeweils einem Setz-

eingang S, einem Rücksetzeingang R, sowie einem Ausgang Q, ein dem Rücksetzeingang R der Kippschaltungsstufe 15 vorgeschaltetes UND-Gatter 17, ein sämtlichen Ausgängen Q der Kippschaltungsstufen 14, 15, 16 nachgeschaltetes UND-Gatter 18, sowie einem dem UND-Gatter 18 nachgeschalteten Inverter 19, an dessen Ausgang 12 das Freigabesignal CHIPREADY ausgegeben wird, wobei das Freigabesignal HIGH-aktiv ist, d.h. aktiviert ist, wenn sein Spannungspegel auf logisch HIGH ist. Die an den jeweiligen Setzeingängen S der bistabilen Kippschaltungsstufen 14, 15, 16 anliegenden Kommandosignale PRE, ARF, MRS sind jeweils LOW-aktiv, d.h. diese Signale sind aktiv, wenn ihr Spannungspegel auf logisch LOW liegt, während das POWERON-Signal wiederum HIGH-aktiv ist. Das POWERON-Signal liegt bei den Kippschaltungsstufen 14 und 16 unmittelbar an den Rücksetzeingängen R an und liegt bei der Kippschaltungsstufe 15 zunächst an dem einen Eingang des UND-Gatters 17 an, an dessen anderem Eingang das von dem Ausgang Q der Kippschaltungsstufe 14 ausgegebenen Signal anliegt, wobei der Ausgang des UND-Gatters 17 mit dem Rücksetzeingang der Kippschaltungsstufe 15 verbunden ist.

Die Funktionsweise der in Figur 2 dargestellten Freigabeschaltung 9 ist dergestalt, dass eine Aktivierung des Freigabesignales CHIPREADY am Ausgang 12 auf logisch HIGH erst dann generiert wird, wenn eine vorbestimmte zeitliche Initialisierungsabfolge der Kommandosignale PRE, ARF und MRS und eine Aktivierung des POWERON-Signales auf den logischen Pegel HIGH detektiert wird. Erst danach werden aufgrund der Aktivierung des Freigabesignales CHIPREADY die Steuerschaltungen entriegelt; vorher bleiben diese Schaltungen verriegelt.

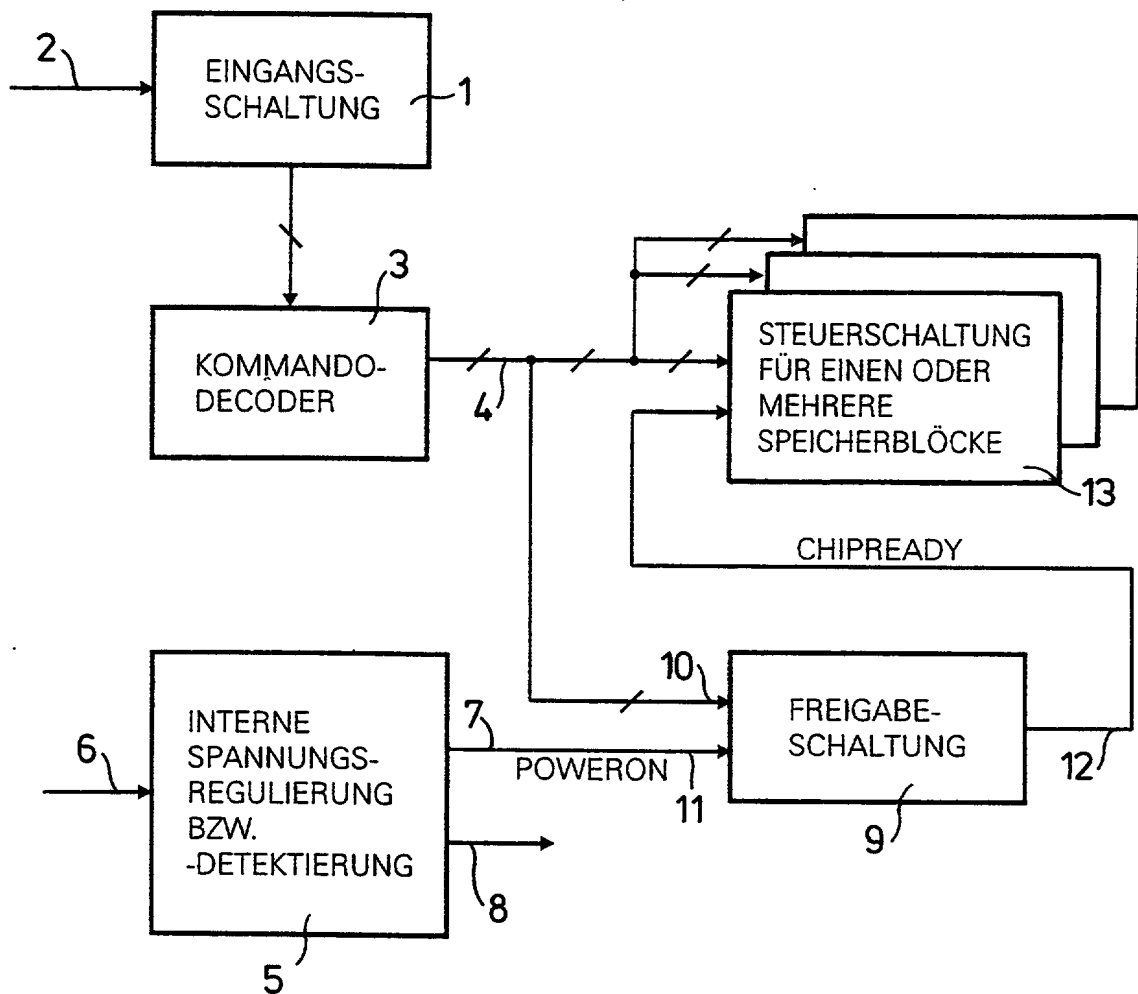
In dem schematischen Zeitablaufdiagramm nach Figur 3 sind beispielhafte Kommandoabfolgen während des Einschaltvorganges der Halbleiter-Speichervorrichtung zur Erläuterung der Funktionsweise der Freigabeschaltung 9 dargestellt.

Bei der Fallkonstellation A erfolgt eine gegenüber der Aktivierung des POWERON-Signales zu frühe Aktivierung des Signales PRECHARGE auf LOW-aktiv, so dass konsequenterweise noch
5 keine Aktivierung des Freigabesignales CHIPREADY auf logisch LOW erfolgt, da die ordnungsgemäße Initialisierungsabfolge eine Wartezeit vor dem ersten Kommando erfordert. Richtigerweise wird damit der Signalhub des Kommandos PRECHARGE nach der Fallkonstellation A ignoriert. Bei der Fallkonstellation
10 B ist die zeitliche Reihenfolge der Aktivierung des Signales AUTOFRESH auf logisch LOW falsch, da die ordnungsgemäße Initialisierungsabfolge einen vorherigen PRECHARGE-Befehl vor dem AUTOREFRESH-Befehl vorschreibt. Der Signalhub des AUTOREFRESH-Signales auf logisch LOW nach der Fallkonstellat
15 tion B wird daher ebenfalls ignoriert, das Freigabesignal geht nicht auf logisch HIGH. Bei der Fallkonstellation C liegt - konform mit dem JEDEC-Standard - eine richtige zeitliche Reihenfolge der Befehle PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET vor; folgerichtig wird nun, nachdem auch das
20 POWERON-Signal auf logisch HIGH ist, ein Freigabesignal CHIPREADY auf logisch HIGH geliefert. Mit dem Symbol D ist strichliert dargestellt noch eine weitere denkbare, erlaubte und daher ein Freigabesignal auslösende Initialisierungsabfolge dargestellt: Eine Aktivierung des Kommandos MODE-
25 REGISTER-SET auf logisch LOW ist nach der Aktivierung des POWERON-Signales jederzeit erlaubt.

Figur 4 zeigt in näheren Einzelheiten ein bevorzugtes Ausführungsbeispiel einer erfindungsgemäßen Freigabeschaltung 9.
30 Bei diesem Ausführungsbeispiel ist jede bistabile Kippstufe 14, 15, 16 aus jeweils zwei NAND-Gattern 14A, 14B, 15A, 17, 16A, 16B, sowie einem Inverter 14C, 15C und 16C aufgebaut, die in der dargestellten Art und Weise miteinander verbunden sind. Bei der bistabilen Kippstufe 15 ist das NAND-Gatter 17
35 mit drei Eingängen versehen.

1/3

Fig 1



2/3

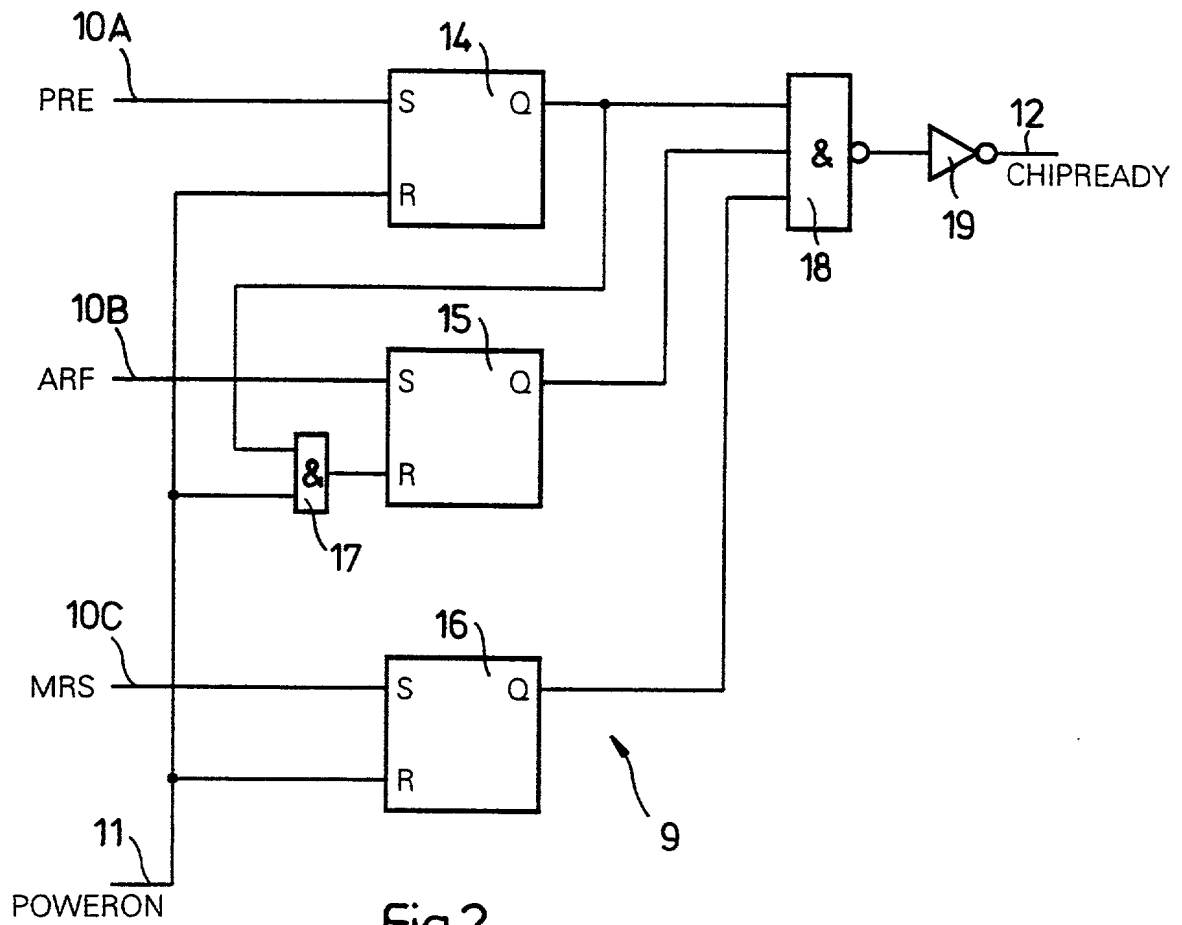


Fig 2

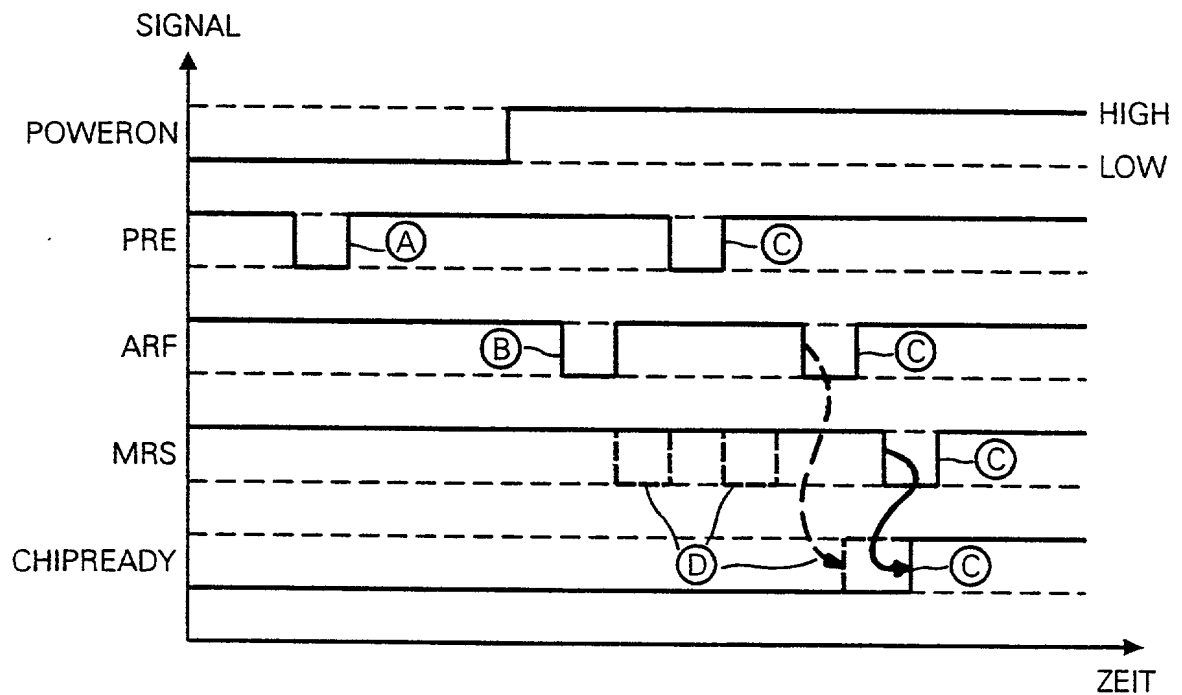


Fig 3

3/3

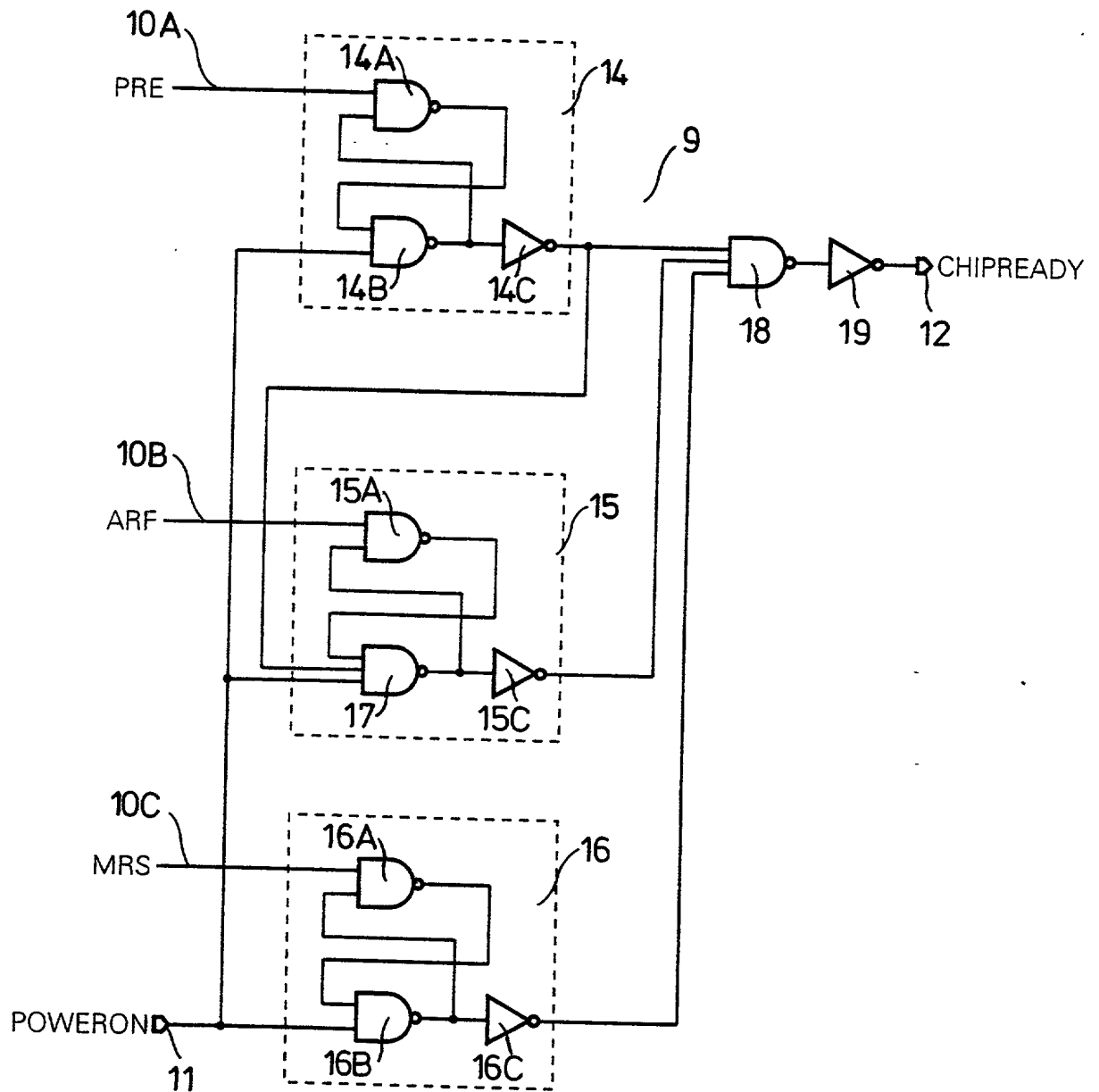


Fig 4

Receiving Section The Hague

File Number: 99113048.5

Date of Receipt: 30. 06. 99

EASY disc	☒	<i>Reading impossible in Munich</i>
SEQL disc	☐	
PHOTOGRAPHS	☐	
OTHER	☐	

MODEL sent on 06. 07. 99 To: WERNER HÜBNER
Den Haag - Room Nr. 01.25

or stored in

MAINFILE	☐	
BOX	☐	Number:
ARCHIVE	☐	Room number:

BUNDESREPUBLIK DEUTSCHLANDEPO - Munich
15

30. Juni 1999

Bescheinigung

Die Siemens Aktiengesellschaft in München/Deutschland hat eine Patentanmeldung unter der Bezeichnung

"Dynamische Halbleiter-Speichervorrichtung und Verfahren zur
Initialisierung einer dynamischen Halbleiter-Speichervorrichtung"

am 30. Juni 1998 beim Deutschen Patent- und Markenamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig die Symbole
G 11 C und G 06 F der Internationalen Patentklassifikation erhalten.

München, den 22. Juni 1999

Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Ebert

anzeichen: 198 29 287.2

THIS PAGE IS
INTENTIONALLY
BLANK

Beschreibung

Bezeichnung der Erfindung: Dynamische Halbleiter-Speicher-
vorrichtung und Verfahren zur Initialisierung einer dynami-
5 schen Halbleiter-Speichervorrichtung

Die Erfindung betrifft eine dynamische Halbleiter-Speicher-
vorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) mit einer
den Einschaltvorgang der Halbleiter-Speichervorrichtung und
10 ihrer Schaltungsbestandteile steuernden Initialisierungs-
schaltung, welche nach einer nach dem Einschalten der Halb-
leiter-Speichervorrichtung erfolgten Stabilisierung der Ver-
sorgungsspannung ein Versorgungsspannungsstabilisignal (PO-
WERON) liefert, ein Verfahren zur Initialisierung einer sol-
15 chen dynamischen Halbleiter-Speichervorrichtung, sowie die
Verwendung einer ein Freigabesignal liefernden Freigabeschal-
tung zur Steuerung des Einschaltvorganges einer dynamische
Halbleiter-Speichervorrichtung.

20 Bei SDRAM-Halbleiterspeichern nach dem JEDEC-Standard ist
während des Einschaltvorganges ("POWERUP") dafür zu sorgen,
dass die internen, für den ordnungsgemäßen Betrieb der Halb-
leiter-Speichervorrichtung vorgesehenen Steuerschaltungen si-
cher in einem definierten Sollzustand gehalten werden, um ei-
25 ne unerwünschte Aktivierung von Ausgangstransistoren zu ver-
hindern, die auf den Datenleitungen einen Kurzschluss (soge-
nannte "Bus Contention" bzw. "Data Contention") oder eine un-
kontrollierte Aktivierung von internen Stromverbrauchern her-
vorrufen würde. Aufgrund einer prinzipiellen Unvorhersehbar-
30 keit des zeitlichen Verlaufes der Versorgungsspannung und des
bzw. der Spannungspegel an den externen Steuereingängen wäh-
rend des Einschaltvorganges des Halbleiter-Speichers gestal-
tet sich die Lösung dieses Problems schwierig. Nach den Her-
stellerspezifikationen sollte ein SDRAM-Bauelement sämtliche
35 Befehle, die zeitlich vor einer definierten Initialisierungs-

2

abfolge anliegen, ignorieren. Diese Abfolge besteht aus vorbestimmten Kommandos, die in einer definierten zeitlichen Reihenfolge angelegt werden müssen. Eine Reihe von Funktionen und Kommandos, die im ordnungsgemäßen Betrieb des Bauelementes erlaubt sind, sind jedoch zeitlich erst nach der Initialisierungsabfolge erwünscht bzw. erlaubt. Nach dem JEDEC-Standard für SDRAM-Halbleiter-Speicher ist eine empfohlene Initialisierungsabfolge (sogenannte "POWERON-SEQUENCE") wie folgt vorgesehen:

10

1. Anlegen eines Versorgungsspannungs- und Startimpulses, um die Aufrechterhaltung einer NOP-Bedingung bei den Eingängen des Bauelementes zu erzielen.

15

2. Aufrechterhaltung einer stabilen Versorgungsspannung, eines stabilen Taktes, und von stabilen NOP-Eingangsbedingungen für eine Mindestzeitdauer von 200 µs.

20

3. Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE) für sämtliche Speicherbänke der Vorrichtung.

4. Aktivierung von acht oder mehreren Auffrischkommandos (AUTOREFRESH).

25

5. Aktivierung des Lade-Konfigurations-Register-Kommandos (MODE-REGISTER-SET) zur Initialisierung des Modusregisters.

30

Nach dem Erkennen einer solchen definierten Initialisierungsabfolge befindet sich der Speicherbaustein normalerweise in einem sogenannten IDLE-Zustand, d.h. er ist vorgeladen und für den ordnungsgemäßen Betrieb vorbereitet. Bei den bisher bekannt gewordenen SDRAM-Halbleiter-Speicherbausteinen wurden sämtliche Steuerschaltungen des Bauelementes lediglich mit dem POWERON-Signal entriegelt. Dieses Signal POWERON ist aktiv, wenn die internen Versorgungsspannungen die erforderli-

35

chen Werte erreicht haben, die zum ordnungsgemäßen Betrieb des Bauelementes erforderlich sind. Danach ist der Baustein in der Lage, Befehle anzuerkennen und auszuführen.

5 Der Erfindung liegt die Aufgabe zugrunde, eine konstruktiv möglichst einfache Verbesserung der Steuerung des Einschaltvorganges bei dynamischen Halbleiter-Speichervorrichtungen vom wahlweisen Zugriffstyp (DRAM oder SDRAM) anzugeben, mit welcher die Gefahr eines Kurzschlusses der Datenleitungen
10 und/oder einer unkontrollierten Aktivierung von internen Stromverbrauchern wirksam verhindert wird.

Diese Aufgabe wird durch eine dynamische Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp nach Anspruch 1, ein
15 Verfahren zur Initialisierung einer solchen Halbleiter-Speichervorrichtung nach Anspruch 11, sowie durch die Verwendung einer ein Freigabesignal (CHIPREADY) liefernden Freigabeschaltung zur Steuerung des Einschaltvorganges einer derartigen Halbleiter-Speichervorrichtung nach Anspruch 14 gelöst.

20 Erfindungsgemäß ist vorgesehen, dass die Initialisierungsschaltung eine dem Versorgungsspannungsstabilisignal und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen zugeordnete Freigabeschaltung aufweist, welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale ein Freigabesignal
25 liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerungsschaltung bewirkt.
30

Dem Prinzip der Erfindung folgend wird ein Freigabesignal (CHIPREADY) generiert, welches in Abhängigkeit weiterer interner Signale und der Initialisierungsabfolge aktiv wird und
35 danach vorbestimmte Schaltungen entriegelt. Bis zur Beeendi-

4

gung der vorgegebenen Initialisierungsabfolge bleiben die vorbestimmten Schaltungen verriegelt. Beispielsweise werden Kommandos decodiert, jedoch nicht ausgeführt, und die Ausgangstreiber hochohmig gehalten.

5

Nach der bevorzugten Anwendung bei SDRAM-Speichervorrichtungen nach dem JEDEC-Standard ist vorgesehen, dass die von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignale der von der Freigabeschaltung erkennenden In-

10 itialisierungsabfolge das Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE), und/oder das Auffrischkommando (AUTOREFRESH), und/oder das Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET) aufweist.

15 Nach einer vorteilhaften konstruktiven Ausgestaltung der erfindungsgemäßen Initialisierungsschaltung ist vorgesehen, dass die Freigabeschaltung wenigstens eine bistabile Kipp-schaltungsstufe mit einem Setzeingang, an dem ein Kommandosi-
20 gnal (PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET) anliegt, einem Rücksetzeingang, an dem das Versorgungsspannungsstabilisignal (POWERON) oder ein davon abgeleitetes bzw. verknüpftes Signal anliegt, und mit einem Ausgang, an dem das Freigabesi-
gnal (CHIPREADY) abgeleitet ist, aufweist.

25 Insbesondere besitzt die Freigabeschaltung mehrere, jeweils einem Kommandosignal zugeordnete bistabile Kippschaltungsstufen.

In zweckmäßiger Ausgestaltung der Erfindung ist vorgesehen,
30 dass der Ausgang wenigstens einer der bistabilen Kippschaltungsstufen an einen Rücksetzeingang einer weiteren Kippschaltungsstufe geführt ist. Hierbei kann des Weiteren vorgesehen sein, dass bei einer der bistabilen Kippschaltungsstufe das Versorgungsspannungsstabilisignal (POWERON) und das von
35 dem Ausgang einer weiteren Kippschaltungsstufe ausgegebene

5

Signal über ein Gatter logisch verknüpft an den Rücksetzein-
gang der Kippschaltungsstufe geführt sind.

Weitere vorteilhafte Ausgestaltungen der Erfindung ergeben
5 sich aus den Unteransprüchen.

Nachfolgend wird die Erfindung anhand mehrerer in der Zeich-
nung dargestellter Ausführungsbeispiele weiter erläutert.
Es zeigt:

10

Figur 1 eine schematische Blockdarstellung einer den Ein-
schaltvorgang des Halbleiterspeichers und ihrer
Schaltungsbestandteile steuernden Initialisierungsschaltung;

15

Figur 2 ein schematisches Schaltbild einer das Freigabesignal
(CHIPREADY) liefernden Freigabeschaltung;

20

Figur 3 ein Zeitablaufdiagramm zur Erläuterung der Funktions-
weise der Schaltung nach Figur 2;

Figur 4 ein Schaltbild einer Freigabeschaltung nach einem
Ausführungsbeispiel der Erfindung.

25

Figur 1 zeigt die für das Verständnis der Erfindung wichtigen
Schaltungsbestandteile einer nach dem JEDEC-Standard arbei-
tenden SDRAM-Speichervorrichtung mit einer den Einschaltvor-
gang der Halbleiterspeichervorrichtung und ihrer Schaltungs-
bestandteile steuernden Initialisierungsschaltung mit einer
30 Eingangsschaltung 1, an deren Eingang 2 die von außen an den
Halbleiterspeicher einzugebenden Kommando- und Taktsignale
anliegen, verstärkt und aufbereitet werden, einem der Ein-
gangsschaltung 1 nachgeschalteten Kommandodecoder 3, an des-
sen Ausgang 4 unter anderem die Kommandosignale PRE bzw.

35

PRECHARGE (Vorbereitungskommando für die Wortleitungsaktivie-

6

rung), ARF bzw. AUTOREFRESH (Auffrischungskommando) und MRS bzw. MODE-REGISTER-SET (Lade-Konfiguration-Register-Kommando) ausgegeben werden, sowie einer Schaltung 5 für die interne Spannungsregulierung bzw. -detektierung, an deren Eingang 6 die von außen an den Halbleiter-Speicher anliegenden externen Versorgungsspannungen zugeführt sind, und an deren Ausgang 7 das POWERON-Signal und an deren Ausgang 8 die stabilisierten internen Versorgungsspannungen geliefert werden. Die Funktionsweise und der Aufbau der Schaltungen 1, 3 und 5 ist dem Fachmann hinreichend bekannt und braucht daher nicht näher erläutert werden. Wichtig für das Verständnis der Erfindung ist, dass die Schaltung 5 ein aktives POWERON-Signal liefert, wenn nach der POWERUP-Phase des SDRAM-Speichers die am Ausgang 8 anliegenden internen Versorgungsspannungen die für den ordnungsgemäßen Betrieb des Bauelementes erforderlichen Werte erreicht haben.

Nach der Erfindung besitzt die Initialisierungsschaltung darüber hinaus eine den Schaltungen 3 und 5 nachgeschaltete Freigabeschaltung 9, an deren Eingang 10 unter anderem die Kommandosignale PRE, ARF und MRS, an deren Eingang 11 das POWERON-Signal anliegt, und an deren Ausgang 12 das nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale ein Freigabesignal CHIPREADY geliefert wird, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerschaltungen 13 bewirkt. Diese internen Steuerschaltungen 13 dienen unter anderem der Ablaufsteuerung für einen oder mehrere der (nicht näher dargestellten) Speicherblöcke des SDRAM-Speichers und sind als solche bekannt.

Figur 2 zeigt ein bevorzugtes Ausführungsbeispiel der Freigabeschaltung 9 nach der Erfindung. Diese umfasst drei bistabile Kippschaltungsstufen 14, 15 und 16 mit jeweils einem Setz-

7

eingang S, einem Rücksetzeingang R, sowie einem Ausgang Q,
ein dem Rücksetzeingang R der Kippschaltungsstufe 15 vorge-
schaltetes UND-Gatter 17, ein sämtlichen Ausgängen Q der
Kippschaltungsstufen 14, 15, 16 nachgeschaltetes UND-Gatter
5 18, sowie einem dem UND-Gatter 18 nachgeschalteten Inverter
19, an dessen Ausgang 12 das Freigabesignal CHIPREADY ausge-
geben wird, wobei das Freigabesignal HIGH-aktiv ist, d.h. ak-
tiviert ist, wenn sein Spannungspegel auf logisch HIGH ist.
Die an den jeweiligen Setzeingängen S der bistabilen Kipp-
10 schaltungsstufen 14, 15, 16 anliegenden Kommandosignale PRE,
ARF, MRS sind jeweils LOW-aktiv, d.h. diese Signale sind ak-
tiv, wenn ihr Spannungspegel auf logisch LOW liegt, während
das POWERON-Signal wiederum HIGH-aktiv ist. Das POWERON-
Signal liegt bei den Kippschaltungsstufen 14 und 16 unmittel-
15 bar an den Rücksetzeingängen R an und liegt bei der Kipp-
schaltungsstufe 15 zunächst an dem einen Eingang des UND-
Gatters 17 an, an dessen anderem Eingang das von dem Ausgang
Q der Kippschaltungsstufe 14 ausgegebenen Signal anliegt, wo-
bei der Ausgang des UND-Gatters 17 mit dem Rücksetzeingang
20 der Kippschaltungsstufe 15 verbunden ist.

Die Funktionsweise der in Figur 2 dargestellten Freigabe-
schaltung 9 ist dergestalt, dass eine Aktivierung des Freiga-
besignales CHIPREADY am Ausgang 12 auf logisch HIGH erst dann
25 generiert wird, wenn eine vorbestimmte zeitliche Initialisie-
rungsabfolge der Kommandosignale PRE, ARF und MRS und eine
Aktivierung des POWERON-Signales auf den logischen Pegel HIGH
detektiert wird. Erst danach werden aufgrund der Aktivierung
des Freigabesignales CHIPREADY die Steuerschaltungen entrie-
30 gelt; vorher bleiben diese Schaltungen verriegelt.

In dem schematischen Zeitablaufdiagramm nach Figur 3 sind
beispielhafte Kommandoabfolgen während des Einschaltvorganges
der Halbleiter-Speichervorrichtung zur Erläuterung der Funk-
35 tionsweise der Freigabeschaltung 9 dargestellt.

Bei der Fallkonstellation A erfolgt eine gegenüber der Aktivierung des POWERON-Signales zu frühe Aktivierung des Signales PRECHARGE auf LOW-aktiv, so dass konsequenterweise noch
5 keine Aktivierung des Freigabesignales CHIPREADY auf logisch LOW erfolgt, da die ordnungsgemäße Initialisierungsabfolge eine Wartezeit vor dem ersten Kommando erfordert. Richtigerweise wird damit der Signalhub des Kommandos PRECHARGE nach der Fallkonstellation A ignoriert. Bei der Fallkonstellation
10 B ist die zeitliche Reihenfolge der Aktivierung des Signales AUTOFRESH auf logisch LOW falsch, da die ordnungsgemäße Initialisierungsabfolge einen vorherigen PRECHARGE-Befehl vor dem AUTOREFRESH-Befehl vorschreibt. Der Signalhub des AUTOREFRESH-Signales auf logisch LOW nach der Fallkonstellat
15 tion B wird daher ebenfalls ignoriert, das Freigabesignal geht nicht auf logisch HIGH. Bei der Fallkonstellation C liegt - konform mit dem JEDEC-Standard - eine richtige zeitliche Reihenfolge der Befehle PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET vor; folgerichtig wird nun, nachdem auch das
20 POWERON-Signal auf logisch HIGH ist, ein Freigabesignal CHIPREADY auf logisch HIGH geliefert. Mit dem Symbol D ist strichliert dargestellt noch eine weitere denkbare, erlaubte und daher ein Freigabesignal auslösende Initialisierungsabfolge dargestellt: Eine Aktivierung des Kommandos MODE-
25 REGISTER-SET auf logisch LOW ist nach der Aktivierung des POWERON-Signales jederzeit erlaubt.

Figur 4 zeigt in näheren Einzelheiten ein bevorzugtes Ausführungsbeispiel einer erfindungsgemäßen Freigabeschaltung 9.
30 Bei diesem Ausführungsbeispiel ist jede bistabile Kippstufe 14, 15, 16 aus jeweils zwei NAND-Gattern 14A, 14B, 15A, 17, 16A, 16B, sowie einem Inverter 14C, 15C und 16C aufgebaut, die in der dargestellten Art und Weise miteinander verbunden sind. Bei der bistabilen Kippstufe 15 ist das NAND-Gatter 17
35 mit drei Eingängen versehen.

Patentansprüche

1. Dynamische Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) mit einer den Einschaltvorgang der Halbleiter-Speichervorrichtung und ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung, welche nach einer nach dem Einschalten der Halbleiter-Speichervorrichtung erfolgten Stabilisierung der Versorgungsspannung ein Versorgungsspannungsstabilisignal (POWERON) liefert, dadurch gekennzeichnet, dass die Initialisierungsschaltung eine dem Versorgungsspannungsstabilisignal (POWERON) und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen (PRE, ARF, MRS) zugeordnete Freigabeschaltung (9) aufweist, welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale Kommandosignalen (PRE, ARF, MRS) ein Freigabesignal (CHIPREADY) liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerschaltung (13) bewirkt.
2. Halbleiter-Speichervorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignale (PRE, ARF, MRS) der von der Freigabeschaltung (9) erkennenden Initialisierungsabfolge das Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE), und/oder das Auffrischungskommando (AUTOREFRESH), und/oder das Lade-Konfigurations-Register-Kommando (MODEREGISTER-SET) aufweist.

10

3. Halbleiter-Speichervorrichtung nach Anspruch 1 oder 2,
dadurch g e k e n n z e i c h n e t,
dass die Freigabeschaltung (9) wenigstens eine bistabile
Kippschaltungsstufe (14, 15, 16) mit einem Setzeingang (S),
5 an dem ein Kommandosignal (PRECHARGE, AUTOREFRESH, MODE-
REGISTER-SET) anliegt, einem Rücksetzeingang (R), an dem das
Versorgungsspannungsstabilisierungssignal (POWERON) oder ein davon ab-
geleitetes bzw. verknüpftes Signal anliegt, und mit einem
Ausgang (Q), an dem das Freigabesignal (CHIPREADY) (9) abge-
10 leitet ist, aufweist.

4. Halbleiter-Speichervorrichtung nach Anspruch 3,
dadurch g e k e n n z e i c h n e t,
dass die Freigabeschaltung (9) mehrere, jeweils einem Komman-
15 dosignal (PRE, ARF, MRS) zugeordnete bistabile Kippschal-
tungsstufen (14, 15, 16) aufweist.

5. Halbleiter-Speichervorrichtung nach Anspruch 3 oder 4,
dadurch g e k e n n z e i c h n e t,
20 dass der Ausgang (Q) wenigstens einer der bistabilen Kipp-
schaltungsstufen (14) an einen Rücksetzeingang einer weiteren
Kippschaltungsstufe (15) geführt ist.

6. Halbleiter-Speichervorrichtung nach einem der Ansprüche 3
25 bis 5,
dadurch g e k e n n z e i c h n e t,
dass bei einer der bistabilen Kippschaltungsstufe (15) das
Versorgungsspannungsstabilisierungssignal (POWERON) und das von dem
Ausgang (Q) einer weiteren Kippschaltungsstufe (14) ausgege-
30 bene Signal über ein Gatter (17) logisch verknüpft an den
Rücksetzeingang (R) der Kippschaltungsstufe (15) geführt
sind.

7. Halbleiter-Speichervorrichtung nach einem der Ansprüche 3 bis 6,

dadurch gekennzeichnet,

5 dass die bistabile Kippschaltungsstufe (14, 15, 16) jeweils durch ein aus wenigstens zwei NOR- oder NAND-Gattern (14A, 14B, 15A, 17, 16A, 16B) aufgebautes RS-Flip-Flop ausgebildet ist.

10 8. Halbleiter-Speichervorrichtung nach einem der Ansprüche 2 bis 7,

dadurch gekennzeichnet,

dass die von der Freigabeschaltung (9) als ordnungsgemäße Initialisierungsabfolge erkannte und das Freigabesignal (CHIPREADY) auslösende Initialisierungsabfolge eine mit dem
15 JEDEC-Standard konforme Kommandofolge darstellt.

9. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1 bis 8,

dadurch gekennzeichnet,

20 dass die Ausgangstreiber der Halbleiter-Speichervorrichtung beim Einschaltvorgang bis zur Ausgabe des von der Freigabeschaltung (9) gelieferten Freigabesignals (CHIPREADY) verriegelt bleiben.

25 10. Halbleiter-Speichervorrichtung nach einem der Ansprüche 1 bis 9,

dadurch gekennzeichnet,

dass eine ordnungsgemäße Initialisierungsabfolge, welche die Auslösung eines Freigabesignals (CHIPREADY) bewirkt, folgende
30 zeitlich aufeinanderfolgende Kommandosequenzen umfasst:

a) erstens PRE, zweitens ARF, drittens MRS, oder

b) erstens PRE, zweitens MRS, drittens ARF, oder

c) erstens MRS, zweitens PRE, oder drittens ARF,

wobei die Abkürzungen folgende Kommandos bezeichnen:

35 PRE = Vorbereitungskommando für die Wortleitungsaktivierung

(PRECHARGE),

ARF = Auffrischungskommando (AUTOREFRESH), und

MRS = Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET).

5

11. Verfahren zur Initialisierung einer dynamischen Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) mittels einer den Einschaltvorgang der Halbleiter-Speichervorrichtung und ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung, welche nach einer nach dem Einschalten der Halbleiter-Speichervorrichtung erfolgten Stabilisierung der Versorgungsspannung ein Versorgungsspannungsstabilisierungssignal (POWERON) liefert,

dadurch gekennzeichnet,

15 dass die Initialisierungsschaltung mittels einer dem Versorgungsspannungsstabilisierungssignal (POWERON) und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen (PRE, ARF, MRS) zugeordneten Freigabeschaltung (9) nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervorrichtung angelegten Kommandosignale ein Freigabesignal (CHIP-READY) liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerschaltung (13) bewirkt.

25

12. Verfahren nach Anspruch 11,

dadurch gekennzeichnet,

dass die von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignale (PRE, ARF, MRS) der von der Freigabeschaltung (9) erkennenden Initialisierungsabfolge das Vorbereitungskommando für die Wortleitungsaktivierung (PRECHARGE), und/oder das Auffrischungskommando (AUTOREFRESH), und/oder das Lade-Konfigurations-Register-Kommando (MODE-REGISTER-SET) aufweist.

35

13

13. Verfahren nach Anspruch 11 oder 12,

dadurch g e k e n n z e i c h n e t,

dass die Ausgangstreiber der Halbleiter-Speichervorrichtung

beim Einschaltvorgang bis zur Ausgabe des von der Freigabe-

5 schaltung (9) gelieferten Freigabesignals (CHIPREADY) verriegelt bleiben.

14. Verwendung einer ein Freigabesignal (CHIPREADY) liefernden

Freigabeschaltung (9) zur Steuerung des Einschaltvorganges

10 einer dynamischen Halbleiter-Speichervorrichtung vom

wahlweisen Zugriffstyp (DRAM/SDRAM) nach einem der Ansprüche 1

bis 10.

Zusammenfassung

Bezeichnung der Erfindung: Dynamische Halbleiterspeichervorrichtung und Verfahren zur Initialisierung einer dynamischen

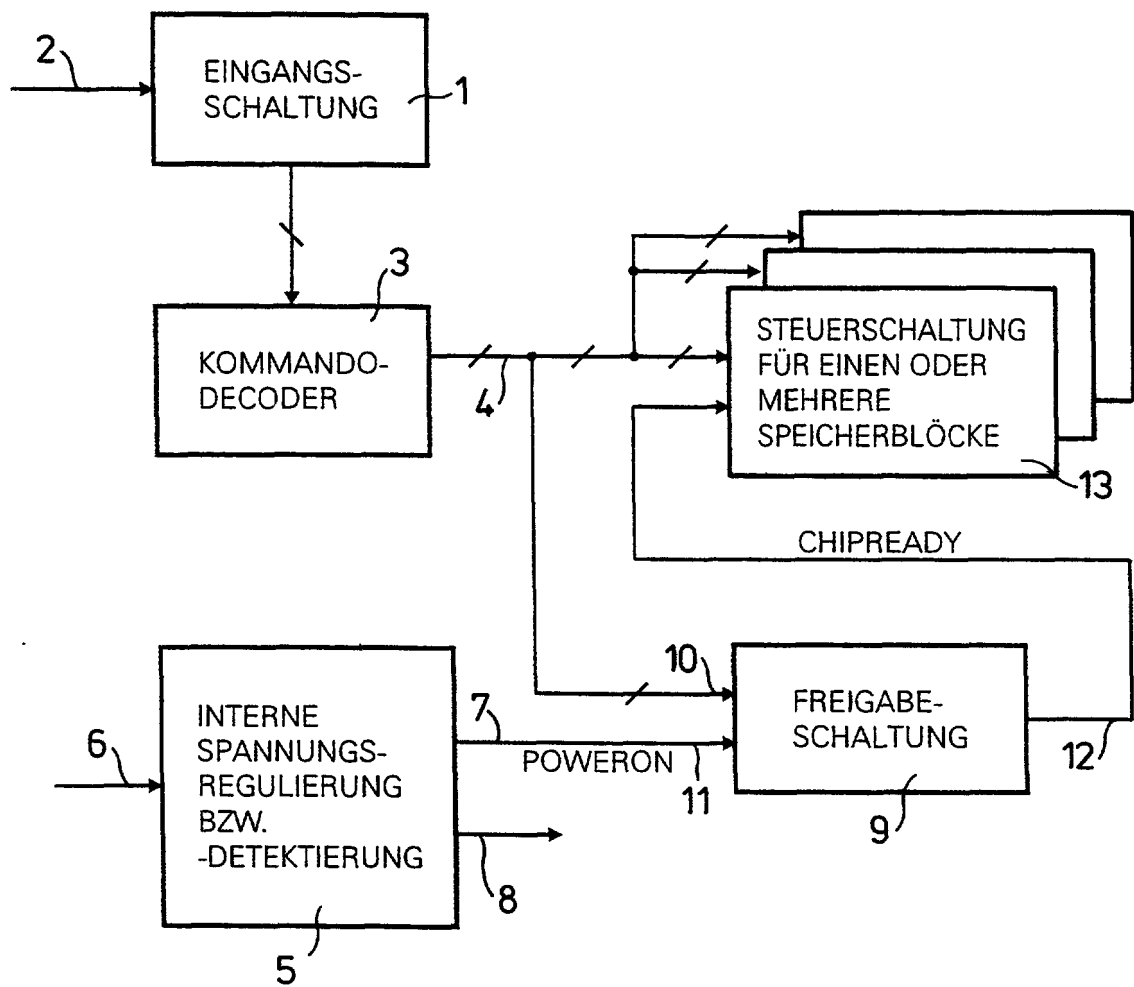
5 Halbleiterspeichervorrichtung

Die Erfindung betrifft eine dynamische Halbleiter-Speichervorrichtung vom wahlweisen Zugriffstyp (DRAM/SDRAM) mit einer den Einschaltvorgang der Halbleiter-Speichervorrichtung und
10 ihrer Schaltungsbestandteile steuernden Initialisierungsschaltung, welche nach einer nach dem Einschalten der Halbleiter-Speichervorrichtung erfolgten Stabilisierung der Versorgungsspannung ein Versorgungsspannungsstabilisignal
(POWERON) liefert. Die Initialisierungsschaltung weist eine
15 dem Versorgungsspannungsstabilisignal (POWERON) und weiteren, von außen an die Halbleiter-Speichervorrichtung angelegten Kommandosignalen zugeordnete Freigabeschaltung (9) auf, welche nach dem Erkennen einer vorbestimmten ordnungsgemäßen Initialisierungsabfolge der an die Halbleiter-Speichervor-
20 richtung angelegten Kommandosignale ein Freigabesignal (CHIP-READY) liefert, welches die Entriegelung der zum ordnungsgemäßen Betrieb der Halbleiter-Speichervorrichtung vorgesehenen Steuerschaltung (13) bewirkt.

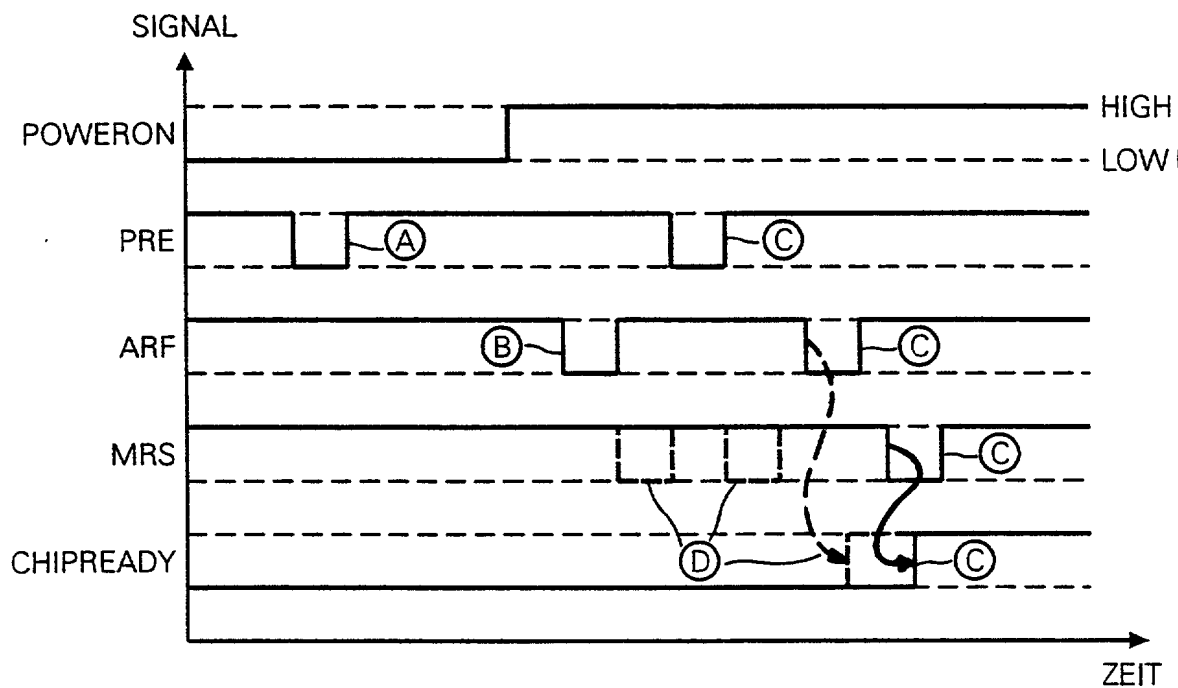
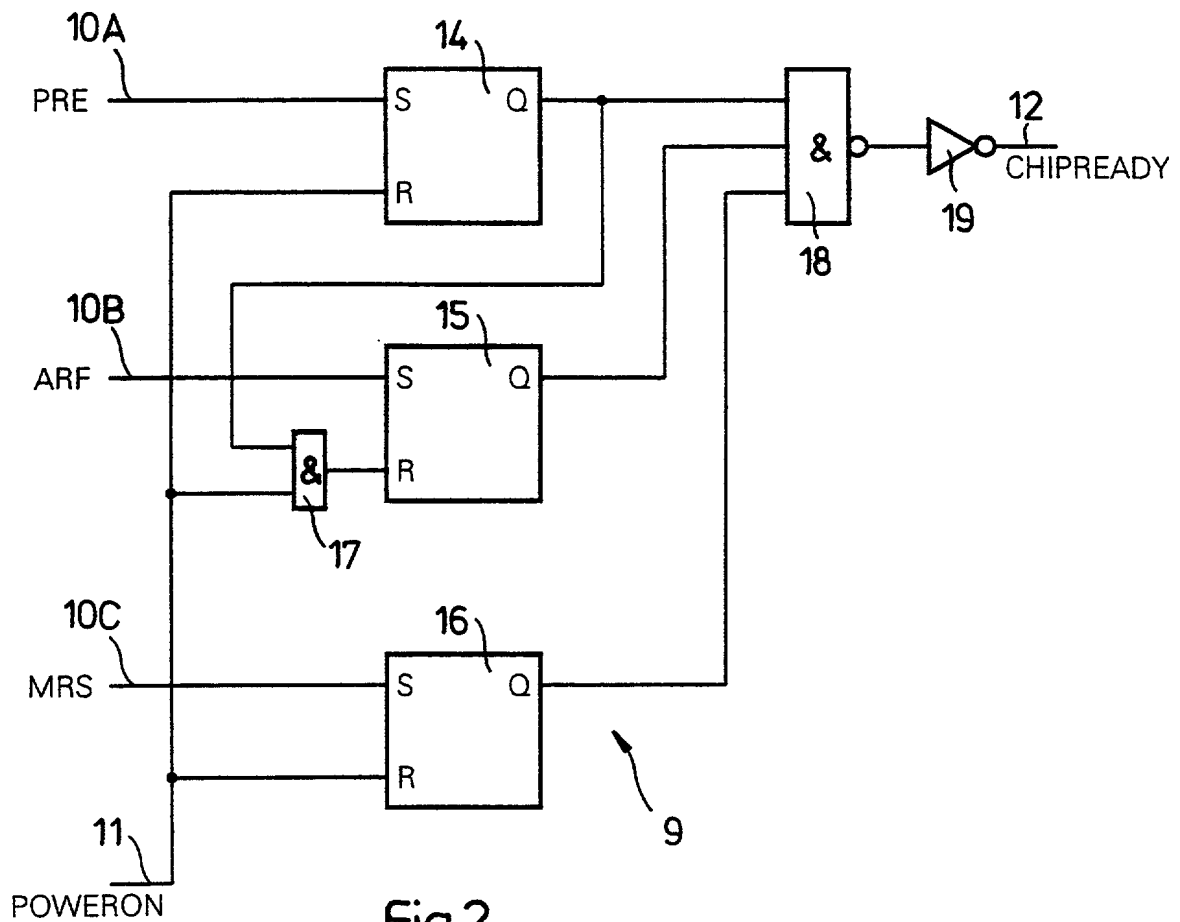
25 (Figur 1)

1/3

Fig 1



2/3



3/3

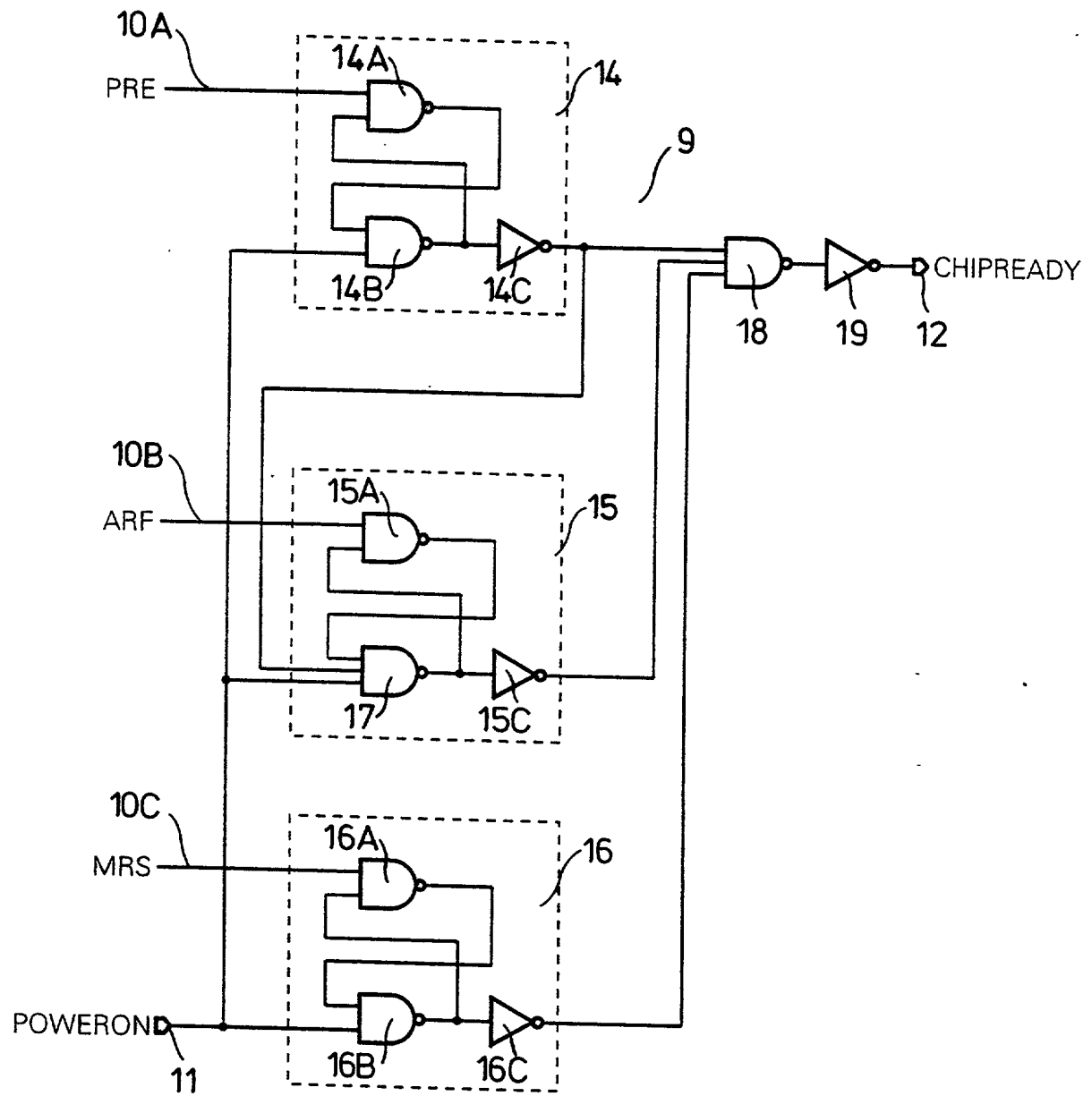


Fig 4

THIS PAGE IS
INTENTIONALLY
BLANK

Antrag auf Erteilung eines europäischen Patents

Zeichen des Benutzers: GR 98P1989E
 System-Kennnummer: 111111 36284,3315701968
 Anmelde-Nr:

0	Nur zum amtlichen Gebrauch Anmeldenummer: MKEY Tag des Eingangs (Regel 24 (2)): DREC Tag des Eingangs beim EPA (Regel 24 (4)): RENA Anmeldetag: DFIL	99113048.5 30.06.99
1	Antrag Es wird die Erteilung eines Europäischen Patents und gemäß Artikel 94 die Prüfung der Anmeldung beantragt. Verfahrenssprache: de	
2-1	Anmelder 1 Name: Siemens Aktiengesellschaft Registrierungsnummer: 200520.5 Anschrift: Wittelsbacherplatz 2 D-80333 München Deutschland Telefon: (089) 636-82819 Telefax: (089) 636-81857 Wohnsitz: DE Deutschland Zust.-Anschrift Name: Siemens Aktiengesellschaft Registrierungsnummer: 001120.5 Anschrift: Postfach 22 16 34 D-80506 München Deutschland Angestellter Name: Margraf, Roland Registrierungsnummer: 0.0 Vollmacht: 006500.3	
3	Vertreter	
4-1	Erfinder 1 Name: Krause, Gunnar Anschrift: Schlierseestr. 8 D-81541 München Deutschland Die Anmelder haben das Recht auf das europäische Patent erlangt: Als Arbeitgeber	
5	Bezeichnung der Erfindung Bezeichnung: Dynamische Halbleiter-Speichervorrichtung und Verfahren zur Initialisierung einer dynamischen Halbleiter-Speichervorrichtung	

Zeichen des Benutzers:
System-Kennnummer:
Anmelde-Nr:

GR 98P1989E
111111 36284,3315701968

6	Benennung der Vertragsstaaten				
6-1	Hiermit werden sämtliche Vertragsstaaten des EPÜ benannt, die bei Einreichung dieser Anmeldung dem EPÜ angehören.	✓			
6-2	Es wird beantragt, für die unter 6.4 nicht markierten Vertragsstaaten von der Zustellung von Mitteilungen nach Regel 85a (1) und Regel 69 (1) abzusehen.	✓			
6-3	Wurde ein automatischer Abbuchungsauftrag erteilt (Feld 14), so wird beantragt, bei Ablauf der Grundfrist nach Artikel 79 (2) EPÜ Benennungsgebühren nur für die unter 6.4 markierten Vertragsstaaten abzubuchen.	✓			
6-4	Der Anmelder beabsichtigt derzeit, Benennungsgebühren für folgende Staaten zu entrichten:	DE FR GB IE IT			
7	Erstreckung des europäischen Patents				
7-1	Diese Anmeldung gilt als Antrag, die europäische Patentanmeldung und das darauf erteilte europäische Patent auf alle Nicht-Vertragsstaaten des EPÜ zu erstrecken, mit denen am Tag ihrer Einreichung "Erstreckungsabkommen" bestehen. Die Erstreckung wird jedoch nur wirksam, wenn die vorgeschriebene Erstreckungsgebühr entrichtet wird.	✓			
7-2	Der Anmelder beabsichtigt derzeit, Erstreckungsgebühren für folgende Staaten zu entrichten:				
8	Prioritätserklärung	Staat	Anmeldetag	Typ	Anmeldenummer
8-1	Priorität 01 	DE	30. Juni 1998	ap	19829287.2
9	Hinterlegung von biologischem Material Die Erfindung bezieht sich auf bzw. verwendet biologisches Material, das gemäß Regel 28 EPÜ hinterlegt worden ist.				
10	Nucleotid- und Aminosäuresequenzen				
11	Formulare	Einzelheiten:		Elektronische Datei:	
11-1	Antrag	gedruckt		als EPF1001.RTF	
11-2	Gebührenzahlung				
11-3	EASY-Übereinstimmung	gedruckt		als EPCLIST.RTF	
11-4	Überprüfungsprotokoll				
11-5	Einreichungsprotokoll			als EPL-SUB.RTF	
12	Technische Unterlagen	Einzelheiten:		Elektronische Datei:	
12-1	Beschreibung	beigefügt, 8 S.		98p1989b.rtf	
12-2	Patentansprüche	beigefügt, 5 S.; 14 Ansprüche		98p1989a.rtf	
12-3	Zeichnungen	beigefügt, 3 S.; 4 Abb.			
12-4	Zusammenfassung	beigefügt, 1 S.; Abb. 1		98p1989z.rtf	
13	Weitere Unterlagen	Einzelheiten:		Elektronische Datei:	
13-1	1. Priorität	beigefügt; DE 19829287.2			

Zeichen des Benutzers:
System-Kennnummer:
Anmelde-Nr:

GR 98P1989E
111111 36284,3315701968

14	Zahlung			
14-1	Zahlungsart Die unter der Rubrik "Gebühren" angegebenen Gebühren und Auslagen werden innerhalb eines Monats nach dem Anmeldetag durch einen getrennten (Sammel-) Abbuchungsauftrag vom laufenden Konto beim EPA entrichtet.	Getrennter Auftrag zur (Sammel-) Abbuchung ✓		
	Währung:	DEM Deutsche Mark		
	Nr. des laufenden Kontos:	28000003		
	Kontoinhaber:	Siemens AG		
14-2	Rückerstattung/Rückzahlung Etwaige Rückzahlungen auf laufendes Konto beim EPA:	28000003		
15	Gebühren	Angew. Faktor	Gebühren-Verzeichnis	Zu zahlender Betrag
15-1	001 Anmeldegebühr	1	248,39	248,39
15-2	002 Recherchegebühr	1	1.699,62	1.699,62
15-3	015 Anspruchsgebühr	4	78,23	312,92
	Gesamtbetrag:		DEM	2.260,93
16	Anmerkungen			
17-1	Unterschrift:	 Zur Kasse Unterzeichnet von: Margraf, Roland in Eigenschaft als: Siemens Aktiengesellschaft (Angestellter)		

Empfangsbescheinigung / Receipt for documents / Récépissé de documents 6

(Liste der diesem Antrag beigefügten Unterlagen)

(Checklist of enclosed documents)

(Liste des documents annexes à la présente requête)

Es wird hiermit der Empfang der unten bezeichneten Dokumente bescheinigt / Receipt of the documents indicated below is hereby acknowledged / Nous attestons le dépôt des documents désignés ci-dessous

Wird im Falle der Einreichung der europäischen Patentanmeldung bei einer nationalen Behörde diese Empfangsbescheinigung vom Europäischen Patentamt übersandt, so ist sie als Mitteilung gemäß Regel 24(4) anzusehen (siehe Feld RENA). Nach Erhalt der Mitteilung nach Regel 24(4) sind alle weiteren Unterlagen, die die Anmeldung betreffen, nur noch unmittelbar beim EPA einzureichen. / If this receipt is issued by the European Patent Office and the European patent application was filed with a national authority it serves as a communication under Rule 24(4) (see Section RENA). Once the communication under Rule 24(4) has been received, all further documents relating to the application must be sent directly to the European Patent Office. / Si, en cas de dépôt de la demande de brevet européen auprès d'un service national, l'Office européen des brevets délivre le présent récépissé de documents, ce récépissé est réputé être la notification visée à la règle 24(4). Dès que la notification visée à la règle 24(4) a été reçue, tous les autres documents relatifs à la demande doivent être adressés directement à l'OEB.

Siemens AG

001120.5

Postfach 22 16 34

D-80506 München

Nur für amtlichen Gebrauch / For official use only / Cadre réservé à l'administration

Datum / Date



Europäisches Patentamt
European Patent Office
Office européen des brevets
D-80298 München
C. Reinhold

Unterschrift / Amtsstempel / Signature / Official stamp / Signature / Cachet officiel

Anmeldenummer / Application No. / N° de la demande

99113048.5

Tag des Eingangs (Regel 24(2)) / Date of receipt
(Rule 24(2)) / Date de réception (règle 24(2))

DREC

30.06.99

Zeichen des Anmelders/Vertreters / Applicant's/ Represent-
ative's ref. / Référence du demandeur ou du mandataire

AREF

GR 98 P 1989 E

Nur nach Einreichung der Anmeldung bei einer nationalen Behörde. / Only after filing of the application with a national authority. /
Seulement après le dépôt de la demande auprès d'un service national.

Tag des Eingangs beim EPA (Regel 24(4)) / Date of receipt at
EPO (Rule 24(4)) / Date de réception à l'OEB (règle 24(4))

RENA

A. Anmeldungsunterlagen und Prioritätsbeleg(e) / Application documents and
priority document(s) / Pieces de la demande et document(s) de priorité

47

Stückzahl / Number of copies / Nombre d'exemplaire	Blattzahl* eines Stücks / Number of sheets* in each copy / Nombre de feuilles* par exemplaire	Gesamtzahl der Abbildungen* / Total number of figures* / Nombre total de figures*
1	8	
1	5	
3	3	
1	1	
1		

1 Beschreibung / Description

2 Patentansprüche / Claim(s) / Revendication(s)

3 Zeichnungen / Drawings / Dessin(s)

DRAW 1 #

4 Zusammenfassung / Abstract / Abrégé

5 Übersetzung der Anmeldungsunterlagen / Translation of the
application documents / Traduction des pièces de la demande

6 Prioritätsbeleg(e) / Priority document(s) / Document(s) de priorité

7 Übersetzung des (der) Prioritätsbelegs(belege) / Translation of priority document(s) /
Traduction du (des) document(s) de priorité

B. Der Anmeldung in der eingereichten Fassung liegen folgende Unterlagen bei: /
This application as filed is accompanied by the items below: /
A la présente demande sont annexées les pièces suivantes:

48

1 Einzelvollmacht / Specific authorisation / Pouvoir particulier

2 Allgemeine Vollmacht / General authorisation / Pouvoir général

3 Erfindernennung / Designation of inventor / Désignation de l'inventeur

4 Früherer Recherchenbericht / Earlier search report / Rapport de recherche antérieure

5 Gebührenzahlungsvordruck (EPA Form 1010) / Voucher for the settlement of fees
(EPO Form 1010) / Bordereau de règlement de taxes (OEB Form 1010)

6 Scheck (ausgeschlossen bei Einreichung bei den nationalen Behörden) /
Cheque (not when filing with national authorities) /
Cheque (pas de cheque en cas de dépôt auprès des services nationaux)

7 Datenträger für Sequenzprotokoll / Data carrier for sequence listing /
Support de données pour liste de séquences

SEQL (4)

8 Zusatzblatt / Additional sheet / Feuille additionnelle

9 Sonstige Unterlagen (bitte hier spezifizieren) / Other (please specify here) /
Autres documents (veuillez préciser ici)

C. Kopien dieser Empfangsbescheinigung / Copies of this receipt for documents /
Copies du présent récépissé de documents

49

- Easy-Antrag

X - Easy-Übereinstimmungserklärung

- Easy-Diskette

Währung Betrag / Currency Amount / Monnaie Montant
(Ausschüttung freigestellt / optional / facultatif)

Die Richtigkeit der Angabe der Blattzahl und der Gesamtzahl der Abbildungen wurde bei Eingang nicht geprüft. / No check was made on receipt that the number of sheets and the total number of figures indicated were correct. /
L'exactitude du nombre de feuilles et du nombre total de figures n'a pas été contrôlée lors du dépôt.

EASY-Übereinstimmungserklärung

Zeichen des Benutzers:	GR 98P1989E
System-Kennnummer:	111111 36284,3315701968
Anmelde-Nr:	99113048.5

Hiermit wird erklärt, daß die auf dem Datenträger (Anmeldediskette) gespeicherten Daten mit den ausgedruckten und eingereichten Anmeldeunterlagen übereinstimmen.

Datum: 30. JUN. 1999



Unterzeichnet	Margraf, Roland
von:	
in Eigenschaft als:	Siemens Aktiengesellschaft
	(Angestellter)