

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-106668

(43)公開日 平成9年(1997)4月22日

(51)Int.Cl.⁶

G 1 1 C 11/401

識別記号

庁内整理番号

F I

G 1 1 C 11/34

技術表示箇所

3 7 1 E

審査請求 未請求 請求項の数8 O L (全 6 頁)

(21)出願番号 特願平8-221095

(22)出願日 平成8年(1996)8月22日

(31)優先権主張番号 1 9 9 5 P 2 6 1 8 1

(32)優先日 1995年8月23日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 李 哲夏

大韓民国京畿道水原市八達区梅灘洞住公ア

パート4 圃地403棟501号

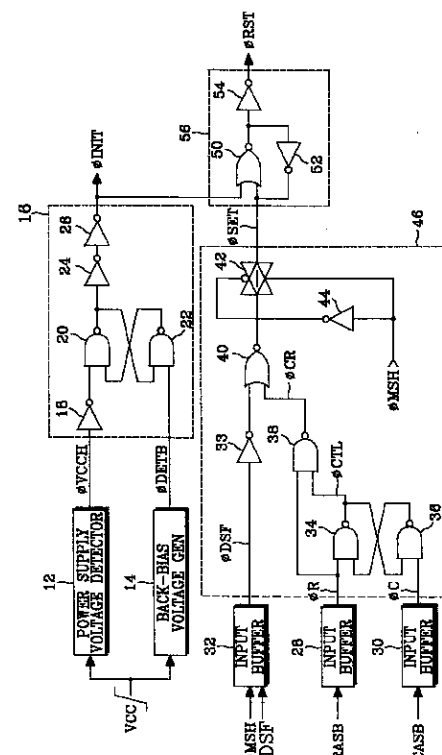
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 半導体メモリ装置の初期化回路

(57)【要約】

【課題】 VCCの不安定により電源供給開始に伴う内部回路の初期化ができないような場合でも確実に初期化を行えるような初期化回路を提供する。

【解決手段】 外部提供の制御信号が所定の条件で活性入力されるとこれに応答して初期化信号を発生する初期化回路とする。即ち、従来の電源電圧検出部12、バックバイアス電圧発生部14、及び初期化信号発生部16からなる構成に加え、バーRAS信号、バーCAS信号、及びモード選択信号DSFがCBRモードで入力されるとこれに応答して第2初期化信号φSETを発生する第2初期化信号発生部46と、第1初期化信号発生部16による第1初期化信号φINITをラッチした第2初期化信号発生部46による第2初期化信号φSETをラッチしてリセット信号φRSTとし、内部回路へ出力する伝送部56と、を備えるようにする。



【特許請求の範囲】

【請求項1】 電源供給開始に際して初期化信号を発生し内部回路を初期化する半導体メモリ装置の初期化回路において、

外部から提供される制御信号に応じて初期化信号を発生するようにしたことを特徴とする初期化回路。

【請求項2】 外部から提供される複数の制御信号が所定の条件で活性入力されるとこれにตอบสนองして初期化信号を発生する請求項1記載の初期化回路。

【請求項3】 外部から提供される第1制御信号及び第2制御信号の活性化にตอบสนองして前記第1制御信号の活性期間内で制御クロックを発生し、該制御クロックをモード選択信号による論理と組合せて初期化信号を発生する初期化信号発生部と、該初期化信号発生部による初期化信号をラッチして出力する伝送部と、を備えてなる請求項2記載の初期化回路。

【請求項4】 第1制御信号が行アドレスストロブ信号、第2制御信号が列アドレスストロブ信号であり、これらがC BRモードで入力されると初期化信号を発生する請求項3記載の初期化回路。

【請求項5】 電源供給開始に際して初期化信号を発生し内部回路を初期化する半導体メモリ装置の初期化回路において、

電源電圧の入力に応じて第1初期化信号を発生する第1初期化信号発生部と、メモリアクセスに際して活性化される制御信号及び動作モードを決定するためのモード選択信号にตอบสนองして第2初期化信号を発生する第2初期化信号発生部と、前記第1、第2初期化信号をラッチして出力する伝送部と、を備え、前記第1初期化信号又は前記第2初期化信号を内部回路へ提供して初期化することを特徴とする初期化回路。

【請求項6】 第2初期化信号発生部は、行アドレスストロブ信号及び列アドレスストロブ信号の活性化にตอบสนองして行アドレスストロブ信号の活性期間内で制御クロックを発生し、該制御クロックをモード選択信号による論理と組合せて第2初期化信号を発生する請求項5記載の初期化回路。

【請求項7】 第2初期化信号発生部は、行アドレスストロブ信号を遅延させた遅延クロックに従い開閉して第2初期化信号を伝送部へ送る伝送ゲートを有する請求項6記載の初期化回路。

【請求項8】 行アドレスストロブ信号及び列アドレスストロブ信号がC BRモードで提供されるとときに第2初期化信号を発生する請求項6又は請求項7記載の初期化回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は半導体メモリ装置に関し、特に、その内部回路の初期化回路に関する。

【0002】

【従来の技術】大容量・高集積化が進むにつれて半導体メモリ装置は多機能、複雑化してきており、このような半導体メモリ装置では、内部回路をリセットして初期動作条件を設定する初期化回路が備えられている。初期化回路は、外部から初期供給される電源電圧VCCのレベルを検出して所定のパルス幅のリセットパルスを発生するパワーオンリセット回路と呼ばれるものが一般的である。即ち、パワーオンリセット回路は、電源電圧の供給による電圧レベルを検出して予め設定された所定のレベル以上になると内部回路を初期化する初期化パルス信号を発生する回路で、図1にその構成を示している。

【0003】電源電圧検出部12は、電源電圧VCCの入力レベルを検出して電源電圧検出信号φVCHを発生し、また、バックバイアス電圧発生部14は、電源電圧VCCの入力状態が安定した後にバックバイアス電圧VBBを発生し、そしてこれを検出してバックバイアス検出信号φDETBを出力する。発生された電源電圧検出信号φVCH及びバックバイアス検出信号φDETBは初期化信号発生部16へ提供され、これに従って初期化信号発生部16は、電源電圧検出信号φVCHの発生からバックバイアス検出信号φDETBの発生までの間で初期化信号φINITを発生する。図示のように初期化信号発生部16は、電源電圧検出信号φVCHにより出力端子が論理“ハイ”セットされ、バックバイアス検出信号φDETBにより出力端子が論理“ロウ”リセットされるフリップフロップの構成とされる。

【0004】図2には、図1の初期化回路のタイミング図を示してある。チップに対し電源供給が開始され電源電圧VCCが0Vから徐々に増加すると、電源電圧検出部12は、例えば3Vの動作レベルまで上昇する電源電圧VCCの入力状態を検出した電源電圧検出信号φVCHを発生し、適正時間後に論理“ロウ”へ遷移させる。このように出力される電源電圧検出信号φVCHが初期化信号発生部16内のインバータ18に提供される。インバータ18は、動作レベルまで上昇する電源電圧VCCの入力状態を検出した電源電圧検出信号φVCHに従って、互いの出力と入力を交差接続したNANDゲート20、22からなるRSフリップフロップをセットし、その結果、インバータ24、26を通じて論理“ハイ”の初期化信号φINITが出力される。この状態は、インバータ18から論理“ハイ”が出力され且つNANDゲート22に論理“ロウ”が入力されるまで継続する。

【0005】一方、電源電圧VCCにより動作するバックバイアス電圧検出部14は、入力される電源電圧VCCが予め設定された例えば3Vの動作レベルで安定化すると、図2に示すように負電圧-Vのバックバイアス電圧VBBを発生する。そして、負電圧-Vのレベルが例えば-3Vで安定するとバックバイアス検出信号φDETBを論理“ロウ”遷移させる。このようにしてバック

バイアス検出信号φDETBが論理“ロウ”遷移し、これが初期化信号発生部16内のNANDゲート22へ入力されると、NANDゲート20、22よりなるRSフリップフロップがリセットされ、インバータ24、26を通じて初期化信号φINITは論理“ロウ”遷移する。

【0006】以上のようにして発生されるパルスの初期化信号φINITが内部回路の各リセットノードへ供給される結果、初期化が行われる。

【0007】

【発明が解決しようとする課題】図示のような従来の初期化回路では、電源電圧VCCの入力が不安定な場合には誤動作を起こす可能性がある。例えば、電源電圧VCCが0Vから動作レベルまで上昇する時間が数ms（通常は200μs程度）以上かかってしまう場合（図2中点線）、或いは、何らかの理由で電源電圧VCCのレベルが内部回路の動作電圧より低く入力される場合は、電源電圧検出部12が誤動作して電源電圧検出信号φVCHが正常に出力されなくなる。このような事態になると、初期化信号発生部16による初期化信号φINITのパルス幅が非常に短くなるか、或いは出力されなくなり、内部回路の初期化が行われなくなってしまう。

【0008】

【課題を解決するための手段】上記課題に鑑みて本発明では、外部から提供される制御信号に応じて初期化信号を発生し内部回路の初期化を実行する初期化回路を提供する。好ましくは、外部から提供される複数の制御信号が所定の条件で活性入力されるとこれにตอบสนองして初期化信号を発生する初期化回路とする。即ち、パワーアップ時に電源電圧の不安定で誤動作を生じる可能性がある場合でも、別途の初期化情報の入力にตอบสนองして内部回路を確実に初期化できる初期化回路を提供する。例えば、バーCAS信号及びバーRAS信号がCBR(CAS before RAS)モードで入力されるとこれにตอบสนองして内部回路を初期化する初期化回路とするものである。

【0009】具体的回路構成として本発明によれば、外部から提供される第1制御信号及び第2制御信号の活性化にตอบสนองして前記第1制御信号の活性期間内で制御クロックを発生し、該制御クロックをモード選択信号による論理と組合せて初期化信号を発生する初期化信号発生部と、該初期化信号発生部による初期化信号をラッチして出力する伝送部と、を備えてなる初期化回路とする。この場合、第1制御信号を行アドレスストローブ信号、第2制御信号を列アドレスストローブ信号とし、これらがCBRモードで入力されると初期化信号を発生するようにしておくといよい。

【0010】また、本発明によれば、電源供給開始に際して初期化信号を発生し内部回路を初期化する半導体メモリ装置の初期化回路において、電源電圧の入力に応じて第1初期化信号を発生する第1初期化信号発生部と、

メモリアクセスに際して活性化される制御信号及び動作モードを決定するためのモード選択信号にตอบสนองして第2初期化信号を発生する第2初期化信号発生部と、前記第1、第2初期化信号をラッチして出力する伝送部と、を備え、前記第1初期化信号又は前記第2初期化信号を内部回路へ提供して初期化することを特徴とする。この場合の第2初期化信号発生部は、行アドレスストローブ信号及び列アドレスストローブ信号の活性化にตอบสนองして行アドレスストローブ信号の活性期間内で制御クロックを発生し、該制御クロックをモード選択信号による論理と組合せて第2初期化信号を発生するものとして行うことができる。またこのときの第2初期化信号発生部は、行アドレスストローブ信号を遅延させた遅延クロックに従い開閉して第2初期化信号を伝送部へ送る伝送ゲートを有するものとするといよい。そして、行アドレスストローブ信号及び列アドレスストローブ信号がCBRモードで提供されるとときに第2初期化信号を発生するようにしておくといよい。

【0011】

【発明の実施の形態】以下、本発明の実施形態につき添付図面を参照して詳細に説明する。

【0012】図3に、一実施形態としてDRAMにおける初期化回路の例を示す。図示のように図1同様の構成に加えて、外部制御信号がCBRモードで入力されるとこれにตอบสนองして第2初期化信号φSETを発生する第2初期化信号発生部46と、図1同様の第1初期化信号発生部16による第1初期化信号φINITをラッチした第2初期化信号発生部46による第2初期化信号φSETをラッチしてリセット信号φRSTとし、内部回路のリセットノードへ出力する伝送部56と、を備えている。

【0013】この初期化回路にパワーアップで電源電圧VCCの供給が開始されると、電源電圧検出部12、バックバイアス電圧発生部14、及び第1初期化信号発生部16からなる部分により、図2同様のタイミングをもって第1初期化信号φINITが発生され、伝送部56内のNORゲート50へ提供される。このときNORゲート50のもう一方の入力となる第2初期化信号φSETは論理“ロウ”の状態にある。従ってNORゲート50は、第1初期化信号φINITに応じる論理“ロウ”を出力する。このNORゲート50の出力はインバータ52でラッチされると共にインバータ54を経てリセット信号φRSTとして出力される。即ち、電源電圧VCCの入力により論理“ハイ”パルスの第1初期化信号φINITが発生するとこれに従うリセット信号φRSTが伝送部56から発生され、内部回路が初期化される。尚、第1初期化信号φINITは直接的に内部回路へ提供されるようにしておいてもよい。

【0014】一方、初期化情報として使用する制御信号が予め設定された真理値表を満足する条件で第2初期化

信号発生部46へ提供されると、第2初期化信号発生部46は、所定期間論理“ハイ”となるパルスの第2初期化信号φSETを図4のタイミング図のようにして発生する。本例における初期化情報は、メモリアクセスに際して活性化される第1制御信号及び第2制御信号としての行アドレスストローブ信号RASB(=バーRAS)及び列アドレスストローブ信号CASB(=バーCAS)と、メモリの動作モードを決定するモード選択信号DSFである。

【0015】上記3種類の初期化情報がCBRモードで入力されると、チップに備えられる入力バッファ28, 30, 32からそれぞれ行アドレスクロックφR、列アドレスクロックφC、モード選択クロックφDSFが発生される。モード選択クロックφDSFは、モード選択信号DSFに従い論理“ハイ”に活性化され、行アドレスクロックφRを遅延させた遅延クロックφMSHが非活性化されるまで活性状態を維持する。

【0016】行アドレスストローブ信号RASBによる行アドレスクロックφRはNANDゲート34の入力となり、列アドレスストローブ信号CASBによる列アドレスクロックφCはNANDゲート36の入力となる。これらNANDゲート34, 36の他方の入力、相手側の出力と互いに交差接続される。従って、列アドレスクロックφCが論理“ハイ”へ活性化されると、これに応じるNANDゲート34, 36により論理“ハイ”の制御クロックφCTLが発生される。発生した制御クロックφCTLは、NANDゲート38へ入力されて行アドレスクロックφRとNAND演算され、行アドレスストローブ信号RASBの活性期間内で制御クロックφCRが発生される。この例では、行アドレスストローブ信号RASBの活性化後に列アドレスストローブ信号CASBが非活性化されるまでの間で制御クロックφCRは発生される。

【0017】制御クロックφCRはNORゲート40へ入力され、インバータ33により反転したモード選択クロックφDSFとNOR演算される。これによるNORゲート40の出力は、遅延クロックφMSHにより開閉する伝送ゲート42を介し第2初期化信号φSETとして伝送部56のNORゲート50へ提供される。伝送ゲート42は、遅延クロックφMSHの論理“ハイ”活性でオンスイッチされる構成である。

【0018】伝送部56では、この場合論理“ロウ”で入力される第1初期化信号φINITと上記のようにして論理“ハイ”で入力される第2初期化信号φSETとをNORゲート50が演算する結果、インバータ52, 54の入力が論理“ロウ”となり、その論理状態がインバータ52でラッチされると共にインバータ54から論理“ハイ”のリセット信号φRSTが出力され、内部回

路が初期化される。

【0019】第2初期化信号φSETにより論理“ハイ”となったリセット信号φRSTは、列アドレスストローブ信号CASBが非活性化されるまでの間そのまま維持される。即ち、列アドレスストローブ信号CASBが論理“ハイ”に遷移すると、入力バッファ30から出力される列アドレスクロックφCが論理“ロウ”に非活性化され、そしてNANDゲート34, 36による制御クロックφCTLが論理“ロウ”になる。これにより制御クロックφCRが論理“ハイ”になり、第2初期化信号φSETは論理“ロウ”へ遷移する。つまり、行アドレスストローブ信号RASBの活性期間で列アドレスストローブ信号CASBが非活性化されると第2初期化信号φSETは論理“ロウ”へ遷移し、これに従って伝送部56の論理状態が変化してリセット信号φRSTが初期化解除となる。

【0020】この実施形態では、特に1つの伝送部56を用いて第1初期化信号発生部16による第1初期化信号φINIT及び第2初期化信号発生部46による第2初期化信号φSETのいずれかをリセット信号φRSTとして供給する例を示したが、両初期化信号をそれぞれ独立的に内部回路へ提供する構成でも初期化動作は可能である。

【0021】

【発明の効果】本発明によれば、パワーアップによる初期化信号発生及び初期化条件を満たす制御信号による初期化情報にตอบสนองしての初期化信号発生の両方を可能としたので、パワーアップリセットで誤動作が発生したとしても、例えば行アドレスストローブ信号の活性サイクルの始めて確実に初期化を実行することができる。従って、より誤動作が少なく信頼性の高い半導体メモリ装置を提供することができるようになる。

【図面の簡単な説明】

【図1】一般的な初期化回路を示す回路図。

【図2】図1に示す初期化回路の動作を説明する信号波形図。

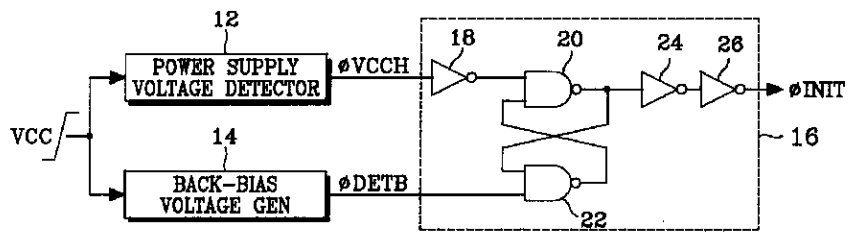
【図3】本発明による初期化回路の実施形態を示す回路図。

【図4】図3に示す初期化回路の動作を説明する信号波形図。

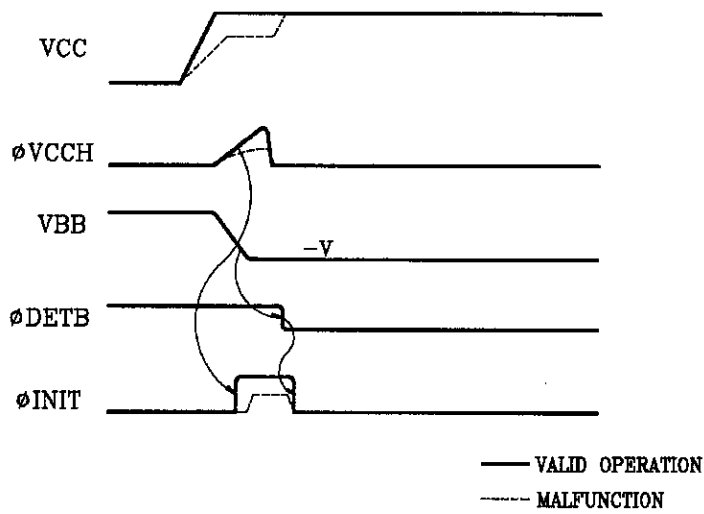
【符号の説明】

- 12 電源電圧検出部
- 14 バックバイアス電圧発生部
- 16 第1初期化信号発生部
- 28, 30, 32 入力バッファ
- 46 第2初期化信号発生部
- 56 伝送部

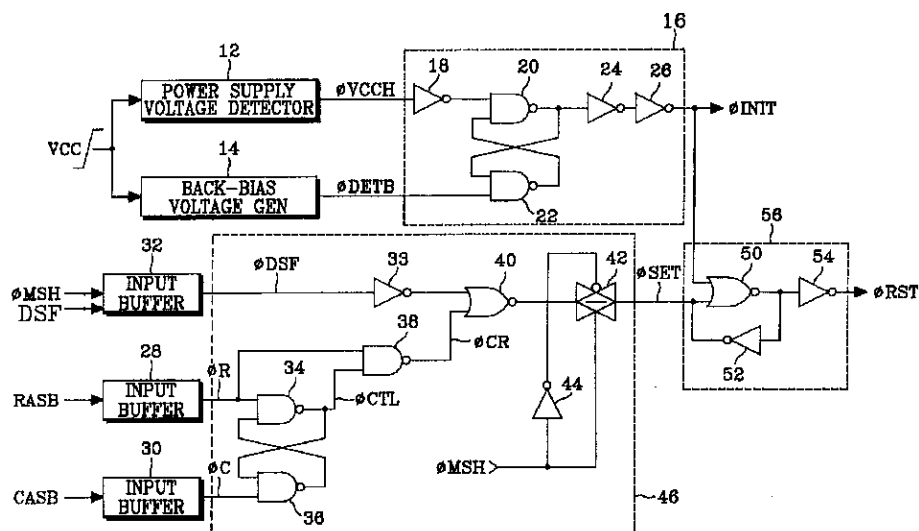
【図1】



【図2】



【図3】



【図4】

