

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-171337

(P2010-171337A)

(43) 公開日 平成22年8月5日(2010.8.5)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 B	4 M 1 O 4
H O 1 L 21/20 (2006.01)	H O 1 L 29/78 3 O 1 N	5 F 1 1 O
H O 1 L 29/417 (2006.01)	H O 1 L 29/78 3 O 1 S	5 F 1 4 O
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 O 1 X	5 F 1 5 2
H O 1 L 29/786 (2006.01)	H O 1 L 21/20	
審査請求 有 請求項の数 10 O L (全 27 頁) 最終頁に続く		

(21) 出願番号	特願2009-14541 (P2009-14541)	(71) 出願人	000003078
(22) 出願日	平成21年1月26日 (2009.1.26)		株式会社東芝
			東京都港区芝浦一丁目1番1号
(出願人による申告) 平成20年度独立行政法人新エネルギー・産業技術総合開発機構「次世代半導体材料・プロセス基盤 (M I R A I) プロジェクト/次世代半導体材料・プロセス基盤 (M I R A I) プロジェクト (一般会計) /新構造極限CMOSトランジスタ「関連技術開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
			最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ

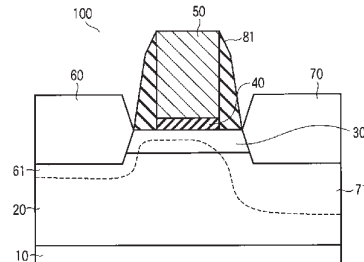
(57) 【要約】

【課題】 歪みチャネルを用いた場合のリーク電流を低減することができ、不良の発生を抑制して歩留まりの向上をはかる。

【解決手段】 半導体基板10上に設けられた、基板10とは格子定数の異なる合金半導体からなる下地層20と、下地層20上に設けられた、下地層20とは格子定数が異なり、チャネル長方向及びチャネル幅方向の一方に引っ張り応力、他方に圧縮応力が付与されたチャネル半導体層30と、チャネル半導体層30を挟むように下地層20上に設けられたソース・ドレイン領域60、70と、チャネル半導体層30上にゲート絶縁膜40を介して設けられたゲート電極50とを備えた電界効果トランジスタであって、下地層20は、ソース・ドレイン領域60、70の下部に形成される空乏層61、71が下地層20内に収まる厚さよりも厚く形成され、且つ熱平衡臨界膜厚よりも薄く形成されている。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

応力が付与されたチャネル領域と、
前記チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、
前記チャネル領域の両側に設けられたソース・ドレイン領域と、
少なくとも前記ソース・ドレイン領域の下部に設けられた合金半導体からなる下地層と

を具備し、

前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする電界効果トランジスタ。

10

【請求項 2】

半導体基板上に設けられた、該基板と同じ元素を含み、該基板とは格子定数の異なる合金半導体からなる下地層と、

前記下地層上の一部に設けられた、該下地層とは格子定数が異なり、チャネル長方向及びチャネル幅方向の一方に引っ張り応力が付与され、他方に圧縮応力が付与されたチャネル半導体層と、

前記チャネル半導体層を挟むように、前記下地層上に設けられたソース・ドレイン領域と、

前記チャネル半導体層上にゲート絶縁膜を介して設けられゲート電極と、

20

を具備し、

前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする電界効果トランジスタ。

【請求項 3】

半導体基板上の一部にゲート絶縁膜を介して設けられたゲート電極と、

前記ゲート電極下のチャネル領域を挟んで前記基板に設けられた溝内に該溝の途中まで埋め込み形成された、前記基板と同じ元素を含み、該基板とは格子定数の異なる合金半導体からなるソース・ドレイン下地層と、

前記下地層上に前記チャネル領域を挟むように設けられた、前記下地層とは格子定数の異なるソース・ドレイン領域と、

30

を具備し、

前記チャネル領域には、チャネル長方向及びチャネル幅方向の一方に引っ張り応力が付与され、他方に圧縮応力が付与され、

前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする電界効果トランジスタ。

【請求項 4】

前記ソース・ドレイン領域は n 型であり、前記チャネル領域若しくはチャネル半導体層にはチャネル長方向に引っ張り歪みが、チャネル幅方向に圧縮歪みが付与されていることを特徴とする請求項 1～3 の何れかに記載の電界効果トランジスタ。

40

【請求項 5】

前記ソース・ドレイン領域は p 型であり、前記チャネル領域若しくはチャネル半導体層にはチャネル長方向に圧縮歪みが、チャネル幅方向に引っ張り歪みが付与されていることを特徴とする請求項 1～3 の何れかに記載の電界効果トランジスタ。

【請求項 6】

半導体基板上に、該基板の主面に対してほぼ垂直に形成され、且つチャネル領域を形成すべき第 1 の領域が該領域の両側のソース・ドレイン領域を形成すべき第 2 の領域よりも高く形成された板状の半導体フィンと、

前記フィンの下部周囲に埋め込み形成された埋め込み絶縁膜と、

50

前記フィンの前記第 1 の領域の少なくとも両側面に、ゲート絶縁膜を介して設けられたゲート電極と、

前記フィンの第 2 の領域に前記第 1 の領域の上端よりも低い位置まで設けられた、前記基板と同じ元素を含み、該基板とは格子定数の異なる合金半導体からなるソース・ドレイン下地層と、

前記下地層上に前記第 1 の領域の上部を挟むように設けられた、前記下地層とは格子定数の異なるソース・ドレイン領域と、

を具備し、

前記チャンネル領域には、チャンネル長方向に応力が付与され、

前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする電界効果トランジスタ。

【請求項 7】

前記ソース・ドレイン領域は、前記下地層と同じ合金半導体で該下地層とは組成比の異なる半導体からなり、該下地層上に格子整合して形成され、前記チャンネル領域若しくはチャンネル半導体層に応力を印加するストレッサーとなっていることを特徴とする請求項 1 ～ 3, 6 の何れかに記載の電界効果トランジスタ。

【請求項 8】

前記ソース・ドレイン領域及びゲート電極を取り囲むストレッサー膜が設けられ、このストレッサー膜により前記チャンネル領域若しくはチャンネル半導体層に応力が印加されていることを特徴とする請求項 1 ～ 3, 6 の何れかに記載の電界効果トランジスタ。

【請求項 9】

前記基板及び前記チャンネル領域若しくはチャンネル半導体層は共に G_e であり、前記下地層は $Si_{1-x}Ge_x$ であり、前記ソース・ドレイン領域は $Si_{1-y}Ge_y$ ($y < x$) であることを特徴とする請求項 7 記載の電界効果トランジスタ。

【請求項 10】

前記基板及び前記チャンネル領域若しくはチャンネル半導体層は共に Si であり、前記下地層は $Si_{1-x}Ge_x$ であり、前記ソース・ドレインは $Si_{1-y}Ge_y$ ($y > x$) であることを特徴とする請求項 8 記載の電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、MOS 型の電界効果トランジスタ (MOSFET) に関する。

【背景技術】

【0002】

近年、MOSFET の性能向上のために、チャンネルに歪みを加えることによって、キャリア移動度を増大させる技術が用いられている。また、 Si よりも電子、正孔の移動度が何れも高い Ge チャンネルを用いる試みも検討されている。さらに、両者を組み合わせ、歪み Ge チャンネルに対する検討も始まっている (例えば、非特許文献 1 参照)。

【0003】

このような歪みチャンネルを用いる際には、歪み起因の転位の発生による素子特性の劣化や、不良の発生が懸念される。例えば、転位がソース・ドレイン下部の空乏層に発生すると、転位に沿って異常拡散した不純物に起因したリーク電流の増大が懸念される。最悪の場合、ソース・ドレイン間の短絡が発生する。そして、これらが不良の発生要因となって歩留まりの低下を招くことになる。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】Y.-J. Yang, et al., Appl. Phys. Lett. 91, 102103 (2007).

【非特許文献 2】D. C. Houghton, J. Appl. Phys. 70, 2136 (1991).

【非特許文献3】I.Yonenaga and K. Sumino, J. Appl. Phys. 80, 3244 (1996).

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、歪みチャネルを用いた場合のリーク電流を低減することができ、不良の発生を抑制して歩留まりの向上をはかり得る電界効果トランジスタを提供することにある。

【課題を解決するための手段】

【0006】

本発明の一態様に係る電界効果トランジスタは、応力が付与されたチャネル領域と、前記チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、前記チャネル領域の両側に設けられたソース・ドレイン領域と、少なくとも前記ソース・ドレイン領域の下部に設けられた合金半導体からなる下地層と、を具備し、前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする。

【0007】

また、本発明の別の一態様に係る電界効果トランジスタは、半導体基板上に設けられた、該基板と同じ元素を含み、該基板とは格子定数の異なる合金半導体からなる下地層と、前記下地層上の一部に設けられた、該下地層とは格子定数が異なり、チャネル長方向及びチャネル幅方向の一方に引っ張り応力が付与され、他方に圧縮応力が付与されたチャネル半導体層と、前記チャネル半導体層を挟むように、前記下地層上に設けられたソース・ドレイン領域と、前記チャネル半導体層上にゲート絶縁膜を介して設けられたゲート電極と、を具備し、前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする。

【0008】

また、本発明の別の一態様に係る電界効果トランジスタは、半導体基板上の一部にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極下のチャネル領域を挟んで前記基板に設けられた溝内に該溝の途中まで埋め込み形成された、前記基板と同じ元素を含み、該基板とは格子定数の異なる合金半導体からなるソース・ドレイン下地層と、前記下地層上に前記チャネル領域を挟むように設けられた、前記下地層とは格子定数の異なるソース・ドレイン領域と、を具備し、前記チャネル領域には、チャネル長方向及びチャネル幅方向の一方に引っ張り応力が付与され、他方に圧縮応力が付与され、前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする。

【0009】

また、本発明の別の一態様に係る電界効果トランジスタは、半導体基板上に、該基板の主面に対してほぼ垂直に形成され、且つチャネル領域を形成すべき第1の領域が該領域の両側のソース・ドレイン領域を形成すべき第2の領域よりも高く形成された板状の半導体フィンと、前記フィンの下部周囲に埋め込み形成された埋め込み絶縁膜と、前記フィンの前記第1の領域の少なくとも両側面に、ゲート絶縁膜を介して設けられたゲート電極と、前記フィンの第2の領域に前記第1の領域の上端よりも低い位置まで設けられた、前記基板と同じ元素を含み、該基板とは格子定数の異なる合金半導体からなるソース・ドレイン下地層と、前記下地層上に前記第1の領域の上部を挟むように設けられた、前記下地層とは格子定数の異なるソース・ドレイン領域と、を具備し、前記チャネル領域には、チャネル長方向に応力が付与され、前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする。

【発明の効果】

【0010】

本発明によれば、ソース・ドレイン領域の下部の空乏層が、転位が発生しにくい混晶下地層（金属半導体層）に実質的に含まれているため、歪みチャネルを用いた場合のオフリーク電流を低減することができる。このため、不良の発生を抑制し、歩留まりを向上させることができる。

【図面の簡単な説明】

【0011】

【図1】第1の実施形態に係わるMOS型電界効果トランジスタの素子構造を示す断面図

。

【図2】第1の実施形態における各具体例の格子歪みの状態を示す模式図。

【図3】第1の実施形態のMOS型電界効果トランジスタの製造工程を示す断面図。

【図4】第2の実施形態に係わるMOS型電界効果トランジスタの素子構造を示す断面図

。

【図5】第2の実施形態のMOS型電界効果トランジスタの製造工程を示す断面図。

【図6】第3の実施形態に係わるMOS型電界効果トランジスタの素子構造を示す断面図

。

【図7】第3の実施形態のMOS型電界効果トランジスタの製造工程を示す断面図。

【図8】第4の実施形態に係わるMOS型電界効果トランジスタの素子構造を示す平面図と断面図。

【図9】第4の実施形態のMOS型電界効果トランジスタの製造工程を示す平面図と断面図。

【図10】第4の実施形態のMOS型電界効果トランジスタの製造工程を示す平面図と断面図。

【図11】第4の実施形態のMOS型電界効果トランジスタの製造工程を示す平面図と断面図。

【図12】第4の実施形態のMOS型電界効果トランジスタの製造工程を示す平面図と断面図。

【図13】第4の実施形態のMOS型電界効果トランジスタの製造工程を示す平面図と断面図。

【図14】第4の実施形態のMOS型電界効果トランジスタの製造工程を示す平面図と断面図。

【図15】第4の実施形態のMOS型電界効果トランジスタの製造工程を示す平面図と断面図。

【図16】第4の実施形態のMOS型電界効果トランジスタの製造工程を示す平面図と断面図。

【図17】第4の実施形態のMOS型電界効果トランジスタの製造工程を示す平面図と断面図。

【発明を実施するための形態】

【0012】

以下、本発明の詳細を図示の実施形態によって説明する。

【0013】

（第1の実施形態）

本発明の第1の実施態様によるMOS型電界効果トランジスタ100の構造を、図1に示す。

【0014】

半導体基板10上に、該基板10と同種の元素を含む合金半導体からなる下地層20、チャネル半導体層（チャネル領域）30が格子整合して順次積層されている。チャネル半導体層30上に、ゲート絶縁膜40を介してゲート電極50が形成されている。ゲート電極50を挟んで、基板10と同種の元素を含み、基板10及び下地層20の何れとも組成

10

20

30

40

50

比が異なり、且つ格子定数の異なる半導体からなるソース領域60及びドレイン領域70が下地層20上に格子整合して形成されている。これらのソース・ドレイン領域60, 70によってチャネル半導体層30に応力が印加されている。また、ゲート電極50の側面には側壁絶縁膜81が形成されている。

【0015】

ここで、下地層20は、一般には格子定数が基板10とは異なるために、歪みを有している。従って、転位の発生を防止するため、下地層20の膜厚は、熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚未満である（非特許文献2）。また、下地層20の厚さは、ソース領域60の下部の空乏層61及びドレイン領域70の下部の空乏層71の幅よりも厚く設定されている。即ち、下地層20は、ソース・ドレイン領域60, 70の下部に形成される空乏層61, 71が下地層20内に収まる厚さよりも厚く形成されている。また、ソース・ドレイン領域60, 70の表面に、5～20nm程度の厚さの金属化合物層（NiGeSiなど）が形成されていても良い。

10

【0016】

本実施形態においては、下地層20が合金半導体となっているため、SiやGeなど、単元素の基板に対して歪みを印加するためのソース・ドレイン構造を用いる従来構造に比べて、ソース・ドレイン下部領域に転位が発生しにくいという特徴を有する。この特徴は、SiGeのバルク結晶において観測されているような、合金化によるハードニング現象に起因するものである（非特許文献3）。

【0017】

また、ソース・ドレイン下部領域の空乏層61, 71が全て下地合金層に含まれているため、リーク電流の起因となる空乏層中の転位が発生しないという特徴を有する。さらに、下地層20の厚さが熱平衡臨界膜厚未満であるため、基板10と下地層20との格子不整合による転位の発生もないという特徴を有する。これらの効果により、転位に起因するリーク電流の増大、或いはそれによる不良の発生を抑制することができる。

20

【0018】

（具体例1-1）

第1の実施形態の第1の具体例として、電界効果トランジスタ100は、電子の伝導方向（チャネル長方向）に引っ張り歪みを有する歪みGe-nMOSFETである。なお、“MOS”とは、ゲート絶縁膜にシリコン酸化膜以外の絶縁膜を用いた、いわゆる“MIS”も含むものとする。

30

【0019】

ここで、基板10がp型Ge、下地層20が膜厚70nmのp型Si_{0.05}Ge_{0.95}、チャネル半導体層30が膜厚8nmのp型Ge、ゲート絶縁膜40が膜厚5nmのLaAlO₃及び膜厚1nm未満のGeO₂界面層、ゲート電極50が膜厚20nmのTiN、ソース領域60及びドレイン領域70が何れも高濃度n型不純物としてP（磷）がドーピングされた膜厚30nmのSi_{0.3}Ge_{0.7}である。

【0020】

また、ソース・ドレイン領域60, 70の下部領域の空乏層61, 71が全て下地層20に含まれ、且つ下地層20と基板10との間に転位が発生しないという観点から、下地層20の好ましいGe組成の範囲は、85%以上99%以下である。さらに、下地層20の膜厚の下限は30nm、膜厚の上限は組成に応じた熱平衡臨界膜厚（例えば、Ge組成95%の場合、80nm）であり、Ge組成が高いほど上限値は大きくなる。また、ソース・ドレイン領域60, 70については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、Ge組成の範囲は50%から85%、膜厚は5nmから50nmが好ましい範囲となる。

40

【0021】

他の構成要素については、当業者が容易に考え得る範囲での変更が可能である。また、基板の面指数、チャネル長方向は、駆動電流を最大化する観点においては、それぞれ（111）面、[110]方向が最適であるが、（111）面上ではチャネル方位に対する駆

50

動電流の依存性は小さいので、他の方向でも良い。さらに、 (110) 面上の $[-110]$ 方向でも (111) 面上に匹敵する駆動電流が得られる。

【0022】

なお、本具体例においては、基板10として、バルクGe基板のみならず、Si基板上にGe単結晶層が形成された基板や、SOI (Si-on-insulator) 基板上にGe単結晶層が形成された基板、或いはSGOI (SiGe-on-insulator) 基板上にGe単結晶層が形成された基板を用いても良い。

【0023】

また、下地層20として、炭素を添加したSiGe:C、Ge:C、或いはSnを添加したSiGeSnを用いても良い。この場合のCの原子組成は0.1%から2%、Snの原子組成は0.1%から3%が好ましい範囲である。さらに、ソース・ドレイン領域60、70に、炭素を添加したSiGe:C、Ge:Cを用いても良い。この場合のCの原子組成は0.1%から5%が好ましい範囲である。また、チャンネル半導体層30は、下地層20よりもGe組成の高いSiGeでも良い。

【0024】

第1の具体例において、チャンネルを上面から見たときの格子定数は、図2(a)に示すように、チャンネル長方向に伸張している。これは、Geチャンネルよりも格子定数の小さいSiGeソース・ドレイン領域60、70からの引っ張り応力による。一方、チャンネル長方向に直交するチャンネル幅方向には圧縮されている。これは、ゲート幅方向の素子分離により、当該方向に弾性変形が可能な状態で、チャンネル長方向に引っ張り応力が印加されたためにチャンネル幅方向に格子が縮小する効果と、下地層20の格子定数がチャンネル半導体層30より小さいことによる相乗効果である。このような歪み構成は、Ge-nMOSFETの電流増大に最適な構成である。

【0025】

次に、図3を参照して、第1の具体例の製造方法を説明する。

【0026】

まず、図3(a)に示すように、Ge基板10にSiGeからなる下地層20、Geからなるチャンネル半導体層30を、低压化学気相堆積法(LP-CVD法)などにより順にエピタキシャル成長する。続いて、STI等の方法により素子分離を行い、p型のチャンネル不純物としてBを下地層20よりも深くイオン注入する(図示せず)。

【0027】

次いで、図3(b)に示すように、チャンネル半導体層30上に、ゲート絶縁膜40及びゲート電極50をそれぞれCVD法などにより順次堆積する。続いて、フォトリソグラフィによりゲートパターン(図示せず)を形成した後、図3(c)に示すように、反応性イオンエッチング法(RIE法)によりゲート電極50及びゲート絶縁膜40をパターニングする。

【0028】

次いで、図3(d)に示すように、側壁となるSi窒化膜(Si₃N₄)80をCVD法などにより全面に堆積する。続いて、図3(e)に示すように、RIE法によりSi窒化膜80をエッチングすることにより側壁絶縁膜81を形成し、さらにチャンネル半導体層30をエッチングして下地層20に達する深さ約20nmのリセス82を形成する。

【0029】

次いで、図3(f)に示すように、n型ドーパントとしてPが高濃度に取り込まれたSiGeからなるソース・ドレイン領域60、70をLP-CVD法などによりエピタキシャル成長する。

【0030】

これ以降は、活性化アニールを行い、通常の配線形成プロセスを経ることにより、歪みGe-nMOSFET100が完成することになる。

【0031】

(具体例1-2)

第1の実施形態の第2の具体例として、電界効果トランジスタ100は、正孔の伝導方向（チャンネル長方向）に圧縮歪みを有する歪みSi-pMOSFETである。

【0032】

ここで、基板10がn型Si、下地層20が膜厚70nmのn型Si_{0.95}Ge_{0.05}、チャンネル半導体層30が膜厚8nmのn型Si、ゲート絶縁膜40が膜厚5nmのLaAlO₂及び膜厚1nm未満のSiO₂界面層、ゲート電極50が膜厚20nmのTiN、ソース領域60及びドレイン領域70が何れもBが高濃度にドーピングされた膜厚30nmのSi_{0.7}Ge_{0.3}である。

【0033】

また、ソース・ドレイン領域60、70の下部領域の空乏層61、71が全て下地層20に含まれ、且つ下地層20と基板10との間に転位が発生しないという観点から、下地層20の好ましいGe組成の範囲は、1%以上15%以下である。さらに、下地層20の膜厚の下限は30nm、膜厚の上限は組成に応じた熱平衡臨界膜厚（例えば、Ge組成5%の場合、80nm）であり、Ge組成が低いほど上限値は大きくなる。また、ソース・ドレイン領域60、70については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、Ge組成の範囲は15%から50%、膜厚は5nmから50nmが好ましい範囲となる。

【0034】

他の構成要素については、当業者が容易に考え得る範囲での変更が可能である。また、基板の面指数、チャンネル長方向は、駆動電流を最大化する観点においては、それぞれ（110）面、 $[110]$ 方向が最適であるが、（111）面上及び（100）面上でも、歪みによる駆動電流の増大効果が得られる。

【0035】

なお、本具体例においては、基板10として、バルクSi基板のみならず、SOI基板を用いても良い。また、下地層20として、炭素を添加したSiGe:C或いはSnを添加したSiGeSn、SiSnを用いても良い。この場合のCの原子組成は0.1%から2%、Snの原子組成は0.1%から3%が好ましい範囲である。さらに、ソース・ドレイン領域60、70に、炭素を添加したSiGe:C、Ge:Cを用いても良い。

【0036】

第2の具体例において、チャンネルを上面から見たときの格子定数は図2（b）に示すように、チャンネル長方向に圧縮されている。これは、Siチャンネルよりも格子定数の大きいSiGeソース・ドレイン領域60、70からの圧縮応力による。一方、チャンネル幅方向には引っ張られている。これは、ゲート幅方向の素子分離により、当該方向に弾性変形が可能な状態で、チャンネル長方向に圧縮応力が印加されているためにチャンネル幅方向に格子が拡張する効果と、下地層20の格子定数がチャンネル半導体層30より大きいことによる相乗効果である。このような歪み構成は、Si-pMOSFETの電流増大に最適な構成である。

【0037】

第2の具体例の製造方法は、第1の具体例に準ずる。但し、電氣的極性が逆であるため、チャンネル不純物としてPを、ソース・ドレイン不純物としてBをそれぞれ用いる。

【0038】

（具体例1-3）

第1の実施形態の第3の具体例として、電界効果トランジスタ100は、正孔の伝導方向（チャンネル長方向）に圧縮歪みを有する歪みGe-pMOSFETである。

【0039】

ここで、基板10がn型Ge、下地層20が膜厚70nmのn型Si_{0.04}Ge_{0.95}Sn_{0.01}、チャンネル半導体層30が膜厚8nmのn型Ge、ゲート絶縁膜40が膜厚5nmのLaAlO₂及び膜厚1nm未満のGeO₂界面層、ゲート電極50が膜厚20nmのTiN、ソース領域60及びドレイン領域70が何れも高濃度p型不純物としてBがドーピングされた膜厚30nmのSn_{0.05}Ge_{0.95}である。

【0040】

また、ソース・ドレイン領域60、70の下部領域の空乏層61、71が全て下地層20に含まれ、且つ下地層20と基板10との間に転位が発生しないという観点から、下地層20の好ましいGe組成の範囲は、85%以上99%以下である。下地層20の膜厚の下限は30nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚（例えば、 $[Sn組成 \times 5 - Si組成] = 5\%$ の場合、80nm）であり、Ge組成が高く、Sn組成が低いほど上限値は大きくなる。また、ソース・ドレイン領域60、70については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、Sn組成の範囲は1%から10%、膜厚は5nmから50nmが好ましい範囲となる。

【0041】

10

他の構成要素については、当業者が容易に考え得る範囲での変更が可能である。また、基板の面指数、チャンネル長方向は、駆動電流を最大化する観点においては、それぞれ(110)面、[110]方向が最適であるが、(111)面上及び(100)面上でも、歪みによる駆動電流の増大効果が得られる。

【0042】

第3の具体例において、チャンネルを上面から見たときの格子定数は図2(b)に示すように、チャンネル長方向に圧縮されている。これは、Geチャンネルよりも格子定数の大きいSnGeソース・ドレイン領域60、70からの圧縮応力による。一方、チャンネル幅方向には引っ張られている。これは、ゲート幅方向の素子分離により、当該方向に弾性変形が可能な状態で、チャンネル長方向に圧縮応力が印加されたためにチャンネル幅方向に格子が拡大する効果である。このような歪み構成は、Ge-pMOSFETの電流増大に最適な構成である。

20

【0043】

なお、本具体例においては、基板10として、バルクGe基板のみならず、Si基板上にGe単結晶層が形成された基板や、SOI基板上にGe単結晶層が形成された基板、或いはSGOI基板上にGe単結晶層が形成された基板を用いても良い。また、下地層20として、炭素を添加したSiGeSn:Cを用いても良い。この場合のCの原子組成は0.1%から2%、Snの原子組成は0.1%から3%が好ましい範囲である。さらに、ソース・ドレイン領域60、70に、炭素を添加したSiGe:C、Ge:Cを用いても良い。この場合のCの原子組成は0.1%から5%が好ましい範囲である。また、下地層20として、SiGeを用いても良いが、この場合、下地層とソース・ドレイン領域60、70のGe原子組成をそれぞれx、yとしたとき、 $y > 2x$ とする。この組成条件は、上記の歪み構成とするためである。また、チャンネル半導体層30は、下地層20よりもGe組成の高いSiGeでも良い。

30

【0044】

第3の具体例の製造方法は、第1の具体例に準ずる。但し、電氣的極性が逆であるため、チャンネル不純物としてPを、ソース・ドレイン不純物としてBをそれぞれ用いる。

【0045】

(具体例1-4)

第1の実施形態の第4の具体例として、電界効果トランジスタ100は、電子の伝導方向(チャンネル長方向)に引っ張り歪みを有する歪みSi-nMOSFETである。

40

【0046】

ここで、基板10がp型Si、下地層20が膜厚70nmのp型 $Si_{0.95}Ge_{0.045}C_{0.005}$ 、チャンネル半導体層30が膜厚8nmのp型Si、ゲート絶縁膜40が膜厚5nmの $LaAlO_3$ 及び膜厚1nm未満の SiO_2 界面層、ゲート電極50が膜厚20nmのTiN、ソース領域60及びドレイン領域70が何れもPが高濃度にドーピングされた膜厚30nmの $Si_{0.97}C_{0.03}$ である。

【0047】

また、ソース・ドレイン領域60、70の下部領域の空乏層61、71が全て下地層20に含まれ、且つ下地層20と基板10との間に転位が発生しないという観点から、下地

50

層 20 の好ましい Ge の組成の範囲は、1 % 以上 15 % 以下、C の原子組成は 0.1 % から 2 % である。さらに、下地層 20 の膜厚の下限は 30 nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚（例えば、 $[C \text{ 組成} \times 10 - Ge \text{ 組成}] = 5\%$ の場合、80 nm）であり、Ge 組成が低いほど上限値は大きくなる。更に好ましくは、上記の $Si_{0.95}Ge_{0.045}C_{0.005}$ のように、Ge 組成と C 組成 $\times 10$ の値がほぼ等しくなる条件であり、この条件において下地層 20 と基板 10 との格子不整合は実質的に無視できる。さらに、ソース・ドレイン領域 60, 70 については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、Ge 組成の範囲は 15 % から 50 %、膜厚は 5 nm から 50 nm が好ましい範囲となる。

【0048】

10

他の構成要素については、当業者が容易に考え得る範囲での変更が可能である。また、基板の面指数、チャンネル長方向は、駆動電流を最大化する観点においては、それぞれ (110) 面、 $[110]$ 方向が最適であるが、(111) 面上及び (100) 面上でも、歪みによる駆動電流の増大効果が得られる。

【0049】

第 4 の具体例において、チャンネルを上面から見たときの格子定数は図 2 (a) に示すように、チャンネル長方向には伸張している。これは、Si チャンネルよりも格子定数の小さい Si : C ソース・ドレイン領域 60, 70 からの引っ張り応力による。一方、チャンネル幅方向には圧縮されている。これは、ゲート幅方向の素子分離により、当該方向に弾性変形が可能な状態で、チャンネル長方向に引っ張り応力が印加されたためにチャンネル幅方向に格子が縮小する効果である。

20

【0050】

なお、本具体例においては、基板 10 として、バルク Si 基板のみならず、SOI 基板を用いても良い。また、下地層 20 又はソース・ドレイン領域 60, 70 に、炭素を添加した SiGe : C を用いても良い。この場合の C の原子組成は 0.1 % から 2 % が好ましい範囲である。また、下地層 20 として、SiGe を用いても良いが、この場合、下地層の Ge 原子組成とソース・ドレイン領域 60, 70 の C 原子組成をそれぞれ x, y としたとき、 $10y > 2x$ とする。この組成条件は、上記の歪み構成とするためである。

【0051】

第 4 の具体例の製造方法は、第 1 の具体例に準ずる。

30

【0052】

以上の第 1 乃至第 4 の具体例においては、Si, Ge, C 及び Sn 等の IV 族元素を用いた例を示したが、他の材料系の組み合わせも可能である。例えば、基板 10 として、III-V 族化合物半導体基板 (GaAs, InP, InAs など)、又は Si 基板上に直接若しくは Ge 層を介して化合物半導体単結晶層を形成した基板を用いても良い。また、下地層 20 及びソース・ドレイン領域 60, 70 として、それらの合金 (GaAlAs, InGaAs, InGaAlAs, InAsP など) を用いても良い。

【0053】

(第 2 の実施形態)

本発明の第 2 の実施態様による MOS 型電界効果トランジスタ 200 の構造を、図 4 に示す。

40

【0054】

半導体基板 10 上に、該基板 10 と同じ元素を含む合金半導体からなる下地層 20、チャンネル半導体層 (チャンネル領域) 30 が格子整合して順次積層されている。チャンネル半導体層 30 上に、ゲート絶縁膜 40 を介してゲート電極 50 が形成されている。ゲート電極 50 を挟んで、チャンネル層元素を含む金属化合物層からなるソース電極 65 及びドレイン電極 75 が下地層 20 上に形成されている。ここで、ソース・ドレイン電極 65, 75 は下地合金層 20 に食い込んでいても良い。ソース・ドレイン電極 65, 75 の下部には高濃度の不純物がドーピングされた領域 62, 72 が形成されていても良い。また、ゲート電極 50 の側面には側壁絶縁膜 81 が形成されている。

50

【0055】

ゲート電極50、ソース・ドレイン電極65、75、及び側壁絶縁膜81を覆うようにして、歪みを内包した応力印加膜90が形成されており、この応力印加膜90によりチャネル半導体層30に応力が印加されている。ここで、下地層20は、一般には格子定数が基板10と異なるため、歪みを有している。従って、転位の発生を防止するため、その膜厚は熱平衡臨界膜厚未満とするのが望ましい。また、下地層20の厚さは、ソース・ドレイン領域下部の空乏層61、71の幅よりも厚く設定されている。

【0056】

本実施形態においては、下地層20が合金半導体となっているため、SiやGeなど、単元素の基板に対して歪みを印加するための応力印加膜を用いる従来構造に比べて、ソース・ドレイン下部領域に転位が発生しにくいという特徴を有する。また、ソース・ドレイン下部領域の空乏層61、71が全て下地合金層に含まれているため、リーク電流の起因となる空乏層中の転位が発生しないという特徴を有する。さらに、下地層20の厚さが熱平衡臨界膜厚未満であるため、基板10と下地層20との格子不整合による転位の発生もないという特徴を有する。従って、第1の実施形態と同様の効果が得られる。

【0057】

(具体例2-1)

第2の実施形態の第1の具体例として、電界効果トランジスタ200は、電子の伝導方向(チャネル長方向)に引っ張り歪みを有する歪みGe-nMOSFETである。

【0058】

ここで、基板10がp型Ge、下地層20が膜厚70nmのp型Si_{0.05}Ge_{0.95}、チャネル半導体層30が膜厚8nmのp型Ge、ゲート絶縁膜40が膜厚5nmのLaAlO₃及び膜厚1nm未満のGeO₂界面層、ゲート電極50が膜厚20nmのTiN、ソース電極65及びドレイン電極75が何れも膜厚12nmのNiGeである。ソース・ドレイン電極65、75の下部には高濃度のPがドーピングされた領域62、72が形成されている。応力印加膜90は、シリコン窒化膜或いはDLC(Diamond-Like Carbon)膜である。

【0059】

また、ソース・ドレイン電極65、75の下部領域の空乏層61、71が全て下地層20に含まれ、且つ下地層20と基板10との間に転位が発生しないという観点から、下地層20の好ましいGe組成の範囲は、85%以上99%以下である。さらに、下地層20の膜厚の下限は30nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚(例えば、Ge組成95%の場合、80nm)であり、Ge組成が高いほど上限値は大きくなる。また、応力印加膜90は、圧縮性応力を内包し、チャネルに電流方向に平行な引っ張り応力を印加する。

【0060】

他の構成要素(基板の面指数、チャネル長方向、基板材料、下地層、チャネル層材料など)については、先に説明した(具体例1-1)と同様の変形が可能である。

【0061】

第1の具体例において、チャネルを上面から見たときの格子定数は図2(a)に示すように、チャネル長方向に伸張している。これは、圧縮性応力を有する応力印加膜90からの引っ張り応力による。一方、チャネル幅方向には圧縮されている。これは、ゲート幅方向の素子分離により、当該方向に弾性変形が可能な状態で、チャネル長方向に引っ張り応力が印加されたためにチャネル幅方向に格子が縮小する効果と、下地層20の格子定数がチャネル半導体層30より小さいことによる相乗効果である。このような歪み構成は、Ge-nMOSFETの電流増大に最適な構成である。

【0062】

次に、図5を参照して、第1の具体例の製造方法を説明する。

【0063】

まず、前記図3(a)と同様に、Ge基板10にSiGeからなる下地層20、Geか

らなるチャネル半導体層 30 を、LP-CVD 法などにより順にエピタキシャル成長した後、STI 等の方法により素子分離を行い、p 型のチャネル不純物として B を下地層 20 よりも深くイオン注入する。

【0064】

次いで、図 5 (a) に示すように、ゲート絶縁膜 40、ゲート電極 50、及びキャップ層 83 をそれぞれ CVD 法などにより順次堆積する。続いて、フォトリソグラフィによりゲートパターン（図示せず）を形成した後、図 5 (b) に示すように、RIE 法によりゲート電極 40、ゲート絶縁膜 50、及びキャップ層 83 をパターニングする。

【0065】

次いで、図 5 (c) に示すように、側壁となる Si 窒化膜 80 を CVD 法などにより全面に堆積する。続いて、図 5 (d) に示すように、RIE 法により Si 窒化膜 80 をエッチングすることにより側壁絶縁膜 81 を形成し、さらに厚さ約 7 nm の Ni 膜 84 をスパッタ法、或いは CVD 法により堆積する。

【0066】

次いで、図 5 (e) に示すように、熱処理によって Ni と Ge を反応させて NiGe ジーマナイドからなるソース・ドレイン電極 65、75 を形成した後、酸処理によって未反応の Ni 膜 84 を除去する。

【0067】

次いで、図 5 (f) に示すように、n 型ドーパントとして P を NiGe 中にイオン注入して活性化アニールを行うと、P が NiGe のソース・ドレイン電極 65、75 の下部に偏析して P の高濃度層 62、72 が形成される。続いて、全体を覆うように、応力印加膜 90 を CVD 法などにより堆積する。これ以降は、通常の配線形成プロセスを経ることにより、歪み Ge-nMOSFET 200 が完成することになる。

【0068】

（具体例 2-2）

第 2 の実施形態の第 2 の具体例として、電界効果トランジスタ 200 は、電子の伝導方向（チャネル長方向）に圧縮歪みを有する歪み Si-pMOSFET である。

【0069】

ここで、基板 10 が n 型 Si、下地層 20 が膜厚 70 nm の n 型 $\text{Si}_{0.95}\text{Ge}_{0.05}$ 、チャネル半導体層 30 が膜厚 8 nm の Si、ゲート絶縁膜 40 が膜厚 5 nm の LaAlO_3 及び膜厚 1 nm 未満の SiO_2 界面層、ゲート電極 50 が膜厚 20 nm の TiN、ソース電極 65 及びドレイン電極 75 が何れも膜厚 12 nm の NiSi である。ソース・ドレイン電極 65、75 の下部には高濃度の B がドーピングされた領域 62、72 が形成されている。応力印加膜 90 は、シリコン窒化膜或いは DLC (Diamond-Like Carbon) 膜である。

【0070】

また、ソース・ドレイン電極 65、75 の下部領域の空乏層 61、71 が全て下地層 20 に含まれ、且つ下地層 20 と基板 10 との間に転位が発生しないという観点から、下地層 20 の好ましい Ge 組成の範囲は、1% 以上 15% 以下である。さらに、下地層 20 の膜厚の下限は 30 nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚（例えば、Ge 組成 5% の場合、80 nm）であり、Ge 組成が低いほど上限値は大きくなる。

【0071】

応力印加膜 90 は、伸張性応力を内包し、チャネルに電流方向に平行な圧縮応力を印加する。他の構成要素（基板の面指数、チャネル長方向、基板材料、下地層材料など）については、先に説明した（具体例 1-2）と同様の変形が可能である。

【0072】

第 2 の具体例において、チャネルを上面から見たときの格子定数は図 2 (b) に示すように、チャネル長方向に圧縮されている。これは、伸縮性応力を有する応力印加膜 90 からの圧縮応力による。一方、チャネル幅方向には引っ張られている。これは、ゲート幅方向の素子分離により、当該方向に弾性変形が可能な状態で、チャネル長方向に圧縮応力が

印加されたためにチャネル幅方向に格子が拡大する効果である。このような歪み構成は、 Ge-p MOSFET の電流増大に最適な構成である。

【0073】

第2の具体例の製造方法は、第1の具体例に準ずる。但し、電氣的極性が逆であるため、チャネル不純物としてBを、ソース・ドレイン不純物としてPをそれぞれ用いる。

【0074】

(具体例2-3)

第2の実施形態の第3の具体例として、電界効果トランジスタ200は、正孔の伝導方向に圧縮歪みを有する歪み Ge-p MOSFET である。

【0075】

ここで、基板10がn型Ge、下地層20が膜厚70nmのn型 $\text{Si}_{0.04}\text{Ge}_{0.95}\text{Sn}_{0.01}$ 、チャネル半導体層30が膜厚8nmのn型Ge、ゲート絶縁膜40が膜厚5nmの LaAlO 及び膜厚1nm未満の GeO_2 界面層、ゲート電極50が膜厚20nmのTiN、ソース電極65及びドレイン電極75が何れも膜厚12nmのNiGeである。ソース・ドレイン電極65、75の下部には高濃度のPがドーピングされた領域62、72が形成されている。応力印加膜90は、シリコン窒化膜或いはDLC (Diamond-Like Carbon) 膜である。

【0076】

また、ソース・ドレイン電極65、75の下部領域の空乏層61、71が全て下地層20に含まれ、且つ下地層20と基板10との間に転位が発生しないという観点から、下地層20の好ましいGe組成の範囲は、85%以上99%以下、Snの原子組成は3%以下である。下地層20の膜厚の下限は30nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚(例えば、 $[\text{Sn組成} \times 5 - \text{Si組成}] = 5\%$ の場合、80nm)であり、Ge組成が高く、Sn組成が低いほど上限値は大きくなる。

【0077】

応力印加膜90は、伸張性応力を内包し、チャネルに電流方向に平行な圧縮応力を印加する。他の構成要素(基板の面指数、チャネル長方向、基板材料、下地層、チャネル層材料など)については、先に説明した(具体例1-3)と同様の変形が可能である。

【0078】

第3の具体例において、チャネルを上面から見たときの格子定数は図2(b)に示すように、チャネル長方向に圧縮されている。これは、伸縮性応力を有する応力印加膜90からの圧縮応力による。一方、チャネル幅方向には引っ張られている。これは、ゲート幅方向の素子分離により、当該方向に弾性変形が可能な状態で、チャネル長方向に圧縮応力が印加されたためにチャネル幅方向に格子が拡大する効果である。このような歪み構成は、 Ge-p MOSFET の電流増大に最適な構成である。特に、 $\text{Sn組成} \times 5 > \text{Si組成}$ の場合は、下地層20の格子定数がチャネル層30の格子定数よりも大きいため、チャネル幅方向の引張り歪みがより大きくなり、移動度向上の観点でより好ましい。

【0079】

第3の具体例の製造方法は、第1の具体例に準ずる。但し、電氣的極性が逆であるため、チャネル不純物として、Pを、ソース・ドレイン不純物としてBをそれぞれ用いる。

【0080】

(具体例2-4)

第2の実施形態の第4の具体例として、電界効果トランジスタ200は、電子の伝導方向に引っ張り歪みを有する歪み Si-n MOSFET である。

【0081】

ここで、基板10がp型Si、下地層20が膜厚70nmのp型 $\text{Si}_{0.95}\text{Ge}_{0.045}\text{C}_{0.005}$ 、チャネル半導体層30が膜厚8nmのp型Si、ゲート絶縁膜40が膜厚5nmの LaAlO 及び膜厚1nm未満の SiO_2 界面層、ゲート電極50が膜厚20nmのTiN、ソース電極65及びドレイン電極75が何れも膜厚12nmのNiSiである。ソース・ドレイン電極65、75の下部には高濃度のPがドーピングされた領域62、72が

形成されている。応力印加膜 90 は、シリコン窒化膜或いは D L C (Diamond-Like Carbon) 膜である。

【0082】

また、ソース・ドレイン電極 65, 75 の下部領域の空乏層 61, 71 が全て下地層 20 に含まれ、且つ下地層 20 と基板 10 との間に転位が発生しないという観点から、下地層 20 の好ましい Ge の組成の範囲は、1%以上15%以下、C の原子組成は 0.1% から 2% である。さらに、下地層 20 の膜厚の下限は 30 nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚（例えば、 $[Ge \text{ 組成} - C \text{ 組成} \times 10] = 5\%$ の場合、80 nm）であり、Ge 組成が低いほど上限値は大きくなる。更に好ましくは、上記の $Si_{0.95}Ge_{0.045}C_{0.005}$ のように、Ge 組成と C 組成 $\times 10$ の値がほぼ等しくなる条件であり、この条件において下地層 20 基板 10 との格子不整合は実質的に無視できる。

10

【0083】

応力印加膜 90 は、圧縮性応力を内包し、チャンネルに電流方向に平行な引っ張り応力を印加する。他の構成要素（基板の面指数、チャンネル長方向、基板材料、下地層材料など）については、先に説明した（具体例 1-4）と同様の変形が可能である。

【0084】

第 4 の具体例において、チャンネルを上面から見たときの格子定数は図 2 (a) に示すように、チャンネル長方向には伸張している。これは、圧縮性応力を内包する応力印加膜 90 からの引っ張り応力による。一方、チャンネル幅方向には圧縮されている。これは、ゲート幅方向の素子分離により、当該方向に弾性変形が可能な状態で、チャンネル長方向に引っ張り応力が印加されたためにチャンネル幅方向に格子が縮小する効果である。

20

【0085】

第 4 の具体例の製造方法は、第 1 の具体例に準ずる。

【0086】

以上の第 1 乃至第 4 の具体例においても、第 1 の実施形態で説明した変形が可能であるのは勿論のことである。

【0087】

（第 3 の実施形態）

本発明の第 3 の実施態様による MOS 型電界効果トランジスタ 300 の構造を、図 6 に示す。

30

【0088】

半導体基板 10 上に、ゲート絶縁膜 40 を介してゲート電極 50 が形成されている。ゲート電極 50 を挟んで基板 10 には溝が形成され、この溝内に、基板と同種の元素を含む合金半導体からなるソース・ドレイン下地層 63, 73 と、基板と同種の元素を含み、基板 10 及び下地層 63, 73 の何れとも組成比が異なり、且つ格子定数の異なる合金半導体からなるソース・ドレイン領域 60, 70 が該下地層 20 上に格子整合して形成されている。そして、これらのソース・ドレイン領域 60, 70 によってゲート電極下のチャンネル領域 35 に応力が印加されている。

【0089】

ここで、下地層 63, 73 は、一般には格子定数が基板 10 と異なるため、歪みを有している。従って、転位の発生を防止するため、その膜厚は、熱平衡臨界膜厚未満である。また、下地層 63, 73 の厚さは、ソース領域 60 の下部の空乏層 61 及びドレイン領域 70 の下部の空乏層 71 の幅よりも厚く設定されている。また、ソース・ドレイン領域 60, 70 の表面に、5~20 nm 程度の厚さの金属化合物層 (NiGeSi など) が形成されていても良い。

40

【0090】

本実施形態においては、下地層 63, 73 が合金半導体となっているため、Si や Ge など、単元素の基板に対して歪みを印加するためのソース・ドレイン構造を用いる従来構造に比べて、ソース・ドレイン下部領域に転位が発生しにくいという特徴を有する。また、ソース・ドレイン下部領域の空乏層 61, 71 が全て下地層 63, 73 に含まれている

50

ため、リーク電流の起因となる空乏層中の転位が発生しないという特徴を有する。さらに、下地層 63, 73 の厚さが熱平衡臨界膜厚未満であるため、基板 10 と下地層 63, 73 との格子不整合による転位の発生もないという特徴を有する。従って、第 1 の実施形態と同様の効果が得られる。

【0091】

(具体例 3-1)

第 3 の実施形態の第 1 の具体例として、電界効果トランジスタ 300 は、電子の伝導方向 (チャネル長方向) に引っ張り歪みを有する歪み Ge-nMOSFET である。

【0092】

ここで、基板 10 が p 型 Ge、ソース下地層 63 及びドレイン下地層 73 が膜厚 70 nm の p 型 Si_{0.05}Ge_{0.95}、チャネル領域 35 は p 型 Ge、ゲート絶縁膜 40 が膜厚 5 nm の LaAlO₃ 及び膜厚 1 nm 未満の GeO₂ 界面層、ゲート電極 50 が膜厚 20 nm の TiN、キャップ層 83 が膜厚 10 nm の Si 窒化膜、ソース領域 60 及びドレイン領域 70 が何れも高濃度 n 型不純物として P がドーピングされた膜厚 30 nm の Si_{0.3}Ge_{0.7} である。

【0093】

また、ソース・ドレイン領域 60, 70 の下部領域の空乏層 61, 71 が全てソース・ドレイン下地層 63, 73 に含まれ、且つ下地層 63, 73 と基板 10 との間に転位が発生しないという観点から、下地層 63, 73 の好ましい Ge 組成の範囲は、85% 以上 99% 以下である。さらに、下地層 63, 73 の膜厚の下限は 30 nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚 (例えば、Ge 組成 95% の場合、80 nm) であり、Ge 組成が高いほど上限値は大きくなる。また、ソース・ドレイン領域 60, 70 については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、Ge 組成の範囲は 50% から 85%、膜厚は 5 nm から 50 nm が好ましい範囲となる。

【0094】

他の構成要素 (基板の面指数、チャネル長方向、基板材料、下地層材料など) については、先に説明した (具体例 1-1) と同様の変形が可能である。

【0095】

次に、図 7 を参照して、第 3 の実施形態の第 1 の具体例の製造方法を説明する。

【0096】

まず、図 7 (a) に示すように、Ge 基板 10 に STI 等の方法により素子分離 (図示せず) を行った後、Ge 基板 10 上にゲート絶縁膜 40, ゲート電極 50, 及びキャップ層 83 をそれぞれ CVD 法などにより順次堆積する。

【0097】

次いで、図 7 (b) に示すように、フォトリソグラフィーによりゲートパターン (図示せず) を形成した後、RIE 法によりキャップ層 83, ゲート電極 50, 及びゲート絶縁膜 40 をパターンニングする。

【0098】

次いで、図 7 (c) に示すように、側壁となる Si 窒化膜 (Si₃N₄) 80 を CVD 法などにより全面に堆積する。続いて、図 7 (d) に示すように、RIE 法により Si 窒化膜 80 をエッチングすることにより側壁絶縁膜 81 を形成し、さらに基板 10 をエッチングして深さ 80 nm のリセス 82 を形成する。

【0099】

次いで、図 7 (e) に示すように、リセス 82 の途中まで、LP-CVD 法などにより、p 型 SiGe 下地層 63, 73 を形成する。続いて、図 7 (f) に示すように、n 型ドーパントとして P が高濃度に取り込まれた SiGe ソース・ドレイン領域 60, 70 を LP-CVD 法などによりエピタキシャル成長する。

【0100】

これ以降は、活性化アニールを行い、通常の配線形成プロセスを経ることにより、歪み Ge-nMOSFET 300 が完成することになる。

【0101】

(具体例3-2)

第3の実施形態の第2の具体例として、電界効果トランジスタ300は、正孔の伝導方向(チャンネル長方向)に圧縮歪みを有する歪みSi-pMOSFETである。

【0102】

ここで、基板10がn型Si、ソース下地層63及びドレイン下地層73が膜厚70nmのn型Si_{0.95}Ge_{0.05}、チャンネル領域35はn型Si、ゲート絶縁膜40が膜厚5nmのLaAlO₃及び膜厚1nm未満のSiO₂界面層、ゲート電極50が膜厚20nmのTiN、キャップ層83が膜厚10nmのSi窒化膜、ソース領域60及びドレイン領域70が何れも高濃度p型不純物としてBがドーピングされた膜厚30nmのSi_{0.3}Ge_{0.7}である。

10

【0103】

また、ソース・ドレイン領域60、70の下部領域の空乏層61、71が全てソース・ドレイン下地層63、73に含まれ、且つ下地層63、73と基板10との間に転位が発生しないという観点から、下地層63、73の好ましいGe組成の範囲は、1%以上15%以下である。さらに、下地層63、73の膜厚の下限は30nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚(例えば、Ge組成95%の場合、80nm)であり、Ge組成が低いほど上限値は大きくなる。また、ソース・ドレイン領域60、70については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、Ge組成の範囲は15%から50%、膜厚は5nmから50nmが好ましい範囲となる。

20

【0104】

他の構成要素(基板の面指数、チャンネル長方向、基板材料、下地層材料など)については、先に説明した(具体例1-2)と同様の変形が可能である。

【0105】

第2の具体例の製造方法は、第1の具体例に準ずる。但し、電氣的極性が逆であるため、チャンネル不純物としてPを、ソース・ドレイン不純物としてBをそれぞれ用いる。

【0106】

(具体例3-3)

第3の実施形態の第3の具体例として、電界効果トランジスタ300は、正孔の伝導方向(チャンネル長方向)に圧縮歪みを有する歪みGe-pMOSFETである。

30

【0107】

ここで、基板10がn型Ge、ソース下地層63及びドレイン下地層73が膜厚70nmのn型Si_{0.04}Ge_{0.95}Sn_{0.01}、チャンネル領域35はn型Ge、ゲート絶縁膜40が膜厚5nmのLaAlO₃及び膜厚1nm未満のGeO₂界面層、ゲート電極50が膜厚20nmのTiN、ソース領域60及びドレイン領域70が何れも高濃度p型不純物としてBがドーピングされた膜厚30nmのSn_{0.05}Ge_{0.95}である。

【0108】

また、ソース・ドレイン領域60、70の下部領域の空乏層61、71が全てソース・ドレイン下地層63、73に含まれ、且つ下地層63、73と基板10との間に転位が発生しないという観点から、下地層63、73の好ましいGe組成の範囲は、85%以上99%以下である。さらに、下地層63、73の膜厚の下限は30nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚(例えば、[Sn組成×5-Si組成]=5%の場合、80nm)であり、Ge組成が高く、Sn組成が低いほど上限値は大きくなる。また、ソース・ドレイン領域60、70については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、Sn組成の範囲は1%から10%、膜厚は5nmから50nmが好ましい範囲となる。

40

【0109】

他の構成要素(基板の面指数、チャンネル長方向、基板材料、下地層材料など)については、先に説明した(具体例1-3)と同様の変形が可能である。

【0110】

50

第3の具体例の製造方法は、第1の具体例に準ずる。但し、電氣的極性が逆であるため、チャンネル不純物としてPを、ソース・ドレイン不純物としてBをそれぞれ用いる。

【0111】

(具体例3-4)

第3の実施形態の第4の具体例として、電界効果トランジスタ300は、電子の伝導方向(チャンネル長方向)に引っ張り歪みを有する歪みSi-nMOSFETである。

【0112】

ここで、基板10がp型Si、ソース下地層63及びドレイン下地層73が膜厚70nmのp型Si_{0.95}Ge_{0.045}C_{0.005}、チャンネル領域35がp型Si、ゲート絶縁膜40が膜厚5nmのLaAlO₃及び膜厚1nm未満のSiO₂界面層、ゲート電極50が膜厚20nmのTiN、ソース領域60及びドレイン領域70が何れもPが高濃度にドーピングされた膜厚30nmのSi_{0.97}C_{0.03}である。

【0113】

また、ソース・ドレイン領域60、70下部領域の空乏層61、71が全てソース・ドレイン下地合金層63、73に含まれ、且つ下地層63、73と基板10との間に転位が発生しないという観点から、下地層63、73の好ましいGeの組成の範囲は、1%以上15%以下、Cの原子組成は0.1%から2%である。さらに、下地層63、73の膜厚の下限は30nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚(例えば、[Ge組成-C組成×10]=5%の場合、80nm)であり、Ge組成が低いほど上限値は大きくなる。更に好ましくは、上記のSi_{0.95}Ge_{0.045}C_{0.005}のように、Ge組成とC組成×10の値がほぼ等しくなる条件であり、この条件において下地層63、73と基板10との格子不整合は実質的に無視できる。また、ソース・ドレイン領域60、70については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、Cの原子組成の範囲は0.1%から5%、膜厚は5nmから50nmが好ましい範囲となる。

【0114】

他の構成要素(基板の面指数、チャンネル長方向、基板材料、下地層材料など)については、先に説明した(具体例1-4)と同様の変形が可能である。

【0115】

第4の具体例の製造方法は、第1の具体例に準ずる。

【0116】

以上の第1乃至第4の具体例においても、第1の実施形態で説明した変形が可能であるのは勿論のことである。

【0117】

(第4の実施形態)

本発明の第4の実施形態によるMOS型電界効果トランジスタ400の構造を、図8に示す。図8において、(a)は上面図であり、(b)は(a)中のA-A'断面、(c)はB-B'断面、(d)はC-C'断面をそれぞれ表している。

【0118】

半導体基板10上に、板状の半導体領域(半導体フィン)31が基板主面に対してほぼ垂直に形成され、該フィン31の下部周囲は埋め込み絶縁膜90で埋め込まれ、該フィン31の埋め込み絶縁膜90よりも上部にチャンネル領域が形成される。フィン31の上面にはキャップ層83が形成されているが、必ずしもこのキャップ層83は必要ない。フィン31の上部の両側面には、ゲート絶縁膜40を介してゲート電極50が形成されている。

【0119】

ゲート電極50を挟んで、フィン31には凹部が形成され、この凹部内に、基板10と同種の元素を含む合金半導体からなるソース下地層63及びドレイン下地層73が格子整合して形成されている。さらに、下地層63、73上には、基板10と同種の元素を含み、基板10及び下地層63、73の何れとも組成比が異なり、且つ格子定数の異なる合金半導体からなるソース領域60及びドレイン領域70が格子整合して形成されている。そ

して、ソース・ドレイン領域 60, 70 によってフィン 31 のチャンネル領域に応力が印加されている。

【0120】

ここで、下地層 63, 73 は、一般には格子定数が基板 10 と異なるため、歪みを有している。従って、転位の発生を防止するため、その膜厚は、熱平衡臨界膜厚未満である。また、下地層 63, 73 の厚さは、ソース領域 60 の下部の空乏層 61 及びドレイン領域 70 の下部の空乏層 71 の幅よりも厚く設定されている。また、ソース・ドレイン領域 60, 70 の表面に、5~20 nm 程度の厚さの金属化合物層 (NiGeSi など) が形成されていても良い。

【0121】

本実施形態においては、下地層 63, 73 が合金半導体となっているため、Si や Ge など、単元素の基板に対して歪みを印加するためのソース・ドレイン構造を用いる従来構造に比べて、ソース・ドレイン下部領域に転位が発生しにくいという特徴を有する。また、ソース・ドレイン下部領域の空乏層 61, 71 が全て下地層 63, 73 に含まれているため、リーク電流の起因となる空乏層中の転位が発生しないという特徴を有する。さらに、下地層 63, 73 の厚さが熱平衡臨界膜厚未満であるため、基板 10 と下地層 63, 73 との格子不整合による転位の発生もないという特徴を有する。従って、第 1 の実施形態と同様の効果が得られる。

【0122】

(具体例 4-1)

第 4 の実施形態の第 1 の具体例として、フィン型の電界効果トランジスタ 400 は、電子の伝導方向 (チャンネル長方向) に引っ張り歪みを有する歪み Ge-nMOSFET である。

【0123】

ここで、基板 10 が p 型 Ge、ソース下地層 63 及びドレイン下地層 73 が膜厚 50 nm の p 型 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 、フィン 31 及びチャンネル領域は p 型 Ge、ゲート絶縁膜 40 が膜厚 5 nm の LaAlO 及び膜厚 1 nm 未満の GeO_2 界面層、ゲート電極 50 が膜厚 10 nm の TiN 膜 51 と n 型ポリ SiGe 膜 52 の積層構造であり、キャップ層 83 が膜厚 30 nm の Si 窒化膜、ソース領域 60 及びドレイン領域 70 が何れも高濃度 n 型不純物として P がドーパされた膜厚 30 nm の $\text{Si}_{0.3}\text{Ge}_{0.7}$ である。ポリ SiGe 膜 52 の代わりに、ポリ Si、ポリ Ge、或いはそれらの金属化合物 (NiSiGe など)、Ta₂N 等の金属でも良い。

【0124】

また、ソース・ドレイン領域 60, 70 の下部領域の空乏層 61, 71 は全てソース・ドレイン下地層 63, 73 に含まれ、且つ下地層 63, 73 と基板 10 との間に転位が発生しないという観点から、下地層 63, 73 の好ましい Ge 組成の範囲は、85% 以上 99% 以下である。下地層 63, 73 の膜厚の下限は 30 nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚 (例えば、Ge 組成 95% の場合、80 nm) であり、Ge 組成が高いほど上限値は大きくなる。また、ソース・ドレイン領域 60, 70 については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、Ge 組成の範囲は 50% から 90%、膜厚は 5 nm から 50 nm が好ましい範囲となる。

【0125】

他の構成要素については、当業者が容易に考え得る範囲での変更が可能である。また、フィン 31 の側面 (チャンネルとなる面) の面指数、チャンネル方向は、駆動電流を最大化する観点においては、それぞれ (111) 面、[110] 方向が最適であるが、(111) 面上ではチャンネル方位に対する駆動電流の依存性は小さいので、他の方向でも良い。さらに、(110) 面上の $[-110]$ 方向でも (111) 面上に匹敵する駆動電流が得られる。(100) 面など、他の面上でも、歪みによる駆動電流の増大効果が得られる。

【0126】

なお、本具体例においては、基板 10 として、バルク Ge 基板のみならず、Si 基板上

に Ge 単結晶層が形成された基板や、SOI 基板上に Ge 単結晶層が形成された基板、或いは SGOI 基板上に Ge 単結晶層が形成された基板を用いても良い。また、下地層 63, 73 として、炭素を添加した SiGe : C, Ge : C、或いは Sn を添加した SiGe Sn を用いても良い。この場合の C の原子組成は 0.1 % から 2 %、Sn の原子組成は 0.1 % から 3 % が好ましい範囲である。

【0127】

また、ソース・ドレイン領域 60, 70 に、炭素を添加した SiGe : C, Ge : C を用いても良い。この場合の C の原子組成は 0.1 % から 5 % が好ましい範囲である。さらに、フィン 31 の上部のキャップ層 83 の代わりに、ゲート絶縁膜 40、ゲート電極 50 がフィン 31 の上面にも形成され、両側面と上面の 3 面がチャンネルとなる構造（トライゲート構造）も可能である。

10

【0128】

第 4 の実施形態の第 1 の具体例の製造方法を、図 9 乃至図 17 を用いて説明する。ここで、図 9 ～ 図 17 において (a) は上面図、(b) は、図 9 (a) の A-A' に沿った断面図である。

【0129】

まず、図 9 (a) (b) に示すように、Ge 基板 10 上にキャップ層 83 を形成し、このキャップ層 83 をフォトリソグラフィーによりパターンニングした後、RIE 法により基板 10 をエッチングすることにより、上部にキャップ層 83 の載った板状の半導体領域（半導体フィン）31 を形成する。

20

【0130】

次いで、図 10 (a) (b) に示すように、フィン 31 の下部周辺に絶縁膜 90 を埋め込み形成する。具体的には、絶縁膜 90 でフィン 31 とキャップ層 83 を埋め込んだ後、CMP で平坦化し、更に RIE 法で絶縁膜 90 を所定量だけエッチングし、更に希弗酸にてフィン 31 の側壁に残留した絶縁膜を除去することにより、フィン 31 の上部を絶縁膜 90 上に露出させる。

【0131】

次いで、図 11 (a) (b) に示すように、ゲート絶縁膜 40 及び TiN 膜 51 を、フィン 31 の埋め込み絶縁膜 90 上に突出した領域上に CVD 法などにより形成し、更にその上にポリ SiGe 膜 52 を堆積する。

30

【0132】

次いで、図 12 (a) (b) に示すように、CMP によりポリ SiGe 膜 52 と TiN 膜 51、ゲート絶縁膜 40 をキャップ層 83 の表面まで研磨して平坦化した後、ポリ SiGe 膜 52 上に再度ポリ SiGe 膜 52 を堆積し、その上に第 2 のキャップ層 53 を堆積する。

【0133】

次いで、図 13 (a) (b) に示すように、フォトリソグラフィーと RIE 法により、キャップ層 83、ポリ SiGe 層 52、第 2 のキャップ層 53 からなるゲートパターンを形成する。

【0134】

次いで、図 14 (a) (b) に示すように、ゲート側壁用の Si 窒化膜 80 を全面に堆積した後、図 15 (a) (b) に示すように、RIE 法によりゲート側壁絶縁膜 81 を形成する。

40

【0135】

次いで、図 16 (a) (b) に示すように、RIE 法により、ソース・ドレイン形成領域にリセス 82 を形成する。これにより、フィン 31 のチャンネルを形成すべき第 1 の領域よりも、該領域の両側のソース・ドレインを形成すべき第 2 の領域の方が低くなる。

【0136】

次いで、図 17 (a) (b) に示すように、リセス 82 内に p 型 $\text{Si}_{0.05}\text{Ge}_{0.95}$ からなる下地層 63, 73 をエピタキシャル成長し、その上に、n 型 $\text{Si}_{0.3}\text{Ge}_{0.7}$ からな

50

るソース・ドレイン領域 60, 70 を上にエピタキシャル成長する。

【0137】

これ以降は、活性化アニールを行い、通常の配線形成プロセスを経ることにより、フィン型歪み Ge-n MOSFET 400 が完成することになる。

【0138】

(具体例 4-2)

第 4 の実施形態の第 2 の具体例として、フィン型の電界効果トランジスタ 400 は、正孔の伝導方向（チャンネル長方向）に圧縮歪みを有する歪み Si-p MOSFET である。

【0139】

ここで、基板 10 が n 型 Si、ソース下地層 63 及びドレイン下地層 73 が膜厚 50 nm の n 型 Si_{0.95}Ge_{0.05}、フィン 31 及びチャンネル領域は n 型 Si、ゲート絶縁膜 40 が膜厚 5 nm の LaAlO₃ 及び膜厚 1 nm 未満の SiO₂ 界面層、ゲート電極 50 が膜厚 10 nm の TiN 膜 51 と p 型ポリ Si 膜 52 の積層構造であり、キャップ層 83 が膜厚 30 nm の Si 窒化膜、ソース領域 60 及びドレイン領域 70 が何れも高濃度 p 型不純物として B がドーパされた膜厚 30 nm の Si_{0.7}Ge_{0.3} である。ポリ Si 膜 52 の替わりに、ポリ SiGe、ポリ Ge、或いはそれらの金属化合物 (NiSiGe など)、Ta₂N 等の金属でも良い。

【0140】

また、ソース・ドレイン領域 60, 70 の下部領域の空乏層 61, 71 はソース・ドレイン下地層 63, 73 に含まれ、且つ下地層 63, 73 と基板 10 との間に転位が発生しないという観点から、下地層 63, 73 の好ましい Ge 組成の範囲は、1% 以上 15% 以下である。さらに、下地層 63, 73 の膜厚の下限は 30 nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚（例えば、Ge 組成 5% の場合、80 nm）であり、Ge 組成が低いほど上限値は大きくなる。また、ソース・ドレイン領域 60, 70 については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、Ge 組成の範囲は 50% から 90%、膜厚は 5 nm から 50 nm が好ましい範囲となる。

【0141】

他の構成要素については、当業者が容易に考え得る範囲での変更が可能である。また、フィン 31 の側面（チャンネルとなる面）の面指数、チャンネル方向は、駆動電流を最大化する観点においては、それぞれ (110) 面、[110] 方向が最適であるが、(111) 面上及び (100) 面上でも、歪みによる駆動電流の増大効果が得られる。

【0142】

なお、本具体例においては、基板 10 として、バルク Si 基板のみならず、SOI 基板を用いても良い。また、下地層 63, 73 として、炭素を添加した SiGe:C を用いても良い。この場合の C の原子組成は 0.1% から 2% が好ましい範囲である。また、ソース・ドレイン領域 60, 70 に、炭素を添加した SiGe:C、Ge:C、或いは Sn を添加した SiGeSn、SiSn を用いても良い。この場合の C の原子組成は 0.1% から 2% が、Sn の原子組成は 0.1% から 10% が好ましい範囲である。さらに、フィン上部のキャップ層の代わりに、ゲート絶縁膜、ゲート電極がフィンの上面にも形成され、両側面と上面の 3 面がチャンネルとなる構造（トライゲート構造）も可能である。

【0143】

第 2 の具体例の製造方法は、第 1 の具体例に準ずる。但し、電氣的極性が逆であるため、チャンネル不純物として、P を、ソース・ドレイン不純物として B をそれぞれ用いる。

【0144】

(具体例 4-3)

第 4 の実施形態の第 3 の具体例として、フィン型の電界効果トランジスタ 400 は、正孔の伝導方向（チャンネル長方向）に圧縮歪みを有する歪み Ge-p MOSFET である。

【0145】

ここで、基板 10 が n 型 Ge、ソース下地層 63 及びドレイン下地層 73 が膜厚 50 nm の n 型 Si_{0.05}Ge_{0.94}Sn_{0.01}、フィン 31 及びチャンネル領域は n 型 Ge、ゲート絶

縁膜 40 が膜厚 5 nm の LaAlO_2 及び膜厚 1 nm 未満の GeO_2 界面層、ゲート電極 50 が膜厚 10 nm の TiN 膜 51 とポリ SiGe 膜 52 の積層構造であり、キャップ層 83 が膜厚 30 nm の Si 窒化膜、ソース領域 60 及びドレイン領域 70 が何れも高濃度 p 型不純物として B がドーピングされた膜厚 30 nm の $\text{Sn}_{0.05}\text{Ge}_{0.95}$ である。

【0146】

また、ソース・ドレイン領域 60, 70 の下部領域の空乏層 61, 71 が全てソース・ドレイン下地層 63, 73 に含まれ、且つ下地層 63, 73 と基板 10 との間に転位が発生しないという観点から、下地層 63, 73 の好ましい Ge 組成の範囲は、85% 以上 99% 以下である。さらに、下地層 63, 73 の膜厚の下限は 30 nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚（例えば、 $[\text{Sn 組成} \times 5 - \text{Si 組成}] = 5\%$ の場合、80 nm）であり、Ge 組成が高いほど上限値は大きくなる。更に好ましくは、上記の $\text{Si}_{0.05}\text{Ge}_{0.94}\text{Sn}_{0.01}$ のように、Si 組成と Sn 組成 $\times 5$ の値がほぼ等しくなる条件であり、この条件において下地層 63, 73 と基板 10 との格子不整合は実質的に無視できる。また、ソース・ドレイン領域 60, 70 については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、Sn 組成の範囲は 1% から 10%、膜厚は 5 nm から 50 nm が好ましい範囲となる。

10

【0147】

他の構成要素については、当業者が容易に考え得る範囲での変更が可能である。また、フィン側壁の面指数、チャンネル方向は、駆動電流を最大化する観点においては、それぞれ (110) 面、 $[110]$ 方向が最適であるが、(111) 面上及び (100) 面上でも、歪みによる駆動電流の増大効果が得られる。

20

【0148】

第 3 の具体例の製造方法は、第 1 の具体例に準ずる。但し、電氣的極性が逆であるため、チャンネル不純物として、P を、ソース・ドレイン不純物として B をそれぞれ用いる。

【0149】

(具体例 4-4)

第 4 の実施形態の第 4 の具体例として、フィン型の電界効果トランジスタ 400 は、電子の伝導方向（チャンネル長方向）に引っ張り歪みを有する歪み Si-nMOSFET である。

30

【0150】

ここで、基板 10 が p 型 Si、ソース下地層 63 及びドレイン下地層 73 が膜厚 50 nm の p 型 $\text{Si}_{0.945}\text{Ge}_{0.05}\text{C}_{0.005}$ 、フィン 31 及びチャンネル領域は p 型 Si、ゲート絶縁膜 40 が膜厚 5 nm の LaAlO_2 及び膜厚 1 nm 未満の SiO_2 界面層、ゲート電極 50 が膜厚 10 nm の TiN 膜 51 とポリ SiGe 膜 52 の積層構造であり、キャップ層 83 が膜厚 30 nm の Si 窒化膜、ソース領域 60 及びドレイン領域 70 が何れも高濃度 n 型不純物として P がドーピングされた膜厚 30 nm の $\text{Si}_{0.97}\text{C}_{0.03}$ である。

【0151】

また、ソース・ドレイン領域 60, 70 の下部領域の空乏層 61, 71 が全てソース・ドレイン下地層 63, 73 に含まれ、且つ下地層 63, 73 と基板 10 との間に転位が発生しないという観点から、下地層 63, 73 の好ましい Ge 組成の範囲は、1% 以上 15% 以下、C の原子組成は 0.1% から 2% である。さらに、下地層 63, 73 の膜厚の下限は 30 nm、膜厚の上限は、組成に応じた熱平衡臨界膜厚（例えば、 $[\text{C 組成} \times 10 - \text{Ge 組成}] = 5\%$ の場合、80 nm）であり、Ge 組成が低いほど上限値は大きくなる。更に好ましくは、上記の $\text{Si}_{0.945}\text{Ge}_{0.05}\text{C}_{0.005}$ のように、Ge 組成と C 組成 $\times 10$ の値がほぼ等しくなる条件であり、この条件において下地層 20 と基板 10 との格子不整合は実質的に無視できる。また、ソース・ドレイン領域 60, 70 については、塑性変形による応力低減を避けつつ、なるべく大きな応力を発生させるという観点から、C の原子組成の範囲は 0.1% から 5%、膜厚は 5 nm から 50 nm が好ましい範囲となる。

40

【0152】

他の構成要素については、当業者が容易に考え得る範囲での変更が可能である。また、

50

フィン側壁の面指数、チャネル方向は、駆動電流を最大化する観点においては、それぞれ（１００）面、〔１１０〕方向が最適であるが、（１１１）面上及び（１１０）面上でも、歪みによる駆動電流の増大効果が得られる。

【０１５３】

第４の具体例の製造方法は、第１の具体例に準ずる。

【０１５４】

以上の第１乃至第４の具体例においても、第１の実施形態で説明した変形が可能であるのは勿論のことである。

【符号の説明】

【０１５５】

- １０…半導体基板
- ２０…下地層
- ３０…チャネル半導体層
- ３１…半導体フィン
- ３５…チャネル領域
- ４０…ゲート絶縁膜
- ５０…ゲート電極
- ５１…ＴｉＮ膜
- ５２…ＳｉＧｅ膜
- ５３，８３…キャップ層
- ６０…ソース領域
- ６１…ソース下部空乏層
- ６２…不純物ドーピング領域
- ６３…ソース下地層
- ６５…ソース電極
- ７０…ドレイン領域
- ７１…ドレイン下部空乏層
- ７２…不純物ドーピング領域
- ７３…ドレイン下地層
- ７５…ドレイン電極
- ８０…Ｓｉ窒化膜
- ８１…ゲート側壁絶縁膜
- ８２…リセス
- ９０…応力印加膜

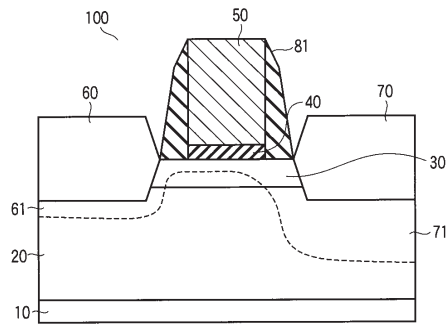
10

20

30

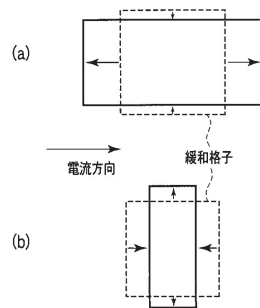
【図 1】

図 1



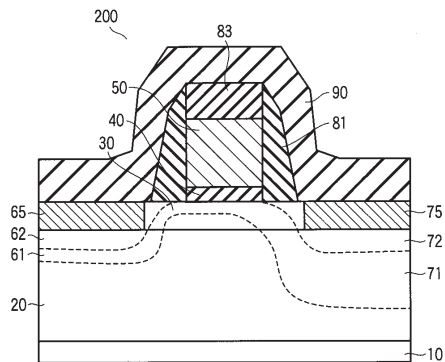
【図 2】

図 2



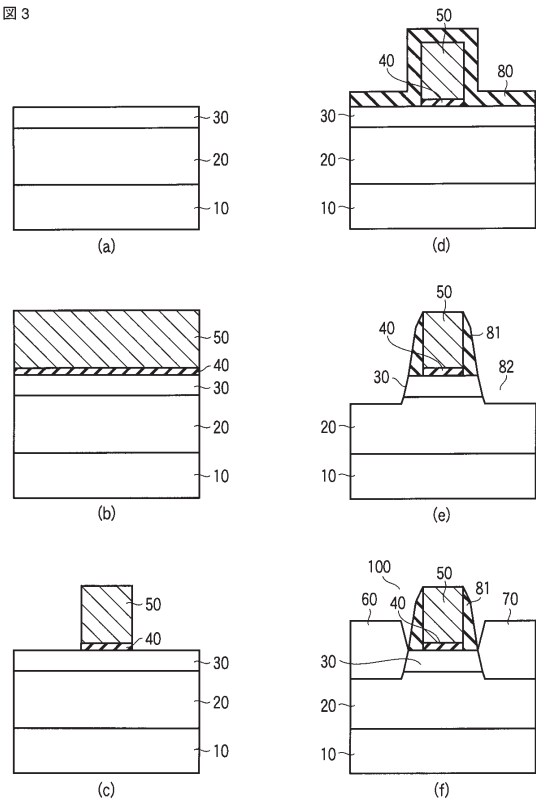
【図 4】

図 4



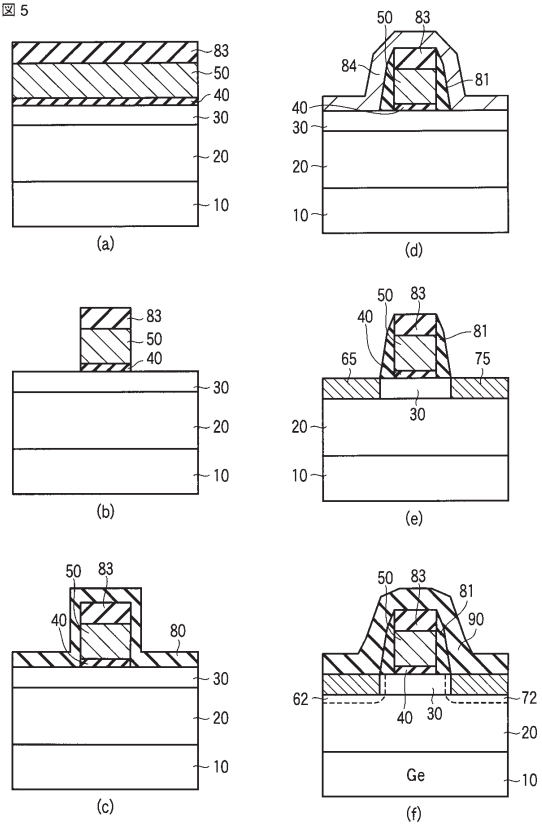
【図 3】

図 3



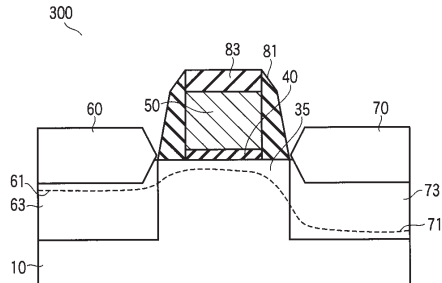
【図 5】

図 5



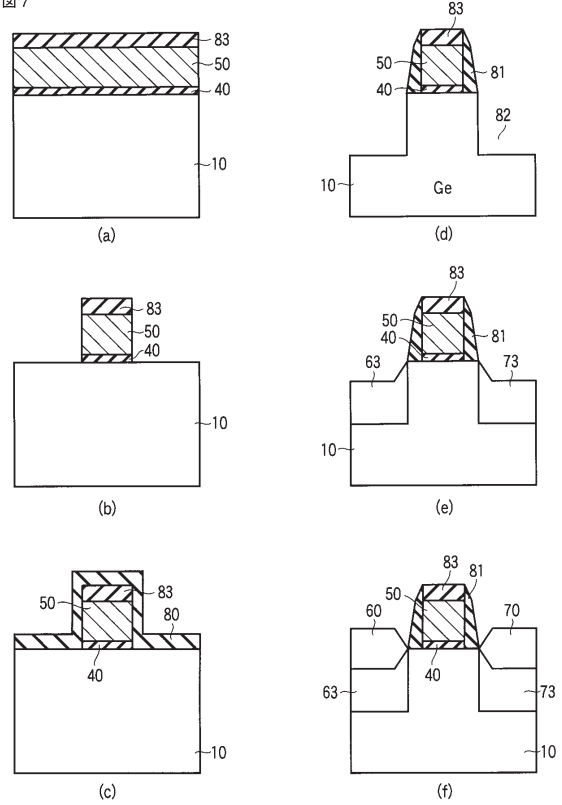
【図 6】

図 6



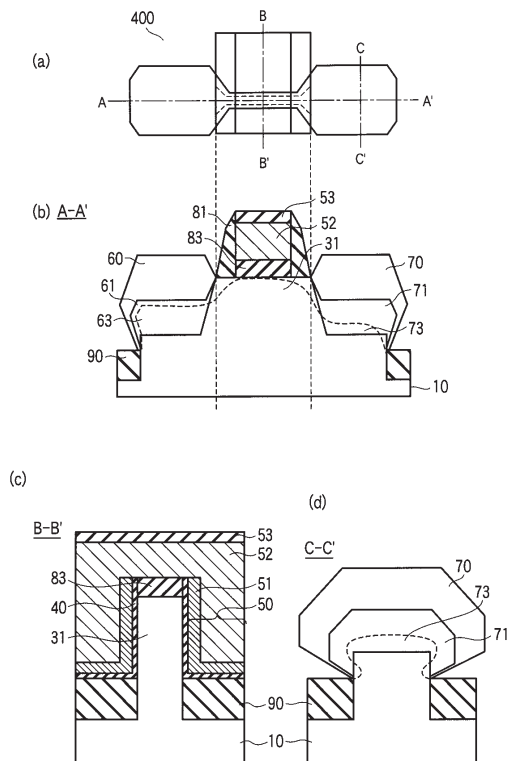
【図 7】

図 7



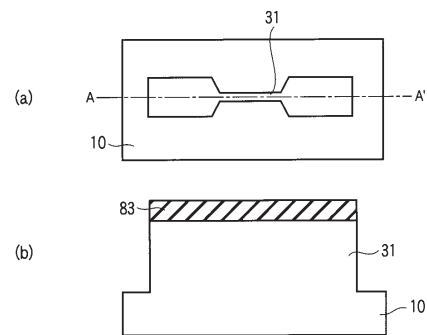
【図 8】

図 8



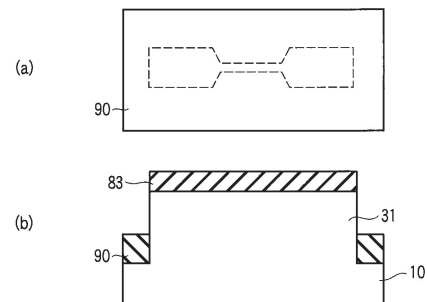
【図 9】

図 9



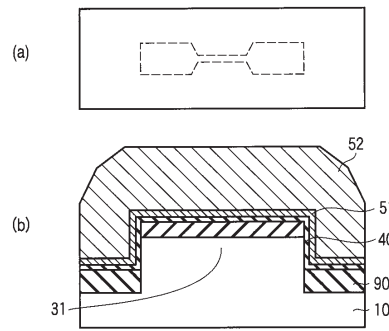
【図 10】

図 10



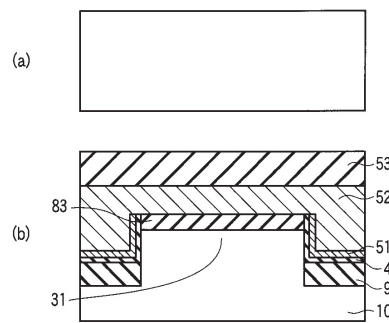
【図 1 1】

図 11



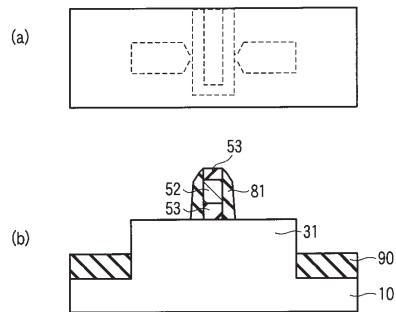
【図 1 2】

図 12



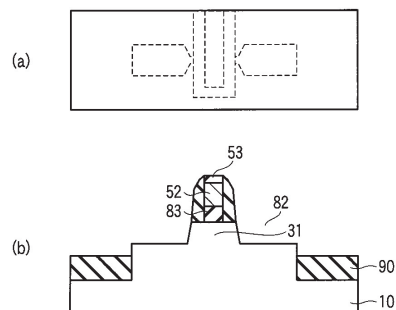
【図 1 5】

図 15



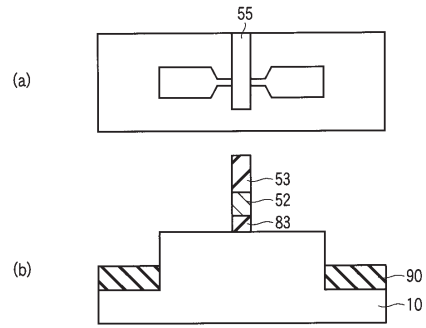
【図 1 6】

図 16



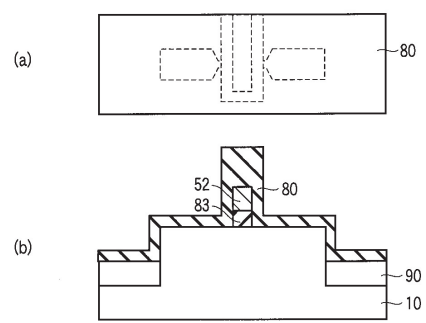
【図 1 3】

図 13



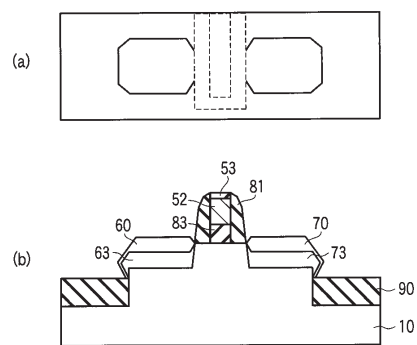
【図 1 4】

図 14



【図 1 7】

図 17



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H O 1 L 29/50	M
	H O 1 L 29/78	6 1 8 Z
	H O 1 L 29/78	6 1 6 U
	H O 1 L 29/78	6 1 6 V

(74)代理人 100095441
 弁理士 白根 俊郎

(74)代理人 100084618
 弁理士 村松 貞男

(74)代理人 100103034
 弁理士 野河 信久

(74)代理人 100119976
 弁理士 幸長 保次郎

(74)代理人 100153051
 弁理士 河野 直樹

(74)代理人 100140176
 弁理士 砂川 克

(74)代理人 100100952
 弁理士 風間 鉄也

(74)代理人 100101812
 弁理士 勝村 紘

(74)代理人 100070437
 弁理士 河井 将次

(74)代理人 100124394
 弁理士 佐藤 立志

(74)代理人 100112807
 弁理士 岡田 貴志

(74)代理人 100111073
 弁理士 堀内 美保子

(74)代理人 100134290
 弁理士 竹内 将訓

(74)代理人 100127144
 弁理士 市原 卓三

(74)代理人 100141933
 弁理士 山下 元

(72)発明者 手塚 勉

東京都港区芝浦一丁目1番1号 株式会社東芝内

F ターム(参考) 4M104 AA01 AA02 AA09 BB21 BB30 BB36 CC01 CC05 DD04 DD37
 DD43 DD65 DD83 EE03 EE16 FF13 GG09 GG10 GG14
 5F110 AA06 AA26 CC01 CC10 DD05 DD13 EE01 EE32 EE45 FF01
 FF29 GG01 GG02 GG03 GG06 GG07 GG17 GG19 GG22 GG25
 GG47 HK05 HK06 HK08 HK18 HK25 HK37 HK39 HK42 HM02
 NN05 NN22 NN24 NN35 NN62 NN65
 5F140 AA05 AA24 AC01 AC28 BA01 BA03 BA05 BA16 BA20 BB05
 BB18 BC06 BC12 BD01 BD05 BD11 BD13 BE10 BF01 BF10
 BF11 BF14 BG08 BG14 BG28 BG38 BG52 BG53 BH06 BH27
 BH50 BJ01 BJ06 BJ30 BK09 BK15 BK17 BK21 BK34 CC08

CC12
5F152 LL03 LN03 LN08 MM04 NN03 NN04 NN06 NN07 NN08 NN15
NN27 NN29 NP02 NP04 NP05 NP08 NQ03 NQ04 NQ05 NQ08