Jc806 U.S. PTO 11/20/02

NONPROVISIONAL PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400
Facsimile: (703) 836-2787

Attorney Docket No.: 114251

Date: November 20, 2002

BOX PATENT APPLICATION

Jc912 U.S. PTO 10/299861 11/20/02

Customer Number: 25944

NONPROVISIONAL APPLICATION TRANSMITTAL RULE §1.53(b)

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Transmitted herewith for filing under 37 C.F.R. §1.53(b) is the nonprovisional patent application

For (Title): ACTIVE MATRIX SUBSTRATE, ELECTRIC OPTICAL APPARATUS, AND ELECTRONIC DEVICE

By (Inventors): Yojiro MATSUEDA

☒ Formal drawings (Figs. 1-15F; 15 sheets) are attached.
☐ Use Figure for front page of Publication.
☐ A Declaration and Power of Attorney is filed herewith.
☒ This patent application is assigned to SEIKO EPSON CORPORATION.
☐ The executed Assignment is filed herewith.
☐ An Information Disclosure Statement is filed herewith.
☐ Entitlement to small entity status is hereby asserted.
☐ A Preliminary Amendment is filed herewith.
☐ Please amend the specification by inserting before the first line the sentence --This nonprovisional application claims the benefit of U.S. Provisional Application No. _____, filed _____.--
☒ Priority of foreign applications No. 2001-356007 filed November 21, 2001 in Japan, No. 2001-371403 filed December 5, 2001 in Japan and No. 2001-371410 filed December 5, 2001 in Japan is claimed (35 U.S.C. §119).
☐ A certified copy of the above corresponding foreign application(s) is filed herewith.
☐ This application is NOT to be published under 35 U.S.C. 112(b). The undersigned attorney or agent hereby certifies that the invention disclosed in this application has not been and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.
☒ The filing fee is calculated below:

CLAIMS IN THE APPLICATION AFTER ENTRY OF ANY PRELIMINARY AMENDMENT NOTED ABOVE

FOR:	NO. FILED	NO. EXTRA	SMALL ENTITY RATE	SMALL ENTITY FEE		OTHER THAN A SMALL ENTITY RATE	OTHER THAN A SMALL ENTITY FEE
BASIC FEE				$ 370	OR		$ 740
TOTAL CLAIMS	39 - 20	= 19	x 9 =	$	OR	x 18	$ 342
INDEP CLAIMS	3 - 3	= 0	x 42 =	$	OR	x 84	$ ----
☐ MULTIPLE DEPENDENT CLAIMS PRESENTED			+ 140 =	$	OR	+ 280	$ ----
			TOTAL	$	OR	TOTAL	$1,082

* If the difference is less than zero, enter "0".

☒ Check No. 136452 in the amount of $1,082.00 to cover the filing fee is attached. Except as otherwise noted herein, the Director is hereby authorized to charge any other fees that may be required to complete this filing, or to credit any overpayment, to Deposit Account No. 15-0461. Two duplicate copies of this sheet are attached.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/cmm

Application Data Sheet

Application Information

Application Type::	Regular
Subject Matter::	Utility
CD-ROM or CD-R:	None
Title::	ACTIVE MATRIX SUBSTRATE, ELECTRIC OPTICAL APPARATUS, AND ELECTRONIC DEVICE
Attorney Docket Number::	114251
Total Drawing Sheets::	15
Small Entity::	No

Applicant Information

Applicant Authority type::	Inventor
Primary Citizenship Country::	Japan
Status::	Full Capacity
Given Name::	Yojiro
Family Name::	MATSUEDA
City of Residence::	Suwa-shi
Country of Residence::	Japan

Correspondence Information

Correspondence Customer Number::	25944

Foreign Priority Information			
Country::	Application Number::	Filing Date::	Priority Claimed::
Japan	2001-356007	11/21/2001	Yes
Country::	Application Number::	Filing Date::	Priority Claimed::
Japan	2001-371403	12/05/2001	Yes
Country::	Application Number::	Filing Date::	Priority Claimed::
Japan	2001-371410	12/05/2001	Yes
Assignee Information			
Assignee Name::		SEIKO EPSON CORPORATION	
Street of mailing address::		4-1, Nishishinjuku 2-chome, Shinjuku-ku	
City of mailing address::		Tokyo	
Country of mailing address::		Japan	
Postal or Zip Code of mailing address::		163-0811	

[redacted]

明細書
アクティブマトリクス基板、電気光学装置および電子機器

発明の詳細な説明

技術分野

本発明は電気光学装置に好適なアクティブマトリクス基板、電気光学装置、及び電子機器に関する。

背景技術

液晶素子、有機ＥＬ素子、電気泳動素子、電子放出素子等を備えた電気光学装置の駆動方式の一つにアクティブマトリクス駆動方式がある。アクティブマトリクス駆動方式の電気光学装置は、その表示パネルに複数の画素がマトリクス状に配置されている。

複数の画素の各々は、電気光学素子とその電気光学素子に駆動電力を供給する駆動トランジスタとから構成される画素回路を備えている。また、これら複数の画素回路の各々は、データ線と走査線との交差部に対応して配置されている（例えば、特許文献１：国際公開第ＷＯ９８／３６４０７号パンフレット参照）。

電気光学装置において輝度を精密に制御するために、電気光学素子に供給する電力量を精密に制御しなくてはならない。特に有機ＥＬ素子は、電流駆動型の電気光学素子であるため、電流量は直接的に輝度に反映する。したがって、所望の電流量を精度良く有機ＥＬ素子に供給する必要があるが、そのためには駆動回路や駆動方法はもちろんのこと、画素レイアウトを最適化する必要がある。実際、画素レイアウトで問題となるのは、例えば、画素電極との周辺回路とのコンタクト、保持容量の安定性、またはトランジスタのオフ電流などである。

そこで、本発明は、かかる事情に鑑みてなされたものであり、その目的の一つは電気光学素子を安定的に駆動するのに最適な画素レイアウトを備えたアクティブマトリクス基板、電気光学装置、および電子機器を提供することである。

発明の概要

上記課題を解決するために、本発明の第１のアクティブマトリクス基板は、画素毎に設けられた電気光学素子に電流を供給するための周辺回路を電気光学素子に対応して備えるアクティブマトリクス基板であって、各周辺回路は、制御電圧を保持するための保持素子と、保持素子に接続され、この制御電圧に基づいた電流を電気光学素子に供給するための第１の能動素子と、保持素子に接続され、保持素子の充放電を制御する第２の能動素子と、を備え、前記第２の能動素子は、遮断時における漏れ電流防止構造を備えている。

なお、ここで、「電気光学素子」は、電気的作用によって発光するあるいは外部からの光の状態を変化させる素子一般をいい、自ら光を発するものと外部からの光の通過を制御するもの双方を含む。例えば、電気光学素子には、液晶素子、電気泳動素子、ＥＬ素子、電界の印加により発生した電子を発光板に当て発光させる電子放出素子が含まれる。

「周辺回路」はアクティブマトリックス型等の電気光学装置において各画素の駆動する回路素子の集合体をいい、例えばＴＦＴ等で構成されるものである。

「アクティブマトリクス基板」とは、周辺回路を搭載した基板一般をいい、電気光学素子が形成されているか否かを問わない。

「能動素子」には限定はないが、例えば、ＴＦＴなどのトランジスタやダイオード等が挙げられる。

ここでは、「保持素子」とは、例えば、キャパシタやメモリ等の電気信号を保持する素子を言う。

能動素子の有する「遮断時における漏れ電流防止構造」とは、通常、当該能動素子が非導通状態において、理想的には流れるべきでない電流が僅かながら流れることがあるが、このような電流（漏れ電流）が生ずることを防止することを目的として構成された構造を有する能動素子をいう。

このような素子としては、例えば、マルチゲート型の能動素子が挙げられる。マルチゲート型の能動素子とは、一素子として機能するものの、厳密に

は複数の能動素子が直列接続されそれらの制御端子同士が接続されたものと同様に機能する構成の能動素子をいう。

マルチゲート型の能動素子を構成するにあたり、後述する本実施形態のように半導体層が屈曲した形状としてもよいし、ゲートの形状を屈曲させてもよい。

また、第２の能動素子としては、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる組から選択される一の構造を備えるトランジスタであってもよい。ここで、「ＬＤＤ」とはLightly Doped Drainの略であり、「ＧＤＤ」とはGraded Diffused Drainの略であり、「ＤＤＤ」とはDouble Diffused Drainの略である。これらの構造を有するトランジスタは、ＭＯＳ　ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限するため、ドレイン付近の最大電界を弱めるためのものである。例えば、不純物拡散を行った領域およびシリコン基板間の電界を緩和するためトランジスタのドレイン領域に軽く不純物をドーピングして、例えばｎ－領域を自己整合的に形成したトランジスタである。

このようなトランジスタでは、オフ時のソースードレイン間の抵抗値が非常に高く、漏れ電流が減少するため、保持素子に蓄積された電荷が散逸せず、制御用端子に印加される電位を一定に保つことができる。

本発明の第２のアクティブマトリクス基板は、複数のデータ線と複数の走査線との交差部に対応して配置された複数の単位回路を備えたアクティブマトリクス基板であって、前記複数の単位回路の各々は、第１の制御用端子、第１の端子、及び第２の端子を備えた第１のトランジスタと、前記第１の制御用端子に接続され、第１の電極及び第２の電極を備えた保持素子と、第３の端子、第４の端子、及び第２の制御用端子を備えた第２のトランジスタであって、前記第３の端子及び前記第４の端子はそれぞれ前記第１の端子及び前記第１の電極に接続された第２のトランジスタと、を備え、前記第２のトランジスタはマルチゲート構造を有していること、を特徴とする。

上記のアクティブマトリクス基板において、マルチゲート構造に代えて前記第２のトランジスタは、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる群から選択される一の構造を備えるトランジスタであってもよい。

さらにマルチゲート構造と、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造を採用することにより、第２のトランジスタがオフ状態にある場合の漏れ電流を低減することができるので、保持素子に蓄積された電荷を長時間維持することが可能となる。

上記のアクティブマトリクス基板において、前記第１のトランジスタ及び前記第２のトランジスタは、互いに異なる導電型を有していることが好ましい。この場合、前記第１のトランジスタを構成する半導体膜と前記第２のトランジスタを構成する半導体膜とは、分離されていることが好ましい。

例えば、前記第１のトランジスタがＰ型であり、前記第２のトランジスタがＮ型であることが好ましい。

上記のアクティブマトリクス基板において、さらに、第５の端子、第６の端子、及び第３の制御用端子を備えた第３のトランジスタを備え、前記第３の制御用端子は前記複数の走査線のうちの一つの走査線に接続され、前記第５の端子は前記複数のデータ線のうちの一つのデータ線に接続されているような構成としてもよい。

さらに前記第６の端子は、前記第３の端子及び前記第１の端子に接続されているようにしてもよい。

上記のアクティブマトリクス基板において、前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、前記複数の層は、前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、前記第２の制御用端子が形成されているゲートメタル層と、を含み、前記ゲートメタル層には、前記複数の走査線のうち少なくとも１つの走査線の少なくとも１部分が形成されているようにしてもよい。

このようにすれば、前記第２の制御用端子と走査線の少なくとも１部分を同一工程で形成することができるので、製造工程を短縮することが可能となる。

上記のアクティブマトリクス基板において、前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、前記複数の層は、前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、前記第２の制御用端子が形成されているゲートメタル層と、

を含み、前記ゲートメタル層には、前記複数のデータ線のうち少なくとも１つのデータ線の少なくとも１部分が形成されているような構成としてもよい。

このようにすれば、前記第２の制御用端子とデータ線の少なくとも１部分を同一工程で形成することができるので、製造工程を短縮することが可能となる。

上記のアクティブマトリクス基板において、前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、前記複数の層は、前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、前記第２の制御用端子が形成されているゲートメタル層と、前記第２のトランジスタのソースまたはドレインに接続されたソース電極またはドレイン電極が形成されているソースメタル層と、を含み、前記複数のデータ線のうち少なくとも１つのデータ線の少なくとも１部分は、前記ソースメタル層及び前記ゲートメタル層のうち、より前記半導体層に近い層に形成されているような構成としてもよい。

このようにすれば、アクティブマトリクス基板の上方に電気光学素子を配置し、電気光学装置とした場合、データ線の少なくとも１部分を電気光学素子の電極から引き離すことができるので、電極とデータ線との間に生ずる寄生容量による動作遅延を低減することが可能となる。

本発明の第３のアクティブマトリクス基板は、トランジスタを備えた単位回路と走査線とデータ線とを備え、複数の層からなる積層構造を有したアクティブマトリクス基板であって、前記複数の層は、トランジスタを構成する半導体膜が形成された半導体層と、前記トランジスタのゲート端子が形成されているゲートメタル層と、を備え、前記走査線及び前記データ線のうち少なくとも一方の少なくとも１部分は前記ゲートメタル層に形成されていること、を特徴とする。

このようにすれば、トランジスタのゲート端子と走査線あるいはデータ線の少なくとも１部分とを同一工程で製造できるので、製造工程の短縮が可能となる。

本発明の第４のアクティブマトリクス基板は、トランジスタを備えた単位回路と走査線とデータ線とを備え、複数の層からなる積層構造を有したアク

ティブマトリクス基板であって、前記複数の層は、トランジスタを構成する半導体膜が形成された半導体層と、前記トランジスタのゲート端子が形成されたゲートメタル層と、前記トランジスタのソースまたはドレインに接続されるソース電極またはドレイン電極が形成されたソースメタル層と、を備え、前記走査線及び前記データ線のうち少なくとも一方の少なくとも１部分は前記ゲートメタル層及び前記ソースメタル層のうち前記半導体層に近い層に形成されていること、を特徴とする。

上記のアクティブマトリクス基板において、アクティブマトリクス基板の上方に電気光学素子を配置し、電気光学装置とした場合、データ線あるいは走査線の少なくとも１部分と電気光学素子の電極との距離を離すことができるので、電極とデータ線あるいは走査線との間に生ずる寄生容量による信号供給の遅延を抑制することが可能となる。

上記のアクティブマトリクス基板において、単位回路は、第１の制御用端子、第１の端子、及び第２の端子を備えた第１のトランジスタと、前記第１の制御用端子に接続され、第１の電極及び第２の電極を備えた保持素子と、第３の端子、第４の端子、及び第２の制御用端子を備えた第２のトランジスタであって、前記第３の端子及び前記第４の端子はそれぞれ前記第１の端子及び前記第１の電極に接続された第２のトランジスタと、を備え、前記第２のトランジスタは、ＬＤＤ構造、ＧＤＤ構造、ＤＤＤ構造、及びマルチゲート構造からなる群から選択される少なくとも一の構造を有していることが好ましい。

ＬＤＤ構造、ＧＤＤ構造、ＤＤＤ構造、及びマルチゲート構造は電流漏れを抑制する構造として適しているので、このような構成とすることにより保持素子に蓄積された電荷を長時間維持することができる。

本発明の第１の電気光学装置は、上記アクティブマトリクス基板と、電気光学素子を備えていること、を特徴とする。

本発明の第２の電気光学装置は、画素毎に設けられた電気光学素子に電流を供給するための周辺回路を前記電気光学素子に対応して備える電気光学装置であって、各前記周辺回路は、発光期間において前記電気光学素子に電流を供給するための発光制御能動素子と、制御電圧を保持するための保持素子

と、ゲート端子が前記保持素子に接続され当該ゲート端子に印加された前記制御電圧に基づいた電流を前記発光制御能動素子経由で前記電気光学素子に供給するための第１の能動素子と、選択期間において前記第１の能動素子経由で定電流（あるいはデータ電流）を流す電流制御能動素子と、前記電流制御能動素子と前記保持素子との間に接続され、前記選択期間において前記保持素子に充電させて前記制御電圧を記憶させる第２の能動素子と、を備え、前記第２の能動素子は、遮断時における漏れ電流防止構造を備えていることを特徴とする。

上記の漏れ電流防止構造としては、上記のアクティブマトリクス基板の場合と同様、例えば、ＬＤＤ構造、ＧＤＤ構造、ＤＤＤ構造、またはマルチゲート構造など採用可能である。

上記の電気光学装置において、前記第１の能動素子及び前記第２の能動素子としては、例えば、トランジスタを用いることが好ましい。その場合、互いに異なる導電型を有していることが好ましい。例えば、前記第１の能動素子がＰ型であり、前記第２の能動素子がＮ型であることが好ましい。

これに対応して、第１の能動素子に負論理のデータ信号を供給する第１のドライバ回路と、第２の能動素子に正論理の走査信号を供給する第２のドライバ回路と、を備えるような構成してもよい。

上記の電気光学装置において、第１の能動素子にデータ信号を供給するデータ線と、データ線と交差し第２の能動素子に走査信号を供給する走査線と、を備えるように構成してもよい。

また、上記の電気光学装置において、データ線または走査線のいずれか一方は、第１の能動素子および第２の能動素子を構成するソースメタル層およびゲートメタル層のうち電気光学素子の共通電極から離間している方のメタル層により配線されていることが好ましい。共通電極と離れているメタル層を利用すればその信号線と共通電極との間で生ずる寄生容量を減らすことができるからである。

具体的には、例えば走査線は、第２の能動素子のゲート端子を形成するゲートメタル層により配線されていることが考えられる。

また上記の電気光学装置において、複数の能動素子のうち、同一極性を有する複数の能動素子が同一の半導体層で平面的に連続形成されていることが好ましい。このように半導体層を連続させれば配線に使用する面積を抑え開口率を上げることができるからである。

このとき、同一極性を有する複数の能動素子間の接続点に共通のコンタクトホールを備え、当該コンタクトホールからこれら能動素子と異なる極性を有する能動素子へ配線されている。極性が異なる場合には、通常の配線を行う必要があるからである。また、このようにすれば、コンタクトホールを共有化することにより、駆動回路の全体面積に占める接続部分の占有面積を少なくすることができる。

ちなみに、後述する実施形態の一つでは、同一極性を有する複数の能動素子は、第２の能動素子、発光制御能動素子、および電流制御能動素子としているが、もちろんこれに限定はされない。

ここで前記第２の能動素子および前記電流制御能動素子のゲート端子として、共通の走査線を利用してもよく、この場合、共通のゲート端子接続については走査線をそのまま利用することによって配線面積を削減し開口率を上げることができる。

ただし、前記第２の能動素子および前記電流制御能動素子を同一タイミングで駆動しない場合は、もちろん、それぞれのゲート端子として異なる信号線を利用することは可能である。

本発明の第３の電気光学装置は、電気光学素子と、前記電気光学素子を駆動する周辺回路と、を備え、前記電気光学素子は、当該電気光学素子の境界が少なくとも所定の曲率以上を有するように形成されており、当該所定の曲率を有する境界と当該電気光学素子に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されていることを特徴としている。

「所定の曲率」を有する形状は、特に電気光学素子を、液体材料を用いて形成する場合に有効であり、その場合、当該液体材料の粘度や表面張力、および電気光学素子の下層の材料に応じて適宜設定することが望ましい。しかし、電気光学素子を蒸着法などの液体材料を用いることなしに形成する場合でも、ショートを防止するという効果を奏する。

この所定の曲率を有する境界部分が複数形成されていることが好ましい。また、複数形成されている境界部分は、電気光学素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されていることが好ましい。

例えば、この領域に形成される周辺回路の一部は、当該周辺回路の配線を構成するコンタクトホールである。このようなコンタクトホールは、領域の形状に合わせた多角形であることが好ましい。このような周辺回路の配線を構成するコンタクトホールは、例えば、電気光学素子の電極の少なくとも一方に電流を供給するためのコンタクトホールである。このコンタクトホールは複数であって、前記電気光学素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されていることが好ましい。

電気光学素子の形成に液体材料を用いる場合、当該液体材料に対して親和性を調整した親和性制御層を、電気光学素子の境界付近にさらに備えることにより、電気光学素子を構成する機能層の膜厚を制御し、平坦性を向上させることもできる。さらに、バンク層の少なくとも壁面の当該液体材料に対する親和性を前記親和性制御層のそれとは異ならせることにより、より効果が増す場合がある。例えば、バンク層の壁面の当該液体材料に対する親和性を親和性制御層のそれより低くすることにより、バンク層の壁面に当該液体材料により形成された膜が付着することがなくなり、当該液体材料により形成された膜の平坦性がより向上する。

この親和性制御層を、バンク層のなす壁面に対して当該電気光学素子内側で階段形状を有するように形成するようにしてもよい。

ここで「バンク」とは、画素領域間を仕切るための仕切部材である。バンクは陰極または共通電極とデータ線または走査線などの信号を供給する配線との距離を確保するためにも有効である。当該距離を十分に確保することにより、寄生容量が低減し、信号を供給する際の遅延を抑制することができるからである。

概してデータ信号は走査信号に寄生容量の影響を大きく受け、動作遅延の原因となるので、データ信号と共通電極または陰極との距離を十分確保する必要がある。

ここで所定の曲率を有する境界部分において、当該電気光学素子を構成す

る少なくとも一方の電極が当該境界部分の形状に対応してパターニングされていることが好ましい。電極を曲率に合わせてパターニングすることで周辺回路の少なくとも一部を配置しやすくなるからである。例えば、周辺回路の少なくとも一部とは、周辺回路と前記電極との接続をとるためのコンタクト領域である。

本発明の第４の電気光学装置は、発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、前記発光部の面積は、前記画素電極の面積より小であり、前記発光部の形状と前記画素電極の形状とが異なっていることを特徴とする。

本発明の第５の電気光学装置は、発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、前記発光部の面積は、前記画素電極の面積より小であり、前記発光部の形状は曲率を有する形状であり、前記画素電極の形状は多角形の形状であること、を特徴とする。

本発明の第６の電気光学装置は、発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、前記発光部の面積は、前記画素電極の面積より小であり、前記発光部はｎ個（ｎは４以上の整数）の角を有する多角形形状を有しており、前記画素電極はｍ個（ｍは３以上の整数）の角を有する多角形形状を有しており、ｎ＞ｍを関係を有すること、を特徴とする。

上記の電気光学装置において、発光部は曲率を有する形状または四角形以上の多角形形状を有しているので、発光部端部におけるショートを防止することができる。また、液体材料を用いて発光部を形成する際に発光部の端部にも十分液体材料を行き渡らせることができ、均一な膜を形成することも可能となる。

上記の電気光学装置において、前記発光部の全領域は前記画素電極上に形成されており、前記発光部の形成されていない、前記画素電極の部分に前記周辺回路と前記画素電極との接続のためのコンタクト領域が設けられていることが好ましい。

本発明の第７の電気光学装置は、電気光学素子と、前記電気光学素子に供給する電流を規定する保持容量と、保持容量に記録された電圧に従った電流

を供給する能動素子と、を備え、保持容量を構成する第１の電極は、電気光学素子に電流を供給する電源線を形成する金属層の一部をパターニングして形成されている電気光学装置である。

本発明の第８の電気光学装置は、電気光学素子に対し、保持容量に記録された電圧に従った電流を能動素子により供給可能に構成され、電源に接続される第１の金属層と、能動素子の制御端子を一部に含んでパターン形成される第２の金属層と、を備え、保持容量を構成する第１の電極は、第１の金属層の一部をパターニングして形成されている電気光学装置である。

ここで「層」には、金属層の他、保持容量形成に影響を与える層、例えば半導体層などが含まれる。

さらに保持容量を構成する第２の電極は、能動素子の制御端子を形成する金属層の一部をパターニングして形成されている。

上記の電気光学装置において、前記第１の電極は、電源線の一部であり、当該電源線の一部に能動素子の制御端子を形成する金属層の一部を重ねてパターニングして前記第２の電極を形成してもよい。このような構成にすれば保持容量と能動素子とを接続するための配線を特に設ける必要がないので開口率を上げることができるからである。

さらに好ましくは、保持容量を構成する電極に重複して当該電極形状に形成された半導体層を備えている。この半導体層は、例えば、不純物が導入されている。不純物をドーピングして半導体層が金属化あるいは低抵抗化してもよい。

また保持容量は、電気光学素子および能動素子が形成された領域以外の領域に形成されていることが開口率を上げる上で好ましい。例えば、保持容量の電極を構成する各層は、電気光学素子および能動素子が形成された領域以外の領域の形状に対応させた多角形、例えば五角形以上、に形成されている。

上記の電気光学装置において、保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されていることが好ましい。

上記の電気光学装置において、より下層側に配置される層の占める領域は、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じ

た場合であっても、当該より上層側に配置される層の領域が当該より下層側に配置される層の領域内に収まるような形状にパターン形成されている。

上記の電気光学装置において、隣接する電気光学素子間を隔離するためのバンク層をさらに備え、保持容量は、バンク層の下に形成されていることが好ましい。

ここで、さらに、電気光学素子の形成時における材料液の親和性を制御するための親和性制御層をバンク層中あるいはバンク層の下に備えていてもよい。

保持容量が形成される重複領域は、第１の金属層または第２の金属層の少なくとも一方が電源配線パターンとなっている領域に設けてもよい。

さらに好ましくは、第２の金属層によって形成される配線パターンは、電気光学素子に接続されている２つの電極の少なくとも一方から所定の距離以上離間して配置されている。このような構成により不要な容量を減らすことができるからである。

本発明の第５のアクティブマトリクス基板は、データ線と走査線との交差部に対応して配置された画素電極と路を備えたアクティブマトリクス基板であって、前記画素電極は少なくとも１つのトランジスタを介して電源線に接続され、前記少なくとも１つのトランジスタのゲートに接続された保持素子が設けられ、前記保持素子を構成する第１の電極は、前記電源線に接続されていること、を特徴とする。

本発明の第６のアクティブマトリクス基板は、データ線と走査線との交差部に対応して配置された画素電極と路を備えたアクティブマトリクス基板であって、前記画素電極は少なくとも１つのトランジスタを介して電源線に接続され、前記少なくとも１つのトランジスタのゲートに接続された保持素子が設けられ、前記保持素子を構成する第１の電極は、前記電源線の一部であること、を特徴としている。

上記のアクティブマトリクス基板において、前記保持素子を構成する第２の電極は、前記少なくとも１つのトランジスタのゲートであることを特徴としている。

本発明の第７のアクティブマトリクス基板は、走査線とデータ線との交差部に対応して、トランジスタを備えた単位回路とを備えたアクティブマトリクス基板であって、前記トランジスタを構成する半導体膜は半導体層に形成され、前記走査線と前記データ線の交差部においては前記走査線及び前記データ線のいずれかが第１の導電層に形成され、前記交差部以外の部分の前記走査線と前記データ線とは第２の導電層に形成されていることを特徴としている。このアクティブマトリクス基板において、前記第２の導電層は前記第１の導電層と前記半導体層との間に配置されていることが好ましい。

上記のアクティブマトリクス基板は、電気光学素子と組み合わせることにより、電気光学装置を構成することができる。

本発明の第９の電気光学装置は、走査線とデータ線との交差部に対応して電気光学素子を備えた電気光学装置であって、前記電気光学素子に電力を供給する一対の電極を含み、前記走査線と前記データ線の交差部においては前記走査線及び前記データ線のいずれかが第１の導電層に形成され、前記交差部以外の部分の前記走査線と前記データ線とは第２の導電層に形成され、前記第２の導電層は前記第１の導電層より前記一対の電極のいずれか一方から離間して配置されていること、を特徴としている。

ここで、上記の電気光学素子は、エレクトロルミネッセンス（ＥＬ）素子であってもよい。ここで、「エレクトロルミネッセンス素子」とは、その発光性物質が有機であるか無機であるか（Ｚｎ：Ｓなど）を問わず、電界の印加によって、陽極から注入された正孔と陰極から注入された電子とが再結合する際に再結合エネルギーにより発光性物質を発光させるエレクトロルミネッセンス現象を利用したもの一般をいう。またエレクトロルミネッセンス素子は、その電極で挟まれる層構造として、発光性物質からなる発光層の他、正孔輸送層および電子輸送層のいずれかまたは双方を備えていてもよい。具体的には、層構造として、陰極／発光層／陽極の他、陰極／発光層／正孔輸送層／陽極、陰極／電子輸送層／発光層／陽極、または陰極／電子輸送層／発光層／正孔輸送層／陽極などの層構造を適用可能である。

さらに、上記したアクティブマトリクス基板を備える電子機器にも適用される。ここで「電子機器」には限定が無いが、アクティブマトリクス基板に

より構成された表示装置を備えるもの、例えば、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳等をいう。

図面の簡単な説明

図１は本実施形態における表示パネルの全体図である。

図２は実施形態１における画素領域の平面図である。

図３は実施形態１における画素領域の断面図であり、図３Ａは図２のＡ－Ａ切断面、図３Ｂは図２のＢ－Ｂ切断面、図３Ｃは図２のＣ－Ｃ切断面である。

図４は発光部の境界形状の変形例であり、図４Ａは円形の発光部の場合、図４Ｂは中心線対称な屈曲部を有する発光部の場合、図４Ｃは中心線非対称な屈曲部を有する発光部の場合である。

図５は実施形態１における画素領域の回路図である。

図６は実施形態１における金属層のアライメントの説明図である。

図７は実施形態１におけるゲートメタルの離間処理の説明図である。

図８は実施形態２における画素領域の平面図である。

図９は実施形態２における画素領域の断面図であり、図９Ａは図８のＡ－Ａ切断面、図９Ｂは図８のＢ－Ｂ切断面、図９Ｃは図８のＣ－Ｃ切断面である。

図１０は実施形態３における画素領域の平面図である。

図１１は実施形態３における画素領域の断面図であり、図１０Ａは図１０のＡ－Ａ切断面、図１０Ｂは図１０のＢ－Ｂ切断面である。

図１２は実施形態４における画素領域の平面図である。

図１３は実施形態４における画素領域の断面図であり、図１３Ａは図１２のＡ－Ａ切断面、図１３Ｂは図１２のＢ－Ｂ切断面である。

図１４は実施形態５における表示パネルの接続図である。

図１５は実施形態５における電子機器の例であり、図１５Ａは携帯電話、図１５Ｂはビデオカメラ、図１５Ｃは携帯型パーソナルコンピュータ、図１

５Ｄはヘッドマウントディスプレイ、図１５Ｅはリア型プロジェクター、図１５Ｆはフロント型プロジェクターへの本発明の表示パネルの適用例である。

発明の好適な実施の形態

次に、本発明の好適な実施の形態を、図面を例示として参照しながら説明する。以下の形態は、本発明を実施の形態の例示に過ぎず、その適用範囲を限定するものではない。

[実施形態１]

本発明の実施形態は、電気光学素子としてＥＬ素子を利用した電気光学装置である表示パネルに関する。図１に当該ＥＬ素子を含むアクティブマトリクス基板により構成された表示パネルの全体図を示す。

図１に示すように、表示パネル１は、ガラス基板１６上に、表示領域１１およびドライバ領域１４及び１５を配置して構成されている。表示領域１１には全体的に陰極１２が形成されて陰極取出電極１３に接続されている。表示領域１１には画素領域１０がマトリクス状に配置されている。カラー表示の場合、画素領域１０は、それぞれがカラー表示で必要とされる原色（例えば、赤、青、緑の三原色）で発光可能に構成されており、各原色で発光する画素領域１０の組が一つの画素要素となる。例えば、表示領域１１の列方向に配置されるドライバ領域１５は、書き込み制御線Ｖsel 及び発光制御線Ｖgpに信号を出力し、表示領域１１の行方向に配置されるドライバ領域１４は、電源線Ｖdd の他、データ電流をデータ線Ｉdata に信号を出力している。各画素領域１０における発光状態をドライバ領域１４及び１５に形成された図示しない駆動回路によって制御することにより、任意の画像が表示領域１１に表示されるのである。

図２に、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図２では、図３に示した特に主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

図２に示すように、電源線Ｖdd とデータ線Ｉdata に挟まれる領域に、発光部ＯＬＥＤおよびそれを駆動するための周辺回路が総て配置されている。電

源線Ｖddは、発光部ＯＬＥＤを介してデータ線Ｉdataと離れて配置されている。周辺回路は、第１の能動素子としてのトランジスタＴ１、第２の能動素子としてのトランジスタＴ２、電流制御能動素子としてのトランジスタＴ３、発光制御能動素子としてのトランジスタＴ４、および保持素子としての保持容量Ｃで構成されている。なお、トランジスタＴ１～Ｔ４の導電型は特に限定されないが、本実施形態では、トランジスタＴ１の導電型はＰ型であり、それ以外のトランジスタは全てＮ型となっている。

トランジスタＴ１は、そのソースが電源線Ｖddに接続され、そのドレインがトランジスタＴ４のドレイン側に接続されている。トランジスタＴ４は、そのソースが発光部ＯＬＥＤの陽極に接続されている。保持容量Ｃは、電源線Ｖddとトランジスタ Ｔ１のゲート間に形成されている。トランジスタＴ２は、そのソースが保持容量ＣおよびトランジスタＴ１のゲートに接続され、そのドレインがトランジスタＴ３のドレインおよびトランジスタＴ１およびＴ４間に接続されている。トランジスタＴ３は、そのソースがデータ線Ｉdataに接続され、そのゲートがトランジスタＴ２のゲートと共通に書き込み制御線Ｖselに接続されている。

図３に、図２に示された切断面における層構造を説明する各断面図を示す。図３ＡはＡ－Ａ切断面、図３ＢはＢ－Ｂ切断面、図３ＣはＣ－Ｃ切断面における層構造を示している。

図３Ａに示すように、当該画素領域１０は、ガラス基板１００（図１におけるガラス基板１６）上に、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９（図１における陰極１２）の各層を積層して構成されている。さらに、電界発光部ＯＬＥＤでは、図３ＢおよびＣに示すように、陽極層１１０、正孔輸送層１１１、発光層１１２の各層を積層して構成されている。

ガラス基板１００としては、本実施形態のＥＬ素子が基板側に光を射出する形態であって光透過性があることが必要であるため、ソーダライムガラス、低膨張ガラス、石英などのノンアルカリガラスが適用される。ただし、陰極層１０９に光透過性物質を用い、陰極側から光を射出する形態のＥＬ素子を

構成する場合には、金属等の導電性物質、シリコン・カーバイト（ＳｉＣ）やアルミナ（Al_2O_3）や窒化アルミニウム（ＡｌＮ）等の非透明絶縁性物質も利用可能である。

下地保護膜１０１としては、酸化硅素膜（SiO_x：$0<x\leqq 2$）や窒化硅素膜（Si_3N_x：$0<x\leqq 4$）等の絶縁性物質が利用可能である。下地保護層は、ガラス基板中に含まれているナトリウム（Ｎａ）等の可動イオンが半導体層中に混入して半導体層の不純物制御に悪影響を与えさせないために形成するものである。

下地保護層１０１は、まず基板１００を純水やアルコールなどの有機溶剤で洗浄した後、常圧化学気相堆積法（ＡＰＣＶＤ法）や低圧化学気相堆積法（ＬＰＣＶＤ法）、プラズマ化学気相堆積法（ＰＥＣＶＤ法）等のＣＶＤ法あるいはスパッター法等を用いて基板上に形成される。

半導体層１０２としては、シリコン（Ｓｉ）やゲルマニウム（Ｇｅ）等の四族単体の半導体層の他に、シリコン・ゲルマニウム（Si_xGe_{1-x}：$0<x<1$）やシリコン・カーバイド（Si_xC_{1-x}：$0<x<1$）やゲルマニウム・カーバイド（Ge_xC_{1-x}：$0<x<1$）等の四族元素複合体、ガリウム・ヒ素（ＧａＡｓ）やインジウム・アンチモン（ＩｎＳｂ）等の三族元素と五族元素との複合体化合物、またはカドミウム・セレン（ＣｄＳｅ）等の二族元素と六族元素との複合体化合物、シリコン・ゲルマニウム・ガリウム・ヒ素（$Si_xGe_yGa_zAs_z$：$x+y+z=1$）と云った更なる複合化合物等が適用可能である。

半導体層１０２は、例えば、ＡＰＣＶＤ法やＬＰＣＶＤ法、ＰＥＣＶＤ法等のＣＶＤ法、またはスパッター法等や蒸着法等のＰＶＤ法でシリコン等を堆積させた後、レーザー光の照射によって多結晶化して形成される。レーザー光としては、エキシマレーザー、アルゴンイオンレーザー、ＹＡＧレーザーの基本波及び高調波等が好適に用いられる。例えば、シリコンを多結晶化すると、ポリシリコンとなる。この多結晶化した半導体層１０２を保持容量Ｃや各トランジスタＴ１～Ｔ４の各ＴＦＴの各素子形状に合うようパターニングする。例えばCF_4と酸素の混合ガスを用いた反応性イオンエッチングによってアモルファス状態の半導体層を素子形状に合わせて島状にパターニ

ングして形成する。パターニング後、例えばゲートメタル層を形成後、そのゲートメタル層をマスクとして、半導体層に不純物を導入する。具体的には、素子ごとにリン（Ｐ）、ヒ素（Ａｓ）、アンチモン（Ｓｂ）などのドナー元素を添加してＮ型半導体層にしたり、ホウ素（Ｂ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）等のアクセプター元素を添加してＰ型半導体層にしたりする。本実施形態では、保持容量Ｃを構成する半導体層がＮ型半導体層になるように不純物が導入される。ここで、ＴＦＴをＬＤＤ構造にする場合やＴＦＴのしきい値電圧を調整する場合には、不純物を低濃度で導入するチャンネル・ドープが行われる。

ゲート絶縁膜１０３としては、例えばテトラエチルオルトシリケート（ＴＥＯＳ）を原料とする二酸化珪素膜により形成される。ゲート絶縁膜１０３は、例えば、マイクロ波放電プラズマ、ＥＣＲプラズ等の酸素または窒素雰囲気下におけるプラズマＣＶＤ法により形成される。

ゲートメタル層１０４としては、例えばタンタル（Ｔａ）、タングステン（Ｗ）、クロム（Ｃｒ）、アルミニウム（Ａｌ）等のような導電性材料を用いる。ゲートメタル層１０４は、スパッタ法等で成膜され後、ゲート電極の形状になるようパターニングして形成される。

第１層間絶縁膜１０５としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第１層間絶縁膜は、スパッタ法等で形成された後、例えばＴＦＴ用のソース・ドレイン電極を形成するためにコンタクトホールが形成される。

ソースメタル層１０６として、例えばアルミニウム（Ａｌ）の他、タンタル、モリブデン、チタン、タングステン等の導電性材料を使用可能である。ソースメタル層は、スパッタ法等で一様に導電性材料を積層後、電極形状に合わせてパターニングして形成される。

第２層間絶縁膜１０７としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第２層間絶縁膜は、スパッタ法等で形成された後、例えば陽極層１１０用のコンタクトホールｈ１およびｈ２が形成される。

陽極層１１０としては、例えば、酸化インジウム錫合金（ＩＴＯ）等の光透過性を有する導電性材料が適用可能である。光透過性が必要無い場合には、

陽極層として、酸化錫（ＮＥＳＡ），金、銀、白金、銅等を適用できる。陽極層はスパッタ法等により形成された後、発光部ＯＬＥＤの形状に応じてパターニングして形成される。陽極層（あるいは画素電極）の形状は特に限定はないが、発光部ＯＬＥＤより大きな面積とすることが望ましい。そのような構成にすれば、周辺回路あるいは画素回路と、画素電極との電気的に接続するためのコンタクト領域を画素電極の発光部以外の領域に設けることができる。このような構成とすることにより少なくとも発光部の平坦性は向上する。

バンク層１０８としては、酸化珪素、窒化珪素、ポリイミドなどの絶縁材料を適用可能である。バンク層は、スパッタ法等で形成後、発光部ＯＬＥＤに対応する位置に開口部が設けて形成される。

正孔輸送層１１１としては、例えば、Ｎ，Ｎ’－ジフェニル－Ｎ，Ｎ’－ビス－（３－メチルフェニル）－（１，１’－ビフェニル）－４，４’－ジアミン（ＴＰＤＡ）が用いられる。正孔輸送層は、バンク層１０９に設けられた開口部にメタルマスク等を用いて成膜される。

発光層１１２としては、例えばトリス（８－キノリノール）アルミニウム（Alq_3）等の任意の発光性物質が用いられる。発光層は、メタルマスクやシリコンマスクを用いた蒸着で形成可能であるが、インクジェット法により発光性物質を含んだ溶媒を開口部に配置して溶媒成分を蒸発させて形成してもよい。

陰極層１０９としては、エネルギー順位からＥＬ素子の陰極として使用可能な材料、アルミニウムまたはアルミニウムと他の元素（リチウムなど）の合金、カルシウムなどで形成される。陰極層は、メタルマスク等により形成され、フォトリソグラフィー法やシャドーマスク法等でパターニングして形成される。

本実施形態では画素電極を陽極、共通電極を陰極としているが、画素電極を陰極、共通電極を陽極とする構成であってもよい。典型的な陰極材料は金属であることが多いので画素電極を陰極とした場合、発光部ＯＬＥＤが発した光は基板１００と反対側に射出されることとなる。もちろん、画素電極を陽極、共通電極を陰極の場合でも、陰極材料として透明材料を使用あるいは

光が透過する程度の膜厚とすることにより基板１００と反対側に光を射出することが可能である。

以下、本実施形態における配線パターン上の数々の特徴について順に説明する。

（発光部の平面形状）

ＥＬ素子の製造方法の一つに、インクジェット方式により発光性物質、キャリア輸送性物質あるいはキャリアブロッキング性物質を含んだ液体材料を開口部に吐出し乾燥させて、発光層を形成する製造方法がある。この製造方法では、吐出された材料液が均等に開口部の隅々まで行き渡ることが重要である。もしも材料液が均等に行き渡らないと、成膜後の発光層の厚みが不均一になり、発光領域内で射出される光の強度が不均一となり、表示パネルの画質が低下する。例えば、平面上、方形形状の開口部であったと仮定すると、材料液の表面張力や粘度等の影響で開口部の角部における吐出された材料液の液面の高さがその他の部分と異なるようになる。したがって、このような形状の発光部では成膜後の発光層の厚みが不均一になるおそれがあった。

一方、表示パネルでは輝度を上げる必要があるため、光を射出する領域、すなわち発光部をできるだけ大きく採り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請がある。製造上の容易性のみを考えてパターンを配置するわけにもいかないのである。

そこで、このような要請をともに満たすために、本実施形態では、発光部の境界が少なくとも所定の曲率以上を有するように形成されており、この所定の曲率を有する境界とこの発光部の境界に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されている。

図４に基づいて、具体的な概念を説明する。図４Ａ、Ｂ、Ｃはそれぞれ本発明の概念を適用した発光部の全部または一部の平面形状を示している。図４Ａは、発光部の境界が円形、すなわち総ての境界が一定の曲率Ｒを有している場合である。この円周とこの円周に外接する多角形、すなわち破線で示す正方形とで囲まれる領域、すなわち斜線部分に、周辺回路の一部を設けるのである。この円形の発光部は中心点を通るどの中心線に対しても対称である点で、発光部の膜厚を均等にできるための形状として理想的な形状である

と考えられる。しかし、図４Ａに示すように、斜線部分を有効活用することが発光部の開口率を向上させるために必要である。

図４Ｂは、長方形の角部に本発明を適用し、発光部の境界に一定の曲率Ｒを持たせた例である。この例では、外接する多角形は破線で示す長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。本実施形態はこの例に属し、この曲率Ｒを大きくしていくと、本実施形態のような長円の発光部の平面形状になる。この例でも発光部の中心を通る中心線に対して左右あるいは上下対称であり、かつ、角部の曲率が一定値以上であるため、均等な膜厚の発光部を形成可能である。

図４Ｃは、中心線に対して不均等に角部の曲率を設定した例である。図に向かって左側の角部の曲率Ｒ１が右側の角度の曲率Ｒ２より小さくなっている。

この例では、外接する多角形は破線で示すような長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。このように曲率が不均等であっても、最小の曲率を一定値以上に設定することにより、均等な膜厚の発光部が形成可能である。最小の曲率は、吐出される溶液の粘度や表面張力、吐出面の撥水性あるいは撥液性、（親水性あるいは親液性）に左右されるため、実験によって事例毎に定められる。

本実施形態では、図２に示すように発光部が長円形の平面形状を採用している。そして、この発光層の境界とこの発光部の境界に外接する長方形（図示しない）との境界で囲まれる領域内に、周辺回路の一部、つまりコンタクトホールｈ１およびｈ２が形成されている（図３Ｂ）も参照のこと）。本実施形態では、本来無駄なスペースともなるべき図４Ｂの斜線で示すような領域を、このコンタクトホールのために使用することにより、スペースの有効利用という要請を満たしている。

なお、この発光部の境界とその発光部に外接する多角形の境界とに囲まれる領域には、コンタクトホールに限らず、周辺回路のいずれの素子、例えばトランジスタやキャパシタ等を形成してもよい。また、独立に機能する素子

全体を総てこの領域に入れ込まなければならないわけではなく、素子やコンタクトの一部、つまり周辺回路の一部がこの領域に入り込んでいればよい。つまり、スペースを有効利用するような配置がされていることが肝要である。

発光部の形成に液体材料を用いない場合、例えば、発光部を蒸着法などで形成する場合でも、発光部の端部を曲率を有する形状とすることにより発光部ＯＬＥＤの端部における画素電極と共通電極とのショートの危険性を低減するという一定の効果を示す。

なお、厳密には曲率は細かな直線の集合とも表わされるので発光部の形状は画素電極の形状より多く角を有する多角形とも解釈される。

（発光部のためのコンタクトホール）

ＥＬ素子において、発光部の境界と発光部に外接する多角形の境界とに囲まれる領域に、図２に示すように、コンタクトホールを設けることは意義がある。すなわち、この領域に比較的大き目のコンタクトホールを設けることにより、この領域の有効利用が可能となるとともに、発光部に十分な電流を供給可能とするからである。

さらにコンタクトホールを複数設けることは好ましい。すなわち、ＥＬ素子では、発光層にはある程度の電流量の電流を、発光部全体に均等に流す必要がある。もしも直接電流を供給する陽極に接続するためのコンタクトホールが偏った位置に設けられたものとすると、電流の供給口が発光層に対して偏った位置にあるため、電流供給量が不均等になる場合がある。不均等な電流供給は発光強度のむらとなって現れる。

この点、本実施形態のように、発光部の中心部を通る中心線に対し対称な位置に複数のコンタクトホールを設ければ、このような問題を解消できる。すなわち、図２に示すように、本実施形態では、発光部の中心点を通る所定の中心線に対して対称的に設けられた領域にそれぞれ比較的大き目の複数のコンタクトホールを設けている。この対称的な領域にそれぞれコンタクトホールを設けることにより、発光部の均等成膜の要請とともに、発光部に対する電流供給を均一にするという要請を満たすことができる。

（金属層間のアライメント）

ＥＬ素子の駆動回路方式によっては、保持容量の変動が発光部に供給される電流量の安定性に影響を与える場合がある。当該実施形態においても、保持容量Ｃの容量値が画素ごとあるいは表示パネルごとに変動するのは好ましくない。しかしながら、表示パネルの製造工程において金属層を積層する際に予定した位置よりもずれが生じる場合がある。保持容量は金属層の重複領域の面積が容量値を規定するため、位置ずれが生じると容量値の変動またはバラツキを生じ、保持容量の容量値が画素領域毎あるいは表示パネルごとに変動するという事態を招く場合がある。

そこで、本実施形態では、保持容量Ｃが形成される重複領域付近において、保持容量Ｃの形成に関係する複数の層、すなわちソースメタル層１０６、ゲートメタル層１０４および半導体層１０２のうち、より下層側に配置される層（ソースメタル層に対してはゲートメタル層および半導体層）の占める領域または幅が、より上層側に配置される層（半導体層に対してはゲートメタル層およびソースメタル層、ゲートメタル層に対してはソースメタル層）の占める領域または幅より大きく形成されている。

この特徴は図２の平面図からも読み取れるが、具体的に図６に示したＡ－Ａ断面図を参照して説明する。図６に示すように、ソースメタル層１０６の幅をｄ１、ゲートメタル層１０４の幅をｄ２、半導体層１０２の幅をｄ３とした場合に、ｄ３＞ｄ２＞ｄ１という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ３－ｄ２、ｄ２－ｄ１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（ゲートメタル層の離間形成）

ＥＬ素子は共通電極を備えており、表示領域の全面にその共通電極が形成される。本実施形態でも発光部ＯＬＥＤのための共通電極として陰極１３（陰

極層１０９）が、図１に示すように表示領域１１の全体に形成されている。ところが、共通電極が全面に形成されていると、トランジスタのゲートに接続されるゲートメタル層との間で容量が生じるという問題があった。このような寄生容量が生じると、トランジスタの動作の遅れを生じ、設計した通りのタイミングでの動作が保証できなくなる。

そこで本実施形態では、ゲートメタル層によって形成される配線パターンが、発光層の電極の少なくとも一方から所定の距離以上離間して配置されるように配慮した。インピーダンスが低く問題となるのは、共通電極である陰極層１０９とゲートメタル層１０４との距離である。また、陰極層１０９は、発光部ＯＬＥＤにおいて下層側との距離が小さくなるため、発光部周辺におけるゲートメタル層との距離が問題となる。このため、本実施形態では、図７（図２におけるＣ－Ｃ断面に相当）に示すように、発光部付近において、陰極層１０９とゲートメタル層１０４との深さ方向の距離ｄ１と平面上の距離ｄ２が共に所定の距離以上になるようパターン形成した。

ここで所定の距離は、ゲートメタル層の面積や介在する層の誘電率などによって種々変化するので一概に言えないが、画素領域の面積などから許容される範囲で、できるだけ離してパターニングするのが好ましい。

データ信号や走査信号など電気信号を供給するための配線は寄生容量による動作遅延を考慮してレイアウトを考えなければならない。本実施形態では、データ線Ｉｄａｔａ及び走査線Ｖｓｅｌは共通電極である陰極１０９から、より離れているゲートメタル層１０４を利用しており、データ線Ｉｄａｔａと走査線Ｖｓｅｌとの交差部ではデータ線Ｉｄａｔａはソースメタル層１０６に形成されているが、データ線Ｉｄａｔａの交差部以外の部分及び走査線Ｖｓｅｌはゲートメタル層１０４に形成されている。

データ線Ｉｄａｔａの関与する寄生容量をより低減する必要がある場合は、データ線Ｉｄａｔａの全部分を共通電極から最も離れた導電層に形成してもよい。本実施形態に対応させて説明するならば、データ線Ｉｄａｔａと走査線Ｖｓｅｌとの交差部では、走査線Ｖｓｅｌをソースメタル層１０６に形成し、データ線Ｉｄａｔａの全部分及び走査線Ｖｓｅｌの交差部以外の部分をゲートメタル層１０４に形成してもよい。

さらに走査線やデータ線などの信号線を共通電極や画素電極から離すためには、半導体層１０２と同一層に導電層を形成することも可能であり、さらにトランジスタの構成をいわゆるボトムゲートとすれば、半導体層より下層に導電層を設け、その導電層を利用して信号線を配線をすることも可能である。

（周辺回路の動作）

次に、本実施形態のＥＬ素子の周辺回路の動作を説明する。図５に、画素領域１０を構成する画素回路の一つあたりの回路図を示す。

１）本実施形態の回路は、データ信号として電流データを供給することによって動作する回路構成を有している。画素表示は、データ書き込み動作として、書き込み制御線Ｖsel を選択し、トランジスタＴ２およびＴ３をオン状態にすることから始まる。

２）トランジスタＴ２およびＴ３が導通状態になると、トランジスタＴ１が所定時間後に定常状態に達し、保持容量Ｃにデータ電流Ｃdata に応じた電荷が蓄積される。

３）そして発光動作として、書き込み制御線Ｖsel を非選択状態とし、トランジスタＴ２およびＴ３をオフにし、一旦データ電流Ｃdata の供給を停止後、発光制御線Ｖgp を選択する。この結果、トランジスタＴ４がオン状態となり、保持容量Ｃに記憶された電圧と電源電圧ＶｄｄとのＶgs に対応する電流がトランジスタＴ１およびＴ４経由で発光部ＯＬＥＤに供給され、発光層から光が射出される。

（周辺回路における電流維持性能の向上）

以下に、周辺回路における本実施形態の特徴を説明する。

従来、保持容量の充放電を制御する能動素子については特に考慮がされていなかった。微細化されたＦＥＴでは、ゲート電圧が閾値以下の場合、ドレイン電流がドレイン電圧にも依存するようになる。つまり、ソースーチャネルードレイン間の注入電流がゲート電圧に対して指数関数的に増加し、リーク電流が発生する。例えば、図５に示すトランジスタＴ２においてリーク電流が発生すると、保持容量Ｃの両端電圧Ｖgs が供給されたデータ信号に対応した値からずれてしまい、その電圧を制御電圧としてゲートに入力している

トランジスタＴ１のドレイン電流が変動する。この変動は、発光部ＯＬＥＤにおける輝度の変化となって現れるため、安定した輝度での発光が担保されなくなる。

そこで、本実施形態では、図１および図５に示すように、保持容量Ｃに直接接続される能動素子であるトランジスタＴ２を、多重制御端子型の能動素子、つまりマルチゲート型トランジスタとしている。このようなトランジスタでは、図５の矢印で示すように、事実上複数トランジスタが直列接続されたのと等価な素子となり、リーク電流が大幅に制限される。供給されたデータ信号に相応した電流量が正確に発光部ＯＬＥＤに供給される。

ここで、トランジスタＴ２をマルチゲート型に代えて、または併用してＬＤＤ、ＧＤＤ、ＤＤＤ構造のトランジスタとすることも可能である。このような構造を適用することにより、漏れ電流を減少させることができるとともに、ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限し、素子の信頼性を向上させることができる。

この実施形態では、制御信号の極性等を考慮し、トランジスタＴ１とトランジスタＴ２は互いに逆極性、つまり、トランジスタＴ１はＰ型ＦＥＴ、トランジスタＴ２からＴ４はＮ型ＦＥＴで構成されている。ただし、Ｐ型を用いるかＮ型を用いるかは、適用しようとする信号の極性等に応じて任意に変更可能であり限定はされない。

また、各素子の配置も図５に限定されるものではない。例えば、保持容量やトランジスタＴ１と発光部ＯＬＥＤの電位関係を逆転することもできる。この場合、発光部の共通電極を陽極とし、各トランジスタの極性（Ｎ型またはＰ型の別）を反転させることが好ましい。

（周辺回路のスペースの削減）

上述したように、表示装置では、輝度あるいは開口率を上げるため、周辺回路の占める領域をできるだけ小さくしたいという要請がある。このため、本実施形態では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを形成した。具体的には、図２に示すように、トランジスタＴ２、Ｔ'３、およびＴ４が同一のコンタクトホール、ｈ３で相互に接続されている。

このように、回路上共通接点あるいはコンタクトが多くなるようにレイアウトを最適化し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数が減少し、コンタクトホールのために使用される周辺回路の占有面積を減少させることができる。

[実施形態２]

図８に、本発明の実施形態２におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図９に、図８に示された切断面における層構造を説明する各断面図を示す。図９ＡはＡ－Ａ切断面、図９ＢはＢ－Ｂ切断面、図９ＣはＣ－Ｃ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

実施形態２のＥＬ素子の構成は、段差形状 Step を構成する親和性制御膜１１３の存在を除き、実施形態１のＥＬ素子と同様である。このため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。

以下に本実施形態の特徴を述べる。

（親和性制御層）

図９Ｃに示すように、実施形態２における発光部ＯＬＥＤは、親和性制御層１１３を、第２層間絶縁膜１０７とバンク層１０８との間に備えている。この親和性制御層１１３は、画素領域全体に形成する必要はないが、液体材料を用いて発光部ＯＬＥＤの形成する場合は、少なくとも発光部の境界付近に備えることが好ましい。親和性制御層１１３は、発光部の形成に用いられる液体材料と親和性がある必要がある。バンク層１０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層１１０の形成時に使用する液体材料に対し非親和性を示すように材料が選択されて、親和性制御層１１３の上に積層されている。このため親和性制御層１１３は、図８および図９Ｃに示すように、バンク層のなす壁面に対して発光部内側で階段形状 Step を形成している。

親和性制御層１１３の材料は、インクジェット方式により発光領域に充填する液体材料がどのような性質を備えているかに応じて決める。例えば、液体材料が水などの極性の高い液体を含むのであれば少なくとも液体材料と接触する部分あるいは表面は極性基を有することが親和性制御層として望まれる。逆に、液体材料が非極性の液体を含むのであれば、少なくとも液体材料と接触する部分あるいは表面は非極性基を有することが親和性制御層として望まれる。また、充填する液体材料の表面張力によっても親和性制御層の親和性の程度が決まる。

例えば、水に対して化学的には親和性の小さい材料を親和性制御層に使用したとしても液体材料が水より表面張力の小さい溶剤を多量に含んでいると、その液体材料は水より表面張力が小さくなり、当該親和性制御層は当該液体に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する液体材料によって種々に変更して適用することになる。

親和性制御層１１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、液体材料に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の方法によっても親和性の程度を調整することができる。

バンク層１０８は、親和性制御層１１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により液体材料が退けられ隣接する画素領域に液体材料が流れ込むことを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に液体材料がバンク層側へ引かれ凹状の膜となることを防止できるからである。

このように、本実施形態によれば、液体材料と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

このように、本実施形態によれば、液体材料と親和性のある親和性制御層を発光部の境界付近に備えたので、発光部を構成する正孔注入層や発光層など層の厚さの均一性が向上する。

なお、本実施形態では、親和性制御層１１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

その他の本実施形態２における利点は、実施形態１と同様であるため、その説明を省略する。

[実施形態３]

図１０に、実施形態３におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１１に、図１０に示された切断面における層構造を説明する各断面図を示す。図１１Ａは図１０のＡ－Ａ切断面、図１１Ｂは図１０のＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

実施形態３のＥＬ素子は、パターン形状において、実施形態１における画素領域１０の幅より画素領域２０の幅が小さくなっている。ただし、回路構成は実施形態１と同様であり（図５参照）、各層を構成する材料も実施形態１と同様であるため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。ただし、実施形態１におけるガラス基板１００、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９、陽極層１１０、正孔輸送層１１１、および発光層１１２の各層は、実施形態３において、ガラス基板２００、下地保護膜２０１、半導体層２０２、ゲート絶縁膜２０３、ゲートメタル層２０４、第１層間絶縁膜２０５、ソースメタル層２０６、第２層間絶縁膜２０７、バンク層２０８、陰極層２０９、陽極層２１０、正孔輸送層２１１、および発光層２１２の各層それぞれを対応している。また、実施形態

１におけるトランジスタＴ１～Ｔ４は実施形態３におけるＴ１１～Ｔ１４に、実施形態１におけるコンタクトホールｈ１～ｈ３は実施形態３におけるコンタクトホールｈ１１～ｈ１３に、それぞれ対応している。

以下、本実施形態における配線パターン上の特徴について説明する。

（電源線下の保持容量）

実施形態１においては、保持容量Ｃを電源線Ｖdd とデータ線Ｉdata との間であって発光部の外側（図２における発光部の上部）に配置した。しかし本実施形態のように画素領域の面積が比較的小さい場合、すなわち画素密度が高い場合には、保持容量が占有する素子面積が十分とれないという事態が生ずる。

そこで本実施形態においては、第１の金属層（例えばソースメタル層２０６）または第２の層の少なくとも一方が電源配線パターンとなっている領域に保持容量Ｃが形成されている。具体的には、図１０に示すように、発光部ＯＬＥＤの横に配線されている電源線Ｖdd(ソースメタル層２０６)の下に、ゲートメタル層２０４を平行して積層させることにより、保持容量Ｃが形成されている。

この保持容量Ｃは、実施形態１において説明した保持容量と同様に、保持容量Ｃの形成に関係する複数の層間（例えば、ソースメタル層２０６、ゲートメタル層２０４、半導体層２０２）に重複領域を生じさせることにより保持容量Ｃが形成されており、保持容量Ｃが形成される重複領域付近において、複数の層のうちより下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。具体的には、図１１Ｂに示すように、ソースメタル層２０６の幅をｄ１１、ゲートメタル層２０４の幅をｄ１２、半導体層２０２の幅をｄ１３とした場合に、ｄ１３＞ｄ１２＞ｄ１１という関係が成立するようにしている。下層にいくほどパターン形状を大きくしていくのである。

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層を

パターン形成することである。本実施形態においても、差分ｄ１３－ｄ１２、ｄ１２－ｄ１１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（バンク層下の保持容量）

前述した保持容量は、隣接する前記発光部間を隔離するためのバンク層２０８の下に形成されていることが好ましい。すなわちバンク層は画素分離のために必要であるため、この領域の下に、電源線の配線領域と保持容量のための重複領域を重ね合わせることにより、周辺回路の占有面積を大幅に縮小し、十分な開口率を確保することができる。

（周辺回路のスペースの削減）

実施形態１と同様に、本実施形態２では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図１０に示すように、トランジスタＴ１２、Ｔ１３、およびＴ１４が同一のコンタクトホール、ｈ１３で相互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の占有面積を減少させることができる。

その他の特徴、例えば発光部の平面形状、ゲートメタル層の電極からの離間処理、周辺回路の動作、周辺回路の電流維持性能の向上などについては、実施形態１と同様であり、その説明を省略する。

[実施形態４]

図１２に、本発明の実施形態３におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１３に、図１２に示された切断面における層構造を説明する各断面図を示す。図１３Ａは図１２のＡ－Ａ切断面、図１３Ｂは図１２のＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態３と同様に、主要な半導体層２０２、

ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

実施形態４のＥＬ素子の構成は、段差形状 Step を構成する親和性制御膜２１３の存在を除き、実施形態３のＥＬ素子と同一である。このため、実施形態３と同一の要素については同一符号を図面に付すこととしその説明を省略する。

以下に本実施形態の特徴を述べる。

（親和性制御層）

図１３Ｂに示すように、実施形態４における発光部ＯＬＥＤは、親和性制御層２１３を、第２層間絶縁膜２０７とバンク層２０８との間に備えている。この親和性制御層２１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層２１３は、発光部の形成に用いられる液体材料と親和性がある必要がある。バンク層２０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層２１２または正孔注入層２１１の形成時に使用する液体材料に対し非親和性を示すように材料が選択されて、親和性制御層２１３の上に積層されている。このため親和性制御層２１３は、図１２および図１３Ｂに示すように、バンク層のなす壁面に対して発光部内側で階段形状 Step を形成している。

親和性制御層１１３の材料は、インクジェット方式により発光領域に充填する液体材料がどのような性質を備えているかに応じて決める。例えば、液体材料が水などの極性の高い液体を含むのであれば少なくとも液体材料と接触する部分あるいは表面は極性基を有することが親和性制御層として望まれる。逆に、液体材料が非極性の液体を含むのであれば、少なくとも液体材料と接触する部分あるいは表面は非極性基を有することが親和性制御層として望まれる。また、充填する液体材料の表面張力によっても親和性制御層の親和性の程度が決まる。

例えば、水に対して化学的には親和性の小さい材料を親和性制御層に使用したとしても液体材料が水より表面張力の小さい溶剤を多量に含んでいると、その液体材料は水より表面張力が小さくなり、当該親和性制御層は当該液体

に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する液体材料によって種々に変更して適用することになる。

親和性制御層２１３は、例えば、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、液体材料に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の方法によっても親和性の程度を調整することができる。

バンク層１０８は、親和性制御層１１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により液体材料が退けられ隣接する画素領域に液体材料が流れ込むことを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に液体材料がバンク層側へ引かれ凹状の膜となることを防止できるからである。

このように、本実施形態によれば、液体材料と親和性のある親和性制御層を発光部の境界付近に備えたので、発光部を構成する正孔注入層や発光層など層の厚さの均一性が向上する。

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、液体材料に対し非親和性を示すものとしたので、隣接画素領域との間でのショートを防止することができる。

なお、本実施形態では、親和性制御層２１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

その他の本実施形態４における利点は、実施形態１と同様であるため、その説明を省略する。

[実施形態５]

本実施形態は、上記実施形態で説明した電気光学素子であるＥＬ素子を有する電気光学装置である表示パネルおよびその表示パネルを備える電子機器に関する。

図１４に、本実施形態の表示パネル１の接続図を示す。表示パネル１は、図１に示したように、表示領域１１内に画素領域を配置して構成される。画素領域としては、実施形態１または２の画素領域１０または実施形態３または４の画素領域２０を適用可能である。ドライバ領域１４からは、発光制御線 Vgp および書き込み制御線Ｖsel を介して制御信号が各画素領域に供給されている。ドライバ領域１５からは、データ線Ｉdata および電源線Ｖdd を介してデータ信号及び電源電圧が各画素領域に供給されている。

本実施形態の表示パネル１は、種々の電子機器に適用可能である。図１５に、本表示パネル１を適用可能な電子機器の例を挙げる。

図１５Ａは携帯電話への適用例であり、当該携帯電話３０は、アンテナ部３１、音声出力部３２、音声入力部３３、操作部３４、および本発明の表示パネル１を備えている。このように本発明の表示パネルは表示部として利用可能である。

図１５Ｂはビデオカメラへの適用例であり、当該ビデオカメラ４０は、受像部４１、操作部４２、音声入力部４３、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、ファインダーや表示部として利用可能である。

図１５Ｃは携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ５０は、カメラ部５１、操作部５２、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、表示部として利用可能である。

図１５Ｄはヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ６０は、バンド６１、光学系収納部６２および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

図１５Ｅはリア型プロジェクターへの適用例であり、当該プロジェクター７０は、筐体７１に、光源７２、合成光学系７３、ミラー７４・７５ミラー、

スクリーン７６、および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

図１５Ｆはフロント型プロジェクターへの適用例であり、当該プロジェクター８０は、筐体８２に光学系８１および本発明の表示パネル１を備え、画像をスクリーン８３に表示可能になっている。このように本発明の表示パネルは画像表示源として利用可能である。

上記例に限らず本発明の電気光学装置は、アクティブマトリクス型の表示装置を適用可能なあらゆる電子機器に適用可能である。例えば、この他に、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳、電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

請求の範囲

1．　画素毎に設けられた電気光学素子に電流を供給するための周辺回路を前記電気光学素子に対応して備えるアクティブマトリクス基板であって、

各前記周辺回路は、

制御電圧を保持するための保持素子と、

前記保持素子に接続され、前記制御電圧に基づいた電流を前記電気光学素子に供給するための第１の能動素子と、

前記保持素子に接続され、前記保持素子の充放電を制御する第２の能動素子と、を備え、

前記第２の能動素子は、遮断時における漏れ電流防止構造を備えているアクティブマトリクス基板。

2．　前記第２の能動素子は、マルチゲート型の能動素子として構成されている請求項１に記載のアクティブマトリクス基板。

3．　少なくとも前記第２の能動素子は、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる組から選択される一の構造を備えるトランジスタである請求項１に記載のアクティブマトリクス基板。

4．　複数のデータ線と複数の走査線との交差部に対応して配置された複数の単位回路を備えたアクティブマトリクス基板であって、

前記複数の単位回路の各々は、

第１の制御用端子、第１の端子、及び第２の端子を備えた第１のトランジスタと、

前記第１の制御用端子に接続され、第１の電極及び第２の電極を備えた保持素子と、

第３の端子、第４の端子、及び第２の制御用端子を備えた第２のトランジスタであって、前記第３の端子及び前記第４の端子はそれぞれ前記第１の端子及び前記第１の電極に接続された第２のトランジスタと、を備え、

前記第２のトランジスタはマルチゲート構造を有していること、
を特徴とするアクティブマトリクス基板。

５．　複数のデータ線と複数の走査線との交差部に対応して配置された複数の単位回路を備えたアクティブマトリクス基板であって、

前記複数の単位回路の各々は、

第１の制御用端子、第１の端子、及び第２の端子を備えた第１のトランジスタと、

前記第１の制御用端子に接続され、第１の電極及び第２の電極を備えた保持素子と、

第３の端子、第４の端子、及び第２の制御用端子を備えた第２のトランジスタであって、前記第３の端子及び前記第４の端子はそれぞれ前記第１の端子及び前記第１の電極に接続された第２のトランジスタと、を備え、

前記第２のトランジスタは、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる群から選択される一の構造を備えるトランジスタであること、
を特徴とするアクティブマトリクス基板。

６．　請求項４または５に記載のアクティブマトリクス基板において、

さらに、第５の端子、第６の端子、及び第３の制御用端子を備えた第３のトランジスタを備え、

前記第３の制御用端子は前記複数の走査線のうちの一つの走査線に接続され、

前記第５の端子は前記複数のデータ線のうちの一つのデータ線に接続されていること、
を特徴とするアクティブマトリクス基板。

７．　請求項６に記載のアクティブマトリクス基板において、

前記第６の端子は、前記第３の端子及び前記第１の端子に接続されていること、
を特徴とするアクティブマトリクス基板。

８．　請求項４乃至７のいずれかに記載のアクティブマトリクス基板において、

前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、

前記複数の層は、

前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、

前記第２の制御用端子が形成されたゲートメタル層と、を含み、

前記ゲートメタル層には、前記複数の走査線のうち少なくとも１つの走査線の少なくとも１部分が形成されていること、

を特徴とするアクティブマトリクス基板。

９．　請求項４乃至７のいずれかに記載のアクティブマトリクス基板において、

前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、

前記複数の層は、

前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、

前記第２の制御用端子が形成されたゲートメタル層と、を含み、

前記ゲートメタル層には、前記複数のデータ線のうち少なくとも１つのデータ線の少なくとも１部分が形成されていること、

を特徴とするアクティブマトリクス基板。

１０．請求項４乃至７のいずれかに記載のアクティブマトリクス基板において、

前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、

前記複数の層は、

前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、

前記第２の制御用端子が形成されたゲートメタル層と、

前記第２のトランジスタのソースまたはドレインに接続されたソース電極またはドレイン電極が形成されたソースメタル層と、を含み、

前記複数のデータ線のうち少なくとも１つのデータ線の少なくとも１部分は、前記ソースメタル層及び前記ゲートメタル層のうち、より前記半導体層に近い層に形成されていること、

を特徴とするアクティブマトリクス基板。

１１．トランジスタを備えた単位回路と走査線とデータ線とを備え、複数の層からなる積層構造を有したアクティブマトリクス基板であって、

前記複数の層は、

トランジスタを構成する半導体膜が形成されている半導体層と、

前記トランジスタのゲート端子が形成されたゲートメタル層と、を備え、

前記走査線及び前記データ線のうち少なくとも一方の少なくとも１部分は前記ゲートメタル層に形成されていること、

を特徴とするアクティブマトリクス基板。

１２．トランジスタを備えた単位回路と走査線とデータ線とを備え、複数の層からなる積層構造を有したアクティブマトリクス基板であって、

前記複数の層は、

トランジスタを構成する半導体膜が形成されている半導体層と、

前記トランジスタのゲート端子が形成されたゲートメタル層と、

前記トランジスタのソースまたはドレインに接続されるソース電極またはドレイン電極が形成されたソースメタル層と、を備え、

前記走査線及び前記データ線のうち少なくとも一方の少なくとも１部分は前記ゲートメタル層及び前記ソースメタル層のうち前記半導体層に近い層に形成されていること、

を特徴とするアクティブマトリクス基板。

１３．請求項１１または１２に記載のアクティブマトリクス基板において、

単位回路は、

第１の制御用端子、第１の端子、及び第２の端子を備えた第１のトランジスタと、

前記第１の制御用端子に接続され、第１の電極及び第２の電極を備えた保持素子と、

第３の端子、第４の端子、及び第２の制御用端子を備えた第２のトランジスタであって、前記第３の端子及び前記第４の端子はそれぞれ前記第１の端子及び前記第１の電極に接続された第２のトランジスタと、を備え、

前記第２のトランジスタは、ＬＤＤ構造、ＧＤＤ構造、ＤＤＤ構造、及びマルチゲート構造からなる群から選択される少なくとも一の構造を有していること、

を特徴とするアクティブマトリクス基板。

１４．請求項１乃至１３のいずれか一項に記載のアクティブマトリクス基板と、電気光学素子と、を備えた電気光学装置。

１５．画素毎に設けられた電気光学素子に電流を供給するための周辺回路を前記電気光学素子に対応して備える電気光学装置であって、

各前記周辺回路は、

発光期間において前記電気光学素子に電流を供給するための発光制御能動素子と、

制御電圧を保持するための保持素子と、

ゲート端子が前記保持素子に接続され当該ゲート端子に印加された前記制御電圧に基づいた電流を前記発光制御能動素子経由で前記電気光学素子に供給するための第１の能動素子と、

選択期間において前記第１の能動素子経由でデータ電流を流す電流制御能動素子と、

前記電流制御能動素子と前記保持素子との間に接続され、前記選択期間において前記保持素子に充電させて前記制御電圧を記憶させる第２の能動素子と、を備え、

前記第２の能動素子は、遮断時における漏れ電流防止構造を備えている電気光学装置。

１６．電気光学素子と、

前記電気光学素子を駆動する周辺回路と、を備え、

前記電気光学素子は、当該電気光学素子の境界が少なくとも所定の曲率以上を有するように形成されており、

当該所定の曲率を有する境界と当該電気光学素子に外接する多角形の境界とで囲まれる領域に、少なくとも前記周辺回路の一部が形成されている電気光学装置。

１７．前記所定の曲率を有する境界部分が複数形成されている請求項１６に記載の電気光学装置。

１８．複数形成されている前記境界部分は、前記電気光学素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されている請求項１６または１７に記載の電気光学装置。

１９．発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、

前記発光部の面積は、前記画素電極の面積より小であり、

前記発光部の形状と前記画素電極の形状とが異なっていること、

を特徴とする電気光学装置。

２０．発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、

前記発光部の面積は、前記画素電極の面積より小であり、

前記発光部の形状は曲率を有する形状であり、前記画素電極の形状は多角形の形状であること、
を特徴とする電気光学装置。

２１．発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、

前記発光部の面積は、前記画素電極の面積より小であり、

前記発光部はｎ個（ｎは４以上の整数）の角を有する多角形形状を有しており、

前記画素電極はｍ個（ｍは３以上の整数）の角を有する多角形形状を有しており、

ｎ＞ｍを関係を有すること、
を特徴とする電気光学装置。

２２．請求項１９乃至２１のいずれかに記載の電気光学装置において、

前記発光部の全領域は前記画素電極上に形成されており、

前記発光部の形成されていない、前記画素電極の部分に前記周辺回路と前記画素電極との接続のためのコンタクト領域が設けられていること、
を特徴とする電気光学装置。

２３．電気光学素子と、

前記電気光学素子に供給する電流を規定する、電極を含む複数層により構成され保持容量と、

前記保持容量に保持された電荷量に応じた電流を前記電気光学素子に供給する能動素子と、を備え、

前記保持容量を構成する第１の電極は、前記電気光学素子に電流を供給する電源線を形成する金属層の一部をパターニングして形成されている電気光学装置。

２'４．前記保持容量を構成する第２の電極は、前記能動素子の制御端子を形

成する金属層の一部をパターニングして形成されている請求項２３に記載の電気光学装置。

２５．　前記第１の電極は、前記電源線の一部であり、前記電源線の一部に前記能動素子の制御端子を形成する金属層の一部を重ねてパターニングして前記第２の電極を形成している請求項２３に記載の電気光学装置。

２６．　前記第１の電極及び前記第２の電極の下方に半導体層を備えている請求項２３に記載の電気光学装置。

２７．　前記保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている請求項２５に記載の電気光学装置。

２８．　前記より下層側に配置される層の占める領域は、前記より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、当該より上層側に配置される層の領域が当該より下層側に配置される層の領域内に収まるような形状にパターン形成されている請求項２７に記載の電気光学装置。

２９．　電極を含む複数層から構成され当該電極間に電界を印加することによって発光する電気光学素子に対し、保持容量に記録された電圧に従った電流を能動素子により供給可能に構成された電気光学装置であって、

電源線を構成する第１の金属層と、

前記能動素子の制御端子を一部に含んでパターン形成される第２の金属層と、を備え、

前記保持容量を構成する一方の電極は、前記第１の金属層の一部をパターニングして形成されている電気光学装置。

３０．　前記保持容量を構成する他方の電極は、前記第２の金属層の一部をパ

ターニングして形成されている請求項２９に記載の電気光学装置。

３１．　前記保持容量を構成する一方の電極は、前記電源線の一部であり、当該電源線の一部に前記第２の金属層の一部を重ねてパターニングして前記他方の電極を形成している請求項２９に記載の電気光学装置。

３２．　前記保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている請求項２９に記載の電気光学装置。

３３．　前記より下層側に配置される層の占める領域は、前記より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、当該上層側に配置される層の領域が当該下層側に配置される層の領域内に収まるような形状にパターン形成されている請求項３２に記載の電気光学装置。

３４．　データ線と走査線との交差部に対応して配置された画素電極と路を備えたアクティブマトリクス基板であって、

前記画素電極は少なくとも１つのトランジスタを介して電源線に接続され、

前記少なくとも１つのトランジスタのゲートに接続された保持素子が設けられ、

前記保持素子を構成する第１の電極は、前記電源線に接続されていること、

を特徴とするアクティブマトリクス基板。

３５．　データ線と走査線との交差部に対応して配置された画素電極と路を備えたアクティブマトリクス基板であって、

前記画素電極は少なくとも１つのトランジスタを介して電源線に接続され、

前記少なくとも１つのトランジスタのゲートに接続された保持素子が設けられ、

前記保持素子を構成する第１の電極は、前記電源線の一部であること、

を特徴とするアクティブマトリクス基板。

３６．請求項３４または請求項３５に記載のアクティブマトリクス基板において、

前記保持素子を構成する第２の電極は、前記少なくとも１つのトランジスタのゲートであること、

を特徴とするアクティブマトリクス基板。

３７．走査線とデータ線との交差部に対応して、トランジスタを備えた単位回路とを備えたアクティブマトリクス基板であって、

前記トランジスタを構成する半導体膜は半導体層に形成され、

前記走査線と前記データ線の交差部においては前記走査線及び前記データ線のいずれかが第１の導電層に形成され、

前記交差部以外の部分の前記走査線と前記データ線とは第２の導電層に形成されていること、

を特徴とするアクティブマトリクス基板。

３８．請求項３７に記載のアクティブマトリクス基板において、

前記第２の導電層は前記第１の導電層と前記半導体層との間に配置されていること、

を特徴とするアクティブマトリクス基板。

３９．走査線とデータ線との交差部に対応して電気光学素子を備えた電気光学装置であって、

前記電気光学素子に電力を供給する一対の電極を含み、

前記走査線と前記データ線の交差部においては前記走査線及び前記データ線のいずれかが第１の導電層に形成され、

前記交差部以外の部分の前記走査線と前記データ線とは第２の導電層に形成され、

前記第２の導電層は前記第１の導電層より前記一対の電極のいずれか一方から離間して配置されていること、

を特徴とする電気光学装置。

要約書

エレクトロルミネッセンス素子の輝度の低下を生じさせることがなく、かつ、占有面積の少ない好適な周辺回路を備えたアクティブマトリクス基板を提供する。画素毎に設けられたＥＬ素子に電流を供給するための周辺回路をＥＬ素子に対応して備えるアクティブマトリクス基板であって、制御電圧を保持するための保持素子（Ｃ）、保持素子（Ｃ）に接続され制御電圧に基づいた電流を発光部（ＯＬＥＤ）に供給するための第１の能動素子（Ｔ１）、保持素子（Ｃ）に接続され保持素子の充放電を制御する第２の能動素子（Ｔ２）を備え、特に、第２の能動素子（Ｔ２）は、多重制御端子型の能動素子として構成されている。このためプログラムされた電流が変動することがない。

図1

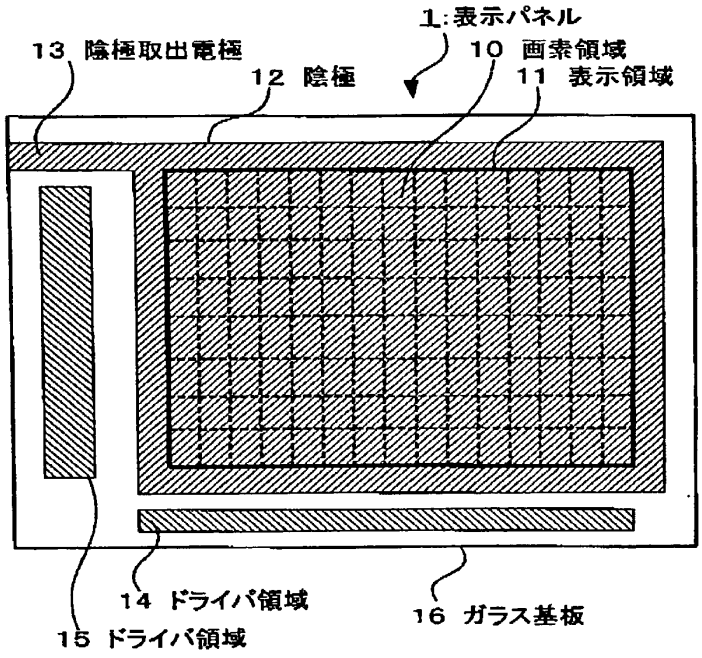

1:表示パネル
13 陰極取出電極
12 陰極
10 画素領域
11 表示領域
14 ドライバ領域
15 ドライバ領域
16 ガラス基板

図2

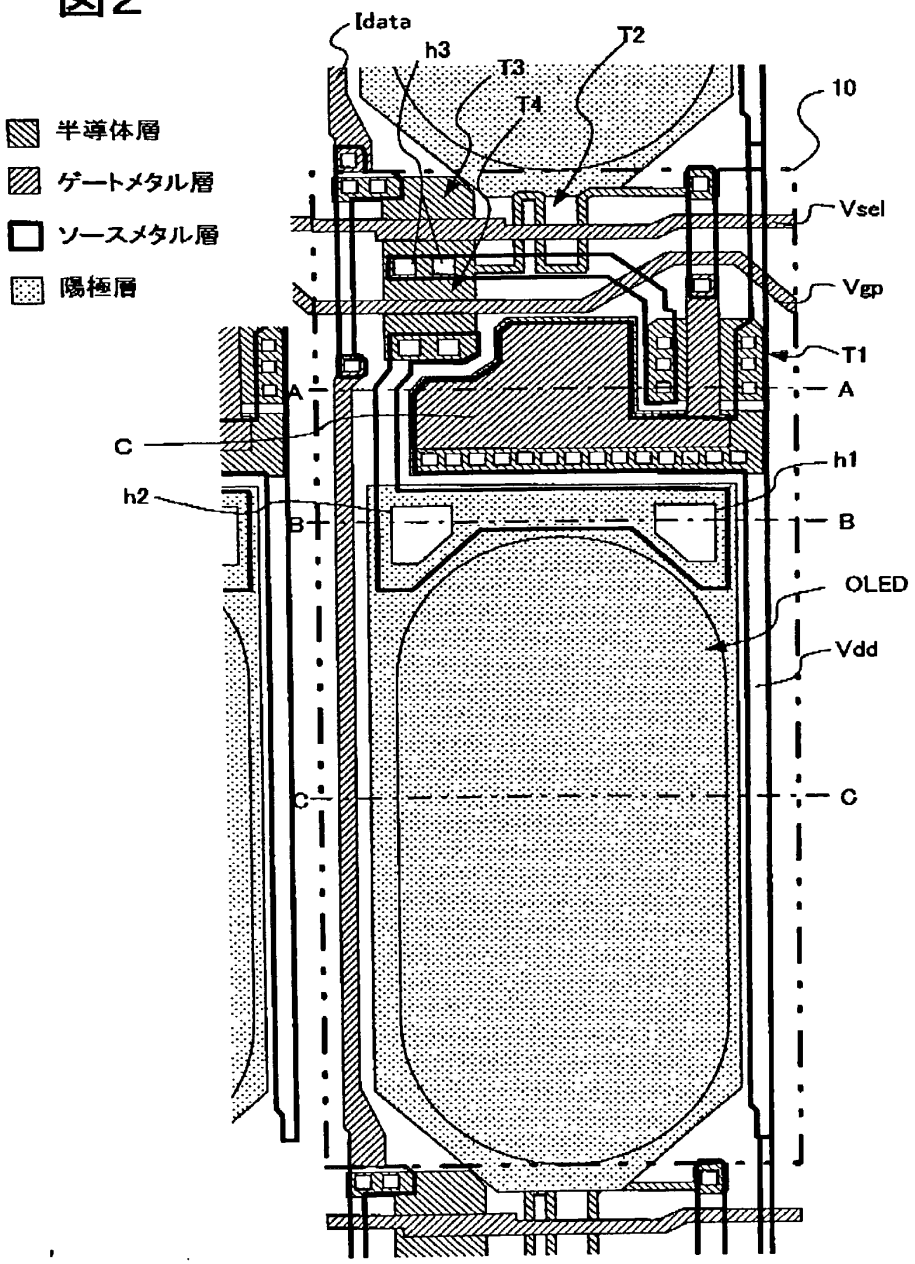

半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T3
T2
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C

図3A

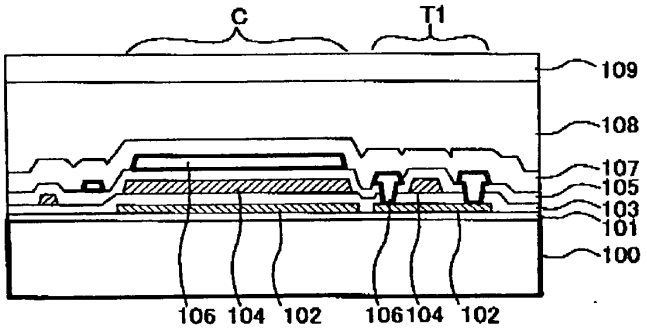

C
T1
109
108
107
105
103
101
100
106
104
102
106
104
102

図3B

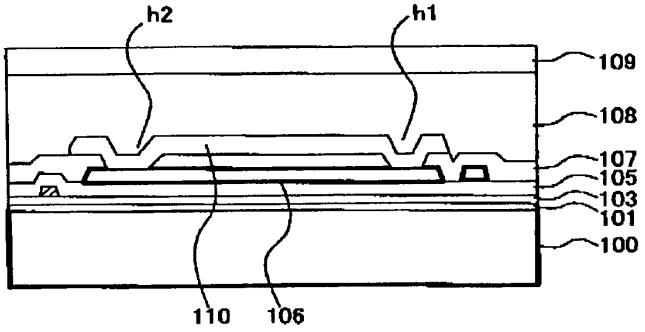
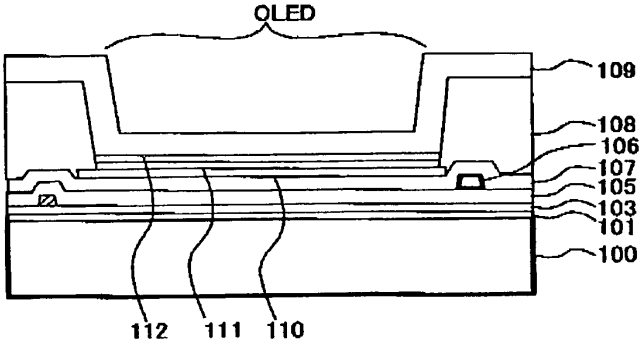

h2
h1
109
108
107
105
103
101
100
110
106

図3C


OLED
109
108
106
107
105
103
101
100
112
111
110

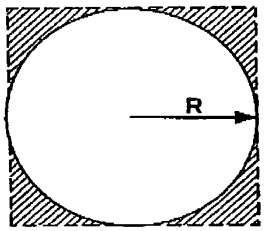


図4A

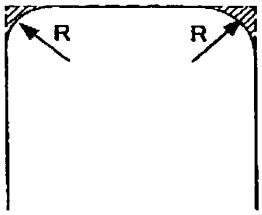


図4B

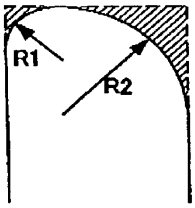


図4C

図5

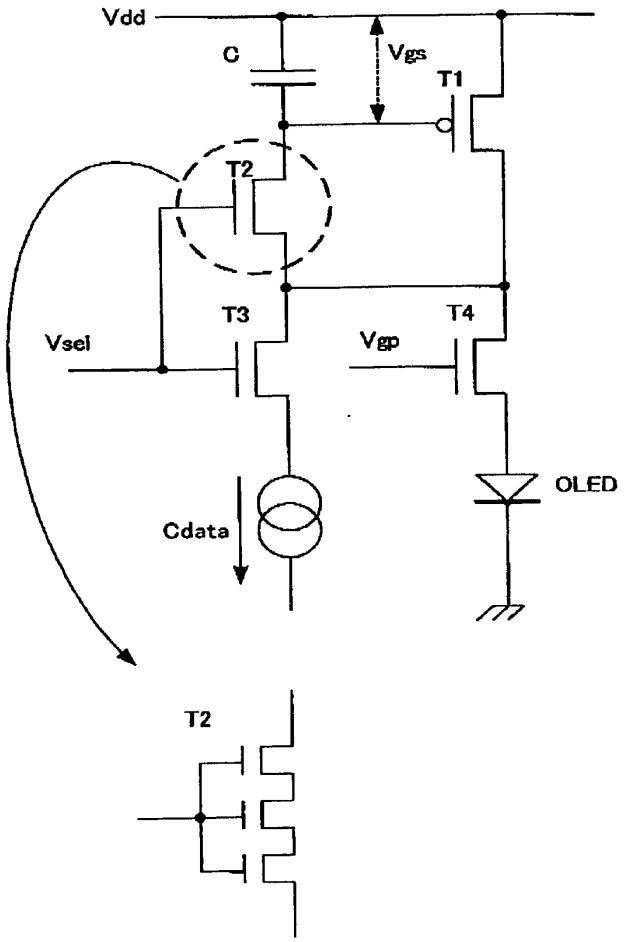


図6

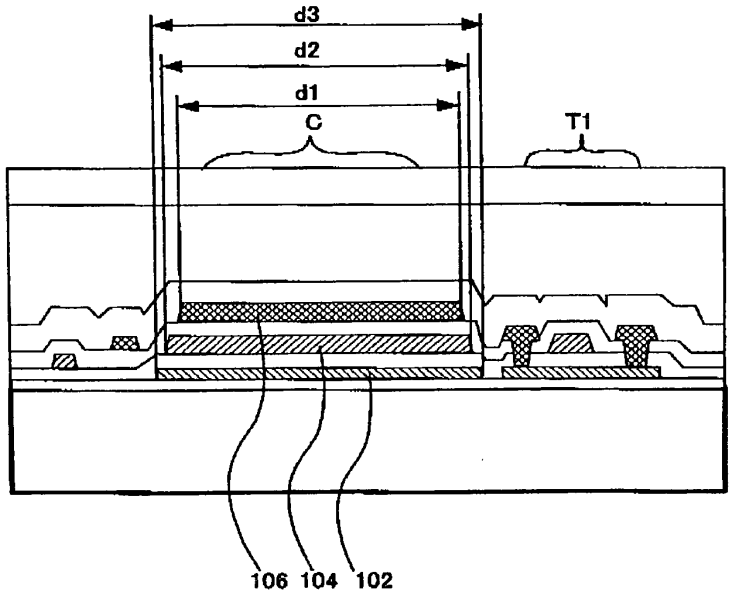
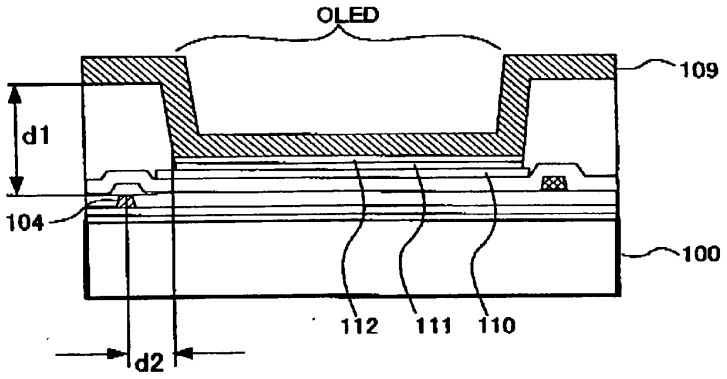


図7



S0279RF49

8/15

図8

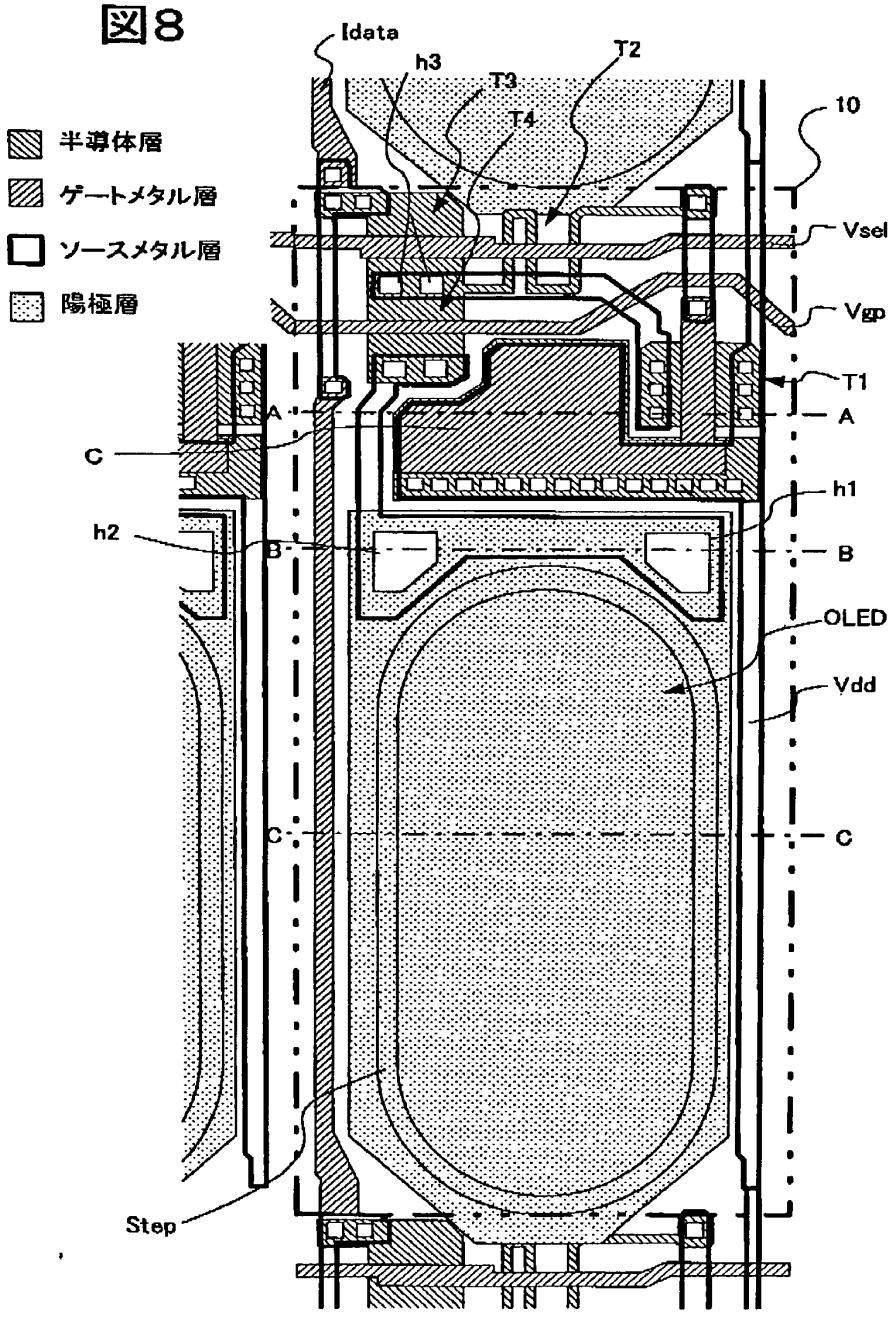


図9A

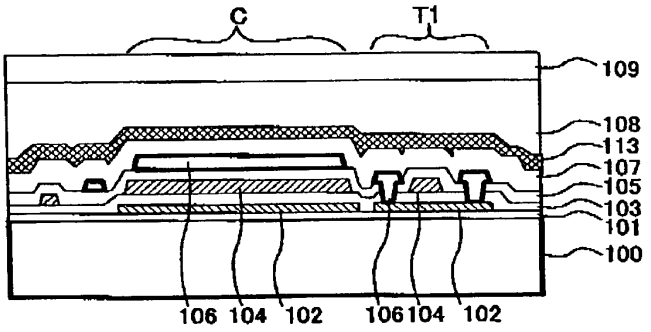

C
T1
109
108
113
107
105
103
101
100
106
104
102
106
104
102

図9B

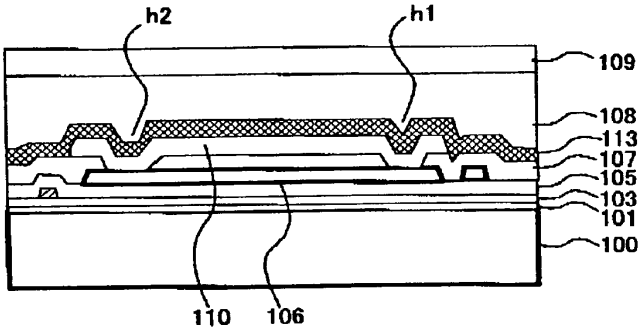

h2
h1
109
108
113
107
105
103
101
100
110
106

図9C

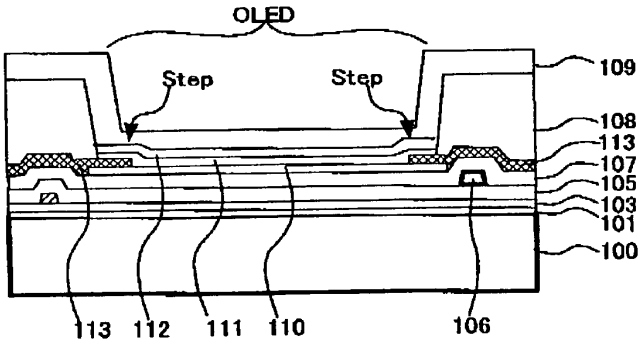

OLED
Step
Step
109
108
113
107
105
103
101
100
113
112
111
110
106

図10

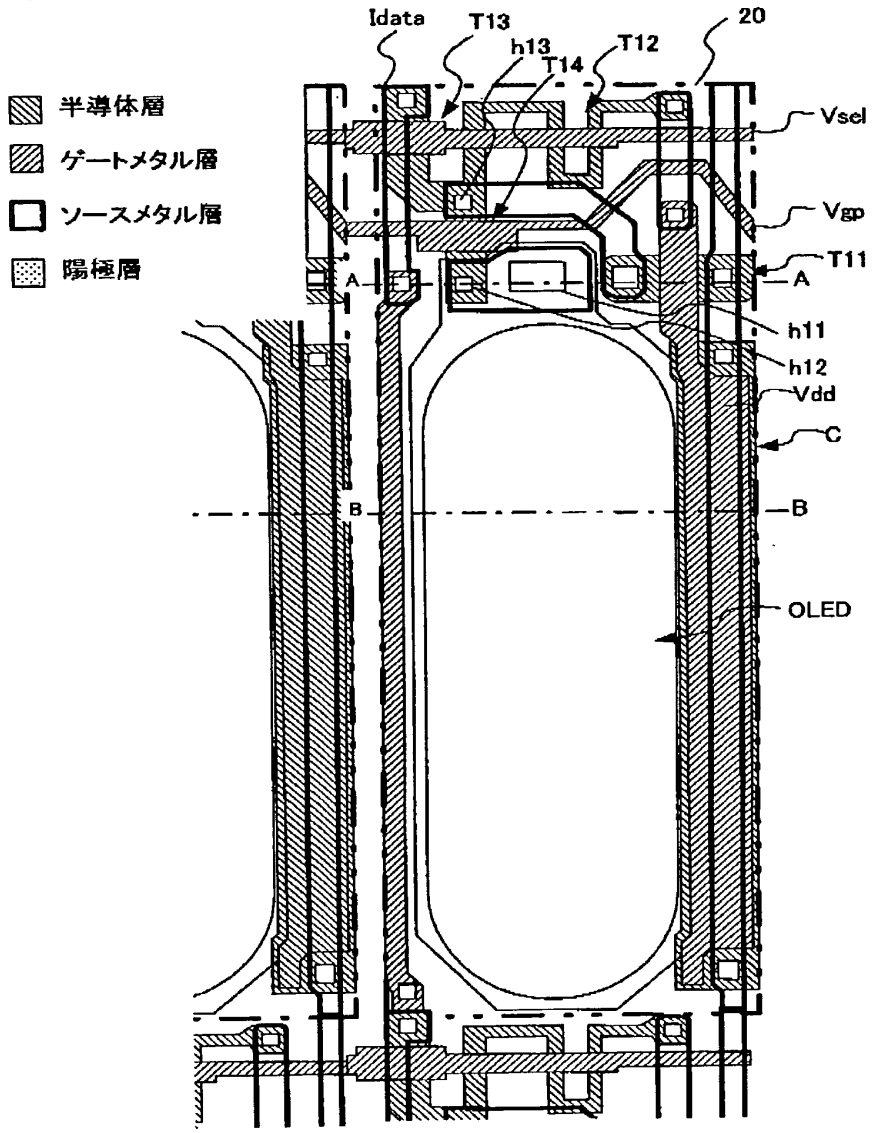

半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED

図11A

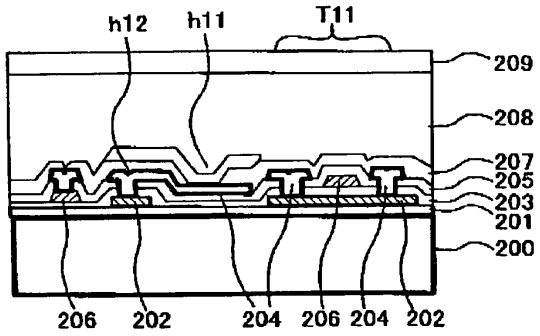

h12
h11
T11
209
208
207
205
203
201
200
206
202
204
206
204
202

図11B

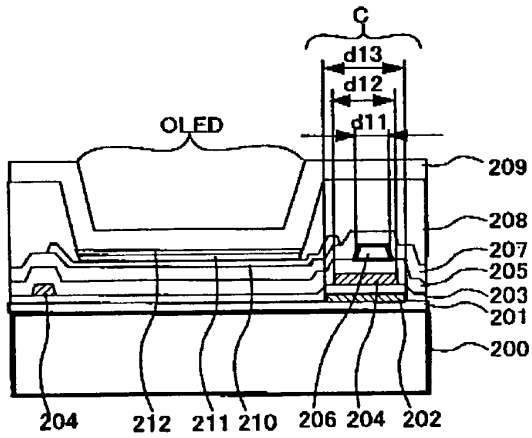

C
d13
d12
d11
OLED
209
208
207
205
203
201
200
204
212
211
210
206
204
202

図12

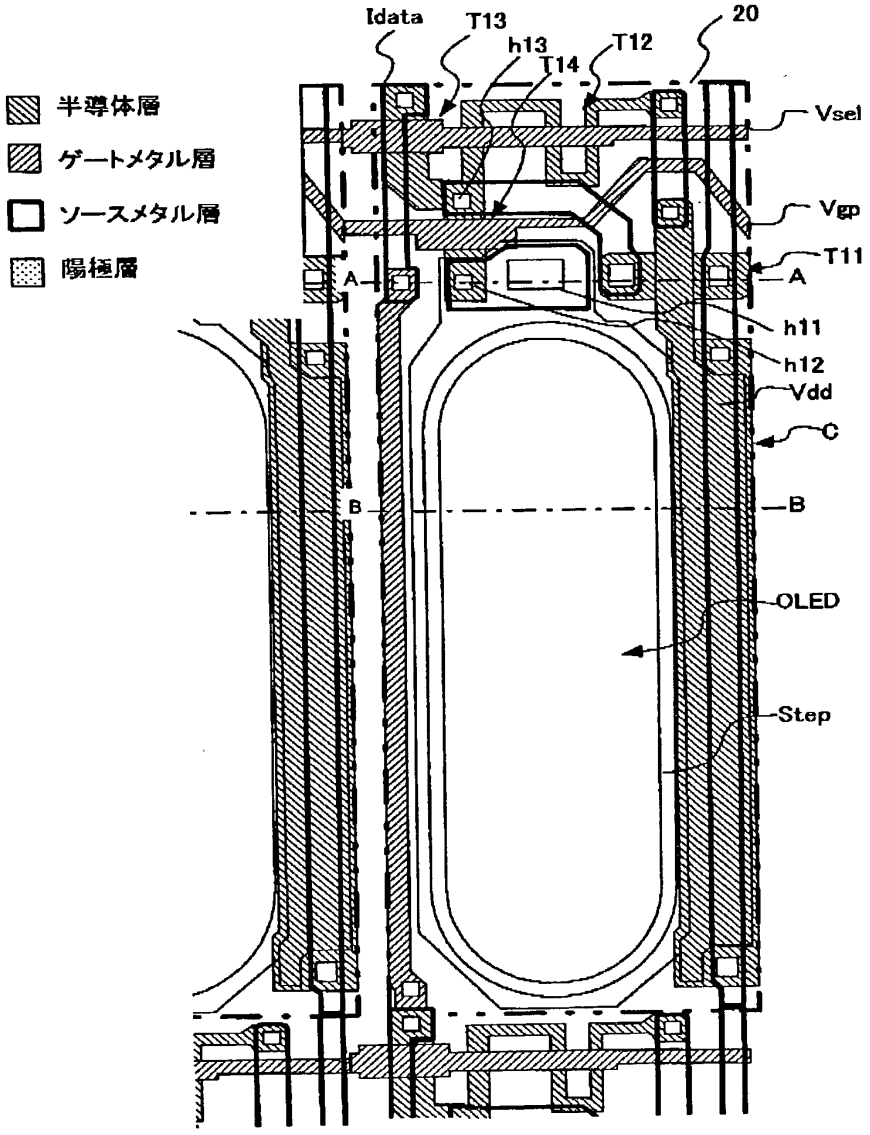

半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED
Step

図13A

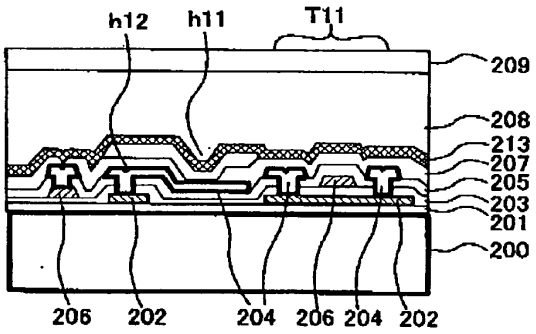

h12
h11
T11
209
208
213
207
205
203
201
200
206
202
204
206
204
202

図13B

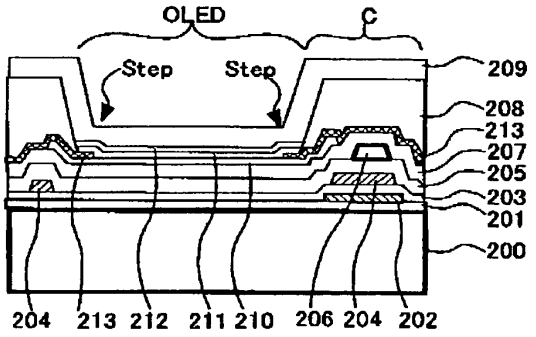
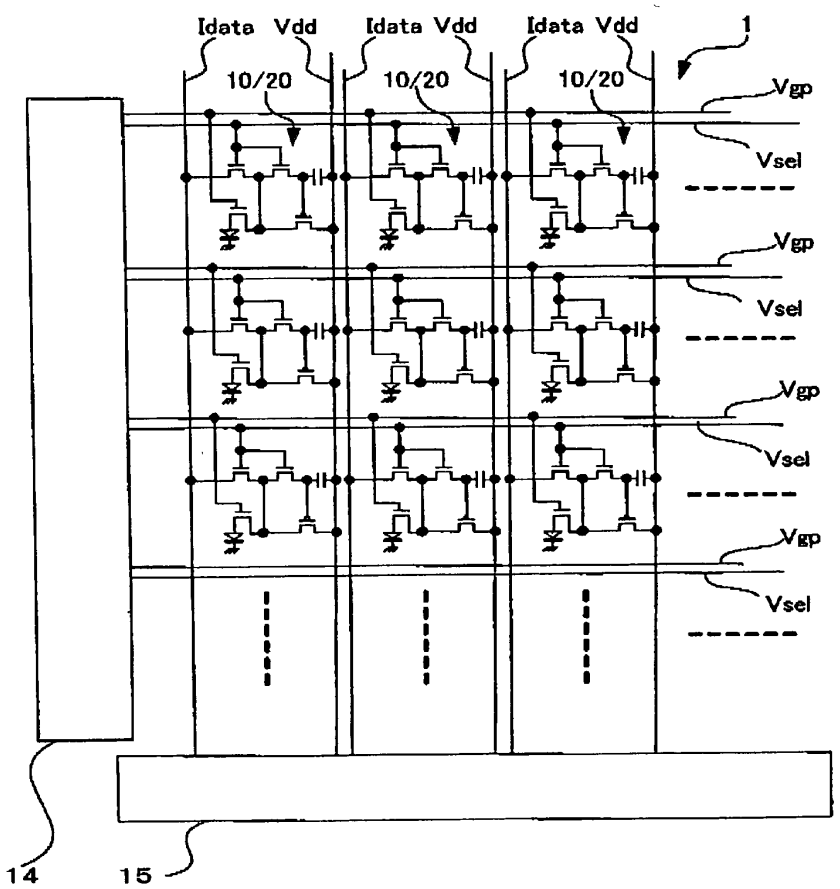

OLED
C
Step
Step
209
208
213
207
205
203
201
200
204
213
212
211
210
206
204
202

図14


Idata Vdd
Idata Vdd
Idata Vdd
1
10/20
10/20
10/20
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
14
15

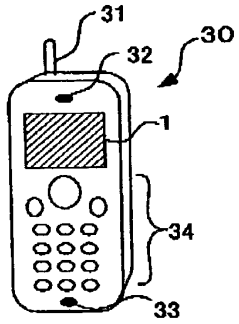


図15A

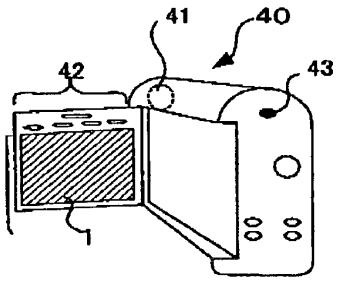


図15B

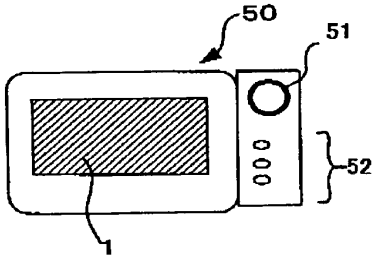


図15C

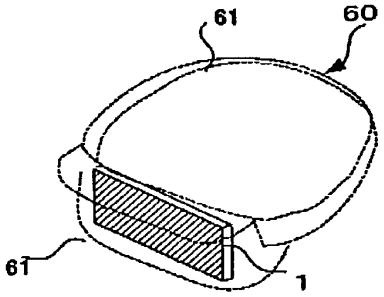


図15D

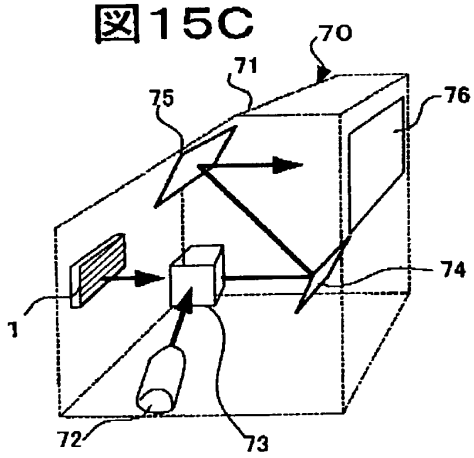


図15E

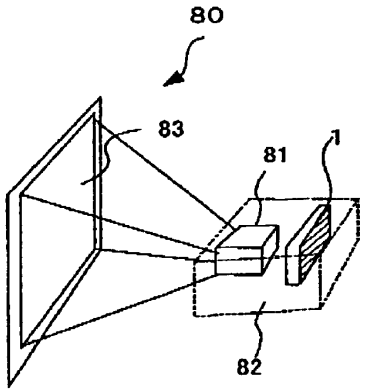


図15F

United States Patent & Trademark Office

Office of Initial Patent Examination

Application papers not suitable for publication

SN 10, 299, 861 Mail Date 11-20-02

☒ Non-English Specification

☐ Specification contains drawing(s) on page(s)_____ or table(s)_____

☐ Landscape orientation of text ☐ Specification ☐ Claims ☐ Abstract

☐ Handwritten ☐ Specification ☐ Claims ☐ Abstract

☐ More than one column ☐ Specification ☐ Claims ☐ Abstract

☐ Improper line spacing ☐ Specification ☐ Claims ☐ Abstract

☐ Claims not on separate page(s)

☐ Abstract not on separate page(s)

☐ Improper paper size -- Must be either A4 (21 cm x 29.7 cm) or 8-1/2"x 11"

☐ Specification page(s)_____ ☐ Abstract

☐ Drawing page(s)_____ ☐ Claim(s)

☐ Improper margins

☐ Specification page(s)_____ ☐ Abstract

☐ Drawing page(s)_____ ☐ Claim(s)

☐ Not reproducible

Reason

☐ Paper too thin

☐ Glossy pages

☐ Non-white background

Section

☐ Specification page(s)_____

☐ Drawing page(s)_____

☐ Abstract

☐ Claim(s)

☐ Drawing objection(s)

☐ Missing lead lines, drawing(s)_____

☐ Line quality is too light, drawing(s)_____

☐ More than 1 drawing and not numbered correctly

☐ Non-English text, drawing(s)_____

☐ Excessive text, drawing(s)_____

☐ Photographs capable of illustration, drawing(s)_____

[redacted]

jc912 U.S. PTO
10/299861
11/20/02

PATENT NUMBER and ISSUE DATE

U.S. **UTILITY** Patent Application

APPL NUM	FILING DATE	CLASS	SUBCLASS	GAU	EXAMINER
10299861	11/20/2002	428	76	1775	

1174

**APPLICANTS: Matsueda Yojiro; 345 2611

**CONTINUING DATA VERIFIED:

Best Available Copy

** FOREIGN APPLICATIONS VERIFIED:
JAPAN 2001-356007 11/21/2001
JAPAN 2001-371403 12/05/2001
JAPAN 2001-371410 12/05/2001

PG-PUB	DO NOT PUBLISH ☐	RESCIND ☐	
Foreign priority claimed	☐ yes ☐ no		ATTORNEY DOCKET NO
35 USC 119 conditions met	☐ yes ☐ no		114251
Verified and Acknowledged Examiners's intials			

TITLE : Active matrix substrate, electro-optical device, and electronic device

U.S DEPT. OF COMM./PAT & TM-PTO-436L(Rev. 12-94)

NOTICE OF ALLOWANCE MAILED		CLAIMS ALLOWED	
	Assistant Examiner	Total Claims	Print Claim for O.G
ISSUE FEE		DRAWING	
Amount Due / Date Paid		Sheets Drwg. / Figs.Drwg. / Print Fig.	
	Primary Examiner		
☐ TERMINAL DISCLAIMER	PREPARED FOR ISSUE	Application Examiner	

WARNING: The information disclosed herein may be restricted. Unauthorized disclosure may be prohibited by the United States Code Title 35, Sections 122, 181 and 368, Possession outside the U.S. Patent & Trademark Office is restricted to authorized employees and contractors only.

FILED WITH: ☐ DISK (CRF) ☐ CD-ROM
(Attached in pocket on right inside flap)

SEARCH

Class	Sub.	Date	Exmr.
345	016-082	10/27 [illegible]	EW

SEARCH NOTES

(List databases searched. Attach search strategy inside.)

	Date	Exmr.
EAST (see attached)	11/1-11/2 2004	EW

Best Available Copy

INTERFERENCE SEARCHED

Class	Sub.	Date	Exmr.

ISSUE SLIP STAPLE AREA (for additional cross-references)

ISSUING CLASSIFICATION

ORIGINAL		CROSS REFERENCE(S)	
CLASS	SUBCLASS	CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)
INTERNATIONAL CLASSIFICATION			
/			
/			
/			
/			
/			^ Continued on Issue Slip Inside File Jacket

INDEX OF CLAIMS

✓ ..... Rejected - (Through numeral) ... Canceled N ..... Non-elected A ..... Appeal
= ..... Allowed + ... Restricted I ..... Interference O ..... Objected

Claim Final	Claim Original	Date	Claim Final	Claim Original	Date	Claim Final	Claim Original	Date
	1			51			101	
	2			52			102	
	3			53			103	
	4			54			104	
	5			55			105	
	6			56			106	
	7			57			107	
	8			58			108	
	9			59			109	
	10			60			110	
	11			61			111	
	12			62			112	
	13			63			113	
	14			64			114	
	15			65			115	
	16			66			116	
	17			67			117	
	18			68			118	
	19			69			119	
	20			70			120	
	21			71			121	
	22			72			122	
	23			73			123	
	24			74			124	
	25			75			125	
	26			76			126	
	27			77			127	
	28			78			128	
	29			79			129	
	30			80			130	
	31			81			131	
	32			82			132	
	33			83			133	
	34			84			134	
	35			85			135	
	36			86			136	
	37			87			137	
	38			88			138	
	39			89			139	
	40			90			140	
	41			91			141	
	42			92			142	
	43			93			143	
	44			94			144	
	45			95			145	
	46			96			146	
	47			97			147	
	48			98			148	
	49			99			149	
	50			100			150	

If more than 150 claims or 9 actions staple additional sheet here

Best Available Copy

10299861 .112002

NONPROVISIONAL PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

jc806 11/20/02

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400
Facsimile: (703) 836-2787

Attorney Docket No.: 114251

Date: November 20, 2002

BOX PATENT APPLICATION

jc912 U.S. PTO 10/299861 11/20/02

Customer Number: 25944

NONPROVISIONAL APPLICATION TRANSMITTAL
RULE §1.53(b)

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Transmitted herewith for filing under 37 C.F.R. §1.53(b) is the nonprovisional patent application

For (Title): ACTIVE MATRIX SUBSTRATE, ELECTRIC OPTICAL APPARATUS, AND ELECTRONIC DEVICE

By (Inventors): Yojiro MATSUEDA

☒ Formal drawings (Figs. 1-15F; 15 sheets) are attached.
☐ Use Figure for front page of Publication.
☐ A Declaration and Power of Attorney is filed herewith.
☒ This patent application is assigned to SEIKO EPSON CORPORATION.
☐ The executed Assignment is filed herewith.
☐ An Information Disclosure Statement is filed herewith.
☐ Entitlement to small entity status is hereby asserted.
☐ A Preliminary Amendment is filed herewith.
☐ Please amend the specification by inserting before the first line the sentence --This nonprovisional application claims the benefit of U.S. Provisional Application No. _____, filed _____.--
☒ Priority of foreign applications No. 2001-356007 filed November 21, 2001 in Japan, No. 2001-371403 filed December 5, 2001 in Japan and No. 2001-371410 filed December 5, 2001 in Japan is claimed (35 U.S.C. §119).
☐ A certified copy of the above corresponding foreign application(s) is filed herewith.
☐ This application is NOT to be published under 35 U.S.C. 112(b). The undersigned attorney or agent hereby certifies that the invention disclosed in this application has not been and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.
☒ The filing fee is calculated below:

CLAIMS IN THE APPLICATION AFTER ENTRY OF ANY PRELIMINARY AMENDMENT NOTED ABOVE

FOR:	NO. FILED	NO. EXTRA	SMALL ENTITY RATE	SMALL ENTITY FEE		OTHER THAN A SMALL ENTITY RATE	OTHER THAN A SMALL ENTITY FEE
BASIC FEE				$ 370	OR		$ 740
TOTAL CLAIMS	39 - 20	= 19	x 9 =	$	OR	x 18	$ 342
INDEP CLAIMS	3 - 3	= 0	x 42 =	$	OR	x 84	$ ----
☐ MULTIPLE DEPENDENT CLAIMS PRESENTED			+ 140 =	$	OR	+ 280	$ ----
			TOTAL	$	OR	TOTAL	$1,082

* If the difference is less than zero, enter "0".

☒ Check No. 136452 in the amount of $1,082.00 to cover the filing fee is attached. Except as otherwise noted herein, the Director is hereby authorized to charge any other fees that may be required to complete this filing, or to credit any overpayment, to Deposit Account No. 15-0461. Two duplicate copies of this sheet are attached.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/cmm

明細書

アクティブマトリクス基板、電気光学装置および電子機器

発明の詳細な説明

技術分野

本発明は電気光学装置に好適なアクティブマトリクス基板、電気光学装置、及び電子機器に関する。

背景技術

液晶素子、有機ＥＬ素子、電気泳動素子、電子放出素子等を備えた電気光学装置の駆動方式の一つにアクティブマトリクス駆動方式がある。アクティブマトリクス駆動方式の電気光学装置は、その表示パネルに複数の画素がマトリクス状に配置されている。

複数の画素の各々は、電気光学素子とその電気光学素子に駆動電力を供給する駆動トランジスタとから構成される画素回路を備えている。また、これら複数の画素回路の各々は、データ線と走査線との交差部に対応して配置されている（例えば、特許文献１：国際公開第ＷＯ９８／３６４０７号パンフレット参照）。

電気光学装置において輝度を精密に制御するために、電気光学素子に供給する電力量を精密に制御しなくてはならない。特に有機ＥＬ素子は、電流駆動型の電気光学素子であるため、電流量は直接的に輝度に反映する。したがって、所望の電流量を精度良く有機ＥＬ素子に供給する必要があるが、そのためには駆動回路や駆動方法はもちろんのこと、画素レイアウトを最適化する必要がある。実際、画素レイアウトで問題となるのは、例えば、画素電極との周辺回路とのコンタクト、保持容量の安定性、またはトランジスタのオフ電流などである。

そこで、本発明は、かかる事情に鑑みてなされたものであり、その目的の一つは電気光学素子を安定的に駆動するのに最適な画素レイアウトを備えたアクティブマトリクス基板、電気光学装置、および電子機器を提供することである。

発明の概要

上記課題を解決するために、本発明の第１のアクティブマトリクス基板は、画素毎に設けられた電気光学素子に電流を供給するための周辺回路を電気光学素子に対応して備えるアクティブマトリクス基板であって、各周辺回路は、制御電圧を保持するための保持素子と、保持素子に接続され、この制御電圧に基づいた電流を電気光学素子に供給するための第１の能動素子と、保持素子に接続され、保持素子の充放電を制御する第２の能動素子と、を備え、前記第２の能動素子は、遮断時における漏れ電流防止構造を備えている。

なお、ここで、「電気光学素子」は、電気的作用によって発光するあるいは外部からの光の状態を変化させる素子一般をいい、自ら光を発するものと外部からの光の通過を制御するもの双方を含む。例えば、電気光学素子には、液晶素子、電気泳動素子、ＥＬ素子、電界の印加により発生した電子を発光板に当て発光させる電子放出素子が含まれる。

「周辺回路」はアクティブマトリックス型等の電気光学装置において各画素の駆動する回路素子の集合体をいい、例えばＴＦＴ等で構成されるものである。

「アクティブマトリクス基板」とは、周辺回路を搭載した基板一般をいい、電気光学素子が形成されているか否かを問わない。

「能動素子」には限定はないが、例えば、ＴＦＴなどのトランジスタやダイオード等が挙げられる。

ここでは、「保持素子」とは、例えば、キャパシタやメモリ等の電気信号を保持する素子を言う。

能動素子の有する「遮断時における漏れ電流防止構造」とは、通常、当該能動素子が非導通状態において、理想的には流れるべきでない電流が僅かながら流れることがあるが、このような電流（漏れ電流）が生ずることを防止することを目的として構成された構造を有する能動素子をいう。

このような素子としては、例えば、マルチゲート型の能動素子が挙げられる。マルチゲート型の能動素子とは、一素子として機能するものの、厳密に

は複数の能動素子が直列接続されそれらの制御端子同士が接続されたものと同様に機能する構成の能動素子をいう。

マルチゲート型の能動素子を構成するにあたり、後述する本実施形態のように半導体層が屈曲した形状としてもよいし、ゲートの形状を屈曲させてもよい。

また、第２の能動素子としては、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる組から選択される一の構造を備えるトランジスタであってもよい。ここで、「ＬＤＤ」とはLightly Doped Drainの略であり、「ＧＤＤ」とはGraded Diffused Drainの略であり、「ＤＤＤ」とはDouble Diffused Drainの略である。これらの構造を有するトランジスタは、ＭＯＳ　ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限するため、ドレイン付近の最大電界を弱めるためのものである。例えば、不純物拡散を行った領域およびシリコン基板間の電界を緩和するためトランジスタのドレイン領域に軽く不純物をドーピングして、例えばｎ－領域を自己整合的に形成したトランジスタである。

このようなトランジスタでは、オフ時のソースードレイン間の抵抗値が非常に高く、漏れ電流が減少するため、保持素子に蓄積された電荷が散逸せず、制御用端子に印加される電位を一定に保つことができる。

本発明の第２のアクティブマトリクス基板は、複数のデータ線と複数の走査線との交差部に対応して配置された複数の単位回路を備えたアクティブマトリクス基板であって、前記複数の単位回路の各々は、第１の制御用端子、第１の端子、及び第２の端子を備えた第１のトランジスタと、前記第１の制御用端子に接続され、第１の電極及び第２の電極を備えた保持素子と、第３の端子、第４の端子、及び第２の制御用端子を備えた第２のトランジスタであって、前記第３の端子及び前記第４の端子はそれぞれ前記第１の端子及び前記第１の電極に接続された第２のトランジスタと、を備え、前記第２のトランジスタはマルチゲート構造を有していること、を特徴とする。

上記のアクティブマトリクス基板において、マルチゲート構造に代えて前記第２のトランジスタは、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる群から選択される一の構造を備えるトランジスタであってもよい。

さらにマルチゲート構造と、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造を採用することにより、第２のトランジスタがオフ状態にある場合の漏れ電流を低減することができるので、保持素子に蓄積された電荷を長時間維持することが可能となる。

上記のアクティブマトリクス基板において、前記第１のトランジスタ及び前記第２のトランジスタは、互いに異なる導電型を有していることが好ましい。この場合、前記第１のトランジスタを構成する半導体膜と前記第２のトランジスタを構成する半導体膜とは、分離されていることが好ましい。

例えば、前記第１のトランジスタがＰ型であり、前記第２のトランジスタがＮ型であることが好ましい。

上記のアクティブマトリクス基板において、さらに、第５の端子、第６の端子、及び第３の制御用端子を備えた第３のトランジスタを備え、前記第３の制御用端子は前記複数の走査線のうちの一つの走査線に接続され、前記第５の端子は前記複数のデータ線のうちの一つのデータ線に接続されているような構成としてもよい。

さらに前記第６の端子は、前記第３の端子及び前記第１の端子に接続されているようにしてもよい。

上記のアクティブマトリクス基板において、前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、前記複数の層は、前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、前記第２の制御用端子が形成されているゲートメタル層と、を含み、前記ゲートメタル層には、前記複数の走査線のうち少なくとも１つの走査線の少なくとも１部分が形成されているようにしてもよい。

このようにすれば、前記第２の制御用端子と走査線の少なくとも１部分を同一工程で形成することができるので、製造工程を短縮することが可能となる。

上記のアクティブマトリクス基板において、前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、前記複数の層は、前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、前記第２の制御用端子が形成されているゲートメタル層と、

を含み、前記ゲートメタル層には、前記複数のデータ線のうち少なくとも１つのデータ線の少なくとも１部分が形成されているような構成としてもよい。

このようにすれば、前記第２の制御用端子とデータ線の少なくとも１部分を同一工程で形成することができるので、製造工程を短縮することが可能となる。

上記のアクティブマトリクス基板において、前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、前記複数の層は、前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、前記第２の制御用端子が形成されているゲートメタル層と、前記第２のトランジスタのソースまたはドレインに接続されたソース電極またはドレイン電極が形成されているソースメタル層と、を含み、前記複数のデータ線のうち少なくとも１つのデータ線の少なくとも１部分は、前記ソースメタル層及び前記ゲートメタル層のうち、より前記半導体層に近い層に形成されているような構成としてもよい。

このようにすれば、アクティブマトリクス基板の上方に電気光学素子を配置し、電気光学装置とした場合、データ線の少なくとも１部分を電気光学素子の電極から引き離すことができるので、電極とデータ線との間に生ずる寄生容量による動作遅延を低減することが可能となる。

本発明の第３のアクティブマトリクス基板は、トランジスタを備えた単位回路と走査線とデータ線とを備え、複数の層からなる積層構造を有したアクティブマトリクス基板であって、前記複数の層は、トランジスタを構成する半導体膜が形成された半導体層と、前記トランジスタのゲート端子が形成されているゲートメタル層と、を備え、前記走査線及び前記データ線のうち少なくとも一方の少なくとも１部分は前記ゲートメタル層に形成されていること、を特徴とする。

このようにすれば、トランジスタのゲート端子と走査線あるいはデータ線の少なくとも１部分とを同一工程で製造できるので、製造工程の短縮が可能となる。

本発明の第４のアクティブマトリクス基板は、トランジスタを備えた単位回路と走査線とデータ線とを備え、複数の層からなる積層構造を有したアク

ティブマトリクス基板であって、前記複数の層は、トランジスタを構成する半導体膜が形成された半導体層と、前記トランジスタのゲート端子が形成されたゲートメタル層と、前記トランジスタのソースまたはドレインに接続されるソース電極またはドレイン電極が形成されたソースメタル層と、を備え、前記走査線及び前記データ線のうち少なくとも一方の少なくとも１部分は前記ゲートメタル層及び前記ソースメタル層のうち前記半導体層に近い層に形成されていること、を特徴とする。

上記のアクティブマトリクス基板において、アクティブマトリクス基板の上方に電気光学素子を配置し、電気光学装置とした場合、データ線あるいは走査線の少なくとも１部分と電気光学素子の電極との距離を離すことができるので、電極とデータ線あるいは走査線との間に生ずる寄生容量による信号供給の遅延を抑制することが可能となる。

上記のアクティブマトリクス基板において、単位回路は、第１の制御用端子、第１の端子、及び第２の端子を備えた第１のトランジスタと、前記第１の制御用端子に接続され、第１の電極及び第２の電極を備えた保持素子と、第３の端子、第４の端子、及び第２の制御用端子を備えた第２のトランジスタであって、前記第３の端子及び前記第４の端子はそれぞれ前記第１の端子及び前記第１の電極に接続された第２のトランジスタと、を備え、前記第２のトランジスタは、ＬＤＤ構造、ＧＤＤ構造、ＤＤＤ構造、及びマルチゲート構造からなる群から選択される少なくとも一の構造を有していることが好ましい。

ＬＤＤ構造、ＧＤＤ構造、ＤＤＤ構造、及びマルチゲート構造は電流漏れを抑制する構造として適しているので、このような構成とすることにより保持素子に蓄積された電荷を長時間維持することができる。

本発明の第１の電気光学装置は、上記アクティブマトリクス基板と、電気光学素子を備えていること、を特徴とする。

本発明の第２の電気光学装置は、画素毎に設けられた電気光学素子に電流を供給するための周辺回路を前記電気光学素子に対応して備える電気光学装置であって、各前記周辺回路は、発光期間において前記電気光学素子に電流を供給するための発光制御能動素子と、制御電圧を保持するための保持素子

と、ゲート端子が前記保持素子に接続され当該ゲート端子に印加された前記制御電圧に基づいた電流を前記発光制御能動素子経由で前記電気光学素子に供給するための第１の能動素子と、選択期間において前記第１の能動素子経由で定電流（あるいはデータ電流）を流す電流制御能動素子と、前記電流制御能動素子と前記保持素子との間に接続され、前記選択期間において前記保持素子に充電させて前記制御電圧を記憶させる第２の能動素子と、を備え、前記第２の能動素子は、遮断時における漏れ電流防止構造を備えていることを特徴とする。

上記の漏れ電流防止構造としては、上記のアクティブマトリクス基板の場合と同様、例えば、ＬＤＤ構造、ＧＤＤ構造、ＤＤＤ構造、またはマルチゲート構造など採用可能である。

上記の電気光学装置において、前記第１の能動素子及び前記第２の能動素子としては、例えば、トランジスタを用いることが好ましい。その場合、互いに異なる導電型を有していることが好ましい。例えば、前記第１の能動素子がＰ型であり、前記第２の能動素子がＮ型であることが好ましい。

これに対応して、第１の能動素子に負論理のデータ信号を供給する第１のドライバ回路と、第２の能動素子に正論理の走査信号を供給する第２のドライバ回路と、を備えるような構成してもよい。

上記の電気光学装置において、第１の能動素子にデータ信号を供給するデータ線と、データ線と交差し第２の能動素子に走査信号を供給する走査線と、を備えるように構成してもよい。

また、上記の電気光学装置において、データ線または走査線のいずれか一方は、第１の能動素子および第２の能動素子を構成するソースメタル層およびゲートメタル層のうち電気光学素子の共通電極から離間している方のメタル層により配線されていることが好ましい。共通電極と離れているメタル層を利用すればその信号線と共通電極との間で生ずる寄生容量を減らすことができるからである。

具体的には、例えば走査線は、第２の能動素子のゲート端子を形成するゲートメタル層により配線されていることが考えられる。

また上記の電気光学装置において、複数の能動素子のうち、同一極性を有する複数の能動素子が同一の半導体層で平面的に連続形成されていることが好ましい。このように半導体層を連続させれば配線に使用する面積を抑え開口率を上げることができるからである。

このとき、同一極性を有する複数の能動素子間の接続点に共通のコンタクトホールを備え、当該コンタクトホールからこれら能動素子と異なる極性を有する能動素子へ配線されている。極性が異なる場合には、通常の配線を行う必要があるからである。また、このようにすれば、コンタクトホールを共有化することにより、駆動回路の全体面積に占める接続部分の占有面積を少なくすることができる。

ちなみに、後述する実施形態の一つでは、同一極性を有する複数の能動素子は、第２の能動素子、発光制御能動素子、および電流制御能動素子としているが、もちろんこれに限定はされない。

ここで前記第２の能動素子および前記電流制御能動素子のゲート端子として、共通の走査線を利用してもよく、この場合、共通のゲート端子接続については走査線をそのまま利用することによって配線面積を削減し開口率を上げることができる。

ただし、前記第２の能動素子および前記電流制御能動素子を同一タイミングで駆動しない場合は、もちろん、それぞれのゲート端子として異なる信号線を利用することは可能である。

本発明の第３の電気光学装置は、電気光学素子と、前記電気光学素子を駆動する周辺回路と、を備え、前記電気光学素子は、当該電気光学素子の境界が少なくとも所定の曲率以上を有するように形成されており、当該所定の曲率を有する境界と当該電気光学素子に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されていることを特徴としている。

「所定の曲率」を有する形状は、特に電気光学素子を、液体材料を用いて形成する場合に有効であり、その場合、当該液体材料の粘度や表面張力、および電気光学素子の下層の材料に応じて適宜設定することが望ましい。しかし、電気光学素子を蒸着法などの液体材料を用いることなしに形成する場合でも、ショートを防止するという効果を奏する。

この所定の曲率を有する境界部分が複数形成されていることが好ましい。また、複数形成されている境界部分は、電気光学素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されていることが好ましい。

例えば、この領域に形成される周辺回路の一部は、当該周辺回路の配線を構成するコンタクトホールである。このようなコンタクトホールは、領域の形状に合わせた多角形であることが好ましい。このような周辺回路の配線を構成するコンタクトホールは、例えば、電気光学素子の電極の少なくとも一方に電流を供給するためのコンタクトホールである。このコンタクトホールは複数であって、前記電気光学素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されていることが好ましい。

電気光学素子の形成に液体材料を用いる場合、当該液体材料に対して親和性を調整した親和性制御層を、電気光学素子の境界付近にさらに備えることにより、電気光学素子を構成する機能層の膜厚を制御し、平坦性を向上させることもできる。さらに、バンク層の少なくとも壁面の当該液体材料に対する親和性を前記親和性制御層のそれとは異ならせることにより、より効果が増す場合がある。例えば、バンク層の壁面の当該液体材料に対する親和性を親和性制御層のそれより低くすることにより、バンク層の壁面に当該液体材料により形成された膜が付着することがなくなり、当該液体材料により形成された膜の平坦性がより向上する。

この親和性制御層を、バンク層のなす壁面に対して当該電気光学素子内側で階段形状を有するように形成するようにしてもよい。

ここで「バンク」とは、画素領域間を仕切るための仕切部材である。バンクは陰極または共通電極とデータ線または走査線などの信号を供給する配線との距離を確保するためにも有効である。当該距離を十分に確保することにより、寄生容量が低減し、信号を供給する際の遅延を抑制することができるからである。

概してデータ信号は走査信号に寄生容量の影響を大きく受け、動作遅延の原因となるので、データ信号と共通電極または陰極との距離を十分確保する必要がある。

ここで所定の曲率を有する境界部分において、当該電気光学素子を構成す

る少なくとも一方の電極が当該境界部分の形状に対応してパターニングされていることが好ましい。電極を曲率に合わせてパターニングすることで周辺回路の少なくとも一部を配置しやすくなるからである。例えば、周辺回路の少なくとも一部とは、周辺回路と前記電極との接続をとるためのコンタクト領域である。

本発明の第４の電気光学装置は、発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、前記発光部の面積は、前記画素電極の面積より小であり、前記発光部の形状と前記画素電極の形状とが異なっていることを特徴とする。

本発明の第５の電気光学装置は、発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、前記発光部の面積は、前記画素電極の面積より小であり、前記発光部の形状は曲率を有する形状であり、前記画素電極の形状は多角形の形状であること、を特徴とする。

本発明の第６の電気光学装置は、発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、前記発光部の面積は、前記画素電極の面積より小であり、前記発光部はｎ個（ｎは４以上の整数）の角を有する多角形形状を有しており、前記画素電極はｍ個（ｍは３以上の整数）の角を有する多角形形状を有しており、ｎ＞ｍを関係を有すること、を特徴とする。

上記の電気光学装置において、発光部は曲率を有する形状または四角形以上の多角形形状を有しているので、発光部端部におけるショートを防止することができる。また、液体材料を用いて発光部を形成する際に発光部の端部にも十分液体材料を行き渡らせることができ、均一な膜を形成することも可能となる。

上記の電気光学装置において、前記発光部の全領域は前記画素電極上に形成されており、前記発光部の形成されていない、前記画素電極の部分に前記周辺回路と前記画素電極との接続のためのコンタクト領域が設けられていることが好ましい。

本発明の第７の電気光学装置は、電気光学素子と、前記電気光学素子に供給する電流を規定する保持容量と、保持容量に記録された電圧に従った電流

を供給する能動素子と、を備え、保持容量を構成する第１の電極は、電気光学素子に電流を供給する電源線を形成する金属層の一部をパターニングして形成されている電気光学装置である。

本発明の第８の電気光学装置は、電気光学素子に対し、保持容量に記録された電圧に従った電流を能動素子により供給可能に構成され、電源に接続される第１の金属層と、能動素子の制御端子を一部に含んでパターン形成される第２の金属層と、を備え、保持容量を構成する第１の電極は、第１の金属層の一部をパターニングして形成されている電気光学装置である。

ここで「層」には、金属層の他、保持容量形成に影響を与える層、例えば半導体層などが含まれる。

さらに保持容量を構成する第２の電極は、能動素子の制御端子を形成する金属層の一部をパターニングして形成されている。

上記の電気光学装置において、前記第１の電極は、電源線の一部であり、当該電源線の一部に能動素子の制御端子を形成する金属層の一部を重ねてパターニングして前記第２の電極を形成してもよい。このような構成にすれば保持容量と能動素子とを接続するための配線を特に設ける必要がないので開口率を上げることができるからである。

さらに好ましくは、保持容量を構成する電極に重複して当該電極形状に形成された半導体層を備えている。この半導体層は、例えば、不純物が導入されている。不純物をドーピングして半導体層が金属化あるいは低抵抗化してもよい。

また保持容量は、電気光学素子および能動素子が形成された領域以外の領域に形成されていることが開口率を上げる上で好ましい。例えば、保持容量の電極を構成する各層は、電気光学素子および能動素子が形成された領域以外の領域の形状に対応させた多角形、例えば五角形以上、に形成されている。

上記の電気光学装置において、保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されていることが好ましい。

上記の電気光学装置において、より下層側に配置される層の占める領域は、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じ

た場合であっても、当該より上層側に配置される層の領域が当該より下層側に配置される層の領域内に収まるような形状にパターン形成されている。

上記の電気光学装置において、隣接する電気光学素子間を隔離するためのバンク層をさらに備え、保持容量は、バンク層の下に形成されていることが好ましい。

ここで、さらに、電気光学素子の形成時における材料液の親和性を制御するための親和性制御層をバンク層中あるいはバンク層の下に備えていてもよい。

保持容量が形成される重複領域は、第１の金属層または第２の金属層の少なくとも一方が電源配線パターンとなっている領域に設けてもよい。

さらに好ましくは、第２の金属層によって形成される配線パターンは、電気光学素子に接続されている２つの電極の少なくとも一方から所定の距離以上離間して配置されている。このような構成により不要な容量を減らすことができるからである。

本発明の第５のアクティブマトリクス基板は、データ線と走査線との交差部に対応して配置された画素電極と路を備えたアクティブマトリクス基板であって、前記画素電極は少なくとも１つのトランジスタを介して電源線に接続され、前記少なくとも１つのトランジスタのゲートに接続された保持素子が設けられ、前記保持素子を構成する第１の電極は、前記電源線に接続されていること、を特徴とする。

本発明の第６のアクティブマトリクス基板は、データ線と走査線との交差部に対応して配置された画素電極と路を備えたアクティブマトリクス基板であって、前記画素電極は少なくとも１つのトランジスタを介して電源線に接続され、前記少なくとも１つのトランジスタのゲートに接続された保持素子が設けられ、前記保持素子を構成する第１の電極は、前記電源線の一部であること、を特徴としている。

上記のアクティブマトリクス基板において、前記保持素子を構成する第２の電極は、前記少なくとも１つのトランジスタのゲートであることを特徴としている。

本発明の第７のアクティブマトリクス基板は、走査線とデータ線との交差部に対応して、トランジスタを備えた単位回路とを備えたアクティブマトリクス基板であって、前記トランジスタを構成する半導体膜は半導体層に形成され、前記走査線と前記データ線の交差部においては前記走査線及び前記データ線のいずれかが第１の導電層に形成され、前記交差部以外の部分の前記走査線と前記データ線とは第２の導電層に形成されていることを特徴としている。このアクティブマトリクス基板において、前記第２の導電層は前記第１の導電層と前記半導体層との間に配置されていることが好ましい。

上記のアクティブマトリクス基板は、電気光学素子と組み合わせることにより、電気光学装置を構成することができる。

本発明の第９の電気光学装置は、走査線とデータ線との交差部に対応して電気光学素子を備えた電気光学装置であって、前記電気光学素子に電力を供給する一対の電極を含み、前記走査線と前記データ線の交差部においては前記走査線及び前記データ線のいずれかが第１の導電層に形成され、前記交差部以外の部分の前記走査線と前記データ線とは第２の導電層に形成され、前記第２の導電層は前記第１の導電層より前記一対の電極のいずれか一方から離間して配置されていること、を特徴としている。

ここで、上記の電気光学素子は、エレクトロルミネッセンス（ＥＬ）素子であってもよい。ここで、「エレクトロルミネッセンス素子」とは、その発光性物質が有機であるか無機であるか（Ｚｎ：Ｓなど）を問わず、電界の印加によって、陽極から注入された正孔と陰極から注入された電子とが再結合する際に再結合エネルギーにより発光性物質を発光させるエレクトロルミネッセンス現象を利用したもの一般をいう。またエレクトロルミネッセンス素子は、その電極で挟まれる層構造として、発光性物質からなる発光層の他、正孔輸送層および電子輸送層のいずれかまたは双方を備えていてもよい。具体的には、層構造として、陰極／発光層／陽極の他、陰極／発光層／正孔輸送層／陽極、陰極／電子輸送層／発光層／陽極、または陰極／電子輸送層／発光層／正孔輸送層／陽極などの層構造を適用可能である。

さらに、上記したアクティブマトリクス基板を備える電子機器にも適用される。ここで「電子機器」には限定が無いが、アクティブマトリクス基板に

より構成された表示装置を備えるもの、例えば、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳等をいう。

図面の簡単な説明

図１は本実施形態における表示パネルの全体図である。

図２は実施形態１における画素領域の平面図である。

図３は実施形態１における画素領域の断面図であり、図３Ａは図２のＡ－Ａ切断面、図３Ｂは図２のＢ－Ｂ切断面、図３Ｃは図２のＣ－Ｃ切断面である。

図４は発光部の境界形状の変形例であり、図４Ａは円形の発光部の場合、図４Ｂは中心線対称な屈曲部を有する発光部の場合、図４Ｃは中心線非対称な屈曲部を有する発光部の場合である。

図５は実施形態１における画素領域の回路図である。

図６は実施形態１における金属層のアライメントの説明図である。

図７は実施形態１におけるゲートメタルの離間処理の説明図である。

図８は実施形態２における画素領域の平面図である。

図９は実施形態２における画素領域の断面図であり、　図９Ａは図８のＡ－Ａ切断面、図９Ｂは図８のＢ－Ｂ切断面、図９Ｃは図８のＣ－Ｃ切断面である。

図１０は実施形態３における画素領域の平面図である。

図１１は実施形態３における画素領域の断面図であり、図１０Ａは図１０のＡ－Ａ切断面、図１０Ｂは図１０のＢ－Ｂ切断面である。

図１２は実施形態４における画素領域の平面図である。

図１３は実施形態４における画素領域の断面図であり、図１３Ａは図１２のＡ－Ａ切断面、図１３Ｂは図１２のＢ－Ｂ切断面である。

図１４は実施形態５における表示パネルの接続図である。

図１５は実施形態５における電子機器の例であり、図１５Ａは携帯電話、図１５Ｂはビデオカメラ、図１５Ｃは携帯型パーソナルコンピュータ、図１

５Ｄはヘッドマウントディスプレイ、図１５Ｅはリア型プロジェクター、図１６Ｆはフロント型プロジェクターへの本発明の表示パネルの適用例である。

発明の好適な実施の形態

次に、本発明の好適な実施の形態を、図面を例示として参照しながら説明する。以下の形態は、本発明を実施の形態の例示に過ぎず、その適用範囲を限定するものではない。

[実施形態１]

本発明の実施形態は、電気光学素子としてＥＬ素子を利用した電気光学装置である表示パネルに関する。図１に当該ＥＬ素子を含むアクティブマトリクス基板により構成された表示パネルの全体図を示す。

図１に示すように、表示パネル１は、ガラス基板１６上に、表示領域１１およびドライバ領域１４及び１５を配置して構成されている。表示領域１１には全体的に陰極１２が形成されて陰極取出電極１３に接続されている。表示領域１１には画素領域１０がマトリクス状に配置されている。カラー表示の場合、画素領域１０は、それぞれがカラー表示で必要とされる原色（例えば、赤、青、緑の三原色）で発光可能に構成されており、各原色で発光する画素領域１０の組が一つの画素要素となる。例えば、表示領域１１の列方向に配置されるドライバ領域１５は、書き込み制御線Ｖsel 及び発光制御線Ｖgpに信号を出力し、表示領域１１の行方向に配置されるドライバ領域１４は、電源線Ｖddの他、データ電流をデータ線Ｉdataに信号を出力している。各画素領域１０における発光状態をドライバ領域１４及び１５に形成された図示しない駆動回路によって制御することにより、任意の画像が表示領域１１に表示されるのである。

図２に、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図２では、図３に示した特に主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

図２に示すように、電源線Ｖddとデータ線Ｉdataに挟まれる領域に、発光部ＯＬＥＤおよびそれを駆動するための周辺回路が総て配置されている。電

源線Ｖddは、発光部ＯＬＥＤを介してデータ線Ｉdataと離れて配置されている。周辺回路は、第１の能動素子としてのトランジスタＴ１、第２の能動素子としてのトランジスタＴ２、電流制御能動素子としてのトランジスタＴ３、発光制御能動素子としてのトランジスタＴ４、および保持素子としての保持容量Ｃで構成されている。なお、トランジスタＴ１～Ｔ４の導電型は特に限定されないが、本実施形態では、トランジスタＴ１の導電型はＰ型であり、それ以外のトランジスタは全てＮ型となっている。

トランジスタＴ１は、そのソースが電源線Ｖddに接続され、そのドレインがトランジスタＴ４のドレイン側に接続されている。トランジスタＴ４は、そのソースが発光部ＯＬＥＤの陽極に接続されている。保持容量Ｃは、電源線Ｖddとトランジスタ Ｔ１のゲート間に形成されている。トランジスタＴ２は、そのソースが保持容量ＣおよびトランジスタＴ１のゲートに接続され、そのドレインがトランジスタＴ３のドレインおよびトランジスタＴ１およびＴ４間に接続されている。トランジスタＴ３は、そのソースがデータ線Ｉdataに接続され、そのゲートがトランジスタＴ２のゲートと共通に書き込み制御線Ｖselに接続されている。

図３に、図２に示された切断面における層構造を説明する各断面図を示す。図３ＡはＡ－Ａ切断面、図３ＢはＢ－Ｂ切断面、図３ＣはＣ－Ｃ切断面における層構造を示している。

図３Ａに示すように、当該画素領域１０は、ガラス基板１００（図１におけるガラス基板１６）上に、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９（図１における陰極１２）の各層を積層して構成されている。さらに、電界発光部ＯＬＥＤでは、図３ＢおよびＣに示すように、陽極層１１０、正孔輸送層１１１、発光層１１２の各層を積層して構成されている。

ガラス基板１００としては、本実施形態のＥＬ素子が基板側に光を射出する形態であって光透過性があることが必要であるため、ソーダライムガラス、低膨張ガラス、石英などのノンアルカリガラスが適用される。ただし、陰極層１０９に光透過性物質を用い、陰極側から光を射出する形態のＥＬ素子を

構成する場合には、金属等の導電性物質、シリコン・カーバイト（ＳｉＣ）やアルミナ（Al_2O_3）や窒化アルミニウム（ＡｌＮ）等の非透明絶縁性物質も利用可能である。

下地保護膜１０１としては、酸化硅素膜（SiO_x：$0<x\leqq2$）や窒化硅素膜（Si_3N_x：$0<x\leqq4$）等の絶縁性物質が利用可能である。下地保護層は、ガラス基板中に含まれているナトリウム（Ｎａ）等の可動イオンが半導体層中に混入して半導体層の不純物制御に悪影響を与えさせないために形成するものである。

下地保護層１０１は、まず基板１００を純水やアルコールなどの有機溶剤で洗浄した後、常圧化学気相堆積法（ＡＰＣＶＤ法）や低圧化学気相堆積法（ＬＰＣＶＤ法）、プラズマ化学気相堆積法（ＰＥＣＶＤ法）等のＣＶＤ法あるいはスパッター法等を用いて基板上に形成される。

半導体層１０２としては、シリコン（Ｓｉ）やゲルマニウム（Ｇｅ）等の四族単体の半導体層の他に、シリコン・ゲルマニウム（Si_xGe_{1-x}：$0<x<1$）やシリコン・カーバイド（Si_xC_{1-x}：$0<x<1$）やゲルマニウム・カーバイド（Ge_xC_{1-x}：$0<x<1$）等の四族元素複合体、ガリウム・ヒ素（ＧａＡｓ）やインジウム・アンチモン（ＩｎＳｂ）等の三族元素と五族元素との複合体化合物、またはカドミウム・セレン（ＣｄＳｅ）等の二族元素と六族元素との複合体化合物、シリコン・ゲルマニウム・ガリウム・ヒ素（$Si_xGe_yGa_zAs_z$：$x+y+z=1$）と云った更なる複合化合物等が適用可能である。

半導体層１０２は、例えば、ＡＰＣＶＤ法やＬＰＣＶＤ法、ＰＥＣＶＤ法等のＣＶＤ法、またはスパッター法等や蒸着法等のＰＶＤ法でシリコン等を堆積させた後、レーザー光の照射によって多結晶化して形成される。レーザー光としては、エキシマレーザー、アルゴンイオンレーザー、ＹＡＧレーザーの基本波及び高調波等が好適に用いられる。例えば、シリコンを多結晶化すると、ポリシリコンとなる。この多結晶化した半導体層１０２を保持容量Ｃや各トランジスタＴ１～Ｔ４の各ＴＦＴの各素子形状に合うようパターニングする。例えばCF_4と酸素の混合ガスを用いた反応性イオンエッチングによってアモルファス状態の半導体層を素子形状に合わせて島状にパターニ

ングして形成する。パターニング後、例えばゲートメタル層を形成後、そのゲートメタル層をマスクとして、半導体層に不純物を導入する。具体的には、素子ごとにリン（Ｐ）、ヒ素（Ａｓ）、アンチモン（Ｓｂ）などのドナー元素を添加してＮ型半導体層にしたり、ホウ素（Ｂ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）等のアクセプター元素を添加してＰ型半導体層にしたりする。本実施形態では、保持容量Ｃを構成する半導体層がＮ型半導体層になるように不純物が導入される。ここで、ＴＦＴをＬＤＤ構造にする場合やＴＦＴのしきい値電圧を調整する場合には、不純物を低濃度で導入するチャンネル・ドープが行われる。

ゲート絶縁膜１０３としては、例えばテトラエチルオルトシリケート（ＴＥＯＳ）を原料とする二酸化珪素膜により形成される。ゲート絶縁膜１０３は、例えば、マイクロ波放電プラズマ、ＥＣＲプラズ等の酸素または窒素雰囲気下におけるマプラズマＣＶＤ法により形成される。

ゲートメタル層１０４としては、例えばタンタル（Ｔａ）、タングステン（Ｗ）、クロム（Ｃｒ）、アルミニウム（Ａｌ）等のような導電性材料を用いる。ゲートメタル層１０４は、スパッタ法等で成膜され後、ゲート電極の形状になるようパターニングして形成される。

第１層間絶縁膜１０５としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第１層間絶縁膜は、スパッタ法等で形成された後、例えばＴＦＴ用のソース・ドレイン電極を形成するためにコンタクトホールが形成される。

ソースメタル層１０６として、例えばアルミニウム（Ａｌ）の他、タンタル、モリブデン、チタン、タングステン等の導電性材料を使用可能である。ソースメタル層は、スパッタ法等で一様に導電性材料を積層後、電極形状に合わせてパターニングして形成される。

第２層間絶縁膜１０７としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第２層間絶縁膜は、スパッタ法等で形成された後、例えば陽極層１１０用のコンタクトホールｈ１およびｈ２が形成される。

陽極層１１０としては、例えば、酸化インジウム錫合金（ＩＴＯ）等の光透過性を有する導電性材料が適用可能である。光透過性が必要無い場合には、

陽極層として、酸化錫（ＮＥＳＡ），金、銀、白金、銅等を適用できる。陽極層はスパッタ法等により形成された後、発光部ＯＬＥＤの形状に応じてパターニングして形成される。陽極層（あるいは画素電極）の形状は特に限定はないが、発光部ＯＬＥＤより大きな面積とすることが望ましい。そのような構成にすれば、周辺回路あるいは画素回路と、画素電極との電気的に接続するためのコンタクト領域を画素電極の発光部以外の領域に設けることができる。このような構成とすることにより少なくとも発光部の平坦性は向上する。

バンク層１０８としては、酸化珪素、窒化珪素、ポリイミドなどの絶縁材料を適用可能である。バンク層は、スパッタ法等で形成後、発光部ＯＬＥＤに対応する位置に開口部が設けて形成される。

正孔輸送層１１１としては、例えば、Ｎ，Ｎ’－ジフェニル－Ｎ，Ｎ’－ビス－（３－メチルフェニル）－（１，１’－ビフェニル）－４，４’－ジアミン（ＴＰＤＡ）が用いられる。正孔輸送層は、バンク層１０９に設けられた開口部にメタルマスク等を用いて成膜される。

発光層１１２としては、例えばトリス（８－キノリノール）アルミニウム（Alq_3）等の任意の発光性物質が用いられる。発光層は、メタルマスクやシリコンマスクを用いた蒸着で形成可能であるが、インクジェット法により発光性物質を含んだ溶媒を開口部に配置して溶媒成分を蒸発させて形成してもよい。

陰極層１０９としては、エネルギー順位からＥＬ素子の陰極として使用可能な材料、アルミニウムまたはアルミニウムと他の元素（リチウムなど）の合金、カルシウムなどで形成される。陰極層は、メタルマスク等により形成され、フォトリソグラフィー法やシャドーマスク法等でパターニングして形成される。

本実施形態では画素電極を陽極、共通電極を陰極としているが、画素電極を陰極、共通電極を陽極とする構成であってもよい。典型的な陰極材料は金属であることが多いので画素電極を陰極とした場合、発光部ＯＬＥＤが発した光は基板１００と反対側に射出されることとなる。もちろん、画素電極を陽極、共通電極を陰極の場合でも、陰極材料として透明材料を使用あるいは

光が透過する程度の膜厚とすることにより基板１００と反対側に光を射出することが可能である。

以下、本実施形態における配線パターン上の数々の特徴について順に説明する。

（発光部の平面形状）

ＥＬ素子の製造方法の一つに、インクジェット方式により発光性物質、キャリア輸送性物質あるいはキャリアブロッキング性物質を含んだ液体材料を開口部に吐出し乾燥させて、発光層を形成する製造方法がある。この製造方法では、吐出された材料液が均等に開口部の隅々まで行き渡ることが重要である。もしも材料液が均等に行き渡らないと、成膜後の発光層の厚みが不均一になり、発光領域内で射出される光の強度が不均一となり、表示パネルの画質が低下する。例えば、平面上、方形形状の開口部であったと仮定すると、材料液の表面張力や粘度等の影響で開口部の角部における吐出された材料液の液面の高さがその他の部分と異なるようになる。したがって、このような形状の発光部では成膜後の発光層の厚みが不均一になるおそれがあった。

一方、表示パネルでは輝度を上げる必要があるため、光を射出する領域、すなわち発光部をできるだけ大きく採り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請がある。製造上の容易性のみを考えてパターンを配置するわけにもいかないのである。

そこで、このような要請をともに満たすために、本実施形態では、発光部の境界が少なくとも所定の曲率以上を有するように形成されており、この所定の曲率を有する境界とこの発光部の境界に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されている。

図４に基づいて、具体的な概念を説明する。図４Ａ、Ｂ、Ｃはそれぞれ本発明の概念を適用した発光部の全部または一部の平面形状を示している。図４Ａは、発光部の境界が円形、すなわち総ての境界が一定の曲率Ｒを有している場合である。この円周とこの円周に外接する多角形、すなわち破線で示す正方形とで囲まれる領域、すなわち斜線部分に、周辺回路の一部を設けるのである。この円形の発光部は中心点を通るどの中心線に対しても対称である点で、発光部の膜厚を均等にできるための形状として理想的な形状である

と考えられる。しかし、図４Ａに示すように、斜線部分を有効活用することが発光部の開口率を向上させるために必要である。

図４Ｂは、長方形の角部に本発明を適用し、発光部の境界に一定の曲率Ｒを持たせた例である。この例では、外接する多角形は破線で示す長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。本実施形態はこの例に属し、この曲率Ｒを大きくしていくと、本実施形態のような長円の発光部の平面形状になる。この例でも発光部の中心を通る中心線に対して左右あるいは上下対称であり、かつ、角部の曲率が一定値以上であるため、均等な膜厚の発光部を形成可能である。

図４Ｃは、中心線に対して不均等に角部の曲率を設定した例である。図に向かって左側の角部の曲率Ｒ１が右側の角度の曲率Ｒ２より小さくなっている。

この例では、外接する多角形は破線で示すような長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。このように曲率が不均等であっても、最小の曲率を一定値以上に設定することにより、均等な膜厚の発光部が形成可能である。最小の曲率は、吐出される溶液の粘度や表面張力、吐出面の撥水性あるいは撥液性、（親水性あるいは親液性）に左右されるため、実験によって事例毎に定められる。

本実施形態では、図２に示すように発光部が長円形の平面形状を採用している。そして、この発光層の境界とこの発光部の境界に外接する長方形（図示しない）との境界で囲まれる領域内に、周辺回路の一部、つまりコンタクトホールｈ１およびｈ２が形成されている（図３Ｂ）も参照のこと）。本実施形態では、本来無駄なスペースともなるべき図４Ｂの斜線で示すような領域を、このコンタクトホールのために使用することにより、スペースの有効利用という要請を満たしている。

なお、この発光部の境界とその発光部に外接する多角形の境界とに囲まれる領域には、コンタクトホールに限らず、周辺回路のいずれの素子、例えばトランジスタやキャパシタ等を形成してもよい。また、独立に機能する素子

全体を総てこの領域に入れ込まなければならないわけではなく、素子やコンタクトの一部、つまり周辺回路の一部がこの領域に入り込んでいればよい。つまり、スペースを有効利用するような配置がされていることが肝要である。

発光部の形成に液体材料を用いない場合、例えば、発光部を蒸着法などで形成する場合でも、発光部の端部を曲率を有する形状とすることにより発光部ＯＬＥＤの端部における画素電極と共通電極とのショートの危険性を低減するという一定の効果を示す。

なお、厳密には曲率は細かな直線の集合とも表わされるので発光部の形状は画素電極の形状より多く角を有する多角形とも解釈される。

（発光部のためのコンタクトホール）

ＥＬ素子において、発光部の境界と発光部に外接する多角形の境界とに囲まれる領域に、図２に示すように、コンタクトホールを設けることは意義がある。すなわち、この領域に比較的大き目のコンタクトホールを設けることにより、この領域の有効利用が可能となるとともに、発光部に十分な電流を供給可能とするからである。

さらにコンタクトホールを複数設けることは好ましい。すなわち、ＥＬ素子では、発光層にはある程度の電流量の電流を、発光部全体に均等に流す必要がある。もしも直接電流を供給する陽極に接続するためのコンタクトホールが偏った位置に設けられたものとすると、電流の供給口が発光層に対して偏った位置にあるため、電流供給量が不均等になる場合がある。不均等な電流供給は発光強度のむらとなって現れる。

この点、本実施形態のように、発光部の中心部を通る中心線に対し対称な位置に複数のコンタクトホールを設ければ、このような問題を解消できる。すなわち、図２に示すように、本実施形態では、発光部の中心点を通る所定の中心線に対して対称的に設けられた領域にそれぞれ比較的大き目の複数のコンタクトホールを設けている。この対称的な領域にそれぞれコンタクトホールを設けることにより、発光部の均等成膜の要請とともに、発光部に対する電流供給を均一にするという要請を満たすことができる。

（金属層間のアライメント）

ＥＬ素子の駆動回路方式によっては、保持容量の変動が発光部に供給される電流量の安定性に影響を与える場合がある。当該実施形態においても、保持容量Ｃの容量値が画素ごとあるいは表示パネルごとに変動するのは好ましくない。しかしながら、表示パネルの製造工程において金属層を積層する際に予定した位置よりもずれが生じる場合がある。保持容量は金属層の重複領域の面積が容量値を規定するため、位置ずれが生じると容量値の変動またはバラツキを生じ、保持容量の容量値が画素領域毎あるいは表示パネルごとに変動するという事態を招く場合がある。

そこで、本実施形態では、保持容量Ｃが形成される重複領域付近において、保持容量Ｃの形成に関係する複数の層、すなわちソースメタル層１０６、ゲートメタル層１０４および半導体層１０２のうち、より下層側に配置される層（ソースメタル層に対してはゲートメタル層および半導体層）の占める領域または幅が、より上層側に配置される層（半導体層に対してはゲートメタル層およびソースメタル層、ゲートメタル層に対してはソースメタル層）の占める領域または幅より大きく形成されている。

この特徴は図２の平面図からも読み取れるが、具体的に図６に示したＡ－Ａ断面図を参照して説明する。図６に示すように、ソースメタル層１０６の幅をｄ１、ゲートメタル層１０４の幅をｄ２、半導体層１０２の幅をｄ３とした場合に、ｄ３＞ｄ２＞ｄ１という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ３－ｄ２、ｄ２－ｄ１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（ゲートメタル層の離間形成）

ＥＬ素子は共通電極を備えており、表示領域の全面にその共通電極が形成される。本実施形態でも発光部ＯＬＥＤのための共通電極として陰極１３（陰

極層１０９）が、図１に示すように表示領域１１の全体に形成されている。ところが、共通電極が全面に形成されていると、トランジスタのゲートに接続されるゲートメタル層との間で容量が生じるという問題があった。このような寄生容量が生じると、トランジスタの動作の遅れを生じ、設計した通りのタイミングでの動作が保証できなくなる。

そこで本実施形態では、ゲートメタル層によって形成される配線パターンが、発光層の電極の少なくとも一方から所定の距離以上離間して配置されるように配慮した。インピーダンスが低く問題となるのは、共通電極である陰極層１０９とゲートメタル層１０４との距離である。また、陰極層１０９は、発光部ＯＬＥＤにおいて下層側との距離が小さくなるため、発光部周辺におけるゲートメタル層との距離が問題となる。このため、本実施形態では、図７（図２におけるＣ－Ｃ断面に相当）に示すように、発光部付近において、陰極層１０９とゲートメタル層１０４との深さ方向の距離ｄ１と平面上の距離ｄ２が共に所定の距離以上になるようパターン形成した。

ここで所定の距離は、ゲートメタル層の面積や介在する層の誘電率などによって種々変化するので一概に言えないが、画素領域の面積などから許容される範囲で、できるだけ離してパターニングするのが好ましい。

データ信号や走査信号など電気信号を供給するための配線は寄生容量による動作遅延を考慮してレイアウトを考えなければならない。本実施形態では、データ線Ｉｄａｔａ及び走査線Ｖｓｅｌは共通電極である陰極１０９から、より離れているゲートメタル層１０４を利用しており、データ線Ｉｄａｔａと走査線Ｖｓｅｌとの交差部ではデータ線Ｉｄａｔａはソースメタル層１０６に形成されているが、データ線Ｉｄａｔａの交差部以外の部分及び走査線Ｖｓｅｌはゲートメタル層１０４に形成されている。

データ線Ｉｄａｔａの関与する寄生容量をより低減する必要がある場合は、データ線Ｉｄａｔａの全部分を共通電極から最も離れた導電層に形成してもよい。本実施形態に対応させて説明するならば、データ線Ｉｄａｔａと走査線Ｖｓｅｌとの交差部では、走査線Ｖｓｅｌをソースメタル層１０６に形成し、データ線Ｉｄａｔａの全部分及び走査線Ｖｓｅｌの交差部以外の部分をゲートメタル層１０４に形成してもよい。

さらに走査線やデータ線などの信号線を共通電極や画素電極から離すためには、半導体層１０２と同一層に導電層を形成することも可能であり、さらにトランジスタの構成をいわゆるボトムゲートとすれば、半導体層より下層に導電層を設け、その導電層を利用して信号線を配線をすることも可能である。

（周辺回路の動作）

次に、本実施形態のＥＬ素子の周辺回路の動作を説明する。図５に、画素領域１０を構成する画素回路の一つあたりの回路図を示す。

１）本実施形態の回路は、データ信号として電流データを供給することによって動作する回路構成を有している。画素表示は、データ書き込み動作として、書き込み制御線Ｖsel を選択し、トランジスタＴ２およびＴ３をオン状態にすることから始まる。

２）トランジスタＴ２およびＴ３が導通状態になると、トランジスタＴ１が所定時間後に定常状態に達し、保持容量Ｃにデータ電流Ｃdata に応じた電荷が蓄積される。

３）そして発光動作として、書き込み制御線Ｖsel を非選択状態とし、トランジスタＴ２およびＴ３をオフにし、一旦データ電流Ｃdata の供給を停止後、発光制御線Ｖgp を選択する。この結果、トランジスタＴ４がオン状態となり、保持容量Ｃに記憶された電圧と電源電圧Ｖｄｄとの電位差Ｖgs に対応する電流がトランジスタＴ１およびＴ４経由で発光部ＯＬＥＤに供給され、発光層から光が射出される。

（周辺回路における電流維持性能の向上）

以下に、周辺回路における本実施形態の特徴を説明する。

従来、保持容量の充放電を制御する能動素子については特に考慮がされていなかった。微細化されたＦＥＴでは、ゲート電圧が閾値以下の場合、ドレイン電流がドレイン電圧にも依存するようになる。つまり、ソースーチャネルードレイン間の注入電流がゲート電圧に対して指数関数的に増加し、リーク電流が発生する。例えば、図５に示すトランジスタＴ２においてリーク電流が発生すると、保持容量Ｃの両端電圧Ｖgs が供給されたデータ信号に対応した値からずれてしまい、その電圧を制御電圧としてゲートに入力している

トランジスタＴ１のドレイン電流が変動する。この変動は、発光部ＯＬＥＤにおける輝度の変化となって現れるため、安定した輝度での発光が担保されなくなる。

そこで、本実施形態では、図１および図５に示すように、保持容量Ｃに直接接続される能動素子であるトランジスタＴ２を、多重制御端子型の能動素子、つまりマルチゲート型トランジスタとしている。このようなトランジスタでは、図５の矢印で示すように、事実上複数トランジスタが直列接続されたのと等価な素子となり、リーク電流が大幅に制限される。供給されたデータ信号に相応した電流量が正確に発光部ＯＬＥＤに供給される。

ここで、トランジスタＴ２をマルチゲート型に代えて、または併用してＬＤＤ、ＧＤＤ、ＤＤＤ構造のトランジスタとすることも可能である。このような構造を適用することにより、漏れ電流を減少させることができるとともに、ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限し、素子の信頼性を向上させることができる。

この実施形態では、制御信号の極性等を考慮し、トランジスタＴ１とトランジスタＴ２は互いに逆極性、つまり、トランジスタＴ１はＰ型ＦＥＴ、トランジスタＴ２からＴ４はＮ型ＦＥＴで構成されている。ただし、Ｐ型を用いるかＮ型を用いるかは、適用しようとする信号の極性等に応じて任意に変更可能であり限定はされない。

また、各素子の配置も図５に限定されるものではない。例えば、保持容量やトランジスタＴ１と発光部ＯＬＥＤの電位関係を逆転することもできる。この場合、発光部の共通電極を陽極とし、各トランジスタの極性（Ｎ型またはＰ型の別）を反転させることが好ましい。

（周辺回路のスペースの削減）

上述したように、表示装置では、輝度あるいは開口率を上げるため、周辺回路の占める領域をできるだけ小さくしたいという要請がある。このため、本実施形態では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを形成した。具体的には、図２に示すように、トランジスタＴ２、Ｔ'３、およびＴ４が同一のコンタクトホール、ｈ３で相互に接続されている。

このように、回路上共通接点あるいはコンタクトが多くなるようにレイアウトを最適化し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数が減少し、コンタクトホールのために使用される周辺回路の占有面積を減少させることができる。

[実施形態２]

図８に、本発明の実施形態２におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図９に、図８に示された切断面における層構造を説明する各断面図を示す。図９ＡはＡ－Ａ切断面、図９ＢはＢ－Ｂ切断面、図９ＣはＣ－Ｃ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

実施形態２のＥＬ素子の構成は、段差形状 Step を構成する親和性制御膜１１３の存在を除き、実施形態１のＥＬ素子と同様である。このため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。

以下に本実施形態の特徴を述べる。

（親和性制御層）

図９Ｃに示すように、実施形態２における発光部ＯＬＥＤは、親和性制御層１１３を、第２層間絶縁膜１０７とバンク層１０８との間に備えている。この親和性制御層１１３は、画素領域全体に形成する必要はないが、液体材料を用いて発光部ＯＬＥＤの形成する場合は、少なくとも発光部の境界付近に備えることが好ましい。親和性制御層１１３は、発光部の形成に用いられる液体材料と親和性がある必要がある。バンク層１０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層１１０の形成時に使用する液体材料に対し非親和性を示すように材料が選択されて、親和性制御層１１３の上に積層されている。このため親和性制御層１１３は、図８および図９Ｃに示すように、バンク層のなす壁面に対して発光部内側で階段形状 Stpp を形成している。

親和性制御層１１３の材料は、インクジェット方式により発光領域に充填する液体材料がどのような性質を備えているかに応じて決める。例えば、液体材料が水などの極性の高い液体を含むのであれば少なくとも液体材料と接触する部分あるいは表面は極性基を有することが親和性制御層として望まれる。逆に、液体材料が非極性の液体を含むのであれば、少なくとも液体材料と接触する部分あるいは表面は非極性基を有することが親和性制御層として望まれる。また、充填する液体材料の表面張力によっても親和性制御層の親和性の程度が決まる。

例えば、水に対して化学的には親和性の小さい材料を親和性制御層に使用したとしても液体材料が水より表面張力の小さい溶剤を多量に含んでいると、その液体材料は水より表面張力が小さくなり、当該親和性制御層は当該液体に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する液体材料によって種々に変更して適用することになる。

親和性制御層１１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、液体材料に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の方法によっても親和性の程度を調整することができる。

バンク層１０８は、親和性制御層１１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により液体材料が退けられ隣接する画素領域に液体材料が流れ込むことを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に液体材料がバンク層側へ引かれ凹状の膜となることを防止できるからである。

このように、本実施形態によれば、液体材料と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

このように、本実施形態によれば、液体材料と親和性のある親和性制御層を発光部の境界付近に備えたので、発光部を構成する正孔注入層や発光層など層の厚さの均一性が向上する。

なお、本実施形態では、親和性制御層１１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

その他の本実施形態２における利点は、実施形態１と同様であるため、その説明を省略する。

[実施形態３]

図１０に、実施形態３におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１１に、図１０に示された切断面における層構造を説明する各断面図を示す。図１１Ａは図１０のＡ－Ａ切断面、図１１Ｂは図１０のＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

実施形態３のＥＬ素子は、パターン形状において、実施形態１における画素領域１０の幅より画素領域２０の幅が小さくなっている。ただし、回路構成は実施形態１と同様であり（図５参照）、各層を構成する材料も実施形態１と同様であるため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。ただし、実施形態１におけるガラス基板１００、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９、陽極層１１０、正孔輸送層１１１、および発光層１１２の各層は、実施形態３において、ガラス基板２００、下地保護膜２０１、半導体層２０２、ゲート絶縁膜２０３、ゲートメタル層２０４、第１層間絶縁膜２０５、ソースメタル層２０６、第２層間絶縁膜２０７、バンク層２０８、陰極層２０９、陽極層２１０、正孔輸送層２１,１、および発光層２１２の各層それぞれを対応している。また、実施形態

１におけるトランジスタＴ１～Ｔ４は実施形態３におけるＴ１１～Ｔ１４に、実施形態１におけるコンタクトホールｈ１～ｈ３は実施形態３におけるコンタクトホールｈ１１～ｈ１３に、それぞれ対応している。

以下、本実施形態における配線パターン上の特徴について説明する。

（電源線下の保持容量）

実施形態１においては、保持容量Ｃを電源線Ｖddとデータ線Ｉdataとの間であって発光部の外側（図２における発光部の上部）に配置した。しかし本実施形態のように画素領域の面積が比較的小さい場合、すなわち画素密度が高い場合には、保持容量が占有する素子面積が十分とれないという事態が生ずる。

そこで本実施形態においては、第１の金属層（例えばソースメタル層２０６）または第２の層の少なくとも一方が電源配線パターンとなっている領域に保持容量Ｃが形成されている。具体的には、図１０に示すように、発光部ＯＬＥＤの横に配線されている電源線Ｖdd(ソースメタル層２０６)の下に、ゲートメタル層２０４を平行して積層させることにより、保持容量Ｃが形成されている。

この保持容量Ｃは、実施形態１において説明した保持容量と同様に、保持容量Ｃの形成に関係する複数の層間（例えば、ソースメタル層２０６、ゲートメタル層２０４、半導体層２０２）に重複領域を生じさせることにより保持容量Ｃが形成されており、保持容量Ｃが形成される重複領域付近において、複数の層のうちより下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。具体的には、図１１Ｂに示すように、ソースメタル層２０６の幅をｄ１１、ゲートメタル層２０４の幅をｄ１２、半導体層２０２の幅をｄ１３とした場合に、ｄ１３＞ｄ１２＞ｄ１１という関係が成立するようにしている。下層にいくほどパターン形状を大きくしていくのである。

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層を

パターン形成することである。本実施形態においても、差分ｄ１３－ｄ１２、ｄ１２－ｄ１１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（バンク層下の保持容量）

前述した保持容量は、隣接する前記発光部間を隔離するためのバンク層２０８の下に形成されていることが好ましい。すなわちバンク層は画素分離のために必要であるため、この領域の下に、電源線の配線領域と保持容量のための重複領域を重ね合わせることにより、周辺回路の占有面積を大幅に縮小し、十分な開口率を確保することができる。

（周辺回路のスペースの削減）

実施形態１と同様に、本実施形態２では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図１０に示すように、トランジスタＴ１２、Ｔ１３、およびＴ１４が同一のコンタクトホール、ｈ１３で相互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の占有面積を減少させることができる。

その他の特徴、例えば発光部の平面形状、ゲートメタル層の電極からの離間処理、周辺回路の動作、周辺回路の電流維持性能の向上などについては、実施形態１と同様であり、その説明を省略する。

[実施形態４]

図１２に、本発明の実施形態３におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１３に、図１２に示された切断面における層構造を説明する各断面図を示す。図１３Ａは図１２のＡ－Ａ切断面、図１３Ｂは図１２のＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態３と同様に、主要な半導体層２０２、

ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

実施形態４のＥＬ素子の構成は、段差形状 Step を構成する親和性制御膜２１３の存在を除き、実施形態３のＥＬ素子と同一である。このため、実施形態３と同一の要素については同一符号を図面に付すこととしその説明を省略する。

以下に本実施形態の特徴を述べる。

（親和性制御層）

図１３Ｂに示すように、実施形態４における発光部ＯＬＥＤは、親和性制御層２１３を、第２層間絶縁膜２０７とバンク層２０８との間に備えている。この親和性制御層２１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層２１３は、発光部の形成に用いられる液体材料と親和性がある必要がある。バンク層２０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層２１２または正孔注入層２１１の形成時に使用する液体材料に対し非親和性を示すように材料が選択されて、親和性制御層２１３の上に積層されている。このため親和性制御層２１３は、図１２および図１３Ｂに示すように、バンク層のなす壁面に対して発光部内側で階段形状 Step を形成している。

親和性制御層１１３の材料は、インクジェット方式により発光領域に充填する液体材料がどのような性質を備えているかに応じて決める。例えば、液体材料が水などの極性の高い液体を含むのであれば少なくとも液体材料と接触する部分あるいは表面は極性基を有することが親和性制御層として望まれる。逆に、液体材料が非極性の液体を含むのであれば、少なくとも液体材料と接触する部分あるいは表面は非極性基を有することが親和性制御層として望まれる。また、充填する液体材料の表面張力によっても親和性制御層の親和性の程度が決まる。

例えば、水に対して化学的には親和性の小さい材料を親和性制御層に使用したとしても液体材料が水より表面張力の小さい溶剤を多量に含んでいると、その液体材料は水より表面張力が小さくなり、当該親和性制御層は当該液体

に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する液体材料によって種々に変更して適用することになる。

親和性制御層２１３は、例えば、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、液体材料に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の方法によっても親和性の程度を調整することができる。

バンク層１０８は、親和性制御層１１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により液体材料が退けられ隣接する画素領域に液体材料が流れ込むことを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に液体材料がバンク層側へ引かれ凹状の膜となることを防止できるからである。

このように、本実施形態によれば、液体材料と親和性のある親和性制御層を発光部の境界付近に備えたので、発光部を構成する正孔注入層や発光層など層の厚さの均一性が向上する。

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、液体材料に対し非親和性を示すものとしたので、隣接画素領域との間でのショートを防止することができる。

なお、本実施形態では、親和性制御層２１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

その他の本実施形態４における利点は、実施形態１と同様であるため、その説明を省略する。

[実施形態５]

本実施形態は、上記実施形態で説明した電気光学素子であるＥＬ素子を有する電気光学装置である表示パネルおよびその表示パネルを備える電子機器に関する。

図１４に、本実施形態の表示パネル１の接続図を示す。表示パネル１は、図１に示したように、表示領域１１内に画素領域を配置して構成される。画素領域としては、実施形態１または２の画素領域１０または実施形態３または４の画素領域２０を適用可能である。ドライバ領域１４からは、発光制御線 Vgp および書き込み制御線Ｖsel を介して制御信号が各画素領域に供給されている。ドライバ領域１５からは、データ線 I data および電源線Ｖdd を介してデータ信号及び電源電圧が各画素領域に供給されている。

本実施形態の表示パネル１は、種々の電子機器に適用可能である。図１５に、本表示パネル１を適用可能な電子機器の例を挙げる。

図１５Ａは携帯電話への適用例であり、当該携帯電話３０は、アンテナ部３１、音声出力部３２、音声入力部３３、操作部３４、および本発明の表示パネル１を備えている。このように本発明の表示パネルは表示部として利用可能である。

図１５Ｂはビデオカメラへの適用例であり、当該ビデオカメラ４０は、受像部４１、操作部４２、音声入力部４３、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、ファインダーや表示部として利用可能である。

図１５Ｃは携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ５０は、カメラ部５１、操作部５２、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、表示部として利用可能である。

図１５Ｄはヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ６０は、バンド６１、光学系収納部６２および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

図１５Ｅはリア型プロジェクターへの適用例であり、当該プロジェクター7'0は、筐体７１に、光源７２、合成光学系７３、ミラー７４・７５ミラー、

スクリーン７６、および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

図１５Ｆはフロント型プロジェクターへの適用例であり、当該プロジェクター８０は、筐体８２に光学系８１および本発明の表示パネル１を備え、画像をスクリーン８３に表示可能になっている。このように本発明の表示パネルは画像表示源として利用可能である。

上記例に限らず本発明の電気光学装置は、アクティブマトリクス型の表示装置を適用可能なあらゆる電子機器に適用可能である。例えば、この他に、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳、電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

請求の範囲

1．　画素毎に設けられた電気光学素子に電流を供給するための周辺回路を前記電気光学素子に対応して備えるアクティブマトリクス基板であって、

各前記周辺回路は、

制御電圧を保持するための保持素子と、

前記保持素子に接続され、前記制御電圧に基づいた電流を前記電気光学素子に供給するための第１の能動素子と、

前記保持素子に接続され、前記保持素子の充放電を制御する第２の能動素子と、を備え、

前記第２の能動素子は、遮断時における漏れ電流防止構造を備えているアクティブマトリクス基板。

2．　前記第２の能動素子は、マルチゲート型の能動素子として構成されている請求項１に記載のアクティブマトリクス基板。

3．　少なくとも前記第２の能動素子は、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる組から選択される一の構造を備えるトランジスタである請求項１に記載のアクティブマトリクス基板。

4．　複数のデータ線と複数の走査線との交差部に対応して配置された複数の単位回路を備えたアクティブマトリクス基板であって、

前記複数の単位回路の各々は、

第１の制御用端子、第１の端子、及び第２の端子を備えた第１のトランジスタと、

前記第１の制御用端子に接続され、第１の電極及び第２の電極を備えた保持素子と、

第３の端子、第４の端子、及び第２の制御用端子を備えた第２のトランジスタであって、前記第３の端子及び前記第４の端子はそれぞれ前記第１の端子及び前記第１の電極に接続された第２のトランジスタと、を備え、

前記第２のトランジスタはマルチゲート構造を有していること、
を特徴とするアクティブマトリクス基板。

５．　複数のデータ線と複数の走査線との交差部に対応して配置された複数の単位回路を備えたアクティブマトリクス基板であって、

前記複数の単位回路の各々は、

第１の制御用端子、第１の端子、及び第２の端子を備えた第１のトランジスタと、

前記第１の制御用端子に接続され、第１の電極及び第２の電極を備えた保持素子と、

第３の端子、第４の端子、及び第２の制御用端子を備えた第２のトランジスタであって、前記第３の端子及び前記第４の端子はそれぞれ前記第１の端子及び前記第１の電極に接続された第２のトランジスタと、を備え、

前記第２のトランジスタは、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる群から選択される一の構造を備えるトランジスタであること、
を特徴とするアクティブマトリクス基板。

６．　請求項４または５に記載のアクティブマトリクス基板において、

さらに、第５の端子、第６の端子、及び第３の制御用端子を備えた第３のトランジスタを備え、

前記第３の制御用端子は前記複数の走査線のうちの一つの走査線に接続され、

前記第５の端子は前記複数のデータ線のうちの一つのデータ線に接続されていること、
を特徴とするアクティブマトリクス基板。

７．　請求項６に記載のアクティブマトリクス基板において、

前記第６の端子は、前記第３の端子及び前記第１の端子に接続されていること、
を特徴とするアクティブマトリクス基板。

8．　請求項４乃至７のいずれかに記載のアクティブマトリクス基板において、

前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、

前記複数の層は、

前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、

前記第２の制御用端子が形成されたゲートメタル層と、を含み、

前記ゲートメタル層には、前記複数の走査線のうち少なくとも１つの走査線の少なくとも１部分が形成されていること、

を特徴とするアクティブマトリクス基板。

9．　請求項４乃至７のいずれかに記載のアクティブマトリクス基板において、

前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、

前記複数の層は、

前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、

前記第２の制御用端子が形成されたゲートメタル層と、を含み、

前記ゲートメタル層には、前記複数のデータ線のうち少なくとも１つのデータ線の少なくとも１部分が形成されていること、

を特徴とするアクティブマトリクス基板。

１０．請求項４乃至７のいずれかに記載のアクティブマトリクス基板において、

前記アクティブマトリクス基板を複数の層を備えた積層構造を有しており、

前記複数の層は、

前記第１のトランジスタ及び前記第２のトランジスタを構成する半導体膜が形成されている半導体層と、

前記第２の制御用端子が形成されたゲートメタル層と、

前記第２のトランジスタのソースまたはドレインに接続されたソース電極またはドレイン電極が形成されたソースメタル層と、を含み、

前記複数のデータ線のうち少なくとも１つのデータ線の少なくとも１部分は、前記ソースメタル層及び前記ゲートメタル層のうち、より前記半導体層に近い層に形成されていること、

を特徴とするアクティブマトリクス基板。

１１．トランジスタを備えた単位回路と走査線とデータ線とを備え、複数の層からなる積層構造を有したアクティブマトリクス基板であって、

前記複数の層は、

トランジスタを構成する半導体膜が形成されている半導体層と、

前記トランジスタのゲート端子が形成されたゲートメタル層と、を備え、

前記走査線及び前記データ線のうち少なくとも一方の少なくとも１部分は前記ゲートメタル層に形成されていること、

を特徴とするアクティブマトリクス基板。

１２．トランジスタを備えた単位回路と走査線とデータ線とを備え、複数の層からなる積層構造を有したアクティブマトリクス基板であって、

前記複数の層は、

トランジスタを構成する半導体膜が形成されている半導体層と、

前記トランジスタのゲート端子が形成されたゲートメタル層と、

前記トランジスタのソースまたはドレインに接続されるソース電極またはドレイン電極が形成されたソースメタル層と、を備え、

前記走査線及び前記データ線のうち少なくとも一方の少なくとも１部分は前記ゲートメタル層及び前記ソースメタル層のうち前記半導体層に近い層に形成されていること、

を特徴とするアクティブマトリクス基板。

１３．請求項１１または１２に記載のアクティブマトリクス基板において、

単位回路は、

第１の制御用端子、第１の端子、及び第２の端子を備えた第１のトランジスタと、

前記第１の制御用端子に接続され、第１の電極及び第２の電極を備えた保持素子と、

第３の端子、第４の端子、及び第２の制御用端子を備えた第２のトランジスタであって、前記第３の端子及び前記第４の端子はそれぞれ前記第１の端子及び前記第１の電極に接続された第２のトランジスタと、を備え、

前記第２のトランジスタは、ＬＤＤ構造、ＧＤＤ構造、ＤＤＤ構造、及びマルチゲート構造からなる群から選択される少なくとも一の構造を有していること、

を特徴とするアクティブマトリクス基板。

１４．請求項１乃至１３のいずれか一項に記載のアクティブマトリクス基板と、電気光学素子と、を備えた電気光学装置。

１５．画素毎に設けられた電気光学素子に電流を供給するための周辺回路を前記電気光学素子に対応して備える電気光学装置であって、

各前記周辺回路は、

発光期間において前記電気光学素子に電流を供給するための発光制御能動素子と、

制御電圧を保持するための保持素子と、

ゲート端子が前記保持素子に接続され当該ゲート端子に印加された前記制御電圧に基づいた電流を前記発光制御能動素子経由で前記電気光学素子に供給するための第１の能動素子と、

選択期間において前記第１の能動素子経由でデータ電流を流す電流制御能動素子と、

前記電流制御能動素子と前記保持素子との間に接続され、前記選択期間において前記保持素子に充電させて前記制御電圧を記憶させる第２の能動素子と、を備え、

前記第２の能動素子は、遮断時における漏れ電流防止構造を備えている電気光学装置。

１６．電気光学素子と、

前記電気光学素子を駆動する周辺回路と、を備え、

前記電気光学素子は、当該電気光学素子の境界が少なくとも所定の曲率以上を有するように形成されており、

当該所定の曲率を有する境界と当該電気光学素子に外接する多角形の境界とで囲まれる領域に、少なくとも前記周辺回路の一部が形成されている電気光学装置。

１７．前記所定の曲率を有する境界部分が複数形成されている請求項１６に記載の電気光学装置。

１８．複数形成されている前記境界部分は、前記電気光学素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されている請求項１６または１７に記載の電気光学装置。

１９．発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、

前記発光部の面積は、前記画素電極の面積より小であり、

前記発光部の形状と前記画素電極の形状とが異なっていること、

を特徴とする電気光学装置。

２０．発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、

前記発光部の面積は、前記画素電極の面積より小であり、

前記発光部の形状は曲率を有する形状であり、前記画素電極の形状は多角形の形状であること、
を特徴とする電気光学装置。

２１．発光部と、前記発光部に供給する電流の制御を画素電極を介して行う周辺回路と、を備え、
前記発光部の面積は、前記画素電極の面積より小であり、
前記発光部はｎ個（ｎは４以上の整数）の角を有する多角形形状を有しており、
前記画素電極はｍ個（ｍは３以上の整数）の角を有する多角形形状を有しており、
ｎ＞ｍを関係を有すること、
を特徴とする電気光学装置。

２２．請求項１９乃至２１のいずれかに記載の電気光学装置において、
前記発光部の全領域は前記画素電極上に形成されており、
前記発光部の形成されていない、前記画素電極の部分に前記周辺回路と前記画素電極との接続のためのコンタクト領域が設けられていること、
を特徴とする電気光学装置。

２３．電気光学素子と、
前記電気光学素子に供給する電流を規定する、電極を含む複数層により構成され保持容量と、
前記保持容量に保持された電荷量に応じた電流を前記電気光学素子に供給する能動素子と、を備え、
前記保持容量を構成する第１の電極は、前記電気光学素子に電流を供給する電源線を形成する金属層の一部をパターニングして形成されている電気光学装置。

２４．前記保持容量を構成する第２の電極は、前記能動素子の制御端子を形

成する金属層の一部をパターニングして形成されている請求項２３に記載の電気光学装置。

２５．　前記第１の電極は、前記電源線の一部であり、前記電源線の一部に前記能動素子の制御端子を形成する金属層の一部を重ねてパターニングして前記第２の電極を形成している請求項２３に記載の電気光学装置。

２６．　前記第１の電極及び前記第２の電極の下方に半導体層を備えている請求項２３に記載の電気光学装置。

２７．　前記保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている請求項２５に記載の電気光学装置。

２８．　前記より下層側に配置される層の占める領域は、前記より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、当該より上層側に配置される層の領域が当該より下層側に配置される層の領域内に収まるような形状にパターン形成されている請求項２７に記載の電気光学装置。

２９．　電極を含む複数層から構成され当該電極間に電界を印加することによって発光する電気光学素子に対し、保持容量に記録された電圧に従った電流を能動素子により供給可能に構成された電気光学装置であって、

電源線を構成する第１の金属層と、

前記能動素子の制御端子を一部に含んでパターン形成される第２の金属層と、を備え、

前記保持容量を構成する一方の電極は、前記第１の金属層の一部をパターニングして形成されている電気光学装置。

３０．　前記保持容量を構成する他方の電極は、前記第２の金属層の一部をパ

ターニングして形成されている請求項２９に記載の電気光学装置。

３１．　前記保持容量を構成する一方の電極は、前記電源線の一部であり、当該電源線の一部に前記第２の金属層の一部を重ねてパターニングして前記他方の電極を形成している請求項２９に記載の電気光学装置。

３２．　前記保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている請求項２９に記載の電気光学装置。

３３．　前記より下層側に配置される層の占める領域は、前記より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、当該上層側に配置される層の領域が当該下層側に配置される層の領域内に収まるような形状にパターン形成されている請求項３２に記載の電気光学装置。

３４．　データ線と走査線との交差部に対応して配置された画素電極と路を備えたアクティブマトリクス基板であって、

前記画素電極は少なくとも１つのトランジスタを介して電源線に接続され、

前記少なくとも１つのトランジスタのゲートに接続された保持素子が設けられ、

前記保持素子を構成する第１の電極は、前記電源線に接続されていること、

を特徴とするアクティブマトリクス基板。

３５．　データ線と走査線との交差部に対応して配置された画素電極と路を備えたアクティブマトリクス基板であって、

前記画素電極は少なくとも１つのトランジスタを介して電源線に接続され、

前記少なくとも１つのトランジスタのゲートに接続された保持素子が設けられ、

前記保持素子を構成する第１の電極は、前記電源線の一部であること、を特徴とするアクティブマトリクス基板。

３６．請求項３４または請求項３５に記載のアクティブマトリクス基板において、

前記保持素子を構成する第２の電極は、前記少なくとも１つのトランジスタのゲートであること、

を特徴とするアクティブマトリクス基板。

３７．走査線とデータ線との交差部に対応して、トランジスタを備えた単位回路とを備えたアクティブマトリクス基板であって、

前記トランジスタを構成する半導体膜は半導体層に形成され、

前記走査線と前記データ線の交差部においては前記走査線及び前記データ線のいずれかが第１の導電層に形成され、

前記交差部以外の部分の前記走査線と前記データ線とは第２の導電層に形成されていること、

を特徴とするアクティブマトリクス基板。

３８．請求項３７に記載のアクティブマトリクス基板において、

前記第２の導電層は前記第１の導電層と前記半導体層との間に配置されていること、

を特徴とするアクティブマトリクス基板。

３９．走査線とデータ線との交差部に対応して電気光学素子を備えた電気光学装置であって、

前記電気光学素子に電力を供給する一対の電極を含み、

前記走査線と前記データ線の交差部においては前記走査線及び前記データ線のいずれかが第１の導電層に形成され、

前記交差部以外の部分の前記走査線と前記データ線とは第２の導電層に形成され、

前記第２の導電層は前記第１の導電層より前記一対の電極のいずれか一方から離間して配置されていること、

を特徴とする電気光学装置。

S0279RF49US

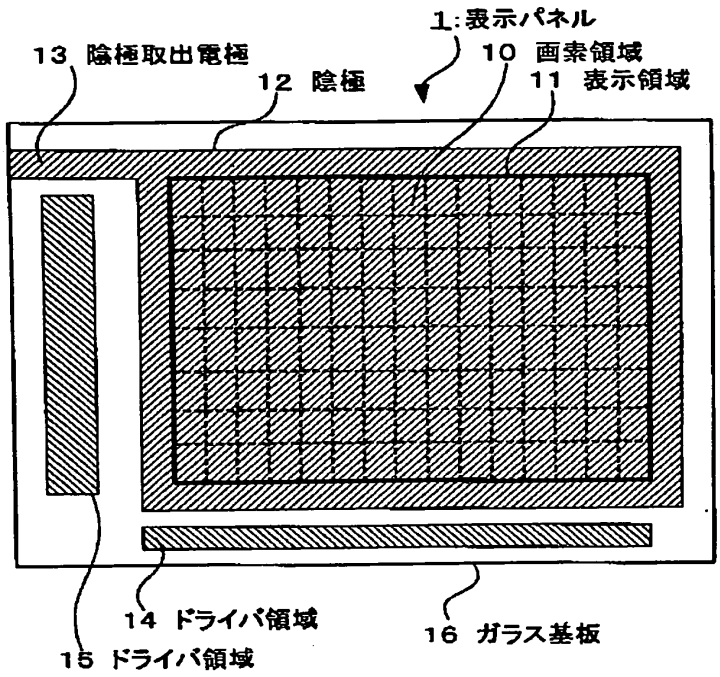
47

要約書

エレクトロルミネッセンス素子の輝度の低下を生じさせることがなく、かつ、占有面積の少ない好適な周辺回路を備えたアクティブマトリクス基板を提供する。画素毎に設けられたＥＬ素子に電流を供給するための周辺回路をＥＬ素子に対応して備えるアクティブマトリクス基板であって、制御電圧を保持するための保持素子（Ｃ）、保持素子（Ｃ）に接続され制御電圧に基づいた電流を発光部（ＯＬＥＤ）に供給するための第１の能動素子（Ｔ１）、保持素子（Ｃ）に接続され保持素子の充放電を制御する第２の能動素子（Ｔ２）を備え、特に、第２の能動素子（Ｔ２）は、多重制御端子型の能動素子として構成されている。このためプログラムされた電流が変動することがない。

S0279RF49

図1



S0279RF49

図2

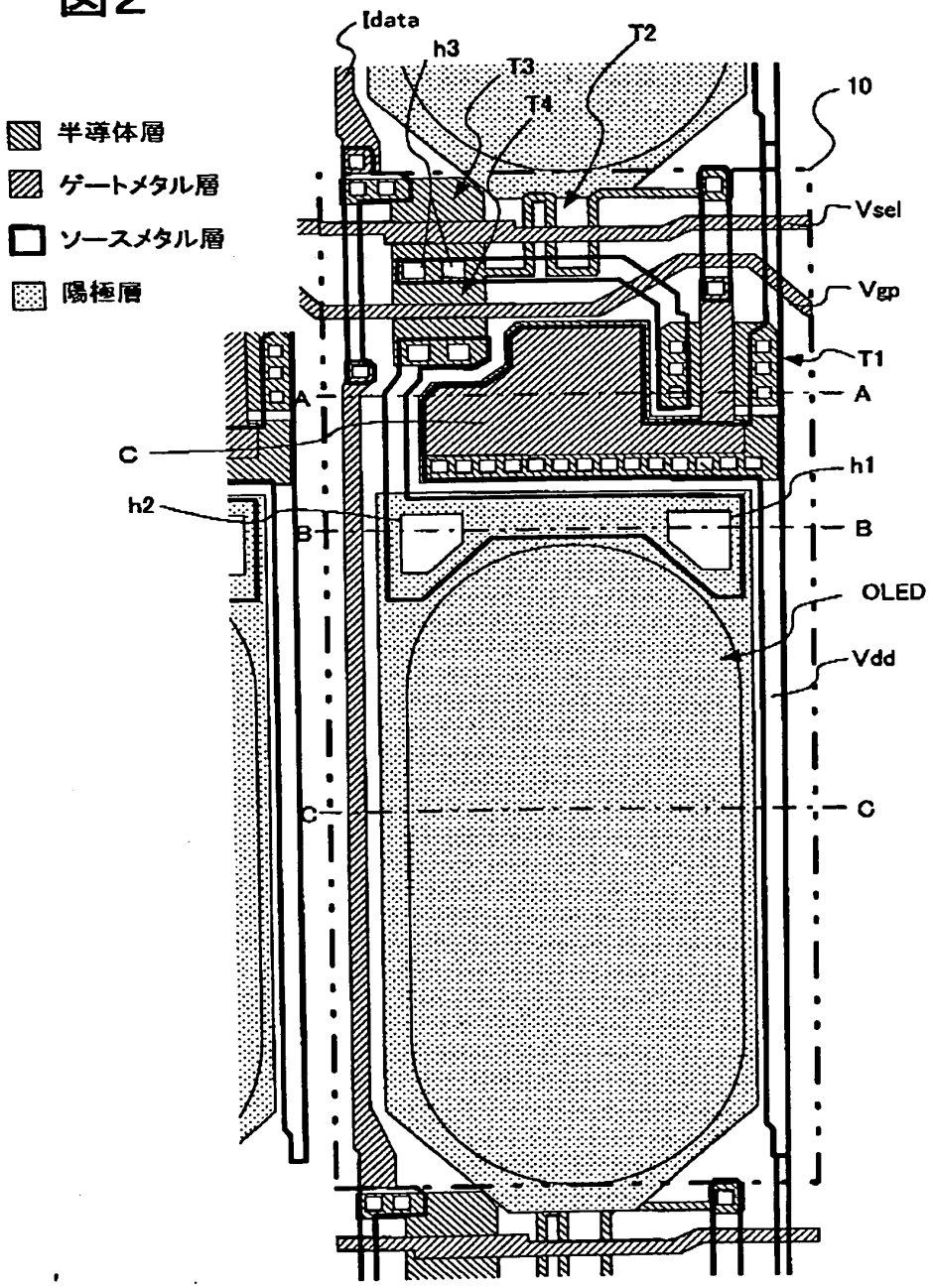


図3A

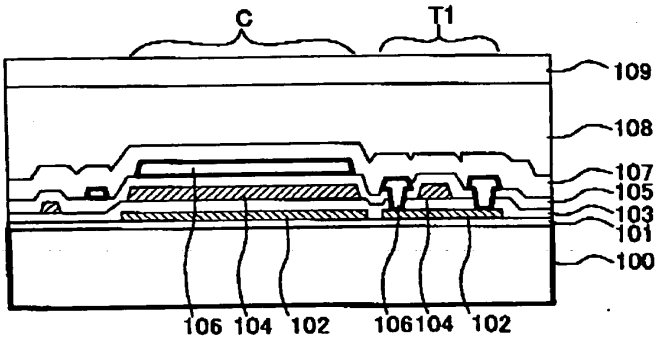

C
T1
109
108
107
105
103
101
100
106
104
102
106
104
102

図3B

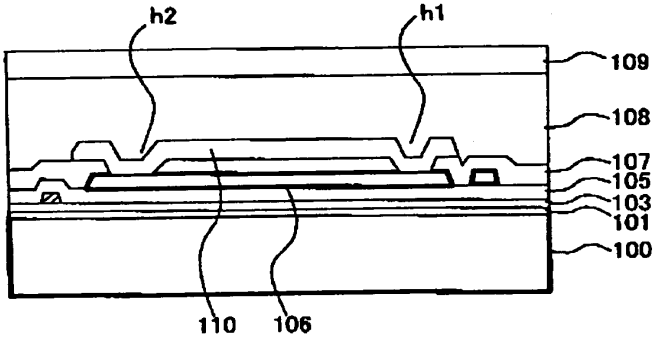
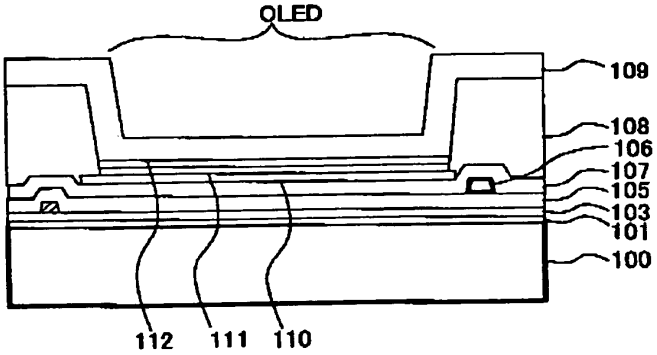

h2
h1
109
108
107
105
103
101
100
110
106

図3C


OLED
109
108
106
107
105
103
101
100
112
111
110

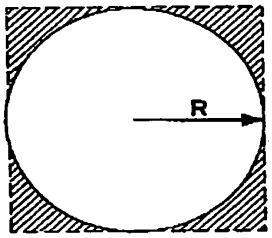


図4A

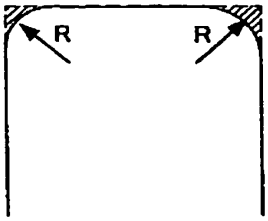


図4B

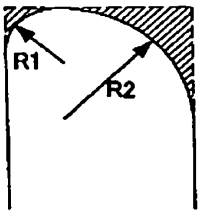
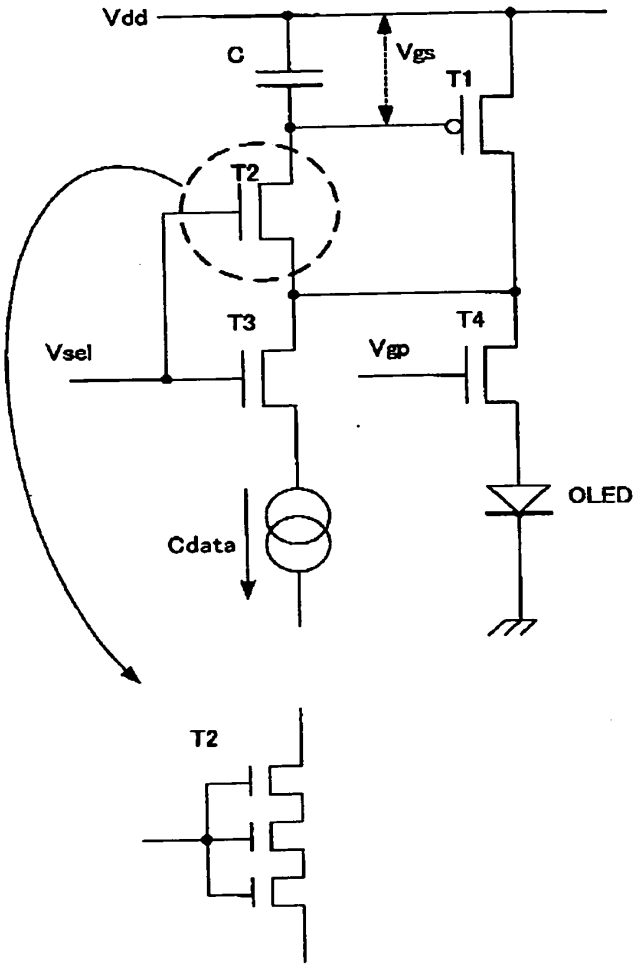


図4C

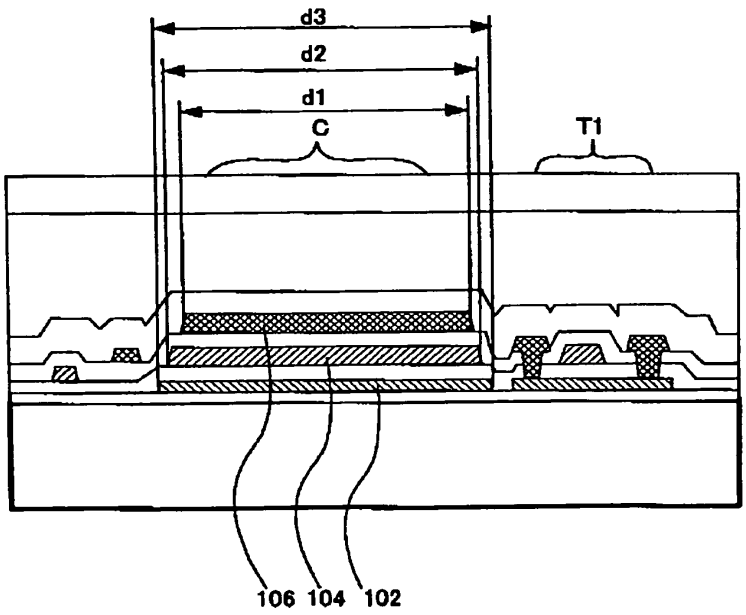
S0279RF49

図5



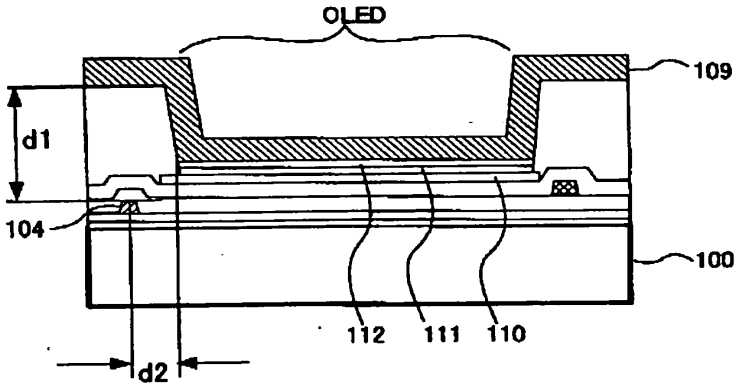
S0279RF49

図6



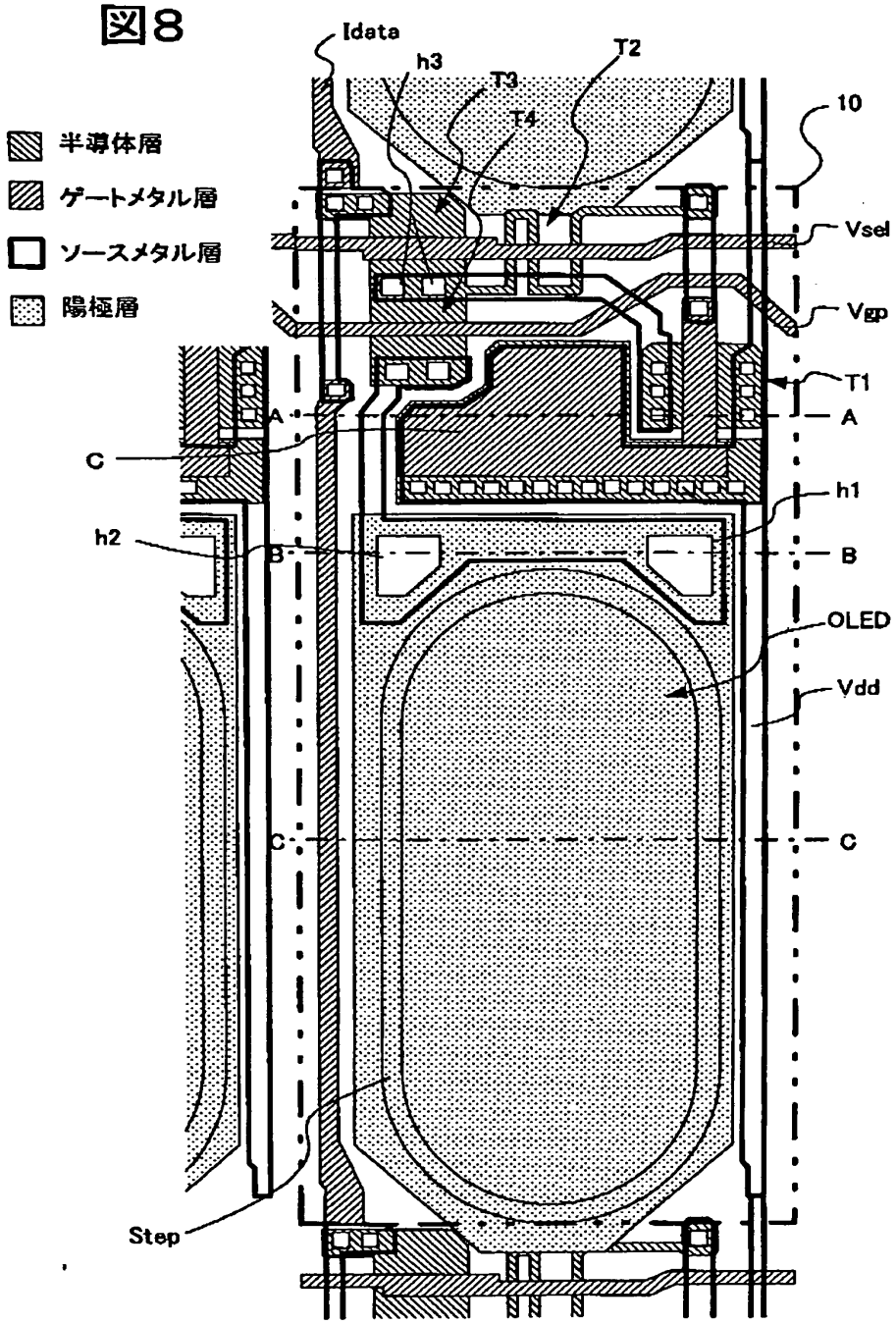
S0279RF49

図7



S0279RF49

図8



S0279RF49

図9A

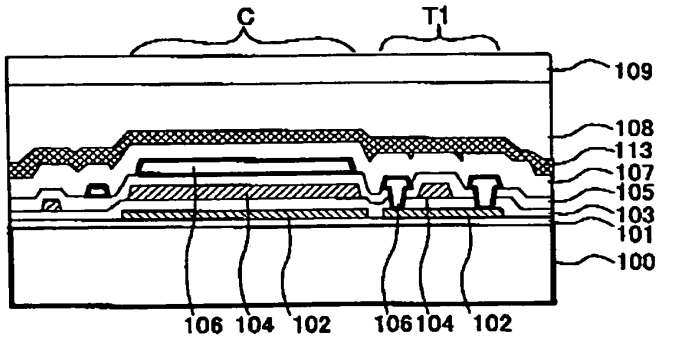


図9B

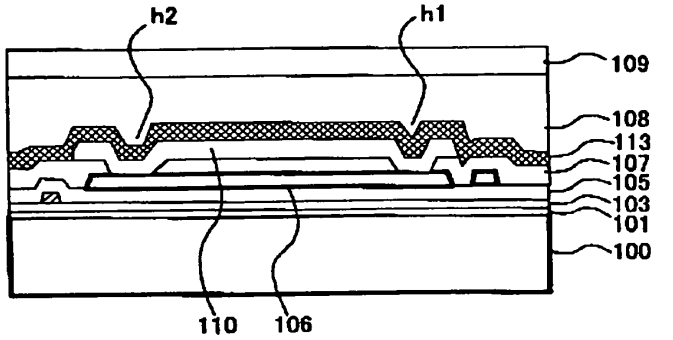
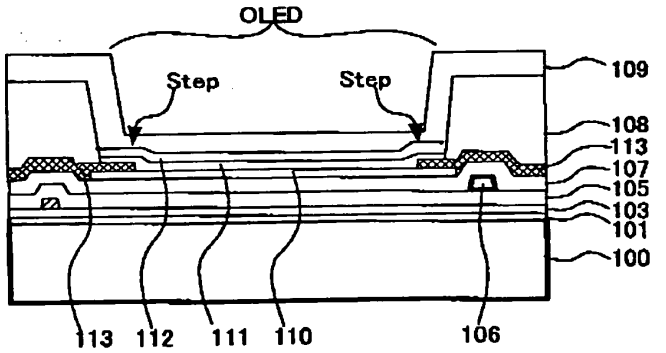
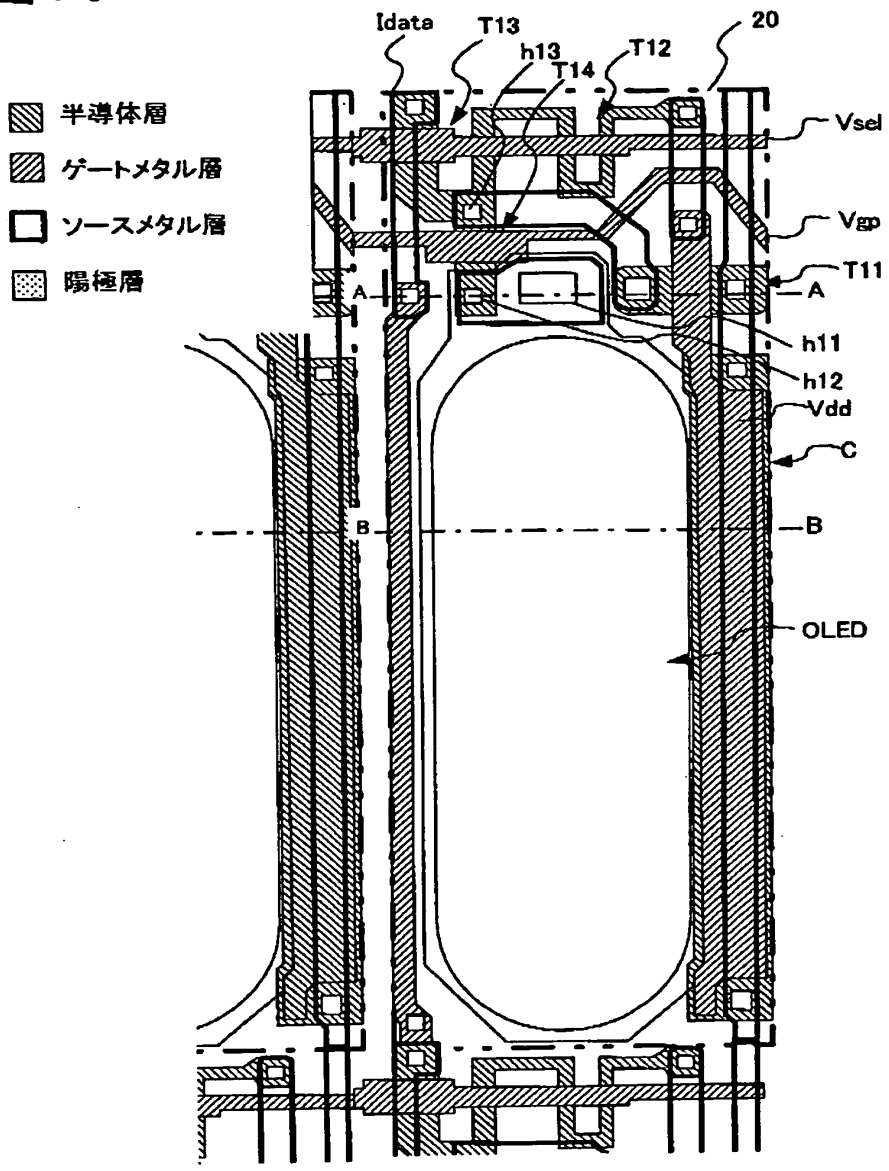


図9C



S0279RF49

図10



S0279RF49

図11A

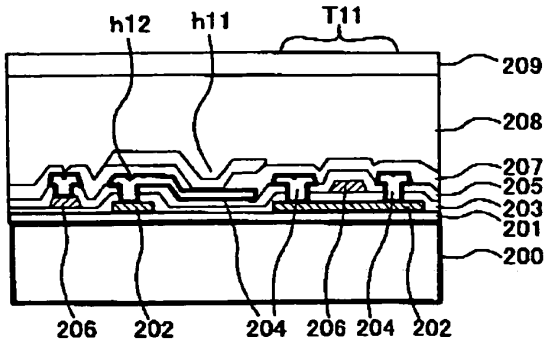
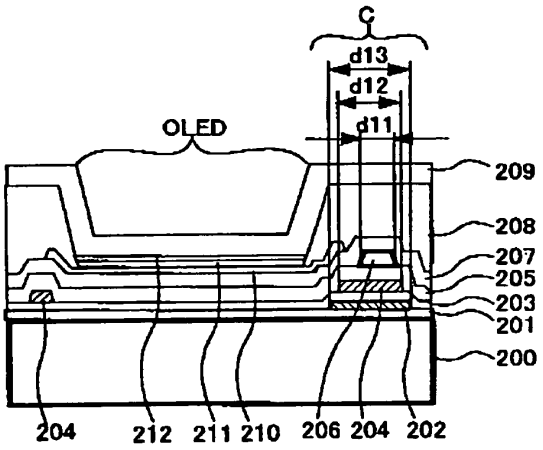


図11B



S0279RF49

図12

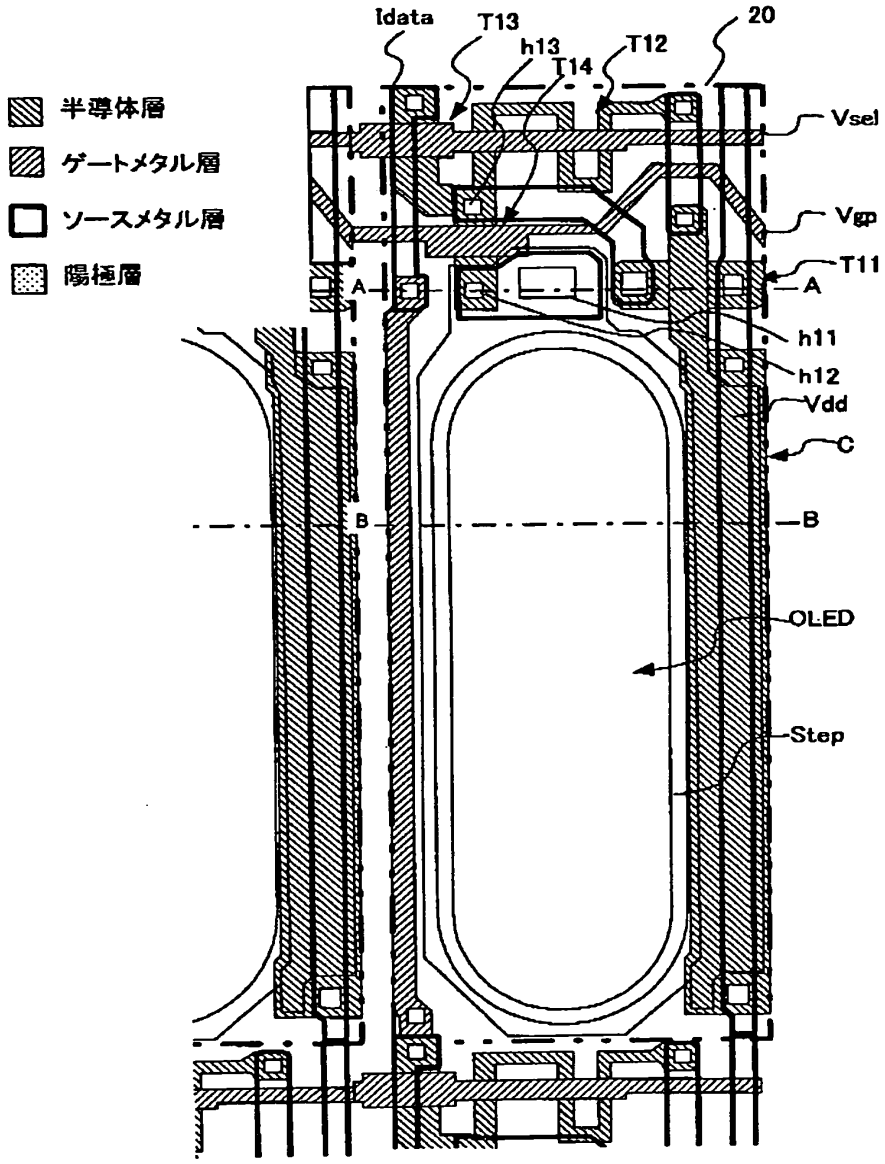


図13A

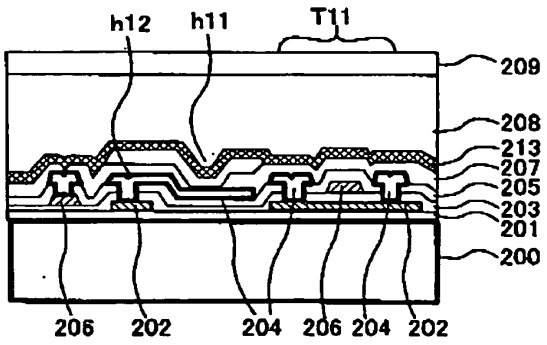

h12
h11
T11
209
208
213
207
205
203
201
200
206
202
204
206
204
202

図13B

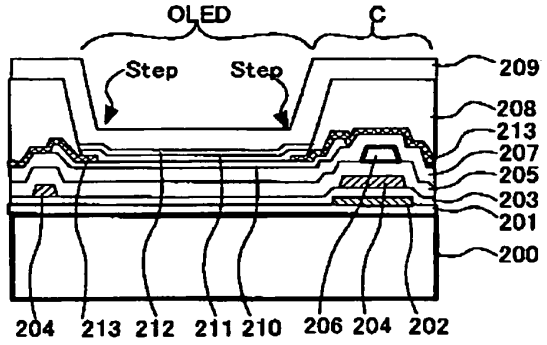
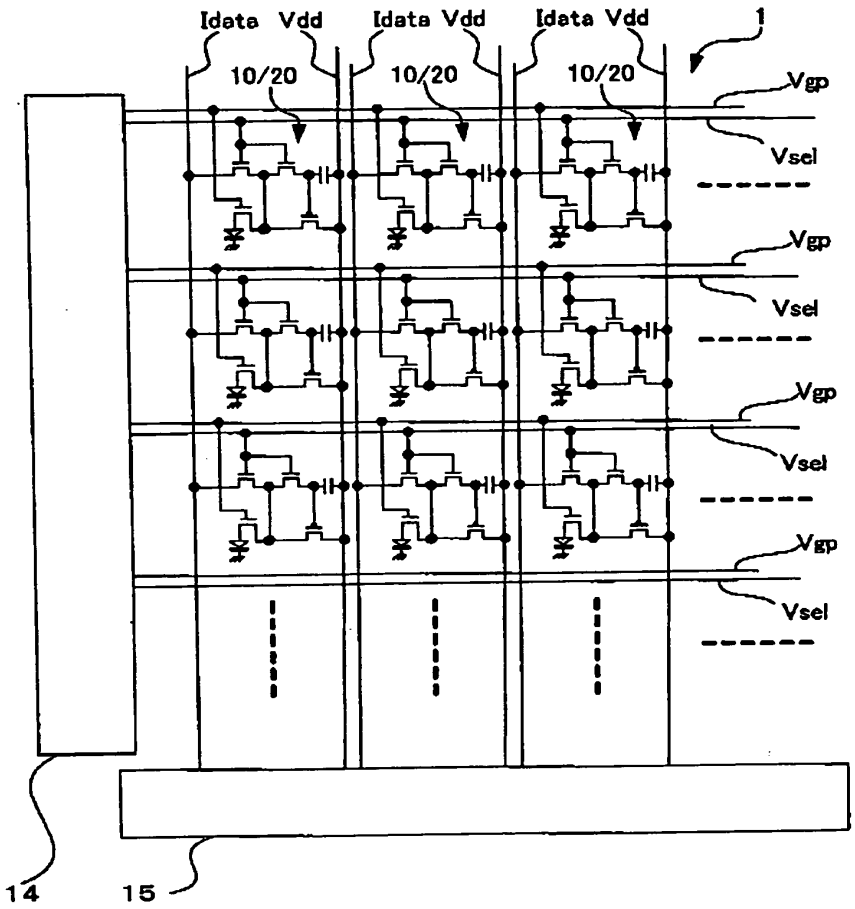

OLED
C
Step
Step
209
208
213
207
205
203
201
200
204
213
212
211
210
206
204
202

図14


Idata Vdd
Idata Vdd
Idata Vdd
1
10/20
10/20
10/20
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
14
15

S0279RF49

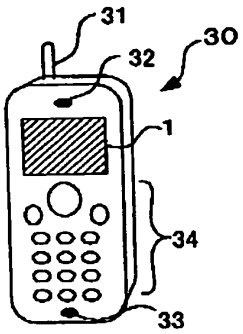


図15A

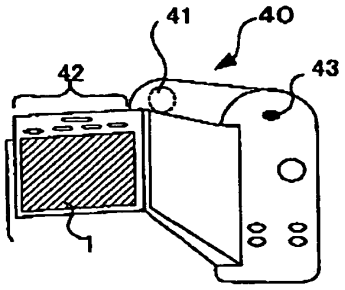


図15B

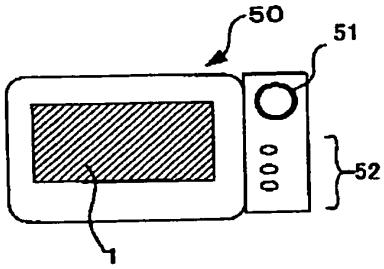


図15C

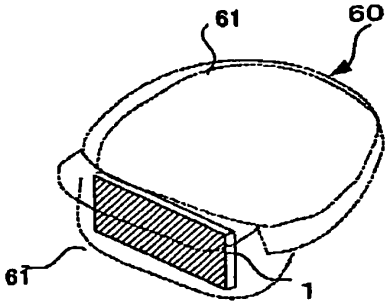


図15D

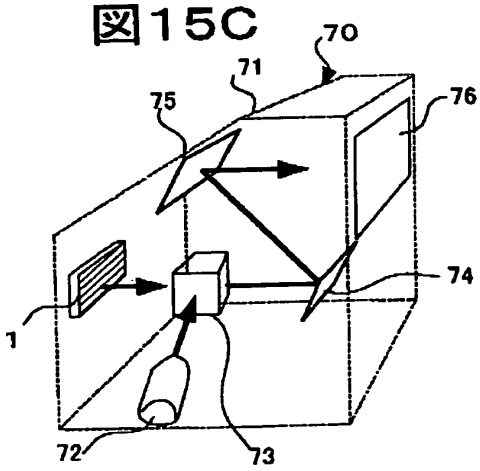


図15E

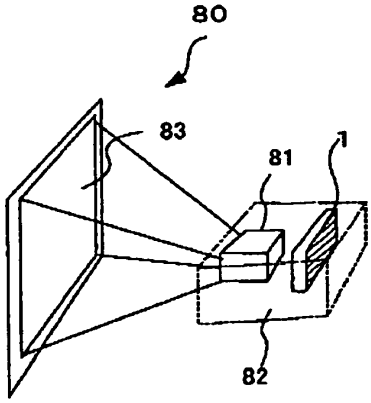


図15F

PATENT APPLICATION SERIAL NO. _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

11/21/2002 GWORDOF1 00000026 10299861

01 FC:1001 740.00 OP
02 FC:1202 342.00 OP

PTO-1556
(5/87)

*U.S. GPO: 2000-468-987/39595

5

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2001

Application or Docket Number

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS		
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	39 minus 20=	* 19
INDEPENDENT CLAIMS	16 minus 3 =	* 13
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	370.00	OR	BASIC FEE	740.00
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL		OR	TOTAL	

CLAIMS AS AMENDED - PART II

AMENDMENT A	(Column 1)		(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDI-TIONAL FEE		RATE	ADDI-TIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

Best Available Copy

AMENDMENT B	(Column 1)		(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDI-TIONAL FEE		RATE	ADDI-TIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C	(Column 1)		(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDI-TIONAL FEE		RATE	ADDI-TIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
***If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2001

Application or Docket Number: 10,299,861

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS		
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	39 minus 20=	* 19
INDEPENDENT CLAIMS	16 minus 3 =	* 13
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	370.00	OR	BASIC FEE	740.00
X$ 9=		OR	X$18=	342
X42=		OR	X84=	1092
+140=		OR	+280=	
TOTAL		OR	TOTAL	2174

CLAIMS AS AMENDED - PART II

AMENDMENT A	(Column 1)		(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

Best Available Copy

AMENDMENT B	(Column 1)		(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C	(Column 1)		(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
***If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

5

CLAIMS ONLY

SERIAL NO.	FILING DATE
APPLICANT(S)	

CLAIMS

	AS FILED		AFTER 1st AMENDMENT		AFTER 2nd AMENDMENT	
	IND.	DEP.	IND.	DEP.	IND.	DEP.
1	1					
2		1				
3		1				
4	1					
5	1					
6		1				
7		1				
8		1				
9		1				
10		1				
11	1					
12	1					
13		1				
14		1				
15	1					
16	1					
17		1				
18		1				
19	1					
20	1					
21	1					
22		1				
23	1					
24		1				
25		1				
26		1				
27		1				
28		1				
29	1					
30		1				
31		1				
32		1				
33		1				
34	1					
35	1					
36		1				
37	1					
38		1				
39	1					
40						
41						
42						
43						
44						
45						
46						
47						
48						
49						
50						
TOTAL IND.	11					
TOTAL DEP.	23					
TOTAL CLAIMS	34					

	*		*		*	
	IND.	DEP.	IND.	DEP.	IND.	DEP.
51						
52						
53						
54						
55						
56						
57						
58						
59						
60						
61						
62						
63						
64						
65						
66						
67						
68						
69						
70						
71						
72						
73						
74						
75						
76						
77						
78						
79						
80						
81						
82						
83						
84						
85						
86						
87						
88						
89						
90						
91						
92						
93						
94						
95						
96						
97						
98						
99						
100						
TOTAL IND.						
TOTAL DEP.						
TOTAL CLAIMS						

*MAY BE USED FOR ADDITIONAL CLAIMS OR ADMENDMENTS

FORM PTO-2022 (1-98)

U.S.DEPARTMENT OF COMMERCE
Patent and Trademark Office

*U.S. Government Printing Office: 1998 - 433-214/70303

Best Available Copy

OLIFF & BERRIDGE, PLC
ATTORNEYS AT LAW

Application Data Sheet

Application Information

Application Type::	Regular
Subject Matter::	Utility
CD-ROM or CD-R:	None
Title::	ACTIVE MATRIX SUBSTRATE, ELECTRIC OPTICAL APPARATUS, AND ELECTRONIC DEVICE
Attorney Docket Number::	114251
Total Drawing Sheets::	15
Small Entity::	No

Applicant Information

Applicant Authority type::	Inventor
Primary Citizenship Country::	Japan
Status::	Full Capacity
Given Name::	Yojiro
Family Name::	MATSUEDA
City of Residence::	Suwa-shi
Country of Residence::	Japan

Correspondence Information

Correspondence Customer Number::	25944

Foreign Priority Information			
Country::	Application Number::	Filing Date::	Priority Claimed::
Japan	2001-356007	11/21/2001	Yes
Country::	Application Number::	Filing Date::	Priority Claimed::
Japan	2001-371403	12/05/2001	Yes
Country::	Application Number::	Filing Date::	Priority Claimed::
Japan	2001-371410	12/05/2001	Yes
Assignee Information			
Assignee Name::		SEIKO EPSON CORPORATION	
Street of mailing address::		4-1, Nishishinjuku 2-chome, Shinjuku-ku	
City of mailing address::		Tokyo	
Country of mailing address::		Japan	
Postal or Zip Code of mailing address::		163-0811	

UNITED STATES
PATENT AND
TRADEMARK OFFICE

Commissioner for Patents
Washington, DC 20231
www.uspto.gov

APPLICATION NUMBER	FILING/RECEIPT DATE	FIRST NAMED APPLICANT	ATTORNEY DOCKET NUMBER
10/299,861	11/20/2002	Yojiro Matsueda	114251

CONFIRMATION NO. 5800

25944
OLIFF & BERRIDGE, PLC
P.O. BOX 19928
ALEXANDRIA, VA 22320

FORMALITIES LETTER

OC000000009498043

Date Mailed: 02/10/2003

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

FILED UNDER 37 CFR 1.53(b)

Filing Date Granted

Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items and pay any fees required below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The oath or declaration is missing.
  A properly signed oath or declaration in compliance with 37 CFR 1.63, identifying the application by the above Application Number and Filing Date, is required.
- To avoid abandonment, a late filing fee or oath or declaration surcharge as set forth in 37 CFR 1.16(e) of $130 for a non-small entity, must be submitted with the missing items identified in this letter.
- The application was filed in a language other than English. Applicant is required to provide an English translation of the specification and a statement that the translation is accurate. (See 37 CFR 1.52(d)).
- Applicant must file an English translation of the application, the $ 130 fee set forth in 37 CFR 1.17(i), unless previously submitted, and a statement that the translation is accurate (37 CFR 1.52(d)).
- Because your specification was filed in a language other than English, the Office was unable to determine the number of claims submitted. Additional claim fees may be due once the number of claims can be determined.

The application is informal since it does not comply with the regulations for the reason(s) indicated below.

The required item(s) identified below must be timely submitted to avoid abandonment:

- Replacement drawings in compliance with 37 CFR 1.84 and 37 CFR 1.121 are required. The drawings submitted are not acceptable because:
  - The drawing figures contain text that is not in English (including, for example, a flow chart that was originally not in English that has been marked up to include the English text) (see 37 CFR 1.84(p)(2) and 37 CFR 1.52(d)(1)). See Figure(s) 1-15.

SUMMARY OF FEES DUE:

Total additional fee(s) required for this application is **$260** for a Large Entity

- **$130** Late oath or declaration Surcharge.
- **$130** for English translation surcharge required.

A copy of this notice MUST be returned with the reply.

Customer Service Center
Initial Patent Examination Division (703) 308-1202
PART 3 - OFFICE COPY

10299861 021303

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Attn: Box Missing Parts

Yojiro MATSUEDA

Application No.: 10/299,861

Filed: November 20, 2002 Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

RESPONSE TO NOTICE TO FILE MISSING PARTS WITH DECLARATION AND TRANSLATION

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

In response to the Notice to File Missing Parts of Application - Filing Date Granted (copy attached) mailed on February 10, 2003, submitted herewith are the executed Declaration of the inventor and, upon information and belief, an accurate translation of the application. Any specification attached to and referenced in the Declaration is a copy of the specification and any amendments thereto which were filed in the Office in order to obtain a filing date for the application.

☒ A preliminary amendment is also attached.

	(Column 1)	(Column 2)	(Column 3)	SMALL ENTITY			OTHER THAN A SMALL ENTITY	
	CLAIMS REMAINING AFTER TRANSLATION	HIGHEST NO. PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE	ADD'L FEE	OR	RATE	ADD'L FEE
TOTAL CLAIMS	*39 MINUS	**39	= 0	x 9	$		x 18	$ ----
INDEP CLAIMS	*16 MINUS	***3	= 13	x 42	$		x 84	$1,092
☐ FIRST PRESENTATION OF MULTIPLE DEP. CLAIM				+140	$	OR	+280	$ ----
					$			$1,092

* If the entry in Column 1 is less than the entry in Column 2, write "0" in Column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, write "20" in this space.

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, write "3" in this space.

The "Highest Number Previously Paid For" in this space (Total or Independent) is the highest number found from the equivalent box in Column 1 of a prior Amendment or the number of claims originally filed.

Attached is our Check No. 139012 for ☒$1,352.00 for the fee under 37 C.F.R. §1.16(e) and §1.17(k) and any excess claim fees noted above.

Also attached are replacement drawings in compliance with 37 CFR 1.84 and 37 CFR 1.121.

Entry of these documents should complete all of the filing formalities and fully satisfy all requirements of the Notice to File Missing Parts. Examination and allowance of this application in due course are respectfully solicited.

The Director is hereby authorized to charge any additional fee (or credit any overpayment) associated with this communication to Deposit Account No. 15-0461. Two duplicate copies of this paper are attached.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/cmm

Date: February 13, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

#3

UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
Washington, DC 20231
www.uspto.gov

APPLICATION NUMBER	FILING/RECEIPT DATE	FIRST NAMED APPLICANT	ATTORNEY DOCKET NUMBER
10/299,861	11/20/2002	Yojiro Matsueda	114251

CONFIRMATION NO. 5800

25944
OLIFF & BERRIDGE, PLC
P.O. BOX 19928
ALEXANDRIA, VA 22320

RECEIVED
FEB 12 2003
OLIFF & BERRIDGE

FORMALITIES LETTER

OC000000009498043

DUE DATE

APR 10 2003

MISSING PARTS

Date Mailed: 02/10/2003

FEB 13 2003

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

DOCKETED
By MQ on 2/12 2003
and
By MW on 2/12 2003
Oliff & Berridge

FILED UNDER 37 CFR 1.53(b)

Filing Date Granted

Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items and pay any fees required below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The oath or declaration is missing.
  A properly signed oath or declaration in compliance with 37 CFR 1.63, identifying the application by the above Application Number and Filing Date, is required.
- To avoid abandonment, a late filing fee or oath or declaration surcharge as set forth in 37 CFR 1.16(e) of $130 for a non-small entity, must be submitted with the missing items identified in this letter.
- The application was filed in a language other than English. Applicant is required to provide an English translation of the specification and a statement that the translation is accurate. (See 37 CFR 1.52(d)).
- Applicant must file an English translation of the application, the $ 130 fee set forth in 37 CFR 1.17(i), unless previously submitted, and a statement that the translation is accurate (37 CFR 1.52(d)).
- Because your specification was filed in a language other than English, the Office was unable to determine the number of claims submitted. Additional claim fees may be due once the number of claims can be determined.

The application is informal since it does not comply with the regulations for the reason(s) indicated below.

The required item(s) identified below must be timely submitted to avoid abandonment:

- Replacement drawings in compliance with 37 CFR 1.84 and 37 CFR 1.121 are required. The drawings submitted are not acceptable because:
  - The drawing figures contain text that is not in English (including, for example, a flow chart that was originally not in English that has been marked up to include the English text) (see 37 CFR 1.84(p)(2) and 37 CFR 1.52(d)(1)). See Figure(s) 1-15.

02/14/2003 BABRAHA1 00000062 10299861

01 FC:1201 1092.00 OP
02 FC:1051 130.00 OP
03 FC:1053 130.00 OP

SUMMARY OF FEES DUE:

Total additional fee(s) required for this application is **$260** for a Large Entity

- **$130** Late oath or declaration Surcharge.
- **$130** for English translation surcharge required.

A copy of this notice MUST be returned with the reply.

Customer Service Center
Initial Patent Examination Division (703) 308-1202
PART 2 - COPY TO BE RETURNED WITH RESPONSE

OIPE
FEB 1 3 2003
PATENT & TRADEMARK OFFICE

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Application No.: 10/299,861

Filed: November 20, 2002 Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

PRELIMINARY AMENDMENT

Director of the U.S. Patent and Trademark Office
Washington, D. C. 20231

Sir:

Prior to initial examination, please amend the above-identified application as follows:

IN THE CLAIMS:

Please replace claims 6, 8-10, 13-14, 18, 22 and 36 as follows:

6. (Amended) The active matrix substrate according to claim 4, further comprising a third transistor comprising a fifth terminal, a sixth terminal, and a third control terminal, wherein said third control terminal is connected to one scan line among said plurality of scan lines, and

said fifth terminal is connected to one data line among said plurality of data lines.

8. (Amended) The active matrix substrate according to claim 4, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal, and

wherein at least a portion of one scan line among said plurality of scan lines is formed in said gate metal layer.

9. (Amended) The active matrix substrate according to claim 4, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal; and

wherein at least a portion of one data line among said plurality of data lines is formed in said gate metal layer.

10. (Amended) The active matrix substrate according to claim 4, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed;

a gate metal layer comprising said second control terminal; and

a source metal layer comprising a source electrode or drain electrode connected to the source or drain of said second transistor; and

wherein at least one portion of at least one data line among said plurality of data lines is formed in the layer, among said source metal layer and said gate metal layer, which is closer to said semiconductor layer.

13. (Amended) The active matrix substrate according to claim 11, wherein said unit circuit comprises:

a first transistor, comprising a first control terminal, first terminal, and second terminal;

a holding element, connected to said first control terminal, and comprising a first electrode and second electrode; and,

a second transistor, comprising a third terminal, fourth terminal, and second control terminal, said third terminal and said fourth terminal being respectively connected to said first terminal and to said first electrode; and

wherein said second transistor is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

14. (Amended) An electro-optical device comprising an active matrix substrate according to claim 1, and electro-optical elements.

18. (Amended) The electro-optical device according to claim 16, wherein said plurality of formed boundary portions are arranged substantially symmetrically with respect to a center line passing through the geometric center of said electro-optical element.

22. (Amended) The electro-optical device according to claim 19, wherein the entire region of said light-emitting portion is formed on said pixel electrode, and a contact region for connection of said peripheral circuit and said pixel electrode is provided in a portion of said pixel electrode in which said light-emitting portion is not formed.

36. (Amended) The active matrix substrate according to claim 34, wherein a second electrode constituting said holding element is the gate of said one or more transistors.

REMARKS

Claims 1-39 are pending. By this Preliminary Amendment, claims 6, 8-10, 13-14, 18, 22 and 36 are amended to eliminate multiple dependencies. Prompt and favorable examination on the merits is respectfully requested.

The attached Appendix includes marked-up copies of each rewritten paragraph claim (37 C.F.R. §1.121(c)(1)(ii)).

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/cmm

Attachment:
Appendix

Date: February 13, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

APPENDIX

Changes to Claims:

The following is a marked-up version of the amended claims:

6. (Amended) The active matrix substrate according to claim 4 ~~or claim 5~~, further comprising a third transistor comprising a fifth terminal, a sixth terminal, and a third control terminal,

wherein said third control terminal is connected to one scan line among said plurality of scan lines, and

said fifth terminal is connected to one data line among said plurality of data lines.

8. (Amended) The active matrix substrate according to claim 4 ~~any of claims 4 through 7~~, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal, and

wherein at least a portion of one scan line among said plurality of scan lines is formed in said gate metal layer.

9. (Amended) The active matrix substrate according to claim 4 ~~any of claims 4 through 7~~, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal; and

wherein at least a portion of one data line among said plurality of data lines is formed in said gate metal layer.

10. (Amended) The active matrix substrate according to claim 4 ~~any of claims 4 through 7~~, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed;

a gate metal layer comprising said second control terminal; and

a source metal layer comprising a source electrode or drain electrode connected to the source or drain of said second transistor; and

wherein at least one portion of at least one data line among said plurality of data lines is formed in the layer, among said source metal layer and said gate metal layer, which is closer to said semiconductor layer.

13. (Amended) The active matrix substrate according to claim 11 ~~or claim 12~~, wherein said unit circuit comprises:

a first transistor, comprising a first control terminal, first terminal, and second terminal;

a holding element, connected to said first control terminal, and comprising a first electrode and second electrode; and,

a second transistor, comprising a third terminal, fourth terminal, and second control terminal, said third terminal and said fourth terminal being respectively connected to said first terminal and to said first electrode; and

wherein said second transistor is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

14. (Amended) An electro-optical device comprising an active matrix substrate according to claim 1 ~~any of claims 1 through 13~~, and electro-optical elements.

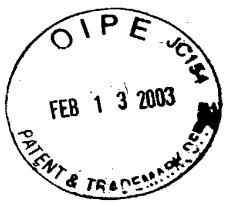
18. (Amended) The electro-optical device according to claim 16 ~~or claim 17~~, wherein said plurality of formed boundary portions are arranged substantially symmetrically with respect to a center line passing through the geometric center of said electro-optical element.

22. (Amended) The electro-optical device according to claim 19 ~~any of claims 19 through 21~~, wherein the entire region of said light-emitting portion is formed on said pixel electrode, and a contact region for connection of said peripheral circuit and said pixel electrode is provided in a portion of said pixel electrode in which said light-emitting portion is not formed.

36. (Amended) The active matrix substrate according to claim 34 ~~or claim 35~~, wherein a second electrode constituting said holding element is the gate of said one or more transistors.

10299861.021303

#A



Attorney Docket No. 114251

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: Yojiro MATSUEDA

Serial No. 10/299,861

Filed: November 20, 2002

STATEMENT OF ACCURACY

Title: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

Hon. Commissioner of Patents and Trademarks
Washington D.C. 20231

Sir:

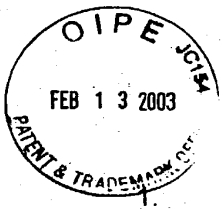
The undersigned hereby states that the attached English languages patent application is an accurate translation of the Japanese language application filed on November 20,2002 and assigned Serial No. 10/299,861.

Date: January 9, 2003

Signed: _____

Printed Name: Toshifumi Onuki

S0279 RF49US



ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

BACKGROUND OF THE INVENTION

1. Field of the Invention

This invention relates to an active matrix substrate suitable for electro-optical devices, an electro-optical device, and electronic device.

2. Description of the Related Art

The active matrix driving method is one method of driving electro-optical devices comprising liquid crystal elements, organic electroluminescence (EL) elements, electrophoretic elements, electronic emission elements, and similar. In an electro-optical device driven by the active matrix driving method, a plurality of pixels are arranged in a matrix on the display panel. Each of the plurality of pixels comprises a pixel circuit, in turn comprising an electro-optical element and a driving transistor which supplies driving power to the electro-optical element. Each of the plurality of pixel circuits is arranged to correspond to the intersection of a data line and a scan line (see, for example, patent reference 1: Internationally disclosed pamphlet no. WO98/36407).

In order to precisely control brightness in an electro-optical device, the amount of power supplied to electro-optical elements must be precisely controlled. In particular, because organic EL elements are current-driving type electro-optical elements, the brightness is directly affected by the current. Hence there is a need to precisely supply the desired current to organic EL elements; and in addition to optimizing the driving circuit and driving method, the pixel layout must also be optimized. Problems encountered in actual pixel layouts include, for example, contact between pixel electrodes and peripheral circuitry, stability of holding capacitances, and transistor turn-off currents.

The present invention was devised in light of the above circumstances, and has as an object the provision of an active matrix substrate, electro-optical device, and electronic device comprising an optimal pixel layout for the stable driving of electro-optical elements.

SUMMARY OF THE INVENTION

In order to resolve the above problems, a first active matrix substrate of this invention is an active matrix substrate comprising peripheral circuitry to supply a current to electro-optical elements provided in each pixel according to the electro-optical element; each peripheral circuit comprises a holding element to hold a control voltage, a first active element, connected to the holding element, to supply a current to the electro-optical element based on the control voltage, and a second active element, connected to the holding element, to control the charging and discharging of the holding element; and the above second active element has a structure which prevents leakage currents during shutoff.

Here "electro-optical element" refers to general elements which emit light, or change a status of light in response to external light, due to electrical action, and comprises both elements which themselves emit light, and elements which control the transmission of external light. For example, electro-optical elements include liquid crystal elements, electrophoretic elements, EL elements, and electron emission elements which emit light by causing electrons generated through application of an electric field to strike an emission plate.

"Peripheral circuits" refers to the aggregation of circuit elements which drive each pixel in an active-matrix type electro-optical device, and comprises, for example, TFTs (thin film transistors) or similar.

"Active matrix substrate" refers to general substrates on which is mounted peripheral circuitry, regardless of whether electro-optical elements are formed or not.

There is no particular restriction on "active elements", which may include, for example, TFTs and other transistors and diodes, or similar.

Here "holding element" refers to, for example, capacitors, memory, and other elements which hold electrical signals.

Normally, when an active element is in the non-conducting state, whereas ideally there should be no current flowing, a current, albeit slight, may flow; an active element having a "structure to prevent leakage currents during shutoff" refers to an active element configured with the object of preventing the occurrence of such a current (leakage current).

An example of such an element is a multi-gate type active element. A multi-gate type active element is an active element which functions as a single element, but strictly speaking comprises a plurality of active elements connected in series, configured to function similarly to a device with control terminals connected together.

In configuring a multi-gate type active element, the semiconductor layer may be in a curved shape, as in an embodiment described below, or the gate shape may be curved.

The second active element may be a transistor with a structure selected from the group consisting of an LDD structure, GDD structure, or DDD structure. Here "LDD" is an abbreviation of "Lightly Doped Drain"; "GDD" is an abbreviation of "Graded Diffused Drain"; and "DDD" is an abbreviation of "Double Diffused Drain". In a transistor having these structures, in order to limit the adverse effects of hot electrons and similar during fine MOSFET fabrication, the maximum electric field near the drain is weakened. For example, in such transistors the drain region of the transistor is lightly doped with impurities to relax the electric field in regions where impurity diffusion is performed and between silicon substrates; for example, n-type regions may be formed using self-alignment.

In such transistors, because the source-drain resistance while the transistor is turned off is extremely high and leakage currents are reduced, electric charge accumulated in the holding element is not released, and the electric potential applied to a control terminal can be maintained at a constant level.

A second active matrix substrate of this invention is an active matrix substrate comprising a plurality of unit circuits, arranged to correspond to the intersections of a plurality of data lines and a plurality of scan lines. Each of the above plurality of unit circuits comprises a first transistor, which comprises a first control terminal, first terminal, and second terminal; a holding element, connected to the above first control terminal, comprising a first electrode and a second electrode; and a second transistor, comprising a third terminal, a fourth terminal, and a second control terminal, wherein the above third terminal and the above fourth terminal are respectively connected to the above first terminal and to the above first electrode; and the above second transistor has a multi-gate structure.

In the above active matrix substrate, in place of a multi-gate structure, the above second transistor may be a transistor with a structure selected from an LDD structure, GDD structure, or DDD structure.

By adopting a multi-gate structure and an LDD structure, GDD structure, or DDD structure, the leakage current when the second transistor is in the turned-off state can be reduced, so that the electric charge accumulated in the holding element can be maintained for a long period of time.

In the above active matrix substrate, it is preferable that the above first transistor and the above second transistor have different conduction types. In this case, it is preferable that the semiconductor film constituting the above first transistor and the semiconductor film constituting the above second transistor be separated.

For example, it is preferable that the above first transistor by p-type, and that the above second transistor be n-type.

The above active matrix substrate may further comprise a third transistor, comprising a fifth terminal, a sixth terminal, and a third control terminal, with the above third control terminal connected to one scan line among the above plurality of scan lines, and the above fifth terminal connected to one data line among the above plurality of data lines.

The above sixth terminal may be connected to the above third terminal and to the above first terminal.

In the above active matrix substrate, the above active matrix substrate may have a stacked-layer structure comprising a plurality of layers; the above plurality of layers may comprise a semiconductor layer, in which is formed a semiconductor film constituting the above first and second transistors, and a gate metal layer, in which are formed the above second control terminals; and in the above gate metal layer there may be formed at least one portion of at least one scan line among the above plurality of scan lines.

By this means, the above second control terminal and at least one portion of the scan line can be formed in the same process, so that manufacturing processes can be shortened.

In the above active matrix substrate, the above active matrix substrate may have a stacked-layer structure comprising a plurality of layers; the above plurality of layers may comprise a semiconductor layer, in which is formed a semiconductor film constituting the above first and second transistors, and a gate metal layer, in which are formed the above second control terminals; and in the above gate metal layer there may be formed at least one portion of at least one data line among the above plurality of data lines.

By this means, the above second control terminal and at least one portion of the data line can be formed in the same process, so that manufacturing processes can be shortened.

In the above active matrix substrate, the above active matrix substrate may have a stacked-layer structure comprising a plurality of layers; the above plurality of layers may comprise a semiconductor layer, in which is formed a semiconductor film constituting the above first and second transistors, a gate metal layer, in which are formed the above second control terminals, and a source metal layer, in which is formed a source electrode or drain electrode connected to the source or to the drain of the above second transistor; and at least one portion of at least one data line among the above plurality of data lines may be formed in the layer closer to the above semiconductor layer among the above source metal layer and the above gate metal layer.

By this means, when an electro-optical device is formed in which electro-optical elements are arranged above the active matrix substrate, at least one portion of a data line can be separated from the electrodes of electro-optical elements, so that operation delays due to stray capacitances occurring between electrodes and data lines can be reduced.

A third active matrix substrate of this invention comprises unit circuits, comprising transistors, as well as data lines and scan lines, and has a stacked-layer structure comprising a plurality of layers; the above plurality of layers comprises a semiconductor layer, in which is formed a semiconductor film constituting transistors, and a gate metal layer, in which are formed the gate

terminals of the above transistors; and at lease one portion of either the above scan lines, or the above data lines, or both, is formed in the above gate metal layer.

By this means, transistor gate terminals and at least one portion of the scan lines or data lines can be manufactured by the same process, so that manufacturing processes can be shortened.

A fourth active matrix substrate of this invention comprises unit circuits, comprising transistors, as well as data lines and scan lines, and has a stacked-layer structure comprising a plurality of layers; the above plurality of layers comprises a semiconductor layer, in which is formed a semiconductor film constituting transistors, a gate metal layer, in which are formed the gate terminals of the above transistors, and a source metal layer in which are formed the source electrodes or drain electrodes which are connected to the sources or drains of the above transistors; and at lease one portion of either the above scan lines, or the above data lines, or both, is formed in the layer, among the above gate metal layer and the above source metal layer, which is closer to the above semiconductor layer.

In the above active matrix substrate, when an electro-optical device is formed in which electro-optical elements are arranged above the active matrix substrate, at least one portion of data lines or scan lines can be separated from the electrodes of electro-optical elements, so that delays in signal supply due to stray capacitances occurring between electrodes and data lines or scan lines can be suppressed.

In the above active matrix substrate, it is preferable that a unit circuit comprise a first transistor, comprising a first control terminal, a first terminal, and a second terminal; a holding element, connected to the above first control terminal, and comprising a first electrode and a second electrode; and a second transistor, comprising a third terminal, a fourth terminal, and a second control terminal, wherein the above third terminal and the above fourth terminal are respectively connected to the above first terminal and to the above first electrode; and that the unit circuit have at least a structure selected from an LDD structure, GDD structure, DDD structure, or multi-gate structure.

The LDD structure, GDD structure, DDD structure, and multi-gate structure are appropriate structures for suppressing current leaks, and so by employing such

a configuration, the electric charge accumulated in the holding element can be maintained for long periods of time.

A first electro-optical device of this invention comprises the above active matrix substrate, and electro-optical elements.

A second electro-optical device of this invention comprises peripheral circuits to supply current to electro-optical elements provided for each pixel, corresponding to the above electro-optical elements; each of the above peripheral circuits comprises a light emission-controlling active element to supply current to the above electro-optical element during the light emission period, a holding element to hold a control voltage, a first active element the gate terminal of which is connected to the above holding element and which supplies a current based on the above control voltage applied to the gate terminal to the above electro-optical element, via the above light emission-controlling active element, a current-controlling active element which passes a constant current (or a data current) via the above first active element during the selection period, and a second active element connected between the above current-controlling active element and the above holding element, which charges the above holding element during the above selection period and which stores the above control voltage; and the above second active element comprises a structure to prevent leakage currents during shutoff.

As the above structure to prevent leakage currents, similarly to the case of the above active matrix substrates, for example, an LDD structure, GDD structure, DDD structure, or multi-gate structure can be adopted.

In the above electro-optical device, as the above first active element and the above second active element, it is preferable that, for example, a transistor be used. In this case, it is preferable that the transistors have different conduction types. For example, it is preferable that the above first active element be p-type, and that the above second active element be n-type.

Corresponding to this, a configuration may be adopted comprising a first driver circuit which supplies negative-logic data signals to the first active element, and a second driver circuit which supplies positive-logic scan signals to the second active element.

In the above electro-optical device, a configuration may be adopted comprising data lines which supply data signals to first active elements, and scan lines, intersecting the data lines, which supply scan signals to second active elements.

In the above electro-optical device, it is preferable that either the data lines or the scan lines be wired by means of the metal layer, among the source metal layer and the gate metal layer which comprise the first active elements and second active elements, which is separated from the common electrodes of the electro-optical elements. This is because if the metal layer which is more distant from the common electrodes is used, the stray capacitance arising between the signal lines and the common electrodes can be reduced.

Specifically, the scan lines may for example be wired using the gate metal layer which forms the gate terminals of the second active elements.

In the above electro-optical device, it is preferable that, among the plurality of active elements, the plurality of active elements having the same polarity be formed continuously and in planar fashion in the same semiconductor layer. This is because, if the semiconductor layer is thus made continuous, the area used for wiring can be reduced, and the aperture ratio can be increased.

At this time, connection points between a plurality of active elements having the same polarity comprise common contact holes, and wiring is performed from contact holes to active elements having a polarity differing from these active elements. This is because when the polarity is different, normal wiring must be performed. By this means, contact holes can be made common, and the area of occupation of connection portions in the entire area of the driving circuit can be reduced.

In one embodiment described below, a plurality of active elements having the same polarity comprises second active elements, light emission-controlling active elements, and current-controlling active elements; however, the present invention is of course not limited thereto.

As the gate terminals of the above second active elements and the above current-controlling active elements, common scan lines may be used; in this case,

with respect to common gate terminal connections, by using scan lines without modification the wiring area can be reduced and the aperture ratio can be raised.

However, if the above second active elements and the above current-controlling active elements are not driven with the same timing, then of course different signal lines can be used as the respective gate terminals.

A third electro-optical device of this invention comprises electro-optical elements, and peripheral circuitry driving the above electro-optical elements; the above electro-optical elements are formed such that the boundaries of the electro-optical elements have at least a prescribed curvature , and at least a portion of the peripheral circuits is formed in the region surrounded by the boundaries having at least the prescribed curvature and by polygonal boundaries circumscribing the electro-optical elements.

A shape having a "prescribed curvature" is particularly effective when electro-optical elements are formed using liquid materials; in this case, it is desirable that the prescribed curvature be set according to the viscosity and surface tension of the liquid material, and according to the material of the layer below the electro-optical elements. However, even in cases where the electro-optical elements are formed by evaporation deposition or other means without using liquid materials, there is the advantageous result that short-circuits are prevented.

It is preferable that a plurality of boundary portions having this prescribed curvature be formed. It is also preferable that the plurality of boundary portions thus formed be arranged essentially symmetrically with respect to a center line passing through the geometric center of the electro-optical element.

For example, a portion of the peripheral circuit formed in this region is a contact hole comprised by wiring of the peripheral circuit. It is preferable that this contact hole be of polygonal shape compatible with the shape of the region. A contact hole comprised by the wiring of the peripheral circuit is, for example, a contact hole which supplies current to at least one of the electrodes of the electro-optical element. It is preferable that there be a plurality of contact holes, arranged essentially symmetrically with respect to a center line passing through the geometric center point of the above electro-optical element.

When using a liquid material to form electro-optical elements, by providing an affinity-controlling layer which adjusts the affinity for the liquid material near the boundaries of electro-optical elements, the film thickness of the functional layer constituting the electro-optical elements can be controlled, and flatness can be improved. Also, by making the affinity for the liquid material of, at least, the walls of the bank layer different from that of the above affinity-controlling layer, the effectiveness may be further increased. For example, by making the affinity for the liquid material of the walls of the bank layer lower than that of the affinity-controlling layer, the film formed by the liquid material no longer adheres to the walls of the bank layer, and the flatness of the film formed by the liquid material is further improved.

This affinity-controlling layer may be formed so as to have a staircase-shape on the inside of the electro-optical elements with respect to the walls formed by the bank layer.

Here a "bank" is a partition member to partition pixel regions. A bank is also effective for securing a distance from cathodes or common electrodes and data lines, scan lines, or other wiring which supplies signals. By securing a sufficient distance, the parasitic capacitance is reduced, and delays when supplying signals can be suppressed.

In general, data signals are greatly affected by stray capacitances of scan signals, which can cause operation delays, and so a sufficient distance must be secured between data signals and common electrodes or cathodes.

It is preferable that, in boundary portions having a prescribed curvature, at least one of the electrodes constituting the electro-optical element be patterned according to the shape of the boundary portion. This is because, by patterning electrodes in a manner compatible with the curvature, at least a portion of the peripheral circuit can be arranged more easily. For example, at least a portion of the peripheral circuit is a contact region to enable connection between the peripheral circuit and the above electrode.

A fourth electro-optical device of this invention comprises a light-emitting portion, and a peripheral circuit which controls the current supplied to the above

light-emitting portion via a pixel electrode; the area of the above light-emitting portion is smaller than the area of the above pixel electrode, and the shape of the above light-emitting portion is different from the shape of the above pixel electrode.

A fifth electro-optical device of this invention comprises a light-emitting portion, and a peripheral circuit which controls the current supplied to the above light-emitting portion via a pixel electrode; the area of the above light-emitting portion is smaller than the area of the above pixel electrode; the shape of the above light-emitting portion is a shape having a curvature, and the shape of the above pixel electrode is polygonal.

A sixth electro-optical device of this invention comprises a light-emitting portion, and a peripheral circuit which controls the current supplied to the above light-emitting portion via a pixel electrode; the area of the above light-emitting portion is smaller than the area of the above pixel electrode; the above light-emitting portion has a polygonal shape having n vertices (where n is an integer equal to 4 or greater); the above pixel electrode has a polygonal shape having m vertices (where m is an integer equal to 3 or greater); and the relation n>m obtains.

In the above electro-optical device, the light-emitting portion has a shape having a curvature, or has a polygonal shape with four or more vertices, so that short-circuits in the edge portions of light-emitting portion can be prevented. And when forming light-emitting portions using a liquid material, the liquid material can be made to extend thoroughly to the edge portions of light-emitting portions, so that a uniform film can be formed.

In the above electro-optical device, it is preferable that the entire region of the above light-emitting portion be formed on the above pixel electrode, and that a contact region for connection to the above peripheral circuit and to the above pixel electrode be provided in the portion of the above pixel electrode where the above light-emitting portion is not formed.

A seventh electro-optical device of this invention comprises an electro-optical element, a holding capacitance which regulates the current supplied to the above electro-optical element, and an active element which supplies a current according to the voltage recorded in the holding capacitance; a first electrode constituting the

holding capacitance is formed by patterning a portion of a metal layer which forms a power supply line supplying current to the electro-optical element.

An eighth electro-optical device of this invention is configured to enable the supply of current to an electro-optical element by an active element according to the voltage recorded in a holding capacitance, and comprises a first metal layer connected to a power supply, and a second metal layer patterned to comprise a portion of a control terminal of an active element; a first electrode constituting the holding capacitance is formed by patterning a portion of the first metal layer.

Here "layer" comprises, in addition to a metal layer, a layer which affects formation of the holding capacitance, such as for example a semiconductor layer.

A second electrode constituting the holding capacitance is formed by patterning a portion of the metal layer which forms the control terminal of the active element.

In the above electro-optical device, the above first electrode may be a portion of the power supply line, and a portion of the metal layer forming the control terminal of the active element in a portion of the power supply line may be overlapped in patterning to form the above second electrode. By means of this configuration, there is no need in particular to provide wiring to connect the holding capacitance and the active element, so that the aperture ratio can be increased.

It is preferable that a semiconductor layer be comprised, overlapping electrodes constituting the holding capacitance and formed in the shape of the electrodes. This semiconductor layer may for example have impurities introduced. The semiconductor layer may be doped with impurities to metallize or to lower the resistance.

It is preferable that the holding capacitance be formed in a region other than the region in which the electro-optical element and active element are formed, so that the aperture ratio is raised. For example, each of the layers comprising the electrodes of the holding capacitance may be formed on a polygon, such as for example a pentagon, corresponding to the shape of the region other than the region in which are formed the electro-optical element and active element.

In the above electro-optical device, it is preferable that, of the layers comprising the holding capacitance electrodes, the region occupied by the layer positioned on the lower side be formed to be greater than the region occupied by the layer positioned on the upper side.

In the above electro-optical device, the region occupied by the layer positioned on the lower side is formed by patterning into a shape such that, even if the greatest possible position shift that can occur during formation of the layer positioned on the upper side occurs, the region of the layer positioned on the upper side is contained within the region of the layer positioned on the lower side.

In the above electro-optical device, it is preferable that a bank layer be further comprised in order to isolate neighboring electro-optical elements, and that the holding capacitance be formed under the bank layer.

In addition, an affinity-controlling layer may be further comprised, within the bank layer or below the bank layer, in order to control the affinity of the liquid material during formation of electro-optical elements.

The overlap region in which is formed the holding capacitance may be provided in a region in which at least one among the first metal layer and the second metal layer is formed in a power supply wiring pattern.

It is further preferable that the wiring pattern formed by the second metal layer be positioned at a prescribed distance or greater from at least one among the two electrodes connected to the electro-optical element. By means of this configuration, unwanted capacitance can be reduced.

A fifth active matrix of this invention is an active matrix substrate comprising pixel electrodes and paths positioned corresponding to the intersections of data lines and scan lines; the above pixel electrodes are connected to a power supply line via at least one transistor; a holding element connected to the gate of the above one or more transistors is provided; and a first electrode constituting the above holding element is connected to the above power supply line.

A sixth active matrix substrate of this invention is an active matrix substrate comprising pixel electrodes and paths positioned corresponding to the intersections of data lines and scan lines; the above pixel electrodes are connected to a power

supply line via at least one transistor; a holding element connected to the gate of the above one or more transistors is provided; and a first electrode constituting the above holding element is a portion of the above power supply line.

In the above active matrix substrate, a second electrode constituting the above holding element is the gate of the above one or more transistors.

A seventh active matrix substrate of this invention is an active matrix substrate comprising unit circuits each comprising a transistor, corresponding to the intersections of scan lines and data lines; a semiconductor film constituting the above transistors is formed in a semiconductor layer; at the intersections of the above scan lines and the above data lines, either the above scan line or the above data line is formed in a first conducting layer; and the portions of the above scan line and the above data line other than at the above intersection are formed in a second conducting layer. In this active matrix substrate, it is preferable that the above second conducting layer be positioned between the above first conducting layer and the above semiconductor layer.

By combining the above active matrix substrate with electro-optical elements, an electro-optical device can be configured.

A ninth electro-optical device of this invention is an electro-optical device comprising electro-optical elements corresponding to the intersections of scan lines and data lines; either the above scan lines or the above data lines are formed in a first conducting layer at the intersections of the above scan lines and the above data lines, together with a pair of electrodes which supply power to the above electro-optical element; the portions of the above scan lines and the above data lines other than in the above intersections are formed in a second conducting layer; and the above second conducting layer is positioned at a greater distance than the above first conducting layer from one of the above pair of electrodes.

Here, the above electro-optical elements may be electroluminescence (EL) elements. "Electroluminescence elements" refer in general to elements, whether employing an organic or an inorganic (such as Zn:S) light-emitting material, which utilize electroluminescence phenomena in which the application of an electric field causes holes injected from an anode and electrons injected from a cathode to

recombine, so that the recombination energy causes the light-emitting material to emit light. As the layer structure enclosed between the electroluminescence element, in addition to a light-emitting layer comprising light-emitting material, a hole transport layer or an electron transport layer, or both, may also be comprised. Specifically, as layer structures, in addition to a cathode/light-emitting layer/anode structure, a cathode/light-emitting layer/hole transport layer/anode, cathode/electron transport layer/light-emitting layer/anode, cathode/electron transport layer/light-emitting layer/hole transport layer/anode, or similar may be adopted.

The above active matrix substrates may also be employed in electronic device. Here there is no particular restriction on "electronic device", which includes a device comprising a display device comprising an active matrix substrate, such as for example portable telephones, video cameras, personal computers, head-mounted displays, rear- or front-projectors, and also fax machines with display functions, the viewfinder of digital cameras, portable TV sets, DSP devices, PDAs, electronic organizers, and similar.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is an overall drawing of a display panel of this embodiment;

Fig. 2 is a plane view of a pixel region in embodiment 1;

Fig. 3 shows plane views of a pixel region in embodiment 1; Fig. 3A is a cross-section along A-A in Fig. 2, Fig. 3B is a cross-section along B-B in Fig. 2, and Fig. 3C is a cross-section along C-C in Fig. 2;

Fig. 4 shows examples of modification of the boundary shape of the light-emitting portion; Fig. 4A shows the case of a circular light-emitting portion, Fig. 4B shows the case of a light-emitting portion having a curved portion symmetrical about a center line, and Fig. 4C shows the case of a light-emitting region having a curved portion asymmetrical about a center line;

Fig. 5 is a circuit diagram of a pixel region in embodiment 1;

Fig. 6 is a drawing explaining the alignment of a metal layer in embodiment 1;

Fig. 7 is a drawing explaining processing to separate gate metal in embodiment 1;

Fig. 8 is a plane view of a pixel region in embodiment 2;

Fig. 9 shows cross-sectional views of a pixel region in embodiment 2; Fig. 9A is a cross-section along A-A in Fig. 8, Fig. 9B is a cross-section along B-B in Fig. 8, and Fig. 9C is a cross-section along C-C in Fig. 8;

Fig. 10 is a plane view of a pixel region in embodiment 3;

Fig. 11 shows cross-sectional views of a pixel region in embodiment 3; Fig. 10A is a cross-section along A-A in Fig. 10, and Fig. 10B is a cross-section along B-B in Fig. 10;

Fig. 12 is a plane view of a pixel region in embodiment 4;

Fig. 13 shows cross-sectional views of a pixel region in embodiment 4; Fig. 13A is a cross-section along A-A in Fig. 12, and Fig. 13B is a cross-section along B-B in Fig. 12;

Fig. 14 is a connection diagram for a display panel in embodiment 5; and,

Fig. 15 shows examples of electronic device in embodiment 5, showing examples of application of a display panel of this invention to a portable telephone in Fig. 15A, to a camcorder in Fig. 15B, to a portable personal computer in Fig. 15C, to a head-mounted display in Fig. 15D, to a rear projector in Fig. 15E, and to a front projector in Fig. 15F.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

Next, preferred embodiments of the invention are explained, referring to the drawings as examples. The following embodiments are no more than examples of embodiments of this invention, and do not limit the scope of application.

Embodiment 1

This embodiment of the invention relates to a display panel which is an electro-optical device employing EL elements as electro-optical elements. Fig. 1 is an overall drawing of a display panel comprising an active matrix panel, comprising EL elements.

As shown in Fig. 1, the display panel 1 is configured by positioning a display region 11 and driver regions 14 and 15 on a glass substrate 16. A cathode 12 is

formed over the entirety of the display region 11, and is connected to the cathode lead electrode 13. Pixel regions 10 are arranged in a matrix in the display region 11. In the case of a color display, the pixel regions 10 are configured to enable emission of primary colors (for example, the three primary colors red, blue, green) taken as necessary for color display; a combination of pixel regions emitting light of each primary color becomes one pixel element. For example, the driver region 15 positioned in the column direction of the display region 11 outputs a write control line Vsel and a light emission control line Vgp; and the driver region 14 positioned in the row direction of the display region 11 outputs, in addition to the power supply line Vdd, data current signals to the data line Idata. By controlling the light-emission state in each pixel region 10 by means of driver circuits, not shown, formed in the driver regions 14 and 15, an arbitrary image can be displayed in the display region 11.

Fig. 2 shows a plane view which explains the wiring pattern in one pixel region and the periphery. In Fig. 2, the patterns can be seen in the semiconductor layer 102, which is particularly important and is shown in Fig. 3, in the gate metal layer 104, source metal layer 106, and anode layer 110.

As shown in Fig. 2, the light-emitting portion OLED and peripheral circuitry to drive this portion are all positioned in the region enclosed by the power supply line Vdd and the data line Idata. The power supply line Vdd is positioned at a distance from the data line Idata, with the light-emitting portion OLED intervening. The peripheral circuit comprises a transistor T1 as a first active element, a transistor T2 as a second active element, a transistor T3 as a current-controlling active element, a transistor T4 as a light emission-controlling active element, and a holding capacitor C as a holding element. No restrictions in particular are placed on the conduction types of the transistors T1 to T4, but in this embodiment, the conduction type of transistor T1 is p type, and that of all the other transistors is n type.

The source of the transistor T1 is connected to the power supply line Vdd, and the drain is connected to the drain side of transistor T4. The source of transistor T4 is connected to the anode of the light-emitting portion OLED. The holding capacitor C is formed between the power supply line Vdd and the gate of transistor T1. The source of transistor T2 is connected to the holding capacitor C and to the

gate of transistor T1, and the drain is connected to the drain of transistor T3 and between transistors T1 and T4. The source of transistor T3 is connected to the data line Idata, and the gate is connected, in common with the gate of transistor T2, to the write-control line Vsel.

Fig. 3 shows cross-sections to explain the layer structure in each of the cross-sectional planes shown in Fig. 2. Fig. 3A, Fig. 3B, and Fig. 3C show the layer structure in the A-A cross-sectional plane, B-B cross-sectional plane, and C-C cross-sectional plane, respectively.

As shown in Fig. 3A, the pixel region 10 is configured by stacking, on the glass substrate 100 (the glass substrate 16 in Fig. 1), an underlayer protection film 101, semiconductor layer 102, gate insulating film 103, gate metal layer 104, first interlaminar insulating film 105, source metal layer 106, second interlaminar insulating film 107, bank layer 108, and cathode layer 109 (the cathode 12 in Fig. 1). Further, as shown in Fig. 3B and Fig. 3C, the electric field light-emitting portion OLED is configured by stacking an anode layer 110, hole transport layer 111, and light-emitting layer 112.

As the glass substrate 100, because the EL elements of this embodiment emit light on the substrate side and it is necessary that light be transmitted, soda lime glass, low-expansion glass, quartz glass, and other non-alkaline glasses are employed. However, when an optically transmissive material is used as the cathode layer 109 and EL elements are configured such that light is emitted from the cathode side, it is also possible to use metal or other conductive materials, as well as silicon carbide (SiC), alumina (Al_2O_3), aluminum nitride (AlN), and other non-transparent insulating materials.

As the underlayer protective film 101, silicon oxide film (SiO_x: $0<x\leq 2$), silicon nitride film (Si_3N_x: $0<x\leq 4$), and other insulating materials can be used. The underlayer protective film is formed in order to prevent sodium (Na) and other mobile ions contained in the glass substrate from penetrating into the semiconductor layer and exerting adverse effects on impurity control in the semiconductor layer.

After first washing the substrate 100 with deionized water and alcohol or another organic solvent, the underlayer protection layer 101 is formed on the

substrate by atmospheric-pressure chemical vapor deposition (APCVD), low-pressure chemical vapor deposition (LPCVD), plasma-enhanced chemical vapor deposition (PECVD), or another CVD method, or by sputtering.

As the semiconductor layer 102, in addition to a group IV single-element semiconductor layer of silicon (Si), germanium (Ge) or similar, a complex with a group IV element, such as silicon germanium (Si_xGe_{1-x}: $0<x<1$), silicon carbide (Si_xC_{1-x}: $0<x<1$), or germanium carbide (Ge_xC_{1-x}: $0<x<1$), as well as a compound of group III and group V elements such as gallium arsenide (GaAs) and indium antimonide (InSb), a compound of group II and group VI elements such as cadmium selenide (CdSe), or other different complex compounds such as silicon germanium gallium arsenide ($Si_xGe_yGa_zAs_z$: $x+y+z=1$), can be employed.

The semiconductor layer 102 is formed by first depositing silicon or similar by, for example, the APCVD, LPCVD, PECVD or other CVD method, or by sputtering, evaporation deposition, or other PVD method, and then irradiating with laser light to induce a polycrystalline structure. As the laser light, the fundamental and higher harmonics of an excimer laser, argon ion laser, or YAG laser are used as appropriate. For example, when a polycrystalline structure is induced in silicon, polysilicon is obtained. This polycrystalline semiconductor layer 102 is patterned so as to be compatible with the element shapes of the holding capacitance C and each of the TFTs (thin film transistors) T1 to T4. For example, by performing reactive ion etching using a mixture of CF_4 and oxygen gases, a semiconductor layer in an amorphous state can be patterned into an island morphology compatible with element shapes. After patterning, for example, a gate metal layer is formed, and then the gate metal layer is used as a mask to introduce impurities into the semiconductor layer. Specifically, phosphorus (P), arsenic (As), antimony (Sb), or other donor elements are added for each element to obtain n-type semiconductor layer, and boron (B), aluminum (Al), gallium (Ga), indium (In), and other acceptor elements are added to obtain p-type semiconductor layer. In this embodiment, impurities are introduced such that the semiconductor layer constituting the holding capacitor C are n-type semiconductor layer. When TFTs with an LDD structure are employed and the threshold voltage of the TFTs is to be adjusted, channel doping to introduce impurities in low concentrations is performed.

As the gate insulating film 103, for example, a silicon dioxide film is formed using tetraethyl orthosilicate (TEOS) as the raw material. The gate insulating film 103 is formed by, for example, plasma CVD in a microwave-discharge plasma, ECR plasma, or other oxygen or nitrogen atmosphere.

As the gate metal layer 104, a conductive material such as, for example, tantalum (Ta), tungsten (W), chromium (Cr), or aluminum (Al) is used. The gate metal layer 104 is formed by first depositing a film by sputtering or other means, and then patterning into the shape of a gate electrode.

As the first interlaminar insulating film 105, silicon oxide, silicon nitride, or some other insulating film can be used. The first interlaminar insulating film is formed by sputtering or similar, and, for example, contact holes are then formed in order to form TFT source and drain electrodes.

As the source metal layer 106, in addition to aluminum (Al), for example, tantalum, molybdenum, titanium, tungsten, or some other conductive material can be used. The source metal layer is formed by using sputtering or another method to uniformly layer a conductive material, and then patterning according to the electrode shape.

As the second interlaminar insulating film 107, silicon oxide, silicon nitride, or some other insulating film can be used. The second interlaminar insulating film is formed by sputtering or other means, and then, for example, contact holes h1 and h2 for the anode layer 110 are formed.

As the anode layer 110, for example, indium tin oxide (ITO) alloy or some other optically transmissive conducting material can be used. When there is no need for optical transmission properties, tin oxide (NESA), gold, silver, platinum, copper, or another material can be used as the anode layer. After using sputtering or some other method to form the anode layer, patterning is performed according to the shape of the light-emitting portion OLED. No restrictions in particular are placed on the shape of the anode layer (or the pixel electrodes), but it is desirable that the area be larger than that of the light-emitting portion OLED. Through such a configuration, a contact region for electrical connection of a peripheral circuit or pixel circuit with the pixel electrodes can be provided in a region other than the light-

emitting portion of the pixel electrodes. Through such a configuration, the flatness of, at least, the light-emitting portion can be improved.

As the bank layer 108, silicon oxide, silicon nitride, polyimide, or some other insulating material can be employed. The bank layer is formed by deposition using sputtering or a similar method, after which an aperture portion is provided in a position corresponding to the light-emitting portion OLED.

As the hole transport layer 111, for example, N, N'-diphenyl-N,N'-bis-(3-methylphenyl)-(1,1'-biphenyl)-4,4'-diamine (TPDA) is used. The hole transport layer is deposited in the aperture portion provided in the bank layer 109, using a metal mask or similar.

As the light-emitting layer 112, for example, tris-(8-quinolinol) aluminum (Alq_3) or another arbitrary light-emitting material is used. The light-emitting layer can be formed by evaporation deposition using a metal mask or silicon mask; however, an ink jet method may be employed to arrange a solvent comprising the light-emitting material in the aperture portion, after which the solvent component is caused to evaporate.

As the cathode layer 109, a material the energy level of which enables use as the cathode of an EL element, such as aluminum or an alloy of aluminum with another element (such as lithium), or calcium or similar, is used. The cathode layer is formed using a metal mask or similar, and is patterned by photolithography or using a shadow mask method.

In this embodiment, pixel electrodes are anodes and the common electrode is a cathode; however, a configuration may be employed in which the pixel electrodes are cathodes and the common electrode is a anode. Typically, cathode materials are often metals, but when the pixel electrodes are cathodes, the light emitted by the light-emitting portion OLED is then emitted on the side opposite the substrate 100. Of course, even when the pixel electrodes are anodes and the common electrode is a cathode, by using a transparent material as the cathode material, or by making the film thickness sufficiently thin that light is transmitted, light can be emitted on the side opposite the substrate 100.

Below, several features regarding wiring patterns in this embodiment are explained in sequence.

Planar Shape of the Light-Emitting Portion

One method of manufacture of EL elements involves using an ink jet method to discharge a liquid material comprising a light-emitting material, carrier transport material or carrier blocking material into an aperture portion, followed by drying, to form the light-emission layer. In this manufacturing method, it is important that the discharged liquid material extend uniformly to all areas of the aperture portion. If the liquid material does not extend uniformly, the thickness of the light-emitting layer after film deposition is uneven, the intensity of light emitted within the light-emitting region is uneven, and the image quality of the display panel is diminished. If for example it is supposed that the planar shape of the aperture portion is square, then under the influence of the surface tension and viscosity of the liquid material, the height of the surface of the liquid material discharged into the corners of the aperture portion will differ from other areas. Hence there is the possibility that for a light-emitting portion with such a shape, the thickness of the light-emitting layer after film formation will be uneven.

On the other hand, there is a need to increase the brightness of the display panel, and so there are requests to increase insofar as possible the size of the region in which light is emitted, that is, the light-emitting portion, and to reduce insofar as possible the region occupied by peripheral circuitry, that is, to raise the aperture ratio. The pattern layout cannot be designed considering only the ease of manufacture.

In order to satisfy all these requests, in this embodiment the boundaries of the light-emitting portion are formed so as to have at least a prescribed curvature, and at least a portion of the peripheral circuit is formed in the region surrounded by these boundaries having the prescribed curvature and the boundaries of a polygon circumscribing the boundaries of this light-emitting portion.

Based on Fig. 4, a specific concept is explained. Figs. 4A, 4B and 4C show, partially or entirely, the planar shape of a light-emitting portion to which the concept of this invention is applied. Fig. 4A is the case in which the boundary of the light-

emitting portion is circular, that is, the entire boundary has a fixed curvature R. A portion of the peripheral circuit is provided within the region, indicated by shading, enclosed by this circle and by a polygon circumscribing the circle, that is, the square shown by a broken line. The light-emitting portion of this circle is regarded as having an ideal shape for rendering uniform the film thickness of the light-emitting portion, insofar as the shape is symmetrical about any center line passing through the center. However, as shown in Fig. 4A, effective utilization of the shaded portion is necessary in order to improve the aperture ratio of the light-emitting portion.

Fig. 4B is an example in which this invention is applied to the corners of a rectangular shape; in this example, the boundaries of the light-emitting portion are provided with a fixed curvature R. In this example, the circumscribing polygon is a rectangle, shown by a broken line; the shaded regions surrounded by the boundaries of the light-emitting portion and the boundaries of the rectangle are the regions in which a portion of, or the entirety of, the peripheral circuit is provided. The present embodiment pertains to this example; as the curvature R is increased, an oblong planar shape for the light-emitting portion results, such as in this embodiment. In this example also, the shape is symmetrical laterally and vertically about a center line passing through the center of the light-emitting portion, and moreover the curvature of the corner portions is equal to or greater than a fixed value, so that a light-emitting portion with uniform film thickness can be formed.

Fig. 4C is an example in which the curvature of the corner portions is set to be unequal with respect to a center line. The curvature R1 of the corner portion on the left side facing the drawing is smaller than the curvature R2 of the corner portion on the right side.

In this example, the circumscribing polygon is a rectangle, shown by a broken line, and the shaded regions surrounded by the boundaries of the light-emitting portion and the boundaries of the rectangle are regions in which a portion of or the entirety of the peripheral circuit is provided. Even when the curvature is unequal in this way, by setting the minimum curvature to be greater than or equal to a constant value, a light-emitting portion with uniform film thickness can be formed. Because the minimum curvature is affected by the viscosity and surface tension of the discharged solution, and by the water repellence or liquid repellence (affinity to

water or to liquids) of the discharge surface, the minimum curvature should be determined by experiment for each set of conditions.

In this embodiment, a light-emitting portion with a rectangular planar shape, such as shown in Fig. 2, is adopted. And, a portion of the peripheral circuit, namely, the contact holes h1 and h2 (see Fig. 3B), is formed within the region surrounded by the boundaries of the light-emitting layer and the boundaries of the rectangle (not shown) circumscribing the boundaries of the light-emitting portion. In this embodiment, the regions indicated by shading in Fig. 4B which normally are wasted space are used for these contact holes, and this satisfy demands for effective use of space.

In addition to contact holes, any other elements of the peripheral circuit, such as for example transistors and capacitors, may be formed in the regions surrounded by the boundaries of the light-emitting portion and the boundaries of a polygon circumscribing the light-emitting portion. Moreover, it is not necessary to include the entirety of an independently functioning element in these regions; a portion of an element or contact, that is, a portion of the peripheral circuit, may be included in the region. In other words, it is essential that placement be performed so as to make effective use of space.

In cases where a liquid material is not used to form the light-emitting portion, even when, for example, evaporation deposition or similar is used to form the light-emitting portion, by employing a shape in which the edge portions of the light-emitting portion have a curvature, there is the enduring advantage that the danger of short-circuits between the pixel electrode at the edge portions of the light-emitting portion OLED and the common electrode is reduced.

Strictly speaking, a curvature can be represented as a collection of fine straight lines, and so the shape of the light-emitting portion can be interpreted as a polygon having more numerous vertices than the shape of the pixel electrode.

Contact Holes for the Light-Emitting Portion

In an EL element, provision of a contact hole in a region surrounded by the boundaries of the light-emitting portion and the boundaries of a polygon circumscribing the light-emitting portion, as shown in Fig. 2, is significant. In other

words, by providing a comparatively large contact hole in this region, the region can be used effectively, and sufficient current can be supplied to the light-emitting portion.

It is further preferable that a plurality of contact holes be provided. That is, in the EL element, a certain amount of current in the light-emitting layer must be passed uniformly to the entirety of the light-emitting portion. If a contact hole used for connection to an anode directly supplying current is provided in an eccentric position, the supply of current may be uneven. An uneven supply of current appears as irregularities in the intensity of light emission.

If, as in this embodiment, a plurality of contact holes are provided in positions which are symmetrical with respect to a center line passing through the center of the light-emitting portion, then this problem can be resolved. That is, as shown in Fig. 2, in this embodiment a plurality of comparatively large contact holes are provided in regions provided symmetrically with respect to a prescribed center line passing through the center of the light-emitting portion. By providing these contact holes in symmetrical regions, the demand for uniform film deposition in the light-emitting portion, as well as the demand that current supplied to the light-emitting portion be uniform, can both be satisfied.

Alignment of Metal Layers

Depending on the EL element driving method, the stability of the current supplied to the light-emitting portion may be affected by fluctuations in the holding capacitance. In this embodiment also, it is undesirable for the capacitance value of the holding capacitor C to fluctuation either from one pixel to another, or from one display panel to another. However, when stacking metal layers in a process to manufacture a display panel, there may occur shifts from planned positions. Because the numerical area of overlapping metal layers determines the holding capacitance, shifts in position give rise to fluctuations or scattering in capacitance values, and there are cases in which capacitance values of holding capacitances may cause fluctuations either among pixel regions, or among display panels.

Hence in this embodiment, in the vicinity of overlapping regions forming the holding capacitor C, among the plurality of layers related to formation of the holding

capacitor C, that is, among the source metal layer 106, gate metal layer 104, and semiconductor layer 102, the occupied region or width of a layer positioned on the lower side (relative to the source metal layer, the gate metal layer and semiconductor layer) is formed to be larger than the occupied region or width of the layer positioned on the upper side (relative to the semiconductor layer, the gate metal layer and source metal layer; relative to the gate metal layer, the source metal layer).

This feature can be seen in the plane view of Fig. 2, but is explained in greater detail referring to the A-A cross-section shown in Fig. 6. As shown in Fig. 6, if the width of the source metal layer 106 is d1, the width of the gate metal layer 104 is d2, and the width of the semiconductor layer 102 is d3, then the relation d3>d2>d1 obtains. The lower the layer, the larger is the pattern shape.

The extent to which [the pattern shape] should be increased will vary depending on the precision of the manufacturing processes and the pattern density. As one approach, patterns should be formed for each layer such that, when forming layers positioned on the upper side, even when the maximum possible shift in position occurs, the region in the layer positioned on the upper side will be contained within the region in the layer positioned on the lower side. In this embodiment also, the differences d3-d2 and d2-d1 are designed to be equal to or greater than predicted position shifts in manufacturing processes.

Formation of Separations between Gate Metal Layers

EL elements comprise a common electrode; the common electrode is formed over the entirety of the display region. In this embodiment also, a cathode 13 (cathode layer 109) is formed over the entirety of the display region 11 as shown in Fig. 1 as the common electrode for the light-emitting portion OLED. However, if the common electrode is formed over the entirety, there is the problem that a capacitance occurs with the gate metal layer connected to the gates of transistors. If such stray capacitance appears, lags occur in transistor operation, and operation with the timing of the design cannot be guaranteed.

Hence in this embodiment, the wiring pattern formed by the gate metal layer is positioned with a separation of at least a prescribed distance from at least one

among the electrodes of the light-emitting layer. A problem due to low impedance arises due to the distance between the cathode layer 109 which is the common electrode and the gate metal layer 104. Also, the cathode layer 109 is a small distance from the lower side in the light-emitting portion OLED, so that the distance from the gate metal layer in the vicinity of the light-emitting portion poses a problem. Hence in this embodiment, as shown in Fig. 7 (equivalent to the C-C cross-section in Fig. 2), patterns are formed such that, near the light-emitting portion, the distance d1 in the depth direction between the cathode layer 109 and the gate metal layer 104 and the distance d2 in the plane are both equal to or greater than a prescribed distance.

Here the prescribed distance will change variously depending on the area of the gate metal layer and the dielectric constants of intervening layers, and so cannot be specified generally; however, it is preferable that patterning should be at as great a distance as possible, within the range allowed by the area of pixel regions and other.

Wiring to supply data signals, scan signals, and other electrical signals must be laid out in consideration of operation delays caused by stray capacitances. In this embodiment, the data lines Idata and scan lines Vsel use the gate metal layer 104 which is at a greater distance from the cathode 109 which is a common electrode, and at the intersections between data lines Idata and scan lines Vsel, data lines Idata are formed in the source metal layer 106, but the portions of data lines Idata outside intersections and the scan lines Vsel are formed in the gate metal layer 104.

When it is necessary to further reduce the stray capacitances to which data lines Idata contribute, the entirety of the data lines Idata may be formed in the conducting layer which is at the greatest distance from the common electrode. To give an explanation corresponding to this embodiment, at the intersections between data lines Idata and scan lines Vsel, scan lines Vsel are formed in the source metal layer 106, and the entirety of data lines Idata as well as the portion of scan lines Vsel outside intersections may be formed in the gate metal layer 104.

In order to remove signals lines such as scan lines and data lines farther from the common electrode and from pixel electrodes, a conducting layer may be formed

in the same layer as the semiconductor layer 102; and, if a so-called bottom-gate configuration for transistors is employed, then the conducting layer may be provided below the semiconductor layer, and this conducting layer can be used for wiring of signal lines.

Operation of Peripheral Circuits

Next, the operation of the peripheral circuit of an EL element of this embodiment is explained. Fig. 5 shows a circuit diagram for one pixel circuit constituting the pixel region 10.

1) The circuit of this embodiment has a circuit configuration which operates through the supply of current data as data signals. Pixel display begins with the selection of the write control line Vsel as a data writing operation, putting the transistors T2 and T3 into the turned-on state.

2) When the transistors T2 and T3 are put into the conducting state, the transistor T1 reaches a steady state after a prescribed time, and electric charge accumulates in the holding capacitor C according to the data current Cdata.

3) As light emission action, the write control line Vsel is put into the unselected state, the transistors T2 and T3 are turned off, and after stopping supply of the data current Cdata, the light emission control line Vgp is selected. As a result, the transistor T4 is turned on, and a current corresponding to the potential difference Vgs between the voltage stored in the holding capacitor C and the power supply voltage Vdd is supplied to the light-emitting portion OLED via the transistors T1 and T4, so that light is emitted from the light-emitting layer.

Improvement of Current Maintenance Performance in Peripheral Circuits

Below, features of this embodiment in the peripheral circuitry are explained.

In the prior art, no consideration in particular has been paid to active elements controlling the charging and discharging of holding capacitances. In miniaturized FETs, when the gate voltage is below the threshold, the drain current also depends on the drain voltage. That is, the injection current in the source-drain channel increases as an exponential function of the gate voltage, and leakage currents occur. For example, when a leakage current occurs in transistor T2 shown

in Fig. 5, the cross-terminal voltage Vgs of the holding capacitor C deviates from the value corresponding to the supplied data signal, and the drain current of the transistor T1 which takes this voltage as a control voltage for input to its gate fluctuates. This fluctuation appears as a change in brightness in the light-emitting portion OLED, so that light emission at a stable brightness can no longer be guaranteed.

Hence in this embodiment, as shown in Fig. 1 and Fig. 5, transistor T2 which is an active element directly connected to the holding capacitor C is an active element with multiple control terminals, that is, a multi-gate type transistor. Using such a transistor, as indicated by the arrow in Fig. 5, is for practical purposes equivalent to directly connecting a plurality of transistors, and the leakage current is greatly suppressed. A current corresponding to the supplied data signal is reliably supplied to the light-emitting portion OLED.

As the transistor T2, instead of, or in addition to, a multi-gate type structure, an LDD, GDD, or DDD structure can also be employed. By employing such a structure, the leakage current can be reduced, and adverse effects due to hot electrons when a FET is miniaturized are suppressed, so that element reliability is enhanced.

In this embodiment, in consideration of the polarity of control signals, transistor T1 and transistor T2 have opposite polarities, that is, transistor T1 is a p-type FET, and transistors T2 to T4 are n-type FETs. However, whether to use a p-type or an n-type [transistor] can be decided arbitrarily according to the polarity and other details of signals which are to be used, and no restrictions apply.

Moreover, the placement of elements is not limited to that of Fig. 5. For example, the electrical potential relationships of the holding capacitor, transistor T1, and light-emitting portion OLED can be reversed. In this case, it is desirable that the common electrode of the light-emitting portion be an anode, and that the polarities of each of the transistors (whether n-type or p-type) be reversed.

Reduction of Peripheral Circuit Space

As explained above, in order to increase the brightness or aperture ratio in a display device, it is demanded that the region occupied by peripheral circuitry be

decreased as much as possible. To this end, in this embodiment a wiring pattern is formed such that at least one active element among the plurality of transistors and other active elements is connected to another active element by the same contact hole. Specifically, as shown in Fig. 2, transistors T2, T3, and T4 are interconnected by the same contact hole h3. In this way, the layout is optimized such that there are more numerous common connection points or contacts in a circuit, and by arranging elements such that portions which are common contact points are connected by the same connection points, the number of contact holes can be reduced and the area occupied by the peripheral circuitry is reduced due to these contact holes.

Embodiment 2

Fig. 8 shows a plane view explaining one pixel region and the wiring pattern in the vicinity thereof for an EL element of embodiment 2 of this invention. Fig. 9 shows cross-sectional views which explain the layer structure in cross-sections of Fig. 8. Fig. 9A shows the layer structure in a cross-section along the A-A plane, Fig. 9B is a cross-section along B-B, and Fig. 9C is a cross-section along C-C. In these drawings, similarly to embodiment 1, the patterns of the principal semiconductor layer 102, gate metal layer 104, source metal layer 106, and anode layer 110 are shown.

The configuration of the EL element in embodiment 2 is, except for the existence of an affinity-controlling film 113 which forms a step shape, similar to the EL element of embodiment 1. Hence components similar to those of embodiment 1 are assigned the same symbols in the drawings, and explanations are omitted.

Below, features of this embodiment are described.

Affinity-Controlling Layer

As shown in Fig. 9C, the light-emitting portion OLED in embodiment 2 comprises an affinity-controlling layer 113, between the second interlaminar insulating film 107 and the bank layer 108. This affinity-controlling layer 113 need not be formed over the entire pixel region, but when forming a light-emitting portion OLED using a liquid material, should preferably be provided at least near the boundaries of the light-emitting portion. The affinity-controlling layer 113 must have an affinity for the liquid material used in forming the light-emitting portion. In this

embodiment, the bank layer 108 forms a wall near the boundary of the light-emitting portion; a material is selected which exhibits no affinity for the liquid material used when forming the light-emitting layer 110, and [the bank layer] is stacked on top of the affinity-controlling layer 113. Consequently the affinity-controlling layer 113 forms a step shape Step on the inside of the light-emitting portion in the wall formed by the bank layer, as shown in Fig. 8 and Fig. 9C.

The material of the affinity-controlling layer 113 is determined according to the kind of properties of the liquid material which is used to fill the light-emitting region by the ink jet method. For example, if the liquid material comprises a liquid such as water which is highly polar, it is desirable that the affinity-controlling layer have polar bases, at least in the portion making contact with the liquid material or on the surface. Conversely, if the liquid material comprises a nonpolar liquid, it is desirable that the affinity-controlling layer have nonpolar bases, at least in the portion making contact with the liquid material or on the surface. Also, the extent of the affinity of the affinity-controlling layer is determined by the surface tension of the liquid material which fills the light-emitting region.

For example, even if a material which chemically has a weak affinity for water is used as an affinity-controlling layer, if the liquid material comprises large quantities of a solvent with a surface tension lower than that of water, the surface tension of the liquid material will be lower than that of water, and so the affinity-controlling layer will exhibit affinity for the liquid. Hence the type of material to use in the affinity-controlling layer is changed variously according to the liquid material to be used.

It is preferable that the affinity-controlling layer 113 comprise an inorganic compound or organic compound which in turn comprises one among Al, Ta or another metal, silicon oxide, silicon nitride, amorphous silicon, polysilicon, polyimide, an organic compound with fluoride bonds, or a photoresist. If insulating properties are necessary, the affinity-controlling layer comprises a nonmetallic compound. The affinity of these materials is determined by differences in the contact angle with respect to the liquid material. That is, the degree of affinity or absence of affinity is determined in relative and not absolute terms. The degree of affinity can also be adjusted through surface treatment methods.

It is preferable that the bank layer 108 comprise a material with weaker affinity than the affinity-controlling layer 113. This is because, by making the affinity of the bank layer weaker than that of the affinity-controlling layer, the absence of affinity of the bank layer can repel the liquid material to prevent flowing of the liquid material into neighboring pixel regions and avoid short-circuits. Also, the absence of affinity of the bank layer prevents liquid material from being drawn excessively toward the bank layer side so that a concave-shape film is formed.

Thus in this embodiment, an affinity-controlling layer with an affinity for the liquid material is provided near the boundaries of the light-emitting portion, so that a light-emitting layer of uniform film thickness can be formed.

In this way, according to this embodiment, an affinity-controlling layer with affinity for the liquid material is provided near the boundaries of the light-emitting portion, so that the uniformity of the thickness of the hole injection layer, light-emitting layer, and other layers constituting the light-emitting portion is improved.

In this embodiment, the affinity-controlling layer 113 is formed in a step shape; but when the thickness of the layer cross-section can be made sufficiently great, walls without a step shape, that is, a single wall without a step with the bank layer, may be formed.

Other advantageous results of embodiment 2 are similar to those of embodiment 1, and an explanation is omitted.

Embodiment 3

Fig. 10 shows a plane view which explains one pixel region and the peripheral wiring pattern for an EL element in embodiment 3. Fig. 11 shows cross-sectional views explaining the layer structure in cross-sections indicated in Fig. 10. Fig. 11A and Fig. 11B show the layer structures in the cross-sections along A-A and B-B respectively in Fig. 10. In these drawings, similarly to embodiment 1, patterns in the principal semiconductor layer 202, gate metal layer 204, source metal layer 206, and anode layer 210 can be seen.

In the pattern shape of the EL element in embodiment 3, the width of the pixel region 20 is smaller than the width of the pixel region 10 in embodiment 1. However, the circuit configuration is similar to that of embodiment 1 (see Fig. 5), and the

materials forming each layer are also similar to embodiment 1, and so components which are the same as in embodiment 1 are assigned the same symbols in the drawings, and explanations are omitted. The glass substrate 100, underlayer protection film 101, semiconductor layer 102, gate insulating film 103, gate metal layer 104, first interlaminar insulating film 105, source metal layer 106, second interlaminar insulating film 107, bank layer 108, cathode layer 109, anode layer 110, hole transport layer 111, and light-emitting layer 112 in embodiment 1 correspond, respectively, to the glass substrate 200, underlayer protection film 201, semiconductor layer 202, gate insulating film 203, gate metal layer 204, first interlaminar insulating film 205, source metal layer 206, second interlaminar insulating film 207, bank layer 208, cathode layer 209, anode layer 210, hole transport layer 211, and light-emitting layer 212 in embodiment 3. Also, the transistors T1 to T4 in embodiment 1 correspond respectively to the transistors T11 to T14 in embodiment 3, and the contact holes h1 to h3 in embodiment 1 correspond respectively to the contact holes h11 to h13 in embodiment 3.

Below, features of the wiring pattern in this embodiment are explained.

Holding Capacitor Under the Power Supply Line

In embodiment 1, the holding capacitor C was positioned between the power supply line Vdd and the data line Idata, outside the light-emitting portion (in the upper portion of the light-emitting portion in Fig. 2). However, when the area of the pixel region is comparatively small as in this embodiment, that is, when the pixel density is high, it is not possible to secure sufficient element space for occupation by the holding capacitor.

Hence in this embodiment, the holding capacitor C is formed in the region in which at least one among a first metal layer (for example, the source metal layer 206) or a second layer forms a power supply wiring pattern. Specifically, as shown in Fig. 10, the holding capacitor C is formed by stacking a gate metal layer 204 in parallel below the power supply line Vdd (source metal layer 206) positioned on the side of the light-emitting portion OLED.

The holding capacitor C is formed by causing an overlapping region to occur among the plurality of layers (for example, the source metal layer 206, gate metal

layer 204, and semiconductor layer 202) relating to formation of the holding capacitor C, similarly to the holding capacitor explained in embodiment 1; near the overlapping region in which the holding capacitor C is formed, the region occupied by the layer positioned on the lower side among the plurality of layers is formed to be larger than the region occupied by layers positioned on the upper side. Specifically, as shown in Fig. 11B, if the width of the source metal layer 206 is d11, the width of the gate metal layer 204 is d12, and the width of the semiconductor layer 202 is d13, then the relation d13 > d12 > d11 obtains. The lower the layer, the larger the pattern shape is made.

The extent to which the size is increased will depend on the precision of the manufacturing processes and the pattern density. As one approach, patterns should be formed for each layer such that, when forming layers positioned on the upper side, even when the maximum possible shift in position occurs, the region in the layer positioned on the upper side will be contained within the region in the layer positioned on the lower side. In this embodiment also, the differences d13-d12 and d12-d11 are designed to be equal to or greater than predicted position shifts in manufacturing processes.

Holding Capacitor Below the Bank Layer

It is preferable that the above-described holding capacitor be formed below the bank layer 208, in order to isolate the above-described neighboring light-emitting portion. That is, because the bank layer is necessary for pixel separation, by superposing the wiring region for the power supply line and the overlapping region for the holding capacitor, the area occupied by the peripheral circuit can be greatly reduced, and a sufficient aperture ratio can be secured.

Reduction of Peripheral Circuit Space

Similarly to embodiment 1, in embodiment 2 a wiring pattern is fabricated such that at least one active element among a plurality of transistors and other active elements is connected to another active element by the same contact hole. Specifically, as shown in Fig. 10, the transistors T12, T13 and T14 are interconnected by the same contact hole h13. In this way, by designing the circuit such that there are numerous common contact points in the circuit, and arranging

elements such that portions which are common contact points are connected by the same connection points, the number of contact holes can be reduced, and the occupied area of the peripheral circuit used for contact holes can be decreased.

Other features, such as for example the planar shape of the light-emitting portion, separation from the electrodes of the gate metal layer, peripheral circuit operation, and improvement of the current maintenance performance of the peripheral circuit, are similar to those of embodiment 1, and an explanation is omitted.

Embodiment 4

Fig. 12 shows a plane view which explains one pixel region and the peripheral wiring pattern for an EL element in embodiment 3 of this invention. Fig. 13 shows cross-sectional views which explain the layer structure at cross-sections indicated in Fig. 12. Fig. 13A and Fig. 13B show the layer structure at cross-sections A-A and B-B respectively in Fig. 12. As in embodiment 3, in these drawings the patterns of the principal semiconductor layer 202, gate metal layer 204, source metal layer 206, and anode layer 210 can be seen.

Except for the existence of an affinity-controlling film 213 forming a step shape, the configuration of the EL element of embodiment 4 is the same as the EL element of embodiment 3. Hence the same symbols in drawings are assigned to components which are the same as in embodiment 3, and an explanation is omitted.

Features of this embodiment are explained below.

Affinity-Controlling Layer

As shown in Fig. 13B, the light-emitting portion OLED in embodiment 4 comprises an affinity-controlling layer 213 between the second interlaminar insulating film 207 and the bank layer 208. This affinity-controlling layer 213 need not be formed over the entire pixel region, but must be provided, at least, near the boundaries of the light-emitting portion. The affinity-controlling layer 213 must have affinity with the liquid material used in forming the light-emitting portion. In this embodiment, the bank layer 208 forms walls near the boundaries of the light-emitting portion; a material which exhibits a lack of affinity with the liquid material used when forming the light-emitting layer 212 or hole injection layer 211 is selected,

and is stacked on top of the affinity-controlling layer 213. Consequently the affinity-controlling layer 213 forms a step shape on the inside of the light-emitting portion with respect to the wall formed by the bank layer, as shown in Fig. 12 and Fig. 13B.

The material of the affinity-controlling layer 113 is determined according to the properties of the liquid material with which the light-emitting region is filled using the ink jet method. For example, if the liquid material comprises a liquid such as water which is highly polar, it is desirable that the affinity-controlling layer have polar bases, at least in the portion making contact with the liquid material or on the surface. Conversely, if the liquid material comprises a nonpolar liquid, it is desirable that the affinity-controlling layer have nonpolar bases, at least in the portion making contact with the liquid material or on the surface. Also, the extent of the affinity of the affinity-controlling layer is determined by the surface tension of the liquid material which fills the light-emitting region.

For example, even if a material which chemically has a weak affinity for water is used as an affinity-controlling layer, if the liquid material comprises large quantities of a solvent with a surface tension lower than that of water, the surface tension of the liquid material will be lower than that of water, and so the affinity-controlling layer will exhibit affinity for the liquid. Hence the type of material to use in the affinity-controlling layer is changed variously according to the liquid material to be used.

It is preferable that the affinity-controlling layer 213 comprise an inorganic compound or organic compound which in turn comprises one among Al, Ta or another metal, silicon oxide, silicon nitride, amorphous silicon, polysilicon, polyimide, an organic compound with fluoride bonds, or a photoresist. If insulating properties are necessary, the affinity-controlling layer comprises a nonmetallic compound. The affinity of these materials is determined by differences in the contact angle with respect to the liquid material. That is, the degree of affinity or absence of affinity is determined in relative and not absolute terms. The degree of affinity can also be adjusted through surface treatment methods.

It is preferable that the bank layer 108 comprise a material with weaker affinity than the affinity-controlling layer 113. This is because, by making the affinity

of the bank layer weaker than that of the affinity-controlling layer, the absence of affinity of the bank layer can repel the liquid material to prevent flowing of the liquid material into neighboring pixel regions and avoid short-circuits. Also, the absence of affinity of the bank layer prevents liquid material from being drawn excessively toward the bank layer side so that a concave-shape film is formed.

Thus in this embodiment, an affinity-controlling layer with an affinity for the liquid material is provided near the boundaries of the light-emitting portion, so that the uniformity of the thickness of the hole injection layer, light-emitting layer, and other layers constituting the light-emitting portion can be improved.

According to this embodiment, a bank layer forming a wall near the boundaries of the light-emitting portion exhibits a lack of affinity with the liquid material, so that short-circuits with the neighboring pixel regions can be prevented.

In this embodiment, the affinity-controlling layer 213 is formed in a step shape; but when the thickness of the layer cross-section can be made sufficiently great, walls without a step shape, that is, a single wall without a step with the bank layer, may be formed.

Other advantageous results of embodiment 4 are similar to those of embodiment 1, and an explanation is omitted.

Embodiment 5

This embodiment relates to a display panel which is an electro-optical device having EL elements which are electro-optical elements explained in the above embodiments, and electronic device comprising such a display panel.

Fig. 14 shows a connection diagram for a display panel 1 of this embodiment. As indicated in Fig. 1, in display panel 1, pixel regions are arranged in the display region 11. As pixel regions, the pixel regions 10 of embodiment 1 or embodiment 2, or the pixel regions 20 of embodiments 3 or 4 may be employed. Control signals are supplied to each pixel region from the driver region 14, via the light-emission control lines Vgp and write-control lines Vsel. Data signals and a power supply voltage are supplied to each pixel region from the driver region 15, via data lines Idata and power supply lines Vdd.

The display panel 1 of this embodiment can be employed in various electronic device. Fig. 15 shows examples of electronic device which can employ the display panel 1.

Fig. 15A is an example of application to a portable telephone set; the portable telephone 30 comprises an antenna portion 31, voice output portion 32, voice input portion 33, operation portion 34, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as the display portion.

Fig. 15B is an example of application to a camcorder; the camcorder 40 comprises an imaging portion 41, operation portion 42, audio input portion 43, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as a viewfinder or display portion.

Fig. 15C is an example of application to a portable personal computer; the computer 50 comprises a camera portion 51, operation portion 52, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as a display portion.

Fig. 15D is an example of application to a head-mounted display; the head-mounted display 60 comprises a band 61, optical system housing portion 62, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as an image display source.

Fig. 15E is an example of application to a rear projector; the projector 70 comprises a housing 71, light source 72, synthetic optical system 73, mirror 74, mirror 75, screen 76, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as an image display source.

Fig. 15F is an example of application to a front projector; the projector 80 comprises a housing 82, optical system 81, and a display panel 1 of this invention, and is capable of displaying images on a screen 83. Thus a display panel of this invention can be utilized as an image display source.

Electro-optical devices of this invention are not limited to the above examples, but extend to all electronic device to which active-matrix type display devices can be applied. For example, in addition to the above, utilization in fax machines with display functions, in the viewfinders of digital cameras, in portable TV sets, in DSP

devices, in PDAs, in electronic organizers, in electro-optical bulletin boards, in displays for advertising and announcements, and in other areas is possible.

What Is Claimed Is:

1. An active matrix substrate, comprising peripheral circuits to supply current to an electro-optical element of each pixel corresponding to said electro-optical elements, wherein each of said peripheral circuits comprises:

a holding element to hold a control voltage;

a first active element, connected to said holding element, to supply a current based on said control voltage to said electro-optical element; and,

a second active element, connected to said holding element, which controls the charging and discharging of said holding element; and

wherein said second active element comprises a structure to prevent leakage currents during shutoff.

2. The active matrix substrate according to claim 1, wherein said second active element is configured as a multi-gate type active element.

3. The active matrix substrate according to claim 1, wherein at least said second active element is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

4. An active matrix substrate, comprising a plurality of unit circuits arranged corresponding to intersections of a plurality of data lines and a plurality of scan lines, wherein each of said plurality of unit circuits comprises:

a first transistor, comprising a first control terminal, a first terminal, and a second terminal;

a holding element, connected to said first control terminal, and comprising a first electrode and a second electrode; and,

a second transistor, comprising a third terminal, a fourth terminal, and a second control terminal, said third terminal and said fourth terminal being respectively connected to said first terminal and said first electrode; and

wherein said second transistor has a multi-gate structure.

5. An active matrix substrate, comprising a plurality of unit circuits arranged corresponding to intersections of a plurality of data lines and a plurality of scan lines, wherein each of said plurality of unit circuits comprises:

a first transistor, comprising a first control terminal, a first terminal, and a second terminal;

a holding element, connected to said first control terminal, and comprising a first electrode and a second electrode; and,

a second transistor, comprising a third terminal, a fourth terminal, and a second control terminal, said third terminal and said fourth terminal being respectively connected to said first terminal and said first electrode; and

wherein said second transistor is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

6. The active matrix substrate according to claim 4 or claim 5, further comprising a third transistor comprising a fifth terminal, a sixth terminal, and a third control terminal,

wherein said third control terminal is connected to one scan line among said plurality of scan lines, and

said fifth terminal is connected to one data line among said plurality of data lines.

7. The active matrix substrate according to claim 6, wherein said sixth terminal is connected to said third terminal and to said first terminal.

8. The active matrix substrate according to any of claims 4 through 7, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal, and

wherein at least a portion of one scan line among said plurality of scan lines is formed in said gate metal layer.

9. The active matrix substrate according to any of claims 4 through 7, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal; and

wherein at least a portion of one data line among said plurality of data lines is formed in said gate metal layer.

10. The active matrix substrate according to any of claims 4 through 7, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed;

a gate metal layer comprising said second control terminal; and

a source metal layer comprising a source electrode or drain electrode connected to the source or drain of said second transistor; and

wherein at least one portion of at least one data line among said plurality of data lines is formed in the layer, among said source metal layer and said gate metal layer, which is closer to said semiconductor layer.

11. An active matrix substrate, comprising unit circuits with transistors, scan lines, and data lines, and having a stacked-layer structure comprising a plurality of layers,

wherein said plurality of layers comprise:

a semiconductor layer, in which a semiconductor film constituting transistors is formed; and

a gate metal layer having gate terminals of said transistors formed therein; and

wherein at least one portion of either said scan lines or said data lines, or both, is formed in said gate metal layer.

12. An active matrix substrate, comprising unit circuits with transistors, scan lines, and data lines, and having a stacked-layer structure comprising a plurality of layers,

wherein said plurality of layers comprise:

a semiconductor layer, in which a semiconductor film constituting transistors is formed;

a gate metal layer having gate terminals of said transistors formed therein; and

a source metal layer in which source electrodes or gate electrodes connected to sources or drains of said transistors are formed; and

wherein at least one portion of either said scan lines or said data lines, or both, is formed in the layer, among said gate metal layer and said source metal layer, which is closer to said semiconductor layer.

13. The active matrix substrate according to claim 11 or claim 12, wherein said unit circuit comprises:

a first transistor, comprising a first control terminal, first terminal, and second terminal;

a holding element, connected to said first control terminal, and comprising a first electrode and second electrode; and,

a second transistor, comprising a third terminal, fourth terminal, and second control terminal, said third terminal and said fourth terminal being respectively connected to said first terminal and to said first electrode; and

wherein said second transistor is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

14. An electro-optical device comprising an active matrix substrate according to any of claims 1 through 13, and electro-optical elements.

15. An electro-optical device, comprising peripheral circuits to supply current to an electro-optical element of each pixel corresponding to said electro-optical elements, wherein each of said peripheral circuits comprises:

a light-emission control active element to supply a currrent to said electro-optical element during a light emission period;

a holding element to hold a control voltage;

a first active element, a gate terminal of which is connected to said holding element, which supplies a current, based on said control voltage applied to the gate terminal, to said electro-optical element via said light-emission control active element;

a current-controlling active element, which passes data current via said first active element during a selection period; and,

a second active element, connected between said current-controlling active element and said holding element, which, during said selection period, charges said holding element and causes said control voltage to be stored; and

wherein said second active element comprises a structure to prevent leakage currents during shutoff.

16. An electro-optical device, comprising electro-optical elements and peripheral circuitry which drives said electro-optical elements,

wherein said electro-optical elements are formed such that a boundary of the electro-optical elements has, at least, a prescribed curvature; and

at least one portion of said peripheral circuitry is formed in the region surrounded by the boundary having the specified curvature and by the boundaries of a polygon circumscribing the electro-optical element.

17. The electro-optical device according to claim 16, wherein a plurality of boundary portions having said prescribed curvature are formed.

18. The electro-optical device according to claim 16 or claim 17, wherein said plurality of formed boundary portions are arranged substantially symmetrically with respect to a center line passing through the geometric center of said electro-optical element.

19. An electro-optical device, comprising a light-emitting portion and a peripheral circuit which controls the current supplied to said light-emitting portion, by means of a pixel electrode, wherein:

the area of said light-emitting portion is smaller than the area of said pixel electrode; and,

the shape of said light-emitting portion and the shape of said pixel electrode are different.

20. An electro-optical device, comprising a light-emitting portion and a peripheral circuit which controls the current supplied to said light-emitting portion, by means of a pixel electrode, wherein:

the area of said light-emitting portion is smaller than the area of said pixel electrode; and,

the shape of said light-emitting portion is a shape having a curvature, and the shape of said pixel electrode is a polygonal shape.

21. An electro-optical device, comprising a light-emitting portion and a peripheral circuit which controls the current supplied to said light-emitting portion, by means of a pixel electrode, wherein:

the area of said light-emitting portion is smaller than the area of said pixel electrode;

said light-emitting portion has a polygonal shape having n vertices (where n is an integer greater than or equal to 4);

said pixel electrode has a polygonal shape having m vertices (where m is an integer greater than or equal to 3); and,

the relation n>m obtains.

22. The electro-optical device according to any of claims 19 through 21, wherein the entire region of said light-emitting portion is formed on said pixel electrode, and a contact region for connection of said peripheral circuit and said pixel electrode is provided in a portion of said pixel electrode in which said light-emitting portion is not formed.

23. An electro-optical device, comprising:

an electro-optical element;

a holding capacitance, constituted by a plurality of layers including electrodes, which regulates a current supplied to said electro-optical element; and,

an active element which supplies current to said electro-optical element according to the electric charge amount held in said holding capacitance;

wherein a first electrode constituting said holding capacitance is formed by patterning a portion of a metal layer comprising a power supply line which supplies current to said electro-optical element.

24. The electro-optical device according to claim 23, wherein a second electrode constituting said holding capacitance is formed by patterning a portion of a metal layer comprising a control terminal of said active element.

25. The electro-optical device according to claim 23, wherein said first electrode is a portion of said power supply line, and a portion of a metal layer forming a control terminal of said active element is superposed on a portion of said power supply line and patterned to form said second electrode.

26. The electro-optical device according to claim 23, comprising a semiconductor layer below said first electrode and said second electrode.

27. The electro-optical device according to claim 25, wherein the region occupied by a layer positioned on the lower side among the layers constituting electrodes of said holding capacitance is formed to be larger than the region occupied by a layer positioned on the upper side.

28. The electro-optical device according to claim 27, wherein the region occupied by said layer positioned on the lower side is pattern-formed in a shape such that, even if the maximum possible position shift occurs at the time of formation

of said layer positioned on the upper side, the region of the layer positioned on the upper side is contained within the region of said layer positioned on the lower side.

29. An electro-optical device, comprising a plurality of layers including electrodes, configured such that a current can be supplied by an active element according to a voltage stored in a holding capacitance to an electro-optical element which emits light through the application of an electric field between the electrodes, comprising:

a first metal layer, constituting a power supply line; and,

a second metal layer, formed in a pattern including a portion of a control terminal of said active element; and

wherein one electrode constituting said holding capacitance is formed by patterning one portion of said first metal layer.

30. The electro-optical device according to claim 29, wherein the other electrode constituting said holding capacitance is formed by patterning one portion of said second metal layer.

31. The electro-optical device according to claim 29, wherein one electrode constituting said holding capacitance is one portion of said power supply line, and said other electrode is formed by superposing a portion of said second metal layer on a portion of the power supply line and patterning.

32. The electro-optical device according to claim 29, wherein the region occupied by a layer positioned on the lower side among the layers comprising said holding capacitance electrodes is formed to be larger than the region occupied by a layer positioned on the upper side.

33. The electro-optical device according to claim 32, wherein the region occupied by said layer positioned on the lower side is pattern-formed in a shape such that, even if the maximum possible position shift occurs at the time of formation of said layer positioned on the upper side, the region of the layer positioned on the upper side is contained within the region of said layer positioned on the lower side.

34. An active matrix substrate, comprising pixel electrodes and paths arranged corresponding to intersections of data lines and scan lines, wherein:

said pixel electrodes are connected to a power supply line via one or more transistors;

a holding element is provided, connected to a gate of said one or more transistors; and,

a first electrode constituting said holding element is connected to said power supply line.

35. An active matrix substrate, comprising pixel electrodes and paths arranged corresponding to intersections of data lines and scan lines, wherein:

said pixel electrodes are connected to a power supply line via one or more transistor;

a holding element is provided, connected to a gate of said one or more transistor; and,

a first electrode constituting said holding element is a portion of said power supply line.

36. The active matrix substrate according to claim 34 or claim 35, wherein a second electrode constituting said holding element is the gate of said one or more transistors.

37. An active matrix substrate, comprising unit circuits comprising transistors, arranged corresponding to intersections of data lines and scan lines; wherein

a semiconductor film constituting said transistors is formed in a semiconductor layer;

either said scan lines or said data lines are formed in a first conducting layer at the intersections of said scan lines and said data lines; and,

a portion of said scan lines and said data lines outside said intersections are formed in a second conducting layer.

38. The active matrix substrate according to claim 37, wherein said second conducting layer is positioned between said first conducting layer and said semiconductor layer.

39. An electro-optical device, comprising electro-optical elements corresponding to intersections of scan lines and data lines, wherein:

a pair of electrodes is provided to supply power to said electro-optical elements;

at the intersections of said scan lines and said data lines, either said scan lines or said data lines are formed in a first conducting layer;

portions of said scan lines and said data lines outside said intersections are formed in a second conducting layer; and,

said second conducting layer is positioned at a greater distance than said first conducting layer from one of said pair of electrodes.

ABSTRACT OF THE DISCLOSURE

An active matrix substrate is provided which does not cause reductions in the brightness of electroluminescence elements, and which comprises appropriate peripheral circuitry occupying a small area. The active matrix substrate comprises peripheral circuits to supply current to EL elements provided for each pixel, and corresponding to EL elements, and further comprises a holding element (C) which holds a control voltage, a first active element (T1) connected to the holding element (C) and which supplies current to a light-emitting portion (OLED) based on a control voltage, and a second active element (T2) connected to the holding element (C) and which controls the charging and discharging of the holding element. In particular, the second active element (T2) is configured as a multiple-control-terminal type active element. As a result, there are no fluctuations in the programmed current.

Fig.1

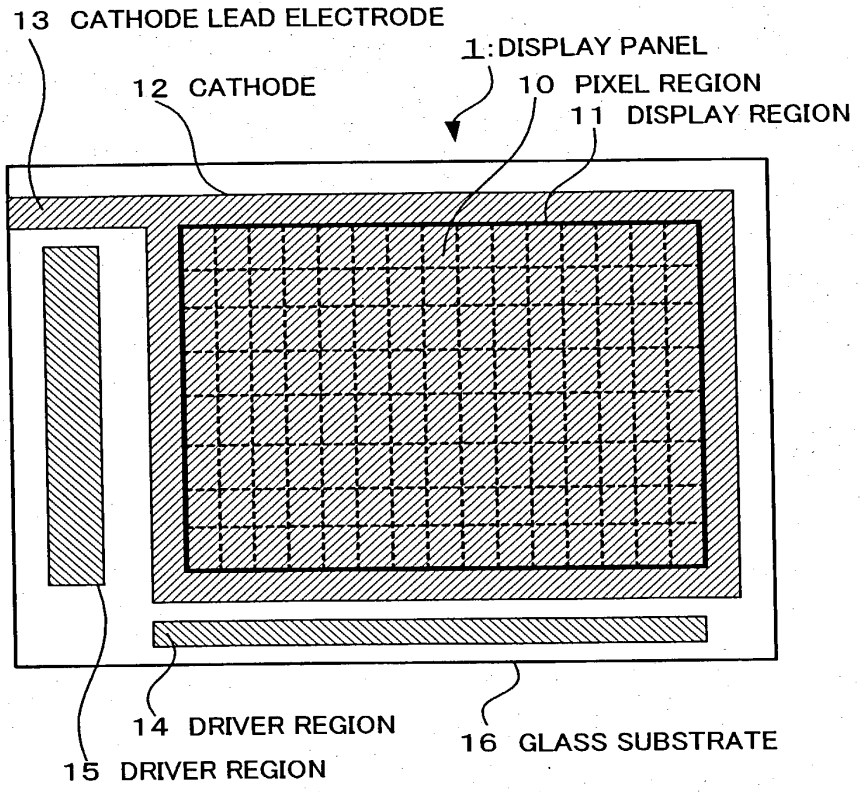

13 CATHODE LEAD ELECTRODE
1:DISPLAY PANEL
12 CATHODE
10 PIXEL REGION
11 DISPLAY REGION
14 DRIVER REGION
16 GLASS SUBSTRATE
15 DRIVER REGION

Fig.2

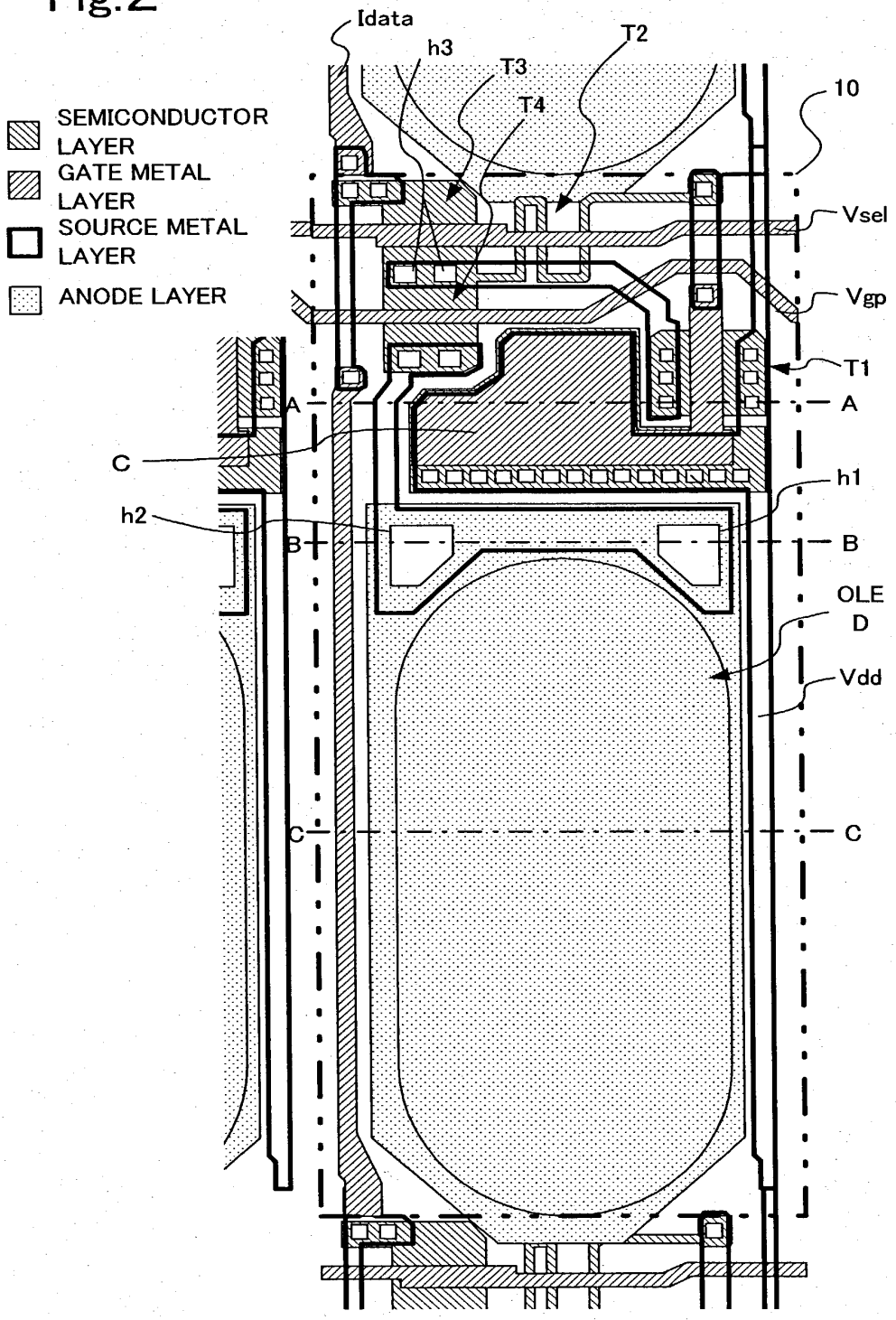

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
h3
T3
T4
T2
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLE
D
Vdd
C
C

Fig.3A

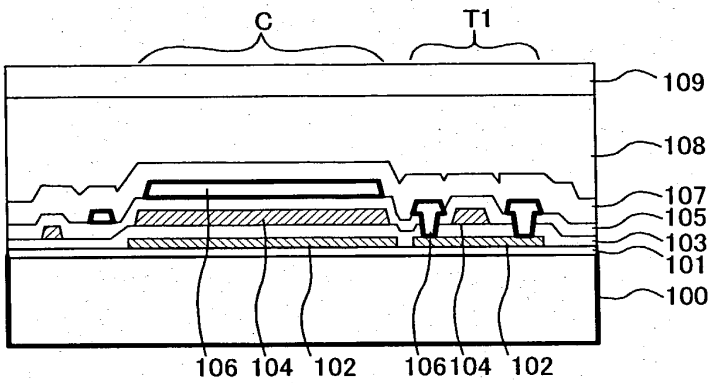


Fig.3B

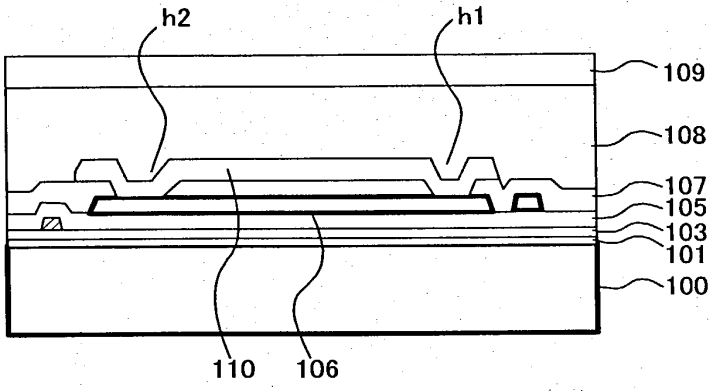
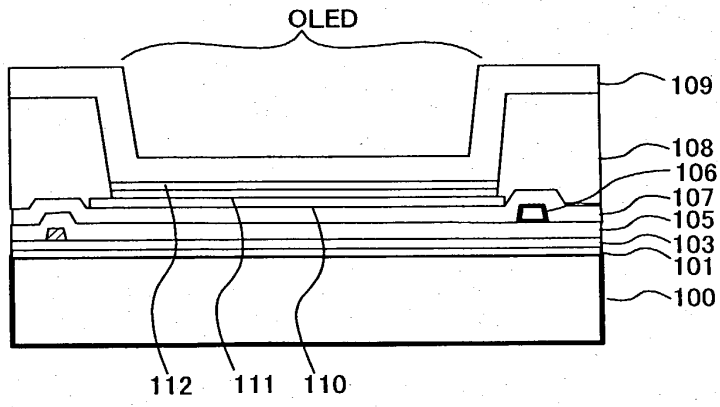


Fig.3C



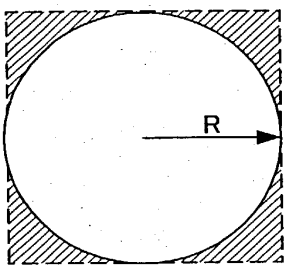


Fig.4A

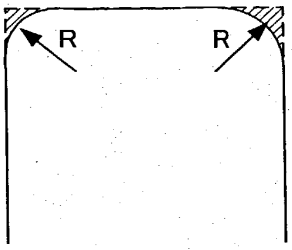


Fig.4B

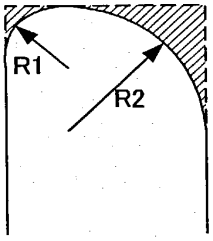


Fig.4C

Fig.5

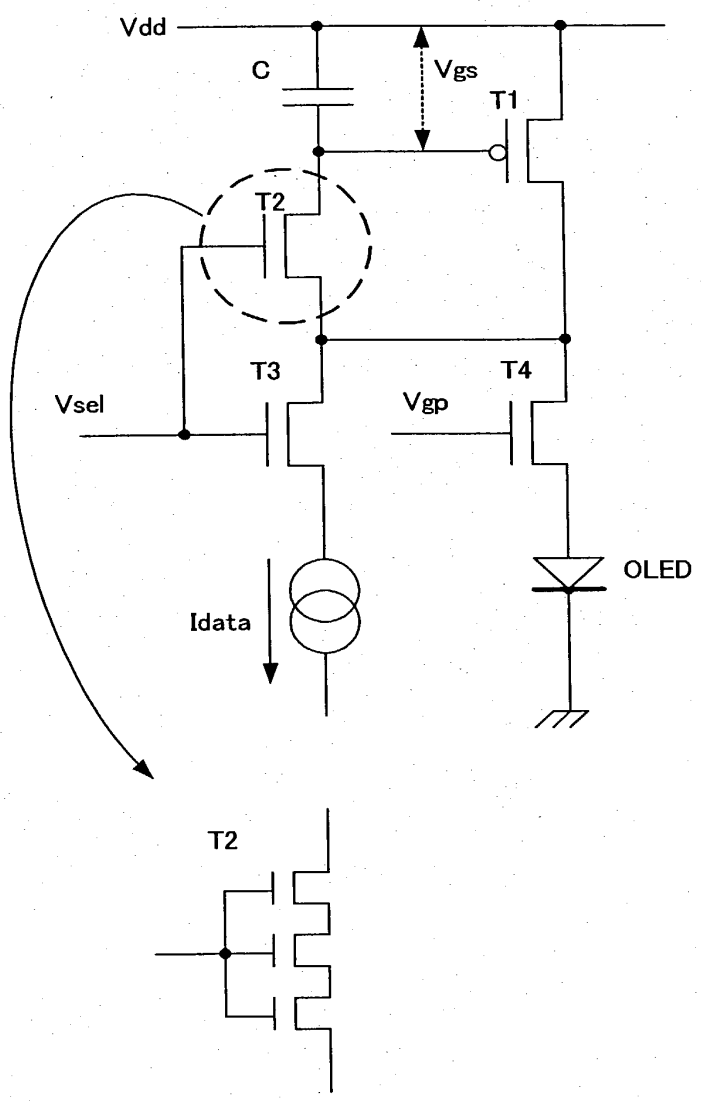


Fig.6

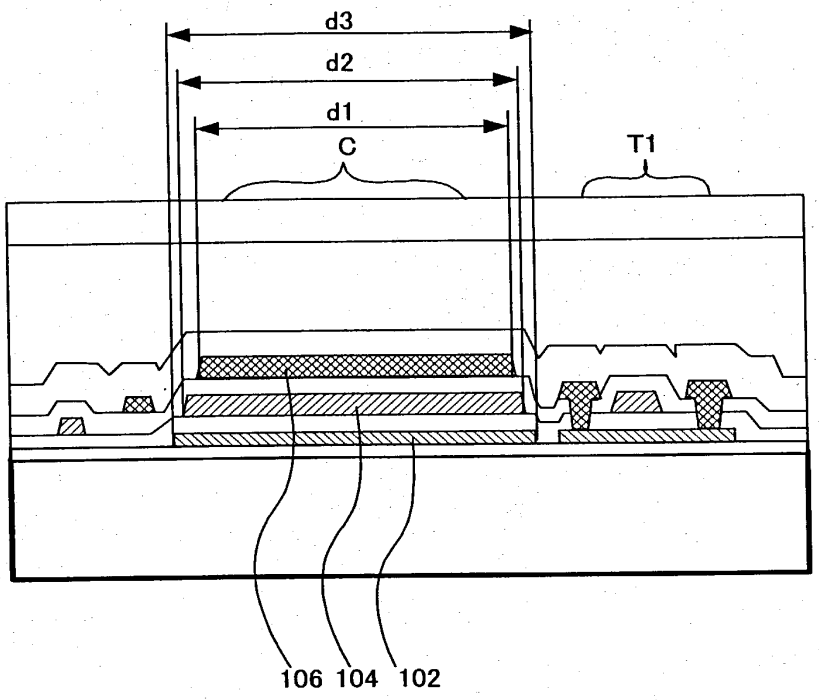


Fig.7

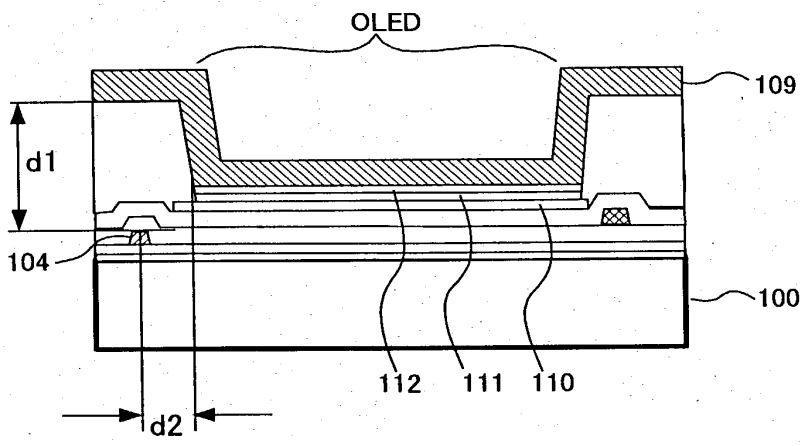


Fig.8

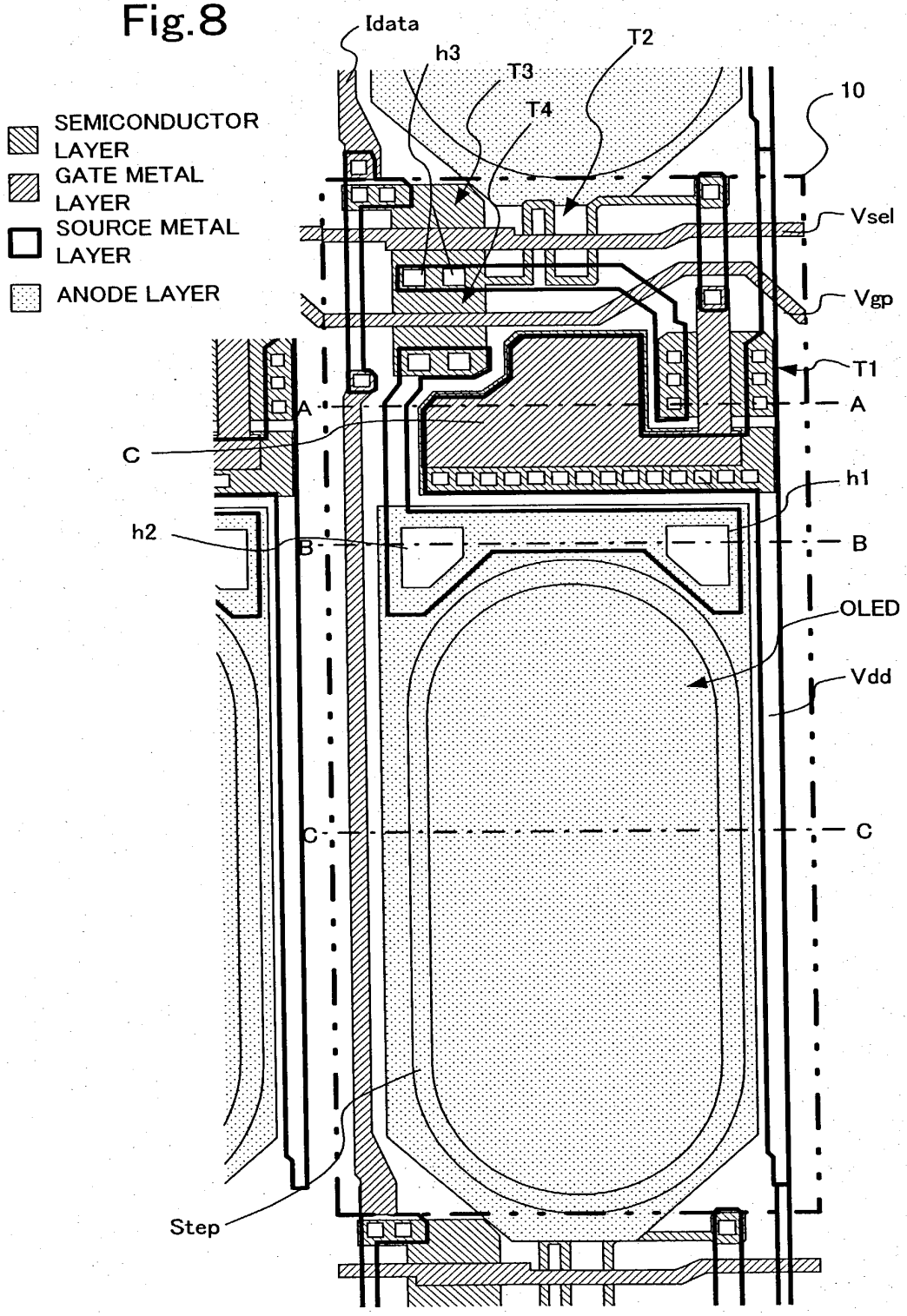

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
h3
T3
T2
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C
Step

Fig.9A

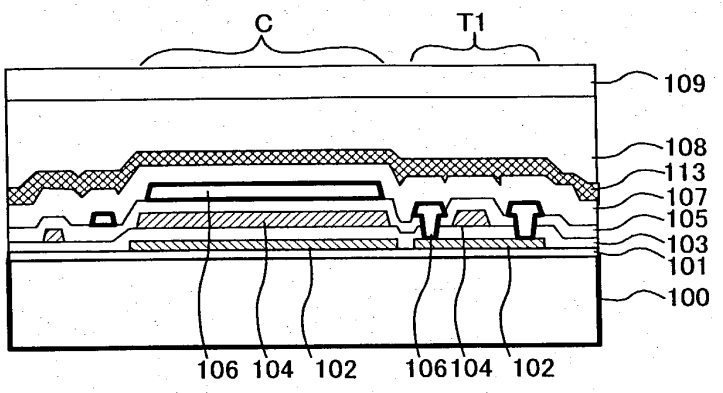


Fig.9B

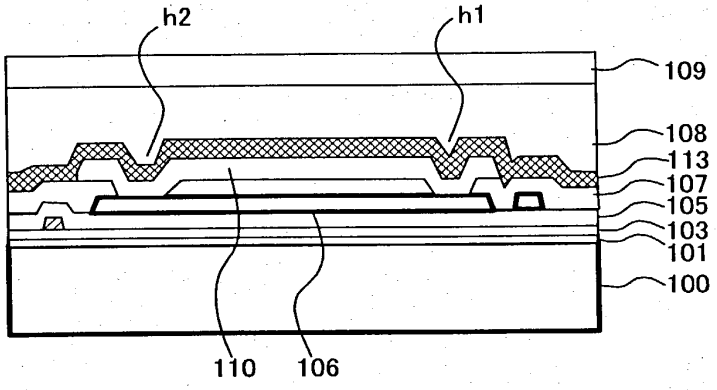


Fig.9C

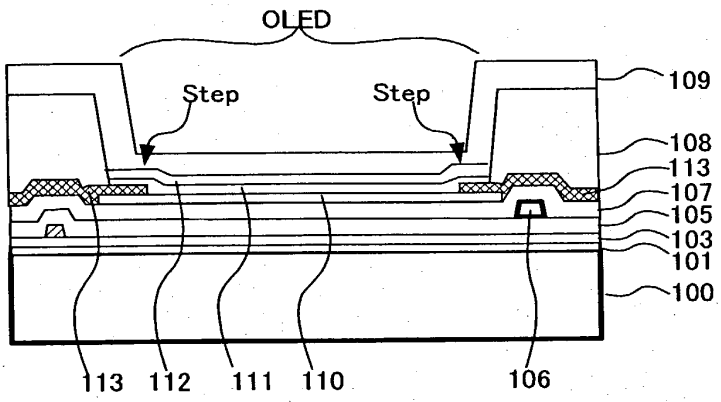


Fig.10

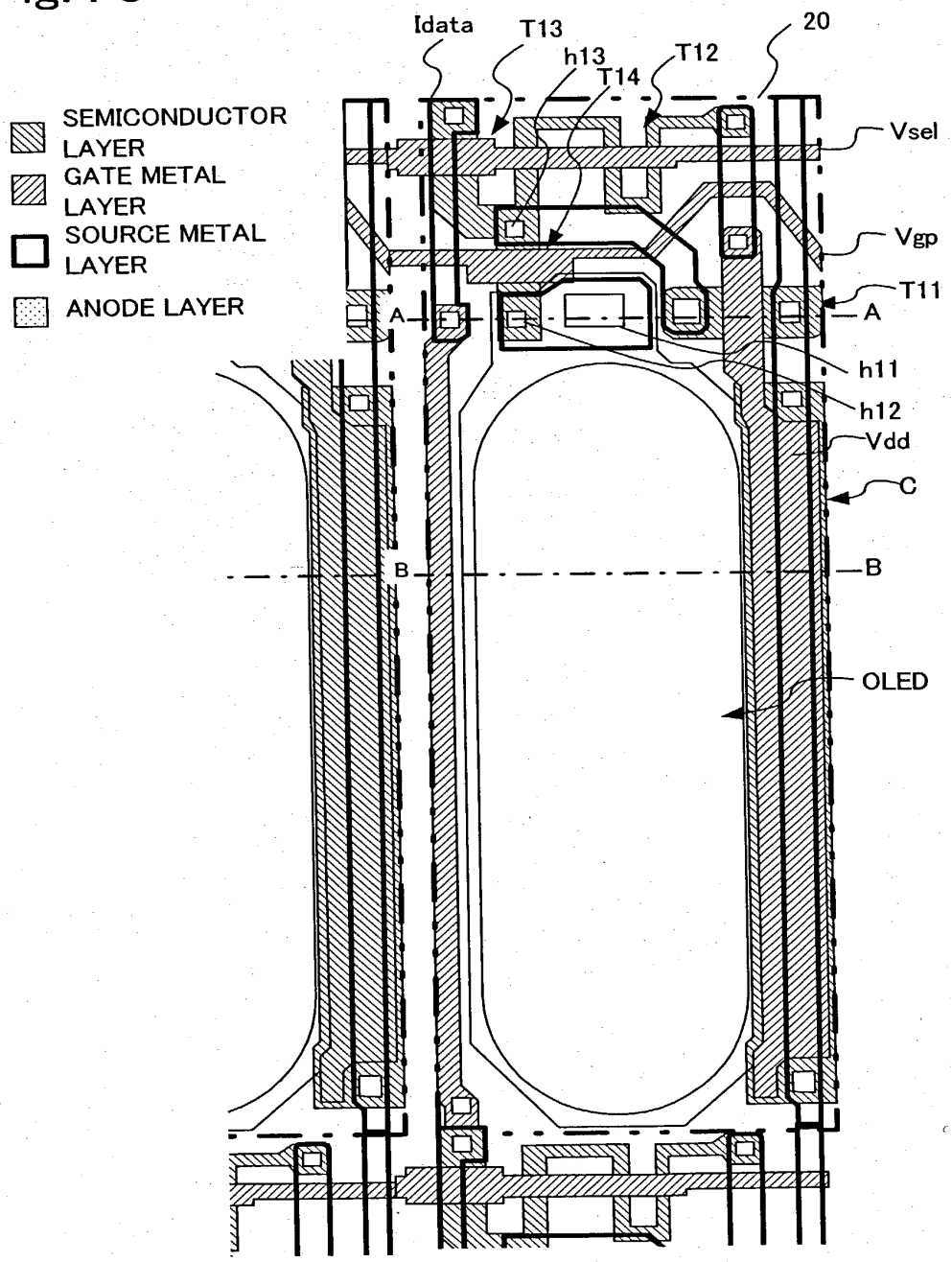

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED

Fig.11A

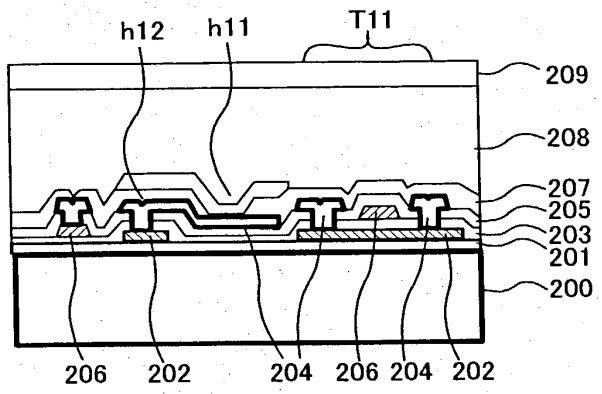


Fig.11B

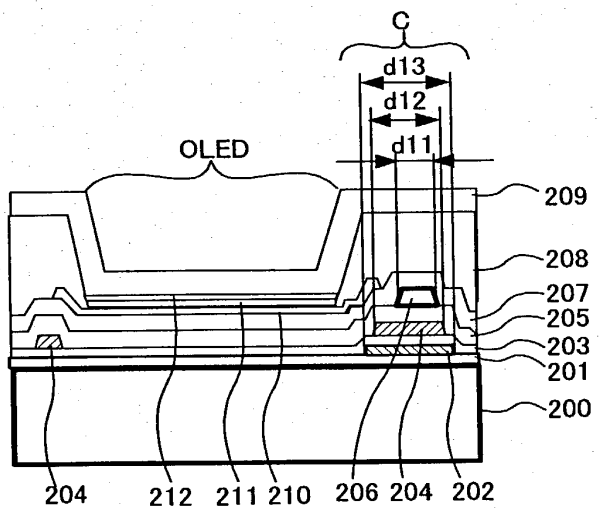


Fig.12

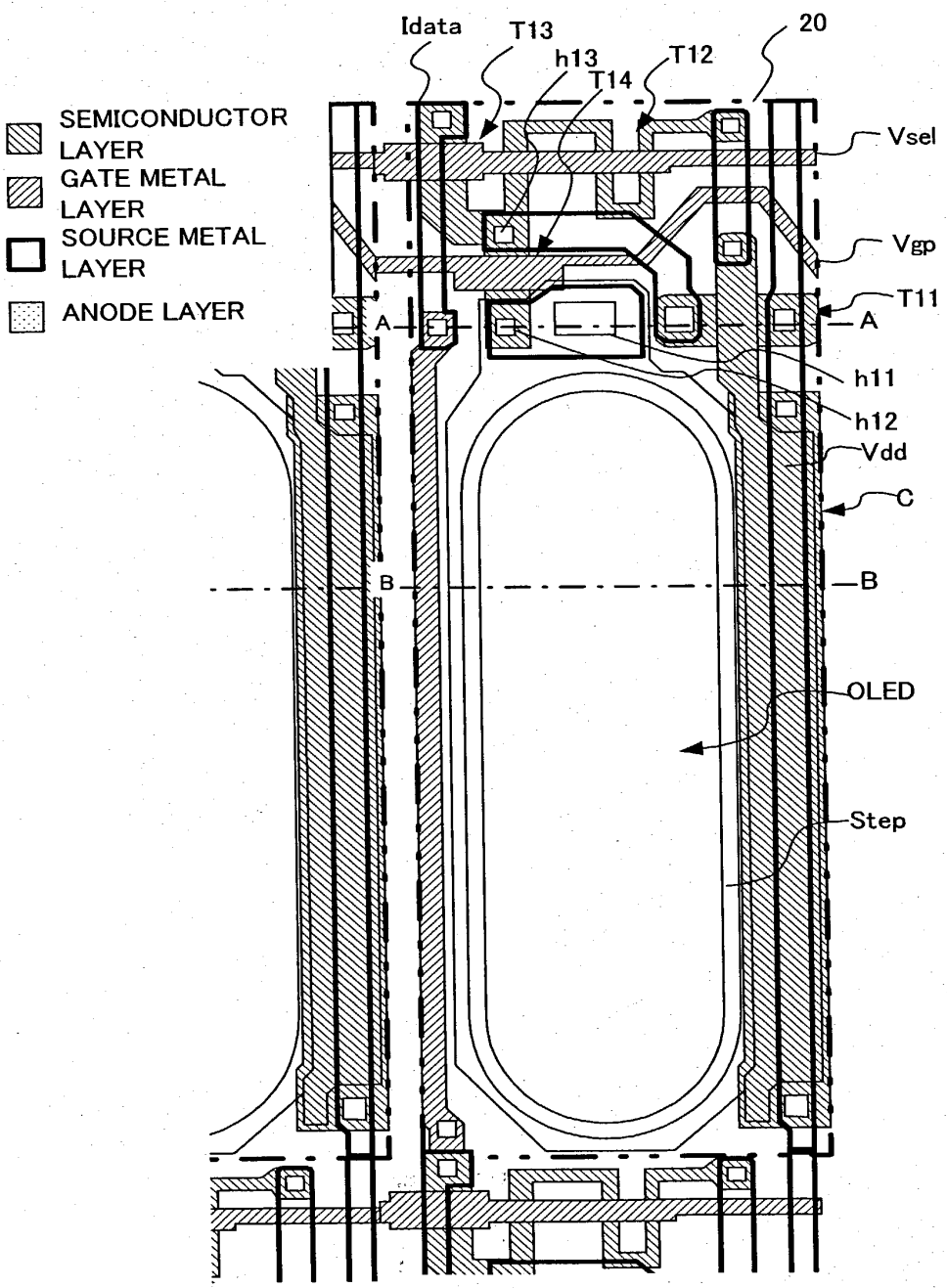

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED
Step

Fig.13A

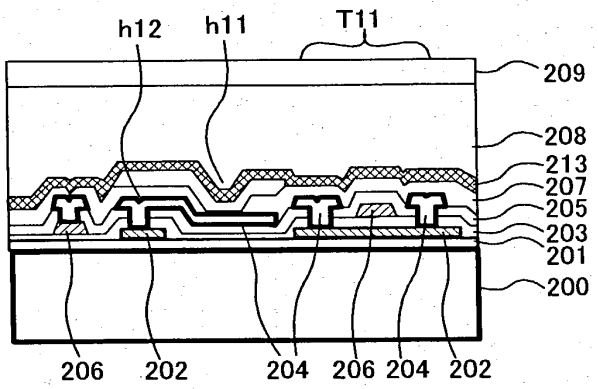


Fig.13B

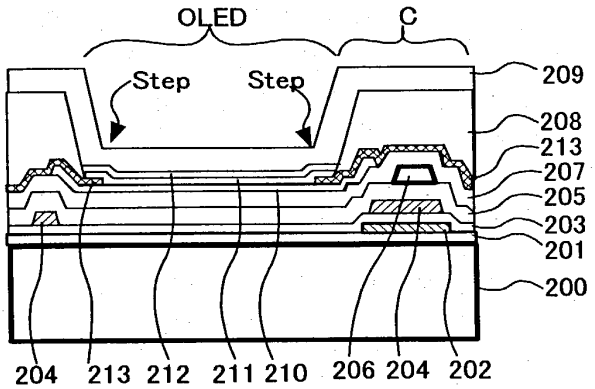
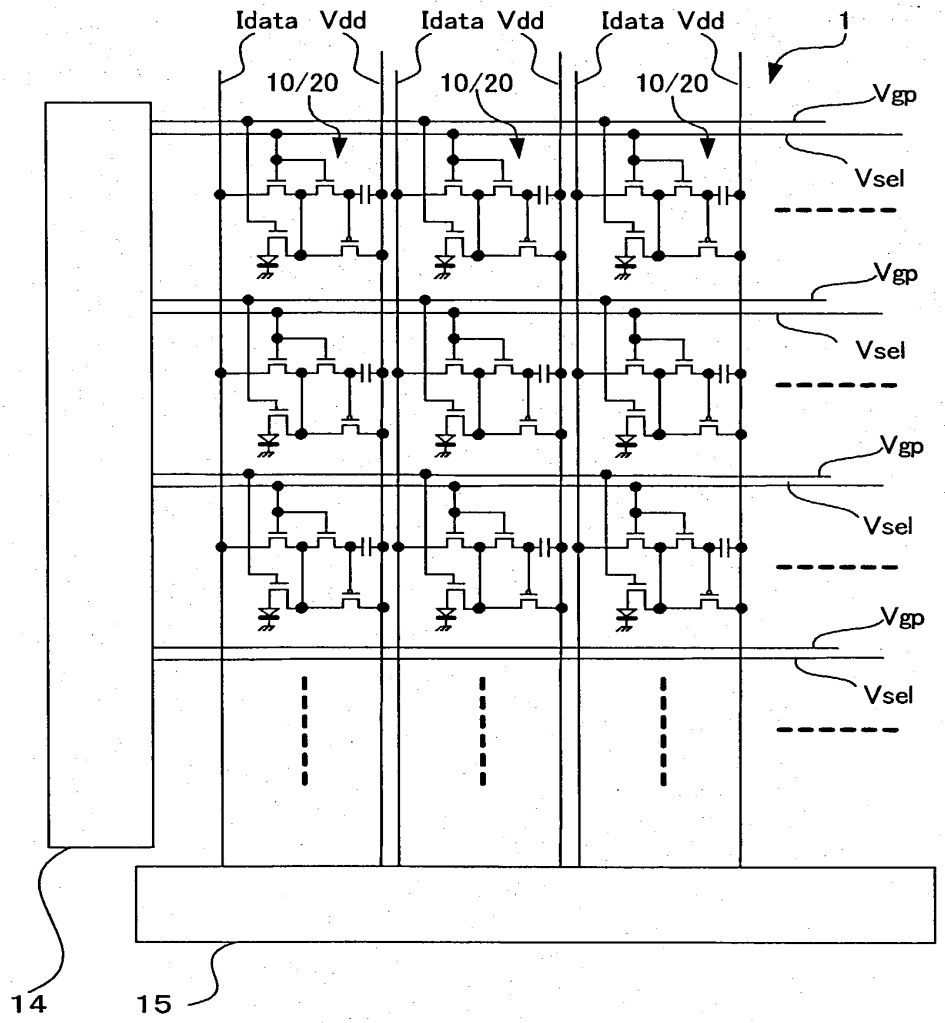


Fig.14


Idata
Vdd
Idata
Vdd
Idata
Vdd
1
10/20
10/20
10/20
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
14
15

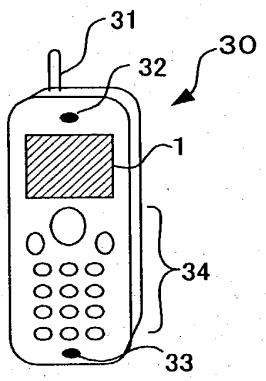


Fig.15A

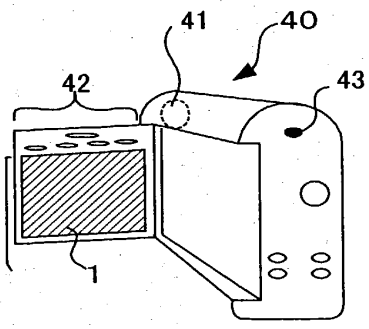


Fig.15B

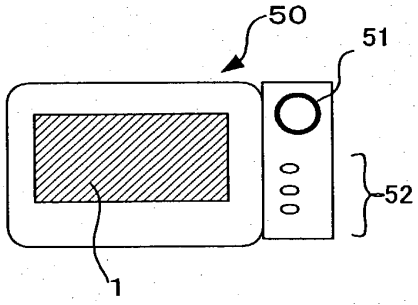


Fig.15C

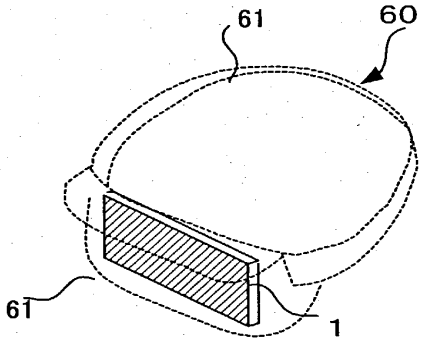


Fig.15D

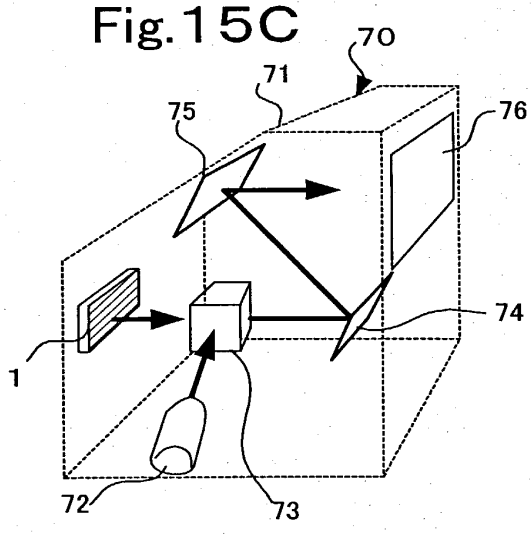


Fig.15E

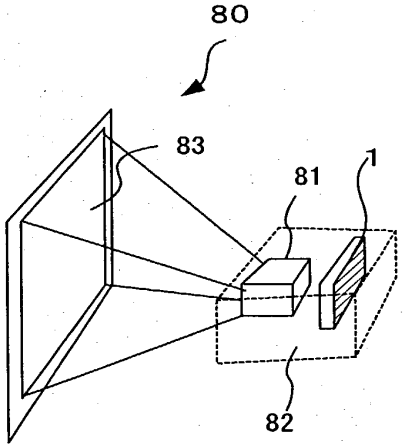


Fig.15F

10299861_021303

#3

PTO/SB/106 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

Seiko Epson Ref. No.: F007728US00 Attorney's Ref. No.: 114251

Declaration and Power of Attorney For Patent Application

特許出願宣言書及び委任状

Japanese Language Declaration

日本語宣言書

下記の氏名の発明者として、私は以下の通り宣言します。	As a below named inventor, I hereby declare that:
私の住所、私書箱、国籍は、下記の私の氏名の後に記載された通りです。	My residence, post office address and citizenship are as stated next to my name.
下記の名称の発明に関して請求範囲に記載され、特許出願している発明内容について、私が最初かつ唯一の発明者（下記の氏名が一つの場合）もしくは最初かつ共同発明者であると（下記の名称が複数の場合）信じています。	I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled
アクティブマトリクス基板、電気光学装置および電子機器	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
上記発明の明細書（下記の欄で×印がついていない場合は、本書に添付）は、	the specification of which is attached hereto unless the following box is checked:
☒ 2002年11月20日に提出され、米国出願番号または特許協定条約 国際出願番号を 10/299,861 とし、（該当する場合） _____ に訂正されました。	☒ was filed on November 20, 2002 as United States Application Number or PCT International Application Number 10/299,861 and was amended on _____ (if applicable).
私は、特許請求範囲を含む上記訂正後の明細書を検討し、内容を理解していることをここに表明します。	I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.
私は、連邦規則法典第37編第1条56項に定義されるとおり、特許資格の有無について重要な情報を開示する義務があることを認めます。	I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56.

Burden Hour Statement: This form is estimated to take 0.4 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner of Patents and Trademarks, Washington, DC 20231.

PTO/SB/106 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

Japanese Language Declaration
(日本語宣言書)

私は、米国法典第３５編１１９条（ａ）－（ｄ）項又は３６５条（ｂ）項に基き下記の、米国以外の国の少なくとも１ヶ国を指定している特許協力条約３６５条（ａ）項に基づく国際出願、又は外国での特許出願もしくは発明者証の出願についての外国優先権をここに主張するとともに、優先権を主張している、本出願の前に出願された特許または発明者証の外国出願を以下に、枠内をマークすることで、示しています。

I hereby claim foreign priority under Title 35, United States Code, Section 119 (a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below, by checking the box, any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application(s)
外国での先行出願

(Number) (番号)	(Country) (国名)	(Day/Month/Year Filed) (出願年月日)	Priority Not Claimed 優先権主張なし
2001-356007	Japan	21/November/2001	☐
2001-371403	Japan	05/December/2001	☐

私は、第３５編米国法典１１９条（ｅ）項に基いて下記の米国特許出願規定に記載された権利をここに主張いたします。

I hereby claim the benefit under Title 35, United States Code, Section 119 (e) of any United States provisional application(s) listed below.

(Application No.) (出願番号)	(Filing Date) (出願日)	(Application No.) (出願番号)	(Filing Date) (出願日)

私は下記の米国法典第３５編１２０条に基いて下記の米国特許出願に記載された権利、又は米国を指定している特許協力条約３６５条（ｃ）に基づく権利をここに主張します。また、本出願の各請求範囲の内容が米国法典第３５編１１２条第１項又は特許協力条約で規定された方法で先行する米国特許出願に開示されていない限り、その先行米国出願書提出日以降で本出願書の日本国内または特許協力条約国際提出日までの期間中に入手された、連邦規則法典第３７編１条５６項で定義された特許資格の有無に関する重要な情報について開示義務があることを認識しています。

I hereby claim the benefit under Title 35, United States Code, Section 120 of any United States application(s), or 365 (c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code, Section 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of application:

(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況：特許許可済、係属中、放棄済)

私は、私自身の知識に基づいて本宣言書中で私が行なう表明が真実であり、かつ私が入手した情報と私の信じるところに基づく表明が全て真実であると信じていること、さらに故意になされた虚偽の表明及びそれと同等の行為は米国法典第１８編第１００１条に基づき、罰金または拘禁、もしくはその両方により処罰されること、そしてそのような故意による虚偽の声明を行なえば、出願した、又は既に許可された特許の有効性が失われることを認識し、よってここに上記のごとく宣誓を致します。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

PTO/SB/106 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

Japanese Language Declaration
(日本語宣言書)

私は、米国法典第３５編１１９条（ａ）-（ｄ）項又は３６５条（ｂ）項に基き下記の、米国以外の国の少なくとも１ヶ国を指定している特許協力条約３６５条（ａ）項に基づく国際出願、又は外国での特許出願もしくは発明者証の出願についての外国優先権をここに主張するとともに、優先権を主張している、本出願の前に出願された特許または発明者証の外国出願を以下に、枠内をマークすることで、示しています。

I hereby claim foreign priority under Title 35, United States Code, Section 119 (a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below, by checking the box, any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application(s)
外国での先行出願

Priority Not Claimed
優先権主張なし

(Number) (番号)	(Country) (国名)	(Day/Month/Year Filed) (出願年月日)	
2001-371410	Japan	05/December/2001	☐
			☐

私は、第３５編米国法典１１９条（ｅ）項に基いて下記の米国特許出願規定に記載された権利をここに主張いたします。

I hereby claim the benefit under Title 35, United States Code, Section 119 (e) of any United States provisional application(s) listed below.

(Application No.) (出願番号)	(Filing Date) (出願日)	(Application No.) (出願番号)	(Filing Date) (出願日)

私は下記の米国法典第３５編１２０条に基いて下記の米国特許出願に記載された権利、又は米国を指定している特許協力条約３６５条（ｃ）に基づく権利をここに主張します。また、本出願の各請求範囲の内容が米国法典第３５編１１２条第１項又は特許協力条約で規定された方法で先行する米国特許出願に開示されていない限り、その先行米国出願書提出日以降で本出願書の日本国内または特許協力条約国際提出日までの期間中に入手された、連邦規則法典第３７編１条５６項で定義された特許資格の有無に関する重要な情報について開示義務があることを認識しています。

I hereby claim the benefit under Title 35, United States Code, Section 120 of any United States application(s), or 365 (c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code, Section 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of application:

(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況：特許許可済、係属中、放棄済)

私は、私自身の知識に基づいて本宣言書中で私が行なう表明が真実であり、かつ私が入手した情報と私の信じるところに基づく表明が全て真実であると信じていること、さらに故意になされた虚偽の表明及びそれと同等の行為は米国法典第１８編第１００１条に基づき、罰金または拘禁、もしくはその両方により処罰されること、そしてそのような故意による虚偽の声明を行なえば、出願した、又は既に許可された特許の有効性が失われることを認識し、よってここに上記のごとく宣誓を致します。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

PTO/SB/106 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

Japanese Language Declaration
(日本語宣言書)

委任状： 私は、下記の発明者として、本出願に関する一切の手続きを米特許商標局に対して遂行する弁理士または代理人として、下記の者を指名いたします。（弁護士、または代理人の氏名及び登録番号を明記のこと）

James A. Oliff, (Reg. 27,075)
William P. Berridge, (Reg. 30,024)
Kirk M. Hudson, (Reg. 27,562)
Thomas J. Pardini, (Reg. 30,411)
Edward P. Walker, (Reg. 31,450)
Robert A. Miller, (Reg. 32,771)
Mario A. Costantino, (Reg. 33,565)
Caroline D. Dennison, (Reg.34,494)

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorney(s) and/or agent(s) to prosecute this application and transact all business in the Patent and Trademark Office connected therewith. *(list name and registration number)*

James A. Oliff, (Reg. 27,075)
William P. Berridge, (Reg. 30,024)
Kirk M. Hudson, (Reg. 27,562)
Thomas J. Pardini, (Reg. 30,411)
Edward P. Walker, (Reg. 31,450)
Robert A. Miller, (Reg. 32,771)
Mario A. Costantino, (Reg. 33,565)
Caroline D. Dennison, (Reg.34,494)

書類送付先：
OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320

Send Correspondence to:
OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320

直接電話連絡先： (名前及び電話番号)
OLIFF & BERRIDGE, PLC
(703) 836-6400

Direct Telephone Calls to: *(name and telephone number)*
OLIFF & BERRIDGE, PLC
(703) 836-6400

唯一または第一発明者名
松枝 洋二郎

Full name of sole or first inventor
Yojiro MATSUEDA

発明者の署名 日付
松枝洋二郎 2003年1月16日

Inventor's signature Date
Yojiro Matsueda January 16, 2003

住所
日本国, 長野県, 諏訪市

Residence
Chino-shi, Nagano-ken, Japan

国籍
日本

Citizenship
Japan

私書箱
392-8502 日本国長野県諏訪市大和3丁目3番5号
セイコーエプソン株式会社内

Post Office Address
c/o Seiko Epson Corporation
3-5, Owa 3-chome, Suwa-shi, Nagano-ken 392-8502 Japan

第二共同発明者

Full name of second joint inventor, if any

第二共同発明者の署名 日付

Second inventor's signature Date

住所
日本国, _____, _____

Residence
_____, _____, Japan

国籍

Citizenship

私書箱

Post Office Address

(第三以降の共同発明者についても同様に記載し、署名をすること)

(Supply similar information and signature for third and subsequent joint inventors.)

10299861.021303

#A

Attorney Docket No. 114251

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: Yojiro MATSUEDA

Serial No. 10/299,861

Filed: November 20, 2002

STATEMENT OF ACCURACY

Title: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

Hon. Commissioner of Patents and Trademarks
Washington D.C. 20231

Sir:

The undersigned hereby states that the attached English languages patent application is an accurate translation of the Japanese language application filed on November 20,2002 and assigned Serial No. 10/299,861.

Date: January 9, 2003

Signed:

Printed Name: Toshifumi Onuki

10299861-021303

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Attn: Box Missing Parts

Yojiro MATSUEDA

Application No.: 10/299,861

Filed: November 20, 2002 Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

RESPONSE TO NOTICE TO FILE MISSING PARTS WITH DECLARATION AND TRANSLATION

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

In response to the Notice to File Missing Parts of Application - Filing Date Granted (copy attached) mailed on February 10, 2003, submitted herewith are the executed Declaration of the inventor and, upon information and belief, an accurate translation of the application. Any specification attached to and referenced in the Declaration is a copy of the specification and any amendments thereto which were filed in the Office in order to obtain a filing date for the application.

☒ A preliminary amendment is also attached.

	(Column 1)	(Column 2)	(Column 3)	SMALL ENTITY			OTHER THAN A SMALL ENTITY	
	CLAIMS REMAINING AFTER TRANSLATION	HIGHEST NO. PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE	ADD'L FEE	OR	RATE	ADD'L FEE
TOTAL CLAIMS	*39 MINUS	**39	= 0	x 9	$		x 18	$ ----
INDEP CLAIMS	*16 MINUS	***3	= 13	x 42	$		x 84	$1,092
☐ FIRST PRESENTATION OF MULTIPLE DEP. CLAIM				+140	$	OR	+280	$ ----
					$			$1,092

* If the entry in Column 1 is less than the entry in Column 2, write "0" in Column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, write "20" in this space.

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, write "3" in this space.

The "Highest Number Previously Paid For" in this space (Total or Independent) is the highest number found from the equivalent box in Column 1 of a prior Amendment or the number of claims originally filed.

Attached is our Check No. 139012 for ☒$1,352.00 for the fee under 37 C.F.R. §1.16(e) and §1.17(k) and any excess claim fees noted above.

Also attached are replacement drawings in compliance with 37 CFR 1.84 and 37 CFR 1.121.

Entry of these documents should complete all of the filing formalities and fully satisfy all requirements of the Notice to File Missing Parts. Examination and allowance of this application in due course are respectfully solicited.

The Director is hereby authorized to charge any additional fee (or credit any overpayment) associated with this communication to Deposit Account No. 15-0461. Two duplicate copies of this paper are attached.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/cmm

Date: February 13, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

#3

UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
Washington, DC 20231
www.uspto.gov

APPLICATION NUMBER	FILING/RECEIPT DATE	FIRST NAMED APPLICANT	ATTORNEY DOCKET NUMBER
10/299,861	11/20/2002	Yojiro Matsueda	114251

CONFIRMATION NO. 5800

25944
OLIFF & BERRIDGE, PLC
P.O. BOX 19928
ALEXANDRIA, VA 22320

RECEIVED
FEB 12 2003
OLIFF & BERRIDGE

FORMALITIES LETTER

OC0000000009498043

DUE DATE
APR 10 2003

MISSING PARTS
Date Mailed: 02/10/2003

FEB 13 2003

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

FILED UNDER 37 CFR 1.53(b)

DOCKETED
By MCI on 2/12 2003
and
By MWO on 2/12 2003
Oliff & Berridge

Filing Date Granted

Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items and pay any fees required below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The oath or declaration is missing.
  A properly signed oath or declaration in compliance with 37 CFR 1.63, identifying the application by the above Application Number and Filing Date, is required.
- To avoid abandonment, a late filing fee or oath or declaration surcharge as set forth in 37 CFR 1.16(e) of $130 for a non-small entity, must be submitted with the missing items identified in this letter.
- The application was filed in a language other than English. Applicant is required to provide an English translation of the specification and a statement that the translation is accurate. (See 37 CFR 1.52(d)).
- Applicant must file an English translation of the application, the $ 130 fee set forth in 37 CFR 1.17(i), unless previously submitted, and a statement that the translation is accurate (37 CFR 1.52(d)).
- Because your specification was filed in a language other than English, the Office was unable to determine the number of claims submitted. Additional claim fees may be due once the number of claims can be determined.

The application is informal since it does not comply with the regulations for the reason(s) indicated below.

The required item(s) identified below must be timely submitted to avoid abandonment:

- Replacement drawings in compliance with 37 CFR 1.84 and 37 CFR 1.121 are required. The drawings submitted are not acceptable because:
  - The drawing figures contain text that is not in English (including, for example, a flow chart that was originally not in English that has been marked up to include the English text) (see 37 CFR 1.84(p)(2) and 37 CFR 1.52(d)(1)). See Figure(s) 1-15.

02/14/2003 BABRAHA1 00000062 10299861

01 FC:1201 1092.00 OP
02 FC:1051 130.00 OP
03 FC:1053 130.00 OP

SUMMARY OF FEES DUE:

Total additional fee(s) required for this application is **$260** for a Large Entity

- **$130** Late oath or declaration Surcharge.
- **$130** for English translation surcharge required.

A copy of this notice MUST be returned with the reply.

Customer Service Center
Initial Patent Examination Division (703) 308-1202

PART 2 - COPY TO BE RETURNED WITH RESPONSE

OIPE JC154 FEB 13 2003 PATENT & TRADEMARK OFFICE

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Application No.: 10/299,861 Docket No.: 114251

Filed: November 20, 2002

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

REQUEST FOR CORRECTION OF PALM RECORDS

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Attached is a photocopy of the original filing receipt on which errors have been corrected in red. These errors are being brought to the attention of the Patent and Trademark Office so that it may correct its records. Also attached is a Supplemental Application Data Sheet correctly identifying the inventor information and title.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/cmm

Date: February 13, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

UNITED STATES
PATENT AND
TRADEMARK OFFICE

Commissioner for Patents
Washington, DC 20231
www.uspto.gov

OIPE
FEB 13 2003
PATENT & TRADEMARK OFFICE

APPLICATION NUMBER	FILING DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	DRAWINGS	TOT CLAIMS	IND CLAIMS
10/299,861	11/20/2002		1082	114251	15	39	16

CONFIRMATION NO. 5800

25944
OLIFF & BERRIDGE, PLC
P.O. BOX 19928
ALEXANDRIA, VA 22320

RECEIVED
FEB 12 2003
OLIFF & BERRIDGE

FILING RECEIPT

OC000000009498042

Date Mailed: 02/10/2003

Receipt is acknowledged of this regular Patent Application. It will be considered in its order and you will be notified as to the results of the examination. Be sure to provide the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION when inquiring about this application. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please write to the Office of Initial Patent Examination's Filing Receipt Corrections, facsimile number 703-746-9195. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections (if appropriate).**

Applicant(s) Chino-shi

Yojiro Matsueda, ~~Suwa-shi~~, JAPAN;

Assignment For Published Patent Application

SEIKO EPSON CORPORATION, Tokyo, JAPAN;

Domestic Priority data as claimed by applicant

Foreign Applications

JAPAN 2001-356007 11/21/2001
JAPAN 2001-371403 12/05/2001
JAPAN 2001-371410 12/05/2001

If Required, Foreign Filing License Granted: 02/10/2003

Projected Publication Date: To Be Determined - pending completion of Missing Parts

Non-Publication Request: No

Early Publication Request: No

Title electro-optical device,

Active matrix substrate, ~~electric optical apparatus~~, and electronic device

Application Data Sheet

Application Information

Application Type::	Regular
Subject Matter::	Utility
CD-ROM or CD-R:	None
Title::	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
Attorney Docket Number::	114251
Total Drawing Sheets::	15
Small Entity::	No

Applicant Information

Applicant Authority type::	Inventor
Primary Citizenship Country::	Japan
Status::	Full Capacity
Given Name::	Yojiro
Family Name::	MATSUEDA
City of Residence::	Chino-shi
Country of Residence::	Japan

Correspondence Information

Correspondence Customer Number::	25944

Foreign Priority Information			
Country::	Application Number::	Filing Date::	Priority Claimed::
Japan	2001-356007	11/21/2001	Yes
Country::	Application Number::	Filing Date::	Priority Claimed::
Japan	2001-371403	12/05/2001	Yes
Country::	Application Number::	Filing Date::	Priority Claimed::
Japan	2001-371410	12/05/2001	Yes

Assignee Information	
Assignee Name::	SEIKO EPSON CORPORATION
Street of mailing address::	4-1, Nishishinjuku 2-chome, Shinjuku-ku
City of mailing address::	Tokyo
Country of mailing address::	Japan
Postal or Zip Code of mailing address::	163-0811

Fig. 1

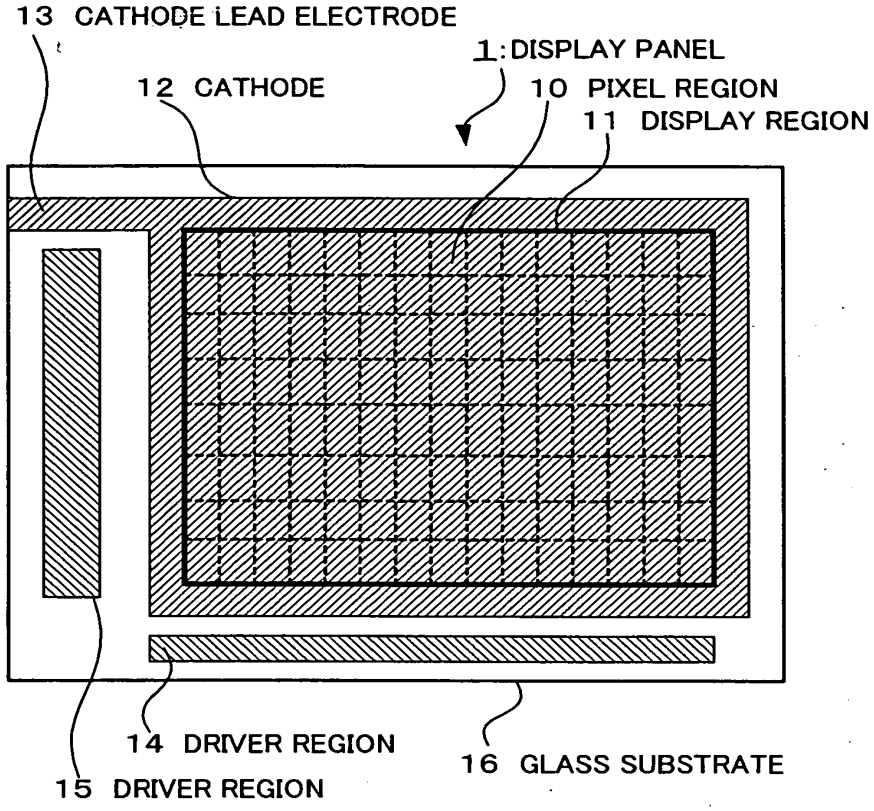

13 CATHODE LEAD ELECTRODE
1: DISPLAY PANEL
12 CATHODE
10 PIXEL REGION
11 DISPLAY REGION
14 DRIVER REGION
16 GLASS SUBSTRATE
15 DRIVER REGION

Fig.2

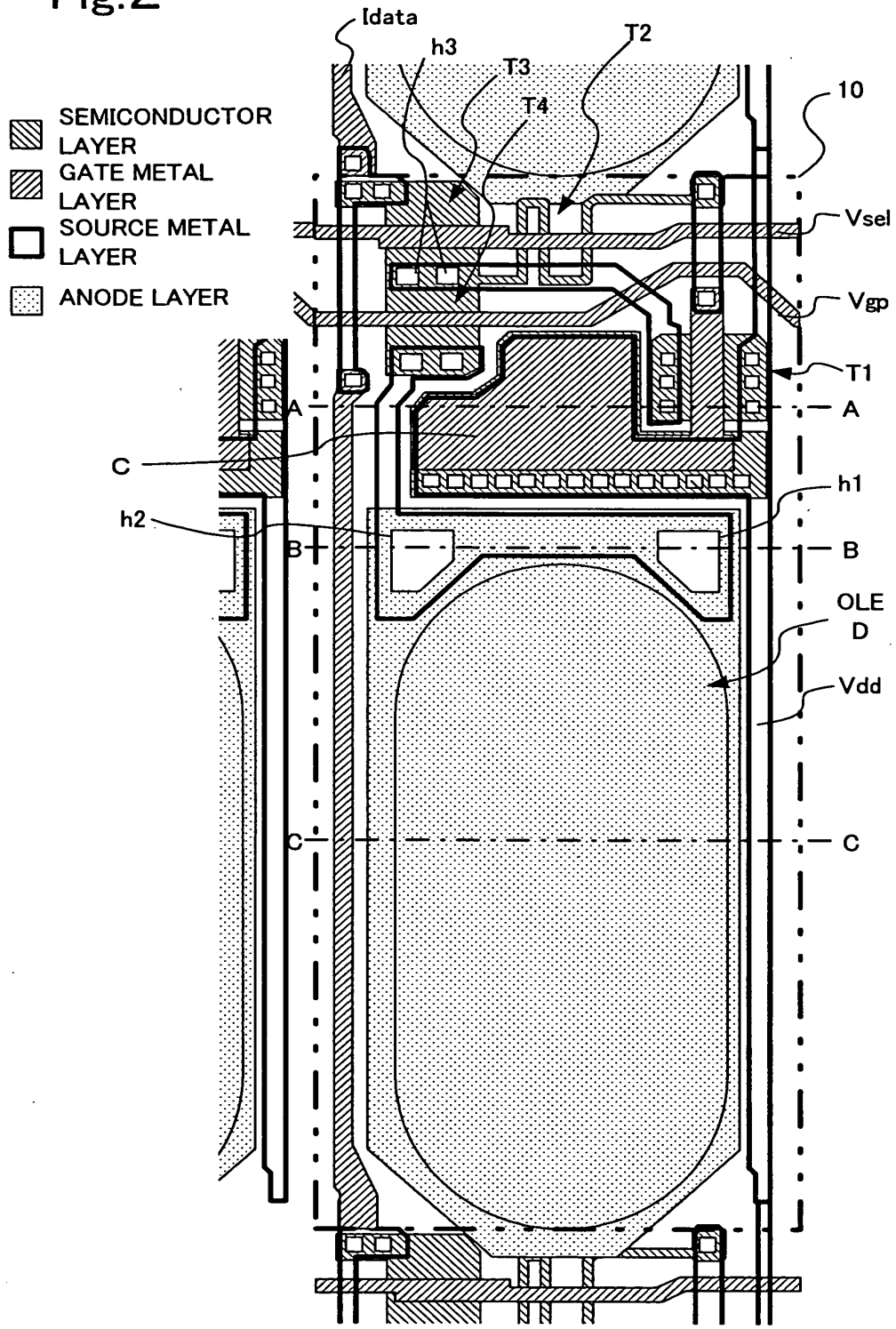

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
h3
T3
T2
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLE D
Vdd
C
C

Fig.3A

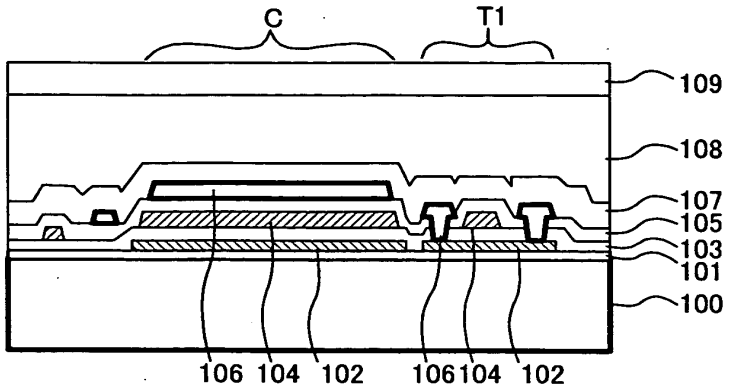


Fig.3B

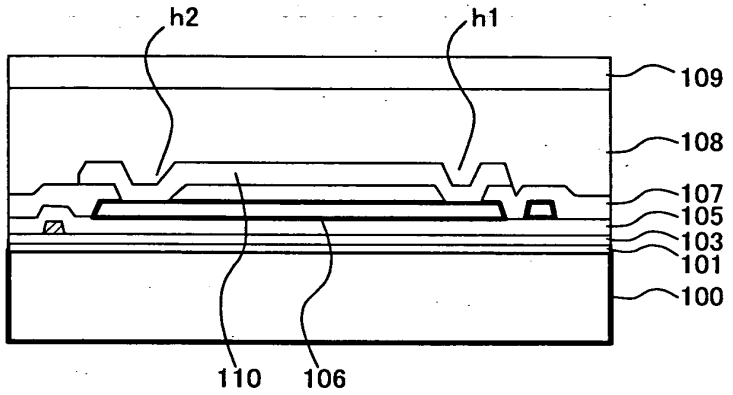
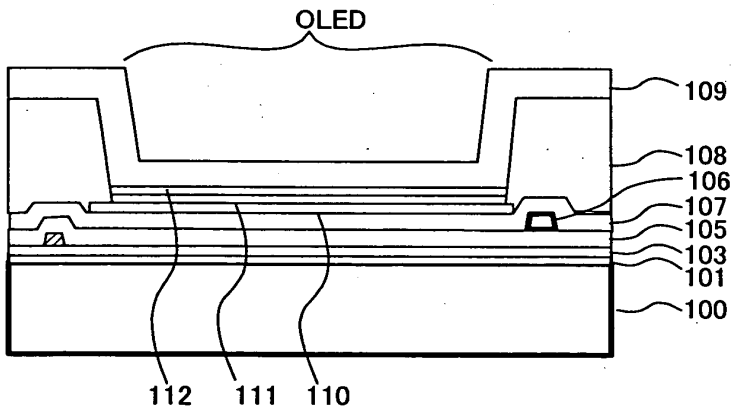


Fig.3C



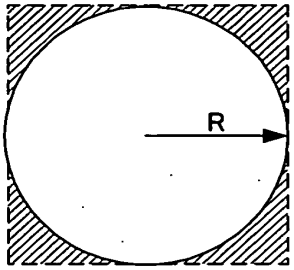


Fig.4A

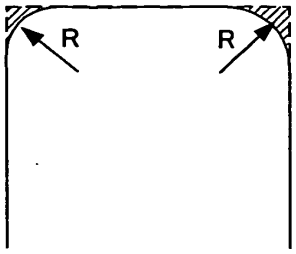


Fig.4B

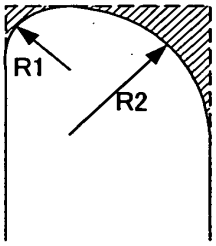


Fig.4C

Fig.5

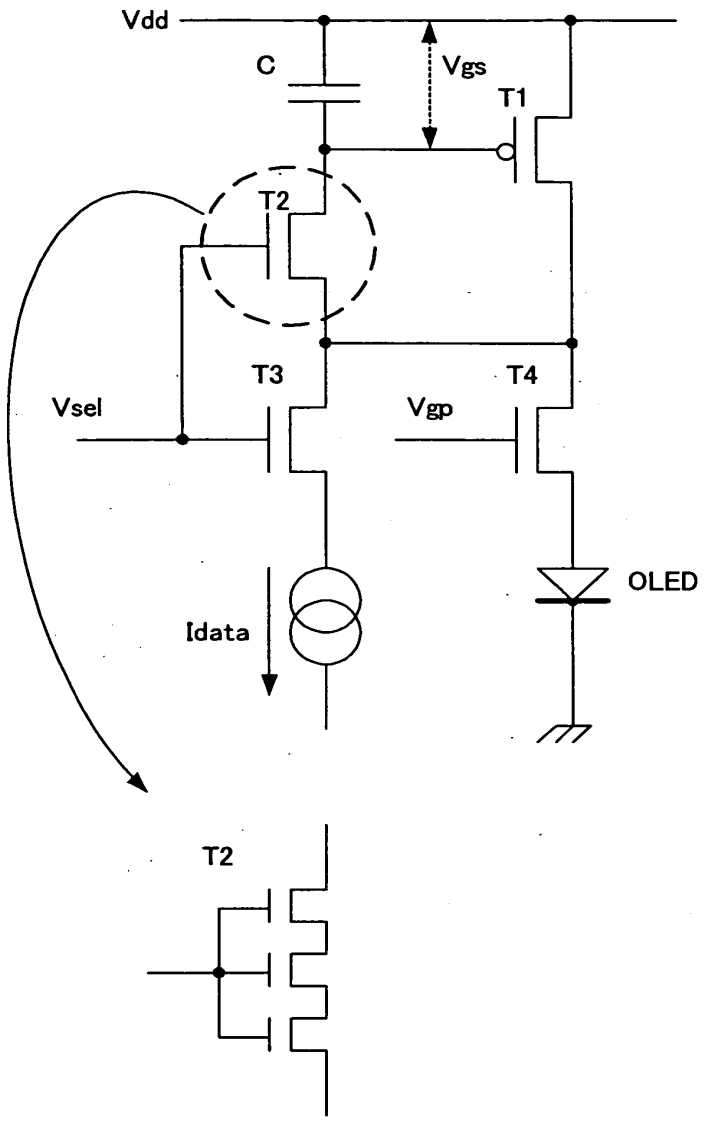


Fig.6

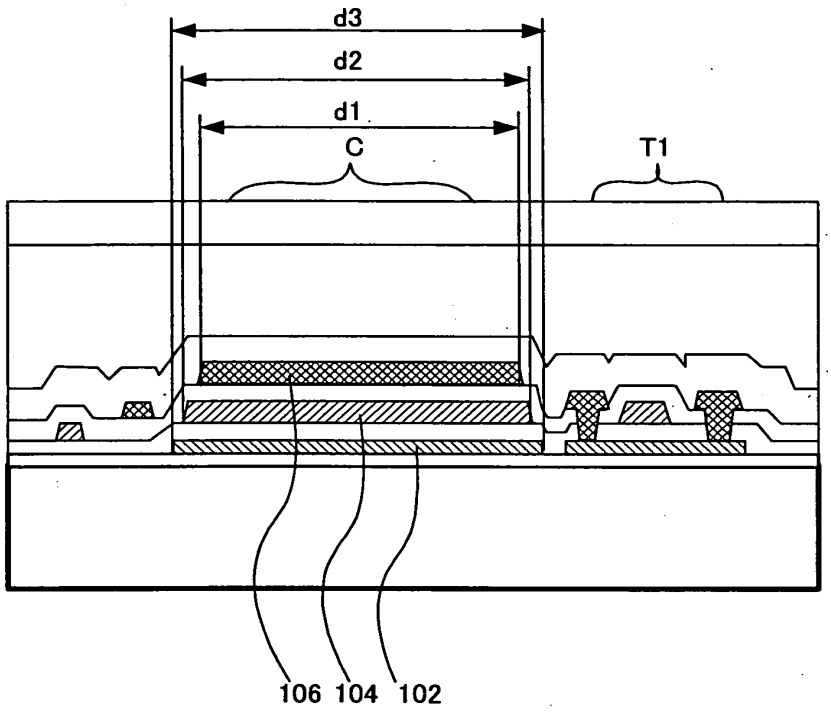


Fig.7

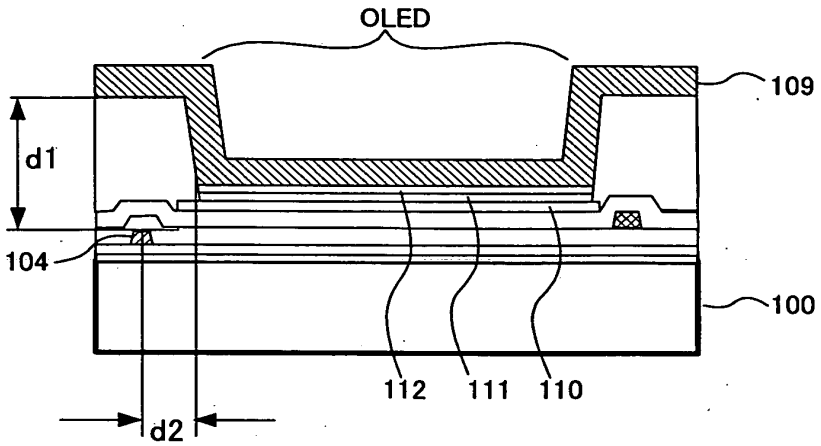


Fig.8

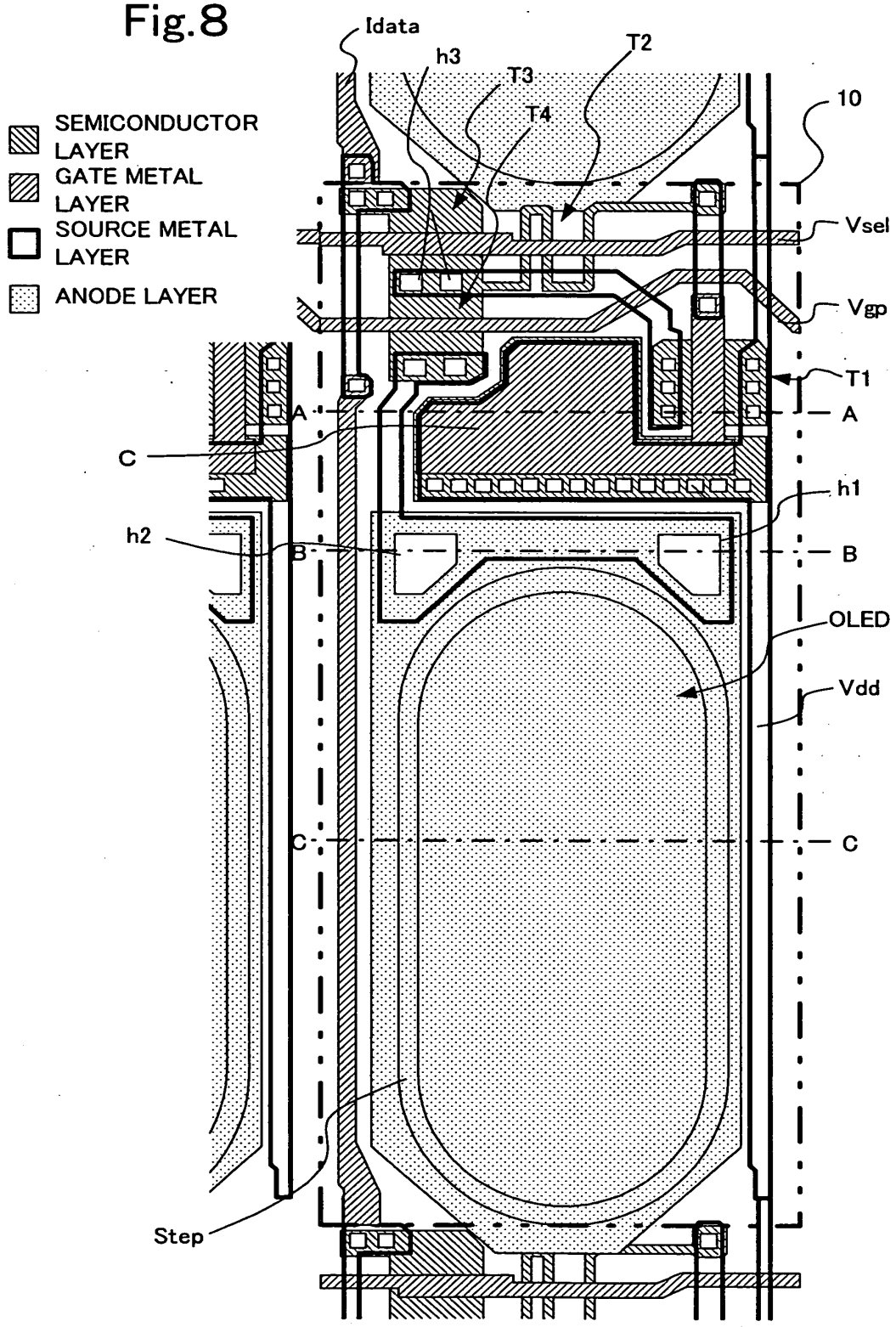

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
h3
T3
T2
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C
Step

Fig.9A

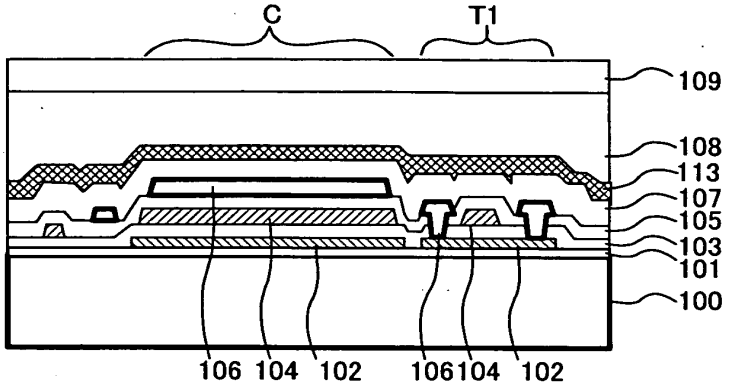


Fig.9B

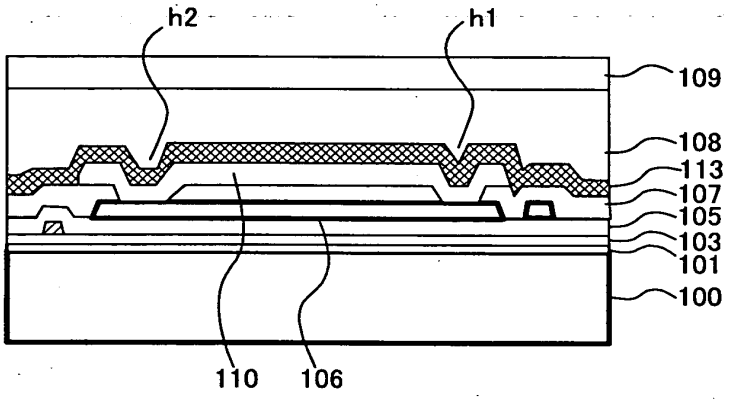


Fig.9C

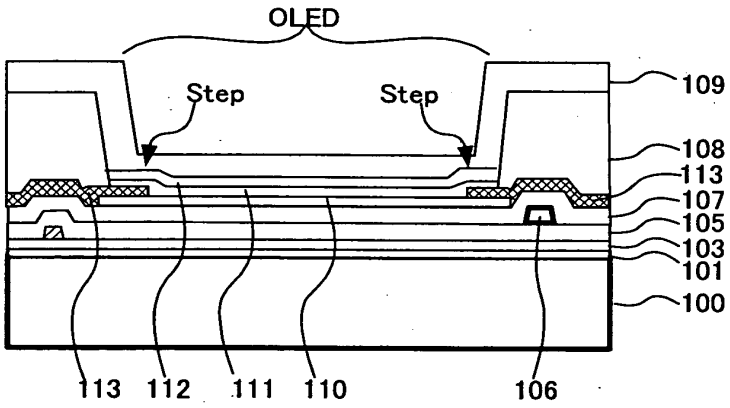


Fig.10

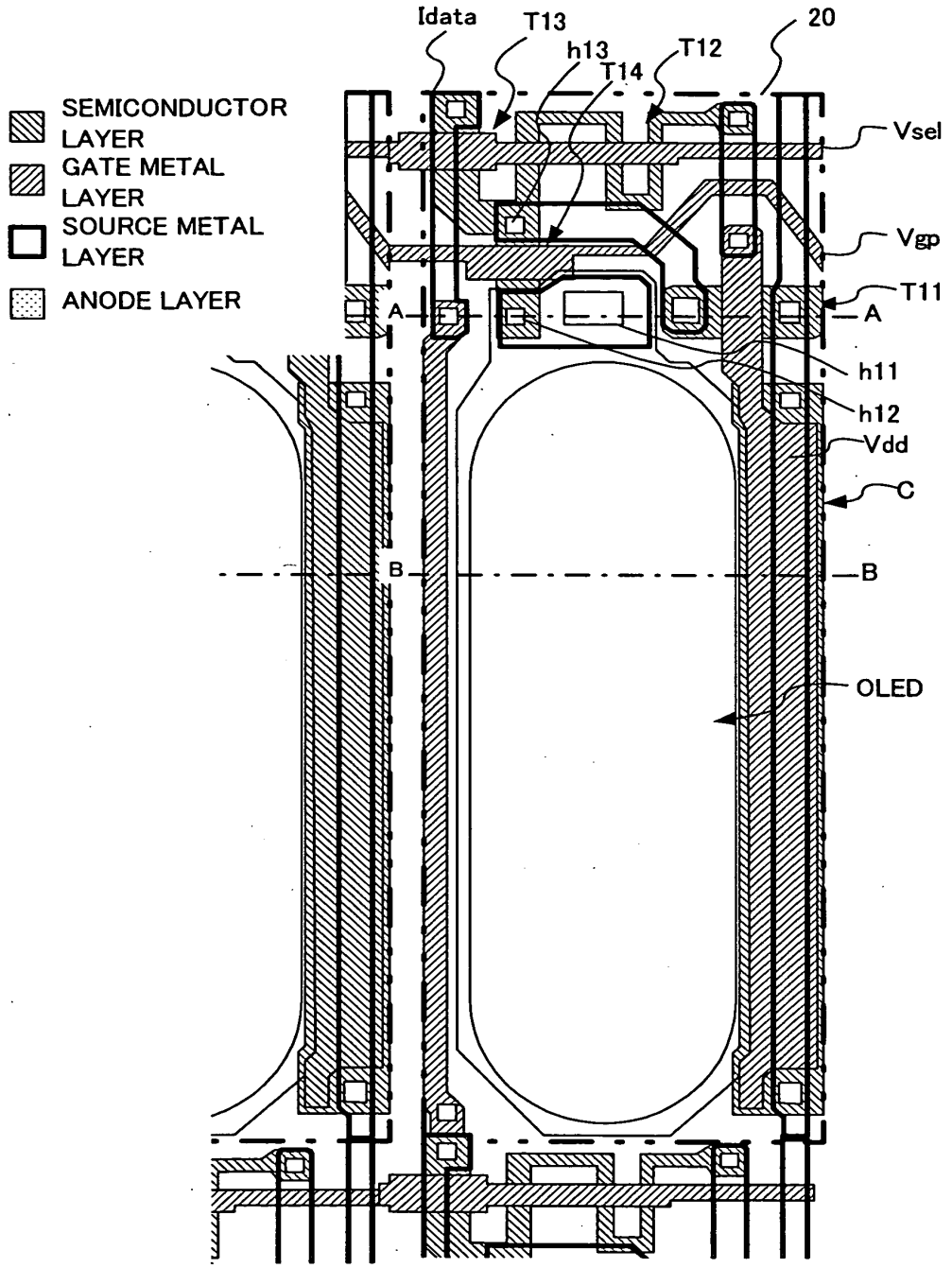

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED

Fig.11A

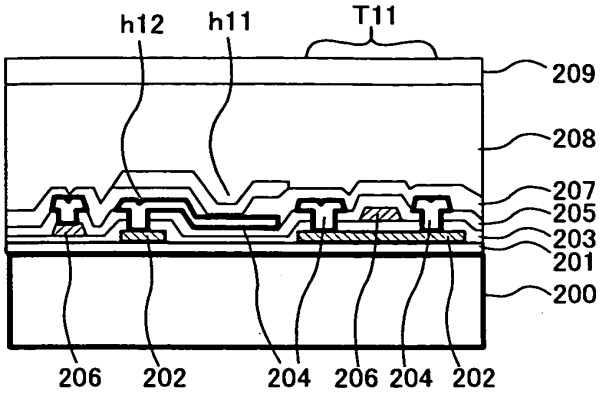


Fig.11B

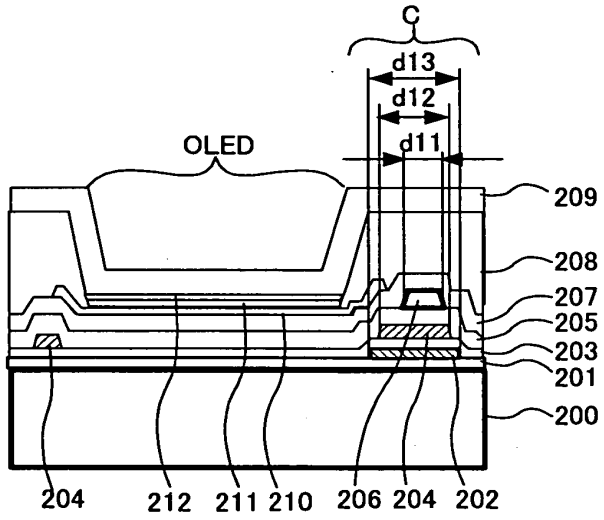


Fig.12

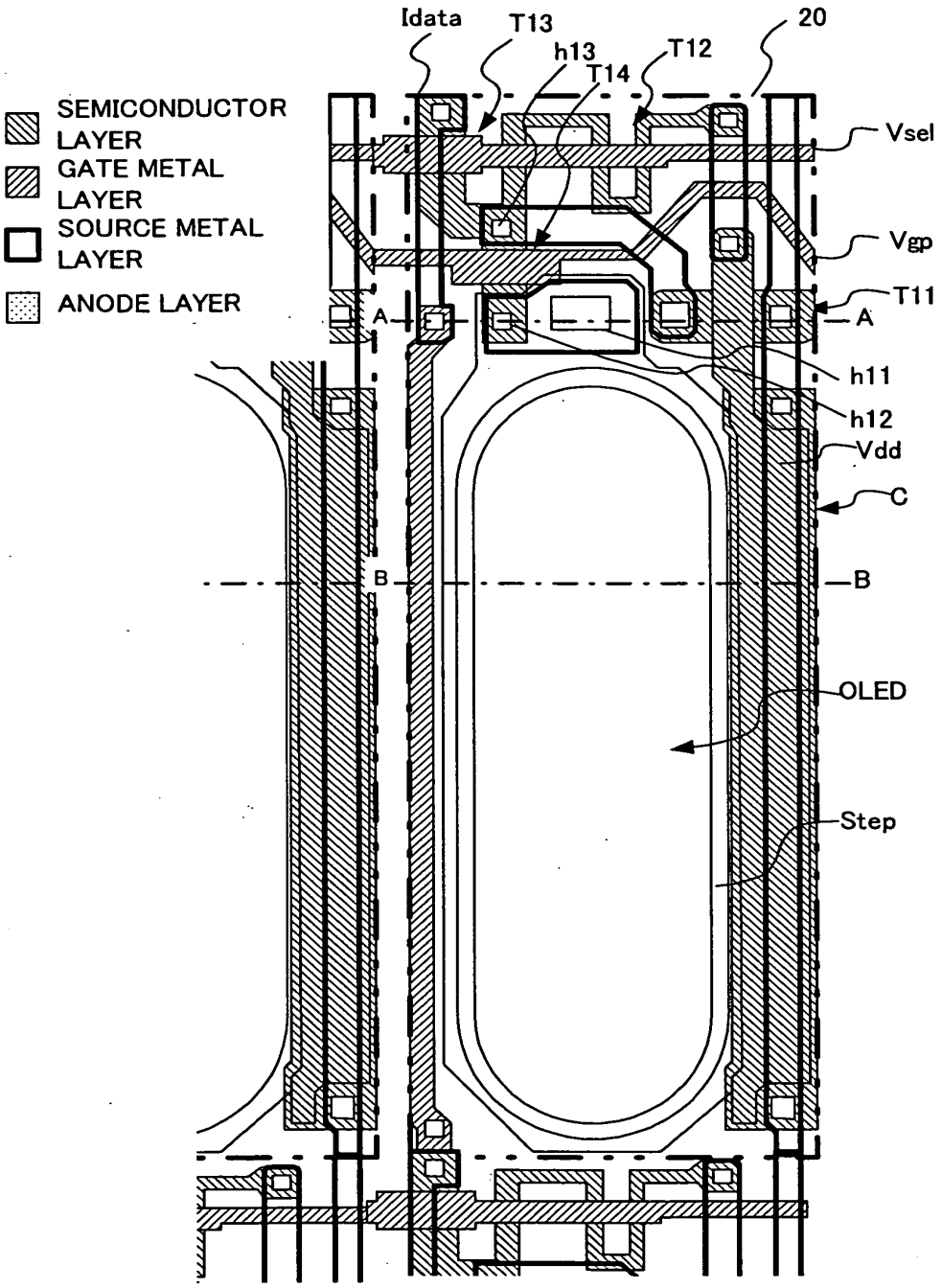

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED
Step

Fig.13A

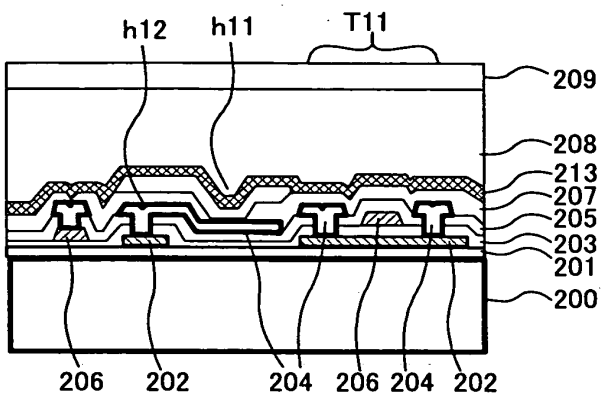


Fig.13B

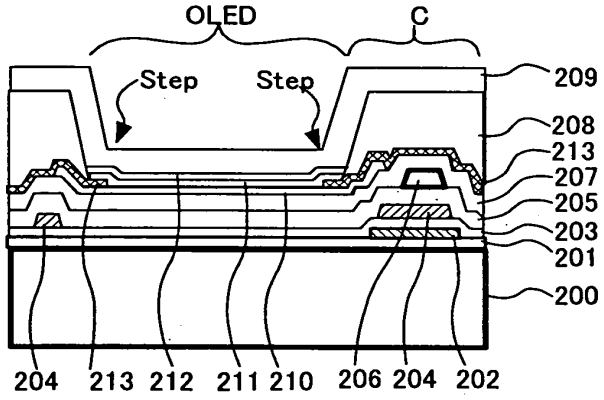
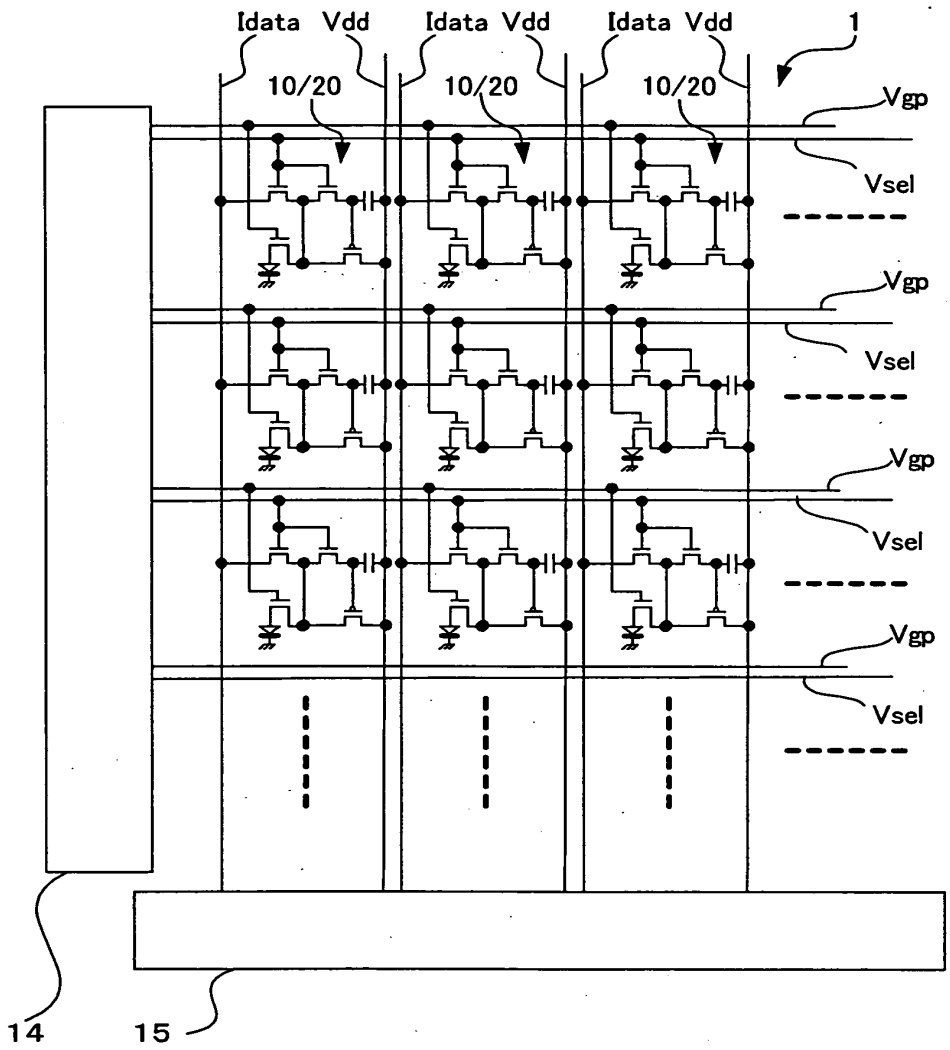


Fig.14


Idata
Vdd
Idata
Vdd
Idata
Vdd
1
10/20
10/20
10/20
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
14
15

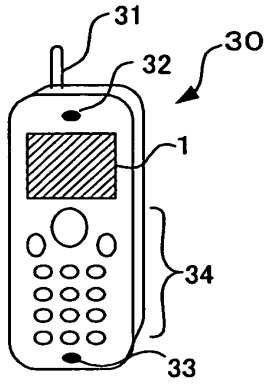


Fig.15A

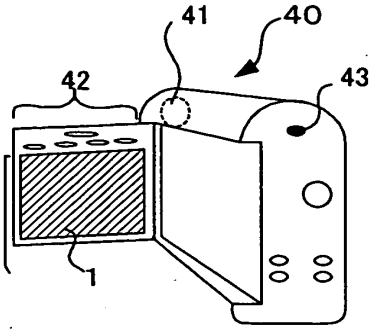


Fig.15B

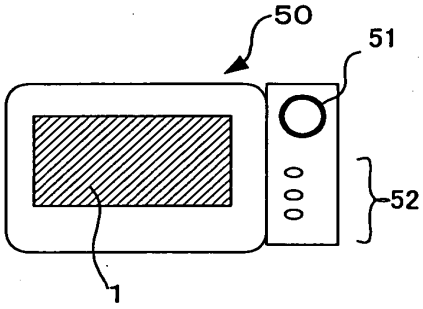


Fig.15C

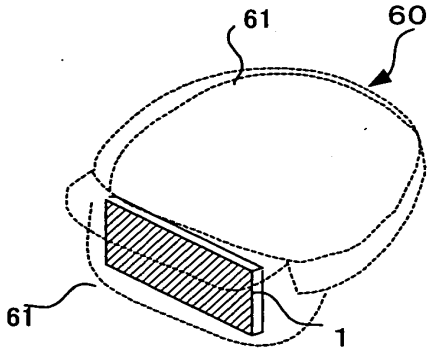


Fig.15D

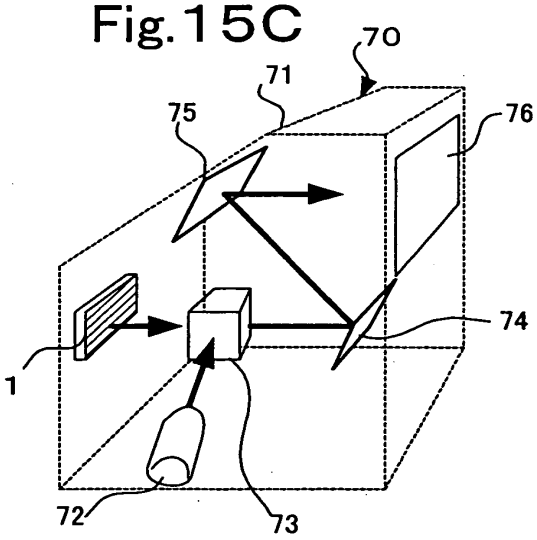


Fig.15E

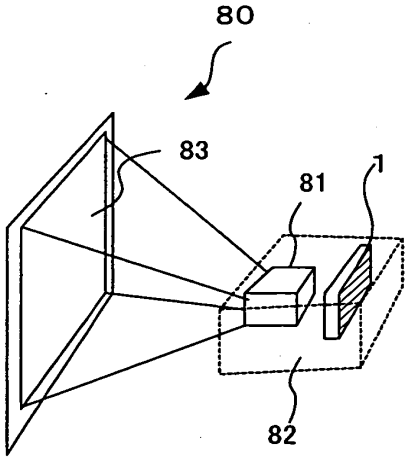


Fig.15F

OIPE JC14
FEB 13 2003
PATENT & TRADEMARK OFFICE

ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

BACKGROUND OF THE INVENTION

1. Field of the Invention

This invention relates to an active matrix substrate suitable for electro-optical devices, an electro-optical device, and electronic device.

2. Description of the Related Art

The active matrix driving method is one method of driving electro-optical devices comprising liquid crystal elements, organic electroluminescence (EL) elements, electrophoretic elements, electronic emission elements, and similar. In an electro-optical device driven by the active matrix driving method, a plurality of pixels are arranged in a matrix on the display panel. Each of the plurality of pixels comprises a pixel circuit, in turn comprising an electro-optical element and a driving transistor which supplies driving power to the electro-optical element. Each of the plurality of pixel circuits is arranged to correspond to the intersection of a data line and a scan line (see, for example, patent reference 1: Internationally disclosed pamphlet no. WO98/36407).

In order to precisely control brightness in an electro-optical device, the amount of power supplied to electro-optical elements must be precisely controlled. In particular, because organic EL elements are current-driving type electro-optical elements, the brightness is directly affected by the current. Hence there is a need to precisely supply the desired current to organic EL elements; and in addition to optimizing the driving circuit and driving method, the pixel layout must also be optimized. Problems encountered in actual pixel layouts include, for example, contact between pixel electrodes and peripheral circuitry, stability of holding capacitances, and transistor turn-off currents.

The present invention was devised in light of the above circumstances, and has as an object the provision of an active matrix substrate, electro-optical device, and electronic device comprising an optimal pixel layout for the stable driving of electro-optical elements.

SUMMARY OF THE INVENTION

In order to resolve the above problems, a first active matrix substrate of this invention is an active matrix substrate comprising peripheral circuitry to supply a current to electro-optical elements provided in each pixel according to the electro-optical element; each peripheral circuit comprises a holding element to hold a control voltage, a first active element, connected to the holding element, to supply a current to the electro-optical element based on the control voltage, and a second active element, connected to the holding element, to control the charging and discharging of the holding element; and the above second active element has a structure which prevents leakage currents during shutoff.

Here "electro-optical element" refers to general elements which emit light, or change a status of light in response to external light, due to electrical action, and comprises both elements which themselves emit light, and elements which control the transmission of external light. For example, electro-optical elements include liquid crystal elements, electrophoretic elements, EL elements, and electron emission elements which emit light by causing electrons generated through application of an electric field to strike an emission plate.

"Peripheral circuits" refers to the aggregation of circuit elements which drive each pixel in an active-matrix type electro-optical device, and comprises, for example, TFTs (thin film transistors) or similar.

"Active matrix substrate" refers to general substrates on which is mounted peripheral circuitry, regardless of whether electro-optical elements are formed or not.

There is no particular restriction on "active elements", which may include, for example, TFTs and other transistors and diodes, or similar.

Here "holding element" refers to, for example, capacitors, memory, and other elements which hold electrical signals.

Normally, when an active element is in the non-conducting state, whereas ideally there should be no current flowing, a current, albeit slight, may flow; an active element having a "structure to prevent leakage currents during shutoff" refers to an active element configured with the object of preventing the occurrence of such a current (leakage current).

An example of such an element is a multi-gate type active element. A multi-gate type active element is an active element which functions as a single element, but strictly speaking comprises a plurality of active elements connected in series, configured to function similarly to a device with control terminals connected together.

In configuring a multi-gate type active element, the semiconductor layer may be in a curved shape, as in an embodiment described below, or the gate shape may be curved.

The second active element may be a transistor with a structure selected from the group consisting of an LDD structure, GDD structure, or DDD structure. Here "LDD" is an abbreviation of "Lightly Doped Drain"; "GDD" is an abbreviation of "Graded Diffused Drain"; and "DDD" is an abbreviation of "Double Diffused Drain". In a transistor having these structures, in order to limit the adverse effects of hot electrons and similar during fine MOSFET fabrication, the maximum electric field near the drain is weakened. For example, in such transistors the drain region of the transistor is lightly doped with impurities to relax the electric field in regions where impurity diffusion is performed and between silicon substrates; for example, n-type regions may be formed using self-alignment.

In such transistors, because the source-drain resistance while the transistor is turned off is extremely high and leakage currents are reduced, electric charge accumulated in the holding element is not released, and the electric potential applied to a control terminal can be maintained at a constant level.

A second active matrix substrate of this invention is an active matrix substrate comprising a plurality of unit circuits, arranged to correspond to the intersections of a plurality of data lines and a plurality of scan lines. Each of the above plurality of unit circuits comprises a first transistor, which comprises a first control terminal, first terminal, and second terminal; a holding element, connected to the above first control terminal, comprising a first electrode and a second electrode; and a second transistor, comprising a third terminal, a fourth terminal, and a second control terminal, wherein the above third terminal and the above fourth terminal are respectively connected to the above first terminal and to the above first electrode; and the above second transistor has a multi-gate structure.

In the above active matrix substrate, in place of a multi-gate structure, the above second transistor may be a transistor with a structure selected from an LDD structure, GDD structure, or DDD structure.

By adopting a multi-gate structure and an LDD structure, GDD structure, or DDD structure, the leakage current when the second transistor is in the turned-off state can be reduced, so that the electric charge accumulated in the holding element can be maintained for a long period of time.

In the above active matrix substrate, it is preferable that the above first transistor and the above second transistor have different conduction types. In this case, it is preferable that the semiconductor film constituting the above first transistor and the semiconductor film constituting the above second transistor be separated.

For example, it is preferable that the above first transistor by p-type, and that the above second transistor be n-type.

The above active matrix substrate may further comprise a third transistor, comprising a fifth terminal, a sixth terminal, and a third control terminal, with the above third control terminal connected to one scan line among the above plurality of scan lines, and the above fifth terminal connected to one data line among the above plurality of data lines.

The above sixth terminal may be connected to the above third terminal and to the above first terminal.

In the above active matrix substrate, the above active matrix substrate may have a stacked-layer structure comprising a plurality of layers; the above plurality of layers may comprise a semiconductor layer, in which is formed a semiconductor film constituting the above first and second transistors, and a gate metal layer, in which are formed the above second control terminals; and in the above gate metal layer there may be formed at least one portion of at least one scan line among the above plurality of scan lines.

By this means, the above second control terminal and at least one portion of the scan line can be formed in the same process, so that manufacturing processes can be shortened.

In the above active matrix substrate, the above active matrix substrate may have a stacked-layer structure comprising a plurality of layers; the above plurality of layers may comprise a semiconductor layer, in which is formed a semiconductor film constituting the above first and second transistors, and a gate metal layer, in which are formed the above second control terminals; and in the above gate metal layer there may be formed at least one portion of at least one data line among the above plurality of data lines.

By this means, the above second control terminal and at least one portion of the data line can be formed in the same process, so that manufacturing processes can be shortened.

In the above active matrix substrate, the above active matrix substrate may have a stacked-layer structure comprising a plurality of layers; the above plurality of layers may comprise a semiconductor layer, in which is formed a semiconductor film constituting the above first and second transistors, a gate metal layer, in which are formed the above second control terminals, and a source metal layer, in which is formed a source electrode or drain electrode connected to the source or to the drain of the above second transistor; and at least one portion of at least one data line among the above plurality of data lines may be formed in the layer closer to the above semiconductor layer among the above source metal layer and the above gate metal layer.

By this means, when an electro-optical device is formed in which electro-optical elements are arranged above the active matrix substrate, at least one portion of a data line can be separated from the electrodes of electro-optical elements, so that operation delays due to stray capacitances occurring between electrodes and data lines can be reduced.

A third active matrix substrate of this invention comprises unit circuits, comprising transistors, as well as data lines and scan lines, and has a stacked-layer structure comprising a plurality of layers; the above plurality of layers comprises a semiconductor layer, in which is formed a semiconductor film constituting transistors, and a gate metal layer, in which are formed the gate

terminals of the above transistors; and at lease one portion of either the above scan lines, or the above data lines, or both, is formed in the above gate metal layer.

By this means, transistor gate terminals and at least one portion of the scan lines or data lines can be manufactured by the same process, so that manufacturing processes can be shortened.

A fourth active matrix substrate of this invention comprises unit circuits, comprising transistors, as well as data lines and scan lines, and has a stacked-layer structure comprising a plurality of layers; the above plurality of layers comprises a semiconductor layer, in which is formed a semiconductor film constituting transistors, a gate metal layer, in which are formed the gate terminals of the above transistors, and a source metal layer in which are formed the source electrodes or drain electrodes which are connected to the sources or drains of the above transistors; and at lease one portion of either the above scan lines, or the above data lines, or both, is formed in the layer, among the above gate metal layer and the above source metal layer, which is closer to the above semiconductor layer.

In the above active matrix substrate, when an electro-optical device is formed in which electro-optical elements are arranged above the active matrix substrate, at least one portion of data lines or scan lines can be separated from the electrodes of electro-optical elements, so that delays in signal supply due to stray capacitances occurring between electrodes and data lines or scan lines can be suppressed.

In the above active matrix substrate, it is preferable that a unit circuit comprise a first transistor, comprising a first control terminal, a first terminal, and a second terminal; a holding element, connected to the above first control terminal, and comprising a first electrode and a second electrode; and a second transistor, comprising a third terminal, a fourth terminal, and a second control terminal, wherein the above third terminal and the above fourth terminal are respectively connected to the above first terminal and to the above first electrode; and that the unit circuit have at least a structure selected from an LDD structure, GDD structure, DDD structure, or multi-gate structure.

The LDD structure, GDD structure, DDD structure, and multi-gate structure are appropriate structures for suppressing current leaks, and so by employing such

a configuration, the electric charge accumulated in the holding element can be maintained for long periods of time.

A first electro-optical device of this invention comprises the above active matrix substrate, and electro-optical elements.

A second electro-optical device of this invention comprises peripheral circuits to supply current to electro-optical elements provided for each pixel, corresponding to the above electro-optical elements; each of the above peripheral circuits comprises a light emission-controlling active element to supply current to the above electro-optical element during the light emission period, a holding element to hold a control voltage, a first active element the gate terminal of which is connected to the above holding element and which supplies a current based on the above control voltage applied to the gate terminal to the above electro-optical element, via the above light emission-controlling active element, a current-controlling active element which passes a constant current (or a data current) via the above first active element during the selection period, and a second active element connected between the above current-controlling active element and the above holding element, which charges the above holding element during the above selection period and which stores the above control voltage; and the above second active element comprises a structure to prevent leakage currents during shutoff.

As the above structure to prevent leakage currents, similarly to the case of the above active matrix substrates, for example, an LDD structure, GDD structure, DDD structure, or multi-gate structure can be adopted.

In the above electro-optical device, as the above first active element and the above second active element, it is preferable that, for example, a transistor be used. In this case, it is preferable that the transistors have different conduction types. For example, it is preferable that the above first active element be p-type, and that the above second active element be n-type.

Corresponding to this, a configuration may be adopted comprising a first driver circuit which supplies negative-logic data signals to the first active element, and a second driver circuit which supplies positive-logic scan signals to the second active element.

In the above electro-optical device, a configuration may be adopted comprising data lines which supply data signals to first active elements, and scan lines, intersecting the data lines, which supply scan signals to second active elements.

In the above electro-optical device, it is preferable that either the data lines or the scan lines be wired by means of the metal layer, among the source metal layer and the gate metal layer which comprise the first active elements and second active elements, which is separated from the common electrodes of the electro-optical elements. This is because if the metal layer which is more distant from the common electrodes is used, the stray capacitance arising between the signal lines and the common electrodes can be reduced.

Specifically, the scan lines may for example be wired using the gate metal layer which forms the gate terminals of the second active elements.

In the above electro-optical device, it is preferable that, among the plurality of active elements, the plurality of active elements having the same polarity be formed continuously and in planar fashion in the same semiconductor layer. This is because, if the semiconductor layer is thus made continuous, the area used for wiring can be reduced, and the aperture ratio can be increased.

At this time, connection points between a plurality of active elements having the same polarity comprise common contact holes, and wiring is performed from contact holes to active elements having a polarity differing from these active elements. This is because when the polarity is different, normal wiring must be performed. By this means, contact holes can be made common, and the area of occupation of connection portions in the entire area of the driving circuit can be reduced.

In one embodiment described below, a plurality of active elements having the same polarity comprises second active elements, light emission-controlling active elements, and current-controlling active elements; however, the present invention is of course not limited thereto.

As the gate terminals of the above second active elements and the above current-controlling active elements, common scan lines may be used; in this case,

with respect to common gate terminal connections, by using scan lines without modification the wiring area can be reduced and the aperture ratio can be raised.

However, if the above second active elements and the above current-controlling active elements are not driven with the same timing, then of course different signal lines can be used as the respective gate terminals.

A third electro-optical device of this invention comprises electro-optical elements, and peripheral circuitry driving the above electro-optical elements; the above electro-optical elements are formed such that the boundaries of the electro-optical elements have at least a prescribed curvature , and at least a portion of the peripheral circuits is formed in the region surrounded by the boundaries having at least the prescribed curvature and by polygonal boundaries circumscribing the electro-optical elements.

A shape having a "prescribed curvature" is particularly effective when electro-optical elements are formed using liquid materials; in this case, it is desirable that the prescribed curvature be set according to the viscosity and surface tension of the liquid material, and according to the material of the layer below the electro-optical elements. However, even in cases where the electro-optical elements are formed by evaporation deposition or other means without using liquid materials, there is the advantageous result that short-circuits are prevented.

It is preferable that a plurality of boundary portions having this prescribed curvature be formed. It is also preferable that the plurality of boundary portions thus formed be arranged essentially symmetrically with respect to a center line passing through the geometric center of the electro-optical element.

For example, a portion of the peripheral circuit formed in this region is a contact hole comprised by wiring of the peripheral circuit. It is preferable that this contact hole be of polygonal shape compatible with the shape of the region. A contact hole comprised by the wiring of the peripheral circuit is, for example, a contact hole which supplies current to at least one of the electrodes of the electro-optical element. It is preferable that there be a plurality of contact holes, arranged essentially symmetrically with respect to a center line passing through the geometric center point of the above electro-optical element.

When using a liquid material to form electro-optical elements, by providing an affinity-controlling layer which adjusts the affinity for the liquid material near the boundaries of electro-optical elements, the film thickness of the functional layer constituting the electro-optical elements can be controlled, and flatness can be improved. Also, by making the affinity for the liquid material of, at least, the walls of the bank layer different from that of the above affinity-controlling layer, the effectiveness may be further increased. For example, by making the affinity for the liquid material of the walls of the bank layer lower than that of the affinity-controlling layer, the film formed by the liquid material no longer adheres to the walls of the bank layer, and the flatness of the film formed by the liquid material is further improved.

This affinity-controlling layer may be formed so as to have a staircase-shape on the inside of the electro-optical elements with respect to the walls formed by the bank layer.

Here a "bank" is a partition member to partition pixel regions. A bank is also effective for securing a distance from cathodes or common electrodes and data lines, scan lines, or other wiring which supplies signals. By securing a sufficient distance, the parasitic capacitance is reduced, and delays when supplying signals can be suppressed.

In general, data signals are greatly affected by stray capacitances of scan signals, which can cause operation delays, and so a sufficient distance must be secured between data signals and common electrodes or cathodes.

It is preferable that, in boundary portions having a prescribed curvature, at least one of the electrodes constituting the electro-optical element be patterned according to the shape of the boundary portion. This is because, by patterning electrodes in a manner compatible with the curvature, at least a portion of the peripheral circuit can be arranged more easily. For example, at least a portion of the peripheral circuit is a contact region to enable connection between the peripheral circuit and the above electrode.

A fourth electro-optical device of this invention comprises a light-emitting portion, and a peripheral circuit which controls the current supplied to the above

light-emitting portion via a pixel electrode; the area of the above light-emitting portion is smaller than the area of the above pixel electrode, and the shape of the above light-emitting portion is different from the shape of the above pixel electrode.

A fifth electro-optical device of this invention comprises a light-emitting portion, and a peripheral circuit which controls the current supplied to the above light-emitting portion via a pixel electrode; the area of the above light-emitting portion is smaller than the area of the above pixel electrode; the shape of the above light-emitting portion is a shape having a curvature, and the shape of the above pixel electrode is polygonal.

A sixth electro-optical device of this invention comprises a light-emitting portion, and a peripheral circuit which controls the current supplied to the above light-emitting portion via a pixel electrode; the area of the above light-emitting portion is smaller than the area of the above pixel electrode; the above light-emitting portion has a polygonal shape having n vertices (where n is an integer equal to 4 or greater); the above pixel electrode has a polygonal shape having m vertices (where m is an integer equal to 3 or greater); and the relation n>m obtains.

In the above electro-optical device, the light-emitting portion has a shape having a curvature, or has a polygonal shape with four or more vertices, so that short-circuits in the edge portions of light-emitting portion can be prevented. And when forming light-emitting portions using a liquid material, the liquid material can be made to extend thoroughly to the edge portions of light-emitting portions, so that a uniform film can be formed.

In the above electro-optical device, it is preferable that the entire region of the above light-emitting portion be formed on the above pixel electrode, and that a contact region for connection to the above peripheral circuit and to the above pixel electrode be provided in the portion of the above pixel electrode where the above light-emitting portion is not formed.

A seventh electro-optical device of this invention comprises an electro-optical element, a holding capacitance which regulates the current supplied to the above electro-optical element, and an active element which supplies a current according to the voltage recorded in the holding capacitance; a first electrode constituting the

holding capacitance is formed by patterning a portion of a metal layer which forms a power supply line supplying current to the electro-optical element.

An eighth electro-optical device of this invention is configured to enable the supply of current to an electro-optical element by an active element according to the voltage recorded in a holding capacitance, and comprises a first metal layer connected to a power supply, and a second metal layer patterned to comprise a portion of a control terminal of an active element; a first electrode constituting the holding capacitance is formed by patterning a portion of the first metal layer.

Here "layer" comprises, in addition to a metal layer, a layer which affects formation of the holding capacitance, such as for example a semiconductor layer.

A second electrode constituting the holding capacitance is formed by patterning a portion of the metal layer which forms the control terminal of the active element.

In the above electro-optical device, the above first electrode may be a portion of the power supply line, and a portion of the metal layer forming the control terminal of the active element in a portion of the power supply line may be overlapped in patterning to form the above second electrode. By means of this configuration, there is no need in particular to provide wiring to connect the holding capacitance and the active element, so that the aperture ratio can be increased.

It is preferable that a semiconductor layer be comprised, overlapping electrodes constituting the holding capacitance and formed in the shape of the electrodes. This semiconductor layer may for example have impurities introduced. The semiconductor layer may be doped with impurities to metallize or to lower the resistance.

It is preferable that the holding capacitance be formed in a region other than the region in which the electro-optical element and active element are formed, so that the aperture ratio is raised. For example, each of the layers comprising the electrodes of the holding capacitance may be formed on a polygon, such as for example a pentagon, corresponding to the shape of the region other than the region in which are formed the electro-optical element and active element.

In the above electro-optical device, it is preferable that, of the layers comprising the holding capacitance electrodes, the region occupied by the layer positioned on the lower side be formed to be greater than the region occupied by the layer positioned on the upper side.

In the above electro-optical device, the region occupied by the layer positioned on the lower side is formed by patterning into a shape such that, even if the greatest possible position shift that can occur during formation of the layer positioned on the upper side occurs, the region of the layer positioned on the upper side is contained within the region of the layer positioned on the lower side.

In the above electro-optical device, it is preferable that a bank layer be further comprised in order to isolate neighboring electro-optical elements, and that the holding capacitance be formed under the bank layer.

In addition, an affinity-controlling layer may be further comprised, within the bank layer or below the bank layer, in order to control the affinity of the liquid material during formation of electro-optical elements.

The overlap region in which is formed the holding capacitance may be provided in a region in which at least one among the first metal layer and the second metal layer is formed in a power supply wiring pattern.

It is further preferable that the wiring pattern formed by the second metal layer be positioned at a prescribed distance or greater from at least one among the two electrodes connected to the electro-optical element. By means of this configuration, unwanted capacitance can be reduced.

A fifth active matrix of this invention is an active matrix substrate comprising pixel electrodes and paths positioned corresponding to the intersections of data lines and scan lines; the above pixel electrodes are connected to a power supply line via at least one transistor; a holding element connected to the gate of the above one or more transistors is provided; and a first electrode constituting the above holding element is connected to the above power supply line.

A sixth active matrix substrate of this invention is an active matrix substrate comprising pixel electrodes and paths positioned corresponding to the intersections of data lines and scan lines; the above pixel electrodes are connected to a power

supply line via at least one transistor; a holding element connected to the gate of the above one or more transistors is provided; and a first electrode constituting the above holding element is a portion of the above power supply line.

In the above active matrix substrate, a second electrode constituting the above holding element is the gate of the above one or more transistors.

A seventh active matrix substrate of this invention is an active matrix substrate comprising unit circuits each comprising a transistor, corresponding to the intersections of scan lines and data lines; a semiconductor film constituting the above transistors is formed in a semiconductor layer; at the intersections of the above scan lines and the above data lines, either the above scan line or the above data line is formed in a first conducting layer; and the portions of the above scan line and the above data line other than at the above intersection are formed in a second conducting layer. In this active matrix substrate, it is preferable that the above second conducting layer be positioned between the above first conducting layer and the above semiconductor layer.

By combining the above active matrix substrate with electro-optical elements, an electro-optical device can be configured.

A ninth electro-optical device of this invention is an electro-optical device comprising electro-optical elements corresponding to the intersections of scan lines and data lines; either the above scan lines or the above data lines are formed in a first conducting layer at the intersections of the above scan lines and the above data lines, together with a pair of electrodes which supply power to the above electro-optical element; the portions of the above scan lines and the above data lines other than in the above intersections are formed in a second conducting layer; and the above second conducting layer is positioned at a greater distance than the above first conducting layer from one of the above pair of electrodes.

Here, the above electro-optical elements may be electroluminescence (EL) elements. "Electroluminescence elements" refer in general to elements, whether employing an organic or an inorganic (such as Zn:S) light-emitting material, which utilize electroluminescence phenomena in which the application of an electric field causes holes injected from an anode and electrons injected from a cathode to

recombine, so that the recombination energy causes the light-emitting material to emit light. As the layer structure enclosed between the electroluminescence element, in addition to a light-emitting layer comprising light-emitting material, a hole transport layer or an electron transport layer, or both, may also be comprised. Specifically, as layer structures, in addition to a cathode/light-emitting layer/anode structure, a cathode/light-emitting layer/hole transport layer/anode, cathode/electron transport layer/light-emitting layer/anode, cathode/electron transport layer/light-emitting layer/hole transport layer/anode, or similar may be adopted.

The above active matrix substrates may also be employed in electronic device. Here there is no particular restriction on "electronic device", which includes a device comprising a display device comprising an active matrix substrate, such as for example portable telephones, video cameras, personal computers, head-mounted displays, rear- or front-projectors, and also fax machines with display functions, the viewfinder of digital cameras, portable TV sets, DSP devices, PDAs, electronic organizers, and similar.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is an overall drawing of a display panel of this embodiment;

Fig. 2 is a plane view of a pixel region in embodiment 1;

Fig. 3 shows plane views of a pixel region in embodiment 1; Fig. 3A is a cross-section along A-A in Fig. 2, Fig. 3B is a cross-section along B-B in Fig. 2, and Fig. 3C is a cross-section along C-C in Fig. 2;

Fig. 4 shows examples of modification of the boundary shape of the light-emitting portion; Fig. 4A shows the case of a circular light-emitting portion, Fig. 4B shows the case of a light-emitting portion having a curved portion symmetrical about a center line, and Fig. 4C shows the case of a light-emitting region having a curved portion asymmetrical about a center line;

Fig. 5 is a circuit diagram of a pixel region in embodiment 1;

Fig. 6 is a drawing explaining the alignment of a metal layer in embodiment 1;

Fig. 7 is a drawing explaining processing to separate gate metal in embodiment 1;

Fig. 8 is a plane view of a pixel region in embodiment 2;

Fig. 9 shows cross-sectional views of a pixel region in embodiment 2; Fig. 9A is a cross-section along A-A in Fig. 8, Fig. 9B is a cross-section along B-B in Fig. 8, and Fig. 9C is a cross-section along C-C in Fig. 8;

Fig. 10 is a plane view of a pixel region in embodiment 3;

Fig. 11 shows cross-sectional views of a pixel region in embodiment 3; Fig. 10A is a cross-section along A-A in Fig. 10, and Fig. 10B is a cross-section along B-B in Fig. 10;

Fig. 12 is a plane view of a pixel region in embodiment 4;

Fig. 13 shows cross-sectional views of a pixel region in embodiment 4; Fig. 13A is a cross-section along A-A in Fig. 12, and Fig. 13B is a cross-section along B-B in Fig. 12;

Fig. 14 is a connection diagram for a display panel in embodiment 5; and,

Fig. 15 shows examples of electronic device in embodiment 5, showing examples of application of a display panel of this invention to a portable telephone in Fig. 15A, to a camcorder in Fig. 15B, to a portable personal computer in Fig. 15C, to a head-mounted display in Fig. 15D, to a rear projector in Fig. 15E, and to a front projector in Fig. 15F.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

Next, preferred embodiments of the invention are explained, referring to the drawings as examples. The following embodiments are no more than examples of embodiments of this invention, and do not limit the scope of application.

Embodiment 1

This embodiment of the invention relates to a display panel which is an electro-optical device employing EL elements as electro-optical elements. Fig. 1 is an overall drawing of a display panel comprising an active matrix panel, comprising EL elements.

As shown in Fig. 1, the display panel 1 is configured by positioning a display region 11 and driver regions 14 and 15 on a glass substrate 16. A cathode 12 is

formed over the entirety of the display region 11, and is connected to the cathode lead electrode 13. Pixel regions 10 are arranged in a matrix in the display region 11. In the case of a color display, the pixel regions 10 are configured to enable emission of primary colors (for example, the three primary colors red, blue, green) taken as necessary for color display; a combination of pixel regions emitting light of each primary color becomes one pixel element. For example, the driver region 15 positioned in the column direction of the display region 11 outputs a write control line Vsel and a light emission control line Vgp; and the driver region 14 positioned in the row direction of the display region 11 outputs, in addition to the power supply line Vdd, data current signals to the data line Idata. By controlling the light-emission state in each pixel region 10 by means of driver circuits, not shown, formed in the driver regions 14 and 15, an arbitrary image can be displayed in the display region 11.

Fig. 2 shows a plane view which explains the wiring pattern in one pixel region and the periphery. In Fig. 2, the patterns can be seen in the semiconductor layer 102, which is particularly important and is shown in Fig. 3, in the gate metal layer 104, source metal layer 106, and anode layer 110.

As shown in Fig. 2, the light-emitting portion OLED and peripheral circuitry to drive this portion are all positioned in the region enclosed by the power supply line Vdd and the data line Idata. The power supply line Vdd is positioned at a distance from the data line Idata, with the light-emitting portion OLED intervening. The peripheral circuit comprises a transistor T1 as a first active element, a transistor T2 as a second active element, a transistor T3 as a current-controlling active element, a transistor T4 as a light emission-controlling active element, and a holding capacitor C as a holding element. No restrictions in particular are placed on the conduction types of the transistors T1 to T4, but in this embodiment, the conduction type of transistor T1 is p type, and that of all the other transistors is n type.

The source of the transistor T1 is connected to the power supply line Vdd, and the drain is connected to the drain side of transistor T4. The source of transistor T4 is connected to the anode of the light-emitting portion OLED. The holding capacitor C is formed between the power supply line Vdd and the gate of transistor T1. The source of transistor T2 is connected to the holding capacitor C and to the

gate of transistor T1, and the drain is connected to the drain of transistor T3 and between transistors T1 and T4. The source of transistor T3 is connected to the data line Idata, and the gate is connected, in common with the gate of transistor T2, to the write-control line Vsel.

Fig. 3 shows cross-sections to explain the layer structure in each of the cross-sectional planes shown in Fig. 2. Fig. 3A, Fig. 3B, and Fig. 3C show the layer structure in the A-A cross-sectional plane, B-B cross-sectional plane, and C-C cross-sectional plane, respectively.

As shown in Fig. 3A, the pixel region 10 is configured by stacking, on the glass substrate 100 (the glass substrate 16 in Fig. 1), an underlayer protection film 101, semiconductor layer 102, gate insulating film 103, gate metal layer 104, first interlaminar insulating film 105, source metal layer 106, second interlaminar insulating film 107, bank layer 108, and cathode layer 109 (the cathode 12 in Fig. 1). Further, as shown in Fig. 3B and Fig. 3C, the electric field light-emitting portion OLED is configured by stacking an anode layer 110, hole transport layer 111, and light-emitting layer 112.

As the glass substrate 100, because the EL elements of this embodiment emit light on the substrate side and it is necessary that light be transmitted, soda lime glass, low-expansion glass, quartz glass, and other non-alkaline glasses are employed. However, when an optically transmissive material is used as the cathode layer 109 and EL elements are configured such that light is emitted from the cathode side, it is also possible to use metal or other conductive materials, as well as silicon carbide (SiC), alumina (Al_2O_3), aluminum nitride (AlN), and other non-transparent insulating materials.

As the underlayer protective film 101, silicon oxide film (SiO_x: $0<x\leq2$), silicon nitride film (Si_3N_x: $0<x\leq4$), and other insulating materials can be used. The underlayer protective film is formed in order to prevent sodium (Na) and other mobile ions contained in the glass substrate from penetrating into the semiconductor layer and exerting adverse effects on impurity control in the semiconductor layer.

After first washing the substrate 100 with deionized water and alcohol or another organic solvent, the underlayer protection layer 101 is formed on the

substrate by atmospheric-pressure chemical vapor deposition (APCVD), low-pressure chemical vapor deposition (LPCVD), plasma-enhanced chemical vapor deposition (PECVD), or another CVD method, or by sputtering.

As the semiconductor layer 102, in addition to a group IV single-element semiconductor layer of silicon (Si), germanium (Ge) or similar, a complex with a group IV element, such as silicon germanium (Si_xGe_{1-x}: $0<x<1$), silicon carbide (Si_xC_{1-x}: $0<x<1$), or germanium carbide (Ge_xC_{1-x}: $0<x<1$), as well as a compound of group III and group V elements such as gallium arsenide (GaAs) and indium antimonide (InSb), a compound of group II and group VI elements such as cadmium selenide (CdSe), or other different complex compounds such as silicon germanium gallium arsenide ($Si_xGe_yGa_zAs_z$: $x+y+z=1$), can be employed.

The semiconductor layer 102 is formed by first depositing silicon or similar by, for example, the APCVD, LPCVD, PECVD or other CVD method, or by sputtering, evaporation deposition, or other PVD method, and then irradiating with laser light to induce a polycrystalline structure. As the laser light, the fundamental and higher harmonics of an excimer laser, argon ion laser, or YAG laser are used as appropriate. For example, when a polycrystalline structure is induced in silicon, polysilicon is obtained. This polycrystalline semiconductor layer 102 is patterned so as to be compatible with the element shapes of the holding capacitance C and each of the TFTs (thin film transistors) T1 to T4. For example, by performing reactive ion etching using a mixture of CF_4 and oxygen gases, a semiconductor layer in an amorphous state can be patterned into an island morphology compatible with element shapes. After patterning, for example, a gate metal layer is formed, and then the gate metal layer is used as a mask to introduce impurities into the semiconductor layer. Specifically, phosphorus (P), arsenic (As), antimony (Sb), or other donor elements are added for each element to obtain n-type semiconductor layer, and boron (B), aluminum (Al), gallium (Ga), indium (In), and other acceptor elements are added to obtain p-type semiconductor layer. In this embodiment, impurities are introduced such that the semiconductor layer constituting the holding capacitor C are n-type semiconductor layer. When TFTs with an LDD structure are employed and the threshold voltage of the TFTs is to be adjusted, channel doping to introduce impurities in low concentrations is performed.

As the gate insulating film 103, for example, a silicon dioxide film is formed using tetraethyl orthosilicate (TEOS) as the raw material. The gate insulating film 103 is formed by, for example, plasma CVD in a microwave-discharge plasma, ECR plasma, or other oxygen or nitrogen atmosphere.

As the gate metal layer 104, a conductive material such as, for example, tantalum (Ta), tungsten (W), chromium (Cr), or aluminum (Al) is used. The gate metal layer 104 is formed by first depositing a film by sputtering or other means, and then patterning into the shape of a gate electrode.

As the first interlaminar insulating film 105, silicon oxide, silicon nitride, or some other insulating film can be used. The first interlaminar insulating film is formed by sputtering or similar, and, for example, contact holes are then formed in order to form TFT source and drain electrodes.

As the source metal layer 106, in addition to aluminum (Al), for example, tantalum, molybdenum, titanium, tungsten, or some other conductive material can be used. The source metal layer is formed by using sputtering or another method to uniformly layer a conductive material, and then patterning according to the electrode shape.

As the second interlaminar insulating film 107, silicon oxide, silicon nitride, or some other insulating film can be used. The second interlaminar insulating film is formed by sputtering or other means, and then, for example, contact holes h1 and h2 for the anode layer 110 are formed.

As the anode layer 110, for example, indium tin oxide (ITO) alloy or some other optically transmissive conducting material can be used. When there is no need for optical transmission properties, tin oxide (NESA), gold, silver, platinum, copper, or another material can be used as the anode layer. After using sputtering or some other method to form the anode layer, patterning is performed according to the shape of the light-emitting portion OLED. No restrictions in particular are placed on the shape of the anode layer (or the pixel electrodes), but it is desirable that the area be larger than that of the light-emitting portion OLED. Through such a configuration, a contact region for electrical connection of a peripheral circuit or pixel circuit with the pixel electrodes can be provided in a region other than the light-

emitting portion of the pixel electrodes. Through such a configuration, the flatness of, at least, the light-emitting portion can be improved.

As the bank layer 108, silicon oxide, silicon nitride, polyimide, or some other insulating material can be employed. The bank layer is formed by deposition using sputtering or a similar method, after which an aperture portion is provided in a position corresponding to the light-emitting portion OLED.

As the hole transport layer 111, for example, N, N'-diphenyl-N,N'-bis-(3-methylphenyl)-(1,1'-biphenyl)-4,4'-diamine (TPDA) is used. The hole transport layer is deposited in the aperture portion provided in the bank layer 109, using a metal mask or similar.

As the light-emitting layer 112, for example, tris-(8-quinolinol) aluminum (Alq_3) or another arbitrary light-emitting material is used. The light-emitting layer can be formed by evaporation deposition using a metal mask or silicon mask; however, an ink jet method may be employed to arrange a solvent comprising the light-emitting material in the aperture portion, after which the solvent component is caused to evaporate.

As the cathode layer 109, a material the energy level of which enables use as the cathode of an EL element, such as aluminum or an alloy of aluminum with another element (such as lithium), or calcium or similar, is used. The cathode layer is formed using a metal mask or similar, and is patterned by photolithography or using a shadow mask method.

In this embodiment, pixel electrodes are anodes and the common electrode is a cathode; however, a configuration may be employed in which the pixel electrodes are cathodes and the common electrode is a anode. Typically, cathode materials are often metals, but when the pixel electrodes are cathodes, the light emitted by the light-emitting portion OLED is then emitted on the side opposite the substrate 100. Of course, even when the pixel electrodes are anodes and the common electrode is a cathode, by using a transparent material as the cathode material, or by making the film thickness sufficiently thin that light is transmitted, light can be emitted on the side opposite the substrate 100.

Below, several features regarding wiring patterns in this embodiment are explained in sequence.

Planar Shape of the Light-Emitting Portion

One method of manufacture of EL elements involves using an ink jet method to discharge a liquid material comprising a light-emitting material, carrier transport material or carrier blocking material into an aperture portion, followed by drying, to form the light-emission layer. In this manufacturing method, it is important that the discharged liquid material extend uniformly to all areas of the aperture portion. If the liquid material does not extend uniformly, the thickness of the light-emitting layer after film deposition is uneven, the intensity of light emitted within the light-emitting region is uneven, and the image quality of the display panel is diminished. If for example it is supposed that the planar shape of the aperture portion is square, then under the influence of the surface tension and viscosity of the liquid material, the height of the surface of the liquid material discharged into the corners of the aperture portion will differ from other areas. Hence there is the possibility that for a light-emitting portion with such a shape, the thickness of the light-emitting layer after film formation will be uneven.

On the other hand, there is a need to increase the brightness of the display panel, and so there are requests to increase insofar as possible the size of the region in which light is emitted, that is, the light-emitting portion, and to reduce insofar as possible the region occupied by peripheral circuitry, that is, to raise the aperture ratio. The pattern layout cannot be designed considering only the ease of manufacture.

In order to satisfy all these requests, in this embodiment the boundaries of the light-emitting portion are formed so as to have at least a prescribed curvature, and at least a portion of the peripheral circuit is formed in the region surrounded by these boundaries having the prescribed curvature and the boundaries of a polygon circumscribing the boundaries of this light-emitting portion.

Based on Fig. 4, a specific concept is explained. Figs. 4A, 4B and 4C show, partially or entirely, the planar shape of a light-emitting portion to which the concept of this invention is applied. Fig. 4A is the case in which the boundary of the light-

emitting portion is circular, that is, the entire boundary has a fixed curvature R. A portion of the peripheral circuit is provided within the region, indicated by shading, enclosed by this circle and by a polygon circumscribing the circle, that is, the square shown by a broken line. The light-emitting portion of this circle is regarded as having an ideal shape for rendering uniform the film thickness of the light-emitting portion, insofar as the shape is symmetrical about any center line passing through the center. However, as shown in Fig. 4A, effective utilization of the shaded portion is necessary in order to improve the aperture ratio of the light-emitting portion.

Fig. 4B is an example in which this invention is applied to the corners of a rectangular shape; in this example, the boundaries of the light-emitting portion are provided with a fixed curvature R. In this example, the circumscribing polygon is a rectangle, shown by a broken line; the shaded regions surrounded by the boundaries of the light-emitting portion and the boundaries of the rectangle are the regions in which a portion of, or the entirety of, the peripheral circuit is provided. The present embodiment pertains to this example; as the curvature R is increased, an oblong planar shape for the light-emitting portion results, such as in this embodiment. In this example also, the shape is symmetrical laterally and vertically about a center line passing through the center of the light-emitting portion, and moreover the curvature of the corner portions is equal to or greater than a fixed value, so that a light-emitting portion with uniform film thickness can be formed.

Fig. 4C is an example in which the curvature of the corner portions is set to be unequal with respect to a center line. The curvature R1 of the corner portion on the left side facing the drawing is smaller than the curvature R2 of the corner portion on the right side.

In this example, the circumscribing polygon is a rectangle, shown by a broken line, and the shaded regions surrounded by the boundaries of the light-emitting portion and the boundaries of the rectangle are regions in which a portion of or the entirety of the peripheral circuit is provided. Even when the curvature is unequal in this way, by setting the minimum curvature to be greater than or equal to a constant value, a light-emitting portion with uniform film thickness can be formed. Because the minimum curvature is affected by the viscosity and surface tension of the discharged solution, and by the water repellence or liquid repellence (affinity to

water or to liquids) of the discharge surface, the minimum curvature should be determined by experiment for each set of conditions.

In this embodiment, a light-emitting portion with a rectangular planar shape, such as shown in Fig. 2, is adopted. And, a portion of the peripheral circuit, namely, the contact holes h1 and h2 (see Fig. 3B), is formed within the region surrounded by the boundaries of the light-emitting layer and the boundaries of the rectangle (not shown) circumscribing the boundaries of the light-emitting portion. In this embodiment, the regions indicated by shading in Fig. 4B which normally are wasted space are used for these contact holes, and this satisfy demands for effective use of space.

In addition to contact holes, any other elements of the peripheral circuit, such as for example transistors and capacitors, may be formed in the regions surrounded by the boundaries of the light-emitting portion and the boundaries of a polygon circumscribing the light-emitting portion. Moreover, it is not necessary to include the entirety of an independently functioning element in these regions; a portion of an element or contact, that is, a portion of the peripheral circuit, may be included in the region. In other words, it is essential that placement be performed so as to make effective use of space.

In cases where a liquid material is not used to form the light-emitting portion, even when, for example, evaporation deposition or similar is used to form the light-emitting portion, by employing a shape in which the edge portions of the light-emitting portion have a curvature, there is the enduring advantage that the danger of short-circuits between the pixel electrode at the edge portions of the light-emitting portion OLED and the common electrode is reduced.

Strictly speaking, a curvature can be represented as a collection of fine straight lines, and so the shape of the light-emitting portion can be interpreted as a polygon having more numerous vertices than the shape of the pixel electrode.

Contact Holes for the Light-Emitting Portion

In an EL element, provision of a contact hole in a region surrounded by the boundaries of the light-emitting portion and the boundaries of a polygon circumscribing the light-emitting portion, as shown in Fig. 2, is significant. In other

words, by providing a comparatively large contact hole in this region, the region can be used effectively, and sufficient current can be supplied to the light-emitting portion.

It is further preferable that a plurality of contact holes be provided. That is, in the EL element, a certain amount of current in the light-emitting layer must be passed uniformly to the entirety of the light-emitting portion. If a contact hole used for connection to an anode directly supplying current is provided in an eccentric position, the supply of current may be uneven. An uneven supply of current appears as irregularities in the intensity of light emission.

If, as in this embodiment, a plurality of contact holes are provided in positions which are symmetrical with respect to a center line passing through the center of the light-emitting portion, then this problem can be resolved. That is, as shown in Fig. 2, in this embodiment a plurality of comparatively large contact holes are provided in regions provided symmetrically with respect to a prescribed center line passing through the center of the light-emitting portion. By providing these contact holes in symmetrical regions, the demand for uniform film deposition in the light-emitting portion, as well as the demand that current supplied to the light-emitting portion be uniform, can both be satisfied.

Alignment of Metal Layers

Depending on the EL element driving method, the stability of the current supplied to the light-emitting portion may be affected by fluctuations in the holding capacitance. In this embodiment also, it is undesirable for the capacitance value of the holding capacitor C to fluctuation either from one pixel to another, or from one display panel to another. However, when stacking metal layers in a process to manufacture a display panel, there may occur shifts from planned positions. Because the numerical area of overlapping metal layers determines the holding capacitance, shifts in position give rise to fluctuations or scattering in capacitance values, and there are cases in which capacitance values of holding capacitances may cause fluctuations either among pixel regions, or among display panels.

Hence in this embodiment, in the vicinity of overlapping regions forming the holding capacitor C, among the plurality of layers related to formation of the holding

capacitor C, that is, among the source metal layer 106, gate metal layer 104, and semiconductor layer 102, the occupied region or width of a layer positioned on the lower side (relative to the source metal layer, the gate metal layer and semiconductor layer) is formed to be larger than the occupied region or width of the layer positioned on the upper side (relative to the semiconductor layer, the gate metal layer and source metal layer; relative to the gate metal layer, the source metal layer).

This feature can be seen in the plane view of Fig. 2, but is explained in greater detail referring to the A-A cross-section shown in Fig. 6. As shown in Fig. 6, if the width of the source metal layer 106 is d1, the width of the gate metal layer 104 is d2, and the width of the semiconductor layer 102 is d3, then the relation d3>d2>d1 obtains. The lower the layer, the larger is the pattern shape.

The extent to which [the pattern shape] should be increased will vary depending on the precision of the manufacturing processes and the pattern density. As one approach, patterns should be formed for each layer such that, when forming layers positioned on the upper side, even when the maximum possible shift in position occurs, the region in the layer positioned on the upper side will be contained within the region in the layer positioned on the lower side. In this embodiment also, the differences d3-d2 and d2-d1 are designed to be equal to or greater than predicted position shifts in manufacturing processes.

Formation of Separations between Gate Metal Layers

EL elements comprise a common electrode; the common electrode is formed over the entirety of the display region. In this embodiment also, a cathode 13 (cathode layer 109) is formed over the entirety of the display region 11 as shown in Fig. 1 as the common electrode for the light-emitting portion OLED. However, if the common electrode is formed over the entirety, there is the problem that a capacitance occurs with the gate metal layer connected to the gates of transistors. If such stray capacitance appears, lags occur in transistor operation, and operation with the timing of the design cannot be guaranteed.

Hence in this embodiment, the wiring pattern formed by the gate metal layer is positioned with a separation of at least a prescribed distance from at least one

among the electrodes of the light-emitting layer. A problem due to low impedance arises due to the distance between the cathode layer 109 which is the common electrode and the gate metal layer 104. Also, the cathode layer 109 is a small distance from the lower side in the light-emitting portion OLED, so that the distance from the gate metal layer in the vicinity of the light-emitting portion poses a problem. Hence in this embodiment, as shown in Fig. 7 (equivalent to the C-C cross-section in Fig. 2), patterns are formed such that, near the light-emitting portion, the distance d1 in the depth direction between the cathode layer 109 and the gate metal layer 104 and the distance d2 in the plane are both equal to or greater than a prescribed distance.

Here the prescribed distance will change variously depending on the area of the gate metal layer and the dielectric constants of intervening layers, and so cannot be specified generally; however, it is preferable that patterning should be at as great a distance as possible, within the range allowed by the area of pixel regions and other.

Wiring to supply data signals, scan signals, and other electrical signals must be laid out in consideration of operation delays caused by stray capacitances. In this embodiment, the data lines Idata and scan lines Vsel use the gate metal layer 104 which is at a greater distance from the cathode 109 which is a common electrode, and at the intersections between data lines Idata and scan lines Vsel, data lines Idata are formed in the source metal layer 106, but the portions of data lines Idata outside intersections and the scan lines Vsel are formed in the gate metal layer 104.

When it is necessary to further reduce the stray capacitances to which data lines Idata contribute, the entirety of the data lines Idata may be formed in the conducting layer which is at the greatest distance from the common electrode. To give an explanation corresponding to this embodiment, at the intersections between data lines Idata and scan lines Vsel, scan lines Vsel are formed in the source metal layer 106, and the entirety of data lines Idata as well as the portion of scan lines Vsel outside intersections may be formed in the gate metal layer 104.

In order to remove signals lines such as scan lines and data lines farther from the common electrode and from pixel electrodes, a conducting layer may be formed

in the same layer as the semiconductor layer 102; and, if a so-called bottom-gate configuration for transistors is employed, then the conducting layer may be provided below the semiconductor layer, and this conducting layer can be used for wiring of signal lines.

Operation of Peripheral Circuits

Next, the operation of the peripheral circuit of an EL element of this embodiment is explained. Fig. 5 shows a circuit diagram for one pixel circuit constituting the pixel region 10.

1) The circuit of this embodiment has a circuit configuration which operates through the supply of current data as data signals. Pixel display begins with the selection of the write control line Vsel as a data writing operation, putting the transistors T2 and T3 into the turned-on state.

2) When the transistors T2 and T3 are put into the conducting state, the transistor T1 reaches a steady state after a prescribed time, and electric charge accumulates in the holding capacitor C according to the data current Cdata.

3) As light emission action, the write control line Vsel is put into the unselected state, the transistors T2 and T3 are turned off, and after stopping supply of the data current Cdata, the light emission control line Vgp is selected. As a result, the transistor T4 is turned on, and a current corresponding to the potential difference Vgs between the voltage stored in the holding capacitor C and the power supply voltage Vdd is supplied to the light-emitting portion OLED via the transistors T1 and T4, so that light is emitted from the light-emitting layer.

Improvement of Current Maintenance Performance in Peripheral Circuits

Below, features of this embodiment in the peripheral circuitry are explained.

In the prior art, no consideration in particular has been paid to active elements controlling the charging and discharging of holding capacitances. In miniaturized FETs, when the gate voltage is below the threshold, the drain current also depends on the drain voltage. That is, the injection current in the source-drain channel increases as an exponential function of the gate voltage, and leakage currents occur. For example, when a leakage current occurs in transistor T2 shown

in Fig. 5, the cross-terminal voltage Vgs of the holding capacitor C deviates from the value corresponding to the supplied data signal, and the drain current of the transistor T1 which takes this voltage as a control voltage for input to its gate fluctuates. This fluctuation appears as a change in brightness in the light-emitting portion OLED, so that light emission at a stable brightness can no longer be guaranteed.

Hence in this embodiment, as shown in Fig. 1 and Fig. 5, transistor T2 which is an active element directly connected to the holding capacitor C is an active element with multiple control terminals, that is, a multi-gate type transistor. Using such a transistor, as indicated by the arrow in Fig. 5, is for practical purposes equivalent to directly connecting a plurality of transistors, and the leakage current is greatly suppressed. A current corresponding to the supplied data signal is reliably supplied to the light-emitting portion OLED.

As the transistor T2, instead of, or in addition to, a multi-gate type structure, an LDD, GDD, or DDD structure can also be employed. By employing such a structure, the leakage current can be reduced, and adverse effects due to hot electrons when a FET is miniaturized are suppressed, so that element reliability is enhanced.

In this embodiment, in consideration of the polarity of control signals, transistor T1 and transistor T2 have opposite polarities, that is, transistor T1 is a p-type FET, and transistors T2 to T4 are n-type FETs. However, whether to use a p-type or an n-type [transistor] can be decided arbitrarily according to the polarity and other details of signals which are to be used, and no restrictions apply.

Moreover, the placement of elements is not limited to that of Fig. 5. For example, the electrical potential relationships of the holding capacitor, transistor T1, and light-emitting portion OLED can be reversed. In this case, it is desirable that the common electrode of the light-emitting portion be an anode, and that the polarities of each of the transistors (whether n-type or p-type) be reversed.

Reduction of Peripheral Circuit Space

As explained above, in order to increase the brightness or aperture ratio in a display device, it is demanded that the region occupied by peripheral circuitry be

decreased as much as possible. To this end, in this embodiment a wiring pattern is formed such that at least one active element among the plurality of transistors and other active elements is connected to another active element by the same contact hole. Specifically, as shown in Fig. 2, transistors T2, T3, and T4 are interconnected by the same contact hole h3. In this way, the layout is optimized such that there are more numerous common connection points or contacts in a circuit, and by arranging elements such that portions which are common contact points are connected by the same connection points, the number of contact holes can be reduced and the area occupied by the peripheral circuitry is reduced due to these contact holes.

Embodiment 2

Fig. 8 shows a plane view explaining one pixel region and the wiring pattern in the vicinity thereof for an EL element of embodiment 2 of this invention. Fig. 9 shows cross-sectional views which explain the layer structure in cross-sections of Fig. 8. Fig. 9A shows the layer structure in a cross-section along the A-A plane, Fig. 9B is a cross-section along B-B, and Fig. 9C is a cross-section along C-C. In these drawings, similarly to embodiment 1, the patterns of the principal semiconductor layer 102, gate metal layer 104, source metal layer 106, and anode layer 110 are shown.

The configuration of the EL element in embodiment 2 is, except for the existence of an affinity-controlling film 113 which forms a step shape, similar to the EL element of embodiment 1. Hence components similar to those of embodiment 1 are assigned the same symbols in the drawings, and explanations are omitted.

Below, features of this embodiment are described.

Affinity-Controlling Layer

As shown in Fig. 9C, the light-emitting portion OLED in embodiment 2 comprises an affinity-controlling layer 113, between the second interlaminar insulating film 107 and the bank layer 108. This affinity-controlling layer 113 need not be formed over the entire pixel region, but when forming a light-emitting portion OLED using a liquid material, should preferably be provided at least near the boundaries of the light-emitting portion. The affinity-controlling layer 113 must have an affinity for the liquid material used in forming the light-emitting portion. In this

embodiment, the bank layer 108 forms a wall near the boundary of the light-emitting portion; a material is selected which exhibits no affinity for the liquid material used when forming the light-emitting layer 110, and [the bank layer] is stacked on top of the affinity-controlling layer 113. Consequently the affinity-controlling layer 113 forms a step shape Step on the inside of the light-emitting portion in the wall formed by the bank layer, as shown in Fig. 8 and Fig. 9C.

The material of the affinity-controlling layer 113 is determined according to the kind of properties of the liquid material which is used to fill the light-emitting region by the ink jet method. For example, if the liquid material comprises a liquid such as water which is highly polar, it is desirable that the affinity-controlling layer have polar bases, at least in the portion making contact with the liquid material or on the surface. Conversely, if the liquid material comprises a nonpolar liquid, it is desirable that the affinity-controlling layer have nonpolar bases, at least in the portion making contact with the liquid material or on the surface. Also, the extent of the affinity of the affinity-controlling layer is determined by the surface tension of the liquid material which fills the light-emitting region.

For example, even if a material which chemically has a weak affinity for water is used as an affinity-controlling layer, if the liquid material comprises large quantities of a solvent with a surface tension lower than that of water, the surface tension of the liquid material will be lower than that of water, and so the affinity-controlling layer will exhibit affinity for the liquid. Hence the type of material to use in the affinity-controlling layer is changed variously according to the liquid material to be used.

It is preferable that the affinity-controlling layer 113 comprise an inorganic compound or organic compound which in turn comprises one among Al, Ta or another metal, silicon oxide, silicon nitride, amorphous silicon, polysilicon, polyimide, an organic compound with fluoride bonds, or a photoresist. If insulating properties are necessary, the affinity-controlling layer comprises a nonmetallic compound. The affinity of these materials is determined by differences in the contact angle with respect to the liquid material. That is, the degree of affinity or absence of affinity is determined in relative and not absolute terms. The degree of affinity can also be adjusted through surface treatment methods.

It is preferable that the bank layer 108 comprise a material with weaker affinity than the affinity-controlling layer 113. This is because, by making the affinity of the bank layer weaker than that of the affinity-controlling layer, the absence of affinity of the bank layer can repel the liquid material to prevent flowing of the liquid material into neighboring pixel regions and avoid short-circuits. Also, the absence of affinity of the bank layer prevents liquid material from being drawn excessively toward the bank layer side so that a concave-shape film is formed.

Thus in this embodiment, an affinity-controlling layer with an affinity for the liquid material is provided near the boundaries of the light-emitting portion, so that a light-emitting layer of uniform film thickness can be formed.

In this way, according to this embodiment, an affinity-controlling layer with affinity for the liquid material is provided near the boundaries of the light-emitting portion, so that the uniformity of the thickness of the hole injection layer, light-emitting layer, and other layers constituting the light-emitting portion is improved.

In this embodiment, the affinity-controlling layer 113 is formed in a step shape; but when the thickness of the layer cross-section can be made sufficiently great, walls without a step shape, that is, a single wall without a step with the bank layer, may be formed.

Other advantageous results of embodiment 2 are similar to those of embodiment 1, and an explanation is omitted.

Embodiment 3

Fig. 10 shows a plane view which explains one pixel region and the peripheral wiring pattern for an EL element in embodiment 3. Fig. 11 shows cross-sectional views explaining the layer structure in cross-sections indicated in Fig. 10. Fig. 11A and Fig. 11B show the layer structures in the cross-sections along A-A and B-B respectively in Fig. 10. In these drawings, similarly to embodiment 1, patterns in the principal semiconductor layer 202, gate metal layer 204, source metal layer 206, and anode layer 210 can be seen.

In the pattern shape of the EL element in embodiment 3, the width of the pixel region 20 is smaller than the width of the pixel region 10 in embodiment 1. However, the circuit configuration is similar to that of embodiment 1 (see Fig. 5), and the

materials forming each layer are also similar to embodiment 1, and so components which are the same as in embodiment 1 are assigned the same symbols in the drawings, and explanations are omitted. The glass substrate 100, underlayer protection film 101, semiconductor layer 102, gate insulating film 103, gate metal layer 104, first interlaminar insulating film 105, source metal layer 106, second interlaminar insulating film 107, bank layer 108, cathode layer 109, anode layer 110, hole transport layer 111, and light-emitting layer 112 in embodiment 1 correspond, respectively, to the glass substrate 200, underlayer protection film 201, semiconductor layer 202, gate insulating film 203, gate metal layer 204, first interlaminar insulating film 205, source metal layer 206, second interlaminar insulating film 207, bank layer 208, cathode layer 209, anode layer 210, hole transport layer 211, and light-emitting layer 212 in embodiment 3. Also, the transistors T1 to T4 in embodiment 1 correspond respectively to the transistors T11 to T14 in embodiment 3, and the contact holes h1 to h3 in embodiment 1 correspond respectively to the contact holes h11 to h13 in embodiment 3.

Below, features of the wiring pattern in this embodiment are explained.

Holding Capacitor Under the Power Supply Line

In embodiment 1, the holding capacitor C was positioned between the power supply line Vdd and the data line Idata, outside the light-emitting portion (in the upper portion of the light-emitting portion in Fig. 2). However, when the area of the pixel region is comparatively small as in this embodiment, that is, when the pixel density is high, it is not possible to secure sufficient element space for occupation by the holding capacitor.

Hence in this embodiment, the holding capacitor C is formed in the region in which at least one among a first metal layer (for example, the source metal layer 206) or a second layer forms a power supply wiring pattern. Specifically, as shown in Fig. 10, the holding capacitor C is formed by stacking a gate metal layer 204 in parallel below the power supply line Vdd (source metal layer 206) positioned on the side of the light-emitting portion OLED.

The holding capacitor C is formed by causing an overlapping region to occur among the plurality of layers (for example, the source metal layer 206, gate metal

layer 204, and semiconductor layer 202) relating to formation of the holding capacitor C, similarly to the holding capacitor explained in embodiment 1; near the overlapping region in which the holding capacitor C is formed, the region occupied by the layer positioned on the lower side among the plurality of layers is formed to be larger than the region occupied by layers positioned on the upper side. Specifically, as shown in Fig. 11B, if the width of the source metal layer 206 is d11, the width of the gate metal layer 204 is d12, and the width of the semiconductor layer 202 is d13, then the relation d13 > d12 > d11 obtains. The lower the layer, the larger the pattern shape is made.

The extent to which the size is increased will depend on the precision of the manufacturing processes and the pattern density. As one approach, patterns should be formed for each layer such that, when forming layers positioned on the upper side, even when the maximum possible shift in position occurs, the region in the layer positioned on the upper side will be contained within the region in the layer positioned on the lower side. In this embodiment also, the differences d13-d12 and d12-d11 are designed to be equal to or greater than predicted position shifts in manufacturing processes.

Holding Capacitor Below the Bank Layer

It is preferable that the above-described holding capacitor be formed below the bank layer 208, in order to isolate the above-described neighboring light-emitting portion. That is, because the bank layer is necessary for pixel separation, by superposing the wiring region for the power supply line and the overlapping region for the holding capacitor, the area occupied by the peripheral circuit can be greatly reduced, and a sufficient aperture ratio can be secured.

Reduction of Peripheral Circuit Space

Similarly to embodiment 1, in embodiment 2 a wiring pattern is fabricated such that at least one active element among a plurality of transistors and other active elements is connected to another active element by the same contact hole. Specifically, as shown in Fig. 10, the transistors T12, T13 and T14 are interconnected by the same contact hole h13. In this way, by designing the circuit such that there are numerous common contact points in the circuit, and arranging

elements such that portions which are common contact points are connected by the same connection points, the number of contact holes can be reduced, and the occupied area of the peripheral circuit used for contact holes can be decreased.

Other features, such as for example the planar shape of the light-emitting portion, separation from the electrodes of the gate metal layer, peripheral circuit operation, and improvement of the current maintenance performance of the peripheral circuit, are similar to those of embodiment 1, and an explanation is omitted.

Embodiment 4

Fig. 12 shows a plane view which explains one pixel region and the peripheral wiring pattern for an EL element in embodiment 3 of this invention. Fig. 13 shows cross-sectional views which explain the layer structure at cross-sections indicated in Fig. 12. Fig. 13A and Fig. 13B show the layer structure at cross-sections A-A and B-B respectively in Fig. 12. As in embodiment 3, in these drawings the patterns of the principal semiconductor layer 202, gate metal layer 204, source metal layer 206, and anode layer 210 can be seen.

Except for the existence of an affinity-controlling film 213 forming a step shape, the configuration of the EL element of embodiment 4 is the same as the EL element of embodiment 3. Hence the same symbols in drawings are assigned to components which are the same as in embodiment 3, and an explanation is omitted.

Features of this embodiment are explained below.

Affinity-Controlling Layer

As shown in Fig. 13B, the light-emitting portion OLED in embodiment 4 comprises an affinity-controlling layer 213 between the second interlaminar insulating film 207 and the bank layer 208. This affinity-controlling layer 213 need not be formed over the entire pixel region, but must be provided, at least, near the boundaries of the light-emitting portion. The affinity-controlling layer 213 must have affinity with the liquid material used in forming the light-emitting portion. In this embodiment, the bank layer 208 forms walls near the boundaries of the light-emitting portion; a material which exhibits a lack of affinity with the liquid material used when forming the light-emitting layer 212 or hole injection layer 211 is selected,

and is stacked on top of the affinity-controlling layer 213. Consequently the affinity-controlling layer 213 forms a step shape on the inside of the light-emitting portion with respect to the wall formed by the bank layer, as shown in Fig. 12 and Fig. 13B.

The material of the affinity-controlling layer 113 is determined according to the properties of the liquid material with which the light-emitting region is filled using the ink jet method. For example, if the liquid material comprises a liquid such as water which is highly polar, it is desirable that the affinity-controlling layer have polar bases, at least in the portion making contact with the liquid material or on the surface. Conversely, if the liquid material comprises a nonpolar liquid, it is desirable that the affinity-controlling layer have nonpolar bases, at least in the portion making contact with the liquid material or on the surface. Also, the extent of the affinity of the affinity-controlling layer is determined by the surface tension of the liquid material which fills the light-emitting region.

For example, even if a material which chemically has a weak affinity for water is used as an affinity-controlling layer, if the liquid material comprises large quantities of a solvent with a surface tension lower than that of water, the surface tension of the liquid material will be lower than that of water, and so the affinity-controlling layer will exhibit affinity for the liquid. Hence the type of material to use in the affinity-controlling layer is changed variously according to the liquid material to be used.

It is preferable that the affinity-controlling layer 213 comprise an inorganic compound or organic compound which in turn comprises one among Al, Ta or another metal, silicon oxide, silicon nitride, amorphous silicon, polysilicon, polyimide, an organic compound with fluoride bonds, or a photoresist. If insulating properties are necessary, the affinity-controlling layer comprises a nonmetallic compound. The affinity of these materials is determined by differences in the contact angle with respect to the liquid material. That is, the degree of affinity or absence of affinity is determined in relative and not absolute terms. The degree of affinity can also be adjusted through surface treatment methods.

It is preferable that the bank layer 108 comprise a material with weaker affinity than the affinity-controlling layer 113. This is because, by making the affinity

of the bank layer weaker than that of the affinity-controlling layer, the absence of affinity of the bank layer can repel the liquid material to prevent flowing of the liquid material into neighboring pixel regions and avoid short-circuits. Also, the absence of affinity of the bank layer prevents liquid material from being drawn excessively toward the bank layer side so that a concave-shape film is formed.

Thus in this embodiment, an affinity-controlling layer with an affinity for the liquid material is provided near the boundaries of the light-emitting portion, so that the uniformity of the thickness of the hole injection layer, light-emitting layer, and other layers constituting the light-emitting portion can be improved.

According to this embodiment, a bank layer forming a wall near the boundaries of the light-emitting portion exhibits a lack of affinity with the liquid material, so that short-circuits with the neighboring pixel regions can be prevented.

In this embodiment, the affinity-controlling layer 213 is formed in a step shape; but when the thickness of the layer cross-section can be made sufficiently great, walls without a step shape, that is, a single wall without a step with the bank layer, may be formed.

Other advantageous results of embodiment 4 are similar to those of embodiment 1, and an explanation is omitted.

Embodiment 5

This embodiment relates to a display panel which is an electro-optical device having EL elements which are electro-optical elements explained in the above embodiments, and electronic device comprising such a display panel.

Fig. 14 shows a connection diagram for a display panel 1 of this embodiment. As indicated in Fig. 1, in display panel 1, pixel regions are arranged in the display region 11. As pixel regions, the pixel regions 10 of embodiment 1 or embodiment 2, or the pixel regions 20 of embodiments 3 or 4 may be employed. Control signals are supplied to each pixel region from the driver region 14, via the light-emission control lines Vgp and write-control lines Vsel. Data signals and a power supply voltage are supplied to each pixel region from the driver region 15, via data lines Idata and power supply lines Vdd.

The display panel 1 of this embodiment can be employed in various electronic device. Fig. 15 shows examples of electronic device which can employ the display panel 1.

Fig. 15A is an example of application to a portable telephone set; the portable telephone 30 comprises an antenna portion 31, voice output portion 32, voice input portion 33, operation portion 34, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as the display portion.

Fig. 15B is an example of application to a camcorder; the camcorder 40 comprises an imaging portion 41, operation portion 42, audio input portion 43, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as a viewfinder or display portion.

Fig. 15C is an example of application to a portable personal computer; the computer 50 comprises a camera portion 51, operation portion 52, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as a display portion.

Fig. 15D is an example of application to a head-mounted display; the head-mounted display 60 comprises a band 61, optical system housing portion 62, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as an image display source.

Fig. 15E is an example of application to a rear projector; the projector 70 comprises a housing 71, light source 72, synthetic optical system 73, mirror 74, mirror 75, screen 76, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as an image display source.

Fig. 15F is an example of application to a front projector; the projector 80 comprises a housing 82, optical system 81, and a display panel 1 of this invention, and is capable of displaying images on a screen 83. Thus a display panel of this invention can be utilized as an image display source.

Electro-optical devices of this invention are not limited to the above examples, but extend to all electronic device to which active-matrix type display devices can be applied. For example, in addition to the above, utilization in fax machines with display functions, in the viewfinders of digital cameras, in portable TV sets, in DSP

devices, in PDAs, in electronic organizers, in electro-optical bulletin boards, in displays for advertising and announcements, and in other areas is possible.

What Is Claimed Is:

1. An active matrix substrate, comprising peripheral circuits to supply current to an electro-optical element of each pixel corresponding to said electro-optical elements, wherein each of said peripheral circuits comprises:

a holding element to hold a control voltage;

a first active element, connected to said holding element, to supply a current based on said control voltage to said electro-optical element; and,

a second active element, connected to said holding element, which controls the charging and discharging of said holding element; and

wherein said second active element comprises a structure to prevent leakage currents during shutoff.

2. The active matrix substrate according to claim 1, wherein said second active element is configured as a multi-gate type active element.

3. The active matrix substrate according to claim 1, wherein at least said second active element is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

4. An active matrix substrate, comprising a plurality of unit circuits arranged corresponding to intersections of a plurality of data lines and a plurality of scan lines, wherein each of said plurality of unit circuits comprises:

a first transistor, comprising a first control terminal, a first terminal, and a second terminal;

a holding element, connected to said first control terminal, and comprising a first electrode and a second electrode; and,

a second transistor, comprising a third terminal, a fourth terminal, and a second control terminal, said third terminal and said fourth terminal being respectively connected to said first terminal and said first electrode; and

wherein said second transistor has a multi-gate structure.

5. An active matrix substrate, comprising a plurality of unit circuits arranged corresponding to intersections of a plurality of data lines and a plurality of scan lines, wherein each of said plurality of unit circuits comprises:

a first transistor, comprising a first control terminal, a first terminal, and a second terminal;

a holding element, connected to said first control terminal, and comprising a first electrode and a second electrode; and,

a second transistor, comprising a third terminal, a fourth terminal, and a second control terminal, said third terminal and said fourth terminal being respectively connected to said first terminal and said first electrode; and

wherein said second transistor is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

6. The active matrix substrate according to claim 4 or claim 5, further comprising a third transistor comprising a fifth terminal, a sixth terminal, and a third control terminal,

wherein said third control terminal is connected to one scan line among said plurality of scan lines, and

said fifth terminal is connected to one data line among said plurality of data lines.

7. The active matrix substrate according to claim 6, wherein said sixth terminal is connected to said third terminal and to said first terminal.

8. The active matrix substrate according to any of claims 4 through 7, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal, and

wherein at least a portion of one scan line among said plurality of scan lines is formed in said gate metal layer.

9. The active matrix substrate according to any of claims 4 through 7, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal; and

wherein at least a portion of one data line among said plurality of data lines is formed in said gate metal layer.

10. The active matrix substrate according to any of claims 4 through 7, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed;

a gate metal layer comprising said second control terminal; and

a source metal layer comprising a source electrode or drain electrode connected to the source or drain of said second transistor; and

wherein at least one portion of at least one data line among said plurality of data lines is formed in the layer, among said source metal layer and said gate metal layer, which is closer to said semiconductor layer.

11. An active matrix substrate, comprising unit circuits with transistors, scan lines, and data lines, and having a stacked-layer structure comprising a plurality of layers,

wherein said plurality of layers comprise:

a semiconductor layer, in which a semiconductor film constituting transistors is formed; and

a gate metal layer having gate terminals of said transistors formed therein; and

wherein at least one portion of either said scan lines or said data lines, or both, is formed in said gate metal layer.

12. An active matrix substrate, comprising unit circuits with transistors, scan lines, and data lines, and having a stacked-layer structure comprising a plurality of layers,

wherein said plurality of layers comprise:

a semiconductor layer, in which a semiconductor film constituting transistors is formed;

a gate metal layer having gate terminals of said transistors formed therein; and

a source metal layer in which source electrodes or gate electrodes connected to sources or drains of said transistors are formed; and

wherein at least one portion of either said scan lines or said data lines, or both, is formed in the layer, among said gate metal layer and said source metal layer, which is closer to said semiconductor layer.

13. The active matrix substrate according to claim 11 or claim 12, wherein said unit circuit comprises:

a first transistor, comprising a first control terminal, first terminal, and second terminal;

a holding element, connected to said first control terminal, and comprising a first electrode and second electrode; and,

a second transistor, comprising a third terminal, fourth terminal, and second control terminal, said third terminal and said fourth terminal being respectively connected to said first terminal and to said first electrode; and

wherein said second transistor is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

Sub A3

14. An electro-optical device comprising an active matrix substrate according to any of claims 1 through 13, and electro-optical elements.

15. An electro-optical device, comprising peripheral circuits to supply current to an electro-optical element of each pixel corresponding to said electro-optical elements, wherein each of said peripheral circuits comprises:

a light-emission control active element to supply a currrent to said electro-optical element during a light emission period;

a holding element to hold a control voltage;

a first active element, a gate terminal of which is connected to said holding element, which supplies a current, based on said control voltage applied to the gate terminal, to said electro-optical element via said light-emission control active element;

a current-controlling active element, which passes data current via said first active element during a selection period; and,

a second active element, connected between said current-controlling active element and said holding element, which, during said selection period, charges said holding element and causes said control voltage to be stored; and

wherein said second active element comprises a structure to prevent leakage currents during shutoff.

16. An electro-optical device, comprising electro-optical elements and peripheral circuitry which drives said electro-optical elements,

wherein said electro-optical elements are formed such that a boundary of the electro-optical elements has, at least, a prescribed curvature; and

at least one portion of said peripheral circuitry is formed in the region surrounded by the boundary having the specified curvature and by the boundaries of a polygon circumscribing the electro-optical element.

17. The electro-optical device according to claim 16, wherein a plurality of boundary portions having said prescribed curvature are formed.

18. The electro-optical device according to claim 16 or claim 17, wherein said plurality of formed boundary portions are arranged substantially symmetrically with respect to a center line passing through the geometric center of said electro-optical element.

19. An electro-optical device, comprising a light-emitting portion and a peripheral circuit which controls the current supplied to said light-emitting portion, by means of a pixel electrode, wherein:

the area of said light-emitting portion is smaller than the area of said pixel electrode; and,

the shape of said light-emitting portion and the shape of said pixel electrode are different.

20. An electro-optical device, comprising a light-emitting portion and a peripheral circuit which controls the current supplied to said light-emitting portion, by means of a pixel electrode, wherein:

the area of said light-emitting portion is smaller than the area of said pixel electrode; and,

the shape of said light-emitting portion is a shape having a curvature, and the shape of said pixel electrode is a polygonal shape.

21. An electro-optical device, comprising a light-emitting portion and a peripheral circuit which controls the current supplied to said light-emitting portion, by means of a pixel electrode, wherein:

the area of said light-emitting portion is smaller than the area of said pixel electrode;

said light-emitting portion has a polygonal shape having n vertices (where n is an integer greater than or equal to 4);

said pixel electrode has a polygonal shape having m vertices (where m is an integer greater than or equal to 3); and,

the relation n>m obtains.

22. The electro-optical device according to any of claims 19 through 21, wherein the entire region of said light-emitting portion is formed on said pixel electrode, and a contact region for connection of said peripheral circuit and said pixel electrode is provided in a portion of said pixel electrode in which said light-emitting portion is not formed.

23. An electro-optical device, comprising:

an electro-optical element;

a holding capacitance, constituted by a plurality of layers including electrodes, which regulates a current supplied to said electro-optical element; and,

an active element which supplies current to said electro-optical element according to the electric charge amount held in said holding capacitance;

wherein a first electrode constituting said holding capacitance is formed by patterning a portion of a metal layer comprising a power supply line which supplies current to said electro-optical element.

24. The electro-optical device according to claim 23, wherein a second electrode constituting said holding capacitance is formed by patterning a portion of a metal layer comprising a control terminal of said active element.

25. The electro-optical device according to claim 23, wherein said first electrode is a portion of said power supply line, and a portion of a metal layer forming a control terminal of said active element is superposed on a portion of said power supply line and patterned to form said second electrode.

26. The electro-optical device according to claim 23, comprising a semiconductor layer below said first electrode and said second electrode.

27. The electro-optical device according to claim 25, wherein the region occupied by a layer positioned on the lower side among the layers constituting electrodes of said holding capacitance is formed to be larger than the region occupied by a layer positioned on the upper side.

28. The electro-optical device according to claim 27, wherein the region occupied by said layer positioned on the lower side is pattern-formed in a shape such that, even if the maximum possible position shift occurs at the time of formation

of said layer positioned on the upper side, the region of the layer positioned on the upper side is contained within the region of said layer positioned on the lower side.

29. An electro-optical device, comprising a plurality of layers including electrodes, configured such that a current can be supplied by an active element according to a voltage stored in a holding capacitance to an electro-optical element which emits light through the application of an electric field between the electrodes, comprising:

a first metal layer, constituting a power supply line; and,

a second metal layer, formed in a pattern including a portion of a control terminal of said active element; and

wherein one electrode constituting said holding capacitance is formed by patterning one portion of said first metal layer.

30. The electro-optical device according to claim 29, wherein the other electrode constituting said holding capacitance is formed by patterning one portion of said second metal layer.

31. The electro-optical device according to claim 29, wherein one electrode constituting said holding capacitance is one portion of said power supply line, and said other electrode is formed by superposing a portion of said second metal layer on a portion of the power supply line and patterning.

32. The electro-optical device according to claim 29, wherein the region occupied by a layer positioned on the lower side among the layers comprising said holding capacitance electrodes is formed to be larger than the region occupied by a layer positioned on the upper side.

33. The electro-optical device according to claim 32, wherein the region occupied by said layer positioned on the lower side is pattern-formed in a shape such that, even if the maximum possible position shift occurs at the time of formation of said layer positioned on the upper side, the region of the layer positioned on the upper side is contained within the region of said layer positioned on the lower side.

34. An active matrix substrate, comprising pixel electrodes and paths arranged corresponding to intersections of data lines and scan lines, wherein:

said pixel electrodes are connected to a power supply line via one or more transistors;

a holding element is provided, connected to a gate of said one or more transistors; and,

a first electrode constituting said holding element is connected to said power supply line.

35. An active matrix substrate, comprising pixel electrodes and paths arranged corresponding to intersections of data lines and scan lines, wherein:

said pixel electrodes are connected to a power supply line via one or more transistor;

a holding element is provided, connected to a gate of said one or more transistor; and,

a first electrode constituting said holding element is a portion of said power supply line.

36. The active matrix substrate according to claim 34 or claim 35, wherein a second electrode constituting said holding element is the gate of said one or more transistors.

37. An active matrix substrate, comprising unit circuits comprising transistors, arranged corresponding to intersections of data lines and scan lines; wherein

a semiconductor film constituting said transistors is formed in a semiconductor layer;

either said scan lines or said data lines are formed in a first conducting layer at the intersections of said scan lines and said data lines; and,

a portion of said scan lines and said data lines outside said intersections are formed in a second conducting layer.

38. The active matrix substrate according to claim 37, wherein said second conducting layer is positioned between said first conducting layer and said semiconductor layer.

39. An electro-optical device, comprising electro-optical elements corresponding to intersections of scan lines and data lines, wherein:

a pair of electrodes is provided to supply power to said electro-optical elements;

at the intersections of said scan lines and said data lines, either said scan lines or said data lines are formed in a first conducting layer;

portions of said scan lines and said data lines outside said intersections are formed in a second conducting layer; and,

said second conducting layer is positioned at a greater distance than said first conducting layer from one of said pair of electrodes.

ABSTRACT OF THE DISCLOSURE

An active matrix substrate is provided which does not cause reductions in the brightness of electroluminescence elements, and which comprises appropriate peripheral circuitry occupying a small area. The active matrix substrate comprises peripheral circuits to supply current to EL elements provided for each pixel, and corresponding to EL elements, and further comprises a holding element (C) which holds a control voltage, a first active element (T1) connected to the holding element (C) and which supplies current to a light-emitting portion (OLED) based on a control voltage, and a second active element (T2) connected to the holding element (C) and which controls the charging and discharging of the holding element. In particular, the second active element (T2) is configured as a multiple-control-terminal type active element. As a result, there are no fluctuations in the programmed current.

PTO/SB/106 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

Seiko Epson Ref. No.: F007728US00 | Attorney's Ref. No.: 114251

Declaration and Power of Attorney For Patent Application

OIPE JC154 FEB 13 2003 PATENT & TRADEMARK OFFICE

特許出願宣言書及び委任状

Japanese Language Declaration

日本語宣言書

下記の氏名の発明者として、私は以下の通り宣言します。	As a below named inventor, I hereby declare that:
私の住所、私書箱、国籍は、下記の私の氏名の後に記載された通りです。	My residence, post office address and citizenship are as stated next to my name.
下記の名称の発明に関して請求範囲に記載され、特許出願している発明内容について、私が最初かつ唯一の発明者（下記の氏名が一つの場合）もしくは最初かつ共同発明者であると（下記の名称が複数の場合）信じています。	I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled
アクティブマトリクス基板、電気光学装置および電子機器	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
上記発明の明細書（下記の欄で×印がついていない場合は、本書に添付）は、	the specification of which is attached hereto unless the following box is checked:
☒ 2002年11月20日に提出され、米国出願番号または特許協定条約 国際出願番号を 10/299,861 とし、（該当する場合） _____ に訂正されました。	☒ was filed on November 20, 2002 as United States Application Number or PCT International Application Number 10/299,861 and was amended on _____ (if applicable).
私は、特許請求範囲を含む上記訂正後の明細書を検討し、内容を理解していることをここに表明します。	I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.
私は、連邦規則法典第37編第1条56項に定義されるとおり、特許資格の有無について重要な情報を開示する義務があることを認めます。	I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56.

Burden Hour Statement: This form is estimated to take 0.4 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office. Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner of Patents and Trademarks. Washington, DC 20231.

PTO/SB/106 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

Japanese Language Declaration
(日本語宣言書)

私は、米国法典第３５編１１９条（ａ）-（ｄ）項又は３６５条（ｂ）項に基き下記の、米国以外の国の少なくとも１ヶ国を指定している特許協力条約３６５条（ａ）項に基づく国際出願、又は外国での特許出願もしくは発明者証の出願についての外国優先権をここに主張するとともに、優先権を主張している、本出願の前に出願された特許または発明者証の外国出願を以下に、枠内をマークすることで、示しています。

I hereby claim foreign priority under Title 35, United States Code, Section 119 (a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below, by checking the box, any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application(s) 外国での先行出願			Priority Not Claimed 優先権主張なし
2001-356007	Japan	21/November/2001	☐
(Number) (番号)	(Country) (国名)	(Day/Month/Year Filed) (出願年月日)	
2001-371403	Japan	05/December/2001	☐
(Number) (番号)	(Country) (国名)	(Day/Month/Year Filed) (出願年月日)	

私は、第３５編米国法典１１９条（ｅ）項に基いて下記の米国特許出願規定に記載された権利をここに主張いたします。

I hereby claim the benefit under Title 35, United States Code, Section 119 (e) of any United States provisional application(s) listed below.

(Application No.) (出願番号)	(Filing Date) (出願日)	(Application No.) (出願番号)	(Filing Date) (出願日)

私は下記の米国法典第３５編１２０条に基いて下記の米国特許出願に記載された権利、又は米国を指定している特許協力条約３６５条（ｃ）に基づく権利をここに主張します。また、本出願の各請求範囲の内容が米国法典第３５編１１２条第１項又は特許協力条約で規定された方法で先行する米国特許出願に開示されていない限り、その先行米国出願書提出日以降で本出願書の日本国内または特許協力条約国際提出日までの期間中に入手された、連邦規則法典第３７編１条５６項で定義された特許資格の有無に関する重要な情報について開示義務があることを認識しています。

I hereby claim the benefit under Title 35, United States Code, Section 120 of any United States application(s), or 365 (c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code, Section 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of application:

(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況：特許許可済、係属中、放棄済)

(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況：特許許可済、係属中、放棄済)

私は、私自身の知識に基づいて本宣言書中で私が行なう表明が真実であり、かつ私が入手した情報と私の信じるところに基づく表明が全て真実であると信じていること、さらに故意になされた虚偽の表明及びそれと同等の行為は米国法典第１８編第１００１条に基づき、罰金または拘禁、もしくはその両方により処罰されること、そしてそのような故意による虚偽の声明を行なえば、出願した、又は既に許可された特許の有効性が失われることを認識し、よってここに上記のごとく宣誓を致します。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

PTO/SB/106 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

Japanese Language Declaration
(日本語宣言書)

私は、米国法典第３５編１１９条（ａ）-（ｄ）項又は３６５条（ｂ）項に基き下記の、米国以外の国の少なくとも１ヶ国を指定している特許協力条約３６５条（ａ）項に基づく国際出願、又は外国での特許出願もしくは発明者証の出願についての外国優先権をここに主張するとともに、優先権を主張している、本出願の前に出願された特許または発明者証の外国出願を以下に、枠内をマークすることで、示しています。

I hereby claim foreign priority under Title 35, United States Code, Section 119 (a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below, by checking the box, any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application(s) 外国での先行出願			Priority Not Claimed 優先権主張なし
2001-371410	Japan	05/December/2001	☐
(Number) (番号)	(Country) (国名)	(Day/Month/Year Filed) (出願年月日)	
			☐
(Number) (番号)	(Country) (国名)	(Day/Month/Year Filed) (出願年月日)	

私は、第３５編米国法典１１９条（ｅ）項に基いて下記の米国特許出願規定に記載された権利をここに主張いたします。

I hereby claim the benefit under Title 35, United States Code, Section 119 (e) of any United States provisional application(s) listed below.

(Application No.) (出願番号)	(Filing Date) (出願日)	(Application No.) (出願番号)	(Filing Date) (出願日)

私は下記の米国法典第３５編１２０条に基いて下記の米国特許出願に記載された権利、又は米国を指定している特許協力条約３６５条（ｃ）に基づく権利をここに主張します。また、本出願の各請求範囲の内容が米国法典第３５編１１２条第１項又は特許協力条約で規定された方法で先行する米国特許出願に開示されていない限り、その先行米国出願書提出日以降で本出願書の日本国内または特許協力条約国際提出日までの期間中に入手された、連邦規則法典第３７編１条５６項で定義された特許資格の有無に関する重要な情報について開示義務があることを認識しています。

I hereby claim the benefit under Title 35, United States Code, Section 120 of any United States application(s), or 365 (c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code, Section 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of application:

(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況：特許許可済、係属中、放棄済)
(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況：特許許可済、係属中、放棄済)

私は、私自身の知識に基づいて本宣言書中で私が行なう表明が真実であり、かつ私が入手した情報と私の信じるところに基づく表明が全て真実であると信じていること、さらに故意になされた虚偽の表明及びそれと同等の行為は米国法典第１８編第１００１条に基づき、罰金または拘禁、もしくはその両方により処罰されること、そしてそのような故意による虚偽の声明を行なえば、出願した、又は既に許可された特許の有効性が失われることを認識し、よってここに上記のごとく宣誓を致します。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

PTO/SB/106 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

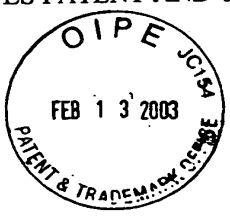
Japanese Language Declaration
(日本語宣言書)

委任状： 私は、下記の発明者として、本出願に関する一切の手続きを米特許商標局に対して遂行する弁理士または代理人として、下記の者を指名いたします。（弁護士、または代理人の氏名及び登録番号を明記のこと） James A. Oliff, (Reg. 27,075) William P. Berridge, (Reg. 30,024) Kirk M. Hudson, (Reg. 27,562) Thomas J. Pardini, (Reg. 30,411) Edward P. Walker, (Reg. 31,450) Robert A. Miller, (Reg. 32,771) Mario A. Costantino, (Reg. 33,565) Caroline D. Dennison, (Reg.34,494)	POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorney(s) and/or agent(s) to prosecute this application and transact all business in the Patent and Trademark Office connected therewith. *(list name and registration number)* James A. Oliff, (Reg. 27,075) William P. Berridge, (Reg. 30,024) Kirk M. Hudson, (Reg. 27,562) Thomas J. Pardini, (Reg. 30,411) Edward P. Walker, (Reg. 31,450) Robert A. Miller, (Reg. 32,771) Mario A. Costantino, (Reg. 33,565) Caroline D. Dennison, (Reg.34,494)
書類送付先： OLIFF & BERRIDGE, PLC P.O. Box 19928 Alexandria, Virginia 22320	Send Correspondence to: OLIFF & BERRIDGE, PLC P.O. Box 19928 Alexandria, Virginia 22320
直接電話連絡先： (名前及び電話番号) OLIFF & BERRIDGE, PLC (703) 836-6400	Direct Telephone Calls to: *(name and telephone number)* OLIFF & BERRIDGE, PLC (703) 836-6400
唯一または第一発明者名 松枝 洋二郎	Full name of sole or first inventor Yojiro MATSUEDA
発明者の署名 日付 松枝洋二郎 2003年1月16日	Inventor's signature Date Yojiro Matsueda January 16, 2003
住所 日本国, 長野県, 茅野市	Residence Chino-shi, Nagano-ken, Japan
国籍 日本	Citizenship Japan
私書箱 392-8502 日本国長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内	Post Office Address c/o Seiko Epson Corporation 3-5, Owa 3-chome, Suwa-shi, Nagano-ken 392-8502 Japan
第二共同発明者	Full name of second joint inventor, if any
第二共同発明者の署名 日付	Second inventor's signature Date
住所 日本国, _____, _____	Residence _____, _____, Japan
国籍	Citizenship
私書箱	Post Office Address
(第三以降の共同発明者についても同様に記載し、署名をすること)	(Supply similar information and signature for third and subsequent joint inventors.)

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#5



In re the Application of

Yojiro MATSUEDA et al.

Application No.: 10/299,861

Filed: November 20, 2002 Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:
Japanese Patent Application No. 2001-356007 filed November 21, 2001.
Japanese Patent Application No. 2001-371403 filed December 5, 2001.
Japanese Patent Application No. 2001-371410 filed December 5, 2001.

In support of this claim, certified copies of said original foreign applications:

__X__ are filed herewith.

_____ were filed on _____ in Parent Application No. _____ filed _____.

_____ will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/cmm

Date: February 13, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

OIPE JC154 FEB 13 2003 PATENT & TRADEMARK

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: ２００１年１１月２１日

出願番号
Application Number: 特願２００１－３５６００７

[ST.10/C]: [ＪＰ２００１－３５６００７]

出願人
Applicant(s): セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

２００２年１２月 ６日

特許庁長官
Commissioner,
Japan Patent Office 太田信一郎

出証番号 出証特２００２－３０９６１０２

【書類名】　特許願
【整理番号】　J0087274
【あて先】　特許庁長官殿
【国際特許分類】　H05B 33/04
H05B 33/10
G09F 9/30
【発明者】
【住所又は居所】　長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
【氏名】　松枝　洋二郎
【特許出願人】
【識別番号】　000002369
【氏名又は名称】　セイコーエプソン株式会社
【代理人】
【識別番号】　100079108
【弁理士】
【氏名又は名称】　稲葉　良幸
【選任した代理人】
【識別番号】　100080953
【弁理士】
【氏名又は名称】　田中　克郎
【選任した代理人】
【識別番号】　100093861
【弁理士】
【氏名又は名称】　大賀　眞司
【手数料の表示】
【予納台帳番号】　011903
【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　9808570

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　回路基板、電気光学装置および電子機器

【特許請求の範囲】

【請求項１】　画素毎に設けられた電気光学素子に電流を供給するための周辺回路を前記電気光学素子に対応して備える回路基板であって、

各前記周辺回路は、

制御電圧を保持するための保持素子と、

前記保持素子に接続され前記制御電圧に基づいた電流を前記電気光学素子に供給するための第１の能動素子と、

前記保持素子に接続され前記保持素子の充放電を制御する第２の能動素子と、を備え、

前記第２の能動素子は、遮断時における漏れ電流防止構造を備えている回路基板。

【請求項２】　前記第２の能動素子は、マルチゲート型の能動素子として構成されている請求項１に記載の回路基板。

【請求項３】　少なくとも前記第２の能動素子は、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる組から選択される一の構造を備えるトランジスタである請求項１に記載の回路基板。

【請求項４】　前記第１の能動素子と前記第２の能動素子とは、互いに逆極性の能動素子である請求項１に記載の回路基板。

【請求項５】　前記第１の能動素子と前記第２の能動素子とは、互いに分離された半導体層を備えている請求項４に記載の回路基板。

【請求項６】　前記第１の能動素子はＰ型トランジスタであり、前記第２の能動素子はＮ型トランジスタである請求項４に記載の回路基板。

【請求項７】　前記第１の能動素子に負論理のデータ信号を供給する第１のドライバ回路と、

前記第２の能動素子に正論理の走査信号を供給する第２のドライバ回路と、を備える請求項６に記載の回路基板。

【請求項８】　前記第１の能動素子にデータ信号を供給するデータ線と、

前記データ線と交差し前記第２の能動素子に走査信号を供給する走査線と、を備える請求項１に記載の回路基板。

【請求項９】　前記走査線は、前記第２の能動素子のゲート端子を形成するゲートメタル層により配線されている請求項８に記載の回路基板。

【請求項１０】　前記データ線または前記走査線のいずれか一方は、前記第１の能動素子および前記第２の能動素子を構成するソースメタル層およびゲートメタル層のうち前記発光部の共通電極から離間している方のメタル層により配線されている請求項８に記載の回路基板。

【請求項１１】　請求項１乃至１０のいずれか一項に記載の回路基板と、前記電気光学素子と、を備えた電気光学装置。

【請求項１２】　前記電気光学素子は、エレクトロルミネッセンス素子である請求項１１に記載の電気光学装置。

【請求項１３】　画素毎に設けられた電気光学素子に電流を供給するための周辺回路を前記電気光学素子に対応して備える回路基板であって、

各前記周辺回路は、

発光期間において前記電気光学素子に電流を供給するための発光制御能動素子と、

制御電圧を保持するための保持素子と、

ゲート端子が前記保持素子に接続され当該ゲート端子に印加された前記制御電圧に基づいた電流を前記発光制御能動素子経由で前記電気光学素子に供給するための第１の能動素子と、

選択期間において前記第１の能動素子経由で定電流を流す定電流制御能動素子と、

前記定電流制御能動素子と前記保持素子との間に接続され、前記選択期間において前記保持素子に充電させて前記制御電圧を記憶させる第２の能動素子と、を備え、

前記第２の能動素子は、遮断時における漏れ電流防止構造を備えている回路基板。

【請求項１４】　前記第２の能動素子は、マルチゲート型の能動素子として

構成されている請求項１３に記載の回路基板。

【請求項１５】　少なくとも前記第２の能動素子は、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる組から選択される一の構造を備えるトランジスタである請求項１３に記載の回路基板。

【請求項１６】　前記第１の能動素子と前記第２の能動素子とは、互いに逆極性の能動素子である請求項１３に記載の回路基板。

【請求項１７】　前記第１の能動素子と前記第２の能動素子とは、互いに分離された半導体層を備えている請求項１６に記載の回路基板。

【請求項１８】　前記第１の能動素子はＰ型トランジスタであり、前記第２の能動素子はＮ型トランジスタである請求項１６に記載の回路基板。

【請求項１９】　前記第１の能動素子に負論理のデータ信号を供給する第１のドライバ回路と、

前記第２の能動素子に正論理の走査信号を供給する第２のドライバ回路と、を備える請求項１８に記載の回路基板。

【請求項２０】　前記第１の能動素子にデータ信号を供給するデータ線と、

前記データ線と交差し前記第２の能動素子に走査信号を供給する走査線と、を備える請求項１３に記載の回路基板。

【請求項２１】　前記走査線は、前記第２の能動素子のゲート端子を形成するゲートメタル層により配線されている請求項２０に記載の回路基板。

【請求項２２】　前記データ線または前記走査線のいずれか一方は、前記第１の能動素子および前記第２の能動素子を構成するソースメタル層およびゲートメタル層のうち前記電気光学素子の共通電極から離間している方のメタル層により配線されている請求項２０に記載の回路基板。

【請求項２３】　複数の前記能動素子のうち、同一極性を有する複数の前記能動素子が同一の半導体層で平面的に連続形成されている請求項１３に記載の回路基板。

【請求項２４】　前記同一極性を有する複数の能動素子間の接続点に共通のコンタクトホールを備え、当該コンタクトホールからこれら能動素子と異なる極性を有する能動素子へ配線されている請求項２３に記載の回路基板。

【請求項２５】　前記同一極性を有する複数の能動素子は、前記第２の能動素子、前記発光制御能動素子、および前記定電流制御能動素子である請求項２３に記載の回路基板。

【請求項２６】　前記第２の能動素子および前記定電流制御能動素子は、共通の走査線がそれぞれの能動素子のゲート端子となっている請求項２５に記載の回路基板。

【請求項２７】　前記第１の能動素子は、前記走査線と前記電気光学素子との間に配置されている請求項２６に記載の回路基板。

【請求項２８】　請求項１３乃至１７のいずれか一項に記載の回路基板と、前記電気光学素子と、を備えた電気光学装置。

【請求項２９】　前記電気光学素子は、エレクトロルミネッセンス素子である請求項２８に記載の電気光学装置。

【請求項３０】　請求項１１または２８のいずれかに記載の電気光学装置を備えた電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は電気光学装置に関し、特にアクティブマトリクス型電気光学装置に関する。

【０００２】

【従来の技術】

電気的作用によって発光したり光の状態を変えたりする電気光学素子のうち、近年注目されているものにＥＬ（Electro-Luminescence）素子がある。ＥＬ素子は、発光性物質を挟んだ陽極と陰極との間に電界を印加すると、陽極から注入された正孔と陰極から注入された電子とが再結合する際に再結合エネルギーにより発光性物質が発光するという、エレクトロルミネッセンス現象を利用するものである。表示パネルなどの電気光学装置に適用するＥＬ素子は、画素を構成するＥＬ素子ごとに独立して発光制御する必要があるため、ＥＬ素子を駆動させるための能動素子として、例えば薄膜トランジスタ（Thin Film Transistor：以下「T

ＦＴ」という。）とＥＬ素子とを組み合わせて画素領域が構成されている。

【０００３】

従来、ＥＬ素子の層構造については数多くの研究がされていた。例えば、発光性物質が設けられる画素要素の層構造については、特開２００１－１６７８８０号において、発光色素をインクジェット法により塗布するＥＬ素子の製造方法が開示されている。

【０００４】

また、ＥＬ素子の駆動に適する周辺回路に関しては、例えば、「アクティブ型有機ＥＬディスプレイ」（2001 FPD Technology Outlook, pp747-762）に、有機ＥＬ素子を利用したフラットパネルディスプレイにおけるアクティブマトリクス駆動法についての考察が記載されている。この文献には、画素ごとの輝度のばらつきを解消するために複数のトランジスタを用いる回路が開示されている。この回路によれば、ＥＬ素子に電流を供給する第１のトランジスタにはそのゲート端子に電圧を記憶するための保持容量が接続されている。第２のトランジスタは、この保持容量に所定の期間充電可能なように接続されている。第２のトランジスタを開閉することによって保持容量に一定の電圧が保持された後は、第１のトランジスタのゲート電圧が一定に保たれるため、ＥＬ素子にも一定の安定した電流が供給される。複数トランジスタによる周辺回路を用いれば、安定した電流を供給可能になるため、輝度のばらつきが少ないＥＬ素子を提供できる旨が開示されている。

【０００５】

【発明が解決しようとする課題】

しかしながら、トランジスタはオフ状態でも僅かながら漏れ電流があるため、保持容量の電位が変動する可能性があった。保持容量のわずかな電圧の差はそのままＥＬ素子の駆動電流の変動につながるおそれがある。他方、表示装置としては明るい画像を提供する必要があるため、駆動回路などの周辺回路の領域に比べて画素領域をなるべく広く確保する必要がある。そのため、漏れ電流を防止可能だからといって多数の能動素子を使用した回路を採用することはできない。

【０００６】

そこで、本願発明は、ＥＬ素子等の電気光学素子の輝度の低下を生じさせることがなく、かつ、占有面積の少ない好適な周辺回路を備えた回路基板、電気光学装置、および電子機器を提供することを目的とするものである。

【０００７】

【課題を解決するための手段】

上記課題を解決するために、第１の発明に係る回路基板は、画素毎に設けられた電気光学素子に電流を供給するための周辺回路を電気光学素子に対応して備える回路基板であって、各周辺回路は、制御電圧を保持するための保持素子と、保持素子に接続されこの制御電圧に基づいた電流を電気光学素子に供給するための第１の能動素子と、保持素子に接続され保持素子の充放電を制御する第２の能動素子と、を備え、前記第２の能動素子は、遮断時における漏れ電流防止構造を備えている。

【０００８】

ここで、「電気光学素子」は、電気的作用によって発光するあるいは外部からの光の状態を変化させる素子一般をいい、自ら光を発するものと外部からの光の通過を制御するもの双方を含む。例えば、電気光学素子には、液晶素子、電気泳動素子、ＥＬ素子、電界の印加により発生した電子を発光板に当てて発光させる電子放出素子が含まれる。

【０００９】

「周辺回路」はアクティブマトリックス型等の電気光学装置において各画素の発光に関与する回路素子の集合体をいい、例えばＴＦＴ等で構成されるものである。

【００１０】

「回路基板」とは、周辺回路を搭載した基板一般をいい、電気光学素子が形成されているか否かを問わない。

【００１１】

「能動素子」には限定はないが、例えばＴＦＴなどの小型素子であることが好ましい。

【００１２】

「保持素子」とは、放電されない限り一定の電圧を出力可能な素子、例えばコンデンサ等の保持容量をいう。

【００１３】

「遮断時における漏れ電流防止構造」とは、通常、能動素子が非導通状態において、理想的には流れるべきでない電流が僅かながら流れることがあるが、このような電流（漏れ電流）が生ずることを防止することを目的として構成された特殊な構造の能動素子をいう。

【００１４】

このような素子としては、例えば、マルチゲート型の能動素子が挙げられる。マルチゲート型の能動素子とは、一素子として機能するものの、厳密には複数の能動素子が直列接続されそれらの制御端子同士が接続されたものと同様に機能する構成の能動素子をいう。

【００１５】

また、第２の能動素子としては、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる組から選択される一の構造を備えるトランジスタであってもよい。ここで、「ＬＤＤ」とはLight Doped Drainの略であり、「ＧＤＤ」とはGraded Diffused Drainの略であり、「ＤＤＤ」とはDouble Diffused Drainの略である。これらの構造を有するトランジスタは、ＭＯＳ　ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限するため、ドレイン付近の最大電界を弱めるためのものである。例えば、不純物拡散を行った領域およびシリコン基板間の電界を緩和するためトランジスタのドレイン領域に軽く不純物をドーピングして、例えばｎ－領域を自己整合的に形成したトランジスタである。

【００１６】

これらのような素子では、接続端子、例えば能動素子（ＴＦＴなど）のソースやドレインから見たその素子のオフ時の抵抗値が非常に高くなり、漏れ電流が少なくなるため、保持素子の電位を一定に保つことができるのである。このため、能動素子の駆動電圧および消費電力を低減できる。

【００１７】

同様な作用を持つ第２の発明に係る回路基板は、画素毎に設けられた電気光学

素子に電流を供給するための周辺回路を電気光学素子に対応して備える回路基板であって、各周辺回路は、発光期間において電気光学素子に電流を供給するための発光制御能動素子と、制御電圧を保持するための保持素子と、制御端子がこの保持素子に接続され当該制御端子に印加された制御電圧に基づいた電流を発光制御能動素子経由で電気光学素子に供給するための第１の能動素子と、選択期間において第１の能動素子経由で定電流を流す定電流制御能動素子と、定電流制御能動素子と保持素子との間に接続され、選択期間において保持素子に充電させて制御電圧を記憶させる第２の能動素子と、を備え、前記第２の能動素子は、遮断時における漏れ電流防止構造を備えた能動素子として構成されているものである。

【００１８】

上記第１および第２の発明において、第１の能動素子と第２の能動素子とは、互いに逆極性の能動素子であることは好ましい。

【００１９】

互いに逆極性の能動素子にした場合、第１の能動素子と第２の能動素子とは、互いに分離された半導体層を備えていることになる。

【００２０】

このような能動素子の組み合わせとしては、例えば、第１の能動素子はＰ型トランジスタであり、第２の能動素子はＮ型トランジスタである構成が考えられる。第１の能動素子は高電位側となり負論理の信号で駆動可能になる一方、第２の能動素子は正論理で駆動でき、ＴＦＴ等の能動素子の電圧マージンを適正にとることができる。つまり、能動素子の駆動電圧および消費電力を低減できる。

【００２１】

このような極性にした場合、第１の能動素子に負論理のデータ信号を供給する第１のドライバ回路と、第２の能動素子に正論理の走査信号を供給する第２のドライバ回路と、を備えるように回路基板を構成できる。

【００２２】

本発明では、第１の能動素子にデータ信号を供給するデータ線と、データ線と交差し第２の能動素子に走査信号を供給する走査線と、を備えるように構成できる。このように構成すると走査線により直接第２の能動素子を駆動することがで

き、配線の引き回しやコンタクトホールなどを使用することなく周辺回路の占有面積を削減でき、開口率を上げることが可能である。

【００２３】

具体的には、例えば走査線は、第２の能動素子のゲート端子を形成するゲートメタル層により配線されていることが考えられる。

【００２４】

また、本発明では、データ線または走査線のいずれか一方は、第１の能動素子および第２の能動素子を構成するソースメタル層およびゲートメタル層のうち電気光学素子の共通電極から離間している方のメタル層により配線されていることが好ましい。共通電極と離れているメタル層を利用すればその信号線と共通電極との間で発生する容量を減らすことができるからである。

【００２５】

また第２の発明については、複数の能動素子のうち、同一極性を有する複数の能動素子が同一の半導体層で平面的に連続形成されていることが好ましい。このように半導体層を連続させれば配線に使用する面積を抑え開口率を上げることができるからである。

【００２６】

このとき、同一極性を有する複数の能動素子間の接続点に共通のコンタクトホールを備え、当該コンタクトホールからこれら能動素子と異なる極性を有する能動素子へ配線されている。極性が異なる場合には、通常の配線を行う必要があるからである。また、このようにすれば、コンタクトホールを共有化することにより、駆動回路の全体面積に占める接続部分の占有面積を少なくすることができる。

【００２７】

具体的には、第２の発明において、同一極性を有する複数の能動素子は、第２の能動素子、発光制御能動素子、および定電流制御能動素子である。

【００２８】

ここで第２の能動素子および定電流制御能動素子は、共通の走査線がそれぞれの能動素子のゲート端子となっていることが好ましい。共通のゲート端子接続に

ついては走査線をそのまま利用することによって配線面積を削減し開口率を上げることができるからである。

【００２９】

このとき、例えば第１の能動素子は、走査線と電気光学素子との間に配置されていることになる。

【００３０】

また本発明は、上記したような回路基板と、電気光学素子と、を備えた電気光学装置でもある。電気光学装置は、電気光学素子を備えている発光または表示装置一般をいい、例えば液晶パネル、ＥＬ表示装置等をいう。

【００３１】

ここで、上記電気光学素子は、エレクトロルミネッセンス（ＥＬ）素子であることが好ましい。ここで、「エレクトロルミネッセンス素子」とは、その発光性物質が有機であるか無機であるか（Ｚｎ：Ｓなど）を問わず、電界の印加によって、陽極から注入された正孔と陰極から注入された電子とが再結合する際に再結合エネルギーにより発光性物質を発光させるエレクトロルミネッセンス現象を利用したもの一般をいう。またエレクトロルミネッセンス素子は、その電極で挟まれる層構造として、発光性物質からなる発光層の他、正孔輸送層および電子輸送層のいずれかまたは双方を備えていてもよい。具体的には、層構造として、陰極／発光層／陽極の他、陰極／発光層／正孔輸送層／陽極、陰極／電子輸送層／発光層／陽極、または陰極／電子輸送層／発光層／正孔輸送層／陽極などの層構造を適用可能である。

【００３２】

さらに、本発明は、上記した回路基板を備える電子機器にも適用される。ここで「電子機器」には限定が無いが、回路基板により構成された表示装置を備えるもの、例えば、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳等をいう。

【００３３】

【発明の実施の形態】

次に、本発明の好適な実施の形態を、図面を例示として参照しながら説明する。以下の形態は、本発明を実施の形態の例示に過ぎず、その適用範囲を限定するものではない。

＜実施形態１＞

本発明の実施形態は、電気光学素子としてＥＬ素子を利用した電気光学装置である表示パネルに関する。図１に当該ＥＬ素子を含む回路基板により構成された表示パネルの全体図を示す。

【００３４】

図１に示すように、表示パネル１は、ガラス基板１６上に、表示領域１１およびドライバ領域１４・１５を配置して構成されている。表示領域１１には全体的に陰極１２が形成されて陰極取出電極１３に接続されている。表示領域１１には画素領域１０がマトリクス状に配置されている。カラー表示の場合、画素領域１０は、それぞれがカラー表示で必要とされる原色（例えば、赤、青、緑の三原色）で発光可能に構成されており、各原色で発光する画素領域１０の組が一つの画素要素となる。例えば、表示領域１１の列方向に配置されるドライバ領域１５は、書き込み制御線Ｖselと発光制御線Ｖgpとに信号を出力し、表示領域１１の行方向に配置されるドライバ領域１４は、電源線Ｖddの他、定電流を定電流線Ｉdataに信号を出力している。各画素領域１０における発光の有無をドライバ領域１４・１５に形成された図示しない駆動回路によって制御することにより、任意の画像が表示領域１１内に表示されるのである。

【００３５】

図２に、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図２では、特に主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００３６】

図２に示すように、電源線Ｖddと定電流線Ｉdataに挟まれる領域に、発光部ＯＬＥＤおよびそれを駆動するための周辺回路が総て配置されている。電源線Ｖddは、発光部ＯＬＥＤを介して定電流線Ｉdataと離れて配置されている。周辺回路

は、第１の能動素子としてのトランジスタＴ１、第２の能動素子としてのトランジスタＴ２、電流制御素子としてのトランジスタＴ３、発光制御素子としてのトランジスタＴ４、および保持素子としての保持容量Ｃで構成されている。

【００３７】

トランジスタＴ１は、そのソースが電源線Ｖddに接続され、そのドレインがトランジスタＴ４のソース側に接続されている。トランジスタＴ４は、そのドレインが発光部ＯＬＥＤの陽極に接続されている。保持容量Ｃは、電源線ＶddとトランジスタＴ１のゲート間に接続されている。トランジスタＴ２は、そのソースが保持容量Ｃおよびトランジスタ Ｔ１のゲートに接続され、そのドレインがトランジスタＴ３のソースおよびトランジスタＴ１およびＴ４間に接続されている。トランジスタＴ３は、そのドレインが定電流線Ｉdataに接続され、そのゲートがトランジスタＴ２のゲートと共通に書き込み制御線Ｖselに接続されている。

【００３８】

図３に、図２に示された切断面における層構造を説明する各断面図を示す。図３（ａ）はＡ－Ａ切断面、図３（ｂ）はＢ－Ｂ切断面、図３（ｃ）はＣ－Ｃ切断面における層構造を示している。

【００３９】

図３（ａ）に示すように、当該画素領域１０は、ガラス基板１００（図１におけるガラス基板１６）上に、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９（図１における陰極１２）の各層を積層して構成されている。さらに、電界発光部ＯＬＥＤでは、図３（ｂ）および（ｃ）に示すように、陽極層１１０、正孔輸送層１１１、発光層１１２の各層を積層して構成されている。

【００４０】

ガラス基板１００としては、本実施形態のＥＬ素子が基板側に光を射出する形態であって光透過性があることが必要であるため、ソーダライムガラス、低膨張ガラス、石英などのノンアルカリガラスが適用される。ただし、陰極層１０９に光透過性物質を用い、陰極側から光を射出する形態のＥＬ素子を構成する場合に

は、金属等の導電性物質、シリコン・カーバイト（ＳｉＣ）やアルミナ（Al_2O_3）や窒化アルミニウム（ＡｌＮ）等の非透明絶縁性物質も利用可能である。

【００４１】

下地保護膜１０１としては、酸化硅素膜（SiO_x：$0<x\leqq2$）や窒化硅素膜（Si_3N_x：$0<x\leqq4$）等の絶縁性物質が利用可能である。下地保護層は、ガラス基板中に含まれているナトリウム（Ｎａ）等の可動イオンが半導体層中に混入して半導体層の不純物制御に悪影響を与えさせないために形成するものである。

【００４２】

下地保護層１０１は、まず基板１００を純水やアルコールなどの有機溶剤で洗浄した後、常圧化学気相堆積法（ＡＰＣＶＤ法）や低圧化学気相堆積法（ＬＰＣＶＤ法）、プラズマ化学気相堆積法（ＰＥＣＶＤ法）等のＣＶＤ法あるいはスパッター法等を用いて基板上に形成される。

【００４３】

半導体層１０２としては、シリコン（Ｓｉ）やゲルマニウム（Ｇｅ）等の四族単体の半導体層の他に、シリコン・ゲルマニウム（Si_xGe_{1-x}：$0<x<1$）やシリコン・カーバイド（Si_xC_{1-x}：$0<x<1$）やゲルマニウム・カーバイド（Ge_xC_{1-x}：$0<x<1$）等の四族元素複合体、ガリウム・ヒ素（ＧａＡｓ）やインジウム・アンチモン（ＩｎＳｂ）等の三族元素と五族元素との複合体化合物、またはカドミウム・セレン（ＣｄＳｅ）等の二族元素と六族元素との複合体化合物、シリコン・ゲルマニウム・ガリウム・ヒ素（$Si_xGe_yGa_zAs_z$：$x+y+z=1$）と云った更なる複合化合物等が適用可能である。

【００４４】

半導体層１０２は、例えば、ＡＰＣＶＤ法やＬＰＣＶＤ法、ＰＥＣＶＤ法等のＣＶＤ法、またはスパッター法等や蒸着法等のＰＶＤ法でシリコン等を堆積させた後、レーザー光の照射によって多結晶化して形成される。レーザー光としては、エキシマレーザー、アルゴンイオンレーザー、ＹＡＧレーザー（高調波）等が好ましい。例えば、シリコンを多結晶化すると、ポリシリコンとなる。この多結

晶化した半導体層１０２を保持容量Ｃや各トランジスタＴ１～Ｔ４の各ＴＦＴの各素子形状に合うようパターニングする。例えばCH_4と酸素の混合ガスを用いた反応性イオンエッチングによってアモルファス状態の半導体層を素子形状に合わせて島状にパターニングして形成する。パターニング後、例えばゲートメタル層を形成後、そのゲートメタル層をマスクとして、半導体層に不純物を導入する。具体的には、素子ごとにリン（Ｐ）、ヒ素（Ａｓ）、アンチモン（Ｓｂ）などのドナー元素を添加してＮ型半導体層にしたり、ホウ素（Ｂ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）等のアクセプター元素を添加してＰ型半導体層にしたりする。本実施形態では、保持容量Ｃを構成する半導体層がＮ型半導体層になるように不純物が導入され、ＴＦＴのソースメタル層１０６で形成される電極部がＰ型半導体層になるように不純物が導入される。ここで、ＴＦＴをＬＤＤ構造にする場合やＴＦＴのしきい値電圧を調整する場合には、不純物を低濃度で導入するチャンネル・ドープが行われる。

【００４５】

ゲート絶縁膜１０３としては、例えばテトラ・エチル・オルト・シリケート（ＴＥＯＳ）を原料とする二酸化珪素膜により形成される。ゲート絶縁膜１０３は、マイクロ波放電プラズマ、ＥＣＲプラズ等の酸素または窒素雰囲気下におけるマプラズマＣＶＤ法により形成される。

【００４６】

ゲートメタル層１０４としては、例えばタンタル（Ｔａ）、タングステン（Ｗ）、クロム（Ｃｒ）等のような導電性材料を用いる。ゲートメタル層１０４は、スパッタ法等で成膜され後、ゲート電極の形状になるようパターニングして形成される。

【００４７】

第１層間絶縁膜１０５としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第１層間絶縁膜は、スパッタ法等で形成された後、例えばＴＦＴ用のソース・ドレイン電極を形成するためにコンタクトホールが形成される。

【００４８】

ソースメタル層１０６として、例えばアルミニウム（Ａｌ）の他、タンタル、

モリブデン、チタン、タングステン等の導電性材料を使用可能である。ソースメタル層は、スパッタ法等で一様に導電性材料を積層後、電極形状に合わせてパターニングして形成される。

【００４９】

第２層間絶縁膜１０７としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第２層間絶縁膜は、スパッタ法等で形成された後、例えば陽極層１１０用のコンタクトホールｈ１およびｈ２が形成される。

【００５０】

陽極層１１０としては、例えば、酸化インジウム錫合金（ＩＴＯ）等の光透過性を有する導電性材料が適用可能である。光透過性が必要無い場合には、陽極層として、酸化錫（ＮＥＳＡ），金、銀、白金、銅等を適用できる。陽極層はスパッタ法等により形成された後、発光部ＯＬＥＤの形状にパターニングして形成される。

【００５１】

バンク層１０８としては、酸化珪素、窒化珪素、ポリイミドなどの絶縁材料を適用可能である。バンク層は、スパッタ法等で形成後、発光部ＯＬＥＤに対応する位置に開口部が設けて形成される。

【００５２】

正孔輸送層１１１としては、例えば、Ｎ，Ｎ’－ジフェニル－Ｎ，Ｎ’－ビス－（３－メチルフェニル）－（１，１’－ビフェニル）－４，４’－ジアミン（ＴＰＤＡ）が用いられる。正孔輸送層は、バンク層１０９に設けられた開口部にメタルマスク等を用いて成膜される。

【００５３】

発光層１１２としては、例えばトリス（８－キノリノール）アルミニウム（Ａｌｑ$_3$）等の任意の発光性物質が用いられる。発光層は、メタルマスクを用いた蒸着で形成可能であるが、インクジェット法により発光性物質を含んだ溶媒を開口部に吐出させて溶媒成分を蒸発させて堆積させてもよい。

【００５４】

陰極層１０９としては、エネルギー順位からＥＬ素子の陰極として使用可能な

材料、アルミニウムまたはアルミニウムと他の元素（リチウムなど）の合金、カルシウムなどで形成される。陰極層は、メタルマスク等により形成され、フォトリソグラフィー法やシャドーマスク法等でパターニングして形成される。

【００５５】

以下、本実施形態における配線パターン上の数々の特徴について順に説明する。

（発光部の平面形状）

ＥＬ素子の製造方法の一つに、インクジェット方式により発光性物質を含んだ薄膜材料液を開口部に吐出し乾燥させて、発光層を形成する製造方法がある。この製造方法では、吐出された材料液が均等に開口部の隅々まで行き渡ることが重要である。もしも材料液が均等に行き渡らないと、成膜後の発光層の厚みが不均一になり、発光領域内で射出される光の強度が不均一となり、表示パネルの画質が低下する。例えば、平面上、方形形状の開口部であったと仮定すると、材料液の表面張力や粘度等の影響で開口部の角部における吐出された材料液の液面の高さがその他の部分と異なるようになる。したがって、このような形状の発光部では成膜後の発光層の厚みが不均一になるおそれがあった。

【００５６】

一方、表示パネルでは輝度を上げる必要があるため、光を射出する領域、すなわち発光部をできるだけ大きく採り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請がある。製造上の容易性のみを考えてパターンを配置するわけにもいかないのである。

【００５７】

そこで、このような要請をともに満たすために、本願発明の一つは、発光部の境界が少なくとも所定の曲率以上を有するように形成されており、この所定の曲率を有する境界とこの発光部の境界に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されていることを特徴の一つとしている。

【００５８】

図４に基づいて、具体的な概念を説明する。図４（ａ）、（ｂ）、（ｃ）はそれぞれ本発明の概念を適用した発光部の全部または一部の平面形状を示している

。図４（ａ）は、発光部の境界が円形、すなわち総ての境界が一定の曲率Ｒを有している場合である。この円周とこの円周に外接する多角形、すなわち破線で示す正方形とで囲まれる領域、すなわち斜線部分に、周辺回路の一部を設けるのである。この円形の発光部は中心点を通るどの中心線に対しても対称である点で、発光部の膜厚を均等にできるための形状として理想的な形状であると考えられる。しかし、図４（ａ）に示すように、斜線部分を有効活用することが発光部の開口率を向上させるために必要である。

【００５９】

図４（ｂ）は、長方形の角部に本発明を適用し、発光部の境界に一定の曲率Ｒを持たせた例である。この例では、外接する多角形は破線で示す長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。本実施形態はこの例に属し、この曲率Ｒを大きくしていくと、本実施形態のような長円の発光部の平面形状になる。この例でも発光部の中心を通る中心線に対して左右あるいは上下対称であり、かつ、角部の曲率が一定値以上であるため、均等な膜厚の発光部を形成可能である。

【００６０】

図４（ｃ）は、中心線に対して不均等に角部の曲率を設定した例である。図に向かって左側の角部の曲率Ｒ１が右側の角度の曲率Ｒ２より小さくなっている。この例では、外接する多角形は破線で示すような長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。このように曲率が不均等であっても、最小の曲率を一定値以上に設定することにより、均等な膜厚の発光部が形成可能である。最小の曲率は、吐出される溶液の粘度や表面張力、吐出面の撥水性（親水性・親和性）に左右されるため、実験によって事例毎に定められる。

【００６１】

本実施形態では、図２に示すように発光部が長円形の平面形状を備えている。そして、この発光層の境界とこの発光部の境界に外接する長方形（図示しない）との境界で囲まれる領域内に、周辺回路の一部、つまりコンタクトホールｈ１およびｈ２が形成されている（図３（ｂ）も参照のこと）。本実施形態では、本来

無駄なスペースともなるべき図４（ｂ）の斜線で示すような領域を、このコンタクトホールのために使用することにより、スペースの有効利用という要請を満たしている。

【００６２】

なお、この発光部の境界とその発光部に外接する多角形の境界とに囲まれる領域には、コンタクトホールに限らず、周辺回路のいずれの素子、例えばトランジスタやキャパシタ等を形成してもよい。また、独立に機能する素子全体を総てこの領域に入れ込まなければならないわけではなく、素子やコンタクトの一部、つまり周辺回路の一部がこの領域に入り込んでいればよい。つまり、スペースを有効利用するような配置がされていることが肝要である。

（発光部のためのコンタクトホール）

ＥＬ素子において、発光部の境界と発光部に外接する多角形の境界とに囲まれる領域に、図２に示すように、コンタクトホールを設けることは意義がある。すなわち、この領域に比較的大き目のコンタクトホールを設けることにより、この領域の有効利用が可能となるとともに、発光部に十分な電流を供給可能とするからである。

【００６３】

さらにコンタクトホールを複数設けることは好ましい。すなわち、ＥＬ素子では、発光層にはある程度の電流量の電流を、発光部全体に均等に流す必要がある。もしも直接電流を供給する陽極に接続するためのコンタクトホールが偏った位置に設けられたものとすると、電流の供給口が発光層に対して偏った位置にあるため、電流供給量が不均等になるおそれがある。不均等な電流供給は発光強度のむらとなって現れる。

【００６４】

この点、本実施形態のように、発光部の中心部を通る中心線に対し対称な位置に複数のコンタクトホールを設ければ、このような問題を解消できる。すなわち、図２に示すように、本実施形態では、発光部の中心点を通る所定の中心線に対して対称的に設けられた領域にそれぞれ比較的大き目の複数のコンタクトホールを設けている。この対称的な領域にそれぞれコンタクトホールを設けることによ

り、発光部の均等成膜の要請とともに、発光部に対する電流供給を均一にするという要請を満たすことができる。

（金属層間のアライメント）

ＥＬ素子の駆動回路方式によっては、保持容量の変動が発光部に供給される電流量の安定性に影響を与える場合がある。当該実施形態においても、保持容量Ｃの容量値が表示パネルごとに変動するのは好ましくない。しかしながら、表示パネルの製造工程において金属層を積層する際に予定した位置よりもずれが生じる場合がある。保持容量は金属層の重複領域の面積が容量値を規定するため、位置ずれが生じると容量値の変動を生じ、保持容量の容量値が表示パネルごとに変動するという事態を招くおそれがあった。

【００６５】

そこで、本実施形態では、保持容量Ｃが形成される重複領域付近において、保持容量Ｃの形成に関係する複数の層、すなわちソースメタル層１０６、ゲートメタル層１０４および半導体層１０２のうち、より下層側に配置される層（ソースメタル層に対してはゲートメタル層および半導体層）の占める領域が、より上層側に配置される層（半導体層に対してはゲートメタル層およびソースメタル層、ゲートメタル層に対してはソースメタル層）の占める領域より大きく形成されている。

【００６６】

この様子は図２の平面図からも読み取れるが、具体的に図６に示したＡ－Ａ断面図を参照して説明する。図６に示すように、ソースメタル層１０６の幅をｄ１、ゲートメタル層１０４の幅をｄ２、半導体層１０２の幅をｄ３とした場合に、

ｄ３＞ｄ２＞ｄ１

という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００６７】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、よ

り下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ３－ｄ２、ｄ２－ｄ１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（ゲートメタル層の離間形成）

ＥＬ素子は共通電極を備えており、表示領域の全面にその共通電極が形成される。本実施形態でも発光部ＯＬＥＤのための陰極１３（陰極層１０９）が、図１に示すように表示領域１１の全体に形成されている。ところが、共通電極が全面に形成されていると、トランジスタのゲートに接続されるゲートメタル層との間で容量が生じるという問題があった。このような予期せぬ容量が生じると、トランジスタの動作の遅れを生じ、設計した通りのタイミングでの動作が保証できなくなる。

【００６８】

そこで本実施形態では、ゲートメタル層によって形成される配線パターンが、発光層の電極の少なくとも一方から所定の距離以上離間して配置されるように配慮した。インピーダンスが低く問題となるのは、共通電極である陰極層１０９とゲートメタル層１０４との距離である。また、陰極層１０９は、発光部ＯＬＥＤにおいて下層側との距離が小さくなるため、発光部周辺におけるゲートメタル層との距離が問題となる。このため、本実施形態では、図７（図２におけるＣ－Ｃ断面に相当）に示すように、発光部付近において、陰極層１０９とゲートメタル層１０４との深さ方向の距離ｄ１と平面上の距離ｄ２が共に所定の距離以上になるようパターン形成した。

【００６９】

ここで所定の距離は、ゲートメタル層の面積や介在する層の誘電率などによって種々変化するので一概に言えないが、画素領域の面積などから許容される範囲で、できるだけ離してパターニングするのが好ましい。

（周辺回路の動作）

次に、本実施形態のＥＬ素子の周辺回路の動作を説明する。図５に、画素領域１０一つあたりの回路図を示す。

【００７０】

１）本実施形態の回路は、一般に電流プログラム方式といわれる回路構成をとっている。画素表示は、プログラム準備動作として、書き込み制御線Ｖselを選択し、トランジスタＴ２およびＴ３をオン状態にすることから始まる。

【００７１】

２）トランジスタＴ２およびＴ３が導通状態になると、トランジスタＴ１が所定時間後に定常状態に達し、保持容量ＣにＩdataに応じた電圧が記憶される。これがプログラム動作である。

【００７２】

３）そして発光動作として、書き込み制御線Ｖselを非選択状態とし、トランジスタＴ２およびＴ３をオフにし、一旦定電流Ｉdataを遮断した後、発光制御線Ｖgpを選択する。この結果、トランジスタＴ４がオン状態となり、保持容量Ｃに記憶された電圧Ｖgsに対応する定電流Ｉdataがトランジスタ Ｔ１およびＴ４経由で発光部ＯＬＥＤに供給される。発光部ＯＬＥＤに供給された電流により、発光層１１１に電界が印加され、発光層から光が射出される。

（周辺回路における電流維持性能の向上）

以下に、周辺回路における本実施形態の特徴を説明する。

【００７３】

従来、保持容量の充放電を制御する能動素子については特に考慮がされていなかった。微細化されたＦＥＴでは、ゲート電圧が閾値以下の場合、ドレイン電流がドレイン電圧にも依存するようになる。つまり、ソースーチャネルードレイン間に形成されたトランジスタの注入電流がゲート電圧に対して指数関数的に増加し、リーク電流が発生する。例えば、図５に示すトランジスタＴ２においてリーク電流が発生すると、保持容量Ｃの両端電圧Ｖgsが低下し、その電圧を制御電圧としてゲートに入力しているトランジスタＴ１のドレイン電流が変動する。この変動は、発光部ＯＬＥＤにおける輝度の変化となって現れるため、安定した輝度での発光が担保されなくなる。

【００７４】

そこで、本実施形態では、図１および図５に示すように、保持容量Ｃに直接接続される能動素子であるトランジスタＴ２を、多重制御端子型の能動素子、つま

りマルチゲート型トランジスタとしている。このようなトランジスタでは、図５の矢印で示すように、事実上複数トランジスタが直列接続されたのと等価な素子となり、リーク電流が大幅に制限される。したがって、保持容量に直接接続するトランジスタをこのマルチゲート型のトランジスタにすることで、占有面積を殆ど変えずに、保持容量Ｃにおけるプログラム電圧の変動を無くし、発光部への供給電流を一定にすることができるのである。

【００７５】

ここで、トランジスタＴ２をマルチゲート型に代えてまたは併用してＬＤＤ、ＧＤＤ、ＤＤＤ構造のトランジスタとすることは好ましい。このような構造を適用することにより、漏れ電流を減少させることができるとともに、ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限し、素子の信頼性を向上させることができる。

【００７６】

ここで、制御信号の極性等を考慮し、トランジスタＴ１とトランジスタＴ２は互いに逆極性、つまり、トランジスタＴ１はＰ型ＦＥＴ、トランジスタＴ２からＴ４はＮ型ＦＥＴで構成されている。ただし、Ｐ型を用いるかＮ型を用いるかは、適用しようとする信号の極性等に応じて任意に変更可能であり限定はない。

【００７７】

また、各素子の配置も図５に限定されるものではない。例えば、保持容量やトランジスタＴ１を接地側に持っていき、発光部ＯＬＥＤを電源側に持っていき、発光部の共通電極を陽極とし、各トランジスタの極性（Ｎ型またはＰ型の別）を反転させてもよい。

（周辺回路のスペースの削減）

前述したように、表示装置では、輝度を上げるため、周辺回路の占める領域をできるだけ小さくしたいという要請がある。このため、本実施形態では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図２に示すように、トランジスタＴ２、Ｔ３、およびＴ４が同一のコンタクトホール、ｈ３で相互に接続されている。このように、回路上共通接点が多くなる

ように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

＜実施形態２＞

図８に、本発明の実施形態２におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図９に、図８に示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面、図９（ｃ）はＣ－Ｃ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００７８】

実施形態２のＥＬ素子の構成は、段差形状Stepを構成する親和性制御膜１１３の存在を除き、実施形態１のＥＬ素子と同一である。このため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００７９】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図９（ｃ）に示すように、実施形態２における発光部ＯＬＥＤは、親和性制御層１１３を、第２層間絶縁膜１０７とバンク層１０８との間に備えている。この親和性制御層１１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層１１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層１０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層１１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層１１３の上に積層されている。このため親和性制御層１１３は、図８および図９（ｃ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００８０】

親和性制御層１１３の材料は、発光層の製造時において、インクジェット方式により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００８１】

親和性制御層１１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００８２】

バンク層１０８は、親和性制御層１１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄膜材料液の均一性が損なわれることを防止できるからである。

【００８３】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を

発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

【００８４】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すように構成したので、隣接画素領域との間のショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【００８５】

なお、本実施形態では、親和性制御層１１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【００８６】

その他の本実施形態２における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態３＞

図１０に、実施形態３におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１１に、図１０にに示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００８７】

実施形態３のＥＬ素子は、パターン形状において、実施形態１における画素領域１０の幅より画素領域２０の幅が小さくなっている。ただし、回路構成は実施形態１と同様であり（図５参照）、各層を構成する材料も実施形態１と同様であるため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。ただし、実施形態１におけるガラス基板１００、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８

、陰極層１０９、陽極層１１０、正孔輸送層１１１、および発光層１１２の各層は、実施形態３において、ガラス基板２００、下地保護膜２０１、半導体層２０２、ゲート絶縁膜２０３、ゲートメタル層２０４、第１層間絶縁膜２０５、ソースメタル層２０６、第２層間絶縁膜２０７、バンク層２０８、陰極層２０９、陽極層２１０、正孔輸送層２１１、および発光層２１２の各層それぞれを対応している。また、実施形態１におけるトランジスタＴ１～Ｔ４は実施形態３におけるＴ１１～Ｔ１４に、実施形態１におけるコンタクトホールｈ１～ｈ３は実施形態３におけるコンタクトホールｈ１１～ｈ１３に、それぞれ対応している。

【００８８】

以下、本実施形態における配線パターン上の特徴について説明する。

（電源線下の保持容量）

実施形態１においては、保持容量Ｃを電源線Ｖddと定電流線Ｉdataとの間であって発光部の外側（図２における発光部の上部）に配置した。しかし本実施形態のように画素領域の面積が比較的小さい場合、すなわち画素密度が高い場合には、保持容量が占有する素子面積が十分とれないという事態が生ずる。

【００８９】

そこで本実施形態においては、第１の金属層（例えばソースメタル層２０６）または第２の層の少なくとも一方が電源配線パターンとなっている領域に保持容量Ｃが形成されている。具体的には、図１０に示すように、発光部ＯＬＥＤの横に配線されている電源線Ｖdd（ソースメタル層２０６）の下に、ゲートメタル層２０４を平行して積層させることにより、保持容量Ｃが形成されている。

【００９０】

この保持容量Ｃは、実施形態１において説明した保持容量と同様に、保持容量Ｃの形成に関係する複数の層間（例えば、ソースメタル層２０６、ゲートメタル層２０４、半導体層２０２）に重複領域を生じさせることにより保持容量Ｃが形成されており、保持容量Ｃが形成される重複領域付近において、複数の層のうちより下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。具体的には、図１１（ｂ）に示すように、ソースメタル層２０６の幅をｄ１１、ゲートメタル層２０４の幅をｄ１２、半導体層２

０２の幅をｄ１３とした場合に、

ｄ１３＞ｄ１２＞ｄ１１

という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００９１】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ１３－ｄ１２、ｄ１２－ｄ１１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（バンク層下の保持容量）

前述した保持容量は、隣接する前記発光部間を隔離するためのバンク層２０８の下に形成されていることが好ましい。すなわちバンク層は画素分離のために必要であるため、この領域の下に、電源線の配線領域と保持容量のための重複領域を重ねる合わせることにより、周辺回路の面積を大幅に縮小することができるからである。

（周辺回路のスペースの削減）

実施形態１と同様に、本実施形態２では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図１０に示すように、トランジスタＴ１２、Ｔ１３、およびＴ１４が同一のコンタクトホール、ｈ１３で相互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

【００９２】

その他の特徴、例えば発光部の平面形状、ゲートメタル層の電極からの離間処

理、周辺回路の動作、周辺回路の電流維持性能の向上などについては、実施形態１と同様であり、その説明を省略する。

＜実施形態４＞

図１２に、本発明の実施形態３におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１３に、図１２に示された切断面における層構造を説明する各断面図を示す。図１２（ａ）はＡ－Ａ切断面、図１２（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態３と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００９３】

実施形態４のＥＬ素子の構成は、段差形状Stepを構成する親和性制御膜２１３の存在を除き、実施形態１および２のＥＬ素子と同一である。このため、実施形態１および２と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００９４】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図１２（ｂ）に示すように、実施形態４における発光部ＯＬＥＤは、親和性制御層２１３を、第２層間絶縁膜２０７とバンク層２０８との間に備えている。この親和性制御層２１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層２１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層２０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層２１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層２１３の上に積層されている。このため親和性制御層２１３は、図１２および図１３（ｂ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００９５】

親和性制御層２１３の材料は、発光層の製造時において、インクジェット方式

により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００９６】

親和性制御層２１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００９７】

バンク層２０８は、親和性制御層２１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄膜材料液の均一性が損なわれることを防止できるからである。

【００９８】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能であ

る。

【００９９】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すものとしたので、隣接画素領域との間でのショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【０１００】

なお、本実施形態では、親和性制御層２１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【０１０１】

その他の本実施形態４における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態５＞

本実施形態は、上記実施形態で説明した電気光学素子であるＥＬ素子を有する電気光学装置である表示パネルおよびその表示パネルを備える電子機器に関する。

【０１０２】

図１４に、本実施形態の表示パネル１の接続図を示す。表示パネル１は、図１に示したように、表示領域１１内に画素領域を配置して構成される。画素領域としては、実施形態１または２の画素領域１０または実施形態３または４の画素領域２０を適用可能である。ドライバ領域１５からは、発光制御線Vgpおよび書き込み制御線Ｖselが各画素領域に供給されている。ドライバ領域１４からは、電流線Ｉdataおよび電源線Ｖddが各画素領域に供給されている。書き込み制御線Ｖselと定電流線Ｉdataを制御することにより、各画素領域に対する電流プログラムが行われ、発光制御線Ｖgpを制御することにより発光が制御される。

【０１０３】

本実施形態の表示パネル１は、種々の電子機器に適用可能である。図１５に、本表示パネル１を適用可能な電子機器の例を挙げる。

【０１０４】

図１５（ａ）は携帯電話への適用例であり、当該携帯電話３０は、アンテナ部３１、音声出力部３２、音声入力部３３、操作部３４、および本発明の表示パネル１を備えている。このように本発明の表示パネルは表示部として利用可能である。

【０１０５】

図１５（ｂ）はビデオカメラへの適用例であり、当該ビデオカメラ４０は、受像部４１、操作部４２、音声入力部４３、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、ファインダーや表示部として利用可能である。

【０１０６】

図１５（ｃ）は携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ５０は、カメラ部５１、操作部５２、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、表示部として利用可能である。

【０１０７】

図１５（ｄ）はヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ６０は、バンド６１、光学系収納部６２および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

【０１０８】

図１５（ｅ）はリア型プロジェクターへの適用例であり、当該プロジェクター７０は、筐体７１に、光源７２、合成光学系７３、ミラー７４・７５ミラー、スクリーン７６、および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

【０１０９】

図１５（ｆ）はフロント型プロジェクターへの適用例であり、当該プロジェクター８０は、筐体８２に光学系８１および本発明の表示パネル１を備え、画像をスクリーン８３に表示可能になっている。このように本発明の表示パネルは画像表示源として利用可能である。

【０１１０】

上記例に限らず本発明の電気光学装置は、アクティブマトリクス型の表示装置を適用可能なあらゆる電子機器に適用可能である。例えば、この他に、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳、電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

【０１１１】

【発明の効果】

本発明によれば、少なくとも以下に述べるような利点がある。

【０１１２】

本発明によれば、保持素子に接続され保持素子の充放電を制御する第２の能動素子は、多重制御端子型の能動素子として構成されている。このため、保持素子からの電流漏れを低減することにより、プログラム電圧の変動を無くし、電気光学素子への供給電流を一定にすることができる。

【０１１３】

本発明によれば、複数の能動素子のうち少なくとも一の能動素子は、他の１以上の能動素子と同一コンタクトホールで接続されている。このように回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

【図面の簡単な説明】

【図１】

本実施形態における表示パネルの全体図である。

【図２】

実施形態１における画素領域の平面図である。

【図３】

実施形態１における画素領域の断面図であり、（ａ）は図２のＡ－Ａ切断面、（ｂ）は図２のＢ－Ｂ切断面、（ｃ）は図２のＣ－Ｃ切断面である。

【図４】

発光部の境界形状の変形例であり、（ａ）は円形の発光部の場合、（ｂ）は中心線対称な屈曲部を有する発光部の場合、（ｃ）は中心線非対称な屈曲部を有する発光部の場合である。

【図５】

実施形態１における画素領域の回路図である。

【図６】

実施形態１における金属層のアライメントの説明図である。

【図７】

実施形態１におけるゲートメタルの離間処理の説明図である。

【図８】

実施形態２における画素領域の平面図である。

【図９】

実施形態２における画素領域の断面図であり、（ａ）は図８のＡ－Ａ切断面、（ｂ）は図８のＢ－Ｂ切断面、（ｃ）は図８のＣ－Ｃ切断面である。

【図１０】

実施形態３における画素領域の平面図である。

【図１１】

実施形態３における画素領域の断面図であり、（ａ）は図１０のＡ－Ａ切断面、（ｂ）は図１０のＢ－Ｂ切断面である。

【図１２】

実施形態４における画素領域の平面図である。

【図１３】

実施形態４における画素領域の断面図であり、（ａ）は図１２のＡ－Ａ切断面、（ｂ）は図１２のＢ－Ｂ切断面である。

【図１４】

実施形態５における表示パネルの接続図である。

【図１５】

実施形態５における電子機器の例であり、（ａ）は携帯電話、（ｂ）はビデオカメラ、（ｃ）は携帯型パーソナルコンピュータ、（ｄ）はヘッドマウントディ

スプレイ、（ｅ）はリア型プロジェクター、（ｆ）はフロント型プロジェクターへの本発明の表示パネルの適用例である。

【符号の説明】·

１…表示パネル

１０、２０…画素領域

１１…表示領域

１２…陰極

１３…陰極取出電極

１４、１５…ドライバ領域

１６、１００、２００…ガラス基板

１０１，２０１…下地保護層

１０２，２０２…半導体層

１０３，２０３…ゲート絶縁膜

１０４，２０４…ゲートメタル層

１０５，２０５…第１層間絶縁膜

１０６，２０６…ソースメタル層

１０７，２０７…第２層間絶縁膜

１０８、２０８…バンク層

１０９、２０９…陰極

１１０，２１０…陽極

１１１，２１１…正孔輸送層

１１２、２１２…発光層

１１３，２１３…親和性制御層

Ｔ１，Ｔ２，Ｔ３，Ｔ４…薄膜トランジスタ

ｈ１、ｈ２、ｈ３、ｈ１１、ｈ１２、ｈ１３…スルーホール

Ｖsel…書き込み制御線

Ｖgp…発光制御線

Ｉdata…定電流線

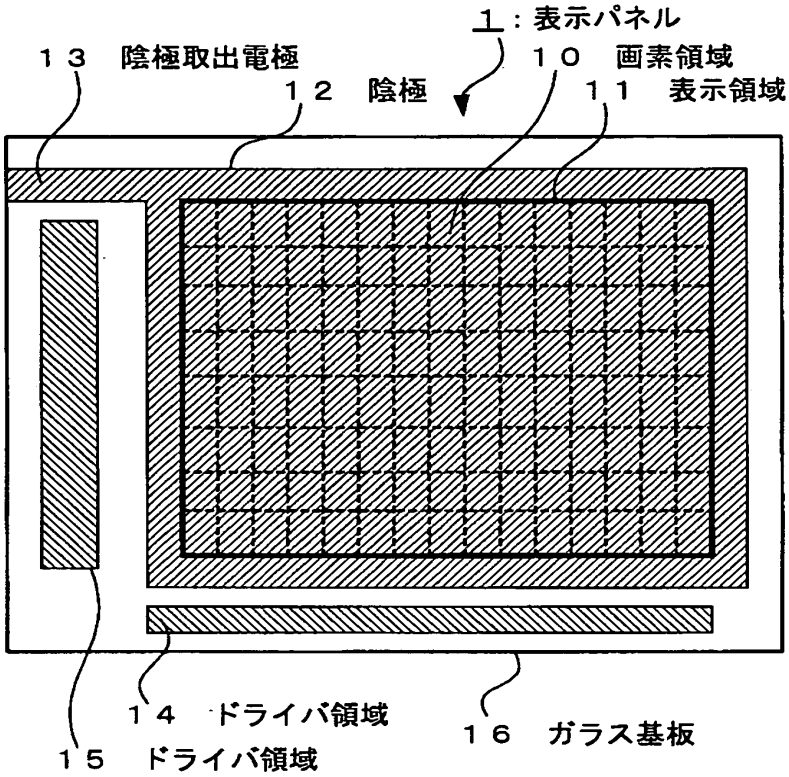
Ｖdd…電源線

Ｃ…保持容量

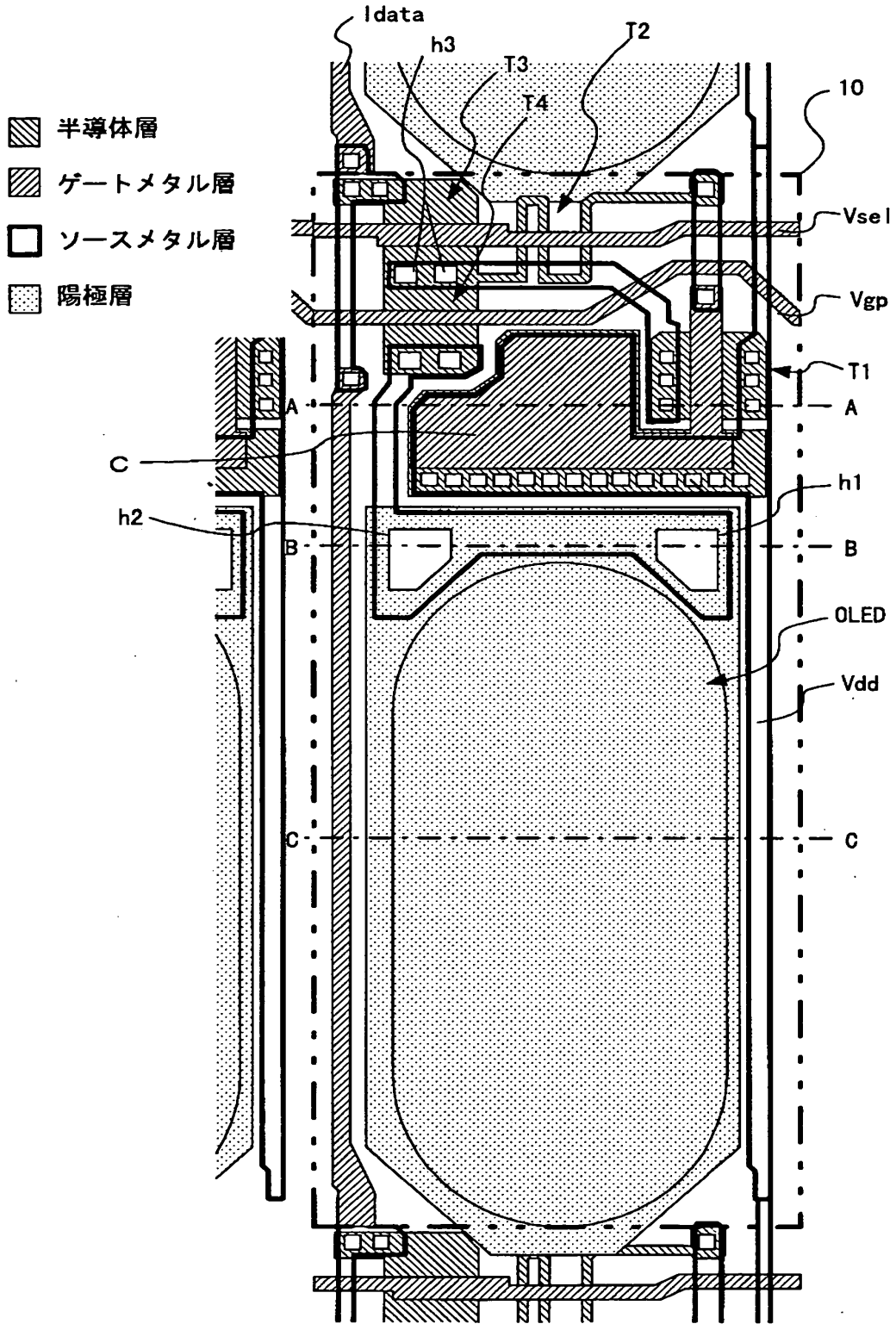
ＯＬＥＤ…発光部

【書類名】　図面

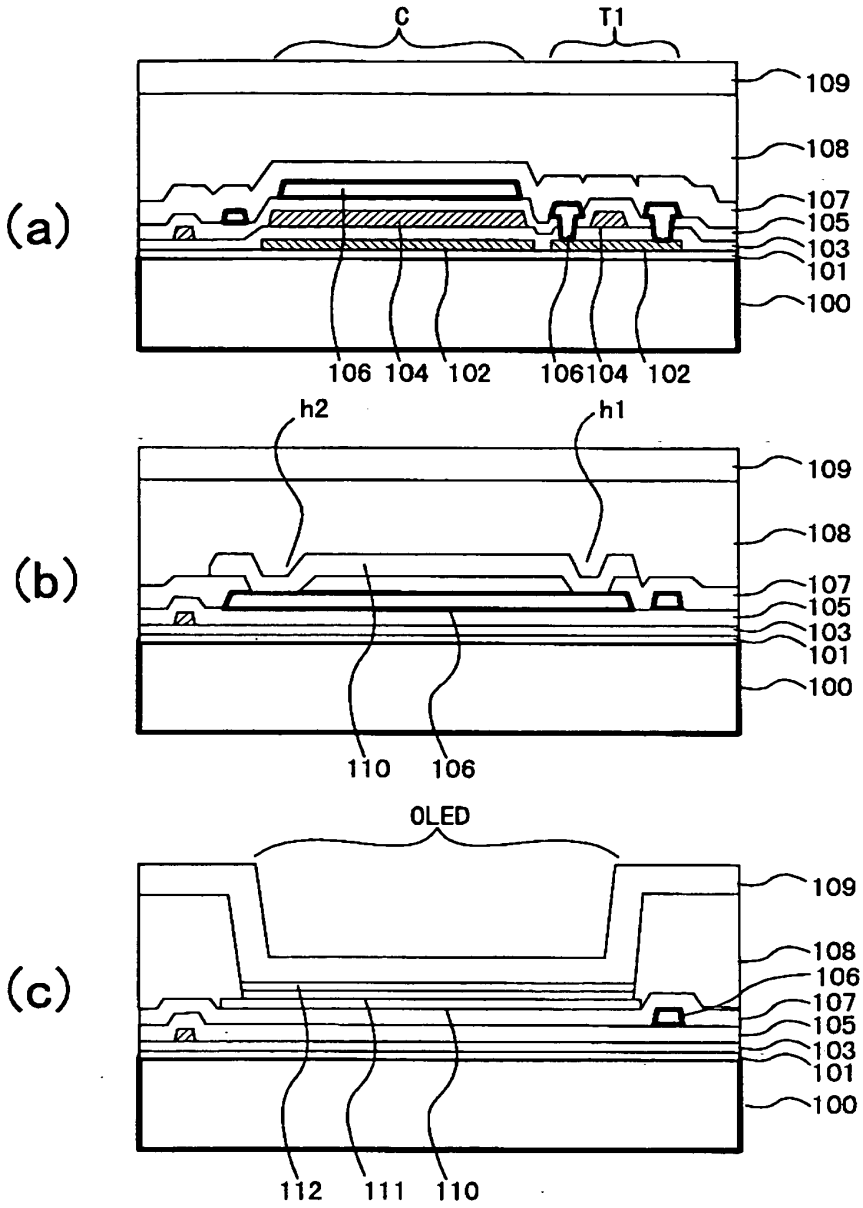
【図１】


１：表示パネル
１３　陰極取出電極
１２　陰極
１０　画素領域
１１　表示領域
１４　ドライバ領域
１５　ドライバ領域
１６　ガラス基板

【図２】

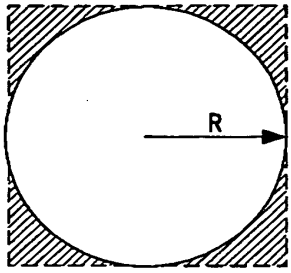

半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T2
T3
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C

【図３】

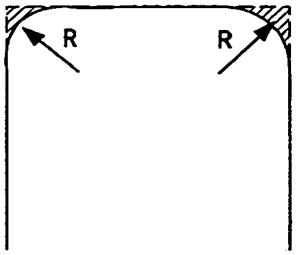


出証特２００２－３０９６１０２

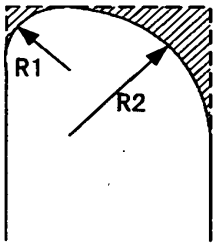
【図４】



(a)

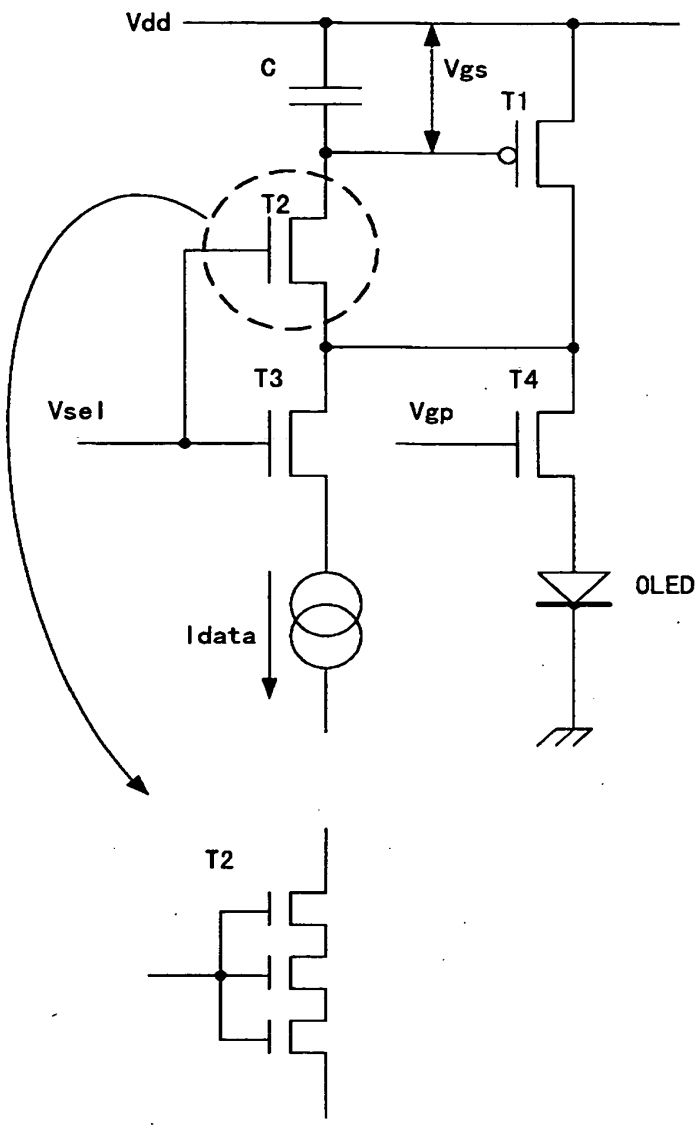


(b)

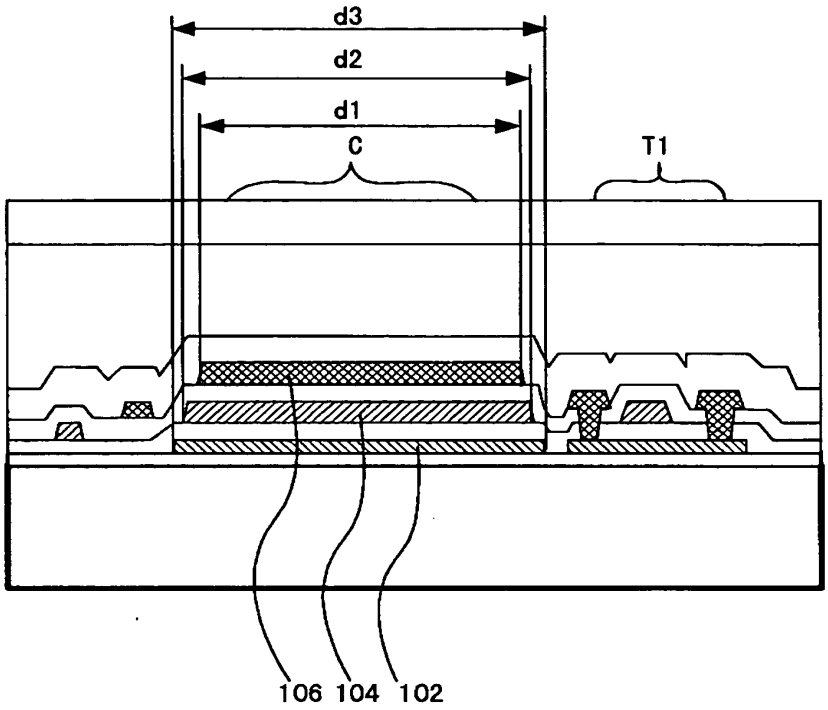


(c)

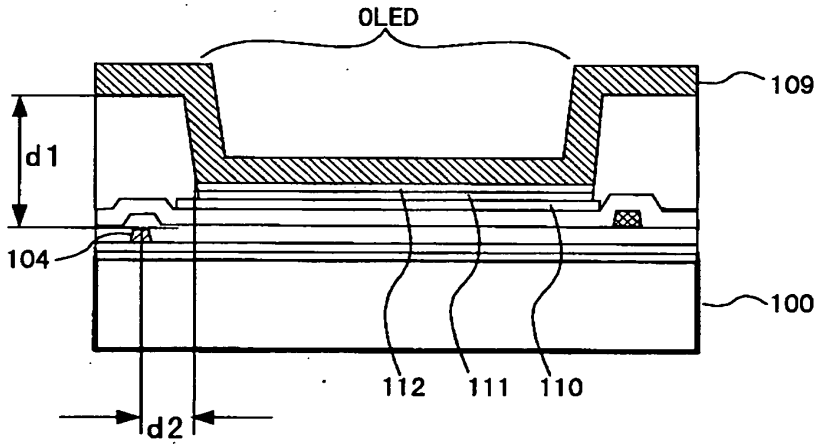
【図５】



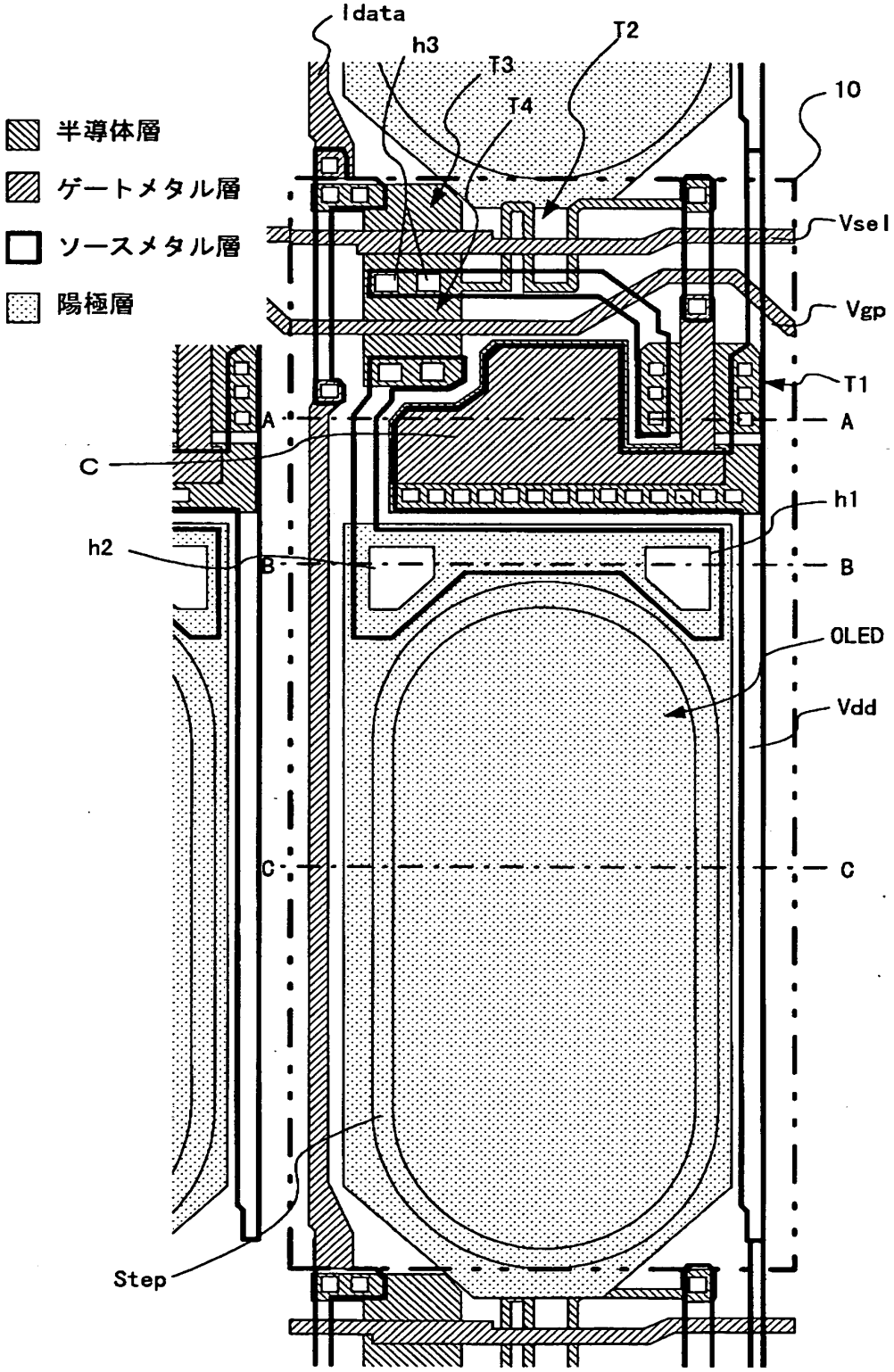
【図６】



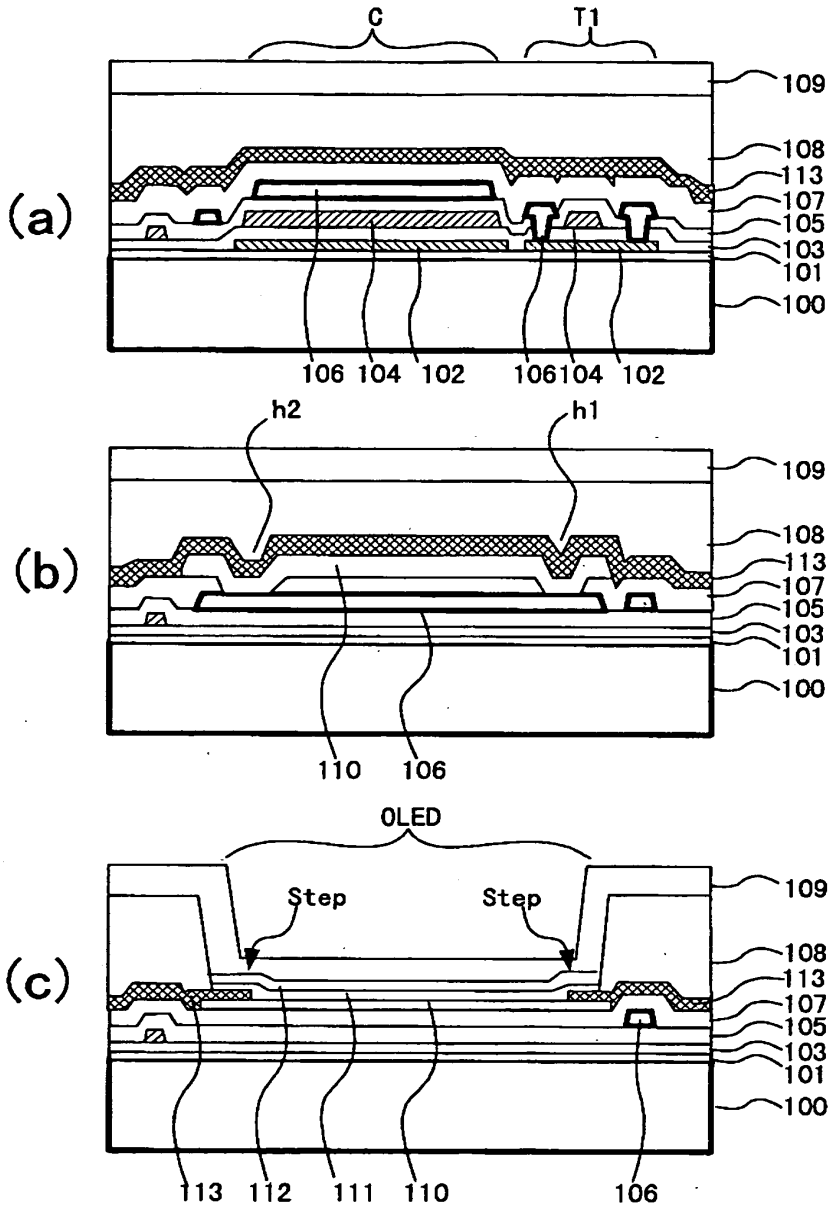
【図７】



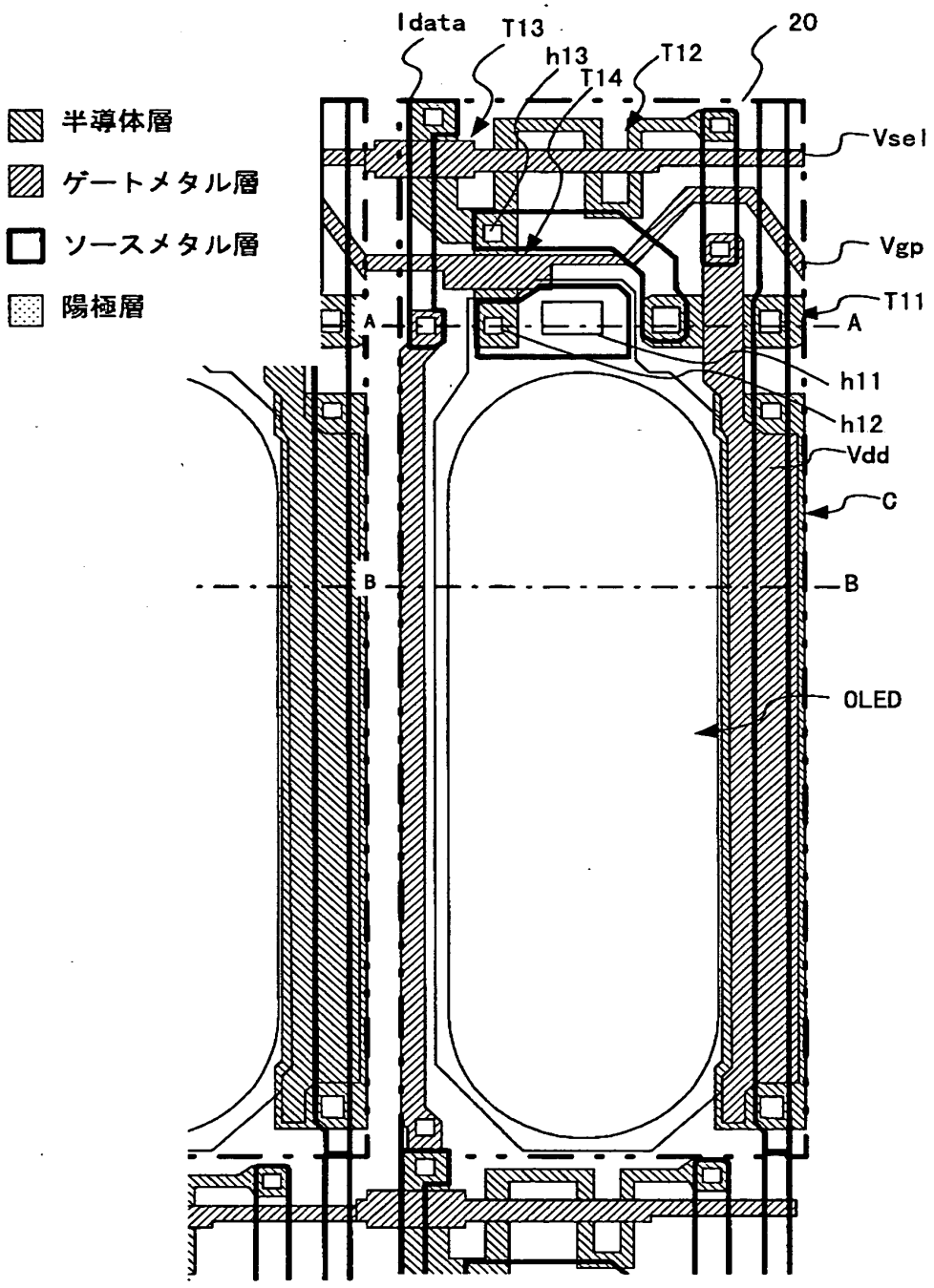
【図８】


Idata
h3
T2
T3
T4
10
半導体層
ゲートメタル層
ソースメタル層
陽極層
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C
Step

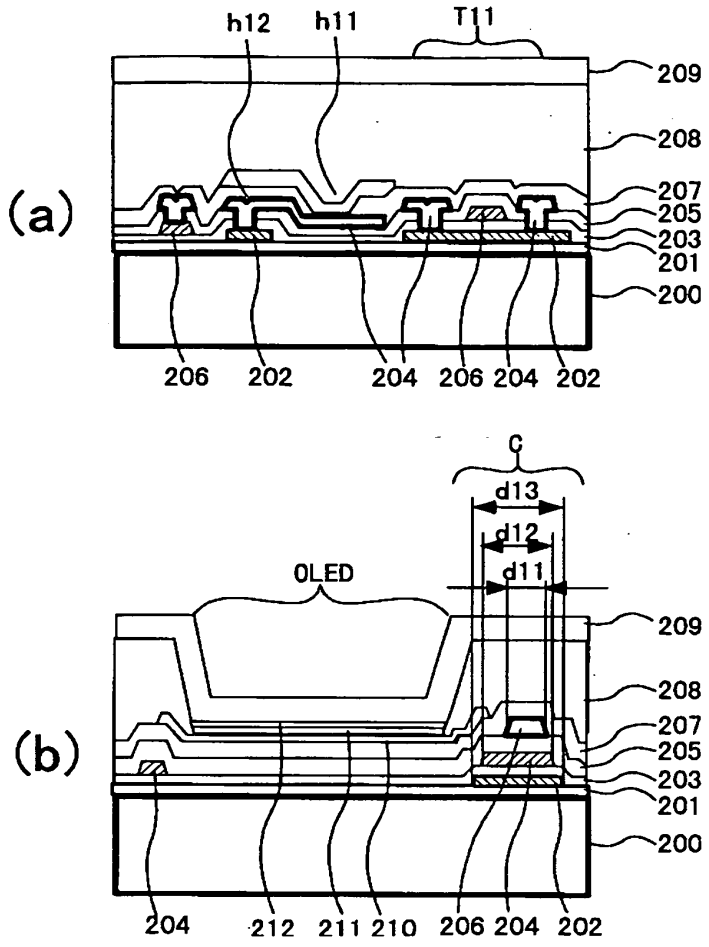
【図９】


(a)
C
T1
109
108
113
107
105
103
101
100
106
104
102
106
104
102
(b)
h2
h1
109
108
113
107
105
103
101
100
110
106
(c)
OLED
Step
Step
109
108
113
107
105
103
101
100
113
112
111
110
106

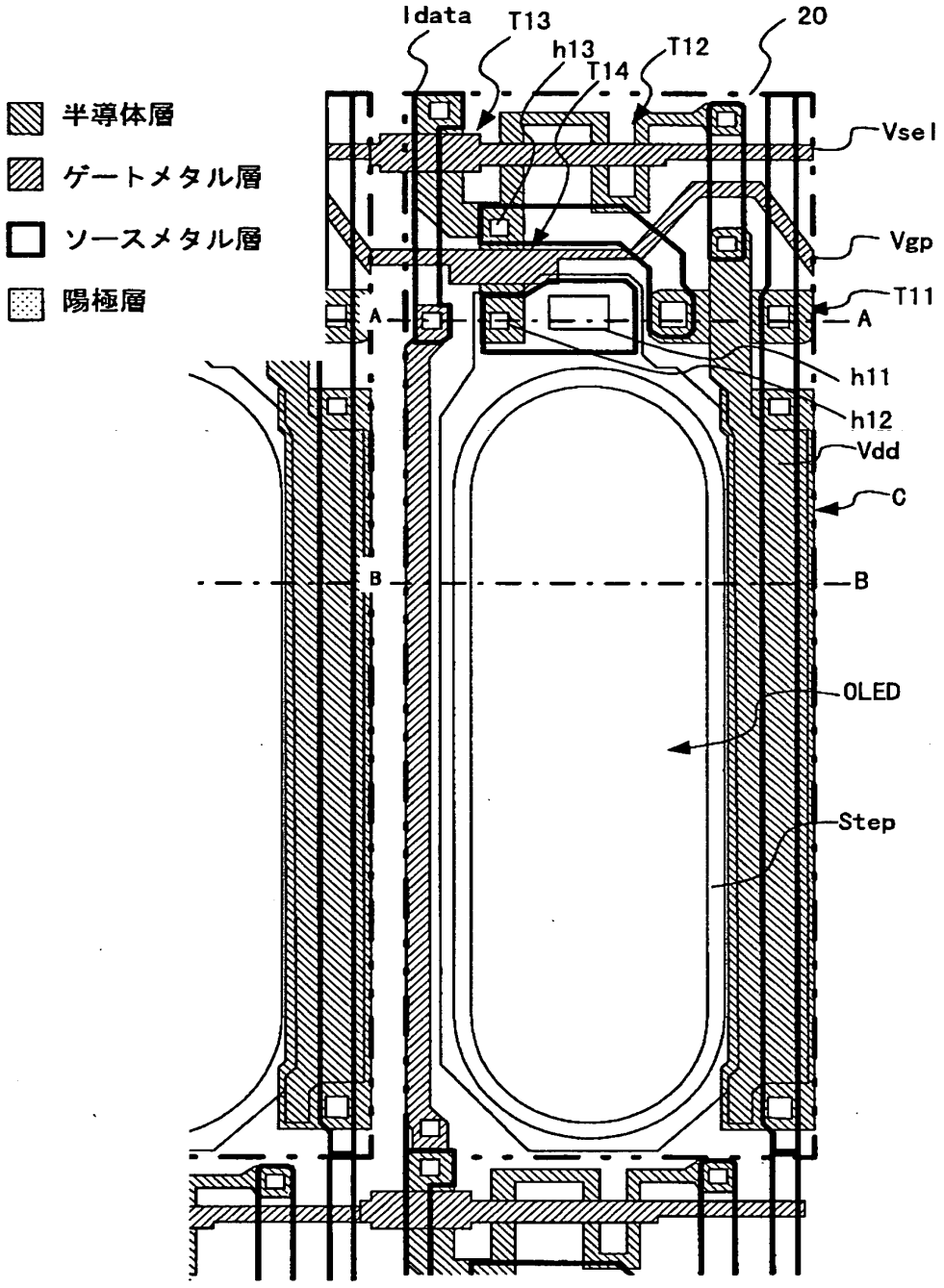
【図１０】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED

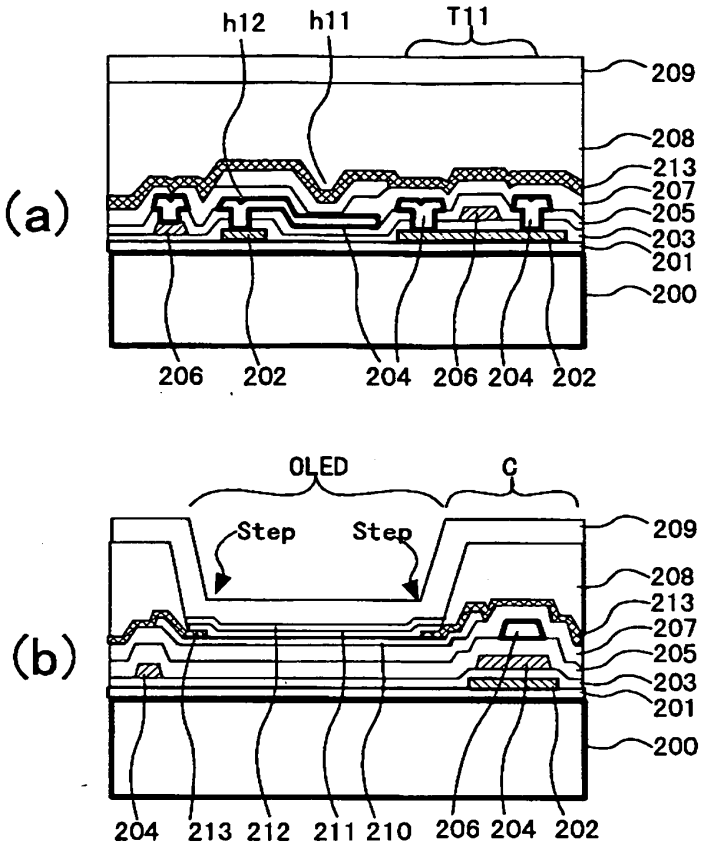
【図１１】


(a)
h12
h11
T11
209
208
207
205
203
201
200
206
202
204
206
204
202
(b)
C
d13
d12
d11
OLED
209
208
207
205
203
201
200
204
212
211
210
206
204
202

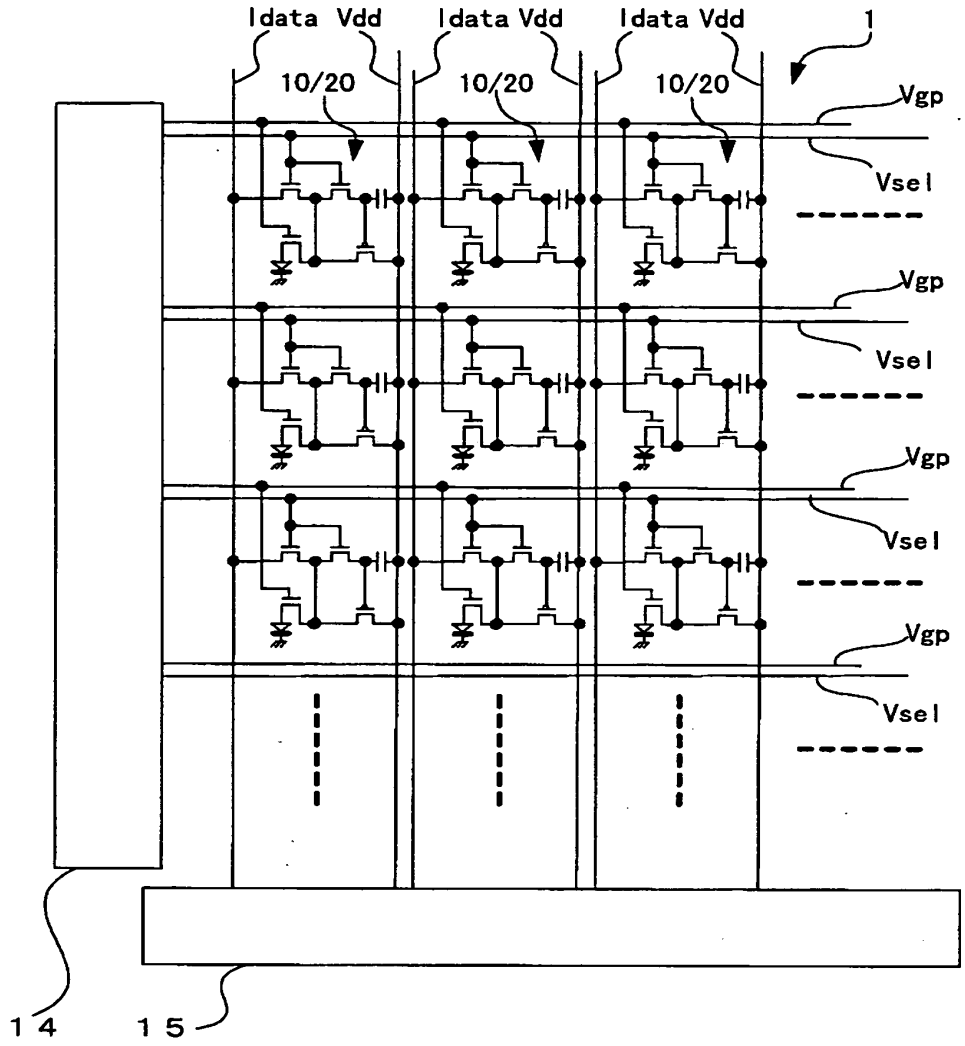
【図１２】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED
Step

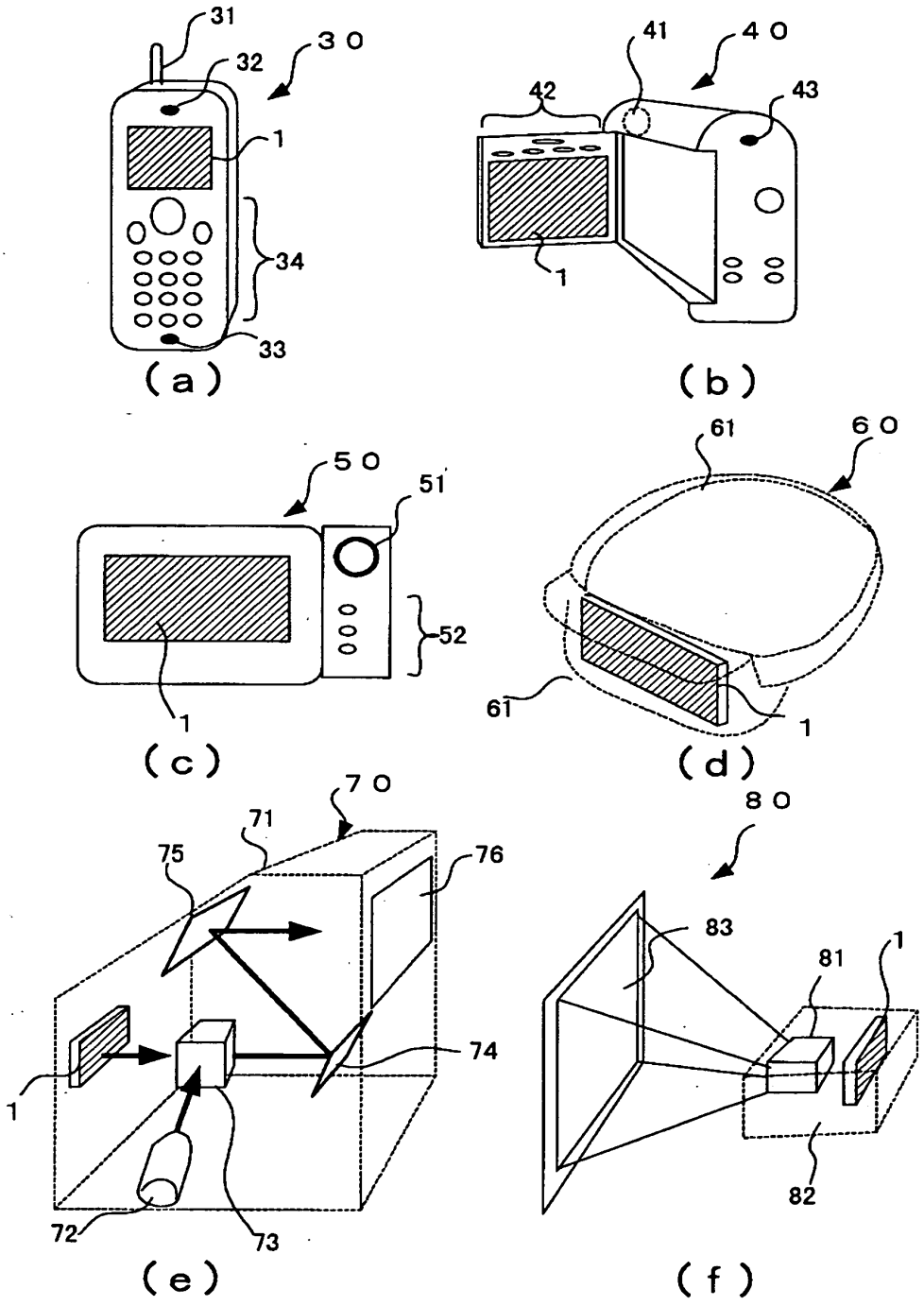
【図１３】


(a)
h12
h11
T11
209
208
213
207
205
203
201
200
206
202
204
206
204
202
(b)
OLED
C
Step
Step
209
208
213
207
205
203
201
200
204
213
212
211
210
206
204
202

【図１４】


Idata
Vdd
Idata
Vdd
Idata
Vdd
1
10/20
10/20
10/20
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
14
15

【図１５】


31
30
32
1
34
33
(a)
41
40
42
43
1
(b)
50
51
52
1
(c)
61
60
61
1
(d)
70
71
75
76
74
1
72
73
(e)
80
83
81
1
82
(f)

【書類名】　要約書

【要約】

【課題】　エレクトロルミネッセンス素子の輝度の低下を生じさせることがなく、かつ、占有面積の少ない好適な周辺回路を備えた回路基板を提供する。

【解決手段】　画素毎に設けられたＥＬ素子に電流を供給するための周辺回路をＥＬ素子に対応して備える回路基板であって、制御電圧を保持するための保持素子、保持素子に接続され制御電圧に基づいた電流を発光部に供給するための第１の能動素子、保持素子に接続され保持素子の充放電を制御する第２の能動素子を備え、特に、第２の能動素子は、多重制御端子型の能動素子として構成されている。このためプログラムされた電流が変動することがない。

【選択図】　図２

認定・付加情報

特許出願の番号	特願２００１－３５６００７
受付番号	５０１０１７１３２９１
書類名	特許願
担当官	第四担当上席　０００９３
作成日	平成１３年１１月２２日

＜認定情報・付加情報＞

【提出日】　平成13年11月21日

次頁無

出 願 人 履 歴 情 報

識別番号　　〔０００００２３６９〕

１．変更年月日　　１９９０年　８月２０日
［変更理由］　新規登録
住　所　東京都新宿区西新宿２丁目４番１号
氏　名　セイコーエプソン株式会社

OIPE JC14
FEB 13 2003
PATENT & TRADEMARK OFFICE

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: ２００１年１２月　５日

出願番号
Application Number: 特願２００１－３７１４０３

[ST.10/C]: [ＪＰ２００１－３７１４０３]

出願人
Applicant(s): セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

２００２年１２月　６日

特許庁長官
Commissioner,
Japan Patent Office 太田信一郎

出証番号　出証特２００２－３０９６１０４

【書類名】　特許願
【整理番号】　J0087275
【あて先】　特許庁長官殿
【国際特許分類】　H05B 33/04
H05B 33/10
G09F 9/30
【発明者】
【住所又は居所】　長野県諏訪市大和３丁目３番５号
セイコーエプソン株式会社内
【氏名】　松枝　洋二郎
【特許出願人】
【識別番号】　000002369
【氏名又は名称】　セイコーエプソン株式会社
【代理人】
【識別番号】　100079108
【弁理士】
【氏名又は名称】　稲葉　良幸
【選任した代理人】
【識別番号】　100080953
【弁理士】
【氏名又は名称】　田中　克郎
【選任した代理人】
【識別番号】　100093861
【弁理士】
【氏名又は名称】　大賀　眞司
【手数料の表示】
【予納台帳番号】　011903
【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　9808570

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　電界発光装置および電子機器

【特許請求の範囲】

【請求項１】　電極間に電界を印加することによって発光する電界発光素子と、

前記電界発光素子を駆動する周辺回路と、を備え、

前記電界発光素子は、当該電界発光素子の境界が少なくとも所定の曲率以上を有するように形成されており、

当該所定の曲率を有する境界と当該電界発光素子に外接する多角形の境界とで囲まれる領域に、少なくとも前記周辺回路の一部が形成されている電界発光装置。

【請求項２】　前記所定の曲率を有する境界部分が複数形成されている請求項１に記載の電界発光装置。

【請求項３】　複数形成されている前記境界部分は、前記電界発光素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されている請求項２に記載の電界発光装置。

【請求項４】　前記領域に形成される周辺回路の一部は、当該周辺回路の配線を構成するコンタクトホールである請求項１に記載の電界発光装置。

【請求項５】　前記コンタクトホールは、前記領域の形状に合わせた多角形である請求項４に記載の電界発光装置。

【請求項６】　前記周辺回路の配線を構成するコンタクトホールは、前記電界発光素子の電極の少なくとも一方に電流を供給するためのコンタクトホールである請求項４に記載の電界発光装置。

【請求項７】　前記コンタクトホールは複数であって、前記電界発光素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されている請求項６に記載の電界発光装置。

【請求項８】　前記電界発光素子の形成に用いられる薄膜材料液と親和性のある親和性制御層を、前記電界発光素子の前記境界付近にさらに備える請求項１に記載の電界発光装置。

【請求項９】　前記電界発光素子の境界付近の壁面を形成するバンク層は、前記薄膜材料液に対し非親和性を示し、前記親和性制御層の上に積層されている請求項８に記載の電界発光装置。

【請求項１０】　前記親和性制御層は、前記バンク層のなす前記壁面に対して当該電界発光素子内側で階段形状を形成している請求項９に記載の電界発光装置。

【請求項１１】　前記所定の曲率を有する境界部分において、当該電界発光素子を構成する少なくとも一方の電極が当該境界部分の形状に対応してパターニングされている請求項１に記載の電界発光装置。

【請求項１２】　前記領域に形成される周辺回路の一部は、所定の配線パターンである請求項１に記載の電界発光装置。

【請求項１３】　前記電界発光素子からの光の射出側への前記周辺回路の配置を禁止した請求項１に記載の電界発光装置。

【請求項１４】　映像信号を供給するデータ線、前記電界発光素子に電流を供給する電源線、および前記周辺回路を駆動する走査線を備え、これら配線が前記電界発光素子の周辺に配置されている請求項１３に記載の電界発光装置。

【請求項１５】　映像信号を供給するデータ線、前記電界発光素子に電流を供給する電源線、および前記周辺回路を駆動する走査線を備え、これら配線が前記電界発光素子からの光の射出側の反対側に配置されている請求項１３に記載の電界発光装置。

【請求項１６】　請求項１乃至１５のいずれか一項に記載の電界発光装置を備える電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、いわゆる電界発光（Electro-Luminescence）素子に関し、特に、アクティブマトリクス型表示パネルに画素要素として使用される電界発光素子の回路配置上の改良に関する。

【０００２】

【従来の技術】

蛍光性物質を挟んだ陽極と陰極との間に電界を印加すると、陽極から注入された正孔と陰極から注入された電子とが再結合する際に再結合エネルギーにより蛍光性物質が発光する。エレクトロルミネッセンス現象というこの現象を表示素子などに適用したものが、電界発光素子である。表示装置などに適用する電界発光素子は、画素を構成する電界発光素子ごとに独立して発光制御する必要があるため、電界発光素子を駆動させるための能動素子として、例えば薄膜トランジスタ（Thin Film Transistor：以下「ＴＦＴ」という。）と電界発光素子とを組み合わせて画素が構成されている。

【０００３】

従来、電界発光素子の層構造については数多くの研究がされていた。例えば、特開２００１－１６７８８０号にはインクジェット法を利用した電界発光素子の製造方法が記載されている。この公報には、画素パターン毎に区切られる各蛍光色素を容易に分離するように塗布展開する旨が開示されている。また、電界発光素子に適する駆動回路に関しては、例えば、「アクティブ型有機ＥＬディスプレイ」（2001 FPD Technology Outlook, pp747-762）に、有機電界発光素子を利用したフラットパネルディスプレイにおけるアクティブマトリクス駆動法についての考察が記載されている。

【０００４】

【発明が解決しようとする課題】

しかしながら、電界発光素子に適する具体的なかつ実際的な回路パターンの配置についての研究は数少なかった。つまり、公知文献には、どのような形状に発光領域を形成すれば、好適な電界発光素子を提供できるのかについて開示されていなかった。また、ＴＦＴなどの周辺回路と画素領域とをどのように配置すれば好適な電界発光素子を提供できるのかについては具体的に開示されていなかった。

【０００５】

ここで、インクジェット方式で発光領域に薄膜材料液を吐出して乾燥させて発光層を形成する場合、材料液が発光領域内で均一に広がらないと、表示パネルを

構成する画素ごとに発光層の厚みが異なることになる。発光層の厚みが画素毎に異なるということは、画素毎の輝度がばらつくことを意味する。

【０００６】

また、表示パネルの画素密度が上がると、狭い画素領域内に発光部および周辺回路を共に配置する必要が出てくる。特に、発光層の均一な厚みを維持しつつ、高密度に周辺回路を配置することが重要である。

【０００７】

そこで、本願発明は、画素毎に輝度のばらつきの無い好適な発光領域の形状と効率的なパターン配置を提供することを目的とするものである。

【０００８】

【課題を解決するための手段】

上記目的を解決するために、本発明の電界発光装置は、電極間に電界を印加することによって発光する電界発光素子と、電界発光素子を駆動する周辺回路と、を備え、電界発光素子は、当該電界発光素子の境界が少なくとも所定の曲率以上を有するように形成されており、当該所定の曲率を有する境界と当該電界発光素子に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されている。

【０００９】

ここで、「電気光学素子」は、電気的作用によって発光するあるいは外部からの光の状態を変化させる素子一般をいい、自ら光を発するものと外部からの光の通過を制御するもの双方を含む。例えば、電気光学素子には、液晶素子、電気泳動素子、ＥＬ（エレクトロルミネッセンス）素子、電界の印加により発生した電子を発光板に当てて発光させる電子放出素子が含まれる。

【００１０】

「周辺回路」はアクティブマトリックス型等の電気光学装置において各画素の発光に関与する回路素子の集合体をいい、例えばＴＦＴ等で構成されるものである。

【００１１】

「所定の曲率」は、電界発光素子の形成時に使用される薄膜材料液の粘度や表

面張力、および電界発光素子の下層の材料によって定まるため、実施例毎に異なる。

【００１２】

この所定の曲率を有する境界部分が複数形成されていることが好ましい。また、複数形成されている境界部分は、電界発光素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されていることが好ましい。

【００１３】

例えば、この領域に形成される周辺回路の一部は、当該周辺回路の配線を構成するコンタクトホールである。このようなコンタクトホールは、領域の形状に合わせた多角形であることが好ましい。このような周辺回路の配線を構成するコンタクトホールは、例えば、電界発光素子の電極の少なくとも一方に電流を供給するためのコンタクトホールである。このコンタクトホールは複数であって、前記電界発光素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されていることが好ましい。

【００１４】

本発明では、電界発光素子の形成に用いられる薄膜材料液と親和性のある親和性制御層を、電界発光素子の境界付近にさらに備えることが好ましい。このとき、電界発光素子の境界付近の壁面を形成するバンク層は、薄膜材料液に対し非親和性を示し、親和性制御層の上に積層されている。例えば、この親和性制御層は、バンク層のなす壁面に対して当該電界発光素子内側で階段形状を形成している。

【００１５】

ここで「親和性」であるか否かは、充填する薄膜材料液がどのような性質を備えているかで決まる。例えば薄膜材料液が極性分子を多く含むものであれば極性基を有する材料が親和性制御層となる。逆に、薄膜材料液が極性分子を多く含まないものであれば非極性基を有する材料が親和性制御層となる。また、充填する薄膜材料液の表面張力によっても親和性の程度が決まる。例えば、水に対して非親和性（疎水性）を示す親和性制御層であっても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくな

り、該親和性制御層は該薄膜材料液に対して親和性を示すことになる。したがって、親和性制御層は、薄膜材料液の特性によって種々に変更して適用することになる。

【００１６】

ここで「バンク」とは、例えば画素領域間を仕切るための仕切部材のことをいう。

【００１７】

ここで所定の曲率を有する境界部分において、当該電界発光素子を構成する少なくとも一方の電極が当該境界部分の形状に対応してパターニングされていることは好ましい。電極の面積を曲率に合わせてパターニングすることで周辺回路を配置しやすくなるからである。例えば、領域に形成される周辺回路の一部は、所定の配線パターンである。

【００１８】

ここで、電界発光素子からの光の射出側への周辺回路の配置を禁止していることは好ましい。電界発光装置の構成により基板のいずれかの方向に光が射出されることになるが、この光の射出側に周辺回路があると、光を遮ることとなり好ましくないからである。例えば、電界発光装置が、映像信号を供給するデータ線、電界発光素子に電流を供給する電源線、および周辺回路を駆動する走査線を備えている場合、これら配線が電界発光素子の周辺に配置されている。このような配置では射出される光が遮られない。また、これら配線が電界発光素子からの光の射出側の反対側に配置されていてもよい。光の射出側の裏側に当たるため、光を遮ることが無いからである。

【００１９】

本発明は、これらの電界発光装置を備える電子機器でもある。

【００２０】

ここで「電子機器」には限定が無いが、電界発光装置により構成された表示装置を備えるもの、例えば、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、Ｄ

ＳＰ装置、ＰＤＡ、電子手帳等をいう。

【００２１】

【発明の実施の形態】

次に、本発明の好適な実施の形態を、図面を例示として参照しながら説明する。以下の形態は、本発明を実施の形態の例示に過ぎず、その適用範囲を限定するものではない。

＜実施形態１＞

図１に、本発明の実施形態における電界発光装置を利用した表示パネルの全体図を示す。

【００２２】

図１に示すように、表示パネル１は、ガラス基板１６上に、表示領域１１およびドライバ領域１４・１５を配置して構成されている。表示領域１１には全体的に陰極１２が形成されて陰極取出電極１３に接続されている。表示領域１１には画素領域１０がマトリクス状に配置されている。カラー表示の場合、画素領域１０は、それぞれがカラー表示で必要とされる原色（例えば、赤、青、緑の三原色）で発光可能に構成されており、各原色で発光する画素領域１０の組が一つの画素要素となる。例えば、表示領域１１の列方向に配置されるドライバ領域１５は、書き込み制御線Ｖselと発光制御線Ｖgpとに信号を出力し、表示領域１１の行方向に配置されるドライバ領域１４は、電源線Ｖddの他、定電流を定電流線Ｉdataに信号を出力している。各画素領域１０における発光の有無をドライバ領域１４・１５に形成された図示しない駆動回路によって制御することにより、任意の画像が表示領域１１内に表示されるのである。

【００２３】

図２に、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図２では、特に主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００２４】

図２に示すように、電源線Ｖddと定電流線Ｉdataに挟まれる領域に、発光部（電界発光素子）ＯＬＥＤおよびそれを駆動するための周辺回路が総て配置されて

いる。電源線Ｖddは、発光部ＯＬＥＤを介して定電流線Ｉdataと離れて配置されている。周辺回路は、第１の能動素子としてのトランジスタＴ１、第２の能動素子としてのトランジスタＴ２、電流制御素子としてのトランジスタＴ３、発光制御素子としてのトランジスタＴ４、および保持素子としての保持容量Ｃで構成されている。

【００２５】

トランジスタＴ１は、そのソースが電源線Ｖddに接続され、そのドレインがトランジスタＴ４のソース側に接続されている。トランジスタＴ４は、そのドレインが発光部ＯＬＥＤの陽極に接続されている。保持容量Ｃは、電源線ＶddとトランジスタＴ１のゲート間に接続されている。トランジスタＴ２は、そのソースが保持容量Ｃおよびトランジスタ Ｔ１のゲートに接続され、そのドレインがトランジスタＴ３のソースおよびトランジスタＴ１およびＴ４間に接続されている。トランジスタＴ３は、そのドレインが定電流線Ｉdataに接続され、そのゲートがトランジスタＴ２のゲートと共通に書き込み制御線Ｖselに接続されている。

【００２６】

図３に、図２に示された切断面における層構造を説明する各断面図を示す。図３（ａ）はＡ－Ａ切断面、図３（ｂ）はＢ－Ｂ切断面、図３（ｃ）はＣ－Ｃ切断面における層構造を示している。

【００２７】

図３（ａ）に示すように、当該画素領域１０は、ガラス基板１００（図１におけるガラス基板１６）上に、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９（図１における陰極１２）の各層を積層して構成されている。さらに、電界発光部ＯＬＥＤでは、図３（ｂ）および（ｃ）に示すように、陽極層１１０、正孔輸送層１１１、発光層１１２の各層を積層して構成されている。

【００２８】

ガラス基板１００としては、本実施形態の電界発光素子が基板側に光を射出する形態であって光透過性があることが必要であるため、ソーダライムガラス、低

膨張ガラス、石英などのノンアルカリガラスが適用される。ただし、陰極層１０９に光透過性物質を用い、陰極側から光を射出する形態の電界発光素子を構成する場合には、金属等の導電性物質、シリコン・カーバイト（ＳｉＣ）やアルミナ（Al_2O_3）や窒化アルミニウム（ＡｌＮ）等の非透明絶縁性物質も利用可能である。

【００２９】

下地保護膜１０１としては、酸化硅素膜（SiO_x：$0<x\leqq2$）や窒化硅素膜（Si_3N_x：$0<x\leqq4$）等の絶縁性物質が利用可能である。下地保護層は、ガラス基板中に含まれているナトリウム（Ｎａ）等の可動イオンが半導体層中に混入して半導体層の不純物制御に悪影響を与えさせないために形成するものである。

【００３０】

下地保護層１０１は、まず基板１００を純水やアルコールなどの有機溶剤で洗浄した後、常圧化学気相堆積法（ＡＰＣＶＤ法）や低圧化学気相堆積法（ＬＰＣＶＤ法）、プラズマ化学気相堆積法（ＰＥＣＶＤ法）等のＣＶＤ法あるいはスパッター法等を用いて基板上に形成される。

【００３１】

半導体層１０２としては、シリコン（Ｓｉ）やゲルマニウム（Ｇｅ）等の四族単体の半導体層の他に、シリコン・ゲルマニウム（Si_xGe_{1-x}：$0<x<1$）やシリコン・カーバイド（Si_xC_{1-x}：$0<x<1$）やゲルマニウム・カーバイド（Ge_xC_{1-x}：$0<x<1$）等の四族元素複合体、ガリウム・ヒ素（ＧａＡｓ）やインジウム・アンチモン（ＩｎＳｂ）等の三族元素と五族元素との複合体化合物、またはカドミウム・セレン（ＣｄＳｅ）等の二族元素と六族元素との複合体化合物、シリコン・ゲルマニウム・ガリウム・ヒ素（$Si_xGe_yGa_zAs_z$：$x+y+z=1$）と云った更なる複合化合物等が適用可能である。

【００３２】

半導体層１０２は、例えば、ＡＰＣＶＤ法やＬＰＣＶＤ法、ＰＥＣＶＤ法等のＣＶＤ法、またはスパッター法等や蒸着法等のＰＶＤ法でシリコン等を堆積させ

た後、レーザー光の照射によって多結晶化して形成される。レーザー光としては、エキシマレーザー、アルゴンイオンレーザー、ＹＡＧレーザー（高調波）等が好ましい。例えば、シリコンを多結晶化すると、ポリシリコンとなる。この多結晶化した半導体層１０２を保持容量Ｃや各トランジスタＴ１～Ｔ４の各ＴＦＴの各素子形状に合うようパターニングする。例えばCH_4と酸素の混合ガスを用いた反応性イオンエッチングによってアモルファス状態の半導体層を素子形状に合わせて島状にパターニングして形成する。パターニング後、例えばゲートメタル層を形成後、そのゲートメタル層をマスクとして、半導体層に不純物を導入する。具体的には、素子ごとにリン（Ｐ）、ヒ素（Ａｓ）、アンチモン（Ｓｂ）などのドナー元素を添加してＮ型半導体層にしたり、ホウ素（Ｂ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）等のアクセプター元素を添加してＰ型半導体層にしたりする。本実施形態では、保持容量Ｃを構成する半導体層がＮ型半導体層になるように不純物が導入され、ＴＦＴのソースメタル層１０６で形成される電極部がＰ型半導体層になるように不純物が導入される。ここで、ＴＦＴをＬＤＤ構造にする場合やＴＦＴのしきい値電圧を調整する場合には、不純物を低濃度で導入するチャンネル・ドープが行われる。

【００３３】

ゲート絶縁膜１０３としては、例えばテトラ・エチル・オルト・シリケート（ＴＥＯＳ）を原料とする二酸化珪素膜により形成される。ゲート絶縁膜１０３は、マイクロ波放電プラズマ、ＥＣＲプラズ等の酸素または窒素雰囲気下におけるマプラズマＣＶＤ法により形成される。

【００３４】

ゲートメタル層１０４としては、例えばタンタル（Ｔａ）、タングステン（Ｗ）、クロム（Ｃｒ）等のような導電性材料を用いる。ゲートメタル層１０４は、スパッタ法等で成膜され後、ゲート電極の形状になるようパターニングして形成される。

【００３５】

第１層間絶縁膜１０５としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第１層間絶縁膜は、スパッタ法等で形成された後、例えばＴＦＴ用の

ソース・ドレイン電極を形成するためにコンタクトホールが形成される。

【００３６】

ソースメタル層１０６として、例えばアルミニウム（Ａｌ）の他、タンタル、モリブデン、チタン、タングステン等の導電性材料を使用可能である。ソースメタル層は、スパッタ法等で一様に導電性材料を積層後、電極形状に合わせてパターニングして形成される。

【００３７】

第２層間絶縁膜１０７としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第２層間絶縁膜は、スパッタ法等で形成された後、例えば陽極層１１０用のコンタクトホールｈ１およびｈ２が形成される。

【００３８】

陽極層１１０としては、例えば、酸化インジウム錫合金（ＩＴＯ）等の光透過性を有する導電性材料が適用可能である。光透過性が必要無い場合には、陽極層として、酸化錫（ＮＥＳＡ），金、銀、白金、銅等を適用できる。陽極層はスパッタ法等により形成された後、発光部ＯＬＥＤの形状にパターニングして形成される。

【００３９】

バンク層１０８としては、酸化珪素、窒化珪素、ポリイミドなどの絶縁材料を適用可能である。バンク層は、スパッタ法等で形成後、発光部ＯＬＥＤに対応する位置に開口部が設けて形成される。

【００４０】

正孔輸送層１１１としては、例えば、Ｎ，Ｎ’－ジフェニル－Ｎ，Ｎ’－ビス－（３－メチルフェニル）－（１，１’－ビフェニル）－４，４’－ジアミン（ＴＰＤＡ）が用いられる。正孔輸送層は、バンク層１０９に設けられた開口部にメタルマスク等を用いて成膜される。

【００４１】

発光層１１２としては、例えばトリス（８－キノリノール）アルミニウム（Ａｌq_3）等の任意の蛍光性物質が用いられる。発光層は、メタルマスクを用いた蒸着で形成可能であるが、インクジェット法により蛍光性物質を含んだ溶媒を開

口部に吐出させて溶媒成分を蒸発させて堆積させてもよい。

【００４２】

陰極層１０９としては、エネルギー順位から電界発光素子の陰極として使用可能な材料、アルミニウムまたはアルミニウムと他の元素（リチウムなど）の合金、カルシウムなどで形成される。陰極層は、メタルマスク等により形成され、フォトリソグラフィー法やシャドーマスク法等でパターニングして形成される。

【００４３】

以下、本実施形態における配線パターン上の数々の特徴について順に説明する。

（発光部の平面形状）

電界発光装置の製造方法の一つに、インクジェット方式により蛍光性物質を含んだ薄膜材料液を開口部に吐出し乾燥させて、発光層を形成する製造方法がある。この製造方法では、吐出された材料液が均等に開口部の隅々まで行き渡ることが重要である。もしも材料液が均等に行き渡らないと、成膜後の発光層の厚みが不均一になり、発光領域内で射出される光の強度が不均一となり、表示パネルの画質が低下する。例えば、平面上、方形形状の開口部であったと仮定すると、材料液の表面張力や粘度等の影響で開口部の角部における吐出された材料液の液面の高さがその他の部分と異なるようになる。したがって、このような形状の発光部では成膜後の発光層の厚みが不均一になるおそれがあった。

【００４４】

一方、表示パネルでは輝度を上げる必要があるため、光を射出する領域、すなわち発光部をできるだけ大きく採り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請がある。製造上の容易性のみを考えてパターンを配置するわけにもいかないのである。

【００４５】

そこで、このような要請をともに満たすために、本願発明の一つは、発光部の境界が少なくとも所定の曲率以上を有するように形成されており、この所定の曲率を有する境界とこの発光部の境界に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されていることを特徴の一つとしている。

【００４６】

図４に基づいて、具体的な概念を説明する。図４（ａ）、（ｂ）、（ｃ）はそれぞれ本発明の概念を適用した発光部の全部または一部の平面形状を示している。図４（ａ）は、発光部の境界が円形、すなわち総ての境界が一定の曲率Ｒを有している場合である。この円周とこの円周に外接する多角形、すなわち破線で示す正方形とで囲まれる領域、すなわち斜線部分に、周辺回路の一部を設けるのである。この円形の発光部は中心点を通るどの中心線に対しても対称である点で、発光部の膜厚を均等にできるための形状として理想的な形状であると考えられる。しかし、図４（ａ）に示すように、斜線部分を有効活用することが発光部の開口率を向上させるために必要である。

【００４７】

図４（ｂ）は、長方形の角部に本発明を適用し、発光部の境界に一定の曲率Ｒを持たせた例である。この例では、外接する多角形は破線で示す長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。本実施形態はこの例に属し、この曲率Ｒを大きくしていくと、本実施形態のような長円の発光部の平面形状になる。この例でも発光部の中心を通る中心線に対して左右あるいは上下対称であり、かつ、角部の曲率が一定値以上であるため、均等な膜厚の発光部を形成可能である。

【００４８】

図４（ｃ）は、中心線に対して不均等に角部の曲率を設定した例である。図に向かって左側の角部の曲率Ｒ１が右側の角度の曲率Ｒ２より小さくなっている。この例では、外接する多角形は破線で示すような長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。このように曲率が不均等であっても、最小の曲率を一定値以上に設定することにより、均等な膜厚の発光部が形成可能である。最小の曲率は、吐出される溶液の粘度や表面張力、吐出面の撥水性（親水性・親和性）に左右されるため、実験によって事例毎に定められる。

【００４９】

本実施形態では、図２に示すように発光部が長円形の平面形状を備えている。

そして、この発光層の境界とこの発光部の境界に外接する長方形（図示しない）との境界で囲まれる領域内に、周辺回路の一部、つまりコンタクトホールｈ１およびｈ２が形成されている（図３（ｂ）も参照のこと）。本実施形態では、本来無駄なスペースともなるべき図４（ｂ）の斜線で示すような領域を、このコンタクトホールのために使用することにより、スペースの有効利用という要請を満たしている。

【００５０】

なお、この発光部の境界とその発光部に外接する多角形の境界とに囲まれる領域には、コンタクトホールに限らず、周辺回路のいずれの素子、例えばトランジスタやキャパシタ等を形成してもよい。また、独立に機能する素子全体を総てこの領域に入れ込まなければならないわけではなく、素子やコンタクトの一部、つまり周辺回路の一部がこの領域に入り込んでいればよい。つまり、スペースを有効利用するような配置がされていることが肝要である。

（発光部のためのコンタクトホール）

電界発光装置において、発光部の境界と発光部に外接する多角形の境界とに囲まれる領域に、図２に示すように、コンタクトホールを設けることは意義がある。すなわち、この領域に比較的大き目のコンタクトホールを設けることにより、この領域の有効利用が可能となるとともに、発光部に十分な電流を供給可能とするからである。

【００５１】

さらにコンタクトホールを複数設けることは好ましい。すなわち、電界発光装置では、発光層にはある程度の電流量の電流を、発光部全体に均等に流す必要がある。もしも直接電流を供給する陽極に接続するためのコンタクトホールが偏った位置に設けられたものとすると、電流の供給口が発光層に対して偏った位置にあるため、電流供給量が不均等になるおそれがある。不均等な電流供給は発光強度のむらとなって現れる。

【００５２】

この点、本実施形態のように、発光部の中心部を通る中心線に対し対称な位置に複数のコンタクトホールを設ければ、このような問題を解消できる。すなわち

、図２に示すように、本実施形態では、発光部の中心点を通る所定の中心線に対して対称的に設けられた領域にそれぞれ比較的大き目の複数のコンタクトホールを設けている。この対称的な領域にそれぞれコンタクトホールを設けることにより、発光部の均等成膜の要請とともに、発光部に対する電流供給を均一にするという要請を満たすことができる。

（金属層間のアライメント）

電界発光装置の駆動回路方式によっては、保持容量の変動が発光部に供給される電流量の安定性に影響を与える場合がある。当該実施形態においても、保持容量Ｃの容量値が表示パネルごとに変動するのは好ましくない。しかしながら、表示パネルの製造工程において金属層を積層する際に予定した位置よりもずれが生じる場合がある。保持容量は金属層の重複領域の面積が容量値を規定するため、位置ずれが生じると容量値の変動を生じ、保持容量の容量値が表示パネルごとに変動するという事態を招くおそれがあった。

【００５３】

そこで、本実施形態では、保持容量Ｃが形成される重複領域付近において、保持容量Ｃの形成に関係する複数の層、すなわちソースメタル層１０６、ゲートメタル層１０４および半導体層１０２のうち、より下層側に配置される層（ソースメタル層に対してはゲートメタル層および半導体層）の占める領域が、より上層側に配置される層（半導体層に対してはゲートメタル層およびソースメタル層、ゲートメタル層に対してはソースメタル層）の占める領域より大きく形成されている。

【００５４】

この様子は図２の平面図からも読み取れるが、具体的に図６に示したＡ－Ａ断面図を参照して説明する。図６に示すように、ソースメタル層１０６の幅をｄ１、ゲートメタル層１０４の幅をｄ２、半導体層１０２の幅をｄ３とした場合に、

ｄ３＞ｄ２＞ｄ１

という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００５５】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ３－ｄ２、ｄ２－ｄ１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（ゲートメタル層の離間形成）

電界発光装置は共通電極を備えており、表示領域の全面にその共通電極が形成される。本実施形態でも発光部ＯＬＥＤのための陰極１３（陰極層１０９）が、図１に示すように表示領域１１の全体に形成されている。ところが、共通電極が全面に形成されていると、トランジスタのゲートに接続されるゲートメタル層との間で容量が生じるという問題があった。このような予期せぬ容量が生じると、トランジスタの動作の遅れを生じ、設計した通りのタイミングでの動作が保証できなくなる。

【００５６】

そこで本実施形態では、ゲートメタル層によって形成される配線パターンが、発光層の電極の少なくとも一方から所定の距離以上離間して配置されるように配慮した。インピーダンスが低く問題となるのは、共通電極である陰極層１０９とゲートメタル層１０４との距離である。また、陰極層１０９は、発光部ＯＬＥＤにおいて下層側との距離が小さくなるため、発光部周辺におけるゲートメタル層との距離が問題となる。このため、本実施形態では、図７（図２におけるＣ－Ｃ断面に相当）に示すように、発光部付近において、陰極層１０９とゲートメタル層１０４との深さ方向の距離ｄ１と平面上の距離ｄ２が共に所定の距離以上になるようパターン形成した。

【００５７】

ここで所定の距離は、ゲートメタル層の面積や介在する層の誘電率などによって種々変化するので一概に言えないが、画素領域の面積などから許容される範囲で、できるだけ離してパターニングするのが好ましい。

（周辺回路の動作）

次に、本実施形態の電界発光装置の周辺回路の動作を説明する。図５に、画素領域１０一つあたりの回路図を示す。

【００５８】

１）本実施形態の回路は、一般に電流プログラム方式といわれる回路構成をとっている。画素表示は、プログラム準備動作として、書き込み制御線Ｖselを選択し、トランジスタＴ２およびＴ３をオン状態にすることから始まる。

【００５９】

２）トランジスタＴ２およびＴ３が導通状態になると、トランジスタＴ１が所定時間後に定常状態に達し、保持容量ＣにＩdataに応じた電圧が記憶される。これがプログラム動作である。

【００６０】

３）そして発光動作として、書き込み制御線Ｖselを非選択状態とし、トランジスタＴ２およびＴ３をオフにし、一旦定電流Ｉdataを遮断した後、発光制御線Ｖgpを選択する。この結果、トランジスタＴ４がオン状態となり、保持容量Ｃに記憶された電圧Ｖgsに対応する定電流ＩdataがトランジスタＴ１およびＴ４経由で発光部ＯＬＥＤに供給される。発光部ＯＬＥＤに供給された電流により、発光層１１１に電界が印加され、発光層から光が射出される。

（周辺回路における電流維持性能の向上）

以下に、周辺回路における本実施形態の特徴を説明する。

【００６１】

従来、保持容量の充放電を制御する能動素子については特に考慮がされていなかった。微細化されたＦＥＴでは、ゲート電圧が閾値以下の場合、ドレイン電流がドレイン電圧にも依存するようになる。つまり、ソースーチャネルードレイン間に形成されたトランジスタの注入電流がゲート電圧に対して指数関数的に増加し、リーク電流が発生する。例えば、図５に示すトランジスタＴ２においてリーク電流が発生すると、保持容量Ｃの両端電圧Ｖgsが低下し、その電圧を制御電圧としてゲートに入力しているトランジスタＴ１のドレイン電流が変動する。この変動は、発光部ＯＬＥＤにおける輝度の変化となって現れるため、安定した輝度での発光が担保されなくなる。

【００６２】

そこで、本実施形態では、図１および図５に示すように、保持容量Ｃに直接接続される能動素子であるトランジスタＴ２を、多重制御端子型の能動素子、つまりマルチゲート型トランジスタとしている。このようなトランジスタでは、図５の矢印で示すように、事実上複数トランジスタが直列接続されたのと等価な素子となり、リーク電流が大幅に制限される。したがって、保持容量に直接接続するトランジスタをこのマルチゲート型のトランジスタにすることで、占有面積を殆ど変えずに、保持容量Ｃにおけるプログラム電圧の変動を無くし、発光部への供給電流を一定にすることができるのである。

【００６３】

ここで、トランジスタＴ２をＬＤＤ、ＧＤＤ、ＤＤＤ構造のトランジスタとすることは好ましい。このような構造を適用することにより、ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限し、素子の信頼性を向上させることができる。

【００６４】

ここで、制御信号の極性等を考慮し、トランジスタＴ１とトランジスタＴ２は互いに逆極性、つまり、トランジスタＴ１はＰ型ＦＥＴ、トランジスタＴ２からＴ４はＮ型ＦＥＴで構成されている。ただし、Ｐ型を用いるかＮ型を用いるかは、適用しようとする信号の極性等に応じて任意に変更可能であり限定はない。

【００６５】

また、各素子の配置も図５に限定されるものではない。例えば、保持容量やトランジスタＴ１を接地側に持っていき、発光部ＯＬＥＤを電源側に持っていき、発光部の共通電極を陽極とし、各トランジスタの極性（Ｎ型またはＰ型の別）を反転させてもよい。

（周辺回路のスペースの削減）

前述したように、表示装置では、輝度を上げるため、周辺回路の占める領域をできるだけ小さくしたいという要請がある。このため、本実施形態では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には

、図２に示すように、トランジスタＴ２、Ｔ３、およびＴ４が同一のコンタクトホール、ｈ３で相互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

＜実施形態２＞

図８に、本発明の実施形態２における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図９に、図８に示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面、図９（ｃ）はＣ－Ｃ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００６６】

実施形態２の電界発光装置の構成は、段差形状Stepを構成する親和性制御膜１１３の存在を除き、実施形態１の電界発光装置と同一である。このため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００６７】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図９（ｃ）に示すように、実施形態２における発光部ＯＬＥＤは、親和性制御層１１３を、第２層間絶縁膜１０７とバンク層１０８との間に備えている。この親和性制御層１１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層１１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層１０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層１１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層１１３の上に積層されている。このため親和性制御層１１３は、図８および図９（

ｃ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００６８】

親和性制御層１１３の材料は、発光層の製造時において、インクジェット方式により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００６９】

親和性制御層１１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００７０】

バンク層１０８は、親和性制御層１１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄

膜材料液の均一性が損なわれることを防止できるからである。

【００７１】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

【００７２】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すように構成したので、隣接画素領域との間のショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【００７３】

なお、本実施形態では、親和性制御層１１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【００７４】

その他の本実施形態２における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態３＞

図１０に、実施形態３における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１１に、図１０にに示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００７５】

実施形態３の電界発光装置は、パターン形状において、実施形態１における画素領域１０の幅より画素領域２０の幅が小さくなっている。ただし、回路構成は実施形態１と同様であり（図５参照）、各層を構成する材料も実施形態１と同様であるため、実施形態１と同一の要素については同一符号を図面に付すこととし

その説明を省略する。ただし、実施形態１におけるガラス基板１００、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９、陽極層１１０、正孔輸送層１１１、および発光層１１２の各層は、実施形態３において、ガラス基板２００、下地保護膜２０１、半導体層２０２、ゲート絶縁膜２０３、ゲートメタル層２０４、第１層間絶縁膜２０５、ソースメタル層２０６、第２層間絶縁膜２０７、バンク層２０８、陰極層２０９、陽極層２１０、正孔輸送層２１１、および発光層２１２の各層それぞれを対応している。また、実施形態１におけるトランジスタＴ１～Ｔ４は実施形態３におけるＴ１１～Ｔ１４に、実施形態１におけるコンタクトホールｈ１～ｈ３は実施形態３におけるコンタクトホールｈ１１～ｈ１３に、それぞれ対応している。

【００７６】

以下、本実施形態における配線パターン上の特徴について説明する。

（電源線下の保持容量）

実施形態１においては、保持容量Ｃを電源線Ｖddと定電流線Ｉdataとの間であって発光部の外側（図２における発光部の上部）に配置した。しかし本実施形態のように画素領域の面積が比較的小さい場合、すなわち画素密度が高い場合には、保持容量が占有する素子面積が十分とれないという事態が生ずる。

【００７７】

そこで本実施形態においては、第１の金属層（例えばソースメタル層２０６）または第２の層の少なくとも一方が電源配線パターンとなっている領域に保持容量Ｃが形成されている。具体的には、図１０に示すように、発光部ＯＬＥＤの横に配線されている電源線Ｖdd（ソースメタル層２０６）の下に、ゲートメタル層２０４を平行して積層させることにより、保持容量Ｃが形成されている。

【００７８】

この保持容量Ｃは、実施形態１において説明した保持容量と同様に、保持容量Ｃの形成に関係する複数の層間（例えば、ソースメタル層２０６、ゲートメタル層２０４、半導体層２０２）に重複領域を生じさせることにより保持容量Ｃが形成されており、保持容量Ｃが形成される重複領域付近において、複数の層のうち

より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。具体的には、図１１（ｂ）に示すように、ソースメタル層２０６の幅をｄ１１、ゲートメタル層２０４の幅をｄ１２、半導体層２０２の幅をｄ１３とした場合に、

ｄ１３＞ｄ１２＞ｄ１１

という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００７９】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ１３－ｄ１２、ｄ１２－ｄ１１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（バンク層下の保持容量）

前述した保持容量は、隣接する前記発光部間を隔離するためのバンク層２０８の下に形成されていることが好ましい。すなわちバンク層は画素分離のために必要であるため、この領域の下に、電源線の配線領域と保持容量のための重複領域を重ねる合わせることにより、周辺回路の面積を大幅に縮小することができるからである。

（周辺回路のスペースの削減）

実施形態１と同様に、本実施形態２では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図１０に示すように、トランジスタＴ１２、Ｔ１３、およびＴ１４が同一のコンタクトホール、ｈ１３で相互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される

周辺回路の面積を減少させることができる。

【００８０】

その他の特徴、例えば発光部の平面形状、ゲートメタル層の電極からの離間処理、周辺回路の動作、周辺回路の電流維持性能の向上などについては、実施形態１と同様であり、その説明を省略する。

＜実施形態４＞

図１２に、本発明の実施形態３における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１３に、図１２に示された切断面における層構造を説明する各断面図を示す。図１２（ａ）はＡ－Ａ切断面、図１２（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態３と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００８１】

実施形態４の電界発光装置の構成は、段差形状Stepを構成する親和性制御膜２１３の存在を除き、実施形態１および２の電界発光装置と同一である。このため、実施形態１および２と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００８２】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図１２（ｂ）に示すように、実施形態４における発光部ＯＬＥＤは、親和性制御層２１３を、第２層間絶縁膜２０７とバンク層２０８との間に備えている。この親和性制御層２１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層２１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層２０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層２１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層２１３の上に積層されている。このため親和性制御層２１３は、図１２および図

１３（ｂ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００８３】

親和性制御層２１３の材料は、発光層の製造時において、インクジェット方式により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００８４】

親和性制御層２１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００８５】

バンク層２０８は、親和性制御層２１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄

膜材料液の均一性が損なわれることを防止できるからである。

【００８６】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

【００８７】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すものとしたので、隣接画素領域との間でのショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【００８８】

なお、本実施形態では、親和性制御層２１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【００８９】

その他の本実施形態４における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態５＞

本実施形態は、上記実施形態で説明した画素領域を利用した表示装置およびその表示装置を備える電子機器に関する。

【００９０】

図１４に、本実施形態の表示パネル１の接続図を示す。表示パネル１は、図１に示したように、表示領域１１内に画素領域を配置して構成される。画素領域としては、実施形態１または２の画素領域１０または実施形態３または４の画素領域２０を適用可能である。ドライバ領域１５からは、発光制御線Vgpおよび書き込み制御線Ｖselが各画素領域に供給されている。ドライバ領域１４からは、電流線Ｉdataおよび電源線Ｖddが各画素領域に供給されている。書き込み制御線Ｖselと定電流線Ｉdataを制御することにより、各画素領域に対する電流プログラムが行われ、発光制御線Ｖgpを制御することにより発光が制御される。

【００９１】

本実施形態の表示パネル１は、種々の電子機器に適用可能である。図１５に、本表示パネル１を適用可能な電子機器の例を挙げる。

【００９２】

図１５（ａ）は携帯電話への適用例であり、当該携帯電話３０は、アンテナ部３１、音声出力部３２、音声入力部３３、操作部３４、および本発明の表示パネル１を備えている。このように本発明の表示パネルは表示部として利用可能である。

【００９３】

図１５（ｂ）はビデオカメラへの適用例であり、当該ビデオカメラ４０は、受像部４１、操作部４２、音声入力部４３、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、ファインダーや表示部として利用可能である。

【００９４】

図１５（ｃ）は携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ５０は、カメラ部５１、操作部５２、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、表示部として利用可能である。

【００９５】

図１５（ｄ）はヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ６０は、バンド６１、光学系収納部６２および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

【００９６】

図１５（ｅ）はリア型プロジェクターへの適用例であり、当該プロジェクター７０は、筐体７１に、光源７２、合成光学系７３、ミラー７４・７５ミラー、スクリーン７６、および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

【００９７】

図１５（ｆ）はフロント型プロジェクターへの適用例であり、当該プロジェク

ター８０は、筐体８２に光学系８１および本発明の表示パネル１を備え、画像をスクリーン８３に表示可能になっている。このように本発明の表示パネルは画像表示源として利用可能である。

【００９８】

上記例に限らず本発明の表示パネル１は、アクティブマトリクス型の表示装置を適用可能なあらゆる電子機器に適用可能である。例えば、この他に、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳、電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

【００９９】

【発明の効果】

本発明によれば、少なくとも以下に述べるような利点がある。

【０１００】

本発明によれば、電界発光素子の境界が少なくとも所定の曲率以上を有するように形成されており、所定の曲率を有する境界と当該電界発光素子に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されている。このため、成膜後の発光層の厚みを均一にすることができる。また、光を射出する領域、すなわち電界発光素子をできるだけ大きく採り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請を同時に満たすことができる。

【０１０１】

本発明によれば、所定の曲率以上を有する境界が複数設けられており、この複数形成されている境界部分は、電界発光素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されている。このため、均等な電界発光素子の形状により、成膜後の発光層の厚みをより均一にすることができる。

【０１０２】

本発明によれば、周辺回路の一部は、電界発光素子の電極の少なくとも一方に電流を供給するためのコンタクトホールとして形成されている。このためスペースの有効利用を図ることができる。さらに、電界発光素子の中心点を通る所定の

中心線に対して対称的に設けられた領域に、コンタクトホールを複数設けることによって、電界発光素子の均等成膜の要請とともに、電界発光素子に対する電流供給を均一にするという要請を満たすことができる。

【０１０３】

本発明によれば、薄膜材料液と親和性のある親和性制御層を電界発光素子の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。また、本発明によれば、電界発光素子の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すものとしたので、隣接画素領域との間でのショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【図面の簡単な説明】

【図１】

本実施形態における表示パネルの全体図である。

【図２】

実施形態１における画素領域の平面図である。

【図３】

実施形態１における画素領域の断面図であり、（ａ）は図２のＡ－Ａ切断面、（ｂ）は図２のＢ－Ｂ切断面、（ｃ）は図２のＣ－Ｃ切断面である。

【図４】

発光部の境界形状の変形例であり、（ａ）は円形の発光部の場合、（ｂ）は中心線対称な屈曲部を有する発光部の場合、（ｃ）は中心線非対称な屈曲部を有する発光部の場合である。

【図５】

実施形態１における画素領域の回路図である。

【図６】

実施形態１における金属層のアライメントの説明図である。

【図７】

実施形態１におけるゲートメタルの離間処理の説明図である。

【図８】

実施形態２における画素領域の平面図である。

【図９】

実施形態２における画素領域の断面図であり、（ａ）は図８のＡ－Ａ切断面、（ｂ）は図８のＢ－Ｂ切断面、（ｃ）は図８のＣ－Ｃ切断面である。

【図１０】

実施形態３における画素領域の平面図である。

【図１１】

実施形態３における画素領域の断面図であり、（ａ）は図１０のＡ－Ａ切断面、（ｂ）は図１０のＢ－Ｂ切断面である。

【図１２】

実施形態４における画素領域の平面図である。

【図１３】

実施形態４における画素領域の断面図であり、（ａ）は図１２のＡ－Ａ切断面、（ｂ）は図１２のＢ－Ｂ切断面である。

【図１４】

実施形態５における表示パネルの接続図である。

【図１５】

実施形態５における電子機器の例であり、（ａ）は携帯電話、（ｂ）はビデオカメラ、（ｃ）は携帯型パーソナルコンピュータ、（ｄ）はヘッドマウントディスプレイ、（ｅ）はリア型プロジェクター、（ｆ）はフロント型プロジェクターへの本発明の表示パネルの適用例である。

【符号の説明】

１…表示パネル

１０、２０…画素領域

１１…表示領域

１２…陰極

１３…陰極取出電極

１４、１５…ドライバ領域

１６、１００、２００…ガラス基板

１０１，２０１…下地保護層

１０２，２０２…半導体層

１０３，２０３…ゲート絶縁膜

１０４，２０４…ゲートメタル層

１０５，２０５…第１層間絶縁膜

１０６，２０６…ソースメタル層

１０７，２０７…第２層間絶縁膜

１０８、２０８…バンク層

１０９、２０９…陰極

１１０，２１０…陽極

１１１，２１１…正孔輸送層

１１２、２１２…発光層

１１３，２１３…親和性制御層

Ｔ１，Ｔ２，Ｔ３，Ｔ４…薄膜トランジスタ

ｈ１、ｈ２、ｈ３、ｈ１１、ｈ１２、ｈ１３…スルーホール

Ｖsel…書き込み制御線

Ｖgp…発光制御線

Ｉdata…定電流線

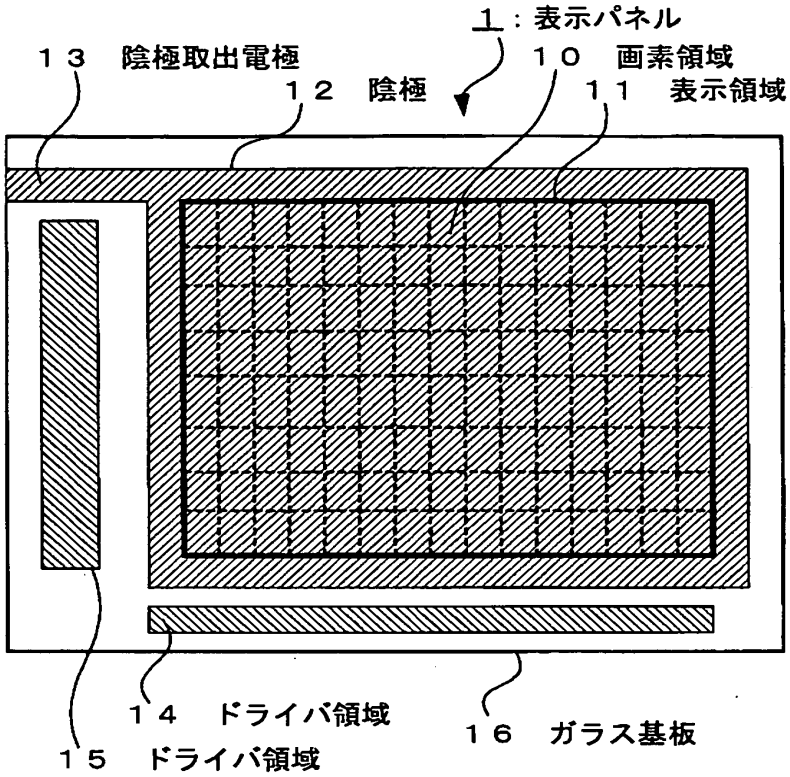
Ｖdd…電源線

Ｃ…保持容量

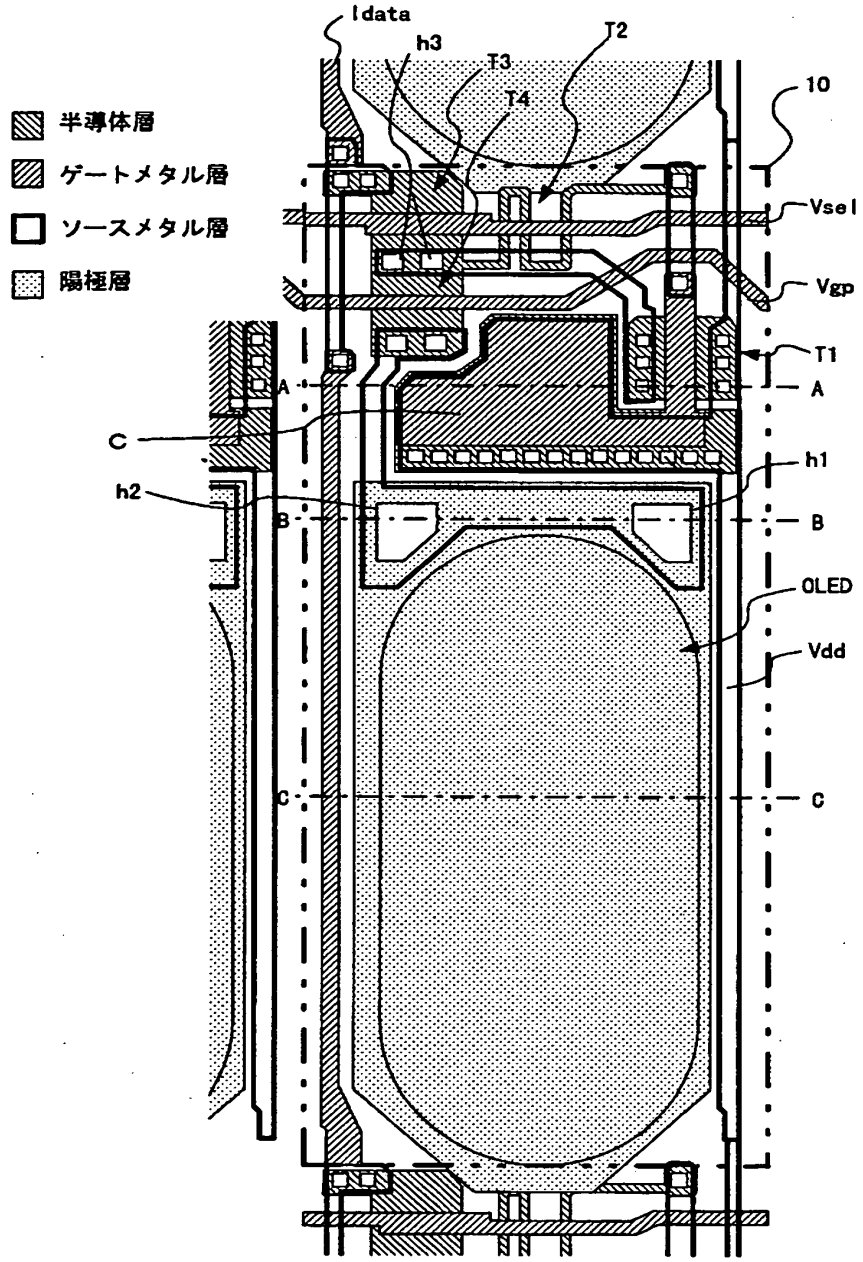
ＯＬＥＤ…発光部

【書類名】　図面

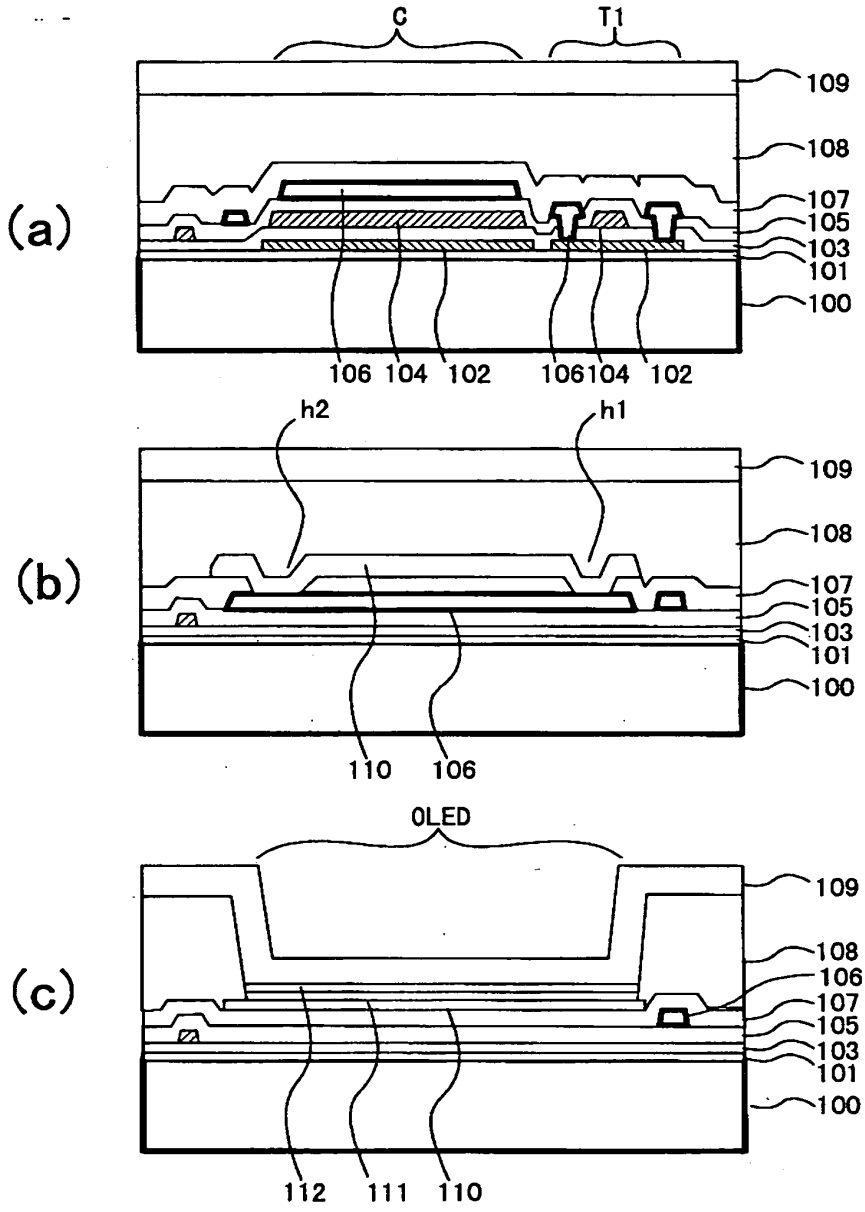
【図１】


１：表示パネル
１３　陰極取出電極
１２　陰極
１０　画素領域
１１　表示領域
１４　ドライバ領域
１５　ドライバ領域
１６　ガラス基板

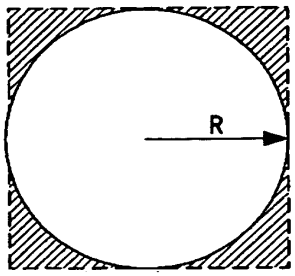
【図２】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T3
T4
T2
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C

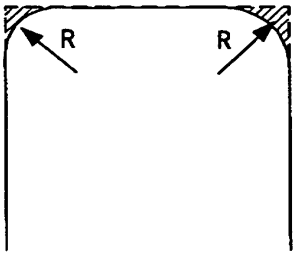
【図３】


(a)
C
T1
109
108
107
105
103
101
100
106
104
102
106
104
102
(b)
h2
h1
109
108
107
105
103
101
100
110
106
(c)
OLED
109
108
106
107
105
103
101
100
112
111
110

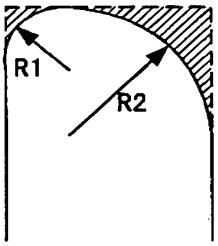
【図４】



(a)

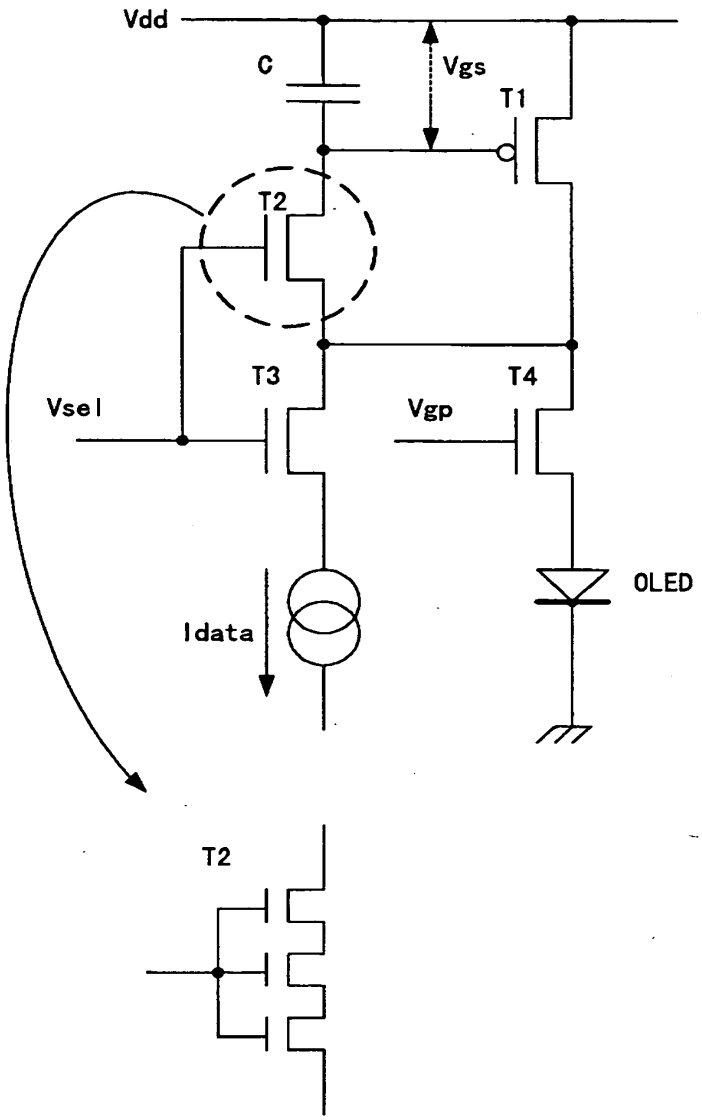


(b)

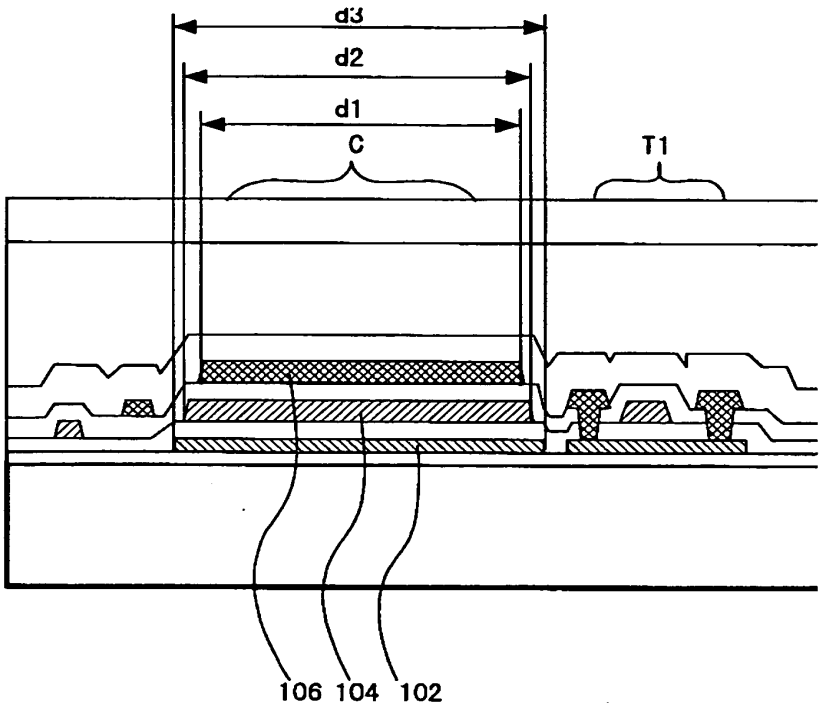


(c)

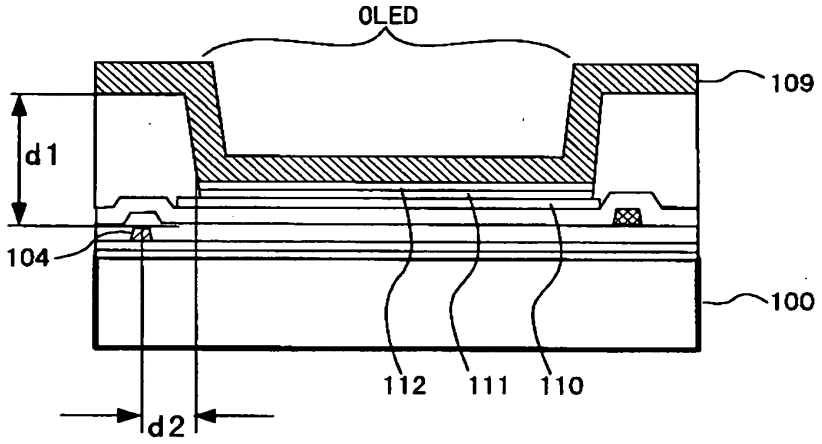
【図５】



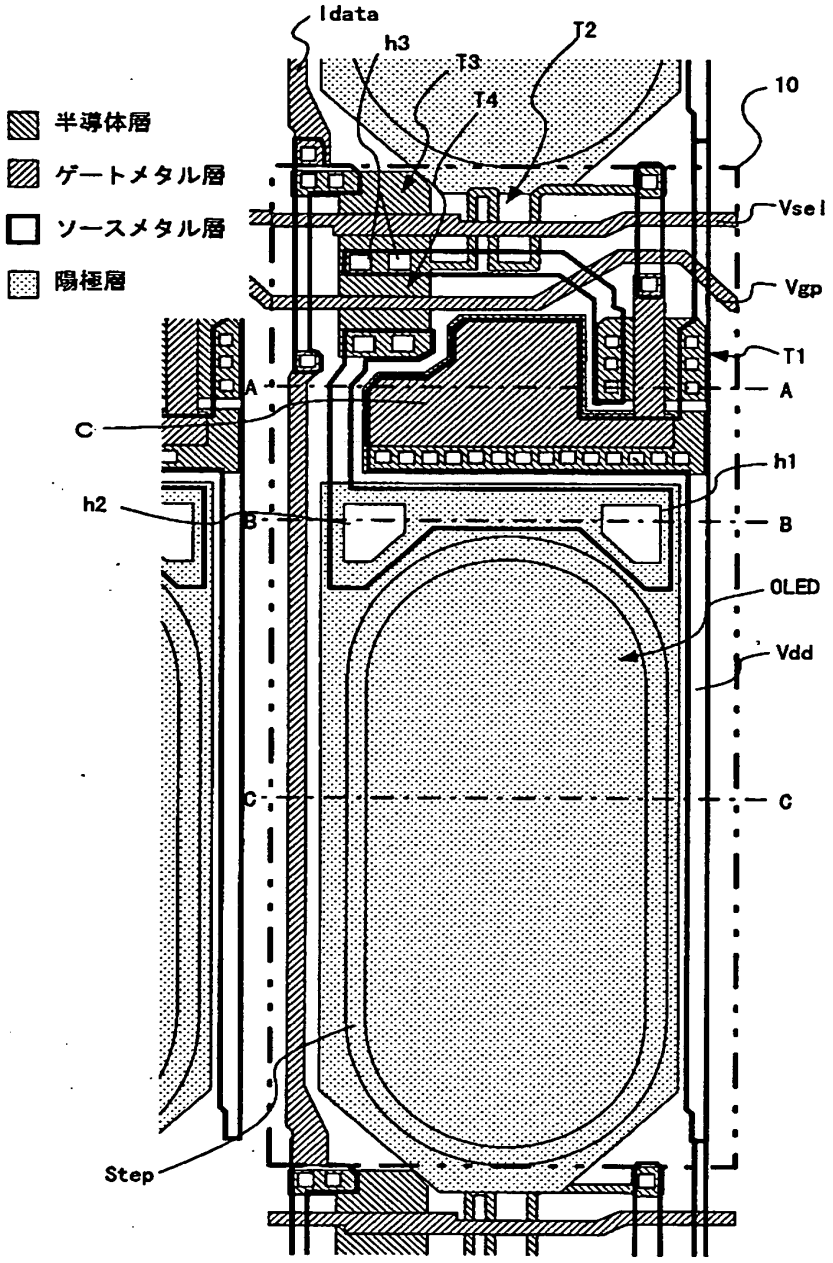
【図６】



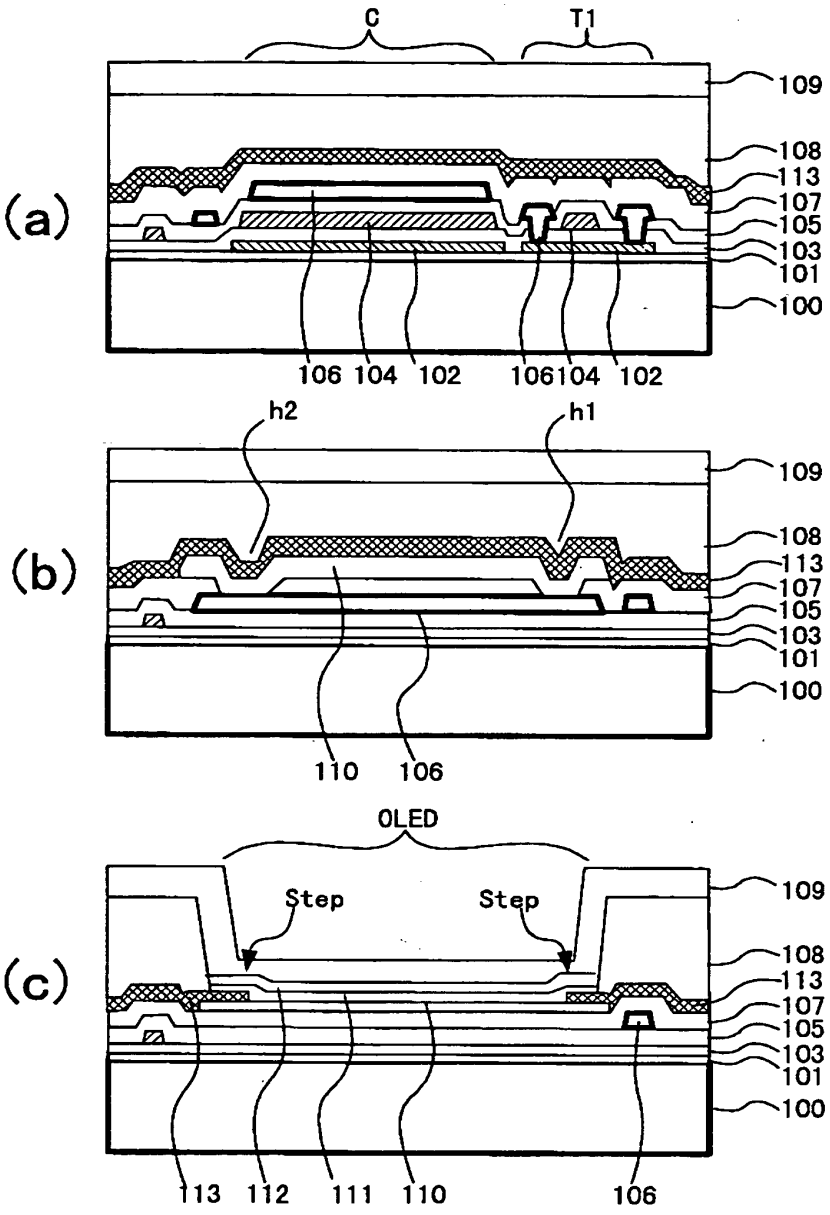
【図７】



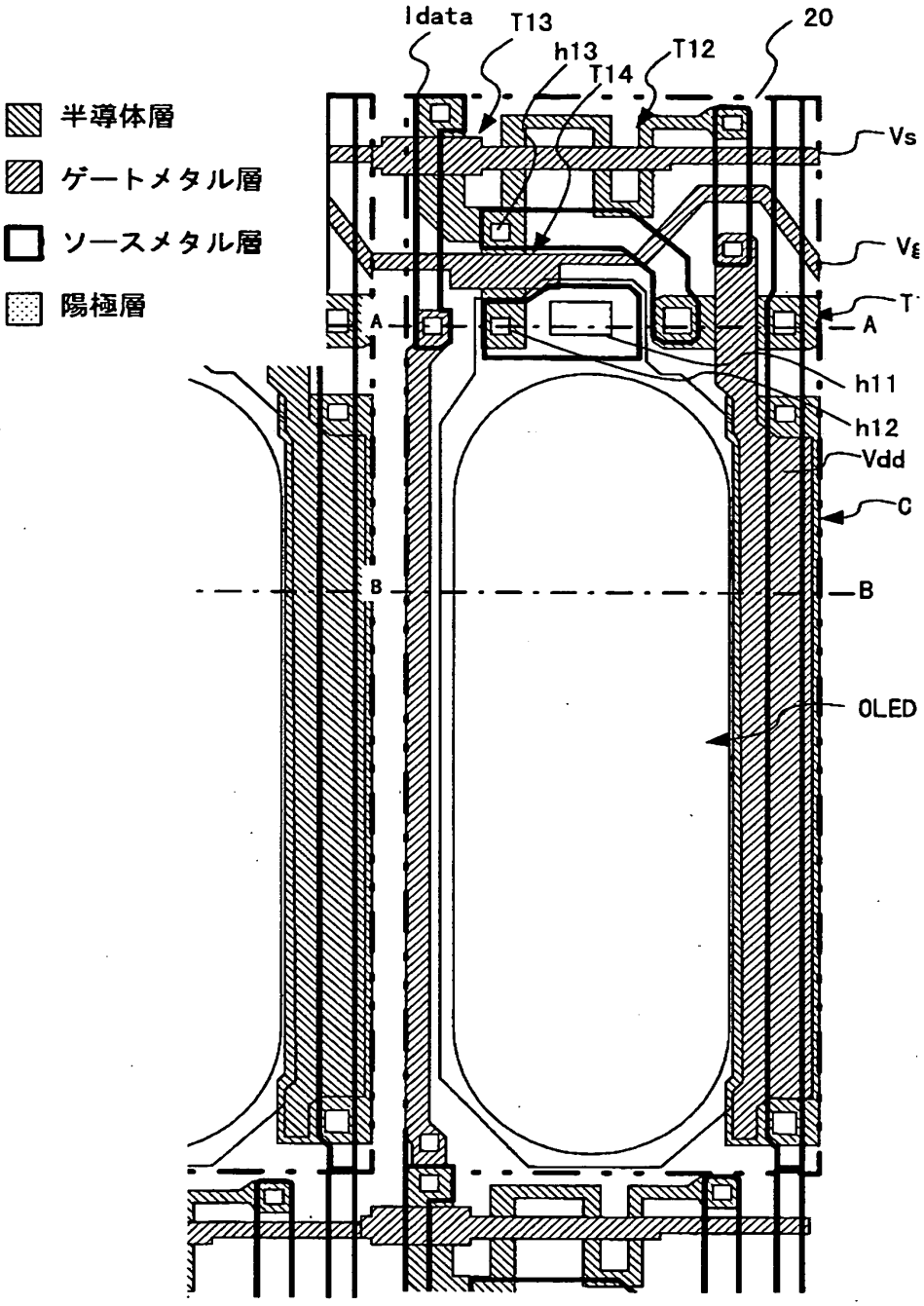
【図８】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T3
T4
T2
10
Vsel
Vgp
T1
A
C
h1
h2
B
OLED
Vdd
C
Step

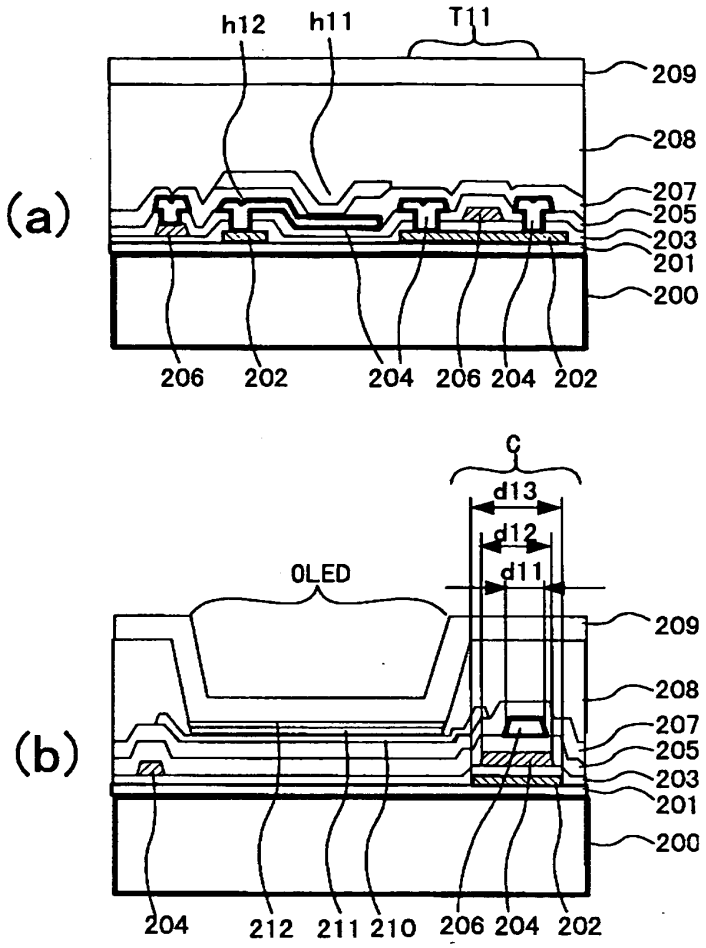
【図９】


(a)
C
T1
109
108
113
107
105
103
101
100
106
104
102
106
104
102
(b)
h2
h1
109
108
113
107
105
103
101
100
110
106
(c)
OLED
Step
Step
109
108
113
107
105
103
101
100
113
112
111
110
106

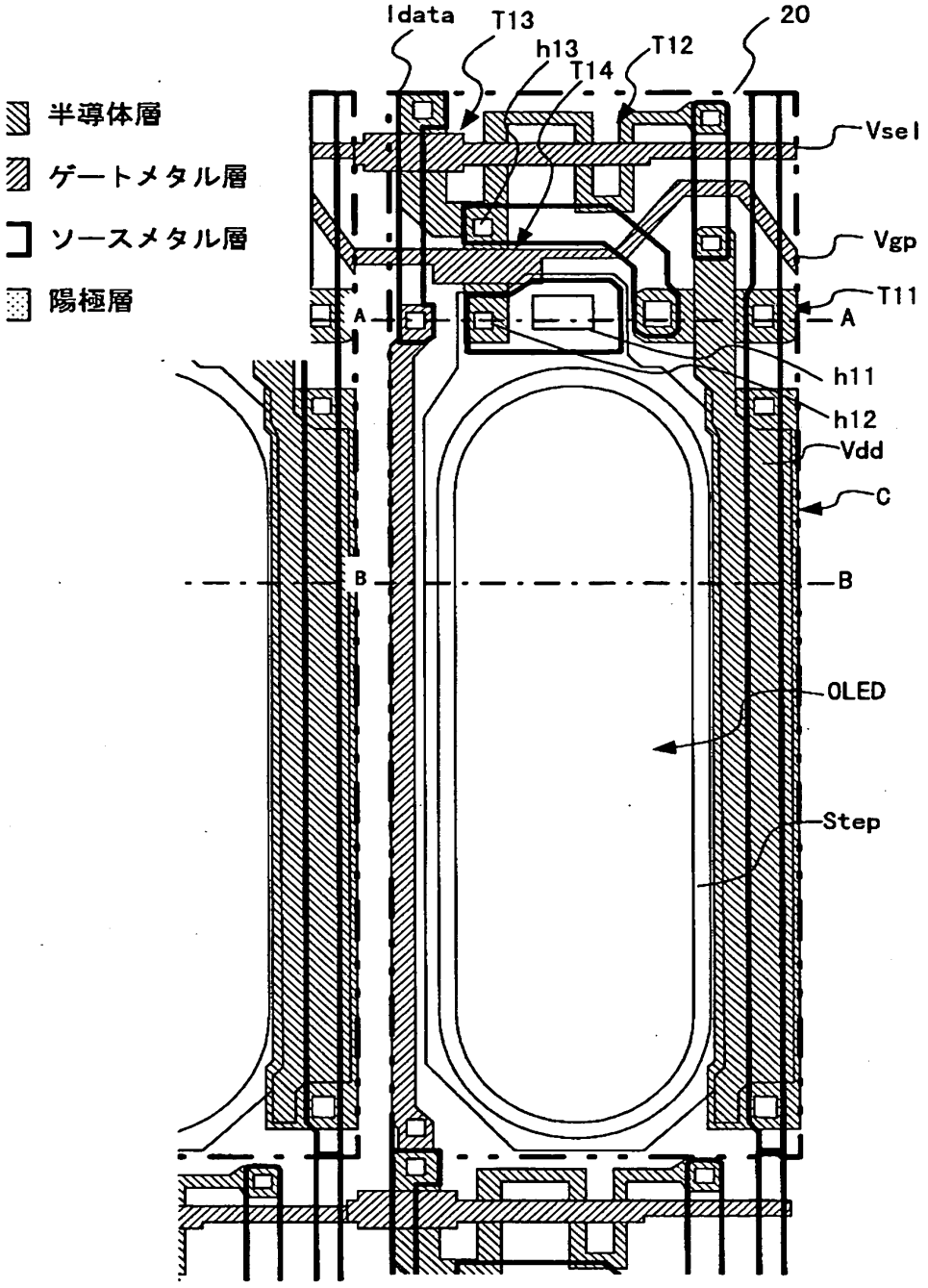
【図１０】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vs
A
A
h11
h12
Vdd
C
B
B
OLED

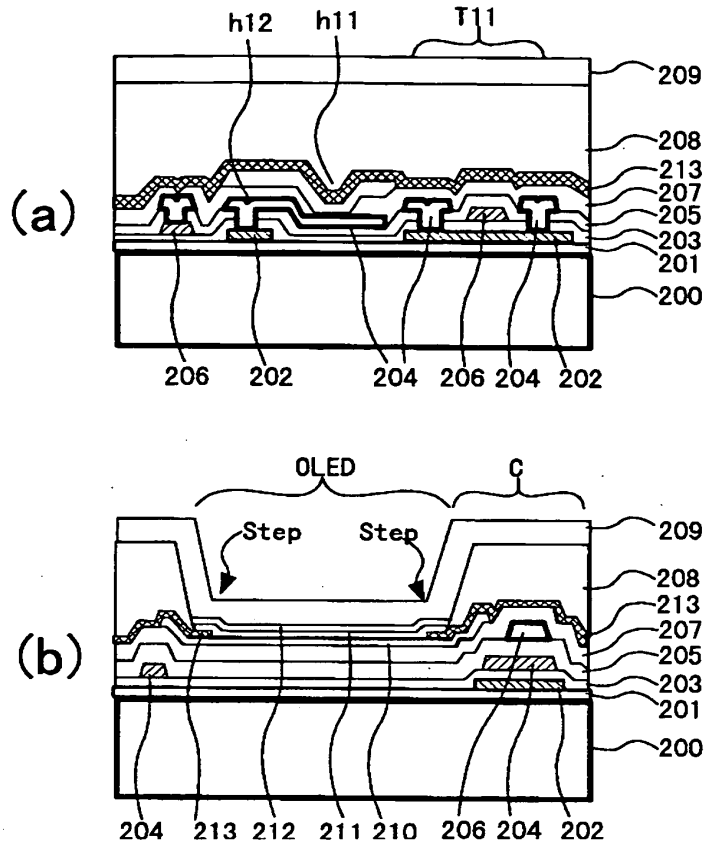
【図１１】


(a)
h12
h11
T11
209
208
207
205
203
201
200
206
202
204
206
204
202
(b)
C
d13
d12
d11
OLED
209
208
207
205
203
201
200
204
212
211
210
206
204
202

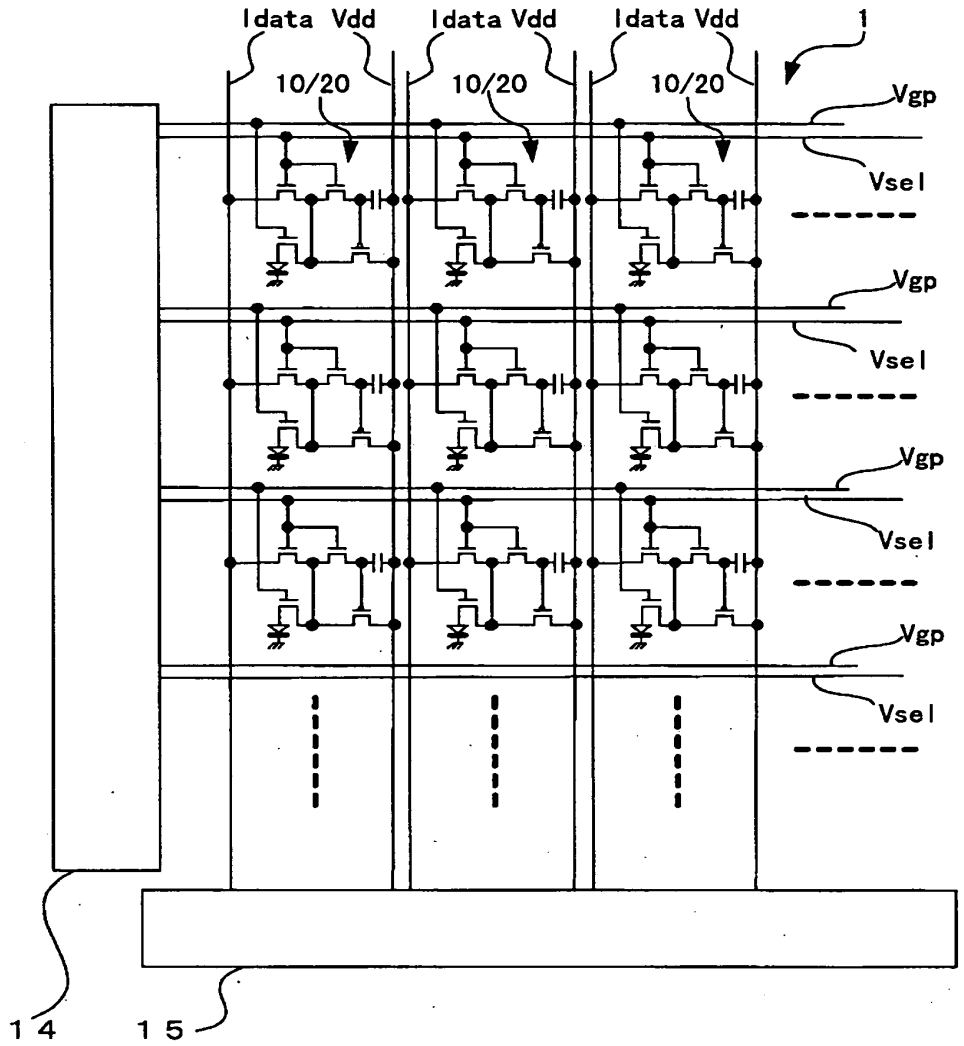
【図１２】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED
Step

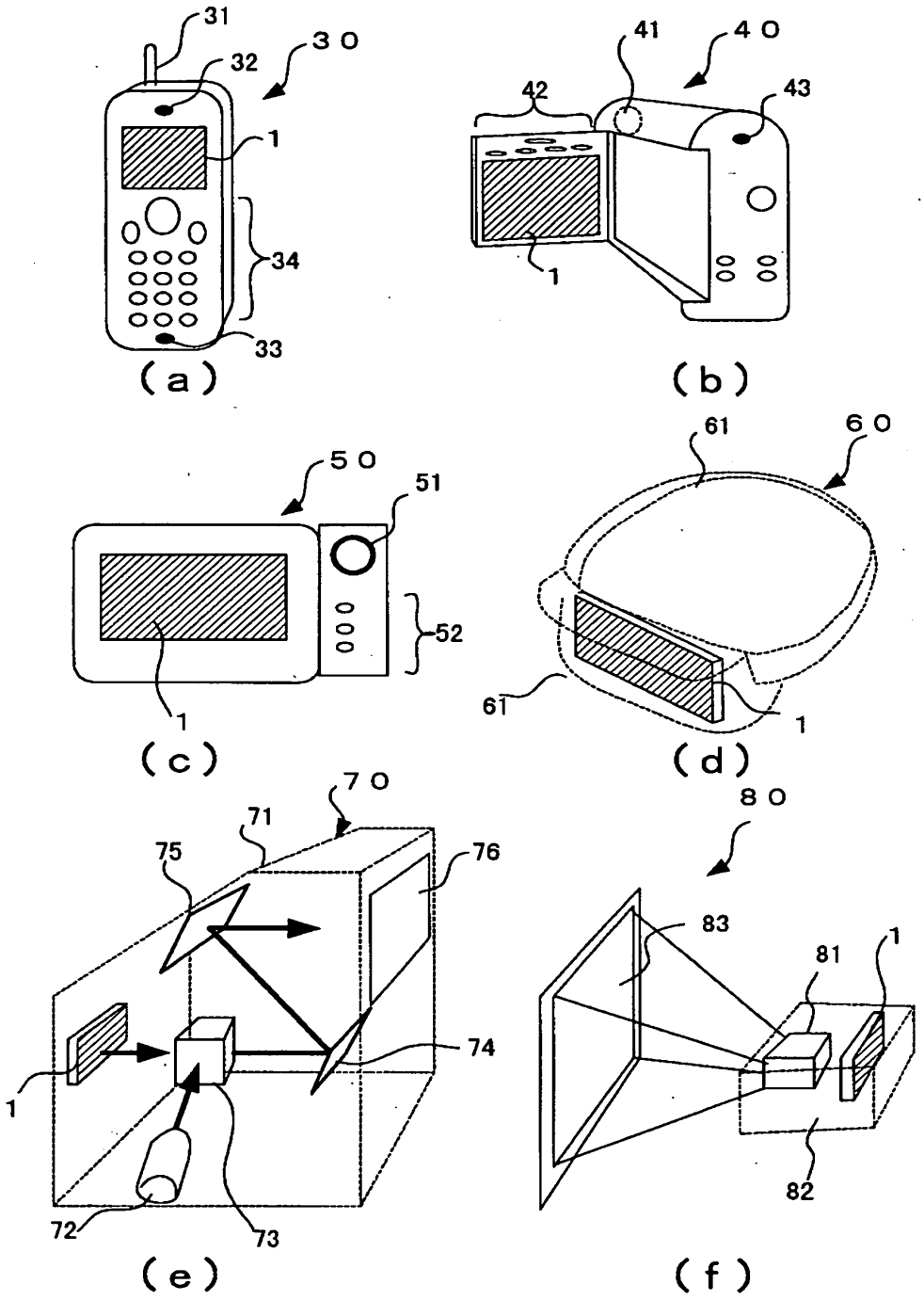
【図１３】


(a)
h12
h11
T11
209
208
213
207
205
203
201
200
206
202
204
206
204
202
(b)
OLED
C
Step
Step
209
208
213
207
205
203
201
200
204
213
212
211
210
206
204
202

【図１４】


Idata Vdd
Idata Vdd
Idata Vdd
1
10/20
10/20
10/20
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
14
15

【図１５】


31
30
32
1
34
33
(a)
41
40
42
43
1
(b)
50
51
52
1
(c)
61
60
61
1
(d)
70
71
75
76
74
1
72
73
(e)
80
83
81
1
82
(f)

【書類名】　要約書

【要約】

【課題】　画素毎に輝度のばらつきの無い好適な発光領域の形状と効率的なパターン配置を提供する。

【解決手段】　電極間に電界を印加することによって発光する電界発光素子、電界発光素子を駆動する周辺回路を備える。そして、電界発光素子は、その境界が少なくとも所定の曲率以上を有するように形成されており、当該所定の曲率を有する境界と電界発光素子に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されている。所定の曲率を有するため、成膜後の発光層の厚みを均一にすることができる。また、光を射出する領域をできるだけ大きく取り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請を同時に満たすことができる。

【選択図】　図２

認定・付加情報

特許出願の番号	特願２００１－３７１４０３
受付番号	５０１０１７８６５８５
書類名	特許願
担当官	第四担当上席　００９３
作成日	平成１３年１２月　６日

＜認定情報・付加情報＞

【提出日】　平成13年12月 5日

次頁無

出　願　人　履　歴　情　報

識別番号　　〔０００００２３６９〕

１．変更年月日　　１９９０年　８月２０日
［変更理由］　新規登録
住　所　東京都新宿区西新宿２丁目４番１号
氏　名　セイコーエプソン株式会社

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: ２００１年１２月　５日

出願番号
Application Number: 特願２００１－３７１４１０

[ST.10/C]: [ＪＰ２００１－３７１４１０]

出願人
Applicant(s): セイコーエプソン株式会社

OIPE JC154 FEB 13 2003 PATENT & TRADEMARK OFFICE

CERTIFIED COPY OF
PRIORITY DOCUMENT

２００２年１２月　６日

特許庁長官
Commissioner,
Japan Patent Office 太田信一郎

出証番号　出証特２００２－３０９６１０６

【書類名】　特許願
【整理番号】　J0087276
【あて先】　特許庁長官殿
【国際特許分類】　H05B 33/04
H05B 33/10
G09F 9/30
【発明者】
【住所又は居所】　長野県諏訪市大和３丁目３番５号
セイコーエプソン株式会社内
【氏名】　松枝　洋二郎
【特許出願人】
【識別番号】　000002369
【氏名又は名称】　セイコーエプソン株式会社
【代理人】
【識別番号】　100079108
【弁理士】
【氏名又は名称】　稲葉　良幸
【選任した代理人】
【識別番号】　100080953
【弁理士】
【氏名又は名称】　田中　克郎
【選任した代理人】
【識別番号】　100093861
【弁理士】
【氏名又は名称】　大賀　眞司
【手数料の表示】
【予納台帳番号】　011903
【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　9808570

【プルーフの要否】　要

【書類名】　　明細書

【発明の名称】　　電界発光装置および電子機器

【特許請求の範囲】

【請求項１】　電界を印加することによって発光する電界発光素子と、

電極を含む複数層により構成され当該電界発光素子に供給する電流を規定する保持容量と、

前記保持容量に記録された電圧に従った電流を供給する能動素子と、を備え、

前記保持容量を構成する一方の電極は、前記電界発光素子に電流を供給する電源線を形成する金属層の一部をパターニングして形成されている電界発光装置。

【請求項２】　前記保持容量を構成する他方の電極は、前記能動素子の制御端子を形成する金属層の一部をパターニングして形成されている請求項１に記載の電界発光装置。

【請求項３】　前記保持容量を構成する一方の電極は、前記電源線の一部であり、当該電源線の一部に前記能動素子の制御端子を形成する金属層の一部を重ねてパターニングして前記他方の電極を形成している請求項２に記載の電界発光装置。

【請求項４】　前記保持容量を構成する電極に重複して当該電極形状に形成された半導体層を備えている請求項１に記載の電界発光装置。

【請求項５】　前記半導体層は、不純物が導入されて構成されている請求項４に記載の電界発光装置。

【請求項６】　前記保持容量は、前記電界発光素子および前記能動素子が形成された領域以外の領域に形成されている請求項１に記載の電界発光装置。

【請求項７】　前記保持容量の電極を構成する各層は、前記電界発光素子および前記能動素子が形成された領域以外の領域の形状に対応させた多角形に形成されている請求項６に記載の電界発光装置。

【請求項８】　前記保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている請求項１に記載の電界発光装置。

【請求項９】　前記より下層側に配置される層の占める領域は、前記より上

層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、当該より上層側に配置される層の領域が当該より下層側に配置される層の領域内に収まるような形状にパターン形成されている請求項８に記載の電界発光装置。

【請求項１０】　隣接する前記電界発光素子間を隔離するためのバンク層をさらに備え、

前記保持容量は、前記バンク層の下に形成されている請求項１に記載の電界発光装置。

【請求項１１】　前記電界発光素子の形成時における材料液の親和性を制御するための親和性制御層を前記バンク層中に備えている請求項１０に記載の電界発光装置。

【請求項１２】　請求項１に記載の電界発光装置を備える電子機器。

【請求項１３】　電極を含む複数層から構成され当該電極間に電界を印加することによって発光する電界発光素子に対し、保持容量に記録された電圧に従った電流を能動素子により供給可能に構成された電界発光装置において、

電源線を構成する第１の金属層と、

前記能動素子の制御端子を一部に含んでパターン形成される第２の金属層と、を備え、

前記保持容量を構成する一方の電極は、前記第１の金属層の一部をパターニングして形成されている電界発光装置。

【請求項１４】　前記保持容量を構成する他方の電極は、前記第２の金属層の一部をパターニングして形成されている請求項１３に記載の電界発光装置。

【請求項１５】　前記保持容量を構成する一方の電極は、前記電源線の一部であり、当該電源線の一部に前記第２の金属層の一部を重ねてパターニングして前記他方の電極を形成している請求項１４に記載の電界発光装置。

【請求項１６】　前記保持容量を構成する電極に重複して当該電極形状に形成された半導体層を備えている請求項１３に記載の電界発光装置。

【請求項１７】　前記半導体層は、不純物が導入されて構成されている請求項１６に記載の電界発光装置。

【請求項１８】　前記保持容量は、前記電界発光素子および前記能動素子が形成された領域以外の領域に形成されている請求項１３に記載の電界発光装置。

【請求項１９】　前記保持容量の電極を構成する各層は、前記電界発光素子および前記能動素子が形成された領域以外の領域の形状に対応させた多角形に形成されている請求項１８に記載の電界発光装置。

【請求項２０】　前記保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている請求項１３に記載の電界発光装置。

【請求項２１】　前記より下層側に配置される層の占める領域は、前記より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、当該上層側に配置される層の領域が当該下層側に配置される層の領域内に収まるような形状にパターン形成されている請求項２０に記載の電界発光装置。

【請求項２２】　隣接する前記電界発光素子間を隔離するためのバンク層をさらに備え、

前記保持容量は、前記バンク層の下に形成されている請求項１３に記載の電界発光装置。

【請求項２３】　前記電界発光素子の形成時における材料液の親和性を制御するための親和性制御層を前記バンク層中に備えている請求項２２に記載の電界発光装置。

【請求項２４】　前記第２の金属層によって形成される配線パターンは、前記発光層の電極の少なくとも一方から所定の距離以上離間して配置されている請求項１３に記載の電界発光装置。

【請求項２５】　請求項１３に記載の電界発光装置を備える電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、いわゆる電界発光（Electro-Luminescence）素子に関し、特に、アクティブマトリクス型表示パネルに画素要素として使用される電界発光素子の回

路配置上の改良に関する。

【０００２】

【従来の技術】

蛍光性物質を挟んだ陽極と陰極との間に電界を印加すると、陽極から注入された正孔と陰極から注入された電子とが再結合する際に再結合エネルギーにより蛍光性物質が発光する。エレクトロルミネッセンス現象というこの現象を表示素子などに適用したものが、電界発光素子である。表示装置などに適用する電界発光素子は、画素を構成する電界発光素子ごとに独立して発光制御する必要があるため、電界発光素子を駆動させるための能動素子として、例えば薄膜トランジスタ（Thin Film Transistor：以下「ＴＦＴ」という。）と電界発光素子とを組み合わせて画素が構成されている。

【０００３】

従来、電界発光素子の層構造については数多くの研究がされていた。例えば、特開２００１－１６７８８０号には蛍光色素をインクジェット法により塗布する電界発光素子の製造方法が記載されている。

【０００４】

また、電界発光素子に適する駆動回路に関し、例えば「アクティブ型有機ＥＬディスプレイ」（2001 FPD Technology Outlook, pp747-762）には、有機電界発光素子を利用したフラットパネルディスプレイにおけるアクティブマトリクス駆動法についての考察が記載されている。この文献には、画素ごとの輝度のばらつきを解消するために複数のトランジスタを用いる回路が開示されている。この回路によれば、電界発光素子に電流を供給する第１のトランジスタにはそのゲート端子に電圧を記憶するための保持容量が接続されている。第２のトランジスタは、この保持容量に所定の期間充電可能なように接続されている。第２のトランジスタを開閉することによって保持容量に一定の電圧が保持された後は、第１のトランジスタのゲート電圧が一定に保たれるため、電界発光素子にも一定の安定した電流が供給される。複数トランジスタによる駆動回路を用いれば、安定した電流を供給可能になるため、輝度のばらつきが少ない電界発光素子を提供できる旨が開示されている。

【０００５】

【発明が解決しようとする課題】

しかしながら、ＴＦＴなどの駆動回路と画素領域とをどのように配置すれば好適な電界発光素子を提供できるのかについては公知文献に具体的に開示されていなかった。

【０００６】

特に、電流プログラム方式の駆動回路では、製造工程のばらつきにより電流値に影響を与える保持容量の容量値が変動すると、その変動が画素毎の輝度のばらつきとなって現れてしまうという問題があった。特に、画素密度が上がると、電界発光素子を構成する層間におけるアライメントずれの影響が相対的に大きくなり、この容量変動に大きな影響を与えるおそれがあった。

【０００７】

そこで、本願発明は、製造工程において各層の位置ずれが生じたとても発光部へ供給される電流量の変動を防止可能な電界発光素子における好適なパターン配置を提供することを目的とするものである。

【０００８】

【課題を解決するための手段】

上記目的を達成するために本願発明に係る電界発光装置は、電極を含む複数層により構成され電界を印加することによって発光する電界発光素子と、電界発光素子に供給する電流を規定する保持容量と、保持容量に記録された電圧に従った電流を供給する能動素子と、を備え、保持容量を構成する一方の電極は、電界発光素子に電流を供給する電源線を形成する金属層の一部をパターニングして形成されている電界発光装置である。

【０００９】

上記目的を達成するための他の発明に係る電界発光装置は、電極を含む複数層により構成され電極間に電界を印加することによって発光する電界発光素子に対し、保持容量に記録された電圧に従った電流を能動素子により供給可能に構成された電界発光装置において、電源に接続される第１の金属層と、能動素子の制御端子を一部に含んでパターン形成される第２の金属層と、を備え、保持容量を構

成する一方の電極は、第１の金属層の一部をパターニングして形成されている電界発光装置である。

【００１０】

ここで「層」には、金属層の他、保持容量形成に影響を与える層、例えば半導体層などが含まれる。

【００１１】

また「電気光学素子」は、電気的作用によって発光するあるいは外部からの光の状態を変化させる素子一般をいい、自ら光を発するものと外部からの光の通過を制御するもの双方を含む。例えば、電気光学素子には、液晶素子、電気泳動素子、ＥＬ（エレクトロルミネッセンス）素子、電界の印加により発生した電子を発光板に当てて発光させる電子放出素子が含まれる。

【００１２】

さらに保持容量を構成する他方の電極は、能動素子の制御端子を形成する金属層の一部をパターニングして形成されている。

【００１３】

保持容量を構成する一方の電極は、電源線の一部であり、当該電源線の一部に能動素子の制御端子を形成する金属層の一部を重ねてパターニングして他方の電極を形成していることも特徴である。このように配線すれば保持素子への配線を省略し開口率を上げることができるからである。

【００１４】

さらに好ましくは、保持容量を構成する電極に重複して当該電極形状に形成された半導体層を備えている。この半導体層は、例えば、不純物が導入されて構成されている。不純物をドーピングすることによって半導体層が金属化し保持容量の容量増加が期待できるからである。

【００１５】

また保持容量は、電界発光素子および能動素子が形成された領域以外の領域に形成されていることが開口率を上げる上で好ましい。例えば、保持容量の電極を構成する各層は、電界発光素子および能動素子が形成された領域以外の領域の形状に対応させた多角形、例えば五角形以上、に形成されている。

【００１６】

ここで、保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されていることは好ましい。

【００１７】

ここで、より下層側に配置される層の占める領域は、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、当該より上層側に配置される層の領域が当該より下層側に配置される層の領域内に収まるような形状にパターン形成されている。

【００１８】

さらに好ましくは、本発明の電界発光装置は、隣接する電界発光素子間を隔離するためのバンク層をさらに備え、保持容量は、バンク層の下に形成されている。

【００１９】

ここで、さらに、電界発光素子の形成時における材料液の親和性を制御するための親和性制御層をバンク層中に備えていてもよい。複数層を介することによって絶縁性を上げることができるからである。

【００２０】

さらに好ましくは、保持容量が形成される重複領域は、第１の金属層または第２の金属層の少なくとも一方が電源配線パターンとなっている領域に形成される。

【００２１】

さらに好ましくは、第２の金属層によって形成される配線パターンは、発光層の電極の少なくとも一方から所定の距離以上離間して配置されている。このような構成により不要な容量を減らすことができるからである。

【００２２】

本発明は、上記した電界発光装置を備える電子機器にも適用される。

【００２３】

ここで「電子機器」には限定が無いが、電界発光装置により構成された表示装

置を備えるもの、例えば、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳等をいう。

【００２４】

【発明の実施の形態】

次に、本発明の好適な実施の形態を、図面を例示として参照しながら説明する。以下の形態は、本発明を実施の形態の例示に過ぎず、その適用範囲を限定するものではない。

＜実施形態１＞

図１に、本発明の実施形態における電界発光装置を利用した表示パネルの全体図を示す。

【００２５】

図１に示すように、表示パネル１は、ガラス基板１６上に、表示領域１１およびドライバ領域１４・１５を配置して構成されている。表示領域１１には全体的に陰極１２が形成されて陰極取出電極１３に接続されている。表示領域１１には画素領域１０がマトリクス状に配置されている。カラー表示の場合、画素領域１０は、それぞれがカラー表示で必要とされる原色（例えば、赤、青、緑の三原色）で発光可能に構成されており、各原色で発光する画素領域１０の組が一つの画素要素となる。例えば、表示領域１１の列方向に配置されるドライバ領域１５は、書き込み制御線Ｖselと発光制御線Ｖgpとに信号を出力し、表示領域１１の行方向に配置されるドライバ領域１４は、電源線Ｖddの他、定電流を定電流線Ｉdataに信号を出力している。各画素領域１０における発光の有無をドライバ領域１４・１５に形成された図示しない駆動回路によって制御することにより、任意の画像が表示領域１１内に表示されるのである。

【００２６】

図２に、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図２では、特に主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００２７】

図２に示すように、電源線Ｖddと定電流線Ｉdataに挟まれる領域に、発光部（電界発光素子）ＯＬＥＤおよびそれを駆動するための周辺回路が総て配置されている。電源線Ｖddは、発光部ＯＬＥＤを介して定電流線Ｉdataと離れて配置されている。周辺回路は、第１の能動素子としてのトランジスタＴ１、第２の能動素子としてのトランジスタＴ２、電流制御素子としてのトランジスタＴ３、発光制御素子としてのトランジスタＴ４、および保持素子としての保持容量Ｃで構成されている。

【００２８】

トランジスタＴ１は、そのソースが電源線Ｖddに接続され、そのドレインがトランジスタＴ４のソース側に接続されている。トランジスタＴ４は、そのドレインが発光部ＯＬＥＤの陽極に接続されている。保持容量Ｃは、電源線ＶddとトランジスタＴ１のゲート間に接続されている。トランジスタＴ２は、そのソースが保持容量Ｃおよびトランジスタ Ｔ１のゲートに接続され、そのドレインがトランジスタＴ３のソースおよびトランジスタＴ１およびＴ４間に接続されている。トランジスタＴ３は、そのドレインが定電流線Ｉdataに接続され、そのゲートがトランジスタＴ２のゲートと共通に書き込み制御線Ｖselに接続されている。

【００２９】

図３に、図２に示された切断面における層構造を説明する各断面図を示す。図３（ａ）はＡ－Ａ切断面、図３（ｂ）はＢ－Ｂ切断面、図３（ｃ）はＣ－Ｃ切断面における層構造を示している。

【００３０】

図３（ａ）に示すように、当該画素領域１０は、ガラス基板１００（図１におけるガラス基板１６）上に、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９（図１における陰極１２）の各層を積層して構成されている。さらに、電界発光部ＯＬＥＤでは、図３（ｂ）および（ｃ）に示すように、陽極層１１０、正孔輸送層１１１、発光層１１２の各層を積層して構成されている。

【００３１】

ガラス基板１００としては、本実施形態の電界発光素子が基板側に光を射出する形態であって光透過性があることが必要であるため、ソーダライムガラス、低膨張ガラス、石英などのノンアルカリガラスが適用される。ただし、陰極層１０９に光透過性物質を用い、陰極側から光を射出する形態の電界発光素子を構成する場合には、金属等の導電性物質、シリコン・カーバイト（ＳｉＣ）やアルミナ（Al_2O_3）や窒化アルミニウム（ＡｌＮ）等の非透明絶縁性物質も利用可能である。

【００３２】

下地保護膜１０１としては、酸化硅素膜（SiO_x：$0<x\leqq2$）や窒化硅素膜（Si_3N_x：$0<x\leqq4$）等の絶縁性物質が利用可能である。下地保護層は、ガラス基板中に含まれているナトリウム（Ｎａ）等の可動イオンが半導体層中に混入して半導体層の不純物制御に悪影響を与えさせないために形成するものである。

【００３３】

下地保護層１０１は、まず基板１００を純水やアルコールなどの有機溶剤で洗浄した後、常圧化学気相堆積法（ＡＰＣＶＤ法）や低圧化学気相堆積法（ＬＰＣＶＤ法）、プラズマ化学気相堆積法（ＰＥＣＶＤ法）等のＣＶＤ法あるいはスパッター法等を用いて基板上に形成される。

【００３４】

半導体層１０２としては、シリコン（Ｓｉ）やゲルマニウム（Ｇｅ）等の四族単体の半導体層の他に、シリコン・ゲルマニウム（Si_xGe_{1-x}：$0<x<1$）やシリコン・カーバイド（Si_xC_{1-x}：$0<x<1$）やゲルマニウム・カーバイド（Ge_xC_{1-x}：$0<x<1$）等の四族元素複合体、ガリウム・ヒ素（ＧａＡｓ）やインジウム・アンチモン（ＩｎＳｂ）等の三族元素と五族元素との複合体化合物、またはカドミウム・セレン（ＣｄＳｅ）等の二族元素と六族元素との複合体化合物、シリコン・ゲルマニウム・ガリウム・ヒ素（$Si_xGe_yGa_zAs_z$：$x+y+z=1$）と云った更なる複合化合物等が適用可能である。

【００３５】

半導体層１０２は、例えば、ＡＰＣＶＤ法やＬＰＣＶＤ法、ＰＥＣＶＤ法等のＣＶＤ法、またはスパッター法等や蒸着法等のＰＶＤ法でシリコン等を堆積させた後、レーザー光の照射によって多結晶化して形成される。レーザー光としては、エキシマレーザー、アルゴンイオンレーザー、ＹＡＧレーザー（高調波）等が好ましい。例えば、シリコンを多結晶化すると、ポリシリコンとなる。この多結晶化した半導体層１０２を保持容量Ｃや各トランジスタＴ１～Ｔ４の各ＴＦＴの各素子形状に合うようパターニングする。例えばCH_4と酸素の混合ガスを用いた反応性イオンエッチングによってアモルファス状態の半導体層を素子形状に合わせて島状にパターニングして形成する。パターニング後、例えばゲートメタル層を形成後、そのゲートメタル層をマスクとして、半導体層に不純物を導入する。具体的には、素子ごとにリン（Ｐ）、ヒ素（Ａｓ）、アンチモン（Ｓｂ）などのドナー元素を添加してＮ型半導体層にしたり、ホウ素（Ｂ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）等のアクセプター元素を添加してＰ型半導体層にしたりする。本実施形態では、保持容量Ｃを構成する半導体層がＮ型半導体層になるように不純物が導入され、ＴＦＴのソースメタル層１０６で形成される電極部がＰ型半導体層になるように不純物が導入される。ここで、ＴＦＴをＬＤＤ構造にする場合やＴＦＴのしきい値電圧を調整する場合には、不純物を低濃度で導入するチャンネル・ドープが行われる。

【００３６】

ゲート絶縁膜１０３としては、例えばテトラ・エチル・オルト・シリケート（ＴＥＯＳ）を原料とする二酸化珪素膜により形成される。ゲート絶縁膜１０３は、マイクロ波放電プラズマ、ＥＣＲプラズ等の酸素または窒素雰囲気下におけるマプラズマＣＶＤ法により形成される。

【００３７】

ゲートメタル層１０４としては、例えばタンタル（Ｔａ）、タングステン（Ｗ）、クロム（Ｃｒ）等のような導電性材料を用いる。ゲートメタル層１０４は、スパッタ法等で成膜され後、ゲート電極の形状になるようパターニングして形成される。

【００３８】

第１層間絶縁膜１０５としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第１層間絶縁膜は、スパッタ法等で形成された後、例えばＴＦＴ用のソース・ドレイン電極を形成するためにコンタクトホールが形成される。

【００３９】

ソースメタル層１０６として、例えばアルミニウム（Ａｌ）の他、タンタル、モリブデン、チタン、タングステン等の導電性材料を使用可能である。ソースメタル層は、スパッタ法等で一様に導電性材料を積層後、電極形状に合わせてパターニングして形成される。

【００４０】

第２層間絶縁膜１０７としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第２層間絶縁膜は、スパッタ法等で形成された後、例えば陽極層１１０用のコンタクトホールｈ１およびｈ２が形成される。

【００４１】

陽極層１１０としては、例えば、酸化インジウム錫合金（ＩＴＯ）等の光透過性を有する導電性材料が適用可能である。光透過性が必要無い場合には、陽極層として、酸化錫（ＮＥＳＡ），金、銀、白金、銅等を適用できる。陽極層はスパッタ法等により形成された後、発光部ＯＬＥＤの形状にパターニングして形成される。

【００４２】

バンク層１０８としては、酸化珪素、窒化珪素、ポリイミドなどの絶縁材料を適用可能である。バンク層は、スパッタ法等で形成後、発光部ＯＬＥＤに対応する位置に開口部が設けて形成される。

【００４３】

正孔輸送層１１１としては、例えば、Ｎ，Ｎ’－ジフェニル－Ｎ，Ｎ’－ビス－（３－メチルフェニル）－（１，１’－ビフェニル）－４，４’－ジアミン（ＴＰＤＡ）が用いられる。正孔輸送層は、バンク層１０９に設けられた開口部にメタルマスク等を用いて成膜される。

【００４４】

発光層１１２としては、例えばトリス（８－キノリノール）アルミニウム（Ａｌｑ$_3$）等の任意の蛍光性物質が用いられる。発光層は、メタルマスクを用いた蒸着で形成可能であるが、インクジェット法により蛍光性物質を含んだ溶媒を開口部に吐出させて溶媒成分を蒸発させて堆積させてもよい。

【００４５】

陰極層１０９としては、エネルギー順位から電界発光素子の陰極として使用可能な材料、アルミニウムまたはアルミニウムと他の元素（リチウムなど）の合金、カルシウムなどで形成される。陰極層は、メタルマスク等により形成され、フォトリソグラフィー法やシャドーマスク法等でパターニングして形成される。

【００４６】

以下、本実施形態における配線パターン上の数々の特徴について順に説明する。

（発光部の平面形状）

電界発光装置の製造方法の一つに、インクジェット方式により蛍光性物質を含んだ薄膜材料液を開口部に吐出し乾燥させて、発光層を形成する製造方法がある。この製造方法では、吐出された材料液が均等に開口部の隅々まで行き渡ることが重要である。もしも材料液が均等に行き渡らないと、成膜後の発光層の厚みが不均一になり、発光領域内で射出される光の強度が不均一となり、表示パネルの画質が低下する。例えば、平面上、方形形状の開口部であったと仮定すると、材料液の表面張力や粘度等の影響で開口部の角部における吐出された材料液の液面の高さがその他の部分と異なるようになる。したがって、このような形状の発光部では成膜後の発光層の厚みが不均一になるおそれがあった。

【００４７】

一方、表示パネルでは輝度を上げる必要があるため、光を射出する領域、すなわち発光部をできるだけ大きく採り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請がある。製造上の容易性のみを考えてパターンを配置するわけにもいかないのである。

【００４８】

そこで、このような要請をともに満たすために、本願発明の一つは、発光部の

境界が少なくとも所定の曲率以上を有するように形成されており、この所定の曲率を有する境界とこの発光部の境界に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されていることを特徴の一つとしている。

【００４９】

図４に基づいて、具体的な概念を説明する。図４（ａ）、（ｂ）、（ｃ）はそれぞれ本発明の概念を適用した発光部の全部または一部の平面形状を示している。図４（ａ）は、発光部の境界が円形、すなわち総ての境界が一定の曲率Ｒを有している場合である。この円周とこの円周に外接する多角形、すなわち破線で示す正方形とで囲まれる領域、すなわち斜線部分に、周辺回路の一部を設けるのである。この円形の発光部は中心点を通るどの中心線に対しても対称である点で、発光部の膜厚を均等にできるための形状として理想的な形状であると考えられる。しかし、図４（ａ）に示すように、斜線部分を有効活用することが発光部の開口率を向上させるために必要である。

【００５０】

図４（ｂ）は、長方形の角部に本発明を適用し、発光部の境界に一定の曲率Ｒを持たせた例である。この例では、外接する多角形は破線で示す長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。本実施形態はこの例に属し、この曲率Ｒを大きくしていくと、本実施形態のような長円の発光部の平面形状になる。この例でも発光部の中心を通る中心線に対して左右あるいは上下対称であり、かつ、角部の曲率が一定値以上であるため、均等な膜厚の発光部を形成可能である。

【００５１】

図４（ｃ）は、中心線に対して不均等に角部の曲率を設定した例である。図に向かって左側の角部の曲率Ｒ１が右側の角度の曲率Ｒ２より小さくなっている。この例では、外接する多角形は破線で示すような長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。このように曲率が不均等であっても、最小の曲率を一定値以上に設定することにより、均等な膜厚の発光部が形成可能である。最小の曲率は、吐出される溶液の粘度や表面張力、吐出面の撥水性（親水性・親和性）に左右されるため

、実験によって事例毎に定められる。

【００５２】

本実施形態では、図２に示すように発光部が長円形の平面形状を備えている。そして、この発光層の境界とこの発光部の境界に外接する長方形（図示しない）との境界で囲まれる領域内に、周辺回路の一部、つまりコンタクトホールｈ１およびｈ２が形成されている（図３（ｂ）も参照のこと）。本実施形態では、本来無駄なスペースともなるべき図４（ｂ）の斜線で示すような領域を、このコンタクトホールのために使用することにより、スペースの有効利用という要請を満たしている。

【００５３】

なお、この発光部の境界とその発光部に外接する多角形の境界とに囲まれる領域には、コンタクトホールに限らず、周辺回路のいずれの素子、例えばトランジスタやキャパシタ等を形成してもよい。また、独立に機能する素子全体を総てこの領域に入れ込まなければならないわけではなく、素子やコンタクトの一部、つまり周辺回路の一部がこの領域に入り込んでいればよい。つまり、スペースを有効利用するような配置がされていることが肝要である。

（発光部のためのコンタクトホール）

電界発光装置において、発光部の境界と発光部に外接する多角形の境界とに囲まれる領域に、図２に示すように、コンタクトホールを設けることは意義がある。すなわち、この領域に比較的大き目のコンタクトホールを設けることにより、この領域の有効利用が可能となるとともに、発光部に十分な電流を供給可能とするからである。

【００５４】

さらにコンタクトホールを複数設けることは好ましい。すなわち、電界発光装置では、発光層にはある程度の電流量の電流を、発光部全体に均等に流す必要がある。もしも直接電流を供給する陽極に接続するためのコンタクトホールが偏った位置に設けられたものとすると、電流の供給口が発光層に対して偏った位置にあるため、電流供給量が不均等になるおそれがある。不均等な電流供給は発光強度のむらとなって現れる。

【００５５】

この点、本実施形態のように、発光部の中心部を通る中心線に対し対称な位置に複数のコンタクトホールを設ければ、このような問題を解消できる。すなわち、図２に示すように、本実施形態では、発光部の中心点を通る所定の中心線に対して対称的に設けられた領域にそれぞれ比較的大き目の複数のコンタクトホールを設けている。この対称的な領域にそれぞれコンタクトホールを設けることにより、発光部の均等成膜の要請とともに、発光部に対する電流供給を均一にするという要請を満たすことができる。

（金属層間のアライメント）

電界発光装置の駆動回路方式によっては、保持容量の変動が発光部に供給される電流量の安定性に影響を与える場合がある。当該実施形態においても、保持容量Ｃの容量値が表示パネルごとに変動するのは好ましくない。しかしながら、表示パネルの製造工程において金属層を積層する際に予定した位置よりもずれが生じる場合がある。保持容量は金属層の重複領域の面積が容量値を規定するため、位置ずれが生じると容量値の変動を生じ、保持容量の容量値が表示パネルごとに変動するという事態を招くおそれがあった。

【００５６】

そこで、本実施形態では、保持容量Ｃが形成される重複領域付近において、保持容量Ｃの形成に関係する複数の層、すなわちソースメタル層１０６、ゲートメタル層１０４および半導体層１０２のうち、より下層側に配置される層（ソースメタル層に対してはゲートメタル層および半導体層）の占める領域が、より上層側に配置される層（半導体層に対してはゲートメタル層およびソースメタル層、ゲートメタル層に対してはソースメタル層）の占める領域より大きく形成されている。

【００５７】

この様子は図２の平面図からも読み取れるが、具体的に図６に示したＡ－Ａ断面図を参照して説明する。図６に示すように、ソースメタル層１０６の幅をｄ１、ゲートメタル層１０４の幅をｄ２、半導体層１０２の幅をｄ３とした場合に、

ｄ３＞ｄ２＞ｄ１

という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００５８】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ３－ｄ２、ｄ２－ｄ１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（ゲートメタル層の離間形成）

電界発光装置は共通電極を備えており、表示領域の全面にその共通電極が形成される。本実施形態でも発光部ＯＬＥＤのための陰極１３（陰極層１０９）が、図１に示すように表示領域１１の全体に形成されている。ところが、共通電極が全面に形成されていると、トランジスタのゲートに接続されるゲートメタル層との間で容量が生じるという問題があった。このような予期せぬ容量が生じると、トランジスタの動作の遅れを生じ、設計した通りのタイミングでの動作が保証できなくなる。

【００５９】

そこで本実施形態では、ゲートメタル層によって形成される配線パターンが、発光層の電極の少なくとも一方から所定の距離以上離間して配置されるように配慮した。インピーダンスが低く問題となるのは、共通電極である陰極層１０９とゲートメタル層１０４との距離である。また、陰極層１０９は、発光部ＯＬＥＤにおいて下層側との距離が小さくなるため、発光部周辺におけるゲートメタル層との距離が問題となる。このため、本実施形態では、図７（図２におけるＣ－Ｃ断面に相当）に示すように、発光部付近において、陰極層１０９とゲートメタル層１０４との深さ方向の距離ｄ１と平面上の距離ｄ２が共に所定の距離以上になるようパターン形成した。

【００６０】

ここで所定の距離は、ゲートメタル層の面積や介在する層の誘電率などによっ

て種々変化するので一概に言えないが、画素領域の面積などから許容される範囲で、できるだけ離してパターニングするのが好ましい。

（周辺回路の動作）

次に、本実施形態の電界発光装置の周辺回路の動作を説明する。図５に、画素領域１０一つあたりの回路図を示す。

【００６１】

１）本実施形態の回路は、一般に電流プログラム方式といわれる回路構成をとっている。画素表示は、プログラム準備動作として、書き込み制御線Ｖselを選択し、トランジスタＴ２およびＴ３をオン状態にすることから始まる。

【００６２】

２）トランジスタＴ２およびＴ３が導通状態になると、トランジスタＴ１が所定時間後に定常状態に達し、保持容量ＣにＩdataに応じた電圧が記憶される。これがプログラム動作である。

【００６３】

３）そして発光動作として、書き込み制御線Ｖselを非選択状態とし、トランジスタＴ２およびＴ３をオフにし、一旦定電流Ｉdataを遮断した後、発光制御線Ｖgpを選択する。この結果、トランジスタＴ４がオン状態となり、保持容量Ｃに記憶された電圧Ｖgsに対応する定電流ＩdataがトランジスタＴ１およびＴ４経由で発光部ＯＬＥＤに供給される。発光部ＯＬＥＤに供給された電流により、発光層１１１に電界が印加され、発光層から光が射出される。

（周辺回路における電流維持性能の向上）

以下に、周辺回路における本実施形態の特徴を説明する。

【００６４】

従来、保持容量の充放電を制御する能動素子については特に考慮がされていなかった。微細化されたＦＥＴでは、ゲート電圧が閾値以下の場合、ドレイン電流がドレイン電圧にも依存するようになる。つまり、ソースーチャネルードレイン間に形成されたトランジスタの注入電流がゲート電圧に対して指数関数的に増加し、リーク電流が発生する。例えば、図５に示すトランジスタＴ２においてリーク電流が発生すると、保持容量Ｃの両端電圧Ｖgsが低下し、その電圧を制御電圧

としてゲートに入力しているトランジスタＴ１のドレイン電流が変動する。この変動は、発光部ＯＬＥＤにおける輝度の変化となって現れるため、安定した輝度での発光が担保されなくなる。

【００６５】

そこで、本実施形態では、図１および図５に示すように、保持容量Ｃに直接接続される能動素子であるトランジスタＴ２を、多重制御端子型の能動素子、つまりマルチゲート型トランジスタとしている。このようなトランジスタでは、図５の矢印で示すように、事実上複数トランジスタが直列接続されたのと等価な素子となり、リーク電流が大幅に制限される。したがって、保持容量に直接接続するトランジスタをこのマルチゲート型のトランジスタにすることで、占有面積を殆ど変えずに、保持容量Ｃにおけるプログラム電圧の変動を無くし、発光部への供給電流を一定にすることができるのである。

【００６６】

ここで、トランジスタＴ２をＬＤＤ、ＧＤＤ、ＤＤＤ構造のトランジスタとすることは好ましい。このような構造を適用することにより、ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限し、素子の信頼性を向上させることができる。

【００６７】

ここで、制御信号の極性等を考慮し、トランジスタＴ１とトランジスタＴ２は互いに逆極性、つまり、トランジスタＴ１はＰ型ＦＥＴ、トランジスタＴ２からＴ４はＮ型ＦＥＴで構成されている。ただし、Ｐ型を用いるかＮ型を用いるかは、適用しようとする信号の極性等に応じて任意に変更可能であり限定はない。

【００６８】

また、各素子の配置も図５に限定されるものではない。例えば、保持容量やトランジスタＴ１を接地側に持っていき、発光部ＯＬＥＤを電源側に持っていき、発光部の共通電極を陽極とし、各トランジスタの極性（Ｎ型またはＰ型の別）を反転させてもよい。

（周辺回路のスペースの削減）

前述したように、表示装置では、輝度を上げるため、周辺回路の占める領域を

できるだけ小さくしたいという要請がある。このため、本実施形態では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図２に示すように、トランジスタＴ２、Ｔ３、およびＴ４が同一のコンタクトホール、ｈ３で相互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

＜実施形態２＞

図８に、本発明の実施形態２における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図９に、図８に示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面、図９（ｃ）はＣ－Ｃ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００６９】

実施形態２の電界発光装置の構成は、段差形状Stepを構成する親和性制御膜１１３の存在を除き、実施形態１の電界発光装置と同一である。このため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００７０】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図９（ｃ）に示すように、実施形態２における発光部ＯＬＥＤは、親和性制御層１１３を、第２層間絶縁膜１０７とバンク層１０８との間に備えている。この親和性制御層１１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層１１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層１０８は、本実施形態に

おいて、発光部の境界付近の壁面を形成しており、発光層１１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層１１３の上に積層されている。このため親和性制御層１１３は、図８および図９（ｃ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００７１】

親和性制御層１１３の材料は、発光層の製造時において、インクジェット方式により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００７２】

親和性制御層１１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００７３】

バンク層１０８は、親和性制御層１１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすること

で、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄膜材料液の均一性が損なわれることを防止できるからである。

【００７４】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

【００７５】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すように構成したので、隣接画素領域との間のショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【００７６】

なお、本実施形態では、親和性制御層１１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【００７７】

その他の本実施形態２における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態３＞

図１０に、実施形態３における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１１に、図１０にに示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００７８】

実施形態３の電界発光装置は、パターン形状において、実施形態１における画

素領域１０の幅より画素領域２０の幅が小さくなっている。ただし、回路構成は実施形態１と同様であり（図５参照）、各層を構成する材料も実施形態１と同様であるため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。ただし、実施形態１におけるガラス基板１００、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９、陽極層１１０、正孔輸送層１１１、および発光層１１２の各層は、実施形態３において、ガラス基板２００、下地保護膜２０１、半導体層２０２、ゲート絶縁膜２０３、ゲートメタル層２０４、第１層間絶縁膜２０５、ソースメタル層２０６、第２層間絶縁膜２０７、バンク層２０８、陰極層２０９、陽極層２１０、正孔輸送層２１１、および発光層２１２の各層それぞれを対応している。また、実施形態１におけるトランジスタＴ１～Ｔ４は実施形態３におけるＴ１１～Ｔ１４に、実施形態１におけるコンタクトホールｈ１～ｈ３は実施形態３におけるコンタクトホールｈ１１～ｈ１３に、それぞれ対応している。

【００７９】

以下、本実施形態における配線パターン上の特徴について説明する。

（電源線下の保持容量）

実施形態１においては、保持容量Ｃを電源線Ｖddと定電流線Ｉdataとの間であって発光部の外側（図２における発光部の上部）に配置した。しかし本実施形態のように画素領域の面積が比較的小さい場合、すなわち画素密度が高い場合には、保持容量が占有する素子面積が十分とれないという事態が生ずる。

【００８０】

そこで本実施形態においては、第１の金属層（例えばソースメタル層２０６）または第２の層の少なくとも一方が電源配線パターンとなっている領域に保持容量Ｃが形成されている。具体的には、図１０に示すように、発光部ＯＬＥＤの横に配線されている電源線Ｖdd（ソースメタル層２０６）の下に、ゲートメタル層２０４を平行して積層させることにより、保持容量Ｃが形成されている。

【００８１】

この保持容量Ｃは、実施形態１において説明した保持容量と同様に、保持容量

Ｃの形成に関係する複数の層間（例えば、ソースメタル層２０６、ゲートメタル層２０４、半導体層２０２）に重複領域を生じさせることにより保持容量Ｃが形成されており、保持容量Ｃが形成される重複領域付近において、複数の層のうちより下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。具体的には、図１１（ｂ）に示すように、ソースメタル層２０６の幅をｄ１１、ゲートメタル層２０４の幅をｄ１２、半導体層２０２の幅をｄ１３とした場合に、

ｄ１３＞ｄ１２＞ｄ１１

という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００８２】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ１３－ｄ１２、ｄ１２－ｄ１１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（バンク層下の保持容量）

前述した保持容量は、隣接する前記発光部間を隔離するためのバンク層２０８の下に形成されていることが好ましい。すなわちバンク層は画素分離のために必要であるため、この領域の下に、電源線の配線領域と保持容量のための重複領域を重ねる合わせることにより、周辺回路の面積を大幅に縮小することができるからである。

（周辺回路のスペースの削減）

実施形態１と同様に、本実施形態２では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図１０に示すように、トランジスタＴ１２、Ｔ１３、およびＴ１４が同一のコンタクトホール、ｈ１３で相

互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

【００８３】

その他の特徴、例えば発光部の平面形状、ゲートメタル層の電極からの離間処理、周辺回路の動作、周辺回路の電流維持性能の向上などについては、実施形態１と同様であり、その説明を省略する。

＜実施形態４＞

図１２に、本発明の実施形態３における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１３に、図１２に示された切断面における層構造を説明する各断面図を示す。図１２（ａ）はＡ－Ａ切断面、図１２（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態３と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００８４】

実施形態４の電界発光装置の構成は、段差形状Stepを構成する親和性制御膜２１３の存在を除き、実施形態１および２の電界発光装置と同一である。このため、実施形態１および２と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００８５】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図１２（ｂ）に示すように、実施形態４における発光部ＯＬＥＤは、親和性制御層２１３を、第２層間絶縁膜２０７とバンク層２０８との間に備えている。この親和性制御層２１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層２１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層２０８は、本実施形態

において、発光部の境界付近の壁面を形成しており、発光層２１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層２１３の上に積層されている。このため親和性制御層２１３は、図１２および図１３（ｂ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００８６】

親和性制御層２１３の材料は、発光層の製造時において、インクジェット方式により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００８７】

親和性制御層２１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００８８】

バンク層２０８は、親和性制御層２１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすること

で、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄膜材料液の均一性が損なわれることを防止できるからである。

【００８９】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

【００９０】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すものとしたので、隣接画素領域との間でのショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【００９１】

なお、本実施形態では、親和性制御層２１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【００９２】

その他の本実施形態４における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態５＞

本実施形態は、上記実施形態で説明した画素領域を利用した表示装置およびその表示装置を備える電子機器に関する。

【００９３】

図１４に、本実施形態の表示パネル１の接続図を示す。表示パネル１は、図１に示したように、表示領域１１内に画素領域を配置して構成される。画素領域としては、実施形態１または２の画素領域１０または実施形態３または４の画素領域２０を適用可能である。ドライバ領域１５からは、発光制御線Vgpおよび書き込み制御線Ｖselが各画素領域に供給されている。ドライバ領域１４からは、電

流線Ｉdataおよび電源線Ｖddが各画素領域に供給されている。書き込み制御線Ｖselと定電流線Ｉdataを制御することにより、各画素領域に対する電流プログラムが行われ、発光制御線Ｖgpを制御することにより発光が制御される。

【００９４】

本実施形態の表示パネル１は、種々の電子機器に適用可能である。図１５に、本表示パネル１を適用可能な電子機器の例を挙げる。

【００９５】

図１５（ａ）は携帯電話への適用例であり、当該携帯電話３０は、アンテナ部３１、音声出力部３２、音声入力部３３、操作部３４、および本発明の表示パネル１を備えている。このように本発明の表示パネルは表示部として利用可能である。

【００９６】

図１５（ｂ）はビデオカメラへの適用例であり、当該ビデオカメラ４０は、受像部４１、操作部４２、音声入力部４３、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、ファインダーや表示部として利用可能である。

【００９７】

図１５（ｃ）は携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ５０は、カメラ部５１、操作部５２、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、表示部として利用可能である。

【００９８】

図１５（ｄ）はヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ６０は、バンド６１、光学系収納部６２および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

【００９９】

図１５（ｅ）はリア型プロジェクターへの適用例であり、当該プロジェクター７０は、筐体７１に、光源７２、合成光学系７３、ミラー７４・７５ミラー、スクリーン７６、および本発明の表示パネル１を備えている。このように本発明の

表示パネルは画像表示源として利用可能である。

【０１００】

図１５（ｆ）はフロント型プロジェクターへの適用例であり、当該プロジェクター８０は、筐体８２に光学系８１および本発明の表示パネル１を備え、画像をスクリーン８３に表示可能になっている。このように本発明の表示パネルは画像表示源として利用可能である。

【０１０１】

上記例に限らず本発明の表示パネル１は、アクティブマトリクス型の表示装置を適用可能なあらゆる電子機器に適用可能である。例えば、この他に、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳、電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

【０１０２】

【発明の効果】

本発明によれば、少なくとも以下に述べるような利点がある。

【０１０３】

本発明によれば、保持容量の形成に関係する複数の層間に重複領域を生じさせることにより保持容量が形成されており、保持容量が形成される重複領域付近において、複数の層のうちより下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。このため、表示パネルの製造工程において金属層を積層する際に予定した位置よりもずれが生じたとしても、保持容量の容量値を規定するための面積自体には変動がなく、画素ごとに輝度がばらつくことの無い電界発光装置を提供可能である。

【０１０４】

本発明によれば、保持容量が形成される重複領域は、第１の金属層または第２の金属層の少なくとも一方が電源配線パターンとなっている領域に形成されるので、独立した保持容量を設けることなく電源線の配線パターンを利用して保持容量としているので、配線の面積を有効に利用することができる。この保持容量を保持容量はバンク層の下に形成することで、周辺回路の面積を大幅に削減でき、

さらに面積の有効利用を図ることができる。

【０１０５】

本発明によれば、第２の金属層によって形成される配線パターンは、発光層の電極の少なくとも一方から所定の距離以上離間して配置されている。このため、電界発光装置のように共通電極が全面に形成されていたとしても、能動素子の制御端子に接続される金属層との間で容量が生じるという問題を回避でき、能動素子の動作の遅れを防止し、設計した通りのタイミングでの動作が保証可能になる。

【図面の簡単な説明】

【図１】

本実施形態における表示パネルの全体図である。

【図２】

実施形態１における画素領域の平面図である。

【図３】

実施形態１における画素領域の断面図であり、（ａ）は図２のＡ－Ａ切断面、（ｂ）は図２のＢ－Ｂ切断面、（ｃ）は図２のＣ－Ｃ切断面である。

【図４】

発光部の境界形状の変形例であり、（ａ）は円形の発光部の場合、（ｂ）は中心線対称な屈曲部を有する発光部の場合、（ｃ）は中心線非対称な屈曲部を有する発光部の場合である。

【図５】

実施形態１における画素領域の回路図である。

【図６】

実施形態１における金属層のアライメントの説明図である。

【図７】

実施形態１におけるゲートメタルの離間処理の説明図である。

【図８】

実施形態２における画素領域の平面図である。

【図９】

実施形態２における画素領域の断面図であり、（ａ）は図８のＡ－Ａ切断面、（ｂ）は図８のＢ－Ｂ切断面、（ｃ）は図８のＣ－Ｃ切断面である。

【図１０】

実施形態３における画素領域の平面図である。

【図１１】

実施形態３における画素領域の断面図であり、（ａ）は図１０のＡ－Ａ切断面、（ｂ）は図１０のＢ－Ｂ切断面である。

【図１２】

実施形態４における画素領域の平面図である。

【図１３】

実施形態４における画素領域の断面図であり、（ａ）は図１２のＡ－Ａ切断面、（ｂ）は図１２のＢ－Ｂ切断面である。

【図１４】

実施形態５における表示パネルの接続図である。

【図１５】

実施形態５における電子機器の例であり、（ａ）は携帯電話、（ｂ）はビデオカメラ、（ｃ）は携帯型パーソナルコンピュータ、（ｄ）はヘッドマウントディスプレイ、（ｅ）はリア型プロジェクター、（ｆ）はフロント型プロジェクターへの本発明の表示パネルの適用例である。

【符号の説明】

１…表示パネル

１０、２０…画素領域

１１…表示領域

１２…陰極

１３…陰極取出電極

１４、１５…ドライバ領域

１６、１００、２００…ガラス基板

１０１，２０１…下地保護層

１０２，２０２…半導体層

１０３，２０３…ゲート絶縁膜

１０４，２０４…ゲートメタル層

１０５，２０５…第１層間絶縁膜

１０６，２０６…ソースメタル層

１０７，２０７…第２層間絶縁膜

１０８、２０８…バンク層

１０９、２０９…陰極

１１０，２１０…陽極

１１１，２１１…正孔輸送層

１１２、２１２…発光層

１１３，２１３…親和性制御層

Ｔ１，Ｔ２，Ｔ３，Ｔ４…薄膜トランジスタ

ｈ１、ｈ２、ｈ３、ｈ１１、ｈ１２、ｈ１３…スルーホール

Ｖsel…書き込み制御線

Ｖgp…発光制御線

Ｉdata…定電流線

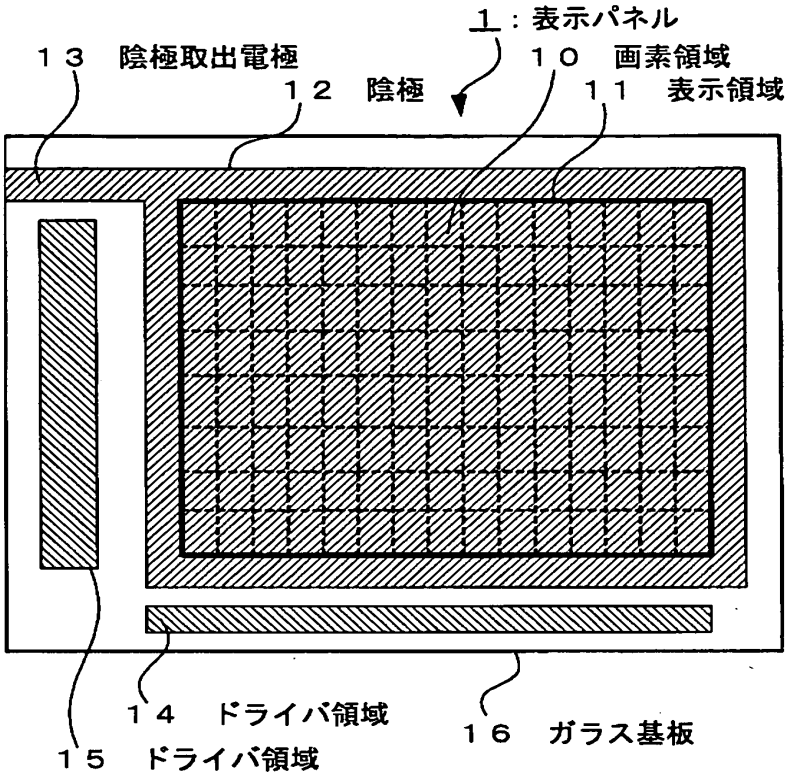
Ｖdd…電源線

Ｃ…保持容量

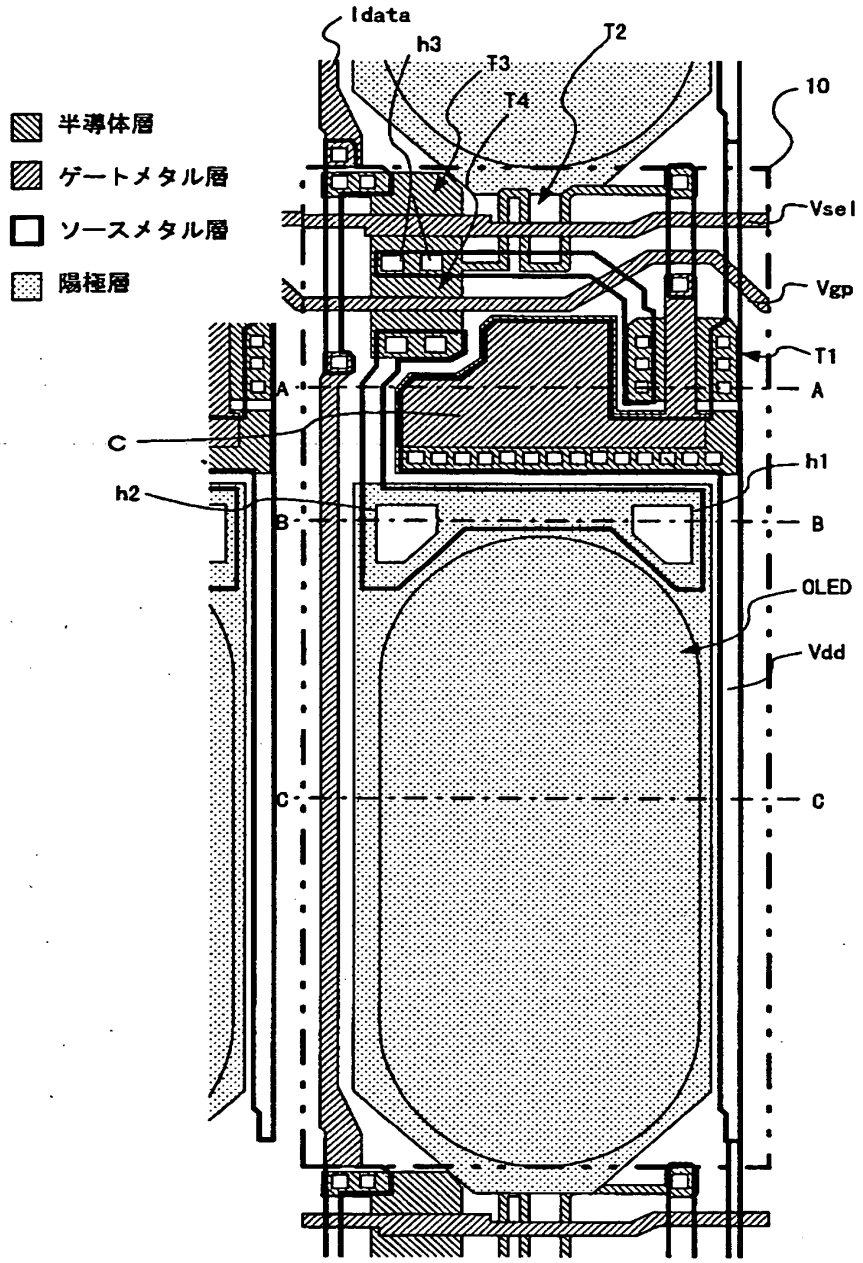
ＯＬＥＤ…発光部

【書類名】　図面

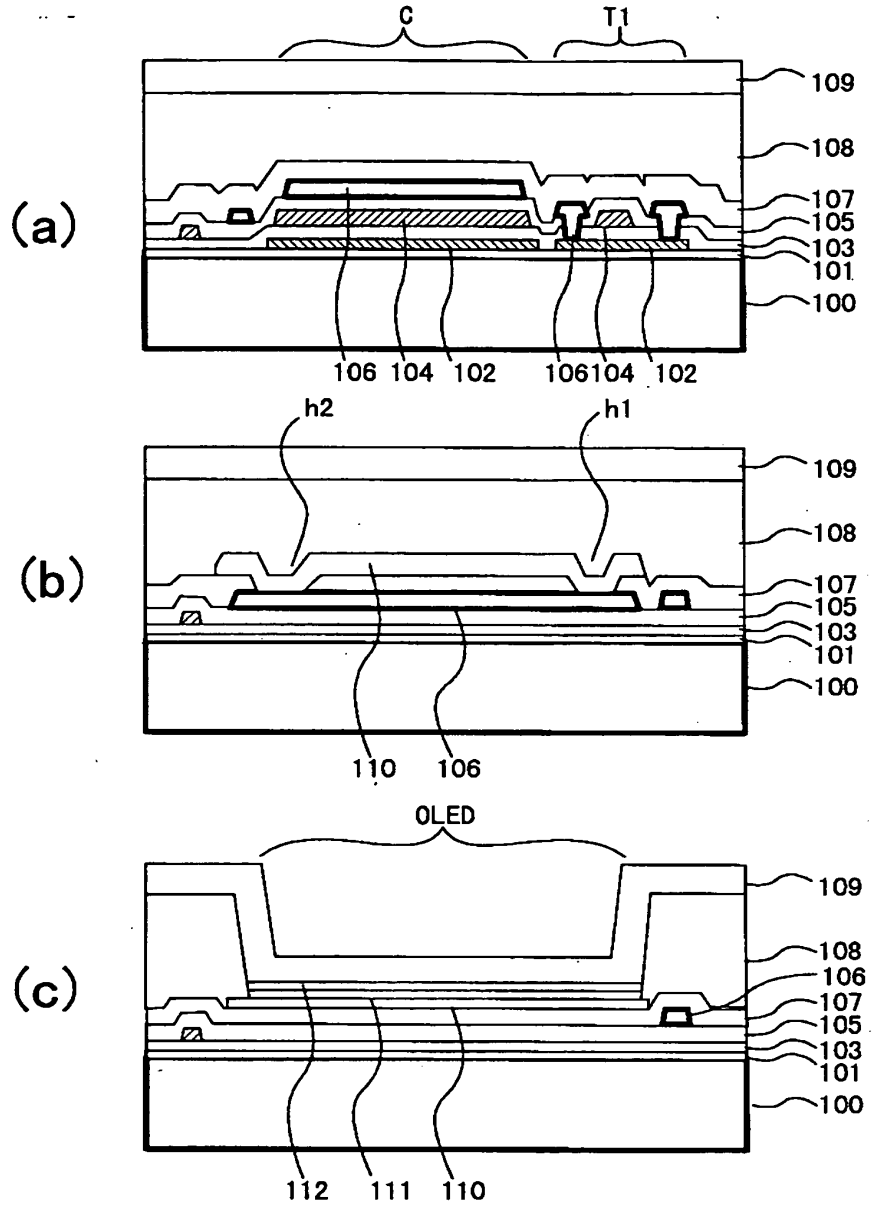
【図１】


１：表示パネル
１３　陰極取出電極
１２　陰極
１０　画素領域
１１　表示領域
１４　ドライバ領域
１５　ドライバ領域
１６　ガラス基板

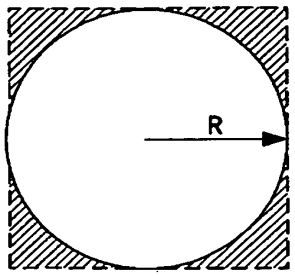
【図２】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T3
T2
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C

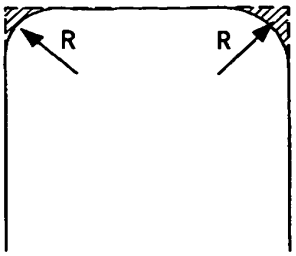
【図３】


(a)
C
T1
109
108
107
105
103
101
100
106
104
102
106
104
102
(b)
h2
h1
109
108
107
105
103
101
100
110
106
(c)
OLED
109
108
106
107
105
103
101
100
112
111
110

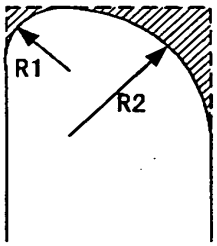
【図４】



(a)

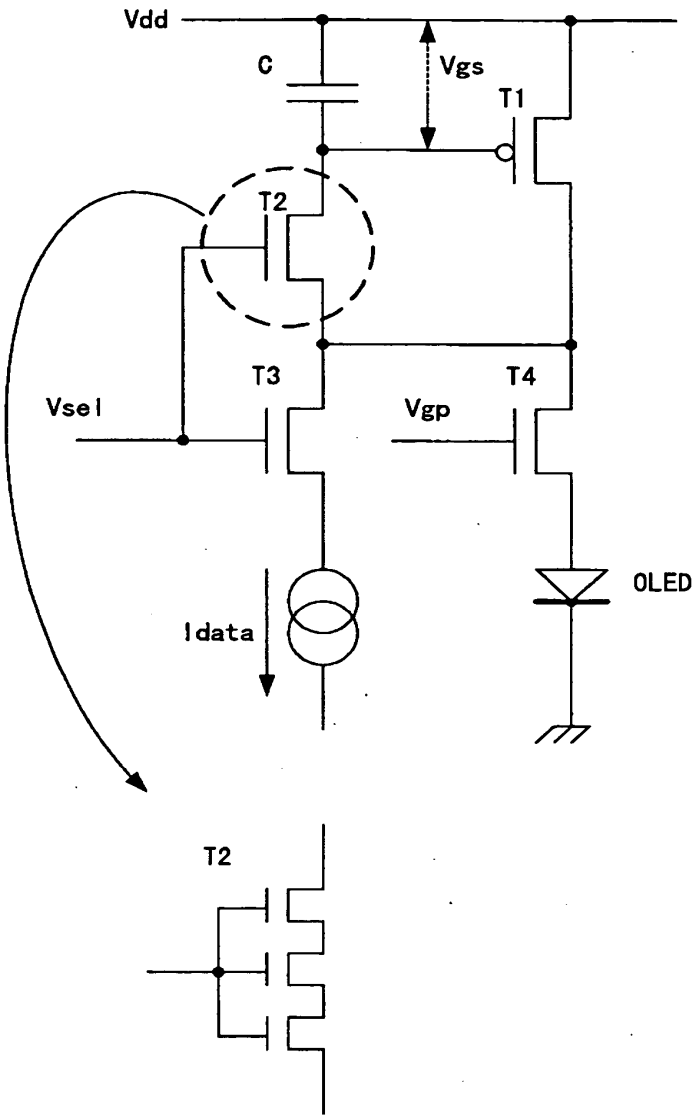


(b)

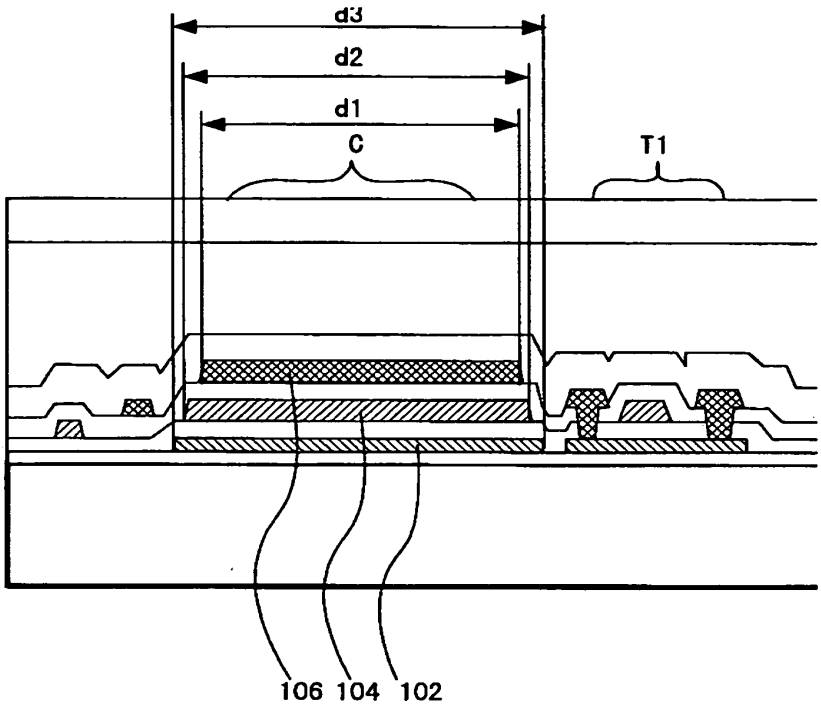


(c)

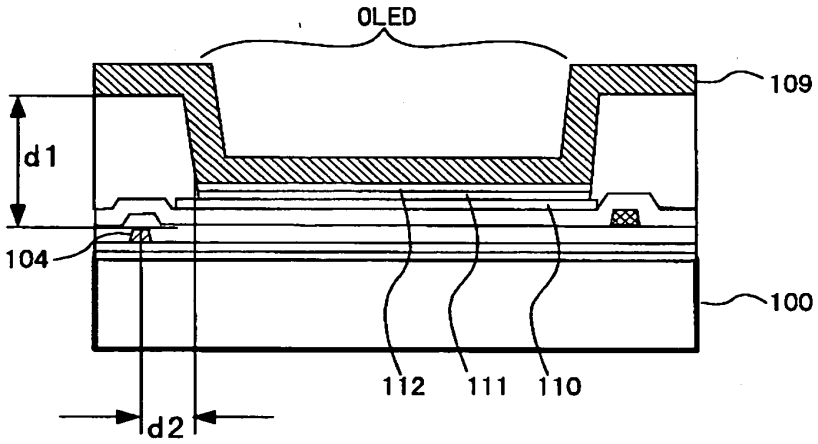
【図５】



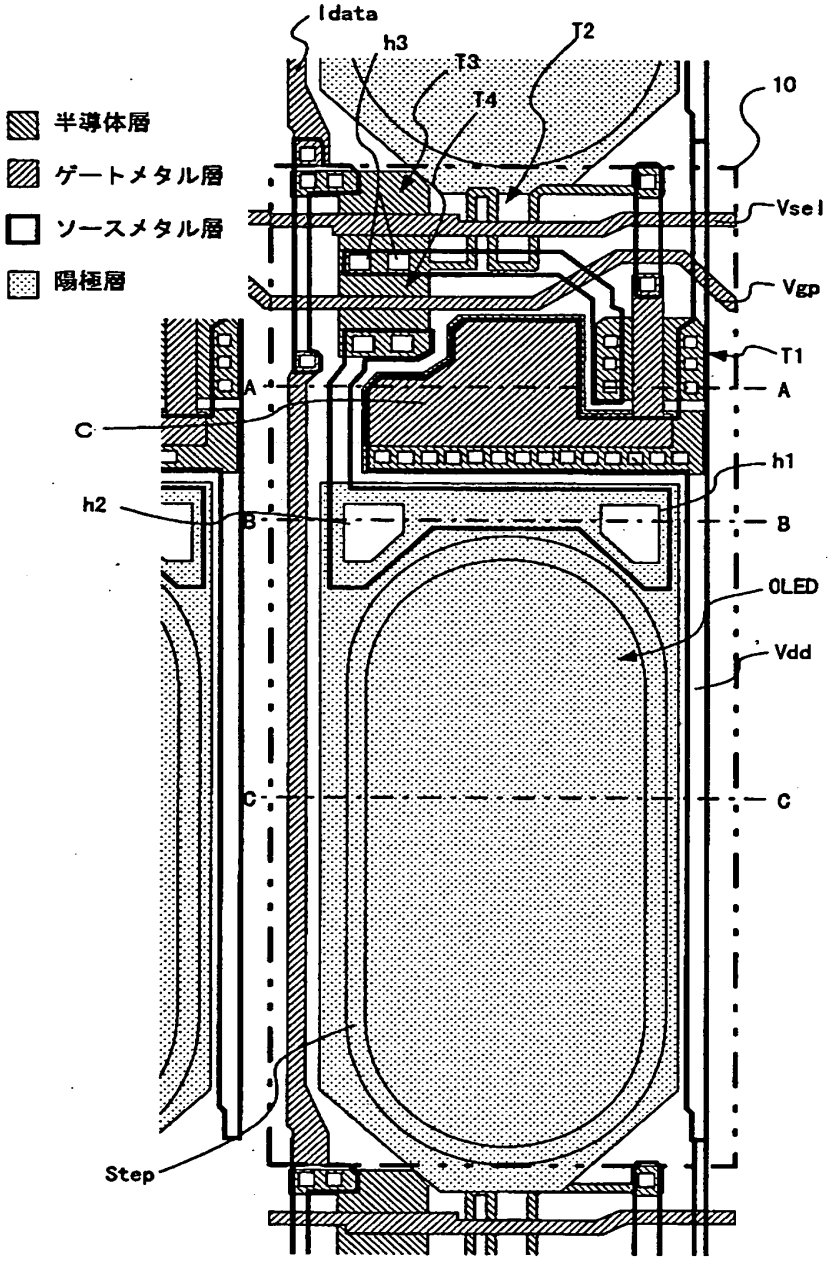
【図６】



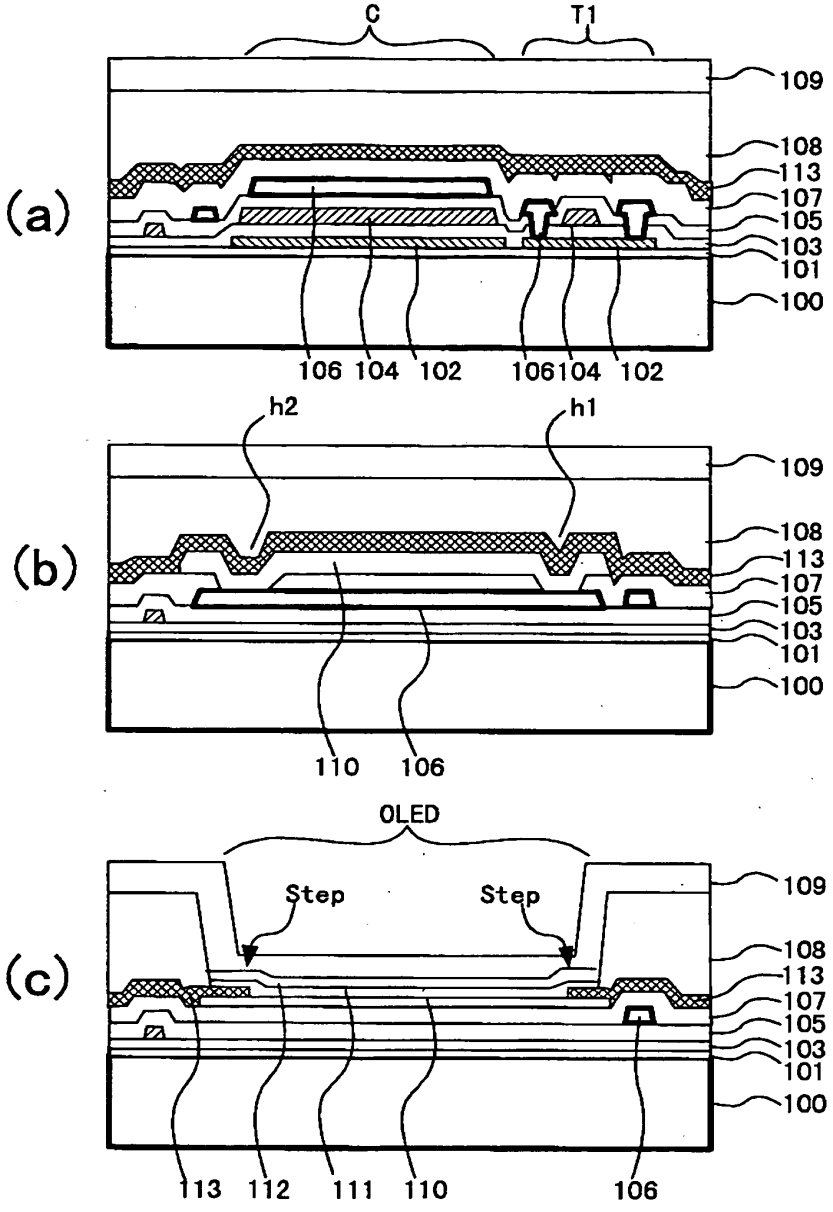
【図７】



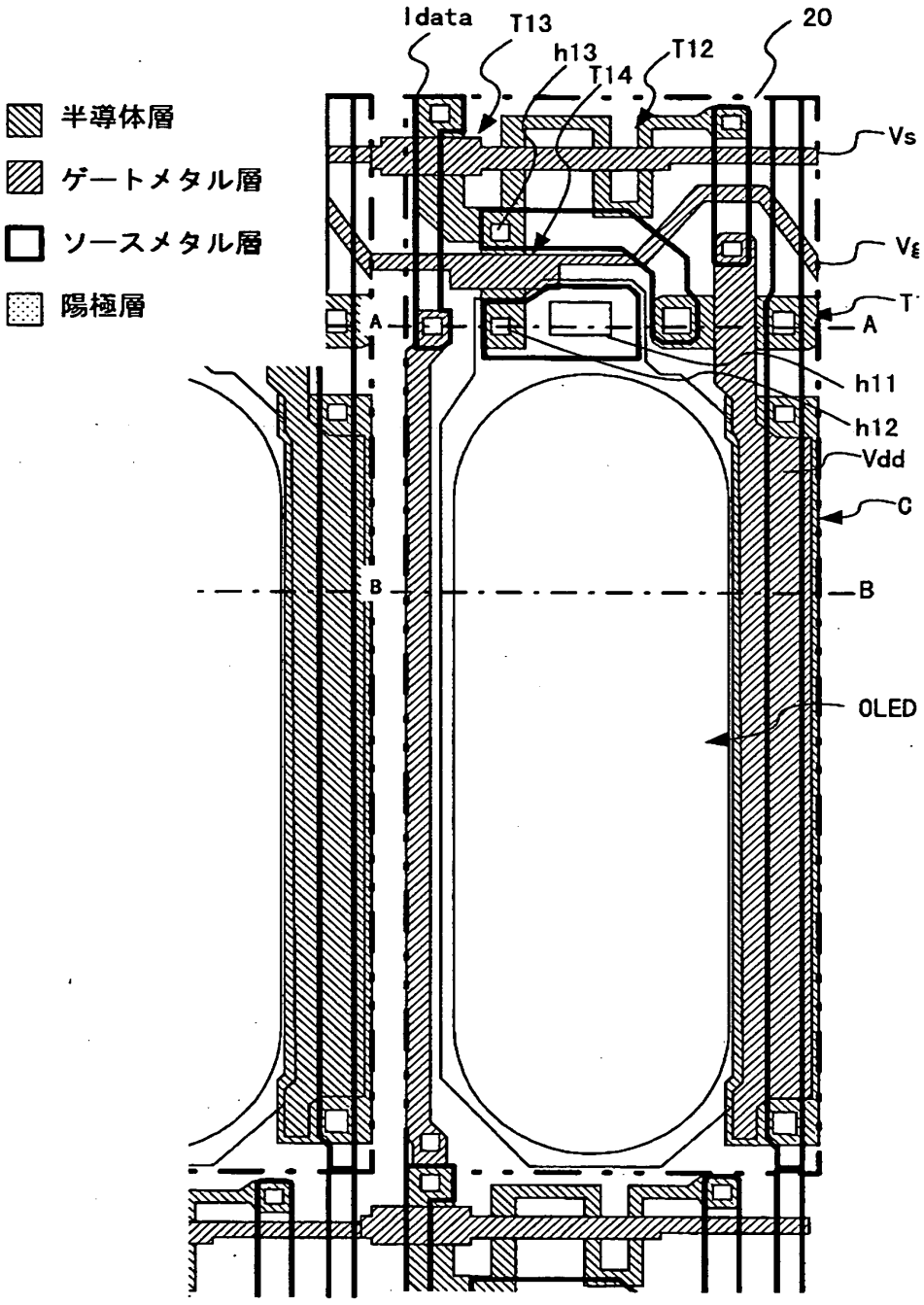
【図８】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T3
T2
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C
Step

【図９】

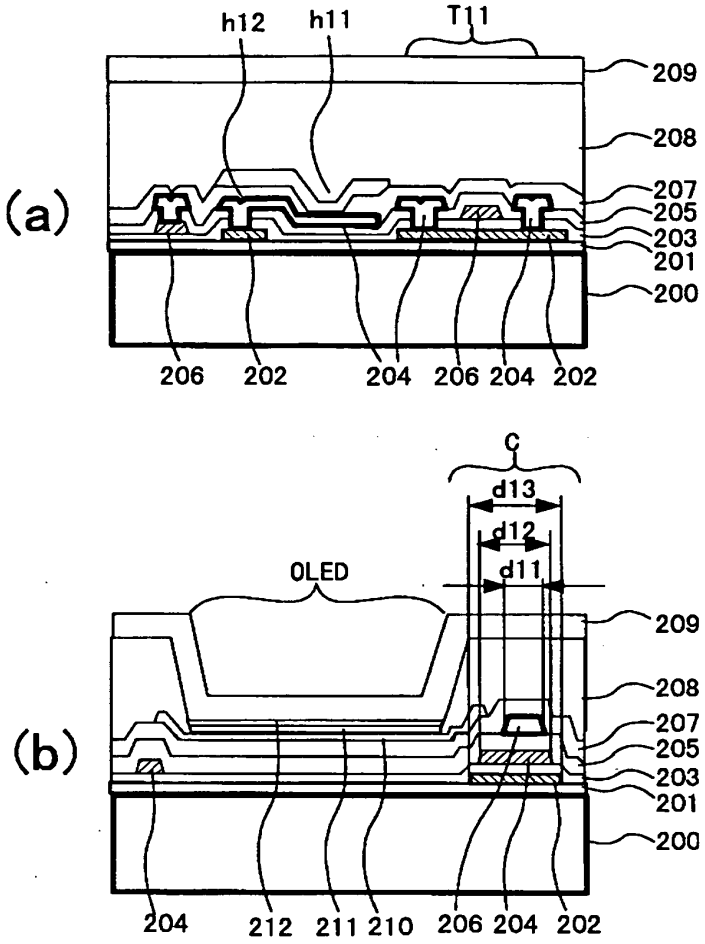

(a)
C
T1
109
108
113
107
105
103
101
100
106 104 102
106 104 102
(b)
h2
h1
109
108
113
107
105
103
101
100
110
106
(c)
OLED
Step
Step
109
108
113
107
105
103
101
100
113
112
111
110
106

【図１０】

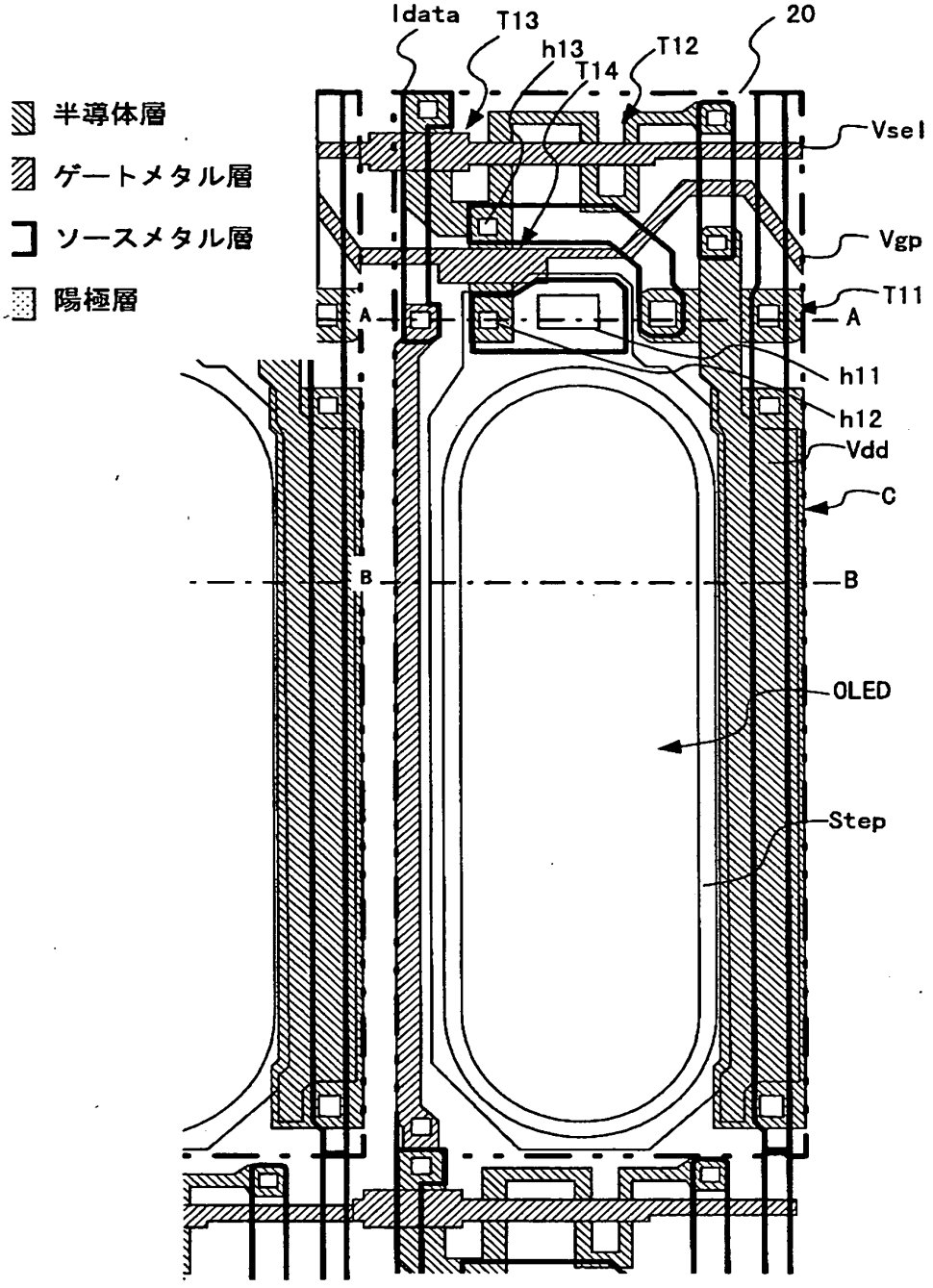


出証特２００２－３０９６１０６

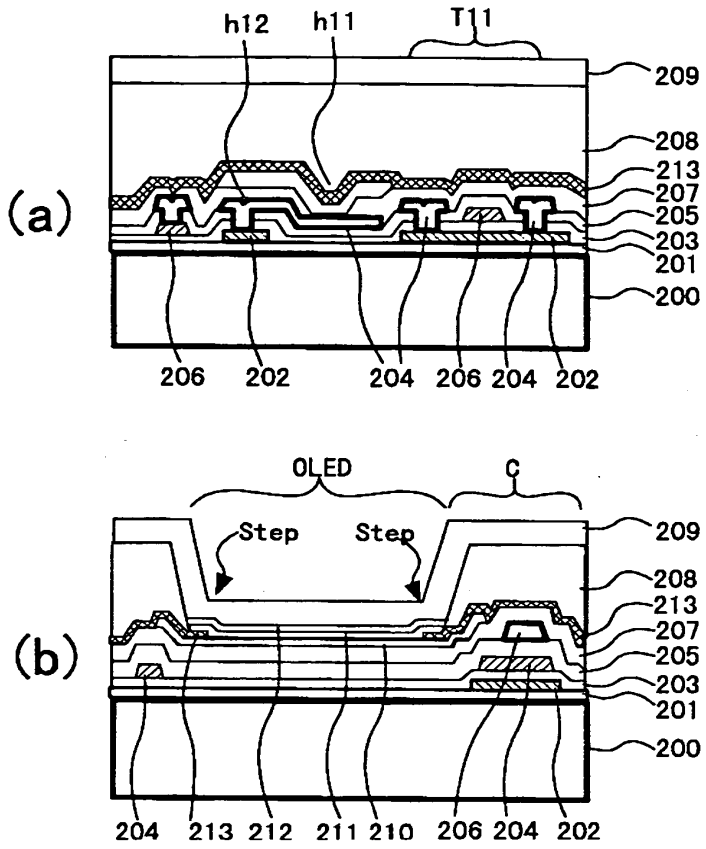
【図１１】


(a)
h12
h11
T11
209
208
207
205
203
201
200
206
202
204
206
204
202
(b)
C
d13
d12
d11
OLED
209
208
207
205
203
201
200
204
212
211
210
206
204
202

【図１２】

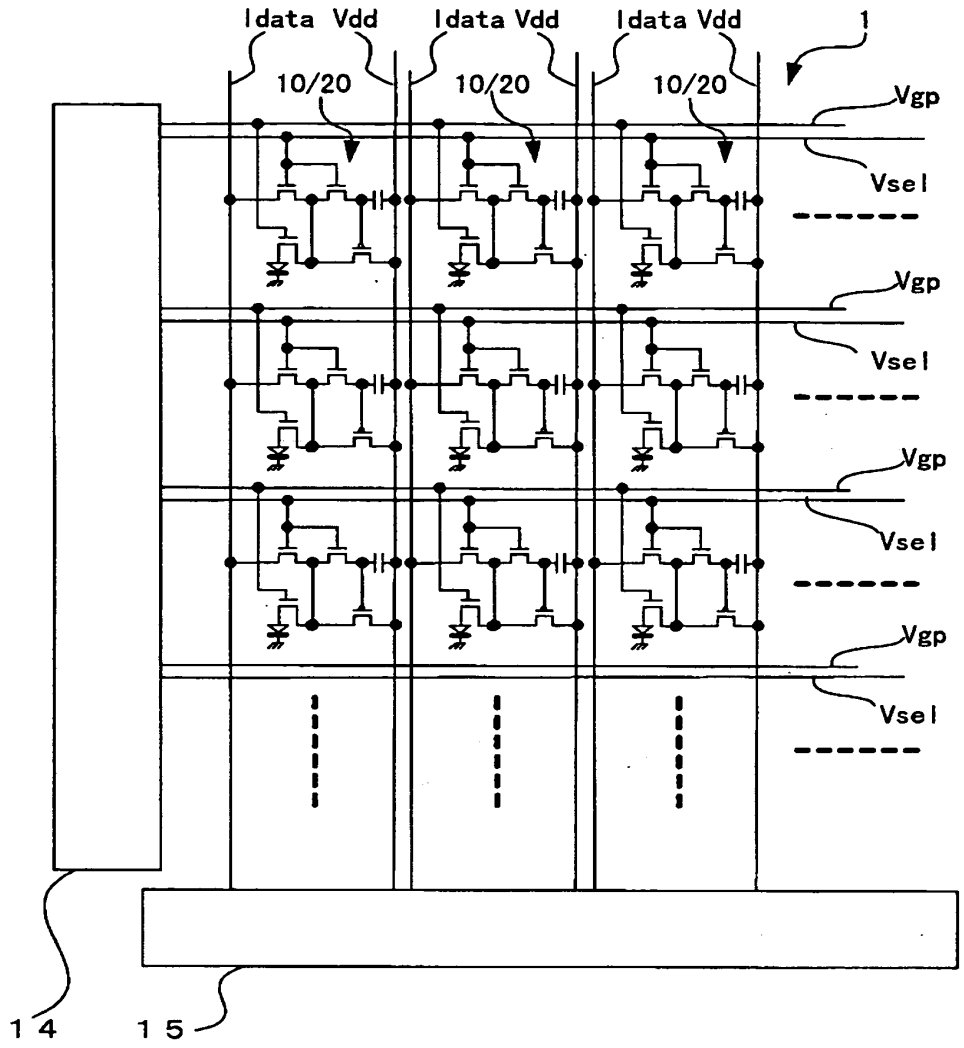

半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED
Step

【図１３】

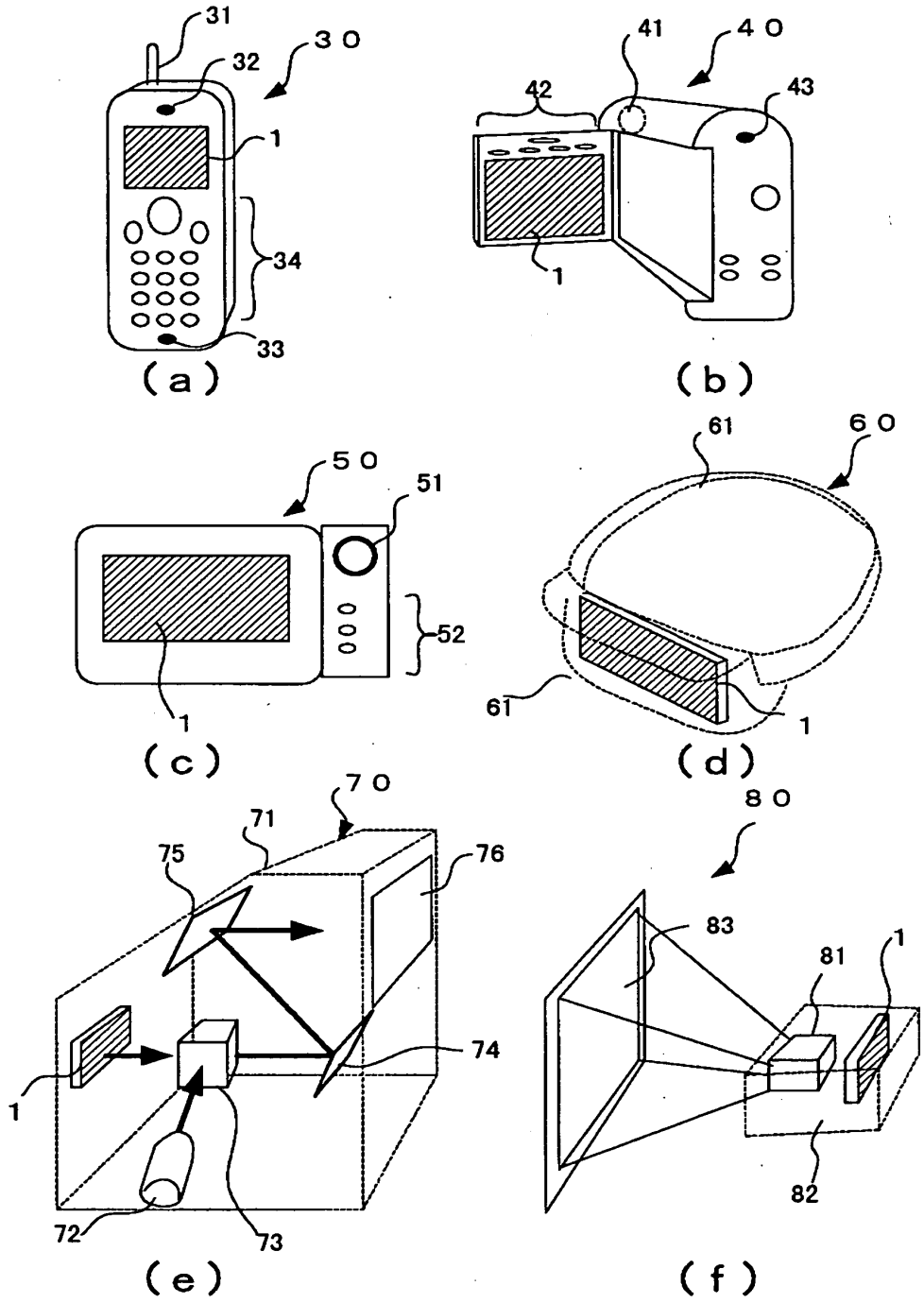


出証特２００２－３０９６１０６

【図１４】


Idata Vdd
Idata Vdd
Idata Vdd
1
10/20
10/20
10/20
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
14
15

【図１５】


31
30
32
1
34
33
(a)
41
40
42
43
1
(b)
50
51
52
1
(c)
61
60
61
1
(d)
70
71
75
76
74
1
72
73
(e)
80
83
81
1
82
(f)

【書類名】　要約書

【要約】

【課題】　製造工程において各層の位置ずれが生じたとても電界発光素子へ供給される電流量の変動を防止可能な電界発光装置における好適なパターン配置を提供することを目的とする。

【解決手段】　電界発光装置において、電界を印加することによって発光する電界発光素子に対し、保持容量に記録された電圧に従った電流を能動素子により供給可能に構成された電界発光装置において、保持容量の形成に関係する複数の層間に重複領域を生じさせることにより保持容量が形成されており、保持容量が形成される重複領域付近において、複数の層のうちより下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。

【選択図】　図２

認定・付加情報

特許出願の番号	特願２００１－３７１４１０
受付番号	５０１０１７８６６３０
書類名	特許願
担当官	第四担当上席　００９３
作成日	平成１３年１２月　６日

＜認定情報・付加情報＞

【提出日】　平成13年12月 5日

次頁無

出　願　人　履　歴　情　報

識別番号　　〔０００００２３６９〕

１．変更年月日　　１９９０年　８月２０日
［変更理由］　新規登録
住　所　　東京都新宿区西新宿２丁目４番１号
氏　名　　セイコーエプソン株式会社

10299861 .021303

#7 Pre amdt a 6/2/03 K Parnell

OIPE JC154 FEB 1 3 2003 PATENT & TRADEMARK OFFICE

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Application No.: 10/299,861

Filed: November 20, 2002 Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

PRELIMINARY AMENDMENT

Director of the U.S. Patent and Trademark Office
Washington, D. C. 20231

Sir:

Prior to initial examination, please amend the above-identified application as follows:

IN THE CLAIMS:

Please replace claims 6, 8-10, 13-14, 18, 22 and 36 as follows:

a1 cont

6. (Amended) The active matrix substrate according to claim 4, further comprising a third transistor comprising a fifth terminal, a sixth terminal, and a third control terminal, wherein said third control terminal is connected to one scan line among said plurality of scan lines, and

said fifth terminal is connected to one data line among said plurality of data lines.

a2 cont

8. (Amended) The active matrix substrate according to claim 4, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal, and

wherein at least a portion of one scan line among said plurality of scan lines is formed in said gate metal layer.

9. (Amended) The active matrix substrate according to claim 4, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal; and

wherein at least a portion of one data line among said plurality of data lines is formed in said gate metal layer.

a2 cancel

10. (Amended) The active matrix substrate according to claim 4, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed;

a gate metal layer comprising said second control terminal; and

a source metal layer comprising a source electrode or drain electrode connected to the source or drain of said second transistor; and

wherein at least one portion of at least one data line among said plurality of data lines is formed in the layer, among said source metal layer and said gate metal layer, which is closer to said semiconductor layer.

---

a3 cont

13. (Amended) The active matrix substrate according to claim 11, wherein said unit circuit comprises:

a first transistor, comprising a first control terminal, first terminal, and second terminal;

a holding element, connected to said first control terminal, and comprising a first electrode and second electrode; and,

a second transistor, comprising a third terminal, fourth terminal, and second control terminal, said third terminal and said fourth terminal being respectively connected to said first terminal and to said first electrode; and

wherein said second transistor is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

a3 concl

14. (Amended) An electro-optical device comprising an active matrix substrate according to claim 1, and electro-optical elements.

a4 concl

18. (Amended) The electro-optical device according to claim 16, wherein said plurality of formed boundary portions are arranged substantially symmetrically with respect to a center line passing through the geometric center of said electro-optical element.

a5 concl

22. (Amended) The electro-optical device according to claim 19, wherein the entire region of said light-emitting portion is formed on said pixel electrode, and a contact region for connection of said peripheral circuit and said pixel electrode is provided in a portion of said pixel electrode in which said light-emitting portion is not formed.

a6 concl

36. (Amended) The active matrix substrate according to claim 34, wherein a second electrode constituting said holding element is the gate of said one or more transistors.

REMARKS

Claims 1-39 are pending. By this Preliminary Amendment, claims 6, 8-10, 13-14, 18, 22 and 36 are amended to eliminate multiple dependencies. Prompt and favorable examination on the merits is respectfully requested.

The attached Appendix includes marked-up copies of each rewritten paragraph claim (37 C.F.R. §1.121(c)(1)(ii)).

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/cmm

Attachment:
Appendix

Date: February 13, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

APPENDIX

Changes to Claims:

The following is a marked-up version of the amended claims:

6. (Amended) The active matrix substrate according to claim 4 ~~or claim 5~~, further comprising a third transistor comprising a fifth terminal, a sixth terminal, and a third control terminal,

wherein said third control terminal is connected to one scan line among said plurality of scan lines, and

said fifth terminal is connected to one data line among said plurality of data lines.

8. (Amended) The active matrix substrate according to claim 4 ~~any of claims 4 through 7~~, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal, and

wherein at least a portion of one scan line among said plurality of scan lines is formed in said gate metal layer.

9. (Amended) The active matrix substrate according to claim 4 ~~any of claims 4 through 7~~, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal; and

wherein at least a portion of one data line among said plurality of data lines is formed in said gate metal layer.

10. (Amended) The active matrix substrate according to claim 4 ~~any of claims 4 through 7~~, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed;

a gate metal layer comprising said second control terminal; and

a source metal layer comprising a source electrode or drain electrode connected to the source or drain of said second transistor; and

wherein at least one portion of at least one data line among said plurality of data lines is formed in the layer, among said source metal layer and said gate metal layer, which is closer to said semiconductor layer.

13. (Amended) The active matrix substrate according to claim 11 ~~or claim 12~~, wherein said unit circuit comprises:

a first transistor, comprising a first control terminal, first terminal, and second terminal;

a holding element, connected to said first control terminal, and comprising a first electrode and second electrode; and,

a second transistor, comprising a third terminal, fourth terminal, and second control terminal, said third terminal and said fourth terminal being respectively connected to said first terminal and to said first electrode; and

wherein said second transistor is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

14. (Amended) An electro-optical device comprising an active matrix substrate according to claim 1 ~~any of claims 1 through 13~~, and electro-optical elements.

18. (Amended) The electro-optical device according to claim 16 ~~or claim 17~~, wherein said plurality of formed boundary portions are arranged substantially symmetrically with respect to a center line passing through the geometric center of said electro-optical element.

22. (Amended) The electro-optical device according to claim 19 ~~any of claims 19 through 21~~, wherein the entire region of said light-emitting portion is formed on said pixel electrode, and a contact region for connection of said peripheral circuit and said pixel electrode is provided in a portion of said pixel electrode in which said light-emitting portion is not formed.

36. (Amended) The active matrix substrate according to claim 34 ~~or claim 35~~, wherein a second electrode constituting said holding element is the gate of said one or more transistors.

OIPE JC76
APR 01 2003
PATENT & TRADEMARK OFFICE

FILE COPY 1700

PATENT APPLICATION #6

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Application No.: 10/299,861 Docket No.: 114251

Filed: November 20, 2002

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

2nd REQUEST FOR CORRECTION OF PALM RECORDS

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Attached is a photocopy of the original filing receipt on which errors have been corrected in red. These errors are being brought to the attention of the Patent and Trademark Office so that it may correct its records.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/tmw

Date: April 1, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

UNITED STATES PATENT AND TRADEMARK OFFICE

CMM

Commissioner for Patents
Washington, DC 20231
www.uspto.gov

APPLICATION NUMBER	FILING DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	DRAWINGS	TOT CLAIMS	IND CLAIMS
10/299,861	11/20/2002	1775	2434	114251	15	39	16

CONFIRMATION NO. 5800

25944
OLIFF & BERRIDGE, PLC
P.O. BOX 19928
ALEXANDRIA, VA 22320

RECEIVED
MAR 2 0 2003
OLIFF & BERRIDGE

UPDATED FILING RECEIPT

OC000000009657332

Date Mailed: 03/17/2003

Receipt is acknowledged of this regular Patent Application. It will be considered in its order and you will be notified as to the results of the examination. Be sure to provide the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION when inquiring about this application. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please write to the Office of Initial Patent Examination's Filing Receipt Corrections, facsimile number 703-746-9195. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections (if appropriate).**

Applicant(s)

Yojiro Matsueda, Chino-shi, JAPAN;

Assignment For Published Patent Application

SEIKO EPSON CORPORATION, Tokyo, JAPAN;

Domestic Priority data as claimed by applicant

Foreign Applications

JAPAN 2001-356007 11/21/2001
JAPAN 2001-371403 12/05/2001
JAPAN 2001-371410 12/05/2001

If Required, Foreign Filing License Granted: 02/10/2003

Projected Publication Date: 06/26/2003

Non-Publication Request: No

Early Publication Request: No

Title

Active matrix substrate, ~~electric optical apparatus~~ electro-optical device, and electronic device

OIPE JC177 JUN 29 2004 PATENT & TRADEMARK OFFICE

30

PATENT APPLICATION

#8
7-12-04
NP

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 1775

Application No.: 10/299,861

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

RECEIVED
JUL 02 2004
TC 1700

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed (a) within three months of the U.S. filing date of this non-CPA application, OR (b) before the mailing date of a first Office Action on the merits in the present application. No certification or fee is required.

☒ 2. Relevance of the non-English language reference 1 is discussed in the present specification.

☒ 3. The reference 2 was cited in a counterpart foreign application. An English language version of the foreign search report is attached for the Examiner's information.

☒ 4. English-language Abstracts of the non-English language references 1-5 are attached hereto.

☒ 5. A computer-generated English translation of the following Japanese references has been obtained from the website of the Japanese Patent Office ([http://www.jpo.go.jp]), and is attached, but has not been reviewed for accuracy. See References 2-5.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/cqc

Date: June 29, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

世界知的所有権機関
国際事務局

PCT 特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 G09G 3/30, H05B 33/08, 33/26, H01L 33/00	A1	(11) 国際公開番号	WO98/36407
		(43) 国際公開日	1998年8月20日(20.08.98)

(21) 国際出願番号 PCT/JP98/00656

(22) 国際出願日 1998年2月17日(17.02.98)

(30) 優先権データ

特願平9/32474	1997年2月17日(17.02.97)	JP
特願平9/236351	1997年9月1日(01.09.97)	JP
特願平9/236353	1997年9月1日(01.09.97)	JP

(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類
国際調査報告書

(71) 出願人（米国を除くすべての指定国について）
セイコーエプソン株式会社
(SEIKO EPSON CORPORATION)[JP/JP]
〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)
(72) 発明者；および
(75) 発明者／出願人（米国についてのみ）
小澤徳郎(OZAWA, Tokuroh)[JP/JP]
木村 睦(KIMURA, Mutsumi)[JP/JP]
〒392-8502 長野県諏訪市大和三丁目3番5号
セイコーエプソン株式会社内 Nagano, (JP)
(74) 代理人
弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.)
〒163-0811 東京都新宿区西新宿二丁目4番1号
セイコーエプソン株式会社内 Tokyo, (JP)

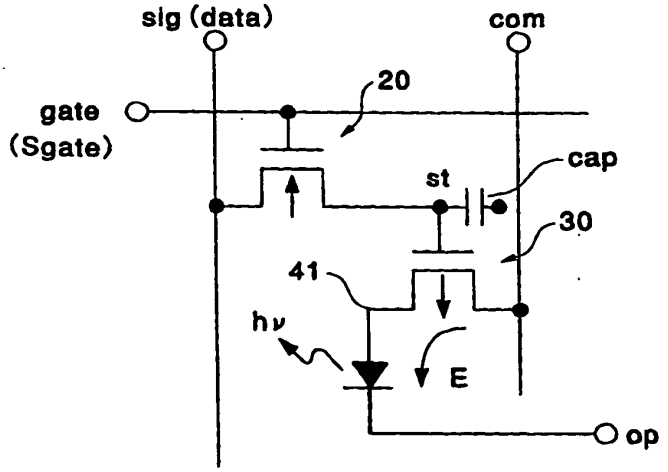
Best Available Copy

(54)Title: **DISPLAY DEVICE**

(54)発明の名称 表示装置

(57) Abstract

A driving system taking into consideration the conductivity of a TFT which controls the light emitting operations of a current-driven light emitting element. When an N-channel type TFT is used as the second TFT (30) which switches supply of a driving current to a light emitting element (40), a high gate voltage (Vgcur) is obtained by lowering the potential at a common feeder line (com) against the potential at the counter electrode (op) of the element (40). A p-channel TFT is used as a first TFT (20) and the polarity of the low potential of a scanning signal (Sgate), and the potential at the common feeder line (com) is made equal to that of the potential at a potential holding electrode (st) at turning-on time. The driving voltage of the light emitting element is dropped and the display quality of the element is improved by shifting the potential of picture signals (data) for turning on in the direction in which the turning-on resistances of the TFTs (20 and 30) become smaller within the range of the driving voltage of the display device (1).



（５７）要約

電流駆動型の発光素子を用いた表示装置において、発光素子の発光動作を制御するＴＦＴの導電型を考慮した駆動方式を採用して、駆動電圧の低電圧化と表示品位の向上とを併せて図ることを目的に、発光素子（４０）への駆動電流の給断を行う第２のＴＦＴ（３０）がＮチャネル型である場合には、発光素子（４０）の対向電極（ｏｐ）の電位に対して共通給電線（ｃｏｍ）の電位を低くし、高いゲート電圧（Ｖｇｃｕｒ）が得られるようにする。この場合に、第２のＴＦＴ（３０）のゲートに接続する第１のＴＦＴ（２０）をＰチャネル型とし、点灯時の電位保持電極（ｓｔ）の電位を基準にしたときには、この電位保持電極（ｓｔ）の電位に対して、走査信号（Ｓgate）の低電位と共通給電線（ｃｏｍ）の電位とを同じ極性にする。従って、表示装置（１）の駆動電圧レンジの範囲内で、点灯のための画像信号（ｄａｔａ）の電位を、第１のＴＦＴ（２０）および第２のＴＦＴ（３０）のオン時の抵抗が小さくなる方向にシフトさせて駆動電圧の低電圧化と表示品位の向上とを図ることができる。

ＰＣＴに基づいて公開される国際出願のパンフレット第一頁に掲載されたＰＣＴ加盟国を同定するために使用されるコード（参考情報）

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SZ	スワジランド
AT	オーストリア	GA	ガボン	LV	ラトヴィア	TD	チャード
AU	オーストラリア	GB	英国	MC	モナコ	TG	トーゴー
AZ	アゼルバイジャン	GE	グルジア	MD	モルドヴァ	TJ	タジキスタン
BA	ボスニア・ヘルツェゴビナ	GH	ガーナ	MG	マダガスカル	TM	トルクメニスタン
BB	バルバドス	GN	ガンビア	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BE	ベルギー	GR	ギリシア	ML	マリ	TT	トリニダッド・トバゴ
BF	ブルキナ・ファソ	GW	ギニア・ビサオ	MN	モンゴル	TZ	タンザニア
BG	ブルガリア	HU	ハンガリー	MR	モーリタニア	UA	ウクライナ
BJ	ベナン	ID	インドネシア	MW	マラウイ	UG	ウガンダ
BR	ブラジル	IE	アイルランド	MX	メキシコ	US	米国
BY	ベラルーシ	IL	イスラエル	NE	ニジェール	UZ	ウズベキスタン
CA	カナダ	IN	インド	NL	オランダ	VN	ヴィエトナム
CF	中央アフリカ	IS	アイスランド	NO	ノールウェー	YU	ユーゴースラヴィア
CG	コンゴー共和国	IT	イタリア	NZ	ニュージーランド	ZW	ジンバブエ
CH	スイス	JP	日本	PL	ポーランド		
CI	コートジボアール	KE	ケニア	PT	ポルトガル		
CM	カメルーン	KG	キルギスタン	RO	ルーマニア		
CN	中国	KP	朝鮮民主人民共和国	RU	ロシア連邦		
CU	キューバ	KR	大韓民国	SD	スーダン		
CY	キプロス	KZ	カザフスタン	SE	スウェーデン		
CZ	チェッコ	LC	セントルシア	SG	シンガポール		
DE	ドイツ	LI	リヒテンシュタイン	SI	スロヴェニア		
DK	デンマーク	LK	スリランカ	SK	スロヴァキア		
EE	エストニア	LR	リベリア	SL	シエラ・レオーネ		
ES	スペイン	LS	レソト				

明細書

表　示　装　置

技術分野

本発明は、有機半導体膜等の発光薄膜に駆動電流が流れることによって発光するＥＬ（エレクトロルミネッセンス）素子またはＬＥＤ（発光ダイオード）素子などの発光素子と、この発光素子の発光動作を制御する薄膜トランジスタ（以下、ＴＦＴという。）とを用いたアクティブマトリクス型の表示装置に関するものである。さらに詳しくは、このタイプの表示装置に構成された各素子の駆動技術に関するものである。

背景技術

ＥＬ素子またはＬＥＤ素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また視野角依存性が少ないなどの利点がある。

図３１は、このような表示装置の一例として、電荷注入型の有機薄膜ＥＬ素子を用いたアクティブマトリクス型表示装置のブロック図である。この図に示す表示装置１Ａでは、透明基板上に、複数の走査線ｇａｔｅと、これらの走査線ｇａｔｅの延設方向に対して交差する方向に延設された複数のデータ線ｓｉｇと、これらのデータ線ｓｉｇに並列する複数の共通給電線ｃｏｍと、データ線ｓｉｇと走査線ｇａｔｅとの交差点に対応する画素７とが構成されている。

画素７の各々には、走査線ｇａｔｅを介して走査信号がゲート電極（第１のゲート電極）に供給される第１のＴＦＴ２０と、この第１のＴＦ

Ｔ２０を介してデータ線ｓｉｇから供給される画像信号を保持する保持容量ｃａｐと、この保持容量ｃａｐによって保持された画像信号がゲート電極（第２のゲート電極）に供給される第２のＴＦＴ３０と、第２のＴＦＴ３０を介して共通給電線ｃｏｍに電気的に接続したときに共通給電線ｃｏｍから駆動電流が流れ込む発光素子４０（抵抗として表してある。）とが構成されている。

このように構成された表示装置１Ａにおいて、第１のＴＦＴ２０および第２のＴＦＴ３０は、従来、Ｎチャネル型を例にとると、製造プロセスを簡略化するという観点から、図３２にその等価回路を示すように、いずれもＮチャネル型あるいはＰチャネル型のＴＦＴとして構成されている。従って、Ｎチャネル型を例にとると、図３３（Ａ）、（Ｂ）に示すように、走査線ｇａｔｅから供給される走査信号Ｓgateが高電位になって第１のＴＦＴ２０がオン状態になったときにデータ線ｓｉｇから保持容量ｃａｐに高電位の画像信号ｄａｔａが書き込まれると、第２のＴＦＴ３０がオン状態に保持される。その結果、発光素子４０では、画素電極４１から対向電極ｏｐに向けて矢印Ｅで示す方向の駆動電流が流れ続け、発光素子４０が発光し続ける（点灯状態）。これに対して、走査線ｇａｔｅから供給される走査信号Ｓgateが高電位になって第１のＴＦＴ２０がオン状態になったときに、データ線ｓｉｇから保持容量ｃａｐに共通給電線ｃｏｍの電位と対向電極ｏｐの電位の間のある電位よりも低い電位の画像信号ｄａｔａが書き込まれると、第２のＴＦＴ３０がターンオフし、発光素子４０が消灯する（消灯状態）。

このような表示装置１Ａにおいて、各素子を構成する半導体膜、絶縁膜、電極などは基板上に堆積した薄膜から構成され、かつ、この薄膜は基板の耐熱性などを考慮して低温プロセスで形成されることが多い。従って、薄膜とバルクとの物性の差異などに起因して欠陥が多いなど膜品

質が劣る

ため、ＴＦＴなどでは絶縁破壊や経時劣化などの問題が表面化しやすい。

液晶を光変調素子として用いた液晶表示装置でも薄膜を用いるという点で共通するが、この場合には光変調素子を交流駆動するので、液晶だけでなく、ＴＦＴの経時劣化も抑えることができる。これに対して、電流制御型発光素子を用いた表示装置１Ａでは直流駆動せざるを得ないという点では、液晶表示装置よりもＴＦＴに経時劣化が起きやすい。このような問題点を解消するため、電流制御型発光素子を用いた表示装置１ＡでもＴＦＴの構造やプロセス技術に改良が加えられているものの、未だ、十分に改良されたとはいえない。

また、液晶を光変調素子として用いた場合には、この光変調素子を電圧により制御するので、個々の素子には電流が瞬間的に流れるだけであるので、消費電力が小さい。これに対して、電流制御型発光素子を用いた表示装置１Ａでは、発光素子を点灯させ続けるには駆動電流を定常的に流す必要があるので、消費電力が高くなり、絶縁破壊や経時劣化が起きやすい。

さらに、液晶表示装置では１画素当たり１つのＴＦＴで液晶を交流駆動することができるが、電流制御型発光素子を用いた表示装置１Ａでは、１画素当たり２つのＴＦＴ２０、３０で発光素子４０を直流駆動するので、駆動電圧が高くなり、前記の絶縁破壊や消費電力が大きいという問題が顕著である。たとえば、図３３（Ａ）に示すように、画素を選択する際の第１のＴＦＴ２０のゲート電圧Ｖｇswは、走査信号Ｓgateの高電位に相当する電位と電位保持電極ｓｔの電位（保持容量ｃａｐの電位、または第２のＴＦＴ３０のゲート電極の電位）との電位差に相当するため、発光素子４０を高い輝度で点灯させようと電位保持電極ｓｔの電位を高めて第２のＴＦＴ３０のゲート電圧Ｖｇcur を高めたときには、

その分、第１のＴＦＴ２０のゲート電圧Ｖｇswが低くなってしまうので、走査信号Ｓgateの振幅を大きくする必要が生じ、表示装置１Ａの駆動電圧が高くなってしまう。また、前記の表示装置１Ａでは、発光素子４０を消灯させる際に画像信号ｄａｔａの電位を共通給電線ｃｏｍの電位と対向電極ｏｐの電位の間のある電位よりも低くして第２のＴＦＴ３０をターンオフさせるため、画像信号ｄａｔａの振幅が大きいという問題点もある。従って、この種の表示装置１Ａでは、液晶表示装置と比較して、消費電力やＴＦＴの耐電圧などに格段の配慮が必要であるが、従来の表示装置１Ａではかかる配慮が十分になされていない。

そこで、本発明の課題は、電流駆動型の発光素子の発光動作を制御するＴＦＴの導電型を考慮した駆動方式を採用して、駆動電圧の低電圧化による消費電力、絶縁破壊、経時劣化の低減と表示品位の向上とを併せて図ることができる表示装置を提供することにある。

発明の開示

上記課題を解決するため、請求項１に係る発明では、基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第１のゲート電極に供給される第１のＴＦＴと、該第１のＴＦＴを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第２のゲート電極に供給される第２のＴＦＴと、前記画素毎に形成された画素電極が前記第２のＴＦＴを介して前記共通給電線に電気的に接続したときに前記画素電極と発光薄膜を介して対向する対向電極との間に流れる駆動電流によって前記発光薄膜が発光する表示装置において、前記第２のＴＦＴがＮチャネル型の場合に

は、前記共通給電線は前記対向電極よりも低電位に設定されていることを特徴とする。

本発明に係る表示装置では、第２のＴＦＴのオン時のゲート電圧は、共通給電線の電位および画素電極の電位のうちの一方の電位と、ゲート電極の電位（画像信号の電位）との差に相当するので、第２のＴＦＴの導電型に応じて、共通給電線の電位と発光素子の対向電極の電位との相対的な高低を最適化し、第２のＴＦＴのゲート電圧は、共通給電線の電位と電位保持電極の電位との差に相当するように構成してある。たとえば、第２のＴＦＴがＮチャネル型であれば、発光素子の対向電極の電位に対して共通給電線の電位を低くしてある。この共通給電線の電位については、画素電極の電位と相違して、十分に低い値に設定することができるため、第２のＴＦＴで大きなオン電流が得られ、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第２のＴＦＴにおいて高いゲート電圧が得られるのであれば、画像信号の電位を下げることができるので、画像信号の振幅を小さくし、表示装置における駆動電圧を下げることができる。それ故、消費電力を低減できるともに、薄膜で構成された各素子で懸念されていた耐電圧の問題が顕在化しないという利点がある。

本発明において、上記第２のＴＦＴがＮチャネル型の場合には点灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記対向電極の電位と比較して低電位、あるいは等電位であることが好ましい。このように構成した場合も、第２のＴＦＴをオン状態に保ったまま、画像信号の振幅を小さくすることができ、表示装置における駆動電圧を下げることができる。

本発明において、第２のＴＦＴがＮチャネル型の場合には、消灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、

前記共通給電線の電位と比較して高電位、あるいは等電位であることが好ましい（請求項５）。すなわち、画素を消灯状態にするときには、第２のＴＦＴを完全にターンオフさせるほどのゲート電圧（画像信号）を印加しない。発光素子の非線型電気特性とあいまって、消灯状態は実現できる。それ故、画像信号の振幅を小さくすることができ、表示装置における駆動電圧を下げ、また画像信号の高周波化を図ることができる。

本発明において、上記の各構成とは逆に、前記第２のＴＦＴがＰチャネル型の場合には、各電位の相対的な関係を逆転させる。すなわち、前記第２のＴＦＴがＰチャネル型の場合には、前記共通給電線は前記対向電極よりも高電位に設定されていることを特徴とする（請求項２）。この場合には、点灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記対向電極の電位と比較して高電位、あるいは等電位であることが好ましい（請求項４）。また、消灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記共通給電線の電位と比較して低電位、あるいは等電位であることが好ましい（請求項６）。

本発明において、前記第１のＴＦＴと前記第２のＴＦＴとは、逆導電型のＴＦＴで構成されていることが好ましい（請求項７）。すなわち、第１のＴＦＴがＮチャネル型であれば、第２のＴＦＴはＰチャネル型であり、第１のＴＦＴがＰチャネル型であれば、第２のＴＦＴはＮチャネル型であることが好ましい。詳しくは請求項８に関連して後述するが、このように構成すると、表示装置の駆動電圧レンジの範囲内で、点灯のための画像信号の電位を、第１のＴＦＴのオン時の抵抗が小さくなる方向に変更するだけで、表示動作の高速化を図ることができる。また、この時には画素を点灯させるための画像信号の電位が第２のＴＦＴのオン時の抵抗が小さくなる方向に変更したことになるので、輝度の向上を図

ることができる。よって、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

本発明の別の形態（請求項８）では、基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第１のゲート電極に供給される第１のＴＦＴと、該第１のＴＦＴを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第２のゲート電極に供給される第２のＴＦＴと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第２のＴＦＴを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、前記第１のＴＦＴと前記第２のＴＦＴとは、逆導電型のＴＦＴで構成されていることを特徴とする。

本発明では、例えば第１のＴＦＴがＮ型であれば、第２のＴＦＴがＰ型であるように、第１のＴＦＴと第２のＴＦＴとが逆導電型であるため、第１のＴＦＴの書き込み能力を上げるためには、走査信号の選択パルス高を高くし、第２のＴＦＴのオン抵抗を下げて発光輝度を上げるためには、画像信号の電位を低くすることになる。このような走査信号および画像信号の最適化は、第１のＴＦＴのゲート電圧に対して、画素の選択期間中、発光素子を点灯させるレベルの画像信号が保持容量に書き込まれていくにつれて、当該ＴＦＴのオン電流が増大する方にシフトさせるのに効く。それ故、データ線から第１のＴＦＴを介して保持容量に画像信号がスムーズに書き込まれる。ここで、画素を選択する際の第１のＴＦＴのゲート電圧は、走査信号の高電位に相当する電位と点灯時の電

位保持電極の電位（点灯のための画像信号の電位、保持容量の電位、または第２のＴＦＴのゲート電極の電位）との差に相当し、第２のＴＦＴのゲート電圧は、点灯時の電位保持電極の電位と共通給電線の電位との差に相当し、このときの電位保持電極の電位を基準にしたときには、走査信号の高電位に相当する電位と共通給電線の電位は同じ極性である。従って、点灯時の電位保持電極の電位（点灯のための画像信号の電位）を変更すれば、その分、第１のＴＦＴのゲート電圧および第２のＴＦＴのゲート電圧の双方が同じ方向に同じ分だけシフトする。それ故、表示装置の駆動電圧レンジの範囲内で、点灯のための画像信号の電位を、第１のＴＦＴのオン時の抵抗が小さくなる方向にシフトさせれば、表示動作の高速化を図ることができる。また、この時には点灯のための画像信号の電位が第２のＴＦＴのオン時の抵抗が小さくなる方向にシフトしたことになるので、輝度の向上を図ることができる。よって、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

本発明において、消灯状態にある画素における前記第２のＴＦＴに印加されるゲート電圧は、該第２のＴＦＴがオン状態となるときの極性と同じで、かつ、該第２のＴＦＴのしきい値電圧を越えない値であることが好ましい（請求項９）。すなわち、画素を消灯状態にするときには、第２のＴＦＴを完全にターンオフさせるほどのゲート電圧（画像信号）を印加しない。それ故、画像信号の振幅を小さくすることができ、画像信号の高周波化を実現できる。

このように構成した場合において、前記第１のＴＦＴがＮチャネル型、前記第２のＴＦＴがＰチャネル型であれば、前記第１のＴＦＴをオン状態にするときの走査信号の電位と前記共通給電線の電位とが等しく、かつ、消灯状態にある画素の前記第２のＴＦＴに印加されるゲート電極の電位は、前記第１のＴＦＴをオン状態にするときの走査信号の電位か

ら当該第１のＴＦＴのしきい値電圧を差し引いた電位よりも低電位であることが好ましい（請求項１０）。それとは逆に、前記第１のＴＦＴがＰチャネル型、前記第２のＴＦＴがＮチャネル型であれば、前記第１のＴＦＴをオン状態にするときの走査信号の電位と前記共通給電線の電位とが等しく、かつ、消灯状態にある画素の前記第２のＴＦＴに印加されるゲート電極の電位は、前記第１のＴＦＴをオン状態にするときの走査信号の電位に当該第１のＴＦＴのしきい値電圧を加えた電位よりも高電位であることが好ましい（請求項１１）。このように第１のＴＦＴをオン状態にするときの走査信号の電位と共通給電線の電位とを等しくすると、各駆動信号のレベルの数が減るため、表示装置への信号入力端子の数を減らすことができるとともに、電源数を減らすことができるので、低消費電力となる。

本発明では、前記保持容量の両電極のうち、前記第２のＴＦＴの第２のゲート電極に電気的に接続する電極とは反対側の電極には、前記走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されることが好ましい（請求項１２）。このように構成すると、保持容量への画像信号の書き込みを補うことができるので、画像信号の振幅を大きくせずに、第２のＴＦＴのゲート電極に印加される画像信号の電位を高輝度化の方向にシフトさせることができる。

本発明のさらに別の形態においては、基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第１のゲート電極に供給される第１のＴＦＴと、該第１のＴＦＴを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第２のゲート電極に供給される第２のＴＦＴと、前記画

素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第２のＴＦＴを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、前記保持容量の両電極のうち、前記第２のＴＦＴの第２のゲート電極に電気的に接続する電極とは反対側の電極には、前記走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されることを特徴とする（請求項１３）。

このように構成すると、保持容量への画像信号の書き込みを補うことができるので、画像信号の振幅を大きくせずに、第２のＴＦＴのゲート電極に印加される画像信号の電位を高輝度化の方向にシフトさせることができる。

上記のいずれの発明においても、前記発光薄膜としては、たとえば、有機半導体膜を用いることができる（請求項１４）。

本発明では、上記のいずれの発明においても、第２のＴＦＴについては、その飽和領域で動作させることにより、発光素子に異常電流が流れ、電圧降下等により他画素にクロストーク等が発生するのを防止することができる（請求項１５）。

また、その線形領域で動作させることによりそのしきい値電圧のばらつきが表示動作に影響を及ぼすことを防止することができる（請求項１６）。

図面の簡単な説明

図１は、本発明を適用した表示装置を模式的に示す平面図である。

図２は、本発明を適用した表示装置の基本的な構成を示すブロック図である。

図３は、図２に示す表示装置の画素を拡大して示す平面図である。

図４は、図３のＡ－Ａ′線における断面図である。

図５は、図３のＢ－Ｂ′線における断面図である。

図６（Ａ）は、図３のＣ－Ｃ′線における断面図であり、図６（Ｂ）は、図６（Ａ）に示すように構成したときの効果を説明するための説明図である。

図７（Ａ）、（Ｂ）はそれぞれ、図２に示す表示装置に用いる発光素子の断面図である。

図８（Ａ）、（Ｂ）はそれぞれ、図７に示す発光素子と別の構造を有する発光素子の断面図である。

図９は、図７（Ａ）、図８（Ｂ）に示す発光素子の電流－電圧特性を示すグラフである。

図１０は、図７（Ｂ）、図８（Ａ）に示す発光素子の電流－電圧特性を示すグラフである。

図１１は、Ｎチャネル型ＴＦＴの電流－電圧特性を示すグラフである。

図１２は、Ｐチャネル型ＴＦＴの電流－電圧特性を示すグラフである。

図１３は、本発明を適用した表示装置の製造方法を示す工程断面図である。

図１４（Ａ）、（Ｂ）はそれぞれ、図３から図６に示す表示装置の画素とは異なる構成の画素の平面図、および断面図である。

図１５は、本発明の実施の形態１に係る表示装置の画素構成を示す等価回路図である。

図１６（Ａ）、（Ｂ）はそれぞれ、図１５に示す画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図１７は、本発明の実施の形態１の変形例に係る表示装置の画素構成

を示す等価回路図である。

図１８（Ａ）、（Ｂ）はそれぞれ、図１７に示す画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図１９は、本発明の実施の形態２に係る表示装置の画素構成を示す等価回路図である。

図２０（Ａ）、（Ｂ）はそれぞれ、図１９に示す画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図２１は、本発明の実施の形態２の変形例に係る表示装置の画素構成を示す等価回路図である。

図２２（Ａ）、（Ｂ）はそれぞれ、図２１に示す画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図２３は、本発明の実施の形態３に係る表示装置の画素構成を示す等価回路図である。

図２４（Ａ）、（Ｂ）はそれぞれ、図２３に示す画素を駆動するための信号の波形図、これらの信号と等価回路との対応を示す説明図である。

図２５は、本発明の実施の形態２に係る表示装置の画素を駆動するための信号の波形図である。

図２６は、本発明の実施の形態３の変形例に係る表示装置の画素構成を示す等価回路図である。

図２７（Ａ）、（Ｂ）はそれぞれ、図２６に示す画素を駆動するための信号の波形図、これらの信号と等価回路との対応を示す説明図である。

図２８（Ａ）、（Ｂ）はそれぞれ、本発明の実施の形態４に係る表示装置の画素の等価回路図、それを駆動するための信号の波形図である。

図２９は、図２８に示す信号を発生させるための走査側駆動回路のブロック図である。

図３０は、図２９に示す走査側駆動回路から出力される各信号の波形図である。

図３１は、表示装置のブロック図である。

図３２は、図３１に示す表示装置における従来の画素構成を示す等価回路図である。

図３３（Ａ）、（Ｂ）はそれぞれ、図３２に示す画素を駆動するための信号の波形図、これらの信号と等価回路との対応を示す説明図である。

図３４（Ａ）、（Ｂ）はそれぞれ、隣接するゲート線を用いて容量を形成する構成のブロック図と、そのゲート電圧の信号波形である。

［符号の説明］

１	表示装置
２	表示部
３	データ側駆動回路
４	走査側駆動回路
５	検査回路
６	実装用パッド
７	画素
１０	透明基板
２０	第１のＴＦＴ
２１	第１のＴＦＴのゲート電極
３０	第２のＴＦＴ

３１	第２のＴＦＴのゲート電極
４０	発光素子
４１	画素電極
４２	正孔注入層
４３	有機半導体膜
５０	ゲート絶縁膜
ｂａｎｋ	バンク層
ｃａｐ	保持容量
ｃｌｉｎｅ	容量線
ｃｏｍ	共通給電線
ｇａｔｅ	走査線
ｏｐ	対向電極
ｓｉｇ	データ線
ｓｔ	電位保持電極

発明を実施するための最良の形態

図面を参照して、本発明の実施の形態を説明する。なお、本発明の各実施の形態を説明する前に、各形態で共通の構成について説明しておく。ここで、各形態で共通の機能を有する部分については、同一の符合を付して説明の重複を避けることとする。

（アクティブマトリクス基板の全体構成）

図１は、表示装置の全体のレイアウトを模式的に示すブロック図、図２は、それに構成されたアクティブマトリクスの等価回路図である。

図１に示すように、本形態の表示装置１では、その基体たる透明基板１０の中央部分が表示部２とされている。透明基板１０の外周部分のうち、図面に向かって上下の側には、データ線ｓｉｇに対して画像信号を

出力するデータ側駆動回路３、および検査回路５がそれぞれ構成され、図面に向かって左右の側には、走査線ｇａｔｅに対して走査信号を出力する走査側駆動回路４が構成されている。これらの駆動回路３、４では、Ｎ型のＴＦＴとＰ型のＴＦＴとによって相補型ＴＦＴが構成され、この相補型ＴＦＴは、シフトレジスタ回路、レベルシフタ回路、アナログスイッチ回路などを構成している。透明基板１０上において、データ側駆動回路３よりも外周領域には、画像信号や各種の電位、パルス信号を入力するための端子群とされる実装用パッド６が形成されている。

表示装置１では、液晶表示装置のアクティブマトリクス基板と同様、透明基板１０上に、複数の走査線ｇａｔｅと、該走査線ｇａｔｅの延設方向に対して交差する方向に延設された複数のデータ線ｓｉｇとが構成され、図２に示すように、これらのデータ線ｓｉｇと走査線ｇａｔｅとの交差によりマトリクス状に画素７が多数、構成されている。

これらの画素７のいずれにも、走査線ｇａｔｅを介して走査信号がゲート電極２１（第１のゲート電極）に供給される第１のＴＦＴ２０が構成されている。このＴＦＴ２０のソース・ドレイン領域の一方は、データ線ｓｉｇに電気的に接続し、他方のソース・ドレイン領域は電位保持電極ｓｔに電気的に接続している。すなわち、走査線ｇａｔｅに対しては容量線ｃｌｉｎｅが並列配置され、この容量線ｃｌｉｎｅと電位保持電極ｓｔとの間には保持容量ｃａｐが形成されている。従って、走査信号によって選択されて第１のＴＦＴ２０がオン状態になると、データ線ｓｉｇから画像信号が第１のＴＦＴ２０を介して保持容量ｃａｐに書き込まれる。

電位保持電極ｓｔには第２のＴＦＴ３０のゲート電極３１（第２のゲート電極）が電気的に接続し、第２のＴＦＴ３０のソース・ドレイン領域の一方は、共通給電線ｃｏｍに電気的に接続する一方、他方のソース

・ドレイン領域は発光素子４０の一方の電極（後述する画素電極）に電気的に接続している。共通給電線ｃｏｍは定電位に保持されている。第２のＴＦＴ３０がオン状態になったときに、第２のＴＦＴ３０を介して共通給電線ｃｏｍの電流が発光素子４０を流れ、発光素子４０を発光させる。

このように構成した表示装置１において、駆動電流は、発光素子４０、第２のＴＦＴ３０、および共通給電線ｃｏｍから構成される電流経路を流れるため、第２のＴＦＴ３０がオフ状態になると、流れなくなる。但し、本形態の表示装置１では、走査信号によって選択されて第１のＴＦＴ２０がオン状態になると、データ線ｓｉｇから画像信号が第１のＴＦＴ２０を介して保持容量ｃａｐに書き込まれる。従って、第２のＴＦＴ３０のゲート電極は、第１のＴＦＴ２０がオフ状態になっても、保持容量ｃａｐによって画像信号に相当する電位に保持されるので、第２のＴＦＴ３０はオン状態のままである。それ故、発光素子４０には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量ｃａｐに書き込まれて、第２のＴＦＴ３０がオフ状態になるまで維持される。

表示装置１において共通給電線ｃｏｍ、画素７、およびデータ線ｓｉｇについては各種の配列が可能であるが、本形態では、共通給電線ｃｏｍの両側に、該共通給電線ｃｏｍとの間で駆動電流の供給が行われる発光素子４０を有する複数の画素７が配置され、これらの画素７に対して共通給電線ｃｏｍとは反対側を２本のデータ線ｓｉｇが通っている。すなわち、データ線ｓｉｇ、それに接続する画素群、１本の共通給電線ｃｏｍ、それに接続する画素群、および該画素群に画素信号を供給するデータ線ｓｉｇを１つの単位としてそれを走査線ｇａｔｅの延設方向に繰り返してあり、共通給電線ｃｏｍは、１本で２列分の画素７に対して駆

動電流を供給する。そこで、本形態では、共通給電線ｃｏｍを挟むように配置された２つの画素７の間では、第１のＴＦＴ２０、第２のＴＦＴ３０、および発光素子４０が当該共通給電線ｃｏｍを中心に線対称に配置され、これらの素子と各配線層との電気的な接続を容易なものにしてある。

このように、本形態では、１本の共通給電線ｃｏｍで２列分の画素を駆動するので、１列の画素群ごとに共通給電線ｃｏｍを形成する場合と比較して、共通給電線ｃｏｍの数が１／２で済むとともに、同一の層間に形成される共通給電線ｃｏｍとデータ線ｓｉｇとの間に確保していた隙間が不要である。それ故、透明基板１０上において配線のための領域を狭くすることができるので、輝度、コントラスト比などの表示性能を向上させることができる。なお、このように１本の共通給電線ｃｏｍに２列分の画素が接続される構成としたため、データ線ｓｉｇは２本ずつ並列する状態にあって、それぞれの列の画素群に対して画像信号を供給することになる。

（画素の構成）

このように構成した表示装置１の各画素７の構造を、図３ないし図６を参照して詳述する。

図３は、本形態の表示装置１に形成されている複数の画素７のうちの３つの画素７を拡大して示す平面図、図４、図５、および図６はそれぞれは、そのＡ－Ａ′線における断面図、Ｂ－Ｂ′線における断面図、およびＣ－Ｃ′線における断面図である。

まず、図３におけるＡ－Ａ′線に相当する位置では、図４に示すように、透明基板１０上には各画素７の各々に、第１のＴＦＴ２０を形成するための島状のシリコン膜２００が形成され、その表面にはゲート絶縁膜５０が形成されている。ゲート絶縁膜５０の表面にはゲート電極２１

（走査線ｇａｔｅの一部）が形成され、該ゲート電極２１に対して自己整合的にソース・ドレイン領域２２、２３が形成されている。ゲート絶縁膜５０の表面側には第１の層間絶縁膜５１が形成され、この層間絶縁膜に形成されたコンタクトホール６１、６２を介して、ソース・ドレイン領域２２、２３にはデータ線ｓｉｇ、および電位保持電極ｓｔがそれぞれ電気的に接続している。

各画素７には走査線ｇａｔｅと並列するように、走査線ｇａｔｅやゲート電極２１と同一の層間（ゲート絶縁膜５０と第１の層間絶縁膜５１との間）には容量線ｃｌｉｎｅが形成されており、この容量線ｃｌｉｎｅに対しては、第１の層間絶縁膜５１を介して電位保持電極ｓｔの延設部分ｓｔ１が重なっている。このため、容量線ｃｌｉｎｅと電位保持電極ｓｔの延設部分ｓｔ１とは、第１の層間絶縁膜５１を誘電体膜とする保持容量ｃａｐを構成している。なお、電位保持電極ｓｔおよびデータ線ｓｉｇの表面側には第２の層間絶縁膜５２が形成されている。

図３におけるＢ－Ｂ′線に相当する位置では、図５に示すように、透明基板１０上に形成された第１の層間絶縁膜５１および第２の層間絶縁膜５２の表面に各画素７に対応するデータ線ｓｉｇが２本、並列している状態にある。

図３におけるＣ－Ｃ′線に相当する位置では、図６（Ａ）に示すように、透明基板１０上には共通給電線ｃｏｍを挟む２つの画素７に跨がるように、第２のＴＦＴ３０を形成するための島状のシリコン膜３００が形成され、その表面にはゲート絶縁膜５０が形成されている。ゲート絶縁膜５０の表面には、共通給電線ｃｏｍを挟むように、各画素７の各々にゲート電極３１がそれぞれ形成され、このゲート電極３１に対して自己整合的にソース・ドレイン領域３２、３３が形成されている。ゲート絶縁膜５０の表面側には第１の層間絶縁膜５１が形成され、この層間絶

縁膜に形成されたコンタクトホール６３を介して、ソース・ドレイン領域６２に中継電極３５が電気的に接続している。一方、シリコン膜３００の中央の２つの画素７において共通のソース・ドレイン領域３３となる部分に対しては、第１の層間絶縁膜５１のコンタクトホール６４を介して、共通給電線ｃｏｍが電気的に接続している。これらの共通給電線ｃｏｍ、および中継電極３５の表面には第２の層間絶縁膜５２が形成されている。第２の層間絶縁膜５２の表面にはＩＴＯ膜からなる画素電極４１が形成されている。この画素電極４１は、第２の層間絶縁膜５２に形成されたコンタクトホール６５を介して中継電極３５に電気的に接続し、この中継電極３５を介して第２のＴＦＴ３０のソース・ドレイン領域３２に電気的に接続されている。

（発光素子の特性）

発光素子４０としては、いずれの構造のものを用いた場合でも本発明を適用できるので、その代表的なものを以下に説明する。

まず、前記のＩＴＯ膜からなる画素電極４１は、図７（Ａ）に示すように、発光素子４０の一方の電極（正極）を構成している。この画素電極４１の表面には正孔注入層４２および発光薄膜として有機半導体膜４３が積層され、さらに有機半導体膜４３の表面には、リチウム含有アルミニウムまたはカルシウムなどの金属膜からなる対向電極ｏｐ（負極）が形成されている。この対向電極ｏｐは、透明基板１０の全面、あるいはストライプ状に形成された共通電極となるべきもので、一定の電位に保持されている。これに対して、図７（Ａ）に示す発光素子４０とは逆の方向に駆動電流を流す場合には、図７（Ｂ）に示すように、下層側から上層側に向かって、ＩＴＯ膜からなる画素電極４１（負極）、透光性をもつほど薄いリチウム含有アルミニウム電極４５、有機半導体層４３、正孔注入層４２、ＩＴＯ膜層４６、リチウム含有アルミニウムまたは

カルシウムなどの金属膜からなる対向電極ｏｐ（正極）をこの順に積層して、発光素子４０を構成する場合もある。このように構成すると、図７（Ａ）、（Ｂ）に示す各発光素子４０においてそれぞれ逆極性の駆動電流が流れる場合でも、正孔注入層４２および有機半導体層４３が直接、接する電極層の構成が同一であるため、発光特性が同等である。これらの図７（Ａ）、（Ｂ）に示した発光素子４０は、いずれも下層側（基板の側）にＩＴＯ膜からなる画素電極４１を有し、光は、矢印ｈνで示すように、画素電極４１および透明基板１０を透過して透明基板１０の裏面側から射出される。

これに対して、図８（Ａ）、（Ｂ）に示すように発光素子４０を構成すると、光は、矢印ｈνで示すように、対向電極ｏｐを透過して透明基板１０の表面側に射出される。すなわち、図８（Ａ）に示すように、リチウム含有アルミニウムなどの金属膜からなる画素電極４１（負極）の表面には有機半導体膜４３および正孔注入層４２が積層され、さらに正孔注入層４２の表面にはＩＴＯ膜からなる対向電極ｏｐ（正極）が形成されている。この対向電極ｏｐも、全面に一枚板で、あるいはストライプ状に形成された共通電極で、一定の電位に保持されている。これに対して、図８（Ａ）に示す発光素子とは逆の方向に駆動電流を流すには、図８（Ｂ）に示すように、下層側から上層側に向かって、リチウム含有アルミニウムなどの金属膜からなる画素電極４１（正極）、ＩＴＯ膜層４６、正孔注入層４２、有機半導体層４３、透光性をもつほど薄いリチウム含有アルミニウム電極４５、ＩＴＯ膜からなる対向電極ｏｐ（負極）をこの順に積層して、発光素子４０を構成する場合もある。

いずれの構造を有する発光素子４０を形成するにあたっても、正孔注入層４２および有機半導体膜４３は、後述するように、インクジェット法によりバンク層ｂａｎｋの内側に形成すれば、上下位置が反対でも製

造工程が複雑になることはない。また、透光性をもつほど薄いリチウム含有アルミニウム電極４５、およびＩＴＯ膜層４６を追加する場合でも、リチウム含有アルミニウム電極４５は画素電極４１と同じ領域で積層している構造になっていても表示に支障がなく、ＩＴＯ膜層４６も対向電極ｏｐと同じ領域で積層している構造になっていても表示に支障がない。それ故、リチウム含有アルミニウム電極４５と画素電極４１とはそれぞれ別々にパターニングしてもよいが、同じレジストマスクで一括してパターニングしてもよい。同様に、ＩＴＯ膜層４６と対向電極ｏｐとはそれぞれ別々にパターニングしてもよいが、同じレジストマスクで一括してパターニングしてもよい。リチウム含有アルミニウム電極４５およびＩＴＯ膜層４６はバンク層ｂａｎｋの内側領域のみに形成してもよいことは勿論である。

さらに、対向電極ｏｐの方をＩＴＯ膜で形成し、画素電極４１の方を金属膜で構成してもよい。いずれも場合でも透明なＩＴＯ膜の方から光が射出されることになる。

このように構成された発光素子４０は、対向電極ｏｐおよび画素電極４１をそれぞれ正極および負極として電圧が印加され、図９（図７（Ａ）、図８（Ｂ）に示す発光素子４０の電流－電圧特性）、図１０（図７（Ｂ）、図８（Ａ）に示す発光素子４０の電流－電圧特性）にそれぞれ示すように、印加電圧（横軸／画素電極４１に対する対向電極ｏｐの電位）がしきい値電圧を越えた領域でオン状態、すなわち、低抵抗状態になって有機半導体膜４３に流れる電流（駆動電流）が急激に増大する。その結果、発光素子４０は、エレクトロルミネッセンス素子あるいはＬＥＤ素子として発光し、発光素子４０の射出光は、対向電極ｏｐに反射され、透明な画素電極４１および透明基板１０を通して射出される。それとは反対に、印加電圧（横軸／画素電極４１に対する対向電極ｏｐの

電位）がしきい値電圧を下回る領域ではオフ状態、すなわち、高抵抗状態になって有機半導体膜４３に電流（駆動電流）が流れず、発光素子４０は消灯する。なお、図９、図１０に示す例ではそれぞれ＋２Ｖ付近、－２Ｖ付近がしきい値電圧である。

ここで、発光効率はやや低下する傾向にあるものの、正孔注入層４２を省略することもある。また、正孔注入層４２を用いずに、有機半導体層４３に対して正孔注入層４２が形成されている位置とは反対側の位置に電子注入層を設ける場合もある。また、正孔注入層４２および電子注入層の両方を設ける場合もある。

（ＴＦＴの特性）

このように構成した発光素子４０での発光を制御するためのＴＦＴ（図２における第１のＴＦＴ２０および第２のＴＦＴ３０）として、Ｎチャネル型、およびＰチャネル型のＴＦＴの電流電圧特性を図１１および図１２（いずれの図においても、ドレイン電圧が４Ｖ、８Ｖの例を示してある。）に示す。これらの図からわかるように、ＴＦＴは、ゲート電極に印加するゲート電圧によってオン、オフ動作を行う。すなわち、ゲート電圧がしきい値電圧を越えると、ＴＦＴはオン状態（低抵抗状態）になってドレイン電流が増大する。これに対して、ゲート電圧がしきい値電圧を下回ると、ＴＦＴはオフ状態（高抵抗状態）になってドレイン電流が低減する。

（表示装置の製造方法）

このように構成した表示装置１の製造方法において、透明基板１０上に第１のＴＦＴ２０および第２のＴＦＴ３０を製造するまでの工程は、液晶表示装置１のアクティブマトリクス基板を製造する工程と略同様であるため、簡単に図１３を参照してその概要を説明する。

図１３は、表示装置１の各構成部分を６００℃以下の温度条件下で形

成していく過程を模式的に示す工程断面図である。

すなわち、図１３（Ａ）に示すように、透明基板１０に対して、必要に応じて、ＴＥＯＳ（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズマＣＶＤ法により厚さが約２０００～５０００オングストロームのシリコン酸化膜からなる下地保護膜（図示せず。）を形成する。次に基板の温度を約３５０℃に設定して、下地保護膜の表面にプラズマＣＶＤ法により厚さが約３００～７００オングストロームのアモルファスのシリコン膜からなる半導体膜１００を形成する。次にアモルファスのシリコン膜からなる半導体膜１００に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜１００をポリシリコン膜に結晶化する。レーザアニール法では、たとえば、エキシマレーザでビーム形状の長寸が４００ｍｍのラインビームを用い、その出力強度はたとえば２００ｍＪ／ｃｍ^2 である。ラインビームについてはその短寸方向におけるレーザ強度のピーク値の９０％に相当する部分が各領域毎に重なるようにラインビームを走査していく。

次に、図１３（Ｂ）に示すように、半導体膜１００をパターニングして島状の半導体膜２００、３００とし、その表面に対して、ＴＥＯＳ（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズマＣＶＤ法により厚さが約６００～１５００オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜５０を形成する。

次に、図１３（Ｃ）に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターニングし、走査線ｇａｔｅの一部としてのゲート電極２１、３１を形成する。この工程では容量線ｃｌｉｎｅも形成する。なお、図中、３１０はゲート電極３１の延設部分である。

この状態で高濃度のリンイオンあるいはボロンイオンなどの不純物を

打ち込んで、シリコン薄膜２００、３００にはゲート電極２１、３１に対して自己整合的にソース・ドレイン領域２２、２３、３２、３３を形成する。なお、不純物が導入されなかった部分がチャネル領域２７、３７となる。本形態では、後述するように、同一の基板上に導電型の異なるＴＦＴを製造する場合があるので、その場合には、不純物導入工程において逆導電型のＴＦＴ形成領域をマスクで覆いながら不純物の導入をすすめていく。

次に、図１３（Ｄ）に示すように、第１の層間絶縁膜５１を形成した後、コンタクトホール６１、６２、６３、６４、６９を形成し、データ線ｓｉｇ、容量線ｃｌｉｎｅおよびゲート電極３１の延設部分３１０に重なる延設部分ｓｔ１を備える電位保持電極ｓｔ、共通給電線ｃｏｍ、および中継電極３５を形成する。その結果、電位保持電極ｓｔはコンタクトホール６９および延設部分３１０を介してゲート電極３１に電気的に接続する。このようにして第１のＴＦＴ２０および第２のＴＦＴ３０を形成する。また、容量線ｃｌｉｎｅと電位保持電極ｓｔの延設部分ｓｔ１とによって保持容量ｃａｐが形成される。

次に、図１３（Ｅ）に示すように、第２の層間絶縁膜５２を形成し、この層間絶縁膜には、中継電極３５に相当する部分にコンタクトホール６５を形成する。次に、第２の層間絶縁膜５２の表面全体に導電膜を形成した後、パターニングし、コンタクトホール６５を介して第２のＴＦＴ３０のソース・ドレイン領域３２に電気的に接続する画素電極４１を形成する。

次に、図１３（Ｆ）に示すように、第２の層間絶縁膜５２の表面側に黒色のレジスト層を形成した後、このレジストを発光素子４０の有機半導体膜４３、および正孔注入層４２を形成すべき領域を囲むように残し、バンク層ｂａｎｋを形成する。ここで、有機半導体膜４３は、各画素

毎に独立して箱状に形成される場合、データ線ｓｉｇに沿ってストライプ状に形成される場合のいずれであっても、それに対応する形状にバンク層ｂａｎｋを形成するだけで、本形態に係る製造方法を適用できる。

次に、バンク層ｂａｎｋの内側領域に対してインクジェットヘッドＩＪから、有機半導体膜４３を構成するための液状の材料（前駆体）を吐出し、バンク層ｂａｎｋの内側領域に有機半導体膜４３を形成する。同様に、バンク層ｂａｎｋの内側領域に対してインクジェットヘッドＩＪから、正孔注入層４２を構成するための液状の材料（前駆体）を吐出し、バンク層ｂａｎｋの内側領域に正孔注入層４２を形成する。なお、図７（Ａ）、（Ｂ）および図８（Ａ）、（Ｂ）を参照して発光素子４０の構造を説明したように、その構造によっては、有機半導体膜４３および正孔注入層４２を形成していく順序が入れ替わることもある。

ここで、バンク層ｂａｎｋはレジストから構成されているため、撥水性である。これに対して、有機半導体膜４３や正孔注入層４２の前駆体は親水性の溶媒を用いているため、有機半導体膜４３の塗布領域はバンク層ｂａｎｋによって確実に規定され、隣接する画素にはみ出ることがない。また、バンク層ｂａｎｋを十分高く形成しておくと、インクジェット法を用いなくてもスピンコート法などといった塗布法を用いた場合でも、所定領域に有機半導体膜４３や正孔注入層４２を形成できる。

本形態では、有機半導体膜４３や正孔注入層４２をインクジェット法により形成する際の作業効率を高めるために、図３に示すように、走査線ｇａｔｅの延設方向に沿って隣接するいずれの画素７間でも、前記有機半導体膜４３の形成領域の中心のピッチＰを等しくしてある。従って、矢印Ｑで示すように、走査線ｇａｔｅの延設方向に沿って等間隔の位置にインクジェットヘッドＩＪから有機半導体膜４３の材料などを吐出すればよいという利点がある。また、等ピッチの移動でよいため、イン

クジェットヘッドＩＪの移動機構が簡易になり、かつ、インクジェットヘッドＩＪの打ち込み精度を上げることも容易となる。

しかる後には、図１３（Ｇ）に示すように、透明基板１０の表面側に対向電極ｏｐを形成する。ここで、対向電極ｏｐは全面またはストライプ状に形成されるが、対向電極ｏｐをストライプ状に形成する場合には、透明基板１０の表面全体に導電膜を形成した後、それをストライプ状にパターニングする。

なお、図１に示すデータ側駆動回路３や走査側駆動回路４にもＴＦＴが形成されるが、これらのＴＦＴは前記の画素７にＴＦＴを形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成するＴＦＴも、画素７のＴＦＴと同一の層間に形成されることになる。

本形態において、バンク層ｂａｎｋは黒色で絶縁性のレジストから構成されているので、そのまま残し、ブラックマトリクスＢＭ、および寄生容量を低減するための絶縁層として利用する。

すなわち、図１に示すように、透明基板１０の周辺領域に対しても前記のバンク層ｂａｎｋ（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路３および走査側駆動回路４はいずれも、バンク層ｂａｎｋによって覆われているため、これらの駆動回路の形成領域に対して対向電極ｏｐが重なる状態にあっても、駆動回路の配線層と対向電極ｏｐとの間にバンク層ｂａｎｋが介在することになる。それ故、駆動回路３、４に容量が寄生することを防止できるので、データ側駆動回路３の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

また、本形態では、図３ないし図５に示すように、データ線ｓｉｇに重なるようにバンク層ｂａｎｋを形成してある。従って、データ線ｓｉ

ｇと対向電極ｏｐとの間にバンク層ｂａｎｋが介在することになるので、データ線ｓｉｇに容量が寄生することを防止できる。その結果、駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

さらに、本形態では、図３、図４、および図６（Ａ）に示すように、画素電極４１と中継電極３５とが重なる領域にもバンク層ｂａｎｋを形成するとよい。すなわち、図６（Ｂ）に示すように、画素電極５１と中継電極３５とが重なる領域にバンク層ｂａｎｋが形成されていない場合、たとえ画素電極と対向電極ｏｐとの間に駆動電流が流れて有機半導体膜４３が発光しても、この光は中継電極３５と対向電極ｏｐとに挟まれているため出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、このような無効電流が流れるはずの部分にバンク層ｂａｎｋを形成し、そこに駆動電流が流れることを防止するので、共通給電線ｃｏｍに無駄な電流が流れることが防止できる。それ故、共通給電線ｃｏｍの幅はその分狭くてよい。

また、前記のように黒色のレジストで構成したバンク層ｂａｎｋを残しておくと、バンク層ｂａｎｋはブラックマトリクスとして機能し、輝度、コントラスト比等の表示の品位が向上する。すなわち、本形態に係る表示装置１では、対向電極ｏｐが透明基板１０の表面側の全面、あるいは広い領域にわたってストライプ状に形成されるため、対向電極ｏｐでの反射光がコントラスト比を低下させる。しかるに本形態では、有機半導体膜４３の形成領域を規定しながら寄生容量を抑える機能を有するバンク層ｂａｎｋを黒色のレジストで構成したため、バンク層ｂａｎｋはブラックマトリクスとしても機能し、対向電極ｏｐからの無駄な反射光を遮るので、コントラスト比が高いという利点がある。また、バンク

層ｂａｎｋを利用して自己整合的に発光領域を規定することができるので、バンク層ｂａｎｋをブラックマトリクスとして用いずに別の金属層などをブラックマトリクスとして用いたときに問題となる発光領域とのアライメント余裕が不要である。

（アクティブマトリクス基板の別の構成）

なお、本発明は上記の構成に限らず、各種のアクティブマトリクス基板に適用できる。たとえば、図３１を参照して説明したように、透明基板１の上において、１本のデータ線ｓｉｇ、１本の共通給電線ｃｏｍ、１列の画素７を１つの単位として走査線ｇａｔｅの延設方向に繰り返した構成の表示装置１Ａについても本発明を適用できる。

また、保持容量ｃａｐについては、容量線を用いずに、共通給電線ｃｏｍと電位保持電極ｓｔとの間に構成してもよい。この場合には、図１４（Ａ）、（Ｂ）に示すように、電位保持電極ｓｔとゲート電極３１とを電気的に接続させるためのゲート電極３１の延設部分３１０を共通給電線ｃｏｍの下層側にまで拡張し、この延設部分３１０と共通給電線ｃｏｍとの間の位置する第１の層間絶縁膜５１を誘電体膜とする保持容量ｃａｐを構成する。

さらに、保持容量ｃａｐについては、図示を省略するが、ＴＦＴを構成するためのポリシリコン膜を利用して構成してもよく、また、容量線や共通給電線に限らず、前段の走査線との間に構成することも可能である。

［実施の形態１］

図１５は、本形態の表示装置１の画素構成を示す等価回路図である。図１６（Ａ）、（Ｂ）はそれぞれ、各画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図１５、図１６（Ａ）、（Ｂ）に示すように、本形態では、第１のＴＦＴ２０はＮチャネル型である。従って、走査線ｇａｔｅから供給される走査信号Ｓgateが高電位になったときに、第１のＴＦＴ２０がオン状態になって、データ線ｓｉｇから第１のＴＦＴ２０を介して保持容量ｃａｐに画像信号ｄａｔａが書き込まれ、走査線ｇａｔｅから供給される走査信号Ｓgateが低電位になっている間は、保持容量ｃａｐに保持された画像信号ｄａｔａによって第２のＴＦＴ３０が駆動制御される。

本形態では、第２のＴＦＴ３０もＮチャネル型である。従って、データ線ｓｉｇからは、点灯状態とすべき画素の保持容量ｃａｐには高電位側の画像信号ｄａｔｅが書き込まれ、消灯状態とすべき画素の保持容量ｃａｐには低電位側の画像信号ｄａｔｅが書き込まれ、それに応じて、電位保持電極ｓｔの電位が変化する。

ここで、第２のＴＦＴ３０のゲート電圧Ｖｇcur は、共通給電線ｃｏｍの電位、および画素電極３０の電位のうちの低い方の電位と、電位保持電極ｓｔの電位との差に相当する。しかるに本形態では、発光素子４０の対向電極ｏｐの電位に対して共通給電線ｃｏｍの電位を低くして、第２のＴＦＴ３０がオン状態になったときには、矢印Ｆで示すように、発光素子４０の方から共通給電線ｃｏｍの方に電流が流れるように構成してある。このため、第２のＴＦＴ３０のゲート電圧Ｖｇcur は、共通給電線ｃｏｍの電位と電位保持電極ｓｔの電位との差に相当する。この共通給電線ｃｏｍの電位については、共通給電線ｃｏｍの電位と対向電極ｏｐの電位との間の電位に相当する画素電極３０の電位と相違して、十分に低い値に設定することができる。従って、本形態では、第２のＴＦＴ３０のゲート電圧Ｖｇcur を十分、高い値とすることができるため、第２のＴＦＴ３０のオン電流が大きいので、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第２のＴＦＴ３０のゲ

ート電圧Ｖｇcur として高い値が得られるのであれば、その分、そのときの電位保持電極ｓｔの電位、すなわち、画像信号ｄａｔａの高電位側の電位を下げることができるので、画像信号ｄａｔａの振幅を小さくし、表示装置１における駆動電圧を下げることができる。

なお、第２のＴＦＴ３０のオン電流は、ゲート電圧Ｖｇcur に限らず、ドレイン電圧にも依存するが、上記の結論が変わることはない。

また、本形態では、第２のＴＦＴ３０のオン電流が共通給電線ｃｏｍの電位と電位保持電極ｓｔの電位との差に規定され、対向電極ｏｐの電位から直接的な影響を受けないので、画素を点灯状態とするための画像信号ｄａｔａの高電位側の電位を、対向電極ｏｐの電位より低い電位にまで下げ、画像信号ｄａｔａの振幅を小さくして、表示装置１における駆動電圧の低電圧化を図ってある。なお、画素を点灯状態とするための画像信号ｄａｔａの高電位側の電位を、対向電極ｏｐと等電位にまで下げ、画像信号ｄａｔａの振幅を小さくしてもよい。

さらに、本形態では、消灯状態とすべき画素に対してデータ線ｓｉｇから供給される画像信号ｄａｔａの電位を、共通給電線ｃｏｍの電位と比較してやや高電位側にしてある。第２のＴＦＴ３０はＮチャネル型であるため、それを完全にターンオフさせるには、第２のＴＦＴ３０のゲート電圧Ｖｇcur を負（共通給電線ｃｏｍより低い電位）とすることになる。または、第２のＴＦＴ３０のゲート電圧Ｖｇcur の絶対値が第２のＴＦＴ３０のしきい値電圧の絶対値に相当するレベルよりやや低い電位となるなるように、画像信号ｄａｔａの低電位側の電位を高めに設定する。このときは、消灯状態にある画素７において第２のＴＦＴ３０のゲート電圧を、第２のＴＦＴ３０がオン状態となるときの極性と同じで、かつ、第２のＴＦＴ３０のしきい値電圧を下回る値に設定する。この時、画像信号ｄａｔａの低電位側の電位を上記の通りに高めに設定した

場合でも、第２のＴＦＴ３０は高抵抗状態にあって、オン電流が極めて小さいので、発光素子４０は消灯にある。なお、消灯状態とすべき画素に対してデータ線ｓｉｇから供給される画像信号ｄａｔａの電位を、共通給電線ｃｏｍと等電位にして画像信号ｄａｔａの振幅を小さくしてもよい。

このように画像信号ｄａｔａの低電位側の電位を第２のＴＦＴ３０のしきい値を越えない程度に高めに設定すると、画像信号ｄａｔａの振幅を小さくできるので、画像信号ｄａｔａの駆動電圧を下げることができる。しかも、前記のとおり、画素を点灯状態とするための画像信号ｄａｔａの高電位側の電位を、対向電極ｏｐの電位より低い電位にまで下げてあるので、画像信号ｄａｔａの電位は、対向電極ｏｐと共通給電線ｃｏｍとで規定されるレンジ内におさまる。それ故、表示装置１における駆動電圧を下げることができ、表示装置１の消費電力を下げることができる。また、このように構成しても、画質の低下、動作の異常、動作可能な周波数の低下を招くものではなく、表示装置１の駆動電圧が低い分、薄膜から構成した各素子で懸念されていた耐電圧（絶縁耐圧）の問題が顕在化しないという利点もある。

［実施の形態１の変形例］

図１７は、本形態の表示装置１の画素構成を示す等価回路図である。図１８（Ａ）、（Ｂ）はそれぞれ、各画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。なお、本形態では、実施の形態１とは反対に、第１のＴＦＴ２０および第２のＴＦＴ３０のいずれをもＰチャネル型のＴＦＴで構成してある。但し、本形態は、実施の形態１と同一の技術的思想のもとで各素子を駆動制御することとし、実施の形態１で説明した駆動信号の極性を反転させてあるだけであり、その他の点については同様な構成を有す

るものであるため、構成については簡単に説明するだけとする。

図１７、図１８（Ａ）、（Ｂ）に示すように、本形態では、第１のＴＦＴ２０はＰチャネル型であるため、走査線ｇａｔｅから供給される走査信号Ｓgateが低電位になったときに、第１のＴＦＴ２０がオン状態になる。

本形態では、第２のＴＦＴ３０もＰチャネル型である。従って、データ線ｓｉｇからは、点灯状態とすべき画素の保持容量ｃａｐに低電位側の画像信号ｄａｔｅが書き込まれ、消灯状態とすべき画素の保持容量ｃａｐには高電位側の画像信号ｄａｔｅが書き込まれる。

ここで、第２のＴＦＴ３０のゲート電圧Ｖｇcur は、共通給電線ｃｏｍの電位、および画素電極３０の電位のうちの高い方の電位と、電位保持電極ｓｔの電位との差に相当する。しかるに本形態では、発光素子４０の対向電極ｏｐの電位に対して共通給電線ｃｏｍの電位を高くして、第２のＴＦＴ３０がオン状態になったときには、矢印Ｅで示すように、共通給電線ｃｏｍの方から発光素子４０の方に電流が流れるように構成してある。このため、第２のＴＦＴ３０のゲート電圧Ｖｇcur は、共通給電線ｃｏｍの電位と電位保持電極ｓｔの電位との差に相当する。この共通給電線ｃｏｍの電位については、共通給電線ｃｏｍの電位と対向電極ｏｐの電位との間の電位に相当する画素電極３０の電位と相違して、十分に高い値に設定することができる。従って、本形態では、第２のＴＦＴ３０のゲート電圧Ｖｇcur を十分、高い値とすることができるため、第２のＴＦＴ３０のオン電流が大きいので、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第２のＴＦＴ３０のゲート電圧Ｖｇcur として高い値が得られるのであれば、その分、そのときの電位保持電極ｓｔの電位、すなわち、画像信号ｄａｔａの低電位側の電位を上げることができるので、画像信号ｄａｔａの振幅を小さくで

きる。

また、本形態では、第２のＴＦＴ３０のオン電流が対向電極ｏｐの電位から直接的には影響を受けないので、画素を点灯状態とするための画像信号ｄａｔａの低電位側の電位を、対向電極ｏｐの電位よりやや高い電位まで上げ、画像信号ｄａｔａの振幅を小さくしてある。なお、画素を点灯状態とするための画像信号ｄａｔａの低電位側の電位を、対向電極ｏｐと等電位にまで上げ、画像信号ｄａｔａの振幅を小さくしてもよい。

さらに、本形態では、消灯状態とすべき画素に対してデータ線ｓｉｇから供給される画像信号ｄａｔａの電位を、共通給電線ｃｏｍの電位と比較してやや低電位にまで下げてある。すなわち、第２のＴＦＴ３０のゲート電圧Ｖｇcur の絶対値がこのＴＦＴのしきい値電圧の絶対値に相当するレベルよりやや低い電位となるなるように、画像信号ｄａｔａの高電位側の電位を低めに設定してある。これにより、第２のＴＦＴ３０ではオン電流が極めて小さくなり、発光素子４０は消灯にある。なお、消灯状態とすべき画素に対してデータ線ｓｉｇから供給される画像信号ｄａｔａの電位を、共通給電線ｃｏｍと等電位にして画像信号ｄａｔａの振幅を小さくしてもよい。

このように画像信号ｄａｔａの低電位側の電位を高めに設定し、かつ、画素を点灯状態とするための画像信号ｄａｔａの高電位側の電位を低めに設定してあるので、画像信号ｄａｔａの電位は、対向電極ｏｐと共通給電線ｃｏｍとで規定されるレンジ内におさまる。それ故、表示装置１における駆動電圧を下げることができ、表示装置１の消費電力を下げることができるなど、実施の形態１と同様な効果を奏する。

［実施の形態２］

図１９は、本形態の表示装置１の画素構成を示す等価回路図である。

図２０（Ａ）、（Ｂ）はそれぞれ、各画素に構成された各素子の電気的な接

続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図１９、図２０（Ａ）、（Ｂ）に示すように、本形態では、第１のＴＦＴ２０をＮチャネル型のＴＦＴで、第２のＴＦＴ３０をＰチャネル型のＴＦＴで構成してある。第２のＴＦＴ３０はＰチャネル型であるため、データ線ｓｉｇからは、点灯状態とすべき画素の保持容量ｃａｐには低電位側の画像信号ｄａｔｅが書き込まれ、消灯状態とすべき画素の保持容量ｃａｐには高電位側の画像信号ｄａｔｅが書き込まれる。第２のＴＦＴ３０のゲート電圧Ｖｇcur は、共通給電線ｃｏｍの電位、および画素電極３０の電位のうちの高い方の電位と、電位保持電極ｓｔの電位との差に相当する。

本形態では、発光素子４０の対向電極ｏｐの電位に対して共通給電線ｃｏｍの電位を高くして、第２のＴＦＴ３０のゲート電圧Ｖｇcur は、共通給電線ｃｏｍの電位と電位保持電極ｓｔの電位との差に相当するように構成してある。この共通給電線ｃｏｍの電位については、画素電極４１と比較して十分に高い値に設定することができるので、第２のＴＦＴ３０のオン電流が大きく、高い輝度で表示を行うことができる。また、その分、そのときの電位保持電極ｓｔの電位、すなわち、画像信号ｄａｔａの低電位側の電位を上げることができるので、画像信号ｄａｔａの振幅を小さくできる。また、第２のＴＦＴ３０のオン電流が対向電極ｏｐの電位から直接的には影響を受けないので、画素を点灯状態とするための画像信号ｄａｔａの低電位側の電位を、対向電極ｏｐの電位より高い電位、あるいは等電位にまで上げ、画像信号ｄａｔａの振幅を小さくしてある。さらに、本形態では、消灯状態とすべき画素に対してデータ線ｓｉｇから供給される画像信号ｄａｔａの電位を、共通給電線ｃｏ

ｍの電位と比較してやや低電位、あるいは等電位にして画像信号ｄａｔａの振幅を小さくしてある。それ故、画像信号ｄａｔａの電位を、対向電極ｏｐと共通給電線ｃｏｍとで規定されるレンジ内におさめ、ひいては表示装置１における駆動電圧を下げてあるので、表示装置１の消費電力を下げることができるなど、実施の形態１、あるいはその変形例と同様な効果を奏する。

本形態では、第１のＴＦＴ２０はＮチャネル型で、第２のＴＦＴ３０と逆導電型であるため、画素を選択するときの走査線ｇａｔｅの電位（走査信号Ｓgate）は高電位である。このときの第１のＴＦＴ２０のゲート電圧Ｖｇswは、走査信号Ｓgateの高電位にある電位と電位保持電極ｓｔ（保持容量ｓｔの電位、第２のＴＦＴ３０のゲート電極の電位）との電位差に相当する。ここで、第２のＴＦＴ３０はＰチャネル型であるため、画素７を点灯させるための画像信号ｄａｔａは低電位側であり、画素７の選択期間中、電位保持電極ｓｔの電位は低下していく。従って、第１のＴＦＴ２０のゲート電圧Ｖｇswは、オン電流が増大する方にシフトしていく。

一方、第２のＴＦＴ３０のゲート電圧Ｖｇcur は、共通給電線ｃｏｍと電位保持電極ｓｔとの電位差に相当し、選択した画素７が点灯状態にあるときには、選択期間中、電位保持電極ｓｔの電位は低下する傾向にあるため、第２のＴＦＴ３０のゲート電圧Ｖｇcur は、オン電流が増大する方にシフトしていく。

このように、本形態では、第１のＴＦＴ２０と第２のＴＦＴ３０とが逆導電型であるため、第１のＴＦＴ２０の書き込み能力を上げるためには走査信号Ｓgateの選択パルス高を高くし、発光素子４０の輝度を上げるために第２のＴＦＴ３０のオン抵抗を下げるべく画像信号ｄａｔａを低くすることになる。このような走査信号Ｓgateの選択パルス高と画像

信号ｄａｔａとに対する最適化は、画素７の選択期間中、発光素子４０を点灯させるレベルの画像信号ｄａｔａが保持容量ｃａｐに書き込まれていくにつれて、第１のＴＦＴ２０のゲート電圧に対して、当該ＴＦＴのオン電流が増大する方にシフトさせるのに効く。それ故、データ線ｓｉｇから第１のＴＦＴ２０を介して保持容量ｃａｐに画像信号ｄａｔａがスムーズに書き込まれる。ここで、画素７を選択する際の第１のＴＦＴ２０のゲート電圧Ｖｇswは、走査信号Ｓgateの高電位に相当する電位と電位保持電極ｓｔの電位（保持容量ｃａｐの電位、または第２のＴＦＴ３０のゲート電極の電位）との差に相当し、第２のＴＦＴ３０のゲート電圧Ｖｇcur は、共通給電線ｃｏｍの電位と電位保持電極ｓｔの電位との差に相当し、電位保持電極ｓｔの電位を基準にしたときには、走査信号Ｓgateの高電位に相当する電位と共通給電線ｃｏｍの電位は同じ極性である。従って、電位保持電極ｓｔの電位を変更すれば、その分、第１のＴＦＴ２０のゲート電圧Ｖｇswおよび第２のＴＦＴ３０のゲート電圧Ｖｇcur の双方が同じ方向に同じ分だけシフトする。それ故、表示装置１の駆動電圧レンジの範囲内で、点灯のための画像信号ｄａｔａの電位を、第１のＴＦＴ２０のオン時の抵抗が小さくなる方向に変更すれば、表示動作の高速化を図ることができるとともに、このときには第２のＴＦＴ３０のオン時の抵抗が小さくなる方向に点灯のための画像信号ｄａｔａの電位が変更したことになるので、輝度の向上を図ることができる。よって、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

［実施の形態２の変形例］

図２１は、本形態の表示装置１の画素構成を示す等価回路図である。図２２（Ａ）、（Ｂ）はそれぞれ、各画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図

である。なお、本形態では、実施の形態２とは反対に、第１のＴＦＴ２０をＰチャネル型とし、第２のＴＦＴ３０をＮチャネル型のＴＦＴで構成してある。但し、本形態は、実施の形態２と同一の技術的思想のもとで各素子を駆動制御することとし、実施の形態２で説明した駆動信号の極性を反転させ

てあるだけであるため、その構成を簡単に説明するに止める。

図２１、図２２（Ａ）、（Ｂ）に示すように、本形態では、実施の形態１と同様、第２のＴＦＴ３０はＮチャネル型であるため、データ線ｓｉｇからは、点灯状態とすべき画素の保持容量ｃａｐには高電位側の画像信号ｄａｔｅが書き込まれ、消灯状態とすべき画素の保持容量ｃａｐには低電位側の画像信号ｄａｔｅが書き込まれる。ここで、第２のＴＦＴ３０のゲート電圧Ｖｇcur は、共通給電線ｃｏｍの電位、および画素電極３０の電位のうちの低い方の電位と、電位保持電極ｓｔの電位との差に相当する。しかるに本形態では、発光素子４０の対向電極ｏｐの電位に対して共通給電線ｃｏｍの電位を低くしてあるため、第２のＴＦＴ３０のゲート電圧Ｖｇcur は、共通給電線ｃｏｍの電位と電位保持電極ｓｔの電位との差に相当する。この共通給電線ｃｏｍの電位については十分に低く電位とすることができるので、第２のＴＦＴ３０のオン電流が大きく、高い輝度で表示を行うことができる。または、輝度が高い分、そのときの電位保持電極ｓｔの電位、すなわち、画像信号ｄａｔａの高電位側の電位を上げて、画像信号ｄａｔａの振幅を小さくできる。また、第２のＴＦＴ３０のオン電流が対向電極ｏｐの電位から直接的には影響を受けないので、画素を点灯状態とするための画像信号ｄａｔａの高電位側の電位を、対向電極ｏｐの電位より低い電位、あるいは等電位にまで下げ、画像信号ｄａｔａの振幅を小さくしてある。さらに、本形態では、消灯状態とすべき画素に対してデータ線ｓｉｇから供給される

画像信号ｄａｔａの電位を、共通給電線ｃｏｍの電位と比較してやや高電位、あるいは等電位にして画像信号ｄａｔａの振幅を小さくしてある。それ故、画像信号ｄａｔａの電位を、対向電極ｏｐと共通給電線ｃｏｍとで規定されるレンジ内におさめ、表示装置１における駆動電圧を下げてあるので、表示装置１の消費電力を下げることができるなど、実施の形態１、あるいはその変形例と同様な効果を奏する。

本形態では第１のＴＦＴ２０はＰチャネル型で、第２のＴＦＴ３０と逆導電型であるため、画素を選択するときの走査線ｇａｔｅの電位（走査信号Ｓgate）は低電位である。これに対して、第２のＴＦＴ３０はＮチャネル型であるため、画素７を点灯させるための画像信号ｄａｔａは高電位側である。

このように、本形態では、第１のＴＦＴ２０と第２のＴＦＴ３０とが逆導電型であるため、第１のＴＦＴ２０の書き込み能力を上げるためには走査信号Ｓgateの選択パルスの電位を低くし、発光素子４０の輝度を上げるために第２のＴＦＴ３０のオン抵抗を下げるべく画像信号ｄａｔａの電位を低くすることになる。このような走査信号Ｓgateの選択パルス高と画像信号ｄａｔａとに対する最適化は、画素７の選択期間中、発光素子４０を点灯させるレベルの画像信号ｄａｔａが保持容量ｃａｐに書き込まれていくにつれて、第１のＴＦＴ２０のゲート電圧に対して、当該ＴＦＴのオン電流が増大する方にシフトさせるのに効く。従って、電位保持電極ｓｔの電位を基準にしたときには、走査信号Ｓgateの低電位に相当する電位と共通給電線ｃｏｍの電位は同じ極性であるため、電位保持電極ｓｔの電位を変更すれば、その分、第１のＴＦＴ２０のゲート電圧Ｖｇswおよび第２のＴＦＴ３０のゲート電圧Ｖｇcur の双方が同じ方向に同じ分だけシフトする。それ故、表示装置１の駆動電圧レンジの範囲内で、点灯のための画像信号ｄａｔａの電位を、第１のＴＦＴ２

０のオン時の抵抗が小さくなる方向に変更すれば、表示動作の高速化を図ることができる。このときには第２のＴＦＴ３０のオン時の抵抗が小さくなる方向に点灯のための画像信号ｄａｔａの電位を変更したことになるので、輝度の向上を図ることもできる。よって、実施の形態２と同様、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

尚、上述の実施の形態２及び実施の形態２の変形例において、最適な駆動方法について図２５を用いて説明する。

実施の形態２においては、第１のＴＦＴはＮチャネル型であり、第２のＴＦＴはＰチャネル型である。図２５に示されるように、発光素子４０を消灯させる際には、画像信号ｄａｔａの電位を共通給電線ｃｏｍの電位よりも高くしてＰチャネル型の第２のＴＦＴ３０をターンオフさせているが、本形態では、図２５に示すように、発光素子４０を消灯させる場合でも、第２のＴＦＴ３０を完全にターンオフさせない。すなわち、本形態では、第２のＴＦＴ３０がＰチャネル型であるため、それを完全にターンオフさせるには、ゲート電圧Ｖｇcur を０Ｖ（共通給電線ｃｏｍと同電位）、あるいは正の電位（共通給電線ｃｏｍより高い電位）とすることになるが、本形態では、第２のＴＦＴ３０のゲート電圧Ｖｇcur がこのＴＦＴのしきい値電圧Ｖthp(cur)に相当するレベルよりやや高い電位となるなるように、画像信号ｄａｔａの消灯時の電位を低めに設定してある。従って、消灯状態にある画素７において第２のＴＦＴ３０に印加されるゲート電圧は、第２のＴＦＴ３０がオン状態となるときの極性と同じであるが、第２のＴＦＴ３０のしきい値電圧（Ｖthp(cur)）を上回るような値である。例えば、第２のＴＦＴ３０のしきい値電圧（Ｖthp(cur)）を－４Ｖとしたとき、消灯状態で第２のＴＦＴ３０に印加されるゲート電圧は－３Ｖとする。

このように第１のＴＦＴがＮ型、第２のＴＦＴがＰ型の場合、画像信号ｄａｔａの消灯側の電位を従来より低めに設定すると、画像信号ｄａｔａの振幅を小さくできるので、画像信号ｄａｔａの低電圧化および高周波化を図ることができる。また、このように画像信号ｄａｔａの消灯側の電位を低めに設定した場合でも、Ｐチャネル型の第２のＴＦＴ３０では、しきい値電圧Ｖthp(cur)に相当するレベルよりやや高めの電位であるので、消灯時に流れる電流は極めて小さい。また、発光素子４０にかかる電圧が低ければ、極めて小さい駆動電流しか流れ込まない。それ故、発光素子４０を消灯させるのに実質上、問題点がない。

また、本形態では、画像信号ｄａｔａの消灯時の電位が共通給電線ｃｏｍの電位を越える必要がなければ、共通給電線ｃｏｍの電位を比較的高めに設定できる。そこで、本形態では、共通給電線ｃｏｍの電位を、第１のＴＦＴ２０をオン状態にするときの走査信号Ｓgateの電位と等しくしてある。それ故、走査側駆動回路において、走査信号Ｓgateの高電位として用いた信号レベルをそのまま共通給電線ｃｏｍに供給すればよいので、本形態の表示装置１では、使用する駆動信号のレベルの数が少なくて済み、表示装置１に駆動信号を入力するための端子数を減らすことができる。また、電源数を減らすことができるため、電源回路の低消費電力化、省スペース化を図ることができる。

この場合には、第１のＴＦＴ２０がＮチャネル型で、第２のＴＦＴ３０がＰチャネル型なので、消灯状態にある画素７の第２のＴＦＴ３０に印加されるゲート電極の電位は、第１のＴＦＴ２０をオン状態にするときの走査信号ｇａｔｅの電位から当該第１のＴＦＴ２０のしきい値電圧Ｖthn(sw) を差し引いた電位よりも低電位にする。すなわち、画素７を消灯状態にするときの画像信号ｄａｔａ（電位保持電極ｓｔの電位）と共通給電線ｃｏｍとの電位差Ｖoff の絶対値を下式

Ｖthn(sw)　　＜｜Ｖoff｜

に示すように、第１のＴＦＴ２０のしきい値電圧Ｖthn(sw) よりも大きく設定し、画素７を選択する際の第１のＴＦＴ２０の書き込み動作に支障が発生することを防止すればよい。

なお、実施の形態２の変形例の第１のＴＦＴ２０がＰチャネル型で、第２のＴＦＴ３０がＮチャネル型の場合には、図２６および図２７（Ａ）、（Ｂ）を参照して後述するように、本形態で説明した各信号の相対的な高低を入れ換えて、第１のＴＦＴ２０や第２のＴＦＴ３０に印加される電圧の極性を反転させることになる。この場合でも、本形態のように、発光素子４０を消灯させる際に第２のＴＦＴ３０を完全にターンオフさせなければ、画像信号ｄａｔａの低電圧化および高周波化を図ることができる。また、共通給電線ｃｏｍの電位を、第１のＴＦＴ２０をオン状態にするときの走査信号Ｓgateの電位と等しくすることにより、電源数を減らすことができる。この場合には、画素７を選択する際の第１のＴＦＴ２０の書き込み動作に支障がないように、消灯状態にある画素７の第２のＴＦＴ３０に印加されるゲート電極の電位は、第１のＴＦＴ２０をオン状態にするときの走査信号ｇａｔｅの電位に当該第１のＴＦＴ２０のしきい値電圧Ｖthn(sw) を加えた電位よりも高電位にする。

［実施の形態３］

本形態は、図２３にその等価回路を示すように、実施の形態２と同様、いずれの画素７においても第１のＴＦＴ２０をＮチャネル型とし、第２のＴＦＴ３０をＰチャネル型とした構成の一例である。また、本形態に係る表示装置１でも、第２のＴＦＴ３０がＰチャネル型なので、発光素子４０の対向電極ｏｐの電位に対して共通給電線ｃｏｍの電位を高くしてある。従って、第２のＴＦＴ３０がオン状態になったときには、矢印Ｅで示すように、共通給電線ｃｏｍの方から発光素子４０の方に電流

が流れる。尚、実施の形態２と同様であるため、共通する点については説明を省略し、異なる点についてのみ記載する。実施の形態２では保持容量が設けられていたが、本実施の形態では、保持容量ｃａｐが無い点で異なる。このような構成とすることにより、出に保持電極ｓｔの電位の変化を大きくすることができる。

なお、第１のＴＦＴ２０がＰチャネル型で、第２のＴＦＴ３０がＮチャネル型の場合には、図２６および図２７（Ａ）、（Ｂ）を参照して後述するように、本形態で説明した各信号の相対的な高低を入れ換えて、第１のＴＦＴ２０や第２のＴＦＴ３０に印加される電圧の極性を反転させることになる。この場合でも、第１のＴＦＴ２０の書き込み能力を上げるために走査信号の選択パルスの電位を低くし、第２のＴＦＴ３０のオン抵抗を下げて発光輝度を上げるためには画像信号の電位を高くすることになる。

［実施の形態３の変形例］

なお、上記実施の形態３では、いずれの画素７においても、第１のＴＦＴ２０がＮチャネル型で、第２のＴＦＴ３０がＰチャネル型の場合を説明したが、図２６に等価回路を示すように、第１のＴＦＴ２０がＰチャネル型で、第２のＴＦＴ３０がＮチャネル型として構成してもよい。この図に示す例では、発光素子４０の対向電極ｏｐの電位に対して共通給電線ｃｏｍの電位を低くして、第２のＴＦＴ３０がオン状態になったときには、矢印Ｆで示すように、発光素子４０の対向電極ｏｐの方から共通給電線ｃｏｍの方に電流が流れるように構成してある。

このように画素７を構成した場合には、図２７（Ａ）、（Ｂ）に示すように、図２４（Ａ）に示した波形の各駆動信号の極性を反転させることになる。

なお、実施の形態３においては、第１のＴＦＴ２０がＮチャネル型で

、第２のＴＦＴ３０がＰチャネル型のときには、発光素子４０の対向電極ｏｐの電位に対して共通給電線ｃｏｍの電位を低くして、第２のＴＦＴ３０がオン状態になったときは、発光素子４０の対向電極ｏｐの方から共通給電線ｃｏｍの方に電流が流れるように構成する場合もあり、このように構成した場合でも、第１のＴＦＴ２０および第２のＴＦＴ３０を逆導電型にしたことの効果については得ることができる。それとは逆に、第１のＴＦＴ２０がＰチャネル型で、第２のＴＦＴ３０がＮチャネル型のときには、発光素子４０の対向電極ｏｐの電位に対して共通給電線ｃｏｍの電位を高くして、第２のＴＦＴ３０がオン状態になったときは、共通給電線ｃｏｍの方から発光素子４０の方に電流が流れるように構成した場合も、第１のＴＦＴ２０および第２のＴＦＴ３０を逆導電型にしたことの効果については得ることができる。

［実施の形態４］

上記のいずれの形態１、２、３においても、図２８（Ａ）、（Ｂ）を参照して説明するように、保持容量ｃａｐの両電極のうち、第２のＴＦＴ３０のゲート電極に電気的に接続する電極とは反対側の電極には、走査信号ｇａｔｅの選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されるように構成してもよい。

ここに示す例では、図２８（Ａ）に示すように、保持容量ｃａｐの両電極のうち、第２のＴＦＴ３０のゲート電極に電位保持電極ｓｔを介して電気的に接続する電極とは反対側の電極が、走査線ｇａｔｅと並列するように延設された容量線ｃｌｉｎｅで構成されている。

この容量線ｃｌｉｎｅには、図２８（Ｂ）に示すように、走査信号Ｓgateの選択パルスＰgateより遅延して該選択パルスＰgateとは電位が逆方向に振れるパルス信号Ｐstg を含む電位ｓｔｇが供給されるように構成されている。

パルス信号Ｐstg は、該選択パルスＰgateが非選択状態になった後、保持容量ｃａｐの容量結合を利用して画像信号ｄａｔａの電位をシフトさせる。このため、画素７が消灯状態の保持容量ｃａｐには画像信号ｄａｔａの電位にパルス信号Ｐstg の電位を加算した分の信号が保持される。画像信号ｄａｔａの高電位側の信号は第１のＴＦＴ２０のオン抵抗が大きいため、書き込みを限られた時間で十分に行うは難しい。この例では、書き込みが十分でない場合、点灯できないことになる。しかし、本形態の実施例を用いることにより、保持容量ｃａｐへの画像信号ｄａｔａの書き込みを補うことができる。それでいて、駆動信号の電位の最大レンジが拡がることがない。

このようにして、容量線ｃｌｉｎｅにパルス信号Ｐstg をのせるにあたっては、図２９に示すように、容量線ｃｌｉｎｅを走査側駆動回路４から引き出すとともに、走査側駆動回路４においては、いずれのゲート段にもシフトレジスタ４０１からの出力信号をＮＡＮＤゲート回路およびインバータを介して走査線ｇａｔｅに走査信号Ｓgateとして出力する一方、シフトレジスタ４０１からの出力信号をＮＡＮＤゲート回路および２段のインバータを介して遅延させながら、図３０に示すように、高電位側の電源レベルをＶｄｄから電位Ｖｃｃｙにレベルシフトして容量線ｃｌｉｎｅに出力すればよい。

上述の実施の形態及びそれらの変形例においては、保持容量を付加する場合は、容量線ｃｌｉｎｅを設けたタイプの発光素子について説明した。しかしながら、本実施の形態はこのような容量線ｃｌｉｎｅを設ける構成に限るものではなく、保持容量の一方の電極を隣接するゲート線により構成にしてもよい。かかる構成の一例を図３４（Ａ）に回路ブロック図を、ゲート線の走査方向に対するゲート電極の電圧波形を図３４（Ｂ）にそれぞれ示す。このように、当該画素に対して、隣接するゲー

ト線を保持容量の一方の電極として構成することにより、容量線ｃｌｉｎｅをわざわざ設ける必要がないという効果を有するものである。

［その他の実施の形態］

上記のいずれの形態についても、第２のＴＦＴ３０の電流－電圧特性のいずれの領域で動作させるかについて記載しなかったが、第２のＴＦＴ３０をその飽和領域で動作させれば、ＴＦＴの弱い定電流特性を利用して発光素子４０に異常電流が流れることを防止することができる。例えば、発光素子４０を構成する有機半導体膜等にピンホール欠陥が生じていることがあるが、その場合でも、欠陥のある発光素子に流れる電流は制限され、発光素子４０の電極間で完全ショートになることがない。

これに対して、第２のＴＦＴ３０をその線形領域で動作させれば、そのしきい値電圧のばらつきが表示動作に影響を及ぼすことを防止することができる。

なお、ＴＦＴの構造についても、トップゲート型に限らず、ボトムゲート型でもよく、その製造方法に関しても低温プロセスに限定されるものではない。

発明の利用可能性

以上説明したように、本発明の請求項第１項から第７項に係る表示装置では、第２のＴＦＴのオン時のゲート電圧は、共通給電線の電位および画素電極の電位のうちの一方の電位と、ゲート電極の電位（画像信号の電位）との差に相当するので、第２のＴＦＴの導電型に応じて、共通給電線の電位と発光素子の対向電極の電位との相対的な高低を設定し、第２のＴＦＴのゲート電圧は、共通給電線の電位と電位保持電極の電位との差に相当するように構成してある。たとえば、第２のＴＦＴがＮチャネル型であれば、発光素子の対向電極の電位に対して共通給電線の電

位を低くしてある。この共通給電線の電位については、画素電極の電位と相違して、十分に低い値に設定することができるため、第２のＴＦＴで大きなオン電流が得られ、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第２のＴＦＴのとして高いゲート電圧が得られるのであれば、その分、そのときの画像信号の電位を下げることができるので、画像信号の振幅を小さくし、表示装置における駆動電圧を下げることができる。それ故、消費電力を低減できるともに、薄膜で構成された各素子で懸念されていた耐電圧の問題が顕在化しないという利点がある。

また、本発明の請求項第７項から第１１項に係る表示装置では、第１のＴＦＴと第２のＴＦＴとが逆導電型であるため、画素を選択するための走査信号のパルスと、発光素子を点灯させるための画像信号の電位とは逆にふれる関係にある。従って、点灯時の電位保持電極の電位（点灯のための画像信号の電位）を基準にしたときには、走査信号の高電位に相当する電位と共通給電線の電位は同じ極性であるため、点灯時の電位保持電極の電位（点灯のための画像信号の電位）を変更すれば、その分、第１のＴＦＴのゲート電圧および第２のＴＦＴのゲート電圧の双方が同じ方向に同じ分だけシフトする。それ故、表示装置の駆動電圧レンジの範囲内で、点灯のための画像信号の電位を、第１のＴＦＴのオン時の抵抗が小さくなる方向にシフトさせれば、表示動作の高速化を図ることができるとともに、このときには第２のＴＦＴのオン時の抵抗が小さくなる方向に点灯のための画像信号の電位がシフトしたことになるので、輝度の向上を図ることができる。よって、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

さらに、本発明の請求項第１１項または第１２項に係る表示装置では、保持容量の両電極のうち、第２のＴＦＴの第２のゲート電極に電気的

に接続する電極とは反対側の電極には、走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されるので、保持容量への画像信号の書き込みを補うことができる。それ故、画像信号の振幅を大きくせずに、第２のＴＦＴのゲート電極に印加される画像信号の電位を高輝度化の方向にシフトさせることができる。

請求の範囲

１．　基板上に、複数の走査線と、該複数の走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第１のゲート電極に供給される第１の薄膜トランジスタと、該第１の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第２のゲート電極に供給される第２の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との間において前記画素電極が第２の薄膜トランジスタを介して前記共通給電線に電気的に接続した時に前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光素子とを備える表示装置において、

前記第２の薄膜トランジスタはＮチャネル型であり、前記共通給電線は前記対向電極よりも低電位に設定されていることを特徴とする表示装置。

２．　基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第１のゲート電極に供給される第１の薄膜トランジスタと、該第１の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第２のゲート電極に供給される第２の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との間において前記画素電極が前記第２の薄膜トランジスタを介して前記共通給電

線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、

前記第２の薄膜トランジスタはＰチャネル型であり、前記共通給電線は前記対向電極よりも高電位に設定されていることを特徴とする表示装置。

３．　請求の範囲第１項において、点灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記対向電極の電位と比較して低電位、あるいは等電位であることを特徴とする表示装置。

４．　請求の範囲第２項において、点灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記対向電極の電位と比較して高電位、あるいは等電位であることを特徴とする表示装置。

５．　請求の範囲第１項または第３項において、消灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記共通給電線の電位と比較して高電位、あるいは等電位であることを特徴とする表示装置。

６．　請求の範囲第２項または第４項において、消灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記共通給電線の電位と比較して低電位、あるいは等電位であることを特徴とする表示装置。

７．　請求の範囲第１項ないし第６項のいずれかにおいて、前記第１の薄膜トランジスタと前記第２の薄膜トランジスタとは、逆導電型の薄膜トランジスタで構成されていることを特徴とする表示装置。

８．　基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介し

て走査信号が第１のゲート電極に供給される第１の薄膜トランジスタと、該第１の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第２のゲート電極に供給される第２の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第２の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、

前記第１の薄膜トランジスタと前記第２の薄膜トランジスタとは、互いに逆導電型の薄膜トランジスタで構成されていることを特徴とする表示装置。

９．　請求の範囲第８項において、消灯状態にある画素における前記第２の薄膜トランジスタに印加されるゲート電圧は、該第２の薄膜トランジスタがオン状態となるときの極性と同じで、かつ、該第２の薄膜トランジスタのしきい値電圧を越えない値であることを特徴とする表示装置。

１０．請求の範囲第９項において、前記第１の薄膜トランジスタはＮチャネル型、前記第２の薄膜トランジスタはＰチャネル型であって、

前記第１の薄膜トランジスタをオン状態の走査信号の電位と前記共通給電線の電位とが等しく、かつ、

消灯状態にある画素の前記第２の薄膜トランジスタに印加されるゲート電極の電位は、前記第１の薄膜トランジスタをオン状態にするときの走査信号の電位から当該第１の薄膜トランジスタのしきい値電圧を差し引いた電位よりも低電位であることを特徴とする表示装置。

１１．請求の範囲第９項において、前記第１の薄膜トランジスタはＰチャネル型、前記第２の薄膜トランジスタはＮチャネル型であって、

前記第１の薄膜トランジスタをオン状態にするときの走査信号の電位と前記共通給電線の電位とが等しく、かつ、

消灯状態にある画素の前記第２の薄膜トランジスタに印加されるゲート電極の電位は、前記第１の薄膜トランジスタをオン状態にするときの走査信号の電位に当該第１の薄膜トランジスタのしきい値電圧を加えた電位よりも高電位であることを特徴とする表示装置。

１２．請求の範囲第１項ないし第１１項のいずれかにおいて、前記保持容量の両電極のうち、前記第２の薄膜トランジスタの前記第２のゲート電極に電気的に接続する電極とは反対側の電極には、前記走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されるように構成されていることを特徴とする表示装置。

１３．基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第１のゲート電極に供給される第１の薄膜トランジスタと、該第１の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第２のゲート電極に供給される第２の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第２の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、

前記保持容量の両電極のうち、前記第２の薄膜トランジスタのゲート

電極に電気的に接続する電極とは反対側の電極には、前記走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスを供給することを特徴とする表示装置。

１４．請求の範囲第１項ないし第１３項のいずれかにおいて、前記発光薄膜が有機半導体膜であることを特徴とする表示装置。

１５．請求の範囲第１項ないし第１４項のいずれかにおいて、前記第２の薄膜トランジスタは飽和領域で動作するように構成されていることを特徴とする表示装置。

１６．請求の範囲第１項ないし第１４項のいずれかにおいて、前記第２の薄膜トランジスタは線形領域で動作するように構成されていることを特徴とする表示装置。

図 1

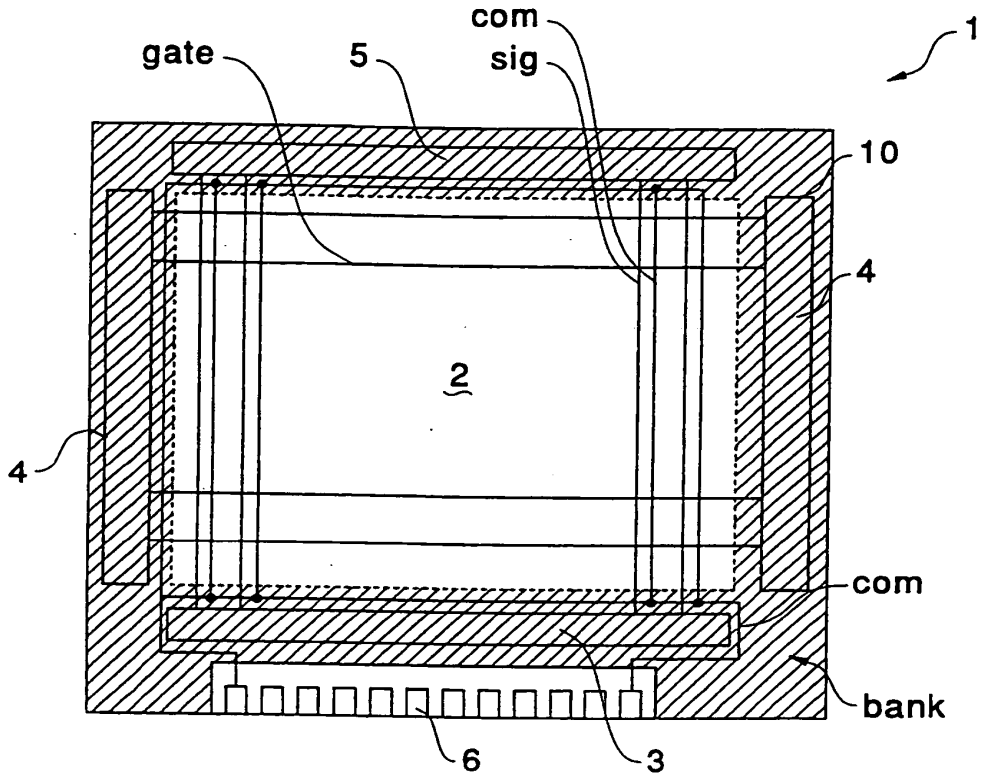
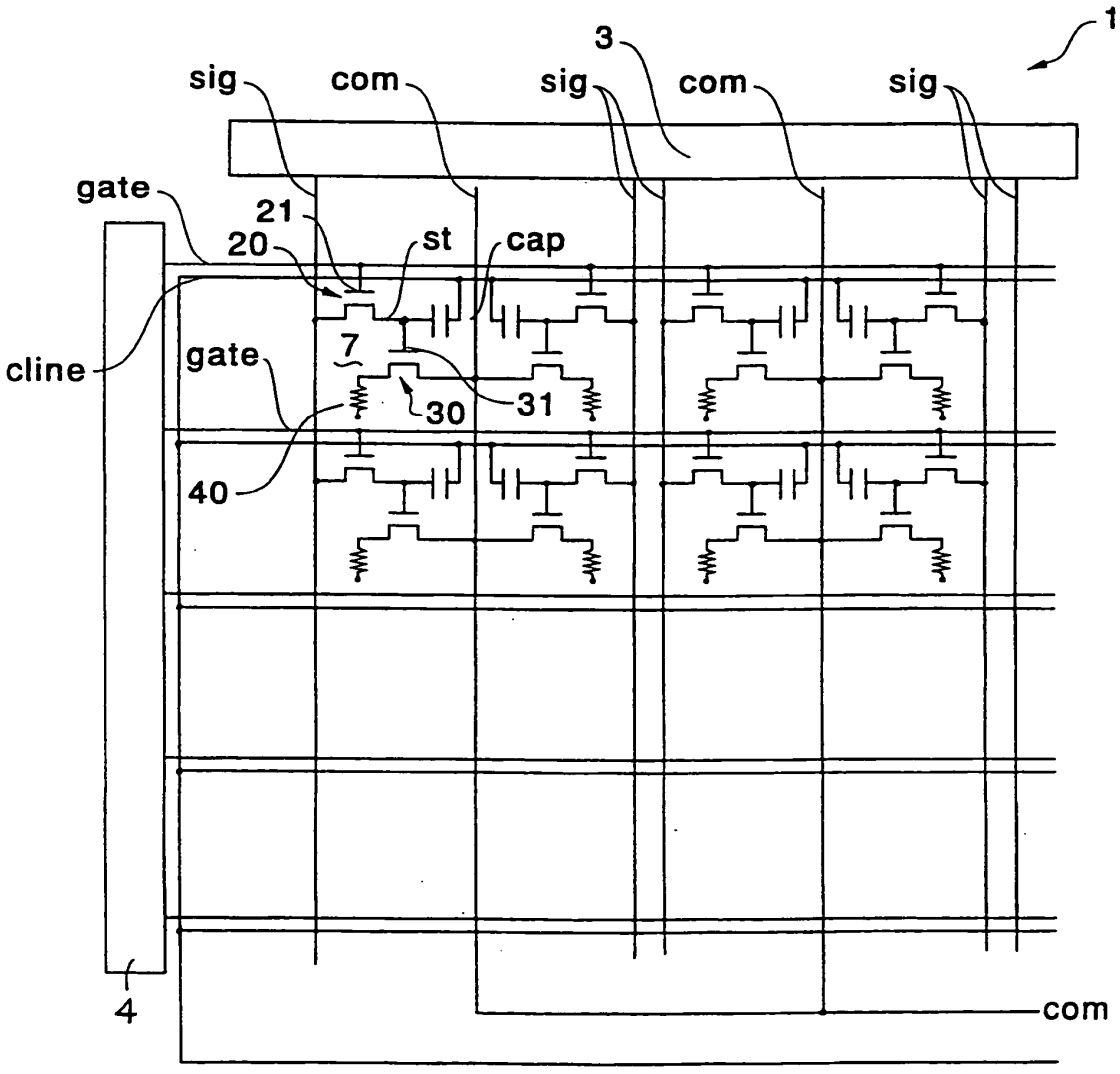
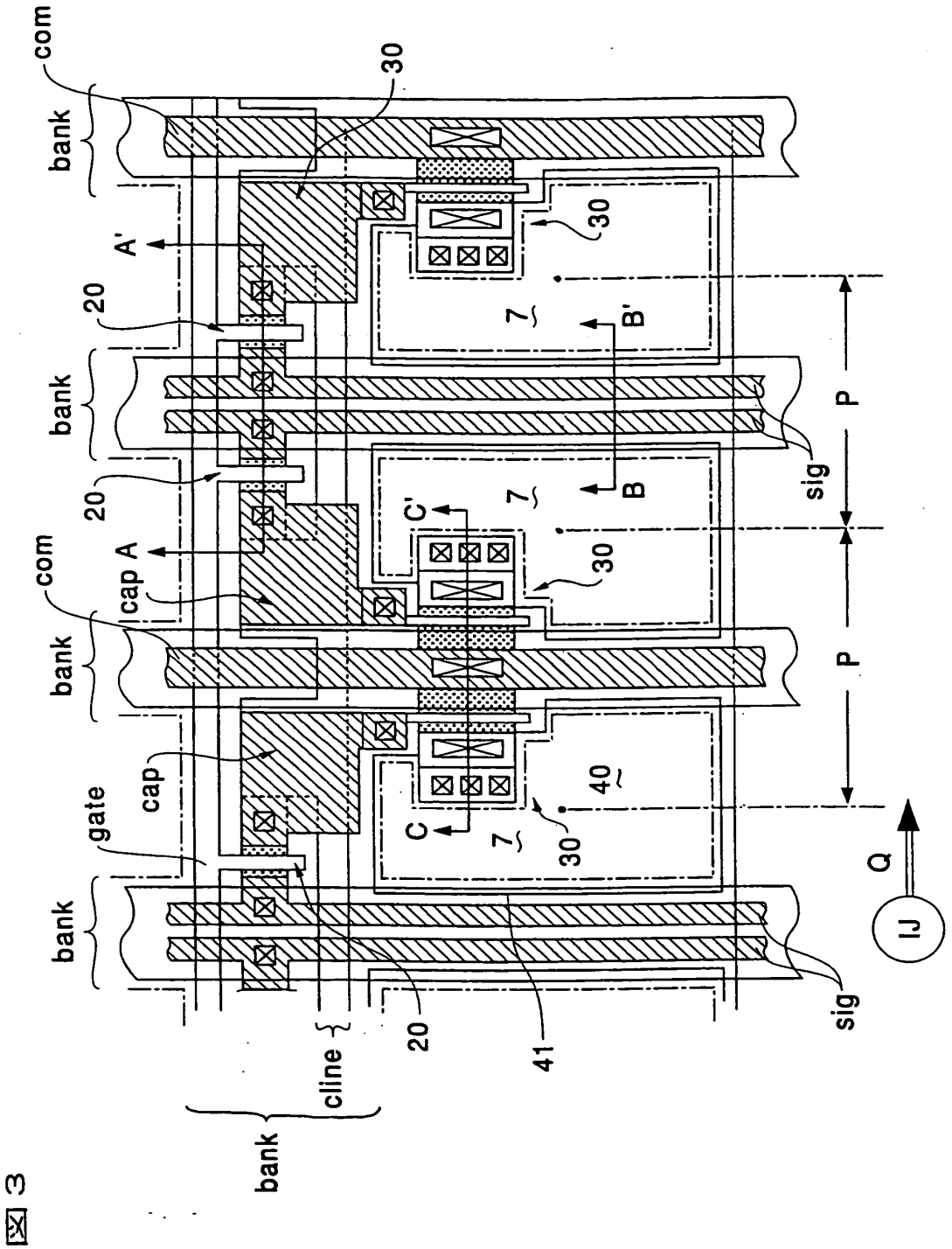


図 2


1
3
sig
com
sig
com
sig
gate
21
20
st
cap
cline
gate
7
30
31
40
4
com


com
bank
30
A'
20
bank
20
cap A
com
bank
cap
gate
bank
cline
bank
20
41
sig
P
P
sig
7
B'
B
C'
C
40
Q
IJ

3

図4

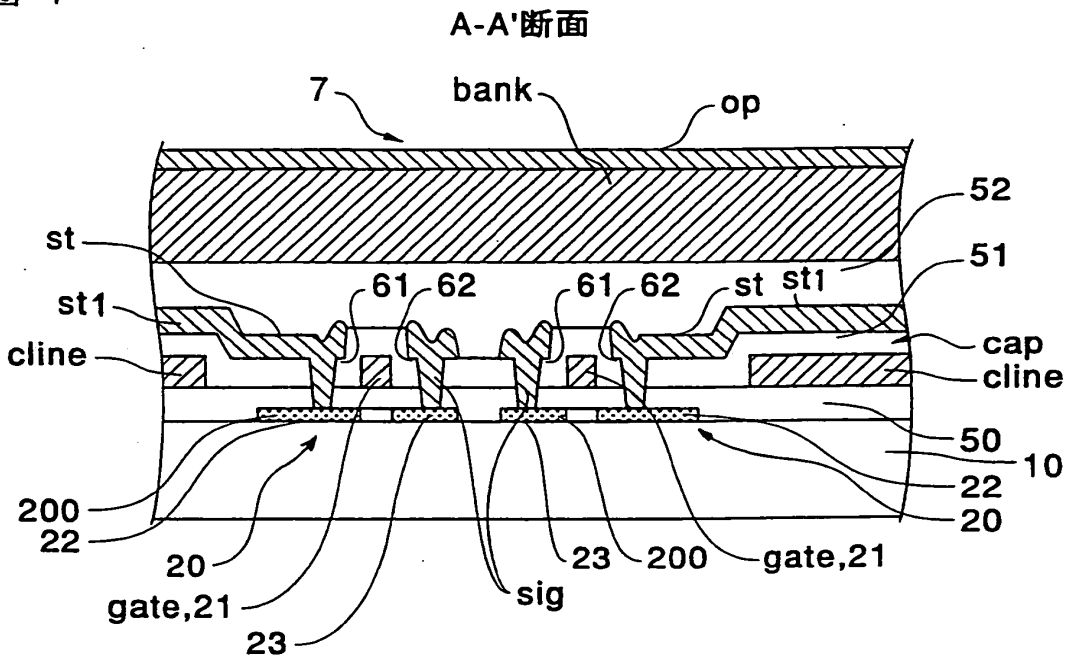

A-A'断面
7
bank
op
52
st
51
61
62
61
62
st
st1
st1
cap
cline
cline
50
10
22
200
22
20
20
23
200
gate,21
gate,21
sig
23

図5

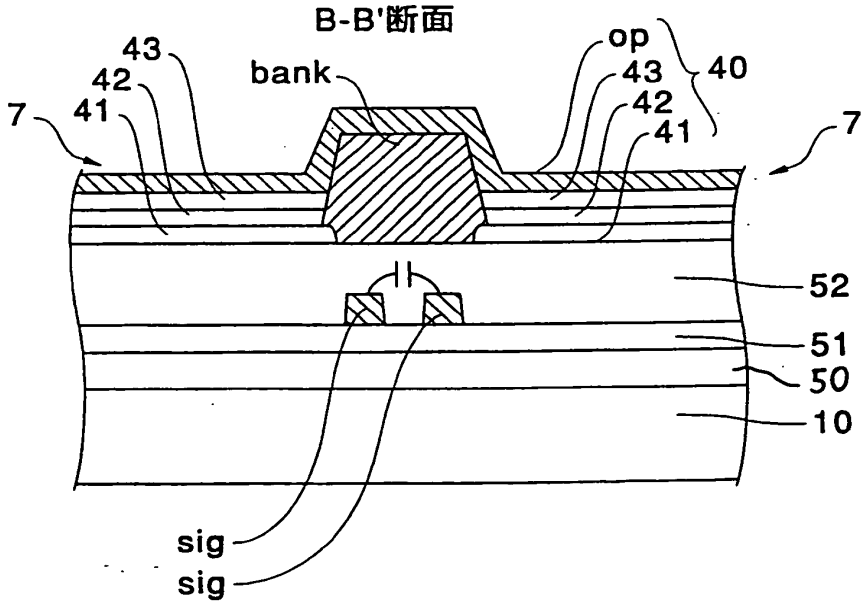
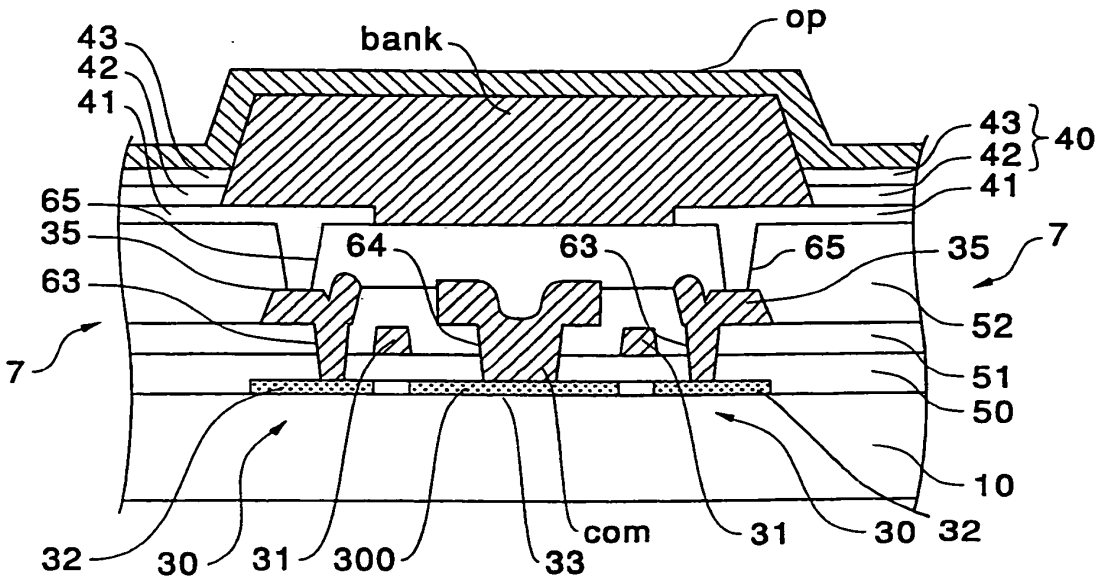

B-B'断面
43
42
41
7
bank
op
43
42
41
40
7
52
51
50
10
sig
sig

図6

(A)

C-C'断面



(B)

C-C'断面

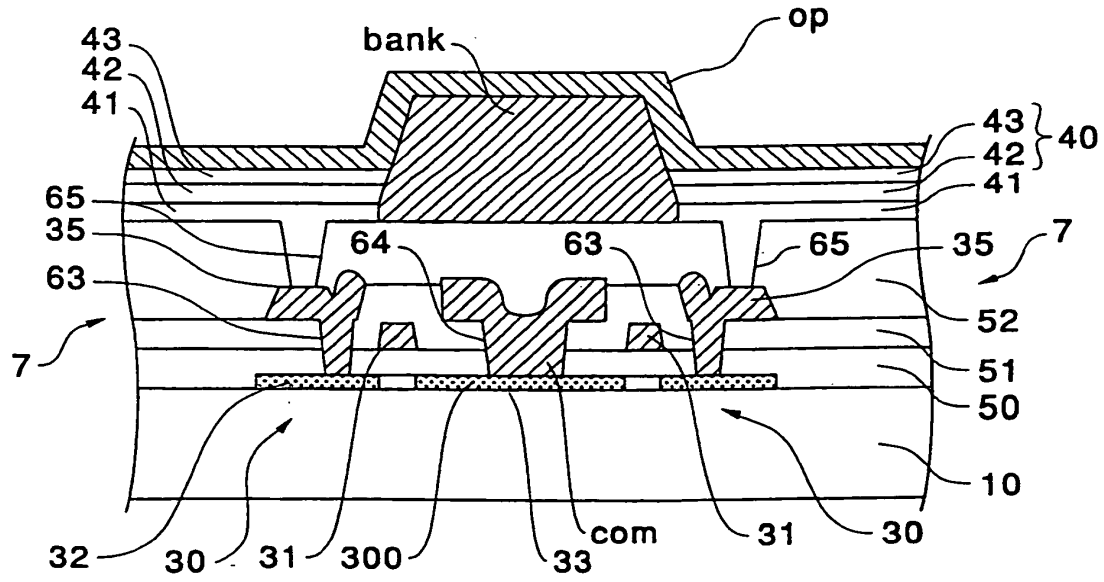
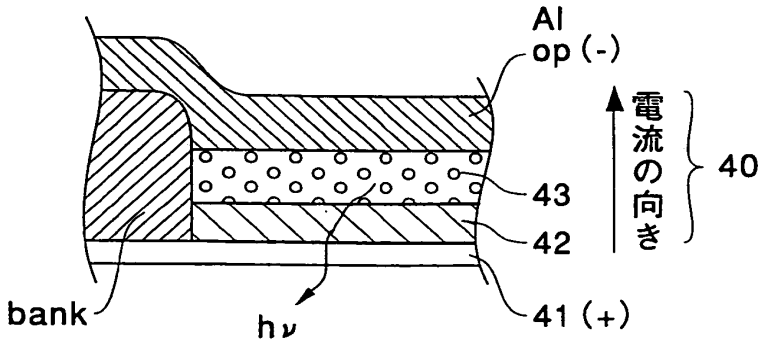


図 7

(A)


Al
op (-)
電流の向き
40
43
42
bank
hν
41 (+)

(B)

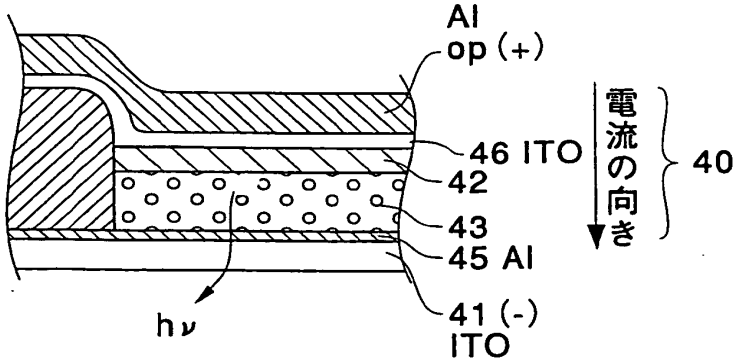
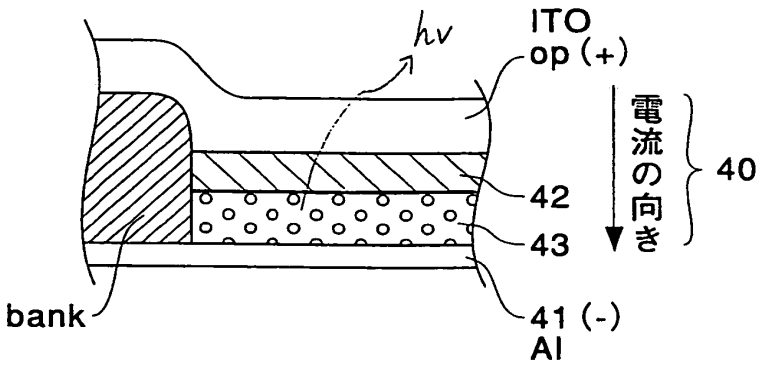

Al
op (+)
電流の向き
40
46 ITO
42
43
45 Al
hν
41 (-)
ITO

図 8

(A)


hν
ITO
op (+)
電流の向き
40
42
43
bank
41 (-)
Al

(B)

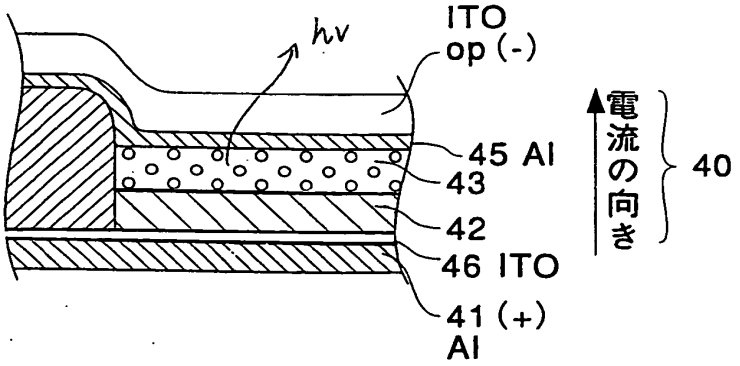

hν
ITO
op (-)
電流の向き
40
45 Al
43
42
46 ITO
41 (+)
Al

図９

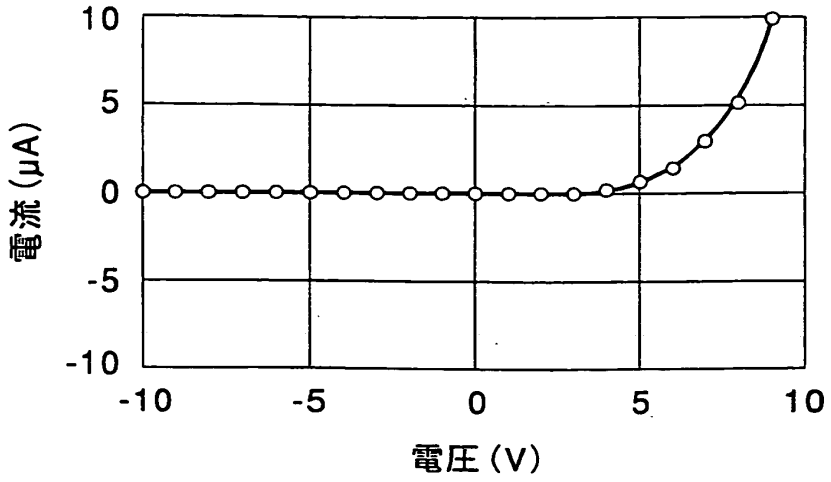


図１０

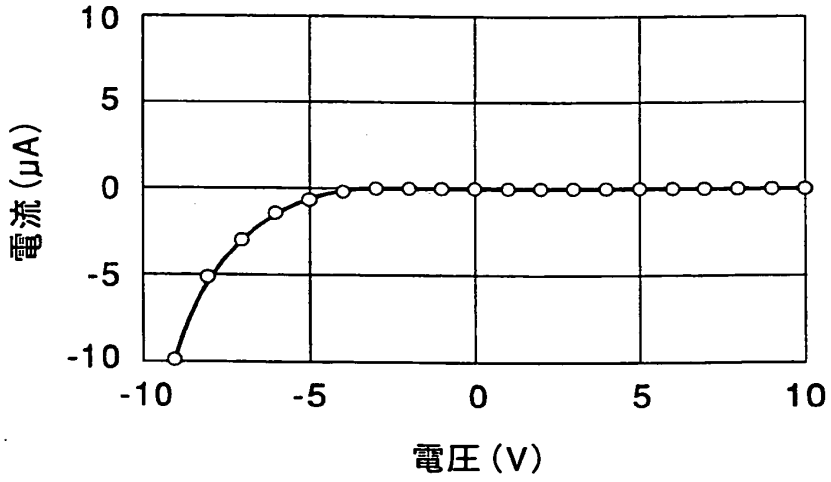


図１１

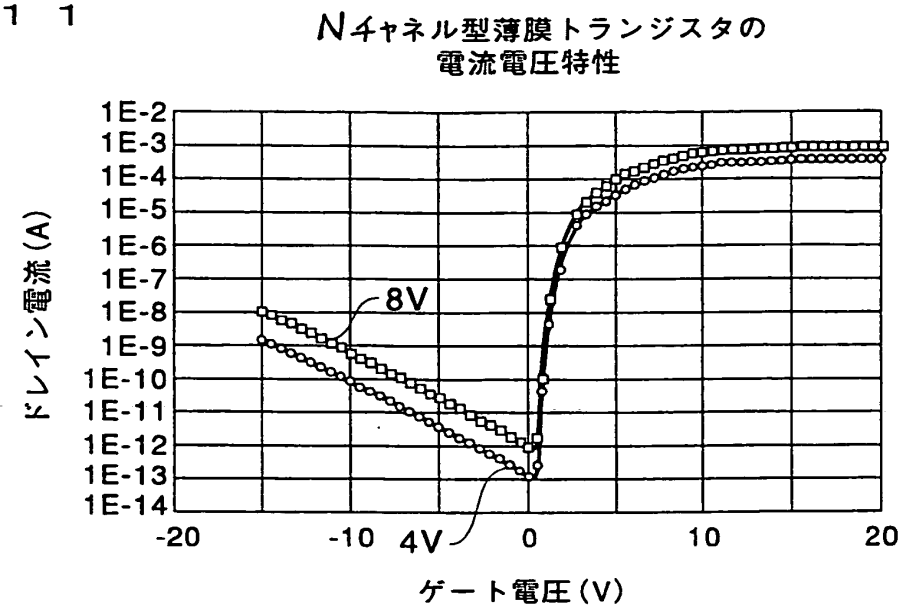

Nチャネル型薄膜トランジスタの
電流電圧特性
ドレイン電流(A)
1E-2
1E-3
1E-4
1E-5
1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
1E-13
1E-14
8V
4V
-20
-10
0
10
20
ゲート電圧(V)

図１２

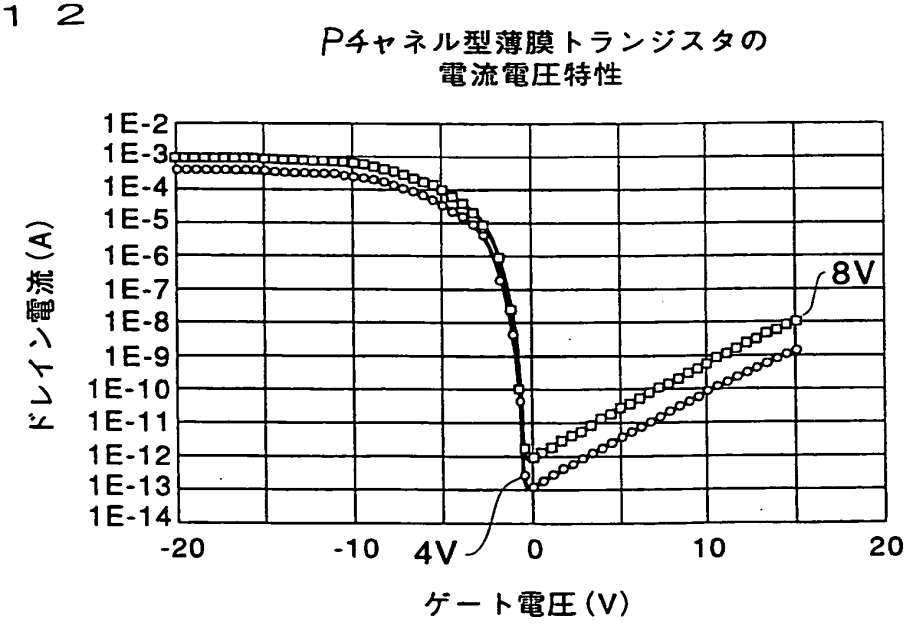

Pチャネル型薄膜トランジスタの
電流電圧特性
ドレイン電流(A)
1E-2
1E-3
1E-4
1E-5
1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
1E-13
1E-14
8V
4V
-20
-10
0
10
20
ゲート電圧(V)

図 1 3

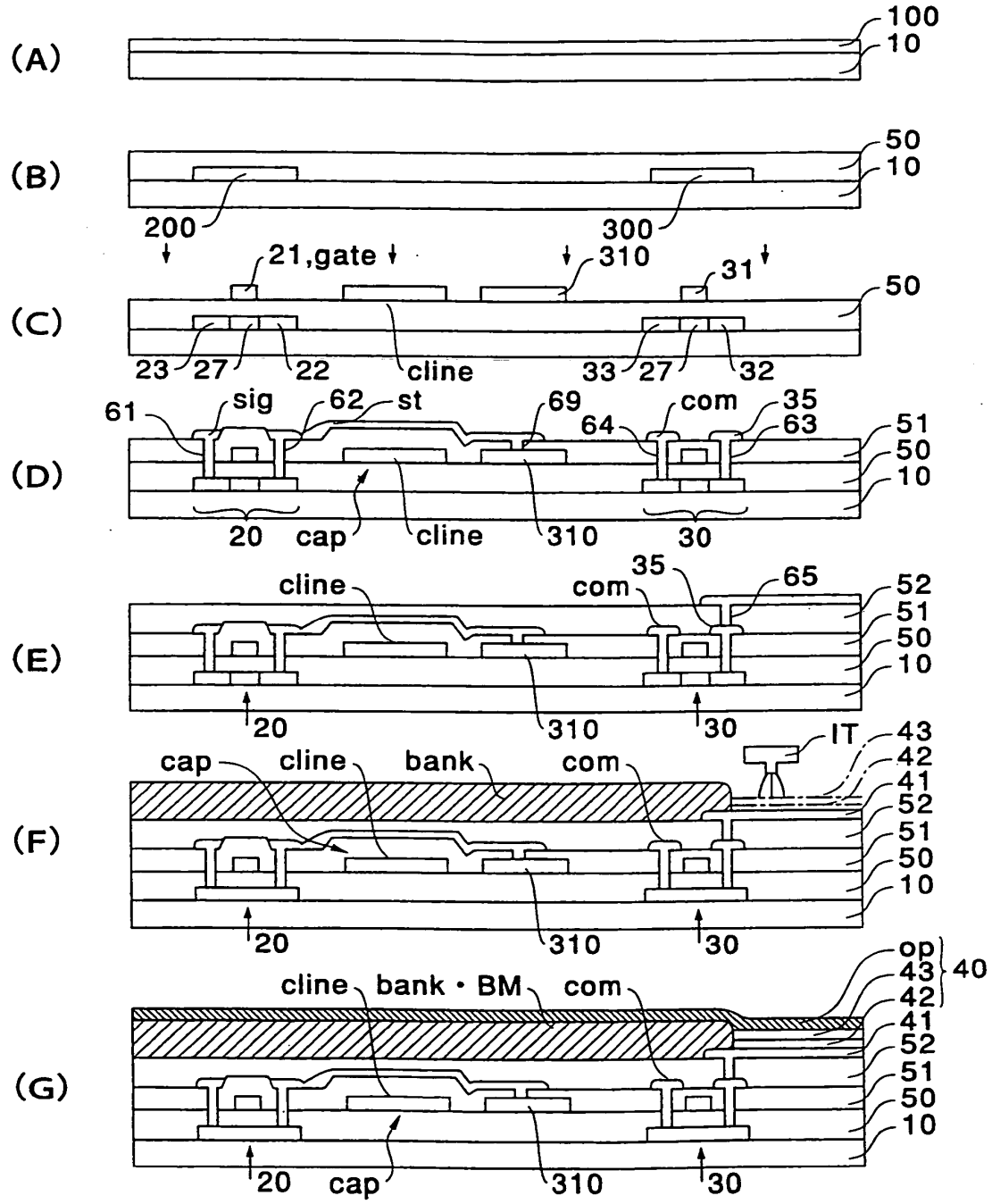
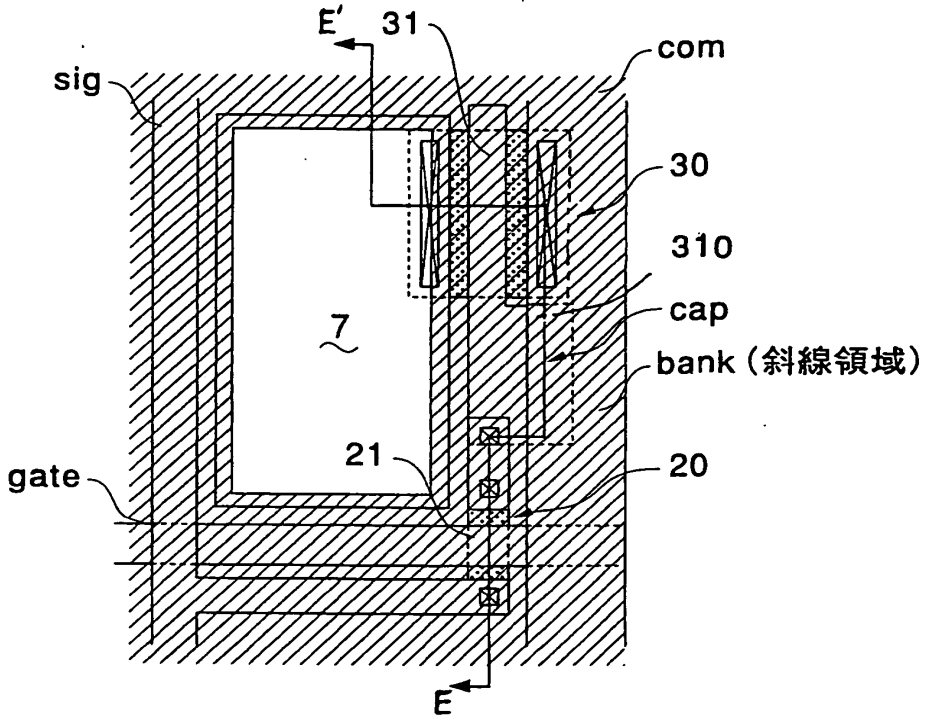

(A)
100
10
(B)
50
10
200
300
(C)
21,gate
310
31
50
23
27
22
cline
33
27
32
(D)
61
sig
62
st
69
com
35
64
63
51
50
10
20
cap
cline
310
30
(E)
cline
com
35
65
52
51
50
10
20
310
30
(F)
IT
43
42
41
cap
cline
bank
com
52
51
50
10
20
310
30
(G)
op
43
42
40
cline
bank・BM
com
41
52
51
50
10
20
cap
310
30

図14

(A)


E'
31
com
sig
30
310
cap
7
bank（斜線領域）
21
20
gate
E

(B)

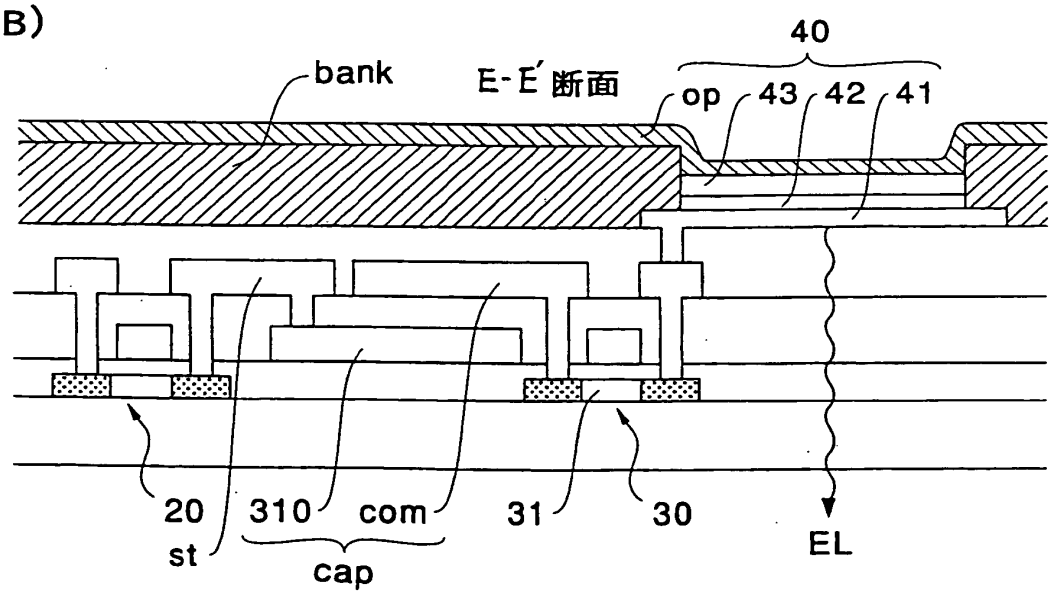

40
bank
E-E'断面
op
43
42
41
20
310
com
31
30
EL
st
cap

図15

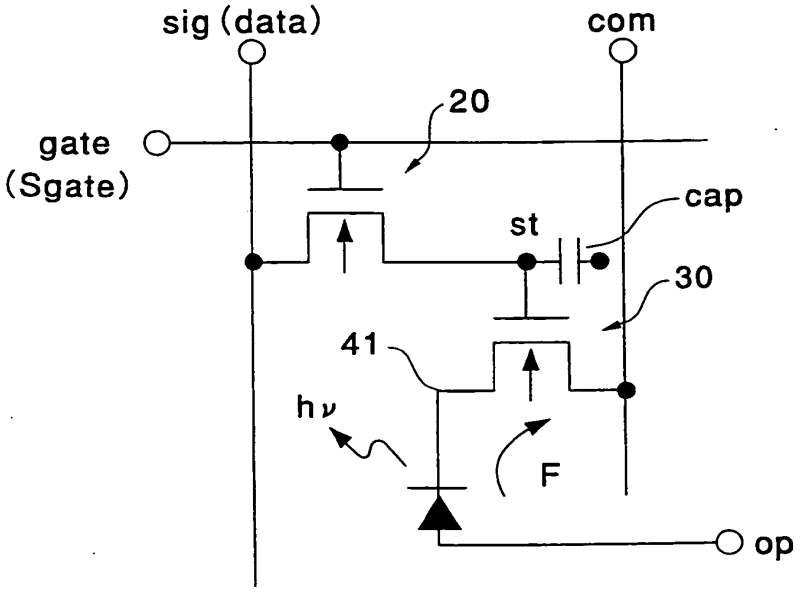
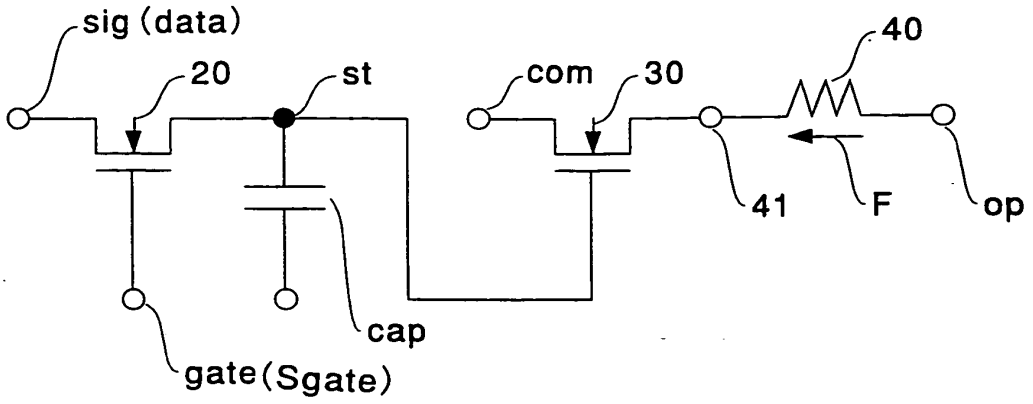


図16

(A)


sig (data)
20
st
com
30
40
41
F
op
cap
gate (Sgate)

(B)

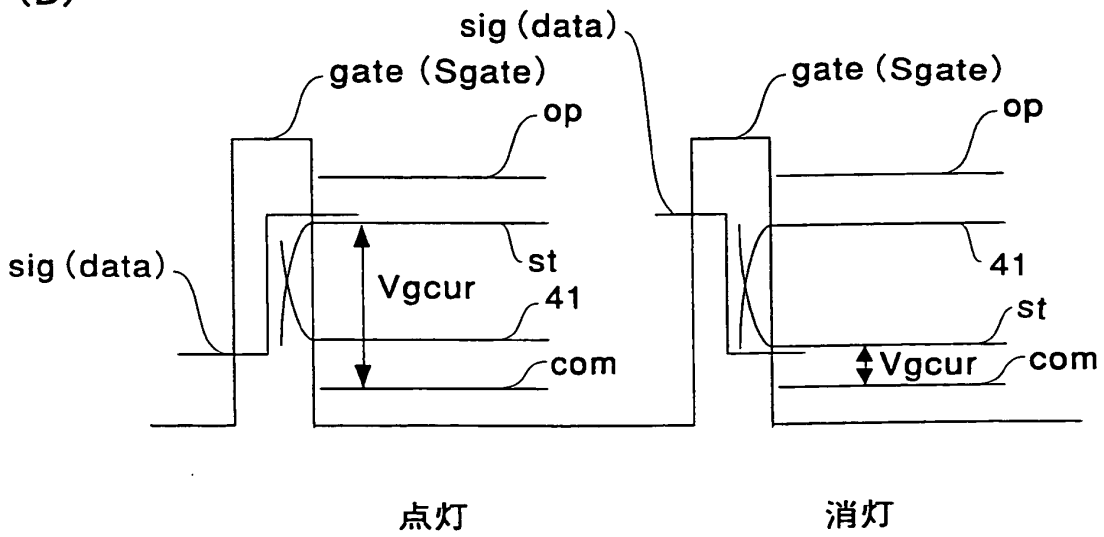

sig (data)
gate (Sgate)
op
st
Vgcur
41
com
sig (data)
gate (Sgate)
op
41
st
Vgcur
com
点灯
消灯

図 1 7

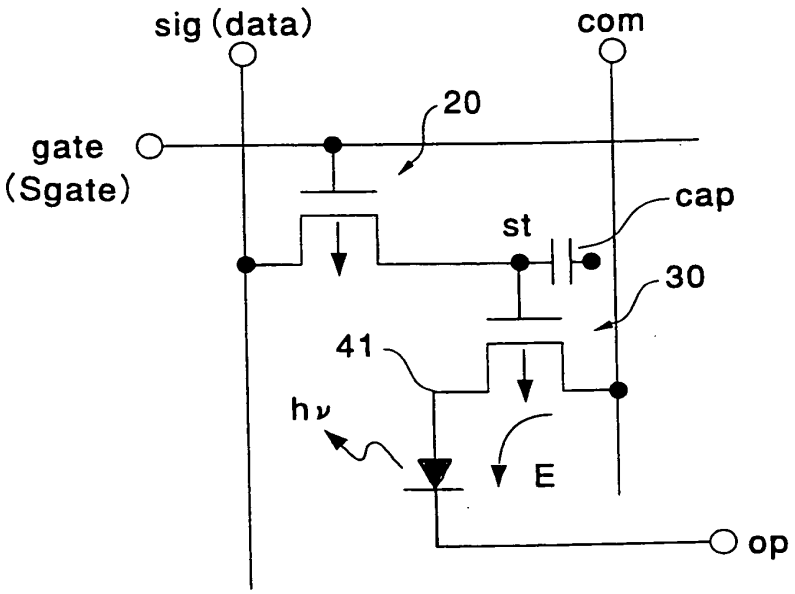
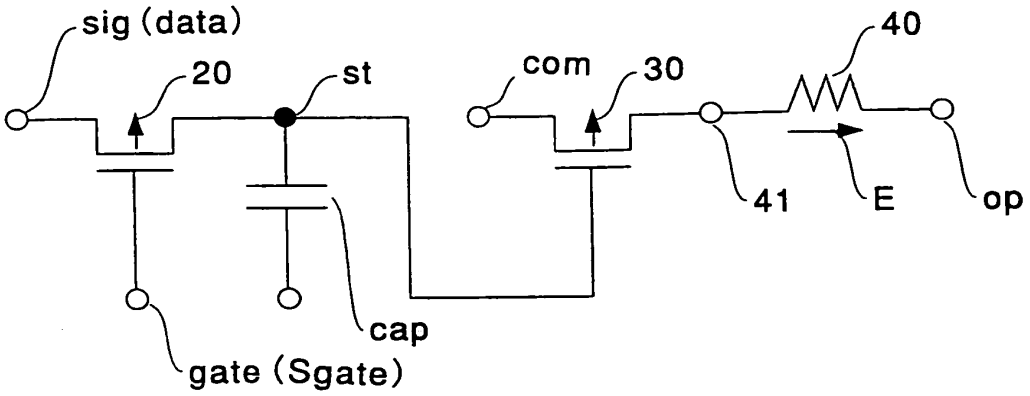


図18

(A)


sig (data)
20
st
com
30
40
41
E
op
cap
gate (Sgate)

(B)

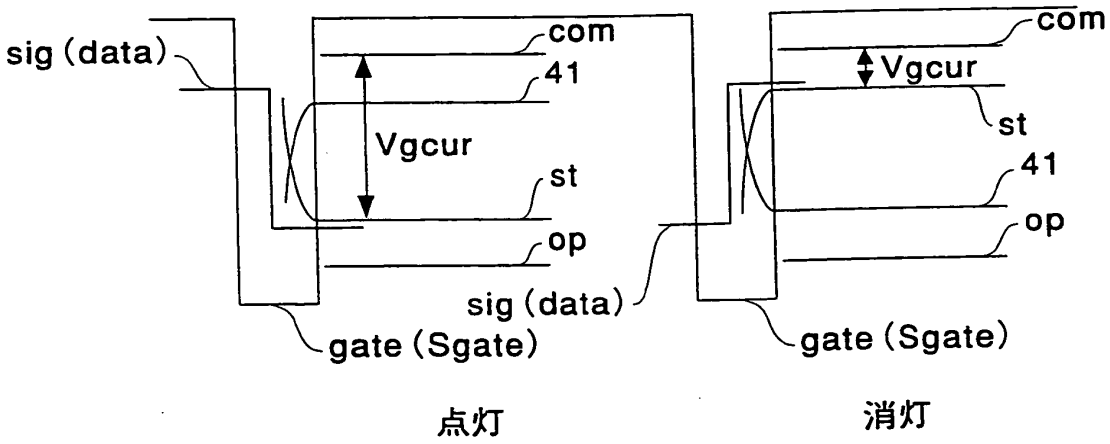

sig (data)
com
41
Vgcur
st
op
gate (Sgate)
点灯
com
Vgcur
st
41
op
sig (data)
gate (Sgate)
消灯

図19

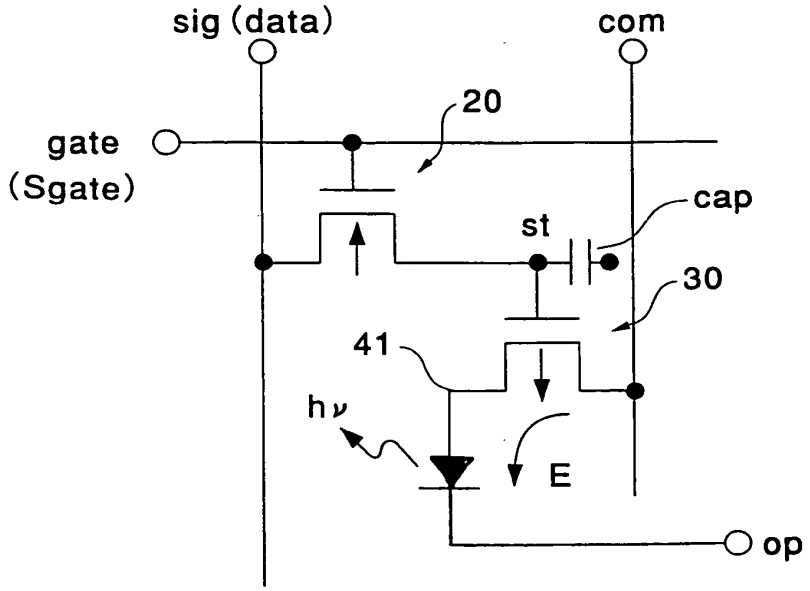
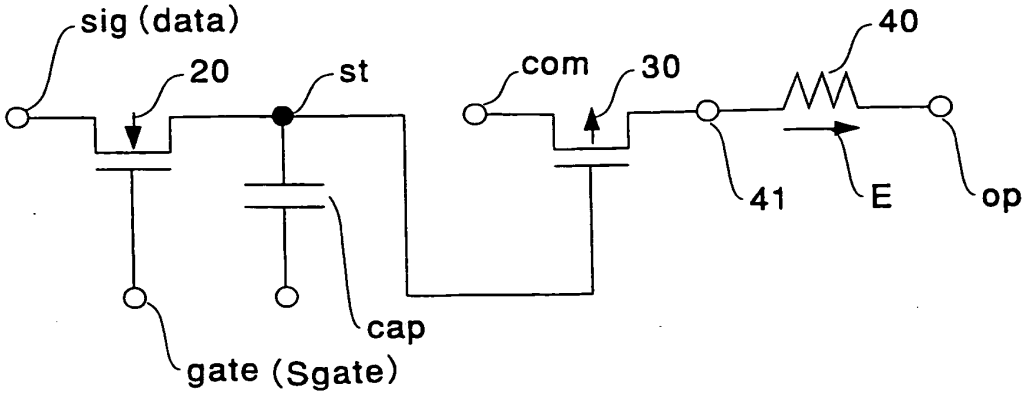


図２０

(A)


sig (data)
20
st
com
30
40
41
E
op
cap
gate (Sgate)

(B)

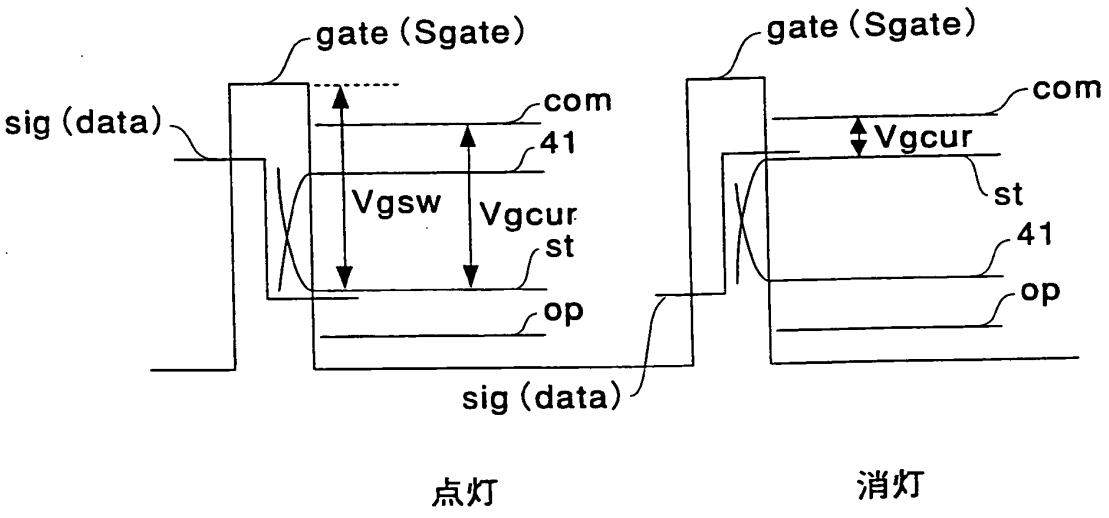

gate (Sgate)
sig (data)
com
41
Vgsw
Vgcur
st
op
gate (Sgate)
com
Vgcur
st
41
op
sig (data)
点灯
消灯

図２１

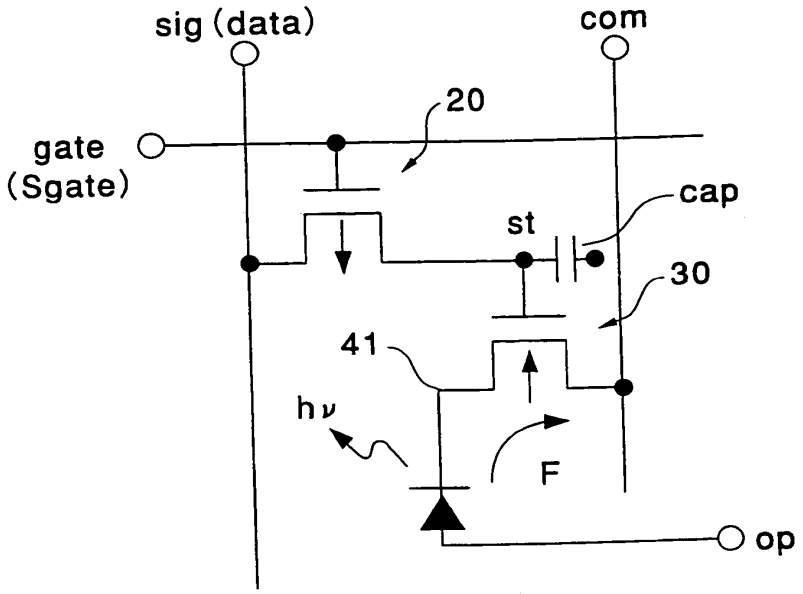
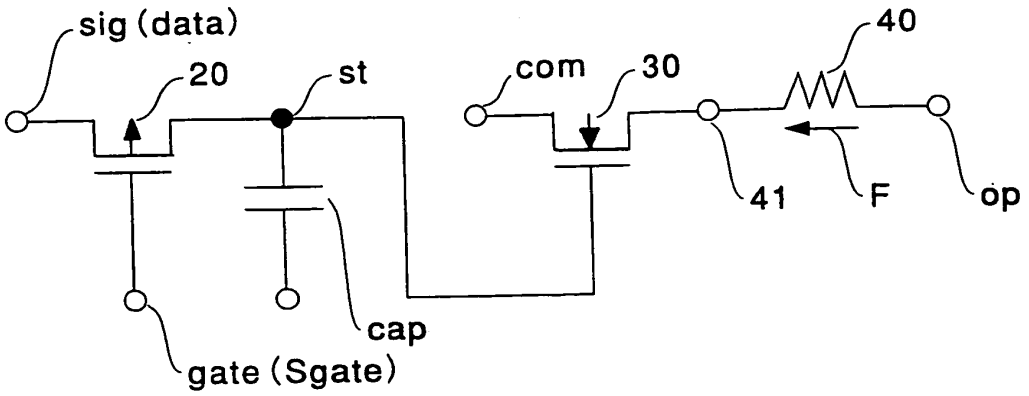


図22

(A)


sig (data)
20
st
com
30
40
41
F
op
cap
gate (Sgate)

(B)

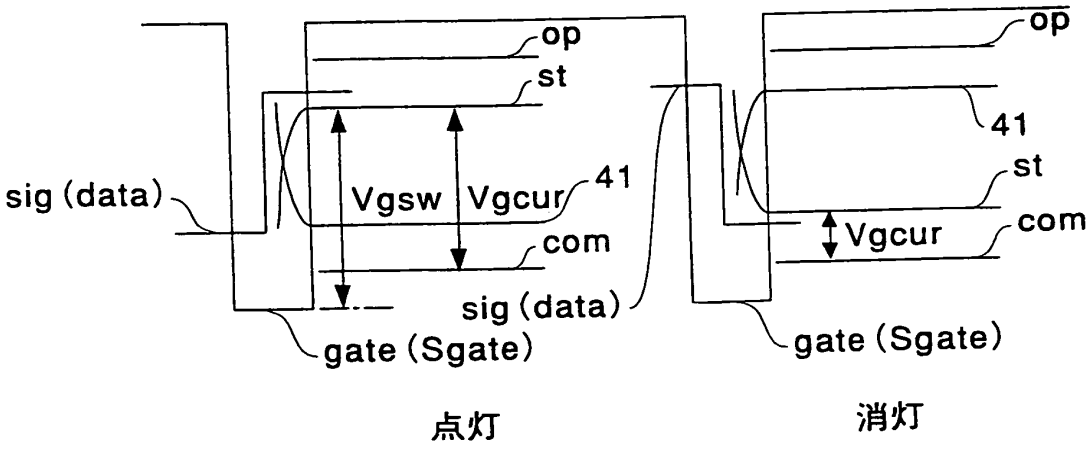

op
st
sig (data)
Vgsw
Vgcur
41
com
sig (data)
gate (Sgate)
点灯
op
41
st
Vgcur
com
gate (Sgate)
消灯

図23

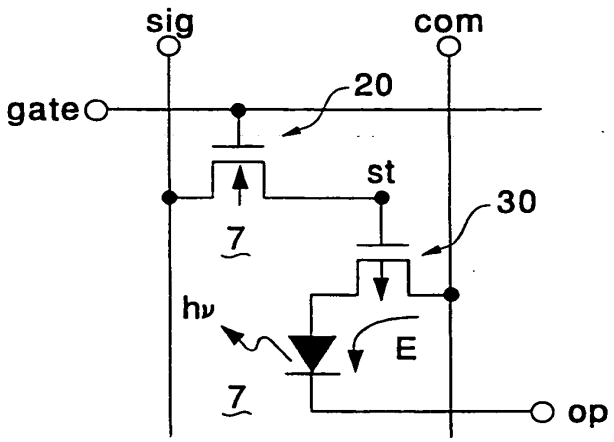
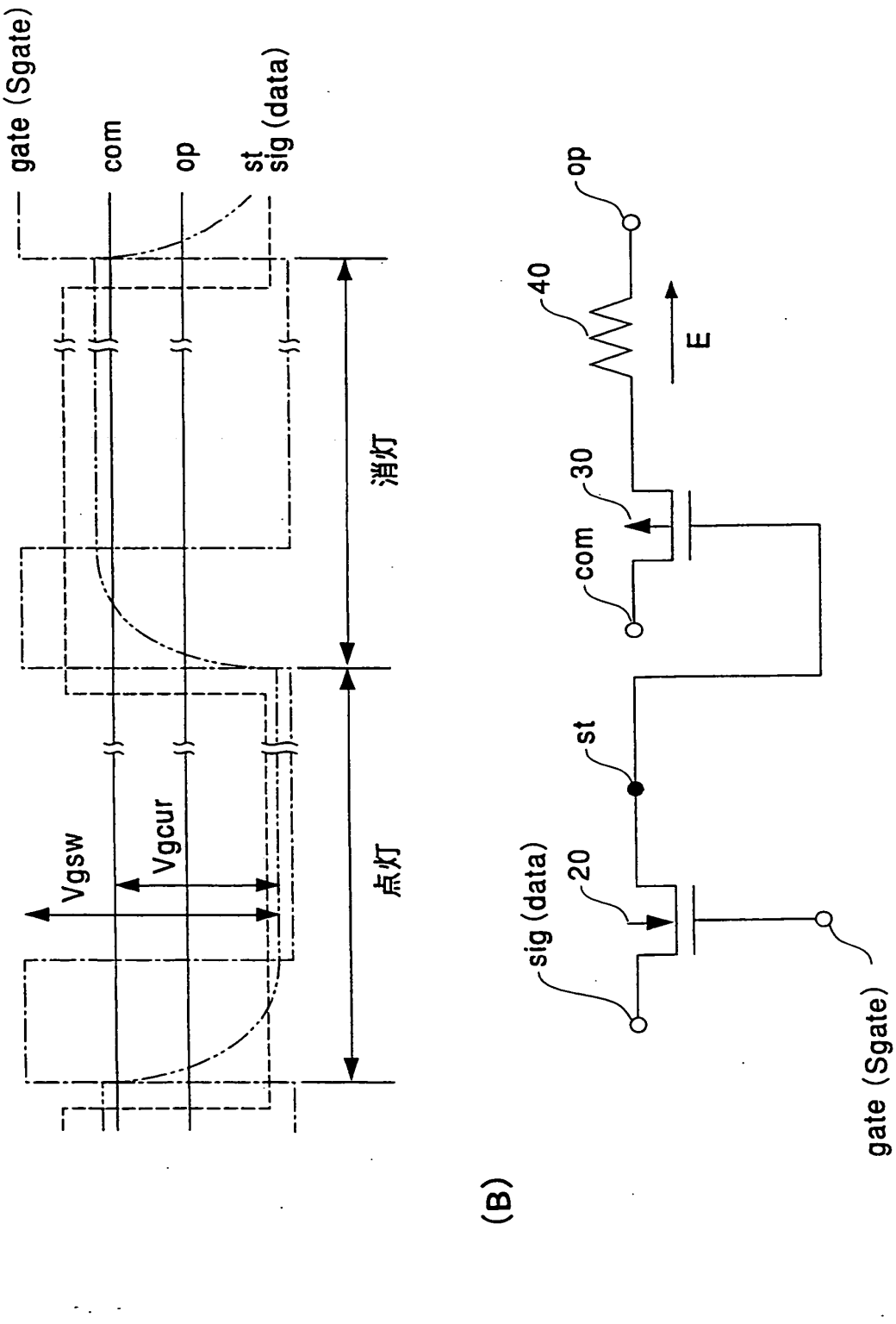


図24


(A)
gate (Sgate)
com
op
st
sig (data)
消灯
点灯
Vgsw
Vgcur
(B)
op
40
E
30
com
st
sig (data)
20
gate (Sgate)

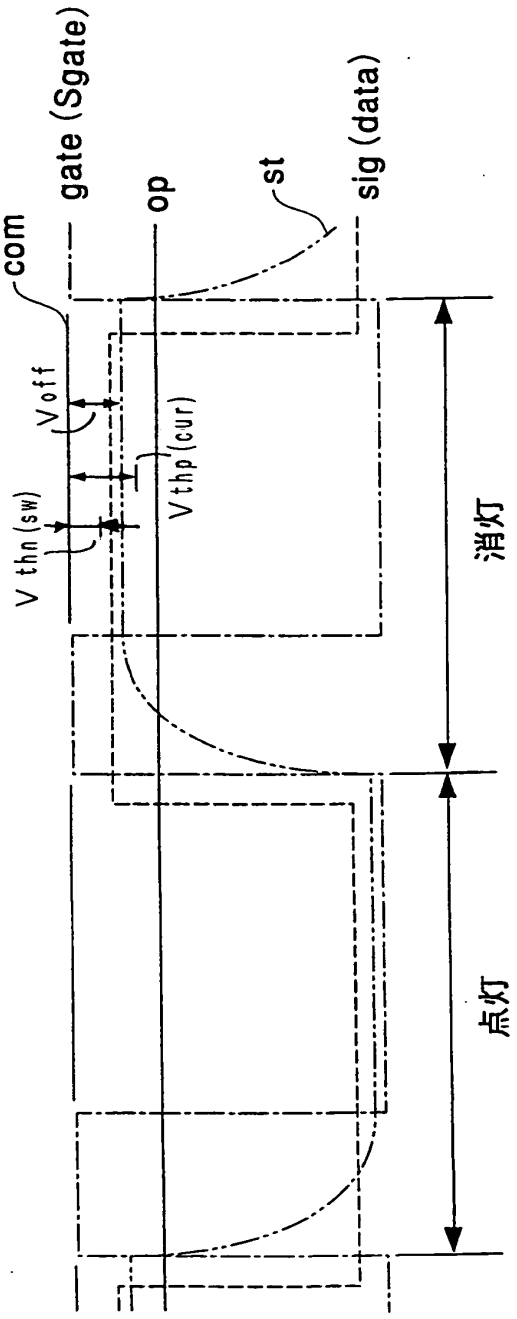


図25

図26

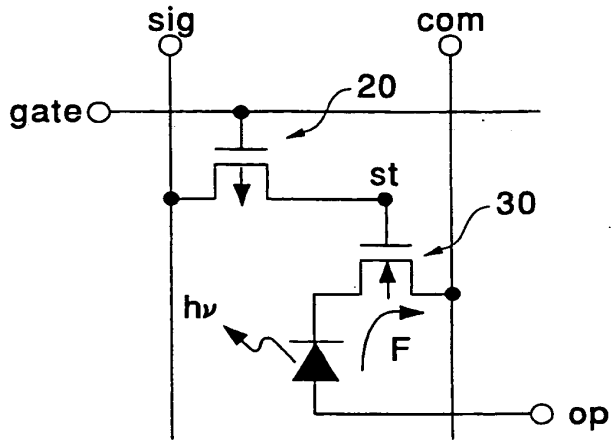


図27

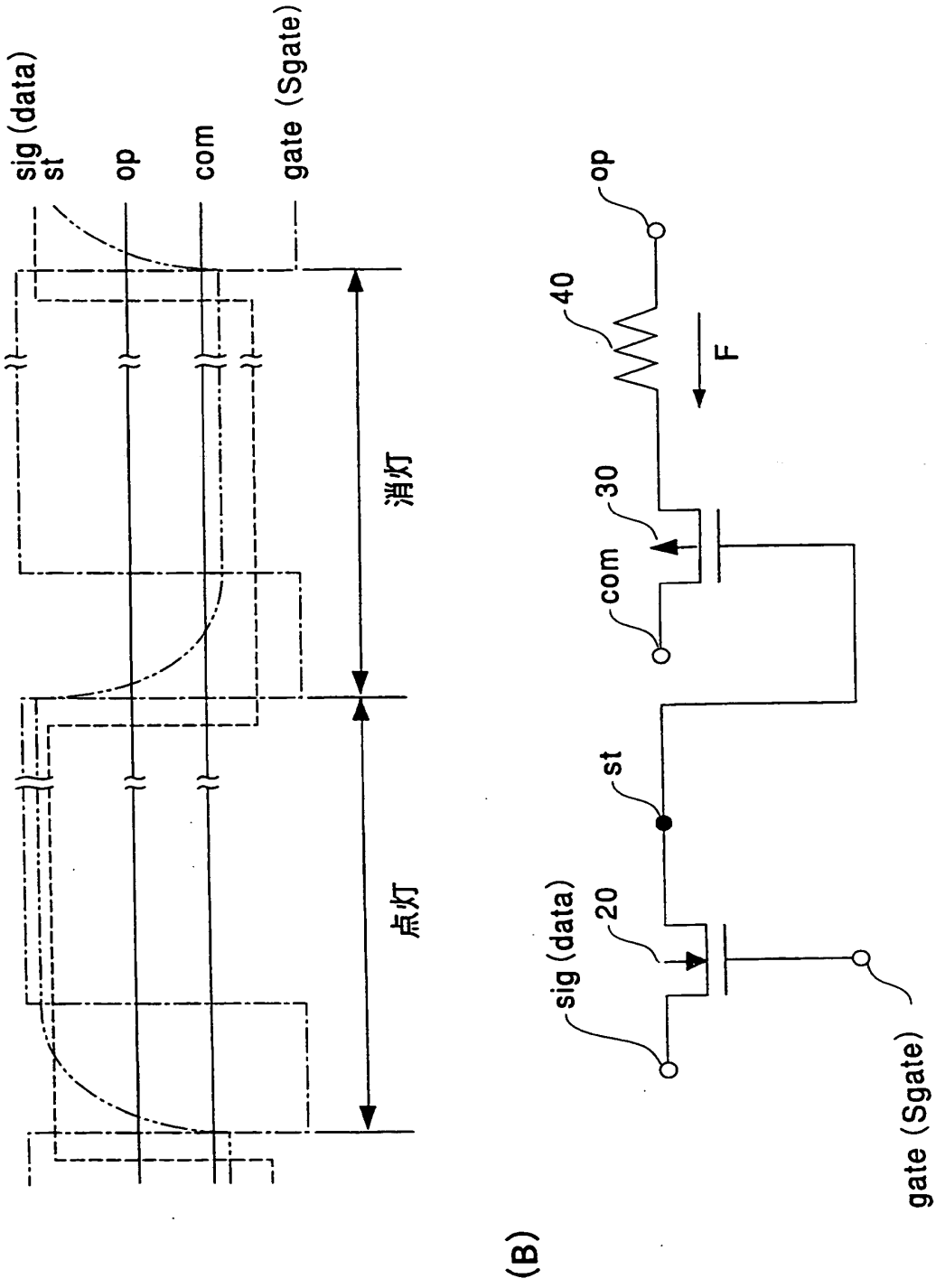
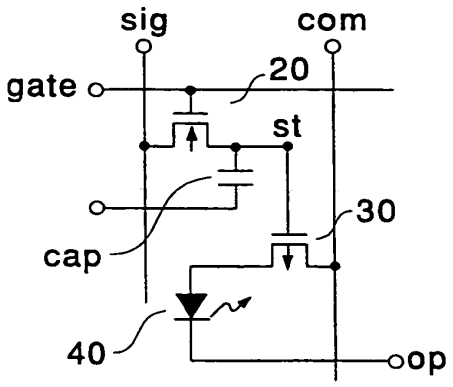
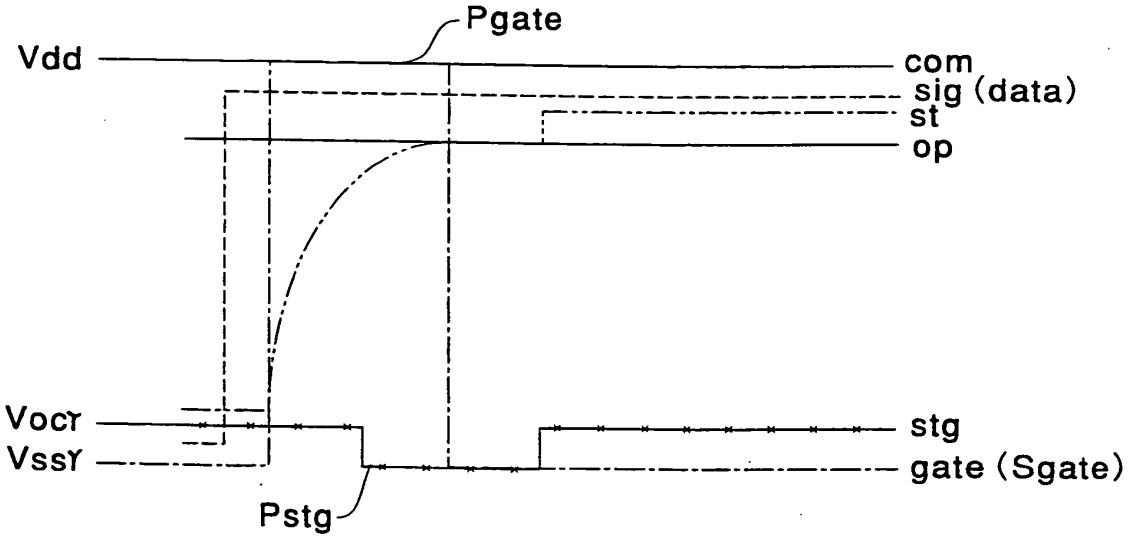

(A)
sig (data)
st
op
com
gate (Sgate)
消灯
点灯
(B)
op
40
F
30
com
st
sig (data)
20
gate (Sgate)

図28

(A)


sig
com
gate
20
st
30
cap
40
op

(B)


Pgate
Vdd
com
sig (data)
st
op
Vocr
Vssr
stg
gate (Sgate)
Pstg

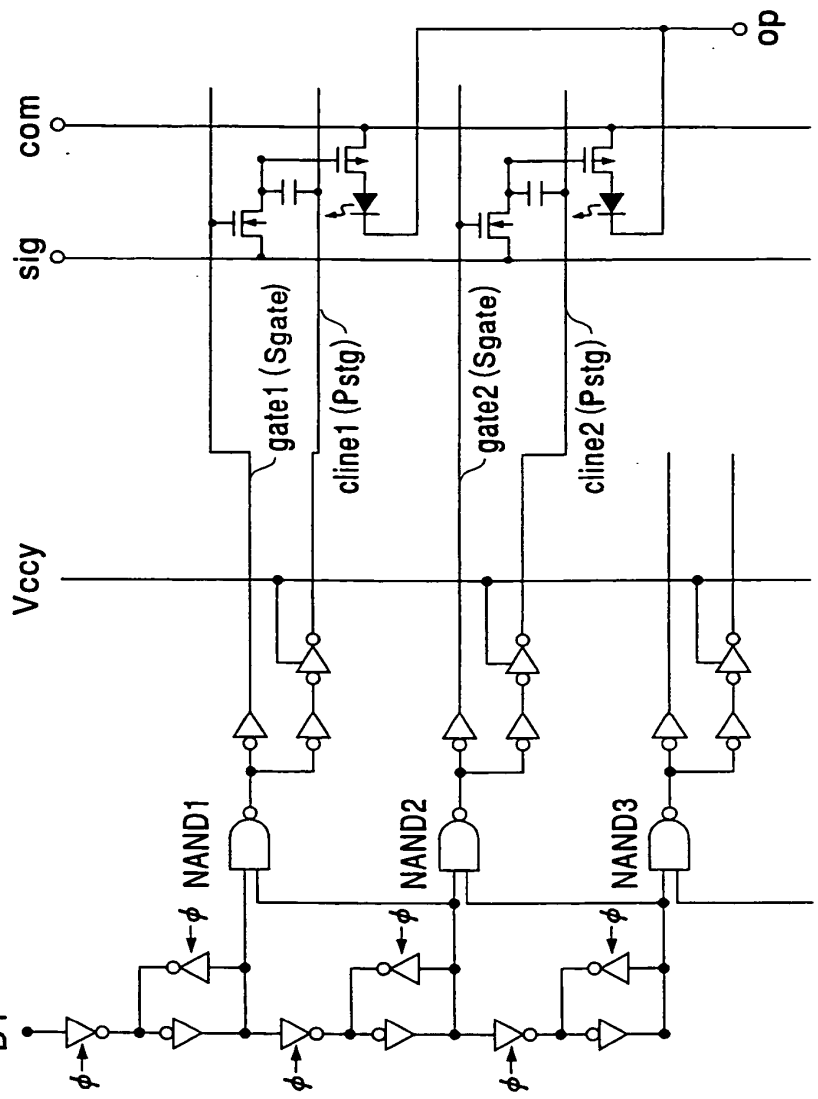

op
com
sig
gate1 (Sgate)
cline1 (Pstg)
gate2 (Sgate)
cline2 (Pstg)
Vccy
4
NAND1
NAND2
NAND3
401
DY
φ

図29

図３０

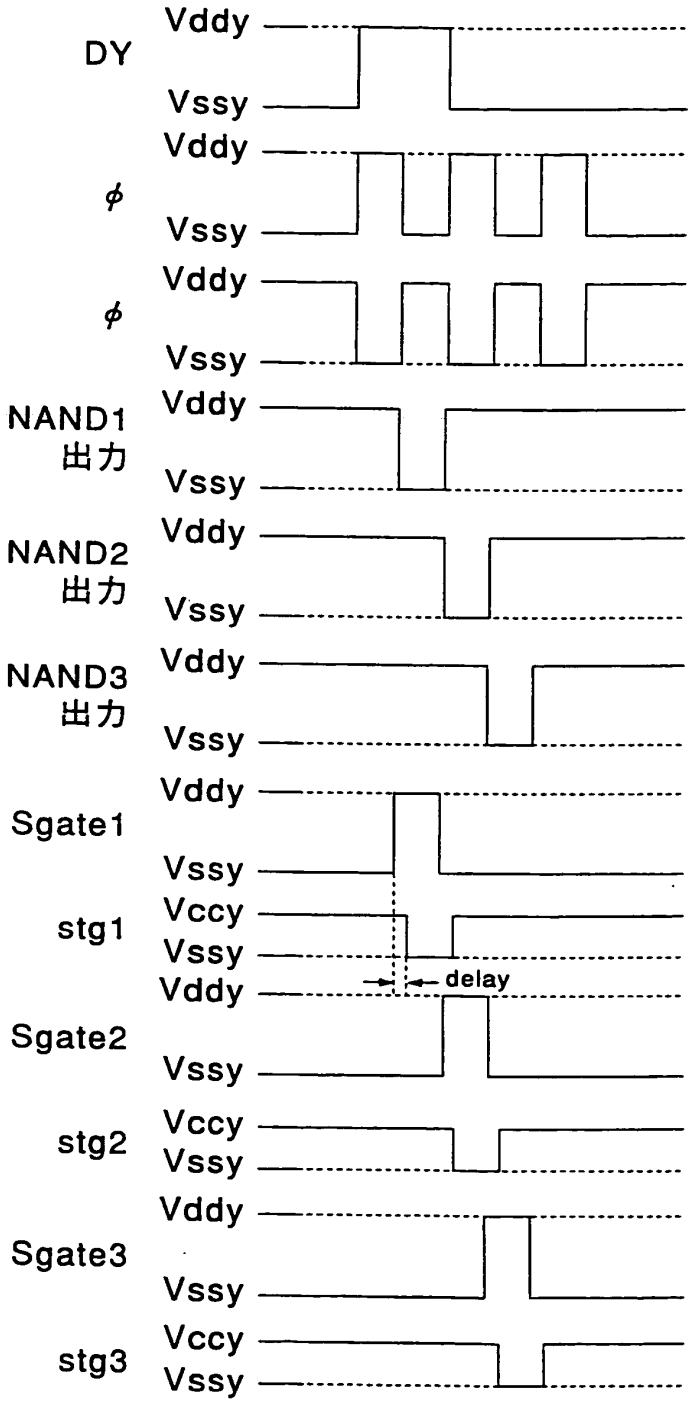

DY
Vddy
Vssy
φ
Vddy
Vssy
φ
Vddy
Vssy
NAND1
出力
Vddy
Vssy
NAND2
出力
Vddy
Vssy
NAND3
出力
Vddy
Vssy
Sgate1
Vddy
Vssy
stg1
Vccy
Vssy
delay
Vddy
Sgate2
Vssy
stg2
Vccy
Vssy
Sgate3
Vddy
Vssy
stg3
Vccy
Vssy

図３１

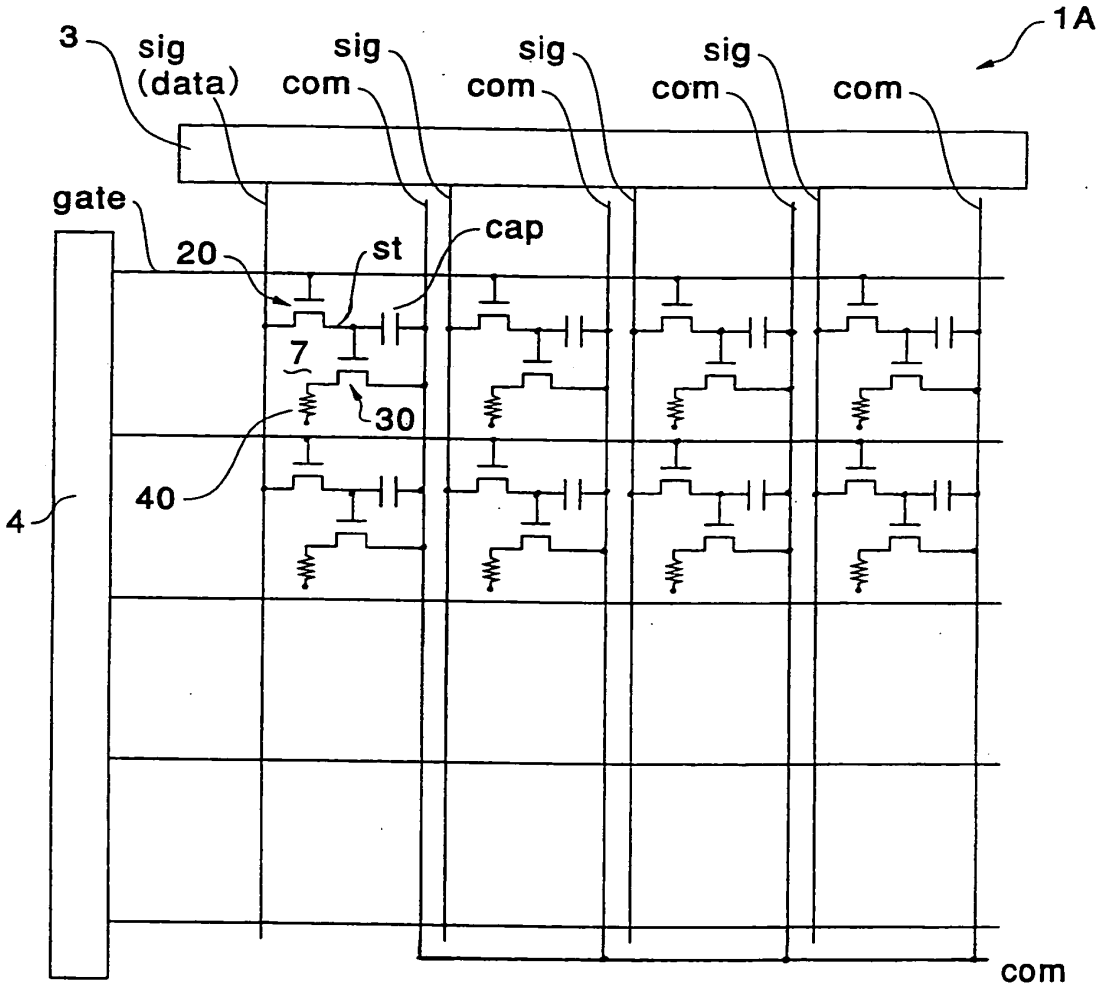
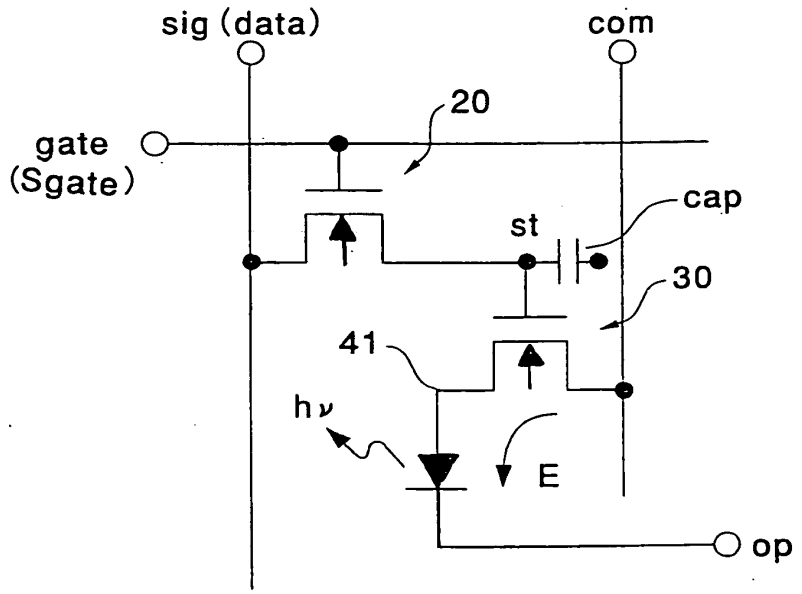

1A
3
sig
(data)
sig
com
sig
com
sig
com
com
gate
20
st
cap
7
30
40
4
com

図３２



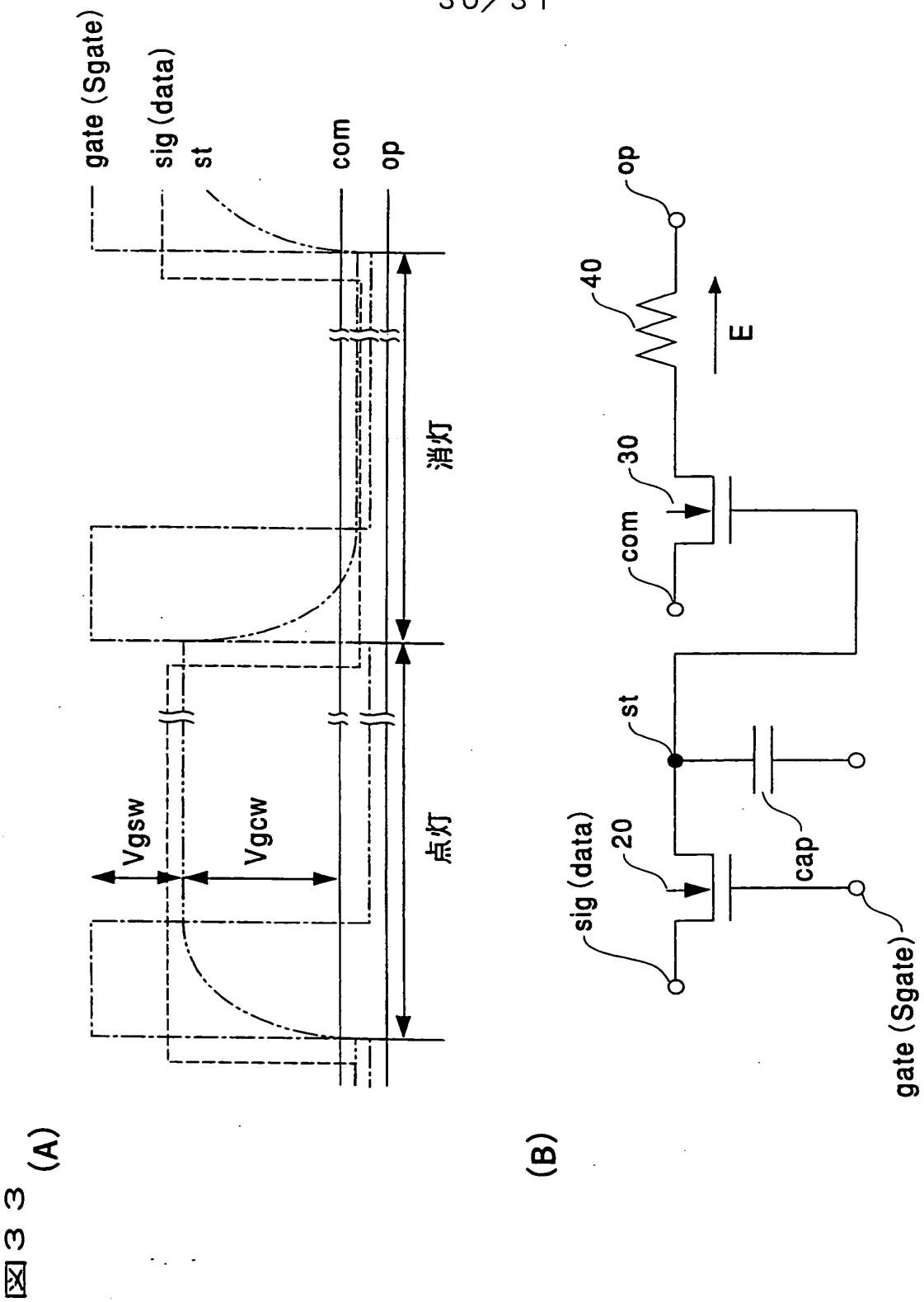

(A)
gate (Sgate)
sig (data)
st
com
op
消灯
点灯
Vgsw
Vgcw
(B)
op
40
E
30
com
st
sig (data)
20
cap
gate (Sgate)

図３３

図３４（A）

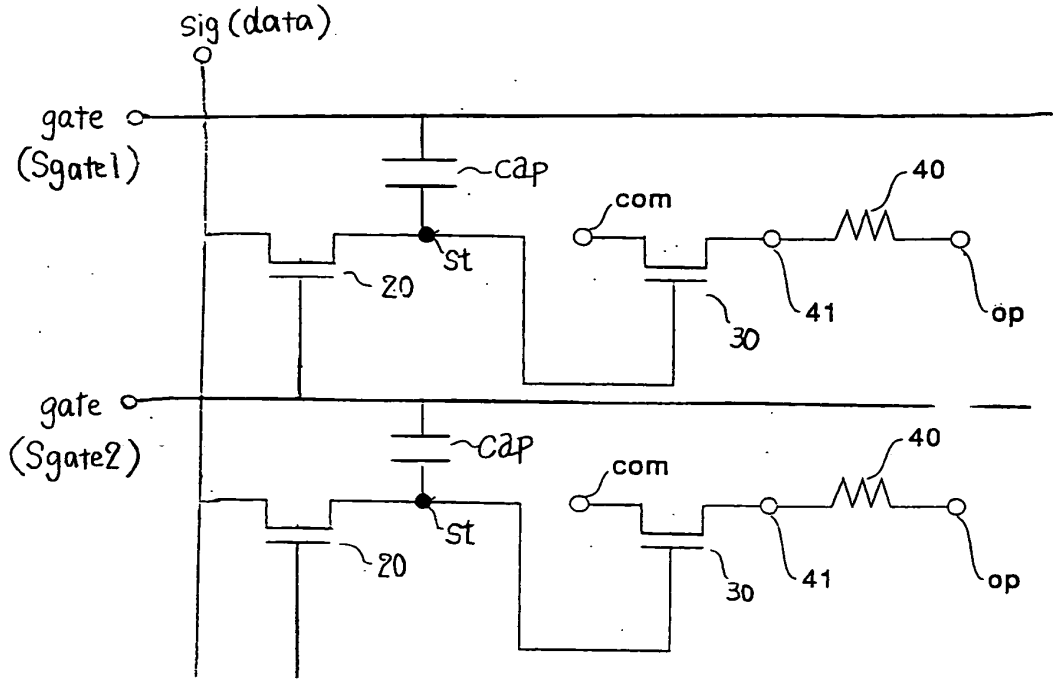
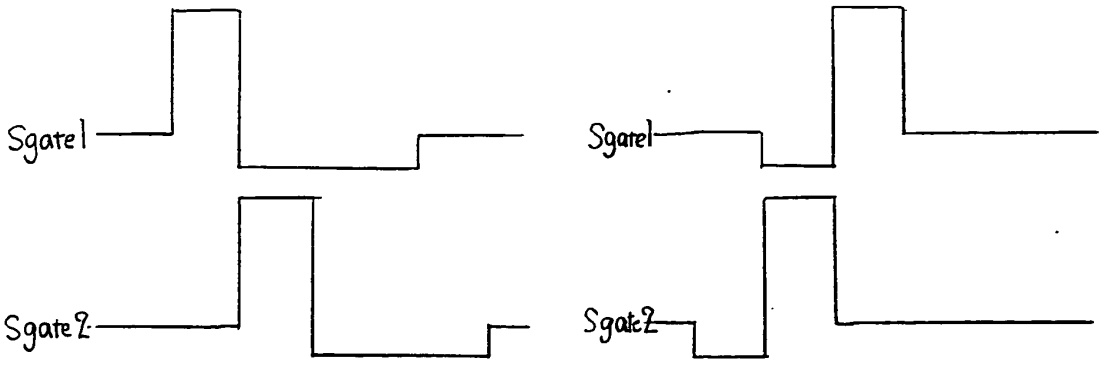


図３４（B）



ゲート電圧の波形
（走査方向が Sgate1→ Sgate2）

ゲート電圧の波形
（走査方向が Sgate2→Sgate1）

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/00656

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[6] G09G3/30, H05B33/08, H05B33/26, H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[6] G09G3/20-38, H05B33/00-28, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1998 Toroku Jitsuyo Shinan Koho 1994-1998
Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 8-227276, A (Pioneer Electronic Corp.), September 3, 1996 (03. 09. 96)	1, 14
X	JP, 8-129358, A (TDK Corp. and others), May 21, 1996 (21. 05. 96)	2, 7, 8, 14
Y	JP, 8-227276, A (Pioneer Electronic Corp.), September 3, 1996 (03. 09. 96)	15-16
Y	JP, 8-129358, A (TDK Corp. and others), May 21, 1996 (21. 05. 96)	15-16

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
May 12, 1998 (12. 05. 98)	May 26, 1998 (26. 05. 98)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

国際調査報告

国際出願番号　PCT／JP98／00656

A.　発明の属する分野の分類（国際特許分類（IPC））
Int. Cl⁶　G09G3／30　H05B33／08　H05B33／26　H01L33／00

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int. Cl⁶　G09G3／20－38　H05B33／00－28　H01L33／00

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　1926－1998
日本国公開実用新案公報　1971－1995
日本国登録実用新案公報　1994－1998

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	JP, 8－227276, A（パイオニア株式会社），03．9月1996（03．09．96）	1, 14
X	JP, 8－129358, A（ティーディーケイ株式会社，他），21．5月．1996（21．05．96）	2, 7, 8, 14
Y	JP, 8－227276, A（パイオニア株式会社），03．9月1996（03．09．96）	15-16
Y	JP, 8－129358, A（ティーディーケイ株式会社，他），21．5月．1996（21．05．96）	15-16

☐ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」先行文献ではあるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
12．05．98	26.05.98

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）		
日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	奥村元宏　印	5H	8022
	電話番号　03－3581－1101　内線　3530		

様式PCT／ISA／210（第2ページ）（1992年7月）

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-214800
(43)Date of publication of application : 04.08.2000

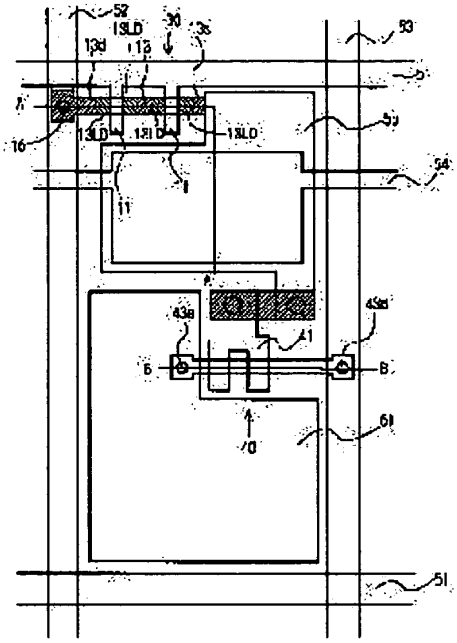
(51)Int.Cl. G09F 9/30
H05B 33/14
H05B 33/26

(21)Application number : 11-012280
(22)Date of filing : 20.01.1999

(71)Applicant : SANYO ELECTRIC CO LTD
(72)Inventor : YAMADA TSUTOMU

(54) ELECTROLUMINESCENCE DISPLAY DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide an EL(electroluminescence) display device which is capable of well assigning intensity levels since the display device has first TFTs(thin-film transistors) having high-speed writing and holding characteristics and second TFTs having good current controllability.
SOLUTION: This organic EL display device has the first TFTs 31 for switching, the second TFTs for driving organic EL elements, anodes 61, cathodes and light emitting element layers held between both electrodes. The first TFTs 30 have n type channels and have an LDD(lightly doped drain) structure. The second TFTs are the structure having p type channels and, therefore, on current may be made high and leak current small and the good assigning of intensity levels is made possible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

said insulator layer is formed also in the upper layer side of this scanning-line drive circuit and said data-line side drive circuit, the insulator layer concerned Between the formation field of said scanning-line drive circuit, and the formation field of said data side drive circuit The active-matrix mold display characterized by the thing which connect said counterelectrode to a corresponding location through a part for a flat part without the level difference which originates a said display and substrate periphery side in the insulator layer concerned, and for which it broke off and has the part.
[Claim 11] It is the active-matrix mold display characterized by said insulator layer consisting of an organic material in claim 1 thru/or either of 10.
[Claim 12] It is the active-matrix mold display characterized by said insulator layer consisting of an inorganic material in claim 1 thru/or either of 10.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1] The electroluminescent element which has a luminous layer between an anode plate and cathode, The 1st thin film transistor by which the gate electrode which the drain of said active layer prepared [the source of an active layer which consists of non-single crystal semiconductor film] in the channel upper part of said active layer at the drain signal line at auxiliary capacity was connected to the gate signal line, respectively, The drain of an active layer which consists of non-single crystal semiconductor film to the drive power source of said electroluminescent element While, as for said 1st thin film transistor, having an n-type channel by equipping the gate with the 2nd thin film transistor connected to the source of said 1st thin film transistor, respectively It is the electroluminescence display characterized by having any one structure among LDD structure, multi-gate structure, or offset structure, and equipping said 2nd thin film transistor with p mold channel.
[Claim 2] The electroluminescent element which has a luminous layer between an anode plate and cathode, The 1st thin film transistor by which the gate electrode which the drain of said active layer prepared [the source of an active layer which consists of non-single crystal semiconductor film] in the drain signal line in the channel lower part of said active layer at auxiliary capacity was connected to the gate signal line, respectively, The drain of an active layer which consists of non-single crystal semiconductor film to the drive power source of said electroluminescent element While, as for said 1st thin film transistor, having an n-type channel by equipping the gate with the 2nd thin film transistor connected to the source of said 1st thin film transistor, respectively It is the electroluminescence display characterized by having any one structure among LDD structure, multi-gate structure, or offset structure, and equipping said 2nd thin film transistor with p mold channel.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] This invention relates to the electroluminescence display equipped with the electroluminescent element and the thin film transistor.
[0002]
[Description of the Prior Art] In recent years, researches and developments of EL display equipped with the thin film transistor ("TFT" is called below Thin Film Transistor:.) as a switching element which it is observed [switching element] as a display which EL display using an electroluminescence ("EL" is called below Electro Luminescence:.) component replaces with CRT or LCD, for example, makes the EL element drive are also furthered.
[0003] The representative circuit schematic of EL display which equipped drawing 6 with the conventional EL element and TFT is shown.
[0004] This drawing is a representative circuit schematic of EL display which consists of the 1st TFT130, 2nd TFT140, and organic EL device 160, and shows near drain signal-line Dm of the gate signal line Gn of the n-th line, and the m-th train.
[0005] The gate signal line Gn which supplies a gate signal, and the drain signal line Dm which supplies a drain signal lie at right angles mutually, and TFT130,140 which drives an organic EL device 160 and this organic EL device 160 is formed near the crossing of both signal lines.
[0006] 1st TFT130 which is TFT for switching consists of the gate electrode 131 with which it connects with the gate signal line Gn, and a gate signal is supplied, a drain electrode 132 with which it connects with the drain signal line Dm, and a drain signal is supplied, and a source electrode 133 connected to the gate electrode 141 of 2nd TFT140.
[0007] 2nd TFT140 which is TFT for an organic EL device drive consists of the gate electrode 141 connected to the source electrode 133 of 1st TFT130, the source electrode 142 connected to the anode plate 161 of an organic EL device 160, and the drain electrode 143 connected to the drive power source 150 supplied to an organic EL device 160.
[0008] Moreover, an organic EL device 160 consists of the light emitting device layer 163 pinched between the cathode 162 connected to the common electrode 164, and this anode plate 161 and cathode 162. [the anode plate 161 connected to the source electrode 142, and]
[0009] Moreover, it has the auxiliary capacity 170 by which one electrode 171 was connected between the source electrode 133 of 1st TFT130, and the gate electrode 141 of 2nd TFT140, and the electrode 172 of another side was connected to the common electrode 173.
[0010] Here, the drive approach of the circuit shown in the representative circuit schematic of drawing 6 is explained based on the timing chart of each signal shown in drawing 7 . drawing 7 -- (-- a --) -- the -- n -- a line -- the -- one -- TFT -- 130 -- the gate -- an electrode -- 131 -- supplying -- having -- a signal -- VG -- (-- n --) -- one -- ** -- (-- b --) -- a drain -- a signal line -- Dm -- a drain -- a signal -- VD -- ** -- (-- c --) -- the -- n -- a line -- the -- two -- TFT -- 140 -- the gate -- an electrode -- 141 -- supplying -- having -- a signal -- VG -- (-- n --) -- two -- each -- a timing chart -- being shown -- .
[0011] If gate signal VG (n)1 from the gate signal line Gn shown in drawing 7 (a) is impressed to the gate electrode 131, 1st TFT130 will be turned on. Therefore, the drain signal VD shown in drawing 7 (b) from the drain signal line Dm is supplied to the gate electrode 141, and the potential of the gate electrode 141 turns into the potential and this potential of the drain signal line Dm. And the current equivalent to the current value supplied to the gate electrode 141 is supplied to an organic EL device 160 from the drive power source 150. An organic EL device 160 emits light by it.
[0012]
[Problem(s) to be Solved by the Invention] Here, a current flows and a charge is accumulated in the gate capacitance of

the gate electrode 141 until 1st TFT130 becomes the potential and this potential of the drain signal line Dm at the period of ON. And if 1st TFT130 is turned off, as for the charge accumulated in the gate capacitance, the condition is maintained, and gate potential needs to be held as the dotted line of drawing 7 (c) shows.
[0013] However, in the above-mentioned conventional EL display, if it changes to every 1 level period (1H) as the drain signal VD shows drawing 6 (b) since leakage current flows at the time of OFF of TFT, it will change and the potential (n) VG 2 of the gate electrode 141 will not be held, as shown in the continuous line of drawing 6 (c).
[0014] That is, as shown in the continuous line of drawing 7 (c), when the potential of (1) drain signal line Dm is lower than the potential supplied to the gate electrode 141, leakage current flows to the drain signal line Dm through 1st TFT130, and the potential of the gate electrode 141 falls. Moreover, when the potential of (2) drain signal line Dm is higher than the potential supplied to the gate electrode 141, leakage current flows to the gate electrode 141 through 1st TFT130, a charge is accumulated further, and the potential of the gate electrode 141 becomes high.
[0015] If it does so, to the case of (1), a larger current than the current which should flow to an organic EL device 160 essentially will flow, the brightness of an organic EL device becomes high, and when it is (2), brightness will become low conversely.
[0016] In any [these] case, as the dotted line of drawing 7 (c) showed, when the leakage current of 1st TFT130 was large, there was a fault that it was difficult to emit light by the brightness in which the display pixel which emits light should emit light.
[0017] Moreover, the 2nd TFT has the function which controls the current from the power source which drives organic electroluminescence according to the electrical potential difference by which it was impressed at the gate of the 2nd TFT, and is supplied to an organic EL device, and the channel field which the active layer superimposes on the gate equips the genuineness field and the field of the both sides with the source and the drain field which doped the impurity genuineness or substantially.
[0018] However, as the dotted line of drawing 9 shows, when the 2nd TFT is an n-type channel, it sets in the drain current-drain electrical-potential-difference (Id-Vd) property. Since the saturated so-called field which becomes the fixed drain current value Id is very narrow even if the drain electrical potential difference Vd increases (saturation characteristics are bad), When Vd value became large, the current value Id became large, a fixed current was not acquired with an electrical potential difference Vd, but there was a fault that the controllability of a current was bad.
[0019] A grain boundary especially exists with the polycrystalline silicon TFT of an n-type channel, with the electron by which the trap was carried out to the grain boundary, the potential barrier is formed and a depletion layer spreads. For this reason, in a drain electrode edge, electric field strong against a grain boundary are built, and since the ionization by collision phenomenon in which the electron accelerated by this collides with a grid occurs, a drain current increases, without being saturated.
[0020] Then, in view of the above-mentioned conventional fault, it succeeds in this invention, and it aims at offering EL display with which a good gradation display is obtained by improving the current controllability of 2nd TFT140 while it controls the leakage current of 1st TFT130 and holds the potential of the gate electrode 141 of 2nd TFT140.
[0021]
[Means for Solving the Problem] The electroluminescent element to which EL display of this invention has a luminous layer between an anode plate and cathode, The 1st thin film transistor by which the gate electrode which the drain of said active layer prepared [the source of an active layer which consists of non-single crystal semiconductor film] in the channel upper part of said active layer at the drain signal line at auxiliary capacity was connected to the gate signal line, respectively, The drain of an active layer which consists of non-single crystal semiconductor film to the drive power source of said electroluminescent element While, as for said 1st thin film transistor, having an n-type channel by equipping the gate with the 2nd thin film transistor connected to the source of said 1st thin film transistor, respectively It has any one structure among LDD structure, multi-gate structure, or offset structure, and said 2nd thin film transistor is equipped with p mold channel.
[0022] Moreover, the electroluminescent element to which EL display of this invention has a luminous layer between an anode plate and cathode, The 1st thin film transistor by which the gate electrode which the drain of said active layer prepared [the source of an active layer which consists of non-single crystal semiconductor film] in the drain signal line in the channel lower part of said active layer at auxiliary capacity was connected to the gate signal line, respectively, The drain of an active layer which consists of non-single crystal semiconductor film to the drive power source of said electroluminescent element While, as for said 1st thin film transistor, having an n-type channel by equipping the gate with the 2nd thin film transistor connected to the source of said 1st thin film transistor, respectively It has any one structure among LDD structure, multi-gate structure, or offset structure, and said 2nd thin film transistor is equipped with p mold channel.

[0023]
[Embodiment of the Invention] EL display of this invention is explained below.
The top view showing 1 display pixel at the time of applying this invention to an organic electroluminescence display at <gestalt of the 1st operation> drawing 1 is shown, the sectional view which met drawing 2 (a) at the A-A line in drawing 1 is shown, and the sectional view which met drawing 2 (b) at the B-B line in drawing 1 is shown.
[0024] The display pixel is formed in the field surrounded by the gate signal line 51 and the drain signal line 52 as shown in drawing 1 . It has 1st TFT30 near the intersection of both signal lines, and the source 13s of TFT30, while serving as the capacity electrode 55 which makes auxiliary capacity between the below-mentioned auxiliary capacity electrode lines 54, it connects with the gate 41 of 2nd TFT40. It connects with the anode plate 61 of organic electroluminescence source 43s of the 2nd TFT, and connects with the drive power-source line 53 which drives an organic EL device drain 43d of another side.
[0025] Moreover, near TFT, the auxiliary capacity electrode line 54 is arranged in parallel with the gate signal line 51. This auxiliary capacity electrode line 54 consists of chromium etc., accumulated the charge between the capacity electrodes 55 connected with source 13s of TFT through gate dielectric film 12, and has accomplished auxiliary capacity. This auxiliary capacity is prepared in order to hold the electrical potential difference impressed to the gate electrode 41 of 2nd TFT40.
[0026] As shown in drawing 2 , on the substrates 10, such as a substrate which has the substrate or conductivity which consists of glass, synthetic resin, etc., or a semi-conductor substrate, an organic electroluminescence display carries out laminating formation, and changes TFT and an organic EL device at order. However, in using the substrate and semi-conductor substrate which have conductivity as substrates 10, insulator layers, such as SiO2 and SiN, were formed upwards on these substrates 10, and it forms TFT and an organic electroluminescence display.
[0027] In the gestalt of this operation, it is the so-called bottom gate type with which the active layer 13 prepared the gate electrode caudad of TFT, and 1st and 2nd TFT(s) 30 and 40 show the case where the polycrystalline silicon ("p-Si" is called Poly-Silicon and the following.) film is used as an active layer. Moreover, the case where it is TFT whose gate electrode 11 is double-gate structure is shown.
[0028] First, 1st TFT30 which is TFT for switching is explained.
[0029] As shown in drawing 2 (a), the drain signal line 52 which consists of the gate signal line 51 and aluminum which served as the gate electrode 11 which consists of refractory metals, such as chromium (Cr) and molybdenum (Mo), is formed on the insulating substrate 10 which consists of quartz glass, alkali free glass, etc. And the drive power-source line 53 which is the drive power source of an organic EL device, is connected to a drive power source and consists of aluminum is formed.
[0030] Then, the active layer 13 which consists of gate dielectric film 12 and p-Si film is formed in order.
[0031] The so-called LDD (Lightly Doped Drain) structure is formed in the active layer 13. Namely, use the stopper insulator layer 14 on channel 13c on the gate electrode 11 as a mask, and ion doping is carried out. furthermore, from the gate electrode 11 and the gate electrode 11 of the both sides to a fixed distance It covers in a resist, and ion doping is carried out and source 13s [of a high concentration field (it expresses as the slash which goes to lower left direction from the drawing Nakamigi upper part)], and drain 13d is prepared in low concentration field 13LD (it expresses as the slash which goes to lower right direction from the upper left in drawing direction), and its outside at the both sides of the gate electrode 11.
[0032] And the interlayer insulation film 15 by which the laminating was carried out to the order of SiO2 film, the SiN film, and SiO2 film is formed the whole surface on gate dielectric film 12, an active layer 13, and the stopper insulator layer 14, the contact hole prepared corresponding to drain 13d is filled up with metals, such as aluminum, and the drain electrode 16 is formed in it. Furthermore, the flattening insulator layer 17 which consists of organic resin and makes a front face flat is formed in the whole surface.
[0033] Next, 2nd TFT40 which is TFT for the drive of an organic EL device is explained.
[0034] As shown in drawing 2 (b), the gate electrode 41 which consists of refractory metals, such as Cr and Mo, is formed on the insulating substrate 10 which consists of quartz glass, alkali free glass, etc.
[0035] The active layer 43 which consists of gate dielectric film 12 and p-Si film is formed in order.
[0036] At that active layer 43, those both sides are covered in a resist, ion doping is carried out and source 13s and drain 13d is prepared in the gate electrode 41 upper part at the both sides of channel 43c which is genuineness genuineness or substantially, and this channel 43c.
[0037] And the interlayer insulation film 15 by which the laminating was carried out to the order of SiO2 film, the SiN film, and SiO2 film is formed the whole surface on gate dielectric film 12 and an active layer 43, and the drive power-source line 53 which filled up the contact hole prepared corresponding to drain 43d with metals, such as aluminum, and

was connected to the drive power source 50 is formed. Furthermore, the flattening insulator layer 17 which consists of organic resin and makes a front face flat is formed in the whole surface. And a contact hole is formed in the location corresponding to source 43s of that flattening insulator layer 17, and the transparent electrode 61 which consists of ITO which contacted source 13s through this contact hole, i.e., the anode plate of an organic EL device, is formed on the flattening insulator layer 17.

[0038] An organic EL device 60 is general structure. ITO () [Indium] Thin The anode plate 61, MTDATA which consist of transparent electrodes, such as Oxide (4) [4-bis] () [3-methy] The 1st hole transportation layer 62 which consists of lphenylphenylaminobiphenyl, the 2nd hole transportation layer 63 which consists of TPD (4, 4, and 4-tris(3-methylphenylphenylamino) triphenylanine), Quinacridone (Quinacridone) A derivative It is the structure where laminating formation of the light emitting device layer 65 which consists of an electronic transportation layer which consists of the luminous layer 64 which consists of included Bebq2 (10-[benzo h] quinolinol-beryllium complex), and Bebq2, and the cathode 66 which consists of a magnesium indium alloy was carried out in this sequence.

[0039] Moreover, the hole poured in from the anode plate and the electron poured in from cathode recombine an organic EL device inside a luminous layer, it excites the organic molecule which forms a luminous layer, and an exciton produces it. Light is emitted from a luminous layer in the process in which this exciton carries out radiation deactivation, and from a transparent anode plate, this light is emitted to the exterior through a transparence insulating substrate, and emits light.

[0040] The timing chart of each signal is shown in drawing 3 . In addition, the equal circuit of the organic electroluminescence display in the gestalt of this operation is the same as above-mentioned drawing 6 .

[0041] In drawing 3 , as for ** (c) of the drain signal VD of the m-th train, ** (b) of the signal (n) VG 1 with which drawing (a) is supplied to the gate electrode of the 1st TFT of the n-th line shows each timing chart of the signal (n) VG 2 of the gate electrode of the 2nd TFT of the n-th line.

[0042] If a gate signal is supplied to the gate 11 connected to the gate signal line Gn as shown in drawing 3 (a), 1st TFT30 will maintain 1 level period (1H) ON state, and will be turned off after that. When turned on [the], as shown in drawing 3 (c), the drain signal shown in drawing 3 (b) from the drain signal line Dm is supplied to the gate electrode 41 through source 43s, and the potential of the gate electrode 41 turns into the potential and this potential of the drain signal line Dm. In this way, if potential is supplied to the gate electrode 41, 2nd TFT40 will be in an ON state, and the current equivalent to the current value of the gate electrode 41 will be supplied to the anode plate 61 of an organic EL device 60 through drain 43d and source 43s from the drive power source 50. Then, an organic EL device 60 emits light.

[0043] Thus, an organic electroluminescence display is formed by arranging the constituted display pixel in the shape of a matrix on a substrate 10.

[0044] As mentioned above, since 1st TFT30 is the n-type channel TFT which is the LDD structure equipped with the active layer 13 equipped with the source and the drain which doped the impurity which presents n mold according to this invention, electric-field mobility can control the leakage current of 1st TFT30 highly. Namely, while writing is made at high speed, since the electrical-potential-difference maintenance property is good, as it is shown in drawing 3 (b), a drain signal can write in by following the signal which changes to every 1H. As the continuous line showed, while being able to hold potential, without the potential of the gate electrode 41 changing like before shown by the dotted line of drawing 3 (c) Furthermore, since the high ON state current can be acquired as the continuous line in drawing 8 shows, it is stabilized without reducing the current which should emit light, and an organic EL device can be supplied.

[0045] Moreover, since 2nd TFT40 is p mold channel TFT equipped with the active layer equipped with the source and the drain which doped the impurity which presents p mold Since the field saturated in an Id-Vd property can be made large as a continuous line shows in drawing 9 , According to Vd, Id stops being able to change easily, namely, since dispersion in the drain current value according to change of a drain electrical potential difference decreases, a good gradation display can be easily obtained from the ability of the luminescence brightness of an organic EL device for repeatability to improve it homogeneity.

[0046] As the column of a Prior art especially explained with polycrystalline silicon TFT, a grain boundary exists, with the electron by which the trap was carried out to the grain boundary, the potential barrier is formed and a depletion layer spreads. For this reason, in a drain electrode edge, electric field strong against a grain boundary are built, and although the ionization by collision phenomenon in which the electron accelerated by this collides with a grid occurs, since a drain current since the direction in the case of p mold channel is remarkable and that phenomenon is small compared with the case of an n-type channel TFT can acquire saturation characteristics with a good example of the saturated field, it uses p mold channel TFT as the 2nd TFT.

[0047] As mentioned above, while high-speed writing is possible and being able to reduce leakage current by having had the 2nd TFT which has the 1st TFT and p mold channel which have an n-type channel and were equipped with