用喷墨方法为每一个像素点形成 EL 层成为可能，并且形成 EL 层后的图形加工能够被省略．然而，对于有源矩阵类型 EL 显示器件和无源类型 EL 显示器件，随着屏幕尺寸的增大和像素密度的提高，都提高了对高定位精度和高处理速度的要求．

本发明目的在于简化用喷墨方法制作 EL 层，并进行高速加工．本发明的一个目的是提供一种方法，制作高使用性能、高可靠性的电光器件，特别是一种制作 EL 显示器件的方法．此外，本发明的一个目的是通过提高电光器件的图象质量，提高 EL 显示器件作为显示器件的电子器件的质量．

为了实现上述目标，当用喷墨方法形成 EL 层时，EL 层被制作成连续覆盖多个像素．特别地，EL 层被制作成连续条状，相当于在布置于 m 列 n 行矩阵中的像素电极的某一选定行或列．作为选择，为每一个像素电极制作长圆形或长方形 EL 层．

用喷墨方法形成预先决定的图形，重复执行墨水头的定位控制并喷出墨水（当形成 EL 层时，墨水是含有 EL 层材料的液体）．注意到如果屏幕尺寸变大或像素密度变高，那么用这种方法为相应的每一个像素电极制作 EL 层的加工时间变得极大．然而，用上述的方法制作条形、或长圆形、或长方形，通过连续扫描墨水头形成 EL 层是可能的，并且加工时间能被缩短．

在制作彩色显示 EL 显示器件时，相应于每一个颜色红、绿和蓝的 EL 层可以被制作，使得形成条形、或长圆形或长方形．这类 EL 层和 EL 层制作方法能被应用到有源矩阵类型显示和无源矩阵类型显示器件．

此外，由喷墨方法形成的 EL 元件的碱金属的扩散，通过用本发明在 EL 元件和 TFT 之间形成绝缘膜（钝化膜）来防止．特别地，防止碱金属的扩散的绝缘膜形成于覆盖 TFT 的水平膜上．换句话说，可以使用的材料，应该能使在 EL 显示器件的工作温度下，碱金属透过绝缘膜的扩散速度足够低．

更好地，选择水分和碱金属不能透过、而且具有高的导热率（高散热效果）的绝缘膜，并且该绝缘膜制作成与 EL 元件接触，或更可取的是那类具有包围 EL 元件的状态的绝缘膜．也就是具有阻挡水分和碱金属、具有散热效果的绝缘膜，被制作在与 EL 元件尽可能接近

的地方，并且 EL 元件的退化受到绝缘膜的抑制。

进而，当单一的层不能用作那类绝缘膜时，具有阻挡水分和碱金属效果的绝缘膜，和具有散热效果的绝缘膜能被层迭使用。此外，具有阻挡水分效果的绝缘膜、具有阻挡碱金属效果的绝缘膜和具有散热效果的绝缘膜也能被层迭使用。

图 1A 到 1C 解释按照本发明用一种喷墨方法连续形成 EL 层的概念；

图 2A 和 2B 解释形成 EL 层使得成为条形、或对于本发明安排为矩阵形式的像素电极连续形成 EL 层的概念；

图 3A 和 3B 解释本发明的喷墨方法；

图 4 解释按照本发明用喷墨方法连续形成 EL 层的概念；

图 5 表示本发明的 EL 显示器件的像素部分的截面结构；

图 6A 和 6B 分别表示本发明的 EL 显示器件的像素部分的顶部布局和结构；

图 7A 到 7E 表示实例 1 的一种有源矩阵类型 EL 显示器件的加工过程；

图 8A 到 8D 表示实例 1 的一种有源矩阵类型 EL 显示器件的加工过程；

图 9A 到 9C 表示实例 1 的一种有源矩阵类型 EL 显示器件的加工过程；

图 10 表示实例 1 的 EL 模块的外视图；

图 11 表示实例 1 的 EL 显示器件的电路方框结构；

图 12 是本发明的 EL 显示器件的像素部分的放大图；

图 13 表示实例 1 的 EL 显示器件的示例电路的元件结构；

图 14 是表示实例 1 的 EL 模块的顶视图；

图 15A 和 15B 是表示实例 1 的 EL 显示器件的密封结构的截面图；

图 16A 到 16E 是表示实例 3 的无源类型 EL 显示器件的加工过程；

图 17 解释制作实例 4 的 EL 显示器件的设备的结构；

图 18 表示实例 2 的 EL 显示器件的像素部分的截面结构；

图 19A 到 19F 表示实例 6 的电子设备的特定例子；

图 20A 和 20B 表示电子设备的特定例子；

图 21A 和 21B 解释实例 6 的像素部分的像素布置；

图 22 是测试部分的显微照片，其中 EL 层用实例 7 的喷墨方法连续制作.

实例模式 1

图 1A 到 1C 解释本发明的概念. 图 1A 表示一种结构，其中像素部分 102、扫描线侧驱动电路 103 和数据线侧驱动电路 104 制作于基底 101 上. 间隔层 105 使得在像素部分 102 上形成条带，而 EL 层制作于每个间隔层之间. 间隔层 105 使得当用喷墨方法制作 EL 层时，相邻 EL 层不相互混合.

EL 层 106 通过从墨水头 107 喷射含有 EL 材料的液体形成. 对 EL 层材料没有特别的限制，但进行彩色显示的 EL 层 106R，106G，和 106B 应分别对应红，绿和蓝而形成.

图 2A 和 2B 解释像素部分的 EL 层的形成细节. 在图 2A 中，形成多个电流控制 TFT122 和与之相连的多个像素电极 123，对应于每一个像素，并在像素部分 120 上布置为矩阵形式，并且表示出形成的 EL 层 121 的状态，使得对应选定的像素电极的行或列. EL 层 121R，121G，和 121B 分别对应红，绿和蓝，如图所示形成，以进行彩色显示.

进而，EL 层 124 也可以形成为长圆形或长方形，对应于在像素部分 120 上布置为矩阵状态的电流控制 TFT125，并且像素电极 126 连接到电流控制 TFT125. 为了进行彩色显示，EL 层 124R，124G，和 124B 类似地形成如图所示.

图 1B 是图 1A 所示的示意图的截面图，并表示状态为扫描线侧驱动电路 103 和像素部分 102 形成于基底 101 上. 在像素部分 102 内形成间隔层 105，在每个间隔层之间形成 EL 层 106R，106G，和 106B. 墨水头 107 是喷墨装置的一部分，墨水点 108R，108G，和 108B 分别对应颜色红，绿和蓝，并对应于控制信号喷射. 喷射出的墨水点 108R，108G，和 108B 粘在基底上，在后续的干燥或烘干后作为 EL 层. 如图 2A 和 2B 所示，本发明特征在于，基底上形成的墨水点具有连续条形形状，或长圆或长方形状. 墨水头可以沿每行或列的方向扫描，因此形成 EL 层的加工时间能够减少.

图 1C 解释像素部分的另外细节，电流控制 TFT110 和连接到电流控制 TFT110 的像素电极 112 形成于基底上，EL 层 106R，106G，和

106B 在每个像素电极上的间隔层 105 之间形成. 更好地是在像素电极 112 和电流控制 TFT110 之间，形成具有阻挡碱金属作用的绝缘膜 111.

图 3A 和 3B 解释喷头的结构，并表示一个使用压电方法的例子. 参考数字 131 表示压电元件；132 表示外壳；133 表示 EL 成形溶液. 当加上电压时，压电元件变形，外壳 132 也变形. 结果是，如图 3B 所示，内部的 EL 成形溶液 133 被喷射出为小滴 134. 像这样，通过控制加在压电元件上的电压，可以利用 EL 成形溶液. 在这种情况下，既然 EL 成形溶液 133 是通过外部物理压力挤出的，它的成分等性质根本不受影响.

图 4 类似的解释本发明的概念，第一间隔层 145 和与第一间隔层 145 垂直的第二间隔层 146，形成于基底 141 上的像素部分 142 内. EL 层 147 形成于第一间隔层 145 和第二间隔层 146 之间包围的部分. 第一间隔层 145 和第二间隔层 146 对应于每一个像素电极形成. 通过从墨水头 148 喷出含有 EL 材料的 EL 成型液体形成 EL 层. 形成 EL 层 148R，148G，和 148B 分别对应红、绿和蓝，进行彩色显示.

实例模式 2

本发明的有源矩阵类型 EL 显示器件参考图 5，6A 和 6B 进行解释. 图 5 所示是本发明的有源矩阵类型 EL 显示器件的一个像素的截面图，图 6A 是顶视图，图 6B 是有源矩阵类型 EL 显示器件的电路结构. 实际上，多个这样类型的像素被安排为矩阵状态，形成像素部分（图象显示部分）.

注意到图 5 的截面图表示在图 6A 中的顶视图中沿 A-A′ 线切开的截面. 共同的数字用于图 5 和图 6A 和 6B 中，因此三个图可以适当相互参照.

在图 5 中，参考数字 11 代表基底，参考数字 12 代表作为基膜的绝缘膜. 玻璃基底，玻璃陶瓷基底，石英基底，硅基底，陶瓷基底，金属基底或塑料基底（包括塑料薄膜）都能被用作基底 11.

进而，基膜 12 对于基底包含流动离子或基底具有导电性的情况特别有效，但对于石英基底则没有必要. 含有硅的绝缘膜可以被形成作为基膜 12. 注意术语“含硅绝缘膜”特别表示一种绝缘膜，比如氧化硅膜、氮化硅膜、或含有预定比例的硅、氧和氮的氮氧化硅膜（由

SiOxNy 表示）.

进而，通过使基膜 12 拥有散热作用，也能有效地防止由于 TFT 产生的热的发散而导致 TFT 的退化和 EL 元件的损坏. 在这种情况下，一种含 Al 的合金材料，如氧化铝或氮化铝（Al）可能被形成.

在像素内部形成两个 TFT. 参考数字 201 代表作为开关元件的 TFT（此后称为开关 TFT），参考数字 202 代表作为控制流向 EL 元件的电流量的电流控制元件（此后称为电流控制 TFT）. 两者都由 n 沟道 TFT 形成.

注意到不必需限制开关 TFT 和电流控制 TFT 为 n 沟道 TFT，使用 p 沟道 TFT 形成开关 TFT 和电流控制 TFT 两者之一，或全部两者是可能的. 在任何情况下，TFT 类型的选择基于应用到连接于电流控制 TFT 的 EL 元件的偏置电压的极性.

开关 TFT201 形成具有：包含源极区 13、漏极区 14、LDD 区 15a 到 15d、高密度杂质区 16、沟道形成区 17a 和 17b 的有源层；栅极绝缘膜 18；栅电极 19a 和 19b，第一层间绝缘膜 20，源极引线 21 和漏极引线 22.

尽管没有表示出来，栅电极 19a 和 19b 可以是双栅极结构，通过不同材料（一种比栅电极 19a 和 19b 具有更低电阻的材料）形成的栅极引线电连接. 用这种结构，器件能处理更大的显示尺寸. 当然，不仅双栅极结构，而且有所谓多栅极结构（一种结构，含有具有串联连接的两个或多个沟道形成区的有源层），比如三栅极结构可以被使用. 多栅极结构对降低关断电流值非常有效，并且通过使像素的开关元件 201 成为本发明的多栅极结构，对开关元件能实现低的关断电流值.

有源层是由含有晶体结构的半导体膜形成. 换句话说，单晶半导体膜可以被使用，多晶半导体膜或微晶半导体膜也可以被使用. 进而，栅极绝缘膜 18 可以由含硅的绝缘膜形成. 加之，已知的引线材料，由 Al，钽（Ta），钨（W）等为代表，能用于制作栅电极，源极引线和漏极引线.

此外，开关 TFT201 中的 LDD 区 15a 到 15d 夹入栅极绝缘膜 18 之间形成，并使得不会与栅电极 17a 和 17b 重叠. 这种结构对减少关断电流值极其有效.

00.10.12

注意到在沟道形成区和 LDD 区之间形成补偿区(具有与沟道形成区相同的成分，而栅极电压不加在其上的区域)，对减少关断电流值更可取. 进而，当使用具有两个或多个栅电极的多栅极结构时，在沟道形成区之间形成高密度杂质区，对降低关断电流值有效.

如上所述，通过这样使用多栅极结构 TFT 作为开关元件 201，本发明实现了使开关元件具有足够低的关断电流值. 电流控制 TFT 的栅极电压因此能维持足够的时间(从一个选择到下一个选择的期限)，不会形成电容，比如日本专利申请公开平 No.10-189252 中的图 2 所示.

也就是，消除传统的引起有效发光表面面积减少的电容、提高有效发光表面面积是可能的. 这意味着 EL 显示器件的图象能变得更明亮.

电流控制 TFT202 形成具有: 有源层，包含源极区 31、漏极区 32、LDD 区 33、沟道形成区 34; 栅极绝缘膜 18; 栅电极 35; 第一层间绝缘膜 20; 源极引线 36 和漏极引线 37. 注意栅电极 35 具有单栅极结构，但也可以具有多栅极结构.

如图 6A 和 6B 所示，开关 TFT 的漏极被电连接到电流控制 TFT 的栅极. 特别地，通过漏极引线 22，电流控制 TFT202 的栅电极 35 被电连接到开关 TFT201 的漏极区 14. 进而，源极引线 36 被连接到电源引线 212.

电流控制 TFT202 的特征在于它的沟道宽度比开关 TFT201 的沟道宽度大. 也就是，如图 12 所示，当开关 TFT 的沟道长度取为 L1，它的沟道宽度为 W1，电流控制 TFT 的沟道长度取为 L2，它的沟道宽度为 W2，得出关系表达式 $W2/L2 \geq 5xW1/L1$(更好地是 $W2/L2 \geq 10xW1/L1$). 结果，在电流控制 TFT 中比在开关 TFT 中有更多的电流顺利流动是可能的.

注意到多栅极结构开关 TFT201 的沟道长度 L1，是两个或多个沟道形成区的沟道长度之和. 在图 12 中的情况，形成双栅极结构，因此分别表示两个沟道形成区的沟道长度 L1a 和 L1b 之和成为开关 TFT201 的沟道长度 L1.

本发明中不特别限定沟道长度 L1 和 L2，沟道宽度 W1 和 W2 的取值范围，但最好是 W1 从 0.1 到 5μm(典型地为 1 到 3μm 之间)，

W2 从 0.2 到 30μm（典型地为 2 到 10μm 之间）．此时最好是 L1 从 0.2 到 18μm（典型地为 2 到 15μm 之间），L2 从 0.1 到 50μm（典型地为 1 到 20μm 之间）．

注意到更好是设定沟道长度长一点，以防止过量电流流入电流控制 TFT202．可能较好设定为 W2/L2≥3（更好为 W2/L2≥5）．更好的是使每个像素流过的电流量从 0.5 到 2μA（更好地为 1 到 1.5μA）．

通过设定数值在这个范围内，所有标准的，从具有 VGA 级像素数目（640x480）的 EL 显示器件，到具有高显示级像素数目（1920x1080）的 EL 显示器件，都能被包括．而且，开关 TFT201 内形成的 LDD 区的长度（宽度）设定为从 0.5 到 3.5μm，典型地在 2.0 到 2.5μm 之间．

进而，图 5 所示的 EL 显示器件特征在于，在电流控制 TFT202 中，LDD 区 33 形成于漏极区 32 和沟道形成区 34 之间，并且 LDD 区 33 具有通过栅极绝缘膜 18 与栅电极 35 重叠的区域，也具有与栅极绝缘膜 18 不重叠的区域．

电流控制 TFT202 提供电流给 EL 元件 204 发光的同时，能够控制提供的电流的量，实行梯度显示．因此，有必要设计对策，防止由于热载流子注入引起的变坏，以使即使大电流流过，TFT 也不退化．而且，当显示黑颜色时，电流控制 TFT202 被设定为关断状态，如果此时关断电流高，那么黑颜色不能清楚的显示，导致对比度降低．因此也有必要控制关断电流值．

关于由于热载流子注入引起的变坏，众所周知，LDD 区与栅电极重叠的结构是非常有效的．然而，如果整个 LDD 区与栅电极重叠，那么关断电流值增加，因此本发明的申请人通过一种新的结构，同时解决了热载流子问题和关断电流值问题，该结构中 LDD 区是串联形成，并且不与栅电极重叠．

与栅电极重叠的 LDD 区的长度在这里可以设定为从 0.1 到 3μm（更好地为 0.3 到 1.5μm 之间）．太长寄生电容会变大；太短热载流子预防效果会变差．进而，不与栅电极重叠的 LDD 区的长度可以设定为从 1.0 到 3.5μm（更好地为 1.5 到 2.0μm 之间）．如果太长，那么不能通过足够的电流，而如果太短，那么关断电流值的减少效果会变差．

进而，在上述结构中，寄生电容形成于栅电极和 LDD 区重叠的区域，因此最好在源极区 31 和沟道形成区 34 之间形成它．电流控制 TFT 总是有同样的载流子（这里是电子）流动方向，因此只在漏极区边形成 LDD 区是充分的．

进而，从提高能够流动的电流量的观点，使电流控制 TFT202 的有源层（特别是沟道形成区）的膜厚度变厚（较好是从 50 到 100nm，60 到 80nm 更好）是有效的．另一方面，考虑开关 TFT201，从使关断电流值更小的观点，使有源层（特别是沟道形成区）的膜厚度变薄（较好是从 20 到 50nm，25 到 40nm 更好）也是有效的．

第一钝化膜 41 的膜厚度可以设定为从 10nm 到 1μm（更好地为 200 到 500nm 之间）．含硅绝缘膜（特别是氮氧化硅或氮化硅膜更好）能用作第一钝化膜 41 的材料．第一钝化膜 41 具有保护形成的 TFT、防止碱金属和水分侵入的作用．碱金属比如钠被包含在后来形成于 TFT 上面的 EL 层内．换句话说，第一钝化膜 41 作为保护层以使碱金属（流动离子）不能进入 TFT 一边．

进而，通过使第一钝化膜 41 具有散热作用，防止 EL 层的热退化是有效的．注意到为了使光从图 5 所示结构中 EL 显示器件的基底 11 一侧发射，第一钝化膜 41 具有透光特征是必须的．此外，当使用有机材料作为 EL 层时，由于与氧的结合会导致变坏，因此最好不要使用氧气容易通过其释放的绝缘膜．

绝缘膜至少含有从 B（硼）、C（碳）、N（氮）中选择的一种元素，并至少含有从 Al（铝）、Si（硅）、P（磷）中选择的一种元素，这样的绝缘膜能够作为透光材料，并防止碱金属透过，另外具有散热作用．例如，可能使用铝的氮化物，典型地为氮化铝（$Al_xN_y$），可能使用硅的碳化物，典型地为碳化硅（$Si_xC_y$），可能使用硅的氮化物，典型地为氮化硅（$Si_xN_y$），可能使用硼的氮化物，典型地为氮化硼（$B_xN_y$），可能使用硼的磷化物，典型地为磷化硼（$B_xP_y$）．进而，铝的氧化物，典型地为氧化铝（$Al_xO_y$），具有非常好的透光特征，热导率为 $20Wm^{-1}K^{-1}$，是优选材料之一．除了上面的作用，这些材料也具有防止水分侵入的作用．

其他元素能被结合到上面的化合物中．例如通过添加氮到氧化铝中，使用氮氧化铝，表示为 $AlN_xO_y$，也是可能的．这种材料除了有散

热效果，也能防止水分、碱金属侵入和类似的事情.

进而，记录在日本专利申请公开 No.Hei 62-90260 中的材料也能被使用. 也就是，能使用一种绝缘膜含有 Si，Al，N，O 和 M（其中 M 表示至少一种稀土元素，最好是从下面一组中选择，Ce（铈），Yb（镱），Sm（钐），Er（铒），Y（钇），La（镧），Gd（钆），Dy（镝），Nd（钕）. 这些材料除了有散热效果，也能有效防止水分、碱金属侵入和类似的事情.

进而，能够使用含有至少一层金刚石薄膜或非晶碳膜（特别是，具有接近金刚石的特征，称为类金刚石碳）的碳膜. 这些材料有非常高的热导率，作为散热层非常有效. 注意到如果膜层厚度变厚，那么膜变成褐色，透过率降低，因此最好使用尽可能薄的膜（更好地是从 5 到 100nm）.

注意到第一钝化膜 41 的目标是保护 TFT，防止碱金属和水分，因此材料一定不能失去其作用. 因此，用上述具有散热效果的材料制作的薄膜能单独使用，但这些薄膜与具有防止碱金属和水分透过的绝缘膜层迭使用是有效的（典型地为氮化硅膜（$Si_xN_y$）或氮氧化硅膜（$SiN_xO_y$））.

粗略的分类，对 EL 显示器件有四种彩色显示方法：一种方法是形成三类 EL 元件分别对应于 R（红），G（绿），和 B（蓝）；一种方法是把白光发射 EL 元件和彩色滤光器件组合起来；一种方法是组合蓝或蓝-绿 EL 元件和荧光体（荧光颜色变化层，CCM）；一种方法是使用透明电极做阴极（反向电极），并对应 RGB 与 EL 元件交迭. 图 5 中只表示出一个像素，但具有相同结构的像素能被形成，分别对应于颜色红、绿和蓝，并且利用这些像素能进行彩色显示. 对于每种颜色像素的 EL 层可以采用已知的材料. 注意到不考虑光发射的方法，实施本发明是可能的，并且全部上述四种方法都能用于本发明.

进而，在形成第一钝化膜 41 之后，第二层间绝缘膜（也可以称为拉平膜）44 被形成，具有覆盖每一个 TFT 的形状，并使由于 TFT 引起的台阶变平. 有机树脂膜作为第二层间绝缘膜 44 更优越，并且可以使用材料比如聚酰亚胺、聚酰胺、丙烯酸和 BCB（环丁烯苯）. 如果无机膜能够充分平，当然也是可以用的.

通过第二层间绝缘膜 44，使由于 TFT 引起的台阶变平是极其重

要的．后续形成的 EL 层非常薄，因此在台阶存在的地方会发生裂缝，和发生阳极和阴极之间的短路．因此为了能够在尽可能平的表面上形成 EL 层，最好在形成像素电极之前使之平整．

第二钝化膜 45 承担阻碍碱金属从 EL 元件扩散的关键作用．它的膜厚度可以设定为从 5nm 到 1μm（典型地为 20 到 300nm 之间）．能防止碱金属透过的绝缘膜被用在第二钝化膜 45 中．第一钝化膜 41 所用的材料也能用作第二钝化膜 45 的材料．进而，第二钝化膜 45 也用作散热层，释放由 EL 元件产生的热，以使热量不会堆积在 EL 元件中．此外，当第二层间绝缘膜 44 是有机树脂膜时，它对热是脆弱的，因此第二钝化膜 45 保证由 EL 元件产生的热不会对第二层间绝缘膜 44 有任何坏影响．在防止热损坏的同时，第二钝化膜 45 也用作确保 EL 层中的碱金属不扩散到 TFT 一边的保护层，而且也用作确保 TFT 一边的水分和氧不会渗透到 EL 层的保护层．

如上面所述，在加工 EL 显示器件时用有机树脂膜使之平整是有效的，但传统上，还没有考虑由于 EL 元件产生的热，引起的有机树脂膜的损坏的任何结构．第二钝化膜 45 的形成解决了这个问题，也是本发明的特征之一．

像素电极（EL 元件的阳极）46 是透明导电膜，并且在第二钝化膜 45、第二层间绝缘膜 44 和第一钝化膜 41 上加工接触孔之后，形成像素电极 46，使其在形成的接触孔部分，与电流控制 TFT202 的漏极引线 37 连接．

在形成像素电极 46 之后，在第二钝化膜 45 上由有机树脂膜形成分隔层 101．在实例 2 中，分隔层 101 用旋涂方法由光敏聚酰亚胺膜形成，分隔层 101 再被图形化．分隔层 101 的形状与用喷墨方法形成 EL 层时的相同，并且 EL 元件成形位置能由分隔层的位置划出界限．

在形成分隔层 101 之后，EL 层（有机材料更好）47 用喷墨方法形成．EL 层 47 能使用单层或层迭结构，在许多情况下使用层迭结构．各种层迭结构已经被提出，其中如光发射层，电子输运层，电子注入层，空穴注入层和空穴输运层组合在一起，并且任何结构都可以用于本发明．进而，荧光色素或类似物也可以掺杂到 EL 层中．

任何已知的 EL 材料能被用于本发明．众所周知有机材料为这样的材料，而且考虑驱动电压，最好使用有机材料．例如下面的美国专

利和日本专利申请中公开的材料能用作有机 EL 材料:

美国专利 No.4356429; 美国专利 No.4539507; 美国专利 No.4720432; 美国专利 No.4769292; 美国专利 No.4885211; 美国专利 No.4950950; 美国专利 No.5059861; 美国专利 No.5047687; 美国专利 No.5073446; 美国专利 No.5059862; 美国专利 No.5061617; 美国专利 No.5151629; 美国专利 No.5294869; 美国专利 No.5294870; 日本专利申请公开 No. Hei 10-189525; 日本专利申请公开 No. Hei 8-241048; 日本专利申请公开 No. Hei 8-78159.

特别地, 下面的通式所示的有机材料能用作空穴注入层.

[Chem 1] (化合物的通式在说明书的最后)

Q 为 N 或 C-R(碳链); M 是金属, 金属氧化物, 或金属卤化物; R 是氢, 烃基, 芳烷基, 烯丙基或碱基 (alkalyl); T1 与 T2 是不饱和六成员环(six-membered ring), 包括取代基如氢、烃基或卤素.

而且, 芳香三胺能用作空穴输运层的有机材料, 更好地是包括下面通式所示的四烯丙二胺.

[Chem 2]

在 Chem 2 中, Are 是聚丙炔基团, n 是 1 到 4 的整数, AR, $R_7$,$R_8$,$R_9$ 是每一个选定的烯丙基团.

此外, 金属-氧交酯(metal oxynoid)化合物能用作 EL 层、电子输运层或电子注入层的有机材料. 一种如下面通式所示的材料可以被用作金属-氧交酯化合物.

[Chem 3]

替换 $R_2$ 到 $R_7$ 可能的, 并且能使用如下面的金属-氧交酯化合物.

[Chem 4]

在 Chem 4 中, $R_2$ 到 $R_7$ 如上面所述定义; $L_1$ 到 $L_5$ 是碳水化合物, 含有 1 到 12 个碳单体; $L_1$ 和 $L_2$ 或者 $L_2$ 和 $L_3$ 都由苯环组成. 进而也能使用下面的金属-氧交酯化合物.

[Chem 5]

这里替换 $R_2$ 到 $R_5$ 是可能的. 具有有机配位体的配位化合物被包括为有机 EL 材料. 注意到上面仅仅是一些能用于本发明的 EL 材料的有机 EL 材料的例子, 绝对没有必要限制在这些 EL 材料中.

本发明使用喷墨方法形成 EL 层, 因此最好使用聚合物材料作为

EL 材料. 聚合物材料比如聚对苯撑亚乙烯（PPV）类型材料和聚芴类型材料给出作为典型的聚合物材料. 对于彩色，最好使用如红色荧光材料中的氰基－聚苯－1，2 亚乙烯；绿色荧光材料中的聚苯－1，2 亚乙烯；和蓝色荧光材料中的聚苯－1，2 亚乙烯或聚烷基次苯.

注意到上述例子是本发明中能用作 EL 材料的有机 EL 材料的例子，没有必要给其添加任何限制. 所有记录在日本专利申请公开 No. Hei 10-012377 中的材料，能引用作为喷墨方法中的材料.

注意到喷墨方法粗略分为冒泡喷射方法（也称为热喷墨方法）和压电方法，并且压电方法更适合于实施本发明.

进而，如实例 1 所示，实际上，在像素电极上应用 EL 材料的形状可以是条形，或长圆形或长方形，其中多个点是连续的. 分隔层 101 的作用是，当用喷墨方法形成 EL 层时，使相邻的 EL 层不互相混合.

为了实现彩色显示，红光发射 EL 层 47R，绿光发射 EL 层 47G，和蓝光发射 EL 层 47B 如图 6 所示形成. EL 层在这一点按顺序逐个形成，并且这分别对应红，绿和蓝的 EL 层可以同时形成. 进而，为了除去 EL 成形溶液中的溶剂，烘干（烧制）过程是必须的. 烘干过程可以在所有 EL 层形成之后进行. 作为选择，也可以每完成一层 EL 层后进行. 这样形成厚度为从 50 到 250nm 的 EL 层.

图 21A 和 21B 解释像素部分的结构，并表示在 EL 层形成多个像素电极的状态，具有条形，或长圆形或长方形. 在图 21A 中，形成多个像素电极，对应不同颜色发光 EL 层 1702a 和 1702b. 两个 TFT，开关 TFT 和电流控制 TFT，被连接到每一个像素电极. 进而，EL 层 1702a 和 EL 层 1702b 被分隔层 1701 隔开. 对于多色显示，像素电极 1703a 和 1703b 被作为一组，形成一个像素 1710a. 类似地，当形成相邻像素 1710b 时，设像素之间的间隙为 D，D 值被设定为 EL 层厚度的 5 到 10 倍. 也就是，D 值从 250 到 2500nm.

图 21B 表示另一个结构的例子. 形成多个像素电极，对应不同颜色发光 EL 层 1705a、1705b 和 1705c，例如红，绿和蓝. EL 层被分隔层 1704 隔开. 对于多色显示或 RGB 全彩色显示，像素电极 1706a、1706b 和 1706c 被作为一组，形成一个像素 1720a. 相邻像素 1710b 类似地形成，设像素之间的间隙为 D，D 值被设定为 EL 层厚度的 5 到 10 倍. 也就是，D 值从 250 到 2500nm. 这样能获得清晰的图象显示.

进而，当形成 EL 层 47 时，最好使用含有尽可能少水分的干燥气体作为处理环境，并且最好在惰性气体中进行。EL 层容易被水分和氧气损坏，因此当形成 EL 层 47 时，尽可能多地消除这些因素是必要的。例如干燥的氮气和干燥的氩气的混合气体是更可取的。

在用喷墨方法这样形成 EL 层 47 之后，形成阴极 48 和辅助电极 49。由像素电极（阳极），EL 层和阴极形成的光发射元件，在本说明中被称为 EL 元件。

含有镁（Mg），锂（Li）或钙（Ca）的材料，具有小加工系数，被用作阴极 48。更可取地，使用由 MgAg（Mg 和 Ag 的组成比例为 Mg: Ag=10: 1）制成的电极。给出 MgAgAl 电极，LiAl 电极和 LiFAl 电极作为其他例子。进而，辅助电极 49 形成作为保护膜的电极，防止外部水分或类似物，使用含有铝（Al）和银（Ag）的材料。辅助电极 49 也有散热作用。

注意到最好在干燥惰性气体内，不要暴露到空气中，连续形成 EL 层 47 和阴极 48。这是为了避免在暴露到空气中期间受潮，因为有机材料，当用作 EL 层时，是非常容易受潮的。此外，不仅连续形成 EL 层 47 和阴极 48，而且连续形成辅助电极 49 则更好。

进而，第三钝化膜 50 的膜厚度为从 10nm 到 1μm（更好地为 200 到 500nm 之间）。形成第三钝化膜 50 的目的主要是防止 EL 层 47 受潮，而且类似于第二钝化膜 45，也提供散热作用。因此与第一钝化膜 41 所用相同的材料，能用作第三钝化膜 50 的成形材料。注意当有机材料用作 EL 层 47 时，有可能由于与氧结合而损坏，因此最好使用氧不容易通过的绝缘膜。

进而，如前所述 EL 层怕受热，因此最好在尽可能低的温度下进行薄膜沉积（最好的温度范围从室温到 120℃）。因此能认为等离子体 CVD，溅射，真空蒸发，离子涂敷，和溶液施加（旋涂）是更可取的薄膜沉积方法。

EL 元件的损坏能通过形成第二钝化膜 45 而充分控制，但更可取地是用两个绝缘膜，第二钝化膜 45 和第三钝化膜 50 包围 EL 元件，这样防止水分和氧气进入 EL 层，阻止碱金属从 EL 层的扩散，和防止 EL 层内热量的堆积。结果是，EL 层的损坏又被抑制，能得到高可靠性的 EL 显示元件。

而且，本发明的 EL 显示元件具有图 5 所示结构的像素组成的像素部分，TFT 对应于它们的功能有不同的结构，被布置在像素内．开关 TFT 具有充分低的关断电流值，电流控制 TFT 能有效防止热载流子注入，二者能形成于同一像素内，能够获得具有高可靠性和优良图象显示能力（高操作性能）的 EL 显示器件．

注意到在图 5 的像素结构中，多栅极结构 TFT 用作开关 TFT，但是关于 LDD 区域布置和其他结构，不必须限制在图 5 的结构．具有上述结构的本发明的更详细的解释，通过下面示出的实例进行．

[实例 1]

本发明的实例用图 7A 到 9C 解释．一种同时制作像素部分和在像素部分外围形成的驱动电路部分的 TFT 的方法，将在这里说明．注意为了简化说明，对于驱动电路，CMOS 电路被表示为基本电路．

首先，如图 7A 所示，在玻璃基底 300 上形成基膜 301，厚度为 300nm．实例 1 中，氮氧化硅膜被层迭为基膜 302．在与玻璃基底接触的膜中，设定氮化物浓度在 10 到 25wt%为好．

此外，作为基膜 301 的一部分，提供绝缘膜是有效的，绝缘膜由与图 5 所示第一钝化膜 41 相同的材料制作．电流控制 TFT 由于流过大电流，易于产生热量，在尽可能接近的地方提供具有散热作用的绝缘膜是有效的．

接下来，在基膜 301 上用已知的沉积方法形成非晶硅膜（图中未示出），厚度为 50nm．注意不必须限制在非晶硅膜，如果是含有非晶结构的半导体膜（包括微晶半导体膜），也是可以形成的．此外，含有非晶结构的化合物半导体膜，比如非晶硅锗膜也是可以使用的．进而，膜厚度可以从 20 到 100nm．

非晶硅膜然后通过已知方法结晶，形成晶体硅膜（也称作多晶硅膜或多晶硅膜）302．使用电炉的热结晶，使用激光的激光退火结晶，和使用红外灯的灯退火结晶是已知的结晶方法．实例 1 中，结晶是通过使用 XeCl 气体的准分子激光的激光退火进行的．

注意到在实例 1 中，脉冲发射类型准分子激光形成直线形状，但矩形形状也可以被使用，连续发射氩激光和连续发射准分子激光也能被使用．激光光源不限定在准分子激光，YAG 激光的二倍频或三倍频也能被使用．

在这个实例中，尽管晶体硅膜用作 TFT 的有源层，使用非晶硅膜也是可能的．然而，电流控制 TFT 必需流过大量电流，使用电流能容易通过的晶体硅膜是有利的．

注意用非晶硅膜形成开关 TFT 的有源层，其中开关 TFT 有减少关断电流的必要，而且用晶体硅膜形成电流控制 TFT 的有源层是有效的．电流在非晶硅膜中难于流动，因为载流子迁移率低，并且关断电流不容易流动．换句话说，能最大利用非晶硅膜和晶体硅膜的优点，非晶硅膜，电流不容易流动，而晶体硅膜，电流容易流动．

接下来，如图 7B 所示，在晶体硅膜 302 上形成氧化硅保护膜 303，厚度为 130nm．这个厚度可以在 100 到 200nm 范围内（更好地为 130 到 170nm 之间）选择．而且，如果其他膜是含硅的绝缘膜，也可以被使用．形成保护膜 303，使得晶体硅膜在掺杂期间不直接暴露给等离子体，并使杂质的精确浓度控制成为可能．

然后在保护膜 303 上形成抗蚀掩模 304a 和 304b，添加能给予 n 型导电率的杂质元素（后面称为 n 型杂质元素）．注意位于周期表 15 族的元素，一般用作 n 型杂质元素，典型地为磷或砷．注意等离子体掺杂方法被使用，其中磷化氢（$PH_3$）是激活的等离子体，没有进行质量分离，而磷在实例 1 中添加的浓度为 $1x10^{18}$ 原子/$cm^3$．离子植入方法当然也能被使用，其中进行质量分离．

调节剂量，使得通过这种处理，形成 n 型杂质元素在 n 型杂质区的浓度为 $2x10^{16}$ 到 $5x10^{19}$ 原子/$cm^3$（典型地为 $5x10^{17}$ 和 $5x10^{18}$ 原子/$cm^3$ 之间）．

接下来，如图 7C 所示，保护膜 303 被去除，并且对添加的周期表 15 族元素进行激活．已知的激活技术可以用作为激活的方法，实例 1 中，激活是通过准分子激光照射进行．当然脉冲发射类型准分子激光和连续发射类型准分子激光都可以使用，在准分子激光的使用上不必须有任何限制．目的是使添加的杂质元素激活，因而照射进行的能量应该在晶体硅膜不熔化的水平．注意激光照射也可以在有保护膜 303 时进行．热处理方法激活也可以与激光方法激活杂质元素一起进行．当激活通过热处理进行时，考虑到基底的承受力，在 450 到 550 ℃之间进行热处理为好．

沿 n 型杂质区 305 和 306 边缘的边界部分（连接部分），也就是

存在于 n 型杂质区 305 和 306 中的沿其周边没有添加 n 型杂质元素的区域，被本过程描绘。这意味着在后来 TFT 完成时，能在 LDD 区和沟道形成区之间形成非常好的连接。

晶体硅膜的不需要的部分接下来被去除，如图 7D 所示，岛形半导体膜（此后称作有源层）307 到 310 被形成。

然后，如图 7E 所示，形成栅极绝缘膜 311，覆盖有源层 307 到 310。含硅绝缘膜，厚度为 10 到 200nm，更好地在 50 到 150nm 之间，可以被用作栅极绝缘膜 311。可以使用单层结构或层迭结构。实例 1 中使用 110nm 厚的氮氧化硅膜。

接下来形成厚度为 200 到 400nm 的导电膜并图形化，形成栅电极 312 到 316。注意在实例 1 中，栅电极和与之电气连接的导线（此后称作栅极引线）用不同的材料形成。特别地，具有比栅电极电阻低的材料被用作栅极引线。这是因为一种能够被微加工的材料用作栅电极，即使栅极引线不能被微加工，引线所用材料也有低电阻。当然，栅电极和栅极引线也可以用同样的材料形成。

进而，栅极引线可以用单层导电膜形成，而当需要时，更好地是使用两层或三层层迭膜。所有已知的导电膜能用作栅极材料。然而，如上所述，最好使用能被微加工的材料，特别地，使用能够被图形化到线宽 2μm 或更小的材料。

典型地，可能使用从钽（Ta），钛（Ti），钼（Mo），钨（W），铬（Cr）和具有导电性的硅（Si）中选择一种元素构成的膜，使用上述元素的氮化物膜（典型地为氮化钽膜，氮化钨膜，或氮化钛膜），使用上述元素组成的合金膜（典型地为 Mo-W 合金，Mo-Ta 合金），或上述元素的硅化膜（典型地为硅化钨膜，硅化钛膜）。当然，这些膜可以用单层或多层。在这个实例中，厚度为 50nm 的氮化钽（TaN）膜和厚度为 350nm 的 Ta 膜层迭使用。这些可以通过溅射形成。当添加惰性气体氙，氖或类似气体作为溅射气体时，由于应力引起的膜剥落可以被防止。

栅电极 313 和 316 在这时形成，使得分别与 n 型杂质区 305 和 306 重叠一部分，夹入栅极绝缘膜 311。这个重叠部分后来成为 LDD 区与栅电极重合。

接下来，n 型杂质元素（实例 1 中使用磷）被添加，以用栅电极

313 和 316 作为掩膜的自对准方式，如图 8A 所示。添加被调整，使得磷被添加到杂质区 317 到 323，这样形成浓度为杂质区 305 和 306 的 1/10 到 1/2（典型地为 1/4 和 1/3 之间）。特别地，最好是浓度为 $1x10^{16}$ 到 $5x10^{18}$ 原子/$cm^3$（典型地为 $3x10^{17}$ 和 $3x10^{18}$ 原子/$cm^3$ 之间）。

接下来形成抗蚀掩模 324a 到 324c，其形状覆盖栅电极等，如图 8B 所示，并且 n 型杂质元素（实例 1 中使用磷）被添加，形成含有高浓度磷的杂质区 325 到 331。离子掺杂磷化氢（$PH_3$）也在这里进行，并通过调整使这些区域的磷浓度从 $1x10^{20}$ 到 $1x10^{21}$ 原子/$cm^3$（典型地为 $2x10^{20}$ 和 $5x10^{21}$ 原子/$cm^3$ 之间）。

通过这个过程形成 n 沟道 TFT 的源极区或漏极区，在开关 TFT 中，n 型杂质区 320 到 322 的一部分用图 8A 所示剩余的工艺形成。这些余下的区域对应于图 5 中开关 TFT 的 LDD 区 15a 到 15d。

接下来，如图 8C 所示，去除抗蚀掩模 324a 到 324c，并形成新的抗蚀掩模 332。然后添加 p 型杂质元素（实例 1 中使用硼），形成含有高浓度硼的杂质区 333 和 334。在这里添加硼形成杂质区 333 和 334，通过使用乙硼烷（$B_2H_6$）离子掺杂，硼的浓度为 $3x10^{20}$ 到 $3x10^{21}$ 原子/$cm^3$（典型地为 $5x10^{20}$ 和 $1x10^{21}$ 原子/$cm^3$ 之间）。

注意到磷已经添加到杂质区 333 和 334，浓度为 $1x10^{20}$ 到 $1x10^{21}$ 原子/$cm^3$，但硼在这里添加的浓度至少是磷的 3 倍。因此，已经形成的 n 型杂质区转化为 p 型，并用作 p 型杂质区。

接下来，在去除抗蚀掩模 332 之后，以不同浓度添加的 n 型和 p 型杂质元素被激活。炉退火，激光退火或灯退火都可以作为激活方法使用。实例 1 中进行的热处理是用电炉在氮气中，550℃，进行 4 小时。

此时尽可能多地去除气体中的氧是重要的。这是因为如果有氧气存在，那么电极暴露的表面会氧化，引起电阻增大，同时更难于在后面制作欧姆触点。因此最好上述激活过程处理环境中氧的浓度应该是 1ppm 或更少，希望是 0.1ppm 或更少。

在激活过程完成之后，如图 8D 所示，接下来形成栅极引线 335，厚度为 300nm。含有铝（Al）或铜（Cu）作为主成分（包含组成的 50 到 100%）的金属膜，可以用作栅极引线 335 的材料。与图 2 中的栅极引线 211 相同，栅极引线 335 形成的位置使得开关 TFT 的栅电极 314 和 315（对应于图 2 中的栅电极 19a 和 19b）被电气连接。

通过使用这类结构，栅极引线的引线电阻能非常小，因此能形成具有大表面面积的像素显示区（像素部分）．也就是，实例 1 的像素结构非常有效率，因为由于这个结构，具有屏幕尺寸对角长 10 英寸或更大的 EL 显示器件被实现．

如图 9A 所示，接下来形成第一层间绝缘膜 336．含硅的单层绝缘膜用作第一层间绝缘膜 336，同时层迭膜可以组合到之间．进而，可以使用厚度为 400nm 和 1.5μm 之间的膜．800nm 厚氧化硅膜在 200nm 厚氮化硅膜上的层迭结构被用在实例 1 中．

此外，在 300 到 450℃，环境含有 3 和 100%之间的氢，进行热处理 1 到 12 小时，进行氢化作用．这是一种用热激活的氢来端接半导体膜中的不饱和键的过程．等离子体氢化作用（使用等离子体激活的氢）也可以用作氢化作用的另一种方法．

注意氢化作用步骤也可以插入到第一层间绝缘膜 336 形成期间．也就是，氢处理可以在如上面形成 200nm 厚氮化硅膜之后进行，然后形成余下的 800nm 厚氧化硅膜．

接下来，在第一层间绝缘膜 336 中形成接触孔，而且形成源极引线 337 到 340 和漏极引线 341 到 343．在这个实例中，这个电极由三层结构的层迭膜构成，其中用溅射方法连续形成厚度为 100nm 的钛膜，厚度为 300nm 的含钛的铝膜，和厚度为 150nm 的钛膜．当然其他导电膜也可以被使用．

接下来形成第一钝化膜 344，厚度为 50 到 500nm（典型地为 200 到 300nm 之间）．实例中 300nm 厚氮氧化硅膜被用作第一钝化膜 344．这也可以用氮化硅膜替换．当然如图 5 中第一钝化膜 41 那样使用同种材料是可能的．

注意在形成氮氧化硅膜之前，用含氢的气体如 $H_2$ 或 $NH_3$ 等进行等离子体处理是有效的．这种处理激活的氢被供应给第一层间绝缘膜 336，而且第一钝化膜 344 的膜质量通过进行热处理提高了．同时，添加到第一层间绝缘膜 336 的氢扩散到较低的一边，有源层能被有效地氢化．

接下来，形成由有机树脂构成的第二层间绝缘膜 347．作为有机树脂，可能使用聚酰亚胺，聚酰胺，丙烯酸，BCB（苯环丁烯）或类似物．特别地，既然第二层间绝缘膜 347 主要用于变平整，变平属性

优秀的丙烯酸是更可取的．在本实例中，丙烯酸膜形成的厚度应足以使 TFT 形成的台阶部分变平．优点在于厚度在 1 到 5μm（更好的，2 到 4μm）更可取．

接下来，第二钝化膜 348 形成于第二层间绝缘膜 347 上面，厚度为 100nm．在本实例中，既然使用含 Si,Al,N,O 和 La 的绝缘膜，防止其上的 EL 层碱金属的扩散是可能的．同时，水分对 EL 层的侵入被阻止，EL 层产生的热量被消散，以使得可能抑制由热引起的 EL 层的损坏，和展平膜（第二层间绝缘膜）的损坏．

到达漏极引线 343 的接触孔透过第二钝化膜 348、第二层间绝缘膜 347 和第一钝化膜 344 形成，并形成像素电极 349．在本实例中，形成铟-锡氧化物（ITO）膜，厚度为 110nm，并进行图形化形成像素电极．像素电极 349 成为 EL 元件的阳极．顺便提及，类似其他材料，也可能使用铟-钛氧化物膜或铟-锌氧化物膜．

顺便提及，本实例有这样一个结构，使得像素电极 349 通过漏极引线 343，电气连接到电流控制 TFT 的漏极区 331．这种结构具有下面的优点：

既然像素电极 349 与 EL 层（光发射层）或电荷输运层的有机材料直接接触，就有包含在 EL 层或类似层中的可移动离子扩散到像素电极的可能性．在本发明的结构中，像素电极 349 不直接连接到作为有源层一部分的漏极区 331，但是漏极引线 343 介入中间使得能防止可移动离子进入有源层．

接下来，如图 9C 所示，用喷墨方法形成 EL 层 350，进而在没有暴露到空气中时，形成阴极（MgAg 电极）351 和保护电极 352．此时，要求在形成 EL 层 350 和阴极 351 之前，通过进行像素电极 349 的热处理完全去除水分．在本实例中，尽管 MgAg 电极被用作 EL 元件的阴极，其他众所周知的材料也可以被使用．

作为 EL 层 350，本发明的实例模式 2 中解释的材料能被使用．在本实例中，尽管四层结构的空穴注入层，空穴输运层，光发射层和电子输运层构成 EL 层，也有情况是，没有形成电子输运层，提供电子注入层，或省略空穴注入层．像这样，各种组合的例子已经被报道，并且任何它们的结构可以被使用．

一种胺比如 TPD（三苯胺电介质）可以用作空穴注入层或空穴输

运层，此外，腙（典型地为 DEH），芪（典型地为 STB），或刺芭菊（starburst）（典型地为 m-MTDATA）也能被使用．特别地，具有高玻璃化温度和难于结晶的刺芭菊材料是更可取的．

BPPC，芘和 DCM 能用作发光层中的红色发光层，特别地，表示为 Eu（DBM）$_3$（Phen）的 Eu 综合物（细节参考 Kido, J. et. al, Appl. Phys., vol.35, pp.L394-396, 1996）是高单色性的，拥有在 620nm 波长窄的发射谱．

进而，典型地，$Alq_3$（8-羟基喹啉铝）材料，其中添加二羟基喹啉并吖啶或香豆素在几个 mol%的水平，能被用作绿光发射层．

[Chem 6]

此外，典型地蒸馏亚芳基氨基介质，其中氨基替换 DSA 被添加到 DSA（蒸馏亚芳基介质）用作蓝色发光层．特别地，最好使用高性能材料蒸馏联苯（DPVBi）．它的化学式在下面表示出来．

[Chem 7]

尽管辅助电极 352 确实能保护 EL 层 350，防止水分或氧气，提供第三钝化膜 353 更可取．在本实例中，作为第三钝化膜 353，是厚度为 300nm 的氮化硅膜．第三钝化膜 353 也可以在辅助电极 352 形成后连续形成，而不会暴露到空气中．当然，作为第三钝化膜 353，可以使用与图 5 中的第三钝化膜 50 相同的材料．

此外，辅助电极 352 是用来防止 MgAg 电极 351 的损坏，并且含铝的金属作为其主要成分是典型的．当然，可以使用另外的材料．既然 EL 层 350 和 MgAg 电极 351 非常容易受潮，就希望能在没有暴露到空气中时连续形成到辅助电极 352，使得 EL 层被保护不接触空气．

顺便提及，适当的是，EL 层 350 的厚度为 10 到 400nm（典型地为 60 到 160nm 之间），MgAg 电极 351 的厚度为 180 到 300nm（典型地为 200 到 250nm 之间）．在 EL 层 350 是层迭结构的情况下，每一层的膜厚度范围是 10 到 100nm．

这样，具有图 9C 所示的有源矩阵类型 EL 显示器件就完成了．在本实例的有源矩阵类型 EL 显示器件中，具有最适宜结构的 TFT 不仅安排在像素部分，而且安排在驱动电路部分，使得获得很高的可靠性和提高工作性能．

首先，具有减少热载流子注入结构、而使得尽可能不降低工作速

度的 TFT，被用作 CMOS 电路的 n 沟道 TFT205，形成驱动电路。顺便提及，这里的驱动电路包括移位寄存器，缓冲器，电平移动器，采样电路（采样和保持电路）和类似物。在进行数字驱动的情况下，信号转换电路比如 D/A 变换器也可能被包括。

在本实例的情况，如图 9C 所示，n 沟道 TFT205 的有源层包括源极区 355，漏极区 356，LDD 区 357 和沟道形成区 358，而且 LDD 区 357 与栅电极 313 重叠，它们之间放置栅极绝缘膜 311。

对不降低工作速度的考虑，是 LDD 区只形成在漏极区一边的原因。在 n 沟道 TFT205 中，不必太多注意关断电流值，而更重视工作速度。因此，要求 LDD 区 357 完全覆盖栅电极，以减少电阻成分到最小。那就是最好被去除的所谓补偿。

在 CMOS 电路的 p 沟道 TFT206 中，既然由热载流子注入引起的损坏几乎能被忽略，LDD 区不必特别提供。当然，类似于 n 沟道 TFT205，提供 LDD 区作为对付热载流子的对策是可能的。顺便提及，驱动电路中的采样电路与其他电路相比更特殊，并且大电流双向通过沟道形成区流动。那就是，源极区和漏极区的作用被互换。进而，有必要抑制关断电流值到最低可能值，那就意味着，在开关 TFT 和电流控制 TFT 之间，要求安排一个具有适当的中间功能的 TFT。

这样，作为形成采样电路的 n 沟道 TFT，要求安排一个具有图 13 所示结构的 TFT。如图 13 所示，LDD 区的部分 901a 和 901b 与栅电极 903 重叠，在它们之间放置栅极绝缘膜 902。这个作用是如电流控制 TFT202 的说明中所述，不同点是在采样电路中，LDD 区 901a 和 901b 被提供在沟道形成区 904 的两边。

像素部分通过形成如图 5 所示的像素结构而形成。一个像素中的开关 TFT 或电流控制 TFT 的结构没有说明，因为已经在图 5 中给出。

实际上，当完成图 9C 的状态时，更可取的是进行封装（密封），用护盖部件比如具有高空气密闭性的保护膜（层迭膜，紫外线塑化树脂膜等），或陶瓷封装能使其防止暴露到外界空气中。在那时，当护盖部件内部充有惰性气体，或吸湿剂（例如氧化钡）被放在内部时，EL 层的可靠性（寿命）提高。

在用如封装处理提高密闭性之后，贴上连接从基底上形成的元件或电路引出的接头到外部信号接头的连接器（柔性印刷电路 FPC），

以使产品最终完成．在本说明中，被制作成能够运输的状态的 EL 显示器件被称为 EL 模块．

这里，本实例的有源矩阵类型 EL 显示器件的结构，将参考图 10 的透视图描述．本实例的有源矩阵类型 EL 显示器件由像素部分 602，栅极侧驱动电路 603，和形成于玻璃基底 601 上面的源极侧驱动电路 604 构成．像素部分的开关 TFT605 是 n 沟道 TFT，并被安排在连接到栅极侧驱动电路 603 的栅极引线 606 和连接到源极侧驱动电路 604 的源极引线 607 的交叉点上．开关 TFT605 的漏极被连接到电流控制 TFT608 的栅极．

进而，电流控制 TFT608 的源极被连接到电源线 609．在本实例的结构中，电源线 609 被给予地电位．EL 元件 610 被连接到电流控制 TFT608 的漏极．进而，EL 元件 610 的阴极被加上固定电压（本实例中为 10 到 12V）．输入-输出引线（连接引线）612 和 613 传输信号给驱动电路，并且连接到电源线 609 的输入-输出引线 614 被提供在 FPC611 中，作为外部输入-输出接线．

图 10 所示 EL 显示器件的电路结构的例子在图 11 中表示．图 11 所示的电路结构是模拟驱动的例子，源极侧驱动电路 701，栅极侧驱动电路（A）707，栅极侧驱动电路（B）711 和像素部分 706．顺便提及，在本说明中，术语“驱动电路”是一般性术语，包括源极侧驱动电路和栅极侧驱动电路．

源极侧驱动电路 701 带有移位寄存器 702，电平移动器 703，缓冲器 704，采样电路（采样和保持电路）705．栅极侧驱动电路（A）707 带有移位寄存器 708，电平移动器 709 和缓冲器 710．栅极侧驱动电路（B）711 也具有同样的结构．

这里，移位寄存器 702 和 708 分别有驱动电压 5 到 16V（典型地为 10V），并且图 9C 中 TFT205 所表示的结构适合于用在 CMOS 电路中的 n 沟道 TFT，形成电路．

此外，对于每一个电平移动器 703 和 709，和缓冲器 704 和 710，驱动电压提高到 14 到 16V 的时候，类似于移位寄存器，包括图 9C 中 n 沟道 TFT205 的 CMOS 电路是适合的．顺便提及，使栅极引线为多栅极结构，比如双栅极结构或三栅极结构，在每一个电路的可靠性的提高方面是有效的．此外，既然源极区和漏极区被倒置，并且有必要

降低关断电流值，包括图 13 中的 n 沟道 TFT208 的 CMOS 电路，适合于采样电路 705，它的驱动电压是 14 到 16V。像素部分 706，驱动电压为 14 到 16V，被排列上具有图 5 所示结构的像素。

前面所述结构能通过按照图 7A 到 9C 的制作 TFT 的步骤，容易地实现。在本实例中，尽管只有像素部分的结构和驱动电路表示出来，如果本实例的制造步骤被采用，在同一基底上形成逻辑电路而不是驱动电路是可能的，比如信号隔离电路，D/A 转换器电路，运算放大器电路，γ 修正电路，或类似电路，进而，相信也能形成存储器部分，微处理器或类似器件。

进而，本实例也会参考图 14，15A 和 15B 描述包括护盖部件的 EL 模块。顺便提及，需要时，图 10 和 11 中使用的参照号将被引用。

在图 14 中，参照号 601 代表基底，参照号 602 代表像素部分，603 代表源极侧驱动电路，604 代表栅极侧驱动电路，612 代表连接引线，电气连接像素部分 602、源极侧驱动电路 603、和栅极侧驱动电路 604 到 FPC（柔性印刷电路）611。进而，FPC 被电气连接到外部设备，外部信号能因此被输入到像素部分 602、源极侧驱动电路 603、和栅极侧驱动电路 604。像素部分 602、源极侧驱动电路 603、和栅极侧驱动电路 604 由基底 601 上形成的薄膜晶体管（此后称为 TFT）形成。注意具有任何类型结构的 TFT 可以被用作 TFT。当然已知的结构也可以被使用。此外，填充材料（图中未示出），覆盖材料 1407，封装材料（图中未示出），和框架材料 1408 被形成。

图 14 的沿 A-A'线切开的截面图表示于图 15A 中，图 14 的沿 B-B'线切开的截面图表示于图 15B 中。注意在图 15A 和 15B 中，图 14 中相同的部分用同样的参照数字。

如图 15A 所示，像素部分 602 和驱动电路 603 形成于基底 601 上，并且像素部分 602 是由多个含有电流控制 TFT1501 的像素，和电气连接到电流控制 TFT1501 的像素电极 1502 组成。像素电极 1502 的作用是作为 EL 元件的阳极。进而，EL 层 1503 形成并覆盖像素电极 1502，并且 EL 元件的阴极 1504 形成于 EL 层 1503 上。

阴极 1504 也用作所有像素的公共引线，并通过连接引线 612 被电气连接到 FPC611。此外，含有像素部分 602 和驱动电路 603 的元件被钝化膜 1507 完全覆盖。

加之，填充材料 1508 被形成，覆盖 EL 元件．填充材料 1508 作用是结合覆盖材料 1407 的粘接剂．PVC（聚氯乙烯），环氧树脂，硅酮树脂，PVB（聚乙烯醇缩丁醛），和 EVA（乙烯醋酸乙烯酯）能用作填充材料 1508．如果在填充材料 1508 内部添加干燥剂，那么它能连续保持吸湿作用，这是更可取的．

进而，材料比如玻璃片，铝片，不锈钢片，FRP（玻璃纤维强化塑料）片，PVF（聚氟乙烯）膜，聚酯树脂薄膜，聚酯膜，和丙烯酸膜能用作覆盖材料 1407．注意当使用 PVB 或 EVA 作为填充材料 1508 时，更可取地是采用片状结构，其中几十 μm 厚的铝箔被夹入 PVF 膜或聚酯树脂薄膜中间．

注意，取决于 EL 元件光发射的方向，覆盖材料 1407 拥有透明性质是必要的．换句话说，对于图 15A 和 15B 的情况，光照射到覆盖材料 1407 的对面，因此材料属性无关紧要，但对于光照射到覆盖材料 1407 一边的情况，要使用高透明材料．

接下来，在用填充材料 1508 粘接覆盖材料 1407 后，框架材料 1408 被加上，使得覆盖填充材料 1508 的侧面表面（暴露的表面）．框架材料 1408 用粘接材料（作用为粘接剂）1509 粘接．这里最好使用光塑化树脂作为粘接材料 1509，但如果 EL 层的热承受力允许，热塑树脂也可以被使用．注意更可取的是粘接材料 1509 是能通过尽可能少的水分和氧气的材料．进而，干燥剂也可以被添加到粘接材料 1509 内部．

通过使用上述方法把 EL 元件封装到填充材料 1508 内，EL 元件能完全与外界隔绝，并且外部物质的侵入、水分、氧气等通过 EL 层的氧化作用引起的损坏能被防止．具有高可靠性的 EL 显示器件因此能被制造出来．

[实例 2]

实例 1 中所示，EL 显示器件的形式是 EL 元件的发光照射到基底的一边，而 TFT 形成在基底上．对于这种情况，至少在 TFT 形成的区域成为阴影，一个像素部分的孔径比被减小到那么多．另一方面，如果使用的形式是 EL 元件的发光照射到上面的方向（上面是形成 TFT 的基底的对面），那么至少使提高孔径比变得容易．

图 18 表示 EL 显示器件的结构，其中光是向朝上的方向照射．开

关 TFT201 和电流控制 TFT202 的结构与实例模式 2 中的相同，其他部分的不同在这里说明.

连接到电流控制 TFT202 的漏极一边的阴极侧像素电极 949，形成在第二钝化层 945 上面. 间隔层 951 用有机树脂材料形成. 阴极 948 使用材料如 MgAg( 一种材料，其中 Mg 和 Ag 组成比例为 Mg: Ag=10: 1)，MgAgAl，LiAl，或 LiFAl.

EL 层 947 也用与实例模式 1 或实例模式 2 中类似的喷墨方法形成. 此外，阳极侧像素电极用透明材料形成，如 ITO，并且第三钝化膜 950 形成于阳极侧像素电极上，完成光朝上的方向照射的 EL 显示器件.

[实例 3]

通过喷墨方法制作 EL 层的方法，和按照本发明制作的 EL 层，也能应用到无源类型 EL 显示器件.这样的例子参考图 16A 到 16E 说明.

基底比如：非碱性玻璃基底，典型地为 Corning 公司 1737 号玻璃基底；晶体玻璃基底；钠钙玻璃，表面上形成氧化硅膜或氮化硅膜；或塑料基底能应用到图 16A 中的基底 1601. 透明电极 1602 形成于基底 1601 上，厚度为 50 到 200nm，并通过加工如刻蚀或剥离（lift-off）分割为多个条形. 透明电极 1602 用材料如 ITO，ZnO，$SnO_2$ 或 ITO-ZnO 形成. 然后，使用有机树脂材料如聚酰亚胺，形成厚度为 0.5 到 2μm 的间隔层 1603，使得与形成的条形透明电极 1602 的侧面边缘部分接触.

EL 层使用单层或层迭结构. 层迭结构是其中多层的组合，比如光发射层，电子输运层，电子注入层，空穴注入层，和空穴输运层被组合在一起并层迭起来，在实例 3 中空穴注入层和光发射层形成层迭结构. 首先，如图 16B 所示，形成空穴注入层 1606. 空穴注入层不是总需要的，但为了提高光发射效率，有的实例中最好形成它. 如实例模式 1 所示，空穴注入层由含四烯丙基二胺的有机材料形成. 对这个例子也使用喷墨方法，溶剂 1605 从喷墨头 1604 喷出，在间隔层之间形成许多连续点的条形，或长圆形或矩形. 通过如电炉方法加热到 100℃的温度，蒸发元件中比如不需要的水分.

光发射层也用喷墨方法形成，如图 16C 所示. 对于彩色显示，具有每一种颜色如红、绿和蓝的墨水头被使用，并且含有光发射材料的

EL 成形溶剂 1609 被喷射在空穴注入层上面. 作为光发射层 1608 更可取的材料，能给出聚合材料比如聚对苯撑亚乙烯（PPV）或聚芴. 对于彩色，最好使用如红光发射材料中的氰基－聚苯－1，2 亚乙烯；绿光发射材料中的聚苯－1，2 亚乙烯；和蓝光发射材料中的聚苯－1，2 亚乙烯或聚烷基次苯. 这样光发射层 1608R，1608G，和 1608B 分别对应颜色红，绿和蓝，使得形成条形，或长圆形或矩形，其中多数为连续的. 为了防止 EL 材料在喷墨方法成形期间的氧化和损坏，在惰性气体中如氮或氩气进行.

然后形成阴极材料，使用材料如 MgAg（一种材料，其中 Mg 和 Ag 组成比例为 Mg: Ag=10: 1），MgAgAl，LiAl，或 LiFAl. 阴极材料用真空蒸发形成典型厚度为 1 到 50nm. 此外，一种材料如铝被层迭到阴极上，作为辅助电极. 图 16D 中的阴极层 1610 表示这类结构，使用掩模材料在每一层膜形成时形成条形. 阴极层 1610 形成条形，使得与同样形成条形的透明电极 1611 接近垂直. 钝化膜 1611 由比如氧化硅膜或氮化硅膜形成在阴极层 1610 上.

形成这里所示 EL 层的材料，对于潮湿和水分不耐用，因此最好用框架材料密封它们. 最好使用绝缘物质比如玻璃或聚合物作为框架材料 1614. 例如材料如非晶玻璃（比如硼硅酸盐玻璃或石英），晶化玻璃，陶瓷玻璃，有机树脂（比如丙烯酸树脂，苯乙烯树脂，聚碳酸酯树脂，或环氧树脂），和硅酮树脂能被给出. 陶瓷也可以被使用. 而且，如果密封剂 1705 是绝缘物质，也可能使用金属材料比如不锈钢合金.

此外，使用比如环氧树脂或丙烯酸树脂作为粘接剂 1612，连接框架材料 1614 与上面形成 EL 层的基底是可能的. 此外，热塑树脂或光塑树脂能用作粘接剂. 注意材料必须透过尽可能少的氧气和水分. 干燥剂 1613 比如氧化钡也可以混合到粘接剂 1612 中. 这样能够形成无源类型 EL 显示器件.

[实例 4]

形成 EL 元件的薄膜形成设备的例子在图 17 中示出. 图 17 所示为一设备，用来连续形成聚合物有机 EL 层作为光发射层，含有周期表 1 族或 2 族元素的金属膜作为阴极层，导电膜如 Al 作为辅助电极，和钝化膜.

在图 17 中，参考数字 401 代表传送室，也称作装载-卸载室，进行装载和卸载基底．搬运器 402，基底放在上面．注意传送室 401 也可以分为基底装载室和基底卸载室．进而，参考数字 403 是共同室，包含机构（此后称为传送机构）405 来传送基底 404．比如机器人手臂的机构执行基底的处理，是一类传送机构（1）405．

通过门 406a 到 406f，多个处理室被连接到共同室 403．用图 17 的结构，共同室 403 被减压到从几个 mTorr 到几十 mTorr 的水平，并且每个处理室由门 406a 到 406f 与共同室 403 隔绝．在这个情况下，加工在喷墨打印处理室 415，和旋涂加工室 408 中进行，其中惰性气体如氮气或氩气在正常压力下，因此这是一个真空蒸发加工室 412 在 415、416 和共同室 403 之间的结构．

通过在每个在低压下执行预定工作的加工室放置真空泵，在真空下进行加工是可能的．使用旋转式油泵，机械升压泵，涡轮分子泵，或低温泵作为真空泵是可能的，并且用低温泵去除水分非常有效．

组成光发射层和注入层的 EL 层成形，在喷墨打印加工室 415 或旋涂加工室 408 中进行．比如图 3A 和 3B 解释的保持基底和墨水头的方法的部分被放置在喷墨打印加工室 415．进而，如上所述，有机 EL 材料非常怕水分，因此惰性气体一直保持在喷墨打印加工室 415 或旋涂加工室 408 中．

关于基底的传送，首先真空蒸发加工室 412 减压，直到它的压力与共同室 403 相同，门 406d 此时打开，基底被传送．然后，在门 406d 关闭后，真空蒸发加工室 412 内部充入惰性气体，此时门 413 打开，其中压力恢复到标准压力，通过基底传送器室 414 的传送机构（2）418，基底被传送到旋涂加工室 408．

有机 EL 层通过本发明的喷墨方法形成，但有机 EL 层也可以通过适当的组合喷墨和旋涂方法形成．光发射层可以通过喷墨方法形成，层中的某些部分比如空穴或电子注入层，或空穴或电子输运层，可以用旋涂方法形成．

在完成 EL 层成形加工之后，门 413 打开，基底被传送到真空蒸发加工室 412，在门 413 和门 406d 关闭的状态下进行真空蒸发．在真空蒸发加工室 412 达到同共同室 403 相同的低压力之后，门 406d 打开，基底被传送到共同室．

注意烘干加工室 409 被包括在这里，但通过使用感受器使真空蒸发加工室 412 能够加热，烘干加工也能进行．在烘干之后，通过真空蒸发除去气体是可能的．

阴极的成形在第一膜沉积加工室 410 中进行．用已知的材料形成阴极．阴极用真空蒸发形成，基底的表面（聚合物 EL 层在其上形成的表面）此时可以面朝上（面朝上方法）或面朝下（面朝下方法）．

在面朝上方法中，从共同室 403 传送的基底可以被设定在感受器方式，因此它是极其容易的方法．在面朝下方法中，在传送器机构（1）405 中或在第一膜沉积加工室 410 中必须准备翻转基底的机构，因此传送器机构是复杂的．然而，能够获得更少的污染物附着的优点．

注意当在第一膜沉积加工室 410 中进行蒸发加工时，必须准备蒸发源．也可以准备多个蒸发源．进而，电阻加热方式蒸发源可以被使用，EB（电子束）蒸发源也可以被使用．

第二膜沉积加工室 411 是用汽相膜沉积方法形成电极的加工室．辅助阴极的辅助电极的成形在这里进行．进而，蒸发和溅射被使用，但蒸发更好，因为蒸发方法更少可能造成破坏．无论使用哪一个，共同室 403 被门 406f 隔绝，膜沉积在真空下进行．注意当进行蒸发作为汽相膜沉积方法时，必须提供蒸发源．蒸发源可以类似于第一汽相膜沉积加工室 410 中的蒸发源，因此关于蒸发源的说明在这里被省略了．

含有周期表 1 族或 2 族元素的金属膜经常用作阴极，但这些金属膜容易被氧化，因此保护阴极的表面更可取．进而，要求的膜厚度是薄的，因此具有低电阻的导电膜补充形成，降低阴极的电阻，而且保护阴极．铝、铜或银为主要成分的金属膜用作低电阻导电膜．

接下来，第三膜沉积加工室 407 是形成第三钝化膜的加工室．第三钝化膜用等离子体 CVD 方法由氮化硅膜，氧化硅膜或类似物形成．因此，尽管图中未示出，比如提供气体 $SiH_4$,$N_2O$ 和 $NH_3$ 的系统，使用 13.56 到 60MHz 高频电源的等离子体产生方式，和加热基底的方式提供．有机材料制成的 EL 层对于潮湿和水分不能抵抗，因此在形成 EL 层之后，这类钝化膜可以连续形成，不会暴露到空气中．

具有上述结构的薄膜形成设备的最重要的特征是，EL 层的形成是通过喷墨方法进行，和形成 EL 层的方式是沿着形成阴极的方式，装

载到多室类型薄膜形成设备。因此，从透明导电膜形成的阳极表面氧化加工开始，继续通过形成辅助电极的加工，有可能执行所有加工而基底甚至不会暴露到空气中一次。结果是，有可能形成聚合物 EL 层，强壮且不易损坏，通过简单方法，有可能制作具有高可靠性的 EL 显示器件。

[实例 5]

激光结晶化被用作形成实例 1 中晶化硅膜 302 的方法，使用不同结晶化方法的例子在实例 5 中说明。

在实例 5 中形成非晶硅膜之后，结晶化使用记录在日本专利申请公开 No. Hei 7-130652 的技术进行。记录在上述专利应用中的技术是一种获得具有优良结晶度的晶化硅膜的技术，通过使用一种元素如镍作为催化剂促进结晶化。

进而，在结晶化处理完成之后，可以去除结晶化中使用的催化剂。这样，催化剂可以使用日本专利申请公开 No. Hei 8-330602 中的技术收集。此外，本发明的申请者可以使用记录在日本专利申请公开 No. Hei 11-076967 中的技术形成 TFT。

实例 1 中所示的制作过程是本发明的一个实例，如果实例 1 的图 5 或图 9C 的结构能被实现，那么其他制作过程也可以如上所述使用，没有任何问题。注意自由地组合实例 5 中的构造与实例模式 2 或实例 1 到 2 中的构造是可能的。

[实例 6]

有源矩阵类型 EL 显示器件或无源矩阵类型 EL 显示器件（EL 模块）通过实施本发明形成，在明亮位置与液晶显示器件相比具有优良的清晰度，因为它是自发射类型器件。因此它广泛用作直观类型 EL 显示（表示结合 EL 模块的显示）。

注意宽广的视场角能给出为 EL 显示器件超过液晶显示器件的优点。本发明的 EL 显示因此可以用作显示（显示器），具有对角线长等于 30 英寸或更大（典型地为 40 英寸或更大），为大屏幕 TV 广播所用。

进而，不仅它能用作 EL 显示（比如个人计算机显示器，TV 广播接收器，或广告显示器），而且它能用作各种电子设备的显示。下面能给出这样的电子设备的例子如摄象机；数字相机；护目镜型显示器

（头盔显示器）；汽车导航系统；个人计算机；便携信息终端（比如移动式计算机，移动电话或电子记事本）；和使用记录媒质的图象再现器件（特别是，一种设备进行记录媒质的复制，并被提供能显示那些图象的显示器，比如光盘（CD），激光光盘（LD）或数字视盘（DVD））。这些半导体器件的例子在图 19A 到 20B 中表示。

图 19A 是 EL 显示器，包括主体 2001，支持架 2002，显示部分 2003。本发明能用在显示部分 2003 中。它们对于制作大屏幕特别有优势，对显示具有对角线大于或等于 10 英寸（特别是大于或等于 30 英寸）是满意的。

图 19B 是摄象机，包括主体 2101，显示部分 2102，音频输入部分 2103，操作开关 2104，电池 2105，和图象接收区 2106。本发明能用在显示部分 2102 中。

图 19C 是头盔类型显示器的一部分，包括主体 2201，信号线缆 2202，固定带 2203，显示器 2204，光学系统 2205 和 EL 显示器件 2206。

图 19D 是图象复制设备（特别是 DVD 复制设备），提供有记录媒质，包括主体 2301，记录媒质（比如 CD，LD，或 DVD）2302，操作开关 2303，显示部分（a）2304，和显示部分（b）2305。显示部分（a）是主要用于显示图象信息，显示部分（b）主要用于显示字符信息，本发明能用在显示部分（a）中和显示部分（b）中。注意本发明能用作图象复制设备，如果提供记录媒质在设备中，比如 CD 复制设备和游戏设备。

图 19E 是便携计算机，包括主体 2401，摄象机部分 2402，图象接收部分 2403，操作开关 2404，和显示部分 2405。本发明能用在显示部分 2405 中。

图 19F 是个人计算机，包括主体 2501，显示部分 2503 和键盘 2504。本发明能用在显示部分 2503 中。

图 20A 是移动电话，包括主体 2601，音频输出部分 2602，音频输入部分 2603，显示部分 2604，操作开关 2605，天线 2606。EL 显示器件是低功耗的，能很好的用作显示部分 2604。

图 20B 是固定类型的汽车音频设备，包括主体 2701，显示部分 2702 和操作开关 2703，2704。按照本发明的 EL 显示器件能很好用作显示部分 2702，因为 EL 显示器件有广的视场角和表现出优秀的可辨认

00.10.12

性.

本发明的应用的范围因此非常广泛，有可能应用本发明到所有领域的电子设备中．而且，实例 6 的电子设备能通过使用任何实例 1 到 5 的组合的构造实现.

[实例 7]

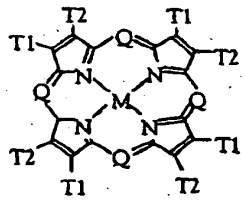
图 22 表示测试件的显微照片，上面是用本发明的喷墨方法形成的 EL 层．样品件的结构有由 ITO 形成的像素电极，在由丙烯酸树脂形成的绝缘膜上，而且间隔层由光敏丙烯酸树脂形成，使得形成条形.

PEDOT 层首先形成在 ITO 上，通过液体涂镀方法（旋涂）．ITO 此时是不易被水粘湿的，因此为了使它易吸水，进行氧气等离子体处理和 $CF_4$ 等离子体处理.

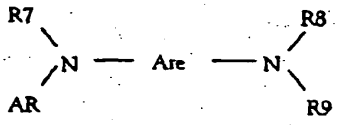
通过喷墨方法形成 EL 层，使用 PPV 溶解到苯甲醚中，比例为 0.04g 比 20mg．间隔层之间的间隙是 60μm，而且它能被看作 EL 层以连续状态形成在间隔层之间．简单高速的 EL 层成形加工因而成为可能.

采用本发明，使通过简单加工和高速度形成 EL 层成为可能．而且 EL 元件由于潮湿或受热引起的损坏能被抑制．此外，本发明防止碱金属从 EL 层扩散，从而影响 TFT 性能．作为结果，EL 显示器件的操作性能和可靠性能被大大提高.

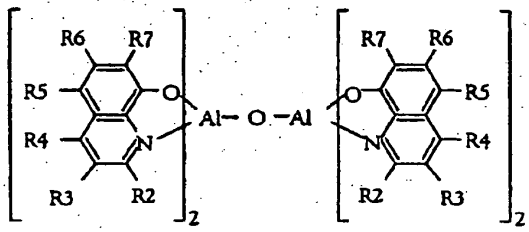
而且，通过使用这类 EL 显示器件作为显示器，生产具有良好图象质量和耐用性（高可靠性）的应用产品（电子设备）成为可能.



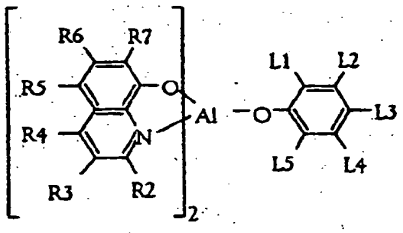
[化合物1]



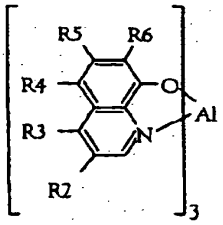
[化合物2]



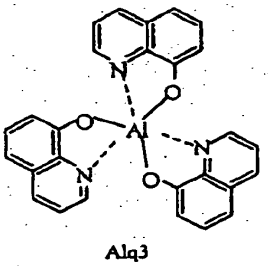
[化合物3]



[化合物4]

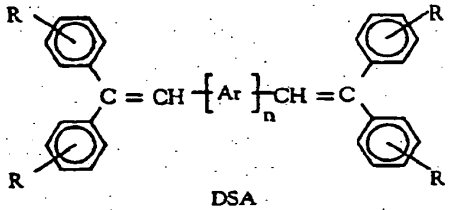


[化合物5]



Alq3

[化合物6]



DSA

[化合物7]

# 说 明 书 附 图

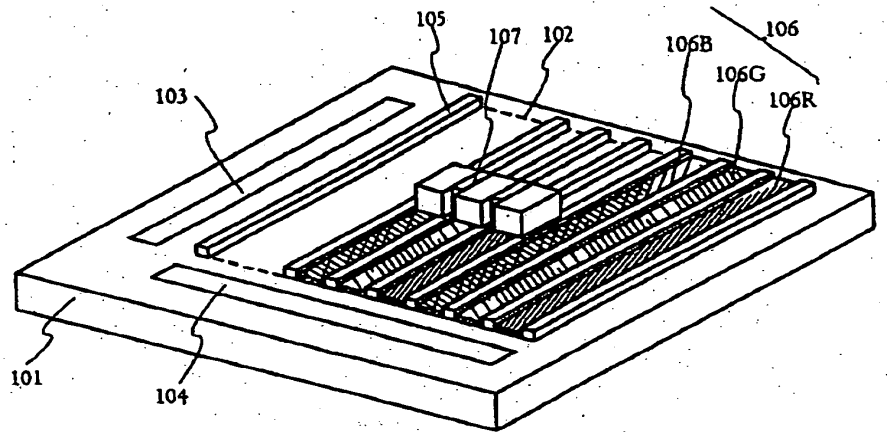



图 1A

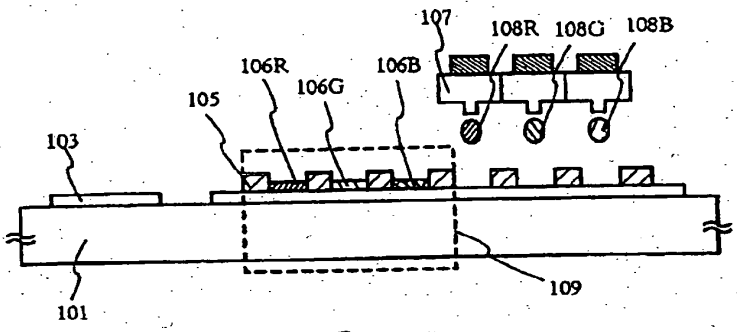



图 1B

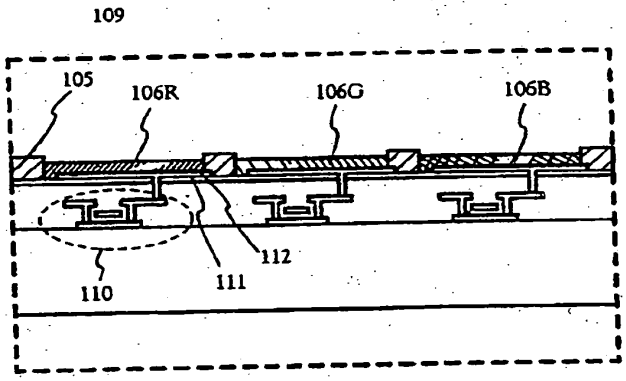



图 1C

1

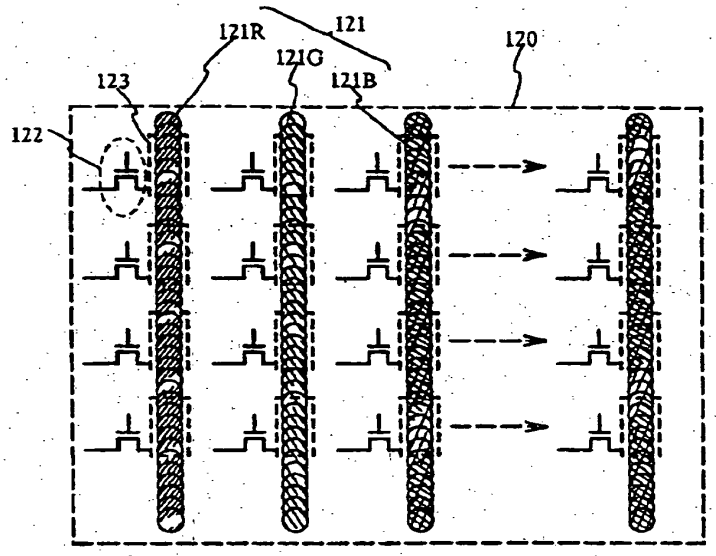



图 2A

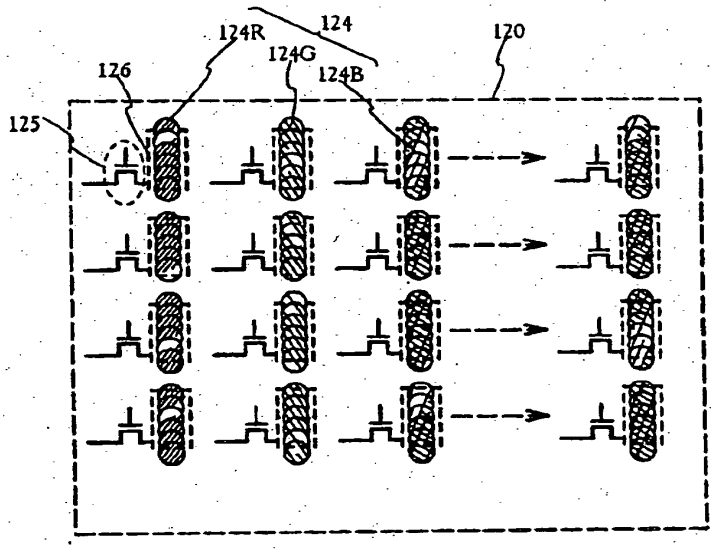



图 2B

00.10.12

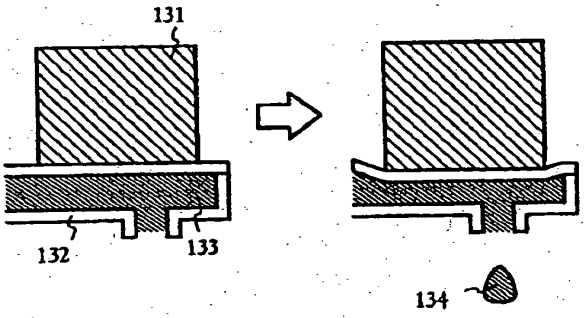



图 3A

图 3B

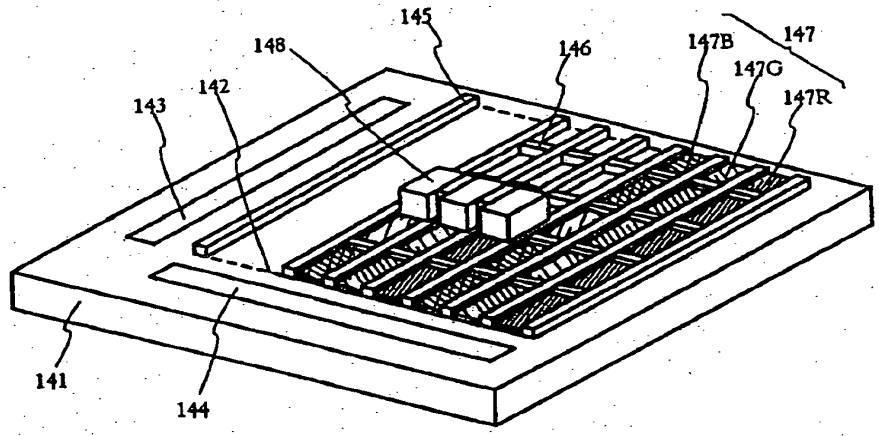



图 4

00.10.12

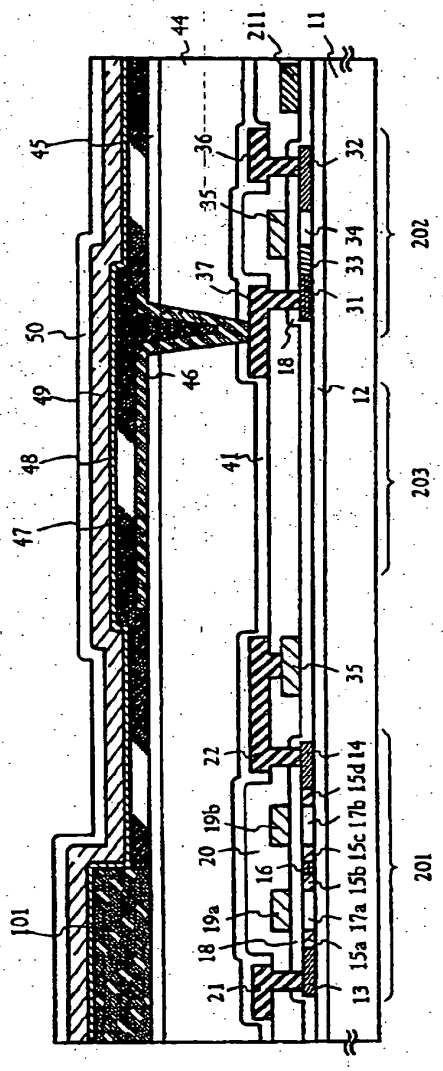

44
211
11
45
36
32
35
34
37
33
31
202
50
18
46
12
49
48
41
203
47
35
22
14
15d
19b
17b
15c
20
16
15b
201
101
19a
17a
18
15a
21
13

图 5

00.10.12

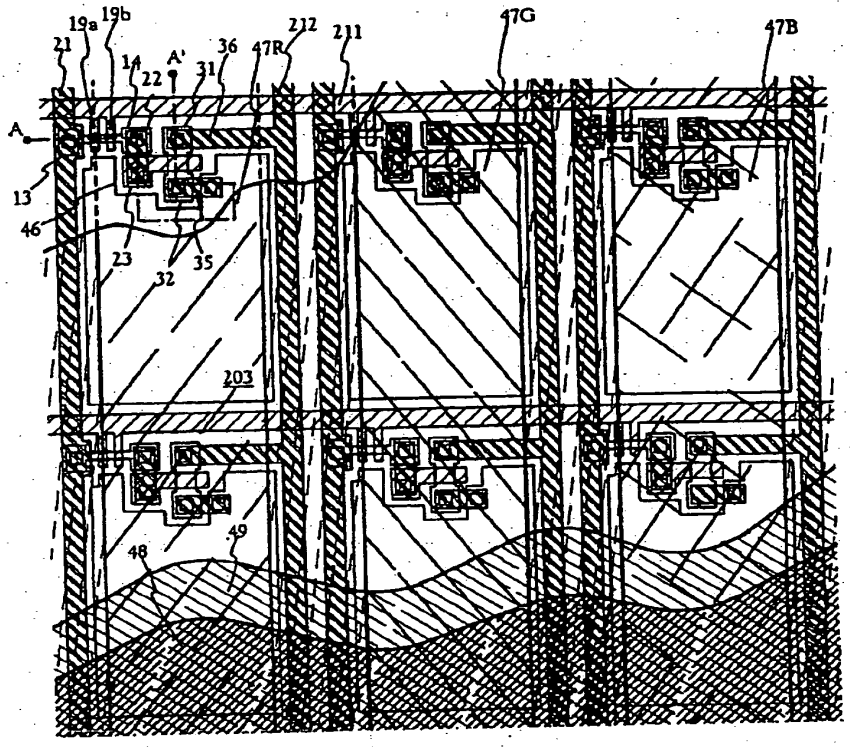



图 6A

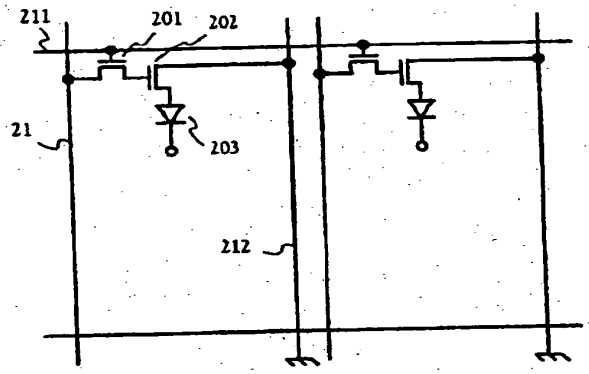



图 6B

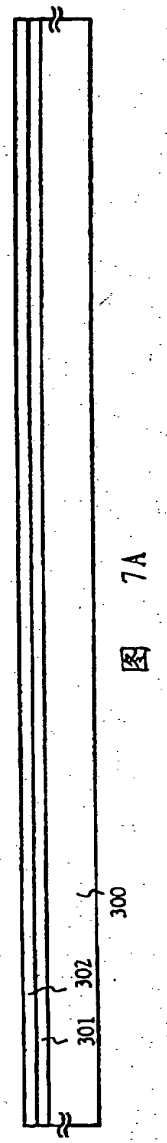



图 7A

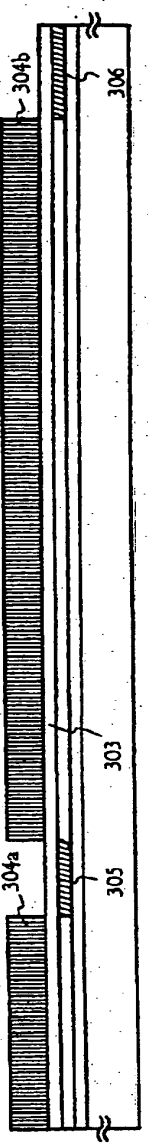



图 7B

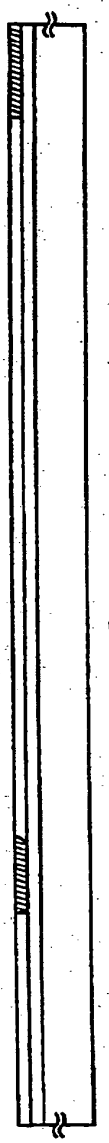


图 7C

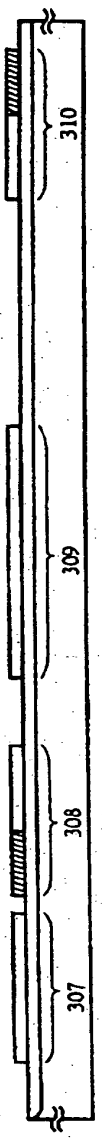



图 7D

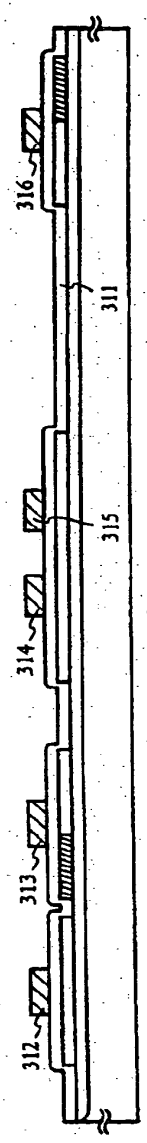



图 7E

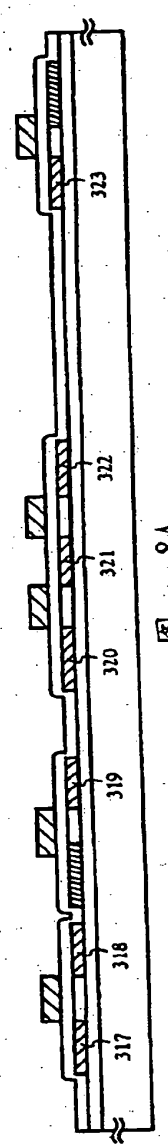



图 8A

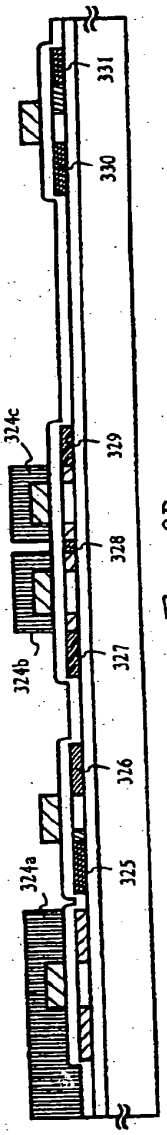



图 8B

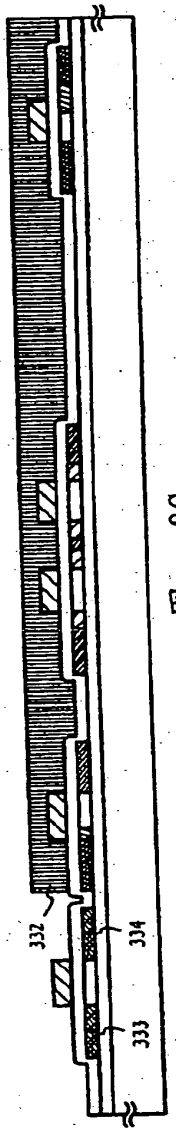



图 8C

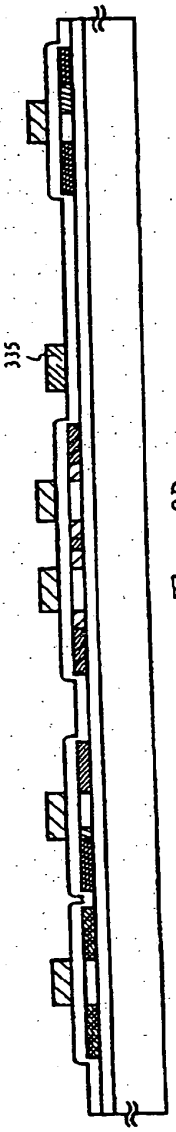



图 8D

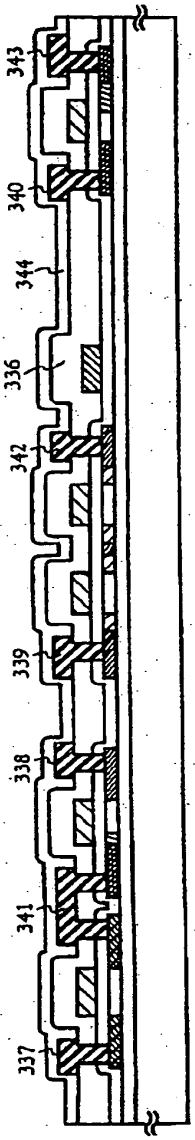

343
340
344
336
342
339
338
341
337

图 9A

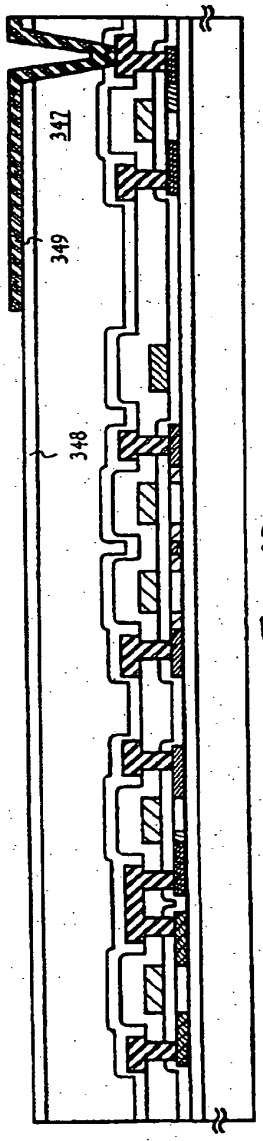

347
349
348

图 9B

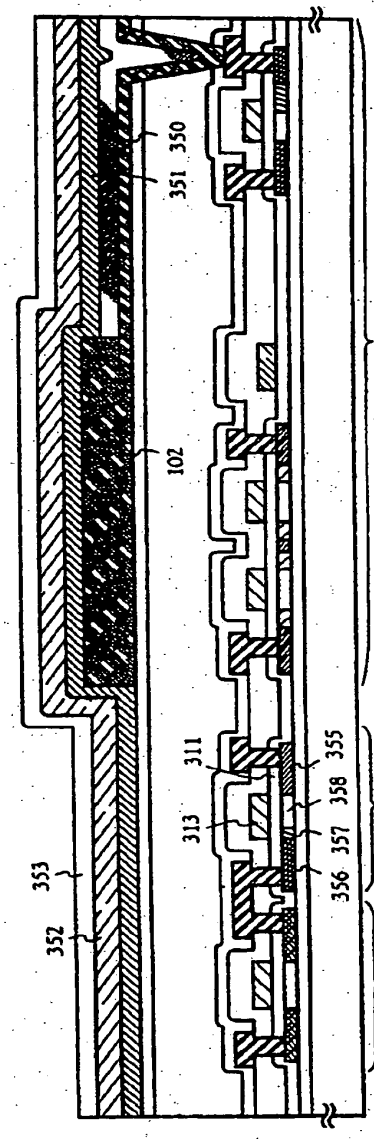

350
351
102
311
355
313
358
357
353
356
352
P沟道TFT206
N沟道TFT205
像素区

图 9C

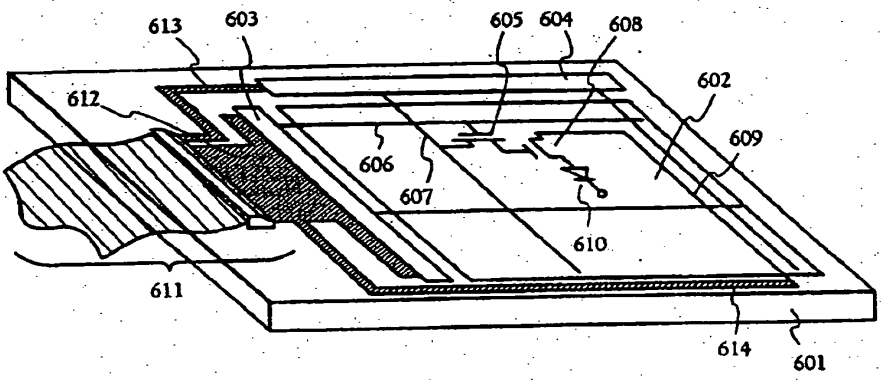

613
603
605
604
608
602
612
606
609
607
610
611
614
601

图 10

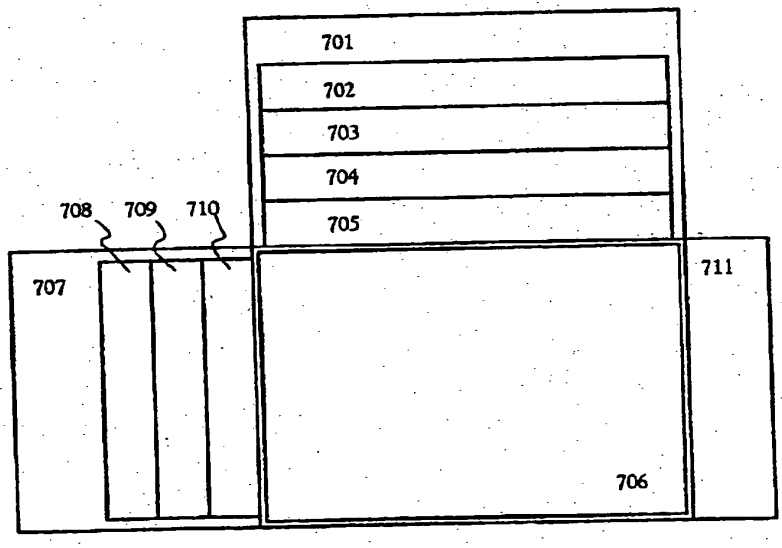

701
702
703
704
705
708
709
710
711
707
706

图 11

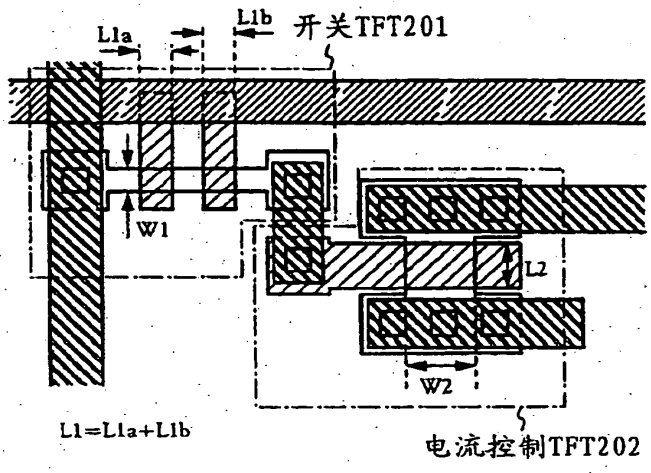

L1a
L1b
开关TFT201
W1
L2
W2
L1=L1a+L1b
电流控制TFT202

图 12

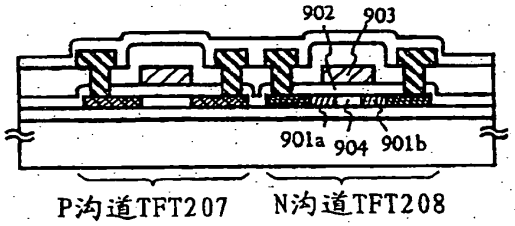

902
903
901a
904
901b
P沟道TFT207
N沟道TFT208

图 13

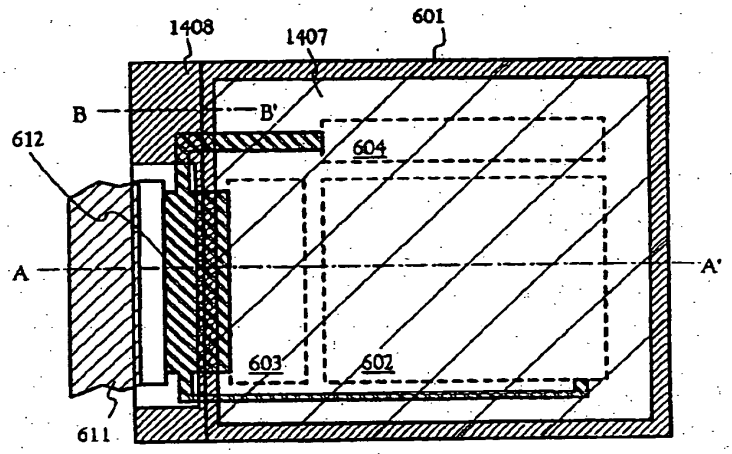



图 14

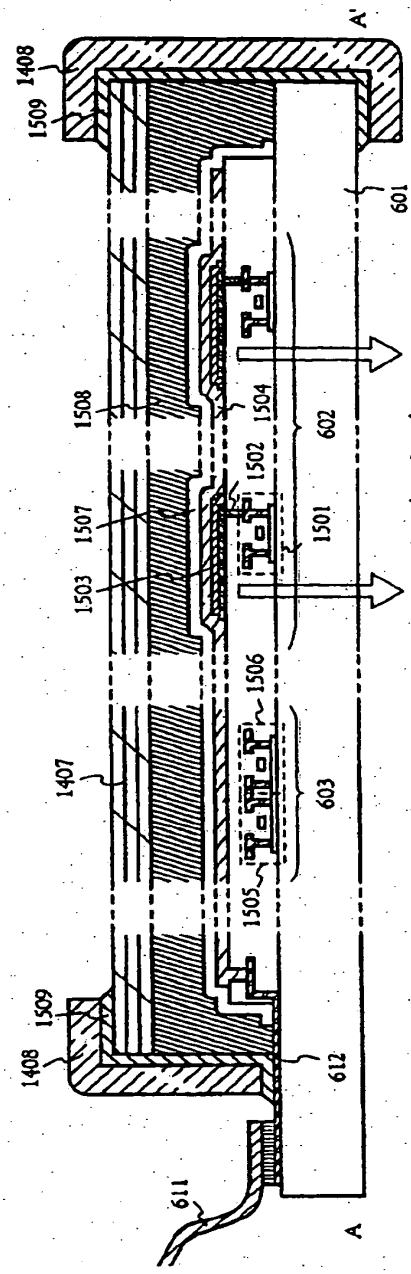

A'
1408
1509
601
1508
1504
602
1502
1507
1501
1503
1506
1407
603
1505
1509
1408
612
611
A
发光方向

图 15A

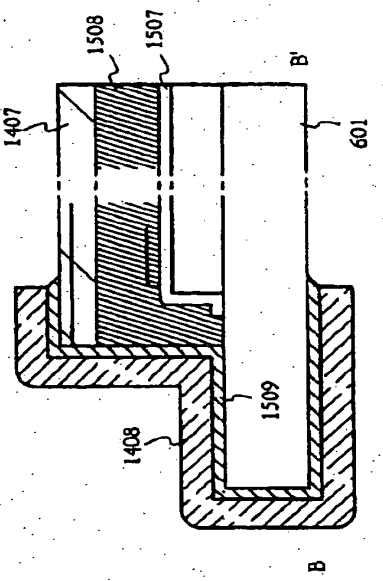

1508
1507
B'
1407
601
1509
1408
B

图 15B

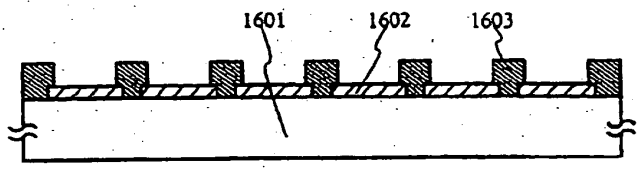



图 16A

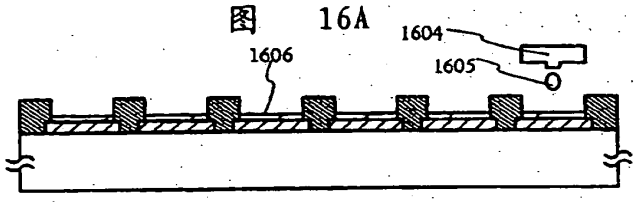



图 16B

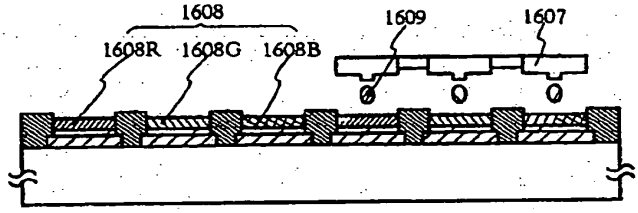



图 16C

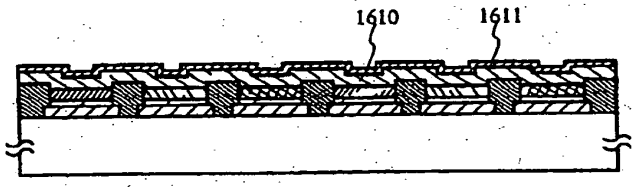



图 16D

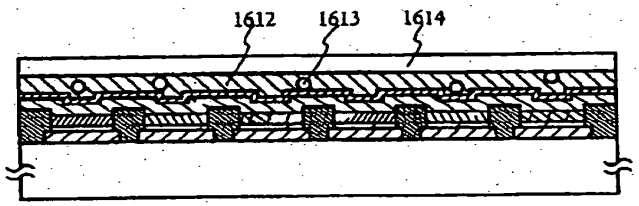



图 16E

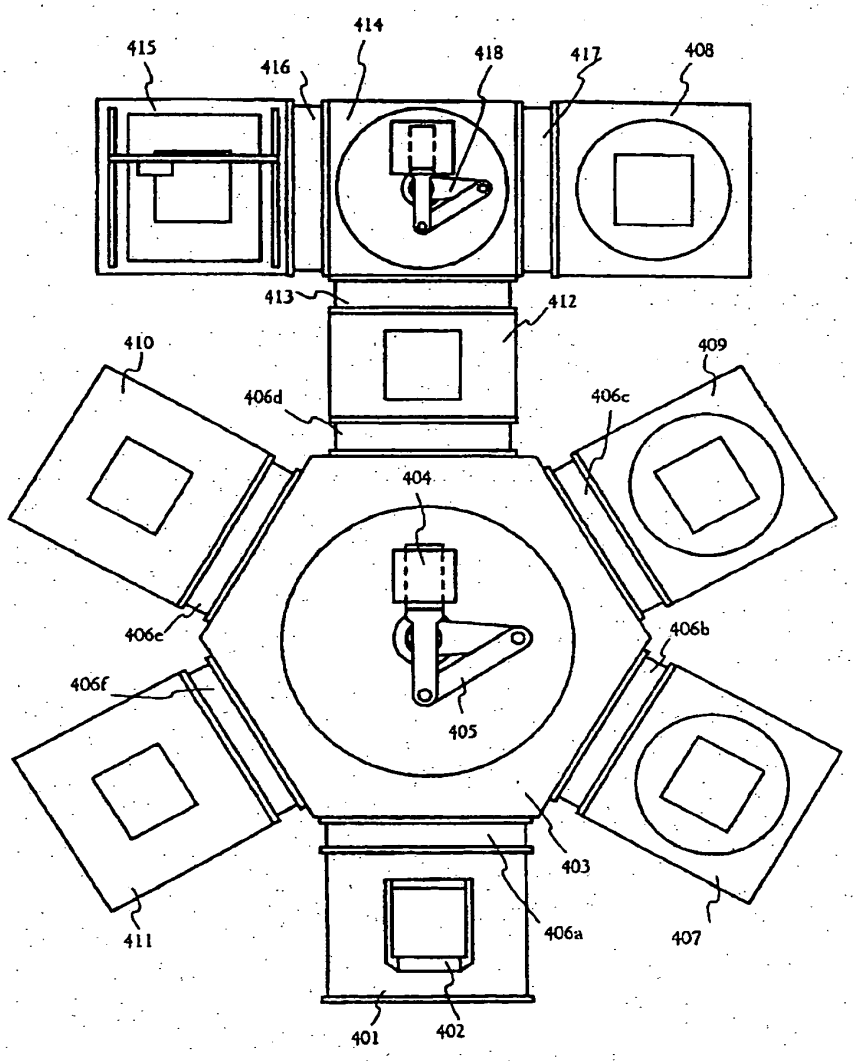

415
416
414
418
417
408
413
412
410
409
406d
406c
404
406e
406b
406f
405
403
406a
411
407
401
402

图 17

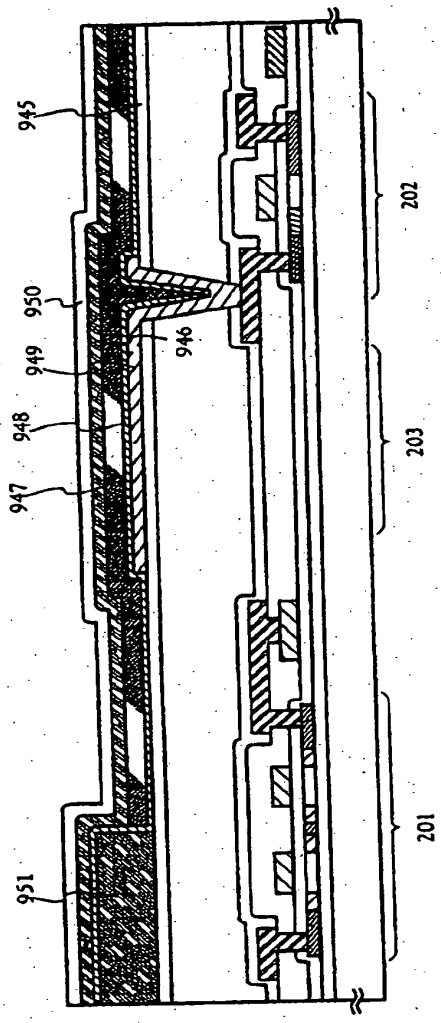



图 18

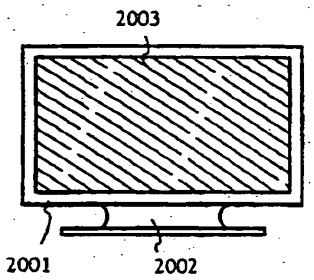



图 19A

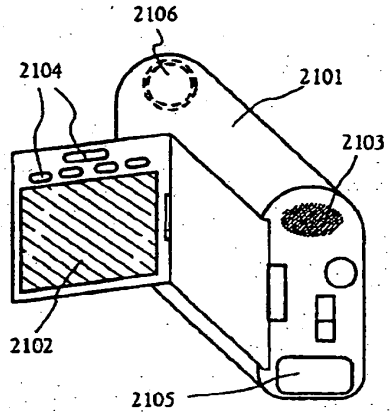



图 19B

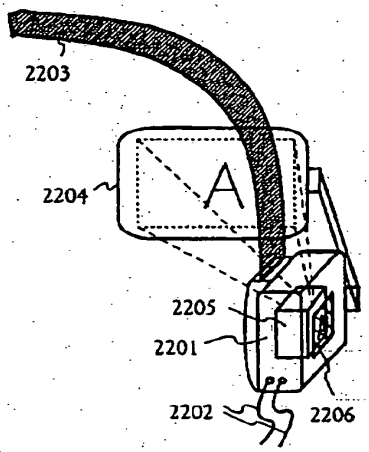



图 19C

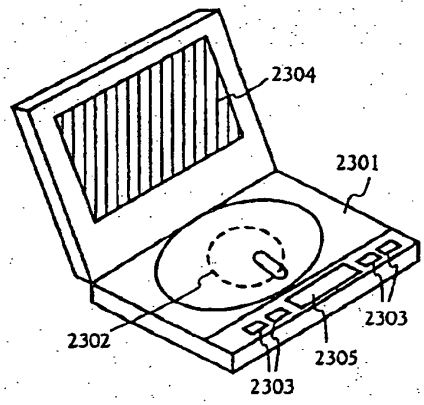



图 19D

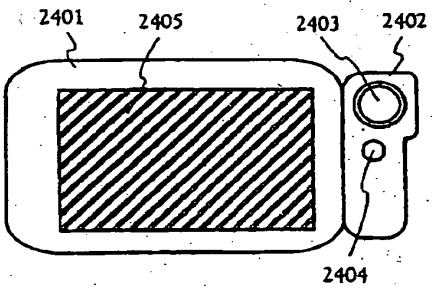



图 19E

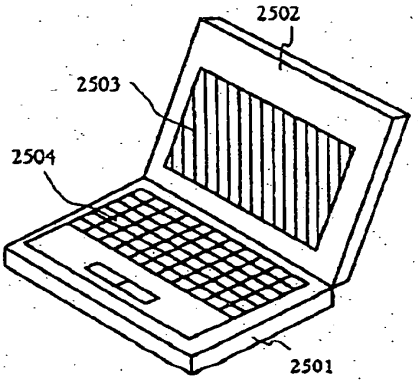



图 19F

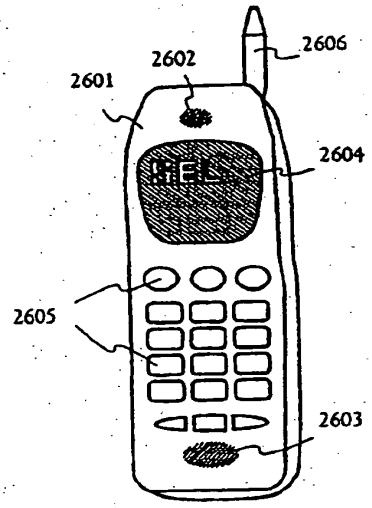



图 20A

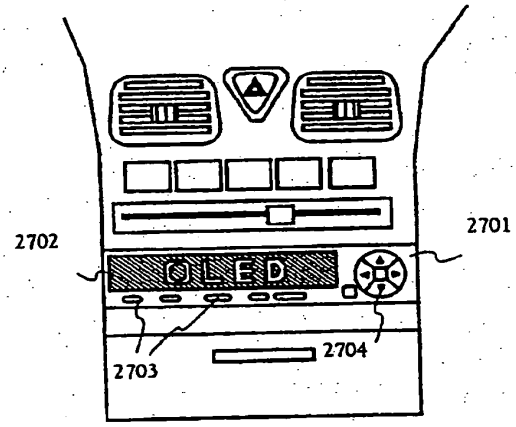



图 20B

00·10·12

BEST AVAILABLE COPY

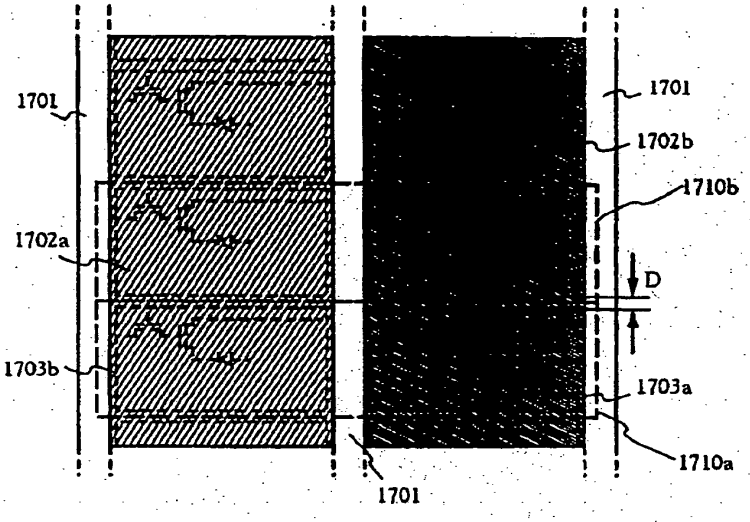



图 21A

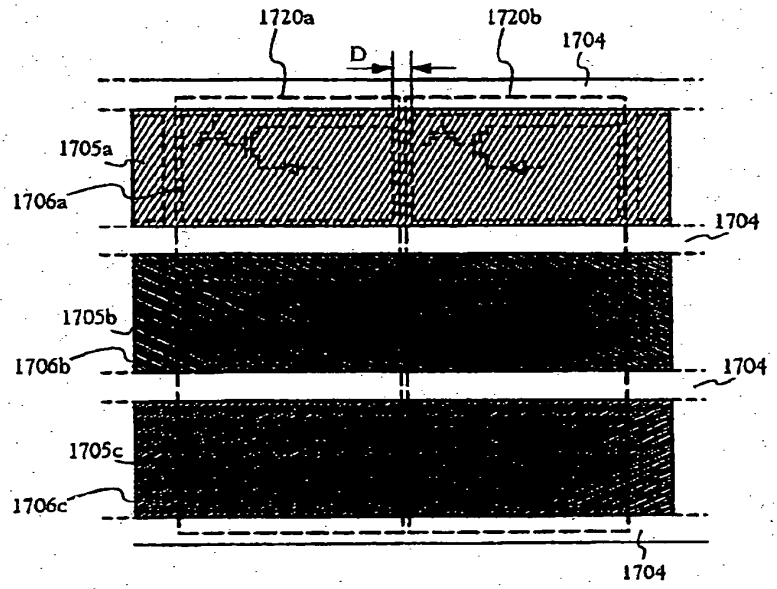
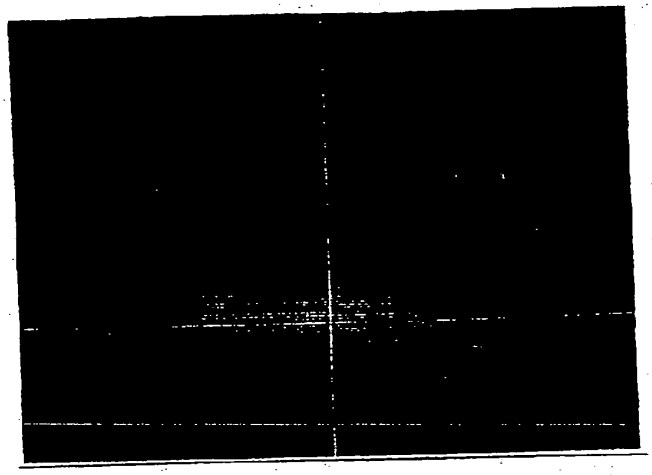



图 21B

00.10.12

BEST AVAILABLE COPY




茴香醚0.2%(红)涂层

图 22

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-185354

(43)Date of publication of application : 06.07.2001

(51)Int.Cl. H05B 33/10
G09F 9/00
G09F 9/30
H05B 33/12
H05B 33/14
H05B 33/22
H05B 33/26

(21)Application number : 2000-308742

(22)Date of filing : 10.10.2000

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(72)Inventor : YAMAZAKI SHUNPEI
YAMAMOTO ICHIU
ARAI YASUYUKI

(30)Priority

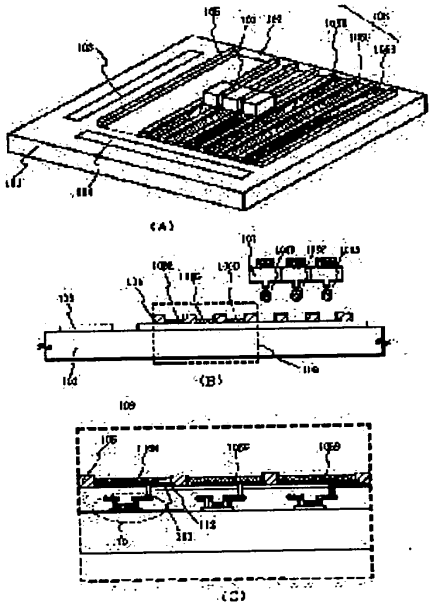
Priority number : 11290314 Priority date : 12.10.1999 Priority country : JP

## (54) ELECTRO-OPTIC DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of forming elecroluminescent layer by ink-jet method in a simple and high speed process, and provide the manufacturing method of the electro-optic device, particularly electroluminescence display device, that has high operating performance and reliability.

SOLUTION: In the process of forming elecroluminescent layers by ink-jet method, the electroluminescent layers are provided in sequence over a plurality of pixels. Specifically, the electroluminescent layers are formed in a stripe shape with one row or one line of selected layers formed on the pixel electrodes arranged in a matrix format of m-line, n-row. Or the electroluminescent layers are formed in an oval or rectangular shape corresponding to each pixel electrode.



LEGAL STATUS

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]
[Claim 1] It is the production approach of the electro-optic device which it has the process which forms two or more TFT(s) on a substrate, the process which forms two or more pixel electrodes linked to each of two or more of said TFT(s), and the process which forms EL layer on the pixel electrode of front plurality, and said EL layer is formed by the ink jet method, and is characterized by making this EL layer continue over said two or more pixel electrodes.
[Claim 2] It is the production approach of the electro-optic device which has the process which forms two or more TFT(s) on a substrate, the process which forms two or more pixel electrodes linked to each of two or more of said TFT(s), and the process which forms EL layer on the pixel electrode of front plurality, and is characterized by forming said EL layer in an ellipse or a rectangle with an ink jet method corresponding to each of two or more of said pixel electrodes.
[Claim 3] The process which forms two or more TFT(s) on a substrate, and the process which forms two or more pixel electrodes linked to each of two or more of said TFT(s), The process which forms 1st EL layer which emits light in red on the 1st pixel electrode among the pixel electrodes of front plurality, The process which forms 2nd EL layer which emits light green on the 2nd pixel electrode among the pixel electrodes of front plurality, It has the process which forms 3rd EL layer which emits light blue on the 3rd pixel electrode among the pixel electrodes of front plurality. said 1st thru/or 3rd EL layer is formed with an ink jet method -- having -- this -- the production approach of the electro-optic device characterized by making 1st thru/or 3rd EL layer continue over said two or more pixel electrodes.
[Claim 4] The process which forms two or more TFT(s) on a substrate, and the process which forms two or more pixel electrodes linked to each of two or more of said TFT(s), The process which forms 1st EL layer which emits light in red on the 1st pixel electrode among the pixel electrodes of front plurality, The process which forms 2nd EL layer which emits light green on the 2nd pixel electrode among the pixel electrodes of front plurality, It has the process which forms 3rd EL layer which emits light blue on the 3rd pixel electrode among the pixel electrodes of front plurality. Said 1st thru/or 3rd EL layer is the production approach of the electro-optic device characterized by being formed by the ink jet method and forming in an ellipse or a rectangle corresponding to each of two or more of said pixel electrodes.
[Claim 5] The process which forms two or more TFT(s) on a substrate, and the process which forms a wrap insulating layer for said two or more TFT(s), The process which forms two or more pixel electrodes linked to each of two or more of said TFT(s), Have the process which forms EL layer on the pixel electrode of front plurality, and said EL layer is formed by the ink jet method. This EL layer is the production approach of the electro-optic device which is made to continue over said two or more pixel electrodes, and is characterized by preparing the insulator layer which bars transparency of alkali metal at the maximum upper layer of said insulating layer.
[Claim 6] The process which forms two or more TFT(s) on a substrate, and the process which forms a wrap insulating layer for said two or more TFT(s), It has the process which forms two or more pixel electrodes linked to each of two or more of said TFT(s), and the process which forms EL layer on the pixel electrode of front plurality. Said EL layer with an ink jet method The production approach of the electro-optic device which forms in an ellipse or a rectangle corresponding to each of two or more of said pixel electrodes, and is characterized by preparing the insulator layer which bars transparency of alkali metal at the maximum upper layer of said insulating layer.
[Claim 7] The process which forms two or more TFT(s) on a substrate, and the process which forms a wrap insulating layer for said two or more TFT(s), The process which forms two or more pixel

electrodes linked to each of two or more of said TFT(s), The process which forms 1st EL layer which emits light in red on the 1st pixel electrode among the pixel electrodes of front plurality, The process which forms 2nd EL layer which emits light green on the 2nd pixel electrode among the pixel electrodes of front plurality, It has the process which forms 3rd EL layer which emits light blue on the 3rd pixel electrode among the pixel electrodes of front plurality. said 1st thru/or 3rd EL layer is formed with an ink jet method -- having -- this -- the production approach of the electro-optic device which 1st thru/or 3rd EL layer is made to continue over said two or more pixel electrodes, and is characterized by preparing the insulator layer which bars transparency of alkali metal at the maximum upper layer of said insulating layer.

[Claim 8] The process which forms two or more TFT(s) on a substrate, and the process which forms a wrap insulating layer for said two or more TFT(s), The process which forms two or more pixel electrodes linked to each of two or more of said TFT(s), The process which forms 1st EL layer which emits light in red on the 1st pixel electrode among the pixel electrodes of front plurality, The process which forms 2nd EL layer which emits light green on the 2nd pixel electrode among the pixel electrodes of front plurality, It has the process which forms 3rd EL layer which emits light blue on the 3rd pixel electrode among the pixel electrodes of front plurality. Said 1st thru/or 3rd EL layer is the production approach of the electro-optic device which is formed by the ink jet method, forms in an ellipse or a rectangle corresponding to each of two or more of said pixel electrodes, and is characterized by preparing the insulator layer which bars transparency of alkali metal at the maximum upper layer of said insulating layer.

[Claim 9] The production approach of the electro-optic device characterized by for a pixel forming and spacing of this pixel and the adjoining pixel forming by five to 10 times of the thickness of said EL layer in any 1 term of claim 1 thru/or claim 8 by making into a lot two or more pixel electrodes which adjoin mutually from said two or more pixel electrodes.

[Claim 10] The production approach of the electro-optic device characterized by spacing of the pixel which adjoins said pixel and this pixel setting to 250-2500nm in claim 9.

[Claim 11] It is the production approach of the electro-optic device characterized by said EL layer being an organic material in any 1 term of claim 1 thru/or claim 8.

[Claim 12] It is the production approach of the electro-optic device characterized by said ink jet method using a piezo-electric element in any 1 term of claim 1 thru/or claim 8.

[Claim 13] It is the production approach of the electro-optic device characterized by for said insulating layer carrying out the laminating of the insulator layer which bars transparency of said alkali metal on the insulator layer which consists of an organic resin ingredient in any 1 term of claim 5 thru/or claim 8, and forming.

[Claim 14] The production approach of the electro-optic device characterized by using the insulator layer containing at least one element chosen from B (boron), C (carbon), and N (nitrogen), and at least one element chosen from aluminum (aluminum), Si (silicon), and P (Lynn) in any 1 term of claim 5 thru/or claim 8 as an insulator layer which bars transparency of said alkali metal.

[Claim 15] In any 1 term of claim 5 thru/or claim 8, as an insulator layer which bars transparency of said alkali metal the insulator layer (however, M -- rare earth elements -- at least -- a kind --) containing Si, aluminum, N, O, and M Preferably Ce (cerium), Yb (ytterbium), Sm (samarium), The production approach of the electro-optic device characterized by using at least one element chosen from Er (erbium), Y (yttrium), La (lanthanum), Gd (gadolinium), Dy (dysprosium), and Nd (neodium).

[Claim 16] It is the electro-optic device which has EL layer formed on two or more pixel electrodes connected to each of two or more TFT(s) formed on the substrate, and two or more of said TFT(s), and the pixel electrode of front plurality, and is characterized by preparing said EL layer continuously over said two or more pixel electrodes.

[Claim 17] It is the electro-optic device which has EL layer formed on two or more pixel electrodes connected to each of two or more TFT(s) formed on the substrate, and two or more of said TFT(s), and the pixel electrode of front plurality, and is characterized by forming said EL layer in an ellipse or a rectangle corresponding to each of two or more of said pixel electrodes.

[Claim 18] Two or more pixel electrodes connected to each of two or more TFT(s) formed on the substrate, and two or more of said TFT(s), 1st EL layer which emits light in red on the 1st pixel electrode among the pixel electrodes of front plurality, 2nd EL layer which emits light green on the 2nd pixel electrode among the pixel electrodes of front plurality, It is the electro-optic device characterized by having 3rd EL layer which emits light blue, and preparing said 1st thru/or 3rd EL layer continuously

over said two or more pixel electrodes among the pixel electrodes of front plurality on the 3rd pixel electrode.
[Claim 19] Two or more pixel electrodes connected to each of two or more TFT(s) formed on the substrate, and two or more of said TFT(s), 1st EL layer which emits light in red on the 1st pixel electrode among the pixel electrodes of front plurality, 2nd EL layer which emits light green on the 2nd pixel electrode among the pixel electrodes of front plurality, It is the electro-optic device which has 3rd EL layer which emits light blue on the 3rd pixel electrode, and is characterized by forming said 1st thru/or 3rd EL layer at the ellipse or the rectangle corresponding to each of two or more of said pixel electrodes among the pixel electrodes of front plurality.
[Claim 20] It is the electro-optic device characterized by having EL layer formed on two or more pixel electrodes by which two or more TFT(s) formed on the substrate and said two or more TFT(s) were connected to a wrap insulating layer and each of two or more of said TFT(s), and the pixel electrode of front plurality, preparing said EL layer continuously over said two or more pixel electrodes, and preparing the insulator layer which bars transparency of alkali metal in the maximum upper layer of said insulating layer.
[Claim 21] Two or more TFT(s) formed on the substrate, and said two or more TFT(s) A wrap insulating layer, It has EL layer formed on two or more pixel electrodes connected to each of two or more of said TFT(s), and the pixel electrode of front plurality. Said EL layer is an electro-optic device which is formed in an ellipse or a rectangle corresponding to each of two or more of said pixel electrodes, and is characterized by preparing the insulator layer which bars transparency of alkali metal at the maximum upper layer of said insulating layer.
[Claim 22] Two or more TFT(s) formed on the substrate, and said two or more TFT(s) A wrap insulating layer, 1st EL layer which emits light in red on the 1st pixel electrode among two or more pixel electrodes connected to each of two or more of said TFT(s), and the pixel electrode of front plurality, 2nd EL layer which emits light green on the 2nd pixel electrode among the pixel electrodes of front plurality, It has 3rd EL layer which emits light blue on the 3rd pixel electrode among the pixel electrodes of front plurality. Said 1st thru/or 3rd EL layer The electro-optic device characterized by being continuously prepared over said two or more pixel electrodes, and preparing the insulator layer which bars transparency of alkali metal in the maximum upper layer of said insulating layer.
[Claim 23] Two or more TFT(s) formed on the substrate, and said two or more TFT(s) A wrap insulating layer, 1st EL layer which emits light in red on the 1st pixel electrode among two or more pixel electrodes connected to each of two or more of said TFT(s), and the pixel electrode of front plurality, 2nd EL layer which emits light green on the 2nd pixel electrode among the pixel electrodes of front plurality, It has 3rd EL layer which emits light blue on the 3rd pixel electrode among the pixel electrodes of front plurality. Said 1st thru/or 3rd EL layer The electro-optic device which is formed in an ellipse or a rectangle corresponding to each of two or more of said pixel electrodes, and is characterized by preparing the insulator layer which bars transparency of alkali metal at the maximum upper layer of said insulating layer.
[Claim 24] The electro-optic device characterized by spacing of the pixel which a pixel is formed and adjoins this pixel and this pixel being 5 to 10 times the thickness of said EL layer in any 1 term of claim 16 thru/or claim 23 by making into a lot two or more pixel electrodes which adjoin mutually from said two or more pixel electrodes.
[Claim 25] The electro-optic device characterized by spacing of the pixel which adjoins said pixel and this pixel being 250-2500nm in claim 24.
[Claim 26] It is the electro-optic device characterized by said EL layer being an organic material in any 1 term of claim 16 thru/or claim 23.
[Claim 27] It is the electro-optic device characterized by forming the insulator layer which bars transparency of said alkali metal on the insulator layer to which said insulating layer changes from an organic resin ingredient in any 1 term of claim 20 thru/or claim 23.
[Claim 28] The electro-optic device characterized by being an insulator layer containing at least one element chosen from B (boron), C (carbon), and N (nitrogen), and at least one element chosen from aluminum (aluminum), Si (silicon), and P (Lynn) in any 1 term of claim 20 thru/or claim 23 as an insulator layer which bars transparency of said alkali metal.
[Claim 29] In any 1 term of claim 20 thru/or claim 23, the insulator layer which bars transparency of said alkali metal the insulator layer (however, M -- rare earth elements -- at least -- a kind --) containing Si, aluminum, N, O, and M Preferably Ce (cerium), Yb (ytterbium), Sm (samarium), The electro-optic

device characterized by being at least one element chosen from Er (erbium), Y (yttrium), La (lanthanum), Gd (gadolinium), Dy (dysprosium), and Nd (neodium).

---

[Translation done.]

* NOTICES *

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]
[0001]
[Field of the Invention] This invention relates to the electronic instrument (electron device) which has the electro-optic device represented by the electroluminescence (EL:Electro Luminescence) indicating equipment which made the semiconductor device (component using a semi-conductor thin film) on the substrate, and was formed, and its electro-optic device as a display display. It is related especially with those production approaches. On these specifications, the layer containing the organic compound with which an electroluminescence is acquired is called EL layer. In addition, MINESENSU in an organic compound shall have luminescence (phosphorescence) at the time of returning from luminescence at the time of returning from a singlet excitation state to a ground state (fluorescence), and a triplet excitation state to a ground state, and the both shall be included.
[0002]
[Description of the Prior Art] In recent years, on the substrate, the technique which forms a thin film transistor (it is hereafter described as TFT) progresses sharply, and application development to a active-matrix mold display is furthered. Since electric field effect mobility is higher than TFT which used the conventional amorphous silicon film, the high-speed operation especially of TFT using the semi-conductor film (for example, polish recon film) which has the crystal structure becomes possible. Therefore, it is possible to form the drive circuit linked to a picture element part by TFT, and to make on the same substrate.
[0003] Such a active-matrix mold display attracts attention noting that various advantages, such as reduction of a manufacturing cost, the miniaturization of a display and thin-shape-izing, a rise of the yield, and improvement in a throughput, are acquired by making various circuits and components on the same substrate.
[0004] A active-matrix mold EL indicating equipment prepares the switching element which becomes each of each pixel by TFT, operates the driver element which performs current control by the switching element, and makes EL layer (luminous layer) emit light. For example, the United-States-patent number No. (Japan public-presentation official report: refer to JP,8-234683,A) 5,684,365, the Japan public-presentation official report: There is an EL display indicated by JP,10-189252,A.
[0005] The attempt which arranges EL layer which emits light in the three primary colors of red (R), green (G), and blue (B) in the approach of carrying out color display with these EL display for every pixel is made. However, most ingredients generally used as an EL layer were organic materials, and it was difficult to apply the technique of the photolithography used by micro processing as it is. The EL ingredient of the reason itself is very weak for moisture, and it is because handling is so difficult that it dissolves also in a developer easily.
[0006] As a technique which solves such a problem, the technique which forms EL layer with an ink jet method is proposed. For example, the active-matrix mold EL display object which formed EL layer with the ink jet method is indicated by JP,10-012377,A. Moreover, the same technique is indicated by "Multicolor Pixel Patterning of Light-Emitting Polymers by Ink-jet Printing;T.Shimada et.al., p376-379, SID99 DIGEST."
[0007]
[Problem(s) to be Solved by the Invention] By the ink jet method, it becomes possible to form EL layer for every pixel, and after forming EL layer, the process of carrying out patterning can be skipped. However, improvement in the speed of a high location precision and processing speed is required as a

screen size becomes large and a pixel consistency becomes high, even if it makes it a active-matrix mold EL indicating equipment, and it makes it a passive mold EL indicating equipment.
[0008] This invention aims at it being simple and processing formation of EL layer by the ink jet method at a high speed. And let it be a technical problem to offer the engine performance of operation and the reliable production approach of an electro-optic device, especially the production approach of EL display. And let it be a technical problem to raise the quality of the electronic instrument (electron device) which has it as a display for a display by raising the image quality of an electro-optic device.
[0009]
[Means for Solving the Problem] In order to attain the above-mentioned technical problem, this invention prepares this EL layer continuously over two or more pixels, when forming EL layer by the ink jet method. EL layer is continuously formed in the shape of a stripe to a certain single tier or party specifically chosen as the m line n train to the pixel electrode arranged in the shape of a matrix. Or EL layer is formed in an ellipse or a rectangle corresponding to each pixel electrode.
[0010] By the ink jet method, a pattern predetermined by repeating actuation with the position control of an ink head and the regurgitation of ink (solution which contains the ingredient when forming EL layer), and performing it is formed. However, if a screen size becomes large and a pixel consistency becomes large, by the approach of corresponding for every pixel electrode and forming EL layer, the processing time will become huge. However, the formation of EL layer of the approach of forming in the shape of a stripe, an ellipse, or a rectangle as mentioned above is attained by making an ink head scan continuously, and it can shorten the processing time.
[0011] What is necessary is just to form red, green, and EL layer corresponding to each blue color in the shape of a stripe, an ellipse, or a rectangle, in order to produce EL display of color display. Such a production approach of EL layer and EL layer is applicable, even if it is a active-matrix mold and is a passive matrix mold.
[0012] Furthermore, in this invention, diffusion of the alkali metal from the EL element formed by the ink jet method is prevented by the insulator layer (passivation film) prepared between an EL element and TFT. Specifically, the insulator layer which bars transparency of alkali metal for TFT on the wrap flattening film is prepared. Namely, the diffusion rate of the alkali metal in the operating temperature of EL display should just use [ be / it / under / insulator layer / setting ] a thing small enough.
[0013] It considers as the condition of having not penetrated moisture and alkali metal, and having selected the insulator layer with high (the heat dissipation effectiveness being high) thermal conductivity, and having prepared this insulator layer in contact with the EL element preferably, or having surrounded the EL element still more preferably as such an insulator layer is also. That is, the insulator layer which there is the blocking effectiveness over moisture and alkali metal, and also has the heat dissipation effectiveness is prepared in the location near [ as possible ] an EL element, and degradation of an EL element is controlled by this insulator layer.
[0014] Moreover, when such an insulator layer cannot be used by the monolayer, the laminating of the insulator layer which has the blocking effectiveness over moisture and alkali metal, and the insulator layer which has the heat dissipation effectiveness can be carried out, and it can also be used. Furthermore, the laminating of the insulator layer which has the blocking effectiveness over moisture, the insulator layer which has the blocking effectiveness over alkali metal, and the insulator layer which has the heat dissipation effectiveness can be carried out, and it can also be used.
[0015]
[Embodiment of the Invention] [Operation gestalt 1] drawing 1 is drawing explaining the concept of this invention. Drawing 1 (A) shows the configuration in which the picture element part 102, the scanning-line side drive circuit 103, and the data-line side drive circuit 104 are established on the substrate 101. A detached core 105 is formed in a picture element part 102 in the shape of a stripe, and EL layer is formed between each detached core. The detached core 105 is formed in order to make it EL layer which adjoins when forming EL layer by the ink jet method not mixed mutually.
[0016] From the ink head 107, the EL layer 106 breathes out the solution containing EL ingredient, and is formed. What is necessary is just to form the EL layers 106R, 106G, and 106B corresponding to red, green, and blue for performing color display, although especially the ingredient of EL layer is not limited.
[0017] Drawing 2 is drawing explaining the detail in the case of forming EL layer in a picture element part. By drawing 2 (A), in the picture element part 120, two or more pixel electrodes 123 connected to TFT122 for current control and it corresponding to each pixel are formed, and it is arranged in the shape

of a matrix, and signs that the EL layer 121 is formed in the shape of a stripe are shown to a certain selected single tier or a party's pixel electrode. What is necessary is just to form the EL layers 121R, 121G, and 121B corresponding to red, green, and blue for performing color display, as shown in drawing.

[0018] Moreover, EL layer may be formed in an ellipse or a rectangle for the EL layer 124 to the pixel electrode 126 linked to TFT125 for current control arranged in the shape of [ of a picture element part 120 ] a matrix, and it. Similarly [ performing color display ], the EL layers 124R, 124G, and 124B are formed, as shown in drawing.

[0019] Drawing 1 (B) is cross-section structural drawing of a conceptual diagram shown by drawing 1 (A), and shows signs that the scanning-line side drive circuit 103 and the picture element part 102 are formed on the substrate 101. A detached core 105 is formed in a picture element part 102, and the EL layers 106R, 106G, and 106B are formed between each detached core. The ink head 107 is the thing of an ink jet method, and red, green, and the ink dots 108R, 108G, and 108B corresponding to each blue color are breathed out according to a control signal. Although the breathed-out ink dots 108R, 108G, and 108B adhere on a substrate and being functioned as an EL layer through subsequent desiccation or a baking process, the description is for this invention to make the ink dot breathed out in this way continue on a substrate, and form it the shape of a stripe, the shape of an ellipse, and in the shape of a rectangle, as drawing 2 showed. Since what is necessary is just to make an one direction scan an ink head for every single tier or party, the processing time concerning formation of EL layer can be shortened.

[0020] Drawing 1 (C) is drawing which explains a picture element part to a detail further, the pixel electrode 112 linked to TFT110 for current control and this TFT110 for current control is formed on a substrate, and the EL layers 106R, 106G, and 106B are formed between detached cores 105 on each pixel electrode. It is desirable to form the insulator layer 111 which has the blocking effectiveness over alkali metal between the pixel electrode 112 and TFT110 for current control.

[0021] Drawing 3 is drawing explaining the configuration of an ink head, and is the example which adopted the ** piezo method. It is a piezo-electric element (piezoelectric device) 131, a case 132, and EL formation solution 133 that drawing 3 (A) shows. If an electrical potential difference is built, a piezo-electric element will deform and a case 132 will also be transformed. Consequently, as drawing 3 (B) shows, internal EL formation solution 133 is discharged as a drop 134. Thus, EL formation solution is applied by controlling the electrical potential difference concerning a piezo-electric element. In this case, since EL formation solution 133 is extruded by physical external pressure, there is no effect in a presentation etc. in any way.

[0022] Although drawing 4 is drawing which explains the concept of this invention similarly, the 1st detached core 145 and the 2nd detached core 146 which intersects perpendicularly with this are formed in the picture element part 142 formed on the substrate 141, and the EL layer 147 is formed in the part surrounded by the 1st detached core 145 and detached core 146. The 1st detached core 145 and 2nd detached core 146 are prepared corresponding to each pixel electrode. From the ink head 148, EL layer breathes out EL formation solution containing EL ingredient, and is formed. What is necessary is just to form the EL layers 148R, 148G, and 148B corresponding to red, green, and blue for performing color display.

[0023] The active-matrix mold EL display of [operation gestalt 2] this invention is explained using drawing 5 and drawing 6 . It is the sectional view of the pixel of the active-matrix mold EL display which is this invention which was shown in drawing 5 , and drawing 6 (A) is the plan and drawing 6 (B) is the circuitry. Two or more arrays of such a pixel are carried out in fact at the shape of a matrix, and a picture element part (image display section) is formed.

[0024] In addition, the sectional view of drawing 5 shows the cutting plane cut by A-A' in the plan shown in drawing 6 (A). Since the common sign is used by drawing 5 and drawing 6 here, it is good to refer to both drawings suitably.

[0025] In drawing 5 , it is the insulator layer (henceforth the substrate film) from which 11 becomes a substrate and 12 becomes a substrate. As a substrate 11, a glass substrate, a crystallized glass substrate, a quartz substrate, a silicon substrate, a ceramic substrate, a metal substrate, or a plastic plate (plastic film is also included) can be used.

[0026] Moreover, although especially the substrate film 12 is effective when using the substrate containing movable ion, and the substrate which has conductivity, you may not prepare in a quartz substrate. What is necessary is just to use the insulator layer containing silicon (silicon) as substrate film 12. In addition, in this specification, "the insulator layer containing silicon" points out the insulator layer

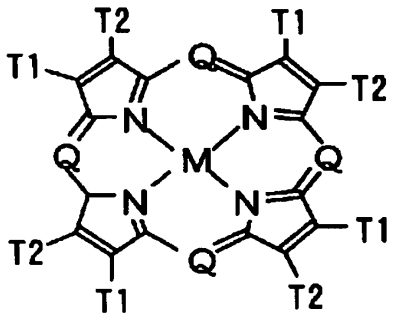
which specifically contains silicon, such as oxidation silicon film, a silicon nitride film, or nitriding oxidation silicon film (shown by SiOxNy), oxygen, or nitrogen at a predetermined rate.
[0027] Moreover, it is effective to make generation of heat of TFT emit by giving the heat dissipation effectiveness to the substrate film 12, also in order to prevent degradation of TFT, or degradation of an EL element. In that case, aluminum, such as an oxide of aluminum (aluminum) and a nitride, may be formed with the alloy ingredient used as a component.
[0028] Two TFT(s) are formed in a pixel. TFT (henceforth TFT for switching) on which 201 functions as a component for switching, and 202 are TFT(s) (henceforth TFT for current control) which function as a component for current control which controls the amount of currents passed to an EL element, and are formed by both with the n channel mold TFT.
[0029] However, it is also possible for it not to be necessary to limit TFT for switching and TFT for current control to the n channel mold TFT, and to use the p channel mold TFT for both or either one of the two. Anyway, what is necessary is just to choose TFT with the polarity of the bias voltage applied to the EL element linked to TFT for current control.
[0030] TFT201 for switching has the drain wiring 22 in a barrier layer including the source field 13, the drain field 14, the LDD fields 15a-15d, the high concentration impurity range 16, and the channel formation fields 17a and 17b, gate dielectric film 18, the gate electrodes 19a and 19b, the 1st interlayer insulation film 20, and source wiring 21 list, and is formed in them.
[0031] Moreover, although not illustrated, the gate electrodes 19a and 19b are good also as double-gate structure electrically connected by the gate line formed with another ingredient (gate electrodes 19a and 19b low ingredient [ **** ]), and it can respond to enlargement of a screen size by considering as such a configuration. Of course, you may be the so-called multi-gate structures (structure containing the barrier layer which has two or more channel formation fields connected to the serial), such as not only double-gate structure but triple gate structure. Multi-gate structure is very effective when reducing an OFF state current value, and in this invention, the switching element with a low OFF state current value is realized by making the switching element 201 of a pixel into multi-gate structure.
[0032] Moreover, a barrier layer is formed by the semi-conductor film including the crystal structure. That is, the single crystal semiconductor film is sufficient and the polycrystal semi-conductor film and the microcrystal semi-conductor film are sufficient. Moreover, what is necessary is just to form gate dielectric film 18 by the insulator layer containing silicon. Moreover, a gate electrode, a source line, or a drain wire can use the well-known wiring material represented by aluminum, a tantalum (Ta), the tungsten (W), etc.
[0033] Furthermore, in TFT201 for switching, the LDD fields 15a-15d are formed so that it may not lap with the gate electrodes 17a and 17b through gate dielectric film 18. Such structure is very effective when reducing an OFF state current value.
[0034] In addition, it is still more desirable to prepare an offset field (field where it becomes in the semi-conductor layer of the same presentation as a channel formation field, and gate voltage is not impressed) between a channel formation field and a LDD field, when lowering an OFF state current value. Moreover, in the case of the multi-gate structure of having two or more gate electrodes, the high concentration impurity range prepared between channel formation fields is effective for reduction of an OFF state current value.
[0035] As mentioned above, a switching element with a fully low OFF state current value is realizable by using TFT of multi-gate structure as a switching element 201 of a pixel. Therefore, even if it does not form a capacitor like drawing 2 of JP,10-189252,A, the gate voltage of TFT for [ sufficient ] time amount (after being chosen until it is chosen as degree) current control can be maintained.
[0036] That is, it becomes possible to eliminate conventionally the capacitor used as the factor which narrows effective luminescence area, and it becomes possible to make effective luminescence area large. This means that image quality of EL display can be made bright.
[0037] TFT202 for current control has the drain wiring 37 in a barrier layer including the source field 31, the drain field 32, the LDD field 33, and the channel formation field 34, gate dielectric film 18, the gate electrode 35, the 1st interlayer insulation film 20, and source wiring 36 list, and is formed in them. In addition, although the gate electrode 35 has single gate structure, you may be multi-gate structure.
[0038] As shown in drawing 6 , the drain of TFT for switching is connected to the gate of TFT for current control. Specifically, the gate electrode 35 of TFT202 for current control is electrically connected through the drain field 14 and drain wire (said to be connection wiring) 22 of TFT201 for switching. Moreover, the source line 36 is connected to the current supply line 212.

[0039] The description of this TFT202 for current control is the point that channel width is larger than the channel width of TFT201 for switching. That is, as shown in drawing 12 , when channel length of TFT for switching was set to L1, channel width was set to W1, channel length of TFT for current control is set to L2 and channel width is set to W2, it is made for relational expression called W2/L2 >=5xW1/L1 (preferably W2/L2>=10x W1/L1) to be realized. For this reason, it is possible to pass many currents easily rather than TFT for switching.
[0040] In addition, channel length L1 of TFT201 for switching which is multi-gate structure is taken as total of each channel length of two or more formed channel formation fields. Since it is double-gate structure in the case of drawing 12 , what added each channel length L1a and L1b of two channel formation fields serves as the channel length L1 of TFT201 for switching.
[0041] In this invention, although channel length L1 and L2 and channel width W1 and W2 are not limited to the specific numerical range, it is desirable that W1 sets to 0.1-5 micrometers (typically 1-3 micrometers), and W2 sets to 0.5-30 micrometers (typically 2-10 micrometers). At this time, it is desirable that L1 sets to 0.2-18 micrometers (typically 2-15 micrometers), and L2 sets to 0.1-50 micrometers (typically 1-20 micrometers).
[0042] In addition, in TFT202 for current control, in order to prevent that a current flows superfluously, it is desirable to set up the die length of channel length L for a long time. It is good to be preferably referred to as W2/L2 >=3 (preferably W2/L 2>=5). It is made to be desirably set to 0.5-2microper 1 pixel of ** A (preferably 1-1.5microA).
[0043] Even EL indicating equipment which has the number of pixels of a Hi-Vision class (1920x1080 or 1280x1024) from EL indicating equipment which has the number of pixels of a VGA class (640x480) can cover all specification by considering as these numerical range. Moreover, what is necessary is just to set typically to 2.0-2.5 micrometers the 0.5-3.5 micrometers (width of face) of the die length of the LDD field formed in TFT201 for switching.
[0044] Moreover, EL indicating equipment shown in drawing 5 has the description also in the point of having the field where the LDD field 33 was formed between the drain field 32 and the channel formation field 34, and the LDD field 33 has lapped with the gate electrode 35 through gate dielectric film 18, and the field with which it has not lapped, in TFT202 for current control.
[0045] TFT202 for current control controls the amount of supply, and enables a gradation display at the same time it supplies the current for making EL element 204 emit light. Therefore, it is necessary to take the cure against degradation by hot carrier impregnation so that it may not deteriorate, even if it passes a high current. Moreover, in case black is displayed, TFT202 for current control is made into the OFF state, but in that case, if an OFF state current value is high, a beautiful black display will become impossible and the fall of contrast etc. will be caused. Therefore, it is necessary to also hold down an OFF state current value.
[0046] About degradation by hot carrier impregnation, it is known that the structure with which the LDD field lapped to the gate electrode is very effective. However, since an OFF state current value will increase if the whole LDD field is kept in a gate electrode in piles, these people have solved the cure against a hot carrier, and the cure against an OFF state current value to coincidence according to the new structure of establishing the LDD field which does not lap with a gate electrode in a serial.
[0047] What is necessary is just to set to 0.1-3 micrometers (preferably 0.3-1.5 micrometers) the die length of the LDD field which lapped with the gate electrode at this time. If too long, parasitic capacitance is enlarged, and if too short, the effectiveness of preventing a hot carrier will become weak. Moreover, what is necessary is just to set to 1.0-3.5 micrometers (preferably 1.5-2.0 micrometers) the die length of the LDD field which does not lap with a gate electrode. When too long, it becomes impossible to pass sufficient current, and if too short, the effectiveness of reducing an OFF state current value will become weak.
[0048] Moreover, it is more desirable not to prepare between the source field 31 and the channel formation field 34, since parasitic capacitance will be formed in the field with which the gate electrode and the LDD field lapped in the above-mentioned structure. Since TFT for current control always has the same direction where a carrier (here electron) flows, it is enough if the LDD field is established only in the drain field side.
[0049] Moreover, if the amount of currents which can be passed is seen from a viewpoint of making [ many ] it, what thickness of the barrier layer (especially channel formation field) of TFT202 for current control is thickened also for (preferably 50-100nm, still more preferably 60-80nm) is effective. On the contrary, in TFT201 for switching, if an OFF state current value is seen from a viewpoint of making it

small, what thickness of a barrier layer (especially channel formation field) is made thin also for (preferably 20-50nm, still more preferably 25-40nm) is effective.
[0050] the thickness of the 1st passivation film 41 -- 10nm - 1 micrometer (preferably 200-500nm) -- then, it is good. As an ingredient, the insulator layer (the nitriding oxidation silicon film or a silicon nitride film is especially desirable) containing silicon can be used. This passivation film 41 has the role which protects formed TFT from alkali metal or moisture. Alkali metal, such as sodium, is contained in EL layer finally prepared above TFT. That is, the 1st passivation film 41 works also as a protective layer which does not make such alkali metal (movable ion) invade into the TFT side.
[0051] Moreover, it is also effective to prevent the heat deterioration of EL layer by giving the heat dissipation effectiveness to the 1st passivation film 41. However, since, as for EL indicating equipment of the structure of drawing 5 , light is emitted to a substrate 11 side, the 1st passivation film 41 needs to have translucency. Moreover, since it deteriorates by association with oxygen when using an organic material as an EL layer, as for the insulator layer which is easy to emit oxygen, not using is desirable.
[0052] Transparency of alkali metal is barred and the insulator layer which contains at least one element chosen from B (boron), C (carbon), and N (nitrogen) and at least one element chosen from aluminum (aluminum), Si (silicon), and P (Lynn) as a translucency ingredient which has the heat dissipation effectiveness further is mentioned. For example, it is possible to use the nitride of the aluminum represented by alumimium nitride (AlxNy), the carbide of the silicon represented by silicon carbide (SixCy), the nitride of the silicon represented by silicon nitride (SixNy), the nitride of the boron represented by boron nitride (BxNy), and the phosphide of the boron represented by boron phosphide (BxPy). Moreover, the oxide of the aluminum represented by the aluminum oxide (AlxOy) is excellent in translucency, and thermal conductivity is 20Wm-1K-1, and it can be said to be one of the desirable ingredients. There is not only the above-mentioned effectiveness but effectiveness which prevents invasion of moisture in these ingredients.
[0053] Other elements are also combinable with the above-mentioned compound. For example, it is also possible to add nitrogen to an aluminum oxide and to use the nitriding aluminum oxide shown by AlNxOy. There is effectiveness which prevents invasion of not only the heat dissipation effectiveness but moisture, alkali metal, etc. also in this ingredient.
[0054] Moreover, the ingredient indicated by JP,62-90260,A can be used. that is, the insulator layer (however, M -- rare earth elements -- at least -- a kind and at least one element preferably chosen from Ce (cerium), Yb (ytterbium), Sm (samarium), Er (erbium), Y (yttrium), La (lanthanum), Gd (gadolinium), Dy (dysprosium), and Nd (neodium)) containing Si, aluminum, N, O, and M can also be used. There is effectiveness which prevents invasion of not only the heat dissipation effectiveness but moisture, alkali metal, etc. also in these ingredients.
[0055] Moreover, the carbon film which contains at least a diamond thin film or the amorphous carbon film (called what has a near property, diamond-like carbon, etc. to especially a diamond.) can also be used. These have very high thermal conductivity and are very effective as a heat dissipation layer. However, since brown will be worn and permeability will fall if thickness becomes thick, it is desirable to use by as thin thickness (preferably 5-100nm) as possible.
[0056] In addition, since it is in the purpose of the 1st passivation film 41 protecting TFT from alkali metal or moisture to the last, don't spoil the effectiveness. Therefore, although the thin film which consists of an ingredient with the above-mentioned heat dissipation effectiveness can also be used alone, it is effective to carry out the laminating of these thin films and the insulator layer (typically a silicon nitride film (SixNy) and nitriding oxidation silicon film (SiOxNy)) which can bar transparency of alkali metal or moisture.
[0057] Moreover, it roughly divides into EL display, there are four colorization means of displaying, and there are a method which combined the method which forms three kinds of EL elements corresponding to RGB, the method which combined the EL element and color filter of white luminescence, blue, or the EL element and fluorescent substance (the color conversion layer of fluorescence: CCM) of bluish green luminescence, and a method which puts the EL element corresponding to RGB on cathode (counterelectrode) using a transparent electrode. Although only one pixel is illustrated to drawing 5 , the pixel of the same structure is formed corresponding to each color of red, green, or blue, and, thereby, color display can be performed. EL layer of each [ these ] color should just adopt a well-known ingredient. However, it is not concerned with a luminescence method, but this invention can be carried out, and can use all the four above-mentioned methods for this invention.
[0058] Moreover, if the 1st passivation film 41 is formed, the 2nd interlayer insulation film (you may

call it the flattening film) 44 will be formed in each form which covers TFT, and flattening of the level difference made by TFT will be performed. As the 2nd interlayer insulation film 44, the organic resin film is desirable and it is good to use polyimide, a polyamide, an acrylic, BCB (benz-cyclo-butene), etc. Of course, the inorganic film may be used as long as sufficient flattening is possible.
[0059] It is very important to carry out flattening of the level difference by TFT with the 2nd interlayer insulation film 44. Since EL layer formed behind is very thin, when a level difference exists, a crack may go into the part or an anode plate and cathode may connect it with it too hastily. Therefore, before forming a pixel electrode so that EL layer can be formed as much as possible in a flat side, it is desirable to carry out flattening.
[0060] The 2nd passivation film 45 bears the important role which blocks the alkali metal diffused from an EL element. thickness -- 5nm - 1 micrometer (typically 20-300nm) -- then, it is good. The insulator layer which can bar transparency of alkali metal is used for this 2nd passivation film 45. As an ingredient, the ingredient used as the 1st passivation film 41 can be used. Moreover, this 2nd passivation film 45 functions also as a heat dissipation layer which functions as missing the heat generated in the EL element and heat not being accumulated in an EL element. Moreover, since it is weak with heat when the 2nd interlayer insulation film 44 is organic resin film, it is made for the heat generated in the EL element not to have a bad influence on the 2nd interlayer insulation film 44. Moreover, the 2nd passivation film 45 functions also as a protective layer for making it the alkali metal in EL layer not spread to the TFT side, and functions also as a protective layer by which it is made for neither moisture nor oxygen to invade into EL layer side from the TFT side further at the same time it prevents degradation by the above-mentioned heat.
[0061] In producing EL display as mentioned above, it was effective to have carried out flattening of the TFT by the organic resin film, but the structure in consideration of degradation of the organic resin film by the heat generated in the EL element did not have the former. In this invention, the point which has solved the point can also be said to be one of the descriptions by forming the 2nd passivation film 45.
[0062] The pixel electrode (anode plate of an EL element) 46 is the transparence electric conduction film, and after it opens a contact hole (puncturing) in the 2nd passivation film 45, the 2nd interlayer insulation film 44, and the 1st passivation film 41, it is formed so that it may connect with the drain wiring 37 of TFT202 for current control in the formed aperture.
[0063] If the pixel electrode 46 is formed, the detached core 101 which becomes by the organic resin film will be formed on the 2nd passivation film 45. In this example, the photosensitive polyimide film is formed with a spin coating method, and a detached core 101 is formed by patterning. This detached core 101 is a mold at the time of forming EL layer by the ink jet method, and the location in which an EL element is formed of arrangement of this detached core demarcates it.
[0064] And if a detached core 101 is formed, the EL layer (an organic material is desirable) 47 will be formed by the ink jet method next. Although the EL layer 47 is used by the monolayer or the laminated structure, it is used by the laminated structure in many cases. Although various laminated structures are proposed combining a luminous layer, the electronic transportation layer, the electronic injection layer, the hole injection layer, or the electron hole transportation layer, in this invention, you may be which structure. Moreover, fluorescence coloring matter etc. may be doped to EL layer.
[0065] In this invention, all well-known EL ingredients can already be used. When the organic material is known widely and driver voltage is taken into consideration as a well-known ingredient, it is desirable to use an organic material. As an organic electroluminescence ingredient, the ingredient indicated by the following United States patents or open official reports can be used, for example.
[0066] U.S. Pat. No. 4,356,429, U.S. Pat. No. 4,539,507, U.S. Pat. No. 4,720,432, U.S. Pat. No. 4,769,292, U.S. Pat. No. 4,885,211, U.S. Pat. No. 4,950,950, U.S. Pat. No. 5,059,861, U.S. Pat. No. 5,047,687, U.S. Pat. No. 5,073,446, U.S. Pat. No. 5,059,862, U.S. Pat. No. 5,061,617, U.S. Pat. No. 5,151,629, U.S. Pat. No. 5,294,869, U.S. Pat. No. 5,294,870, JP,10-189525,A, JP,8-241048,A, JP,8-78159,A.
[0067] Specifically, the organic material as a hole injection layer can use what is expressed with the following general formulas.
[0068]

[Formula 1] <BR>

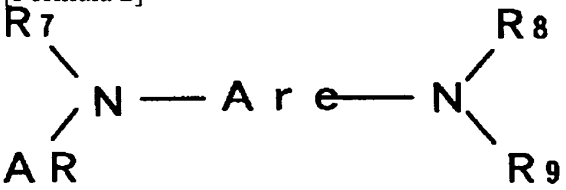



[0069] Q is N or C-R (chain) here, M is a metal, a metallic oxide, or a metal halogenide, R is hydrogen, alkyl, an aralkyl, an allyl compound, or Al Khalil, and T1 and T2 are the partial saturation six membered rings containing hydrogen, alkyl, or a substituent like a halogen.

[0070] Moreover, the organic material as an electron hole transportation layer can use an aromatic series tertiary amine, and contains the tetra-allyl compound diamine preferably expressed with the following general formulas.

[0071]

[Formula 2]

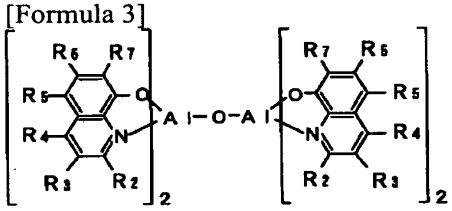



[0072] Are is a propine group here, n is the integer of 1 to 4, and Ar, R7, R8, and R9 are the selected allyl compound groups, respectively.

[0073] Moreover, the organic material as EL layer, an electronic transportation layer, or an electronic injection layer can use a metal oxy-NOIDO compound. What is necessary is just to use what is expressed with the following general formulas as a metal oxy-NOIDO compound.

[0074]

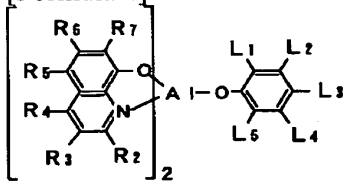
[Formula 3]




[0075] R2-R7 can be replaced and they can also use the following metal oxy-NOIDO compounds here.

[0076]

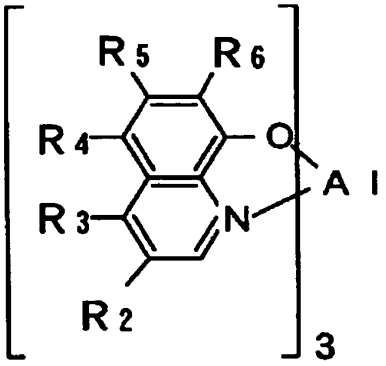
[Formula 4]




[0077] R2-R7 are based on an above-mentioned definition here, and L1-L5 are a carbohydrate group containing the carbon element of 1 to 12, and both L1 and L2, and L2 and L3 can form a benzoring. Moreover, the following metal oxy-NOIDO compounds are sufficient.

[0078]

[Formula 5]




[0079] R2-R6 can be replaced here. Thus, the coordination compound which has organic ligand as an organic electroluminescence ingredient is included. However, the above example is an example of the organic electroluminescence ingredient which can be used as an EL ingredient of this invention, and there is no need of limiting to this.
[0080] Moreover, in order to use an ink jet method as the formation approach of EL layer in this invention, there are many polymer system ingredients as a desirable EL ingredient. As a typical polymer system ingredient, polymeric materials, such as a poly para-phenylene vinylene (PPV) system and the poly fluorene system, are mentioned. In order to colorize, to red luminescent material, polyphenylene vinylene and the poly alkyl phenylene are [ cyano polyphenylene vinylene and green luminescent material / polyphenylene vinylene and blue luminescent material ] desirable.
[0081] However, the above example is an example of the organic electroluminescence ingredient which can be used as an EL ingredient of this invention, and there is no need of limiting to this. All the ingredients indicated by JP,10-012377,A can be quoted about the organic electroluminescence ingredient which can be used for the ink jet method.
[0082] In addition, although an ink jet method is divided roughly into a bubble jet (trademark) method (it is also called a thermal ink jet method) and a piezo method, for carrying out this invention, a piezo method is desirable.
[0083] Moreover, as the operation gestalt 1 showed, the configuration when actually applying EL ingredient on a pixel electrode makes the shape of a stripe, and two or more dots continue, and is formed the shape of an ellipse, and in the shape of a rectangle. The detached core 101 has the function not to mix mutually EL layer which adjoins in forming EL layer by the ink jet method.
[0084] In order to perform color display, as drawing 6 shows, EL layer 47R of red luminescence, EL layer 47G of green luminescence, and EL layer 47B of blue luminescence are formed. At this time, sequential formation of each EL layer may be carried out, and EL layer corresponding to red, green, and blue may be formed in coincidence. Moreover, in order to remove the solvent contained in EL formation solution, BEKU (baking) processing is required. After this BEKU processing forms all EL layers, it may be performed, and when EL layer of each color finishes forming, it may be performed according to an individual. Thus, the thickness of EL layer is formed in the thickness of 50-250nm.
[0085] Drawing 21 explains the configuration in a picture element part, and shows signs that two or more pixel electrodes are formed in EL layer formed the shape of a stripe, the shape of an ellipse, and in the shape of a rectangle. In drawing 21 (A), two or more pixel electrodes are prepared to the EL layers 1702a and 1702b which emit light by different color, respectively. Two TFT(s), TFT for switching and TFT for current control, are connected to each pixel electrode. Moreover, the EL layers 1702a and 1702b are separated by the detached core 1701. In order to indicate by multicolor, one pixel 1710a is formed by making the pixel electrodes 1703a and 1703b into a lot. When preparing pixel 1710b next similarly, the value will be made into five to 10 times of the thickness of EL layer if the spacing is set to D. That is, it may be 250-2500nm.
[0086] Drawing 21 (B) shows other examples of a configuration, and two or more pixel electrodes are prepared to the EL layers 1705a, 1705b, and 1705c which emit light by different colors like, such as red, green, and blue, respectively. These EL layers are separated by the detached core 1704. multicolor -- or in order to indicate by RGB full color, one pixel 1720a is formed by making the pixel electrodes 1706a, 1706b, and 1706c into a lot. If the spacing is set to D when preparing pixel 1710b next similarly, the value will be too made into five to 10 times of the thickness of EL layer. That is, it may be 250-2500nm.

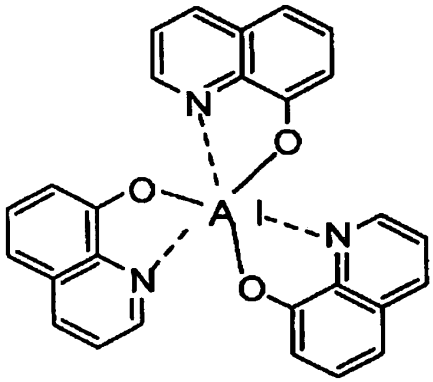
Image display can be made clear by doing in this way.
[0087] Moreover, in case the EL layer 47 is formed, as for a processing ambient atmosphere, it is desirable to consider as few desiccation ambient atmospheres of moisture as much as possible, and to carry out in inert gas. Since EL layer deteriorates easily by existence of moisture and oxygen, in case it forms, it needs to eliminate such a factor as much as possible. For example, desiccation nitrogen-gas-atmosphere mind, desiccation argon atmosphere, etc. are desirable.
[0088] If the EL layer 47 is formed with an ink jet method as mentioned above, cathode 48 and an auxiliary electrode 49 will be formed next. In this specification, the light emitting device formed in a pixel electrode (anode plate), EL layer, and cathode is called an EL element.
[0089] Cathode 48 uses the ingredient containing the small magnesium (Mg), the lithium (Li), or calcium (calcium) of a work function. What is necessary is just to use the electrode which becomes preferably by MgAg (ingredient which mixed Mg and aluminum by Mg:Ag=10:1). A MgAgAl electrode, a LiAl electrode, and a LiFAl electrode are mentioned to others. Moreover, it is the electrode prepared in order that an auxiliary electrode 49 may carry out the protective coat of the cathode 48 from external moisture etc., and the ingredient containing aluminum (aluminum) or silver (Ag) is used. There is the heat dissipation effectiveness in this auxiliary electrode 48.
[0090] In addition, as for the EL layer 47 and cathode 48, it is desirable to form continuously in the inert atmosphere dried without carrying out atmospheric-air release. When using an organic material as an EL layer, since it is very weak for moisture, this is for avoiding the moisture absorption when carrying out atmospheric-air release. Furthermore, even the EL layer 47 and not only the cathode 48 but the auxiliary electrode 49 on it is still better to carry out continuation formation.
[0091] moreover, the thickness of the 3rd passivation film 50 -- 10nm - 1 micrometer (preferably 200-500nm) -- then, it is good. Although the purpose which forms the 3rd passivation film 50 has the main purpose which protects the EL layer 47 from moisture, it may give the heat dissipation effectiveness like the 2nd passivation film 45. Therefore, the thing same as a formation ingredient as the 1st passivation film 41 can be used. However, since it may deteriorate by association with oxygen when using an organic material as an EL layer 47, as for the insulator layer which is easy to emit oxygen, not using is desirable.
[0092] Moreover, since EL layer is weak with heat as mentioned above, it is desirable to form membranes if possible at low temperature (preferably temperature requirement from a room temperature to 120 degrees C). Therefore, it can be said to be the membrane formation approach that a plasma-CVD method, a spatter, vacuum evaporation technique, the ion plating method, or the solution applying method (spin coating method) is desirable.
[0093] Thus, although forming the 2nd passivation film 45 can also fully control degradation of an EL element, an EL element is surrounded still more preferably by the insulator layer of the bilayer formed on both sides of the EL element like the 2nd passivation film 45 and the 2nd passivation film 50, invasion of the moisture to EL layer and oxygen is prevented, diffusion of the alkali metal from EL layer is prevented, and are recording of the heat to EL layer is prevented. Consequently, degradation of EL layer is controlled further and reliable EL display is obtained.
[0094] Moreover, EL display of this invention has the picture element part which consists of a pixel of structure like drawing 5 , and TFT from which structure differs according to a function in a pixel is arranged. TFT for switching of an OFF state current value low enough and TFT for current control strong against hot carrier impregnation can form in the same pixel by this, it has high dependability and EL display in which good image display is possible (the engine performance of operation is high) is obtained.
[0095] In addition, although TFT of multi-gate structure is used as TFT for switching in the pixel structure of drawing 5 , it is not necessary to limit to the configuration of drawing 1 about the configuration of arrangement of a LDD field etc. Suppose that still more detailed explanation is given about this invention which becomes with the above configuration as it is also at the example shown below.
[0096]
[Example] The example of [example 1] this invention is explained using drawing 7 - drawing 9 . Here, how to produce to coincidence TFT of a picture element part and the drive circuit section prepared around it is explained. However, in order to simplify explanation, suppose that the CMOS circuit which is a basic circuit is illustrated about a drive circuit.
[0097] First, as shown in drawing 7 (A), the substrate film 301 is formed on a glass substrate 300 at the

thickness of 300nm. In this example, as substrate film 302, the laminating of the nitriding oxidation silicon film is carried out, and it is used. At this time, it is good to make into 10 - 25wt% nitrogen concentration of the direction which touches a glass substrate 300.
[0098] Moreover, it is effective to prepare the insulator layer which consists of the ingredient same as some substrate film 301 as the 1st passivation film 41 shown in drawing 5 . It is effective to prepare the insulator layer which is easy to generate heat since TFT for current control will pass a high current, and has the heat dissipation effectiveness in as near a place as possible.
[0099] Next, the amorphous silicon film (not shown) with a thickness of 50nm is formed by the well-known forming-membranes method on the substrate film 301. In addition, what is necessary is just the semi-conductor film (the microcrystal semi-conductor film is included) which does not need to limit to the amorphous silicon film and includes amorphous structure. The compound semiconductor film which furthermore includes the amorphous structure of the amorphous silicon germanium film etc. is sufficient. Moreover, thickness should just be 20-100nm in thickness.
[0100] And the amorphous silicon film is crystallized with a well-known technique, and the crystalline substance silicon film (it is also called a polycrystal silicone film or the polish recon film) 302 is formed. As the well-known crystallization approach, there are the heat annealing method which used the electric heat furnace, a laser annealing method using laser light, and the lamp annealing method using infrared light. In this example, it crystallizes by the laser annealing method using the excimer laser light which used XeCl gas.
[0101] In addition, although the excimer laser light of the pulse oscillation mold processed into the line is used in this example, you may be a rectangle and the argon laser light of a continuous-oscillation mold and the excimer laser light of a continuous-oscillation mold can also be used. Moreover, the light source of laser light is not limited to an excimer laser, and may use the 2nd higher harmonic or the 3rd higher harmonic of an YAG laser.
[0102] Although the crystalline substance silicon film is used as a barrier layer of TFT in this example, it is also possible to use the amorphous silicon film. However, it is more advantageous to use a sink and the cone crystalline substance silicon film for a current, since TFT for current control has the need of passing a high current.
[0103] In addition, it is effective to form the barrier layer of TFT for switching with the need of reducing the OFF state current, by the amorphous silicon film, and to form the barrier layer of TFT for current control by the crystalline substance silicon film. Since the amorphous silicon film has low carrier mobility, the OFF state current cannot flow easily that it is hard to pass a current. That is, the advantage of both sink or cone crystalline substance silicon film can be efficiently employed [ a current ] for the pile amorphous silicon film and a current in a sink.
[0104] Next, as shown in drawing 7 (B), the protective coat 303 which becomes by the oxidation silicon film is formed on the crystalline substance silicon film 302 at the thickness of 130nm. What is necessary is just to choose this thickness in 100-200nm (preferably 130-170nm). Moreover, other film is sufficient as long as it is an insulator layer containing silicon. This protective coat 303 is formed in order to enable concentration control delicate in order not to put the crystalline substance silicon film to the direct plasma, in case an impurity is added.
[0105] And the resist masks 304a and 304b are formed on it, and the impurity element (henceforth n mold impurity element) which gives n mold through a protective coat 303 is added. In addition, Lynn or arsenic can be used for the element and type target which belong to 15 groups typically as an n mold impurity element. In addition, in this example, Lynn is added by the concentration of 1x1018 atoms/cm3 using the plasma doping method which carried out plasma excitation without carrying out mass separation of the phosphoretted hydrogen (PH3). Of course, the ion implantation method for performing mass separation may be used.
[0106] In n mold impurity ranges 305 and 306 formed of this process, a dose is adjusted so that n mold impurity element may be contained by the concentration of 2x1016 - 5x1019 atoms/cm3 (typically 5x1017 - 5x1018 atoms/cm3).
[0107] Next, as shown in drawing 7 (C), the element which removes a protective coat 303 and belongs to 15 groups who added is activated. Although an activation means should just use a well-known technique, it is activated by the exposure of excimer laser light by this example. Of course, a pulse oscillation mold or a continuous-oscillation mold may be used, and it is not necessary to limit to excimer laser light. However, since activation of the added impurity element is the purpose, it is desirable to irradiate with the energy which is extent which the crystalline substance silicon film does not fuse. In

addition, laser light may be irradiated, with the protective coat 303 attached. In addition, activation by heat treatment may be used together on the occasion of activation of the impurity element by this laser light. What is necessary is just to perform heat treatment of about 450-550 degrees C in consideration of the thermal resistance of a substrate, when performing activation by heat treatment.
[0108] The boundary section (joint) with the field which has not added n mold impurity element which exists in the edge of n mold impurity ranges 305 and 306, i.e., the perimeter of n mold impurity ranges 305 and 306, according to this process becomes clear. This means that a LDD field and a channel formation field can form a very good joint, when TFT is completed behind.
[0109] Next, as shown in drawing 7 (D), the unnecessary part of the crystalline substance silicon film is removed, and the island-shape semi-conductor film (henceforth a barrier layer) 307-310 is formed.
[0110] Next, as shown in drawing 7 (E), barrier layers 307-310 are covered and gate dielectric film 311 is formed. What is necessary is just to use 10-200nm of insulator layers which contain silicon with a thickness of 50-150nm preferably as gate dielectric film 311. Monolayer structure or a laminated structure is sufficient as this. In this example, the nitriding oxidation silicon film of 110nm thickness is used.
[0111] Next, patterning of the electric conduction film of 200-400nm thickness is formed and carried out, and the gate electrodes 312-316 are formed. In addition, in this example, a gate electrode and wiring for leading about electrically connected to the gate electrode (henceforth gate wiring) are formed with another ingredient. concrete -- a gate electrode -- low -- an ingredient [ **** ] is used as gate wiring. Even if micro processing of this is impossible for gate wiring using the ingredient in which micro processing is possible as a gate electrode, it is for wiring resistance to use a small ingredient. Of course, a gate electrode and gate wiring may be formed with the same ingredient.
[0112] Moreover, although a gate electrode may be formed by the electric conduction film of a monolayer, it is desirable to consider as cascade screens, such as a bilayer and three layers, if needed. All electric conduction film well-known as an ingredient of a gate electrode can be used. However, the ingredient in which patterning is possible in line breadth of 2 micrometers or less is possible [ micro processing ] as mentioned above and specifically desirable.
[0113] Typically A tantalum (Ta), titanium (Ti), molybdenum (Mo), A tungsten (W), chromium (Cr), the film that becomes by the element chosen from the silicon (Si) which has conductivity, or the nitride film (typical -- the tantalum nitride film and the nitriding tungsten film --) of said element The titanium nitride film, the alloy film (typically a Mo-W alloy, a Mo-Ta alloy) which combined said element, or the silicide film (typically tungsten silicide film, titanium silicide film) of said element can be used. Of course, it may use by the monolayer, or a laminating may be carried out and you may use. In this example, the cascade screen which becomes by the tantalum nitride (TaN) film of 50nm thickness and Ta film of 350nm thickness is used. What is necessary is just to form this by the spatter. Moreover, if inert gas, such as Xe and Ne, is added as sputtering gas, film peeling by stress can be prevented.
[0114] At this time, the gate electrodes 313 and 316 are formed so that it may lap through gate dielectric film 311 with a part of n mold impurity ranges 305 and 306, respectively. This overlapping part serves as a LDD field which lapped with the gate electrode behind.
[0115] Next, as shown in drawing 8 (A), n mold impurity element (this example Lynn) is added in self align by using the gate electrodes 312-316 as a mask. In this way, in the impurity ranges 317-323 formed, it adjusts so that Lynn may be added by the concentration of 1 / 2 - 1/10 of n mold impurity ranges 305 and 306 (typically 1 / 3 - 1/4). Specifically, the concentration of 1x1016 - 5x1018 atoms/cm3 (typically 3x1017 - 3x1018 atoms/cm3) is desirable.
[0116] Next, as shown in drawing 8 (B), the resist masks 324a-324c are formed for a gate electrode etc. in a wrap form, and the impurity ranges 325-331 which add n mold impurity element (this example Lynn), and include Lynn in high concentration are formed. It carries out by the ion doping method for having used phosphoretted hydrogen (PH3) also here, and the concentration of Lynn of this field is adjusted so that it may become 1x1020 - 1x1021 atoms/cm3 (typically 2x1020 - 5x1021 atoms/cm3).
[0117] Although the source field or drain field of the n channel mold TFT is formed of this process, in TFT for switching, it leaves a part of n mold impurity ranges 320-322 formed at the process of drawing 8 (A). This left-behind field is equivalent to the LDD fields 15a-15d of TFT for switching in drawing 5 .
[0118] Next, as shown in drawing 8 (C), the resist masks 324a-324c are removed, and the resist mask 332 is newly formed. And p mold impurity element (this example boron) is added, and the impurity ranges 333 and 334 which contain boron in high concentration are formed. Here, boron is added so that it may become 3x1020 - 3x1021 atoms/cm3 (typically 5x1020 - 1x1021 atoms/cm3 NO) concentration

by the ion doping method for having used diboron hexahydride (B-2 H6).
[0119] In addition, although Lynn is already added by impurity ranges 333 and 334 by the concentration of 1x1020 - 1x1021 atoms/cm3, the boron added here is added by the concentration of at least 3 times or more. Therefore, it is completely reversed to P type, and the impurity range of n mold currently formed beforehand functions as an impurity range of P type.
[0120] Next, after removing the resist mask 332, n mold or p mold impurity element added by each concentration is activated. As an activation means, it can carry out by the furnace annealing method, the laser annealing method, or the lamp annealing method. In this example, 550 degrees C and heat treatment of 4 hours are performed among nitrogen-gas-atmosphere mind in an electric heat furnace.
[0121] It is important to eliminate the oxygen in an ambient atmosphere as much as possible at this time. It is because it is hard coming to take ohmic contact behind while the front face of the gate electrode exposed when oxygen existed oxidizes and causing the increment in resistance. Therefore, as for the oxygen density in the processing ambient atmosphere in the above-mentioned activation process, it is preferably desirable to be referred to as 0.1 ppm or less 1 ppm or less.
[0122] Next, if an activation process is completed, as shown in drawing 8 (D), the gate line 335 of 300nm thickness will be formed. What is necessary is just to use the metal membrane which uses aluminum (aluminum) or copper (Cu) as a principal component (it considers as a presentation and 50 - 100% is occupied.) as an ingredient of the gate wiring 335. Like the gate wiring 211 of drawing 2 as arrangement, it forms so that the gate electrodes 314 and 315 (it is equivalent to the gate electrodes 19a and 19b of drawing 2 ) of TFT for switching may be connected electrically.
[0123] Since wiring resistance of gate wiring can be made very small by considering as such structure, the image display field (picture element part) where area is large can be formed. That is, when the magnitude of a screen realizes EL display of 10 inches or more (30 more inches or more) of vertical angles, the pixel structure of this example is very effective.
[0124] Next, as shown in drawing 9 (A), the 1st interlayer insulation film 336 is formed. What is necessary is just to use the cascade screen which used the insulator layer containing silicon by the monolayer as the 1st interlayer insulation film 336, or was combined in it. Moreover, thickness is just 400nm - 1.5 micrometers. In this example, it considers as the structure which carried out the laminating of the oxidation silicon film of 800nm thickness on the nitriding oxidation silicon film of 200nm thickness.
[0125] Furthermore, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 12 hours is performed at 300-450 degrees C, and a hydrogen treating is performed. This process is a process which carries out hydrogen termination of the azygos joint hand of the semi-conductor film by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed. In addition, a hydrogen treating may be put in while forming the 1st interlayer insulation film 336. That is, after forming the nitriding oxidation silicon film of 200nm thickness, a hydrogen treating may be performed as mentioned above, and it may remain after that, and the oxidation silicon film of 800nm thickness may be formed.
[0126] Next, a contact hole is formed to the 1st interlayer insulation film 336, and source wiring 337-340 and the drain wiring 341-343 are formed. In addition, in this example, it considers as the cascade screen of the three-tiered structure which carried out the aluminum film which contains [ this electrode ] 100nm and Ti for Ti film by 300nm, and carried out continuation formation of the 150nm of the Ti film by the spatter. Of course, other electric conduction film is sufficient.
[0127] Next, the 1st passivation film 344 is formed by the thickness of 50-500nm (typically 200-300nm). In this example, the nitriding oxidation silicon film of 300nm thickness is used as the 1st passivation film 344. A silicon nitride film may be substituted for this. Of course, it is possible to use the same ingredient as the 1st passivation film 41 of drawing 5 .
[0128] In addition, it is effective to perform plasma treatment using the gas which contains H2 and NH3 grade hydrogen in advance of formation of the nitriding oxidation silicon film. The membraneous quality of the 1st passivation film 344 is improved because the hydrogen excited by this pretreatment heat-treats by supplying the 1st interlayer insulation film 336. Since the hydrogen added by the 1st interlayer insulation film 336 at it and coincidence is spread in a lower layer side, a barrier layer can be hydrogenated effectively.
[0129] Next, the 2nd interlayer insulation film 347 which consists of organic resin is formed. As organic resin, polyimide, a polyamide, an acrylic, BCB (benz-cyclo-butene), etc. can be used. Since especially the 2nd interlayer insulation film 346 has the strong implications of flattening, its acrylic excellent in

surface smoothness is desirable. At this example, the acrylic film is formed by the thickness which can fully carry out flattening of the level difference formed of TFT. desirable -- 1-5 micrometers (still more preferably 2-4 micrometers) -- then, it is good.
[0130] Next, the 2nd passivation film 348 of 100nm thickness is formed on the 2nd interlayer insulation film 347. In this example, since the insulator layer containing Si, aluminum, N, O, and La is used, diffusion of the alkali metal from EL layer prepared on it can be prevented. Moreover, the heat which moisture was not made to invade into EL layer at coincidence, and was generated in EL layer can be distributed, and degradation of EL layer and degradation of the flattening film (the 2nd interlayer insulation film) by heat can be controlled.
[0131] And the contact hole which reaches the drain wiring 343 is formed in the 2nd passivation film 348, the 2nd interlayer insulation film 347, and the 1st passivation film 344, and the pixel electrode 349 is formed. In this example, the indium oxide tin (ITO) film is formed in the thickness of 110nm, patterning is performed, and it considers as a pixel electrode. This pixel electrode 349 turns into an anode plate of an EL element. In addition, it is also possible as other ingredients to use the indium oxide titanium film, and indium oxide and the zinc film.
[0132] In addition, in this example, it has the structure where the pixel electrode 349 was electrically connected to the drain field 331 of TFT for current control through the drain wiring 343. There are the following advantages in this structure.
[0133] Since the pixel electrode 349 will touch organic materials, such as EL layer (luminous layer) and a charge transportation layer, directly, the movable ion contained in EL layer etc. may diffuse the inside of a pixel electrode. That is, the structure of this example cannot connect the pixel electrode 349 to the drain field 331 which is a part of direct barrier layer, but can prevent invasion of the movable ion to the inside of a barrier layer by relaying the drain wiring 343.
[0134] Next, cathode (MgAg electrode) 351 and an auxiliary electrode 352 are formed without forming the EL layer 350 with an ink jet method and carrying out atmospheric-air release further, as shown in drawing 9 (C). It is desirable to precede to form the EL layer 350 and cathode 351 at this time, to heat-treat to the pixel electrode 349, and to remove moisture completely. In addition, although a MgAg electrode is used as cathode of an EL element in this example, you may be other well-known ingredients.
[0135] In addition, the ingredient explained with the operation gestalt 2 as an EL layer 350 can be used. For example, it may be good also considering 4 layer structures which become in a hole injection layer (Hole injecting layer), an electron hole transportation layer (Hole transporting layer), a luminous layer (Emitting layer), and an electronic transportation layer (Electron transportinglayer) as an EL layer, an electronic transportation layer may not be prepared, and an electronic injection layer may be formed. Moreover, a hole injection layer may be omitted. Thus, various examples are already reported and combination may use which the configuration.
[0136] A hydrazone system (typically DEH), a stilbene system (typically STB), a star bust system (typically m-MTDATA), etc. can be used for others that what is necessary is just to use TPD (triphenylamine derivative) of an amine system as a hole injection layer or an electron hole transportation layer. The star bust system ingredient which especially glass transition temperature cannot crystalize easily highly is desirable.
[0137] although BPPC, perylene, and DCM can use as a red luminous layer as a luminous layer, Eu complex (J. -- Kido et.al, Appl.Phys., vol.35, and pp.L394- detailed to 396 and 1996.) shown especially by Eu (DBM)3 (Phen) has high monochromaticity with luminescence sharp in wavelength of 620nm.
[0138] Moreover, the ingredient which added several mol % of Quinacridone or, and a coumarin can be typically used for Alq3 (8-hydroxyquinoline alminium) as a green luminous layer. A chemical formula is as follows.
[0139]
[Formula 6]

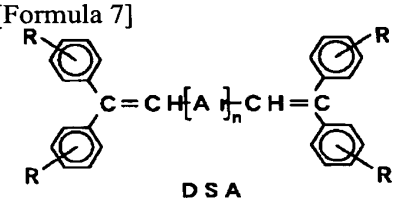


A l q3

[0140] Moreover, the JISUCHIRU arylene amine derivative which added the amino permutation DSA can be typically used for DSA (JISUCHIRU arylene derivative) as a blue luminous layer. It is desirable to use especially the JISUCHIRI ruby phenyl (DPVBi) which is an ingredient with the high engine performance. A chemical formula is as follows.

[0141]

[Formula 7]



DSA

[0142] Moreover, although it is possible for an auxiliary electrode 352 to also protect the EL layer 350 from moisture or oxygen, it is good to form the 3rd passivation film 353 still more preferably. In this example, the silicon nitride film of 300nm thickness is prepared as the 3rd passivation film 353. You may form continuously without this 3rd passivation film's also carrying out atmospheric-air release after an auxiliary electrode 352. Of course, as the 3rd passivation film 353, the same ingredient as the 3rd passivation film 50 of drawing 5 can be used.

[0143] An auxiliary electrode 352 has the typical metal membrane which is prepared in order to prevent degradation of the MgAg electrode 351, and uses aluminum as a principal component. Of course, other ingredients are sufficient. Moreover, since the EL layer 350 and the MgAg electrode 351 are very weak for moisture, it is desirable to form continuously without carrying out atmospheric-air release even of the auxiliary electrode 352, and to protect EL layer from the open air.

[0144] In addition, what is necessary is just to set to 180-300nm (typically 200-250nm) thickness whose thickness of the EL layer 350 is 10-400nm (typically 60-160nm) and the MgAg electrode 351. Moreover, when making the EL layer 350 into a laminated structure, thickness of each class should just be taken as the range of 10-100nm.

[0145] In this way, the active-matrix mold EL display of structure as shown in drawing 9 (C) is completed. By the way, by arranging TFT of the optimal structure not only for a picture element part but the drive circuit section, the active-matrix mold EL display of this example shows very high dependability, and its operating characteristic may also improve.

[0146] First, TFT which has the structure of reducing hot carrier impregnation so that a working speed may not be reduced as much as possible is used as an n channel mold TFT205 of the CMOS circuit which forms a drive circuit. In addition, as a drive circuit here, a shift register, a buffer, a level shifter, a sampling circuit (sample and hold circuit), etc. are included. In performing a digital drive, signal transformation circuits, such as a D/A converter, are also included and it gets.

[0147] In the case of this example, as shown in drawing 9 (C), in the LDD field 357, the barrier layer of the n channel mold 205 has lapped with the gate electrode 313 through gate dielectric film 311 including the source field 355, the drain field 356, the LDD field 357, and the channel formation field 358.

[0148] The consideration for not reducing a working speed forms the LDD field only in a drain field

side. Moreover, it is better for this n channel mold TFT205 to seldom have cared about the OFF state current value, and to attach greater importance than to it to a working speed. Therefore, as for the LDD field 357, it is desirable to keep in a gate electrode in piles completely, and to lessen a resistance component as much as possible. Namely, it is better to abolish the so-called offset.
[0149] Moreover, since degradation by hot carrier impregnation hardly worries the p channel mold TFT206 of a CMOS circuit, it is not necessary to prepare especially a LDD field. Of course, it is also possible to prepare a LDD field like the n channel mold TFT205, and to take the cure against a hot carrier. In addition, also in a drive circuit, a sampling circuit is a particular for a while compared with other circuits, and a high current flows a channel formation field bidirectionally. That is, the role of a source field and a drain field interchanges. Furthermore, it is desirable to arrange TFT which needs to hold down an OFF state current value low as much as possible, and has the function of middle extent of TFT for switching and TFT for current control in such semantics.
[0150] Therefore, as for the n channel mold TFT which forms a sampling circuit, it is desirable to arrange TFT of structure as shown in drawing 13 . As shown in drawing 13 , a part of LDD fields 901a and 901b lap with the gate electrode 903 through gate dielectric film 902. This effectiveness is as explanation of TFT202 for current control having described, and, in the case of a sampling circuit, the points established in the form which faces across the channel formation field 904 differ.
[0151] Moreover, the pixel of structure as shown in drawing 5 is formed, and the picture element part is formed. About the structure of TFT for switching formed in a pixel, and TFT for current control, since drawing 5 already explained, explanation here is omitted.
[0152] In addition, when completing to drawing 9 (C) in fact, it is desirable to carry out packaging (enclosure) by housing material, such as airtight high protection films (a laminate film, ultraviolet-rays hardening resin film, etc.) and a sealing can made from the ceramics, so that it may not be further put to the open air. In that case, the interior of housing material is made into an inert atmosphere, or the dependability (life) of EL layer improves by arranging a hygroscopic material (for example, barium oxide) inside.
[0153] Moreover, if processing of packaging etc. raises airtightness, the connector (flexible print circuit: FPC) for connecting the terminal and external signal terminal which were taken about from the component formed on the substrate or the circuit will be attached, and it will complete as a product. EL indicating equipment changed into such a condition that it can ship is called EL module in this specification.
[0154] The configuration of the active-matrix mold EL display of this example is explained here using the perspective view of drawing 10 . The active-matrix mold EL display of this example consists of a picture element part 602 formed on the glass substrate 601, a gate side drive circuit 603, and a source side drive circuit 604. TFT605 for switching of a picture element part is the n channel mold TFT, and is arranged at the intersection of the gate wiring 606 connected to the gate side drive circuit 603, and the source wiring 607 connected to the source side drive circuit 604. Moreover, the drain of TFT605 for switching is connected to the gate of TFT608 for current control.
[0155] Furthermore, the source side of TFT606 for current control is connected to the current supply line 609. Touch-down potential (ground potential) is given to the current supply line 609 with structure like this example. Moreover, EL element 610 is connected to the drain of TFT608 for current control. Moreover, a predetermined electrical potential difference (this example 10-12V) is applied to the cathode of this EL element 610. And the I/O wiring (connection wiring) 612 and 613 for transmitting a signal to a drive circuit and the I/O wiring 614 connected to the current supply line 609 are formed in FPC611 used as an external I/O terminal.
[0156] Moreover, an example of the circuitry of EL display shown in drawing 10 is shown in drawing 11 . drawing 11 -- circuitry -- an analog -- a drive -- an example -- it is -- the source -- a side -- a drive -- a circuit -- 701 -- the gate -- a side -- a drive -- a circuit -- (-- A --) -- 707 -- the gate -- a side -- a drive -- a circuit -- (-- B --) -- 711 -- a picture element part -- 706 -- having -- **** . In addition, it is the generic name with which the drive circuit included the source side processing circuit and the gate side drive circuit into this specification.
[0157] The source side drive circuit 701 is equipped with the shift register 702, the level shifter 703, the buffer 704, and the sampling circuit (sample and hold circuit) 705. Moreover, the gate side drive circuit (A) 707 is equipped with the shift register 708, the level shifter 709, and the buffer 710. The gate side drive circuit (B) 711 is also the same configuration.
[0158] Here, as for shift registers 702 and 708, the structure by which, as for the n channel mold TFT

used for the CMOS circuit which are 5-16V (typically 10 V), and forms a circuit, driver voltage is shown by 205 of drawing 9 (C) is suitable.
[0159] Moreover, the CMOS circuit in which level shifters 703 and 709 and buffers 704 and 710 contain the n channel mold TFT205 of drawing 9 (C) like a shift register although driver voltage becomes high with 14-16V is suitable. In addition, it is effective to make gate wiring into multi-gate structures, such as double-gate structure and triple gate structure, when raising each circuit reliability. Moreover, since a sampling circuit 705 needs to reduce an OFF state current value when a source field and a drain field are reversed although driver voltages are 14-16V, the CMOS circuit containing the n channel mold TFT208 of drawing 13 is suitable. Driver voltages are 14-16V, and a picture element part 706 arranges the pixel of the structure shown in drawing 5 .
[0160] The above-mentioned configuration is easily realizable by producing TFT according to the making process shown in drawing 7 -9. Moreover, although this example shows only the configuration of a picture element part and a drive circuit, if the making process of this example is followed, I think that it is possible to form logical circuits other than drive circuits, such as a signal dividing network, a D/A converter circuit, an operational amplifier circuit, and a gamma correction circuit, on the same substrate, and the memory section, a microprocessor, etc. can be formed further.
[0161] Furthermore, EL module of this example also including housing material is explained using drawing 14 and drawing 15 . In addition, the sign used by drawing 10 and drawing 11 if needed will be quoted.
[0162] As for 601, in drawing 14 , a substrate and 602 are connection wiring for a source side drive circuit and 604 to connect a gate side drive circuit, and for 612 connect electrically a picture element part 602, the source side drive circuit 603, and the gate side drive circuit 604 to FPC (flexible print circuit)611 in a picture element part and 603. Moreover, it connects with an external instrument electrically and, thereby, FPC can input the signal from the outside into a picture element part 602, the source side drive circuit 603, and the gate side drive circuit 604. The picture element part 602, the source side drive circuit 603, and the gate side drive circuit 604 are formed by the thin film transistor (henceforth TFT) formed on the substrate 601. In addition, TFT of what kind of structure may be used as TFT. Of course, you may be well-known structure. Furthermore, a filler (not shown), the covering material 1407, a sealant (not shown), and a frame material 1408 are formed.
[0163] Here, the sectional view which cut the sectional view which cut drawing 14 by A-A' by B-B' to drawing 15 (A) is shown in drawing 15 (B). In addition, the same sign is used for the same part as drawing 14 in drawing 15 (A) and (B).
[0164] As shown in drawing 15 (A), the picture element part 602 and the drive circuit 603 are formed on the substrate 601, and a picture element part 602 is formed of two or more pixels containing the pixel electrode 1502 electrically connected to TFT1501 for current control, and it. This pixel electrode 1502 functions as an anode plate of an EL element. Moreover, the EL layer 1503 is formed so that the pixel electrode 1502 may be covered, and the cathode 1504 of an EL element is formed on it.
[0165] Cathode 1504 functions also as wiring common to all pixels, and is electrically connected to FPC611 via the connection wiring 612. Furthermore, all the components contained in a picture element part 602 and the drive circuit 603 are covered by the passivation film 1507.
[0166] Furthermore, a filler 1508 is formed as an EL element is covered. This filler 1508 functions also as adhesives for pasting up the covering material 1407. As a filler 1508, PVC (polyvinyl chloride), an epoxy resin, silicone resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. If the drying agent is prepared in the interior of this filler 1508, since it will continue maintaining the moisture absorption effectiveness, it is desirable.
[0167] Moreover, as covering material 1407, a glass plate, an aluminum plate, a stainless plate, an FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl flora id) film, a Mylar film, polyester film, or an acrylic film can be used. In addition, when using PVB and EVA as a filler 1508, it is desirable to use the sheet of the structure which sandwiched dozens of micrometers aluminium foil with the PVF film or the Mylar film.
[0168] However, depending on the luminescence direction (the direction of a light emission) from an EL element, the covering material 1407 needs to have translucency. That is, since light is emitted to the opposite side of the covering material 1407 in the case of drawing 15 , the quality of the material is not asked, but when emanating to the covering material 1407 side, the high member of translucency is used for the covering material 1407.
[0169] next, the side face (disclosure side) of the filler 1508 after pasting up the covering material 1407

using a filler 1508 -- a wrap -- a frame material 1408 is attached like. A frame material 1408 is pasted up by the sealant (it functions as adhesives) 1509. Although it is desirable at this time to use a photo-setting resin as a sealant 1509, thermosetting resin may be used as long as the thermal resistance of EL layer allows. In addition, as for a sealant 1509, it is desirable that it is the ingredient which penetrates neither moisture nor oxygen as much as possible. Moreover, the drying agent may be added inside the sealant 1509.

[0170] By enclosing an EL element with a filler 1508 using the above methods, an EL element can be completely intercepted from the outside and it can protect from the exterior that the matter to which degradation by oxidation of EL layers, such as moisture and oxygen, is urged invades. Therefore, reliable EL display is producible.

[0171] The [example 2] example 1 showed EL display of a format which emits the light which emitted light by the EL element to a substrate [ in which TFT was formed ] side. In this case, the field in which TFT was formed at least serves as a shadow, and the numerical aperture of that part picture element part falls. If it is the format of on the other hand emitting the light which emitted light by the EL element up (opposite side of a substrate in which TFT was formed), it will become easy to raise a numerical aperture at least.

[0172] Drawing 18 shows the configuration of EL display device of the format of emitting light up. The configuration of TFT201 for switching and TFT202 for current control is the same as that of the operation gestalt 2, and explains the difference among other parts here.

[0173] The cathode side pixel electrode 949 linked to the drain side of TFT202 for current control is formed on the 2nd passivation film 945. A detached core 951 is formed with an organic resin ingredient. And cathode 948 is formed using ingredients, such as MgAg (ingredient which mixed Mg and aluminum by Mg:Ag=10:1), MgAgAl, LiAl, and LiFAl.

[0174] The EL layer 947 as well as the operation gestalt 1 or the operation gestalt 2 is formed by the ink jet method. Furthermore, an anode plate side pixel electrode is formed with transparence electric conduction film ingredients, such as ITO, and EL display device of the format of forming the 3rd passivation film 950 and emitting light up on it is completed.

[0175] The production approach of EL layer by the ink jet method of [example 3] this invention and produced EL layer are applicable also to EL display of a passive mold. The example is explained using drawing 16 .

[0176] In drawing 16 (A), a substrate 1601 can apply the alkali-free-glass substrate represented by #1737 glass substrate of Corning, Inc., a glass-ceramics substrate, the soda lime glass substrate in which oxidization silicon or silicon nitride was formed on the front face, a plastic plate, etc. On a substrate 1601, it is formed at the thickness whose transparent electrode 1602 is 50-200nm, and divides into plurality in the shape of a strip of paper by technique, such as etching processing and the lift-off method. A transparent electrode 1601 is formed with ingredients, such as ITO, ZnO, SnO2, and ITO-ZnO. And a detached core 1603 is formed by the thickness of 0.5-2 micrometers so that the side edge section of the transparent electrode 1602 formed in the shape of a strip of paper may be touched using organic resin ingredients, such as polyimide.

[0177] EL layer is used by the monolayer or the laminated structure. Although a laminated structure is formed by the laminated structure which combined a luminous layer, the electronic transportation layer, the electronic injection layer, the hole injection layer, or the electron hole transportation layer, it forms a hole injection layer and a luminous layer at this example with the structure which carried out the laminating. First, as shown in drawing 16 (B), a hole injection layer 1606 is formed. Although it is not necessarily required, if a hole injection layer is formed for improvement in luminous efficiency, it may be desirable. The ingredient of a hole injection layer is formed with the organic material containing tetra-allyl compound diamine, as the operation gestalt 1 showed. Between detached cores, the shape of a stripe and two or more dots are made to connect, and the solution 1605 breathed out from the ink head 1604 using the ink jet method also in this case is formed the shape of an ellipse, and in the shape of a rectangle. Then, it heats at about 100 degrees C with a hot plate etc., and unnecessary moisture etc. is evaporated.

[0178] As shown in drawing 16 (C), a luminous layer is also formed by the ink jet method. In carrying out color display, using red, green, and the ink head that has the cylinder of each blue color, EL formation solution 1609 containing luminescent material is made to breathe out on a hole injection layer, and it forms it. A luminous layer 1608 has polymeric materials, such as a poly para-phenylene vinylene (PPV) system and the poly fluorene system, as a desirable EL ingredient. In order to colorize, to red

luminescent material, polyphenylene vinylene and the poly alkyl phenylene are [ cyano polyphenylene vinylene and green luminescent material / polyphenylene vinylene and blue luminescent material ] desirable. Thus, the shape of a stripe and those [ two or more ] are made to connect, and red, green, and the luminous layers 1608R, 1608G, and 1608B corresponding to each blue color are formed the shape of an ellipse, and in the shape of a rectangle. Also in an ink jet method, in order to prevent EL ingredient oxidizing and deteriorating at the time of formation, it is made to work in inert gas ambient atmospheres, such as nitrogen or an argon.

[0179] And a cathode material is formed with ingredients, such as MgAg (ingredient which mixed Mg and Ag by Mg:Ag=10:1), MgAgAl, LiAl, and LiFAl. This cathode material is typically formed by the thickness of 1-50nm with a vacuum deposition method. Furthermore, the laminating of the aluminum etc. is carried out as an auxiliary electrode on this. The catholyte 1610 of drawing 16 (D) shows such a configuration, uses a mask member at the time of each film formation, and forms it in the shape of a strip of paper. The catholyte 1610 formed in the shape of a strip of paper is formed so that it may intersect perpendicularly with the transparent electrode 1602 too formed in the shape of a strip of paper similarly mostly. On this catholyte 1610, the passivation film 1611 is formed by the silicon nitride film, the nitriding oxidization silicon film, etc.

[0180] Since the ingredient which forms EL layer shown here is weak by moisture, moisture, etc., closing by housing material is desirable. Insulating matter of the quality of the material of the housing material 1614, such as glass and a polymer, is desirable. For example, amorphous glass (borosilicate salt glass, quartz, etc.), crystallization glass, ceramic glass, organic system resin (acrylic resin, styrene resin, polycarbonate system resin, epoxy system resin, etc.), and silicone system resin are mentioned. Moreover, the ceramics may be used. Moreover, if adhesives 1705 are insulating matter, it is also possible to use metallic materials, such as a stainless alloy.

[0181] Moreover, the quality of the material of the adhesives 1612 which make the housing material 1614 rival in the substrate with which EL layer was formed can use adhesives, such as epoxy system resin and acrylate system resin. Furthermore, thermosetting resin and a photo-setting resin can also be used as adhesives. However, it is required to be the quality of the material which does not penetrate oxygen and moisture as much as possible. The drying agents 1613, such as barium oxide, may be made to mix in adhesives 1612. Thus, EL display of a passive mold can be formed.

[0182] An example of the thin film deposition system which forms a [example 4] EL element is shown in drawing 17 . What was shown in drawing 17 is a metal membrane containing the element with which it belongs to a macromolecule system organic electroluminescence layer as a luminous layer, and it belongs to one group of the periodic table, or two groups as catholyte, and equipment which forms electric conduction film, such as aluminum, and the passivation film continuously as an auxiliary electrode.

[0183] In drawing 17 , 401 is a conveyance room which performs carrying in or taking out of a substrate, and is also called a load unload room. The carrier 402 which set the substrate here is arranged. In addition, the conveyance room 401 may be distinguished from the object for substrate carrying in, and the object for substrate taking out. Moreover, 403 is a community room including the device (henceforth a conveyance device) 405 in which a substrate 404 is conveyed. The robot arm which handles a substrate is a kind of conveyance device (1) 405.

[0184] Two or more processing rooms are connected with the community room 403 through Gates 406a-406f. With the configuration of drawing 17 , the community room 403 is decompressed from Number mTorr to dozens mTorr(s), and each processing room is intercepted by Gates 406a-406f in the community room 403. In this case, since the processing room 415 for ink jet printing and the processing room 408 for spin coats are performed in the ordinary pressure which filled inert gas, such as nitrogen or an argon, they have the composition of having formed the processing room 412 for evacuation between the community rooms 403.

[0185] It becomes possible to perform processing under a vacuum by forming an exhaust air pump in each processing room which does an activity predetermined in the bottom of reduced pressure. Although it is possible as an exhaust air pump to use an oil sealed rotary pump, a mechanical booster pump, a turbo molecular pump, or cryopump, cryopump effective for removal of moisture is desirable.

[0186] Formation of EL layer which consists of a luminous layer or an impregnation layer is performed at the processing room 415 for ink jet printing, or the processing room 408 for spin coats. The ink head explained by the substrate maintenance means or drawing 3 is prepared in the processing room 415 for ink jet printing. Moreover, since an organic electroluminescence ingredient is very weak for moisture as

mentioned above, the processing room 415 for ink jet printing and the processing room 408 for spin coats are always maintained at the inert atmosphere.
[0187] Conveyance of a substrate decompresses the processing room 412 for evacuation to the same pressure as the community room 403 first, opens gate 406d in the condition, and conveys a substrate. And after shutting gate 406d, the inside of the processing room 412 for evacuation is purged with inert gas, and when it returns to ordinary pressure, a substrate is conveyed in the processing room 415 for ink jet printing, and the processing room 408 for spin coats by conveyance device (2) 418 which open the gate 413 and are in the substrate conveyance room 414.
[0188] In this invention, although an organic electroluminescence layer is formed by the ink jet method, as it said that a luminous layer was formed by the ink jet method, and some [, such as an electron hole or an electronic injection layer, and an electron hole or an electronic transportation layer, ] layers were formed with a spin coat method, it may carry out **** combination ****** of both.
[0189] If the formation process of EL layer is completed, the gate 413 will be opened, a substrate will be conveyed to the processing room 412 for evacuation, and evacuation will be performed where gate 413 and gate 406d is shut. If the processing room 412 for evacuation reaches even the same reduced pressure condition as the community room 403, gate 406d will be opened and a substrate will be conveyed to a community room.
[0190] In addition, although the processing room 409 for baking is formed here, as the susceptor of the processing room 412 for evacuation can be heated, a baking process may be performed here. It is possible to stop degasifying by carrying out evacuation after baking.
[0191] Cathode is formed at the processing room 410 for the 1st membrane formation. As a cathode material, it carries out using a well-known ingredient. Although cathode is formed with a vacuum deposition method, then, a substrate front face (field in which the macromolecule system EL layer was formed) may be upward (face-up method), or may be downward (face down method).
[0192] In the case of a face-up method, it is very simple in order for what is necessary to be just to install the substrate conveyed from the community room 403 in a susceptor as it is. Although a conveyance device becomes complicated since it will be necessary to have a device for making conveyance device (1) 405 or the processing room 410 for the 1st membrane formation reverse a substrate in the case of a face down method, the advantage that there is little adhesion of dust is acquired.
[0193] In addition, to perform vacuum evaporationo processing at the processing room 110 for the 1st membrane formation, it is necessary to provide the source of vacuum evaporationo. Two or more sources of vacuum evaporationo may be prepared. Moreover, it is good also as a source of vacuum evaporationo of a resistance heating method, and good also as a source of vacuum evaporationo of EB (electron beam) method.
[0194] The processing room 411 for the 2nd membrane formation is a processing room for forming an electrode by the gaseous-phase forming-membranes method. Here, formation of the auxiliary electrode for assisting cathode is performed. Moreover, although vacuum deposition or a spatter is used, since vacuum deposition cannot give a damage easily, it is desirable. Anyway, it is intercepted by gate 406f with the community room 403, and membrane formation is performed under a vacuum. In addition, to perform vacuum deposition as a gaseous-phase forming-membranes method, it is necessary to prepare the source of vacuum evaporationo. About the source of vacuum evaporationo, since you may be the same as that of the processing room 410 for the 1st gaseous-phase membrane formation, explanation here is omitted.
[0195] Although the metal membrane well used as cathode is a metal membrane containing the element belonging to one group of the periodic table, or two groups, since these metal membranes tend to oxidize, it is desirable to protect a front face. Moreover, since required thickness is also thin, the low electric conduction film of resistivity is prepared auxiliary, resistance of cathode is lowered, and, in addition, protection of cathode is aimed at. The metal membrane which uses aluminum, copper, or silver as a principal component as low electric conduction film of resistivity is used.
[0196] Next, at the processing room 407 for the 3rd membrane formation, it is a processing room for forming the 3rd passivation film. The 3rd passivation film forms a silicon nitride film or the nitriding oxidation silicon film by the plasma-CVD method. Therefore, although not illustrated, a plasma generating means, a substrate heating means, etc. using gas supply systems, such as SiH4, N2O, and NH3, and a 13.56-60MHz RF generator are established. Since EL layer which consists of an organic material is weak by moisture or moisture, it is good to prepare such passivation film continuously,

without exposing EL layer to the atmospheric-air ambient atmosphere after formation.
[0197] The greatest description of the thin film deposition system which becomes with the above configuration is carried in the thin film deposition system of a multi chamber method with a means by which it is performed by the ****** ink jet method of EL layer, and the means for it forms cathode. Therefore, it is possible to begin from the process which carries out scaling of the anode plate top which becomes by the transparence electric conduction film, and to carry out, without exposing also at once even the process which forms an auxiliary electrode to the open air. Consequently, it becomes possible to form a macromolecule system EL layer strong against degradation with a simple means, and it becomes possible to produce reliable EL display.
[0198] In the [example 5] example 1, although laser crystallization is used as means forming of the crystalline substance silicon film 302, the case where a different crystallization means is used is explained in this example.
[0199] In this example, after forming the amorphous silicon film, it crystallizes using the technique indicated by JP,7-130652,A. The technique indicated by this official report is a technique of considering as the catalyst which promotes crystallization (promotion) and obtaining the crystalline high crystalline substance silicon film using elements, such as nickel.
[0200] Moreover, after a crystallization process is completed, the process which removes the catalyst used for crystallization may be performed. In that case, what is necessary is just to carry out gettering of the catalyst with the technique indicated by JP,10-270363,A or JP,8-330602,A. Moreover, TFT may be formed using the technique indicated by the application specification of Japanese Patent Application No. 11-076967 by these people.
[0201] As mentioned above, the making process shown in the example 1 is one example, and if the structure of drawing 9 (C) of drawing 5 or an example 1 is realizable, it will be satisfactory even if it uses other making processes. In addition, the configuration of this example can be freely combined with any configuration of the operation gestalt 2 and examples 1-2.
[0202] Since the active-matrix mold EL indicating equipment or passive mold EL indicating equipment (EL module) formed by carrying out [example 6] this invention is a spontaneous light type, it is excellent in the visibility in a bright location compared with the liquid crystal display. Therefore, an application is large as an EL indicating equipment (the indicating equipment incorporating EL module is pointed out) of a direct viewing type.
[0203] In addition, the size of an angle of visibility is mentioned as one of the points with more advantageous EL display than a liquid crystal display. Therefore, it is good to use EL display of this invention for appreciating TV broadcast etc. by the big screen as a display (display monitor) of 30 inches or more (typically 40 inches or more) of vertical angles.
[0204] Moreover, it not only uses as EL displays (a personal computer monitor, the monitor for TV broadcast reception, advertising display monitor, etc.), but it can use as a display of various electronic instruments. As such an electronic instrument, the picture reproducer (equipment equipped with the display which specifically reproduces record media, such as a compact disk (CD), a laser disc (trademark) (LD), or a digital videodisc (DVD), and can display the image) equipped with a video camera, a digital camera, a goggles mold display (head mount display), car navigation, a personal computer, Personal Digital Assistants (a mobile computer, a cellular phone, or digital book), and a record medium etc. is mentioned. The example of these semiconductor devices is shown in drawing 19 and drawing 20 .
[0205] Drawing 19 (A) is an EL display and contains a case 2001, susceptor 2002, and display 2003 grade. EL display of this invention can be used for a display 2003. Especially EL indicating equipment of this invention is advantageous when it big-screen-izes, and it is advantageous to the display of 10 inches or more (30 inches or more of vertical angles [ Especially ]) of vertical angles.
[0206] Drawing 19 (B) is a video camera and contains a body 2101, a display 2102, the voice input section 2103, the actuation switch 2104, a dc-battery 2105, and television section 2106 grade. EL display of this invention can be used for a display 2102.
[0207] Drawing 19 (C) is a head mount mold display, and contains a body 2201, a signal cable 2202, the fixed band 2203, a display 2204, optical system 2205, and EL display 2206 grade. This has composition which projects on a display 2204 the image information copied out with the EL display 2206 according to optical system, and this invention can be used for a display 2206.
[0208] Drawing 19 (D) is the picture reproducer (specifically DVD regenerative apparatus) equipped with the record medium, and contains a body 2301, record media (CD, LD, or DVD) 2302, the actuation

switch 2303, a display (a) 2304, and (Display b) 2305 grade. Although a display (a) mainly displays image information and a display (b) mainly displays text, EL display of this invention can be used for these displays (a) and (b). In addition, this invention can be used for CD regenerative apparatus, a game device, etc. as picture reproducer equipped with the record medium.
[0209] Drawing 19 (E) is a pocket mold (mobile) computer, and contains a body 2401, the camera section 2402, the television section 2403, the actuation switch 2404, and display 2405 grade. EL display of this invention can be used for a display 2405.
[0210] Drawing 19 (F) is a personal computer and contains a body 2501, a display 2503, and keyboard 2504 grade. EL display of this invention can be used for a display 2503.
[0211] Drawing 20 (A) is a cellular phone and consists of a body 2601, the voice output section 2602, the voice input section 2603, a display 2604, an actuation switch 2605, and antenna 2606 grade. EL display of this invention is a low power, and can be used suitable for a display 2604.
[0212] Drawing 20 (B) is the audio equipment for mount, and contains a body 2701, a display 2702, the actuation switch 2703, and 2704 grades. Since the angle of visibility is large and it excels in visibility, EL display of this invention can be used suitable for a display 2702.
[0213] As mentioned above, the applicability of this invention is very wide, and applying to the electronic equipment of all fields is possible. Moreover, even if the electronic equipment of this example uses the configuration which consists of combination like an example 1 - 5 throats, it is realizable.
[0214] [Example 7] drawing 22 shows the microphotography of the sample which formed EL layer using the ink jet method of this invention. The detached core which the pixel electrode formed by ITO on the insulator layer which formed the structure of a sample with acrylic resin was prepared, and formed with photosensitive acrylic resin is prepared in the shape of a stripe.
[0215] On ITO, a PEDOT layer is first formed by the solution applying method (spin coating method). Since ITO is hydrophobicity then, in order to consider as a hydrophilic property, oxygen plasma treatment and CF4 plasma treatment are performed.
[0216] EL layer forms PPV in anisole 20mg with the ink jet method using what was melted at a rate of 0.04g. Spacing of a detached core is 90 micrometers and understands signs that EL layer is formed continuously between them. Thus, it is possible for it to be simple and to process formation of EL layer at a high speed.
[0217]
[Effect of the Invention] It becomes possible to be simple and to process formation of EL layer at a high speed by using this invention. Moreover, it can control that an EL element deteriorates with moisture or heat. Moreover, it can prevent spreading alkali metal from EL layer and having a bad influence on a TFT property. Consequently, the engine performance of operation and dependability of EL display can be raised sharply.
[0218] Moreover, by having such an EL indicating equipment as a display display, image quality is good and it becomes possible to produce a durable (for it to be reliable) application product (electronic instrument).

---

[Translation done.]

* NOTICES *

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

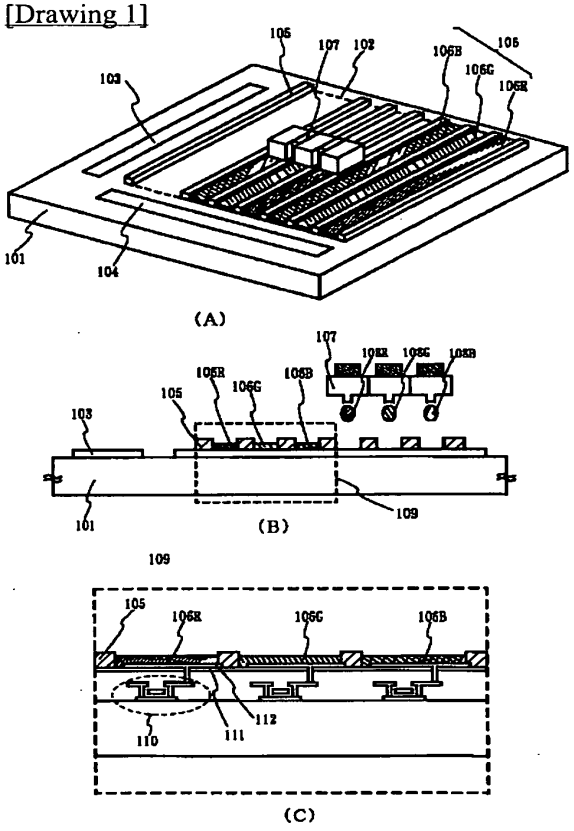
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

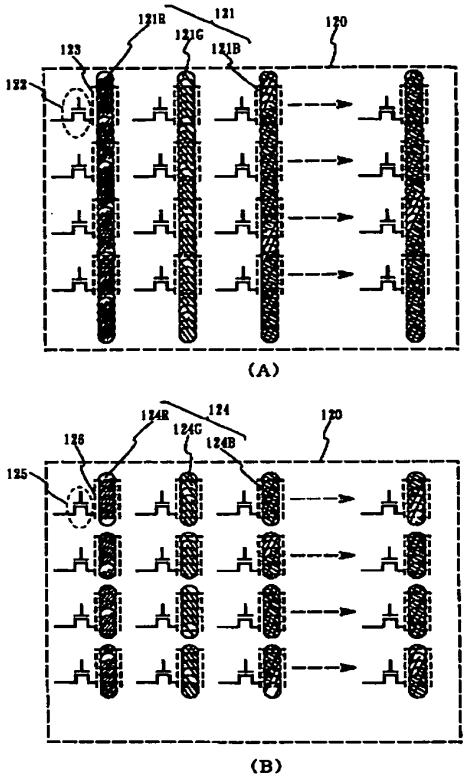
DRAWINGS

---

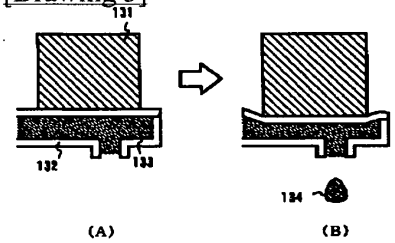
[Drawing 1]



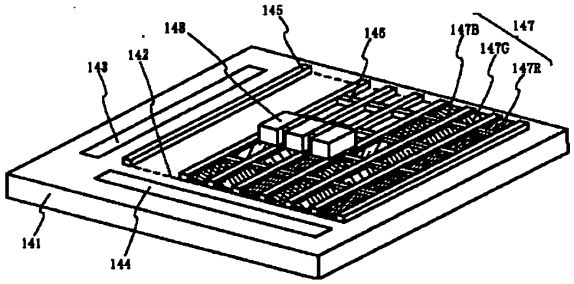

[Drawing 2]



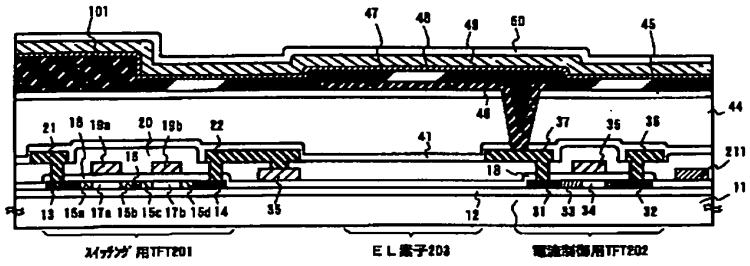

[Drawing 3]




[Drawing 4]



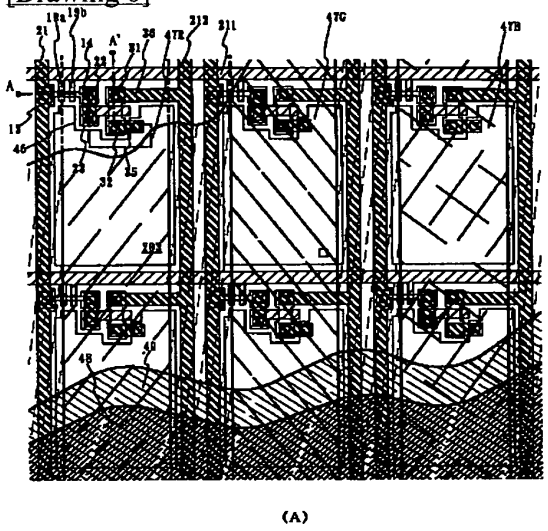

[Drawing 5]



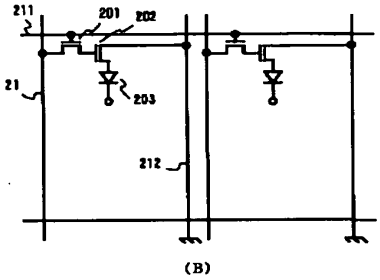
11:基板 12:下地膜 13:ソース領域 14:ドレイン領域 15a～15d:LDD領域 16:高濃度不純物領域
17a, 17b:チャネル形成領域 18:ゲート絶縁膜 19a, 19b:ゲート電極 20:第1層間絶縁膜 21:ソース配線
22:ドレイン配線 23:ゲート電極 31:ソース領域 32:ドレイン領域 33:LDD領域 34:チャネル形成領域
35:ゲート電極 36:ソース配線 37:ドレイン配線 41:第1パッシベーション膜 44:第2層間絶縁膜
45:第2パッシベーション膜 46:画素電極（陽極） 47:EL層 48:陰極 49:補助電極
50:第3パッシベーション膜 101:分離層

スイッチング用TFT201 EL素子203 電流制御用TFT202

[Drawing 6]

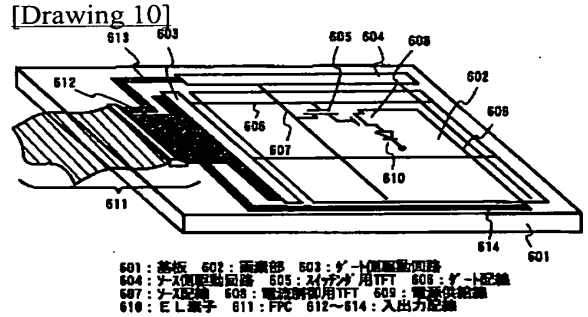


(A)



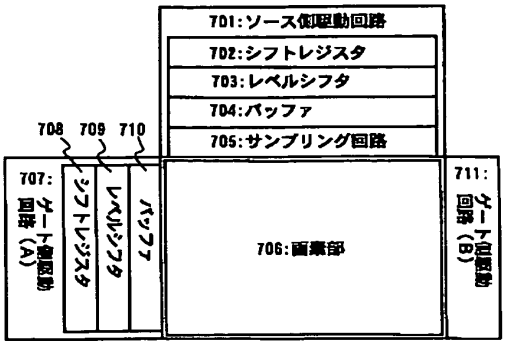
(B)

[Drawing 10]

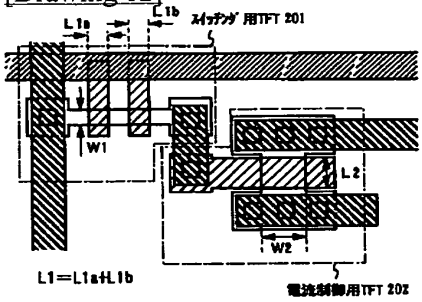


601：基板 602：画素部 603：ゲート側駆動回路
604：ソース側駆動回路 605：スイッチング用TFT 606：ゲート配線
607：ソース配線 608：電流制御用TFT 609：電源供給線
610：EL素子 611：FPC 612～614：入出力配線

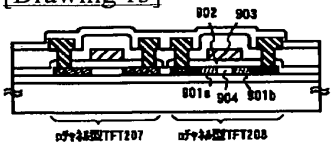
[Drawing 11]



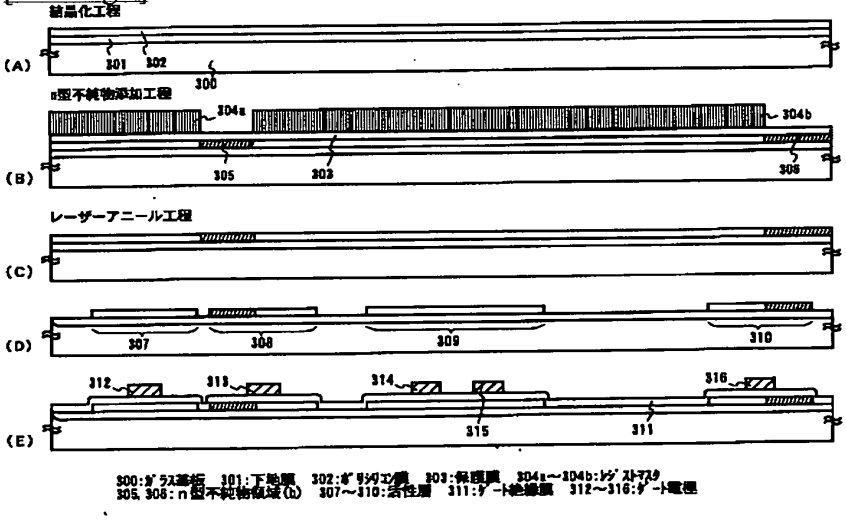

[Drawing 12]




[Drawing 13]

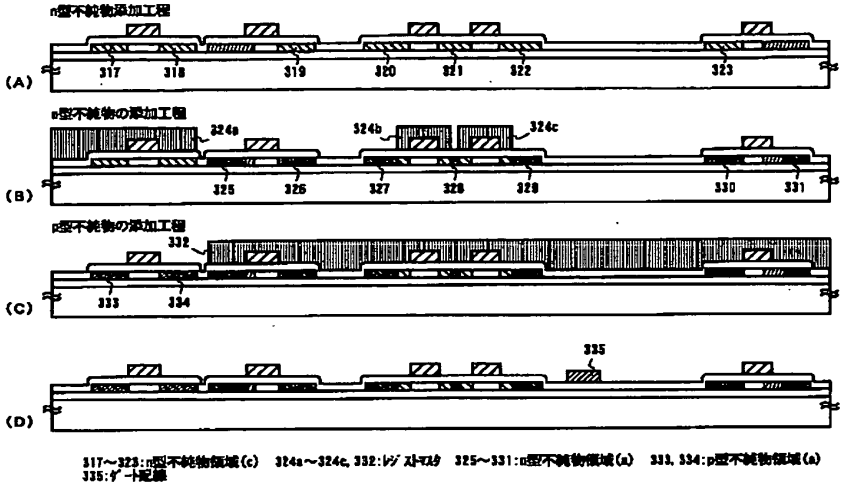



[Drawing 7]

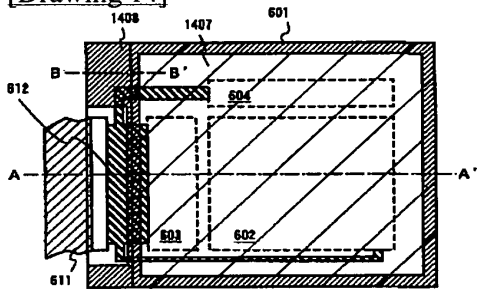



300:ガラス基板 301:下地膜 302:非晶質シリコン膜 303:保護膜 304a～304b:レジストマスク
305, 306:n型不純物領域(b) 307～310:活性層 311:ゲート絶縁膜 312～316:ゲート電極

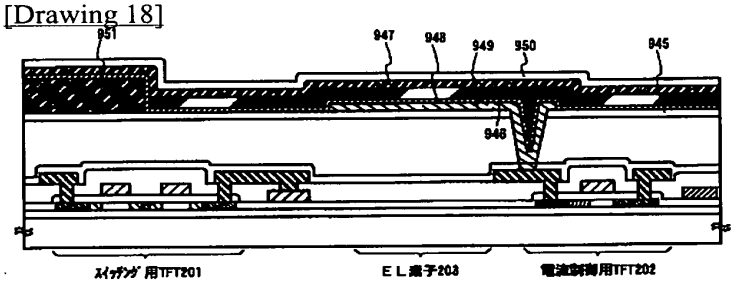
[Drawing 8]



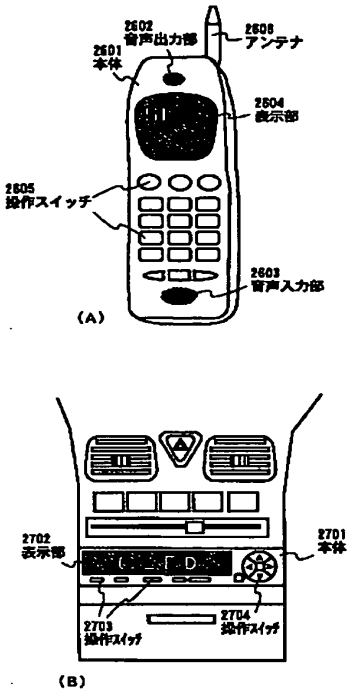

[Drawing 14]



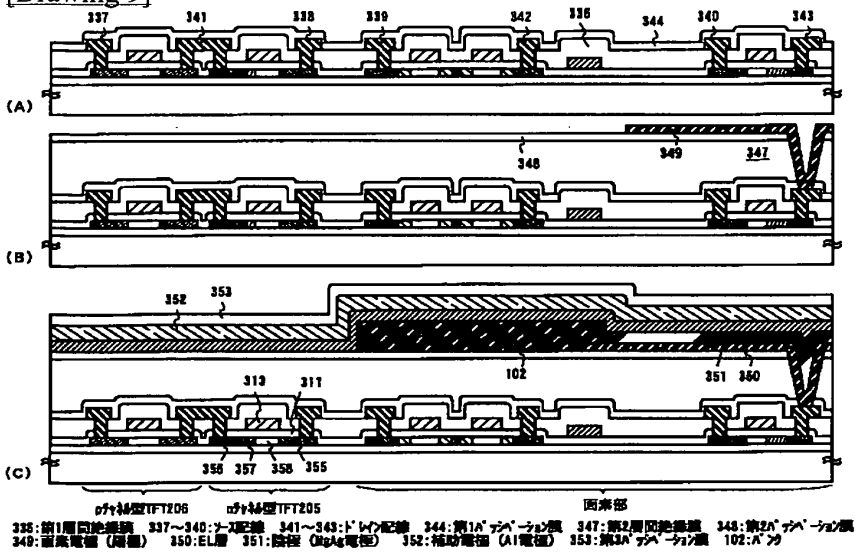

[Drawing 18]



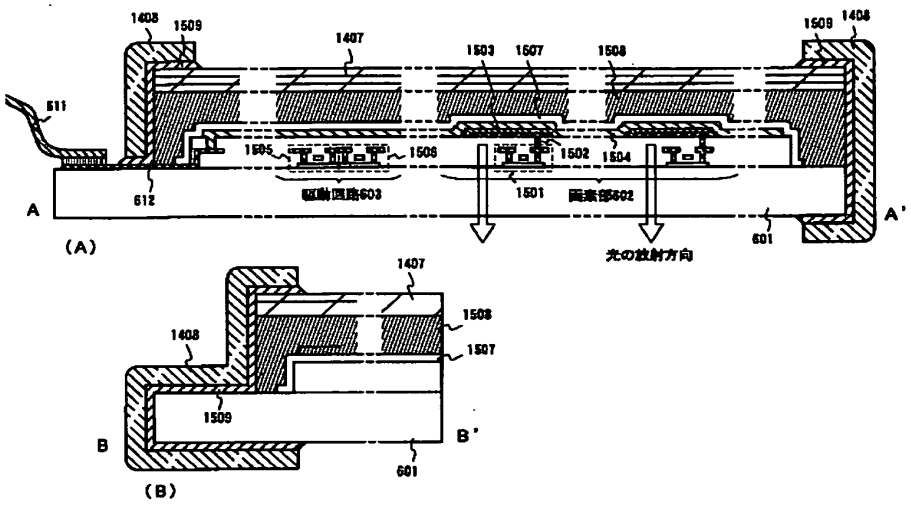

[Drawing 20]



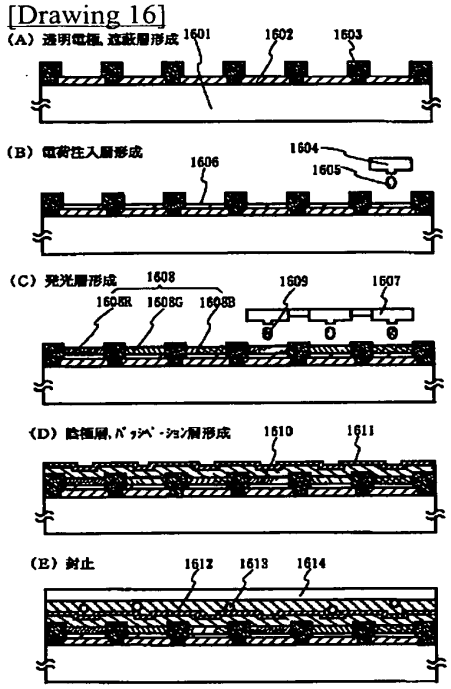

[Drawing 9]



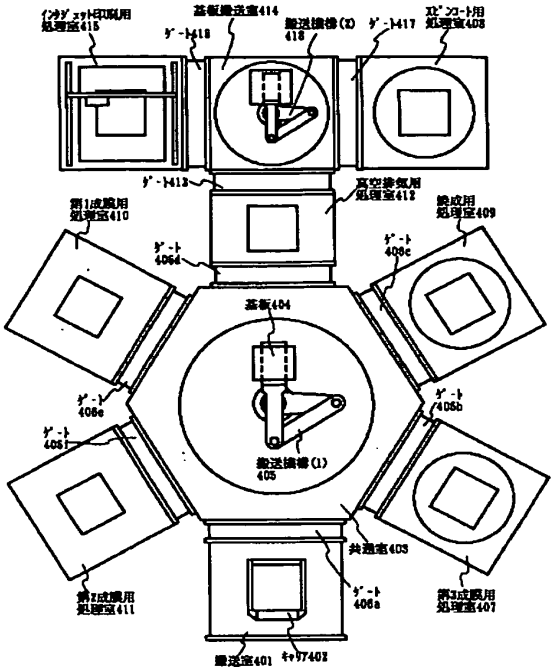

[Drawing 15]



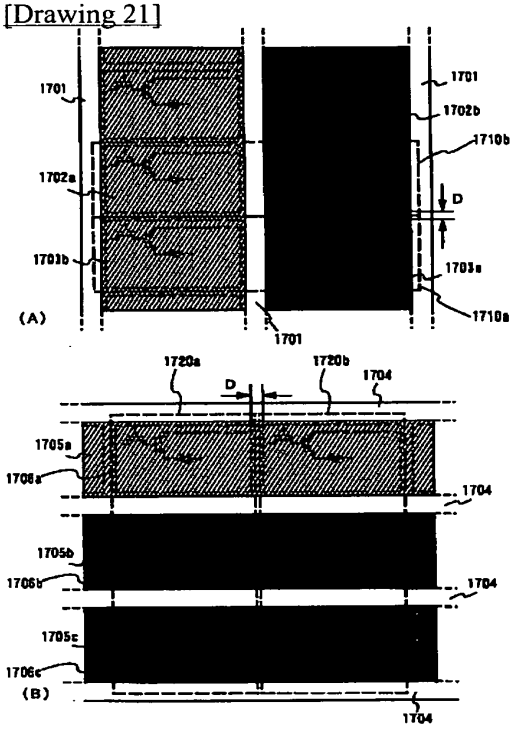

[Drawing 16]



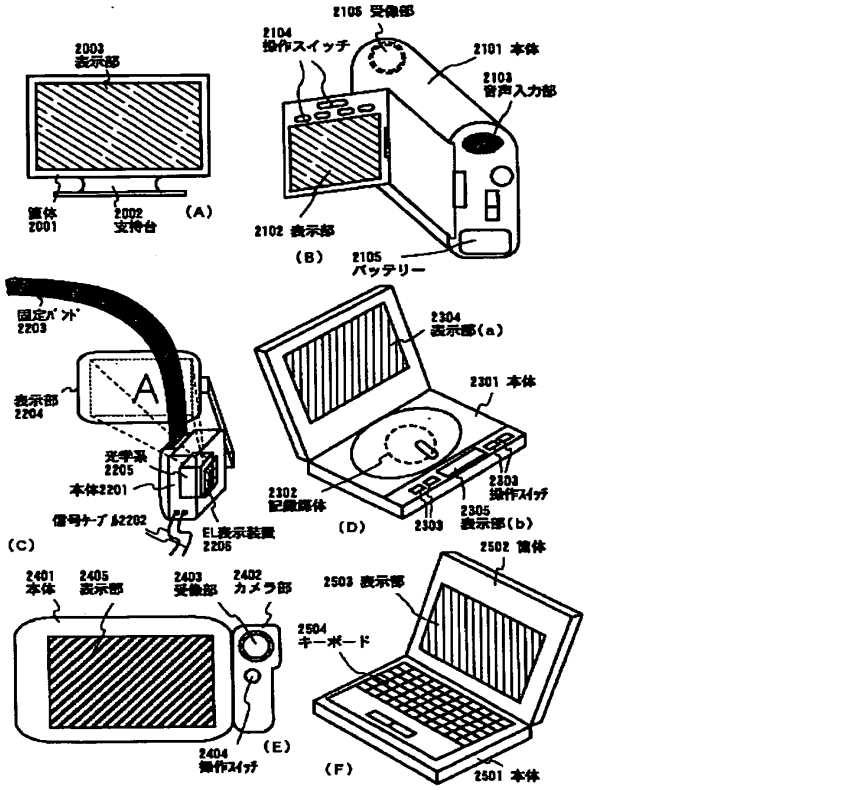

[Drawing 17]



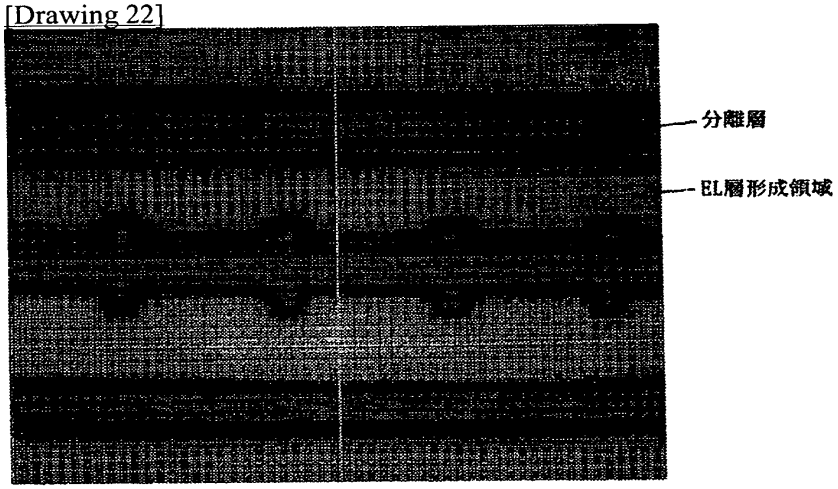
[Drawing 21]




[Drawing 19]




[Drawing 22]




---

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－185354
（P2001－185354A）
(43)公開日　平成13年７月６日(2001.7.6)

| (51)Int.Cl.[7] | 識別記号 | ＦＩ | | テーマコード（参考） |
|---|---|---|---|---|
| Ｈ０５Ｂ　33/10 | | Ｈ０５Ｂ　33/10 | | |
| Ｇ０９Ｆ　9/00 | ３４２ | Ｇ０９Ｆ　9/00 | ３４２Ｚ | |
| 9/30 | ３６５ | 9/30 | ３６５Ｚ | |
| Ｈ０５Ｂ　33/12 | | Ｈ０５Ｂ　33/12 | Ｂ | |
| 33/14 | | 33/14 | Ａ | |

審査請求　未請求　請求項の数29　ＯＬ　（全 27 頁）　最終頁に続く

(21)出願番号　特願2000－308742(P2000－308742)

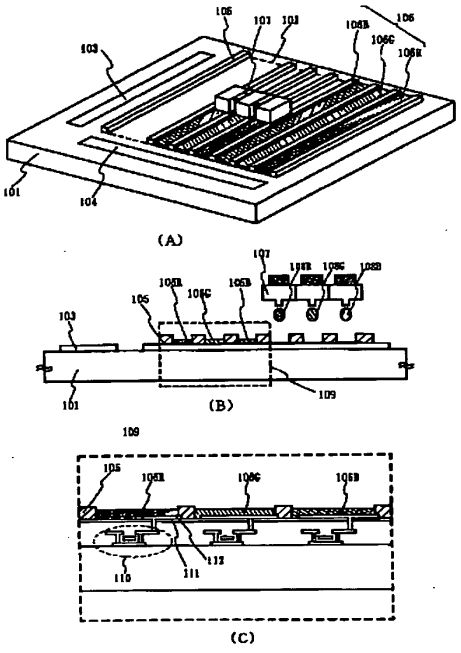
(22)出願日　平成12年10月10日(2000.10.10)

(31)優先権主張番号　特願平11－290314
(32)優先日　平成11年10月12日(1999.10.12)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内
(72)発明者　山本　一宇
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内
(72)発明者　荒井　康行
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

(54)【発明の名称】　電気光学装置及びその作製方法

(57)【要約】
【課題】　本発明は、インクジェット方式によるＥＬ層の形成を簡便でかつ高速に処理することを目的としている。そして、動作性能及び信頼性の高い電気光学装置の作製方法、特にＥＬ表示装置の作製方法を提供することを課題とする。
【解決手段】　本発明はインクジェット方式でＥＬ層を形成するときに、該ＥＬ層を複数の画素に渡って連続して設ける。具体的には、m行ｎ列にマトリクス状に配列された画素電極に対して、選択されたある一列または一行に対し、ＥＬ層をストライプ状に形成する。または、各画素電極に対応して長円形或いは長方形にＥＬ層を形成する。



1

【特許請求の範囲】

【請求項１】基板上に複数のＴＦＴを形成する工程と、前記複数のＴＦＴの各々に接続する複数の画素電極を形成する工程と、前複数の画素電極の上にＥＬ層を形成する工程とを有し、前記ＥＬ層はインクジェット方式により形成され、該ＥＬ層は前記複数の画素電極に渡って連続させることを特徴とする電気光学装置の作製方法。

【請求項２】基板上に複数のＴＦＴを形成する工程と、前記複数のＴＦＴの各々に接続する複数の画素電極を形成する工程と、前複数の画素電極の上にＥＬ層を形成する工程とを有し、前記ＥＬ層はインクジェット方式により、前記複数の画素電極の各々に対応して長円形或いは長方形に形成することを特徴とする電気光学装置の作製方法。

【請求項３】基板上に複数のＴＦＴを形成する工程と、前記複数のＴＦＴの各々に接続する複数の画素電極を形成する工程と、前複数の画素電極の内、第１の画素電極の上に赤色に発光する第１のＥＬ層を形成する工程と、前複数の画素電極の内、第２の画素電極の上に緑色に発光する第２のＥＬ層を形成する工程と、前複数の画素電極の内、第３の画素電極の上に青色に発光する第３のＥＬ層を形成する工程とを有し、前記第１乃至第３のＥＬ層はインクジェット方式により形成され、該第１乃至第３のＥＬ層は前記複数の画素電極に渡って連続させることを特徴とする電気光学装置の作製方法。

【請求項４】基板上に複数のＴＦＴを形成する工程と、前記複数のＴＦＴの各々に接続する複数の画素電極を形成する工程と、前複数の画素電極の内、第１の画素電極の上に赤色に発光する第１のＥＬ層を形成する工程と、前複数の画素電極の内、第２の画素電極の上に緑色に発光する第２のＥＬ層を形成する工程と、前複数の画素電極の内、第３の画素電極の上に青色に発光する第３のＥＬ層を形成する工程とを有し、前記第１乃至第３のＥＬ層はインクジェット方式により形成され、前記複数の画素電極の各々に対応して長円形或いは長方形に形成することを特徴とする電気光学装置の作製方法。

【請求項５】基板上に複数のＴＦＴを形成する工程と、前記複数のＴＦＴを覆う絶縁層を形成する工程と、前記複数のＴＦＴの各々に接続する複数の画素電極を形成する工程と、前複数の画素電極の上にＥＬ層を形成する工程とを有し、前記ＥＬ層はインクジェット方式により形成され、該ＥＬ層は前記複数の画素電極に渡って連続させ、前記絶縁層の最上層にはアルカリ金属の透過を妨げる絶縁膜を設けることを特徴とする電気光学装置の作製方法。

【請求項６】基板上に複数のＴＦＴを形成する工程と、前記複数のＴＦＴを覆う絶縁層を形成する工程と、前記複数のＴＦＴの各々に接続する複数の画素電極を形成する工程と、前複数の画素電極の上にＥＬ層を形成する工程とを有し、前記ＥＬ層はインクジェット方式により、

2

前記複数の画素電極の各々に対応して長円形或いは長方形に形成し、前記絶縁層の最上層にはアルカリ金属の透過を妨げる絶縁膜を設けることを特徴とする電気光学装置の作製方法。

【請求項７】基板上に複数のＴＦＴを形成する工程と、前記複数のＴＦＴを覆う絶縁層を形成する工程と、前記複数のＴＦＴの各々に接続する複数の画素電極を形成する工程と、前複数の画素電極の内、第１の画素電極の上に赤色に発光する第１のＥＬ層を形成する工程と、前複数の画素電極の内、第２の画素電極の上に緑色に発光する第２のＥＬ層を形成する工程と、前複数の画素電極の内、第３の画素電極の上に青色に発光する第３のＥＬ層を形成する工程とを有し、前記第１乃至第３のＥＬ層はインクジェット方式により形成され、該第１乃至第３のＥＬ層は前記複数の画素電極に渡って連続させ、前記絶縁層の最上層にはアルカリ金属の透過を妨げる絶縁膜を設けることを特徴とする電気光学装置の作製方法。

【請求項８】基板上に複数のＴＦＴを形成する工程と、前記複数のＴＦＴを覆う絶縁層を形成する工程と、前記複数のＴＦＴの各々に接続する複数の画素電極を形成する工程と、前複数の画素電極の内、第１の画素電極の上に赤色に発光する第１のＥＬ層を形成する工程と、前複数の画素電極の内、第２の画素電極の上に緑色に発光する第２のＥＬ層を形成する工程と、前複数の画素電極の内、第３の画素電極の上に青色に発光する第３のＥＬ層を形成する工程とを有し、前記第１乃至第３のＥＬ層はインクジェット方式により形成され、前記複数の画素電極の各々に対応して長円形或いは長方形に形成し、前記絶縁層の最上層にはアルカリ金属の透過を妨げる絶縁膜を設けることを特徴とする電気光学装置の作製方法。

【請求項９】請求項１乃至請求項８のいずれか一項において、前記複数の画素電極から互いに隣接する複数の画素電極を一組として画素が形成し、該画素と、隣接する画素の間隔が前記ＥＬ層の厚さの５～１０倍で形成することを特徴とする電気光学装置の作製方法。

【請求項１０】請求項９において、前記画素と該画素に隣接する画素の間隔が２５０～２５００ｎｍとすることを特徴とする電気光学装置の作製方法。

【請求項１１】請求項１乃至請求項８のいずれか一項において、前記ＥＬ層は有機材料であることを特徴とする電気光学装置の作製方法。

【請求項１２】請求項１乃至請求項８のいずれか一項において、前記インクジェット方式はピエゾ素子を用いることを特徴とする電気光学装置の作製方法。

【請求項１３】請求項５乃至請求項８のいずれか一項において、前記絶縁層は、有機樹脂材料から成る絶縁膜上に前記アルカリ金属の透過を妨げる絶縁膜を積層して形成することを特徴とする電気光学装置の作製方法。

【請求項１４】請求項５乃至請求項８のいずれか一項において、前記アルカリ金属の透過を妨げる絶縁膜とし

て、Ｂ（ホウ素）、Ｃ（炭素）、Ｎ（窒素）から選ばれた少なくとも一つの元素と、Ａｌ（アルミニウム）、Ｓｉ（珪素）、Ｐ（リン）から選ばれた少なくとも一つの元素とを含む絶縁膜を用いることを特徴とする電気光学装置の作製方法。

【請求項１５】請求項５乃至請求項８のいずれか一項において、前記アルカリ金属の透過を妨げる絶縁膜として、Ｓｉ、Ａｌ、Ｎ、Ｏ、Ｍを含む絶縁膜（但し、Ｍは希土類元素の少なくとも一種、好ましくはＣｅ（セリウム），Ｙｂ（イッテルビウム），Ｓｍ（サマリウム），Ｅｒ（エルビウム），Ｙ（イットリウム）、Ｌａ（ランタン）、Ｇｄ（ガドリニウム）、Ｄｙ（ジスプロシウム）、Ｎｄ（ネオジウム）から選ばれた少なくとも一つの元素）を用いることを特徴とする電気光学装置の作製方法。

【請求項１６】基板上に形成された複数のＴＦＴと、前記複数のＴＦＴの各々に接続された複数の画素電極と、前複数の画素電極の上に形成されたＥＬ層とを有し、前記ＥＬ層は前記複数の画素電極に渡って連続して設けられていることを特徴とする電気光学装置。

【請求項１７】基板上に形成された複数のＴＦＴと、前記複数のＴＦＴの各々に接続された複数の画素電極と、前複数の画素電極の上に形成されたＥＬ層とを有し、前記ＥＬ層は前記複数の画素電極の各々に対応して長円形或いは長方形に形成されていることを特徴とする電気光学装置。

【請求項１８】基板上に形成された複数のＴＦＴと、前記複数のＴＦＴの各々に接続された複数の画素電極と、前複数の画素電極の内、第１の画素電極の上に赤色に発光する第１のＥＬ層と、前複数の画素電極の内、第２の画素電極の上に緑色に発光する第２のＥＬ層と、前複数の画素電極の内、第３の画素電極の上に青色に発光する第３のＥＬ層とを有し、前記第１乃至第３のＥＬ層は、前記複数の画素電極に渡って連続して設けられていることを特徴とする電気光学装置。

【請求項１９】基板上に形成された複数のＴＦＴと、前記複数のＴＦＴの各々に接続された複数の画素電極と、前複数の画素電極の内、第１の画素電極の上に赤色に発光する第１のＥＬ層と、前複数の画素電極の内、第２の画素電極の上に緑色に発光する第２のＥＬ層と、前複数の画素電極の内、第３の画素電極の上に青色に発光する第３のＥＬ層とを有し、前記第１乃至第３のＥＬ層は、前記複数の画素電極の各々に対応して長円形或いは長方形に形成されていることを特徴とする電気光学装置。

【請求項２０】基板上に形成された複数のＴＦＴと、前記複数のＴＦＴを覆う絶縁層と、前記複数のＴＦＴの各々に接続された複数の画素電極と、前複数の画素電極の上に形成されたＥＬ層とを有し、前記ＥＬ層は前記複数の画素電極に渡って連続して設けられ、前記絶縁層の最上層にはアルカリ金属の透過を妨げる絶縁膜が設けられ



ていることを特徴とする電気光学装置。

【請求項２１】基板上に形成された複数のＴＦＴと、前記複数のＴＦＴを覆う絶縁層と、前記複数のＴＦＴの各々に接続された複数の画素電極と、前複数の画素電極の上に形成されたＥＬ層とを有し、前記ＥＬ層は前記複数の画素電極の各々に対応して長円形或いは長方形に形成され、前記絶縁層の最上層にはアルカリ金属の透過を妨げる絶縁膜が設けられていることを特徴とする電気光学装置。

【請求項２２】基板上に形成された複数のＴＦＴと、前記複数のＴＦＴを覆う絶縁層と、前記複数のＴＦＴの各々に接続された複数の画素電極と、前複数の画素電極の内、第１の画素電極の上に赤色に発光する第１のＥＬ層と、前複数の画素電極の内、第２の画素電極の上に緑色に発光する第２のＥＬ層と、前複数の画素電極の内、第３の画素電極の上に青色に発光する第３のＥＬ層とを有し、前記第１乃至第３のＥＬ層は、前記複数の画素電極に渡って連続して設けられ、前記絶縁層の最上層にはアルカリ金属の透過を妨げる絶縁膜が設けられていることを特徴とする電気光学装置。

【請求項２３】基板上に形成された複数のＴＦＴと、前記複数のＴＦＴを覆う絶縁層と、前記複数のＴＦＴの各々に接続された複数の画素電極と、前複数の画素電極の内、第１の画素電極の上に赤色に発光する第１のＥＬ層と、前複数の画素電極の内、第２の画素電極の上に緑色に発光する第２のＥＬ層と、前複数の画素電極の内、第３の画素電極の上に青色に発光する第３のＥＬ層とを有し、前記第１乃至第３のＥＬ層は、前記複数の画素電極の各々に対応して長円形或いは長方形に形成され、前記絶縁層の最上層にはアルカリ金属の透過を妨げる絶縁膜が設けられていることを特徴とする電気光学装置。

【請求項２４】請求項１６乃至請求項２３のいずれか一項において、前記複数の画素電極から互いに隣接する２つ以上の画素電極を一組として画素が形成され、該画素と該画素に隣接する画素の間隔が前記ＥＬ層の厚さの５～１０倍であることを特徴とする電気光学装置。

【請求項２５】請求項２４において、前記画素と該画素に隣接する画素の間隔が２５０～２５００ｎｍであることを特徴とする電気光学装置。

【請求項２６】請求項１６乃至請求項２３のいずれか一項において、前記ＥＬ層は有機材料であることを特徴とする電気光学装置。

【請求項２７】請求項２０乃至請求項２３のいずれか一項において、前記絶縁層は、有機樹脂材料から成る絶縁膜上に前記アルカリ金属の透過を妨げる絶縁膜が形成されていることを特徴とする電気光学装置。

【請求項２８】請求項２０乃至請求項２３のいずれか一項において、前記アルカリ金属の透過を妨げる絶縁膜として、Ｂ（ホウ素）、Ｃ（炭素）、Ｎ（窒素）から選ばれた少なくとも一つの元素と、Ａｌ（アルミニウム）、

5

Ｓｉ（珪素）、Ｐ（リン）から選ばれた少なくとも一つの元素とを含む絶縁膜であることを特徴とする電気光学装置。

【請求項２９】請求項２０乃至請求項２３のいずれか一項において、前記アルカリ金属の透過を妨げる絶縁膜は、Ｓｉ、Ａｌ、Ｎ、Ｏ、Ｍを含む絶縁膜（但し、Ｍは希土類元素の少なくとも一種、好ましくはＣｅ（セリウム），Ｙｂ（イッテルビウム），Ｓｍ（サマリウム），Ｅｒ（エルビウム），Ｙ（イットリウム）、Ｌａ（ランタン）、Ｇｄ（ガドリニウム）、Ｄｙ（ジスプロシウム）、Ｎｄ（ネオジウム）から選ばれた少なくとも一つの元素）であることを特徴とする電気光学装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成されたエレクトロルミネッセンス（ＥＬ：Electro Luminescence）表示装置に代表される電気光学装置及びその電気光学装置を表示ディスプレイとして有する電子装置（電子デバイス）に関する。特にそれらの作製方法に関する。本明細書では、エレクトロルミネセンスが得られる有機化合物を含む層をＥＬ層と呼ぶ。尚、有機化合物におけるミネセンスには一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（りん光）とがあり、その両者を含むものとする。

【０００２】

【従来の技術】近年、基板上に薄膜トランジスタ（以下、ＴＦＴと記す）を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、結晶構造を有する半導体膜（例えば、ポリシリコン膜）を用いたＴＦＴは、従来のアモルファスシリコン膜を用いたＴＦＴよりも電界効果移動度が高いので高速動作が可能となる。そのため、画素部に接続する駆動回路をＴＦＴで形成して、同一基板上に作り込むことが可能となっている。

【０００３】このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化や薄型化、歩留まりの上昇、スループットの向上など、様々な利点が得られるとして注目されている。

【０００４】アクティブマトリクス型ＥＬ表示装置は、各画素のそれぞれにＴＦＴでなるスイッチング素子を設け、そのスイッチング素子によって電流制御を行う駆動素子を動作させてＥＬ層（発光層）を発光させる。例えば米国特許番号５，６８４，３６５号（日本国公開公報：特開平８－２３４６８３号参照）、日本国公開公報：特開平１０－１８９２５２号に記載されたＥＬ表示装置がある。

【０００５】これらＥＬ表示装置でカラー表示させる方

6

法において、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の三原色を発光するＥＬ層を画素毎に配置する試みがなされている。しかしながら、ＥＬ層として一般的に用いられる材料は殆ど有機材料であり、微細加工で用いられるフォトリソグラフィーの技術をそのまま適用することは困難であった。その理由は、ＥＬ材料自体が水分に非常に弱く、現像液にも容易に溶解してしまうほど取り扱いが難しいからである。

【０００６】このような問題を解決する技術として、ＥＬ層をインクジェット方式により形成する技術が提案されている。例えば、特開平１０－０１２３７７号公報には、インクジェット方式によりＥＬ層を形成したアクティブマトリクス型ＥＬ表示体が開示されている。また、同様な技術が、「Multicolor Pixel Patterning of Light-Emitting Polymers by Ink-jet Printing;T.Shimada et.al.,p376-379,SID99 DIGEST」にも開示されている。

【０００７】

【発明が解決しようとする課題】インクジェット方式では１画素毎にＥＬ層を形成することが可能となり、ＥＬ層を形成した後でパターニングをするという工程を省略することができる。しかし、アクティブマトリクス型ＥＬ表示装置にしても、パッシブ型ＥＬ表示装置にしても、画面サイズが大きくなり画素密度が高くなるにつれ、高い位置精度と処理速度の高速化が要求される。

【０００８】本発明は、インクジェット方式によるＥＬ層の形成を簡便でかつ高速に処理することを目的としている。そして、動作性能及び信頼性の高い電気光学装置の作製方法、特にＥＬ表示装置の作製方法を提供することを課題とする。そして、電気光学装置の画質を向上させることにより、それを表示用ディスプレイとして有する電子装置（電子デバイス）の品質を向上させることを課題とする。

【０００９】

【課題を解決するための手段】上記課題を達成するために、本発明はインクジェット方式でＥＬ層を形成するときに、該ＥＬ層を複数の画素に渡って連続して設ける。具体的には、ｍ行ｎ列にマトリクス状に配列された画素電極に対して、選択されたある一列または一行に対し、ＥＬ層をストライプ状に連続的に形成する。または、各画素電極に対応して長円形或いは長方形にＥＬ層を形成する。

【００１０】インクジェット方式では、インクヘッドの位置制御と、インク（ＥＬ層を形成する場合はその材料を含有する溶液）の吐出との操作を繰り返し行うことで所定のパターンを形成する。しかし、画面サイズが大きくなり、また画素密度が大きくなると、各画素電極毎に対応してＥＬ層を形成する方法では処理時間が膨大なものとなってくる。しかし、上記のようにストライプ状、または長円形或いは長方形に形成する方法は、インクヘ

ッドを連続的に走査させることでＥＬ層の形成が可能となり処理時間を短縮することができる。

【００１１】カラー表示のＥＬ表示装置を作製するには、赤、緑、青の各色に対応するＥＬ層をストライプ状、または長円形或いは長方形に形成すれば良い。このようなＥＬ層及びＥＬ層の作製方法は、アクティブマトリクス型であってもパッシブマトリクス型であっても適用できる。

【００１２】さらに、本発明ではインクジェット方式で形成されたＥＬ素子からのアルカリ金属の拡散を、ＥＬ素子とＴＦＴとの間に設けた絶縁膜（パッシベーション膜）によって防止する。具体的には、ＴＦＴを覆う平坦化膜上にアルカリ金属の透過を妨げる絶縁膜を設ける。即ち、その絶縁膜中においてＥＬ表示装置の動作温度におけるアルカリ金属の拡散速度が十分に小さいものを用いれば良い。

【００１３】好ましくは、水分及びアルカリ金属を透過せず、且つ、熱伝導率の高い（放熱効果の高い）絶縁膜を選定し、この絶縁膜をＥＬ素子に接して設けるか、さらに好ましくはそのような絶縁膜でもってＥＬ素子を囲んだ状態とする。即ち、ＥＬ素子になるべく近い位置に、水分及びアルカリ金属に対するブロッキング効果があり、且つ、放熱効果をも有する絶縁膜を設け、該絶縁膜によってＥＬ素子の劣化を抑制するのである。

【００１４】また、そのような絶縁膜を単層で用いることができない場合は、水分及びアルカリ金属に対するブロッキング効果を有する絶縁膜と、放熱効果を有する絶縁膜とを積層して用いることもできる。さらには、水分に対するブロッキング効果を有する絶縁膜と、アルカリ金属に対するブロッキング効果を有する絶縁膜と、放熱効果を有する絶縁膜とを積層して用いることもできる。

【００１５】

【発明の実施の形態】［実施形態１］図１は本発明の概念を説明する図である。図１（Ａ）は、基板１０１上に画素部１０２と走査線側駆動回路１０３、データ線側駆動回路１０４が設けられている構成を示している。画素部１０２にはストライプ状に分離層１０５が設けられ、各分離層の間にＥＬ層が形成されている。分離層１０５はインクジェット方式でＥＬ層を形成する場合において、隣接するＥＬ層が相互に混ざり合わないようにするために設けてある。

【００１６】ＥＬ層１０６は、インクヘッド１０７からＥＬ材料を含む溶液を吐出して形成される。ＥＬ層の材料は特に限定されるものではないが、カラー表示を行うには赤、緑、青に対応したＥＬ層１０６Ｒ、１０６Ｇ、１０６Ｂを設ければ良い。

【００１７】図２は画素部にＥＬ層を形成する場合の詳細を説明する図である。図２（Ａ）では画素部１２０において、各画素に対応して電流制御用ＴＦＴ１２２とそれに接続する画素電極１２３が複数個設けられ、かつ、マトリクス状に配列され、選択されたある一列または一行の画素電極に対し、ＥＬ層１２１をストライプ状に形成する様子を示している。カラー表示を行うには赤、緑、青に対応したＥＬ層１２１Ｒ、１２１Ｇ、１２１Ｂを図のように設ければ良い。

【００１８】また、画素部１２０のマトリクス状に配列された電流制御用ＴＦＴ１２５とそれに接続する画素電極１２６に対して、ＥＬ層１２４を長円形或いは長方形にＥＬ層を形成しても良い。カラー表示を行うには同様にＥＬ層１２４Ｒ、１２４Ｇ、１２４Ｂを図のように設ける。

【００１９】図１（Ｂ）は図１（Ａ）で示した概念図の断面構造図であり、基板１０１上に走査線側駆動回路１０３、画素部１０２が形成されている様子を示している。画素部１０２には分離層１０５が形成され、各分離層の間にＥＬ層１０６Ｒ、１０６Ｇ、１０６Ｂが形成されている。インクヘッド１０７はインクジェット方式のものであり、制御信号に応じて赤、緑、青の各色に対応したインクドット１０８Ｒ、１０８Ｇ、１０８Ｂが吐出される。吐出されたインクドット１０８Ｒ、１０８Ｇ、１０８Ｂは基板上に付着し、その後の乾燥或いは焼成工程を経てＥＬ層として機能するが、図２で示したように本発明はこのように吐出されたインクドットを基板上で連続させストライプ状、または長円状或いは長方形状に形成することに特徴がある。インクヘッドは一列または一行毎に一方向に走査させれば良いので、ＥＬ層の形成にかかる処理時間を短縮することができる。

【００２０】図１（Ｃ）は画素部をさらに詳細に説明する図であり、基板上に電流制御用ＴＦＴ１１０と、該電流制御用ＴＦＴ１１０に接続する画素電極１１２が設けられ、各画素電極上にＥＬ層１０６Ｒ、１０６Ｇ、１０６Ｂが分離層１０５の間に形成されている。画素電極１１２と電流制御用ＴＦＴ１１０との間にはアルカリ金属に対するブロッキング効果を有する絶縁膜１１１が形成されていることが望ましい。

【００２１】図３はインクヘッドの構成を説明する図であり、はピエゾ方式を採用した例である。図３（Ａ）で示すのはピエゾ素子（圧電素子）１３１、筐体１３２、ＥＬ形成溶液１３３である。電圧がかかるとピエゾ素子が変形し、筐体１３２も変形する。その結果、図３（Ｂ）で示すように内部のＥＬ形成溶液１３３は液滴１３４として発射される。このようにピエゾ素子にかかる電圧を制御することでＥＬ形成溶液の塗布を行う。この場合、ＥＬ形成溶液１３３は物理的な外圧によって押し出されるため、組成等になんら影響はない。

【００２２】図４は同様に本発明の概念を説明する図であるが、基板１４１上に形成された画素部１４２には第1の分離層１４５とこれに直交する第2の分離層１４６が設けられ、ＥＬ層１４７は第1の分離層１４５と分離層１４６とに囲まれた部分に形成されている。第1の分離

層１４５と第2の分離層１４６とは各画素電極に対応して設けられている。ＥＬ層はインクヘッド１４８からＥＬ材料を含むＥＬ形成溶液を吐出して形成される。カラー表示を行うには赤、緑、青に対応したＥＬ層１４８Ｒ、１４８Ｇ、１４８Ｂを設ければ良い。

【００２３】[実施形態２]本発明のアクティブマトリクス型ＥＬ表示装置について図５と図６を用いて説明する。図５に示したのは本発明であるアクティブマトリクス型ＥＬ表示装置の画素の断面図であり、図６（Ａ）はその上面図、図６（Ｂ）はその回路構成である。実際にはこのような画素がマトリクス状に複数配列されて画素部（画像表示部）が形成される。

【００２４】なお、図５の断面図は図６（Ａ）に示した上面図においてＡ－Ａ’で切断した切断面を示している。ここでは図５及び図６で共通の符号を用いているので、適宜両図面を参照すると良い。

【００２５】図５において、１１は基板、１２は下地となる絶縁膜（以下、下地膜という）である。基板１１としてはガラス基板、ガラスセラミックス基板、石英基板、シリコン基板、セラミックス基板、金属基板若しくはプラスチック基板（プラスチックフィルムも含む）を用いることができる。

【００２６】また、下地膜１２は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜１２としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ＳｉＯｘＮｙで示される）など珪素、酸素若しくは窒素を所定の割合で含む絶縁膜を指す。

【００２７】また、下地膜１２に放熱効果を持たせることによりＴＦＴの発熱を発散させることはＴＦＴの劣化又はＥＬ素子の劣化を防ぐためにも有効である。その場合、アルミニウム（Ａｌ）の酸化物、窒化物などＡｌを成分とする合金材料で形成しても良い。

【００２８】画素内には二つのＴＦＴを形成している。２０１はスイッチング用素子として機能するＴＦＴ（以下、スイッチング用ＴＦＴという）、２０２はＥＬ素子へ流す電流量を制御する電流制御用素子として機能するＴＦＴ（以下、電流制御用ＴＦＴという）であり、どちらもｎチャネル型ＴＦＴで形成されている。

【００２９】但し、スイッチング用ＴＦＴと電流制御用ＴＦＴをｎチャネル型ＴＦＴに限定する必要はなく、両方又はどちらか片方にｐチャネル型ＴＦＴを用いることも可能である。いずれにしても、電流制御用ＴＦＴに接続するＥＬ素子にかけるバイアス電圧の極性によりＴＦＴを選択すれば良い。

【００３０】スイッチング用ＴＦＴ２０１は、ソース領域１３、ドレイン領域１４、ＬＤＤ領域１５ａ～１５ｄ、高濃度不純物領域１６及びチャネル形成領域１７ａ、１７ｂを含む活性層、ゲート絶縁膜１８、ゲート電極１９ａ、１９ｂ、第１層間絶縁膜２０、ソース配線２１並びにドレイン配線２２を有して形成される。

【００３１】また、図示しないが、ゲート電極１９ａ、１９ｂは別の材料（ゲート電極１９ａ、１９ｂよりも低抵抗な材料）で形成されたゲート線によって電気的に接続されたダブルゲート構造としても良く、このような構成とすることで画面サイズの大型化に対応できる。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。マルチゲート構造はオフ電流値を低減する上で極めて有効であり、本発明では画素のスイッチング素子２０１をマルチゲート構造とすることによりオフ電流値の低いスイッチング素子を実現している。

【００３２】また、活性層は結晶構造を含む半導体膜で形成される。即ち、単結晶半導体膜でも良いし、多結晶半導体膜や微結晶半導体膜でも良い。また、ゲート絶縁膜１８は珪素を含む絶縁膜で形成すれば良い。また、ゲート電極、ソース線若しくはドレイン線はＡｌ、タンタル（Ｔａ）、タングステン（Ｗ）等に代表される公知の配線材料を用いることができる。

【００３３】さらに、スイッチング用ＴＦＴ２０１においては、ＬＤＤ領域１５ａ～１５ｄは、ゲート絶縁膜１８を介してゲート電極１７ａ、１７ｂと重ならないように設ける。このような構造はオフ電流値を低減する上で非常に効果的である。

【００３４】なお、チャネル形成領域とＬＤＤ領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層でなり、ゲート電圧が印加されない領域）を設けることはオフ電流値を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。

【００３５】以上のように、マルチゲート構造のＴＦＴを画素のスイッチング素子２０１として用いることにより、十分にオフ電流値の低いスイッチング素子を実現することができる。そのため、特開平１０－１８９２５２号公報の図２のようなコンデンサーを設けなくても十分な時間（選択されてから次に選択されるまでの間）電流制御用ＴＦＴのゲート電圧を維持しうる。

【００３６】即ち、従来、有効発光面積を狭める要因となっていたコンデンサーを排除することが可能となり、有効発光面積を広くすることが可能となる。このことはＥＬ表示装置の画質を明るくできることを意味する。

【００３７】電流制御用ＴＦＴ２０２は、ソース領域３１、ドレイン領域３２、ＬＤＤ領域３３及びチャネル形成領域３４を含む活性層、ゲート絶縁膜１８、ゲート電極３５、第１層間絶縁膜２０、ソース配線３６並びにドレイン配線３７を有して形成される。なお、ゲート電極

３５はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【００３８】図６に示すように、スイッチング用ＴＦＴのドレインは電流制御用ＴＦＴのゲートに接続されている。具体的には電流制御用ＴＦＴ２０２のゲート電極３５はスイッチング用ＴＦＴ２０１のドレイン領域１４とドレイン線（接続配線とも言える）２２を介して電気的に接続されている。また、ソース線３６は電源供給線２１２に接続される。

【００３９】この電流制御用ＴＦＴ２０２の特徴は、チャネル幅がスイッチング用ＴＦＴ２０１のチャネル幅よりも大きい点である。即ち、図１２に示すように、スイッチング用ＴＦＴのチャネル長をＬ１、チャネル幅をＷ１とし、電流制御用ＴＦＴのチャネル長をＬ２、チャネル幅をＷ２とした場合、Ｗ２／Ｌ２≧５×Ｗ１／Ｌ１（好ましくはＷ２／Ｌ２≧１０×Ｗ１／Ｌ１）という関係式が成り立つようにする。このため、スイッチング用ＴＦＴよりも多くの電流を容易に流すことが可能である。

【００４０】なお、マルチゲート構造であるスイッチング用ＴＦＴ２０１のチャネル長Ｌ１は、形成された二つ以上のチャネル形成領域のそれぞれのチャネル長の総和とする。図１２の場合、ダブルゲート構造であるので、二つのチャネル形成領域のそれぞれのチャネル長Ｌ１ａ及びＬ１ｂを加えたものがスイッチング用ＴＦＴ２０１のチャネル長Ｌ１となる。

【００４１】本発明において、チャネル長Ｌ１、Ｌ２及びチャネル幅Ｗ１、Ｗ２は特定の数値範囲に限定されるものではないが、Ｗ１は０．１～５μｍ（代表的には１～３μｍ）、Ｗ２は０．５～３０μｍ（代表的には２～１０μｍ）とするのが好ましい。この時、Ｌ１は０．２～１８μｍ（代表的には２～１５μｍ）、Ｌ２は０．１～５０μｍ（代表的には１～２０μｍ）とするのが好ましい。

【００４２】なお、電流制御用ＴＦＴ２０２では電流が過剰に流れることを防止するためチャネル長Ｌの長さを長めに設定することが望ましい。好ましくはＷ２／Ｌ２≧３（好ましくはＷ２／Ｌ２≧５）とするとよい。望ましくは一画素あたり０．５～２μＡ（好ましくは１～１．５μＡ）となるようにする。

【００４３】これらの数値範囲とすることによりＶＧＡクラスの画素数（６４０×４８０）を有するＥＬ表示装置からハイビジョンクラスの画素数（１９２０×１０８０又は１２８０×１０２４）を有するＥＬ表示装置まで、あらゆる規格を網羅することができる。また、スイッチング用ＴＦＴ２０１に形成されるＬＤＤ領域の長さ（幅）は０．５～３．５μｍ、代表的には２．０～２．５μｍとすれば良い。

【００４４】また、図５に示したＥＬ表示装置は、電流制御用ＴＦＴ２０２において、ドレイン領域３２とチャネル形成領域３４との間にＬＤＤ領域３３が設けられ、且つ、ＬＤＤ領域３３がゲート絶縁膜１８を介してゲート電極３５に重なっている領域と重なっていない領域とを有する点にも特徴がある。

【００４５】電流制御用ＴＦＴ２０２は、ＥＬ素子２０４を発光させるための電流を供給すると同時に、その供給量を制御して階調表示を可能とする。そのため、大電流を流しても劣化しないようにホットキャリア注入による劣化対策を講じておく必要がある。また、黒色を表示する際は、電流制御用ＴＦＴ２０２をオフ状態にしておくが、その際、オフ電流値が高いときれいな黒色表示ができなくなり、コントラストの低下等を招く。従って、オフ電流値も抑える必要がある。

【００４６】ホットキャリア注入による劣化に関しては、ゲート電極に対してＬＤＤ領域が重なった構造が非常に効果的であることが知られている。しかしながら、ＬＤＤ領域全体をゲート電極に重ねてしまうとオフ電流値が増加してしまうため、本出願人はゲート電極に重ならないＬＤＤ領域を直列に設けるという新規な構造によって、ホットキャリア対策とオフ電流値対策とを同時に解決している。

【００４７】この時、ゲート電極に重なったＬＤＤ領域の長さは０．１～３μｍ（好ましくは０．３～１．５μｍ）にすれば良い。長すぎては寄生容量を大きくしてしまい、短すぎてはホットキャリアを防止する効果が弱くなってしまう。また、ゲート電極に重ならないＬＤＤ領域の長さは１．０～３．５μｍ（好ましくは１．５～２．０μｍ）にすれば良い。長すぎると十分な電流を流せなくなり、短すぎるとオフ電流値を低減する効果が弱くなる。

【００４８】また、上記構造においてゲート電極とＬＤＤ領域とが重なった領域では寄生容量が形成されてしまうため、ソース領域３１とチャネル形成領域３４との間には設けない方が好ましい。電流制御用ＴＦＴはキャリア（ここでは電子）の流れる方向が常に同一であるので、ドレイン領域側のみにＬＤＤ領域を設けておけば十分である。

【００４９】また、流しうる電流量を多くするという観点から見れば、電流制御用ＴＦＴ２０２の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは５０～１００ｎｍ、さらに好ましくは６０～８０ｎｍ）ことも有効である。逆に、スイッチング用ＴＦＴ２０１の場合はオフ電流値を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは２０～５０ｎｍ、さらに好ましくは２５～４０ｎｍ）ことも有効である。

【００５０】第１パッシベーション膜４１の膜厚は１０ｎｍ～１μｍ（好ましくは２００～５００ｎｍ）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜４１は形成されたＴＦＴ

をアルカリ金属や水分から保護する役割をもつ。最終的にＴＦＴの上方に設けられるＥＬ層にはナトリウム等のアルカリ金属が含まれている。即ち、第１パッシベーション膜４１はこれらのアルカリ金属（可動イオン）をＴＦＴ側に侵入させない保護層としても働く。

【００５１】また、第１パッシベーション膜４１に放熱効果を持たせることでＥＬ層の熱劣化を防ぐことも有効である。但し、図５の構造のＥＬ表示装置は基板１１側に光が放射されるため、第１パッシベーション膜４１は透光性を有することが必要である。また、ＥＬ層として有機材料を用いる場合、酸素との結合により劣化するので、酸素を放出しやすい絶縁膜は用いないことが望ましい。

【００５２】アルカリ金属の透過を妨げ、さらに放熱効果をもつ透光性材料としては、Ｂ（ホウ素）、Ｃ（炭素）、Ｎ（窒素）から選ばれた少なくとも一つの元素と、Ａｌ（アルミニウム）、Ｓｉ（珪素）、Ｐ（リン）から選ばれた少なくとも一つの元素とを含む絶縁膜が挙げられる。例えば、窒化アルミニウム（ＡｌｘＮｙ）に代表されるアルミニウムの窒化物、炭化珪素（ＳｉｘＣｙ）に代表される珪素の炭化物、窒化珪素（ＳｉｘＮｙ）に代表される珪素の窒化物、窒化ホウ素（ＢｘＮｙ）に代表されるホウ素の窒化物、リン化ホウ素（ＢｘＰｙ）に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム（ＡｌｘＯｙ）に代表されるアルミニウムの酸化物は透光性に優れ、熱伝導率が２０$Wm^{-1}K^{-1}$であり、好ましい材料の一つと言える。これらの材料には上記効果だけでなく、水分の侵入を防ぐ効果もある。

【００５３】上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、ＡｌＮｘＯｙで示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。

【００５４】また、特開昭６２－９０２６０号公報に記載された材料を用いることができる。即ち、Ｓｉ、Ａｌ、Ｎ、Ｏ、Ｍを含む絶縁膜（但し、Ｍは希土類元素の少なくとも一種、好ましくはＣｅ（セリウム），Ｙｂ（イッテルビウム），Ｓｍ（サマリウム），Ｅｒ（エルビウム），Ｙ（イットリウム）、Ｌａ（ランタン）、Ｇｄ（ガドリニウム）、Ｄｙ（ジスプロシウム）、Ｎｄ（ネオジウム）から選ばれた少なくとも一つの元素）を用いることもできる。これらの材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。

【００５５】また、少なくともダイヤモンド薄膜又はアモルファスカーボン膜（特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボン等と呼ばれる。）を含む炭素膜を用いることもできる。これらは非常に熱伝導率が高く、放熱層として極めて有効である。但し、膜厚が厚くなると褐色を帯びて透過率が低下するため、なるべく薄い膜厚（好ましくは５～１００ｎｍ）で用いることが好ましい。

【００５６】なお、第１パッシベーション膜４１の目的はあくまでアルカリ金属や水分からＴＦＴを保護することにあるので、その効果を損なうものであってはならない。従って、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、アルカリ金属や水分の透過を妨げうる絶縁膜（代表的には窒化珪素膜（ＳｉｘＮｙ）や窒化酸化珪素膜（ＳｉＯｘＮｙ））とを積層することは有効である。

【００５７】また、ＥＬ表示装置には大きく分けて四つのカラー化表示方式があり、ＲＧＢに対応した三種類のＥＬ素子を形成する方式、白色発光のＥＬ素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のＥＬ素子と蛍光体（蛍光性の色変換層：ＣＣＭ）とを組み合わせた方式、陰極（対向電極）に透明電極を使用してＲＧＢに対応したＥＬ素子を重ねる方式がある。図５には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。これら各色のＥＬ層は公知の材料を採用すれば良い。但し、本発明は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本発明に用いることができる。

【００５８】また、第１パッシベーション膜４１を形成したら、各ＴＦＴを覆うような形で第２層間絶縁膜（平坦化膜と言っても良い）４４を形成し、ＴＦＴによってできる段差の平坦化を行う。第２層間絶縁膜４４としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、ＢＣＢ（ベンゾシクロブテン）等を用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

【００５９】第２層間絶縁膜４４によってＴＦＴによる段差を平坦化することは非常に重要である。後に形成されるＥＬ層は非常に薄いため、段差が存在することによってその部分に亀裂が入ったり、陽極と陰極が短絡したりする場合がある。従って、ＥＬ層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【００６０】第２パッシベーション膜４５はＥＬ素子から拡散するアルカリ金属をブロッキングする重要な役割を担う。膜厚は５ｎｍ～１μｍ（典型的には２０～３００ｎｍ）とすれば良い。この第２パッシベーション膜４５は、アルカリ金属の透過を妨げうる絶縁膜を用いる。材料としては、第１パッシベーション膜４１として用いた材料を用いることができる。また、この第２パッシベーション膜４５はＥＬ素子で発生した熱を逃がしてＥＬ素子に熱が蓄積しないように機能する放熱層としても機能する。また、第２層間絶縁膜４４が有機樹脂膜である場合は熱に弱いため、ＥＬ素子で発生した熱が第２層間絶縁膜４４に悪影響を与えないようにする。また、第２

15

パッシベーション膜４５は上記熱による劣化を防ぐと同時に、ＥＬ層中のアルカリ金属がＴＦＴ側へと拡散しないようにするための保護層としても機能し、さらにはＥＬ層側へＴＦＴ側から水分や酸素が侵入しないようにする保護層としても機能する。

【００６１】前述のようにＥＬ表示装置を作製するにあたってＴＦＴを有機樹脂膜で平坦化することは有効であるが、ＥＬ素子で発生した熱による有機樹脂膜の劣化を考慮した構造は従来なかった。本発明では第２パッシベーション膜４５を設けることによってその点を解決している点も特徴の一つと言える。

【００６２】画素電極（ＥＬ素子の陽極）４６は透明導電膜であり、第２パッシベーション膜４５、第２層間絶縁膜４４及び第１パッシベーション膜４１にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用ＴＦＴ２０２のドレイン配線３７に接続されるように形成される。

【００６３】画素電極４６が形成されたら、第２パッシベーション膜４５の上に有機樹脂膜でなる分離層１０１を形成する。本実施例では感光性のポリイミド膜をスピンコーティング法により形成し、パターニングによって分離層１０１を形成する。この分離層１０１はインクジェット方式でＥＬ層を形成する際の型であり、この分離層の配置によってＥＬ素子の形成される場所が画定する。

【００６４】そして、分離層１０１を形成したら、次にＥＬ層（有機材料が好ましい）４７をインクジェット方式で形成する。ＥＬ層４７は単層又は積層構造で用いられるが、積層構造で用いられる場合が多い。発光層、電子輸送層、電子注入層、正孔注入層又は正孔輸送層などを組み合わせて様々な積層構造が提案されているが、本発明ではいずれの構造であっても良い。また、ＥＬ層に対して蛍光性色素等をドーピングしても良い。

【００６５】本発明では既に公知のあらゆるＥＬ材料を用いることができる。公知の材料としては、有機材料が広く知られており、駆動電圧を考慮すると有機材料を用いるのが好ましい。有機ＥＬ材料としては、例えば、以下の米国特許又は公開公報に開示された材料を用いることができる。

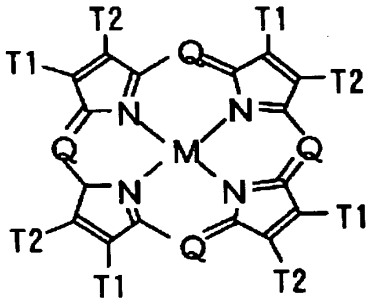
【００６６】米国特許第４，３５６，４２９号、米国特許第４，５３９，５０７号、米国特許第４，７２０，４３２号、米国特許第４，７６９，２９２号、米国特許第４，８８５，２１１号、米国特許第４，９５０，９５０号、米国特許第５，０５９，８６１号、米国特許第５，０４７，６８７号、米国特許第５，０７３，４４６号、米国特許第５，０５９，８６２号、米国特許第５，０６１，６１７号、米国特許第５，１５１，６２９号、米国特許第５，２９４，８６９号、米国特許第５，２９４，８７０号、特開平１０－１８９５２５号公報、特開平８－２４１０４８号公報、特開平８－７８１５９号公報。

16

【００６７】具体的には、正孔注入層としての有機材料は次のような一般式で表されるものを用いることができる。

【００６８】

【化１】

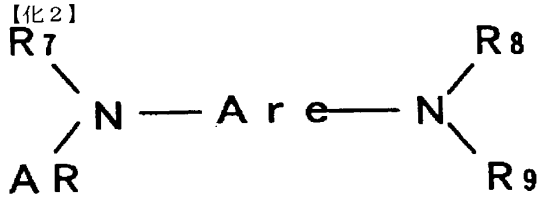



【００６９】ここでＱはＮ又はＣ－Ｒ（炭素鎖）であり、Ｍは金属、金属酸化物又は金属ハロゲン化物であり、Ｒは水素、アルキル、アラルキル、アリル又はアルカリルであり、Ｔ１、Ｔ２は水素、アルキル又はハロゲンのような置換基を含む不飽和六員環である。

【００７０】また、正孔輸送層としての有機材料は芳香族第三アミンを用いることができ、好ましくは次のような一般式で表されるテトラアリルジアミンを含む。

【００７１】

【化２】

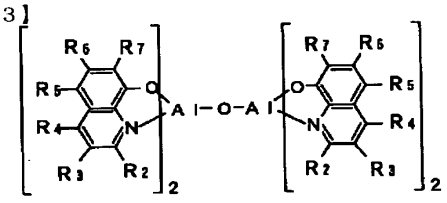



【００７２】ここでＡｒｅはアリレン群であり、ｎは１から４の整数であり、Ａｒ、$R_7$、$R_8$、$R_9$はそれぞれ選択されたアリル群である。

【００７３】また、ＥＬ層、電子輸送層又は電子注入層としての有機材料は金属オキシノイド化合物を用いることができる。金属オキシノイド化合物としては以下のような一般式で表されるものを用いれば良い。

【００７４】

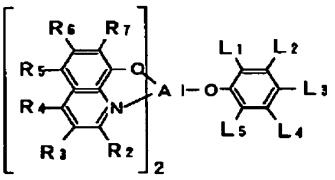
【化３】




【００７５】ここで$R_2$－$R_7$は置き換え可能であり、次のような金属オキシノイド化合物を用いることもできる。

【００７６】

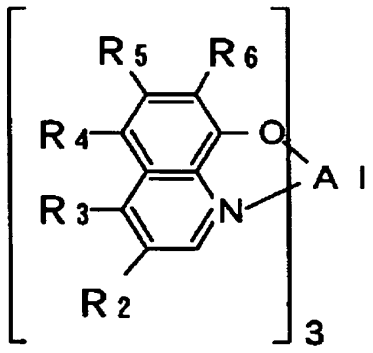
【化４】



【００７７】ここで$R_2$－$R_7$は上述の定義によるものであり、$L_1$－$L_5$は１から１２の炭素元素を含む炭水化物群であり、$L_1$、$L_2$又は$L_2$、$L_3$は共にベンゾ環を形成することができる。また、次のような金属オキシノイド化合物でも良い。

【００７８】

【化５】



【００７９】ここで$R_2$－$R_6$は置き換え可能である。このように有機ＥＬ材料としては有機リガンドを有する配位化合物を含む。但し、以上の例は本発明のＥＬ材料として用いることのできる有機ＥＬ材料の一例であって、これに限定する必要はまったくない。

【００８０】また、本発明ではＥＬ層の形成方法としてインクジェット方式を用いるため、好ましいＥＬ材料としてはポリマー系材料が多い。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（ＰＰＶ）系やポリフルオレン系などの高分子材料が挙げられる。カラー化するには、例えば、赤色発光材料にはシアノポリフェニレンビニレン、緑色発光材料にはポリフェニレンビニレン、青色発光材料にはポリフェニレンビニレン及びポリアルキルフェニレンが好ましい。

【００８１】但し、以上の例は本発明のＥＬ材料として用いることのできる有機ＥＬ材料の一例であって、これに限定する必要はまったくない。インクジェット法に使用できる有機ＥＬ材料については、特開平１０－０１２３７７号公報に記載されている材料を全て引用することができる。

【００８２】なお、インクジェット方式はバブルジェット（登録商標）方式（サーマルインクジェット方式ともいう）とピエゾ方式とに大別されるが、本発明を実施するにはピエゾ方式が望ましい。

【００８３】また、実際に画素電極上にＥＬ材料を塗布



するときの形状は、実施形態１で示したようにストライプ状或いは複数のドットを連続させて長円状または長方形状に形成する。分離層１０１はインクジェット方式でＥＬ層を形成するに当たり隣接するＥＬ層が相互に混合しないための機能を有している。

【００８４】カラー表示を行うには、図６で示すように赤色発光のＥＬ層４７Ｒ、緑色発光のＥＬ層４７Ｇ、青色発光のＥＬ層４７Ｂを形成する。このとき、それぞれのＥＬ層を順次形成しても良いし、赤、緑、青に対応するＥＬ層を同時に形成しても良い。また、ＥＬ形成溶液に含まれる溶媒を除去するためにベーク（焼成）処理が必要である。このベーク処理は全てのＥＬ層を形成した後で行っても良いし、各色のＥＬ層が形成し終えた時点で個別に行っても良い。このようにして、ＥＬ層の厚さを５０～２５０ｎｍの厚さに形成する。

【００８５】図２１は画素部における構成を説明するものであり、ストライプ状または長円状或いは長方形状に形成されたＥＬ層に複数の画素電極が形成されている様子を示している。図２１（Ａ）では異なる色で発光するＥＬ層１７０２ａ、１７０２ｂに対しそれぞれ複数の画素電極が設けられている。各画素電極にはスイッチング用ＴＦＴと電流制御用ＴＦＴの２つのＴＦＴが接続されている。またＥＬ層１７０２ａと１７０２ｂは分離層１７０１により分離されている。マルチカラー表示するには、画素電極１７０３ａと１７０３ｂを一組として一つの画素１７１０ａを形成する。同様に画素１７１０ｂを隣に設けるとき、その間隔をＤとするとその値はＥＬ層の厚さの５～１０倍とする。即ち２５０～２５００ｎｍとする。

【００８６】図２１（Ｂ）は他の構成例を示すものであり、例えば、赤、緑、青といった様に異なる色で発光するＥＬ層１７０５ａ、１７０５ｂ、１７０５ｃに対しそれぞれ複数の画素電極が設けられている。これらのＥＬ層は分離層１７０４で分離されている。マルチカラー或いはＲＧＢフルカラー表示するには、画素電極１７０６ａ、１７０６ｂ、１７０６ｃを一組として一つの画素１７２０ａを形成する。同様に画素１７１０ｂを隣に設けるとき、その間隔をＤとすると、やはりその値はＥＬ層の厚さの５～１０倍とする。即ち２５０～２５００ｎｍとする。このようにすることで画像表示を鮮明なものとすることができる。

【００８７】また、ＥＬ層４７を形成する際、処理雰囲気は極力水分の少ない乾燥雰囲気とし、不活性ガス中で行うことが望ましい。ＥＬ層は水分や酸素の存在によって容易に劣化してしまうため、形成する際は極力このような要因を排除しておく必要がある。例えば、乾燥窒素雰囲気、乾燥アルゴン雰囲気等が好ましい。

【００８８】以上のようにしてＥＬ層４７をインクジェット方式により形成したら、次に陰極４８、補助電極４９を形成する。本明細書中では、画素電極（陽極）、Ｅ

Ｌ層及び陰極で形成される発光素子をＥＬ素子と呼ぶ。

【００８９】陰極４８は仕事関数の小さいマグネシウム（Ｍｇ）、リチウム（Ｌｉ）若しくはカルシウム（Ｃａ）を含む材料を用いる。好ましくはＭｇＡｇ（ＭｇとＡｌをＭｇ：Ａｇ＝１０：１で混合した材料）でなる電極を用いれば良い。他にもＭｇＡｇＡｌ電極、ＬｉＡｌ電極、また、ＬｉＦＡｌ電極が挙げられる。また、補助電極４９は陰極４８を外部の水分等から保護膜するために設けられる電極であり、アルミニウム（Ａｌ）若しくは銀（Ａｇ）を含む材料が用いられる。この補助電極４８には放熱効果もある。

【００９０】なお、ＥＬ層４７及び陰極４８は大気解放せずに乾燥された不活性雰囲気中にて連続的に形成することが望ましい。これはＥＬ層として有機材料を用いる場合、水分に非常に弱いため、大気解放した時の吸湿を避けるためである。さらに、ＥＬ層４７及び陰極４８だけでなく、その上の補助電極４９まで連続形成するとさらに良い。

【００９１】また、第３パッシベーション膜５０の膜厚は１０ｎｍ～１μｍ（好ましくは２００～５００ｎｍ）とすれば良い。第３パッシベーション膜５０を設ける目的は、ＥＬ層４７を水分から保護する目的が主であるが、第２パッシベーション膜４５と同様に放熱効果をもたせても良い。従って、形成材料としては第１パッシベーション膜４１と同様のものを用いることができる。但し、ＥＬ層４７として有機材料を用いる場合、酸素との結合により劣化する可能性があるので、酸素を放出しやすい絶縁膜は用いないことが望ましい。

【００９２】また、上述のようにＥＬ層は熱に弱いので、なるべく低温（好ましくは室温から１２０℃までの温度範囲）で成膜するのが望ましい。従って、プラズマＣＶＤ法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法（スピンコーティング法）が望ましい成膜方法と言える。

【００９３】このように、第２パッシベーション膜４５を設けるだけでも十分にＥＬ素子の劣化を抑制することはできるが、さらに好ましくはＥＬ素子を第２パッシベーション膜４５及び第２パッシベーション膜５０というようにＥＬ素子を挟んで形成された二層の絶縁膜によって囲み、ＥＬ層への水分、酸素の侵入を防ぎ、ＥＬ層からのアルカリ金属の拡散を防ぎ、ＥＬ層への熱の蓄積を防ぐ。その結果、ＥＬ層の劣化がさらに抑制されて信頼性の高いＥＬ表示装置が得られる。

【００９４】また、本発明のＥＬ表示装置は図５のような構造の画素からなる画素部を有し、画素内において機能に応じて構造の異なるＴＦＴが配置されている。これによりオフ電流値の十分に低いスイッチング用ＴＦＴと、ホットキャリア注入に強い電流制御用ＴＦＴとが同じ画素内に形成でき、高い信頼性を有し、且つ、良好な画像表示が可能な（動作性能の高い）ＥＬ表示装置が得られる。

【００９５】なお、図５の画素構造においてスイッチング用ＴＦＴとしてマルチゲート構造のＴＦＴを用いているが、ＬＤＤ領域の配置等の構成に関しては図１の構成に限定する必要はない。以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【００９６】

【実施例】［実施例１］本発明の実施例について図７～図９を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部のＴＦＴを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本回路であるＣＭＯＳ回路を図示することとする。

【００９７】まず、図７（Ａ）に示すように、ガラス基板３００上に下地膜３０１を３００ｎｍの厚さに形成する。本実施例では下地膜３０２として窒化酸化珪素膜を積層して用いる。この時、ガラス基板３００に接する方の窒素濃度を１０～２５ｗｔ％としておくと良い。

【００９８】また、下地膜３０１の一部として、図５に示した第１パッシベーション膜４１と同様の材料からなる絶縁膜を設けることは有効である。電流制御用ＴＦＴは大電流を流すことになるので発熱しやすく、なるべく近いところに放熱効果のある絶縁膜を設けておくことは有効である。

【００９９】次に下地膜３０１の上に５０ｎｍの厚さの非晶質珪素膜（図示せず））を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は２０～１００ｎｍの厚さであれば良い。

【０１００】そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）３０２を形成する。公知の結晶化方法としては、電熱炉を使用した熱アニール法、レーザー光を用いたレーザーアニール法、赤外光を用いたランプアニール法がある。本実施例では、ＸｅＣｌガスを用いたエキシマレーザー光を用いたレーザーアニール法で結晶化する。

【０１０１】なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。また、レーザー光の光源はエキシマレーザーに限定されるものではなく、ＹＡＧレーザーの第２高調波或いは第３高調波を用いても良い。

【０１０２】本実施例では結晶質珪素膜をＴＦＴの活性層として用いるが、非晶質珪素膜を用いることも可能である。しかし、電流制御用ＴＦＴは大電流を流す必要性

があるため、電流を流しやすい結晶質珪素膜を用いた方が有利である。

【０１０３】なお、オフ電流を低減する必要のあるスイッチング用ＴＦＴの活性層を非晶質珪素膜で形成し、電流制御用ＴＦＴの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【０１０４】次に、図７（Ｂ）に示すように、結晶質珪素膜３０２上に酸化珪素膜でなる保護膜３０３を１３０ｎｍの厚さに形成する。この厚さは１００～２００ｎｍ（好ましくは１３０～１７０ｎｍ）の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜３０３は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【０１０５】そして、その上にレジストマスク３０４ａ、３０４ｂを形成し、保護膜３０３を介してｎ型を付与する不純物元素（以下、ｎ型不純物元素という）を添加する。なお、ｎ型不純物元素としては、代表的には１５族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン（$PH_3$）を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを$1\times10^{18}$atoms/cm$^3$の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【０１０６】この工程により形成されるｎ型不純物領域３０５、３０６には、ｎ型不純物元素が$2\times10^{16}$～$5\times10^{19}$atoms/cm$^3$（代表的には$5\times10^{17}$～$5\times10^{18}$atoms/cm$^3$）の濃度で含まれるようにドーズ量を調節する。

【０１０７】次に、図７（Ｃ）に示すように、保護膜３０３を除去し、添加した１５族に属する元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜３０３をつけたままレーザー光を照射しても良い。尚、このレーザー光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して４５０～５５０℃程度の熱処理を行えば良い。

【０１０８】この工程によりｎ型不純物領域３０５、３０６の端部、即ち、ｎ型不純物領域３０５、３０６の周囲に存在するｎ型不純物元素を添加していない領域との境界部（接合部）が明確になる。このことは、後にＴＦＴが完成した時点において、ＬＤＤ領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【０１０９】次に、図７（Ｄ）に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）３０７～３１０を形成する。

【０１１０】次に、図７（Ｅ）に示すように、活性層３０７～３１０を覆ってゲート絶縁膜３１１を形成する。ゲート絶縁膜３１１としては、１０～２００ｎｍ、好ましくは５０～１５０ｎｍの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では１１０ｎｍ厚の窒化酸化珪素膜を用いる。

【０１１１】次に、２００～４００ｎｍ厚の導電膜を形成し、パターニングしてゲート電極３１２～３１６を形成する。なお、本実施例ではゲート電極と、ゲート電極に電気的に接続された引き回しのための配線（以下、ゲート配線という）とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成してしまっても構わない。

【０１１２】また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には２μｍ以下の線幅にパターニング可能な材料が好ましい。

【０１１３】代表的には、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）、クロム（Ｃｒ）、導電性を有するシリコン（Ｓｉ）から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはＭｏ－Ｗ合金、Ｍｏ－Ｔａ合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。本実施例では、５０ｎｍ厚の窒化タンタル（ＴａＮ）膜と、３５０ｎｍ厚のＴａ膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてＸｅ、Ｎｅ等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【０１１４】この時、ゲート電極３１３、３１６はそれぞれｎ型不純物領域３０５、３０６の一部とゲート絶縁膜３１１を介して重なるように形成する。この重なった部分が後にゲート電極と重なったＬＤＤ領域となる。

【０１１５】次に、図８（Ａ）に示すように、ゲート電極３１２～３１６をマスクとして自己整合的にｎ型不純物元素（本実施例ではリン）を添加する。こうして形成

される不純物領域３１７～３２３にはｎ型不純物領域３０５、３０６の１／２～１／１０（代表的には１／３～１／４）の濃度でリンが添加されるように調節する。具体的には、$1\times10^{16}$～$5\times10^{18}$atoms/cm$^3$（典型的には$3\times10^{17}$～$3\times10^{18}$atoms/cm$^3$）の濃度が好ましい。

【０１１６】次に、図８（Ｂ）に示すように、ゲート電極等を覆う形でレジストマスク３２４ａ～３２４ｃを形成し、ｎ型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域３２５～３３１を形成する。ここでもフォスフィン（$PH_3$）を用いたイオンドープ法で行い、この領域のリンの濃度は$1\times10^{20}$～$1\times10^{21}$atoms/cm$^3$（代表的には$2\times10^{20}$～$5\times10^{21}$atoms/cm$^3$）となるように調節する。

【０１１７】この工程によってｎチャネル型ＴＦＴのソース領域若しくはドレイン領域が形成されるが、スイッチング用ＴＦＴでは、図８（Ａ）の工程で形成したｎ型不純物領域３２０～３２２の一部を残す。この残された領域が、図５におけるスイッチング用ＴＦＴのＬＤＤ領域１５ａ～１５ｄに対応する。

【０１１８】次に、図８（Ｃ）に示すように、レジストマスク３２４ａ～３２４ｃを除去し、新たにレジストマスク３３２を形成する。そして、ｐ型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域３３３、３３４を形成する。ここではジボラン（$B_2H_6$）を用いたイオンドープ法により$3\times10^{20}$～$3\times10^{21}$atoms/cm$^3$（代表的には$5\times10^{20}$～$1\times10^{21}$atoms/cm$^3$）濃度となるようにボロンを添加する。

【０１１９】なお、不純物領域３３３、３３４には既に$1\times10^{20}$～$1\times10^{21}$atoms/cm$^3$の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも３倍以上の濃度で添加される。そのため、予め形成されていたｎ型の不純物領域は完全にＰ型に反転し、Ｐ型の不純物領域として機能する。

【０１２０】次に、レジストマスク３３２を除去した後、それぞれの濃度で添加されたｎ型またはｐ型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、５５０℃、４時間の熱処理を行う。

【０１２１】このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下とすることが望ましい。

【０１２２】次に、活性化工程が終了したら図８（Ｄ）に示すように３００ｎｍ厚のゲート線３３５を形成する。ゲート配線３３５の材料としては、アルミニウム（Ａｌ）又は銅（Ｃｕ）を主成分（組成として５０～１００％を占める。）とする金属膜を用いれば良い。配置としては図２のゲート配線２１１のように、スイッチング用ＴＦＴのゲート電極３１４、３１５（図２のゲート電極１９ａ、１９ｂに相当する）を電気的に接続するように形成する。

【０１２３】このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域（画素部）を形成することができる。即ち、画面の大きさが対角１０インチ以上（さらには３０インチ以上）のＥＬ表示装置を実現する上で、本実施例の画素構造は極めて有効である。

【０１２４】次に、図９（Ａ）に示すように、第１層間絶縁膜３３６を形成する。第１層間絶縁膜３３６としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は４００ｎｍ～１．５μｍとすれば良い。本実施例では、２００ｎｍ厚の窒化酸化珪素膜の上に８００ｎｍ厚の酸化珪素膜を積層した構造とする。

【０１２５】さらに、３～１００％の水素を含む雰囲気中で、３００～４５０℃で１～１２時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不対結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。尚、水素化処理は第１層間絶縁膜３３６を形成する間に入れても良い。即ち、２００ｎｍ厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り８００ｎｍ厚の酸化珪素膜を形成しても構わない。

【０１２６】次に、第１層間絶縁膜３３６に対してコンタクトホールを形成し、ソース配線３３７～３４０と、ドレイン配線３４１～３４３を形成する。なお、本実施例ではこの電極を、Ｔｉ膜を１００ｎｍ、Ｔｉを含むアルミニウム膜を３００ｎｍ、Ｔｉ膜１５０ｎｍをスパッタ法で連続形成した３層構造の積層膜とする。勿論、他の導電膜でも良い。

【０１２７】次に、５０～５００ｎｍ（代表的には２００～３００ｎｍ）の厚さで第１パッシベーション膜３４４を形成する。本実施例では第１パッシベーション膜３４４として３００ｎｍ厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。勿論、図５の第１パッシベーション膜４１と同様の材料を用いることが可能である。

【０１２８】なお、窒化酸化珪素膜の形成に先立って$H_2$、$NH_3$等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第１層間絶縁膜３３６に供給され、熱処理を行うことで、第１パッシベーション膜３４４の膜質が改善される。それと同時に、第１層間絶縁膜３３６に添加された水素が下層側に拡散するため、効果的に活性層を水素化

することができる。

【０１２９】次に、有機樹脂からなる第２層間絶縁膜３４７を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、ＢＣＢ（ベンゾシクロブテン）等を使用することができる。特に、第２層間絶縁膜３４６は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではＴＦＴによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは１～５μｍ（さらに好ましくは２～４μｍ）とすれば良い。

【０１３０】次に、第２層間絶縁膜３４７上に１００ｎｍ厚の第２パッシベーション膜３４８を形成する。本実施例ではＳｉ、Ａｌ、Ｎ、Ｏ及びＬａを含む絶縁膜を用いるため、その上に設けられるＥＬ層からのアルカリ金属の拡散を防止することができる。また、同時にＥＬ層に水分を侵入させず、且つ、ＥＬ層で発生した熱を分散させて、熱によるＥＬ層の劣化や平坦化膜（第２層間絶縁膜）の劣化を抑制することができる。

【０１３１】そして、第２パッシベーション膜３４８、第２層間絶縁膜３４７及び第１パッシベーション膜３４４にドレイン配線３４３に達するコンタクトホールを形成し、画素電極３４９を形成する。本実施例では酸化インジウム・スズ（ＩＴＯ）膜を１１０ｎｍの厚さに形成し、パターニングを行って画素電極とする。この画素電極３４９がＥＬ素子の陽極となる。なお、他の材料として、酸化インジウム・チタン膜や酸化インジウム・亜鉛膜を用いることも可能である。

【０１３２】尚、本実施例では画素電極３４９がドレイン配線３４３を介して電流制御用ＴＦＴのドレイン領域３３１へと電気的に接続された構造となっている。この構造には次のような利点がある。

【０１３３】画素電極３４９はＥＬ層（発光層）や電荷輸送層などの有機材料に直接接することになるため、ＥＬ層等に含まれた可動イオンが画素電極中を拡散する可能性がある。即ち、本実施例の構造は画素電極３４９を直接活性層の一部であるドレイン領域３３１へ接続せず、ドレイン配線３４３を中継することによって活性層中への可動イオンの侵入を防ぐことができる。

【０１３４】次に、図９（Ｃ）に示すように、ＥＬ層３５０をインクジェット方式により形成し、さらに大気解放しないで陰極（ＭｇＡｇ電極）３５１、補助電極３５２を形成する。このときＥＬ層３５０及び陰極３５１を形成するに先立って画素電極３４９に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではＥＬ素子の陰極としてＭｇＡｇ電極を用いるが、公知の他の材料であっても良い。

【０１３５】尚、ＥＬ層３５０としては実施形態２で説明した材料を用いることができる。例えば、正孔注入層（Hole injecting layer）、正孔輸送層（Hole transporting layer）、発光層（Emitting layer）及び電子輸送層（Electron transportinglayer）でなる４層構造をＥＬ層としても良いし、電子輸送層を設けない場合もあり、電子注入層を設ける場合もある。また、正孔注入層を省略する場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

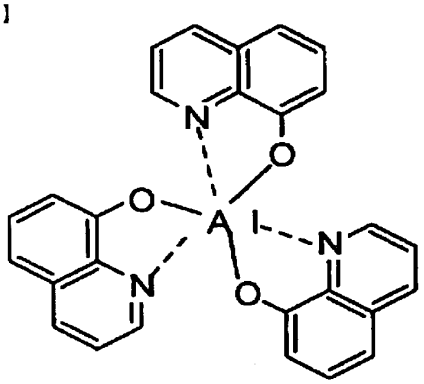
【０１３６】正孔注入層又は正孔輸送層としてはアミン系のＴＰＤ（トリフェニルアミン誘導体）を用いればよく、他にもヒドラゾン系（代表的にはＤＥＨ）、スチルベン系（代表的にはＳＴＢ）、スターバスト系（代表的にはｍ－ＭＴＤＡＴＡ）等を用いることができる。特にガラス転移温度が高く結晶化しにくいスターバスト系材料が好ましい。

【０１３７】発光層としては赤色発光層としてはＢＰＰＣ、ペリレン、ＤＣＭが用いることができるが、特にＥｕ（ＤＢＭ）$_3$（Ｐｈｅｎ）で示されるＥｕ錯体（J.Kido et.al, Appl. Phys., vol. 35, pp. L394-396, 1996に詳しい。）は６２０ｎｍの波長に鋭い発光をもち単色性が高い。

【０１３８】また、緑色発光層として代表的にはＡｌｑ$_3$（8-hydroxyquinoline alminium）に数モル%のキナクリドン又はクマリンを添加した材料を用いることができる。化学式は以下のようになる。

【０１３９】

【化６】



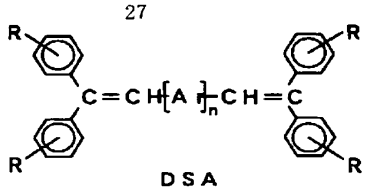
Ａｌｑ３

【０１４０】また、青色発光層として代表的にはＤＳＡ（ジスチルアリーレン誘導体）にアミノ置換ＤＳＡを添加したジスチルアリーレンアミン誘導体を用いることができる。特に、性能の高い材料であるジスチリルビフェニル（ＤＰＶＢｉ）を用いることが好ましい。化学式は以下のようになる。

【０１４１】

【化７】

27



DSA

【０１４２】また、補助電極３５２でもＥＬ層３５０を水分や酸素から保護することは可能であるが、さらに好ましくは第３パッシベーション膜３５３を設けると良い。本実施例では第３パッシベーション膜３５３として３００ｎｍ厚の窒化珪素膜を設ける。この第３パッシベーション膜も補助電極３５２の後に大気解放しないで連続的に形成しても構わない。勿論、第３パッシベーション膜３５３としては、図５の第３パッシベーション膜５０と同一の材料を用いることができる。

【０１４３】補助電極３５２はＭｇＡｇ電極３５１の劣化を防ぐために設けられ、Ａｌを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、ＥＬ層３５０、ＭｇＡｇ電極３５１は非常に水分に弱いので、補助電極３５２までを大気解放しないで連続的に形成し、外気からＥＬ層を保護することが望ましい。

【０１４４】尚、ＥＬ層３５０の膜厚は１０～４００ｎｍ（典型的には６０～１６０ｎｍ）、ＭｇＡｇ電極３５１の厚さは１８０～３００ｎｍ（典型的には２００～２５０ｎｍ）とすれば良い。また、ＥＬ層３５０を積層構造とする場合、各層の膜厚は１０～１００ｎｍの範囲とすれば良い。

【０１４５】こうして図９（Ｃ）に示すような構造のアクティブマトリクス型ＥＬ表示装置が完成する。ところで、本実施例のアクティブマトリクス型ＥＬ表示装置は、画素部だけでなく駆動回路部にも最適な構造のＴＦＴを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

【０１４６】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するＴＦＴを、駆動回路を形成するＣＭＯＳ回路のｎチャネル型ＴＦＴ２０５として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、Ｄ／Ａコンバータなどの信号変換回路も含まれうる。

【０１４７】本実施例の場合、図９（Ｃ）に示すように、ｎチャネル型２０５の活性層は、ソース領域３５５、ドレイン領域３５６、ＬＤＤ領域３５７及びチャネル形成領域３５８を含み、ＬＤＤ領域３５７はゲート絶縁膜３１１を介してゲート電極３１３と重なっている。

【０１４８】ドレイン領域側のみにＬＤＤ領域を形成しているのは、動作速度を落とさないための配慮である。また、このｎチャネル型ＴＦＴ２０５はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、ＬＤＤ領域３５７は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

28

【０１４９】また、ＣＭＯＳ回路のｐチャネル型ＴＦＴ２０６は、ホットキャリア注入による劣化が殆ど気にならないので、特にＬＤＤ領域を設けなくても良い。勿論、ｎチャネル型ＴＦＴ２０５と同様にＬＤＤ領域を設け、ホットキャリア対策を講じることも可能である。尚、駆動回路の中でもサンプリング回路は他の回路と比べて少し特殊であり、チャネル形成領域を双方向に大電流が流れる。即ち、ソース領域とドレイン領域の役割が入れ替わるのである。さらに、オフ電流値を極力低く抑える必要があり、そういった意味でスイッチング用ＴＦＴと電流制御用ＴＦＴの中間程度の機能を有するＴＦＴを配置することが望ましい。

【０１５０】従って、サンプリング回路を形成するｎチャネル型ＴＦＴは、図１３に示すような構造のＴＦＴを配置することが望ましい。図１３に示すように、ＬＤＤ領域９０１ａ、９０１ｂの一部がゲート絶縁膜９０２を介してゲート電極９０３と重なる。この効果は電流制御用ＴＦＴ２０２の説明で述べた通りであり、サンプリング回路の場合はチャネル形成領域９０４を挟む形で設ける点が異なる。

【０１５１】また、図５に示したような構造の画素を形成して画素部を形成している。画素内に形成されるスイッチング用ＴＦＴ及び電流制御用ＴＦＴの構造については、図５で既に説明したのでここでの説明は省略する。

【０１５２】なお、実際には図９（Ｃ）まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミックス製シーリングカンなどのハウジング材でパッケージング（封入）することが好ましい。その際、ハウジング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置することでＥＬ層の信頼性（寿命）が向上する。

【０１５３】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクター（フレキシブルプリントサーキット：ＦＰＣ）を取り付けて製品として完成する。このような出荷できる状態にまでしたＥＬ表示装置を本明細書中ではＥＬモジュールという。

【０１５４】ここで本実施例のアクティブマトリクス型ＥＬ表示装置の構成を図１０の斜視図を用いて説明する。本実施例のアクティブマトリクス型ＥＬ表示装置は、ガラス基板６０１上に形成された、画素部６０２と、ゲート側駆動回路６０３と、ソース側駆動回路６０４で構成される。画素部のスイッチング用ＴＦＴ６０５はｎチャネル型ＴＦＴであり、ゲート側駆動回路６０３

に接続されたゲート配線６０６、ソース側駆動回路６０４に接続されたソース配線６０７の交点に配置されている。また、スイッチング用ＴＦＴ６０５のドレインは電流制御用ＴＦＴ６０８のゲートに接続されている。

【０１５５】さらに、電流制御用ＴＦＴ６０６のソース側は電源供給線６０９に接続される。本実施例のような構造では、電源供給線６０９には接地電位（アース電位）が与えられている。また、電流制御用ＴＦＴ６０８のドレインにはＥＬ素子６１０が接続されている。また、このＥＬ素子６１０のカソードには所定の電圧（本実施例では１０～１２Ｖ）が加えられる。そして、外部入出力端子となるＦＰＣ６１１には駆動回路まで信号を伝達するための入出力配線（接続配線）６１２、６１３、及び電源供給線６０９に接続された入出力配線６１４が設けられている。

【０１５６】また、図１０に示したＥＬ表示装置の回路構成の一例を図１１に示す。図１１の回路構成はアナログ駆動の例であり、ソース側駆動回路７０１、ゲート側駆動回路（Ａ）７０７、ゲート側駆動回路（Ｂ）７１１、画素部７０６を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【０１５７】ソース側駆動回路７０１は、シフトレジスタ７０２、レベルシフタ７０３、バッファ７０４、サンプリング回路（サンプル及びホールド回路）７０５を備えている。また、ゲート側駆動回路（Ａ）７０７は、シフトレジスタ７０８、レベルシフタ７０９、バッファ７１０を備えている。ゲート側駆動回路（Ｂ）７１１も同様な構成である。

【０１５８】ここで、シフトレジスタ７０２、７０８は駆動電圧が５～１６Ｖ（代表的には１０Ｖ）であり、回路を形成するＣＭＯＳ回路に使われるｎチャネル型ＴＦＴは図９（Ｃ）の２０５で示される構造が適している。

【０１５９】また、レベルシフタ７０３、７０９、バッファ７０４、７１０は、駆動電圧は１４～１６Ｖと高くなるが、シフトレジスタと同様に、図９（Ｃ）のｎチャネル型ＴＦＴ２０５を含むＣＭＯＳ回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。また、サンプリング回路７０５は駆動電圧が１４～１６Ｖであるが、ソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図１３のｎチャネル型ＴＦＴ２０８を含むＣＭＯＳ回路が適している。画素部７０６は駆動電圧が１４～１６Ｖであり、図５に示した構造の画素を配置する。

【０１６０】上記構成は、図７～９に示した作製工程に従ってＴＦＴを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、Ｄ／Ａコンバータ回路、オペアンプ回路、γ補正回路など駆動回路以外の論理回路を同一基板上に形成することが可能であり、さらにはメモリ部やマイクロプロセッサ等を形成しうると考えている。

【０１６１】さらに、ハウジング材をも含めた本実施例のＥＬモジュールについて図１４、図１５を用いて説明する。なお、必要に応じて図１０、図１１で用いた符号を引用することにする。

【０１６２】図１４において、６０１は基板、６０２は画素部、６０３はソース側駆動回路、６０４はゲート側駆動回路、６１２は画素部６０２、ソース側駆動回路６０３、ゲート側駆動回路６０４をＦＰＣ（フレキシブルプリントサーキット）６１１に電気的に接続するための接続配線である。また、ＦＰＣは外部機器へと電気的に接続され、これにより画素部６０２、ソース側駆動回路６０３及びゲート側駆動回路６０４に外部からの信号を入力することができる。画素部６０２、ソース側駆動回路６０３及びゲート側駆動回路６０４は基板６０１上に形成された薄膜トランジスタ（以下、ＴＦＴという）で形成されている。なお、ＴＦＴとしては如何なる構造のＴＦＴを用いても良い。勿論、公知の構造であっても良い。さらに、充填材（図示せず）、カバー材１４０７、シール材（図示せず）及びフレーム材１４０８が形成される。

【０１６３】ここで、図１４をＡ－Ａ’で切断した断面図を図１５（Ａ）に、Ｂ－Ｂ’で切断した断面図を図１５（Ｂ）に示す。なお、図１５（Ａ）、（Ｂ）では図１４と同一の部位に同一の符号を用いている。

【０１６４】図１５（Ａ）に示すように、基板６０１上に画素部６０２、駆動回路６０３が形成されており、画素部６０２は電流制御用ＴＦＴ１５０１とそれに電気的に接続された画素電極１５０２を含む複数の画素により形成される。この画素電極１５０２はＥＬ素子の陽極として機能する。また、画素電極１５０２を覆うようにＥＬ層１５０３が形成され、その上にはＥＬ素子の陰極１５０４が形成される。

【０１６５】陰極１５０４は全画素に共通の配線としても機能し、接続配線６１２を経由してＦＰＣ６１１に電気的に接続されている。さらに、画素部６０２及び駆動回路６０３に含まれる素子は全てパッシベーション膜１５０７で覆われている。

【０１６６】さらに、ＥＬ素子を覆うようにして充填材１５０８を設ける。この充填材１５０８はカバー材１４０７を接着するための接着剤としても機能する。充填材１５０８としては、ＰＶＣ（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。この充填材１５０８の内部に乾燥剤を設けておくと、吸湿効果を保ち続けられるので好ましい。

【０１６７】また、カバー材１４０７としては、ガラス板、アルミニウム板、ステンレス板、ＦＲＰ（Fiberglass-Reinforced Plastics）板、ＰＶＦ（ポリビニルフロライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材１５０８としてＰＶＢやＥＶＡを用いる場合、数十μｍのアルミニウムホイルをＰＶＦフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【０１６８】但し、ＥＬ素子からの発光方向（光の放射方向）によってはカバー材１４０７が透光性を有する必要がある。即ち、図１５の場合はカバー材１４０７の反対側に光が放射されるので材質は問わないが、カバー材１４０７側に放射されるような場合はカバー材１４０７に透光性の高い部材を用いる。

【０１６９】次に、充填材１５０８を用いてカバー材１４０７を接着した後、充填材１５０８の側面（露呈面）を覆うようにフレーム材１４０８を取り付ける。フレーム材１４０８はシール材（接着剤として機能する）１５０９によって接着される。このとき、シール材１５０９としては、光硬化性樹脂を用いるのが好ましいが、ＥＬ層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シール材１５０９はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シール材１５０９の内部に乾燥剤を添加してあっても良い。

【０１７０】以上のような方式を用いてＥＬ素子を充填材１５０８に封入することにより、ＥＬ素子を外部から完全に遮断することができ、外部から水分や酸素等のＥＬ層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いＥＬ表示装置を作製することができる。

【０１７１】[実施例２]実施例１ではＴＦＴを形成した基板側にＥＬ素子で発光した光を放射する形式のＥＬ表示装置について示した。この場合には、少なくともＴＦＴが形成された領域は影となり、その分画素部の開口率は低下する。一方、ＥＬ素子で発光した光を上方（ＴＦＴが形成された基板の反対側）に放射する形式とすると、少なくとも開口率を向上させることは容易となる。

【０１７２】図１８は上方に光を放射する形式のＥＬ表示素子の構成を示す。スイッチング用ＴＦＴ２０１と電流制御用ＴＦＴ２０２の構成は実施形態２と同様なものであり、ここではその他の部分の差異について説明する。

【０１７３】電流制御用ＴＦＴ２０２のドレイン側に接続する陰極側画素電極９４９は第２パッシベーション膜９４５上に形成する。分離層９５１は有機樹脂材料で形成する。そして、陰極９４８をＭｇＡｇ（ＭｇとＡｌをＭｇ：Ａｇ＝１０：１で混合した材料）、ＭｇＡｇＡｌ、ＬｉＡｌ、ＬｉＦＡｌ等の材料を用いて形成する。

【０１７４】ＥＬ層９４７も実施形態１または実施形態２と同様にしてインクジェット方式で形成する。さらに、ＩＴＯなどの透明導電膜材料で陽極側画素電極を形成し、その上に第３パッシベーション膜９５０を形成して上方に光を放射する形式のＥＬ表示素子が完成する。

【０１７５】[実施例３]本発明のインクジェット方式によるＥＬ層の作製方法、及び作製されたＥＬ層はパッシブ型のＥＬ表示装置にも適用できる。その実施例を図１６を用いて説明する。

【０１７６】図１６（Ａ）において基板１６０１はコーニング社の＃１７３７ガラス基板に代表される無アルカリガラス基板、結晶化ガラス基板、表面に酸化珪素または窒化珪素等を形成したソーダライムガラス基板、プラスチック基板などを適用することができる。基板１６０１上には透明電極１６０２が５０～２００ｎｍの厚さに形成され、エッチング処理やリフトオフ法等の手法により短冊状に複数個に分割する。透明電極１６０１はＩＴＯ、ＺｎＯ、$SnO_2$、ＩＴＯ－ＺｎＯ等の材料で形成する。そして、ポリイミド等の有機樹脂材料を用いて、短冊状に形成した透明電極１６０２の側端部に接するように分離層１６０３を０．５～２μｍの厚さで形成する。

【０１７７】ＥＬ層は単層又は積層構造で用いられる。積層構造は、発光層、電子輸送層、電子注入層、正孔注入層又は正孔輸送層などを組み合わせた積層構造で形成されるが、本実施例では正孔注入層と発光層を積層させた構造で形成する。まず、図１６（Ｂ）に示すように正孔注入層１６０６を形成する。正孔注入層は必ずしも必要なものではないが、発光効率の向上のために設けると好ましい場合がある。正孔注入層の材料は実施形態１で示したように、テトラアリルジアミンを含む有機材料で形成する。この場合もインクジェット方式を用い、インクヘッド１６０４から吐出した溶液１６０５を、分離層の間にストライプ状、または複数のドットを連結させて長円状または長方形状に形成する。その後、ホットプレート等により１００℃程度に加熱し不要な水分等を蒸発させる。

【０１７８】図１６（Ｃ）に示すように発光層もインクジェット方式で形成する。カラー表示をする場合には、赤、緑、青の各色のシリンダーを有するインクヘッドを用い、発光材料を含有するＥＬ形成溶液１６０９を正孔注入層上に吐出させて形成する。発光層１６０８は、好ましいＥＬ材料として、ポリパラフェニレンビニレン（ＰＰＶ）系やポリフルオレン系などの高分子材料がある。カラー化するには、例えば、赤色発光材料にはシアノポリフェニレンビニレン、緑色発光材料にはポリフェニレンビニレン、青色発光材料にはポリフェニレンビニレン及びポリアルキルフェニレンが好ましい。このようにして、赤、緑、青の各色に対応した発光層１６０８Ｒ、１６０８Ｇ、１６０８Ｂをストライプ状、または複数のを連結させて長円状または長方形状に形成する。イ

ンクジェット方式においても、形成時にＥＬ材料が酸化して劣化するのを防ぐために窒素またはアルゴン等の不活性ガス雰囲気中で作業を行うようにする。

【０１７９】そして、陰極材料をＭｇＡｇ（ＭｇとＡｇをＭｇ：Ａｇ＝１０：１で混合した材料）、ＭｇＡｇＡｌ、ＬｉＡｌ、ＬｉＦＡｌ等の材料で形成する。この陰極材料は、代表的には真空蒸着法で１～５０ｎｍの厚さで形成する。さらにこの上に補助電極としてＡｌなどを積層させる。図１６（Ｄ）の陰極層１６１０はこのような構成を示し、それぞれの膜形成時にマスク部材を用い短冊状に形成する。短冊状に形成された陰極層１６１０は、やはり同様に短冊状に形成した透明電極１６０２とほぼ直交するように形成する。この陰極層１６１０上には窒化珪素膜、窒化酸化珪素膜などでパッシベーション膜１６１１が形成される。

【０１８０】ここで示したＥＬ層を形成する材料は水分や湿気等に弱いためハウジング材で封止することが望ましい。ハウジング材１６１４の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶質ガラス（硼硅酸塩ガラス、石英等）、結晶化ガラス、セラミックスガラス、有機系樹脂（アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等）、シリコーン系樹脂が挙げられる。また、セラミックスを用いても良い。また、接着剤１７０５が絶縁性物質であるならステンレス合金等の金属材料を用いることも可能である。

【０１８１】また、ハウジング材１６１４をＥＬ層が形成された基板に張り合わせる接着剤１６１２の材質は、エポキシ系樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。接着剤１６１２には酸化バリウム等の乾燥剤１６１３を混入させておいても良い。このようにしてパッシブ型のＥＬ表示装置を形成することができる。

【０１８２】[実施例４]ＥＬ素子を形成する薄膜形成装置の一例を図１７に示す。図１７に示したのは発光層として高分子系有機ＥＬ層、陰極層として周期律表の１族若しくは２族に属する元素を含む金属膜、補助電極としてＡｌ等の導電膜、パッシベーション膜を連続して形成する装置である。

【０１８３】図１７において、４０１は基板の搬入または搬出を行う搬送室であり、ロード・アンロード室とも呼ばれる。ここに基板をセットしたキャリア４０２が配置される。尚、搬送室４０１は基板搬入用と基板搬出用と区別されていても良い。また、４０３は基板４０４を搬送する機構（以下、搬送機構という）４０５を含む共通室である。基板のハンドリングを行うロボットアームなどは搬送機構（１）４０５の一種である。

【０１８４】共通室４０３にはゲート４０６ａ～４０６ｆを介して複数の処理室が連結されている。図１７の構成では共通室４０３を数ｍＴｏｒｒから数十ｍＴｏｒｒに減圧し、各処理室はゲート４０６ａ～４０６ｆによって共通室４０３とは遮断されている。この場合、インクジェット印刷用処理室４１５とスピンコート用処理室４０８は窒素またはアルゴン等の不活性ガスを満たした常圧中で行われるため、共通室４０３との間に、真空排気用処理室４１２を設けた構成となっている。

【０１８５】減圧下で所定の作業を行う各処理室には排気ポンプを設けることで真空下での処理を行うことが可能となる。排気ポンプとしては、油回転ポンプ、メカニカルブースターポンプ、ターボ分子ポンプ若しくはクライオポンプを用いることが可能であるが、水分の除去に効果的なクライオポンプが好ましい。

【０１８６】発光層や注入層から成るＥＬ層の形成は、インクジェット印刷用処理室４１５、またはスピンコート用処理室４０８で行う。インクジェット印刷用処理室４１５には基板保持手段や図３で説明したインクヘッド等が設けられている。また、前述のように有機ＥＬ材料は水分に極めて弱いため、インクジェット印刷用処理室４１５、スピンコート用処理室４０８は常に不活性雰囲気に保たれている。

【０１８７】基板の搬送は、まず真空排気用処理室４１２を共通室４０３と同じ圧力まで減圧しておき、その状態でゲート４０６ｄを開けて基板を搬送する。そして、ゲート４０６ｄを閉めた後、真空排気用処理室４１２内を不活性ガスでパージし、常圧に戻った時点でゲート４１３を開けて基板搬送室４１４にある搬送機構（２）４１８で基板をインクジェット印刷用処理室４１５、スピンコート用処理室４０８に搬送する。

【０１８８】本発明では有機ＥＬ層はインクジェット方式で形成するものであるが、発光層をインクジェット方式で形成し、正孔または電子注入層や正孔または電子輸送層などの一部の層をスピンコート法で形成するといったように両者を適宜組み合わせて形成しても良い。

【０１８９】ＥＬ層の形成工程が終了したら、ゲート４１３を開けて真空排気用処理室４１２へ基板を搬送し、ゲート４１３及びゲート４０６ｄを閉めた状態で真空排気を行う。真空排気用処理室４１２が共通室４０３と同じ減圧状態にまで達したら、ゲート４０６ｄを開けて基板を共通室へと搬送する。

【０１９０】尚、ここでは焼成用処理室４０９を設けているが、真空排気用処理室４１２のサセプターを加熱できるようにして、ここで焼成工程を行っても良い。焼成後に真空排気することで、脱ガスを抑えることが可能である。

【０１９１】第１成膜用処理室４１０では陰極の形成を行う。陰極材料としては、公知の材料を用いて行う。陰極は真空蒸着法で形成するが、そのとき基板表面（高分子系ＥＬ層が形成された面）は、上向き（フェイスアッ

プ方式）であっても下向き（フェイスダウン方式）であっても良い。

【０１９２】フェイスアップ方式の場合、共通室４０３から搬送された基板をそのままサセプターに設置すれば良いため非常に簡易である。フェイスダウン方式の場合、搬送機構（１）４０５若しくは第１成膜用処理室４１０に、基板を反転させるための機構を備えておく必要が生じるため搬送機構が複雑になるが、ゴミの付着が少ないという利点が得られる。

【０１９３】尚、第１成膜用処理室１１０において蒸着処理を行う場合には、蒸着源を具備しておく必要がある。蒸着源は複数設けても良い。また、抵抗加熱方式の蒸着源としても良いし、ＥＢ（電子ビーム）方式の蒸着源としても良い。

【０１９４】第２成膜用処理室４１１は、気相成膜法により電極を形成するための処理室である。ここでは陰極を補助するための補助電極の形成が行われる。また、蒸着法又はスパッタ法が用いられるが、蒸着法の方がダメージを与えにくいので好ましい。いずれにしてもゲート４０６fによって共通室４０３と遮断され、真空下で成膜が行われる。尚、気相成膜法として蒸着法を行う場合には、蒸着源を設ける必要がある。蒸着源に関しては第１気相成膜用処理室４１０と同様で構わないので、ここでの説明は省略する。

【０１９５】陰極として良く用いられる金属膜は、周期律表の１族若しくは２族に属する元素を含む金属膜であるが、これらの金属膜は酸化しやすいので表面を保護しておくことが望ましい。また、必要な膜厚も薄いため、抵抗率の低い導電膜を補助的に設けて陰極の抵抗を下げ、加えて陰極の保護を図る。抵抗率の低い導電膜としてはアルミニウム、銅又は銀を主成分とする金属膜が用いられる。

【０１９６】次に、第３成膜用処理室４０７では、第３パッシベーション膜を形成するための処理室である。第３パッシベーション膜は窒化珪素膜または窒化酸化珪素膜等をプラズマＣＶＤ法で形成する。従って、図示していないが、$SiH_4$、$N_2O$、$NH_3$などのガス供給系、１３．５６～６０ＭＨｚの高周波電源を用いたプラズマ発生手段、基板加熱手段などが設けられている。有機材料から成るＥＬ層は水分または湿気に弱いので、ＥＬ層を形成後大気雰囲気に晒すことなく連続してこのようなパッシベーション膜を設けると良い。

【０１９７】以上の構成でなる薄膜形成装置の最大の特徴は、ＥＬ層の形成うインクジェット方式により行われ、且つ、そのための手段が陰極を形成する手段と共にマルチチャンバー方式の薄膜形成装置に搭載されている点にある。従って、透明導電膜でなる陽極上を表面酸化する工程から始まって、補助電極を形成する工程までを一度も外気に晒すことなく行うことが可能である。その結果、劣化に強い高分子系ＥＬ層を簡易な手段で形成することが可能となり、信頼性の高いＥＬ表示装置を作製することが可能となる。

【０１９８】[実施例５]実施例１では、結晶質珪素膜３０２の形成手段としてレーザー結晶化を用いているが、本実施例では異なる結晶化手段を用いる場合について説明する。

【０１９９】本実施例では、非晶質珪素膜を形成した後、特開平７－１３０６５２号公報に記載された技術を用いて結晶化を行う。同公報に記載された技術は、結晶化を促進（助長）する触媒として、ニッケル等の元素を用い、結晶性の高い結晶質珪素膜を得る技術である。

【０２００】また、結晶化工程が終了した後で、結晶化に用いた触媒を除去する工程を行っても良い。その場合、特開平１０－２７０３６３号若しくは特開平８－３３０６０２号に記載された技術により触媒をゲッタリングすれば良い。また、本出願人による特願平１１－０７６９６７の出願明細書に記載された技術を用いてＴＦＴを形成しても良い。

【０２０１】以上のように、実施例１に示した作製工程は一実施例であって、図５又は実施例１の図９（Ｃ）の構造が実現できるのであれば、他の作製工程を用いても問題はない。尚、本実施例の構成は、実施形態２及び実施例１～２のいずれの構成とも自由に組み合わせることが可能である。

【０２０２】[実施例６]本発明を実施して形成されたアクティブマトリクス型ＥＬ表示装置またはパッシブ型ＥＬ表示装置（ＥＬモジュール）は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため直視型のＥＬ表示装置（ＥＬモジュールを組み込んだ表示装置を指す）として用途は広い。

【０２０３】尚、ＥＬ表示装置が液晶表示装置よりも有利な点の一つとして視野角の広さが挙げられる。従って、ＴＶ放送等を大画面で鑑賞するには対角３０インチ以上（典型的には４０インチ以上）の表示装置（表示モニタ）として本発明のＥＬ表示装置を用いるとよい。

【０２０４】また、ＥＬ表示装置（パソコンモニタ、ＴＶ放送受信用モニタ、広告表示モニタ等）として用いるだけでなく、様々な電子装置の表示装置として用いることができる。その様な電子装置としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（ＣＤ）、レーザーディスク（登録商標）（ＬＤ）又はデジタルビデオディスク（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら半導体装置の例を図１９と図２０に示す。

【０２０５】図１９（Ａ）はＥＬディスプレイであり、

筐体２００１、支持台２００２、表示部２００３等を含む。本発明のＥＬ表示装置は表示部２００３に用いることができる。本発明のＥＬ表示装置は特に大画面化した場合において有利であり、対角１０インチ以上（特に対角３０インチ以上）のディスプレイには有利である。

【０２０６】図１９（Ｂ）はビデオカメラであり、本体２１０１、表示部２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０６等を含む。本発明のＥＬ表示装置を表示部２１０２に用いることができる。

【０２０７】図１９（Ｃ）はヘッドマウント型ディスプレイであり、本体２２０１、信号ケーブル２２０２、固定バンド２２０３、表示部２２０４、光学系２２０５、ＥＬ表示装置２２０６等を含む。これは、ＥＬ表示装置２２０６で写し出された画像情報を光学系により表示部２２０４に映し出す構成になっており、本発明は表示装置２２０６に用いることができる。

【０２０８】図１９（Ｄ）は記録媒体を備えた画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２３０１、記録媒体（ＣＤ、ＬＤまたはＤＶＤ等）２３０２、操作スイッチ２３０３、表示部（ａ）２３０４、表示部（ｂ）２３０５等を含む。表示部（ａ）は主として画像情報を表示し、表示部（ｂ）は主として文字情報を表示するが、本発明のＥＬ表示装置はこれら表示部（ａ）、（ｂ）に用いることができる。なお、記録媒体を備えた画像再生装置としては、ＣＤ再生装置、ゲーム機器などに本発明を用いることができる。

【０２０９】図１９（Ｅ）は携帯型（モバイル）コンピュータであり、本体２４０１、カメラ部２４０２、受像部２４０３、操作スイッチ２４０４、表示部２４０５等を含む。本発明のＥＬ表示装置は表示部２４０５に用いることができる。

【０２１０】図１９（Ｆ）はパーソナルコンピュータであり、本体２５０１、表示部２５０３、キーボード２５０４等を含む。本発明のＥＬ表示装置は表示部２５０３に用いることができる。

【０２１１】図２０（Ａ）は携帯電話であり、本体２６０１、音声出力部２６０２、音声入力部２６０３、表示部２６０４、操作スイッチ２６０５、アンテナ２６０６等から構成されている。本発明のＥＬ表示装置は低消費電力であり、表示部２６０４に好適に用いることができる。

【０２１２】図２０（Ｂ）は車載用オーディオ機器であり、本体２７０１、表示部２７０２、操作スイッチ２７０３、２７０４等を含む。本発明のＥＬ表示装置は視野角が広いので視認性に優れることから表示部２７０２に好適に用いることができる。

【０２１３】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例１～５のどのような組み合わせからなる構成を用いても実現することができる。

【０２１４】［実施例７］図２２は本発明のインクジェット方式を用いてＥＬ層を形成した試料の顕微鏡写真を示す。試料の構造は、アクリル樹脂で形成した絶縁膜上にＩＴＯで形成した画素電極が設けられ、感光性アクリル樹脂で形成した分離層がストライプ状に設けられている。

【０２１５】ＩＴＯ上には最初に溶液塗布法（スピンコーティング法）でＰＥＤＯＴ層が形成される。そのとき、ＩＴＯは疎水性であるので、親水性とするため酸素プラズマ処理と$CF_4$プラズマ処理を行っている。

【０２１６】ＥＬ層はアニソール２０ｍｇにＰＰＶを０．０４ｇの割合で溶かしたものを用い、インクジェット方式により形成している。分離層の間隔は９０μｍであり、その間にＥＬ層が連続的に形成されている様子が分かる。このようにして、ＥＬ層の形成を簡便でかつ高速に処理することが可能となっている。

【０２１７】

【発明の効果】本発明を用いることで、ＥＬ層の形成を簡便でかつ高速に処理することが可能となる。また、ＥＬ素子が水分や熱によって劣化することを抑制することができる。また、ＥＬ層からアルカリ金属が拡散してＴＦＴ特性に悪影響を与えることを防ぐことができる。その結果、ＥＬ表示装置の動作性能や信頼性を大幅に向上させることができる。

【０２１８】また、そのようなＥＬ表示装置を表示ディスプレイとして有することで、画像品質が良く、耐久性のある（信頼性の高い）応用製品（電子装置）を生産することが可能となる。

【図面の簡単な説明】

【図１】　本発明のインクジェット方式でＥＬ層を連続的に形成する概念を説明するための図。

【図２】　マトリクス状に配列した各画素電極に対し、ＥＬ層をストライプ状或いは連続的に形成する概念を説明するための図。

【図３】　インクジェット方式を説明するための図。

【図４】　本発明のインクジェット方式でＥＬ層を連続的に形成する概念を説明するための図。

【図５】　ＥＬ表示装置の画素部の断面構造を示す図。

【図６】　ＥＬ表示装置の画素部の上面構造及び構成を示す図。

【図７】　アクティブマトリクス型ＥＬ表示装置の作製工程を示す図。

【図８】　アクティブマトリクス型ＥＬ表示装置の作製工程を示す図。

【図９】　アクティブマトリクス型ＥＬ表示装置の作製工程を示す図。

【図１０】　ＥＬモジュールの外観を示す図。

【図１１】　ＥＬ表示装置の回路ブロック構成を示す

図。

【図１２】　ＥＬ表示装置の画素部を拡大した図。

【図１３】　ＥＬ表示装置のサンプリング回路の素子構造を示す図。

【図１４】　ＥＬモジュールの示す上面図。

【図１５】　ＥＬ表示装置の封止構造を示す断面図。

【図１６】　パッシブ型ＥＬ表示装置の作製工程を示す図。

【図１７】　ＥＬ表示装置を作製するための装置構成を説明する図。

【図１８】　ＥＬ表示装置の画素部の断面構造を示す図。

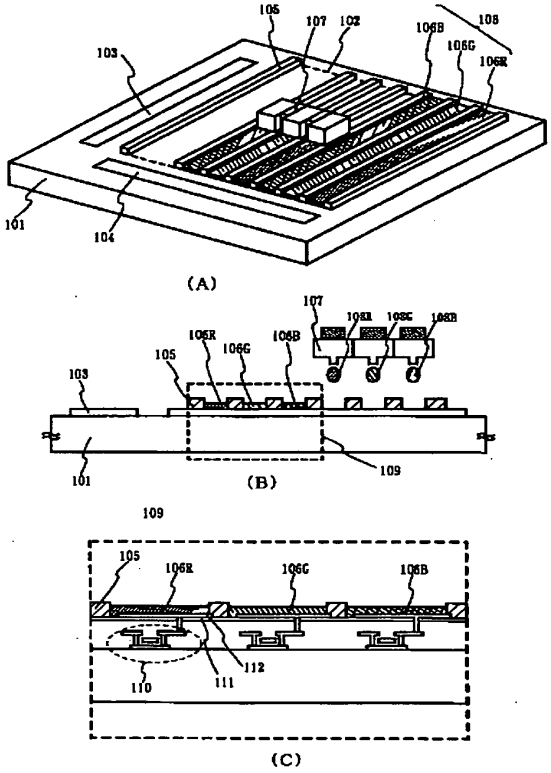
【図１９】　電子装置の具体例を示す図。

【図２０】　電子装置の具体例を示す図。

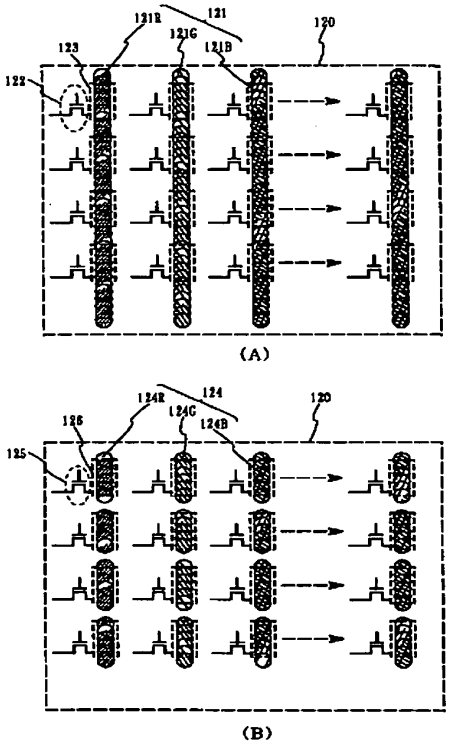
【図２１】　画素部の画素配列を説明する図。

【図２２】　本発明のインクジェット方式でＥＬ層を連続的に形成した試料の顕微鏡写真。

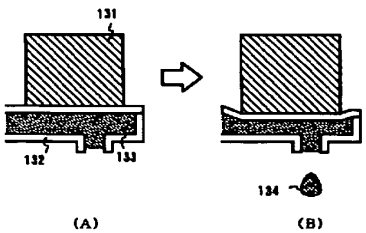
【図１】



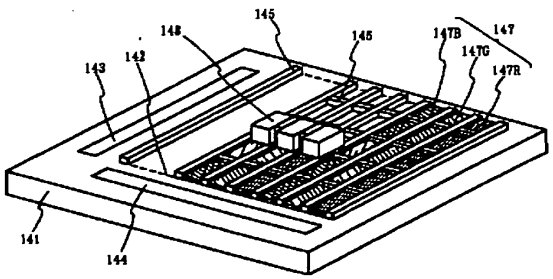

【図２】



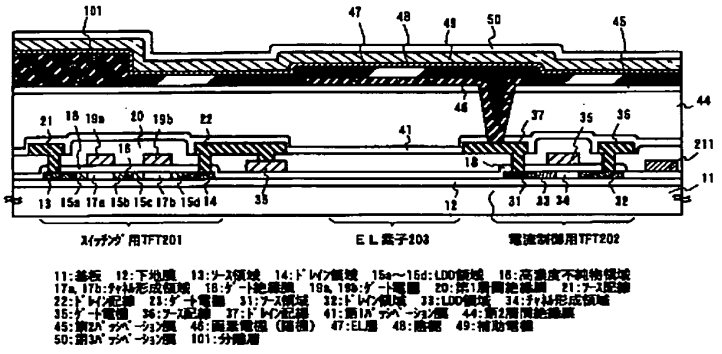

【図３】



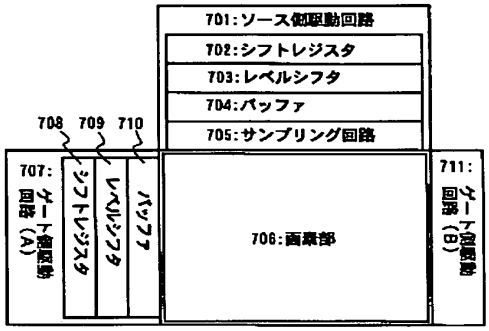

【図４】



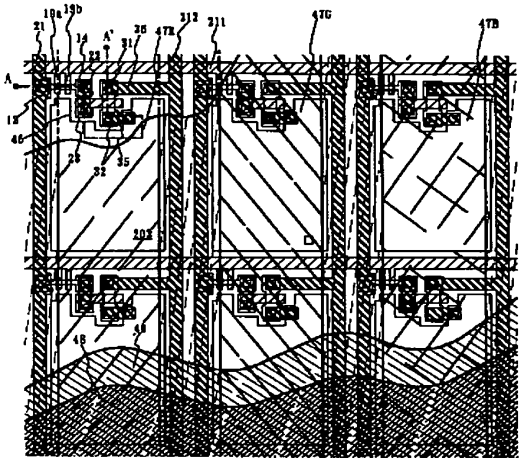
【図５】



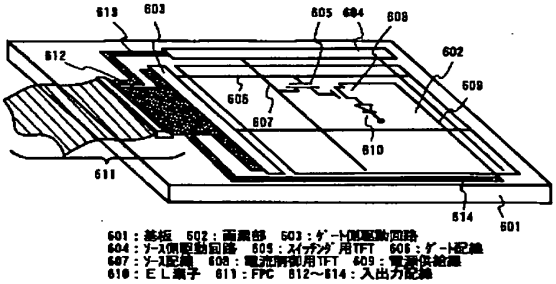

【図１１】



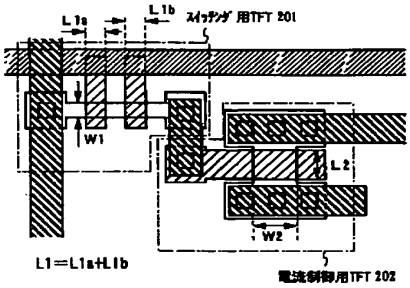

【図６】

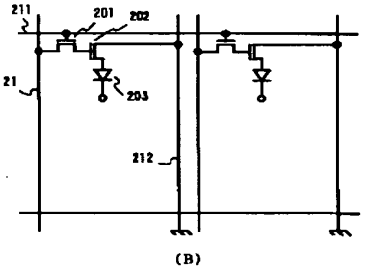


【図１０】

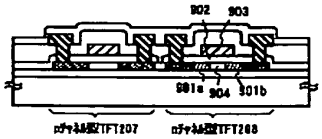


【図１２】

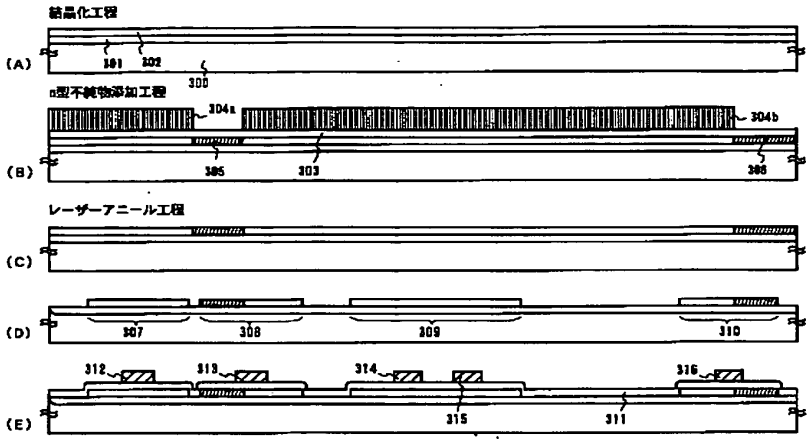



【図１３】

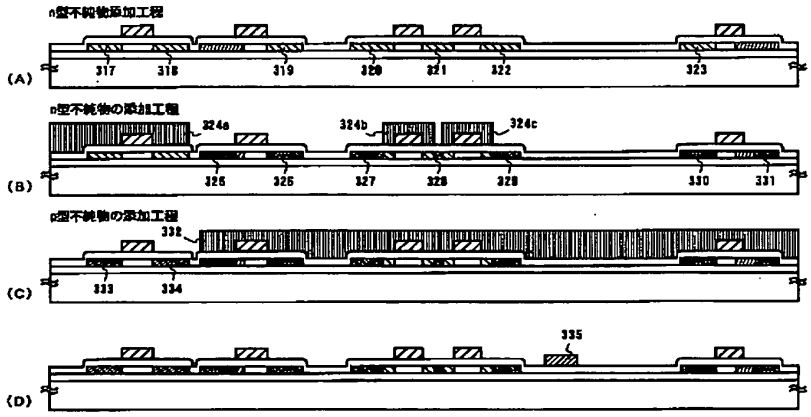


【図７】



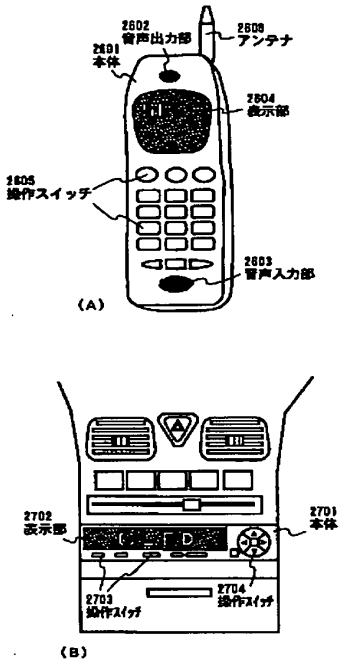

300:ガラス基板　301:下地膜　302:アモルファスシリコン膜　303:保護膜　304a～304b:レジストマスク
305, 306:n型不純物領域(b)　307～310:活性層　311:ゲート絶縁膜　312～316:ゲート電極

【図８】

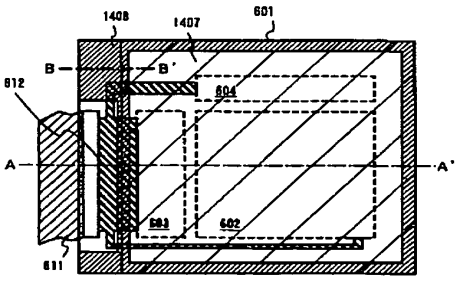



317～323:n型不純物領域(c)　324a～324c, 332:レジストマスク　325～331:n型不純物領域(a)　333, 334:p型不純物領域(a)
335:ゲート配線

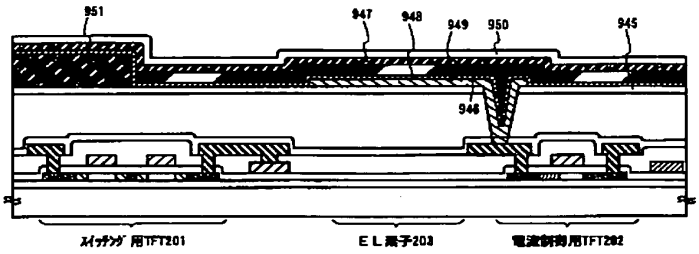
【図２０】



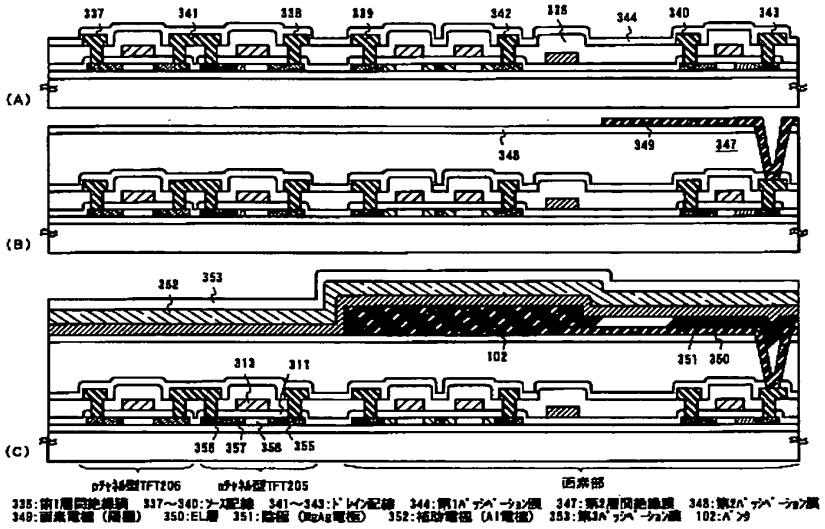

【図１４】



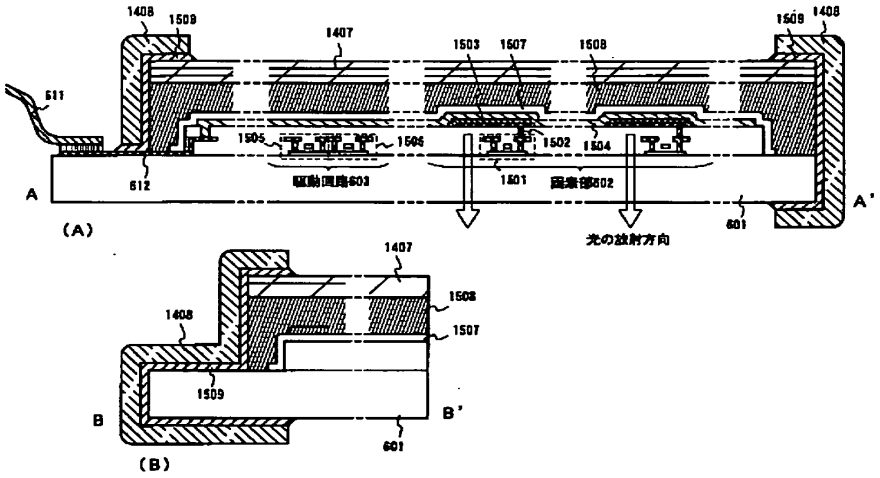

【図１８】



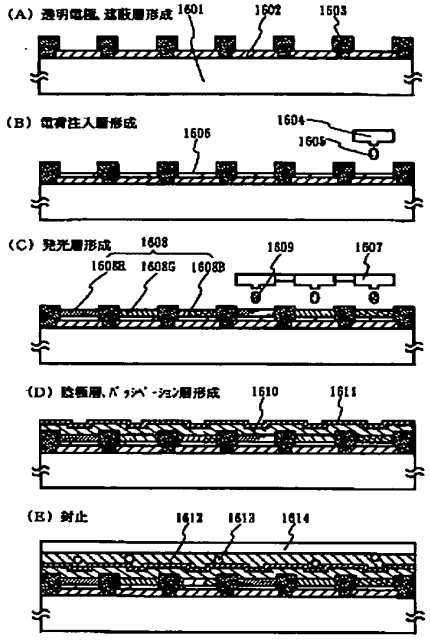
【図９】


(A)
(B)
(C)
337
341
338
339
342
343
344
340
348
349
347
352
353
102
351
350
313
311
358
357
356
355
画素部

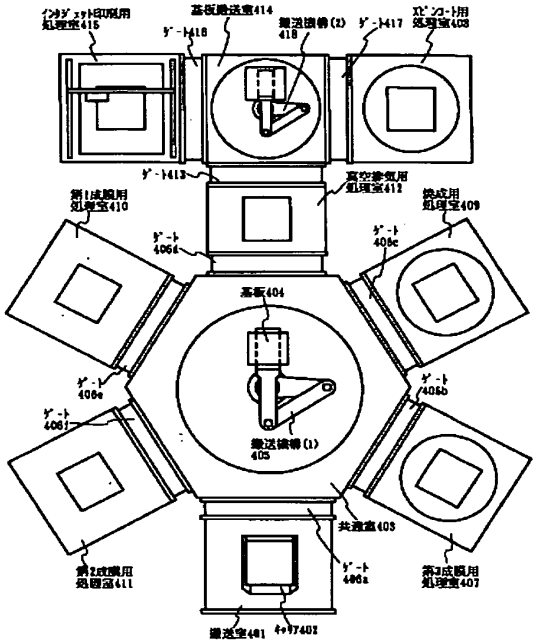
【図１５】


1408
1509
1407
1503
1507
1508
611
1505
1506
1502
1504
612
駆動回路603
1501
画素部602
A
A'
601
光の放射方向
(A)
1407
1508
1408
1507
1509
B
B'
601
(B)

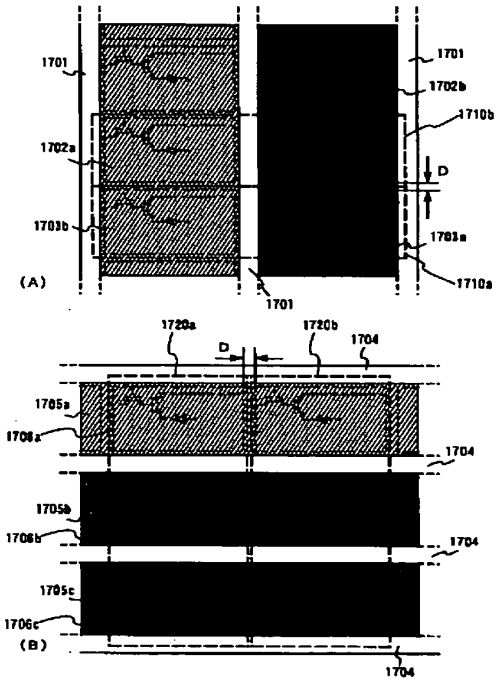
【図１６】


(A) 透明電極、遮蔽層形成
1601
1602
1603
(B) 電荷注入層形成
1604
1605
1606
(C) 発光層形成
1608
1608R
1608G
1608B
1609
1607
(D) 陰極層、パッシベーション層形成
1610
1611
(E) 封止
1612
1613
1614

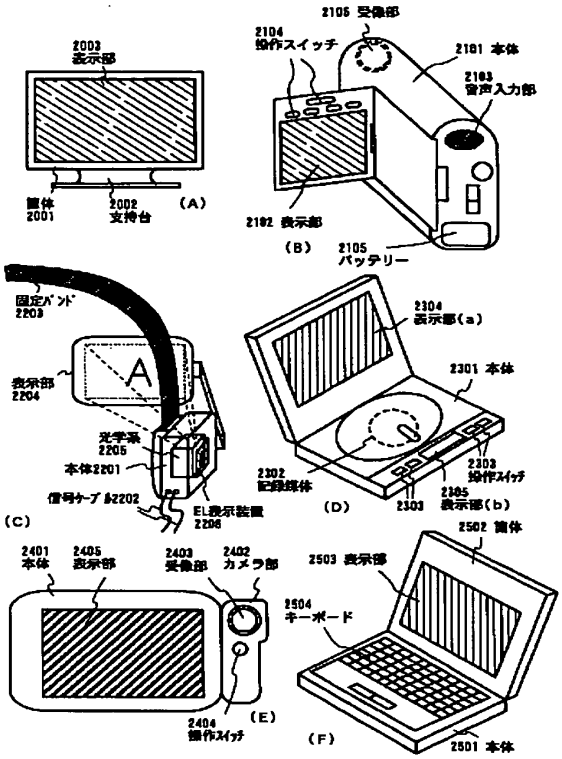
【図１７】


基板搬送室414
搬送機構(2)
418
基板404
搬送機構(1)
405
共通室403
搬送室401
406a
406b
406c
406d
406e
406f

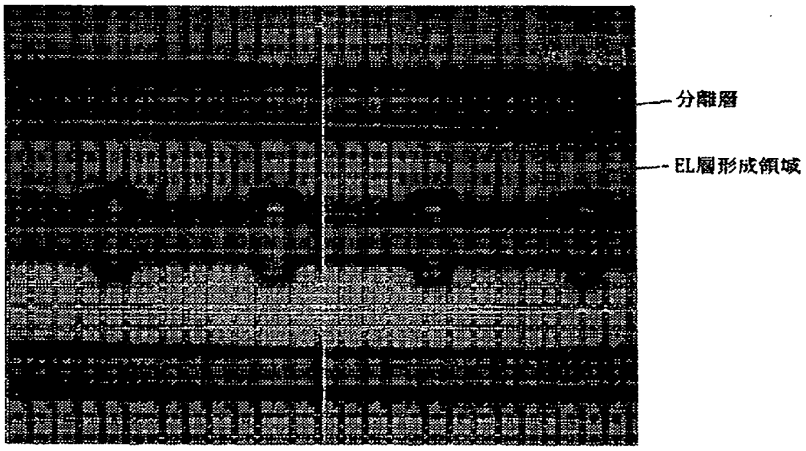
【図２１】


1701
1702a
1703b
1702b
1710b
1703a
1710a
D
(A)
1720a
1720b
1704
1705a
1706a
1705b
1706b
1705c
1706c
(B)

【図１９】


2003
表示部
本体
2001
2002
支持台
(A)
2105 受像部
2104
操作スイッチ
2101 本体
2103
音声入力部
2102 表示部
(B)
2105
バッテリー
固定バンド
2203
表示部
2204
光学系
2205
本体2201
信号ケーブル2202
EL表示装置
2206
(C)
2304
表示部(a)
2301 本体
2302
記録媒体
2303
操作スイッチ
2305
表示部(b)
(D)
2401
本体
2405
表示部
2403
受像部
2402
カメラ部
2404
操作スイッチ
(E)
2502 筐体
2503 表示部
2504
キーボード
(F)
2501 本体

【図２２】


分離層
EL層形成領域

フロントページの続き

| (51) Int. Cl.[7] | 識別記号 | F I | | テーマコード（参考） |
|---|---|---|---|---|
| Ｈ０５Ｂ　33/22 | | Ｈ０５Ｂ　33/22 | Ｚ | |
| 33/26 | | 33/26 | Ｚ | |

**This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record**

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

**IMAGES ARE BEST AVAILABLE COPY.**
**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-074073
(43)Date of publication of application : 16.03.1999

(51)Int.Cl. H05B 33/04
G09F 9/30
H05B 33/26

(21)Application number : 09-234921
(22)Date of filing : 29.08.1997

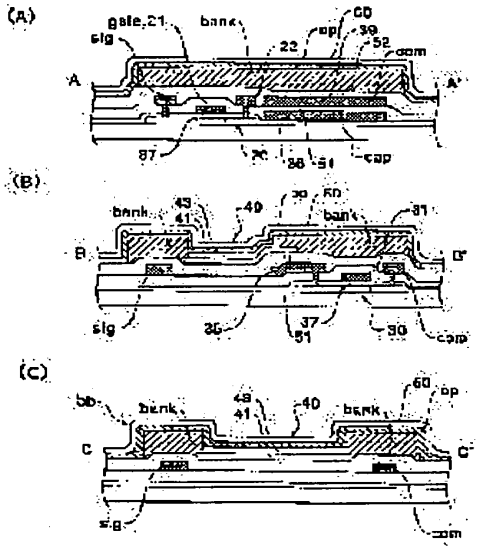
(71)Applicant : SEIKO EPSON CORP
(72)Inventor : YUDASAKA KAZUO

## (54) ACTIVE MATRIX TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an active matrix type display device in which a thin-filmed luminous element can be protected from water or the like with a simple structure.

SOLUTION: This active matrix type display device is equipped with a thin- filmed luminous element 40, which is equipped with a picture element electrode 41, an organic semiconductor film 43 laminated on the upper layer side of the picture element electrode 41, and an opposed electrode op formed on the upper layer side of the organic semiconductor film 43, on each picture element. A protective film 60, which covers the roughly whole surface of a substrate, is formed on the upper layer of the opposite electrode op, and invasion of water or oxygen is prevented by the protective film 60 to thereby prevent deterioration of the thin-filmed luminous element 40.



LEGAL STATUS

[Date of request for examination] 18.03.2004

[Date of sending the examiner's decision of rejection] 05.01.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

| | |
|---|---|
| [Patent number] | 3830238 |
| [Date of registration] | 21.07.2006 |
| [Number of appeal against examiner's decision of rejection] | 2005-001814 |
| [Date of requesting appeal against examiner's decision of rejection] | 03.02.2005 |
| [Date of extinction of right] | |

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]
[Claim 1] Two or more data lines which intersect two or more scanning lines and these scanning lines on a substrate, It has the display which consists of two or more pixels formed in the shape of a matrix by this data line and said scanning line. Each of this pixel The flow control circuit containing the thin film transistor by which a scan signal is supplied to a gate electrode through said scanning line, The pixel electrode formed for every pixel, the luminescence thin film by which the laminating was carried out to the upper layer side of this pixel electrode, And it has a thin film light emitting device possessing the counterelectrode formed in the upper layer side of this luminescence thin film all over said display at least. In the active-matrix mold display with which said thin film light emitting device emits light based on the picture signal supplied through said flow control circuit from said data line to the upper layer side of said counterelectrode The active-matrix mold display characterized by forming the wrap protective coat in the formation field of the counterelectrode concerned at least.
[Claim 2] Said luminescence thin film is a active-matrix mold display characterized by being divided by the insulator layer formed more thickly [ the lower layer side of said counterelectrode ] in claim 1 than said luminescence thin film.
[Claim 3] It is the active-matrix mold display characterized by said counterelectrode consisting of alkali-metal content aluminum film in claims 1 or 2.
[Claim 4] It is the active-matrix mold display characterized by said protective coat consisting of insulator layers in claim 1 thru/or either of 3.
[Claim 5] It is the active-matrix mold display characterized by said protective coat consisting of silicon nitrides in claim 1 thru/or either of 3.
[Claim 6] It is the active-matrix mold display characterized by said protective coat consisting of a refractory metal or its alloy in claim 1 thru/or either of 3.
[Claim 7] It is the active-matrix mold display characterized by said protective coat consisting of aluminum film of the pure aluminium film, the silicon content aluminum film, or the copper content aluminum film in claim 1 thru/or either of 3.
[Claim 8] It is the active-matrix mold display characterized by said protective coat having two-layer structure of the electric conduction film and an insulator layer in claim 1 thru/or either of 3.
[Claim 9] In claim 1 thru/or either of 8 said flow control circuit It has the 1st thin film transistor by which said scan signal is supplied to a gate electrode, and the 2nd thin film transistor which a gate electrode connects to said data line through this 1st thin film transistor. For said data line and scanning line, this 2nd thin film transistor and said thin film light emitting device are a active-matrix mold display characterized by having connected with a serial between the common feeder for the drive current supply sources constituted independently, and said counterelectrode.

---

[Translation done.]

* NOTICES *

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]
[0001]
[Field of the Invention] This invention relates to the active-matrix mold display which carries out drive control of the thin film light emitting devices, such as an electroluminescent element (henceforth an EL element) which emits light when a drive current flows to luminescence thin films, such as organic-semiconductor film, or a light emitting diode component (henceforth an LED component), by the thin film transistor (henceforth TFT).
[0002]
[Description of the Prior Art] The display of the active-matrix mold using current control mold light emitting devices, such as an EL element or an LED component, is proposed. In order that each light emitting device used for this type of indicating equipment may carry out self-luminescence, unlike a liquid crystal display, it does not need a back light, and also has an advantage, like there are few angle-of-visibility dependencies.
[0003] Drawing 4 is the block diagram of the active-matrix mold indicating equipment using the EL element which emits light with the organic-semiconductor thin film of such a charge impregnation mold. The pixel 7 formed in the shape of a matrix by two or more data lines sig installed in the direction which crosses on the transparence substrate 10 to the installation direction of two or more scanning lines gate and this scanning line gate, and two or more common feeders com to which it stands in a row in this data line sig, the data line sig and the scanning line gate consists of active-matrix mold display 1A shown in this drawing. To the data line sig and the scanning line gate, the data side drive circuit 3 and the scan side drive circuit 4 are constituted. The flow control circuit 50 to which a scan signal is supplied through the scanning line gate, and the thin film light emitting device 40 which emits light based on the picture signal supplied from the data line sig through this flow control circuit 50 are constituted by each pixel 7. The flow control circuit 50 consists of 1st TFT20 by which a scan signal is supplied to a gate electrode, retention volume cap holding the picture signal with which it is supplied from the data line sig through this 1st TFT20, and 2nd TFT30 by which the picture signal held with this retention volume cap is supplied to a gate electrode through the scanning line gate. The 2nd TFT30 and thin film light emitting device 40 are connected to a serial between Counterelectrodes op and the common feeders com which are mentioned later. This luminescence condition is held for this thin film light emitting device 40 during the predetermined period with retention volume cap while a drive current flows in and emits light from the common feeder com, when 2nd TFT30 is turned on.
[0004] Drawing 5 is the top view extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 4 . Drawing 6 (A), (B), and (C) are the A-A' sectional views, B-B' sectional views, and C-C' sectional views of drawing 5 , respectively.
[0005] As shown in drawing 5 and drawing 6 (A), and (B), in such active-matrix mold display 1A of a configuration, the 1st TFT20 and 2nd TFT30 are formed at the same process also in which pixel 7 using the island-shape semi-conductor film. As for 1st TFT20, the gate electrode 21 is constituted as a part of scanning line gate. The data line sig connected with one side of a source drain field electrically through the KONTAKU hole of the 1st interlayer insulation film 51, and the drain electrode 22 has connected 1st TFT20 to another side electrically. The drain electrode 22 is installed towards the formation field of 2nd TFT30, and the gate electrode 31 of 2nd TFT30 has connected it to this installation part electrically through the contact hole of the 1st interlayer insulation film 51. The junction electrode 35 connected with one side of the source drain field of 2nd TFT30 electrically through the contact hole of the 1st

interlayer insulation film 51, and the pixel electrode 41 of the thin film light emitting device 40 has connected with this junction electrode 35 electrically through the contact hole of the 2nd interlayer insulation film 52 at it.
[0006] The pixel electrode 41 is formed independently every pixel 7 so that drawing 5 and drawing 6 (B), and (C) may show. The laminating of the organic-semiconductor film 43 and the counterelectrode op is carried out to this order at the upper layer side of the pixel electrode 41. Counterelectrode op is formed so that a display 11 may be covered at least.
[0007] Again, in drawing 5 and drawing 6 (A), the common feeder com has connected with another side of the source drain field of 2nd TFT30 electrically through the contact hole of the 1st interlayer insulation film 51. To the installation part 36 of the gate electrode 31 of 2nd TFT30, the installation part 39 of the common feeder com counters on both sides of the 1st interlayer insulation film 51 as a dielectric film, and constitutes retention volume cap.
[0008]
[Problem(s) to be Solved by the Invention] Since the laminating of the counterelectrode op is carried out to transparence substrate 10 the very thing, such active-matrix mold indicating-equipment 1A is different from an active matrix liquid crystal indicating equipment, and has the big advantage that it is not necessary to pile up an opposite substrate. However, since the thin film light emitting device 40 is only covered with the thin counterelectrode op, Counterelectrode op is diffused and penetrated, moisture and oxygen invade into the organic-semiconductor film 43, and there is a possibility of generating decline in the luminous efficiency of the thin film light emitting device 40, the rise (shift by the side of the high voltage of a threshold electrical potential difference) of the driver voltage, the fall of dependability, etc. In order to prevent invasion of said moisture and oxygen, in the conventional active-matrix mold display 1A, the display 11 was covered with the opposite substrate at least, and that approach of closing the periphery of this opposite substrate was taken. However, this approach will spoil the advantage compared with the above-mentioned liquid crystal display.
[0009] Then, the technical problem of this invention is to offer the active-matrix mold display which can protect a thin film light emitting device from moisture etc. with easy structure.
[0010]
[Means for Solving the Problem] In order to solve the above-mentioned technical problem, in this invention, on a substrate Two or more scanning lines, It has the display which consists of two or more pixels formed in the shape of a matrix by two or more data lines which intersect this scanning line, and this data line and said scanning line. Each of this pixel The flow control circuit containing the thin film transistor by which a scan signal is supplied to a gate electrode through said scanning line, The pixel electrode formed for every pixel, the luminescence thin film by which the laminating was carried out to the upper layer side of this pixel electrode, And it has a thin film light emitting device possessing the counterelectrode formed in the upper layer side of this luminescence thin film all over said display at least. In the active-matrix mold display with which said thin film light emitting device emits light based on the picture signal supplied through said flow control circuit from said data line, it is characterized by forming the wrap protective coat in the formation field of the counterelectrode concerned at least at the upper layer side of said counterelectrode.
[0011] In this invention, since the protective coat is formed in the upper layer side of the counterelectrode of a thin film light emitting device, a thin film light emitting device can be protected from the moisture which diffuses a counterelectrode and is penetrated. Therefore, in a thin film light emitting device, there is no possibility that decline in the luminous efficiency, the rise (shift by the side of the high voltage of a threshold electrical potential difference) of driver voltage, the fall of dependability, etc. may occur. Moreover, since such a protective coat can be easily formed using a semi-conductor process, it does not raise the manufacturing cost of a active-matrix mold display. So, the advantage that it is not necessary to put the opposite substrate which is the advantage of the active-matrix mold display using a thin film light emitting device can be left as it is, and the dependability of a active-matrix mold display can be raised. Furthermore, since a thin film light emitting device is protected by the protective coat, as an ingredient used for a counterelectrode, there is also an advantage of not being limited to what has the high engine performance which protects a thin film light emitting device that what is necessary is just to choose the quality of the material from fields, such as luminous efficiency of a thin film light emitting device, and driver voltage.
[0012] As for said luminescence thin film, in this invention, it is desirable to be divided by the insulator layer formed in the lower layer side of said counterelectrode more thickly than said organic-

semiconductor film. A counterelectrode is formed all over a display at least, and since it is in the condition of countering with the data line, the way things stand, a big capacity will be parasitic [ with the active-matrix mold indicating equipment using a thin film light emitting device ] to the data line. However, in this invention, since the thick insulator layer was made to intervene between the data line and a counterelectrode, it can prevent that capacity is parasitic on the data line. Consequently, since the load of a data side drive circuit can be reduced, low-power-izing or improvement in the speed of a display action can be attained. Moreover, if such an insulator layer is formed, in case a luminescence thin film will be formed by the ink jet method in the field divided by this insulator layer, said insulator layer can be used as a bank layer which prevents the flash of discharged liquid.

[0013] Since possibility that moisture etc. will spread and penetrate is high when it consists of for example, alkali-metal content aluminum film and a counterelectrode is constituted from such film, said counterelectrode has the effectiveness remarkable in this invention in which the protective coat was formed.

[0014] In this invention, although said protective coat may be constituted from insulator layers, such as a silicon nitride, it may consist of electric conduction film, such as a refractory metal or its alloy. Moreover, said protective coat may consist of electric conduction film, such as pure aluminium film, silicon content aluminum film, and copper content aluminum film. Furthermore, it is good also considering said protective coat as two-layer structure of the electric conduction film and an insulator layer. When the protective coat by which a laminating is carried out to a counterelectrode is formed by the electric conduction film, the effectiveness same with having reduced electric resistance of a counterelectrode can be acquired. Moreover, when the thick insulator layer which divides the formation field of the aforementioned organic-semiconductor film is formed, there is a possibility that an open circuit may generate the counterelectrode formed in that upper layer side with the big level difference which this insulator layer forms, but since redundancy wiring structure is formed with this electric conduction film when the protective coat by which a laminating is carried out to a counterelectrode is formed by the electric conduction film, an open circuit of a counterelectrode can be prevented. So, in a active-matrix mold display, since an open circuit does not occur in the counterelectrode formed in the upper layer of an insulator layer even if it forms a thick insulator layer in the surroundings of the organic-semiconductor film and stops parasitic capacitance etc., the display quality and reliability of a active-matrix mold display can be improved.

[0015] Said flow control circuit is equipped with the 1st TFT by which said scan signal is supplied to a gate electrode, and the 2nd TFT which a gate electrode connects to said data line through this 1st TFT in this invention, and, as for said data line and scanning line, it is [ this 2nd TFT and said thin film light emitting device ] desirable to have connected with a serial between the common feeder for the drive current supply sources constituted independently and said counterelectrode. That is, although it is also possible to constitute one flow control circuit from TFT and retention volume, if display grace is carried out from a viewpoint of making it high, it is desirable to constitute the flow control circuit of each pixel from two TFT(s) and retention volume.

[0016]

[Embodiment of the Invention] The gestalt of operation of this invention is explained with reference to a drawing. In addition, in the following explanation, the same sign is given to the part which is common to the element explained with reference to drawing 4 thru/or drawing 6 .

[0017] (Whole configuration) Drawing 1 is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment. The top view which drawing 2 extracts one of the pixels constituted by it, and is shown, drawing 3 (A), (B), and (C) are the A-A' sectional views, B-B' sectional views, and C-C' sectional views of drawing 2 , respectively.

[0018] Let the central part of the base slack transparence substrate 10 be a display 11 in the active-matrix mold display 1 shown in drawing 1 . The data side drive circuit 3 which outputs a picture signal to the edge of the data line sig among the periphery parts of the transparence substrate 10 is constituted, and the scan side drive circuit 4 which outputs a scan signal is constituted by the edge of the scanning line gate. A complementary type TFT is constituted by TFT of N type, and TFT of P type, and this complementary type TFT constitutes the shift register circuit, the level-shifter circuit, the analog switch circuit, etc. from these drive circuits 3 and 4 by them. Two or more pixels 7 are constituted from the display 11 in the shape of a matrix by two or more data lines sig installed in the direction which crosses on the transparence substrate 10 to the installation direction of two or more scanning lines gate and this scanning line gate like the active-matrix substrate of an active matrix liquid crystal indicating

equipment.
[0019] The flow control circuit 50 to which a scan signal is supplied through the scanning line gate, and the thin film light emitting device 40 which emits light based on the picture signal supplied from the data line sig through this flow control circuit 50 are constituted by each pixel 7. In the example shown here, the flow control circuit 50 consists of 1st TFT20 by which a scan signal is supplied to a gate electrode, retention volume cap holding the picture signal with which it is supplied from the data line sig through this 1st TFT20, and 2nd TFT30 by which the picture signal held with this retention volume cap is supplied to a gate electrode through the scanning line gate. The 2nd TFT30 and thin film light emitting device 40 are connected to a serial in detail between Counterelectrodes op and the common feeders com which are mentioned later.
[0020] In such a active-matrix mold display 1 of a configuration, as shown in drawing 2 and drawing 3 (A), and (B), also in which pixel 7, the 1st TFT20 and 2nd TFT30 are formed using the island-shape semi-conductor film (silicone film).
[0021] As for 1st TFT20, the gate electrode 21 is constituted as a part of scanning line gate. The data line sig connected with one side of a source drain field electrically through the KONTAKU hole of the 1st interlayer insulation film 51, and the drain electrode 22 has connected 1st TFT20 to another side electrically. The drain electrode 22 is installed towards the formation field of 2nd TFT30, and the gate electrode 31 of 2nd TFT30 has connected it to this installation part electrically through the contact hole of the 1st interlayer insulation film 51.
[0022] The junction electrode 35 by which coincidence formation was carried out with the data line sig through the contact hole of the 1st interlayer insulation film 51 connected with one side of the source drain field of 2nd TFT30 electrically, and the transparent pixel electrode 41 which consists of ITO film of the thin film light emitting device 40 through the contact hole of the 2nd interlayer insulation film 52 has connected with this junction electrode 35 electrically.
[0023] The pixel electrode 41 is formed independently every pixel 7 so that drawing 2 and drawing 3 (B), and (C) may show. The laminating of the counterelectrode op which is from metal membranes containing alkali metal, such as the organic-semiconductor film 43 which consists of polyphenylene vinylene (PPV) etc., and a lithium, such as aluminum and calcium, on the upper layer side of the pixel electrode 41 is carried out to this order, and the thin film light emitting device 40 is constituted. Although the organic-semiconductor film 43 is formed in each pixel 7, ranging over two or more pixels 7, it may be formed in the shape of a stripe. Counterelectrode op is formed in the field except the display 11 whole and the perimeter of a part in which the terminal 12 is formed at least.
[0024] In addition, the structure in which the both sides of the structure which formed the hole injection layer and raised luminous efficiency (rate of a hole injection) as a thin film light emitting device 40, the structure which formed the electronic injection layer and raised luminous efficiency (electron injection efficiency), a hole injection layer, and an electronic injection layer were formed is also employable.
[0025] Again, in drawing 2 and drawing 3 (A), the common feeder com has connected with another side of the source drain field of 2nd TFT30 electrically through the contact hole of the 1st interlayer insulation film 51. To the installation part 36 of the gate electrode 31 of 2nd TFT30, the installation part 39 of the common feeder com counters on both sides of the 1st interlayer insulation film 51 as a dielectric film, and constitutes retention volume cap.
[0026] Thus, in the constituted active-matrix mold indicating equipment 1, if it is chosen by the scan signal and 1st TFT20 is turned on, while the picture signal from the data line sig will be impressed to the gate electrode 31 of 2nd TFT30 through 1st TFT20, a picture signal is written in retention volume cap through 1st TFT20. Consequently, if 2nd TFT30 is turned on, an electrical potential difference will be impressed by using Counterelectrode op and the pixel electrode 41 as a negative electrode and a positive electrode, respectively, and the current (drive current) which flows on the organic-semiconductor film 43 in the field in which applied voltage exceeded the threshold electrical potential difference will increase rapidly. Therefore, a light emitting device 40 emits light as an electroluminescent element or an LED component, it is reflected by Counterelectrode op, and the light of a light emitting device 40 penetrates the transparent pixel electrode 41 and the transparence substrate 10, and outgoing radiation is carried out. The drive current for performing such luminescence will not flow, if 2nd TFT30 is turned off in order to flow Counterelectrode op, the organic-semiconductor film 43, the pixel electrode 41, 2nd TFT30, and the current path that consists of common feeders com. However, since the gate electrode of 2nd TFT30 is held at the potential which is equivalent to a picture signal with retention volume cap even if 1st TFT20 is turned off, 2nd TFT30 is still an ON state. So, a drive current continues flowing to a light

emitting device 40, and this pixel is still a lighting condition. New image data is written in retention volume cap, and this condition is maintained until 2nd TFT30 is turned off.
[0027] (Protective construction of a thin film light emitting device) In this way, since the laminating of the counterelectrode op is carried out to transparence substrate 10 the very thing, the active-matrix mold indicating equipment 1 using the thin film light emitting device 40 is different from an active matrix liquid crystal indicating equipment, and has the big advantage that it is not necessary to pile up an opposite substrate. However, there is a possibility that the thin counterelectrode op may be diffused and penetrated and moisture and oxygen may invade in the thin film light emitting device 40. Especially, it is possible for the aluminum film which contains alkali metal, such as a lithium, as a counterelectrode op to be used, and to compare this alkali-metal content aluminum film with pure aluminium, to diffuse moisture and oxygen and to be easy to penetrate them with this gestalt for the purpose of raising the electron injection effectiveness in the thin film light emitting device 40, and lowering that driver voltage. That is, the ARUKARU metal content aluminum film is lacking in toughness as compared with the pure aluminium film, the silicon content aluminum film, and the copper content aluminum film, and since it is easy to fracture when stress is applied, it has a possibility that moisture and oxygen may invade, through a crack etc. Moreover, it is thought that the fracture surface of the alkali-metal content aluminum film shows columnar structure, and moisture and oxygen diffuse between organizations and it is easy to penetrate it.
[0028] So, with this gestalt, the protective coat 60 which becomes the upper layer of Counterelectrode op from pure aluminium is formed. Since the protective coat 60 which consists of this pure aluminium has the toughness which is not fractured in some stress, the crack used as the invasion path of moisture or oxygen does not generate it. Moreover, in the fracture surface, pure aluminium does not show columnar structure like the alkali-metal content aluminum film, and does not have a possibility of moisture and oxygen penetrating between organizations and invading, either. So, since the active-matrix mold display 1 of this gestalt can protect the thin film light emitting device 40 from moisture etc., decline in luminous efficiency, the rise (shift by the side of the high voltage of a threshold electrical potential difference) of driver voltage, the fall of dependability, etc. do not generate it in the thin film light emitting device 40. Moreover, if it is the protective coat 60 which consists of such pure aluminium film, since it can form easily using a semi-conductor process, the manufacturing cost of the active-matrix mold display 1 is not raised. So, the advantage that it is not necessary to put the opposite substrate which is the advantage of the active-matrix mold display 40 using the thin film light emitting device 40 can be left as it is, and the dependability of the active-matrix mold display 1 can be raised.
[0029] Moreover, since the thin film light emitting device 40 is protected by the protective coat 60, as an ingredient used for Counterelectrode op, there is also an advantage of not being limited to what has the high engine performance which protects the thin film light emitting device 40 that what is necessary is just to choose the quality of the material from fields, such as luminous efficiency of the thin film light emitting device 40, and driver voltage.
[0030] Furthermore, with this gestalt, since the protective coat 60 by which a laminating is carried out to Counterelectrode op was formed by the electric conduction film which consists of pure aluminium film, the effectiveness same with having reduced electric resistance of Counterelectrode op can be acquired.
[0031] In the active-matrix mold display 1 constituted in this way (Structure of a bank layer) With this gestalt In order to prevent that a big capacity is parasitic on the data line sig, as it is shown in drawing 1 , drawing 2 and drawing 3 (A), (B), and (C) Along with the data line sig and the scanning line gate, the thick insulator layer (field where bank layer bank / lower left attached the slash of ** in the large pitch) which consists of resist film or polyimide film is prepared, and Counterelectrode op is formed in the upper layer side of this bank layer bank. For this reason, since the 2nd interlayer insulation film 52 and the thick bank layer bank intervene between the data line sig and Counterelectrode op, the capacity which is parasitic on the data line sig is very small. So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.
[0032] Moreover, as shown in drawing 1 , the bank layer bank (the slash is given to the formation field.) is formed also in the boundary region (outside field of a display 11) of the transparence substrate 10. Therefore, the data side drive circuit 3 and the scan side drive circuit 4 are all covered with the bank layer bank. Counterelectrode op does not need to be formed in a display 11 at least, and does not need to be formed in the formation field of a drive circuit. However, since Counterelectrode op is usually formed by the mask spatter, doubling precision may be bad and Counterelectrode op and a drive circuit may lap. Thus, since the bank layer bank will intervene between the wiring layer of a drive circuit, and

Counterelectrode op even if it is in the condition that Counterelectrode op laps to the formation field of a drive circuit, it can prevent that capacity is parasitic on the drive circuits 3 and 4. For this reason, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0033] Furthermore, the bank layer bank is formed also in the field which laps with the junction electrode 35 of the flow control circuit 50 among the formation fields of the pixel electrode 41 with this gestalt. For this reason, the organic-semiconductor film 43 is not formed in the field which laps with the junction electrode 35. That is, since the organic-semiconductor film 43 is formed only in a flat part among the formation fields of the pixel electrode 41, the organic-semiconductor film 43 is formed by fixed thickness, and does not cause display unevenness. Moreover, if there is no bank layer bank in the field which laps with the junction electrode 35, also in this part, a drive current will flow between Counterelectrodes op and the organic-semiconductor film 43 will emit light to it. However, this light is inserted between the junction electrode 35 and Counterelectrode op, and outgoing radiation is not carried out outside, and it does not contribute to a display. The drive current which flows in the part which does not contribute to this display can be called reactive current seen from the field of a display. However, with this gestalt, since it prevents that form the bank layer bank in the part into which such the reactive current should flow, and a drive current flows there if it is the former, it can prevent that a useless current flows to the common feeder com. So, the width of face of the common feeder com may be narrow that much. As the result, luminescence area can be increased and display engine performance, such as brightness and a contrast ratio, can be raised.

[0034] Here, when the thick bank layer bank is formed, as shown in drawing 3 , there is a possibility that an open circuit may generate the counterelectrode op formed in that upper layer side with the big level difference bb which this bank layer bank forms. However, since the protective coat 60 by which a laminating is carried out to Counterelectrode op is formed by the electric conduction film, redundancy wiring structure is constituted from this gestalt by this electric conduction film (protective coat 60). Therefore, since an open circuit does not occur in the counterelectrode op formed in the upper layer of the bank layer bank even if it forms the thick bank layer bank and stops parasitic capacitance etc., the display quality and reliability of the active-matrix mold display 1 can be improved.

[0035] In addition, if the bank layer bank is formed by the black resist, the bank layer bank will function as a Black matrix, and its grace of displays, such as a contrast ratio, will improve. That is, in the active-matrix mold display 1 concerning this gestalt, since Counterelectrode op is formed in the front-face side of the transparence substrate 10 all over a pixel 7, the reflected light in Counterelectrode op reduces a contrast ratio. However, if the bank layer bank which bears the function to prevent parasitic capacitance is constituted from a black resist, since the bank layer bank will function also as a Black matrix and the reflected light from Counterelectrode op will be interrupted, a contrast ratio improves.

[0036] (The manufacture approach of a active-matrix mold indicating equipment) Since the bank layer bank formed in this way is constituted so that the formation field of the organic-semiconductor film 43 may be surrounded, in the production process of a active-matrix mold indicating equipment, in case the organic-semiconductor film 43 is formed from the liquefied ingredient (discharged liquid) breathed out from the ink jet head, discharged liquid is dammed up, and it prevents that discharged liquid overflows into the side. In addition, in the manufacture approach of the active-matrix mold display 1 explained below, since the process until it manufactures the 1st TFT20 and 2nd TFT30 on the transparence substrate 10 is the same as that of the process and abbreviation which manufacture the active-matrix substrate of the liquid crystal active-matrix mold display 1, with reference to drawing 3 (A), (B), and (C), the outline is explained briefly.

[0037] First, after forming the substrate protective coat (not shown) which thickness becomes from the silicon oxide which is about 2000-5000A by the plasma-CVD method by making TEOS (tetra-ethoxy silane), oxygen gas, etc. into material gas to the transparence substrate 10 if needed, the semi-conductor film which thickness becomes from the amorphous silicone film which is about 300-700A by the plasma-CVD method is formed in the front face of a substrate protective coat. Next, to the semi-conductor film which consists of an amorphous silicone film, crystallization processes, such as laser annealing or a solid phase grown method, are performed, and the semi-conductor film is crystallized on the polish recon film.

[0038] Next, the gate dielectric film 57 which patterning of the semi-conductor film is carried out, it considers as the island-shape semi-conductor film, and thickness becomes from the silicon oxide or the nitride which is about 600-1500A by the plasma-CVD method to the front face by making TEOS (tetra-

ethoxy silane), oxygen gas, etc. into material gas is formed.
[0039] Next, after forming the electric conduction film which consists of metal membranes, such as aluminum, a tantalum, molybdenum, titanium, and a tungsten, by the spatter, patterning is carried out and the installation parts 36 of the gate electrodes 21 and 31 and the gate electrode 31 are formed (gate electrode formation process). The scanning line gate is formed at this process.
[0040] In this condition, high-concentration phosphorus ion is driven in and a source drain field is formed in self align to the gate electrodes 21 and 31. In addition, the part into which an impurity was not introduced serves as a channel field.
[0041] Next, after forming the 1st interlayer insulation film 51, each contact hole is formed, next the installation parts 39 of data-line sig, the drain electrode 22, the common feeder com, and the common feeder com and the junction electrode 35 are formed. Consequently, 1st TFT20, 2nd TFT30, and retention volume cap are formed.
[0042] Next, the 2nd interlayer insulation film 52 is formed and contact hole formation is carried out at the part which is equivalent to this interlayer insulation film at the junction electrode 35. Next, after forming the ITO film in the whole front face of the 2nd interlayer insulation film 52, patterning is carried out and the pixel electrode 41 connected electrically is formed in the source drain field of 2nd TFT30 every pixel 7 through a contact hole.
[0043] Next, after forming a resist layer in the front-face side of the 2nd interlayer insulation film 52, patterning is carried out so that it may leave this resist along with the scanning line gate and the data line sig, and the bank layer bank is formed. At this time, the resist part which it leaves along with the data line sig presupposes that it is broad so that the common feeder com may be covered. Consequently, the field which should form the organic-semiconductor film 43 of a light emitting device 40 is surrounded by the bank layer bank.
[0044] Next, each organic-semiconductor film 43 corresponding to R, G, and B is formed using the ink jet method in the field divided in the shape of a matrix in the bank layer bank. To the inside field of the bank layer bank, from an ink jet head, the liquefied ingredient (precursor) for constituting the organic-semiconductor film 43 is fixed to it by discharge, it is fixed to it in the inside field of the bank layer bank, and the organic-semiconductor film 43 is formed in it. Here, since the bank layer bank consists of resists, it is water repellence. On the other hand, since the precursor of the organic-semiconductor film 43 uses the solvent of a hydrophilic property, the spreading field of the organic-semiconductor film 43 does not overflow into the pixel 7 which is specified certainly and adjoins by the bank layer bank. So, the organic-semiconductor film 43 etc. can be formed only in a predetermined field. In this process, in order that the precursor breathed out from the ink jet head may rise in thickness of about 2 micrometers thru/or about 4 micrometers under the effect of surface tension, the thickness of about 1 micrometer thru/or about 3 micrometers is required for the bank layer bank. In addition, the thickness of the organic-semiconductor film 43 after being established is about 0.05 micrometers to about 0.2 micrometers. In addition, if the septum which consists of a bank layer bank beforehand is 1 micrometers or more in height, even if the bank layer bank is not water repellence, the bank layer bank will fully function as a septum. If this thick bank layer bank is formed, it replaces with the ink jet method, and even when forming the organic-semiconductor film 43 by the applying method, the formation field can be specified.

[0045] Counterelectrode op is formed in after an appropriate time all over the abbreviation for the transparence substrate 10, and the laminating of the protective coat 60 is further carried out to the upper layer of Counterelectrode op. If a protective coat 60 has the thickness of about 2000A - 1 micrometer, it can secure moisture resistance enough.
[0046] According to such a manufacture approach, since each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the predetermined field using the ink jet method, the full color AKUCHIIBU matrix mold display 1 can be manufactured for high productivity.
[0047] In addition, although TFT is formed also in the data side drive circuit 3 shown in drawing 1 , or the scan side drive circuit 4, these TFT(s) use all or a part of processes which forms TFT for the aforementioned pixel 7, and are performed. So, TFT which constitutes a drive circuit will also be formed between the same layers as TFT of a pixel 7. Moreover, about said 1st TFT20 and 2nd TFT30, since N type and both sides can form TFT by the well-known approach even if P type and one side are which such combination in N type, although any of P type are sufficient as another side, both sides omit the explanation.
[0048] It forms by the same approach as the above-mentioned example which is [the gestalt of other

operations], and as a protective coat 60, besides the pure aluminium film, if transparency of moisture or oxygen is little electric conduction film, the metal membrane of the silicon content aluminum film or the copper content aluminum film or other metals can be used. Moreover, a refractory metal or its alloy can be used as a protective coat 60. Furthermore, also when insulator layers, such as a silicon nitride, are used as a protective coat 60, degradation of the thin film light emitting device 40 can be prevented. A protective coat 60 may be made into the two-layer structure of an insulator layer and the electric conduction film, and in this case, if the laminating of the electric conduction film is carried out to Counterelectrode op, the aforementioned redundancy wiring structure can be realized further again. In any case, if a protective coat is about 2000A - about 1 micrometer, it can secure moisture resistance enough.

[0049] Moreover, when the bank layer bank (insulator layer) constitutes from organic materials, such as resist film and polyimide film, the thick film can be formed easily, but when the bank layer bank (insulator layer) is constituted from inorganic materials, such as silicon oxide which formed membranes by the CVD method or the SOG method, or a silicon nitride, even if it is in the condition of having contacted the organic-semiconductor film 43, deterioration of the organic-semiconductor film 43 can be prevented.

[0050] Furthermore, the structure which could form between the scanning line gate besides the structure formed between the common feeders com about retention volume cap and the capacity line formed in juxtaposition, and used the drain field of 1st TFT20 and the gate electrode 31 of 2nd TFT30 is sufficient.

[0051]

[Effect of the Invention] As explained above, since the protective coat is formed in the upper layer side of the counterelectrode of a thin film light emitting device, with the active-matrix mold display concerning this invention, a thin film light emitting device can be protected from moisture etc. Therefore, there is no possibility that a thin film light emitting device may deteriorate. Moreover, since such a protective coat can be easily formed using a semi-conductor process, it does not raise the manufacturing cost of a active-matrix mold display. So, the advantage that it is not necessary to put the opposite substrate which is the advantage of the active-matrix mold display using a thin film light emitting device can be left as it is, and the dependability of a active-matrix mold display can be raised. Furthermore, since a thin film light emitting device is protected by the protective coat, as an ingredient used for a counterelectrode, there is also an advantage of not being limited to what has the high engine performance which protects a thin film light emitting device that what is necessary is just to choose the quality of the material from fields, such as luminous efficiency of a thin film light emitting device, and driver voltage.

---

[Translation done.]

* NOTICES *

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

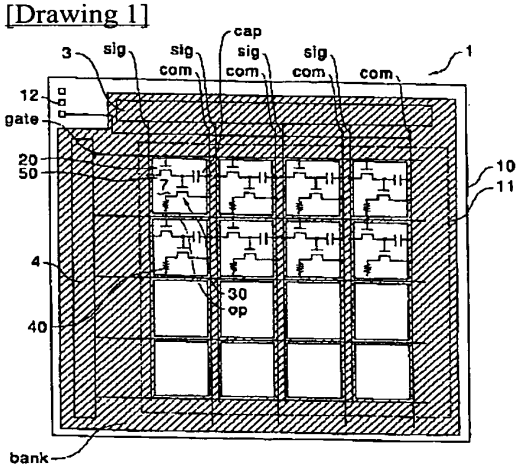
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

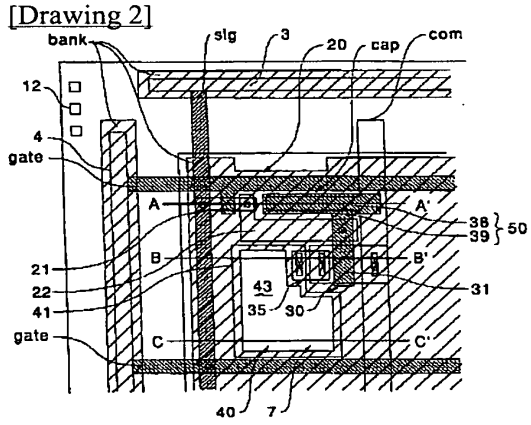
DRAWINGS

---

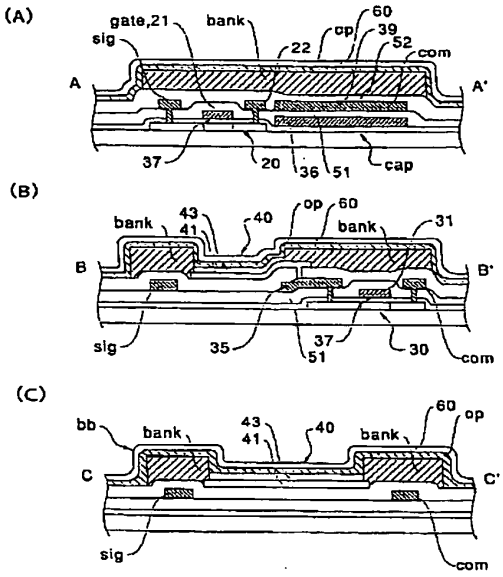
[Drawing 1]



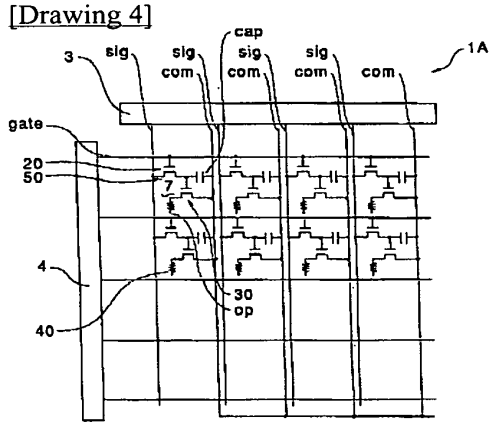

[Drawing 2]



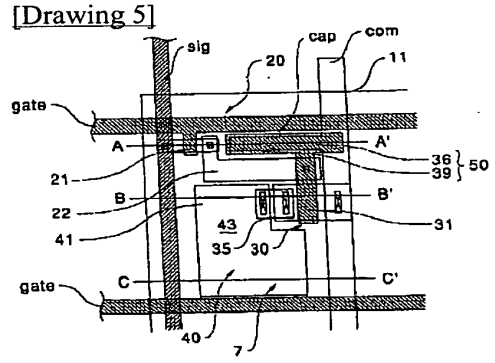

[Drawing 3]




[Drawing 4]

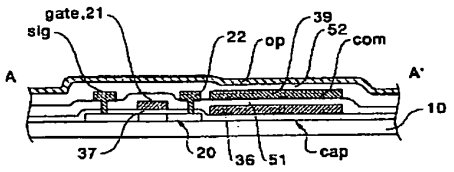



[Drawing 5]

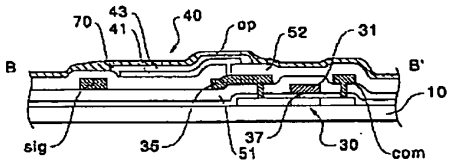



[Drawing 6]

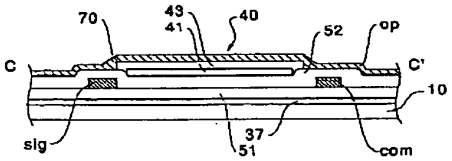
(A)




(B)




(C)




---

[Translation done.]

* NOTICES *

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

CORRECTION OR AMENDMENT

---

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law
[Section partition] The 1st partition of the 7th section
[Publication date] February 24, Heisei 17 (2005. 2.24)

[Publication No.] JP,11-74073,A
[Date of Publication] March 16, Heisei 11 (1999. 3.16)
[Application number] Japanese Patent Application No. 9-234921
[The 7th edition of International Patent Classification]

H05B 33/04
G09F 9/30
H05B 33/26

[FI]

H05B 33/04
G09F 9/30 343 E
H05B 33/26 Z

[Procedure revision]
[Filing Date] March 18, Heisei 16 (2004. 3.18)
[Procedure amendment 1]
[Document to be Amended] Specification
[Item(s) to be Amended] The name of invention
[Method of Amendment] Modification
[The contents of amendment]
[Title of the Invention] A active-matrix substrate and a active-matrix mold display
[Procedure amendment 2]
[Document to be Amended] Specification
[Item(s) to be Amended] Claim
[Method of Amendment] Modification
[The contents of amendment]
[Claim(s)]
[Claim 1]
It has the display which consists of two or more pixels formed on the substrate corresponding to the crossover of two or more scanning lines, two or more data lines which intersect this scanning line, and the this data line and said scanning line. Each of this pixel The circuit containing the thin film transistor by which a scan signal is supplied to a gate electrode through said scanning line, It is the active-matrix substrate with which said thin film light emitting device emits light based on the picture signal which is equipped with a pixel electrode, and the luminescence thin film by which the laminating was carried out to this pixel electrode and the thin film light emitting device possessing a counterelectrode, and is supplied through said circuit from said data line,
The active-matrix substrate characterized by forming the protective coat in the upper layer side of said counterelectrode.

[Claim 2]
The active-matrix substrate characterized by forming the insulator layer thicker than said luminescence thin film between said surrounding substrates and said counterelectrodes of said luminescence thin film in claim 1.
[Claim 3]
It is the active-matrix substrate characterized by said counterelectrode consisting of alkali-metal content aluminum film in claim 1 or 2.
[Claim 4]
It is the active-matrix substrate characterized by said protective coat consisting of insulator layers in claim 1 thru/or either of 3.
[Claim 5]
It is the active-matrix substrate characterized by said protective coat consisting of silicon nitrides in claim 1 thru/or either of 3.
[Claim 6]
It is the active-matrix substrate characterized by said protective coat consisting of a refractory metal or its alloy in claim 1 thru/or either of 3.
[Claim 7]
It is the active-matrix substrate characterized by said protective coat consisting of one of aluminum film in claim 1 thru/or either of 3 among the pure aluminium film, the silicon content aluminum film, and the copper content aluminum film.
[Claim 8]
It is the active-matrix substrate characterized by said protective coat having two-layer structure of the electric conduction film and an insulator layer in claim 1 thru/or either of 3.
[Claim 9]
In claim 1 thru/or either of 8 said circuit It has the 1st thin film transistor by which said scan signal is supplied to a gate electrode, and the 2nd thin film transistor which a gate electrode connects to said data line through this 1st thin film transistor. For said data line and scanning line, this 2nd thin film transistor and said thin film light emitting device are a active-matrix substrate characterized by having connected with a serial between the common feeder for the drive current supply sources constituted independently, and said counterelectrode.
[Claim 10]
It has the thin film light emitting device which has a pixel electrode, a luminescence thin film, and said two or more pixel electrodes and the counterelectrode to energize,
The active-matrix substrate characterized by forming the protective coat in the upper layer side of said counterelectrode.
[Claim 11]
The active-matrix substrate characterized by forming the insulator layer between said surrounding substrates and said counterelectrodes of said luminescence thin film in said claim 10.
[Claim 12]
The active-matrix substrate characterized by forming the insulator layer between said surrounding substrates and said counterelectrodes of a pixel in said claim 10.
[Claim 13]
It has the display which consists of two or more pixels formed on the substrate corresponding to the crossover of two or more scanning lines, two or more data lines which intersect this scanning line, and the this data line and said scanning line. Each of this pixel The circuit containing the thin film transistor by which a scan signal is supplied to a gate electrode through said scanning line, It has a pixel electrode, and the luminescence thin film by which the laminating was carried out to this pixel electrode and the thin film light emitting device possessing a counterelectrode. It is an active-matrix mold display containing the active-matrix substrate with which said thin film light emitting device emits light based on the picture signal supplied through said circuit from said data line,
The active-matrix mold display characterized by forming the protective coat in the upper layer side of said counterelectrode.
[Procedure amendment 3]
[Document to be Amended] Specification
[Item(s) to be Amended] 0010
[Method of Amendment] Modification

[The contents of amendment]
[0010]
[Means for Solving the Problem]
In order to solve the above-mentioned technical problem, at this invention, they are two or more scanning lines on a substrate. Two or more data lines which intersect this scanning line It is the circuit where it has the display which consists of two or more pixels formed corresponding to the crossover of this data line and said scanning line, and each of this pixel contains the thin film transistor by which a scan signal is supplied to a gate electrode through said scanning line. Pixel electrode The luminescence thin film by which the laminating was carried out to this pixel electrode, and a counterelectrode it comes out, and it is and is characterized by the thing equipped with the above for which the protective coat is formed in the upper layer side of said counterelectrode. Moreover, you may be a active-matrix mold display containing said active-matrix substrate.
[Procedure amendment 4]
[Document to be Amended] Specification
[Item(s) to be Amended] 0011
[Method of Amendment] Modification
[The contents of amendment]
[0011]
In this invention, since the protective coat is formed in the upper layer side of the counterelectrode of a thin film light emitting device, a thin film light emitting device can be protected from the moisture which diffuses a counterelectrode and is penetrated. Therefore, in a thin film light emitting device, there is no possibility that decline in the luminous efficiency, the rise (shift by the side of the high voltage of a threshold electrical potential difference) of driver voltage, the fall of dependability, etc. may occur. Moreover, since such a protective coat can be easily formed using a semi-conductor process, it does not raise the manufacturing cost of a active-matrix substrate. So, the advantage that it is not necessary to put the opposite substrate which is the advantage of the active-matrix substrate using a thin film light emitting device can be left as it is, and the dependability of a active-matrix substrate can be raised. Furthermore, since a thin film light emitting device is protected by the protective coat, as an ingredient used for a counterelectrode, there is also an advantage of not being limited to what has the high engine performance which protects a thin film light emitting device that what is necessary is just to choose the quality of the material from fields, such as luminous efficiency of a thin film light emitting device, and driver voltage.
[Procedure amendment 5]
[Document to be Amended] Specification
[Item(s) to be Amended] 0012
[Method of Amendment] Modification
[The contents of amendment]
[0012]
In this invention, it is desirable that the insulator layer thicker than said luminescence thin film is formed between said surrounding substrates and said counterelectrodes of said luminescence thin film. A counterelectrode is formed all over a display at least, and since it is in the condition of countering with the data line, the way things stand, a big capacity will be parasitic [ with the active-matrix substrate using a thin film light emitting device ] to the data line. However, in this invention, since the thick insulator layer was made to intervene between the data line and a counterelectrode, it can prevent that capacity is parasitic on the data line. Consequently, since the load of a data side drive circuit can be reduced, low-power-izing or improvement in the speed of a display action can be attained. Moreover, if such an insulator layer is formed, in case a luminescence thin film will be formed by the ink jet method in the field divided by this insulator layer, said insulator layer can be used as a bank layer which prevents the flash of discharged liquid.
[Procedure amendment 6]
[Document to be Amended] Specification
[Item(s) to be Amended] 0014
[Method of Amendment] Modification
[The contents of amendment]
[0014]
In this invention, although said protective coat may be constituted from insulator layers, such as a silicon

nitride, it may consist of electric conduction film, such as a refractory metal or its alloy. Moreover, said protective coat may consist of electric conduction film, such as pure aluminium film, silicon content aluminum film, and copper content aluminum film. Furthermore, it is good also considering said protective coat as two-layer structure of the electric conduction film and an insulator layer. When the protective coat by which a laminating is carried out to a counterelectrode is formed by the electric conduction film, the effectiveness same with having reduced electric resistance of a counterelectrode can be acquired. Moreover, when the thick insulator layer which divides the formation field of the aforementioned organic-semiconductor film is formed, there is a possibility that an open circuit may generate the counterelectrode formed in that upper layer side with the big level difference which this insulator layer forms, but since redundancy wiring structure is formed with this electric conduction film when the protective coat by which a laminating is carried out to a counterelectrode is formed by the electric conduction film, an open circuit of a counterelectrode can be prevented. So, in a active-matrix substrate, since an open circuit does not occur in the counterelectrode formed in the upper layer of an insulator layer even if it forms a thick insulator layer in the surroundings of the organic-semiconductor film and stops parasitic capacitance etc., the display quality and reliability of a active-matrix substrate can be improved.

---

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平11－74073

(43)公開日　平成11年(1999)３月16日

| (51)Int.Cl.[6] | 識別記号 | ＦＩ | |
|---|---|---|---|
| Ｈ０５Ｂ　33/04 | | Ｈ０５Ｂ　33/04 | |
| Ｇ０９Ｆ　9/30 | ３４３ | Ｇ０９Ｆ　9/30 | ３４３Ｅ |
| Ｈ０５Ｂ　33/26 | | Ｈ０５Ｂ　33/26 | Ｚ |

審査請求　未請求　請求項の数９　ＯＬ　（全９頁）

(21)出願番号　特願平9－234921

(22)出願日　平成９年(1997)８月29日

(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号

(72)発明者　湯田坂　一夫
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

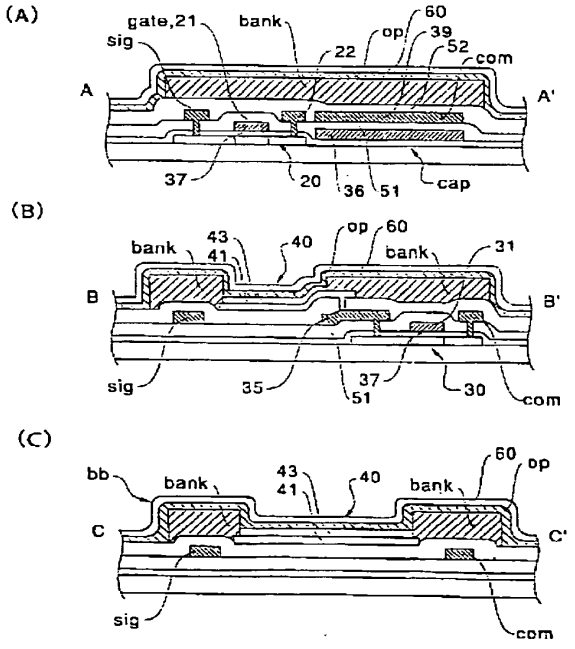
(74)代理人　弁理士　鈴木　喜三郎　（外２名）

(54)【発明の名称】　アクティブマトリクス型表示装置

(57)【要約】

【課題】　簡単な構造で薄膜発光素子を水分等から保護することのできるアクティブマトリクス型表示装置を提供すること。

【解決手段】　アクティブマトリクス型表示装置１では、各画素７に、画素電極４１、該画素電極４１の上層側に積層された有機半導体膜４３、および該有機半導体膜４３の上層側に形成された対向電極ｏｐを具備する薄膜発光素子４０を備えている。対向電極ｏｐの上層には基板の略全面を覆う保護膜６０が形成されており、この保護膜６０によって水分や酸素の侵入を防いで薄膜発光素子４０の劣化を防止する。



1

【特許請求の範囲】

【請求項１】　基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、該データ線と前記走査線とによってマトリクス状に形成された複数の画素からなる表示部とを有し、該画素の各々は、前記走査線を介して走査信号がゲート電極に供給される薄膜トランジスタを含む導通制御回路と、画素毎に形成された画素電極、該画素電極の上層側に積層された発光薄膜、および該発光薄膜の上層側において少なくとも前記表示部の全面に形成された対向電極を具備する薄膜発光素子とを備え、前記データ線から前記導通制御回路を介して供給される画像信号に基づいて前記薄膜発光素子が発光するアクティブマトリクス型表示装置において、

前記対向電極の上層側には、少なくとも当該対向電極の形成領域を覆う保護膜が形成されていることを特徴とするアクティブマトリクス型表示装置。

【請求項２】　請求項１において、前記発光薄膜は、前記対向電極の下層側に前記発光薄膜よりも厚く形成された絶縁膜で区画されていることを特徴とするアクティブマトリクス型表示装置。

【請求項３】　請求項１または２において、前記対向電極は、アルカリ金属含有アルミニウム膜から構成されていることを特徴とするアクティブマトリクス型表示装置。

【請求項４】　請求項１ないし３のいずれかにおいて、前記保護膜は、絶縁膜から構成されていることを特徴とするアクティブマトリクス型表示装置。

【請求項５】　請求項１ないし３のいずれかにおいて、前記保護膜は、シリコン窒化膜から構成されていることを特徴とするアクティブマトリクス型表示装置。

【請求項６】　請求項１ないし３のいずれかにおいて、前記保護膜は、高融点金属あるいはその合金から構成されていることを特徴とするアクティブマトリクス型表示装置。

【請求項７】　請求項１ないし３のいずれかにおいて、前記保護膜は、純アルミニウム膜、シリコン含有アルミニウム膜、および銅含有アルミニウム膜のうちのいずれかのアルミニウム膜から構成されていることを特徴とするアクティブマトリクス型表示装置。

【請求項８】　請求項１ないし３のいずれかにおいて、前記保護膜は、導電膜と絶縁膜の２層構造になっていることを特徴とするアクティブマトリクス型表示装置。

【請求項９】　請求項１ないし８のいずれかにおいて、前記導通制御回路は、前記走査信号がゲート電極に供給される第１の薄膜トランジスタ、および該第１の薄膜トランジスタを介してゲート電極が前記データ線に接続する第２の薄膜トランジスタを備え、該第２の薄膜トランジスタと前記薄膜発光素子は、前記データ線および走査線とは別に構成された駆動電流供給用の共通給電線と前記対向電極との間に直列に接続していることを特徴とするアクティブマトリクス型表示装置。

2

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、有機半導体膜等の発光薄膜に駆動電流が流れることによって発光するエレクトロルミネッセンス素子（以下、ＥＬ素子という。）または発光ダイオード素子（以下、ＬＥＤ素子という。）などの薄膜発光素子を薄膜トランジスタ（以下、ＴＦＴという。）で駆動制御するアクティブマトリクス型表示装置に関するものである。

【０００２】

【従来の技術】ＥＬ素子またはＬＥＤ素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性が少ないなどの利点もある。

【０００３】図４は、このような電荷注入型の有機半導体薄膜によって発光するＥＬ素子を用いたアクティブマトリクス型表示装置のブロック図である。この図に示すアクティブマトリクス型表示装置１Ａでは、透明基板１０上に、複数の走査線ｇａｔｅと、該走査線ｇａｔｅの延設方向に対して交差する方向に延設された複数のデータ線ｓｉｇと、該データ線ｓｉｇに並列する複数の共通給電線ｃｏｍと、データ線ｓｉｇと走査線ｇａｔｅとによってマトリクス状に形成された画素７とが構成されている。データ線ｓｉｇおよび走査線ｇａｔｅに対してはデータ側駆動回路３および走査側駆動回路４が構成されている。各々の画素７には、走査線ｇａｔｅを介して走査信号が供給される導通制御回路５０と、この導通制御回路５０を介してデータ線ｓｉｇから供給される画像信号に基づいて発光する薄膜発光素子４０とが構成されている。導通制御回路５０は、走査線ｇａｔｅを介して走査信号がゲート電極に供給される第１のＴＦＴ２０と、この第１のＴＦＴ２０を介してデータ線ｓｉｇから供給される画像信号を保持する保持容量ｃａｐと、この保持容量ｃａｐによって保持された画像信号がゲート電極に供給される第２のＴＦＴ３０とから構成されている。第２のＴＦＴ３０と薄膜発光素子４０とは、後述する対向電極ｏｐと共通給電線ｃｏｍとの間に直列に接続している。この薄膜発光素子４０は、第２のＴＦＴ３０がオン状態になったときには共通給電線ｃｏｍから駆動電流が流れ込んで発光するとともに、この発光状態は保持容量ｃａｐによって所定の期間、保持される。

【０００４】図５は、図４に示すアクティブマトリクス型表示装置に構成されている画素の１つを抜き出して示す平面図である。図６（Ａ）、（Ｂ）、（Ｃ）はそれぞれ、図５のＡ－Ａ′断面図、Ｂ－Ｂ′断面図、およびＣ－Ｃ′断面図である。

【０００５】このような構成のアクティブマトリクス型

表示装置１Ａでは、図５および図６（Ａ）、（Ｂ）に示すように、いずれの画素７においても、島状の半導体膜を利用して同一工程で第１のＴＦＴ２０および第２のＴＦＴ３０が形成されている。第１のＴＦＴ２０は、ゲート電極２１が走査線ｇａｔｅの一部として構成されている。第１のＴＦＴ２０は、ソース・ドレイン領域の一方に第１の層間絶縁膜５１のコンタクトホールを介してデータ線ｓｉｇが電気的に接続し、他方にはドレイン電極２２が電気的に接続している。ドレイン電極２２は、第２のＴＦＴ３０の形成領域に向けて延設されており、この延設部分には第２のＴＦＴ３０のゲート電極３１が第１の層間絶縁膜５１のコンタクトホールを介して電気的に接続している。第２のＴＦＴ３０のソース・ドレイン領域の一方には、第１の層間絶縁膜５１のコンタクトホールを介して中継電極３５が電気的に接続し、この中継電極３５には第２の層間絶縁膜５２のコンタクトホールを介して薄膜発光素子４０の画素電極４１が電気的に接続している。

【０００６】画素電極４１は、図５および図６（Ｂ）、（Ｃ）からわかるように各画素７毎に独立して形成されている。画素電極４１の上層側には、有機半導体膜４３および対向電極ｏｐがこの順に積層されている。対向電極ｏｐは、少なくとも表示部１１を覆うように形成されている。

【０００７】再び、図５および図６（Ａ）において、第２のＴＦＴ３０のソース・ドレイン領域のもう一方には、第１の層間絶縁膜５１のコンタクトホールを介して共通給電線ｃｏｍが電気的に接続している。共通給電線ｃｏｍの延設部分３９は、第２のＴＦＴ３０のゲート電極３１の延設部分３６に対して、第１の層間絶縁膜５１を誘電体膜として挟んで対向し、保持容量ｃａｐを構成している。

【０００８】

【発明が解決しようとする課題】このようなアクティブマトリクス型表示装置１Ａは、透明基板１０自体に対向電極ｏｐが積層されているので、アクティブマトリクス型液晶表示装置と相違して、対向基板を重ねる必要がないという大きな利点がある。しかし、薄膜発光素子４０は薄い対向電極ｏｐで覆われているだけなので、対向電極ｏｐを拡散、透過して有機半導体膜４３に水分や酸素が侵入し、薄膜発光素子４０の発光効率の低下、その駆動電圧の上昇（しきい値電圧の高電圧側へのシフト）、信頼性の低下などを発生させるおそれがある。前記水分や酸素の侵入を防止するため、従来のアクティブマトリクス型表示装置１Ａでは、その少なくとも表示部１１を対向基板で覆い、この対向基板の外周を封止する方法がとられていた。しかし、この方法は前述の液晶表示装置に比しての利点を損なうことになる。

【０００９】そこで、本発明の課題は、簡単な構造で薄膜発光素子を水分等から保護することのできるアクティブマトリクス型表示装置を提供することにある。



【００１０】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に、複数の走査線と、該走査線と交差する複数のデータ線と、該データ線と前記走査線とによってマトリクス状に形成された複数の画素からなる表示部とを有し、該画素の各々は、前記走査線を介して走査信号がゲート電極に供給される薄膜トランジスタを含む導通制御回路と、画素毎に形成された画素電極、該画素電極の上層側に積層された発光薄膜、および該発光薄膜の上層側において少なくとも前記表示部の全面に形成された対向電極を具備する薄膜発光素子とを備え、前記データ線から前記導通制御回路を介して供給される画像信号に基づいて前記薄膜発光素子が発光するアクティブマトリクス型表示装置において、前記対向電極の上層側には、少なくとも当該対向電極の形成領域を覆う保護膜が形成されていることを特徴とする。

【００１１】本発明では、薄膜発光素子の対向電極の上層側には保護膜が形成されているので、対向電極を拡散、透過してくる水分等から薄膜発光素子を保護することができる。従って、薄膜発光素子において、その発光効率の低下、駆動電圧の上昇（しきい値電圧の高電圧側へのシフト）、信頼性の低下などが発生するおそれがない。また、このような保護膜は、半導体プロセスを利用して容易に形成できるので、アクティブマトリクス型表示装置の製造コストを高めることがない。それ故、薄膜発光素子を用いたアクティブマトリクス型表示装置の利点である対向基板を被せる必要がないという利点をそのままにして、アクティブマトリクス型表示装置の信頼性を向上させることができる。さらに、保護膜で薄膜発光素子を保護するので、対向電極に用いる材料としては、薄膜発光素子の発光効率や駆動電圧などの面からその材質を選択すればよく、薄膜発光素子を保護する性能が高いものに限定されないという利点もある。

【００１２】本発明において、前記発光薄膜は、前記対向電極の下層側に前記有機半導体膜よりも厚く形成された絶縁膜で区画されていることが好ましい。薄膜発光素子を用いたアクティブマトリクス型表示装置では、対向電極は少なくとも表示部の全面に形成され、データ線と対向する状態にあるため、このままではデータ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間に厚い絶縁膜を介在させたので、データ線に容量が寄生することを防止できる。その結果、データ側駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。また、このような絶縁膜を形成すれば、この絶縁膜で区画された領域内に発光薄膜をインクジェット法により形成する際に、前記絶縁膜を吐出液のはみ出しを防止するバンク層として利用することができる。

【００１３】本発明において、前記対向電極は、たとえ

5

ばアルカリ金属含有アルミニウム膜から構成され、このような膜で対向電極を構成した場合には、水分などが拡散、透過していく可能性が高いことから、保護膜を形成した効果が顕著である。

【００１４】本発明において、前記保護膜は、シリコン窒化膜などの絶縁膜で構成してもよいが、高融点金属あるいはその合金などの導電膜から構成してもよい。また、前記保護膜を純アルミニウム膜、シリコン含有アルミニウム膜、銅含有アルミニウム膜などの導電膜から構成してもよい。さらには、前記保護膜を導電膜と絶縁膜との２層構造としてもよい。対向電極に積層される保護膜を導電膜で形成した場合には、対向電極の電気的抵抗を低下させたのと同様な効果を得ることができる。また、前記の有機半導体膜の形成領域を区画する厚い絶縁膜を形成した場合にこの絶縁膜が形成する大きな段差によって、その上層側に形成される対向電極に断線が発生させるおそれがあるが、対向電極に積層される保護膜を導電膜で形成した場合には、かかる導電膜によって冗長配線構造が形成されるので、対向電極の断線を防止することができる。それ故、アクティブマトリクス型表示装置において、有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑えたとしても、絶縁膜の上層に形成する対向電極に断線が発生しないので、アクティブマトリクス型表示装置の表示品質および信頼性を向上することができる。

【００１５】本発明では、前記導通制御回路は、前記走査信号がゲート電極に供給される第１のＴＦＴ、および該第１のＴＦＴを介してゲート電極が前記データ線に接続する第２のＴＦＴを備え、該第２のＴＦＴと前記薄膜発光素子は、前記データ線および走査線とは別に構成された駆動電流供給用の共通給電線と前記対向電極との間に直列に接続していることが好ましい。すなわち、導通制御回路を１つＴＦＴと保持容量で構成することも可能ではあるが、表示品位を高くするという観点からすれば各画素の導通制御回路を２つのＴＦＴと保持容量で構成することが好ましい。

【００１６】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。なお、以下の説明において、図４ないし図６を参照して説明した要素と共通する部分には同一の符号を付してある。

【００１７】（全体構成）図１は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図２は、それに構成されている画素の１つを抜き出して示す平面図、図３（Ａ）、（Ｂ）、（Ｃ）はそれぞれ図２のＡ－Ａ′断面図、Ｂ－Ｂ′断面図、およびＣ－Ｃ′断面図である。

【００１８】図１に示すアクティブマトリクス型表示装置１では、その基体たる透明基板１０の中央部分が表示部１１とされている。透明基板１０の外周部分のうち、

6

データ線ｓｉｇの端部には画像信号を出力するデータ側駆動回路３が構成され、走査線ｇａｔｅの端部には走査信号を出力する走査側駆動回路４が構成されている。これらの駆動回路３、４では、Ｎ型のＴＦＴとＰ型のＴＦＴとによって相補型ＴＦＴが構成され、この相補型ＴＦＴは、シフトレジスタ回路、レベルシフタ回路、アナログスイッチ回路などを構成している。表示部１１では、アクティブマトリクス型液晶表示装置のアクティブマトリクス基板と同様、透明基板１０上に、複数の走査線ｇａｔｅと、該走査線ｇａｔｅの延設方向に対して交差する方向に延設された複数のデータ線ｓｉｇとによって、複数の画素７がマトリクス状に構成されている。

【００１９】各々の画素７には、走査線ｇａｔｅを介して走査信号が供給される導通制御回路５０と、この導通制御回路５０を介してデータ線ｓｉｇから供給される画像信号に基づいて発光する薄膜発光素子４０とが構成されている。ここに示す例においては、導通制御回路５０は、走査線ｇａｔｅを介して走査信号がゲート電極に供給される第１のＴＦＴ２０と、この第１のＴＦＴ２０を介してデータ線ｓｉｇから供給される画像信号を保持する保持容量ｃａｐと、この保持容量ｃａｐによって保持された画像信号がゲート電極に供給される第２のＴＦＴ３０とから構成されている。第２のＴＦＴ３０と薄膜発光素子４０とは、詳しくは後述する対向電極ｏｐと共通給電線ｃｏｍとの間に直列に接続している。

【００２０】このような構成のアクティブマトリクス型表示装置１では、図２および図３（Ａ）、（Ｂ）に示すように、いずれの画素７においても、島状の半導体膜（シリコン膜）を利用して第１のＴＦＴ２０および第２のＴＦＴ３０が形成されている。

【００２１】第１のＴＦＴ２０は、ゲート電極２１が走査線ｇａｔｅの一部として構成されている。第１のＴＦＴ２０は、ソース・ドレイン領域の一方に第１層間絶縁膜５１のコンタクホールを介してデータ線ｓｉｇが電気的に接続し、他方にはドレイン電極２２が電気的に接続している。ドレイン電極２２は、第２のＴＦＴ３０の形成領域に向けて延設されており、この延設部分には第２のＴＦＴ３０のゲート電極３１が第１の層間絶縁膜５１のコンタクトホールを介して電気的に接続している。

【００２２】第２のＴＦＴ３０のソース・ドレイン領域の一方には、第１の層間絶縁膜５１のコンタクトホールを介して、データ線ｓｉｇと同時形成された中継電極３５が電気的に接続し、この中継電極３５には第２の層間絶縁膜５２のコンタクトホールを介して薄膜発光素子４０のＩＴＯ膜からなる透明な画素電極４１が電気的に接続している。

【００２３】図２および図３（Ｂ）、（Ｃ）からわかるように、画素電極４１は各画素７毎に独立して形成されている。画素電極４１の上層側には、ポリフェニレンビニレン（ＰＰＶ）などからなる有機半導体膜４３、およ

びリチウムなどのアルカリ金属を含有するアルミニウム、カルシウムなどの金属膜からなる対向電極ｏｐがこの順に積層され、薄膜発光素子４０が構成されている。有機半導体膜４３は各画素７に形成されているが、複数の画素７に跨がってストライプ状に形成される場合もある。対向電極ｏｐは、表示部１１全体と、少なくとも端子１２が形成されている部分の周囲を除いた領域に形成されている。

【００２４】なお、薄膜発光素子４０としては、正孔注入層を設けて発光効率（正孔注入率）を高めた構造、電子注入層を設けて発光効率（電子注入率）を高めた構造、正孔注入層および電子注入層の双方を形成した構造を採用することもできる。

【００２５】再び、図２および図３（Ａ）において、第２のＴＦＴ３０のソース・ドレイン領域のもう一方には、第１の層間絶縁膜５１のコンタクトホールを介して共通給電線ｃｏｍが電気的に接続している。共通給電線ｃｏｍの延設部分３９は、第２のＴＦＴ３０のゲート電極３１の延設部分３６に対して、第１の層間絶縁膜５１を誘電体膜として挟んで対向し、保持容量ｃａｐを構成している。

【００２６】このように構成したアクティブマトリクス型表示装置１では、走査信号によって選択されて第１のＴＦＴ２０がオン状態になると、データ線ｓｉｇからの画像信号が第１のＴＦＴ２０を介して第２のＴＦＴ３０のゲート電極３１に印加されるとともに、画像信号が第１のＴＦＴ２０を介して保持容量ｃａｐに書き込まれる。その結果、第２のＴＦＴ３０がオン状態になると、対向電極ｏｐおよび画素電極４１をそれぞれ負極および正極として電圧が印加され、印加電圧がしきい値電圧を越えた領域で有機半導体膜４３に流れる電流（駆動電流）が急激に増大する。従って、発光素子４０は、エレクトロルミネッセンス素子あるいはＬＥＤ素子として発光し、発光素子４０の光は、対向電極ｏｐに反射されて透明な画素電極４１および透明基板１０を透過して出射される。このような発光を行うための駆動電流は、対向電極ｏｐ、有機半導体膜４３、画素電極４１、第２のＴＦＴ３０、および共通給電線ｃｏｍから構成される電流経路を流れるため、第２のＴＦＴ３０がオフ状態になると、流れなくなる。但し、第２のＴＦＴ３０のゲート電極は、第１のＴＦＴ２０がオフ状態になっても、保持容量ｃａｐによって画像信号に相当する電位に保持されるので、第２のＴＦＴ３０はオン状態のままである。それ故、発光素子４０には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量ｃａｐに書き込まれて、第２のＴＦＴ３０がオフ状態になるまで維持される。

【００２７】（薄膜発光素子の保護構造）このように、薄膜発光素子４０を用いたアクティブマトリクス型表示装置１は、透明基板１０自体に対向電極ｏｐが積層されているので、アクティブマトリクス型液晶表示装置と相違して、対向基板を重ねる必要がないという大きな利点がある。しかし、薄膜発光素子４０には、薄い対向電極ｏｐを拡散、透過して水分や酸素が侵入してくるおそれがある。特に、本形態では、薄膜発光素子４０での電子注入効率を高めてその駆動電圧を下げることを目的に、対向電極ｏｐとしてリチウムなどのアルカリ金属を含有するアルミニウム膜が用いられ、このアルカリ金属含有アルミニウム膜は、純アルミニウムに比較して水分や酸素を拡散、透過しやすいことが考えられる。すなわち、アルカル金属含有アルミニウム膜は、純アルミニウム膜、シリコン含有アルミニウム膜、銅含有アルミニウム膜に比較して靭性に乏しく、応力がかかったときに破断しやすいので、クラックなどを介して、水分や酸素が侵入するおそれがある。また、アルカリ金属含有アルミニウム膜の破断面は柱状組織を示し、組織間を水分や酸素が拡散、透過しやすいと考えられる。

【００２８】そこで、本形態では、対向電極ｏｐの上層に純アルミニウムからなる保護膜６０を形成してある。この純アルミニウムからなる保護膜６０は、多少の応力では破断しない靭性を有するので、水分や酸素の侵入経路となるクラックが発生しない。また、純アルミニウムは、その破断面において、アルカリ金属含有アルミニウム膜のような柱状組織を示しておらず、組織間を水分や酸素が透過、侵入するおそれもない。それ故、本形態のアクティブマトリクス型表示装置１は、薄膜発光素子４０を水分等から保護することができるので、薄膜発光素子４０に発光効率の低下、駆動電圧の上昇（しきい値電圧の高電圧側へのシフト）、信頼性の低下などが発生しない。また、このような純アルミニウム膜からなる保護膜６０であれば、半導体プロセスを利用して容易に形成できるので、アクティブマトリクス型表示装置１の製造コストを高めることがない。それ故、薄膜発光素子４０を用いたアクティブマトリクス型表示装置４０の利点である対向基板を被せる必要がないという利点をそのままにして、アクティブマトリクス型表示装置１の信頼性を向上させることができる。

【００２９】また、保護膜６０で薄膜発光素子４０を保護するので、対向電極ｏｐに用いる材料としては、薄膜発光素子４０の発光効率や駆動電圧などの面からその材質を選択すればよく、薄膜発光素子４０を保護する性能が高いものに限定されないという利点もある。

【００３０】さらに、本形態では、対向電極ｏｐに積層される保護膜６０を純アルミニウム膜からなる導電膜で形成したので、対向電極ｏｐの電気的抵抗を低下させたのと同様な効果を得ることができる。

【００３１】（バンク層の構造）このように構成したアクティブマトリクス型表示装置１において、本形態では、データ線ｓｉｇには大きな容量が寄生することを防止するため、図１、図２、および図３（Ａ）、（Ｂ）、

（Ｃ）に示すように、データ線ｓｉｇおよび走査線ｇａｔｅに沿って、レジスト膜あるいはポリイミド膜からなる厚い絶縁膜（バンク層ｂａｎｋ／左下がりの斜線を広いピッチで付した領域）を設け、このバンク層ｂａｎｋの上層側に対向電極ｏｐを形成してある。このため、データ線ｓｉｇと対向電極ｏｐとの間には、第２の層間絶縁膜５２と厚いバンク層ｂａｎｋが介在しているので、データ線ｓｉｇに寄生する容量が極めて小さい。それ故、駆動回路３、４の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【００３２】また、図１に示すように、透明基板１０の周辺領域（表示部１１の外側領域）にもバンク層ｂａｎｋ（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路３および走査側駆動回路４はいずれも、バンク層ｂａｎｋによって覆われている。対向電極ｏｐは少なくとも表示部１１に形成され、駆動回路の形成領域に形成される必要はない。しかし、対向電極ｏｐは通常、マスクスパッタで形成されるため、合わせ精度が悪く、対向電極ｏｐと駆動回路とが重なることがある。このように駆動回路の形成領域に対して対向電極ｏｐが重なる状態にあっても、駆動回路の配線層と対向電極ｏｐとの間にバンク層ｂａｎｋが介在することになるので、駆動回路３、４に容量が寄生することを防止できる。このため、駆動回路３、４の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【００３３】さらに、本形態では、画素電極４１の形成領域のうち、導通制御回路５０の中継電極３５と重なる領域にもバンク層ｂａｎｋが形成されている。このため、中継電極３５と重なる領域には有機半導体膜４３が形成されない。すなわち、画素電極４１の形成領域のうち、平坦な部分のみに有機半導体膜４３が形成されるので、有機半導体膜４３は一定の膜厚で形成され、表示むらを起こさない。また、中継電極３５と重なる領域にバンク層ｂａｎｋがないと、この部分でも対向電極ｏｐとの間に駆動電流が流れて有機半導体膜４３が発光する。しかし、この光は中継電極３５と対向電極ｏｐとの間に挟まれて外に出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、従来ならこのような無効電流が流れるはずの部分にバンク層ｂａｎｋを形成し、そこに駆動電流が流れることを防止するので、共通給電線ｃｏｍに無駄な電流が流れることが防止できる。それ故、共通給電線ｃｏｍの幅はその分、狭くてよい。その結果として、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【００３４】ここで、厚いバンク層ｂａｎｋを形成した場合には、図３に示すように、このバンク層ｂａｎｋが形成する大きな段差ｂｂによって、その上層側に形成される対向電極ｏｐに断線が発生させるおそれがある。しかるに本形態では、対向電極ｏｐに積層される保護膜６０を導電膜で形成してあるので、かかる導電膜（保護膜６０）によって冗長配線構造が構成されている。従って、厚いバンク層ｂａｎｋを形成して寄生容量などを抑えたとしても、バンク層ｂａｎｋの上層に形成する対向電極ｏｐに断線が発生しないので、アクティブマトリクス型表示装置１の表示品質および信頼性を向上することができる。

【００３５】なお、バンク層ｂａｎｋを黒色のレジストによって形成すると、バンク層ｂａｎｋはブラックマトリクスとして機能し、コントラスト比などの表示の品位が向上する。すなわち、本形態に係るアクティブマトリクス型表示装置１では、対向電極ｏｐが透明基板１０の表面側において画素７の全面に形成されるため、対向電極ｏｐでの反射光がコントラスト比を低下させる。しかるに寄生容量を防止する機能を担うバンク層ｂａｎｋを黒色のレジストで構成すると、バンク層ｂａｎｋはブラックマトリクスとしても機能し、対向電極ｏｐからの反射光を遮るので、コントラスト比が向上する。

【００３６】（アクティブマトリクス型表示装置の製造方法）このように形成したバンク層ｂａｎｋは、有機半導体膜４３の形成領域を囲むように構成されているので、アクティブマトリクス型表示装置の製造工程では、インクジェットヘッドから吐出した液状の材料（吐出液）から有機半導体膜４３を形成する際に吐出液をせき止め、吐出液が側方にはみ出すことを防止する。なお、以下に説明するアクティブマトリクス型表示装置１の製造方法において、透明基板１０上に第１のＴＦＴ２０および第２のＴＦＴ３０を製造するまでの工程は、液晶アクティブマトリクス型表示装置１のアクティブマトリクス基板を製造する工程と略同様であるため、図３（Ａ）、（Ｂ）、（Ｃ）を参照してその概略を簡単に説明する。

【００３７】まず、透明基板１０に対して、必要に応じて、ＴＥＯＳ（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズマＣＶＤ法により厚さが約２０００～５０００オングストロームのシリコン酸化膜からなる下地保護膜（図示せず。）を形成した後、下地保護膜の表面にプラズマＣＶＤ法により厚さが約３００～７００オングストロームのアモルファスのシリコン膜からなる半導体膜を形成する。次にアモルファスのシリコン膜からなる半導体膜に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜をポリシリコン膜に結晶化する。

【００３８】次に、半導体膜をパターニングして島状の半導体膜とし、その表面に対して、ＴＥＯＳ（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズマＣＶＤ法により厚さが約６００～１５００オングストロームのシリコン酸化膜または窒化膜からなるゲート絶

11

縁膜５７を形成する。

【００３９】次に、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターニングし、ゲート電極２１、３１、およびゲート電極３１の延設部分３６を形成する（ゲート電極形成工程）。この工程では走査線ｇａｔｅも形成する。

【００４０】この状態で、高濃度のリンイオンを打ち込んで、ゲート電極２１、３１に対して自己整合的にソース・ドレイン領域を形成する。なお、不純物が導入されなかった部分がチャネル領域となる。

【００４１】次に、第１の層間絶縁膜５１を形成した後、各コンタクトホールを形成し、次に、データ線ｓｉｇ、ドレイン電極２２、共通給電線ｃｏｍ、共通給電線ｃｏｍの延設部分３９、および中継電極３５を形成する。その結果、第１のＴＦＴ２０、第２のＴＦＴ３０、および保持容量ｃａｐが形成される。

【００４２】次に、第２の層間絶縁膜５２を形成し、この層間絶縁膜には、中継電極３５に相当する部分にコンタクトホール形成する。次に、第２の層間絶縁膜５２の表面全体にＩＴＯ膜を形成した後、パターニングし、コンタクトホールを介して第２のＴＦＴ３０のソース・ドレイン領域に電気的に接続する画素電極４１を画素７毎に形成する。

【００４３】次に、第２の層間絶縁膜５２の表面側にレジスト層を形成した後、このレジストを走査線ｇａｔｅおよびデータ線ｓｉｇに沿って残すようにパターニングし、バンク層ｂａｎｋを形成する。このとき、データ線ｓｉｇに沿って残すレジスト部分は共通給電線ｃｏｍを覆うように幅広とする。その結果、発光素子４０の有機半導体膜４３を形成すべき領域はバンク層ｂａｎｋに囲まれる。

【００４４】次に、バンク層ｂａｎｋでマトリクス状に区画された領域内にインクジェット法を利用してＲ、Ｇ、Ｂに対応する各有機半導体膜４３を形成していく。それには、バンク層ｂａｎｋの内側領域に対してインクジェットヘッドから、有機半導体膜４３を構成するための液状の材料（前駆体）を吐出し、それをバンク層ｂａｎｋの内側領域で定着させて有機半導体膜４３を形成する。ここで、バンク層ｂａｎｋはレジストから構成されているため、撥水性である。これに対して、有機半導体膜４３の前駆体は親水性の溶媒を用いているため、有機半導体膜４３の塗布領域はバンク層ｂａｎｋによって確実に規定され、隣接する画素７にはみ出ることがない。それ故、有機半導体膜４３などを所定領域内だけに形成できる。この工程において、インクジェットヘッドから吐出した前駆体は表面張力の影響で約２μｍないし約４μｍの厚さに盛り上がるため、バンク層ｂａｎｋは約１μｍないし約３μｍの厚さが必要である。なお、定着した後の有機半導体膜４３の厚さは約０．０５μｍから約

12

０．２μｍである。なお、予めバンク層ｂａｎｋからなる隔壁が１μｍ以上の高さであれば、バンク層ｂａｎｋが撥水性でなくても、バンク層ｂａｎｋは隔壁として十分に機能する。かかる厚いバンク層ｂａｎｋを形成しておけば、インクジェット法に代えて、塗布法で有機半導体膜４３を形成する場合でもその形成領域を規定できる。

【００４５】しかる後には、透明基板１０の略全面に対向電極ｏｐを形成し、さらに対向電極ｏｐの上層に保護膜６０を積層する。保護膜６０は、約２０００オングストローム～１μｍの厚さがあれば、充分耐湿性を確保することができる。

【００４６】このような製造方法によれば、インクジェット法を利用して所定の領域にＲ、Ｇ、Ｂに対応する各有機半導体膜４３を形成していけるので、フルカラーのアクティブマトリクス型表示装置１を高い生産性で製造できる。

【００４７】なお、図１に示すデータ側駆動回路３や走査側駆動回路４にもＴＦＴが形成されるが、これらのＴＦＴは前記の画素７にＴＦＴを形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成するＴＦＴも、画素７のＴＦＴと同一の層間に形成されることになる。また、前記第１のＴＦＴ２０、および第２のＴＦＴ３０については、双方がＮ型、双方がＰ型、一方がＮ型で他方がＰ型のいずれでもよいが、このようないずれの組合せであっても周知の方法でＴＦＴを形成していけるので、その説明を省略する。

【００４８】［その他の実施の形態］なお、上述の実施例と同様な方法で形成し、保護膜６０としては、純アルミニウム膜以外にも、水分や酸素の透過が少ない導電膜であれば、シリコン含有アルミニウム膜や銅含有アルミニウム膜の金属膜、あるいはその他の金属を用いることができる。また、保護膜６０としては、高融点金属、あるいはその合金等を用いることができる。さらに、保護膜６０としてはシリコン窒化膜などの絶縁膜を用いた場合にも、薄膜発光素子４０の劣化を防止することができる。さらにまた、保護膜６０は絶縁膜と導電膜との二層構造にしてもよく、この場合には、対向電極ｏｐに対して導電膜を積層すれば、前記の冗長配線構造を実現できる。いずれの場合でも、保護膜は約２０００オングストローム～１μｍ程度であれば、充分耐湿性を確保することができる。

【００４９】また、バンク層ｂａｎｋ（絶縁膜）についてはレジスト膜、ポリイミド膜などの有機材料から構成した場合には厚い膜を容易に形成できるが、バンク層ｂａｎｋ（絶縁膜）をＣＶＤ法あるいはＳＯＧ法で成膜したシリコン酸化膜あるいはシリコン窒化膜などの無機材料から構成した場合には、有機半導体膜４３と接触した状態にあっても有機半導体膜４３の変質を防止することができる。

【００５０】さらに、保持容量ｃａｐについては共通給電線ｃｏｍとの間に形成した構造の他、走査線ｇａｔｅと並列に形成した容量線との間に形成してもよく、また、第１のＴＦＴ２０のドレイン領域と、第２のＴＦＴ３０のゲート電極３１とを利用した構造でもよい。

【００５１】

【発明の効果】以上説明したように、本発明に係るアクティブマトリクス型表示装置では、薄膜発光素子の対向電極の上層側には保護膜が形成されているので、薄膜発光素子を水分等から保護することができる。従って、薄膜発光素子が劣化するおそれがない。また、このような保護膜は、半導体プロセスを利用して容易に形成できるので、アクティブマトリクス型表示装置の製造コストを高めることがない。それ故、薄膜発光素子を用いたアクティブマトリクス型表示装置の利点である対向基板を被せる必要がないという利点をそのままにして、アクティブマトリクス型表示装置の信頼性を向上させることができる。さらに、保護膜で薄膜発光素子を保護するので、対向電極に用いる材料としては、薄膜発光素子の発光効率や駆動電圧などの面からその材質を選択すればよく、薄膜発光素子を保護する性能が高いものに限定されないという利点もある。

【図面の簡単な説明】

【図１】本発明を適用したアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図２】図１に示すアクティブマトリクス型表示装置に構成されている画素の１つを抜き出して示す平面図である。

【図３】（Ａ）、（Ｂ）、（Ｃ）はそれぞれ、図２のＡ－Ａ′断面図、Ｂ－Ｂ′断面図、およびＣ－Ｃ′断面図である。

【図４】従来のアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

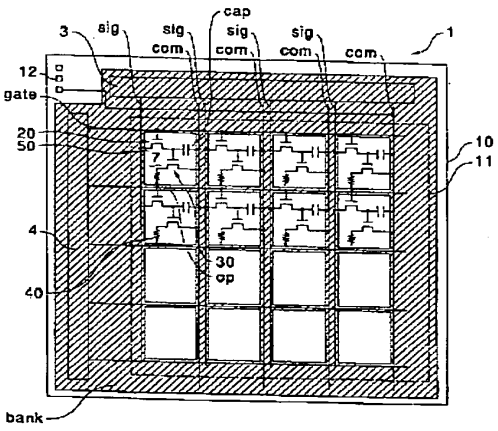
【図５】図４に示すアクティブマトリクス型表示装置に構成されている画素の１つを抜き出して示す平面図である。

【図６】（Ａ）、（Ｂ）、（Ｃ）はそれぞれ、図５のＡ－Ａ′断面図、Ｂ－Ｂ′断面図、およびＣ－Ｃ′断面図である。

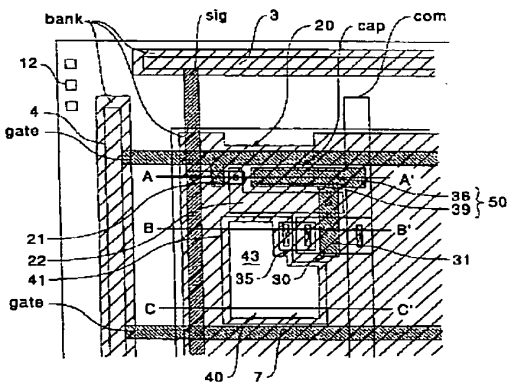
【符号の説明】

| | |
|---|---|
| １ | アクティブマトリクス型表示装置 |
| ２ | 表示部 |
| ３ | データ側駆動回路 |
| ４ | 走査側駆動回路 |
| ７ | 画素 |
| １０ | 透明基板 |
| １２ | 端子 |
| ２０ | 第１のＴＦＴ |
| ２１ | 第１のＴＦＴのゲート電極 |
| ３０ | 第２のＴＦＴ |
| ３１ | 第２のＴＦＴのゲート電極 |
| ４０ | 発光素子 |
| ４１ | 画素電極 |
| ４３ | 有機半導体 |
| ６０ | 保護膜 |
| ｂａｎｋ | バンク層（絶縁膜） |
| ｃａｐ | 保持容量 |
| ｃｏｍ | 共通給電線 |
| ｇａｔｅ | 走査線 |
| ｏｐ | 対向電極 |
| ｓｉｇ | データ線 |

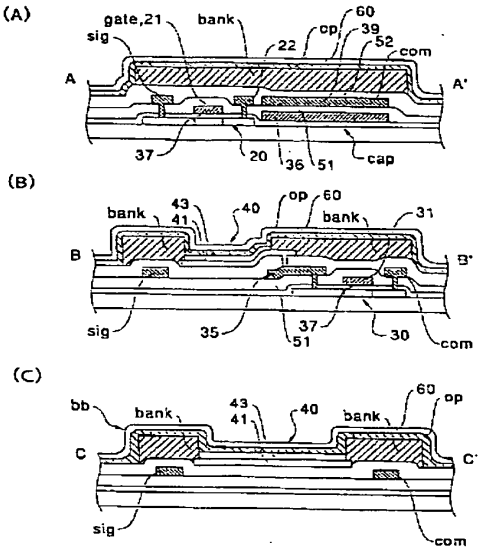
【図１】



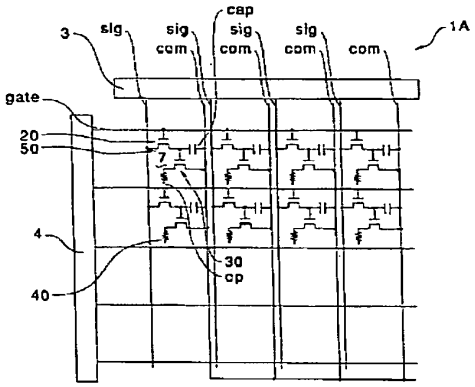

【図２】



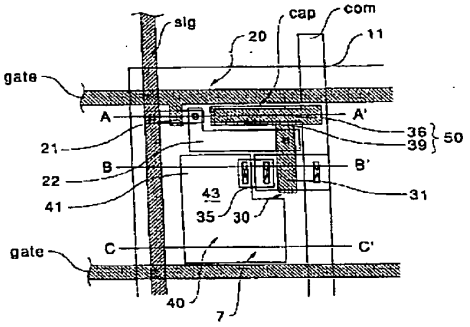
【図３】


(A)
gate,21
bank
sig
22
op
60
39
52
com
A
A'
37
20
36
51
cap
(B)
bank
43
41
40
op
60
bank
31
B
B'
sig
35
37
51
30
com
(C)
bb
bank
43
41
40
bank
60
op
C
C'
sig
com

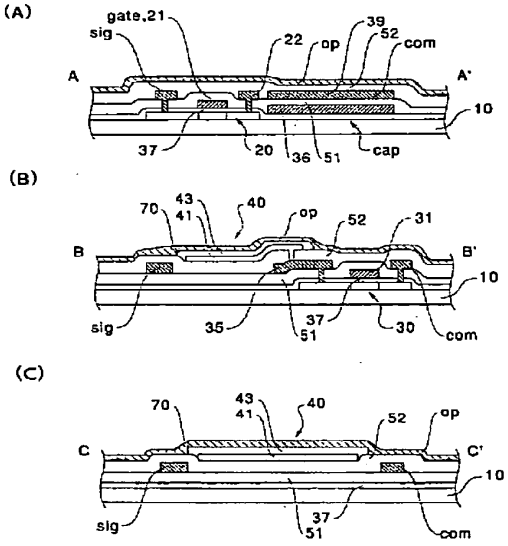
【図４】


cap
3
sig
sig
com
sig
com
sig
com
com
1A
gate
20
50
7
4
30
cp
40

【図５】


sig
20
cap
com
11
gate
A
A'
21
36
39
50
B
B'
22
41
43
35
30
31
gate
C
C'
40
7

【図６】


(A)
gate,21
sig
22
op
39
52
com
A
A'
10
37
20
36
51
cap
(B)
70
43
41
40
op
52
31
B
B'
10
sig
35
37
51
30
com
(C)
70
43
41
40
52
op
C
C'
10
sig
37
51
com

[19]中华人民共和国国家知识产权局

[51]Int.Cl[7]
H05B 33/04
H05B 33/22 H05B 33/26
G02F 1/136

# [12]发明专利申请公开说明书

[21]申请号 98801584.6

[43]公开日 2000年1月26日

[11]公开号 CN 1242924A

[22]申请日 1998.8.25 [21]申请号 98801584.6
[30]优先权
[32]1997.8.29 [33]JP [31]234921/1997
[86]国际申请 PCT/JP98/03758 1998.8.25
[87]国际公布 WO99/12394 日 1999.3.11
[85]进入国家阶段日期 1999.6.24
[71]申请人 精工爱普生株式会社
地址 日本东京都
[72]发明人 汤田坂一夫

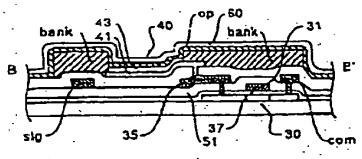
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 杨 凯 叶恺东

权利要求书2页 说明书12页 附图页数6页

[54]发明名称 有源矩阵型显示装置

[57]摘要

本发明的有源矩阵型显示装置1具备薄膜发光元件40,该薄膜发光元件40在每个象素7中具备象素电极41、在该象素电极41的上层侧层叠的有机半导体膜43和在该有机半导体膜43的上层侧形成的对置电极op。在对置电极op的上层形成了覆盖基板的大致整个面的保护膜60,利用该保护膜60防止水分及氧的侵入,防止薄膜发光元件40的性能变坏。




ISSN1008-4274

专利文献出版社出版

# 权　利　要　求　书

1. 一种有源矩阵型显示装置，其中，在基板上具有多条扫描线、与该扫描线交叉的多条数据线以及由被该数据线和上述扫描线形成为矩阵状的多个象素构成的显示部，该象素的每一个具备薄膜发光元件，该薄膜发光元件具备包含通过上述扫描线在栅电极上接受扫描信号的薄膜晶体管的导通控制电路、在每个象素中形成的象素电极、在该象素电极的上层侧层叠的发光薄膜和在该发光薄膜的上层侧至少在上述显示部的整个面上形成的对置电极，上述薄膜发光元件基于通过上述导通控制电路从上述数据线被供给的图象信号而发光，该有源矩阵型显示装置的特征在于：

在上述对置电极的上层侧形成了至少覆盖该对置电极的形成区域的保护膜。

2. 如权利要求 1 中所述的有源矩阵型显示装置，其特征在于：

由在上述对置电极的下层侧比上述发光薄膜形成得厚的绝缘膜来划分上述发光薄膜。

3. 如权利要求 1 或 2 中所述的有源矩阵型显示装置，其特征在于：

上述对置电极由含有碱金属的铝膜来构成。

4. 如权利要求 1 或 2 中所述的有源矩阵型显示装置，其特征在于：

上述保护膜由绝缘膜来构成。

5. 如权利要求 3 中所述的有源矩阵型显示装置，其特征在于：

上述保护膜由绝缘膜来构成。

6. 如权利要求 1 或 2 中所述的有源矩阵型显示装置，其特征在于：

上述保护膜由氮化硅膜来构成。

7. 如权利要求 3 中所述的有源矩阵型显示装置，其特征在于：

上述保护膜由氮化硅膜来构成。

8. 如权利要求 1 或 2 中所述的有源矩阵型显示装置，其特征在于：

上述保护膜由高熔点金属或其合金来构成。

9. 如权利要求 3 中所述的有源矩阵型显示装置，其特征在于：

上述保护膜由高熔点金属或其合金来构成。

10. 如权利要求 1 或 2 中所述的有源矩阵型显示装置，其特征在于：

上述保护膜由纯铝膜、含有硅的铝膜和含有铜的铝膜中的任一种铝膜来构成。

11. 如权利要求 3 中所述的有源矩阵型显示装置，其特征在于:

上述保护膜由纯铝膜、含有硅的铝膜和含有铜的铝膜中的任一种铝膜来构成。

12. 如权利要求 1 或 2 中所述的有源矩阵型显示装置，其特征在于:

上述保护膜成为导电膜与绝缘膜的 2 层结构.

13. 如权利要求 3 中所述的有源矩阵型显示装置，其特征在于:

上述保护膜成为导电膜与绝缘膜的 2 层结构.

14. 如权利要求 1 中所述的有源矩阵型显示装置，其特征在于:

上述导通控制电路具备在栅电极上接受上述扫描信号的第 1 薄膜晶体管和通过该第 1 薄膜晶体管其栅电极连接到上述数据线上的第 2 薄膜晶体管，该第 2 薄膜晶体管和上述薄膜发光元件以串联方式连接在对上述数据线和扫描线来说是另外构成的驱动电流供给用的共同供电线与上述对置电极之间.

# 说　明　书

## 有源矩阵型显示装置

技术领域

本发明涉及这样一种有源矩阵型显示装置，其中由薄膜晶体管（以下称为 TFT）对利用驱动电流流过有机半导体膜等发光薄膜而发光的场致发光元件（以下称为 EL 元件）或发光二极管元件（以下称为 LED 元件）等薄膜发光元件进行驱动控制.

背景技术

已提出了使用 EL 元件或 LED 元件等的电流控制型发光元件的有源矩阵型显示装置. 由于该类型的显示装置中使用的发光元件都是自身发光的，故与液晶显示装置不同，不需要背照光源，并且具有视野角依存性少等的优点.

图 4 是使用了利用这样的电荷注入型的有机半导体薄膜发光的 EL 元件的有源矩阵型显示装置的框图. 在该图中示出的有源矩阵型显示装置 1A 中，在透明基板 10 上构成了多条扫描线 gate、在与该扫描线 gate 的延伸方向交叉的方向上延伸的多条数据线 sig、与该数据线 sig 并列的多条共同供电线 com 和由数据线 sig 和扫描线 gate 形成为矩阵状的象素 7. 相对于数据线 sig 和扫描线 gate，构成了数据侧驱动电路 3 和扫描侧驱动电路 4. 在各自的象素 7 中，构成了通过扫描线 gate 被供给扫描信号的导通控制电路 50 和基于通过该导通控制电路 50 从数据线 sig 被供给的图象信号而发光的薄膜发光元件 40. 导通控制电路 50 由通过扫描线 gate 在栅电极上接受扫描信号的第 1TFT20、保持通过该第 1TFT20 从数据线 sig 供给的图象信号的保持电容 cap 和在栅电极上接受由该保持电容 cap 保持的图象信号的第 2TFT30 构成. 第 2TFT30 和薄膜发光元件 40 以串联方式连接在下述的对置电极 op 与共同供电线 com 之间. 该薄膜发光元件 40 在第 2TFT30 成为导通状态时因驱动电流从共同供电线 com 流入而发光，同时该发光状态由保持电容 cap 而保持预定的期间.

图 5 是抽出图 4 中示出的有源矩阵型显示装置中被构成的象素的 1 个而示出的平面图，图 6（A）、（B）、（C）分别是图 5 的 A－A’ 剖面图、B－B’ 剖面图和 C－C’ 剖面图.

在这样的结构的有源矩阵型显示装置 1A 中，如图 5 和图 6（A）、（B）

中所示，在任一个象素 7 中都在同一工序中利用岛状的半导体膜形成了第 1TFT20 和第 2TFT30. 第 1TFT20 的栅电极 21 作为扫描线 gate 的一部分而构成. 数据线 sig 通过第 1 层间绝缘膜 51 的接触孔导电性地连接到第 1TFT20 的源·漏区的一方上，漏电极 22 导电性地连接到其另一方上. 漏电极 22 朝向第 2TFT30 的形成区域而延伸，第 2TFT30 的栅电极 31 通过第 1 层间绝缘膜 51 的接触孔导电性地连接到该延伸部分上. 中继电极 35 通过第 1 层间绝缘膜 51 的接触孔导电性地连接到第 2TFT30 的源·漏区的一方上，薄膜发光元件 40 的象素电极 41 通过第 2 层间绝缘膜 52 的接触孔导电性地连接到该中继电极 35 上.

从图 5 和图 6（B）、（C）中可知，在每个象素 7 中独立地形成了象素电极 41. 在象素电极 41 的上层侧，按下述顺序层叠了有机半导体膜 43 和对置电极 op. 将对置电极 op 形成为至少覆盖显示部 11.

再有，在图 5 和图 6（A）中，共同供电线 com 通过第 1 层间绝缘膜 51 的接触孔导电性地连接到第 2TFT30 的源·漏区的另一方上. 共同供电线 com 的延伸部分 39 相对于第 2TFT30 的栅电极 31 的延伸部分 36，将第 1 层间绝缘膜 51 作为电介质膜夹住而对置，构成了保持电容 cap.

在这样的有源矩阵型显示装置 1A 中，由于在透明基板 10 本身上层叠了对置电极 op，故与有源矩阵型液晶显示装置不同，具有没有必要重叠对置基板这样的大的优点. 但是，由于薄膜发光元件 40 只被薄的对置电极 op 覆盖，故水分及氧扩散并透过对置电极 op 侵入到有机半导体膜 43 中，存在发生薄膜发光元件 40 的发光效率的下降、其驱动电压的上升（阈值电压向高电压一侧偏移）、可靠性下降等的担心. 为了防止上述水分及氧的侵入，在现有的有源矩阵型显示装置 1A 中，采用了用对置基板至少覆盖显示部 11 并对该对置基板的外周进行密封的方法. 但是，使用该方法就丧失了与上述的液晶显示装置相比的优点.

因此，本发明的课题在于提供能用简单的结构来保护薄膜发光元件使其不受水分等影响的有源矩阵型显示装置.

发明的公开

本发明的有源矩阵型显示装置具有以下的结构.

在基板上具有多条扫描线、与该扫描线交叉的多条数据线以及由被该数据线和上述扫描线形成为矩阵状的多个象素构成的显示部，该象素的每一个具备薄膜发光元件，该薄膜发光元件具备包含通过上述扫描线

在栅电极上接受扫描信号的薄膜晶体管的导通控制电路、在每个象素中形成的象素电极、在该象素电极的上层侧层叠的发光薄膜和在该发光薄膜的上层侧至少在上述显示部的整个面上形成的对置电极，上述薄膜发光元件基于通过上述导通控制电路从上述数据线被供给的图象信号而发光，该有源矩阵型显示装置的特征在于：在上述对置电极的上层侧形成了至少覆盖该对置电极的形成区域的保护膜。

按照本结构，由于在薄膜发光元件的对置电极的上层侧形成了保护膜，故能保护薄膜发光元件使其不受扩散、透过对置电极的水分等的影响。因而，在薄膜发光元件中没有发生其发光效率的下降、驱动电压的上升（阈值电压向高电压一侧偏移）、可靠性下降等的担心。此外，由于可利用半导体工艺容易地形成这样的保护膜，故不会提高有源矩阵型显示装置的制造成本。因此，可按原样保留作为使用了薄膜发光元件的有源矩阵型显示装置的优点的没有必要覆盖对置基板这样的优点，可提高有源矩阵型显示装置的可靠性。再有，由于用保护膜来保护薄膜发光元件，故也具有下述优点：作为对置电极中使用的材料，从薄膜发光元件的发光效率及驱动电压等方面考虑来选择该材料即可，不限定于选择保护薄膜发光元件的性能高的材料。

在本发明中，最好由在上述对置电极的下层侧比上述有机半导体膜形成得厚的绝缘膜来划分上述发光薄膜。在使用了薄膜发光元件的有源矩阵型显示装置中；由于对置电极至少在显示部的整个面上形成，处于与数据线对置的状态，故在原有状态下大的电容寄生于数据线上。而在本发明中，由于使厚的绝缘膜介入到数据线与对置电极之间，故可防止电容寄生于数据线上。其结果，由于可降低数据侧驱动电路的负载，故可谋求低功耗化或显示工作的高速化。此外，如果形成这样的绝缘膜，则在利用喷射法在被该绝缘膜划分的区域内形成发光薄膜时可将上述绝缘膜作为防止喷出液溢出的堤层来利用。

在本发明中，上述对置电极最好由含有碱金属的铝膜来构成。在用这样的膜构成了对置电极的情况下，因为水分等扩散、透过的可能性高，故形成保护膜的效果是显著的。

在本发明中，可以用氮化硅膜等的绝缘膜来构成上述保护膜，但也可由高熔点金属或其合金等的导电膜来构成。此外，也可由纯铝膜、含有硅的铝膜、含有铜的铝膜等的导电膜来构成上述保护膜。再有，也可

将上述保护膜作成导电膜和绝缘膜的 2 层结构．在用导电膜形成层叠在对置电极上的保护膜的情况下，可得到与使对置电极的电阻下降同样的效果．此外，在形成了划分上述的有机半导体膜的形成区域的厚的绝缘膜的情况下，存在因该绝缘膜形成的大的台阶查而在其上层侧形成的对置电极中发生断裂的担心，但在用导电膜形成层叠在对置电极上的保护膜的情况下，由于利用这样的导电膜形成冗余布线结构，故可防止对置电极的断裂．因此，在有源矩阵型显示装置中，由于即使在有机半导体膜的周边形成厚的绝缘膜从而抑制了寄生电容等，在绝缘膜的上层形成的对置电极中也不发生断裂，故可提高有源矩阵型显示装置的显示质量和可靠性。

在本发明中，上述导通控制电路具备在栅电极上接受上述扫描信号的第 1TFT 和通过该第 1TFT 其栅电极连接到上述数据线上的第 2TFT，该第 2TFT 和上述薄膜发光元件最好以串联方式连接在对上述数据线和扫描线来说是另外构成的驱动电流供给用的共同供电线与上述对置电极之间．即，虽然可用 1 个 TFT 和保持电容来构成导通控制电路，但从提高显示品位的观点来看，最好用 2 个 TFT 和保持电容来构成各象素的导通控制电路．

附图的简单说明

图 1 是示意性地示出应用了本发明的有源矩阵型显示装置的整体布局的框图．

图 2 是抽出图 1 中示出的有源矩阵型显示装置中被构成的象素的 1 个而示出的平面图．

图 3（A）、（B）、（C）分别是图 2 的 A－A’ 剖面图、B－B’ 剖面图和 C－C’ 剖面图．

图 4 是示意性地示出现有的有源矩阵型显示装置的整体布局的框图．

图 5 是抽出图 4 中示出的有源矩阵型显示装置中被构成的象素的 1 个而示出的平面图．

图 6（A）、（B）、（C）分别是图 5 的 A－A’ 剖面图、B－B’ 剖面图和 C－C’ 剖面图．

符号的说明

1　有源矩阵型显示装置

2　显示部

3　数据侧驱动电路
4　扫描侧驱动电路
7　象素
10　透明基板
12　端子
20　第 1TFT
21　第 1TFT 的栅电极
30　第 2TFT
31　第 2TFT 的栅电极
40　发光元件
41　象素电极
43　有机半导体
60　保护膜
bank　堤层（绝缘膜）
cap　保持电容
com　共同供电线
gate　扫描线
op　对置电极
sig　数据线

用于实施发明的最佳形态

参照附图说明本发明的实施形态．再有，在以下的说明中，对于与已参照图 4 至图 6 说明了的要素共同的部分，附以相同的符号．

（整体结构）

图 1 是示意性地示出有源矩阵型显示装置的整体布局的框图．图 2 是抽出其中被构成的象素的 1 个而示出的平面图，图 3（A）、（B）、（C）分别是图 2 的 A－A’剖面图、B－B’剖面图和 C－C’剖面图．

在图 1 中示出的有源矩阵型显示装置 1 中，作为其基体的透明基板 10 的中央部分成为显示部 11．在透明基板 10 的外周部分中，在数据线 sig 的端部构成了输出图象信号的数据侧驱动电路 3，在扫描线 gate 的端部构成了输出扫描信号的扫描侧驱动电路 4．在这些驱动电路 3、4 中，由 N 型的 TFT 和 P 型的 TFT 构成互补型 TFT，该互补型 TFT 构成了移位寄存器电路、电平移动电路、模拟开关电路等．在显示部 11 中，与有源

矩阵型液晶显示装置的有源矩阵基板相同，在透明基板 10 上构成了由多条扫描线 gate 和在与该扫描线 gate 的延伸方向交叉的方向上延伸的多条数据线 sig 形成为矩阵状的多个象素 7.

在各自的象素 7 中，构成了通过扫描线 gate 被供给扫描信号的导通控制电路 50 和基于通过该导通控制电路 50 从数据线 sig 被供给的图象信号而发光的薄膜发光元件 40. 在这里示出的例子中，导通控制电路 50 由通过扫描线 gate 在栅电极上接受扫描信号的第 1TFT20、保持通过该第 1TFT20 从数据线 sig 被供给的图象信号的保持电容 cap 和在栅电极上接受由该保持电容 cap 保持的图象信号的第 2TFT30 构成. 第 2TFT30 和薄膜发光元件 40 以串联方式连接在下面将详细地叙述的对置电极 op 与共同供电线 com 之间.

在这样的结构的有源矩阵型显示装置 1 中，如图 2 和图 3（A）、（B）中所示，在哪一个象素 7 中都利用岛状的半导体膜（硅膜）形成了第 1TFT20 和第 2TFT30.

第 1TFT20 的栅电极 21 作为扫描线 gate 的一部分而构成. 数据线 sig 通过第 1 层间绝缘膜 51 的接触孔导电性地连接到第 1TFT20 的源·漏区的一方上，漏电极 22 导电性地连接到其另一方上. 漏电极 22 朝向第 2TFT30 的形成区域而延伸，第 2TFT30 的栅电极 31 通过第 1 层间绝缘膜 51 的接触孔导电性地连接到该延伸部分上.

与数据线 sig 同时形成的中继电极 35 通过第 1 层间绝缘膜 51 的接触孔导电性地连接到第 2TFT30 的源·漏区的一方上，薄膜发光元件 40 的由 ITO 膜构成的透明的象素电极 41 通过第 2 层间绝缘膜 52 的接触孔导电性地连接到该中继电极 35 上.

从图 2 和图 3（B）、（C）中可知，在每个象素 7 中独立地形成了象素电极 41. 在象素电极 41 的上层侧，按下述顺序层叠了由聚苯撑乙烯撑（PPV）等构成的有机半导体膜 43 和由含有锂等碱金属的铝、钙等金属膜构成的对置电极 op，构成了薄膜发光元件 40. 虽然在每个象素 7 中形成了有机半导体膜 43，但有时也越过多个象素 7 将其形成为条状. 对置电极 op 在显示部 11 整体中和在除了至少形成了端子 12 部分的周围之外的区域中形成.

再有，作为薄膜发光元件 40，也可采用设置了空穴注入层来提高发光效率（空穴注入率）的结构、设置了电子注入层来提高发光效率（电

子注入率）的结构、形成了空穴注入层和电子注入层这两者的结构.

再有，在图 2 和图 3（A）中，共同供电线 com 通过第 1 层间绝缘膜 51 的接触孔导电性地连接到第 2TFT30 的源·漏区的另一方上. 共同供电线 com 的延伸部分 39 相对于第 2TFT30 的栅电极 31 的延伸部分 36，将第 1 层间绝缘膜 51 作为电介质膜夹住而对置，构成了保持电容 cap.

在以这种方式构成的有源矩阵型显示装置 1 中，如果被扫描信号选择的第 1TFT20 变成导通状态，则将来自数据线 sig 的图象信号通过第 1TFT20 施加到第 2TFT30 的栅电极 31 上，同时图象信号通过第 1TFT20 写入到保持电容 cap 中. 其结果，如果第 2TFT30 变成导通状态，则分别将对置电极 op 和象素电极 41 作为负极和正极施加电压，在施加电压超过阈值电压的区域中，流过有机半导体膜 43 的电流（驱动电流）急剧增大. 因而，发光元件 40 作为场致发光元件或 LED 元件而发光，发光元件 40 的光被对置电极 op 反射，透过透明的象素电极 41 和透明基板 10 而射出. 由于进行这样的发光用的驱动电流流过由对置电极 op、有机半导体膜 43、象素电极 41、第 2TFT30 和共同供电线 com 构成的电流路径，故如果第 2TFT30 变成关断状态，则电流不流动. 但是，因为即使第 1TFT20 变成关断状态，第 2TFT30 的栅电极也由于保持电容 cap 而保持于与图象信号相当的电位，故第 2TFT30 仍处于原来的导通状态. 因此，驱动电流继续流过发光元件 40，该象素仍处于原来的点亮状态. 该状态维持到将新的图象数据写入到保持电容 cap 中、第 2TFT30 变成关断状态为止.

（薄膜发光元件的保护结构）

这样，在使用了薄膜发光元件 40 的有源矩阵型显示装置 1 中，由于在透明基板 10 本身上层叠了对置电极 op，故与有源矩阵型液晶显示装置不同，具有没有必要重叠对置基板这样的大的优点. 但是，存在水分及氧扩散并透过薄的对置电极 op 侵入到薄膜发光元件 40 中的担心. 特别是在本形态中，以提高薄膜发光元件 40 中的电子注入效率及降低其驱动电压为目的，使用含有锂等碱金属的铝膜作为对置电极 op，一般认为，该含有碱金属的铝膜与纯铝膜相比，容易扩散和透过水分及氧. 即，由于含有碱金属的铝膜与纯铝膜、含有硅的铝膜、含有铜的铝膜相比缺乏韧性，在施加应力时容易断裂，故存在水分及氧通过裂纹等侵入的担心. 此外，含有碱金属的铝膜的断裂面显示出柱状组织，一般认为水分

及氧容易扩散和透过组织间.

因此，在本形态中，在对置电极 op 的上层形成了由纯铝构成的保护膜 60. 由于该由纯铝构成的保护膜 60 具有在多少有点应力的情况下不断裂的韧性，故不发生成为水分及氧侵入路径的裂纹. 此外，在纯铝的断裂面中不显示出含有碱金属的铝膜那样的柱状组织，故也没有水分及氧透过、侵入组织间的担心. 因此，由于本形态的有源矩阵型显示装置 1 能保护薄膜发光元件 40 不受水分等的影响，故在薄膜发光元件 40 中不发生发光效率的下降、驱动电压的上升（阈值电压向高电压一侧偏移）、可靠性下降等. 此外，如果是由这样的纯铝膜构成的保护膜 60，则由于可利用半导体工艺容易地形成，故不会提高有源矩阵型显示装置 1 的制造成本. 因此，能按原样保留作为使用了薄膜发光元件 40 的有源矩阵型显示装置 1 的优点的没有必要覆盖对置基板这样的优点，可提高有源矩阵型显示装置 1 的可靠性.

再有，由于用保护膜 60 来保护薄膜发光元件 40，故也具有下述优点：作为对置电极 op 中使用的材料，从薄膜发光元件 40 的发光效率及驱动电压等方面考虑来选择该材料即可，不限定于选择保护薄膜发光元件 40 的性能高的材料.

再有，在本形态中，由于用由纯铝膜构成的导电膜形成层叠在对置电极 op 上的保护膜 60，故可得到与使对置电极 op 的电阻下降同样的效果

（堤层的结构）

在以这种方式构成的有源矩阵型显示装置 1 中，在本形态中，为了防止大的电容寄生于数据线 sig 上，如图 1、图 2 和图 3（A）、（B）、（C）中所示，沿数据线 sig 和扫描线 gate，设置了由抗蚀剂膜或聚酰亚胺膜构成的厚的绝缘膜（堤层 bank/附加了以宽的间距朝向左下方向的斜线的区域），在该堤层 bank 的上层侧形成了对置电极 op. 因此，由于在数据线 sig 与对置电极 op 之间介入第 2 层间绝缘膜 52 和厚的堤层 bank，故寄生于数据线 sig 上的电容极小. 因此，可降低驱动电路 3、4 的负载，可谋求低功耗化或显示工作的高速化.

此外，如图 1 中所示，在透明基板 10 的周边区域（显示部 11 的外侧区域）中也形成了堤层 bank（在形成区域中附以斜线）. 因而，数据侧驱动电路 3 和扫描侧驱动电路 4 都被堤层 bank 所覆盖. 对置电极 op

至少在显示部 11 中形成，但没有必要在驱动电路的形成区域中形成．但是，由于对置电极 op 通常用掩模溅射法来形成，故对准精度较差，有时对置电极 op 与驱动电路重叠．这样，由于即使对置电极 op 与驱动电路的形成区域处于重叠状态，在驱动电路的布线层与对置电极 op 之间也介入了堤层 bank，故可防止电容寄生于驱动电路 3、4 上．因此，可降低驱动电路 3、4 的负载，可谋求低功耗化或显示工作的高速化．

再有，在本形态中，在象素电极 41 的形成区域中，堤层 bank 也在与导通控制电路 50 的中继电极 35 重叠的区域中形成．因此，在与中继电极 35 重叠的区域中不形成有机半导体膜 43．即，由于有机半导体膜 43 只在象素电极 41 的形成区域中的平坦的部分上形成，故以恒定的膜厚形成有机半导体膜 43，不会引起显示的不匀．此外，如果在与中继电极 35 重叠的区域中没有堤层 bank，则即使在该部分中驱动电流流过与对置电极 op 之间，有机半导体膜 43 也发光．但是，该光被夹在中继电极 35 与对置电极 op 之间，不向外射出，对显示没有贡献．在这样的对显示没有贡献的部分中流动的驱动电流从显示这方面来看，可以说是无效电流．而在本形态中，由于在迄今为止应流过这样的无效电流的部分中形成堤层 bank，防止驱动电流在该处流动，故可防止无用的电流流过共同供电线 com．因此，共同供电线 com 的宽度相应地可变窄．作为其结果，可增加发光面积，可提高亮度、对比度等的显示性能．

在此，在形成了厚的堤层 bank 的情况下，如图 3 中所示，存在因堤层 bank 形成的大的台阶差 bb 而在在其上层侧形成的对置电极 op 中发生断裂的担心．而在本形态中，由于用导电膜形成层叠在对置电极 op 上的保护膜 60，故由这样的导电膜（保护膜 60）构成了冗余布线结构．因而，即使形成厚的堤层 bank 从而抑制了寄生电容等，在堤层 bank 的上层形成的对置电极 op 中也不发生断裂，故可提高有源矩阵型显示装置 1 的显示质量和可靠性．

再有，如果用黑色的抗蚀剂来形成堤层 bank，则堤层 bank 起到作为黑色矩阵的功能，提高了对比度等显示的品位．即，在与本形态有关的有源矩阵型显示装置 1 中，由于对置电极 op 在透明基板 10 的表面一侧在象素 7 的整个面上形成，故在对置电极 op 处的反射光使对比度下降．而如果用黑色的抗蚀剂来构成担当防止寄生电容的功能的堤层 bank，则由于堤层 bank 也起到作为黑色矩阵的功能，遮住来自对置电极 op 的反

射光，故可提高对比度。

（有源矩阵型显示装置的制造方法）

由于以这种方式形成的堤层 bank 以包围有机半导体膜 43 的形成区域的方式来构成，故在有源矩阵型显示装置的制造工序中，在由喷射头喷出的液状的材料（喷出液）形成有机半导体膜 43 时拦住喷出液以防止喷出液向侧方溢出。再有，在以下说明的有源矩阵型显示装置 1 的制造方法中，由于到在透明基板 10 上制造第 1TFT20 和第 2TFT30 为止的工序与制造有源矩阵型液晶显示装置 1 的有源矩阵基板的工序大致相同，故参照图 3（A）、（B）、（C）简单地说明其概略。

首先，对于透明基板 10，根据需要，将 TEOS（四乙基氧硅烷）或氧气等作为原料气体，利用等离子 CVD 法形成由厚度约为 2000－5000 埃的氧化硅膜构成的基底保护膜（未图示），之后利用等离子 CVD 法在基底保护膜的表面上形成由厚度约为 300－700 埃的非晶态的硅膜构成的半导体膜。其次，对由非晶态的硅膜构成的半导体膜进行激光退火或固相生长法等结晶化工序，使半导体膜结晶化成为多晶硅膜。

其次，对半导体膜进行图形刻蚀，作成岛状的半导体膜，将 TEOS（四乙基氧硅烷）或氧气等作为原料气体，利用等离子 CVD 法在其表面上形成由厚度约为 600－1500 埃的氧化硅膜或氮化膜构成的栅绝缘膜 57。

其次，利用溅射法形成由铝、钽、钼、钛、钨等的金属膜构成的导电膜，之后进行图形刻蚀，形成栅电极 21、31 和栅电极 31 的延伸部分 36（栅电极形成工序）。在该工序中也形成扫描线 gate。

在该状态下，注入高浓度的磷离子，相对于栅电极 21、31 以自对准的方式形成源·漏区。再有，未导入杂质的部分成为沟道区。

其次，在形成了第 1 层间绝缘膜 51 之后，形成各接触孔，其次，形成数据线 sig、漏电极 22、共同供电线 com、共同供电线 com 的延伸部分 39 和中继电极 35。其结果，形成第 1TFT20、第 2TFT30 和保持电容 cap。

其次，形成第 2 层间绝缘膜 52，在该层间绝缘膜中，在与中继电极 35 相当的部分处形成接触孔。其次，在第 2 层间绝缘膜 52 的整个表面上形成了 ITO 膜之后，进行图形刻蚀，在每个象素 7 中形成通过接触孔与第 2TFT30 的源·漏区导电性地连接的象素电极 41。

其次，在第 2 层间绝缘膜 52 的表面一侧形成了抗蚀剂层，之后进行

图形刻蚀以便沿扫描线 gate 和数据线 sig 留下该抗蚀剂，形成堤层 bank. 此时，使沿数据线 sig 留下的抗蚀剂部分的宽度较宽，以便覆盖共同供电线 com. 其结果，应形成发光元件 40 的有机半导体膜 43 的区域被堤层 bank 所包围. 其次，利用喷射法在被堤层 bank 划分成矩阵状的区域内形成对应于 R、G、B 的各有机半导体膜 43. 为此，相对于堤层 bank 的内侧区域，从喷射头喷出构成有机半导体膜 43 用的液状的材料（前体），将其固定在堤层 bank 的内侧区域中，形成有机半导体膜 43. 在此，由于堤层 bank 由抗蚀剂构成，故是憎水性的. 与此不同，由于有机半导体膜 43 的前体使用亲水性的溶剂，故有机半导体膜 43 的涂敷区域被堤层 bank 可靠地确定，不会溢出到邻接的象素 7 中. 因此，能只在预定的区域内形成有机半导体膜 43 等. 在该工序中，从喷射头喷出的前体由于表面张力的影响鼓起约 2μm 至约 4μm 的厚度，故堤层 bank 的厚度必须是约 1μm 至约 3μm. 再有，固定后的有机半导体膜 43 的厚度是约 0.05μm 至约 0.2μm. 再有，如果由堤层 bank 构成的隔壁的高度是 1μm 以上，即使堤层 bank 不是憎水性的，堤层 bank 也能充分起到作为隔壁的作用. 如果预先形成这样的厚的堤层 bank，则即使在使用涂敷法来代替喷射法形成有机半导体膜 43 的情况下也能确定该形成区域.

其后，在透明基板 10 的大致整个面上形成对置电极 op，再在对置电极 op 的上层层叠保护膜 60. 如果保护膜 60 的厚度约为 2000 埃～1μm，则可确保足够的耐湿性.

按照这样的制造方法，由于能利用喷射法在预定的区域内形成对应于 R、G、B 的各有机半导体膜 43，故能以高的生产率制造全彩色的有源矩阵型显示装置 1.

再有，在图 1 中示出的数据侧驱动电路 3 及扫描侧驱动电路 4 中也形成 TFT，但这些 TFT 是利用在上述的象素 7 中形成 TFT 的工序的全部或一部分而形成的. 因此，构成驱动电路的 TFT 也是在与象素 7 的 TFT 相同的层间形成的. 此外，关于上述第 1TFT20 和第 2TFT30，两者是 N 型、两者是 P 型、一者是 N 型另一者是 P 型这样的情况的任一种都是可以的，但由于即使是这样的任一种的组合，也能利用众所周知的方法来形成 TFT，故省略其说明.

[其它实施形态]

再有，作为保护膜 60，以与上述的实施例同样的方法来形成，除了

纯铝膜以外，如果是水分及氧的透过少的导电膜，则可使用含有硅的铝膜、含有铜的铝膜的金属膜或其它的金属。此外，作为保护膜 60，可使用高熔点金属或其合金。再有，在使用氮化硅膜等的绝缘膜作为保护膜 60 的情况下，也可防止薄膜发光元件 40 的性能变坏。再者，也可以将保护膜 60 作成绝缘膜和导电膜这两层的结构，在该情况下，如果对于对置电极 op 层叠导电膜，则可实现上述的冗余布线结构。在哪一种情况下，如果保护膜的厚度约为 2000 埃～1μm，则都可确保足够的耐湿性。

此外，关于堤层 bank（绝缘膜），在由抗蚀剂膜、聚酰亚胺膜等的有机材料构成的情况下，能容易地形成厚膜，但在由用 CVD 法或 SOG 法成膜的氧化硅膜或氮化硅膜等的无机材料构成堤层 bank 绝缘膜的情况下，即使处于与有机半导体膜 43 接触的状态下，也可防止有机半导体膜 43 的变质。

此外，关于保持电容 cap，除了在与共同供电线 com 之间形成的结构之外，也可在与扫描线 gate 并列地形成的电容线之间形成，此外，也可以是利用了第 1TFT20 的漏区和第 2TFT30 的栅电极 31 的结构。

如以上所说明的那样，在与本发明有关的有源矩阵型显示装置中，由于在薄膜发光元件的对置电极的上层侧形成了保护膜，故能保护薄膜发光元件使其不受水分等影响。因而，没有薄膜发光元件性能变坏的担心。此外，由于可利用半导体工艺容易地形成这样的保护膜，故不会提高有源矩阵型显示装置的制造成本。因此，可按原样保留作为使用了薄膜发光元件的有源矩阵型显示装置的优点的没有必要覆盖对置基板这样的优点，可提高有源矩阵型显示装置的可靠性。再有，由于用保护膜来保护薄膜发光元件，故也具有下述优点：作为对置电极中使用的材料，从薄膜发光元件的发光效率及驱动电压等方面考虑来选择该材料即可，不限定于选择保护薄膜发光元件的性能高的材料。

产业上的利用可能性

因为本发明具有上述的效果，故适合于作为由薄膜晶体管对场致发光元件或发光二极管元件等的薄膜发光元件进行驱动控制的有源矩阵型显示装置来使用。此外，应用了本发明的有源矩阵型显示装置不仅能用于个人计算机、携带型信息终端机，还可广泛地用于室外的大型揭示板、广告板等的信息显示装置。

# 说 明 书 附 图

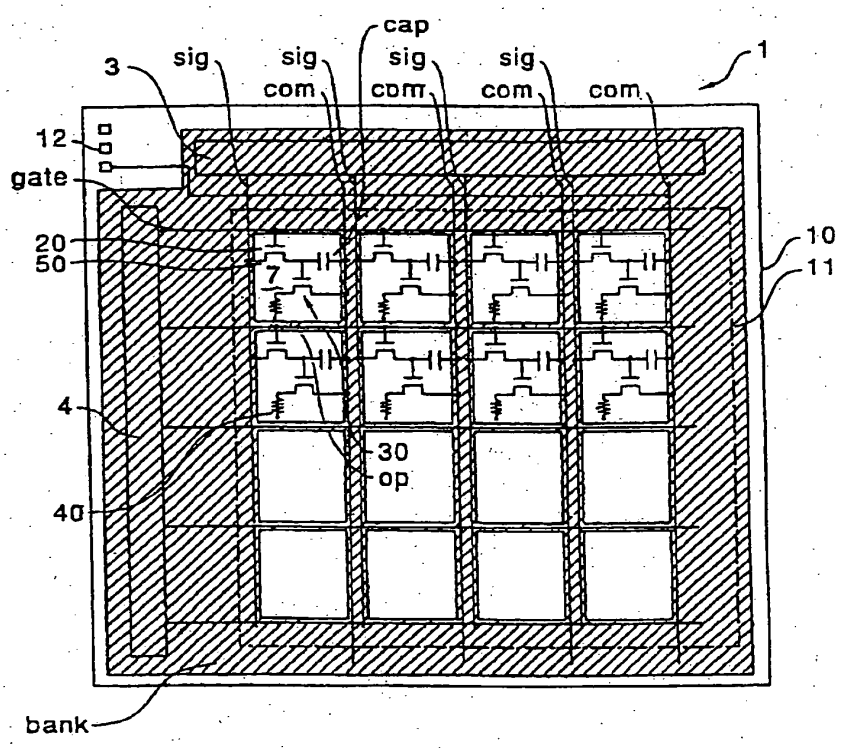

cap
3
sig
sig
sig
sig
1
com
com
com
com
12
gate
20
50
7
10
11
4
30
op
40
bank

图 1

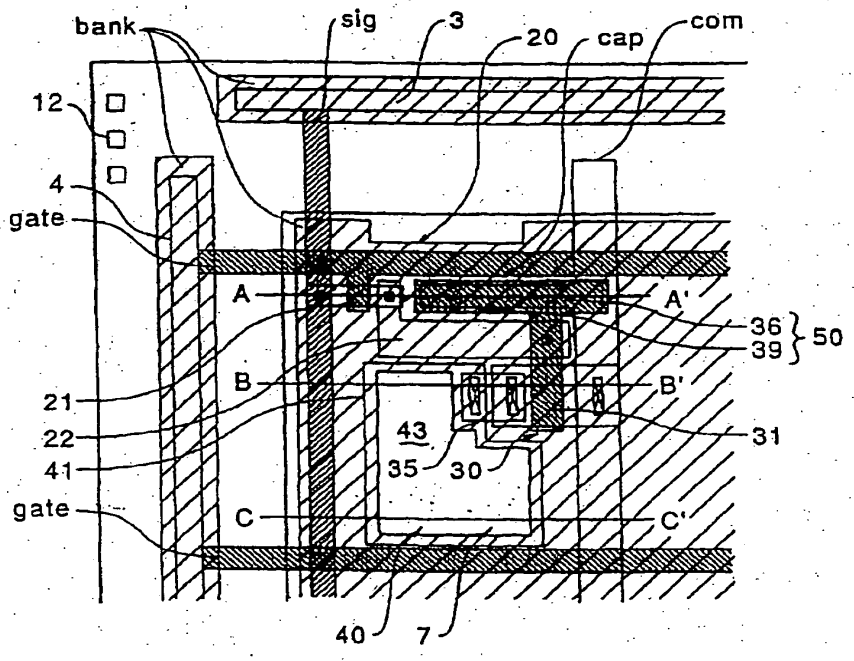

bank
sig
3
20
cap
com
12
4
gate
A
A'
36
39
50
B
B'
21
22
41
43
31
35
30
gate
C
C'
40
7

图 2

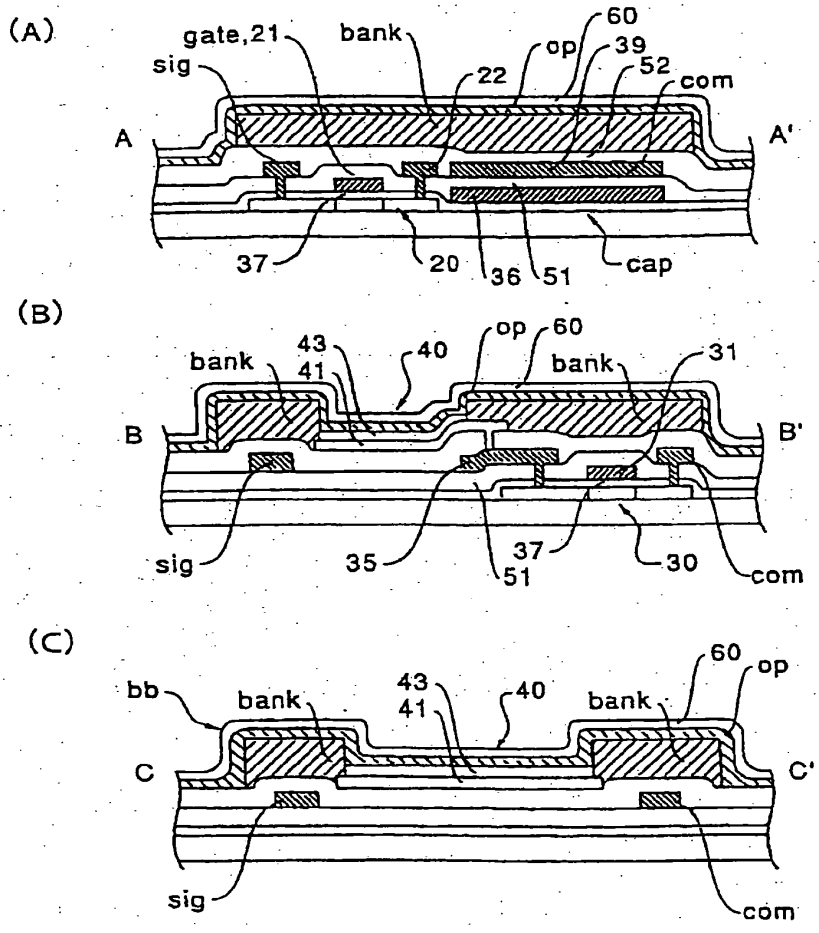

(A)
gate,21
bank
sig
22
op
60
39
52
com
A
A'
37
20
36
51
cap
(B)
bank
43
41
40
op
60
bank
31
B
B'
sig
35
37
51
30
com
(C)
bb
bank
43
41
40
bank
60
op
C
C'
sig
com

图 3

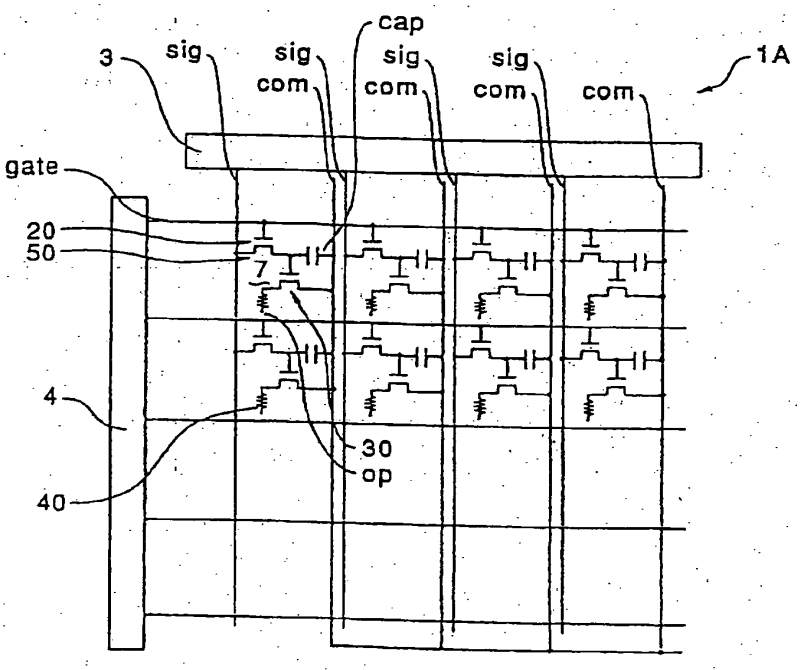



图 4

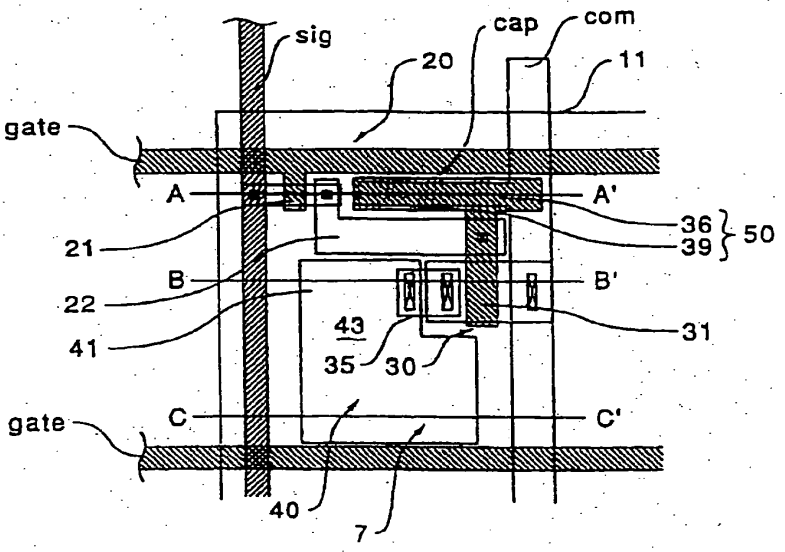

sig
cap
com
20
11
gate
A
A'
21
36
39
50
B
B'
22
43
31
41
35
30
gate
C
C'
40
7

图 5

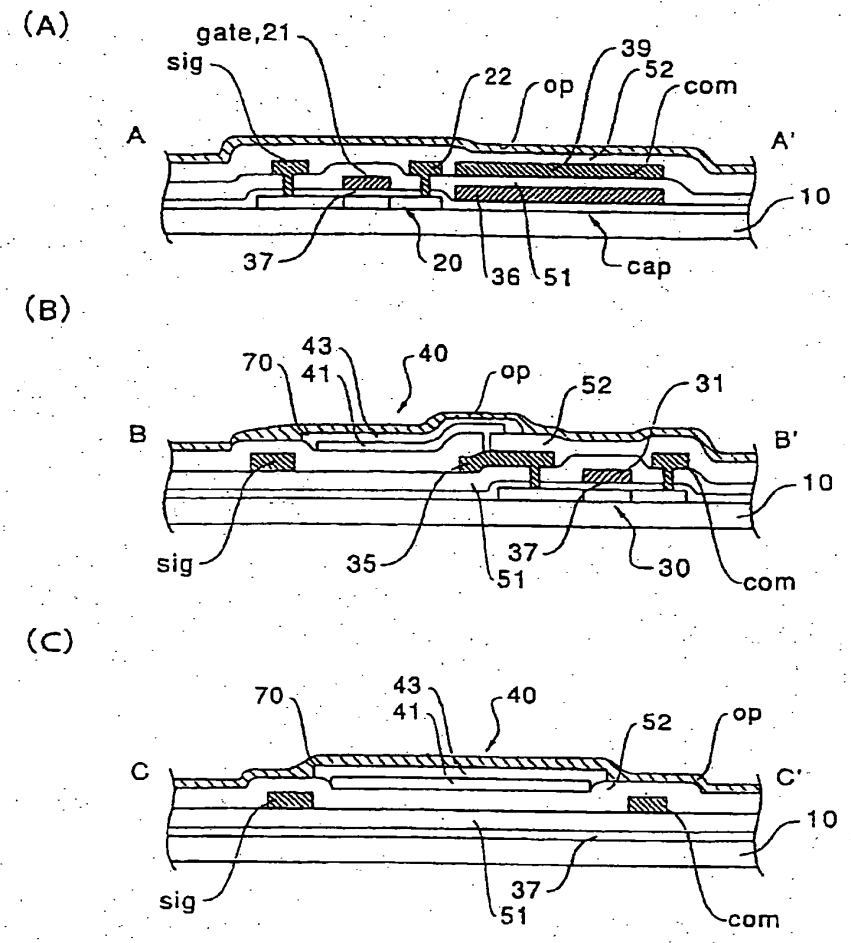

(A)
gate,21
sig
22
op
39
52
com
A
A'
10
37
20
36
51
cap
(B)
70
43
41
40
op
52
31
B
B'
10
sig
35
37
51
30
com
(C)
70
43
41
40
52
op
C
C'
10
sig
37
51
com

图 6

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record**

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☑ FADED TEXT OR DRAWING
- ☑ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☑ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☑ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

**IMAGES ARE BEST AVAILABLE COPY.**
**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

# EAST Search History

| Ref # | Hits | Search Query | DBs | Default Operator | Plurals | Time Stamp |
|---|---|---|---|---|---|---|
| L1 | 5 | (JP-2001185354-$ JP-11074073-$ CN-1291786-$ CN-1242924-$).did. | US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/27 11:25 |
| S1 | 15870 | LDD | US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/27 11:24 |
| S93 | 2298 | (345/76 345/77 345/78 345/79). ccls. | US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/07 18:14 |
| S94 | 16005 | (345/8? 345/9? 345/100 345/101 345/102 345/103 345/104 345/105). ccls. | US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/07 18:14 |
| S95 | 2298 | (345/76 345/77 345/78 345/79). ccls. | US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/07 18:14 |
| S96 | 16005 | (345/8? 345/9? 345/100 345/101 345/102 345/103 345/104 345/105). ccls. | US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/07 18:14 |
| S97 | 255 | (connect$4 interconnect$4) near3 (transistor TFT) with metal same (LCD (liquid adj crystal with display$4)) | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 15:56 |
| S98 | 255 | (connect$4 interconnect$4) near3 (transistor TFT) with metal same (LCD (liquid adj crystal with display$4)) | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 16:10 |
| S99 | 1 | "20040207615".pn. and metal | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 16:00 |

# EAST Search History

| | | | | | | |
|---|---|---|---|---|---|---|
| S100 | 120 | (connect$4 interconnect$4) near3 (transistor TFT) with metal with layer same (LCD (liquid adj crystal with display$4)) | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 16:04 |
| S101 | 106 | S98 and via | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 16:04 |
| S102 | 52 | S100 and S101 | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 16:05 |
| S103 | 22 | S100 same via | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 16:10 |
| S104 | 1 | S98 and OLED | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 16:10 |
| S105 | 37 | (connect$4 interconnect$4) near3 (transistor TFT) with metal same (OLED (organic adj (LED ((light adj admit$4)(light-emit$4))))) | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 16:11 |
| S106 | 16 | (connect$4 interconnect$4) near3 (transistor TFT) with metal with layer same (OLED (organic adj (LED ((light adj admit$4)(light-emit$4))))) | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 16:20 |
| S107 | 28 | (connect$4 interconnect$4) near3 (transistor TFT) with metal with layer same first adj transistor same second adj transistor | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 17:24 |

# EAST Search History

| | | | | | | |
|---|---|---|---|---|---|---|
| S108 | 6 | (connect$4 interconnect$4) near3 (transistor TFT) with metal with layer same first adj transistor same second adj transistor and ((OLED (organic adj (LED ((light adj admit$4)(light-emit$4))))) LCD (liquid adj crystal)) | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 16:23 |
| S109 | 4 | (S105 S106 S107) and LDD | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 17:24 |
| S110 | 5 | S102 and LDD | US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB | OR | ON | 2007/03/08 17:24 |

OIPE IAP97 MAR 27 2007 PATENT & TRADEMARK OFFICE

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: E. WOODS

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection, Notice of Allowance or other action that closes prosecution (e.g., Quayle Action).

☒ a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(1).

☒ 2. One or more reference cited herein was cited in a counterpart foreign application. See Reference 1.

☒ 3. An English language Abstract of one or more non-English language reference is attached hereto. See Reference 1.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/jam

Date: March 27, 2007

**OLIFF & BERRIDGE, PLC**
**P.O. Box 19928**
**Alexandria, Virginia 22320**
**Telephone: (703) 836-6400**

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

OIPE IAP97 MAR 27 2007 PATENT & TRADEMARK OFFICE



| Form PTO-1449 (REV. 1/06) | US Dept. of Commerce PATENT & TRADEMARK OFFICE | ATTY DOCKET NO. 114251 | APPLICATION NO. 10/299,861 |
|---|---|---|---|
| INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary) | | APPLICANT(S) Yojiro MATSUEDA | |
| | | FILING DATE November 20, 2002 | GROUP 2628 |

U.S. PATENT DOCUMENTS

| Examiner Initials | Cite No. | Document Number | Date | Name |
|---|---|---|---|---|
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |

FOREIGN PATENT DOCUMENTS

| Examiner Initials | Cite No. | Document Number | Date | Country | With English Abstract | With English Translation |
|---|---|---|---|---|---|---|
| | 1 | WO 01/06484 A1 | 01/25/2001 | WIPO | XX | |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |

OTHER DOCUMENTS

| Examiner Initials | Cite No. | (Including Author, Title, Date, Pertinent Pages, etc.) |
|---|---|---|
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |

| EXAMINER | DATE CONSIDERED |
|---|---|

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: March 27, 2007

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2001 年1 月25 日 (25.01.2001)

PCT

(10) 国際公開番号
WO 01/06484 A1

(51) 国際特許分類[7]: G09G 3/32

(21) 国際出願番号: PCT/JP00/04763

(22) 国際出願日: 2000 年7 月14 日 (14.07.2000)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願平11/200843 1999 年7 月14 日 (14.07.1999) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 湯本 昭 (YUMOTO, Akira) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 佐藤隆久(SATOH, Takahisa); 〒111-0052 東京都台東区柳橋2丁目4番2号 宮木ビル4階 創進国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): JP, KR, US.

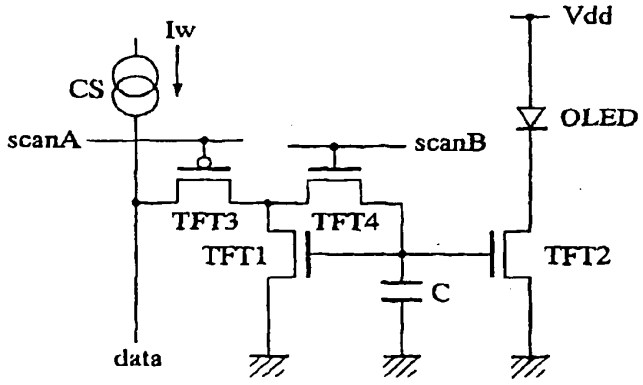
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: CURRENT DRIVE CIRCUIT AND DISPLAY COMPRISING THE SAME, PIXEL CIRCUIT, AND DRIVE METHOD

(54) 発明の名称: 電流駆動回路及びそれを用いた表示装置、画素回路、並びに駆動方法




(57) Abstract: A display including a current drive circuit capable of supplying a desired current to a light-emitting element in each pixel stably and accurately irrespective of the characteristic variations of active elements in the pixel, thereby providing a high-definition image. Each pixel is composed of a receiving transistor (TFT3) for receiving a signal current (Iw) from a data line (data) when a scanning line (scanA) is selected, a converting transistor (TFT1) for converting the current level of the received signal current (Iw) to a voltage level and holding the voltage level, and a driving transistor (TFT3) for allowing a drive current having a current level corresponding to the held voltage level to flow through light-emitting element (OLED). The converting thin film transistor (TFT1) generates the converted voltage level at its gate by allowing the signal current (Iw) through its channel, and a capacitor (C) holds the voltage level at the gate of the transistor (TFT1). The transistor (TFT2) allows the drive current having a current level corresponding to the voltage level held by the capacitor (C) to flow through the light-emitting element (OLED).

[続葉有]

WO 01/06484 A1

(57) 要約:

画素内部の能動素子の特性ばらつきによらず、安定且つ正確に各画素の発光素子に所望の電流を供給可能な電流駆動回路を含み、結果として高品位な画像を表示することが可能な表示装置であって、各画素は、走査線ｓｃａｎＡが選択された時データ線ｄａｔａから信号電流Ｉｗを取り込む受入用トランジスタＴＦＴ３と、取り込んだ信号電流Ｉｗの電流レベルを一旦電圧レベルに変換して保持する変換用トランジスタＴＦＴ１と、保持された電圧レベルに応じた電流レベルを有する駆動電流を発光素子ＯＬＥＤに流す駆動用トランジスタＴＦＴ２とからなる。変換用薄膜トランジスタＴＦＴ１は、ＴＦＴ３によって取り込まれた信号電流Ｉｗを自身のチャネルに流して変換された電圧レベルを自身のゲートに発生させ、容量ＣはＴＦＴ１のゲートに生じた電圧レベルを保持する。ＴＦＴ２は、Ｃに保持された電圧レベルに応じた電流レベルを有する駆動電流を発光素子ＯＬＥＤに流す。

# 明 細 書

## 電流駆動回路及びそれを用いた表示装置、画素回路、並びに駆動方法

### 技術分野

本発明は、有機エレクトロルミネッセンス（ＥＬ）素子等の、電流によって輝度が制御される発光素子等を駆動する電流駆動回路、及びこの電流駆動回路により駆動される発光素子を各画素毎に備えた表示装置、画素回路、並びに発光素子の駆動方法に関する。より詳しくは、各画素内に設けられた絶縁ゲート型電界効果トランジスタ等の能動素子によって発光素子に供給する電流量を制御する電流駆動回路およびそれを用いた所謂アクティブマトリクス型の画像表示装置に関する。

### 背景技術

一般に、アクティブマトリクス型の画像表示装置では、多数の画素をマトリクス状に並べ、与えられた輝度情報に応じて画素毎に光強度を制御することによって画像を表示する。電気光学物質として液晶を用いた場合には、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。しかし液晶ディスプレイと異なり、有機ＥＬディスプレイは各画素に発光素子を有する、所謂自発光型であり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。個々の発光素子の輝度は電流量によって制御される。即ち、発光素子が電流駆動型或いは電流制御型であるという点で液晶ディスプレイ等とは大きく異なる。

液晶ディスプレイと同様、有機ＥＬディスプレイもその駆動方式として単純マ

トリクス方式とアクティブマトリクス方式とが可能である。前者は構造が単純であるものの大型且つ高精細のディスプレイの実現が困難であるため、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた能動素子（一般には、絶縁ゲート型電界効果トランジスタの一種である薄膜トランジスタ、以下ＴＦＴと呼ぶ場合がある）によって制御する。このアクティブマトリクス方式の有機ＥＬディスプレイは例えば特開平８－２３４６８３号公報に開示されており、一画素分の等価回路を図１に示す。画素は発光素子ＯＬＥＤ、第一の薄膜トランジスタＴＦＴ１、第二の薄膜トランジスタＴＦＴ２及び保持容量Ｃからなる。発光素子は有機エレクトロルミネッセンス（ＥＬ）素子である。有機ＥＬ素子は多くの場合整流性があるため、ＯＬＥＤ（有機発光ダイオード）と呼ばれることがあり、図では発光素子ＯＬＥＤとしてダイオードの記号を用いている。但し、発光素子は必ずしもＯＬＥＤに限るものではなく、素子に流れる電流量によって輝度が制御されるものであればよい。また、発光素子に必ずしも整流性が要求されるものではない。図示の例では、ＴＦＴ２のソースを基準電位（接地電位）とし、発光素子ＯＬＥＤのアノード（陽極）はＶｄｄ（電源電位）に接続される一方、カソード（陰極）はＴＦＴ２のドレインに接続されている。一方、ＴＦＴ１のゲートは走査線ｓｃａｎに接続され、ソースはデータ線ｄａｔａに接続され、ドレインは保持容量Ｃ及びＴＦＴ２のゲートに接続されている。

画素を動作させるために、まず、走査線ｓｃａｎを選択状態とし、データ線ｄａｔａに輝度情報を表すデータ電位Ｖｗを印加すると、ＴＦＴ１が導通し、保持容量Ｃが充電又は放電され、ＴＦＴ２のゲート電位はデータ電位Ｖｗに一致する。走査線ｓｃａｎを非選択状態とすると、ＴＦＴ１がオフになり、ＴＦＴ２は電気的にデータ線ｄａｔａから切り離されるが、ＴＦＴ２のゲート電位は保持容量Ｃによって安定に保持される。ＴＦＴ２を介して発光素子ＯＬＥＤに流れる電流は、ＴＦＴ２のゲート／ソース間電圧Ｖｇｓに応じた値となり、発光素子ＯＬＥ

ＤはＴＦＴ２を通って供給される電流量に応じた輝度で発光し続ける。

さて、ＴＦＴ２のドレイン／ソース間に流れる電流をＩｄｓとすると、これがＯＬＥＤに流れる駆動電流である。ＴＦＴ２が飽和領域で動作するものとすると、Ｉｄｓは以下の式で表される。

$$Ids = \mu \cdot Cox \cdot W/L/2 (Vgs - Vth)^2$$

$$= \mu \cdot Cox \cdot W/L/2 (Vw - Vth)^2 2 \quad \cdots \quad (1)$$

ここでＣｏｘは単位面積辺りのゲート容量であり、以下の式で与えられる。

$$Cox = \varepsilon 0 \cdot \varepsilon r / d \quad \cdots \quad (2)$$

（１）式及び（２）式中、ＶｔｈはＴＦＴ２の閾値を示し、$\mu$はキャリアの移動度を示し、Ｗはチャネル幅を示し、Ｌはチャネル長を示し、$\varepsilon 0$は真空の誘電率を示し、$\varepsilon r$はゲート絶縁膜の比誘電率を示し、ｄはゲート絶縁膜の厚みを示している。

（１）式によれば、画素へ書き込む電位ＶｗによってＩｄｓを制御でき、結果として発光素子ＯＬＥＤの輝度を制御できることになる。ここで、ＴＦＴ２を飽和領域で動作させる理由は次の通りである。即ち、飽和領域においてはＩｄｓはＶｇｓのみによって制御され、ドレイン／ソース間電圧Ｖｄｓには依存しないため、ＯＬＥＤの特性ばらつきによりＶｄｓが変動しても、所定量の駆動電流ＩｄｓをＯＬＥＤに流すことができるからである。

上述したように、図１に示した画素の回路構成では、一度Ｖｗによる書き込みを行えば、次に書き換えられるまで一走査サイクル（一フレーム）の間、ＯＬＥＤは一定の輝度で発光を継続する。このような画素を図２のようにマトリクス状に多数配列すると、アクティブマトリクス型表示装置を構成することができる。図２に示すように、従来の表示装置は、所定の走査サイクル（例えばＮＴＳＣ規格に従ったフレーム周期）で画素２５を選択するための走査線ｓｃａｎ１乃至ｓｃａｎＮと、画素２５を駆動するための輝度情報（データ電位Ｖｗ）を与えるデータ線ｄａｔａとがマトリクス状に配設されている。走査線ｓｃａｎ１乃至ｓｃ

ａｎＮは走査線駆動回路２１に接続される一方、データ線ｄａｔａはデータ線駆動回路２２に接続される。走査線駆動回路２１によって走査線ｓｃａｎ１乃至ｓｃａｎＮを順次選択しながら、データ線駆動回路２２によってデータ線ｄａｔａからＶｗによる書き込みを繰り返すことにより、所望の画像を表示することができる。単純マトリクス型の表示装置では、各画素に含まれる発光素子は、選択された瞬間にのみ発光するのに対し、図２に示したアクティブマトリクス型の表示装置では、書き込み終了後も各画素２５の発光素子が発光を継続するため、単純マトリクス型に比べ発光素子の駆動電流のレベルを下げられるなどの点で、取り分け大型高精細のディスプレイでは有利となる。

図３は、図２に示した画素２５の断面構造を模式的に表している。但し、図示を容易にするため、ＯＬＥＤとＴＦＴ２のみを表している。ＯＬＥＤは、透明電極１０、有機ＥＬ層１１及び金属電極１２を順に重ねたものである。透明電極１０は画素毎に分離しておりＯＬＥＤのアノードとして機能し、例えばＩＴＯ等の透明導電膜からなる。金属電極１２は画素間で共通接続されており、ＯＬＥＤのカソードとして機能する。即ち、金属電極１２は所定の電源電位Ｖｄｄに共通接続されている。有機ＥＬ層１１は例えば正孔輸送層と電子輸送層とを重ねた複合膜となっている。例えば、アノード（正孔注入電極）として機能する透明電極１０の上に正孔輸送層としてＤｉａｍｙｎｅを蒸着し、その上に電子輸送層としてＡｌｑ３を蒸着し、更にその上にカソード（電子注入電極）として機能する金属電極１２を成膜する。尚、Ａｌｑ３は、８－ｈｙｄｒｏｘｙ　ｑｕｉｎｏｌｉｎｅ　ａｌｕｍｉｎｕｍを表している。このような積層構造を有するＯＬＥＤは一例に過ぎない。かかる構成を有するＯＬＥＤのアノード／カソード間に順方向の電圧（１０Ｖ程度）を印加すると、電子や正孔等キャリアの注入が起こり、発光が観測される。ＯＬＥＤの動作は、正孔輸送層から注入された正孔と電子輸送層から注入された電子より形成された励起子による発光と考えられる。

一方、ＴＦＴ２はガラス等からなる基板１の上に形成されたゲート電極２と、

その上面に重ねられたゲート絶縁膜３と、このゲート絶縁膜３を介してゲート電極２の上方に重ねられた半導体薄膜４とからなる。この半導体薄膜４は例えば多結晶シリコン薄膜からなる。ＴＦＴ２はＯＬＥＤに供給される電流の通路となるソースＳ、チャネルＣｈ及びドレインＤを備えている。チャネルＣｈは丁度ゲート電極２の直上に位置する。このボトムゲート構造のＴＦＴ２は層間絶縁膜５により被覆されており、その上にはソース電極６及びドレイン電極７が形成されている。これらの上には別の層間絶縁膜９を介して前述したＯＬＥＤが成膜されている。なお、図３の例ではＴＦＴ２のドレインにＯＬＥＤのアノードを接続する為、ＴＦＴ２としてＰチャネル薄膜トランジスタを用いている。

アクティブマトリクス型有機ＥＬディスプレイにおいては、能動素子として一般にガラス基板上に形成されたＴＦＴ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ、薄膜トランジスタ）が利用されるが、これは次の理由による。すなわち、有機ＥＬディスプレイは直視型であるという性質上、そのサイズは比較的大型となり、コストや製造設備の制約などから、能動素子の形成のために単結晶シリコン基板を用いることは現実的でない。更に、発光素子から光を取り出すために、有機ＥＬ層のアノード（陽極）として、通常は透明導電膜であるＩＴＯ（Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）が使用されるが、ＩＴＯは一般に有機ＥＬ層が耐えられない高温下で成膜されることが多く、この場合ＩＴＯは有機ＥＬ層が形成される以前に形成しておく必要がある。従って、製造工程は概ね以下のようになる。

再び図３を参照すると、先ずガラス基板１上にゲート電極２、ゲート絶縁膜３、アモルファスシリコン（Ａｍｏｒｐｈｏｕｓ　Ｓｉｌｉｃｏｎ、非晶質シリコン）からなる半導体薄膜４を順次堆積・パタニングし、ＴＦＴ２を形成する。場合によってはアモルファスシリコンをレーザアニール等の熱処理によってポリシリコン（多結晶シリコン）化することもある。その場合一般的に、アモルファスシリコンに比べてキャリア移動度が大きく、電流駆動能力の大きなＴＦＴ２を作

ることができる。次に、発光素子ＯＬＥＤのアノードとなるＩＴＯ透明電極１０を形成する。続いて、有機ＥＬ層１１を堆積し、発光素子ＯＬＥＤを形成する。最後に、金属材料（例えばアルミニウム）によって発光素子のカソードとなる金属電極１２を形成する。

この場合、光の取り出しは基板１の裏側（下面側）からとなるので、基板１には透明な材料（通常はガラス）を使用する必要がある。かかる事情から、アクティブマトリクス型有機ＥＬディスプレイでは、比較的大型のガラス基板１が使用され、能動素子としてはその上に形成することが比較的容易なＴＦＴが使用されるのが普通である。最近では光を基板１の表側（上面側）から取り出す試みもある。この場合の断面構造を図４に示す。図３と異なる点は、発光素子ＯＬＥＤを金属電極１２ａ、有機ＥＬ層１１及び透明電極１０ａを順に重ね、ＴＦＴ２としてＮチャネルトランジスタを用いたことである。

その場合においては、基板１はガラスのように透明である必要はないが、大型の基板上に形成するトランジスタとしては、やはりＴＦＴが利用されるのが一般的である。ところが、ＴＦＴの形成に使用されるアモルファスシリコンやポリシリコンは、単結晶シリコンに比べて結晶性が悪く、伝導機構の制御性が悪いために、形成されたＴＦＴは特性のばらつきが大きいことが知られている。特に、比較的大型のガラス基板上にポリシリコンＴＦＴを形成する場合には、ガラス基板の熱変形等の問題を避けるため、通常、上述したようにレーザアニール法が用いられるが、大きなガラス基板に均一にレーザエネルギーを照射することは難しく、ポリシリコンの結晶化の状態が基板内の場所によってばらつきを生ずることが避けられない。

この結果、同一基板上に形成したＴＦＴでも、そのＶｔｈ（閾値）が画素によって数百ｍＶ、場合によっては１Ｖ以上ばらつくことも希ではない。この場合、例えば異なる画素に対して同じ信号電位Ｖｗを書き込んでも、画素によってＶｔｈがばらつく結果、前掲の（１）式に従って、ＯＬＥＤに流れる電流Ｉｄｓは画

素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。これはＶｔｈのみではなく、キャリア移動度μ等（１）式の各パラメータのばらつきについても同様のことが言える。また、上記の各パラメータのばらつきは、上述のような画素間のばらつきのみならず、製造ロット毎、あるいは製品毎によってもある程度は変動することが避けられない。このような場合は、ＯＬＥＤに流すべき所望の電流Ｉｄｓに対し、データ線電位Ｖｗをどう設定すべきかについて、製品毎に（１）式の各パラメータの出来上がりに応じて決定する必要があるが、これはディスプレイの量産工程においては非現実的であるばかりでなく、環境温度によるＴＦＴの特性変動、更に長期間の使用によって生ずるＴＦＴ特性の経時変化については対策を講ずることが極めて難しい。

## 発明の開示

本発明の目的は、画素内部の能動素子の特性ばらつきによらず、安定且つ正確に画素の発光素子等に所望の電流を供給できる電流駆動回路、およびそれを用い、結果として高品位な画像を表示することが可能な表示装置、画素回路、並びに発光素子の駆動方法を提供することにある。

上記目的を達成する為に以下の手段を講じた。即ち本発明にかかる表示装置は、走査線を順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えている。特徴事項として、当該画素は、当該走査線が選択された時当該データ線から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とからなる。具体的には、前記変換部は、ゲート、

ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、前記ゲートに接続した容量とを含んでおり、前記変換用絶縁ゲート型電界効果トランジスタは、前記受入部によって取り込まれた信号電流を前記チャネルに流して変換された電圧レベルを前記ゲートに発生させ、前記容量は前記ゲートに生じた電圧レベルを保持する。更に前記変換部は、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでいる。前記スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレインから切り離す。

一実施形態では、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでいる。この駆動用絶縁ゲート型電界効果トランジスタは、前記容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して前記発光素子に流す。前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にする。前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、前記変換用絶縁ゲート型電界効果トランジスタと同等の閾電圧を有する。前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を前記発光素子に流す。

他の実施形態では、前記駆動部は、前記変換部との間で前記変換用絶縁ゲート

型電界効果トランジスタを時分割的に共用している。前記駆動部は、信号電流の変換を完了した後前記変換用絶縁ゲート型電界効果トランジスタを前記受入部から切り離して駆動用とし、保持された電圧レベルを前記変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を前記発光素子に流す。前記駆動部は、駆動時以外に前記変換用絶縁ゲート型電界効果トランジスタを介して前記発光素子に流れる不要電流を遮断する制御手段を有する。前記制御手段は、整流作用を有する二端子型の発光素子の端子間電圧を制御して不要電流を遮断する。或いは、前記制御手段は、前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタからなり、前記制御用絶縁ゲート型電界効果トランジスタは、発光素子の非駆動時に非導通状態となって前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子とを切り離し、発光素子の駆動時には導通状態に切り替わる。加えて前記制御手段は、非駆動時に駆動電流を遮断して前記発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して前記発光素子を発光状態に置く時間との割合を制御して、各画素の輝度を制御可能にする。場合によっては、前記駆動部は、前記変換用絶縁ゲート型電界効果トランジスタを通って前記発光素子に流れる駆動電流の電流レベルを安定化するために、前記変換用絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手段を有する。

本発明の発展形では、前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路を構成し、１つまたは２つ以上の絶縁ゲート型電界効果トランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する。又、前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、前記発光素子は、アノード及びカソードを有する二端子型であり、カソードがド

レインに接続している。或いは、前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、前記発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している。又、前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める。この場合、前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記調整手段は、前記絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する。或いは、前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記変換部は前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、前記調整手段は、前記容量に接続した追加容量からなり、前記容量に保持された前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する。或いは、前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記変換部は一端が前記絶縁ゲート型電界効果トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、前記調整手段は、前記変換部によって変換された前記電圧レベルを前記容量に保持する時前記容量の他端の電位を調整して、前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する。なお、前記発光素子は例えば有機エレクトロルミネッセンス素子を用いる。

本発明の画素回路は次の特徴を有する。第一に、画素への輝度情報の書き込みは、輝度に応じた大きさの信号電流をデータ線に流すことによって行われ、その電流は画素内部の変換用絶縁ゲート型電界効果トランジスタのソース・ドレイン間を流れ、結果その電流レベルに応じたゲート・ソース間電圧を生ずる。第二に

、上記で生じたゲート・ソース間電圧、またはゲート電位は、画素内部に形成された、もしくは寄生的に存在する容量の作用によって保持され、書き込み終了後も所定の期間、概ねそのレベルを保つ。第三に、ＯＬＥＤに流れる電流は、それと直列に接続された前記変換用絶縁ゲート型電界効果トランジスタ自身、もしくはそれとは別に画素内部に設けられ前記変換用絶縁ゲート型電界効果トランジスタとゲートを共通接続された駆動用絶縁ゲート型電界効果トランジスタによって制御され、ＯＬＥＤ駆動の際のゲート・ソース間電圧が、第一の特徴によって生じた変換用絶縁ゲート型電界効果トランジスタのゲート・ソース間電圧に概ね等しい。第四に、書き込み時には、第１の走査線によって制御される取込用絶縁ゲート型電界効果トランジスタによってデータ線と画素内部が導通され、第２の走査線によって制御されるスイッチ用絶縁ゲート型電界効果トランジスタによって前記変換用絶縁ゲート型電界効果トランジスタのゲート・ドレイン間が短絡される。以上まとめると、従来例においては輝度情報が電圧値の形で与えられたのに対し、本発明の表示装置においては電流値の形で与えられること、即ち電流書き込み型であることが著しい特徴である。

本発明は、既に述べたようにＴＦＴの特性ばらつきによらず、正確に所望の電流をＯＬＥＤに流すことを目的とするが、上記第一ないし第四の特徴によって、本目的が達成できる理由を以下に説明する。なお、以下変換用絶縁ゲート型電界効果トランジスタをＴＦＴ１、駆動用絶縁ゲート型電界効果トランジスタをＴＦＴ２、取込用絶縁ゲート型電界効果トランジスタをＴＦＴ３、スイッチ用絶縁ゲート型電界効果トランジスタをＴＦＴ４と記す。但し本発明はＴＦＴ（薄膜トランジスタ）に限られるものではなく、単結晶シリコン基板やＳＯＩ基板に形成される単結晶シリコントランジスタなど広く絶縁ゲート型電界効果トランジスタを能動素子として採用可能である。さて、輝度情報の書き込み時、ＴＦＴ１に流す信号電流をＩｗ、その結果ＴＦＴ１に生ずるゲート・ソース間電圧をＶｇｓとする。書き込み時はＴＦＴ４によってＴＦＴ１のゲート・ドレイン間が短絡されて

いるので、ＴＦＴ１は飽和領域で動作する。よって、Ｉｗは、以下の式で与えられる。

$$Iw=\mu 1\cdot Cox1\cdot W1/L1/2(Vgs-Vth1)^2 \quad \cdots \quad (3)$$

ここで各パラメータの意味は前記（１）式の場合に準ずる。次に、ＯＬＥＤに流れる電流をＩｄｒｖとすると、Ｉｄｒｖは、ＯＬＥＤと直列に接続されるＴＦＴ２によって電流レベルが制御される。本発明では、そのゲート・ソース間電圧が（３）式のＶｇｓに一致するので、ＴＦＴ２が飽和領域で動作すると仮定すれば、以下の式が成り立つ。

$$Idrv=\mu 2\cdot Cox2\cdot W2/L2/2(Vgs-Vth2)^2 \quad \cdots \quad (4)$$

各パラメータの意味は前記（１）式の場合に準ずる。なお、絶縁ゲート電界効果型の薄膜トランジスタが飽和領域で動作するための条件は、Ｖｄｓをドレイン・ソース間電圧として、一般に以下の式で与えられる。

$$|Vds|>|Vgs-Vth| \quad \cdots \quad (5)$$

ここで、ＴＦＴ１とＴＦＴ２とは、小さな画素内部に近接して形成されるため、事実上$\mu 1=\mu 2$，Ｃｏｘ１＝Ｃｏｘ２，Ｖｔｈ１＝Ｖｔｈ２と考えられる。すると、このとき（３）式及び（４）式から容易に以下の式が導かれる。

$$Idrv/Iw=(W2/L2)/(W1/L1) \quad \cdots \quad (6)$$

ここで注意すべき点は、（３）式及び（４）式において、$\mu$、Ｃｏｘ，Ｖｔｈの値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、（６）式はこれらのパラメータを含まないので、Ｉｄｒｖ／Ｉｗの値はこれらのばらつきに依存しないということである。例えばＷ１＝Ｗ２，Ｌ１＝Ｌ２と設計すれば、Ｉｄｒｖ／Ｉｗ＝１、すなわちＩｗとＩｄｒｖが同一の値となる。すなわちＴＦＴの特性ばらつきによらず、ＯＬＥＤに流れる駆動電流Ｉｄｒｖは、正確に信号電流Ｉｗと同一となるので、結果としてＯＬＥＤの発光輝度を正確に制御できる。上記は一例であるが、以下に実施例を挙げて説明するように、Ｗ

1，W2，L1，L2の設定如何によってIwとIdrvの比は自由に決められるし、あるいはTFT1とTFT2とを同一のTFTで兼用することも可能である。

このように、本発明によれば、TFTの特性ばらつきによらず、正確な電流をOLEDに流すことができるが、更に（6）式によれば、IwとIdrvとが単純な比例関係にあることも大きな利点である。すなわち、図1の従来例においては、（1）式に示したように、VwとIdrvとがTFTの特性に依存して非線型であり、駆動側の電圧制御が複雑にならざるを得ない。また、（1）式に示したTFTの特性のうち、キャリア移動度$\mu$は、温度によって変動することが知られている。この場合、従来例では（1）式に従って、Idrvが、ひいてはOLEDの発光輝度が変化してしまうが、本発明によればそのような心配もなく、安定して（6）式で与えられるIdrvの値をOLEDに供給できる。

（4）式おいては、TFT2が飽和領域で動作すると仮定したが、本発明はTFT2がリニア領域で動作する場合についても有効である。すなわち、TFT2がリニア領域で動作する場合は、Idrwは以下の式で与えられる。

$$Idrv=\mu 2\cdot Cox2\cdot W2/L2*\{(Vgs-Vth2)Vds2-Vds2^2/2\} \quad \cdots \quad (7)$$

Vds2はTFT2のドレイン・ソース間電圧である。ここでTFT1，TFT2は近接して配置されており、その結果Vth1＝Vth2＝Vthが成り立つものすると、（3）式、（7）式からVgs，Vthを消去することができて、以下の式を得る。

$$Idrv=\mu 2\cdot Cox2\cdot W2/L2*\{(2Iw\cdot L1/\mu 1\cdot Cox1\cdot W1)^{1/2}Vds2-Vds2^2/2\} \quad \cdots \quad (8)$$

この場合、IwとIdrvの関係は、（6）式のような単純な比例関係にはならないが、（8）式にはVthが含まれていないことから、Vthのばらつき（画面内のばらつきや製造ロット毎のばらつき）によってIwとIdrvの関係が

左右されることは無いことがわかる。すなわち、Ｖｔｈのばらつきによらず、所定のＩｗを書き込むことによって、所望のＩｄｒｖを得ることができる。ただし、μやＣｏｘが画面内でばらつくような場合は、それらの値によって、特定のＩｗをデータ線に与えた場合でも、（８）式から決まるＩｄｒｖの値はばらつくことになるので、ＴＦＴ２は前述のように飽和領域で動作する方が望ましい。

またＴＦＴ３とＴＦＴ４を別々の走査線によって制御し、書き込み終了時にはＴＦＴ３に先だってＴＦＴ４をｏｆｆ状態とすることがより望ましい。本発明に係る画素回路においては、ＴＦＴ３とＴＦＴ４は、同一導電タイプである必要はなく、ＴＦＴ３とＴＦＴ４とは同一または異なる導電タイプであり、それぞれのゲートを別々の走査線によって制御し、書き込み終了時にはＴＦＴ３に先だってＴＦＴ４がｏｆｆ状態とするように構成することが望ましい。

また、ＴＦＴ３、ＴＦＴ４をそれぞれ別の走査線によって制御する場合は、書き込み終了後、走査線の操作によってＴＦＴ４をｏｎ状態とし、走査線単位で画素を消灯することができる。これは、ＴＦＴ１のゲート・ドレイン、及びＴＦＴ２のゲートが接続されるため、ＴＦＴ２のゲート電圧はＴＦＴ１のしきい値（これはＴＦＴ２のしきい値にほぼ等しい）となり、ＴＦＴ１、ＴＦＴ２共にｏｆｆ状態となるからである。

このように、消灯信号のタイミングを変えることによって、表示装置の輝度を簡便自在に変化させることが可能である。Ｒ．Ｇ．Ｂの色毎に第２の走査線を分け、別々に制御すれば色バランス調整も簡便に行うことができる。

更に、同じ時間平均輝度を得たい場合、発光期間の割合（ｄｕｔｙ）を減らすことによって発光素子ＯＬＥＤの駆動電流を大きくできる。

## 図面の簡単な説明

図１は、従来の画素回路の例を示す回路図である。

図２は、従来の表示装置の構成例を示すブロック図である。

図３は、従来の表示装置の構成例を示す断面図である。

図４は、従来の表示装置の他の構成例を示す断面図である。

図５は、本発明にかかる画素回路の実施形態を示す回路図である。

図６は、図５の実施形態における各信号の波形の例を示す波形図である。

図７は、図５の実施形態にかかる画素回路を使用した表示装置の構成例を示すブロック図である。

図８は、図５の実施形態の変形例を示す回路図である。

図９は、本発明にかかる画素回路の他の実施形態を示す回路図である。

図１０は、図９の実施形態における各信号の波形の例を示す波形図である。

図１１は、図９の実施形態の変形例を示す回路図である。

図１２は、図９の実施形態の変形例を示す回路図である。

図１３は、図９の実施形態の変形例を示す回路図である。

図１４は、図９の実施形態の変形例を示す回路図である。

図１５は、本発明にかかる画素回路の別の実施形態を示す回路図である。

図１６は、図１５の実施形態の変形例を示す回路図である。

図１７は、図１５の実施形態の変形例を示す回路図である。

図１８は、本発明にかかる画素回路の他の実施形態を示す回路図である。

図１９は、図１８の実施形態の変形例を示す回路図である。

図２０は、図１９の回路における走査線単位で画素の消灯を行う場合を説明するための図である。

図２１は、図１９の実施形態の変形例を示す回路図である。

図２２は、図１９の実施形態の変形例を示す回路図である。

図２３は、図２２の回路及び従来回路の変換用トランジスタを流れる電流特性を示す図である。

図２４は、図１９の実施形態の変形例を示す回路図である。

図２５は、図２３の回路及び従来回路のデータ線電位を示す図である。

図２６は、本発明にかかる画素回路の他の実施形態を示す回路図である。

図２７は、本発明にかかる画素回路の他の実施形態を示す回路図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を添付図面を参照して説明する。

図５は本発明による画素回路の例である。この回路は、信号電流が流れる変換用トランジスタＴＦＴ１、有機ＥＬ素子等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタＴＦＴ２の他、第１の走査線ｓｃａｎＡの制御によって画素回路とデータ線ｄａｔａとを接続もしくは遮断する取込用トランジスタＴＦＴ３、第２の走査線ｓｃａｎＢの制御によって書き込み期間中にＴＦＴ１のゲート・ドレインを短絡するスイッチ用トランジスタＴＦＴ４，ＴＦＴ１のゲート・ソース間電圧を、書き込み終了後も保持するための容量Ｃ、及び発光素子ＯＬＥＤから成る。図５でＴＦＴ３はＰＭＯＳ、その他のトランジスタはＮＭＯＳで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Ｃは、その一方の端子をＴＦＴ１のゲートに接続され、他方の端子はＧＮＤ（接地電位）に接続されているが、ＧＮＤに限らず任意の一定電位でも良い。ＯＬＥＤのアノード（陽極）は正の電源電位Ｖｄｄに接続されている。

基本的に、本発明にかかる表示装置は、走査線ｓｃａｎＡ及びｓｃａｎＢを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流Ｉｗを生成して逐次データ線ｄａｔａに供給する電流源ＣＳを含むデータ線駆動回路と、各走査線ｓｃａｎＡ，ｓｃａｎＢ及び各データ線ｄａｔａの交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子ＯＬＥＤを含む複数の画素とを備えている。特徴事項として、図５に示した当該画素は、当該走査線ｓｃａｎＡが選択された時当該データ線ｄａｔａから信号電流Ｉｗを取り込む受入部と、取り込んだ信号電流Ｉｗの電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する

駆動電流を当該発光素子ＯＬＥＤに流す駆動部とからなる。具体的には、前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用薄膜トランジスタＴＦＴ１と、そのゲートに接続した容量Ｃとを含んでいる。変換用薄膜トランジスタＴＦＴ１は、前記受入部によって取り込まれた信号電流Ｉｗを前記チャネルに流して変換された電圧レベルを前記ゲートに発生させ、容量Ｃは前記ゲートに生じた電圧レベルを保持する。更に前記変換部は、変換用薄膜トランジスタＴＦＴ１のドレインとゲートとの間に挿入されたスイッチ用薄膜トランジスタＴＦＴ４を含んでいる。スイッチ用薄膜トランジスタＴＦＴ４は、信号電流Ｉｗの電流レベルを電圧レベルに変換する時に導通し、変換用薄膜トランジスタＴＦＴ１のドレインとゲートを電気的に接続してソースを基準とする電圧レベルをＴＦＴ１のゲートに生ぜしめる。又、スイッチ用薄膜トランジスタＴＦＴ４は、電圧レベルを容量Ｃに保持する時に遮断され、変換用薄膜トランジスタＴＦＴ１のゲート及びこれに接続した容量ＣをＴＦＴ１のドレインから切り離す。

更に、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用薄膜トランジスタＴＦＴ２を含んでいる。駆動用薄膜トランジスタＴＦＴ２は、容量Ｃに保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して発光素子ＯＬＥＤに流す。変換用薄膜トランジスタＴＦＴ１のゲートと駆動用薄膜トランジスタＴＦＴ２のゲートとが直接に接続されてカレントミラー回路を構成し、信号電流Ｉｗの電流レベルと駆動電流の電流レベルとが比例関係となる様にした。駆動用薄膜トランジスタＴＦＴ２は、画素内で対応する変換用薄膜トランジスタＴＦＴ１の近傍に形成されており、変換用薄膜トランジスタＴＦＴ１と同等の閾電圧を有する。駆動用薄膜トランジスタＴＦＴ２は飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を発光素子ＯＬＥＤに流す。

本画素回路の駆動方法は次の通りであり、駆動波形を図６に示す。先ず、書き込み時には第１の走査線ｓｃａｎＡ、第２の走査線ｓｃａｎＢを選択状態とする

。図５の例では、第１の走査線ｓｃａｎＡを低レベル、第２の走査線ｓｃａｎＢを高レベルとしている。両走査線が選択された状態でデータ線ｄａｔａに電流源ＣＳを接続することにより、ＴＦＴ１に輝度情報に応じた信号電流Ｉｗが流れる。電流源ＣＳは輝度情報に応じて制御される可変電流源である。このとき、ＴＦＴ１のゲート・ドレイン間はＴＦＴ４によって電気的に短絡されているので（５）式が成立し、ＴＦＴ１は飽和領域で動作する。従って、そのゲート・ソース間には（３）式で与えられる電圧Ｖｇｓが生ずる。次に、第１の走査線ｓｃａｎＡ，第２の走査線ｓｃａｎＢを非選択状態とする。詳しくは、まず第２の走査線ｓｃａｎＢを低レベルとしてＴＦＴ４をｏｆｆ状態とする。これによってＶｇｓが容量Ｃによって保持される。次に第１の走査線ｓｃａｎＡを高レベルとしてｏｆｆ状態とすることにより、画素回路とデータ線ｄａｔａとが電気的に遮断されるので、その後はデータ線ｄａｔａを介して別の画素への書き込みを行うことができる。ここで、電流源ＣＳが信号電流の電流レベルとして出力するデータは、第２の走査線ｓｃａｎＢが非選択となる時点では有効である必要があるが、その後は任意のレベル（例えば次の画素の書き込みデータ）とされて良い。ＴＦＴ２はＴＦＴ１とゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、ＴＦＴ２が飽和領域で動作していれば、ＴＦＴ２を流れる電流は（４）式で与えられ、これがすなわち発光素子ＯＬＥＤに流れる駆動電流Ｉｄｒｖとなる。ＴＦＴ２を飽和領域で動作させるには、発光素子ＯＬＥＤでの電圧降下を考慮してもなお（５）式が成立するよう、十分な正電位をＶｄｄに与えれば良い。

上記の駆動によれば、発光素子ＯＬＥＤに流れる電流Ｉｄｒｖは先の（６）式

Ｉｄｒｖ＝（Ｗ２／Ｌ２）／（Ｗ１／Ｌ１）・Ｉｗ

で与えられ、ＴＦＴの特性ばらつきによらず、正確にＩｗに比例した値となる。比例定数である（Ｗ２／Ｌ２）／（Ｗ１／Ｌ１）については、諸般の事情を考慮して適当な値に定めることができる。例えば、一画素の発光素子ＯＬＥＤに流す

べき電流値が比較的小さな値、例えば１０ｎＡであるとした場合、現実問題として、信号電流Ｉｗとしてはこのような小さな電流値を正確に供給することは難しいことがある。このような場合は、例えば（Ｗ２／Ｌ２）／（Ｗ１／Ｌ１）＝１／１００となるように設計すれば、（６）式からＩｗとしては１μＡとなり、電流書き込み動作が容易になる。

上記例では、ＴＦＴ２が飽和領域で動作すると仮定したが、前述した様にリニア領域で動作する場合についても本発明は有効である。すなわち、ＴＦＴ２がリニア領域で動作する場合は、発光素子ＯＬＥＤに流れる電流Ｉｄｒｖは前記（８）式

$$Idrv=\mu 2\cdot Cox2\cdot W2/L2*\{(2Iw\cdot L1/\mu 1\cdot Cox1\cdot W1)^{1/2}\ Vds2-Vds2^{2}/2\}$$

で与えられる。上式において、Ｖｄｓ２は発光素子ＯＬＥＤの電流一電圧特性と発光素子ＯＬＥＤを流れる電流Ｉｄｒｖによって決まる。Ｖｄｄの電位と発光素子ＯＬＥＤの特性が与えられればＩｄｒｖのみの関数ということである。この場合、ＩｗとＩｄｒｖの関係は、（６）式のような単純な比例関係にはならないが、Ｉｗが与えられれば、（８）式を満たすＩｄｒｖが、ＯＬＥＤを流れる駆動電流になる。（８）式にはＶｔｈが含まれていないことから、Ｖｔｈのばらつき（画面内の画素毎のばらつきや製造ロット毎のばらつき）によってＩｗとＩｄｒｖの関係が左右されることはないことがわかる。すなわち、Ｖｔｈのばらつきによらず、所定のＩｗを書き込むことによって、所望のＩｄｒｖを得ることができる。このように、ＴＦＴ２をリニア領域で動作させる場合は、飽和領域の場合に比べてＴＦＴ２のドレイン・ソース間電圧が小さくて済むため、低消費電力化が可能である。

図７は、図５の画素回路をマトリクス状に並べて構成した表示装置の例である。その動作を以下に説明する。先ず、垂直スタートパルス（ＶＳＰ）がシフトレジスタを含む走査線駆動回路Ａ２１と同じくシフトレジスタを含む走査線駆動回

路Ｂ２３に入力される。走査線駆動回路Ａ２１，走査線駆動回路Ｂ２３はＶＳＰを受けた後、垂直クロック（ＶＣＫＡ，ＶＣＫＢ）に同期してそれぞれ第１の走査線ｓｃａｎＡ１～ｓｃａｎＡＮ、第２の走査線ｓｃａｎＢ１～ｓｃａｎＢＮを順次選択する。各データ線ｄａｔａに対応して電流源ＣＳがデータ線駆動回路２２内に設けられており、輝度情報に応じた電流レベルでデータ線を駆動する。電流源ＣＳは、図示の電圧／電流変換回路からなり、輝度情報を表す電圧に応じて信号電流を出力する。信号電流は選択された走査線上の画素に流れ、走査線単位で電流書き込みが行われる。各画素はその電流レベルに応じた強度で発光を開始する。ただし、ＶＣＫＡは、ＶＣＫＢに対し、遅延回路２４によってわずかに遅延されている。これにより、図６に示したように、第２の走査線ｓｃａｎＢが第１の走査線ｓｃａｎＡに先立って非選択となる。

図８は図５の画素回路の変形例である。この回路は、図５におけるＴＦＴ２を、ＴＦＴ２ａとＴＦＴ２ｂの２つのトランジスタを直列に接続したダブルゲート構成とし、また図５におけるＴＦＴ４を、ＴＦＴ４ａとＴＦＴ４ｂの２つのトランジスタを直列に接続したダブルゲート構成にしたものである。ＴＦＴ２ａとＴＦＴ２ｂ及びＴＦＴ４ａとＴＦＴ４ｂはそれぞれゲートを共通接続されているので、基本的には単一のトランジスタと同様の動作をし、その結果図８の画素回路も図５の画素回路と同様の動作をする。ところで、単一のトランジスタ、特にＴＦＴでは、何らかの欠陥等によってオフ時のリーク電流が大きくなる場合がある。このため、リーク電流を抑えたい場合には複数のトランジスタを直列に接続する冗長構成を採用することが好ましい。こうすれば、いずれか一方のトランジスタにリークがあっても、他方のトランジスタのリークが小さければ、全体としてのリークは抑えられるからである。図８のＴＦＴ２ａとＴＦＴ２ｂのような構成をとれば、リーク電流が少ないことによって、輝度ゼロ（電流ゼロ）の場合に表示の黒レベルの品位が良くなるというメリットを生ずる。またＴＦＴ４ａとＴＦＴ４ｂのような構成をとれば、容量Ｃに書き込まれた輝度情報を安定に保持でき

るというメリットを生ずる。これらについては、同様に３つ以上のトランジスタを直列に構成することも可能である。以上のように本変形例では、前記受入部、前記変換部及び前記駆動部は複数の薄膜トランジスタＴＦＴを組み合わせた電流回路を構成し、１つまたは２つ以上の薄膜トランジスタ（ＴＦＴ）は電流回路中の電流リークを抑制するためにダブルゲート構造を有する。

図９は本発明にかかる画素回路の他の実施例である。この回路は、信号電流Ｉｗが流れるトランジスタＴＦＴ１自身が、発光素子ＯＬＥＤに流れる電流Ｉｄｒｖを制御することが特徴である。前述の図５に示した画素回路では、ＴＦＴ１とＴＦＴ２の特性（Ｖｔｈや$\mu$など）が互いにわずかに異なっている場合、正確には（６）式が成立せず、Ｉｗと Ｉｄｒｖが正確には比例しない可能性があるが、図９の画素回路ではこのような問題が原理的に生じない。図９の画素回路は、ＴＦＴ１の他、第１の走査線ｓｃａｎＡの制御によって画素回路とデータ線ｄａｔａとを接続もしくは遮断するトランジスタＴＦＴ３、第２の走査線ｓｃａｎＢの制御によって書き込み期間中にＴＦＴ１のゲート・ドレインを短絡するトランジスタＴＦＴ４、ＴＦＴ１のゲート・ソース間電圧を書き込み終了後も保持するための容量Ｃ、及び有機ＥＬ素子からなる発光素子ＯＬＥＤを備えている。保持容量Ｃは、その一方の端子がＴＦＴ１のゲートに接続され、他方の端子はＧＮＤ（接地電位）に接続されているが、ＧＮＤに限らず任意の一定電位でも良い。発光素子ＯＬＥＤのアノード（陽極）は、走査線単位で配設されたアノード線Ａに接続されている。ＴＦＴ３はＰＭＯＳ、その他のトランジスタはＮＭＯＳで構成しているが、これは一例であって、必ずしもこの通りである必要はない。

以上のように本実施形態では、画素回路の駆動部は、変換部との間で変換用薄膜トランジスタＴＦＴ１を時分割的に共用している。即ち、駆動部は、信号電流Ｉｗの変換を完了した後変換用薄膜トランジスタＴＦＴ１を受入部から切り離して駆動用とし、保持された電圧レベルを変換用薄膜トランジスタＴＦＴ１のゲートに印加した状態でチャネルを通じ駆動電流を発光素子ＯＬＥＤに流す。又、駆

動部は、駆動時以外に変換用薄膜トランジスタＴＦＴ１を介して発光素子ＯＬＥＤに流れる不要電流を遮断する制御手段を有する。本例の場合、制御手段は、整流作用を有する二端子型の発光素子ＯＬＥＤの端子間電圧をアノード線Ａにより制御して不要電流を遮断する。

この回路の駆動方法は次の通りであり、駆動波形を図１０に示す。先ず、書き込み時には第１の走査線ｓｃａｎＡ、第２の走査線ｓｃａｎＢを選択状態とする。図１０の例では、第１の走査線ｓｃａｎＡを低レベル、第２の走査線ｓｃａｎＢを高レベルとしている。ここでデータ線ｄａｔａに電流値Ｉｗの電流源ＣＳを接続するが、Ｉｗが発光素子ＯＬＥＤを介して流れるのを防ぐために、発光素子ＯＬＥＤのアノード線Ａは発光素子ＯＬＥＤがｏｆｆ状態となるように低レベル（例えばＧＮＤないし負電位）としておく。これにより、ＴＦＴ１に信号電流Ｉｗが流れる。このとき、ＴＦＴ１のゲート・ドレイン間はＴＦＴ４によって電気的に短絡されているので（５）式が成立し、ＴＦＴ１は飽和領域で動作する。従って、そのゲート・ソース間には（３）式で与えられる電圧Ｖｇｓが生ずる。次に第１の走査線ｓｃａｎＡ，第２の走査線ｓｃａｎＢを非選択状態とする。詳しくは、まず第２の走査線ｓｃａｎＢを低レベルとしてＴＦＴ４をｏｆｆ状態とする。これによってＴＦＴ１生じたＶｇｓが容量Ｃに保持される。次に第１の走査線ｓｃａｎＡを高レベルとしてＴＦＴ３をｏｆｆ状態とすることにより、画素回路とデータ線ｄａｔａとが電気的に遮断されるので、その後はデータ線ｄａｔａを介して別の画素への書き込みを行うことができる。ここで、電流源ＣＳが信号電流Ｉｗとして供給するデータは、第２の走査線ｓｃａｎＢが非選択となる時点では有効である必要があるが、その後は任意の値（例えば次の画素の書き込みデータ）とされて良い。続いて、アノード線Ａを高レベルとする。ＴＦＴ１のＶｇｓは容量Ｃによって保持されているので、ＴＦＴ１が飽和領域で動作していれば、ＴＦＴ１を流れる電流は（３）式のＩｗに一致し、これが即ち、発光素子ＯＬＥＤに流れる駆動電流Ｉｄｒｖとなる。つまり信号電流Ｉｗが発光素子ＯＬＥＤ

の駆動電流Ｉｄｒｖと一致する。ＴＦＴ１を飽和領域で動作させるには、発光素子ＯＬＥＤでの電圧降下を考慮しても尚（５）式が成立するよう、十分な正電位をアノード線Ａに与えれば良い。上記の駆動によれば、発光素子ＯＬＥＤに流れる電流Ｉｄｒｖは、ＴＦＴの特性ばらつきによらず、正確にＩｗに一致する。

図１１は、図９に示した画素回路の変形例である。図１１では、図９のようなアノード線はなく、発光素子ＯＬＥＤのアノードは一定の正電位Ｖｄｄに接続されている一方、ＴＦＴ１のドレインと発光素子ＯＬＥＤのカソード（陰極）との間にＰチャネルトランジスタＴＦＴ５が挿入されている。ＴＦＴ５のゲートは、走査線単位で配設された駆動線ｄｒｖで制御される。ＴＦＴ５を挿入する目的は、データ書き込み時に駆動線ｄｒｖを高レベルとしてＴＦＴ５をｏｆｆ状態とし、信号電流Ｉｗが発光素子ＯＬＥＤを介して流れるのを防止することである。書き込みが終了した後、ｄｒｖを低レベルとしてＴＦＴ５をｏｎ状態とし、発光素子ＯＬＥＤに駆動電流Ｉｄｒｖを流す。これ以外の動作は図９の回路と同様である。

本例は発光素子ＯＬＥＤと直列に接続されたＴＦＴ５を含み、ＴＦＴ５に与える制御信号に応じて発光素子ＯＬＥＤに流れる電流を遮断することが可能である。制御信号は、走査線ｓｃａｎと平行に設けた駆動線ｄｒｖを介して同一走査線上の各画素に含まれるＴＦＴ５のゲートに与えられる。本例では、発光素子ＯＬＥＤとＴＦＴ１との間にＴＦＴ５が挿入されており、ＴＦＴ５のゲート電位の制御によって、発光素子ＯＬＥＤに流れる電流をオン／オフすることができる。本例によれば、各画素が発光するのは発光制御信号によってＴＦＴ５がオンしている時間分である。そのオン時間をτとし、一フレームの時間をＴとすると、画素が発光している時間的割合即ちデューティは概ねτ／Ｔとなる。発光素子の時間平均輝度はこのデューティに比例して変化する。従って、ＴＦＴ５を制御してオン時間τを変更することにより、ＥＬディスプレイの画面輝度を簡便且つ幅広い範囲で可変調整することもできる。

以上のように本例では、制御手段が変換用薄膜トランジスタＴＦＴ１と発光素子ＯＬＥＤとの間に挿入された制御用薄膜トランジスタＴＦＴ５からなる。制御用薄膜トランジスタＴＦＴ５は、発光素子ＯＬＥＤの非駆動時に非導通状態となって変換用薄膜トランジスタＴＦＴ１と発光素子ＯＬＥＤとを切り離し、駆動時には導通状態に切り替わる。更に、この制御手段は、非駆動時に駆動電流を遮断して発光素子ＯＬＥＤを非発光状態に置くオフ時間と、駆動時に駆動電流を流して発光素子ＯＬＥＤを発光状態に置くオン時間の割合を制御して、各画素の輝度を制御可能である。本例によれば、表示装置は走査線単位で輝度情報を各画素に書き込んだ後、次の走査線サイクル（フレーム）の輝度情報が新たに書き込まれる以前に、走査線単位で各画素に含まれる発光素子を一括して消灯できる。これによれば、輝度情報の書き込み後発光素子の点灯から消灯するまでの時間を調節できることになる。即ち、一走査サイクルにおける発光時間の割合（デューティ）を調節できることになる。発光時間（デューティ）の調節は等価的に各発光素子に供給する駆動電流を調節することに相当する。よって、デューティを調節することにより簡便且つ自在に表示輝度を調整することが可能である。更に重要な点は、デューティを適切に設定することで、等価的に駆動電流を大きくすることができる。例えば、デューティを１／１０にすると、駆動電流を１０倍にしても同等の輝度が得られる。駆動電流を１０倍にすればこれに対応する信号電流も１０倍に出来る為、微弱な電流レベルを扱わなくて良い。

図１２は、図９に示した画素回路の別の変形例である。図１２では、ＴＦＴ１のドレインと発光素子ＯＬＥＤのカソードとの間にＴＦＴ６が挿入され、ＴＦＴ６のゲート・ドレイン間にはＴＦＴ７が接続され、そのゲートは第２の走査線ｓｃａｎＢによって制御されている。ＴＦＴ７のソースとＧＮＤ電位との間には補助容量Ｃ２が接続されている。この回路の駆動方法は図９の画素回路の場合と基本的に同様であるが、以下に説明する。尚、駆動波形は図１０の場合と同様である。先ず、書き込み時には、走査線単位で配設されたアノード線Ａを低レベル（

例えばＧＮＤないし負電位）としてＯＬＥＤに電流が流れないようにした状態で第１の走査線ｓｃａｎＡ，第２の走査線ｓｃａｎＢを選択状態とすると、信号電流ＩｗがＴＦＴ１及びＴＦＴ６を流れる。両ＴＦＴ共、ゲート・ソース間がそれぞれＴＦＴ４及びＴＦＴ７によって短絡されているので、飽和領域で動作する。次に第１の走査線ｓｃａｎＡ，第２の走査線ｓｃａｎＢを非選択状態とする。これによって先にＴＦＴ１及びＴＦＴ６に生じたＶｇｓが容量Ｃ及び補助容量Ｃ２によってそれぞれ保持される。次に第１の走査線ｓｃａｎＡをｏｆｆ状態とすることにより、画素回路とデータ線ｄａｔａとが電気的に遮断されるので、その後はデータ線ｄａｔａを介して別の画素への書き込みを行うことができる。続いてアノード線Ａを高レベルとする。ＴＦＴ１のＶｇｓは容量Ｃによって保持されているので、ＴＦＴ１が飽和領域で動作していれば、ＴＦＴ１を流れる電流は（３）式のＩｗに一致し、これがすなわち発光素子ＯＬＥＤに流れる電流Ｉｄｒｖとなる。つまり、信号電流Ｉｗが発光素子ＯＬＥＤの駆動電流Ｉｄｒｖと一致する。

ここで、ＴＦＴ６の作用について説明する。図９の画素回路においては、前述したように、信号電流Ｉｗと発光素子ＯＬＥＤの駆動電流は共にＴＦＴ１によって決まるので、（３）式、（４）式よりＩｗ＝Ｉｄｒｖであった。ただし、これはＴＦＴ１を流れる電流Ｉｄｓが、飽和領域において（１）式で与えられる場合、すなわちＩｄｓがドレイン・ソース間電圧Ｖｄｓに依存しないとした場合である。しかるに現実のトランジスタでは、Ｖｇｓが一定であっても、Ｖｄｓが大きい程Ｉｄｓが大きくなる場合がある。これは、Ｖｄｓが大きくなることによってドレイン近傍のピンチオフ点がソース側へ移動し、実効的なチャネル長が減少する、いわゆるショートチャネル効果や、ドレインの電位がチャネル電位に影響を与えてチャネルの導電率が変化する、いわゆるバックゲート効果などのためである。この場合、トランジスタを流れる電流Ｉｄｓは、例えば以下の式のようになる。

$$Ids=\mu \cdot Cox \cdot W/L/2 (Vgs-Vth)^2 * (1+\lambda \cdot Vds) \quad \cdots (9)$$

従って、ＩｄｓはＶｄｓに依存することになる。ここで、λは正の定数である。この場合、図９の回路では、書き込み時と駆動時とでＶｄｓが同一でなければ、ＩｗとＩｄｒｖとは一致しない。

これに対し、図１２の回路の動作を考える。図１２のＴＦＴ６の動作に注目すると、そのドレイン電位は書き込み時と駆動時とで一般に同一ではない。例えば駆動時のドレイン電位の方が高い場合、ＴＦＴ６のＶｄｓも大きくなり、これを（９）式に当てはめれば、書き込み時と駆動時とでＶｇｓが一定であっても、Ｉｄｓは駆動時の方が増加する。言い換えればＩｗよりＩｄｒｖが大きくなって両者は一致しない。ところが、ＩｄｒｖはＴＦＴ１を流れるので、その場合ＴＦＴ１での電圧降下が大きくなり、そのドレイン電位（ＴＦＴ６のソース電位）が上昇する。この結果ＴＦＴ６のＶｇｓは小さくなり、これはＩｄｒｖを小さくする方向に作用する。結果として、ＴＦＴ１のドレイン電位（ＴＦＴ６のソース電位）は大きく変動することができず、ＴＦＴ１に注目すれば、書き込み時と駆動時とでＩｄｓが大きくは変わらないことがわかる。すなわち、ＩｗとＩｄｒｖとがかなり精度よく一致することになる。この動作をより良く行わせるためには、ＴＦＴ１，ＴＦＴ６共にＶｄｓに対するＩｄｓの依存性を小さくするのが良いので、両トランジスタを飽和領域で動作させることが望ましい。書き込み時にはＴＦＴ１，ＴＦＴ６共にゲート・ドレイン間が短絡されているので、書き込まれる輝度データによらず、必然的に両者共飽和領域で動作する。駆動時にも飽和領域で動作させるには、発光素子ＯＬＥＤでの電圧降下を考慮しても尚ＴＦＴ６が飽和領域で動作するよう、アノード線Ａに十分な正電位を与えれば良い。この駆動によれば、発光素子ＯＬＥＤに流れる電流ＩｄｒｖはＴＦＴの特性ばらつきによらず、図９の実施例より正確にＩｗに一致する。以上のように本例の駆動部は、変換用薄膜トランジスタＴＦＴ１を通って発光素子ＯＬＥＤに流れる駆動電流の

電流レベルを安定化するために、変換用薄膜トランジスタＴＦＴ１のソースを基準にしたドレインの電位を固定化する電位固定手段として、ＴＦＴ６，ＴＦＴ７及びＣ２を有する。

図１３は本発明にかかる画素回路の別の実施例である。この画素回路は、図９、図１１、図１２の回路と同様、信号電流Ｉｗが流れるトランジスタＴＦＴ１自身が、発光素子ＯＬＥＤに流れる電流Ｉｄｒｖを制御するが、図１３では発光素子ＯＬＥＤがＴＦＴ１のソース側に接続されていることが特徴である。即ち、本画素回路の駆動部は、ゲート、ドレイン及びソースを備えた薄膜トランジスタＴＦＴ１を含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を発光素子ＯＬＥＤに流す。発光素子ＯＬＥＤは、アノード及びカソードを有する二端子型であり、アノードがソースに接続している。これに対し、図９に示した画素回路の駆動部は、ゲート、ドレイン及びソースを備えた薄膜トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を発光素子に流す一方、発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している。

本例の画素回路は、ＴＦＴ１の他、第１の走査線ｓｃａｎＡの制御によって画素回路とデータ線ｄａｔａとを接続もしくは遮断するトランジスタＴＦＴ３、第２の走査線ｓｃａｎＢの制御によって書き込み期間中にＴＦＴ１のゲート・ドレインを短絡するトランジスタＴＦＴ４，ＴＦＴ１のゲート電位を、書き込み終了後も保持するための容量Ｃ，ＴＦＴ１のドレインと電源電位Ｖｄｄとの間に挿入されたＰチャネルトランジスタＴＦＴ５、及び発光素子ＯＬＥＤから成る。図１３では、容量Ｃの一方の端子がＧＮＤに接続されており書き込み時と駆動時とでＴＦＴ１のＶｇｓを概ね同じ値に保持する。尚、ＴＦＴ５のゲートは駆動線ｄｒｖで制御される。ＴＦＴ５を挿入する目的は、データ書き込み時に駆動線ｄｒｖを高レベルとしてＴＦＴ５をｏｆｆ状態とし、信号電流Ｉｗをすべてに流すことである。書き込みが終了した後、ｄｒｖを低レベルとしてＴＦＴ５をｏ

n状態とし、発光素子ＯＬＥＤに駆動電流Ｉｄｒｖを流す。このように、駆動方法は図１１の回路と同様である。

図１４は、図１３に示した画素回路の変形例である。図１３と図１４とでは、容量Ｃの一方の端子が、図１３ではＧＮＤ、図１４ではＴＦＴ１のソースに接続されている点が異なるが、いずれの場合も、書き込み時と駆動時とでＴＦＴ１のＶｇｓを概ね同じ値に保持するという点で機能的な差異はない。

図１５は図５に示した画素回路の発展例である。本画素回路は、変換部によって保持された電圧レベルを下方調整して駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める。具体的には、駆動部は、ゲート、ドレイン及びソースを有する薄膜トランジスタＴＦＴ２を含んでおり、調整手段は、薄膜トランジスタＴＦＴ２のゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する定電圧源Ｅを備えている。即ち、ＴＦＴ２のソースをＴＦＴ１のソース電位よりわずかに高い電位Ｅに接続することで、黒レベルを締める。

図１６は図１５に示した画素回路の変形例である。本例では、調整手順は、薄膜トランジスタＴＦＴ２のゲートと第２の走査線ｓｃａｎＢに接続した追加容量Ｃ２からなり、薄膜トランジスタＴＦＴ２のゲートに印加する為容量Ｃに保持されるべき電圧レベルを下方調整する。即ち、第２の走査線ｓｃａｎＢを低レベルに切り換えて非選択とする際に、容量Ｃ２の作用でＴＦＴ２のゲート電位を若干下げることが出来る。以上のように本表示装置は、画素を選択するための走査線ｓｃａｎＡと、画素を駆動するための輝度情報を与えるデータ線ｄａｔａとがマトリクス状に配設され、各画素は、供給される電流量によって輝度が変化する発光素子ＯＬＥＤと、走査線ｓｃａｎＡによって制御され且つデータ線ｄａｔａから与えられた輝度情報を画素に書き込む書込手段（ＴＦＴ１，ＴＦＴ３，Ｃ）と、書き込まれた輝度情報に応じて発光素子ＯＬＥＤに供給する電流量を制御する駆動手段（ＴＦＴ２）とを含み、各画素への輝度情報の書き込みは、走査線ｓｃ

ａｎＡが選択された状態で、データ線ｄａｔａに輝度情報に応じた電気信号Ｉｗを印加することによって行われ、各画素に書き込まれた輝度情報は走査線ｓｃａｎＡが非選択となった後も各画素に保持され、各画素の発光素子ＯＬＥＤは保持された輝度情報に応じた輝度で点灯を維持可能であって、書込手段（ＴＦＴ１，ＴＦＴ３，Ｃ）によって書き込まれた輝度情報を下方調整して駆動手段（ＴＦＴ２）に供給する調整手段（Ｃ２）を含んでおり、各画素の輝度の黒レベルを引き締めることができる。

図１７は図１５に示した画素回路の変形例である。本例では、調整手順は、ＴＦＴ１によって変換された電圧レベルを容量Ｃに保持する時、容量Ｃの一端の電位を調整して、ＴＦＴ２のゲートに印加されるべき電圧レベルを下方調整する。即ち、容量Ｃの一端に接続したソース電位制御線Ｓを制御することで、黒レベルを締める。電位制御線Ｓを、書き込み時より低電位とすると、容量Ｃの作用でＴＦＴ２のゲート電位が若干下がるためである。電位制御線Ｓは走査線単位で設け制御する。電位制御線Ｓは書き込み中に”Ｈ”レベルとし、書き込み終了後”Ｌ”レベルとする。振幅を△Ｖｓ，ＴＦＴ２のゲートに存在する容量（ゲート容量、その他の寄生容量）をＣｐとすると、ＴＦＴ２のゲート電位は△Ｖｇ＝△Ｖｓ＊Ｃ／（Ｃ＋Ｃｐ）だけ低下し、Ｖｇｓが小さくなる。Ｈ，Ｌ電位の絶対値は任意に設定できる。

図１８は本発明にかかる画素回路の他の実施例である。本例の回路は、２つの取込用薄膜トランジスタＴＦＴ３及びスイッチ用薄膜トランジスタＴＦＴ４を同一導電タイプ（図１８ではＰＭＯＳ）としている。そして本例では、図１８に示すように、書きこみ動作においてそれらのゲートは共通の走査線ｓｃａｎに接続し、共通の信号で制御することも可能である。この場合の表示装置は、図７に示す表示装置における走査線駆動回路Ｂ２３が不要である。

図１９は図１８に示した画素回路の変形例である。本例では、図５、図８、図９、図１１～図１７に示した回路と同様に、同一導電タイプＰチャネルＴＦＴか

ら構成した２つの取込用薄膜トランジスタＴＦＴ３及びスイッチ用薄膜トランジスタＴＦＴ４のゲートをそれぞれ異なる走査線、即ち第１の走査線ｓｃａｎＡ及び第２の走査線ｓｃａｎＢに接続して、それぞれ別々に制御する。このように別々に制御する理由は、図１８の例のようにＴＦＴ３及びＴＦＴ４を共通の信号で制御すると次のような不都合が生じる場合があるからである。

ある走査線上の画素に対する書きこみが終了する時、図１８の例で走査線ｓｃａｎのレベルが上昇する際、ＴＦＴ３のインピーダンスは必然的に増大していき、最終的に事実上無限大、すなわちｏｆｆ状態となる。従ってこの過程においてデータ線ｄａｔａの電位は次第に上昇するが、ある程度まで上昇した時点でデータ線ｄａｔａを駆動する電流源が定電流性を失い、電流値は減少する。

具体例として、図１８のようにデータ線ｄａｔａがＰＮＰトランジスタＢＩＰ１によって駆動されている例を考える。ベースに流れる電流を一定値Ｉｂ、トランジスタＩＢＩＰ１の電流増幅率を$\beta$とすると、トランジスタＢＩＰ１のコレクタ・エミッタ間にある程度の電圧（例えば１Ｖ）がかかっていれば、トランジスタＢＩＰ１はほぼ定電流源として動作し、データ線ｄａｔａにはＩｗ＝$\beta$Ｉｂの大きさの電流が供給される。ところが、書き込み終了時に、ＴＦＴ３のインピーダンスが上昇するとデータ線の電位が上昇して行き、トランジスタＢＩＰ１が飽和領域に入ると定電流性を失い、駆動電流は$\beta$Ｉｂより減少する。このときＴＦＦ４がｏｎ状態であれば、この減少した電流値がＴＦＴ１に流れ、正確に所望の電流値が書き込まれないことになる。

従って、ＴＦＴ３とＴＦＴ４を別々の信号線、即ちそれぞれ第１の走査線ｓｃａｎＡ、第２の走査線ｓｃａｎＢによって制御し、書き込み終了時にはＴＦＴ３に先だってＴＦＴ４をｏｆｆ状態とすることがより望ましい。本発明に係る画素回路においては、ＴＦＴ３とＴＦＴ４は、前述した各例のように同一導電タイプである必要はなく、ＴＦＴ３とＴＦＴ４とは同一または異なる導電タイプであり、それぞれのゲートをｓｃａｎＡ及びｓｃａｎＢという別々の走査線によって制

御し、書き込み終了時にはＴＦＴ３に先だってＴＦＴ４がｏｆｆ状態とするように構成することが望ましい。このことは、図面を参照して説明した前述の各例においても同様のことが言える。

また、ＴＦＴ３、ＴＦＴ４をそれぞれ別の走査線ｓｃａｎＡ、ｓｃａｎＢによって制御する場合は、書き込み終了後、第２の走査線ｓｃａｎＢの操作によってＴＦＴ４をｏｎ状態とし、走査線単位で画素を消灯することができる。これは、ＴＦＴ１のゲート・ドレイン、及びＴＦＴ２のゲートが接続されるため、ＴＦＴ２のゲート電圧はＴＦＴ１のしきい値（これはＴＦＴ２のしきい値にほぼ等しい）となり、ＴＦＴ１、ＴＦＴ２共にｏｆｆ状態となるからである。第２のｓｃａｎＢの波形は、図２０（ｂ）に示すように、パルス状の消灯信号を与えても良いし、図２０（Ｃ）に示すｓｃａｎＢ’のように持続的な消灯信号を与えても良い。

このように、消灯信号のタイミングを変えることによって、表示装置の輝度を簡便自在に変化させることが可能である。Ｒ．Ｇ．Ｂの色毎に第２の走査線ｓｃａｎＢを分け、別々に制御すれば色バランス調整も簡便に行うことができる。

更に、同じ時間平均輝度を得たい場合、発光期間の割合（ｄｕｔｙ）を減らすことによって発光素子ＯＬＥＤの駆動電流を大きくできる。これは即ちそれだけ大きな書き込み電流を扱うことをも意味するので、データ線ｄａｔａへの書き込み駆動回路の実現が容易になり、書き込み必要時間も短縮できる。また、発光ｄｕｔｙを５０％程度以下にすることによって動画画質が向上する。

また、図５、図８、図９、図１１～図１８で示した回路と同様に、図１９の回路では、取込用薄膜トランジスタＴＦＴ３と変換用薄膜トランジスタＴＦＴ１とを異なる導電タイプとしている。例えば変換用薄膜トランジスタＴＦＴ１がＮチャネルタイプの場合、取込用薄膜トランジスタＴＦＴ３をＰチャネルタイプとしている。これは以下の理由による。

即ち、データ線を駆動する定電流駆動回路を構成する際して、データ線の電位

変動はなるべく小さいことが望ましい。なぜなら、前述したように、データ線電位の変動幅が広いと、データ線駆動回路が定電流性が失われやすい上、ＴＦＴ３を確実にｏｎ／ｏｆｆするための走査線ｓｃａｎＡの振幅も大きくなり、消費電力などの点で不利になるからである。

従って、データ線からＴＦＴ３、ＴＦＴ１を介して接地電位に至る経路の電圧降下が小さいことが望ましい。そこで、図１９の例ではではＴＦＴ１がＮＭＯＳであるのに対し、ＴＦＴ３をＰＭＯＳで構成して、ＴＦＴ３での電圧降下を小さく抑えている。即ちＴＦＴ３での電圧降下は、書き込み電流Ｉｗの値が最大のときに最大となるため、データ線の振幅を小さく抑えるためには書き込み電流Ｉｗが最大のときのＴＦＴ３における電圧降下を小さくすべきである。図１９の例では、書き込み電流Ｉｗが大きいときはそれに応じてデータ線の電位も上昇するが、それに伴ってＴＦＴ３のゲート・ソース間電圧の絶対値も増大し、ＴＦＴ３のインピーダンスは下がる方向に作用する。これに対し、もしＴＦＴ３がＮＭＯＳであると、書き込み電流Ｉｗが大きくなる程ゲート・ソース間電圧が減少する方向であり、ＴＦＴ３のインピーダンスは上昇してしまい、データ線電位の上昇を招きやすい。同様に、ＴＦＴ１をＰＭＯＳで構成した場合はＴＦＴ３はＮＭＯＳで構成するのが良い。

なお、ＴＦＴ４の導電タイプは、ＴＦＴ３と同じでも異なっても実用的な構成が可能であるが、同じにすると第１の走査線ｓｃａｎＡと第２の走査線ｓｃａｎＢとを共通の電位で駆動しやすいため、より望ましい。

図２１は図１９に示した画素回路の変形例である。本例にかかる画素回路は等価回路的には図１９に示した画素回路と同様であるが、変換用薄膜トランジスタＴＦＴ１のチャネル幅（Ｗ）とチャネル長（Ｌ）ほ比Ｗ／Ｌを駆動用薄膜トランジスタＴＦＴ２のＷ／Ｌより大きく設定している点が図１９の回路と異なる。このようにＴＦＴ１のＷ／ＬをＴＦＴ２のＷ／Ｌより大きく設定する理由は、書き込みを確実に終了させるためである。このことについて、具体的な数値を挙げて

以下に説明する。

現実的な数字として、最大輝度２００［ｃｄ／ｍ²］、一画素当たりの発光面のサイズ１００［μｍ］×１００［μｍ］＝１ｅ－８［ｍ²］、発光効率２［ｃｄ／Ａ］とすると、最大輝度時の発光素子ＯＬＥＤの駆動電流は２００×１ｅ－８／２＝１μＡとなる。６４階調を制御しようとすると、最小階調に相当する電流値は１μＡ／６４＝１６［ｎＡ］程度となり、このような小さな電流値を正確に供給することは極めて難しい。更にＴＦＴ１がインピーダンスの高い状態で動作するため、データ線ｄａｔａの寄生容量等の影響で回路の状態が安定するのに長い時間がかかり、所定の走査線周期内で書き込みを終了することができないことがある。

図２１に示すように、ＴＦＴ１のＷ／Ｌ＝１００／１０、ＴＦＴ２のＷ／Ｌ＝５／２０とすれば、Ｗ／Ｌの比が４０となり、１６ｎＡのＯＬＥＤ駆動電流を得るためにデータ線ｄａｔａに供給すべき書き込み電流は１６ｎＡ×４０＝６４０ｎＡとなり、現実的な数値となり、書き込みを確実に終了させることができる。ＴＦＴ１やＴＦＴ２が複数のトランジスタから成る場合は、実効的なＷ／Ｌを考慮して上記計算をすべきであることは当然である。

図２２は図１９に示した回路の発展例である。本画素回路は、各データ線ｄａｔａと所定の電位との間にリーク素子ＬＥＫ１を接続し、黒書き込みの高速化を図っている。

電流書き込み型の画素回路において、「黒」を書き込むケースは書き込み電流がゼロの場合に相当する。このとき、直前の走査線サイクルにおいてデータ線に「白」レベル、すなわち比較的大きな電流が書き込まれ、結果としてデータ線電位が比較的高いレベルになっていたとすると、その直後に「黒」を書き込むのには長い時間が必要である。「黒」を書き込むというのはＴＦＴ１によって、データ線の容量Ｃｄなどに蓄えられた初期電荷がディスチャージされるということであるが、データ線電位が下がってＴＦＴ１のしきい値近傍になるとＴＦＴ１のイ

ンピーダンスが高くなり、ＴＦＴ１の流れる電流特性を示す図２３中において特性曲線①で示すように、理論的には永久に「黒」書き込みが終了しない。現実には有限の時間で書き込みを行うわけであるから、これは「黒」レベルが完全に沈まない、いわゆる黒浮き現象として現われ、画像のコントラストを低下させる。

そこで、図２２の回路では、データ線ｄａｔａと接地電位ＧＮＤとの間にリーク素子ＬＥＫ１、具体的にはＮＭＯＳトランジスタを接続し、Ｖｇとしては一定バイアスを与えている。これにより図２２において特性曲線②で示すように、「黒」書き込みが確実に終了する。リーク素子ＬＥＫ１としては単純な抵抗などでも良いが、その場合「白」書き込み時においてデータ線電位が上昇すると、それに比例して抵抗に流れる電流が増加し、これはＴＦＴ１に流れる電流の低下や消費電力の悪化を招く。これに対し、ＮＭＯＳを飽和領域で動作させれば定電流動作となるため、そのような弊害が小さく抑えられる。なお、リーク素子はＴＦＴで構成することも、ＴＦＴプロセスとは別個に外部部品で構成することも可能である。

図２４は図１９に示した回路回路の発展例である。本画素回路は、各データ線ｄａｔａと所定の電位との間に初期値設定用素子ＰＲＣ１を接続し、その素子の動作によって書き込みに先立ってデータ線の初期値設定を行い、書き込みの高速化を図っている。

電流書き込み型の画素において、黒に近いグレーを書き込む際に長い時間を要する場合がある。図２５では書き込み開始時のデータ線の電位が０Ｖである場合を示している。これは、直前の走査線サイクルにおいて「黒」を書いた場合で、書き込まれた画素のＴＦＴ１のしきい値Ｖｔｈ１が０Ｖ程度と低い場合、あるいは同様に黒書き込みの場合であって、前述のような黒浮き対策用のリーク素子を備えた場合に起こり得る。

従来の回路では、初期値の０Ｖから「黒」に近いグレー、すなわち非常に小さな電流値を書き込んでいるため、平衡電位ＶBLA に達するのに長い時間がかかる

。例えば図２５中において特性曲線①で示すように所定の書き込み時間内にＴＦＴ１のしきい値に達しないことも考えられるが、この場合ＴＦＴ２もオフ状態となり、ただしくグレーが書き込めず、表示画像は、いわゆる黒潰れの状態となる。

図２４の回路では、データ線と電源電位Ｖｄｄとの間に初期値設定（プリチャージ）用素子ＰＲＣ１としてＰＭＯＳトランジスタを接続し、ゲート電位Ｖｇとして、書き込みサイクルの最初にパルスを与えている。このパルス印加によって図２５中において特性曲線②で示すようにデータ線電位がＴＦＴ１のしきい値Ｖthl 以上に上昇し、その後は書き込み電流Ｉｗと画素内部のＴＦＴの動作とのバランスで決まる平衡電位ＶBLA に向かって比較的高速に収束するので、正しい輝度データ書き込みが高速で可能になる。なお、プリチャージ用素子はＴＦＴで構成することも、ＴＦＴプロセスとは別個に外部部品で構成することも可能である。

図２６は本発明にかかる画素回路の他の実施例である。この回路では、前述した各例の回路と異なり、ＴＦＴ１とＴＦＴ２の導電タイプをＰチャネルタイプ（ＰＭＯＳ）により構成している。これに伴い、前述した理由によりＴＦＴ３をＴＦＴ１と異なる導電タイプであるＮチャネルタイプ（ＮＭＯＳ）とし、また制御性を考慮してＴＦＴ４もＴＦＴ３と同一の導電タイプであるＮチャネルタイプ（ＮＭＯＳ）として構成している。

図２６に回路において、ＴＦＴ１，ＴＦＴ２の両トランジスタは発光素子ＯＬＥＤの駆動時、等しいゲート・ソース間電圧で動作するが、ドレイン・ソース間電圧は必ずしも等しくない。書き込み電流Ｉｗと発光素子ＯＬＥＤの駆動電流とが正確に比例するためには先に述べたようにＴＦＴ２を飽和領域で動作させるのが望ましい。一方、ＮＭＯＳの場合、動作耐圧を向上させるためにＬＤＤ（Lightly Doped Drain ）構造をとることが一般的であるが、この場合ＬＤＤによる直列抵抗成分などによって、飽和領域においてドレイン電流がドレイン・ソース間

電圧に影響されやすい、言い換えると定電流性がＰＭＯＳに比べて劣る傾向があるためである。

従って、変換用薄膜トランジスタＴＦＴ１と駆動用薄膜トランジスタＴＦＴ２とを、ＰＭＯＳにより構成することが好ましい。

この回路の動作は、素子の極性が逆になっている点を除き、基本的には図５の回路等と同様である。

図２７は本発明にかかる画素回路の他の実施例である。この回路では、前述した各例の回路と異なり、スイッチ用薄膜トランジスタＴＦＴ４を、変換用薄膜トランジスタＴＦＴ１のドレインとゲート間に接続する代わりに、ＴＦＴ１のドレインとゲートとを直接接続し、その接続点と、ＴＦＴ２のゲートと容量との接続点との間にＴＦＴ４を接続して構成している。

この図２７の回路においても、基本的には図５の回路等と同様の動作が可能であるそして、この回路においても、ＴＦＴ３とＴＦＴ４とは同一または異なる導電タイプでよく、それぞれのゲートは第１の走査線ｓｃａｎＡ及び第２の走査線ｓｃａｎＢという別々の走査線によって制御され、書き込み終了時にはＴＦＴ３に先だってＴＦＴ４がｏｆｆ状態とされる。また、図２１に関連付けて説明したように、所定の走査線周期内で書き込みを確実に終了させるために、ＴＦＴ１のサイズ（Ｗ／Ｌ）をＴＦＴ２のサイズより大きく設定することが望ましい。

## 産業上の利用可能性

以上のように、本発明に係る電流駆動回路およびそれを用いた表示素装置によれば、能動素子（ＴＦＴなど）の特性ばらつきによらず、データ線からの信号電流Ｉｗに正確に比例（または対応）する駆動電流Ｉｄｒｖを、電流駆動型の発光素子（有機ＥＬ素子など）に流すことが可能である。このような電流駆動回路を含む画素回路をマトリクス状に多数配置することにより、各画素を正確に所望の輝度で発光させることができるので、高品位なアクティブマトリクス型表示装置

を提供することが可能である。

# 請求の範囲

1．駆動対象に駆動電流を供給する電流駆動回路であって、

制御線と、

情報に応じた電流レベルを有する信号電流が供給される信号線と、

前記制御線が選択されたとき、前記信号線から信号電流を取り込む受入部と、

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、

保持された電圧信号を電流信号に変換して上記駆動電流を出力する駆動部とを含む

電流駆動回路。

2．前記変換部は、制御端子と第1端子及び第2端子を備えた変換用トランジスタと、前記制御端子に接続した容量とを含んでいる

請求項1記載の電流駆動回路。

3．前記変換部は、前記変換用トランジスタの第1端子と制御端子との間に挿入されたスイッチ用トランジスタを含んでおり、

前記スイッチ用トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用トランジスタの第1端子と制御端子を電気的に接続して第2端子を基準とする電圧レベルをゲートに生ぜしめる一方、

前記スイッチ用トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用トランジスタの制御端子及びこれに接続した前記容量を第1端子から切り離す

請求項2記載の電流駆動回路。

4．前記受入部は、制御端子、第1端子及び第2端子を有し、第1端子が前記変換用トランジスタの第1端子に接続され、第2端子が前記信号線に接続され、制御端子が前記制御線に接続された取込用絶縁ゲート型電界効果トランジスタ

を含み、

前記変換部は、前記変換用トランジスタの第1端子と制御端子との間に挿入されたスイッチ用トランジスタを含んでいる

請求項1記載の電流駆動回路。

5．前記取込用トランジスタの制御端子とスイッチ用トランジスタの制御端子はぞれぞれ異なる制御線に接続されている

請求項4記載の電流駆動回路。

6．前記変換用トランジスタの導電型と前記取込用トランジスタの導電型が異なる

請求項4記載の電流駆動回路。

7．前記駆動部は、制御端子と第1端子及び第2端子を備えた駆動用トランジスタを含んでおり、

前記駆動用トランジスタは、前記容量に保持された電圧レベルを制御端子に受け入れそれに応じた電流レベルを有する駆動電流を流す

請求項2記載の電流駆動回路。

8．前記変換用トランジスタの制御端子と前記駆動用トランジスタの制御端子とが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした

請求項7記載の電流駆動回路。

9．前記駆動用トランジスタは、変換用トランジスタの近傍に形成されており、前記変換用トランジスタと同等の閾電圧を有する

請求項7記載の電流駆動回路。

10．前記変換用トランジスタのトランジスタサイズが前記駆動用トランジスタのトランジスタサイズより大きく設定されている

請求項7記載の電流駆動回路。

11．前記駆動用トランジスタは飽和領域で動作し、そのゲートに印加された

電圧レベルと閾電圧との差に応じた駆動電流を流す

請求項９記載の電流駆動回路。

１２．前記駆動用トランジスタはリニア領域で動作する

請求項９記載の電流駆動回路。

１３．前記駆動用トランジスタはリニア領域で動作する

請求項１０記載の電流駆動回路。

１４．前記駆動部は、前記変換部との間で前記変換用トランジスタを時分割的に共用しており、

前記駆動部は、信号電流の変換を完了した後前記変換用トランジスタを前記受入部から切り離して駆動用とし、保持された電圧レベルを前記変換用トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を流す

請求項２記載の電流駆動回路。

１５．前記駆動部は、駆動時以外に前記変換用トランジスタを介して不要電流を遮断する制御手段を有する

請求項１４記載の電流駆動回路。

１６．前記制御手段は、制御端子と第１端子及び第２端子を備えた、第１端子が前記変換用トランジスタに接続され、第２端子が前記駆動対象に接続された制御用トランジスタからなり、

前記制御用トランジスタは、前記駆動対象の非駆動時に非導通状態となって前記変換用トランジスタと前記駆動対象とを切り離し、前記駆動対象の駆動時には導通状態に切り替わる

請求項１５記載の電流駆動回路。

１７．前記駆動部は、前記変換用トランジスタを通って流れる駆動電流の電流レベルを安定化するために、前記変換用トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手段を有する

請求項１４記載の電流駆動回路。

１８．前記受入部、前記変換部及び前記駆動部は複数のトランジスタを組み合わせた電流回路を構成し、

１つまたは２つ以上のトランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する

請求項１記載の電流駆動回路。

１９．前記データ線と所定電位との間に、リーク素子が接続されている

請求項１記載の電流駆動回路。

２０．前記データ線と所定電位との間に、前記データを初期値に設定する初期値設定用素子が接続されている

請求項１記載の電流駆動回路。

２１．前記駆動用絶縁ゲート型電界効果トランジスタはＰチャネル型である

請求項７記載の電流駆動回路。

２２．駆動対象に駆動電流を供給する電流駆動回路であって、

少なくとも一つの制御線と、

情報に応じた電流レベルを有する信号電流が供給される信号線と、

ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジスタと、

前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記信号線との間に接続され、ゲートが前記制御線に接続された取込用絶縁ゲート型電界効果トランジスタと、

基準電位と前記駆動対象間に接続された駆動用絶縁ゲート型電界効果トランジスタと、

第１電極が前記変換用絶縁ゲート型電界効果トランジスタのゲート及び駆動用絶縁ゲート型電界効果トランジスタのゲートに共通に接続され、第２電極が基準電位に接続されたキャパシタと、

前記変換用絶縁ゲート型電界効果トランジスタのゲートとドレイン間に

接続され、ゲートが前記制御線に接続されたスイッチ用絶縁ゲート型電界効果トランジスタとを含む

電流駆動回路。

２３．駆動対象に駆動電流を供給する電流駆動回路であって、

少なくとも一つの制御線と、

情報に応じた電流レベルを有する信号電流が供給される信号線と、

ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジスタと、

前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記信号線との間に接続され、ゲートが前記制御線に接続された取込用絶縁ゲート型電界効果トランジスタと、

基準電位と前記駆動対象間に接続された駆動用絶縁ゲート型電界効果トランジスタと、

第１電極が前記駆動用絶縁ゲート型電界効果トランジスタのゲートに接続され、第２電極が基準電位に接続されたキャパシタと、

前記変換用絶縁ゲート型電界効果トランジスタのゲートと、前記駆動用絶縁ゲート型電界効果トランジスタのゲートと前記キャパシタの第１電極との接続点間に接続され、ゲートが前記制御線に接続されたスイッチ用絶縁ゲート型電界効果トランジスタとを含む

電流駆動回路。

２４．前記取込用絶縁ゲート型電界効果トランジスタの制御端子とスイッチ用絶縁ゲート型電界効果トランジスタ制御端子はぞれぞれ異なる制御線に接続されている

請求項２３記載の電流駆動回路。

２５．前記変換用トランジスタのトランジスタサイズが前記駆動用トランジスタのトランジスタサイズより大きく設定されている

請求項２３記載の電流駆動回路。

２６．走査線と、

輝度情報に応じた信号が供給されるデータ線と、

前記データ線及び走査線の交差部に形成された表示素子を含む画素を有し、

前記画素は、前記走査線が選択されたとき、前記データ線に供給される信号を取り込む受入部と、

この取り込んだ信号を変換して保持する変換保持部と、

前記保持された信号を変換し、前記表示素子に供給する駆動部とを有する

表示装置。

２７．前記取り込んだ信号は電流であり、前記変換保持部で保持される信号は電圧であり、前記表示素子に供給される信号は電流である

請求項２６記載の表示装置。

２８．前記変換保持部は、制御端子を備える第１のトランジスタと、前記制御端子に接続されたキャパシタを有する

請求項２６記載の表示装置。

２９．前記変換保持部は、前記第１のトランジスタの第１端子と前記制御端子の間に接続された第２のトランジスタを有する

請求項２８記載の表示装置。

３０．前記第２のトランジスタは、前記データ線に供給される信号を前記受入部が取り込む際に導通状態となり、前記変換保持部に信号が供給された後非導通状態となる

請求項２９記載の表示装置。

３１．前記受入部は第１端子が前記第１のトランジスタの第１端子に接続され、第２端子が前記データ線に接続された第３のトランジスタを有し、

前記第２トランジスタの制御端子と前記第３のトランジスタの制御端子は異なる走査線に接続されている

請求項２９記載の表示装置。

３２．前記変換保持部と前記駆動部は、同一のトランジスタである

請求項２６記載の表示装置。

３３．前記駆動部は、前記第１のトランジスタの制御端子に、制御端子が接続された第３のトランジスタを有している

請求項２８記載の表示装置。

３４．前記駆動部は、前記第１のトランジスタの制御端子に、制御端子が接続された第３のトランジスタを有しており、前記第１及び第２、第３のトランジスタでカレントミラー回路を構成している

請求項２９記載の表示装置。

３５．前記駆動部は、前記第１のトランジスタである

請求項２８記載の表示装置。

３６．前記第１のトランジスタと前記表示素子の間に第４のトランジスタを有する

請求項３５記載の表示装置。

３７．前記第１のトランジスタの第１の端子に表示素子が接続され、前記第１のトランジスタの第２の端子に第４のトランジスタを有する

請求項３５記載の表示装置。

３８．前記駆動部及び前記変換保持部は複数のトランジスタから構成されている

請求項２６記載の表示装置。

３９．前記変換保持部は、制御端子を備える複数のトランジスタと、前記各制御端子に接続された複数のキャパシタを有する

請求項２６記載の表示装置。

４０．前記第３のトランジスタの第１の端子に前記表示素子が接続され、前記第３のトランジスタの第２の端子に定電圧源が接続されている

請求項３３記載の表示装置。

４１．前記キャパシタに前記第２のトランジスタの制御端子が接続されている

請求項３４記載の表示装置。

４２．前記キャパシタの他端が前記第１のトランジスタの第２の端子に接続されている

請求項３７記載の表示装置。

４３．前記表示素子は、少なくとも一方の電極が透明であり、かつ前記電極間に挟まれた有機物を含む層を有している

請求項２６記載の表示装置。

４４．前記データ線と所定電位との間に、リーク素子が接続されている

請求項２６記載の表示装置。

４５．前記データ線と所定電位との間に、前記走査線が選択される前に前記データを初期値に設定する初期値設定用素子が接続されている

請求項２６記載の表示装置。

４６．走査線と、

輝度情報に応じた電流信号が供給されるデータ線と、

前記データ線及び走査線の交差部に形成された有機層を有する画素を有し、

前記画素は、前記走査線が選択されたとき、前記データ線に供給される電流信号を取り込む受入部と、

この取り込んだ電流信号を電圧変換して保持する変換保持部と、

前記保持された電圧信号を変換し、前記表示素子に電流供給する駆動部を有する

表示装置。

４７．前記輝度情報は電圧であり、前記電圧を電流に変換して前記データ線に

供給する

請求項４６記載の表示装置。

４８．前記変換保持部は、制御端子を備える第１のトランジスタと、前記制御端子に接続されたキャパシタを有する

請求項４６記載の表示装置。

４９．前記変換保持部は、前記第１のトランジスタの第１端子と前記制御端子の間に接続された第２のトランジスタを有する

請求項４８記載の表示装置。

５０．前記第２のトランジスタは、前記データ線に供給される信号を前記受入部が取り込む際に導通状態となり、前記変換保持部に信号が供給された後非導通状態となる

請求項４９記載の表示装置。

５１．前記受入部は第１端子が前記第１のトランジスタの第１端子に接続され、第２端子が前記データ線に接続された第３のトランジスタを有し、

前記第２トランジスタの制御端子と前記第３のトランジスタの制御端子は異なる走査線に接続されている

請求項４９記載の表示装置。

５２．前記変換保持部と前記駆動部は、同一のトランジスタである

請求項４６記載の表示装置。

５３．前記駆動部は、前記第１のトランジスタの制御端子に、制御端子が接続された第３のトランジスタを有している

請求項４８記載の表示装置。

５４．前記駆動部は、前記第１のトランジスタの制御端子に、制御端子が接続された第３のトランジスタを有しており、前記第１及び第２、第３のトランジスタでカレントミラー回路を構成している

請求項４９記載の表示装置。

５５．前記駆動部は、前記第１のトランジスタである

請求項４８記載の表示装置。

５６．前記第１のトランジスタと前記表示素子の間に第４のトランジスタを有する

請求項５５記載の表示装置。

５７．前記第１のトランジスタの第１の端子に表示素子が接続され、前記第１のトランジスタの第２の端子に第４のトランジスタを有する

請求項５５記載の表示装置。

５８．前記駆動部及び前記変換保持部は複数のトランジスタから構成されている

請求項４６記載の表示装置。

５９．前記変換保持部は、制御端子を備える複数のトランジスタと、前記各制御端子に接続された複数のキャパシタを有する

請求項４６記載の表示装置。

６０．前記第３のトランジスタの第１の端子に前記表示素子が接続され、前記第３のトランジスタの第２の端子に定電圧源が接続されている

請求項６１記載の表示装置。

６１．前記キャパシタに前記第２のトランジスタの制御端子が接続されている

請求項５４記載の表示装置。

６２．前記キャパシタの他端が前記第１のトランジスタの第２の端子が接続されている

請求項５７記載の表示装置。

６３．前記表示素子は、少なくとも一方の電極が透明であり、かつ前記電極間に挟まれた有機物を含む層を有している

請求項４６記載の表示装置。

６４．前記データ線と所定電位との間に、リーク素子が接続されている

請求項４６記載の表示装置。

６５．前記データ線と所定電位との間に、前記データを初期値に設定する初期値設定用素子が接続されている

請求項４６記載の表示装置。

６６．走査線を順次選択する走査線駆動回路と、

輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、

各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えた

表示装置であって、

前記画素は、

前記走査線が選択されたとき、前記データ線から信号電流を取り込む受入部と、

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、

保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とを含む

表示装置。

６７．前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、前記ゲートに接続した容量とを含んでいる

請求項６６記載の表示装置。

６８．前記変換部は、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流

レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレインから切り離す

請求項６７記載記載の表示装置。

６９．前記受入部は、前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記データ線との間に挿入された取込用絶縁ゲート型電界効果トランジスタを含み、

前記変換部は、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでいる

請求項６６記載の表示装置。

７０．前記取込用絶縁ゲート型電界効果トランジスタのゲートとスイッチ用絶縁ゲート型電界効果トランジスタのゲートはぞれぞれ異なる走査線に接続されている

請求項６９記載の表示装置。

７１．前記スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレインから切り離し、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、非選択となって

前記取込用絶縁ゲート型電界効果トランジスタが非導通となる前に遮断される

請求項７０記載の表示装置。

７２．前記スイッチ用絶縁ゲート型電界効果トランジスタ及び前記取込用絶縁ゲート型電界効果トランジスタが非導通となった後、１フレーム期間内の所定時間後に前記スイッチ用絶縁ゲート型電界効果トランジスタを導通させて、走査線単位で消灯を行う

請求項７１記載の表示装置。

７３．前記スイッチ用絶縁ゲート型電界効果トランジスタが接続される走査線は、色の３原色の各色毎に独立に設けられている

請求項７１記載の表示装置。

７４．前記スイッチ用絶縁ゲート型電界効果トランジスタの導電型と前記取込用絶縁ゲート型電界効果トランジスタの導電型が異なる

請求項６９記載の表示装置。

７５．前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、

前記駆動用絶縁ゲート型電界効果トランジスタは、前記容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して前記発光素子に流す

請求項６７記載の表示装置。

７６．前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした

請求項７５記載の表示装置。

７７．前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、前記変換用絶

縁ゲート型電界効果トランジスタと同等の閾電圧を有する

請求項７５記載の表示装置。

７８．前記変換用絶縁ゲート型電界効果トランジスタのトランジスタサイズが前記駆動用絶縁ゲート型電界効果トランジスタのトランジスタサイズより大きく設定されている

請求項７７記載の表示装置。

７９．前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を前記発光素子に流す

請求項７７記載の表示装置。

８０．前記駆動用絶縁ゲート型電界効果トランジスタはリニア領域で動作する

請求項７７記載の表示装置。

８１．前記駆動用絶縁ゲート型電界効果トランジスタはリニア領域で動作する

請求項７８記載の表示装置。

８２．前記駆動部は、前記変換部との間で前記変換用絶縁ゲート型電界効果トランジスタを時分割的に共用しており、

前記駆動部は、信号電流の変換を完了した後前記変換用絶縁ゲート型電界効果トランジスタを前記受入部から切り離して駆動用とし、保持された電圧レベルを前記変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を前記発光素子に流す

請求項６７記載の表示装置。

８３．前記駆動部は、駆動時以外に前記変換用絶縁ゲート型電界効果トランジスタを介して前記発光素子に流れる不要電流を遮断する制御手段を有する

請求項８２記載の表示装置。

８４．前記制御手段は、整流作用を有する二端子型の発光素子の端子間電圧を制御して不要電流を遮断する

請求項８３記載の表示装置。

８５．前記制御手段は、前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタからなり、

前記制御用絶縁ゲート型電界効果トランジスタは、前記発光素子の非駆動時に非導通状態となって前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子とを切り離し、前記発光素子の駆動時には導通状態に切り替わる

請求項８３記載の表示装置。

８６．前記制御手段は、非駆動時に駆動電流を遮断して前記発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して前記発光素子を発光状態に置く時間の割合を制御して、各画素の輝度を調整可能にした

請求項８３記載の表示装置。

８７．前記駆動部は、前記変換用絶縁ゲート型電界効果トランジスタを通って前記発光素子に流れる駆動電流の電流レベルを安定化するために、前記変換用絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手段を有する

請求項８２記載の表示装置。

８８．前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路を構成し、

１つまたは２つ以上の絶縁ゲート型電界効果トランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する

請求項６６記載の表示装置。

８９．前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、カソ

ードがドレインに接続している

請求項６６記載の表示装置。

９０．前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している

請求項６６記載の表示装置。

９１．前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める

請求項６６記載の表示装置。

９２．前記データ線と所定電位との間に、リーク素子が接続されている

請求項６６記載の表示装置。

９３．前記データ線と所定電位との間に、前記走査線が選択される前に前記データを初期値に設定する初期値設定用素子が接続されている

請求項６６記載の表示装置。

９４．前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記調整手段は、前記絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する

請求項９３記載の表示装置。

９５．前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、

前記調整手段は、前記容量に接続した追加容量からなり、前記容量に保

持された前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項９３記載の表示装置。

９６．前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は一端が前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、

前記調整手段は、前記変換部によって変換された前記電圧レベルを前記容量に保持する時前記容量の他端の電位を調整して、前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項９３記載の表示装置。

９７．前記発光素子は有機エレクトロルミネッセンス素子を用いる

請求項６６記載の表示装置。

９８．前記駆動用絶縁ゲート型電界効果トランジスタはＰチャネル型である

請求項７５記載の表示装置。

９９．走査線を順次選択する走査線駆動回路と、

輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、

各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えた

表示装置であって、

前記画素は、

ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジスタと、

前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記データ線との間に接続され、ゲートが前記走査線に接続された取込用絶縁ゲート型電界

効果トランジスタと、

基準電位と前記発光素子間に接続された駆動用絶縁ゲート型電界効果トランジスタと、

第１電極が前記変換用絶縁ゲート型電界効果トランジスタのゲート及び駆動用絶縁ゲート型電界効果トランジスタのゲートに共通に接続され、第２電極が基準電位に接続されたキャパシタと、

前記変換用絶縁ゲート型電界効果トランジスタのゲートとドレイン間に接続され、ゲートが前記走査線に接続されたスイッチ用絶縁ゲート型電界効果トランジスタとを含む

表示装置。

１００．走査線を順次選択する走査線駆動回路と、

輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、

各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えた

表示装置であって、

前記画素は、

ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジスタと、

前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記データ線との間に接続され、ゲートが前記走査線に接続された取込用絶縁ゲート型電界効果トランジスタと、

基準電位と前記発光素子間に接続された駆動用絶縁ゲート型電界効果トランジスタと、

第１電極が前記駆動用絶縁ゲート型電界効果トランジスタのゲートに接続され、第２電極が基準電位に接続されたキャパシタと、

前記変換用絶縁ゲート型電界効果トランジスタのゲートと、前記駆動用絶縁ゲート型電界効果トランジスタのゲートと前記キャパシタの第１電極との接続点間に接続され、ゲートが前記走査線に接続されたスイッチ用絶縁ゲート型電界効果トランジスタとを含む

表示装置。

１０１．前記取込用絶縁ゲート型電界効果トランジスタの制御端子とスイッチ用絶縁ゲート型電界効果トランジスタ制御端子はぞれぞれ異なる走査線に接続されている

請求項１００記載の表示装置。

１０２．前記変換用トランジスタのトランジスタサイズが前記駆動用トランジスタのトランジスタサイズより大きく設定されている

請求項１００記載の表示装置。

１０３．前記スイッチ用絶縁ゲート型電界効果トランジスタ及び前記取込用絶縁ゲート型電界効果トランジスタが非導通となった後、１フレーム期間内の所定時間後に前記スイッチ用絶縁ゲート型電界効果トランジスタを導通させて、走査線単位で消灯を行う

請求項１０１記載の表示装置。

１０４．輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する走査線との交差部に配され、駆動電流により発光する電流駆動型の発光素子を駆動する画素回路であって、

前記走査線からの選択パルスに応答して前記データ線から信号電流を取り込む受入部と、

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、

保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とを含む

画素回路。

１０５．前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、前記ゲートに接続した容量とを含んでいる

請求項１０４記載の画素回路。

１０６．前記変換部は、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレインから切り離す

請求項１０５記載記載の画素回路。

１０７．前記受入部は、前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記データ線との間に挿入された取込用絶縁ゲート型電界効果トランジスタを含み、

前記変換部は、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでいる

請求項１０４記載の画素回路。

１０８．前記取込用絶縁ゲート型電界効果トランジスタのゲートとスイッチ用絶縁ゲート型電界効果トランジスタのゲートはぞれぞれ異なる走査線に接続されている

請求項１０７記載の画素回路。

１０９．前記スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレインから切り離し、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、非選択となって前記取込用絶縁ゲート型電界効果トランジスタが非導通となる前に遮断される

請求項１０８記載の画素回路。

１１０．前記スイッチ用絶縁ゲート型電界効果トランジスタ及び前記取込用絶縁ゲート型電界効果トランジスタが非導通となった後、１フレーム期間内の所定時間後に前記スイッチ用絶縁ゲート型電界効果トランジスタを導通させて、走査線単位で消灯を行う

請求項１０９記載の画素回路。

１１１．前記スイッチ用絶縁ゲート型電界効果トランジスタが接続される走査線は、色の３原色の各色毎に独立に設けられている

請求項１０５記載の画素回路。

１１２．前記スイッチ用絶縁ゲート型電界効果トランジスタの導電型と前記取込用絶縁ゲート型電界効果トランジスタの導電型が異なる

請求項１０７記載の画素回路。

１１３．前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、

前記駆動用絶縁ゲート型電界効果トランジスタは、前記容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチ

ャネルを介して前記発光素子に流す

請求項１０５記載の画素回路。

１１４．前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした

請求項１１３記載の画素回路。

１１５．前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、前記変換用絶縁ゲート型電界効果トランジスタと同等の閾電圧を有する

請求項１１３記載の画素回路。

１１６．前記変換用絶縁ゲート型電界効果トランジスタのトランジスタサイズが前記駆動用絶縁ゲート型電界効果トランジスタのトランジスタサイズより大きく設定されている

請求項１１５記載の画素回路。

１１７．前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を前記発光素子に流す

請求項１１５記載の画素回路。

１１８．前記駆動用絶縁ゲート型電界効果トランジスタはリニア領域で動作する

請求項１１５記載の画素回路。

１１９．前記駆動用絶縁ゲート型電界効果トランジスタはリニア領域で動作する

請求項１１６記載の画素回路。

１２０．前記駆動部は、前記変換部との間で前記変換用絶縁ゲート型電界効果トランジスタを時分割的に共用しており、

前記駆動部は、信号電流の変換を完了した後前記変換用絶縁ゲート型電

界効果トランジスタを前記受入部から切り離して駆動用とし、保持された電圧レベルを前記変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を前記発光素子に流す

請求項１２１記載の画素回路。

１２１．前記駆動部は、駆動時以外に前記変換用絶縁ゲート型電界効果トランジスタを介して前記発光素子に流れる不要電流を遮断する制御手段を有する

請求項１２０記載の画素回路。

１２２．前記制御手段は、整流作用を有する二端子型の発光素子の端子間電圧を制御して不要電流を遮断する

請求項１２１記載の画素回路。

１２３．前記制御手段は、前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタからなり、

前記制御用絶縁ゲート型電界効果トランジスタは、前記発光素子の非駆動時に非導通状態となって前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子とを切り離し、前記発光素子の駆動時には導通状態に切り替わる

請求項１２１記載の画素回路。

１２４．前記制御手段は、非駆動時に駆動電流を遮断して前記発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して前記発光素子を発光状態に置く時間の割合を制御して、各画素の輝度を調整可能にした

請求項１２１記載の画素回路。

１２５．前記駆動部は、前記変換用絶縁ゲート型電界効果トランジスタを通って前記発光素子に流れる駆動電流の電流レベルを安定化するために、前記変換用絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手段を有する

請求項１２０記載の画素回路。

１２６．前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路を構成し、

１つまたは２つ以上の絶縁ゲート型電界効果トランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する

請求項１０４記載の画素回路。

１２７．前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している

請求項１０４記載の画素回路。

１２８．前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している

請求項１０４記載の画素回路。

１２９．前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める

請求項１０４記載の画素回路。

１３０．前記データ線と所定電位との間に、リーク素子が接続されている

請求項１０４記載の画素回路。

１３１．前記データ線と所定電位との間に、前記データを初期値に設定する初期値設定用素子が接続されている

請求項１０４記載の画素回路。

１３２．前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界

効果トランジスタを含んでおり、

前記調整手段は、前記絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する

請求項１２９記載の画素回路。

１３３．前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、

前記調整手段は、前記容量に接続した追加容量からなり、前記容量に保持された前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項１２９記載の画素回路。

１３４．前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は一端が前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、

前記調整手段は、前記変換部によって変換された前記電圧レベルを前記容量に保持する時前記容量の他端の電位を調整して、前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項１２９記載の画素回路。

１３５．前記発光素子は有機エレクトロルミネッセンス素子を用いる

請求項１０４記載の画素回路。

１３６．前記駆動用絶縁ゲート型電界効果トランジスタはＰチャネル型である

請求項１１３記載の画素回路。

１３７．輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する走査線との交差部に配され、駆動電流により発光する電流駆動型の

発光素子を駆動する画素回路であって、

ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジスタと、

前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記データ線との間に接続され、ゲートが前記走査線に接続された取込用絶縁ゲート型電界効果トランジスタと、

基準電位と前記発光素子間に接続された駆動用絶縁ゲート型電界効果トランジスタと、

第１電極が前記変換用絶縁ゲート型電界効果トランジスタのゲート及び駆動用絶縁ゲート型電界効果トランジスタのゲートに共通に接続され、第２電極が基準電位に接続されたキャパシタと、

前記変換用絶縁ゲート型電界効果トランジスタのゲートとドレイン間に接続され、ゲートが前記走査線に接続されたスイッチ用絶縁ゲート型電界効果トランジスタとを含む

画素回路。

１３８．輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する走査線との交差部に配され、駆動電流により発光する電流駆動型の発光素子を駆動する画素回路であって、

ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジスタと、

前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記データ線との間に接続され、ゲートが前記走査線に接続された取込用絶縁ゲート型電界効果トランジスタと、

基準電位と前記発光素子間に接続された駆動用絶縁ゲート型電界効果トランジスタと、

第１電極が前記駆動用絶縁ゲート型電界効果トランジスタのゲートに接

続され、第２電極が基準電位に接続されたキャパシタと、

前記変換用絶縁ゲート型電界効果トランジスタのゲートと、前記駆動用絶縁ゲート型電界効果トランジスタのゲートと前記キャパシタの第１電極との接続点間に接続され、ゲートが前記走査線に接続されたスイッチ用絶縁ゲート型電界効果トランジスタとを含む

画素回路。

１３９．前記取込用絶縁ゲート型電界効果トランジスタの制御端子とスイッチ用絶縁ゲート型電界効果トランジスタ制御端子はぞれぞれ異なる走査線に接続されている

請求項１３８記載の画素回路。

１４０．前記変換用トランジスタのトランジスタサイズが前記駆動用トランジスタのトランジスタサイズより大きく設定されている

請求項１３８記載の画素回路。

１４１．前記スイッチ用絶縁ゲート型電界効果トランジスタ及び前記取込用絶縁ゲート型電界効果トランジスタが非導通となった後、１フレーム期間内の所定時間後に前記スイッチ用絶縁ゲート型電界効果トランジスタを導通させて、走査線単位で消灯を行う

請求項１３９記載の画素回路。

１４２．輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する走査線との交差部に配され、駆動電流により発光する電流駆動型の発光素子を駆動する発光素子の駆動方法であって、

前記走査線からの選択パルスに応答して前記データ線から信号電流を取り込む受入手順と、

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換手順と、

保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光

素子に流す駆動手順とを含む

発光素子の駆動方法。

１４３．前記変換手順は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、前記ゲートに接続した容量とを用いる手順を含んでおり、

前記手順において、前記変換用絶縁ゲート型電界効果トランジスタは、前記受入手順によって取り込まれた信号電流を前記チャネルに流して変換された電圧レベルを前記ゲートに発生させ、前記容量は前記ゲートに生じた電圧レベルを保持する

請求項１４２記載の発光素子の駆動方法。

１４４．前記変換手順は、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを用いる手順を含んでおり、

前記手順において、前記スイッチ用絶縁ゲート型電界効果トランジスタは、前記変換用絶縁ゲート型電界効果トランジスタが信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレインから切り離す

請求項１４３記載記載の発光素子の駆動方法。

１４５．前記駆動手順は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを用いる手順を含んでおり、

前記手順において、前記駆動用絶縁ゲート型電界効果トランジスタは、前記容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する

駆動電流をチャネルを介して前記発光素子に流す

請求項１４３記載の発光素子の駆動方法。

１４６．前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした

請求項１４５記載の発光素子の駆動方法。

１４７．前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、前記変換用絶縁ゲート型電界効果トランジスタと同等の閾電圧を有する

請求項１４５記載の発光素子の駆動方法。

１４８．前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を前記発光素子に流す

請求項１４７記載の発光素子の駆動方法。

１４９．前記駆動手順は、変換手順とで前記変換用絶縁ゲート型電界効果トランジスタを時分割的に共用しており、

前記駆動手順は、信号電流の変換を完了した後前記変換用絶縁ゲート型電界効果トランジスタを前記受入手順から切り離して駆動用とし、保持された電圧レベルを前記変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を前記発光素子に流す

請求項１４３記載の発光素子の駆動方法。

１５０．前記駆動手順は、駆動時以外に前記変換用絶縁ゲート型電界効果トランジスタを介して前記発光素子に流れる不要電流を遮断する制御手順を含む

請求項１４９記載の発光素子の駆動方法。

１５１．前記制御手順は、整流作用を有する二端子型の発光素子の端子間電圧を

制御して不要電流を遮断する

請求項１５０記載の発光素子の駆動方法。

１５２．前記制御手順は、前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタを用いる手順であり、

前記手順において、前記制御用絶縁ゲート型電界効果トランジスタは、非駆動時に非導通状態となって前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子とを切り離し、駆動時には導通状態に切り替わる

請求項１５０記載の発光素子の駆動方法。

１５３．前記制御手順は、非駆動時に駆動電流を遮断して前記発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して前記発光素子を発光状態に置く時間の割合を制御して、各画素の輝度を調整可能にした

請求項１５０記載の発光素子の駆動方法。

１５４．前記駆動手順は、前記変換用絶縁ゲート型電界効果トランジスタを通って前記発光素子に流れる駆動電流の電流レベルを安定化するために、前記変換用絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手順を含む

請求項１５０記載の発光素子の駆動方法。

１５５．前記受入手順、前記変換手順及び前記駆動手順は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路の上で実行され、

１つまたは２つ以上の絶縁ゲート型電界効果トランジスタは、前記電流回路で各手順を実行中に電流リークを抑制するためダブルゲート構造を有する

請求項１４３記載の発光素子の駆動方法。

１５６．前記駆動手順は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを用いて行なわれ、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している

請求項１４２記載の発光素子の駆動方法。

１５７．前記駆動手順は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを用いて行なわれ、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している

請求項１４２記載の発光素子の駆動方法。

１５８．前記変換手順によって保持された電圧レベルを下方調整して前記駆動手順に渡す調整手順を含んでおり、各画素の輝度の黒レベルを引き締める

請求項１４２記載の発光素子の駆動方法。

１５９．前記駆動手順は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを用い、

前記調整手順は、前記絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する

請求項１５８記載の発光素子の駆動方法。

１６０．前記駆動手順は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを用い、

前記変換変換手順は前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を用い、

前記調整手順は、前記容量に接続した追加容量を用い、前記容量に保持された前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項１５８記載の発光素子の駆動方法。

１６１．前記駆動手順は、ゲート、ドレイン及びソースを有する絶縁ゲート型電

界効果トランジスタを用い、

前記変換手順は、一端が前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を用い、

前記調整手順は、前記変換手順によって変換された前記電圧レベルを前記容量に保持する時前記容量の他端の電位を調整して、前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項１５８記載の発光素子の駆動方法。

１６２．前記発光素子は有機エレクトロルミネッセンス素子を用いる

請求項１４２記載の発光素子の駆動方法。

１６３．画素を選択するための走査線と、画素を駆動するための輝度情報を与えるデータ線とがマトリクス状に配設され、

各画素は、供給される電流量によって輝度が変化する発光素子と、走査線によって制御され且つデータ線から与えられた輝度情報を画素に書き込む書込手段と、前記書き込まれた輝度情報に応じて前記発光素子に供給する電流量を制御する駆動手段とを含み、

各画素への輝度情報の書き込みは、走査線が選択された状態で、データ線に輝度情報に応じた電気信号を印加することによって行われ、

各画素に書き込まれた輝度情報は走査線が非選択となった後も各画素に保持され、各画素の発光素子は保持された輝度情報に応じた輝度で点灯を維持可能な表示装置であって、

前記書込手段によって書き込まれた輝度情報を下方調整して前記駆動手段に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める

表示装置。

１６４．輝度情報を供給するデータ線と選択パルスを供給する走査線との交差部に配され、輝度情報に応じて発光する発光素子を有する画素を駆動する画素回路であって、

走査線によって制御され且つデータ線から与えられた輝度情報を画素に書き込む書込手段と、前記書き込まれた輝度情報に応じて前記発光素子に供給する電流量を制御する駆動手段とを含み、

各画素への輝度情報の書き込みは、走査線が選択された状態で、データ線に輝度情報に応じた電気信号を印加することによって行われ、

各画素に書き込まれた輝度情報は走査線が非選択となった後も各画素に保持され、各画素の発光素子は保持された輝度情報に応じた輝度で点灯を維持可能であって、

前記書込手段によって書き込まれた輝度情報を下方調整して前記駆動手段に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める

画素回路。

１６５．画素を選択するための走査線と、画素を駆動するための輝度情報を与えるデータ線とがマトリクス状に配設され、各画素は供給される電流量によって輝度が変化する発光素子を含む表示装置の駆動方法であって、

走査線によって制御され且つデータ線から与えられた輝度情報を画素に書き込む書込手順と、前記書き込まれた輝度情報に応じて前記発光素子に供給する電流量を制御する駆動手順とを含み、

各画素への輝度情報の書き込みは、走査線が選択された状態で、データ線に輝度情報に応じた電気信号を印加することによって行われ、

各画素に書き込まれた輝度情報は走査線が非選択となった後も各画素に保持され、各画素の発光素子は保持された輝度情報に応じた輝度で点灯を維持可能であって、

前記書込手順によって書き込まれた輝度情報を下方調整して前記駆動手順に渡す調整手順を含んでおり、各画素の輝度の黒レベルを引き締める

表示装置の駆動方法。

FIG.1

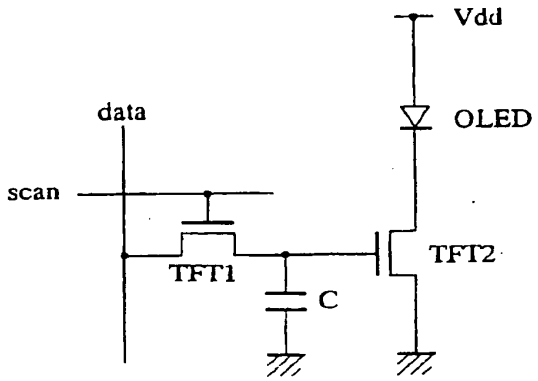


FIG.2

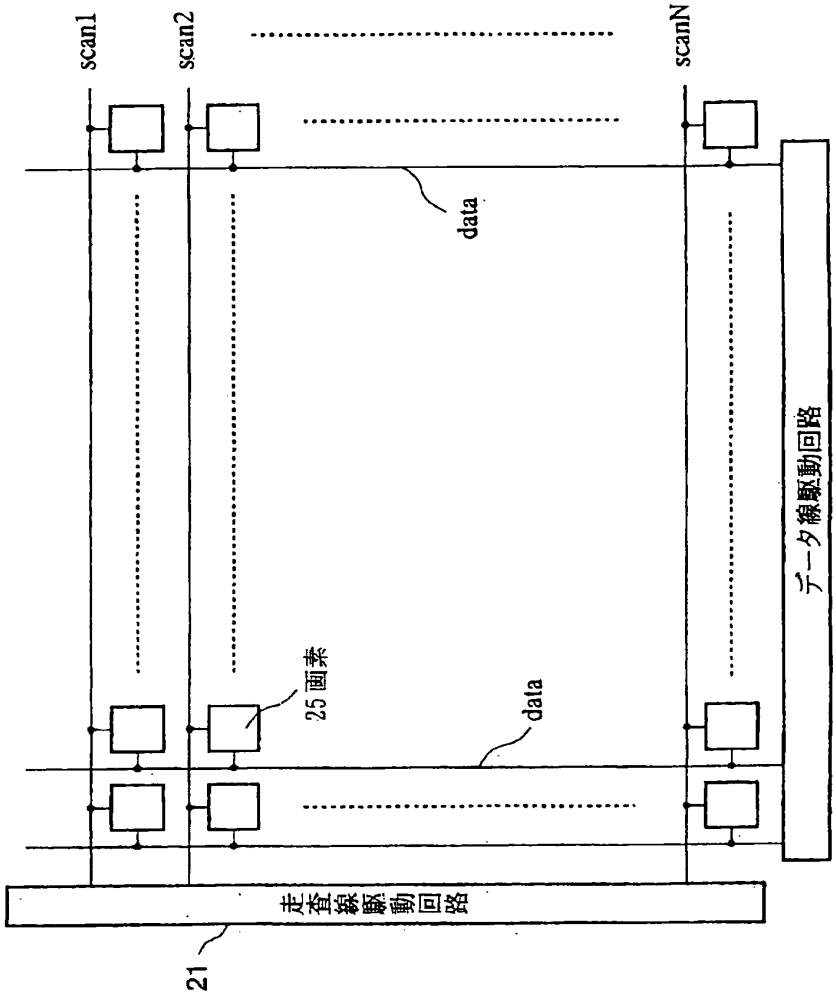


FIG.3

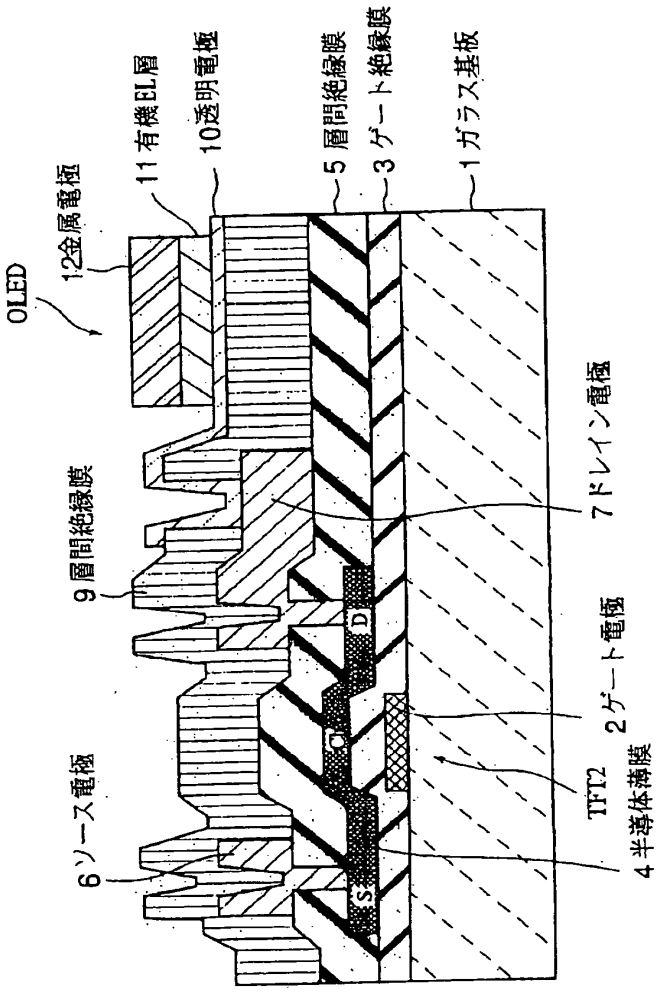

OLED
12金属電極
11有機EL層
10透明電極
5層間絶縁膜
3ゲート絶縁膜
1ガラス基板
9層間絶縁膜
7ドレイン電極
6ソース電極
TFT2
2ゲート電極
4半導体薄膜
D
S

FIG.4

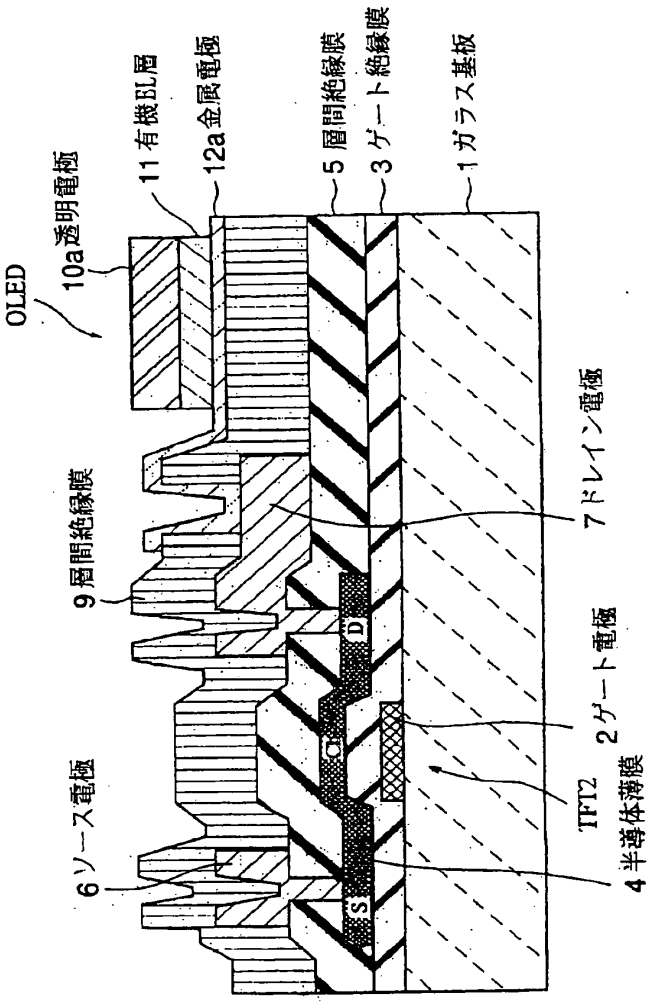
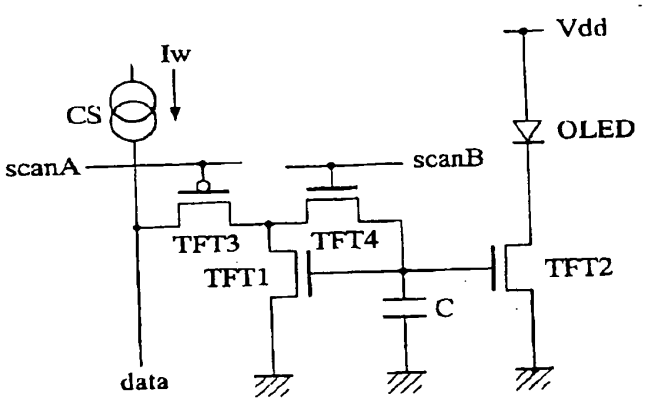

OLED
10a透明電極
11有機EL層
12a金属電極
5層間絶縁膜
3ゲート絶縁膜
1ガラス基板
9層間絶縁膜
7ドレイン電極
6ソース電極
2ゲート電極
TFT2
4半導体薄膜
S
C
D

FIG.5



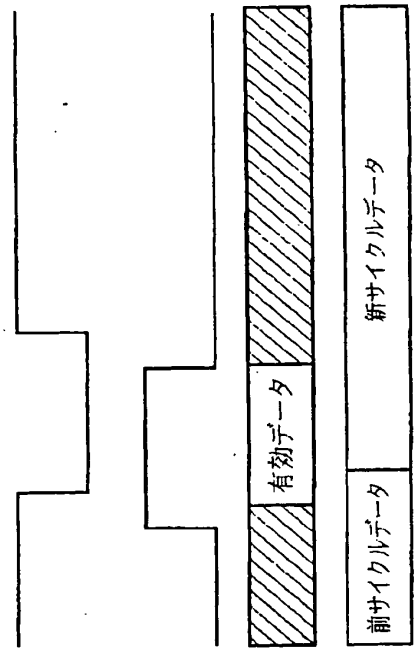



FIG.6A

FIG.6B

FIG.6C

FIG.6D

FIG.7

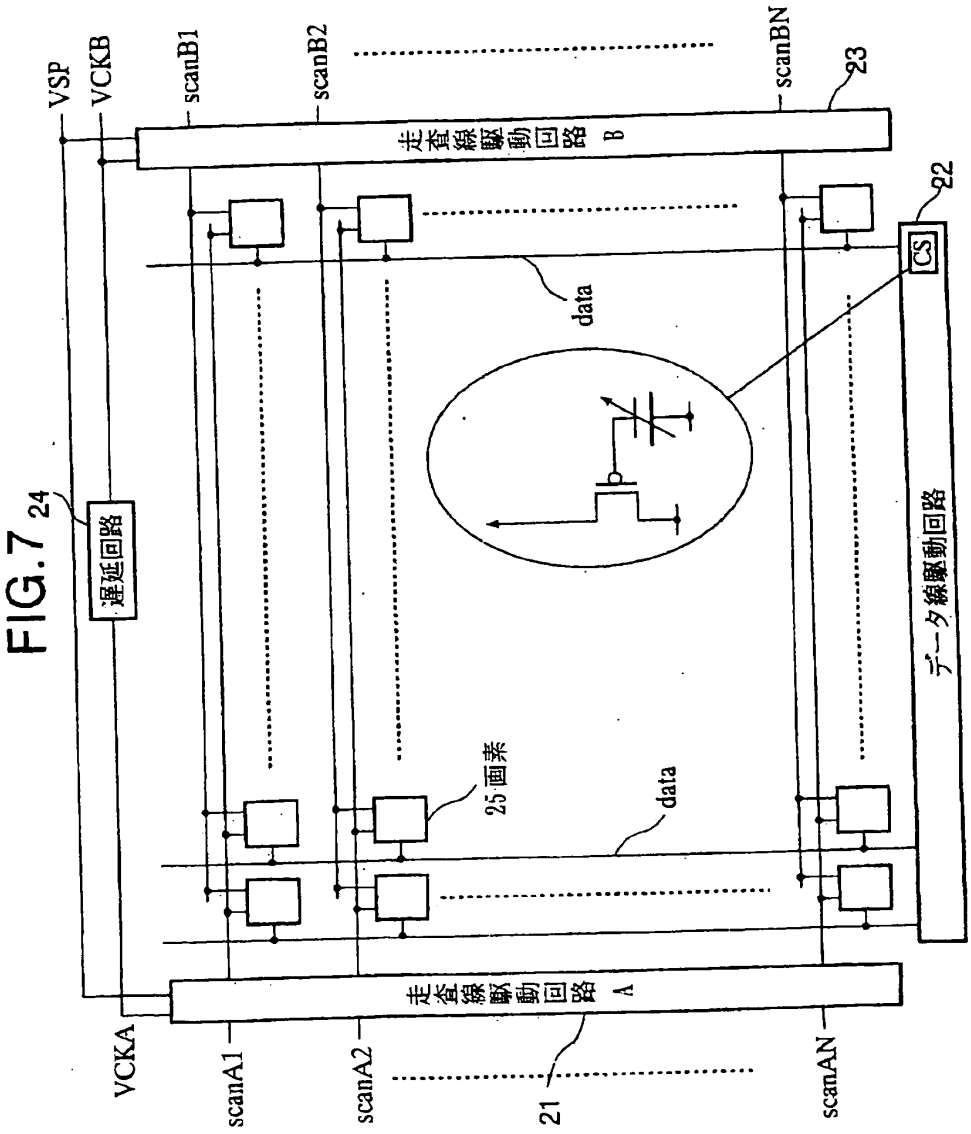

VSP
VCKB
scanB1
scanB2
scanBN
23
走査線駆動回路 B
22
CS
data
24
遅延回路
25 画素
data
データ線駆動回路
走査線駆動回路 A
VCKA
scanA1
scanA2
21
scanAN

FIG.8

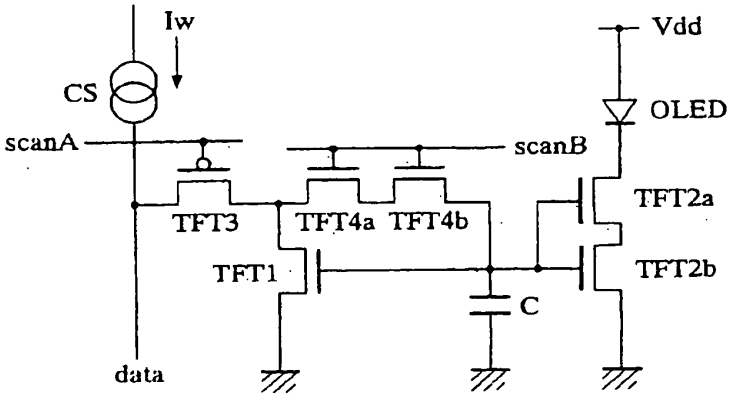

Iw
CS
scanA
scanB
Vdd
OLED
TFT3
TFT4a
TFT4b
TFT2a
TFT1
TFT2b
C
data

FIG.9

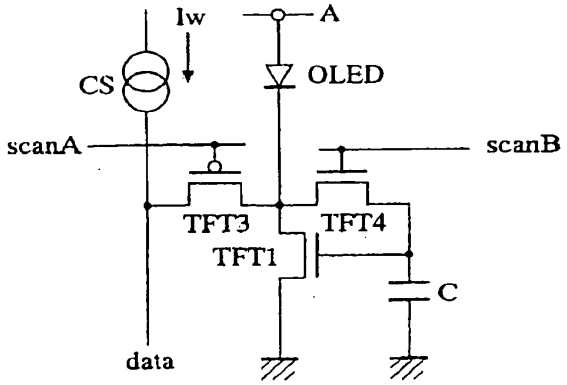

Iw
A
CS
OLED
scanA
scanB
TFT3
TFT4
TFT1
C
data

FIG.10

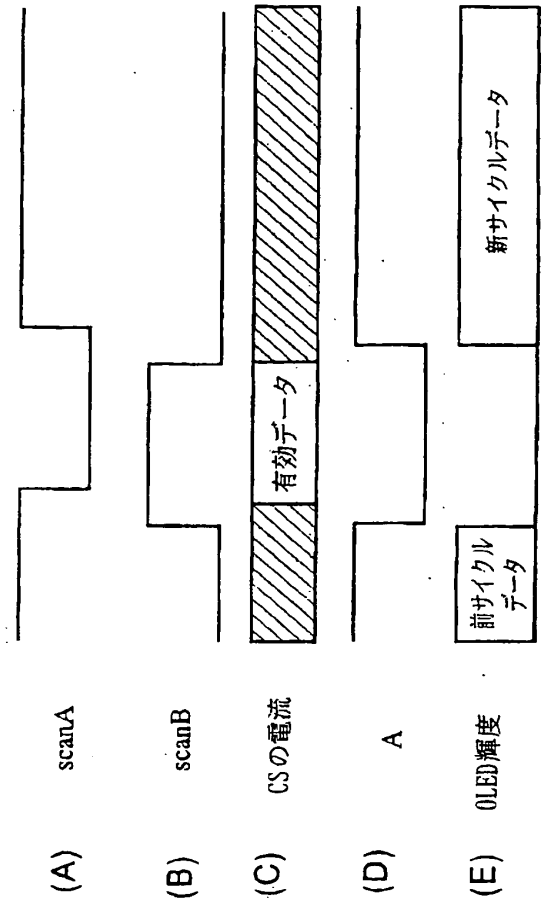


FIG.11

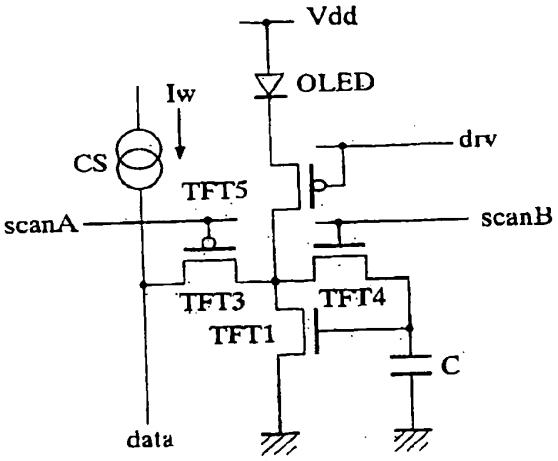

Vdd
OLED
Iw
drv
CS
TFT5
scanA
scanB
TFT3
TFT4
TFT1
C
data

FIG.12

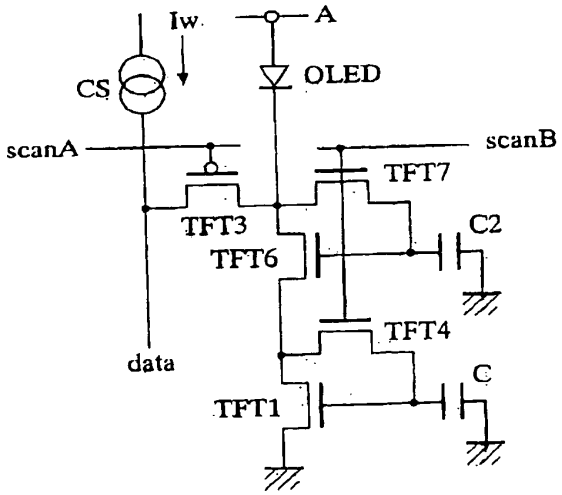

Iw
A
CS
OLED
scanA
scanB
TFT7
TFT3
C2
TFT6
TFT4
data
C
TFT1

FIG.13

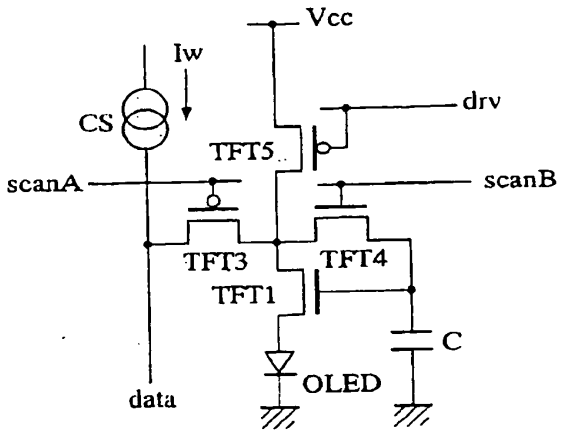

Vcc
Iw
drv
CS
TFT5
scanA
scanB
TFT3
TFT4
TFT1
C
OLED
data

FIG.14

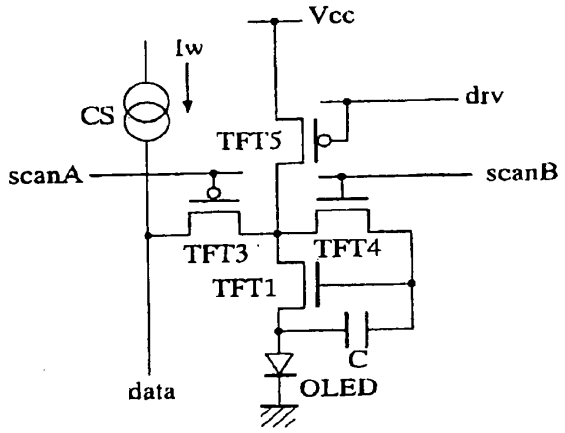

Vcc
Iw
drv
CS
TFT5
scanA
scanB
TFT3
TFT4
TFT1
C
OLED
data

FIG.15

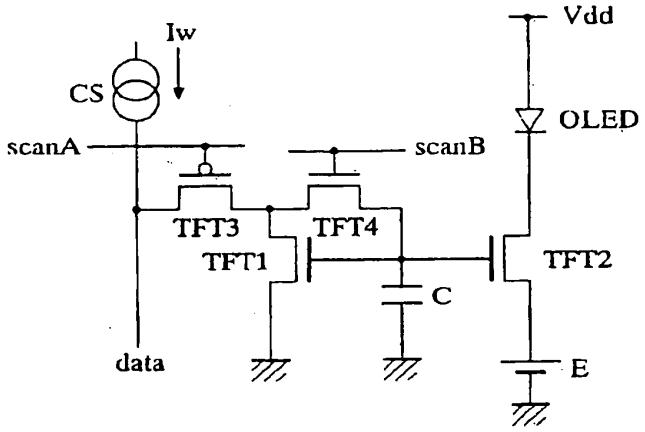

Iw
CS
scanA
scanB
Vdd
OLED
TFT3
TFT4
TFT1
TFT2
C
data
E

FIG.16

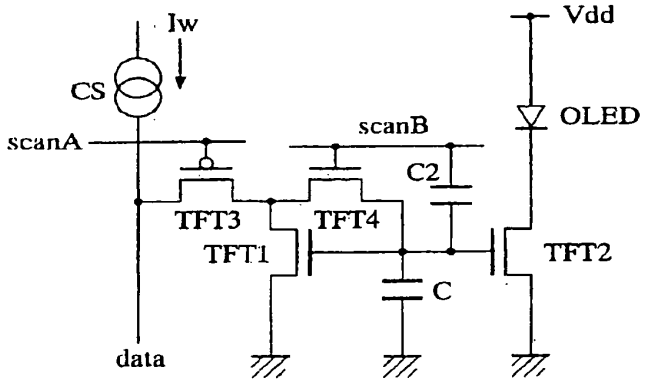

Iw
CS
scanA
scanB
Vdd
OLED
C2
TFT3
TFT4
TFT1
TFT2
C
data

FIG.17A

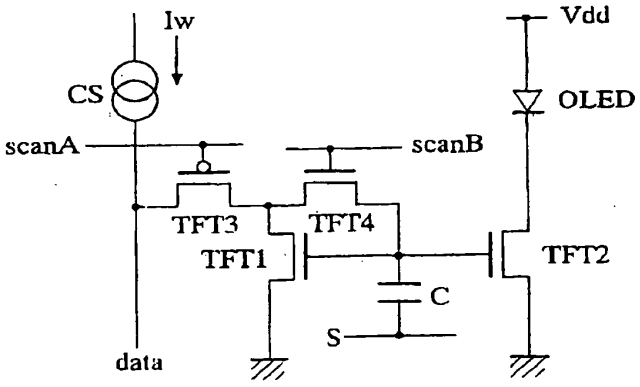



FIG.17B

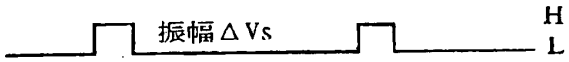


FIG.18

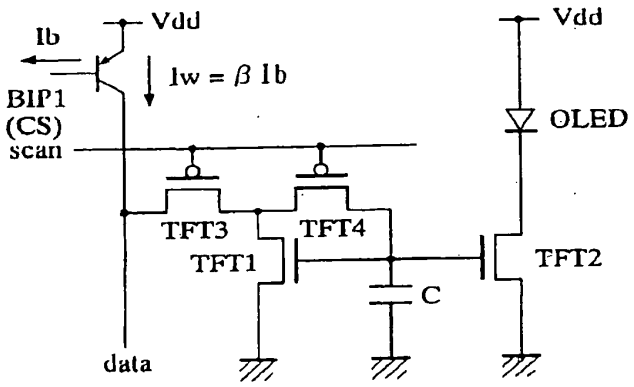


FIG.19

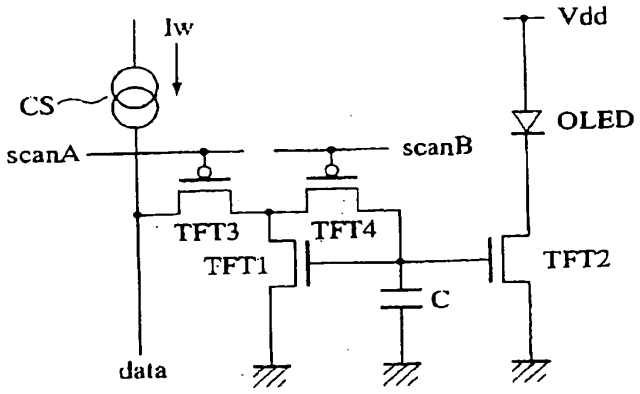



FIG.20A

FIG.20B

FIG.20C

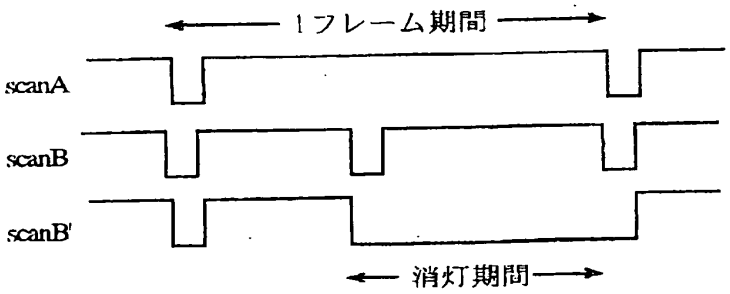


FIG.21

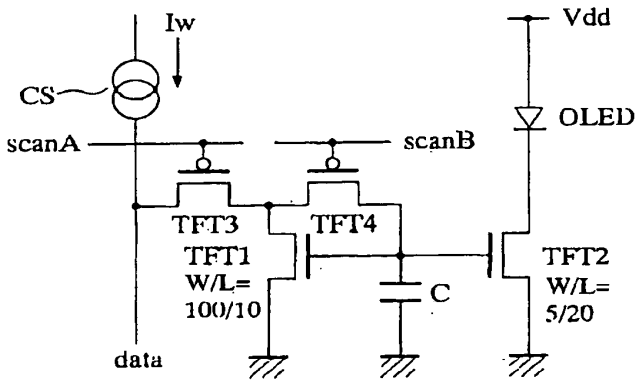

Iw
CS
scanA
scanB
Vdd
OLED
TFT3
TFT4
TFT1
W/L=
100/10
C
TFT2
W/L=
5/20
data

FIG.22

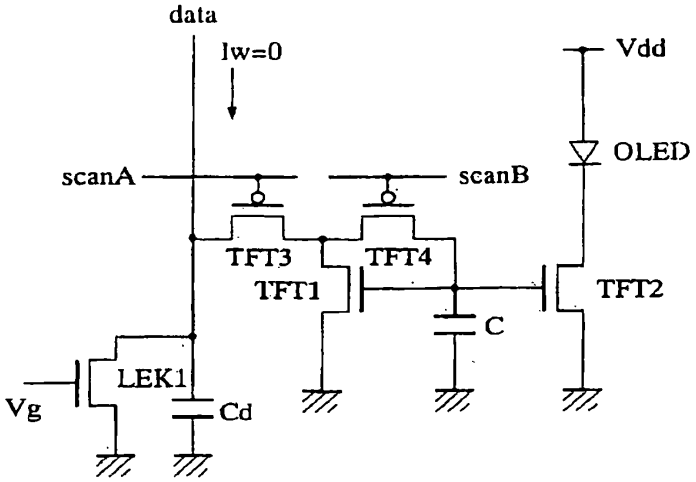

data
Iw=0
Vdd
OLED
scanA
scanB
TFT3
TFT4
TFT1
TFT2
C
LEK1
Vg
Cd

FIG.23

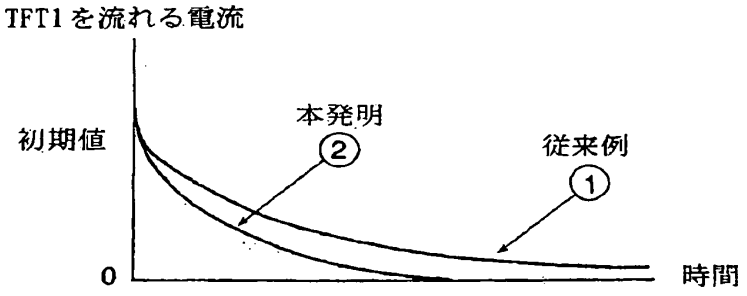

TFT1を流れる電流
初期値
本発明
②
従来例
①
0
時間

FIG.24

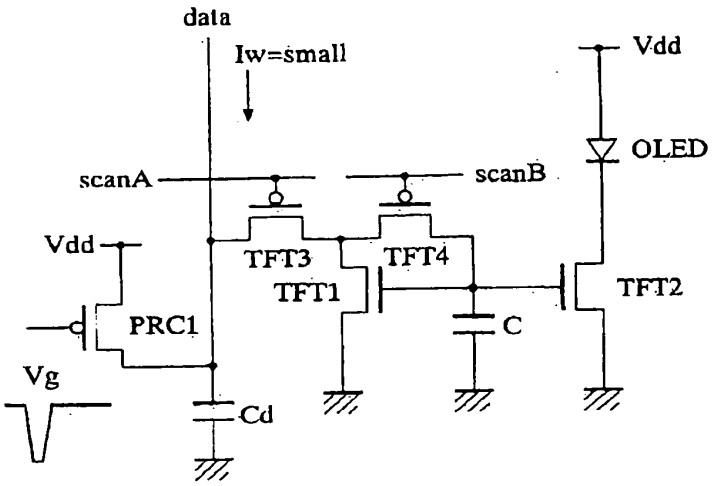

data
Iw=small
Vdd
OLED
scanA
scanB
Vdd
TFT3
TFT4
TFT1
TFT2
PRC1
C
Vg
Cd

FIG.25

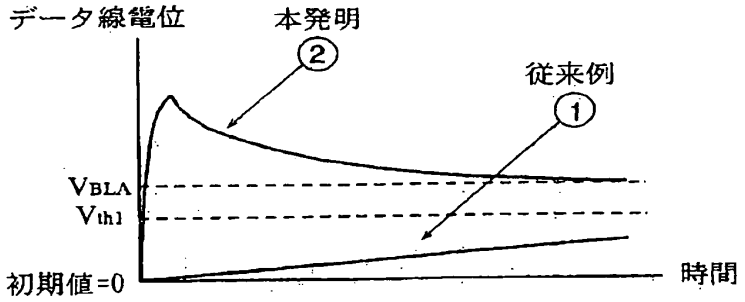

データ線電位
本発明
②
従来例
①
VBLA
Vth1
初期値=0
時間

FIG.26

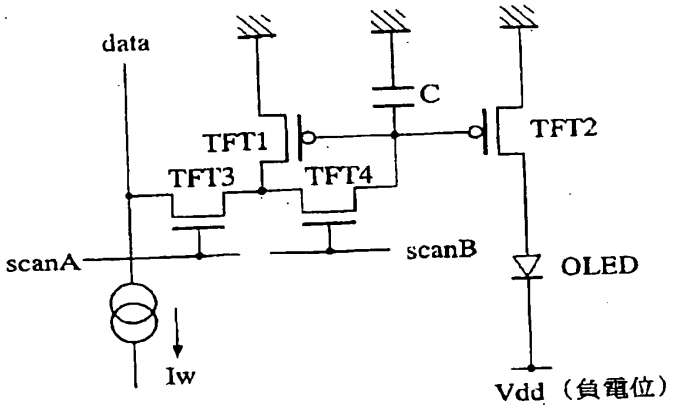
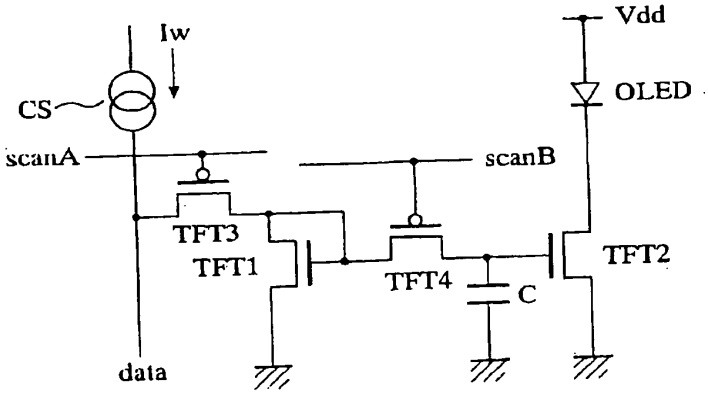

data
C
TFT1
TFT2
TFT3
TFT4
scanA
scanB
OLED
Iw
Vdd（負電位）

FIG.27


Vdd
Iw
OLED
CS
scanA
scanB
TFT3
TFT1
TFT4
TFT2
C
data

# 符号リスト

ＯＬＥＤ・・・発光素子
ＴＦＴ１・・・変換用薄膜トランジスタ
ＴＦＴ２・・・駆動用薄膜トランジスタ
ＴＦＴ３・・・取込用薄膜トランジスタ
ＴＦＴ４・・・スイッチ用薄膜トランジスタ
Ｃ・・・保持容量
ＣＳ・・・電流源
ｓｃａｎＡ・・・走査線
ｓｃａｎＢ・・・走査線
ｄａｔａ・・・データ線
２１・・・走査線駆動回路
２２・・・データ線駆動回路
２３・・・走査線駆動回路
２５・・・画素

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP00/04763

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G09G3/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G09G3/32, 3/30, 3/12, 3/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP, 1-279670, A (NEC Corporation), 09 November, 1989 (09.11.89), Full text; Figs. 1 to 3 (Family: none) | 1-165 |
| A | JP, 9-197313, A (NEC Corporation), 31 July, 1997 (31.07.97), Full text; Figs. 1 to 7 (Family: none) | 1-165 |
| A | JP, 9-264810, A (ASAHI OPTICAL Co., Ltd.), 07 October, 1997 (07.10.97), Full text; Figs. 1 to 3 (Family: none) | 1-165 |

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 16 August, 2000 (16.08.00) | 29 August, 2000 (29.08.00) |
| Name and mailing address of the ISA/ Japanese Patent Office | Authorized officer |
| Facsimile No. | Telephone No. |

Form PCT/ISA/210 (second sheet) (July 1992)

| 国際調査報告 | 国際出願番号　PCT／JP00／04763 |
|---|---|

A.　発明の属する分野の分類（国際特許分類（IPC））
Int. Cl' G09G3/32

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int. Cl' G09G3/32, 3/30, 3/12, 3/14

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　1922-1996年
日本国公開実用新案公報　1971-2000年
日本国登録実用新案公報　1994－2000年
日本国実用新案登録公報　1996-2000年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求の範囲の番号 |
|---|---|---|
| A | JP, 1-279670, A (日本電気株式会社) 9. 11月. 1989 (09. 11. 89) 全文、第1－3図 (ファミリーなし) | 1-165 |
| A | JP, 9-197313, A (日本電気株式会社) 31. 7月. 1997 (31. 07. 97) 全文、第1－7図 (ファミリーなし) | 1-165 |
| A | JP, 9-264810, A (旭光学工業株式会社) 7. 10月. 1997 (07. 10. 97) 全文、第1－3図 (ファミリーなし) | 1-165 |

☐ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| 16. 08. 00 | 29.08.00 |
| 国際調査機関の名称及びあて先<br>日本国特許庁（ISA／JP）<br>郵便番号100－8915<br>東京都千代田区霞が関三丁目4番3号 | 特許庁審査官（権限のある職員）　2G　7907<br>江成　克己<br>電話番号　03－3581－1101　内線　3226 |

様式PCT／ISA／210（第2ページ）（1998年7月）

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

| APPLICATION NO. | FILING DATE | FIRST NAMED INVENTOR | ATTORNEY DOCKET NO. | CONFIRMATION NO. |
|---|---|---|---|---|
| 10/299,861 | 11/20/2002 | Yojiro Matsueda | 114251 | 5800 |

25944 7590 03/29/2007

OLIFF & BERRIDGE, PLC
P.O. BOX 19928
ALEXANDRIA, VA 22320

| EXAMINER | |
|---|---|
| WOODS, ERIC V | |
| **ART UNIT** | **PAPER NUMBER** |
| 2628 | |

| SHORTENED STATUTORY PERIOD OF RESPONSE | MAIL DATE | DELIVERY MODE |
|---|---|---|
| 3 MONTHS | 03/29/2007 | PAPER |

**Please find below and/or attached an Office communication concerning this application or proceeding.**

If NO period for reply is specified above, the maximum statutory period will apply and will expire 6 MONTHS from the mailing date of this communication.

| Office Action Summary | Application No. | Applicant(s) | |
|---|---|---|---|
| | 10/299,861 | MATSUEDA, YOJIRO | |
| | Examiner | Art Unit | |
| | Eric Woods | 2628 | |

*-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --*

**Period for Reply**

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

**Status**

1)☒ Responsive to communication(s) filed on *14 December 2006*.

2a)☒ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

**Disposition of Claims**

4)☒ Claim(s) *8-10,37-39,46-48 and 50-53* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *8-10,37-39,46-48,50-53* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

**Application Papers**

9)☐ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

**Priority under 35 U.S.C. § 119**

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

**Attachment(s)**

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

## DETAILED ACTION

### *Response to Arguments*

Applicant's arguments, see Remarks pages 1-6 and claim amendments, filed 12/16/2006, with respect to the various rejection(s) and objection(s) of all claims under various statutes have been fully considered and are persuasive.

That is, the objection to claim 52 because of informality stands withdrawn.

The rejection of claims 10 and 51 under 35 USC 112, second paragraph, stands withdrawn in view of applicant's amendments.

The rejection of claim 49 under 35 USC 112, fourth paragraph, stands withdrawn in view of applicant's cancellation of said claim.

The rejection of claims 8-10, 37-39, 46-48, and 50-53 under 35 USC 103(a) stand withdrawn in view of applicant's amendments to the claims.

However, upon further consideration, a new ground(s) of rejection is made in view of various references as set forth below.

Examiner would respond to points raised applicant on page 10 (applicant's numbering). Firstly, once the Office has made a *prima facie* case, the burden is on the applicant to rebut it. Applicant asserts, as an example, that examiner's assertion that the use of a structure to prevent leakage current is not sufficient for meeting the CAFC TSM test. In fact, all transistors inherently must minimize leakage current to at least some extent. If they do not, they would become a permanent short and remain in the on state and thusly would become inoperative.

A circuit should be designed in a manner that minimizes power consumption to the extent reasonably possible. The problem of increasing leakage current in MOSFETs has been the subject of numerous studies over the last twenty years and has become an ever-increasing problem as device geometry shrinks. **The driver for low standby power logic is minimizing MOSFET leakage current.**

Applicant's citation to In re Kahn, 441 F.3d 977, is misplaced, for several reasons. In fact, *Kahn* would support the position of the Office, because Lee and Rouffet both showed that a PHOSITA / knowledge of a skilled artisan could provide the motivation to combine. While *Kahn* points at those two cases as examples of what the Board may have **failed** to do, the Board's decision **was** upheld in the cited case precisely because they **did** provide what had **not** been provided in Lee and Rouffet, namely a showing of the knowledge to provide the motivation.

Further, applicant states on Remarks page 3:

"According to the wiring configuration as recited in claim 46, this wiring construction **may** require through holes for implementation, but such a connection through another layer other than a semiconductor layer **more than likely may cause** leakage current."

Examiner does not believe that this statement is correct. Firstly, through holes (e.g. vias) in CMOS technologies have been used for over three decades, also in flat panel technology.

Examiner has answered concerns about motivation above. Finally, to re-emphasize the point from the Yumoto reference, the cited paragraph is proffered below:

[0073] FIG. 8 is a modification of the pixel circuit of FIG. 5. This circuit gives a double gate configuration wherein two

transistors TFT2a and TFT2b are connected in series to the TFT2 in FIG. 5 and imparts a double gate configuration wherein two transistors TFT4a and TFT4b are connected in series to the TFT4 in FIG. 5. The gates of the TFT2a and TFT2b and the gates of the TFT4a and TFT4b are commonly connected, therefore basically they perform a similar operation to that of single transistors. **As a result, also the pixel circuit of FIG. 8 performs a similar operation to that of the pixel circuit of FIG. 5. With a single transistor, particularly TFT, there is a case where the leakage current at the off time becomes large according to a certain defect or the like. For this reason, when it is intended to suppress the leakage current, preferably a redundant configuration of connecting a plurality of transistors in series is employed. This is because, when employing this, even if there is a leakage in one transistor, if the leakage of the other transistor is small, the leakage as a whole can be suppressed.** When employing the configuration such as TFT2a and TFT2b of FIG. 8, due to the small leakage current, there arises a merit that the quality of the black level of the display becomes good when the brightness is zero (current zero). Further, when employing the configuration such as TFT4a and TFT4b, there arises a merit that the brightness information written in the capacitor C can be stably held. For these, similarly, it is also possible to configure three or more transistors in series. As described above, in the present modification, the receiving part, converting part, and the drive part configure the current circuit combining a plurality of thin film transistors TFT. One or more thin film transistors (TFT) have the double gate structure for suppressing the current leakage in the current circuit.

Also note that the use of LDD structures in TFTs for LCD and OLED type displays is old and well known in the art. See for example Cairns et al (US 2002/0154253 A1), Inoue et al (US 2001/0014493 A1, US 6,468,839 B2, US 6,153,893 A), etc.

***Claim Rejections - 35 USC § 103***

The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

The factual inquiries set forth in *Graham* **v.** *John Deere Co.*, 383 U.S. 1, 148 USPQ 459 (1966), that are applied for establishing a background for determining obviousness under 35 U.S.C. 103(a) are summarized as follows:

1. Determining the scope and contents of the prior art.
2. Ascertaining the differences between the prior art and the claims at issue.
3. Resolving the level of ordinary skill in the pertinent art.
4. Considering objective evidence present in the application indicating obviousness or nonobviousness.

Claims 46-47, 49, and 51-52 are rejected under 35 USC 103(a) as unpatentable over Yumoto in view of Yeh et al (US 6,515,428 B1).

As to claim 46,

An electro-optical device comprising:

-A plurality of data lines; (Yumoto Figure 7, data line driving circuit 22 and the plurality of data lines shown therein)

-A plurality of scan lines; (Yumoto Figure 7, scan line driving circuit 21 and the plurality of data lines shown therein)

-A plurality of unit circuits arranged corresponding to intersections of the plurality of data lines and the plurality of scan lines, each of the unit circuits including: (Yumoto has pixels 25 that are arranged at the intersection of data lines and scan lines as shown in Figure 7)

-A first transistor; (Yumoto Figure 27, TFT2, n-type)

-An electroluminescence element being connected in series to one of a source and a drain of the first transistor; (Yumoto OLED Figure 27)

-An second transistor arranged between a gate of the first transistor and one of the source and the drain of the first transistor, the second transistor having a structure to prevent leakage currents during shutoff, and the polarity of the second transistor being opposite to the polarity of the first transistor; and (Yumoto Figure 27, TFT4 has opposite polarity – p-type, and it is directly connected to the gate of transistor TFT2, and it is connected to ground via TFT1, which is directly linked back to the drain/source of TFT2 since that is tied to ground. Therefore, as noted above, since the term "arranged" is very broadly, clearly it means something other than 'connected', which therefore means that as long as it is in a path between the two the limitation is met. Yumoto clearly shows in Figure 8 multi-gate elements that are used to block leakage – e.g. TFT4a/b and TFT2a/b [0073], where these are used to suppress the leakage current with the double gate structure.)

-A holding element coupled to the gate of the first transistor, the holding element holding a control voltage, the first transistor supplying a current based on the control voltage to the electroluminescence element. (Yumoto capacitor / holding element C in Figure 27. Clearly, the first transistor is the drive transistor for the OLED because it is the only transistor connected to it, and clearly the holding element holds a control voltage, since it is connected to the gate of the transistor which only accepts voltage and not current, where clearly the transistor will provide current to the serially connected OLED based on the voltage applied to the gate)

Yumoto teaches all of the limitations in the circuit of Figure 27 as described above but does not expressly teach 'a structure to prevent leakage currents during shutoff' or 'at least part of a wiring connection...being formed in a metal layer...' in the specific embodiment cited above, but does teach such a structure in another embodiment. However, in Figure 8, a circuit with a transistor in a similar position (e.g. TFT4a/b in Figure 8, comparable to TFT4 in Figure 27) utilizes such a structure. The merits of using such a structure are stated in [0073] as noted above, particularly in the case of the circuit of Figure 27 since this is the only transistor controlling the gate voltage of the drive transistor and it would especially desirous to prevent leakage. For at least the above reasons, it would have been obvious to one of ordinary skill in the art at the time the invention was made to modify the structure in Figure 27 to use the double gate transistors in Figure 8 to prevent leakage.

Yumoto fails to teach, but Yeh teaches:

-At least part of a wiring connection between the first and second transistors being formed in a metal layer other than a semiconductor layer in which the first and second transistors are formed. (Yeh teaches an OLED display panel, as illustrated in Figure 2 (3:65-4:30), which shows such a pixel cell. Next, a cross-section of such a cell is shown in Figure 3, where the process of fabrication of such a cell is shown in Figures 4+. Figure 9 is illustrative and provides the identification for the elements within the cross-sectional view shown in Figure 3. Specifically, the transistors T1 and T2 in Figure

2 and the holding element C are connected; the connecting elements are shown as 902, which connect to the source and drain of the various transistors via the two contact holes 904 and 906 to the source and drain respectively. Element 902 consists of a metal layer. Therefore, since the recited cell only has two transistors, and clearly the gate electrodes for both TFT $T_1$ and TFT $T_2$ are formed from metal (5:4-13), in Figures 3 and 9, at least one of the two transistors has both source and drain electrodes contacted to metal layers, and both gate electrodes are connected. (5:15-55). Specifically, the drain of TFT $T_1$ is connected to the gate of TFT $T_2$ (6:10-18), which **requires** that the connection between $T_1$ and $T_2$ be metal. These metal layer(s) are clearly "a metal layer other than a semiconductor layer in which the first and second transistors are formed").

It would have been obvious to one of ordinary skill in the art at the time the invention was made to modify Yumoto to use the metal layer structure of Yeh because: a) the metal deposition process that forms the contacts of the source and drain layers of the TFT in Figure 1b also forms the top layer of capacitor 103, which allows fabrication of multiple elements in one process; b) the source and data lines of all OLED and LCD panels known to a PHOSITA at the time the invention was made were known to be metal, because metal has the lowest resistance of the various available possible connectors, especially having a resistance at least three orders of magnitude less than that of heavily doped polysilicon (even saturation or degenerately doped), as illustrated by its use in Yeh; c) given that metal has the lowest resistance of available interconnect

materials, it would have been obvious to use metal to minimize delay and power loss to interconnect resistance; d) etc.

As to claim 47, clearly a double-gate transistor is a multi-gate transistor, as describe above.

As to claim 51, Figure 22 meets most of the limitations of claim 46. There is a first transistor TFT2 with a holding element C coupled to the gate, with a second transistor TFT3 connected to the gate of TFT2, and TFT3 is "arranged in a path" via the data line, which is connected to ground, which is connected to the source/drain of TFT2, thusly linking TFT2 and TFT3 in the required manner. Finally, TFT3 is of the opposite polarity of TFT2.

Additionally, there is a third transistor (TFT4) coupled in series to the first and second transistors, where it is not specified how the series connection is made (e.g. gate to source, source to drain, etc), nor is it specified that the series connections must be contiguous, and 'comprising' language is used)(where TFT4 could be regarded as being connected in series via the holding element C to ground which is in series with that terminal of TFT2). Both TFT3 and TFT4 are connected to scan lines.

Yumoto does not expressly teach that TFT4 and TFT3 are connected to the same scan line. However, in Figure 18, a similar circuit to that shown in Figure 22 is shown, and it is exactly comparable except the fact that the data line is connected to ground. The reasons for this are stated in [0090], in that it allows the omission of another scanning line drive circuit (e.g. two separate drive circuits are not needed).

References Yumoto and Yeh teach all the limitations of this claim except the formation of a scan line in the gate metal layer. Reference Maeda teaches the formation of scan lines and gate electrodes in the same metal film layer for TFT / LCD monitor fabrication (e.g. 0162, 0121). It would have been obvious to one having ordinary skill in the art at the time the invention was made to combine the active matrix of Yumoto/Yeh with the single metal layer of Maeda since Maeda performs in one step what Yumoto/Yeh does in several steps (note Yumoto fabrication process in [0011-0013], where the metal gate electrode goes down first and then the scan lines go down after the semiconductor layer, which clearly is a different level), which is *prima facie* more efficient and sufficient motivation in its own right to justify the combination, e.g. common sense is sufficient to justify the combination. See also *In re Karlson*, 136 USPQ 184 (CCPA 1963), for the doctrine that eliminating components is an obvious expedient – in this, eliminating fabrication steps.

As to claim 9,

The electro-optical device according to claim 46, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers (stacked-layer structure established in Yumoto Figure 3 and [0010] for example, Yeh Figure 7, etc);

Said plurality of layers comprising:

-A semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed (Yumoto [0011], semiconductor thin film 4); and

Therefore, it would have been obvious to one of ordinary skill in the art at the time the invention was made to modify the system of Figure 22 to have TFT4 and TFT3 both connect to the same scan line.

As to claim 52, it is well known to have a separate drive transistor as in Figure 11 because it is beneficial to do so [0077-0079].

Claims 8-10, 37, and 39 are rejected under 35 U.S.C. 103(a) as unpatentable over Yumoto and Yeh as applied to claim 46 above, and further in view of Maeda.

As to claim 8,

The electro-optical device according to claim 46, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers (stacked-layer structure established in Yumoto Figure 3 and [0010] for example);

Said plurality of layers comprising:

-A semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed (Yumoto [0011], semiconductor thin film 4); and

-A gate metal layer comprising said second control terminal (Yumoto [0011], gate electrode 2)(forming second gate metal is *prima facie* obvious, given that the layer is for the "gate electrode", Yeh discloses gate metal to be separate layer, as in 2:1-20, 5:4-20); and

-Wherein at least a portion of one scan line among said plurality of scan lines is formed in said gate metal layer (Maeda 0121).

-A gate metal layer comprising said second control terminal (Yumoto [0012]) (forming second gate metal is *prima facie* obvious, given that the layer is for the "gate electrode", metal layer for gate, Yeh 5:4-20); and

-Wherein at least a portion of one data line among said plurality of data lines is formed in said gate metal layer (Maeda 0121 and 0113 and 0125).

Reference Yumoto/Yeh teaches all the limitations of this claim except the formation of a data line in the gate metal layer. Reference Maeda teaches the formation of data lines and source and drain electrodes in the same metal film layer for TFT / LCD monitor fabrication (e.g. 0113, 0125). It would be *prima facie* obvious to choose to form gate electrodes and data lines simultaneously rather than gate electrodes and scan lines, for example. It would have been obvious to one having ordinary skill in the art at the time the invention was made to combine the active matrix of Yumoto with the single metal layer of Maeda since Maeda performs in one step what Yumoto does in several steps (note Yumoto fabrication process in [0011-0013], where the metal gate electrode goes down first and then the scan lines go down after the semiconductor layer, which clearly is a different level), which is *prima facie* more efficient and sufficient motivation in its own right to justify the combination. Clearly the choice of when (e.g. which processing steps) to form scan lines versus data lines is a matter of design choice, and the combination of steps clearly speeds production and eliminates unnecessary steps.

As to claim 10,

The electro-optical device according to claim 46, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers (stacked-layer structure established in Yumoto Figure 3 and [0010] for example);

Said plurality of layers comprising:

-A semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed (Yumoto [0011], semiconductor thin film 4); and

-A gate metal layer comprising said second control terminal (Yumoto [0012]) (forming second gate metal is *prima facie* obvious, given that the layer is for the "gate electrode"); and

-A source metal layer comprising a source electrode or drain electrode connected to the source or drain of said second transistor (Maeda 0113, 0125); and

-Wherein at least a portion of one data line among said plurality of data lines is formed in the layer (Maeda 0121 and 0113 and 0125), among said source metal layer and said gate metal layer, which is closer to said semiconductor layer.

Reference Maeda in combination with Yumoto teaches all the limitations of this claim, and this is merely a recitation of the dual limitations of claims 8 and 9 above. As such, the combination and motivation from claim 8 is used here and no further comment is necessary, as this claim is only a nominal variation of the parent.

As to claim 37,

An electro-optical device according to claim 46, comprising unit circuits comprising transistors, arranged corresponding to intersections of data lines and scan lines (Yumoto Figure 2, and the transistor picture layouts in Figures 5, 8, 9, etc) wherein

-A semiconductor layer constituting such transistors is formed in a semiconductor layer (Yumoto [0011], semiconductor thin film 4);

-Either said scan lines or said data lines are formed in a first conducting layer at the intersections of said scan lines and said data lines (Maeda 0113, 0121, and 0125); and,

-A portion of said scan lines and said data lines outside said intersections are formed in a second conducting layer (Maeda 0113, 0121, and 0125).

Reference Yumoto does not explicitly teach the formation of scan or data lines formed in a conducting layer at the intersections of such lines. Reference Maeda describes forming gate metal and scan lines, etc. simultaneously. As such, the scan lines would be formed everywhere not masked with a shadow mask, e.g. both in the scan lines and in the intersections. No matter what portions of the lines are claimed, any such configuration could be made using shadow masking and formed using either evaporation or sputtering. Any set of contacts could be created using correctly etched contact holes; electrically contiguous metal formed in the same layer is *prima facie* the same from an electrical and an engineering perspective. Further, forming scan lines or data lines or portions thereof (as claimed) in the same layer as other things would simply be making a component integral by eliminating unnecessary metal, and under *In re Larson*, 144 USPQ 347 (CCPA 1965), making a component integral is obvious and not patentable. Therefore, under either methodology, the recited limitations of the claim have been met.

It would have been obvious to one having ordinary skill in the art at the time the invention was made to combine the active matrix of Yumoto with the single metal layer

of Maeda since Maeda performs in one step what Yumoto does in several steps (note Yumoto fabrication process in [0011-0013], where the metal gate electrode goes down first and then the scan lines go down after the semiconductor layer, which clearly is a different level), which is *prima facie* more efficient and sufficient motivation in its own right to justify the combination under *In re Karlson* as discussed above.

As to claim 39,

An electro-optical device according to claim 46, comprising electro-optical elements corresponding to intersections of scan lines and data lines (Yumoto, element OLED in various figures, such as 5, 8, 9, etc), wherein:

-A pair of electrodes is provided to supply power to electro-optical elements (Maeda Fig. 11C, elements 19 and 15 are opposing and pixel electrodes (see 0006-0008));

-At the intersections of said scan lines and said data lines, either said scan lines or said data lines are formed in a first conducting layer (Maeda 0113, 0118, 0121, 0125 – again, gate metal as discussed in rejections to claims 8-12);

-Portions of said scan lines and said data lines outside said intersections are formed in a second conducting layer (source metal layer, 0113, 0118, 0121, 0125 as discussed in rejections to claims 8-12); and,

-Said second conducting layer is positioned at a greater distance than said first conducting layer from one of said pair of electrodes (design choice issue, see Maeda Fig. 11C).

Reference Yumoto does not recite details of the fabrication process claimed above. Reference Maeda teaches the fabrication of such substrates and teaches

contact holes (0044, 0047). Logically, such contact holes would fill on conducting layer deposition, thus meeting the recited limitation concerning intersections of data and scan lines (not Yeh et al). The positioning of a layer or its size is *prima facie* obvious and is not patentable, given that a person of ordinary skill in the art would know that there would be an optimal spacing of electrodes from each other to minimize cross-talk that would also occupy the minimum aspect ratio required on the shadow mask.

It would have been obvious to one having ordinary skill in the art at the time the invention was made to combine the active matrix of Yumoto/Yeh with the single metal layer of Maeda since Maeda performs in one step what Yumoto/Yeh does in several steps (note Yumoto fabrication process in [0011-0013], where the metal gate electrode goes down first and then the scan lines go down after the semiconductor layer, which clearly is a different level), which is *prima facie* more efficient.

Claim 38 is rejected over Yumoto/Yeh and Maeda as applied to claim 37 above, and further in view of Tanaka.

As to claim 38,

The active matrix substrate according to claim 37, wherein said second conducting layer is positioned between said first conducting layer and said semiconductor layer.

Reference Yumoto does not explicitly teach this limitation. In Fig. 10B, Maeda shows that the bottom gate – element 56, which is metal (a niobium alloy) is put down first, then various insulating materials, then element 13 (source and drain electrodes) are formed on the same level and slightly covering the semiconductor layer 54. Under

the doctrine of *In re Japikse*, switching the two layers would be *prima facie* obvious, and only minor alternations in the shadow masks for the process would be necessary (additive vs. subtractive processing in semiconductors, for example, switching the process would not be difficult for one of ordinary skill in the semiconductor / TFT art). Again, given that Maeda teaches many different embodiments (see Figs. 10-13, etc.), such a switch would be a design choice issue, and it would allow low-temperature processing of the substrate throughout the process, particularly allowing for newer techniques such as laser annealing and recrystallization of the semiconductor layer taught by Tanaka, and treatment of the semiconductor layer towards the end of processing.

It would have been obvious to one having ordinary skill in the art at the time the invention was made to combine the TFT circuits of Yumoto/Yeh and Maeda with the laser annealing processing of polysilicon for TFT applications of Tanaka (see 0002-0015), as both Yumoto ([0011-0013]) and Maeda (0008, 0121, etc.) utilize polysilicon as the semiconductor material, and laser annealing is now a well-known, standard process in the art (see also Yeh 4:54-65, laser annealing taught).

Claim 48 is rejected under 35 U.S.C. 103(a) as unpatentable over Yumoto and Yeh as applied to claim 46 above, and further in view of Gualandris. The rejection to claim 46 is herein incorporated by reference in its entirety.

Wherein at least said second active element is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

Yumoto teaches in [0113] to have the LDD structure in the active transistor, and it is discussed as being the active layer *per se*, that is on top of the gate oxide, so it would work for any transistor as specified there. However, Yumoto does not explicitly teach the use of GDD and DDD structures where Gualandris teaches DDD in 1:55-65, GDD in 2:25-30, and LDD in 2:25-30. Gualandris teaches that these are all methods of doping transistors, although one (the LDD) is preferred to work for 'ULSI' applications. Given that 'ULSI' applications at the time the patent was issued were mainly for deep sub-micron processes and that current TFT / liquid crystal display processes have much larger dimensions, e.g. still larger than one micron minimum channel length for silicon-on-glass technology, these techniques would be perfectly valid for use in TFT / silicon-on-glass technology.

It would have been obvious to one having ordinary skill in the art at the time the invention was made to combine the active matrix substrates of Yumoto with the transistors of Gualandris, since Yamada uses transistors, which *prima facie* have a source and a drain and different drain doping techniques are well-known in the art, and Yumoto also teaches LDD mechanisms of doping, and the others would be obvious to a worker of ordinary skill in the art.

Claim 50 is rejected under 35 USC 103(a) as unpatentable over Yumoto and Yeh as applied to claim 46, and further in view of Knapp.

As to claim 50, Yumoto does not expressly show an example where the first transistor is p-type. Knapp clearly states that the polarity of the transistor is a matter of design choice, see 4:40-45. Therefore, it would have been obvious to one of ordinary skill in the art at the time the invention was made to utilize a p-type transistor for when the polarity of the waveform was reversed.

Claims46 and 53 are rejected under 35 U.S.C. 103(a) as being unpatentable over Knapp et al (US 6,373,454 B1) in view of Yumoto (US PGPub 2004/0207615 A1).

As to claim 46,

An electro-optical device comprising:

-A plurality of data lines; (Knapp Figure 1, column, data, driver circuit 18 with data lines 14, 5:24-38)

-A plurality of scan lines; (Knapp Figure 1, row scanning driving circuit 16 and row scan lines 12, 5:24-38)

-A plurality of unit circuits arranged corresponding to intersections of the plurality of data lines and the plurality of scan lines, each of the unit circuits including: (Knapp has pixels 10 that are regularly spaced and the like, as shown in Figure 1, 5:24-38.)

-A first transistor; (Knapp Figure 3, element 30, first transistor being a n-channel device, 7:25-48)

-An electroluminescence element being connected in series to one of a source and a drain of the first transistor; (Knapp Figure 3, display element 20, comprising an OLED – 5:40-55, 6:10-15, connected in series to one of the source or drain of transistor 30. The claim is written using comprising language, which is open-ended and allows there to be elements (e.g. other transistors) between the source / drain of the first transistor and the OLED element itself)

-An second transistor arranged between a gate of the first transistor and one of the source and the drain of the first transistor, the second transistor having a structure to prevent leakage currents during shutoff, and the polarity of the second transistor being opposite to the polarity of the first transistor; and (Knapp Figure 3, transistor 33 is arranged between the gate of transistor 30 and the source / drain of transistor 30 through a contiguous path via conducting line 12 and transistor 32. Applicant used a different term – "arranged" instead of "connected" which would reasonably be construed as only requiring a contiguous path rather than a per se connection. As such, "arranged" is very broad and the path pointed out by examiner would be "arranged")(Yumoto clearly shows in Figure 8 multi-gate elements that are used to block leakage – e.g. TFT4a/b and TFT2a/b [0073], where these are used to suppress the leakage current with the double gate structure.)

-A holding element coupled to the gate of the first transistor, the holding element holding a control voltage, the first transistor supplying a current based on the control voltage to the electroluminescence element. (Knapp Figure 3, holding element 38,

described in 7:25-8:10, where clearly it is connected to the gate of the first transistor, and transistor 30 is the drive transistor for the circuit – 2:20-35, 3:5-17, 6:20-35, etc)

Knapp teaches most of the limitations of the above claim, except that it does not teach the use of a structure to prevent leakage currents. In Yumoto Figure 8, a circuit with is show that utilizes such a structure. The merits of using such structure are stated in [0073], which drastically reduces leakage. For at least the above reasons, it would have been obvious to one of ordinary skill in the art at the time the invention was made to modify the structure of Knapp to use the double gate transistors in Yumoto Figure 8 to prevent leakage.

As to claim 53, Knapp clearly shows that the holding element 38 is attached to the drive line (supply line) 31, where clearly each (row/column) has its own supply line as discussed above.

***Conclusion***

Applicant's amendment necessitated the new ground(s) of rejection presented in this Office action. Accordingly, **THIS ACTION IS MADE FINAL**. See MPEP § 706.07(a). Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not

mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the date of this final action.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Eric Woods whose telephone number is 571-272-7775. The examiner can normally be reached on M-F 7:30-5:00.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Ulka Chauhan can be reached on 571-272-7782. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

Eric Woods

MARK ZIMMERMAN
SUPERVISORY PATENT EXAMINER
TECHNOLOGY CENTER 2600

March 8, 2007

OIPE
MAR 06 2007
PATENT & TRADEMARK OFFICE



| Form PTO-1449 (REV. 1/06) | US Dept. of Commerce PATENT & TRADEMARK OFFICE | ATTY DOCKET NO. 114251 | APPLICATION NO. 10/299,861 |
|---|---|---|---|
| INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary) | | APPLICANT(S) Yojiro MATSUEDA | |
| | | FILING DATE November 20, 2002 | GROUP 2628 |

U.S. PATENT DOCUMENTS

| Examiner Initials | Cite No. | Document Number | Date | Name |
|---|---|---|---|---|
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |

FOREIGN PATENT DOCUMENTS

| Examiner Initials | Cite No. | Document Number | Date | Country | With English Abstract | With English Translation |
|---|---|---|---|---|---|---|
| /EW/ | 1 | CN 1291786A | 04/18/2001 | CHINA | | |
| /EW/ | 2 | CN 1242924A | 01/26/2000 | CHINA | | |
| /EW/ | 3 | JP-A-2001-185354 | 07/06/2001 | JAPAN | XX | XX |
| /EW/ | 4 | JP-A-11-074073 | 03/16/1999 | JAPAN | XX | XX |
| | | | | | | |

OTHER DOCUMENTS

| Examiner Initials | Cite No. | (Including Author, Title, Date, Pertinent Pages, etc.) |
|---|---|---|
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |

| EXAMINER /Eric Woods/ | DATE CONSIDERED 03/27/2007 |
|---|---|

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: March 6, 2007

| Notice of References Cited | Application/Control No. 10/299,861 | Applicant(s)/Patent Under Reexamination MATSUEDA, YOJIRO | |
|---|---|---|---|
| | Examiner Eric Woods | Art Unit 2628 | Page 1 of 1 |

**U.S. PATENT DOCUMENTS**

| * | | Document Number Country Code-Number-Kind Code | Date MM-YYYY | Name | Classification |
|---|---|---|---|---|---|
| * | A | US-6,515,428 | 02-2003 | Yeh et al. | 315/169.3 |
| * | B | US-2002/0154253 | 10-2002 | Cairns et al. | 349/43 |
| * | C | US-6,952,244 | 10-2005 | Cairns et al. | 349/43 |
| * | D | US-6,468,839 | 10-2002 | Inoue et al. | 438/149 |
| * | E | US-6,153,893 | 11-2000 | Inoue et al. | 257/72 |
| * | F | US-2001/0014493 | 08-2001 | INOUE et al. | 438/149 |
| | G | US- | | | |
| | H | US- | | | |
| | I | US- | | | |
| | J | US- | | | |
| | K | US- | | | |
| | L | US- | | | |
| | M | US- | | | |

**FOREIGN PATENT DOCUMENTS**

| * | | Document Number Country Code-Number-Kind Code | Date MM-YYYY | Country | Name | Classification |
|---|---|---|---|---|---|---|
| | N | | | | | |
| | O | | | | | |
| | P | | | | | |
| | Q | | | | | |
| | R | | | | | |
| | S | | | | | |
| | T | | | | | |

**NON-PATENT DOCUMENTS**

| * | | Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages) |
|---|---|---|
| | U | |
| | V | |
| | W | |
| | X | |

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

| Index of Claims | Application/Control No. | Applicant(s)/Patent Under Reexamination |
|---|---|---|
| | 10299861 | MATSUEDA, YOJIRO |
| | Examiner | Art Unit |
| | Woods, Eric | 2628 |

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| ✓ | Rejected | - | Cancelled | N | Non-Elected | A | Appeal |
| = | Allowed | ÷ | Restricted | I | Interference | O | Objected |

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

| CLAIM | | DATE | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| Final | Original | 03/07/2007 | | | | | | | | | |
| | 1 | - | | | | | | | | | |
| | 2 | - | | | | | | | | | |
| | 3 | - | | | | | | | | | |
| | 4 | - | | | | | | | | | |
| | 5 | - | | | | | | | | | |
| | 6 | - | | | | | | | | | |
| | 7 | - | | | | | | | | | |
| | 8 | ✓ | | | | | | | | | |
| | 9 | ✓ | | | | | | | | | |
| | 10 | ✓ | | | | | | | | | |
| | 11 | - | | | | | | | | | |
| | 12 | - | | | | | | | | | |
| | 13 | - | | | | | | | | | |
| | 14 | - | | | | | | | | | |
| | 15 | - | | | | | | | | | |
| | 16 | - | | | | | | | | | |
| | 17 | - | | | | | | | | | |
| | 18 | - | | | | | | | | | |
| | 19 | - | | | | | | | | | |
| | 20 | - | | | | | | | | | |
| | 21 | - | | | | | | | | | |
| | 22 | - | | | | | | | | | |
| | 23 | - | | | | | | | | | |
| | 24 | - | | | | | | | | | |
| | 25 | - | | | | | | | | | |
| | 26 | - | | | | | | | | | |
| | 27 | - | | | | | | | | | |
| | 28 | - | | | | | | | | | |
| | 29 | - | | | | | | | | | |
| | 30 | - | | | | | | | | | |
| | 31 | - | | | | | | | | | |
| | 32 | - | | | | | | | | | |
| | 33 | - | | | | | | | | | |
| | 34 | - | | | | | | | | | |
| | 35 | - | | | | | | | | | |
| | 36 | - | | | | | | | | | |

| Index of Claims | Application/Control No. | Applicant(s)/Patent Under Reexamination |
|---|---|---|
| | 10299861 | MATSUEDA, YOJIRO |
| | Examiner | Art Unit |
| | Woods, Eric | 2628 |

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| ✓ | Rejected | - | Cancelled | N | Non-Elected | A | Appeal |
| = | Allowed | ÷ | Restricted | I | Interference | O | Objected |

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

| CLAIM | | DATE | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|
| Final | Original | 03/07/2007 | | | | | | | | |
| | 37 | ✓ | | | | | | | | |
| | 38 | ✓ | | | | | | | | |
| | 39 | ✓ | | | | | | | | |
| | 40 | - | | | | | | | | |
| | 41 | - | | | | | | | | |
| | 42 | - | | | | | | | | |
| | 43 | - | | | | | | | | |
| | 44 | - | | | | | | | | |
| | 45 | - | | | | | | | | |
| | 46 | ✓ | | | | | | | | |
| | 47 | ✓ | | | | | | | | |
| | 48 | ✓ | | | | | | | | |
| | 49 | - | | | | | | | | |
| | 50 | ✓ | | | | | | | | |
| | 51 | ✓ | | | | | | | | |
| | 52 | ✓ | | | | | | | | |
| | 53 | ✓ | | | | | | | | |

| Search Notes | Application/Control No. | Applicant(s)/Patent Under Reexamination |
|---|---|---|
| | 10299861 | MATSUEDA, YOJIRO |
| | Examiner | Art Unit |
| | Woods, Eric | 2628 |

| SEARCHED | | | |
|---|---|---|---|
| Class | Subclass | Date | Examiner |
| 345 | 76-79,80-105 | 3/7/07 | EW |

| SEARCH NOTES | | |
|---|---|---|
| Search Notes | Date | Examiner |
| EAST (USPT,USPGPUB,DERWENT,FPRS,EPO,JPO,IBM_TDB)-see attached search history | 3/7/07 | EW |

| INTERFERENCE SEARCH | | | |
|---|---|---|---|
| Class | Subclass | Date | Examiner |
| | | | |

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: E. WOODS

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection, Notice of Allowance, or other action that closes prosecution (e.g., Quayle Action), but before payment of the Issue Fee. The fees associated with this filing under 37 C.F.R. §1.17(i) are being paid electronically with this filing. The Commissioner is hereby authorized to charge any additional fee (or credit any overpayment) associated with this communication to Deposit Account No. 15-0461.

☒ a. I hereby certify that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(2).

☒ 2. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

☒ 3. Reference 1 corresponds to reference WO 01/06484 A1 which was filed the Information Disclosure Statement March 27, 2007.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/clf

Date: May 15, 2007

**OLIFF & BERRIDGE, PLC**
**P.O. Box 19928**
**Alexandria, Virginia 22320**
**Telephone: (703) 836-6400**

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

Sheet 1 of 1

| Form PTO-1449 (REV. 1/06) | US Dept. of Commerce PATENT & TRADEMARK OFFICE | ATTY DOCKET NO. 114251 | APPLICATION NO. 10/299,861 |
|---|---|---|---|
| INFORMATION DISCLOSURE STATEMENT<br>(Use several sheets if necessary) | | APPLICANT(S) Yojiro MATSUEDA | |
| | | FILING DATE November 20, 2002 | GROUP 2628 |

U.S. PATENT DOCUMENTS

| Examiner Initials | Cite No. | Document Number | Date | Name |
|---|---|---|---|---|
| | 1 | 6,859,193 B1 | 2/22/2005 | Yumoto |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |

FOREIGN PATENT DOCUMENTS

| Examiner Initials | Cite No. | Document Number | Date | Country | With English Abstract | With English Translation |
|---|---|---|---|---|---|---|
| | | | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |

OTHER DOCUMENTS

| Examiner Initials | Cite No. | (Including Author, Title, Date, Pertinent Pages, etc.) |
|---|---|---|
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |

| EXAMINER | DATE CONSIDERED |
|---|---|

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: May 15, 2007

# Electronic Patent Application Fee Transmittal

| | |
|---|---|
| **Application Number:** | 10299861 |
| **Filing Date:** | 20-Nov-2002 |
| **Title of Invention:** | Active matrix substrate, electro-optical device, and electronic device |
| First Named Inventor/Applicant Name: | Yojiro Matsueda |
| **Filer:** | Mario A. Costantino/Sharisse Brooks |
| **Attorney Docket Number:** | 114251 |
| Filed as Large Entity | |

**Utility Filing Fees**

| Description | Fee Code | Quantity | Amount | Sub-Total in USD($) |
|---|---|---|---|---|
| **Basic Filing:** | | | | |
| **Pages:** | | | | |
| **Claims:** | | | | |
| **Miscellaneous-Filing:** | | | | |
| **Petition:** | | | | |
| **Patent-Appeals-and-Interference:** | | | | |
| Post-Allowance-and-Post-Issuance: | | | | |
| **Extension-of-Time:** | | | | |

| Description | Fee Code | Quantity | Amount | Sub-Total in USD($) |
|---|---|---|---|---|
| **Miscellaneous:** | | | | |
| Submission- Information Disclosure Stmt | 1806 | 1 | 180 | 180 |
| | | **Total in USD ($)** | | **180** |

# Electronic Acknowledgement Receipt

| | |
|---|---|
| **EFS ID:** | 1776391 |
| **Application Number:** | 10299861 |
| **International Application Number:** | |
| **Confirmation Number:** | 5800 |
| **Title of Invention:** | Active matrix substrate, electro-optical device, and electronic device |
| **First Named Inventor/Applicant Name:** | Yojiro Matsueda |
| **Customer Number:** | 25944 |
| **Filer:** | Mario A. Costantino/Sharisse Brooks |
| **Filer Authorized By:** | Mario A. Costantino |
| **Attorney Docket Number:** | 114251 |
| **Receipt Date:** | 15-MAY-2007 |
| **Filing Date:** | 20-NOV-2002 |
| **Time Stamp:** | 13:57:33 |
| **Application Type:** | Utility |

## Payment information:

| | |
|---|---|
| Submitted with Payment | yes |
| Payment was successfully received in RAM | $180 |
| RAM confirmation Number | 2422 |
| Deposit Account | 150461 |
| The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:<br>Charge any Additional Fees required under 37 C.F.R. Section 1.16 and 1.17 | |

## File Listing:

| Document Number | Document Description | File Name | File Size(Bytes) | Multi Part /.zip | Pages (if appl.) |
|---|---|---|---|---|---|
| 1 | Information Disclosure Statement (IDS) Filed | 114251ids05-15-07.pdf | 89734 | no | 3 |
| **Warnings:** | | | | | |
| **Information:** | | | | | |
| This is not an USPTO supplied IDS fillable form | | | | | |
| 2 | Fee Worksheet (PTO-06) | fee-info.pdf | 8183 | no | 2 |
| **Warnings:** | | | | | |
| **Information:** | | | | | |
| | | **Total Files Size (in bytes):** | 97917 | | |

**This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.**

**New Applications Under 35 U.S.C. 111**
**If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.**

**National Stage of an International Application under 35 U.S.C. 371**
**If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.**

**New International Application Filed with the USPTO as a Receiving Office**
**If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.**

# Electronic Acknowledgement Receipt

| | |
|---|---|
| **EFS ID:** | 1776391 |
| **Application Number:** | 10299861 |
| **International Application Number:** | |
| **Confirmation Number:** | 5800 |
| **Title of Invention:** | Active matrix substrate, electro-optical device, and electronic device |
| **First Named Inventor/Applicant Name:** | Yojiro Matsueda |
| **Customer Number:** | 25944 |
| **Filer:** | Mario A. Costantino/Sharisse Brooks |
| **Filer Authorized By:** | Mario A. Costantino |
| **Attorney Docket Number:** | 114251 |
| **Receipt Date:** | 15-MAY-2007 |
| **Filing Date:** | 20-NOV-2002 |
| **Time Stamp:** | 13:57:33 |
| **Application Type:** | Utility |

## Payment information:

| | |
|---|---|
| Submitted with Payment | yes |
| Payment was successfully received in RAM | $180 |
| RAM confirmation Number | 2422 |
| Deposit Account | 150461 |
| The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:<br>Charge any Additional Fees required under 37 C.F.R. Section 1.16 and 1.17 | |

## File Listing:

| Document Number | Document Description | File Name | File Size(Bytes) | Multi Part /.zip | Pages (if appl.) |
|---|---|---|---|---|---|
| 1 | Information Disclosure Statement (IDS) Filed | 114251ids05-15-07.pdf | 89734 | no | 3 |
| **Warnings:** | | | | | |
| **Information:** | | | | | |
| This is not an USPTO supplied IDS fillable form | | | | | |
| 2 | Fee Worksheet (PTO-06) | fee-info.pdf | 8183 | no | 2 |
| **Warnings:** | | | | | |
| **Information:** | | | | | |
| | | **Total Files Size (in bytes):** | 97917 | | |

**This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.**

**New Applications Under 35 U.S.C. 111**
**If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.**

**National Stage of an International Application under 35 U.S.C. 371**
**If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.**

**New International Application Filed with the USPTO as a Receiving Office**
**If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.**

[redacted]

**PATENT APPLICATION**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE




In re the Application of

Yojiro MATSUEDA

Application No.: 10/299,861

Filed: November 20, 2002

Group Art Unit: 2628

Examiner: E. WOODS

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

**MAIL STOP RCE**

**LARGE ENTITY REQUEST FOR CONTINUED EXAMINATION UNDER 37 C.F.R. §1.114**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. §1.114, Applicant(s) hereby request(s) continued examination.

☒ Applicant(s) further request(s) entry and consideration of the attached submission.

The above-identified application was filed on or after June 8, 1995. Thus, entry is proper under 37 C.F.R. §1.114(d).

Attached hereto is our check no. 193731 in the amount of ☒ $790.00 as payment of the fees set forth in 37 C.F.R. §1.17(e). The Commissioner is hereby authorized to charge any additional fees or credit any overpayment associated with this communication to Deposit Account No. 15-0461.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/mab

Date: June 13, 2007

**OLIFF & BERRIDGE, PLC**
**P.O. Box 19928**
**Alexandria, Virginia 22320**
**Telephone: (703) 836-6400**

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

06/14/2007 YPOLITE1 00000034 10299861
01 FC:1801 790.00 OP

OIPE IAP97 JUN 13 2007 PATENT & TRADEMARK OFFICE

**PATENT APPLICATION**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

| | |
|---|---|
| Yojiro MATSUEDA | Group Art Unit: 2628 |
| Application No.: 10/299,861 | Examiner: E. WOODS |
| Filed: November 20, 2002 | Docket No.: 114251 |

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

**AMENDMENT UNDER 37 C.F.R. §1.111**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In reply to the March 29, 2007 Office Action, and in consideration of the attached Request for Continued Examination, please consider the following:

**Amendments to the Claims** as reflected in the listing of claims; and

**Remarks**.

**Amendments to the Claims**:

The following listing of claims will replace all prior versions, and listings, of claims in the application:

1-7. (Canceled)

8. (Previously Presented) The electro-optical device according to claim 46, wherein said electro-optical device has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal, and

wherein at least a portion of said plurality of scan lines is formed in said gate metal layer.

9. (Previously Presented) The electro-optical device according to claim 46, wherein said electro-optical device has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal; and

wherein at least a portion of one data line among said plurality of data lines is formed in said gate metal layer.

10. (Previously Presented) The electro-optical device according to claim 46, wherein said electro-optical device has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed;

a gate metal layer comprising said second control terminal; and

a source metal layer comprising a source electrode or drain electrode connected to the source or drain of said second transistor;

wherein at least one portion of at least one data line among said plurality of data lines is formed in the layer, among said source metal layer and said gate metal layer, that is closer to said semiconductor layer.

11-36. (Canceled)

37. (Previously Presented) The electro-optical device in accordance with claim 46, comprising unit circuits comprising transistors, arranged corresponding to intersections of data lines and scan lines; wherein

a semiconductor film constituting said transistors is formed in a semiconductor layer;

either said scan lines or said data lines are formed in a first conducting layer at the intersections of said scan lines and said data lines; and

a portion of said scan lines and said data lines outside said intersections are formed in a second conducting layer.

38. (Previously Presented) The electro-optical device according to claim 37, wherein said second conducting layer is positioned between said first conducting layer and said semiconductor layer.

39. (Previously Presented) The electro-optical device according to claim 46, comprising electro-optical elements corresponding to intersections of scan lines and data lines, wherein:

a pair of electrodes is provided to supply power to said electro-optical elements;

at the intersections of said scan lines and said data lines, either said scan lines or said data lines are formed in a first conducting layer;

portions of said scan lines and said data lines outside said intersections are formed in a second conducting layer; and

said second conducting layer is positioned at a greater distance than said first conducting layer from one of said pair of electrodes.

40-45. (Canceled)

46. (Currently Amended) An electro-optical device comprising:

a plurality of data lines;

a plurality of scan lines;

a plurality of unit circuits arranged corresponding to intersections of the plurality of data lines and the plurality of scan lines, each of the unit circuits including:

a first transistor;

an electroluminescence element being connected in series to one of a source and a drain of the first transistor;

a second transistor arranged between a gate of the first transistor and one of the source and the drain of the first transistor, the second transistor having a structure to prevent leakage currents during shutoff, and the polarity of the second transistor being opposite to the polarity of the first transistor; and

a holding element coupled to the gate of the first transistor, the holding element holding a control voltage, the first transistor supplying a current based on the control voltage to the electroluminescence element; and

at least a part of a wiring connecting between the gate of the first transistor and one of a source or a drain of the ~~and~~ second ~~transistors~~ transistor and between either of the source or the drain of the first transistor and the other of the source or the drain of the second transistor being formed in a metal layer other than a semiconductor layer in which the first and second transistors are formed.

47. (Previously Presented) The electro-optical device according to claim 46, wherein the second transistor is configured as a multi-gate transistor.

48. (Previously Presented) The electro-optical device according to claim 46, wherein the second transistor has a structure selected from the group consisting of an LDD structure, a GDD structure, and a DDD structure.

49. (Canceled)

50. (Previously Presented) The electro-optical device according to claim 46, wherein the first transistor has a p-type polarity.

51. (Previously Presented) The electro-optical device according to claim 46, each of the unit circuits including a third transistor coupled in series to the first and the second transistor, a source and a drain of the third transistor connecting each respectively to one of the first and the second transistors and a gate of the second transistor and a gate of the third transistor being connected to a same corresponding scan line.

52. (Previously Presented) The electro-optical device according to claim 51, each of the unit circuits including a fourth transistor coupled in series to the first transistor, the fourth transistor supplying the current to the electroluminescence element during a light emission period.

53. (Previously Presented) The electro-optical device according to claim 46, further comprising a plurality of power supply lines, one electrode of the holding element is connected to a corresponding power supply line of the plurality of power supply lines, or the

one electrode of the holding element is a portion of the corresponding power supply line of the plurality of power supply lines.

## REMARKS

Claims 8-10, 37-39, 46-48 and 50-53 are pending in this application. By this Amendment, claim 46 is amended. No new matter is added by this Amendment. Reconsideration of the application based upon the above amendment and the following remarks is respectfully requested.

The Office Action, on page 5, rejects claims 46, 47, 49, 51 and 52 under 35 U.S.C. §103(a) is being unpatentable over U.S. Patent Application Publication No. 2004/0207615 to Yumoto et al. (hereinafter "Yumoto") in view of U.S. Patent No. 6,515,428 to Yeh et al. (hereinafter "Yeh"). The Office Action, on page 10, rejects claims 8-10, 37 and 39 under 35 U.S.C. §103(a) as being unpatentable over Yumoto and Yeh, and further in view of U.S. Patent Application Publication No. 2002/0008822 to Maeda. Additionally, the Office Action, on page 16, rejects claim 38 under 35 U.S.C. §103(a) as being unpatentable over Yumoto and Yeh, and further in view of Maeda and U.S. Patent Application Publication No. 2001/0026835 to Tanaka. The Office Action, on page 17, rejects claim 48 under 35 U.S.C. §103(a) as being unpatentable over Yumoto and Yeh, and further in view of U.S. Patent No. 35,827 to Gualandris et al. (hereinafter "Gualandris"). Claim 50, on page 19, is rejected under 35 U.S.C. §103(a) as being unpatentable over Yumoto and Yeh and further in view of U.S. Patent No. 6,373,454 to Knapp et al. (hereinafter "Knapp"). Claim 46 and 53 are rejected on page 19 under 35 U.S.C. §103(a) as being unpatentable over Knapp in view of Yumoto. The Applicant respectfully traverses these rejections.

The Office Action asserts that Yumoto teaches many of the features as positively recited in at least independent claim 46. However, the Office Action concedes that Yumoto does not teach, and therefore, relies on Yeh, to teach at least part of a wiring connection between the first and second transistors being formed in a metal layer other than a semiconductor layer in which the first and second transistors are formed. However, Yeh does

not teach at least a part of a wiring connection between the gate of the first transistor and one of a source or a drain of a second transistor in between either of the source or the drain of the first transistor and the other of the source or the drain of the second transistor, as positively recited in amended claim 46.

Instead, Yeh teaches that T1 is a switching transistor, while T2 is a drive transistor for OLED 218. Therefore, the transistor T2 would correspond to the first transistor of the present invention. The gate of T2, as taught by Yeh, is connected to capacitor Cs, and the source/drain of T2 is not connected to transistor T1. Unlike Yeh, the subject matter of the pending claims recites the second transistor is connected between the gate and either of the source or drain of the first transistor, and therefore, Yeh cannot reasonably be considered to teach the subject matter as positively recited in at least independent claim 46. None of the applied prior art references, as asserted by the Office Action, overcome the deficiencies, as identified above, of either Yumoto or Yeh, as applied to the subject matter of claim 46.

For at least the above reasons, the applied prior art references cannot reasonably be considered to teach, or to have suggested, the combinations of all the features recited in at least independent claim 46. Further, claims 8-10, 37-39, 47, 48 and 50-53 would also not have been suggested by the applied prior art references for at least the respective dependence of these claims, either directly or indirectly, on allowable independent claim 46, as well as for the separately patentable subject matter that each of these claims recites.

Accordingly, reconsideration and withdrawal of the rejection of claims 8-10, 37-39, 46-48 and 50-53 under 35 U.S.C. §103 as being unpatentable over the combination of applied prior art references are respectfully requested.

In view of the foregoing, it is respectfully submitted that this application is in condition for allowance. Favorable reconsideration and prompt allowance of claims are earnestly solicited.

Should the Examiner believe that anything further would be desirable in order to place this application in even better condition for allowance, the Examiner is invited to contact the undersigned at the telephone number set forth below.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/mef

Attachment:
Request for Continued Examination

Date: June 13, 2007

**OLIFF & BERRIDGE, PLC**
**P.O. Box 19928**
**Alexandria, Virginia 22320**
**Telephone: (703) 836-6400**

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

# PATENT APPLICATION FEE DETERMINATION RECORD
Effective December 8, 2004

10/299861

## CLAIMS AS FILED - PART I

| | (Column 1) | (Column 2) |
|---|---|---|
| TOTAL CLAIMS | | |
| FOR | NUMBER FILED | NUMBER EXTRA |
| TOTAL CHARGEABLE CLAIMS | minus 20= | * |
| INDEPENDENT CLAIMS | minus 3 = | * |
| MULTIPLE DEPENDENT CLAIM PRESENT | | ☐ |

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐

| RATE | FEE |
|---|---|
| BASIC FEE | |
| X$ 25= | |
| X100= | |
| +180= | |
| TOTAL | |

OR

OTHER THAN SMALL ENTITY

| RATE | FEE |
|---|---|
| BASIC FEE | |
| X$50= | |
| X200= | |
| +360= | |
| TOTAL | |

## CLAIMS AS AMENDED - PART II

### AMENDMENT A

| | (Column 1) CLAIMS REMAINING AFTER AMENDMENT | | (Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR | (Column 3) PRESENT EXTRA |
|---|---|---|---|---|
| 12-14-06 | | | | |
| Total | * 13 | Minus | ** 14 | = |
| Independent | * 1 | Minus | *** 1 | = |
| FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM | | | | ☐ |

SMALL ENTITY OR OTHER THAN SMALL ENTITY

| RATE | ADDITIONAL FEE |
|---|---|
| X$ 25= | |
| X100= | |
| +180= | |
| TOTAL ADDIT. FEE | |

OR

| RATE | ADDITIONAL FEE |
|---|---|
| X$50= | |
| X200= | |
| +360= | |
| TOTAL ADDIT. FEE | |

### AMENDMENT B

| | (Column 1) CLAIMS REMAINING AFTER AMENDMENT | | (Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR | (Column 3) PRESENT EXTRA |
|---|---|---|---|---|
| 6/13/07 | | | | |
| Total | * 13 | Minus | ** 14 | = 0 |
| Independent | * 1 | Minus | *** 1 | = 0 |
| FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM | | | | ☐ |

| RATE | ADDITIONAL FEE |
|---|---|
| X$ 25= | |
| X100= | |
| +180= | |
| TOTAL ADDIT. FEE | 0 |

OR

| RATE | ADDITIONAL FEE |
|---|---|
| X$50= | |
| X200= | |
| +360= | |
| TOTAL ADDIT. FEE | 0 |

### AMENDMENT C

| | (Column 1) CLAIMS REMAINING AFTER AMENDMENT | | (Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR | (Column 3) PRESENT EXTRA |
|---|---|---|---|---|
| Total | * | Minus | ** | = |
| Independent | * | Minus | *** | = |
| FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM | | | | ☐ |

| RATE | ADDITIONAL FEE |
|---|---|
| X$ 25= | |
| X100= | |
| +180= | |

OR

| RATE | ADDITIONAL FEE |
|---|---|
| X$50= | |
| X200= | |
| +360= | |

PTO IAP97 JUN 21 2007 PATENT & TRADEMARK OFFICE

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: E. WOODS

Filed: November 20, 2002

Docket No.: 114251

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed before the mailing date of a first Office Action on the merits after the filing of a Request for Continued Examination under 37 CFR §1.114. No certification or fee is required.

☒ 2. Each item of information contained in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart application, and this communication was not received by any individual designated in §1.56(c) more than thirty days prior to the filing of this Information Disclosure Statement.

☒ 3. An English language Abstract of one or more non-English language reference is attached. See Reference(s) 1-3.

☒ 4. A computer-generated English language translation of one or more Japanese Patent Publication cited herein has been obtained from the website of the Japanese Patent Office ([http://www.jpo.go.jp]), and is attached, but has not been reviewed for accuracy. See Reference(s) 1-3.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/mab
Date: June 21, 2007

**OLIFF & BERRIDGE, PLC**
**P.O. Box 19928**
**Alexandria, Virginia 22320**
**Telephone: (703) 836-6400**

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

OIPE IAP97 JUN 21 2007 PATENT & TRADEMARK OFFICE



| Form PTO-1449 (REV. 1/06) | US Dept. of Commerce PATENT & TRADEMARK OFFICE | ATTY DOCKET NO. 114251 | APPLICATION NO. 10/299,861 |
|---|---|---|---|
| INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary) | | APPLICANT(S) Yojiro MATSUEDA | |
| | | FILING DATE November 20, 2002 | GROUP 2628 |

U.S. PATENT DOCUMENTS

| Examiner Initials | Cite No. | Document Number | Date | Name |
|---|---|---|---|---|
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |

FOREIGN PATENT DOCUMENTS

| Examiner Initials | Cite No. | Document Number | Date | Country | With English Abstract | With English Translation |
|---|---|---|---|---|---|---|
| | 1 | JP A 2000-284722 | 10-13-2000 | JAPAN | X | X |
| | 2 | JP A 2000-267131 | 9-29-2000 | JAPAN | X | X |
| | 3 | JP A 2000-137241 | 5-16-2000 | JAPAN | X | X |
| | | | | | | |
| | | | | | | |

OTHER DOCUMENTS

| Examiner Initials | Cite No. | (Including Author, Title, Date, Pertinent Pages, etc.) |
|---|---|---|
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |

| EXAMINER | DATE CONSIDERED |
|---|---|

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: June 21, 2007

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-284722
(43)Date of publication of application : 13.10.2000

(51)Int.Cl. G09F 9/30
G02F 1/1345
G02F 1/1368
H01L 29/786

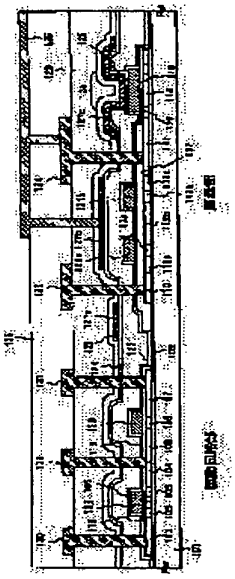
(21)Application number : 2000-015372
(22)Date of filing : 25.01.2000

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
(72)Inventor : YAMAZAKI SHUNPEI
IKEDA TAKAYUKI
FUKUNAGA KENJI

(30)Priority
Priority number : 11022298 Priority date : 29.01.1999 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide the semiconductor device equipped with a hold capacitor having necessary enough capacity with the minimum area.
SOLUTION: This semiconductor device has the hold capacitor of a pixel part formed by stacking and connecting a 1st hold capacitor and a 2nd hold capacitor one over the other in parallel. At this time, the 1st hold capacitor is formed of a 1st capacity electrode 114 formed in the same layer with a drain area 111, a 1st dielectric 118, and a 2nd capacity electrode 122 formed in the same layer with a gate wire, and the 2nd hold capacitor is formed of a 2nd capacity electrode 122, a 2nd dielectric 126, and a 3rd capacity electrode 127c formed in the same layer with a light shield film.



LEGAL STATUS
[Date of request for examination] 22.01.2007
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]

[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

* NOTICES *

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]
[Claim 1] In the semiconductor device containing the picture element part which has Pixel TFT and retention volume, and the drive circuit section which drives this picture element part The 1st retention volume and the 2nd retention volume are connected to juxtaposition, and said retention volume is formed. Said 1st retention volume It is formed with the 1st capacity electrode, the 1st dielectric, and the 2nd capacity electrode which were electrically connected to the barrier layer of said pixel TFT. Said 2nd retention volume It is the semiconductor device which is formed with said 2nd capacity electrode, the 2nd dielectric, and the 3rd capacity electrode, and is characterized by connecting electrically said 1st capacity electrode and said 3rd capacity electrode through a pixel electrode.
[Claim 2] It is the semiconductor device which said 1st dielectric or said 2nd dielectric is formed by the insulator layer containing silicon in claim 1, and is characterized by the thickness of this 1st dielectric or the 2nd dielectric being 5-50nm.
[Claim 3] The semiconductor device characterized by said 1st dielectric and the gate dielectric film of TFT contained in said drive circuit section being the same thickness in claim 1.
[Claim 4] It is the semiconductor device characterized by being the electrode which consists of semiconductor film formed in the layer as said barrier layer with said same 1st capacity electrode in claim 1, and for said 2nd capacity electrode being an electrode formed in the same layer as gate wiring, and said 3rd capacity electrode being an electrode formed in the same layer as a light-shielding film.
[Claim 5] Gate wiring prepared on both sides of the 1st dielectric to the barrier layer and this barrier layer, Opening in which this gate wiring was prepared by the 1st interlayer insulation film of a wrap, and this 1st interlayer insulation film, The light-shielding film in which this opening was prepared on both sides of said 2nd dielectric to the 2nd dielectric of a wrap, and said gate wiring, This light-shielding film Source wiring or drain wiring on the 2nd interlayer insulation film of a wrap, and this 2nd interlayer insulation film, It has a pixel electrode on the 3rd interlayer insulation film of a wrap, and this 3rd interlayer insulation film for this source wiring or drain wiring. It is the semiconductor device which said barrier layer and said gate wiring form the 1st retention volume on both sides of said 1st dielectric, and said gate wiring and said light-shielding film form the 2nd retention volume on both sides of said 2nd dielectric, and is characterized by connecting electrically said barrier layer and said light-shielding film through said pixel electrode.
[Claim 6] It is the semiconductor device which said 1st dielectric or said 2nd dielectric is formed by the insulator layer containing silicon in claim 5, and is characterized by the thickness of this 1st dielectric or said 2nd dielectric being 5-50nm.
[Claim 7] The gate dielectric film of a part of [ at least ] TFT(s) contained in claim 5 in said 1st dielectric and a drive circuit is a semiconductor device characterized by being the same thickness.
[Claim 8] It is EL display characterized by said pixel electrode being the anode plate or cathode of an EL element in any 1 of claim 1 thru/or claims 7.
[Claim 9] The electric appliance characterized by using a semiconductor device according to claim 1 to 8 for a display.

[Claim 10] The 1st process which forms a barrier layer on a substrate, and the 2nd process which forms the insulator layer containing silicon on said barrier layer, The 3rd process which a part of insulator layer containing said silicon is removed [ process ], and makes said a part of barrier layer expose, The 4th process which forms the 1st dielectric in the barrier layer exposed according to said 3rd process, The 5th process which forms gate wiring and the 2nd capacity electrode on the insulator layer containing said silicon, and said 1st dielectric, The 6th process which forms the 1st interlayer insulation film on said gate wiring and said 2nd capacity electrode, The 7th process which said a part of 1st interlayer insulation film is removed [ process ], and makes said some of 2nd capacity electrodes expose, The 8th process which forms the 2nd dielectric on the 2nd capacity electrode exposed according to said 7th process, The 9th process which forms a light-shielding film on said 1st interlayer insulation film and said 2nd dielectric, The 10th process which forms the 2nd interlayer insulation film on said light-shielding film, and the 11th process which forms source wiring or drain wiring on said 2nd interlayer insulation film, The production approach of the semiconductor device characterized by having the 12th process which forms the 3rd interlayer insulation film after said source wiring or drain wiring, and the 13th process which forms the pixel electrode electrically connected with said light-shielding film and said drain wiring on said 3rd interlayer insulation film.
[Claim 11] It is the production approach of the semiconductor device characterized by being an insulator layer containing the silicon in which said 1st dielectric or said 2nd dielectric was formed by the heat CVD method in claim 10.

---

[Translation done.]

* NOTICES *

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]
[0001]
[Field of the Invention] The invention in this application relates to the semiconductor device which has the circuit which consisted of thin film transistors (henceforth TFT). For example, it is related with the configuration of the electric appliance (electronic equipment) using the electro-optic device or semiconductor circuit of the electro-optic device represented by a liquid crystal display and EL (electroluminescence) display, a semiconductor circuit, and the invention in this application.
[0002] In addition, a semiconductor device points out the equipment at large which may function by using a semi-conductor property into this specification, and all of an electro-optic device, a semiconductor circuit, and an electric appliance are semiconductor devices.
[0003]
[Description of the Prior Art] Since a thin film transistor (henceforth TFT) can be formed on a transparence substrate, application development to an active matrix liquid crystal display (henceforth AM-LCD) has been furthered positively. Since high mobility is obtained, TFT using the crystalline substance semi-conductor film (typically polish recon film) is made possible [ making a functional circuit accumulate on the same substrate, and realizing high definition image display ].
[0004] It comes fundamentally to form the gate drive circuit (for it to also be called a gate driver circuit) which drives TFT of each pixel arranged by the picture element part (it is also called a pixel matrix circuit) as which AM-LCD displays an image, and the picture element part, the source drive circuit (for it to also be called a source driver line) which sends a picture signal to each pixel TFT, or a data drive circuit (for it to also be called a data driver line) on the same substrate. In addition, the field in which a gate drive circuit and a source drive circuit are formed is called the drive circuit section.
[0005] In recent years, the system-on panel which also prepared digital disposal circuits, such as a signal dividing network and a gamma correction circuit, on the same substrate is proposed besides these picture element parts and the drive circuit section.
[0006] However, in a picture element part and the drive circuit section, since the engine performance which a circuit requires differs, it is difficult to satisfy all circuit specifications to TFT of the same structure. That is, the present condition is that the TFT structure of satisfying to coincidence TFT (henceforth Pixel TFT) which constitutes the drive circuit section including the shift register circuit which thinks high-speed operation as important, and the picture element part which thinks a high proof-pressure property as important is not established.
[0007] Then, it is application ending about the configuration that these people change the thickness of gate dielectric film by TFT (henceforth Drive TFT) and Pixel TFT which constitute a drive circuit (JP,10-056184,A, the correspondence United States patent number 08th / 862,895). Specifically, the gate dielectric film of Drive TFT is made thinner than the gate dielectric film of Pixel TFT.
[0008]
[Problem(s) to be Solved by the Invention] In the invention in this application, the improvement about a picture element part is further made on the basis of the configuration indicated by the above-mentioned

official report. The structure for specifically forming the retention volume which can secure large capacity in a small area is offered.
[0009] And according to a function, each circuit of the electro-optic device represented by AM-LCD is formed as it is also at TFT of suitable structure, and let it be a technical problem to offer the electro-optic device which has high dependability. As a result, let it be a technical problem to raise the dependability of the semiconductor device (electric appliance) which has such an electro-optic device as a display.
[0010]
[Means for Solving the Problem] In the semiconductor device with which the configuration of invention indicated on these specifications contains the picture element part which has Pixel TFT and retention volume, and the drive circuit section which drives this picture element part The 1st retention volume and the 2nd retention volume are connected to juxtaposition, and said retention volume is formed. Said 1st retention volume It is formed with the 1st capacity electrode, the 1st dielectric, and the 2nd capacity electrode which were electrically connected to the barrier layer of said pixel TFT. Said 2nd retention volume It is formed with said 2nd capacity electrode, the 2nd dielectric, and the 3rd capacity electrode, and said 1st capacity electrode and said 3rd capacity electrode are characterized by connecting electrically through a pixel electrode.
[0011] In the above-mentioned configuration, the insulator layer which contains silicon as said 1st dielectric or said 2nd dielectric can be used, and, as for the thickness of this 1st dielectric or the 2nd dielectric, it is desirable to be referred to as 5-50nm (preferably 10-30nm).
[0012] Moreover, in the above-mentioned configuration, it can stop that a numerical aperture (area which can be used for image display in a transparency mold liquid crystal display comparatively) falls by using gate wiring (gate wiring which is not chosen) of the next door of gate wiring (selected gate wiring) with which the signal was given as said 2nd capacity electrode.
[0013] Moreover, gate wiring with which the configuration of other invention was prepared on both sides of the 1st dielectric to the barrier layer and this barrier layer, Opening in which this gate wiring was prepared by the 1st interlayer insulation film of a wrap, and this 1st interlayer insulation film, The light-shielding film in which this opening was prepared on both sides of said 2nd dielectric to the 2nd dielectric of a wrap, and said gate wiring, This light-shielding film Source wiring or drain wiring on the 2nd interlayer insulation film of a wrap, and this 2nd interlayer insulation film, It has a pixel electrode on the 3rd interlayer insulation film of a wrap, and this 3rd interlayer insulation film for this source wiring or drain wiring. Said barrier layer and said gate wiring form the 1st retention volume on both sides of said 1st dielectric, said gate wiring and said light-shielding film form the 2nd retention volume on both sides of said 2nd dielectric, and said barrier layer and said light-shielding film are characterized by connecting electrically through said pixel electrode.
[0014] Also in the above-mentioned configuration, the insulator layer which contains silicon with a thickness of 5-50nm (preferably 10-30nm) as the 1st dielectric or the 2nd dielectric can be used.
[0015] Moreover, in the field which forms retention volume, the gate dielectric film of Pixel TFT is etched alternatively, and is removed. Then, a 5-50nm (preferably 10-30nm) thin insulator layer (the 1st dielectric) is newly formed in the barrier layer front face of the field. That is, the thickness of the gate dielectric film of Pixel TFT is thicker than the thickness of the 1st dielectric.
[0016] Furthermore, the 1st interlayer insulation film is also alternatively etched in the field which forms retention volume. And the insulator layer which newly contains the silicon of 5-50nm (preferably 10-30nm) thickness is formed, and it considers as the 2nd dielectric.
[0017] Moreover, the 1st process at which the configuration of other invention forms a barrier layer on a substrate and the 2nd process which forms the insulator layer containing silicon on said barrier layer, The 3rd process which a part of insulator layer containing said silicon is removed [ process ], and makes said a part of barrier layer expose, The 4th process which forms the 1st dielectric in the barrier layer exposed according to said 3rd process, The 5th process which forms gate wiring and the 2nd capacity electrode on the insulator layer containing said silicon, and said 1st dielectric, The 6th process which forms the 1st interlayer insulation film on said gate wiring and said 2nd capacity electrode, The 7th

process which said a part of 1st interlayer insulation film is removed [ process ], and makes said some of 2nd capacity electrodes expose, The 8th process which forms the 2nd dielectric on the 2nd capacity electrode exposed according to said 7th process, The 9th process which forms a light-shielding film on said 1st interlayer insulation film and said 2nd dielectric, The 10th process which forms the 2nd interlayer insulation film on said light-shielding film, and the 11th process which forms source wiring or drain wiring on said 2nd interlayer insulation film, It is characterized by having the 12th process which forms the 3rd interlayer insulation film after said source wiring or drain wiring, and the 13th process which forms the pixel electrode electrically connected with said light-shielding film and said drain wiring on said 3rd interlayer insulation film.

[0018] As for said 1st dielectric or said 2nd dielectric, in the above-mentioned configuration, it is desirable to use the insulator layer containing the silicon formed by the heat CVD method (typically reduced pressure heat CVD method). The 1st dielectric and the 2nd dielectric are because thickness is as thin as 5-50nm, so it is desirable to use the quality film with a heat CVD method.

[0019]

[Embodiment of the Invention] The operation gestalt of the invention in this application is explained using drawing 1 . Drawing 1 shows the sectional view of AM-LCD which really formed the drive circuit section and a picture element part on the same substrate. In addition, a CMOS circuit is shown as a basic circuit which constitutes the drive circuit section here, and TFT of double-gate structure is shown as a pixel TFT. Of course, it is good also as multi-gate structures, such as not only double-gate structure but triple gate structure, and single gate structure.

[0020] In drawing 1 , 101 is a substrate which has thermal resistance and should just use a quartz substrate, a silicon substrate, a ceramic substrate, and a metal substrate (typically stainless steel substrate). It does not matter when using which substrate, even if it prepares the substrate film (insulator layer which uses silicon as a principal component preferably) if needed.

[0021] 102 is the oxidation silicon film prepared as substrate film, and the semi-conductor film used as the barrier layer of Drive TFT, the barrier layer of Pixel TFT, and the lower electrode of retention volume is formed on it. In addition, into this specification, "electrodes" is some "wiring" and points out the part which performs electrical installation with other wiring, or the part which intersects the semi-conductor film. Therefore, for convenience, although "wiring" and an "electrode" are used properly, the "electrode" shall always be included in the **** "wiring" of explanation.

[0022] In drawing 1 , the barrier layer of Drive TFT is formed in the source field 103 of the N channel mold TFT (henceforth NTFT), the drain field 104, the LDD (light doped drain) field 105 and the channel formation field 106, and a list in the source field 107, the drain field 108, and the channel formation field 109 of the P channel mold TFT (henceforth PTFT).

[0023] Moreover, the barrier layer of Pixel TFT (here, NTFT is used.) is formed in the source field 110, the drain field 111, the LDD fields 112a-112c, and the channel formation fields 113a and 113b. Furthermore, the semi-conductor film (semi-conductor film formed in the same layer as the drain field 111) extended from the drain field 111 is used as a lower electrode (the 1st capacity electrode) 114 of bottom retention volume. In addition, the 1st capacity electrode 114 should just be electrically connected to the drain field 111.

[0024] In addition, the 1st capacity electrode carries out induction of the carrier to the electrode which counters since it is the semi-conductor film in fact, and is made to function on it as an electrode by applying a predetermined electrical potential difference. However, in this specification, for convenience, it is dealt with as an electrode and made the thing of explanation called the 1st capacity electrode.

[0025] And although a barrier layer and the 1st capacity electrode are covered and gate dielectric film is formed, in the invention in this application, the gate dielectric film 115 (NTFT side) and 116 (PTFT side) of Drive TFT is formed more thinly than the gate dielectric film 117 of Pixel TFT. typical -- the thickness of gate dielectric film 115 and 116 -- 5-50nm (preferably 10-30nm) -- carrying out -- the thickness of gate dielectric film 117 -- 50-200nm (preferably 100-150nm) -- then, it is good.

[0026] In addition, the gate dielectric film of Drive TFT does not need to be one kind of thickness. That is, the drive TFT which has a different insulator layer in a drive circuit may exist. In that case, at least

three or more kinds of TFT(s) which have different gate dielectric film on the same substrate will exist.
[0027] Moreover, the dielectric (the 1st dielectric) 118 of bottom retention volume may be formed by the gate dielectric film 115 and 116 of Drive TFT, and the insulator layer formed in coincidence. That is, it is good also as a configuration in which it was formed by the gate dielectric film of Drive TFT, and the same insulator layer of the thickness with the same dielectric of retention volume. Of course, although gate dielectric film 117 may be made to extend as it is and may be used as the 1st dielectric 118, since a capacity with bigger using the thin insulator layer of thickness can be obtained as shown in drawing 1 , it is advantageous.
[0028] In addition, it can be said that the thickness of the gate dielectric film of Drive TFT differs from the thickness of the 1st dielectric, and they differ from the thickness of the gate dielectric film of Pixel TFT. For example, it is the case where have gate dielectric film whose drive TFT (circuit which needs especially high-speed operation) is 5-10nm and whose pixel TFT is 100-150nm, and the dielectric of retention volume calls it 30-50nm.
[0029] Thus, a capacity can be earned by making the dielectric of retention volume thin, without enlarging area which forms capacity. There is no configuration of this retention volume in above-mentioned JP,10-056184,A. Moreover, the advantage of not increasing the making process of TFT is acquired.
[0030] Next, on gate dielectric film 115-117, the gate wiring 119 and 120 of Drive TFT and the gate wiring 121a and 121b of Pixel TFT are formed. Moreover, on the 1st dielectric 118, the up electrode (the 2nd capacity electrode) 122 of bottom retention volume is formed at coincidence. That is, the 2nd capacity electrode 122 is formed in the same layer as the gate wiring 119, 120, 121a, and 121b. At this time, bottom retention volume (the 1st retention volume) is formed with the 1st capacity electrode 114, the 1st dielectric 118, and the 2nd capacity electrode 122.
[0031] In addition, as for this 2nd capacity electrode 122, it is desirable to serve with gate wiring (however, for gate wiring which is not chosen to be used) of Pixel TFT. Thereby, decline in the numerical aperture of a picture element part can be suppressed. In this case, the 1st retention volume is formed with gate wiring prepared on both sides of the 1st dielectric 118 to the barrier layer and the barrier layer.
[0032] Moreover, the electric conduction film which has the thermal resistance which bears the temperature of 800-1150 degrees C (preferably 900-1100 degrees C) as a formation ingredient of the gate wiring 119-121 and the 2nd capacity electrode 122 is used.
[0033] The silicide film which the silicon film (for example, a phosphorus dope silicone film, a boron dope silicone film, etc.) and metal membranes (for example, the tungsten film, the tantalum film, molybdenum film, titanium film, etc.) which have conductivity are sufficient as, and silicide-ized said metal membrane typically, and the nitrided nitrides (the tantalum nitride film, nitriding tungsten film, titanium nitride film, etc.) are sufficient. Moreover, a laminating may be carried out, combining these freely.
[0034] Moreover, when using said metal membrane, in order to prevent oxidation of a metal membrane, it is desirable to consider as a laminated structure with the silicon film. Moreover, the structure which covered the metal membrane by the insulator layer containing silicon in the semantics of antioxidizing is effective. As an insulator layer containing silicon, the oxidation silicon film, a silicon nitride film, and an oxidation silicon nitride film (or it is also called the nitriding oxidation silicon film) can be used. In addition, an oxidation silicon nitride film is an insulator layer which contains oxygen, nitrogen, and silicon at a predetermined rate. In drawing 1 , a silicon nitride film is prepared as a protective coat 123, and oxidation of gate wiring is prevented.
[0035] In addition, when forming gate wiring with the above-mentioned ingredient, the insulator layer which contains silicon in the maximum upper layer at the time of membrane formation can be prepared, the insulator layer and the above-mentioned ingredient containing silicon can be etched by package, and a gate circuit pattern can also be formed. In this case, only the top face of gate wiring will be in the condition of having been protected by the insulator layer containing silicon.
[0036] Next, 124 is the 1st interlayer insulation film and is formed by the insulator layer (a monolayer or

laminating) containing silicon. Opening 125 is formed on the 2nd capacity electrode 122, this 1st interlayer insulation film 124 covers opening 125, and the dielectric (the 2nd dielectric) 126 of top retention volume is formed. The insulator layer (a monolayer or laminating) which contains silicon which was mentioned above as the 2nd dielectric 126 can be used. Moreover, the 2nd capacity electrode 122 functions also as a lower electrode of top retention volume.
[0037] Next, on the 2nd dielectric 126, the light-shielding films 127a-127c which received the 2nd capacity electrode (there is also a case of gate wiring), and were prepared on both sides of the 2nd dielectric 126 are formed. These light-shielding films 127a-127c are same electric potential, and the part shown especially by 127c functions as an up electrode (the 3rd capacity electrode) of top retention volume. That is, 3rd capacity electrode 127c is formed in the same layer as a light-shielding film. Consequently, top retention volume (the 2nd retention volume) is formed by the 2nd capacity electrode 122, the 2nd dielectric 126, and 3rd capacity electrode 127c.
[0038] On it, the passivation film 128 and the 2nd interlayer insulation film 129 are formed, and the source wiring 130 and 131 of Drive TFT, the drain wiring 132 and the source wiring 133 of Pixel TFT, and the drain wiring 134 are formed through a contact hole on the 2nd interlayer insulation film 129. On it, the 3rd interlayer insulation film 135 of a wrap is formed in those wiring, and the pixel electrode 136 is formed on it.
[0039] As the 2nd interlayer insulation film 129 or the 3rd interlayer insulation film 135, the resin film with small specific inductive capacity is desirable. As resin film, the polyimide film, the acrylic film, the polyamide film, the BCB (benz-cyclo-butene) film, etc. can be used.
[0040] Moreover, this pixel electrode 136 is connected to light-shielding film 127b (127a and 127c are sufficient) and the drain wiring 134 of Pixel TFT through a contact hole. That is, it connects electrically through the drain wiring 134, the drain field 111 and the 1st capacity electrode 114, and a pixel electrode, and light-shielding films 127a-127c become same electric potential.
[0041] Moreover, what is necessary is just to use a metal membrane with the high reflection factor represented by the aluminum film in the transparence electric conduction film represented by the ITO film as a pixel electrode 136 if transparency mold AM-LCD is produced if reflective mold AM-LCD is produced.
[0042] In addition, although the pixel electrode 136 is electrically connected with the drain field 111 of Pixel TFT through the drain electrode 134 in drawing 1 , it is good also as structure which the pixel electrode 136 and the drain field 111 connect directly.
[0043] As mentioned above, at drawing 1 , bottom retention volume (the 1st retention volume) is formed with the 2nd capacity electrode 122 which consists of the same layer as the 1st capacity electrode 114, the 1st dielectric 118, and gate wiring which consist of semi-conductor film of the same presentation as a barrier layer, and top retention volume (the 2nd retention volume) is formed by 3rd capacity electrode 127c which consists of the same layer as the 2nd capacity electrode 122, the 2nd dielectric 126, and a light-shielding film.
[0044] And since the 1st retention volume and the 2nd retention volume are connected to juxtaposition, retention volume with a very big capacity is realizable in a small area. Moreover, a capacity can be further increased by using an insulator layer very thin as the 1st dielectric 118 or the 2nd dielectric 126.
[0045] Suppose that still more detailed explanation is given about the invention in this application which becomes with the above configuration as it is also at the example shown below.
[0046]
[Example] [Example 1] this example explains the making process for realizing structure of drawing 1 explained with "the gestalt of implementation of invention." Drawing 2 -5 are used for explanation.
[0047] First, the quartz substrate 201 is prepared as a substrate, and membranes are formed continuously, not carrying out atmospheric-air release of the oxidation silicon film 202 and the amorphous silicon film 203 of 20nm thickness on it. It can prevent impurities, such as boron contained in atmospheric air in the following table side of the amorphous silicon film, adsorbing by carrying out like this. ( Drawing 2 (A))
[0048] In addition, although the amorphous silicon (amorphous silicon) film is used in this example, you

may be other semi-conductor film. The nature silicon (micro crystal silicon) film of a microcrystal is sufficient, and the amorphous silicon germanium film is sufficient. Moreover, thickness also takes a next thermal oxidation process into consideration, and it is formed so that it may finally be set to 25-40nm.
[0049] Next, the amorphous silicon film is crystallized. In this example, the technique indicated by JP,9-312260,A is used as a crystallization means. The technique indicated by this official report crystalizes the amorphous silicon film with the solid phase growth using the element chosen from nickel, cobalt, palladium, germanium, platinum, iron, and copper as a catalyst element which promotes crystallization.
[0050] In this example, nickel is chosen as a catalyst element and the layer (not shown) containing nickel is formed on the amorphous silicon film 203, and 550-degree-C heat treatment of 4 hours is performed, and it crystallizes. And the crystalline substance silicon (polish recon) film 204 is obtained. ( Drawing 2 (B))
[0051] In addition, the impurity element (Lynn or boron) for controlling the threshold electrical potential difference of TFT to the crystalline substance silicon film 204 here may be added. Lynn or boron may be had good control of striking in any direction, and only which or one of the two may be added. Moreover, if Lynn is beforehand added to the field which finally serves as the 1st capacity electrode of retention volume in this case, since it will become easy to use behind as an electrode, it is desirable.
[0052] Next, the mask film 205 which becomes by the oxidization silicon film of 100nm thickness is formed on the crystalline substance silicon film 204, and the resist masks 206a and 206b are formed on it. Furthermore, the mask film 205 is etched by using the resist masks 206a and 206b as a mask, and Openings 207a and 207b are formed.
[0053] The element (this example Lynn) which belongs to 15 groups of a periodic table in this condition is added, and the phosphorus dope fields (Lynn addition field) 208a and 208b are formed. In addition, the concentration of Lynn to add has 5x1018 - desirable 1x1020 atoms/cm3 (preferably 1x1019 - 5x1019 atoms/cm3). However, the concentration of Lynn which should be added is not limited to this density range, in order to change with the area of a phosphorus dope field further, the temperature of a next gettering process, time amount, and. ( Drawing 2 (C))
[0054] Next, the resist masks 206a and 206b are removed, 450-650 degrees C (preferably 500-600 degrees C) heat treatment is added for 2 to 16 hours, and gettering of the nickel which remains in the crystalline substance silicon film is performed. In order to acquire a gettering operation, the temperature of about **50 degrees C is required from the maximum temperature of the heat history, but since heat treatment for crystallization is performed at 550-600 degrees C, a gettering operation can fully be acquired by 500-650-degree C heat treatment.
[0055] In this example, by adding 600 degrees C and heat treatment of 8 hours, nickel moves in the direction of an arrow head (refer to drawing 2 (D)), and gettering is carried out to the phosphorus dope fields 208a and 208b. In this way, the concentration of the nickel which remains on the crystalline substance silicon film shown by 209a and 209b is reduced by three or less (preferably three or less 1x1016 atoms/cm) 2x1017 atoms/cm. However, this concentration is as a result of [ by mass secondary ion analysis (SIMS) ] measurement, and the concentration not more than this cannot be checked in the present condition with the relation of a measurement limitation. ( Drawing 2 (D))
[0056] In this way, if the gettering process of nickel is completed, patterning of the crystalline substance silicon film 209a and 209b will be carried out, and the barrier layer 211 of the 210 pixel barrier layer (semi-conductor film) TFT of a CMOS circuit will be formed. As for the Lynn addition field which captured nickel, removing completely is desirable in that case.
[0057] And an insulator layer (not shown) is formed by the plasma-CVD method or the spatter, patterning is carried out, and gate dielectric film 212 is formed. This gate dielectric film is an insulator layer which will function as gate dielectric film of Pixel TFT, and thickness may be 50-200nm. In this example, the oxidation silicon film of 75nm thickness is used. Moreover, the insulator layer containing other silicon may be used in a monolayer or a laminating. ( Drawing 3 (A))
[0058] In addition, at this time, on Pixel TFT, as it leaves gate dielectric film 212, it is formed, and the field top used as a CMOS circuit and retention volume is removed. In addition, although only the CMOS circuit explains in this example, it removes on the field which becomes a part of drive circuit section

(circuit group of which especially high-speed operation is required) in fact. Therefore, if it restricts when it is the circuit where the high voltage is impressed to gate dielectric film like a buffer circuit, it is desirable to leave the insulator layer of the same thickness as gate dielectric film 212.
[0059] In this way, where a part of barrier layer is exposed, the temperature of 800-1150 degrees C (preferably 900-1100 degrees C) performs the heat treatment process of 15 minutes - 8 hours (preferably 30 minutes - 2 hours) under an oxidizing atmosphere (thermal oxidation process). In this example, 950-degree-C heat treatment process for 30 minutes is performed in an oxygen ambient atmosphere.
[0060] In addition, as an oxidizing atmosphere, although a dry oxygen ambient atmosphere or a wet oxygen ambient atmosphere is sufficient, the dry oxygen ambient atmosphere is suitable for reduction of the crystal defect in the semi-conductor film. Moreover, the ambient atmosphere which included the halogen in the oxygen ambient atmosphere is sufficient. Since the effectiveness of removing nickel is also expectable at the thermal oxidation process by the ambient atmosphere in which this halogen was included, it is effective.
[0061] In this way, the 5-50nm (preferably 10-30nm) oxidation silicon film (thermal oxidation film) 213 and 214 is formed in a part (barrier layer exposed by removing gate dielectric film) without gate dielectric film 212 by performing a thermal oxidation process. Finally, the oxidation silicon film 213 functions as gate dielectric film of a CMOS circuit, and the oxidation silicon film 214 functions as the 1st dielectric of the 1st retention volume.
[0062] Moreover, oxidation reaction advances also in the interface of the gate dielectric film 212 which becomes by the oxidation silicon film which remained in Pixel TFT, and the semi-conductor film 211 under it. Therefore, finally the thickness of the gate dielectric film 215 of Pixel TFT is set to 50-200nm (preferably 100-150nm). In this example, it becomes the thickness of 80nm.
[0063] In addition, although the oxidation silicon film 213 and 214 is formed by the oxidizing [ thermally ] method in this example, the thin oxidation silicon film may be formed with a reduced pressure heat CVD method. In that case, membrane formation temperature should just use a silane and oxygen as membrane formation gas around 800 degrees C.
[0064] In this way, if a thermal oxidation process is ended, the gate wiring 216 (NTFT side) of a CMOS circuit, the gate wiring 218a and 218b of 217 (PTFT side) pixel TFT, and the 2nd capacity electrode 219 will be formed next. In addition, although the gate wiring 218a and 218b has indicated-two gate wiring since Pixel TFT is double-gate structure, it is the same wiring in fact.
[0065] In addition, as for the 2nd capacity electrode 219, it is desirable to serve with gate wiring (gate wiring which is not chosen) of the next pixel. Of course, it is also possible to form wiring for capacity formation (capacity electrode) in gate wiring and parallel separately.
[0066] Moreover, in this example, a cascade screen called the silicon film (what gave conductivity) / nitriding tungsten film / tungsten film (from a lower layer to or the silicon film / tungsten silicide film) is used from a lower layer as the gate wiring 216-218 and the 2nd capacity electrode 219. Of course, it cannot be overemphasized that it is also possible to use other electric conduction film explained with "the gestalt of implementation of invention." Moreover, in this example, the thickness of each gate wiring may be 250nm.
[0067] In addition, in this example, the silicon film of the lowest layer is formed using a reduced pressure heat CVD method. 5-50nm and since the gate dielectric film of a CMOS circuit is thin, when a spatter and a plasma-CVD method are used, it has a possibility of giving a damage to the semi-conductor film (barrier layer) depending on conditions. Therefore, the heat CVD method which can form membranes by chemical gaseous phase reaction is desirable.
[0068] At this time, the 1st retention volume is formed with a barrier layer 211 (a part serves as the 1st capacity electrode behind), the 1st dielectric 214, and the 2nd capacity electrode.
[0069] Next, the gate wiring 216-218 and the 2nd capacity electrode 219 are covered, and the SiNxOy (however typically x= 0.5-2, y= 0.1-0.8) film of 25-50nm thickness is formed as a protective coat 220. In case it removes the sidewall which becomes behind by the silicon film, this protective coat 220 functions as an etching stopper, at the same time it prevents oxidization of the gate wiring 216-218. In addition, it is effective and effective in reduction of a pinhole to perform membrane formation in 2 steps.

[0070] At this time, it is effective to perform plasma treatment using the gas (this example ammonia gas) which contains hydrogen as pretreatment which forms a protective coat 220. Since activated hydrogen (it excited) is shut up by the plasma in a barrier layer (semi-conductor film), hydrogen termination is effectively performed by this pretreatment by it.
[0071] Furthermore, if nitrous oxide gas is added in addition to the gas containing hydrogen, the front face of a processed object is washed by the generated moisture, and contamination by the boron contained especially in atmospheric air can be prevented effectively.
[0072] Of course, the oxidation silicon film, silicon nitride films, or those cascade screens can be used instead of the SiNxOy film as a protective coat 220.
[0073] In this way, the condition of drawing 3 (B) is acquired. Next, the amorphous silicon film (not shown) is formed, anisotropic etching by chlorine-based gas is performed, and sidewalls 221-224 are formed. If sidewalls 221-224 are formed, the resist mask 225 will be formed on gate wiring of Pixel TFT. The location of the joint of the LDD field of Pixel TFT and a source field (or drain field) is decided with this resist mask 225. Substantially, the die length of a LDD field is decided.
[0074] In addition, although the silicon film is used as a formation ingredient of a sidewall in this example, the oxidation silicon film and an obstetrics silicon nitride film may be used, and if the oxidation silicon film and an oxidation silicon nitride film are used as a protective coat 220, it will not matter even if it uses a silicon nitride film.
[0075] Next, the addition process of the element (this example Lynn) which belongs to 15 groups of a periodic table to the semi-conductor film 210 and 211 is performed. At this time, the gate wiring 216-218, the 2nd capacity electrode 219, sidewalls 221-224, and the resist mask 225 turn into a mask, and impurity ranges 226-230 are formed in self align. The concentration of Lynn added by impurity ranges 226-230 is adjusted so that it may become 5x1019 - 1x1021 atoms/cm3. The Lynn concentration at this time is expressed with (n+) in this specification. ( Drawing 3 (C))
[0076] The thickness of gate dielectric film may divide this process in a thin part and a thick part, may perform it, and it may be performed to coincidence. Moreover, the addition process of Lynn may use the ion implantation method for performing mass separation, and may use the plasma doping method do not perform mass separation. Moreover, as for acceleration voltage, the conditions of a dose, etc., an operation person should just set up an optimum value.
[0077] In this way, if the condition of drawing 3 (C) is acquired, the resist mask 225 and sidewalls 221-224 will be removed, and the addition process of Lynn will be performed again. This process is added with a dose lower than the addition process of previous Lynn. In this way, like the point, sidewalls 221-224 and the resist mask 225 turn into a mask, and a low concentration impurity range is formed in the field to which Lynn was not added. The concentration of Lynn added by this low concentration impurity range is adjusted so that it may become 5x1017 - 5x1018 atoms/cm3. The Lynn concentration at this time is expressed with (n-) in this specification. ( Drawing 3 (D))
[0078] Of course, the thickness of gate dielectric film may carry out by dividing in a thin part and a thick part, and this process may also be performed to coincidence. Moreover, the addition process of Lynn may use the ion implantation method for performing mass separation, and may use the plasma doping method do not perform mass separation. Moreover, as for acceleration voltage, the conditions of a dose, etc., an operation person should just set up an optimum value.
[0079] However, in order for this low concentration impurity range to function as a LDD field, it is necessary to perform concentration control of Lynn carefully. So, in this example, it considers as a setup as concentration distribution (concentration profile) of added Lynn shows to drawing 6 using the plasma doping method.
[0080] As for the gate dielectric film 601 by the side of a drive circuit, and the gate dielectric film 602 by the side of a picture element part, thickness differs in drawing 6 . Therefore, concentration distribution of the depth direction of Lynn added differs.
[0081] In this example, the addition conditions (acceleration voltage etc.) of Lynn are adjusted so that it may have the concentration distribution which has the concentration distribution shown by the drive

circuit side 603, and is shown by the picture element part side 604. In this case, although concentration distribution of the depth direction differs, the Lynn concentration of the impurity ranges (here low concentration impurity range) 605 and 606 formed as a result becomes almost equal.
[0082] In addition, the process shown in this drawing 6 can be used in all the impurity addition processes indicated in this specification.
[0083] The source field 231 of NTFT which forms a CMOS circuit according to this process, the LDD field 232, and the channel formation field 233 demarcate. Moreover, the source field 234 of Pixel TFT, the drain field 235, the LDD fields 236a-236c, and the channel formation fields 237a and 237b demarcate. Furthermore, the 1st capacity electrode 238 demarcates.
[0084] In addition, although only the low concentration impurity range (n-field) is formed among the channel formation fields 237a and 237b in this example, a clearance may be established in the resist mask 225 and a high concentration impurity range (n+ field) may be formed in the center of low concentration impurity range 236b.
[0085] In the case of this example, the 1st capacity electrode 238 is formed in the semiconductor region of the same presentation as the channel formation fields 237a or 237b, and serves as genuineness genuineness or substantially. In addition, you may think that the field which had Lynn or boron intentionally added by the purpose which controls a threshold electrical potential difference is genuineness substantially.
[0086] In addition, although this example shows the example which forms a LDD field using a sidewall, it is also possible to form a LDD field by the approach using the usual resist mask. In that case, although the number of masks (said to be a routing counter) increases, there is an advantage that the width of face (die length) of a LDD field and the degree of freedom of a design of a formation location increase.
[0087] Moreover, the low concentration impurity range 239 is formed in the field used as PTFT of a CMOS circuit as well as NTFT.
[0088] Next, it hides except the field used as PTFT of a CMOS circuit with the resist masks 240a and 240b, and the addition process of the element (this example boron) belonging to 13 groups of the periodic table is performed. This process is added with a dose which forms a high-concentration impurity range rather than already added Lynn. Specifically, it adjusts so that boron may be added by the concentration of 1x1020 - 3x1021 atoms/cm3. The boron concentration at this time is expressed with (p++) in this specification. Consequently, a conductivity type is reversed with boron and all the impurity ranges that present the N type conductivity currently formed in the field used as PTFT turn into an impurity range which presents P type conductivity. ( Drawing 4 (A))
[0089] Of course, this process may also use the ion implantation method for performing mass separation, and may use the plasma doping method do not perform mass separation. Moreover, as for acceleration voltage, the conditions of a dose, etc., an operation person should just set up an optimum value.
[0090] The source field 241 of PTFT which forms a CMOS circuit according to this process, the drain field 242, and the channel formation field 243 demarcate. Moreover, the drain field 244 of NTFT of a CMOS circuit demarcates.
[0091] In this way, if it finishes forming all impurity ranges, the resist masks 240a and 240b will be removed. And the heat treatment process of 20 minutes - 12 hours is performed in a 750-1150-degree C temperature requirement. At this example, heat treatment of 2 hours is performed into an inert atmosphere at 950 degrees C. ( Drawing 4 (B))
[0092] At this process, a LDD field is extended to the inside (the direction of a channel formation field), and structure with which a LDD field and gate wiring lapped in three dimensions is realized at the same time it activates Lynn or boron added by each impurity range.
[0093] That is, in the LDD field 245 of a CMOS circuit, Lynn included to the LDD field 245 is spread to the direction of the channel formation field 246. Consequently, the LDD field 245 will be in the condition of having lapped with the gate wiring 216 in three dimensions. Such structure is very effective when preventing degradation by hot carrier impregnation.
[0094] Similarly, in PTFT of a CMOS circuit, the source field 247 and the drain field 248 were spread in

the direction of the channel formation field 249, and it has lapped with the gate wiring 217. Moreover, in Pixel TFT, the LDD fields 250a-250c were spread in the direction of the channel formation fields 251a and 251b, respectively, and it has lapped with the gate wiring 218a and 218b, respectively.
[0095] The diffusion length of this impurity is controllable by the temperature and time amount of heat treatment. Therefore, the distance (die length) to which a LDD field (or the source field and drain field of PTFT) laps with gate wiring can be controlled freely. In this example, it adjusts so that the distance of a lap may be set to 0.05-1 micrometer (preferably 0.1-0.3 micrometers).
[0096] Moreover, the 1st capacity electrode 252 demarcates according to this process. If the impurity element which gives a conductivity type to the 1st capacity electrode 252 is contained, it will activate at this time.
[0097] In addition, the protective coat 223 on gate wiring formed by this example is formed in order to prevent gate wiring oxidizing at this thermal activation process. However, it is not necessary to necessarily form this protective coat 223 immediately after formation of gate wiring. That is, the same effectiveness can be acquired, even if it prepares a protective coat in the maximum upper layer and performs the thermal activation process of an impurity element after that, after forming the 1st interlayer insulation film formed after this.
[0098] In this way, if the condition of drawing 4 (B) is acquired, the 1st interlayer insulation film 253 will be formed. In this example, the oxidation silicon film of 1-micrometer thickness formed by the plasma-CVD method is used. A hydrogen treating is performed here. This process is a process which puts the whole substrate to the hydrogen excited with the plasma or heat (activation). the case where the temperature of a hydrogen treating is excited with heat -- 350-450 degrees C (preferably 380-420 degrees C) -- then, it is good.
[0099] If a hydrogen treating is completed, the 1st interlayer insulation film 253 will be removed on the 2nd capacity electrode 219, and opening 254 will be formed so that some 2nd capacity electrodes 219 may be made to expose. Next, the 5-50nm (preferably 10-30nm) oxidation silicon film 255 is formed on the exposed 2nd capacity electrode 219. The part shown by 256 in this oxidation silicon film 255 functions as a dielectric (the 2nd dielectric) of top retention volume. In this way, the condition of drawing 4 (C) is acquired.
[0100] In addition, in this example, the oxidation silicon film 255 is formed with a reduced pressure heat CVD method. It is desirable to form the oxidation silicon film (dielectric) quality as 800 degrees C for membrane formation temperature, using a silane (SiH4) and nitrous oxide (N2O) as membrane formation gas.
[0101] Next, the light-shielding films 257a-257c which become by the titanium film of 100nm thickness are formed. At this time, the light-shielding film shown especially by 257c functions as the 3rd capacity electrode. That is, the 2nd retention volume is formed by the 2nd capacity electrode 219, the 2nd dielectric 256, and 3rd capacity electrode 257c.
[0102] In addition, in the case of this example, light-shielding films 257a-257c are illustrated by the separate pattern on the drawing, but it is the same pattern in fact. That is, opening only of the part which forms the contact hole at the time of forming source wiring and drain wiring behind is carried out.
[0103] In this way, if light-shielding films 257a-257c are formed, the passivation film 258 will be formed. As passivation film 258, the cascade screen of a silicon nitride film, an oxidation silicon nitride film, the nitriding oxidation silicon film, or the these insulator layers and the oxidation silicon film can be used. In this example, the silicon nitride film of 300nm thickness is used as passivation film.
[0104] In addition, in this example, plasma treatment using ammonia gas as pretreatment which forms the passivation film 258 which consists of a silicon nitride film is performed, and the passivation film 258 is formed as it is. The hydrogen (it excited) activated with the plasma by this pretreatment is shut up with the passivation film 258. Furthermore, if nitrous oxide gas is added in addition to the gas containing hydrogen, the front face of a processed object is washed by the generated moisture, and contamination by the boron contained especially in atmospheric air can be prevented effectively.
[0105] In this way, if the passivation film 258 is formed, an about 400-420-degree C heat treatment process will be performed here. An inert atmosphere is sufficient as a processing ambient atmosphere,

and it may be an ambient atmosphere containing hydrogen. At this process, the hydrogen emitted from the passivation film 258 and the hydrogen contained so much in the 1st interlayer insulation film 253 by the hydrogenation process before that are spread downward (as for above, the passivation film 258 serves as a blocking layer), and hydrogen termination of the barrier layer is carried out. Consequently, it becomes possible to inactivate the azygos joint hand in a barrier layer efficiently.

[0106] If this hydrogen treating is completed, the acrylic film of 1-micrometer thickness will be formed as the 2nd interlayer insulation film 259. And after forming a contact hole, the source wiring 263 of Pixel TFT and the drain wiring 264 are formed in the source wiring 260 and 261 of a CMOS circuit and the drain wiring 262, and a list. These wiring is formed by the cascade screen which sandwiched the electric conduction film which uses aluminum as a principal component by the titanium film. ( Drawing 5 (A))

[0107] In this way, if the condition of drawing 5 (A) is acquired next, the acrylic film of 1-micrometer thickness will be formed again, and the 3rd interlayer insulation film 265 will be formed. And a contact hole is formed at coincidence on light-shielding film 257b and the drain wiring 264 of Pixel TFT, and the pixel electrode 266 which becomes by the transparence electric conduction film (typically ITO film) is formed. ( Drawing 5 (B))

[0108] At this time, it is desirable to make connection between a light-shielding film 257 and the pixel electrode 266 on Pixel TFT. By doing so, it can suppress spoiling the numerical aperture of a pixel field by the contact hole. Moreover, drain wiring and a light-shielding film become same electric potential through the pixel electrode 266 in this way.

[0109] Moreover, at this process, the depth of the contact hole formed on light-shielding film 257b and the drain wiring 264 differs. However, since a front face is both the titanium film, light-shielding film 257b and the drain wiring 264 can obtain the 2nd and 3rd interlayer insulation film which becomes by the resin film, and sufficient selection ratio. Therefore, about forming a contact hole in coincidence, it is satisfactory in any way.

[0110] In this way, AM-LCD of structure as shown in drawing 5 (B) is completed. The thickness of gate dielectric film differs by the drive circuit (or digital disposal circuit) and picture element part by which AM-LCD of the invention in this application was formed on the same substrate. It has gate dielectric film with a part of (circuit which requires high-speed operation) drives TFT typically thinner than Pixel TFT used for a drive circuit.

[0111] Furthermore, the gate dielectric film of the circuit which requires high-speed operation, and the dielectric (the 1st dielectric) of the 1st retention volume prepared in a picture element part are formed in coincidence, and the description is that it is the same thickness. That is, there is the description of serving as the process for forming thinly the gate dielectric film of the circuit which requires high-speed operation with the process for making the 1st dielectric thin in the invention in this application.

[0112] Moreover, the light-shielding film currently conventionally formed after source wiring or drain wiring is formed in a lower layer rather than source wiring or drain wiring, and the description is in the point using a light-shielding film as an electrode (this example the 3rd capacity electrode) of retention volume (the 2nd retention volume) by making a pixel electrode and a light-shielding film into same electric potential further.

[0113] That is, AM-LCD which has the structure (it connects with juxtaposition in circuit) where they were formed as the 1st retention volume and the 2nd retention volume lapped is realizable. It becomes possible to make the capacity of the whole retention volume increase, without extending area according to such structure.

[0114] Moreover, if the making process of this example is followed, the final barrier layer (semi-conductor film) of TFT will be formed by the crystalline substance silicon film of the unique crystal structure which has a continuity in a crystal lattice. The description is explained below.

[0115] The crystalline substance silicon film first formed as the 1st description according to the making process of this example has two or more needlelike or crystal structures which rod-like crystals (it is hereafter written as a cylindrical crystal) gathered, and were located in a line, if it sees microscopically. This can be easily checked by observation by TEM (transmission electron microscopy).

[0116] Moreover, if electron diffraction is used, although the gap of some is included in the crystallographic axis as the 2nd description on the front face (part which forms a channel) of the crystalline substance silicon film formed according to the making process of this example, {110} sides can be checked as a main orientation surface. When this observes the electron diffraction photograph of 1.35 micrometers of spot ****, it is checked from the diffraction mottle with regularity peculiar to {110} sides having appeared. Moreover, it is also checked that each spot has distribution on a concentric circle.
[0117] Moreover, if an orientation ratio is computed using an X-ray diffraction method (strictly theta-2theta X-ray diffraction method using law) as the 3rd description, it is checked that the orientation ratio of {220} sides is 0.7 (0.85 or more [ Typically ]) or more. In addition, the calculation approach of an orientation ratio uses the technique indicated by JP,7-321339,A.
[0118] Moreover, these people observe the grain boundary which each cylindrical crystal touches and forms by HR-TEM (high-resolution transmission electron microscopy) as the 4th description, and it is checking that a continuity is in a crystal lattice in the grain boundary. This can be easily checked from the plaid observed being continuously connected in the grain boundary.
[0119] In addition, the continuity of the crystal lattice in the grain boundary originates in the grain boundary being a grain boundary called a "plane grain boundary." The definition of the plane grain boundary in this specification, "it is Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBICMeasurement.; it is "Planar boundary" indicated by Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal ofApplied Physics vol.27, No.5, pp.751-758, and 1988."
[0120] According to the above-mentioned paper, a twin crystal grain boundary, a special stacking fault, a special twist grain boundary, etc. are included in a plane grain boundary. This plane grain boundary has the description of being inactive electrically. That is, though it is the grain boundary, since it does not function as a trap which checks migration of a carrier, it can be considered that it does not exist substantially.
[0121] When especially crystallographics axis (shaft perpendicular to the crystal face) are <110> shafts, a {211} twin-crystal grain boundary is also called the coincidence boundary of sigma 3. sigma value is a parameter used as the guide in which extent of the adjustment of a coincidence boundary is shown, and it is known that it is a grain boundary with sufficient adjustment, so that sigma value is small. For example, in the grain boundary formed between two crystal grain, when field bearing of both crystals is {110}, if the angle which the plaid corresponding to {111} sides makes is set to theta, becoming the coincidence boundary of sigma 3 at the time of theta= 70.5 degrees is known.
[0122] In the crystalline substance silicon film which carried out and obtained this example, when the grain boundary formed between two crystal grain whose crystallographics axis are <110> is observed by HR-TEM, there is much what is continuing at the include angle each plaid of whose of adjoining crystal grain is about 70.5 degrees. Therefore, it can be surmised that the grain boundary is, the coincidence boundary, i.e., the {211} twin-crystal grain boundary, of sigma 3.
[0123] It is shown that two different crystal grain in the grain boundary has joined such the crystal structure (correctly structure of the grain boundary) with very sufficient adjustment. That is, in the grain boundary, a crystal lattice stands in a row continuously, and has composition which cannot make the trap level resulting from a crystal defect etc. very easily. Therefore, the grain boundary does not exist substantially and the semi-conductor thin film which has such the crystal structure can be regarded.
[0124] Furthermore, it is checked by TEM observation that the defect which exists in crystal grain according to the heat treatment process (in the thermal oxidation process in this example) in the high temperature of 700-1150 degrees C is almost extinguished. This is clear also from the number of defects being sharply reduced before and behind this heat treatment process.
[0125] By electron-spin-resonance analysis (Electron Spin Resonance:ESR), the difference of this number of defects turns into a difference of spin density, and appears. The spin density of the crystalline substance silicon film produced according to the making process of this example in the present condition is . It has become clear that it is three or less (preferably three or less 3x1017 spins/cm) 5x1017 spins/cm. However, since this measured value is close to the limit of detection of an existing measuring

device, it is expected that actual spin density is still lower.
[0126] Since the inside of crystal grain and the grain boundary do not exist substantially, the crystalline substance silicon film obtained from the above thing by carrying out this example may be considered to be a single crystal silicone film or a substantial single crystal silicone film.
[0127] (Knowledge about the electrical property of TFT) TFT (the same structure as the CMOS circuit shown in drawing 5 (A)) produced by this example showed the electrical property which is equal to MOSFET. Data as shown below are obtained from TFT (however, thickness of a barrier layer 35nm and thickness of gate dielectric film 80nm) which these people made as an experiment.
[0128] (1) The N channel mold TFT and the P channel mold TFT have a subthreshold level multiplier as small as 80 - 150 mV/decade (typically 100 - 120 mV/decade) used as the index of the switching engine performance (quick nature of ON / off actuation switch).
(2) The electric field effect mobility (micro FE) used as the index of the working speed of TFT is in the N channel mold TFT. It is as large as 100-300cm2/Vs (typically 120-200cm2/Vs) in 150-650cm2/Vs (typically 200-500cm2/Vs) and the P channel mold TFT.
(3) The threshold electrical potential difference (Vth) used as the index of the driver voltage of TFT is as small as -1.5-0.5 V in -0.5-1.5 V and the P channel mold TFT at the N channel mold TFT.
[0129] As mentioned above, it is checked that the switching characteristic and the high-speed operation property of having excelled extremely can be realized.
[0130] [Example 2] This example explains concretely of what kind of structure TFT is arranged using drawing 7 and drawing 8 to what kind of circuit.
[0131] AM-LCD changes in indispensable operating voltage (supply voltage) with circuits. For example, in a picture element part, if the electrical potential difference for driving the electrical potential difference and Pixel TFT which are impressed to liquid crystal is taken into consideration, it will become the operating voltage of 14-20V. Therefore, TFT of extent which can be borne even if such a high voltage is impressed must be used.
[0132] Moreover, about [ 5-10V ] operating voltage is enough as the shift resist circuit used for a source drive circuit or a gate drive circuit. It is compatible with an external signal, so that operating voltage is low, and there is an advantage that power consumption can be stopped further. however, instead of [ with the proof-pressure property that the above-mentioned high proof-pressure mold TFT is sufficient ] -- a working speed -- a sacrifice -- a sake -- a shift register circuit -- like -- high-speed operation -- asking -- having -- a circuit -- **** -- being unsuitable .
[0133] Thus, the circuit formed on a substrate is divided into the circuit which calculates TFT which thought the proof-pressure property as important according to the purpose, and the circuit which calculates TFT which thought the working speed as important.
[0134] The configuration of this example is concretely shown in drawing 7 here. What was shown in drawing 7 is drawing which looked at the block diagram of AM-LCD from the top face. 701 is a picture element part, equips each pixel with Pixel TFT and retention volume, and functions as a display. Moreover, 702a is [ a level-shifter circuit and 702c of a shift register circuit and 702b ] buffer circuits. The circuit which becomes by these forms the gate drive circuit 702 as a whole.
[0135] In addition, a gate drive circuit is prepared on both sides of a picture element part, it comes out, respectively, and AM-LCD shown in drawing 7 is sharing the same gate wiring, namely, even if a defect occurs in the gate driver of which or one of the two, the redundancy that an electrical potential difference can be impressed is given to gate wiring.
[0136] Moreover, as for 703a, in a shift register circuit and 703b, the circuit where a buffer circuit and 703d are sampling circuits, and becomes by these forms [ a level-shifter circuit and 703c ] the source drive circuit 703 as a whole. On both sides of the picture element part, the precharge circuit 704 is established in a source drive circuit and the opposite side.
[0137] In AM-LCD which becomes with such a configuration, shift register circuits 702a and 703a are circuits which ask for high-speed operation, its operating voltage is as low as 3.3-10V (typically 3.3-5V), and especially a high proof-pressure property is not required. Therefore, it is better to make thickness of gate dielectric film thin with 5-50nm (preferably 10-30nm).

[0138] What was shown in drawing 8 (A) is the schematic diagram of a CMOS circuit which should be used for the circuit which can ask for high-speed operation mainly like a shift register circuit or other digital disposal circuits. In addition, in drawing 8 (A), 801a is gate dielectric film of NTFT, 801b is gate dielectric film of PTFT, and thickness is thinly designed with 5-50nm (preferably 10-30nm).
[0139] Moreover, the die length of the LDD field 802 has desirable 0.1-0.5 micrometers (typically 0.2-0.3 micrometers). Moreover, if operating voltage is low enough like 2-3V, it is also possible not to prepare a LDD field.
[0140] Next, the CMOS circuit shown in drawing 8 (B) is mainly suitable for the level-shifter circuits 702b and 703b, buffer circuits 702c and 703c, 703d of sampling circuits, and the precharge circuit 704. Since these circuits need to pass a high current, operating voltage is as high as 14-16V. In a gate driver side, operating voltage called [ especially ] 19V may be needed depending on the case. Therefore, TFT which has a very good proof-pressure property (high proof-pressure property) is needed.
[0141] At this time, the thickness of gate-dielectric-film 803a of NTFT and gate-dielectric-film 803b of PTFT is designed by 50-200nm (preferably 100-150nm) in the CMOS circuit shown in drawing 8 (B). Thus, as for the circuit which requires a good proof-pressure property, it is more desirable than TFT(s), such as a shift register circuit shown in drawing 8 (A), to thicken thickness of gate dielectric film.
[0142] Moreover, the die length of the LDD field 804 has desirable 1-3 micrometers (typically 1.5-2 micrometers). In addition, the die length of the part which laps with gate wiring among LDD fields is good at 0.5-2 micrometers (preferably 1-1.5 micrometers). Since the CMOS circuit shown in drawing 8 (B) requires the high voltage comparable as a pixel like a buffer circuit, it is [ the die length of a LDD field ] desirable to consider as the die length comparable as a pixel or near it.
[0143] Next, drawing 8 (C) shows the schematic diagram of a picture element part 701. Since a part for the electrical potential difference impressed to liquid crystal is also considered, Pixel TFT needs the operating voltage of 14-16V. Moreover, in order to have to carry out one-frame period maintenance of the charge accumulated in liquid crystal and retention volume, the OFF state current must be small as much as possible.
[0144] From such reasons, by this example, it considers as the double-gate structure which used NTFT, and thickness of gate dielectric film 805 is set to 50-200nm (preferably 100-150nm). This thickness may be the same thickness as the CMOS circuit shown in drawing 8 (B), and may be different thickness.
[0145] in addition, the thickness of the 1st dielectric 806 of the 1st retention volume, or the 2nd dielectric 807 of the 2nd retention volume -- 5-75nm (preferably 20-50nm) -- then, it is good.
[0146] Moreover, the die length of the LDD fields 808a and 808b has desirable 2-4 micrometers (typically 2.5-3.5 micrometers). In addition, the die length of the part which laps with gate wiring among LDD fields is good at 0.5-2.5 micrometers (preferably 1-1.5 micrometers).
[0147] Moreover, since the pixel TFT shown in drawing 8 (C) needs to reduce the OFF state current (drain current which flows when TFT is in an OFF state) as much as possible, what the field (field which functions as a usual LDD field) which does not lap with gate wiring among the LDD fields 808a and 808b is set to 1-3.5(preferably 2-3 micrometers) mum for is desirable.
[0148] As mentioned above, AM-LCD is prepared in very various circuits on the same substrate by the example, and the operating voltage (supply voltage) needed by the circuit may differ. In this case, proper use of arranging TFT which changed the thickness of gate dielectric film like the invention in this application is needed.
[0149] In addition, in order to realize the configuration of this example, it is effective to use the circuit shown in the example 1.
[0150] [Example 3] As for removal in the field which serves as Drive TFT on the occasion of the process which removes gate dielectric film alternatively, in an example 1, it is desirable to carry out, as shown in drawing 9 . As for a barrier layer and 902, in drawing 9 , the edge of gate dielectric film, and 903 and 904 is [ 901 ] gate wiring. As shown in drawing 9 , it is desirable to leave gate dielectric film to the edge of a barrier layer 901 in the part 905 in which gate wiring overcomes a barrier layer.
[0151] When the edge of a barrier layer 901 performs a thermal oxidation process behind, the phenomenon called edge thinning happens. This is a phenomenon which rises upwards, while oxidation

reaction advances so that it may be hidden under a barrier layer edge, and an edge becomes thin. Therefore, if an edge-thinning phenomenon happens, gate wiring will get over and the problem of being easy to sometimes disconnect will arise.
[0152] However, if gate dielectric film is removed so that it may become structure as shown in drawing 9 , an edge-thinning phenomenon can be prevented in the part 905 which gate wiring overcomes. Therefore, it is possible to prevent the problem of an open circuit of gate wiring. In addition, it is effective to use the configuration of this example for an example 1.
[0153] [Example 4] By this example, TFT is formed on a substrate with the making process shown in the example 1, and the case where AM-LCD is actually produced is explained.
[0154] If the condition of drawing 5 (B) is acquired, the orientation film will be formed on the pixel electrode 266 at the thickness of 80nm. Next, as an opposite substrate, the thing in which a color filter, a transparent electrode (counterelectrode), and the orientation film were formed on the glass substrate is prepared, rubbing processing is performed to each orientation film, and the substrate and opposite substrate with which TFT was formed using the sealant (sealing agent) are stuck. And liquid crystal is made to hold in the meantime. Since this cel **** process should just use a well-known means, detailed explanation is omitted.
[0155] In addition, what is necessary is just to form the spacer for maintaining a cel gap if needed. Therefore, even if there is no spacer like AM-LCD of 1 inch or less of vertical angles, especially when a cel gap can be maintained, it is not necessary to prepare.
[0156] Next, the appearance of AM-LCD produced as mentioned above is shown in drawing 10 . A picture element part 12, the source drive circuit 13, the gate drive circuit 14, and digital disposal circuits (a signal dividing network, a D/A converter circuit, a gamma correction circuit, differential amplifying circuit, etc.) 15 are formed in the active-matrix substrate (the substrate with which TFT was formed is pointed out) 11, and FPC (flexible print circuit)16 is attached. In addition, 17 is an opposite substrate.
[0157] In addition, this example can be freely combined with any example of examples 1-3.
[0158] [Example 5] This example explains the case where other means are used for formation of the crystalline substance silicon film in an example 1.
[0159] Specifically, the technique indicated by the example 2 of JP,7-130652,A (it corresponds to the United States patent numbers 08/329,644) is used for crystallization of the amorphous silicon film. The technique indicated by this official report is a technique which is made to hold alternatively the catalyst element (typically nickel) which promotes crystallization on the front face of the amorphous silicon film, and crystallizes considering the part as a kind of nuclear growth.
[0160] According to this technique, since specific directivity can be given to crystal growth, it is possible to form the crystalline high crystalline substance silicon film very much.
[0161] Moreover, it is also possible to use the insulator layer for masks prepared in order to make a catalyst element hold alternatively as the mask of Lynn added to gettering as it is. A routing counter is reducible by carrying out like this. It is detailed to JP,10-247735,A (it corresponds to the U.S. application number 09 / 041) according to these people about this technique. [ 034 and 041 ]
[0162] In addition, the configuration of this example can be freely combined with any configuration of examples 1-4.
[0163] [Example 6] Although Lynn was used in order to carry out gettering of the nickel (catalyst element used in order to crystallize the silicon film) explained in the example 1, this example explains the case where gettering of the nickel is carried out using other elements.
[0164] First, the condition of drawing 2 (B) is acquired according to the process of an example 1. In drawing 2 (B), 204 is the crystalline substance silicon film. However, in this example, concentration of the nickel used for crystallization is made low as much as possible. The layer which contains 0.5-3 ppm nickel by weight conversion is specifically formed on the amorphous silicon film, and heat treatment for crystallization is performed. The nickel concentration contained in the crystalline substance silicon film formed by this serves as 1x1017 - 1x1019 atoms/cm3 (typically 5x1017 - 1x1018 atoms/cm3).
[0165] And if the crystalline substance silicon film is formed, it will heat-treat in the oxidizing atmosphere containing a halogen. Temperature is made into 800-1150 degrees C (preferably 900-1000

degrees C), and the processing time is made into 10 minutes - 4 hours (preferably 30 minutes - 1 hour).
[0166] In this example, 950-degree-C heat treatment for 30 minutes is performed into the ambient atmosphere in which the hydrogen chloride of 3 - 10 volume % was included [ be / it / under / oxygen ambient atmosphere / receiving ].
[0167] The nickel in the crystalline substance silicon film turns into an volatile nickel chloride according to this process, and it breaks away in a processing ambient atmosphere. That is, it becomes possible to remove nickel according to a gettering operation of a halogen. However, if the nickel concentration which exists in the crystalline substance silicon film is too high, the problem that oxidation advances unusually in the segregation section of nickel will be produced. Therefore, it is necessary to make low concentration of the nickel used in the phase of crystallization as much as possible.
[0168] In addition, the configuration of this example can be freely combined with any configuration of an example 1 - an example 5.
[0169] [Example 7] This example explains the case where the structure of the CMOS circuit and picture element part which were shown in the example 1 shall be differed. The example which specifically changes arrangement of a LDD field according to the specification which a circuit requires is shown.
[0170] In addition, since a CMOS circuit and the basic structure of a picture element part were already shown in drawing 1 , suppose them that a sign is attached and explained only to a need part by this example. Moreover, although the TFT structure of this example should just refer to the production approach of an example 1 fundamentally, it needs to use a resist mask for formation of the LDD field of NTFT.
[0171] First, the circuit shown in drawing 11 (A) is characterized by forming the LDD field 21 of NTFT only in contact with the drain field 23 side of the channel formation field 22 in the CMOS circuit. In addition, this structure is realizable by hiding a source field side with a resist mask.
[0172] Since high-speed operation is required of the CMOS circuit used for a drive circuit or a digital disposal circuit, it is necessary to eliminate the resistance component which can become the factor which reduces a working speed as much as possible. However, in order to work as a resistance component, a working speed will be sacrificed for a LDD field required in order to raise hot carrier resistance.
[0173] However, it is the edge by the side of the drain field of a channel formation field which hot carrier impregnation produces, and if the LDD field which lapped with the gate electrode in three dimensions exists in the part, the cure against a hot carrier is enough. Therefore, it is not necessary to necessarily establish a LDD field in the edge by the side of the source field of a channel formation field beyond the need.
[0174] In addition, the structure of drawing 11 (A) cannot be applied when carrying out actuation like the pixel TFT which a source field and a drain field replace. Since a source field and a drain field are usually fixed in the case of a CMOS circuit, structure like drawing 11 (A) is realizable.
[0175] Next, the circuit shown in drawing 11 (B) is an example when NTFT is made into double-gate structure and it makes PTFT single gate structure in a CMOS circuit. It uses that such structure is high pressure-proofing for the drive circuits (a buffer circuit, sampling circuit, etc.) of which it is required.
[0176] In this case, it is characterized by establishing the LDD fields 24a and 24b of NTFT only in each channel formation field 25a and 25b field [ drain ] 26 side (or side near the drain field 26).
[0177] The resistance component by the LDD field by the side of a source field is lost by considering as such structure, and there is effectiveness which is made to distribute the electric field built between source-drains, and is eased by considering as double-gate structure.
[0178] In addition, the configuration of this example can be freely combined with any configuration of examples 1-6.
[0179] [Example 8] In an example 1, it is effective to prepare a light-shielding film in the bottom of TFT (specifically under a barrier layer) if needed, when controlling the leakage current by optical pumping. Especially the thing for which leakage current (or OFF state current) is prepared in the bottom of the pixel TFT which needs to be stopped as much as possible is effective.
[0180] As a light-shielding film, although a metal membrane, the black resin film, etc. can be used, when a metal membrane is used, it is also possible to form other retention volume between a light-

shielding film and a barrier layer using the metal membrane concerned. Structure where three retention volume was connected to one pixel TFT by carrying out like this is realized.
[0181] In addition, the configuration of this example can be freely combined with any configuration of examples 1-7.
[0182] [Example 9] This example explains the structure of the picture element part formed using the invention in this application using drawing 12 -17. In addition, fundamental cross-section structure is good to refer to explanation of drawing 1 -5.
[0183] First, in drawing 12 , 31 is the barrier layer of the pixel TFT which becomes by the semi-conductor film. On the drawing, four barrier layers equivalent to four pixels are arranged. Moreover, the dotted line shown by 32 is the edge of the gate dielectric film of Pixel TFT. The gate dielectric film of the field surrounded by this dotted line 32 is removed alternatively. This condition is in the condition which even the process shown in drawing 3 (A) ended.
[0184] Next, drawing 13 shows the condition of having repeated the gate wiring 33a and 33b to drawing 12 . This condition is equivalent to the condition of having ended to the process of drawing 3 (B). In addition, the part 34 which laps with a barrier layer 31 functions as a gate electrode.
[0185] In this example, gate wiring 33b of the next door of selected gate wiring 33a is used for retention volume. It is the configuration of using as wiring for capacity formation by dropping to common potential (middle potential of a video signal) gate wiring other than gate wiring which this configuration itself is known and was chosen.
[0186] If gate wiring 33b is observed here, in the field surrounded by the dotted line 35, gate wiring 33b and barrier layers 31 overlap. Moreover, although not illustrated on a drawing, in the field surrounded by the dotted line 35, gate dielectric film is removed and the 1st dielectric of 5-50nm thickness is prepared. That is, the 1st retention volume of the invention in this application is formed in this part. In addition, the 1st retention volume formed in the field surrounded by the dotted line 35 functions as retention volume of a pixel 30.
[0187] Since the advantage of this structure does not need to form wiring for capacity formation separately, it is in the point which can raise the numerical aperture of a pixel. However, especially this configuration is effective in a direct viewing type liquid crystal display etc., and unsuitable for the liquid crystal display which performs a vertical reversal drive (it is the drive approach which scans from a top or is scanned from the bottom, and used for a projector etc.). It is desirable to use the drive approach (the drive approach which chooses gate wiring every other) of interlace etc. for the liquid crystal display which performs such vertical reversal drives.
[0188] Next, drawing 14 is in the condition which put light-shielding films 36a and 36b on drawing 13 . This condition is equivalent to the condition at the time of forming to light-shielding films 257a-257c in drawing 5 (A). In addition, when considering as the structure of this example, a light-shielding film is prepared in one pixel at one rate, and a common conductive layer does not become in all pixels like the usual light-shielding film (called a black matrix etc.).
[0189] At this time, by drawing 14 , the 1st interlayer insulation film (not shown) is prepared between gate wiring and a light-shielding film, the field surrounded by the dotted line shown by 37 is removed alternatively, and only the 2nd dielectric of 5-50nm thickness exists.
[0190] Since these light-shielding films 36a and 36b are formed so that it may lap with gate wiring fundamentally, the 2nd retention volume of the invention in this application is formed in the field surrounded by the dotted line 37. However, in drawing 14 , the 2nd retention volume formed in the field surrounded by the dotted line 37 functions as retention volume of a pixel 30. That is, light-shielding film 36a achieved the function as a light-shielding film to hide the pixel TFT section of a pixel 30, and while light-shielding film 36b is a light-shielding film, it serves as the function as the 3rd capacity electrode which forms the retention volume of a pixel 30.
[0191] Next, drawing 15 is in the condition which repeated source wiring 38 and the drain wiring (drain electrode) 39 to drawing 14 . This condition is equivalent to the condition of having ended the process of drawing 5 (A). In addition, 40 is the contact part of source wiring 38 and a barrier layer 31, and 41 is the contact part of the drain wiring 39 and a barrier layer 31.

[0192] Next, drawing 16 is in the condition which put the pixel electrode 42 (shown by the dotted line) on drawing 15 . This condition is equivalent to the condition of having ended the process of drawing 5 (B). In addition, 43 is the contact part of the drain wiring 39 and the pixel electrode 42, and 44 is the contact part of a light-shielding film 36 and the pixel electrode 42.
[0193] Here, the cross section which cut with A-A" the cross section which cut drawing 16 with A-A' to drawing 17 (A) is shown in drawing 17 (B). In addition, in drawing 17 (A) and (B), the sign used by drawing 12 -16 is used for the correspondence part. Moreover, although the sign is not attached to the configuration (a source field, a drain field, a LDD field, or channel formation field) of a substrate, the substrate film, a protective coat, an interlayer insulation film, the passivation film, and a barrier layer, since it corresponds to the column (refer to drawing 1 ) of "the gestalt of implementation of invention", or the column ( drawing 2 - 5 reference) of "an example 1", explanation here is omitted.
[0194] In addition, the configuration of this example can be freely combined with any configuration of examples 1-8.
[0195] [Example 10] This example explains the example at the time of making the addition process of the impurity element for forming the source field, drain field, or LDD field of Pixel TFT into order which is different in an example 1.
[0196] First, you may change for the addition process (n-field formation process) of Lynn which showed the addition process (n+ field formation process) of Lynn shown in drawing 3 (C) in drawing 3 (D).
[0197] Moreover, you may carry out before the addition process (n+ field formation process) of Lynn which showed the addition process (p++ field formation process) of the boron shown in drawing 4 (A) in drawing 3 (C) (between drawing 3 (B) and drawing 3 (C)).
[0198] Moreover, you may carry out before the addition process (n-field formation process) of Lynn which showed the addition process (p++ field formation process) of the boron shown in drawing 4 (A) in drawing 3 (D) (between drawing 3 (C) and drawing 3 (D)).
[0199] In addition, the configuration of this example can be freely combined with any configuration of examples 1-9.
[0200] [Example 11] This example explains the example at the time of making the addition process of the impurity element for forming the source field, drain field, or LDD field of Pixel TFT into order which is different in an example 1.
[0201] First, after acquiring the condition of drawing 3 (B), the addition process (p++ field formation process) of the boron immediately shown in drawing 4 (A) is performed. The addition process (n-field formation process) of Lynn shown in drawing 3 (D) is performed to the degree, and the addition process (n+ field formation process) of Lynn shown in drawing 3 (C) is performed after that.
[0202] Moreover, after acquiring the condition of drawing 3 (B), the addition process (n-field formation process) of Lynn immediately shown in drawing 3 (D) is performed. The addition process (p++ field formation process) of the boron shown in drawing 4 (A) can be performed to the degree, and the addition process (n+ field formation process) of Lynn shown in drawing 3 (C) can also be performed after that.
[0203] Since the addition process (n+ field formation process) of Lynn will be performed at the end in the case of this example, the sidewall used as a mask will be left to the side attachment wall of gate wiring as it is. Therefore, in case this example is carried out, it is desirable to use insulator layers, such as oxidation silicon film, a silicon nitride film, or an oxidation silicon nitride film, as an ingredient of a sidewall. When semi-conductor film, such as silicon film, is used, there is a possibility of forming parasitic capacitance between a sidewall and a barrier layer.
[0204] Of course, after performing the addition process (n+ field formation process) of Lynn, the process which removes a sidewall may be put in.
[0205] However, there is an advantage of the level difference of gate wiring being no longer an acute angle by leaving a sidewall. Therefore, in case an insulator layer is formed after gate wiring, it can prevent a cusp (blow hole) etc. occurring by poor covering.
[0206] In addition, the configuration of this example can be freely combined with any configuration of examples 1-9.

[0207] [Example 12] This example explains the example in the case of forming the crystalline substance silicon film with a means which is different in an example 1.
[0208] Although the catalyst element (nickel) was used for crystallization of the amorphous semiconductor film (specifically amorphous silicon film) in the example 1, this example explains the case where heat crystallization is carried out without using a catalyst element.
[0209] If the amorphous silicon film is formed in the case of this example, it is 580-640 degrees C (typically 600 degrees C) in temperature, and heat treatment of 12 - 30 hours (typically 16 - 24 hours) will be performed, it will crystallize, and the crystalline substance silicon film will be obtained. Therefore, a gettering process as shown in the example 1 can be skipped.
[0210] Thus, if the structure of the invention in this application is realizable, it is easy to combine the process using the crystalline substance silicon film called the so-called elevated-temperature polish recon with the invention in this application.
[0211] In addition, the configuration of this example is freely combinable with any example of examples 1-11.
[0212] [Example 13] This example explains the example which forms the 1st interlayer insulation film by the approach of being different in an example 1. Drawing 18 is used for explanation.
[0213] First, even the activation process shown in drawing 4 (B) according to the making process of an example 1 is terminated. Next, the 50-100nm (this example 70nm) nitriding oxidation silicon film 1801 is formed, and the 600nm - 1 micrometer (this example 800nm) nitriding oxidation silicon film 1802 is formed on it. Furthermore, the resist mask 1803 is formed on it. ( Drawing 18 (A))
[0214] In addition, the presentation ratios of the nitrogen contained by the nitriding oxidation silicon film 1801 and the nitriding oxidation silicon film 1802, oxygen, hydrogen, and silicon differ. The nitriding oxidation silicon film 1801 serves as 7% of nitrogen, 59% of oxygen, 2% of hydrogen, and 32% of silicon, and the nitriding oxidation silicon film 1802 serves as 33% of nitrogen, 15% of oxygen, 23% of hydrogen, and 29% of silicon. Of course, it is not limited to this presentation ratio.
[0215] Moreover, since the resist mask 1803 has thick thickness, it can carry out flattening of the boom hoisting of the front face of the nitriding oxidation silicon film 1802 completely.
[0216] Next, etching of the resist mask 1803 and the nitriding oxidization silicon film 1802 is performed by the dry etching method using the mixed gas of carbon tetrafluoride and oxygen. In the case of this example, in the dry etching using the mixed gas of carbon tetrafluoride and oxygen, the etching rate of the nitriding oxidization silicon film 1802 and the resist mask 1803 is almost equal.
[0217] as this etching process shows to drawing 18 (B), the resist mask 1803 is removed completely and some nitriding oxidization silicon film 1802 is etched from a front face to a depth of 300nm this example. Consequently, the display flatness of the front face of the resist mask 1803 is reflected in the display flatness of the front face of the nitriding oxidation silicon film etched as it was.
[0218] In this way, the 1st interlayer insulation film 1804 with very high surface smoothness is obtained. In the case of this example, the thickness of the 1st interlayer insulation film 1804 is set to 500nm. Just refer to the making process of an example 1 for a next process.
[0219] In addition, the configuration of this example can be freely combined with any example of examples 1-12.
[0220] [Example 14] It is also possible to use, in case the invention in this application forms an interlayer insulation film on the conventional MOSFET and TFT is formed on it. That is, it is also possible to realize the semiconductor device of the three-dimensional structure with which reflective mold AM-LCD was formed in a semi-conductor time on the street.
[0221] Moreover, said semiconductor circuit may be formed on SOI substrates, such as SIMOX, Smart-Cut (trademark of SOITEC), and ELTRAN (trademark of canon incorporated company).
[0222] In addition, in carrying out this example, which configuration of examples 1-13 may be combined.
[0223] [Example 15] The invention in this application can also be applied to a active-matrix mold EL (electroluminescence) display (it is also called EL display). The example is shown in drawing 19 .
[0224] Drawing 19 is the circuit diagram of a active-matrix mold EL display. 81 expresses the viewing

area and the direction (gate side) drive circuit 82 of X and the direction (source side) drive circuit 83 of Y are formed around it. Moreover, each pixel of a viewing area 81 has TFT84 for switching, a capacitor 85, TFT86 for current control, and EL element 87, and direction signal-line of X (gate signal line) 88a (or 88b) and direction signal-line (source signal line) of Y 89a (or 89b, 89c) are connected to TFT84 for switching. Moreover, the power-source lines 90a and 90b are connected to TFT86 for current control.
[0225] In the active-matrix mold EL display of this example, the gate dielectric film of TFT used for the direction drive circuit 82 of X and the direction drive circuit 83 of Y is thinner than the gate dielectric film of TFT84 for switching, or TFT86 for current control. Moreover, the capacitor 85 is formed with the retention volume of the invention in this application.
[0226] In addition, examples 1-3 and which configuration of 5-14 may be combined to the active-matrix mold EL display of this example.
[0227] [Example 16] This example explains the example which produced EL (electroluminescence) display using the invention in this application. In addition, drawing 20 (A) is the plan of EL display of the invention in this application, and drawing 20 (B) is the sectional view.
[0228] In drawing 20 (A), for 4001, as for a picture element part and 4003, a substrate and 4002 are [ a source side drive circuit and 4004 ] gate side drive circuits, and each drive circuit results in FPC (flexible print circuit)4006 through wiring 4005, and is connected to an external instrument.
[0229] At this time, as a picture element part 4002, the source side drive circuit 4003, and the gate side drive circuit 4004 are surrounded, the 1st sealant 4101, the covering material 4102, a filler 4103, and the 2nd sealant 4104 are formed.
[0230] Moreover, drawing 20 (B) is equivalent to the sectional view which cut drawing 20 (A) by A-A', and the pixel TFT(however, TFT which controls current to EL element here is illustrated.) 4202 contained in the drive TFT(however, n channel mold TFT and p channel mold TFT are illustrated here.) 4201 included in the source side drive circuit 4003 and a picture element part 4002 is formed on the substrate 4001.
[0231] In this example, TFT of the same structure as the drive circuit of drawing 1 is used for drive TFT4201. Moreover, TFT of the same structure as the picture element part of drawing 1 is used for a pixel TFT4202.
[0232] On drive TFT4201 and a pixel TFT4202, the interlayer insulation film (flattening film) 4301 which becomes with a resin ingredient is formed, and the pixel electrode (anode plate) 4302 electrically connected with the drain of a pixel TFT4202 is formed on it. As a pixel electrode 4302, the large transparence electric conduction film of a work function is used. As transparence electric conduction film, the compound of indium oxide and the tin oxide or the compound of indium oxide and a zinc oxide can be used.
[0233] And an insulator layer 4303 is formed on the pixel electrode 4302, and, as for the insulator layer 4303, opening is formed on the pixel electrode 4302. In this opening, the EL (electroluminescence) layer 4304 is formed on the pixel electrode 4302. The EL layer 4304 can use a well-known organic electroluminescence ingredient or inorganic EL ingredient. Moreover, whichever may be used although there are a low-molecular system (monomer system) ingredient and a macromolecule system (polymer system) ingredient as organic electroluminescence ingredient.
[0234] The formation approach of the EL layer 4304 should just use a well-known technique. Moreover, what is necessary is just to make structure of EL layer into a laminated structure or monolayer structure, combining freely a hole injection layer, an electron hole transportation layer, a luminous layer, an electron transport layer, or an electronic injection layer.
[0235] On the EL layer 4304, the cathode 4305 which consists of electric conduction film (the electric conduction film which uses aluminum, copper, or silver as a principal component typically, or cascade screen of them and other electric conduction film) which has protection-from-light nature is formed. Moreover, as for the moisture which exists in the interface of cathode 4305 and the EL layer 4304, or oxygen, eliminating as much as possible is desirable. Therefore, the device of carrying out continuation membrane formation of both in a vacuum, or forming the EL layer 4304 in nitrogen or a rare-gas ambient atmosphere, and forming cathode 4305, making neither oxygen nor moisture touched is

required. At this example, the above membrane formation is enabled by using the membrane formation equipment of a multi chamber method (cluster tool method).
[0236] And cathode 4305 is electrically connected to wiring 4005 in the field shown by 4306. Wiring 4005 is wiring for giving a predetermined electrical potential difference to cathode 4305, and is electrically connected to FPC4006 through the conductive ingredient 4307.
[0237] The EL element which consists of the pixel electrode (anode plate) 4302, an EL layer 4304, and cathode 4305 as mentioned above is formed. This EL element is surrounded by the covering material 4102 stuck on the substrate 4001 by the 1st sealant 4101 and the 1st sealant 4101, and is enclosed by the filler 4103.
[0238] As covering material 4102, a glass plate, a metal plate (typically stainless plate), a ceramic plate, an FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic film can be used. Moreover, the sheet of the structure which sandwiched aluminium foil with the PVF film or the Mylar film can also be used.
[0239] However, covering material must be transparent when the direction of a light emission from an EL element goes to a covering material side. In that case, transparence matter like a glass plate, a plastic sheet, polyester film, or an acrylic film is used.
[0240] Moreover, as a filler 4103, ultraviolet-rays hardening resin or heat-curing resin can be used, and PVC (polyvinyl chloride), an acrylic, polyimide, an epoxy resin, silicone resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. If the hygroscopic matter (preferably barium oxide) is prepared in the interior of this filler 4103, degradation of an EL element can be controlled.
[0241] Moreover, a spacer may be made to contain in a filler 4103. At this time, if a spacer is formed with the barium oxide, it is possible to give hygroscopicity to the spacer itself. Moreover, when a spacer is formed, it is also effective to prepare the resin film on cathode 4305 as a buffer layer which eases the pressure from a spacer.
[0242] Moreover, wiring 4005 is electrically connected to FPC4006 through the conductive ingredient 4307. Wiring 4005 tells the signal sent to a picture element part 4002, the source side drive circuit 4003, and the gate side drive circuit 4004 to FPC4006, and is electrically connected with an external instrument by FPC4006.
[0243] Moreover, in this example, the 2nd sealant 4104 is formed so that the disclosure section of the 1st sealant 4101 and a part of FPC4006 may be covered, and it has structure which intercepts an EL element from the open air thoroughly. In this way, it becomes EL display which has the cross-section structure of drawing 20 (B). In addition, EL display of this example may be produced combining which configuration of an example 1 3 or 5 thru/or 14.
[0244] [Example 17] This example shows the example of the pixel structure where it can use for the picture element part of EL display shown in the example 16 to drawing 21 (A) - (C). in addition, this example -- setting -- 4401 -- in gate wiring of TFT4402 for switching, and 4404, a capacitor, and 4406 and 4408 make it as a current supply source line, and 4407 makes TFT for current control, and 4405 an EL element for the source wiring of TFT4402 for switching, and 4403.
[0245] Drawing 21 (A) is an example at the time of making the current supply source line 4406 common between two pixels. That is, the description is formed so that two pixels may serve as axial symmetry focusing on the current supply source line 4406. In this case, since the number of a current supply line can be reduced, a picture element part can be further made highly minute.
[0246] Moreover, drawing 21 (B) is an example at the time of forming the current supply source line 4408 in parallel with the gate wiring 4403. In addition, although it has structure established so that the current supply source line 4408 and the gate wiring 4403 might not lap in drawing 21 (B), if it is wiring formed in the layer from which both differ, it can also prepare so that it may lap through an insulator layer. In this case, since the current supply source line 4408 and the gate wiring 4403 can be made to share monopoly area, a picture element part can be further made highly minute.
[0247] Moreover, drawing 21 (C) forms the current supply source line 4408 in parallel with the gate wiring 4403 like the structure of drawing 21 (B), and the description is that it forms two pixels further so

that it may become axial symmetry focusing on the current supply source line 4408. Moreover, it is also effective to form the current supply source line 4408 so that it may lap with either of the gate wiring 4403. In this case, since the number of a current supply line can be reduced, a picture element part can be further made highly minute.

[0248] [Example 18] The electro-optic device and semiconductor circuit of the invention in this application can be used as the display and digital disposal circuit of an electric appliance. As such an electric appliance, the picture reproducer equipped with a video camera, a digital camera, a projector, Projection TV, a goggles mold display (head mount display), a navigation system, a sound system, a note type personal computer, a game device, Personal Digital Assistants (a mobile computer, a cellular phone, a handheld game machine, or digital book), and a record medium etc. is mentioned. The example of these electric appliances is shown in drawing 22 -24.

[0249] Drawing 22 (A) is a cellular phone and consists of a body 2001, the voice output section 2002, the voice input section 2003, a display 2004, an actuation switch 2005, and an antenna 2006. The electro-optic device of the invention in this application can be used for a display 2004, and the semiconductor circuit of the invention in this application can be used for the voice output section 2002, the voice input section 2003 or CPU, memory, etc.

[0250] Drawing 22 (B) is a video camera and consists of a body 2101, a display 2102, the voice input section 2103, an actuation switch 2104, a dc-battery 2105, and the television section 2106. The electro-optic device of the invention in this application can be used for a display 2102, and the semiconductor circuit of the invention in this application can be used for the voice input section 2103 or CPU, memory, etc.

[0251] Drawing 22 (C) is a mobile computer (Mobile computer), and consists of a body 2201, the camera section 2202, the television section 2203, an actuation switch 2204, and a display 2205. The electro-optic device of the invention in this application can be used for a display 2205, and the semiconductor circuit of the invention in this application can be used for CPU, memory, etc.

[0252] Drawing 22 (D) is a goggles mold display, and consists of a body 2301, a display 2302, and the arm section 2303. The electro-optic device of the invention in this application can be used for a display 2302, and the semiconductor circuit of the invention in this application can be used for CPU, memory, etc.

[0253] Drawing 22 (E) is a rear projector (projection TV), and consists of a body 2401, the light source 2402, an indicating equipment 2403, a polarization beam splitter 2404, reflectors 2405 and 2406, and a screen 2407. This invention can be used for a display 2403 and the semiconductor circuit of the invention in this application can be used for CPU, memory, etc.

[0254] Drawing 22 (F) is a front projector and consists of a body 2501, the light source 2502, a display 2503, optical system 2504, and a screen 2505. This invention can be used for a display 2503 and the semiconductor circuit of the invention in this application can be used for CPU, memory, etc.

[0255] Drawing 23 (A) is a personal computer and contains a body 2601, the image input section 2602, a display 2603, and keyboard 2604 grade. The electro-optic device of the invention in this application can be used for a display 2603, and the semiconductor circuit of the invention in this application can be used for CPU, memory, etc.

[0256] Drawing 23 (B) is an electronic play device (game device), and contains a body 2701, a record medium 2702, a display 2703, and a controller 2704. The voice outputted from this electronic game device and an image are reproduced on the display display containing a case 2705 and a display 2706. A wire communication, radio, or optical communication can be used for the means of communications between a controller 2704 and a body 2701, or the means of communications between an electronic game device and a display display. In this example, it has composition which detects infrared radiation in the sensor sections 2707 and 2708. The electro-optic device of the invention in this application can be used for displays 2703 and 2706, and the semiconductor circuit of the invention in this application can be used for CPU, memory, etc.

[0257] Drawing 23 (C) is a player (picture reproducer) using the record medium (it is hereafter called a record medium) which recorded the program, and includes a body 2801, a display 2802, the loudspeaker

section 2803, a record medium 2804, and the actuation switch 2805. In addition, this picture reproducer can use music appreciation, movie appreciation, a game, and the Internet, using DVD (Digital VersatileDisc), CD, etc. as a record medium. The electro-optic device of the invention in this application can be used for a display 2802, CPU, memory, etc.

[0258] Drawing 23 (D) is a digital camera and contains a body 2901, a display 2902, an eye contacting part 2903, the actuation switch 2904, and the television section (not shown). The electro-optic device of the invention in this application can be used for a display 2902, CPU, memory, etc.

[0259] In addition, the detailed explanation about the optical engine which can be used for the rear projector of drawing 22 (E) or the front projector of drawing 22 (F) is shown in drawing 24 . In addition, drawing 24 (A) is an optical engine and drawing 24 (B) is light source optical system built in an optical engine.

[0260] The optical engine shown in drawing 24 (A) contains the light source optical system 3001, mirrors 3002, 3005-3007, dichroic mirrors 3003 and 3004, optical lenses 3008a-3008c, prism 3011, a display 3010, and the incident light study system 3012. The incident light study system 3012 is the optical system equipped with the projector lens. Although this example showed the example of the 3 plate type which uses three displays 3010, it may be a veneer type. Moreover, a film or IR film for adjusting an optical lens, the film which has a polarization function, and phase contrast to the optical path shown by the arrow head etc. may be prepared into drawing 24 (A).

[0261] Moreover, as shown in drawing 24 (B), the light source optical system 3001 contains the light sources 3013 and 3014, the synthetic prism 3015, collimator lenses 3016 and 3020, the lens arrays 3017 and 3018, and the polarization sensing element 3019. In addition, although the light source optical system shown in drawing 24 (B) used the two light sources, the number of it one and it is good also as three or more. Moreover, an optical lens, the film which has a polarization function, the film which adjusts phase contrast, or IR film may be prepared in somewhere in optical paths of light source optical system.

[0262] As mentioned above, the applicability of the invention in this application is very wide, and applying to the electric appliance of all fields is possible. Moreover, even if the electric appliance of this example uses the configuration which consists of combination like an example 1 - 17 throats, it is realizable.

[0263]

[Effect of the Invention] TFT which has gate dielectric film of different thickness can be formed on the same substrate by using the invention in this application. Therefore, in the electro-optic device represented by AM-LCD and the semiconductor device containing the electric appliance which has such an electro-optic device as a display (display display), it can become possible to arrange the circuit of the suitable engine performance according to the specification which a circuit requires, and the engine performance and dependability of a semiconductor device can be raised sharply.

[0264] Moreover, in the picture element part of an electro-optic device, the dielectric of retention volume can be made thin and the retention volume which has a big capacity in a small area can be formed. Furthermore, the retention volume can be hidden in the bottom of gate wiring or source wiring. Therefore, it becomes possible to secure sufficient retention volume, without reducing a numerical aperture also in an electro-optic device with the display of 1 inch or less of vertical angles.

---

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

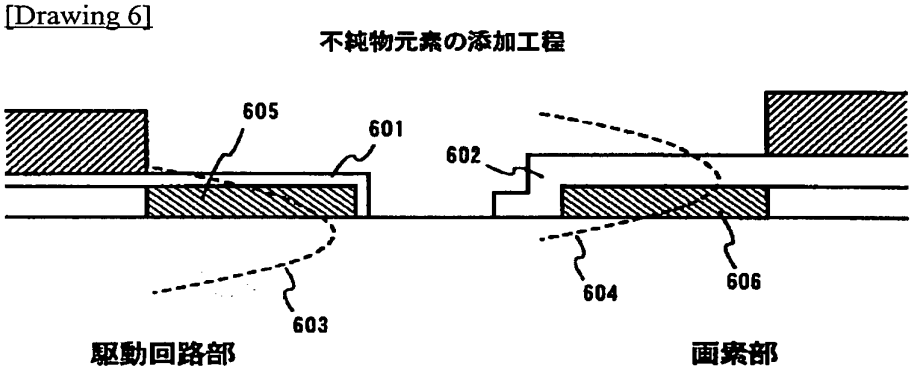
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

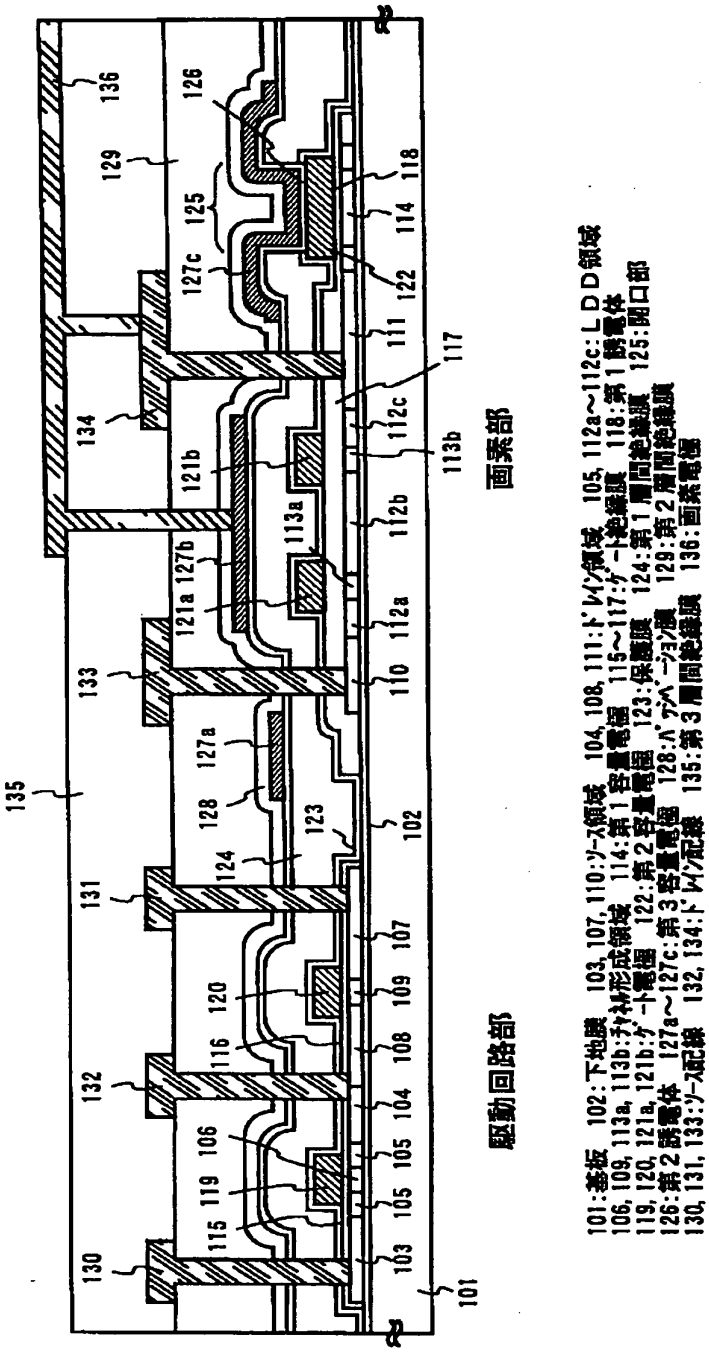
DRAWINGS

---

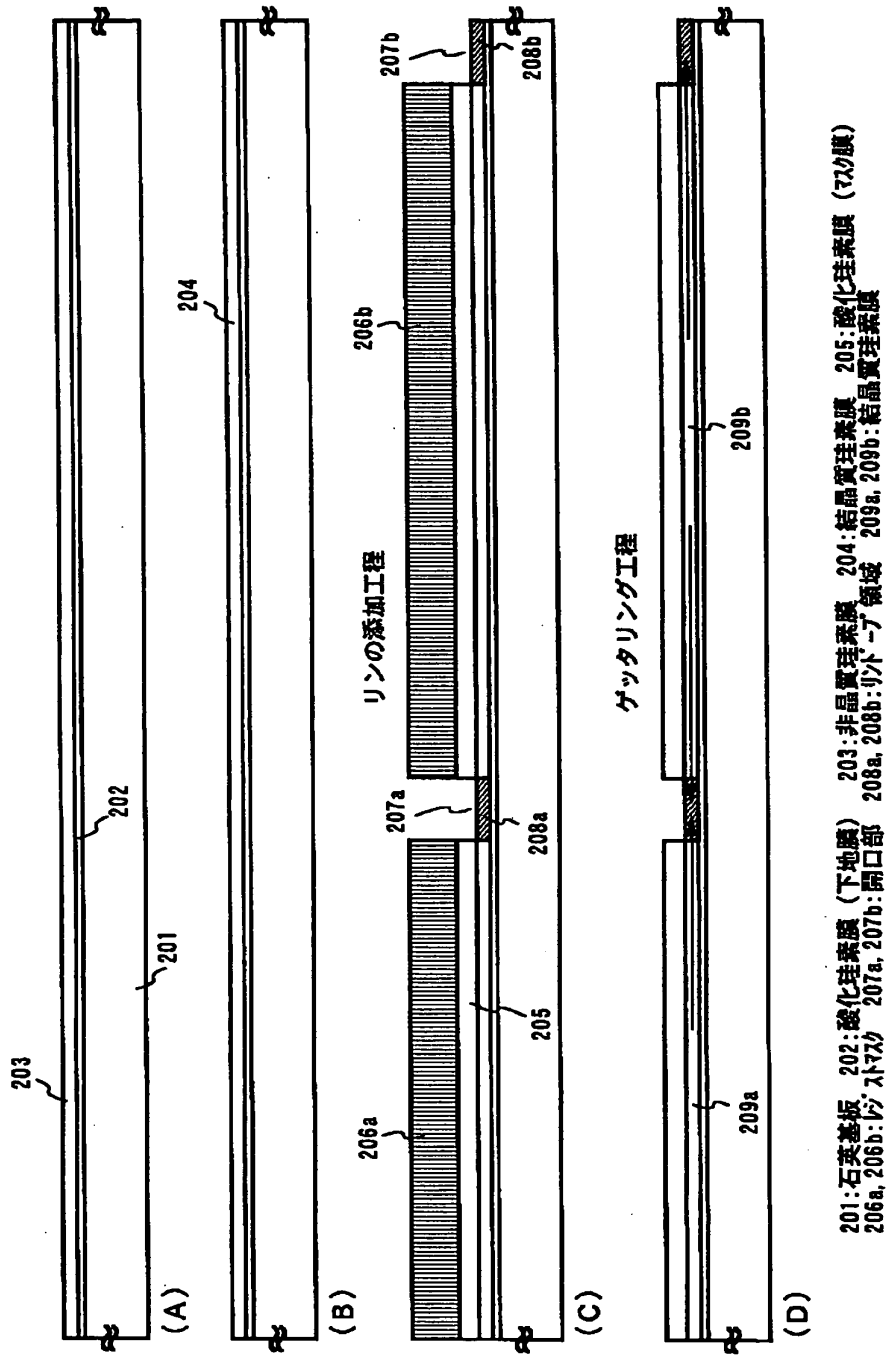
[Drawing 6]



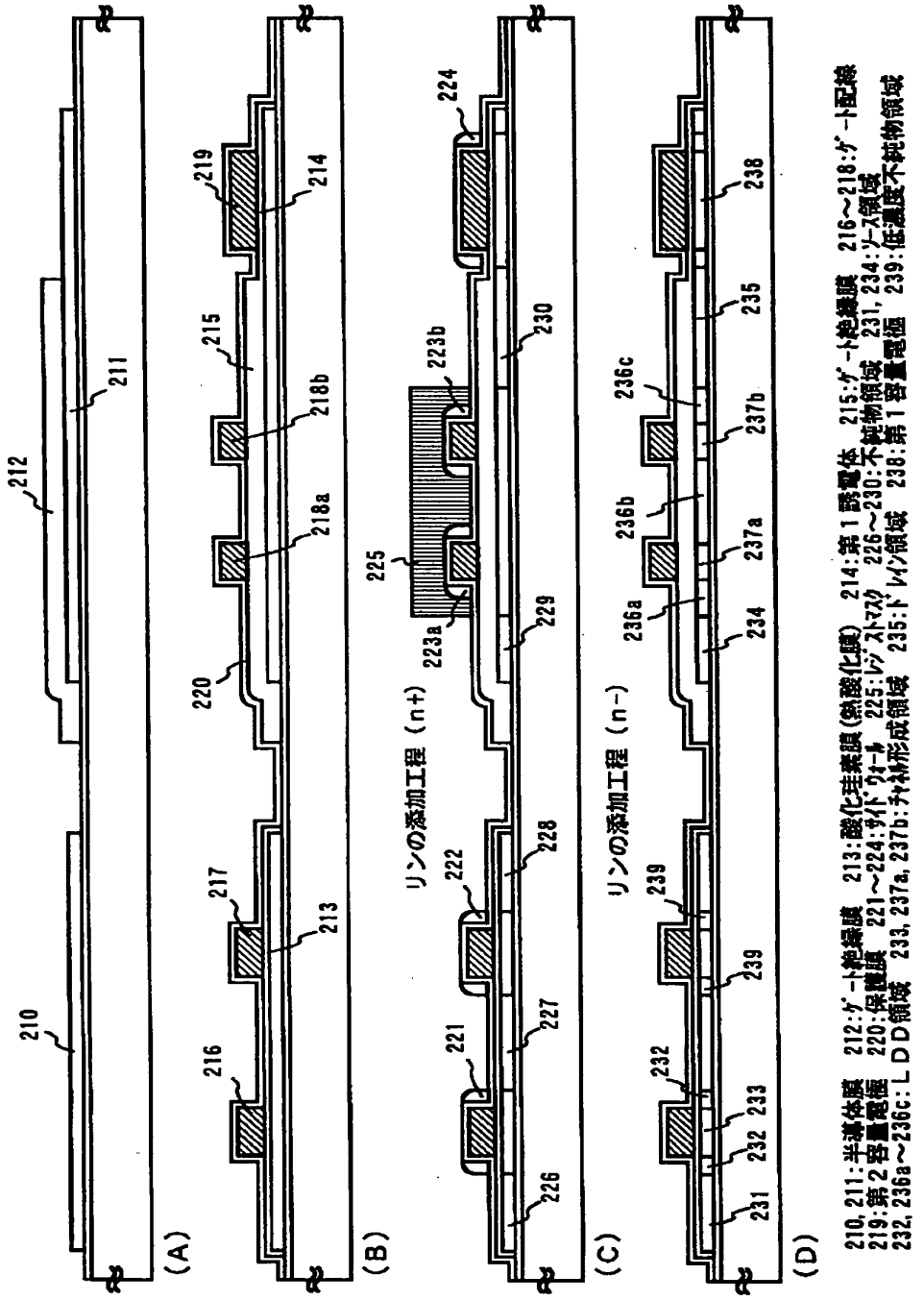

[Drawing 1]


101:基板 102:下地膜 103, 107, 110:ソース領域 104, 108, 111:ドレイン領域 105, 112a～112c:ＬＤＤ領域
106, 109, 113a, 113b:チャネル形成領域 114:第１容量電極 115～117:ゲート絶縁膜 118:第１層間絶縁膜 125:開口部
119, 120, 121a, 121b:ゲート電極 122:第２容量電極 123:保護膜 124:第１層間絶縁膜 129:第２層間絶縁膜
126:第２層電体 127a～127c:第３容量電極 128:ハードマスク 135:第３層間絶縁膜 136:画素電極
130, 131, 133:ソース配線 132, 134:ドレイン配線
駆動回路部
画素部

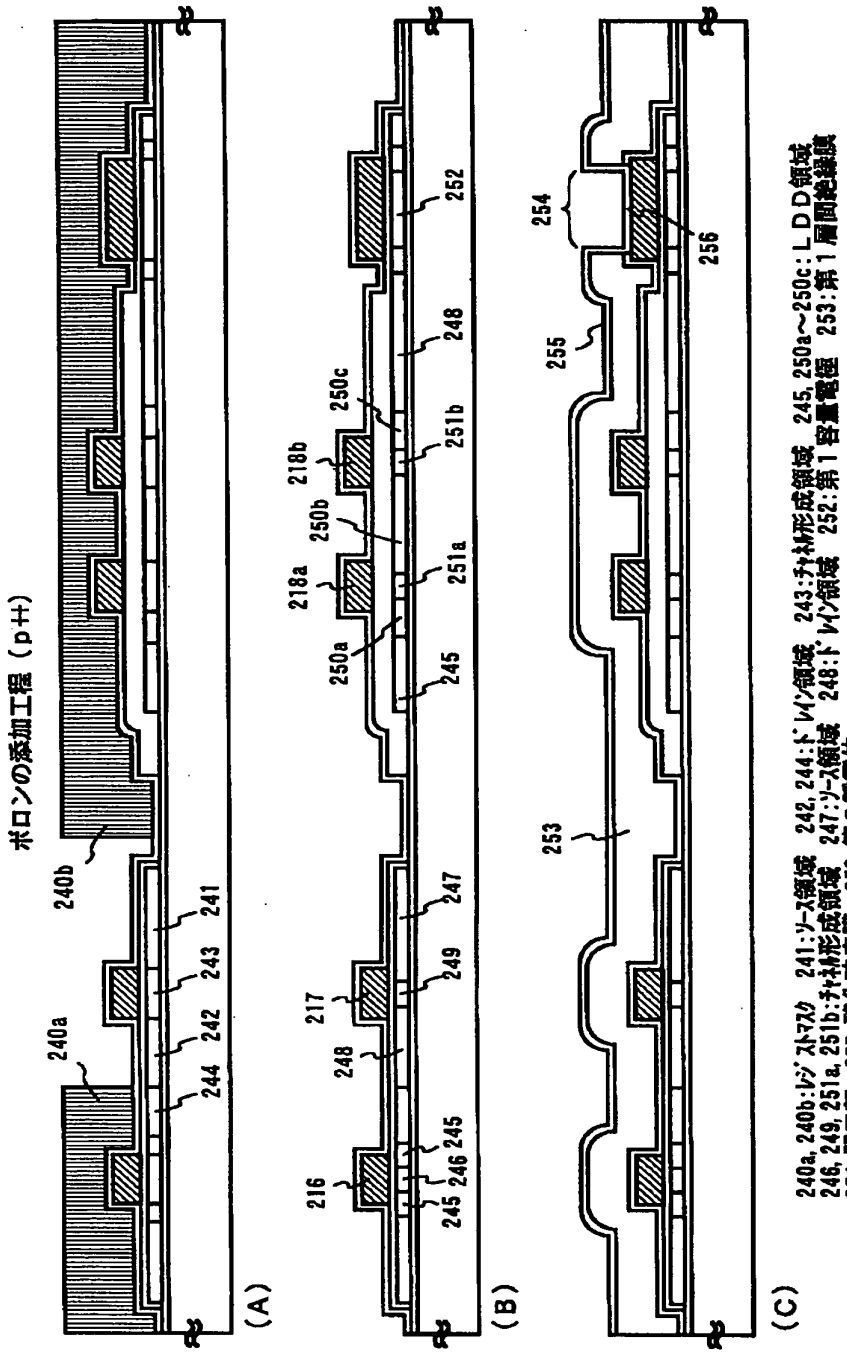
[Drawing 2]


203
202
201
204
(A)
(B)
リンの添加工程
206b
207b
208b
207a
208a
206a
205
(C)
ゲッタリング工程
209b
209a
(D)
201:石英基板 202:酸化珪素膜(下地膜) 203:非晶質珪素膜 204:結晶質珪素膜 205:酸化珪素膜(マスク膜)
206a,206b:レジストマスク 207a,207b:開口部 208a,208b:リンドープ領域 209a,209b:結晶質珪素膜

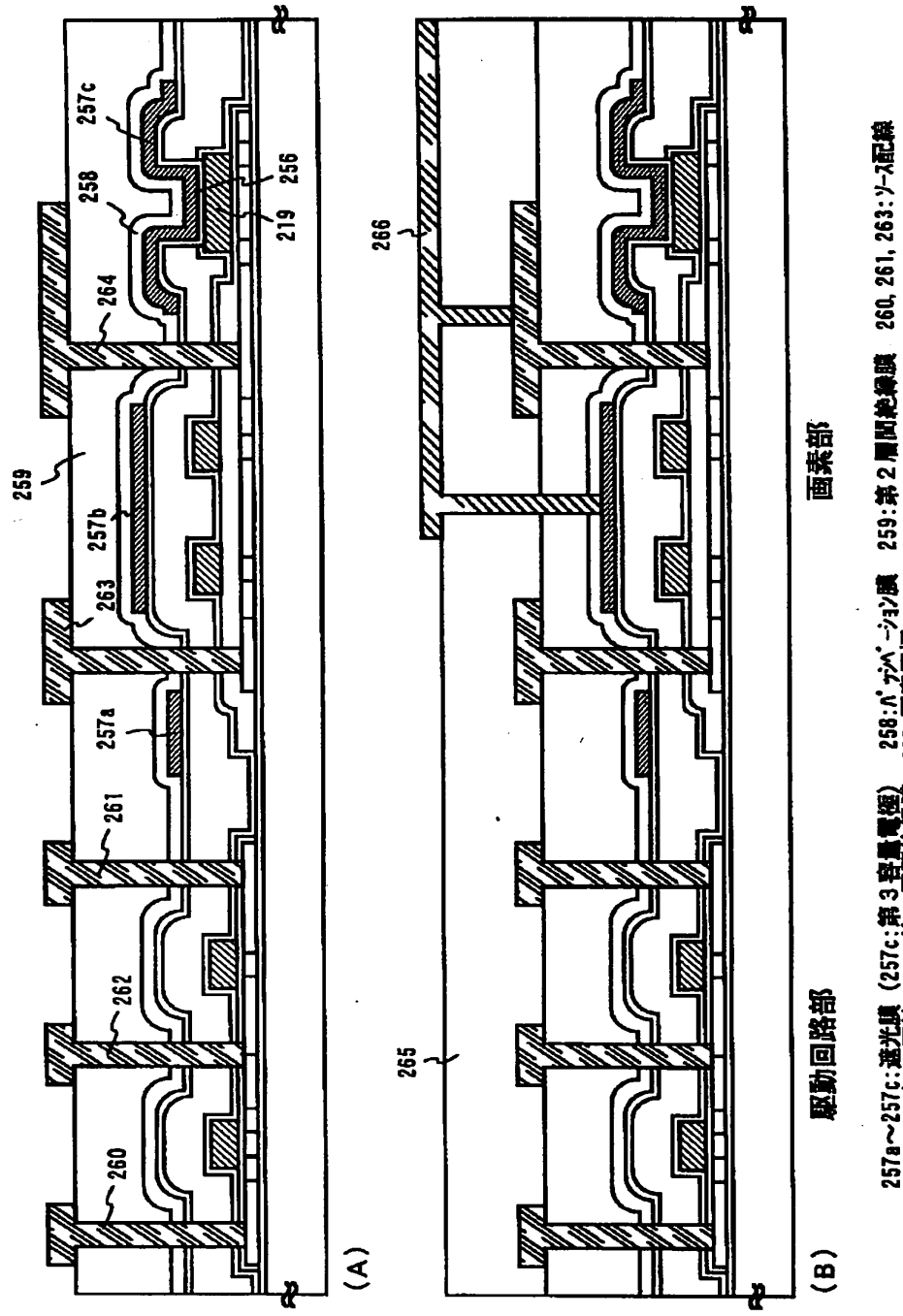
[Drawing 3]


(A)
(B)
(C)
(D)
リンの添加工程（n+）
リンの添加工程（n-）
210
211
212
213
214
215
216
217
218a
218b
219
220
221
222
223a
223b
224
225
226
227
228
229
230
231
232
233
234
235
236a
236b
236c
237a
237b
238
239
210,211:半導体膜 212:ゲート絶縁膜 213:酸化珪素膜(熱酸化膜) 214:第1導電体 215:ゲート絶縁膜 216～218:ゲート配線
219:第2容量電極 220:保護膜 221～224:サイドウォール 225:レジストマスク 226～230:不純物領域 231,234:ソース領域
232,236a～236c:LDD領域 233,237a,237b:チャネル形成領域 235:ドレイン領域 238:第1容量電極 239:低濃度不純物領域

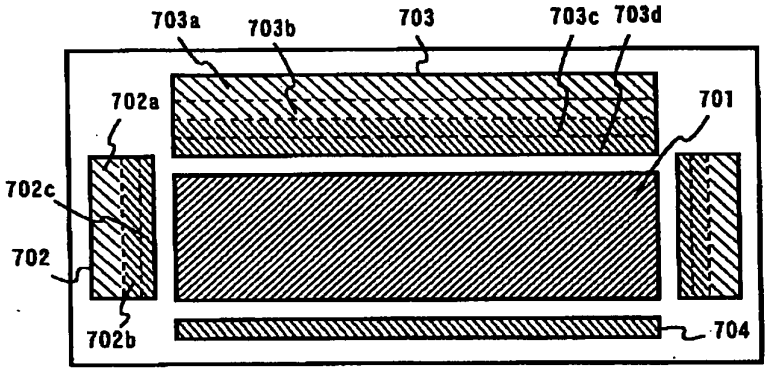
[Drawing 4]


ボロンの添加工程（p+）
240a
240b
241
243
242
244
(A)
217
248
216
245
246
247
249
218a
250b
218b
250c
250a
251a
251b
252
(B)
253
254
255
256
(C)
240a, 240b:ゲート電極 241:ソース領域 242, 244:ドレイン領域 243:チャネル形成領域 245, 250a～250c:LDD領域
246, 249, 251a, 251b:チャネル形成領域 247:ソース領域 248:ドレイン領域 252:第1容量電極 253:第1層間絶縁膜
254:開口部 255:酸化珪素膜 256:第2容量電極

[Drawing 5]

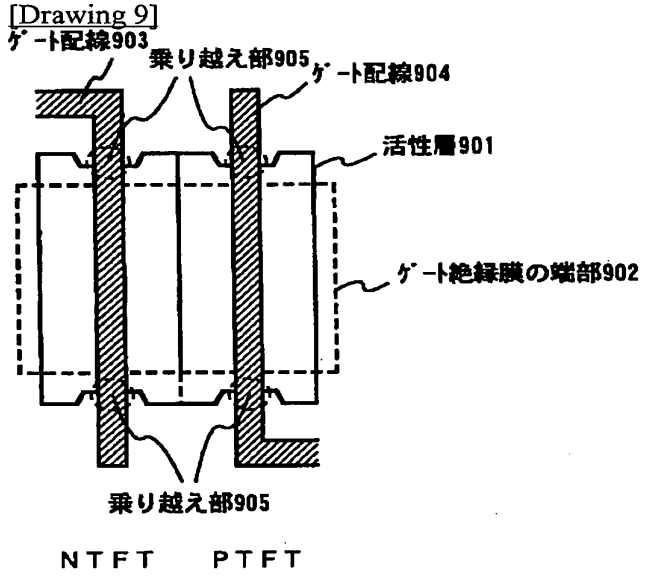

257c
258
256
219
264
259
257b
263
257a
261
262
260
(A)
266
265
(B)
駆動回路部
画素部
257a～257c：遮光膜（257c：第3容量電極） 258：ﾊﾟｯｼﾍﾞｰｼｮﾝ膜 259：第2層間絶縁膜 260, 261, 263：ｿｰｽ配線
262, 264：ﾄﾞﾚｲﾝ配線 265：第3層間絶縁膜 266：画素電極

[Drawing 7]

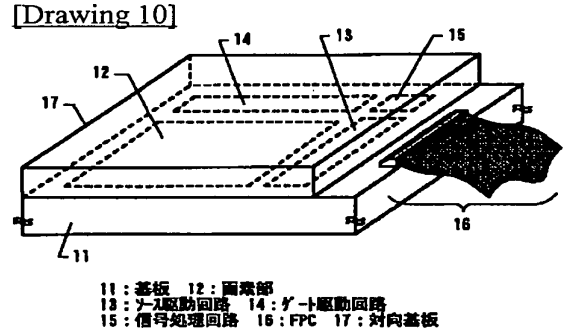



701:画素部 702a, 703a:シフトレジスタ 702b, 703b:レベルシフタ
702c, 703c:バッファ 703d:サンプリング回路 704:プリチャージ回路

[Drawing 9]

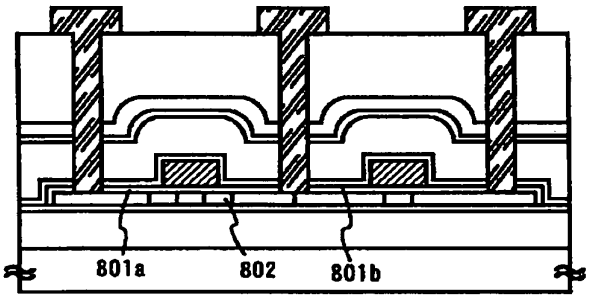



[Drawing 10]

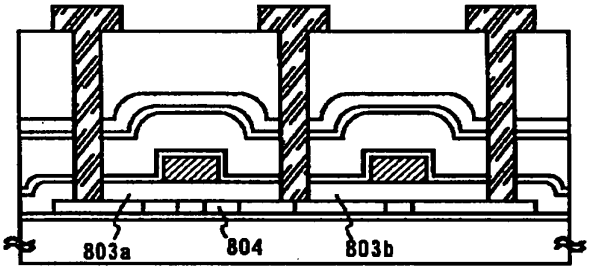



11:基板 12:画素部
13:ソース駆動回路 14:ゲート駆動回路
15:信号処理回路 16:FPC 17:対向基板

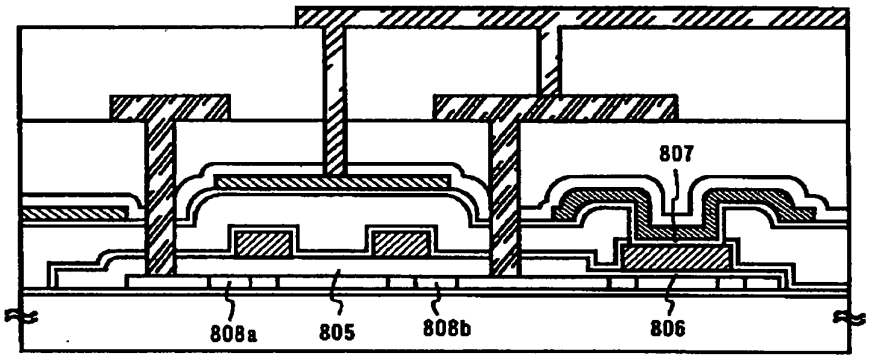
[Drawing 8]




(A) ▨ で示した領域の駆動回路

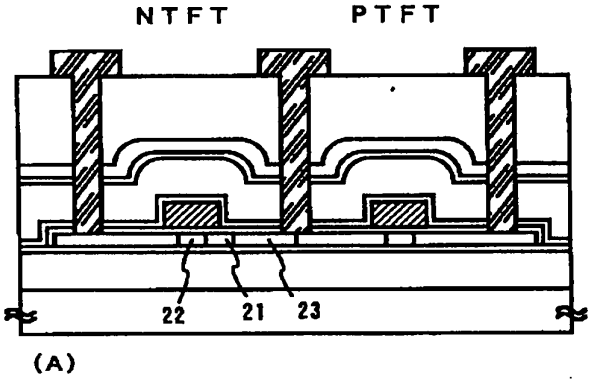



(B) ▨ で示した領域の駆動回路

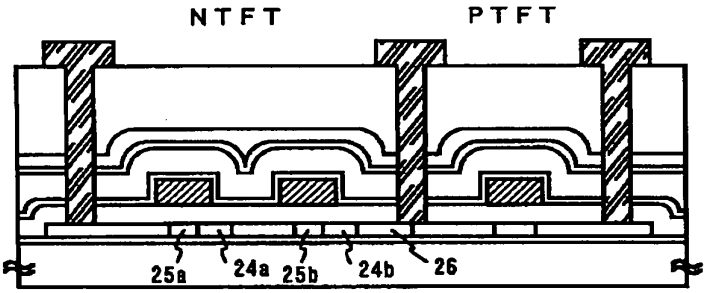



(C) ▨ で示した領域の画素部

[Drawing 11]

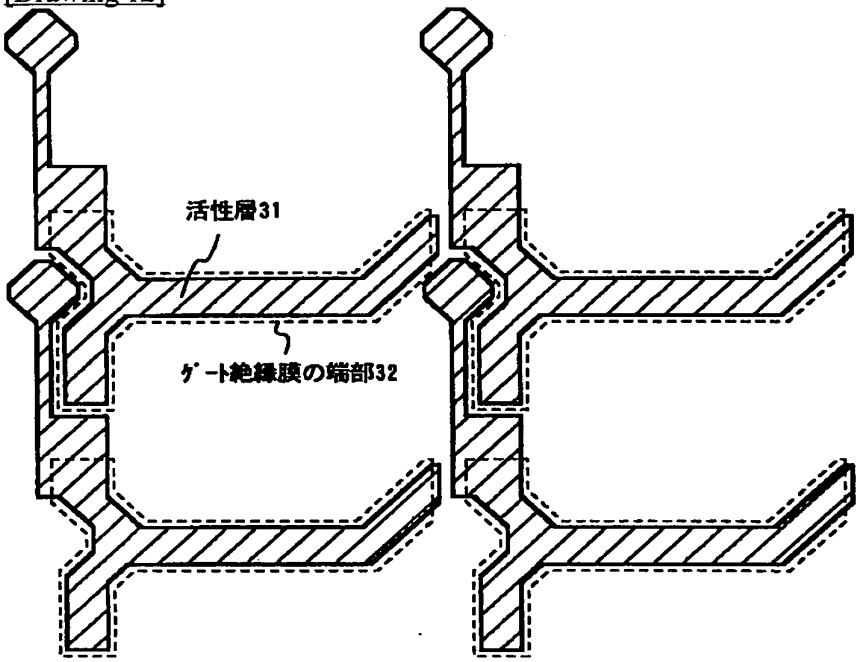



(A)

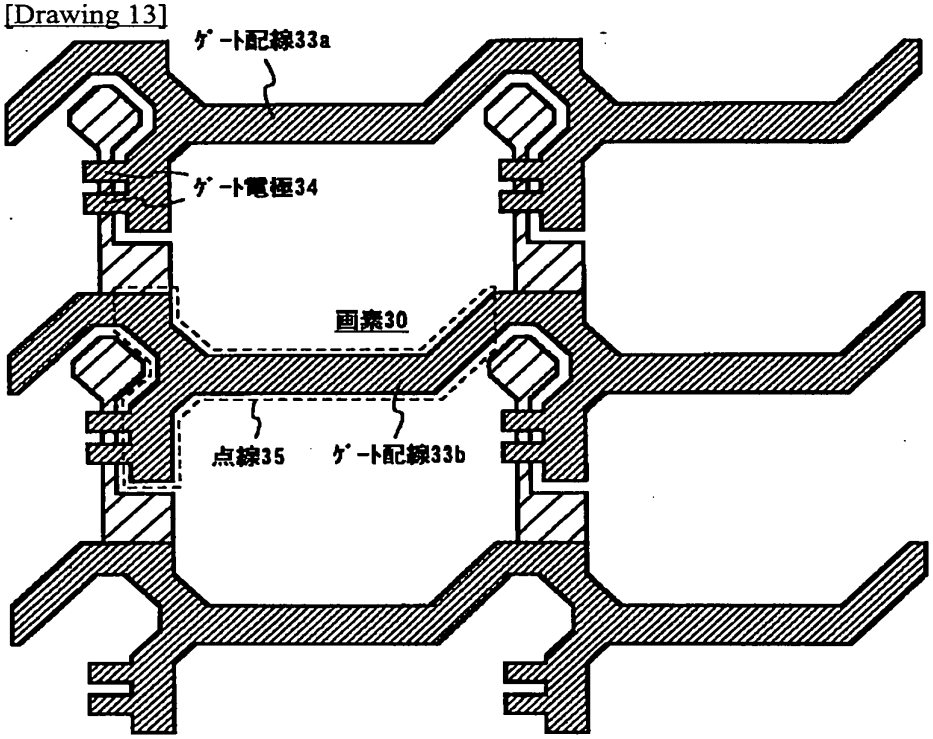



(B)

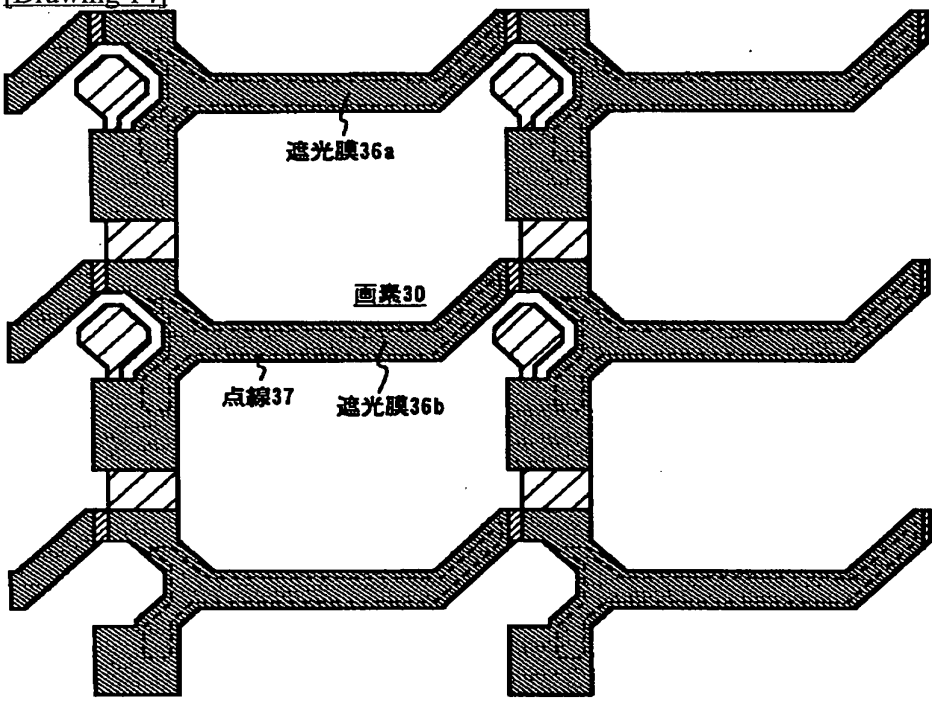
[Drawing 12]



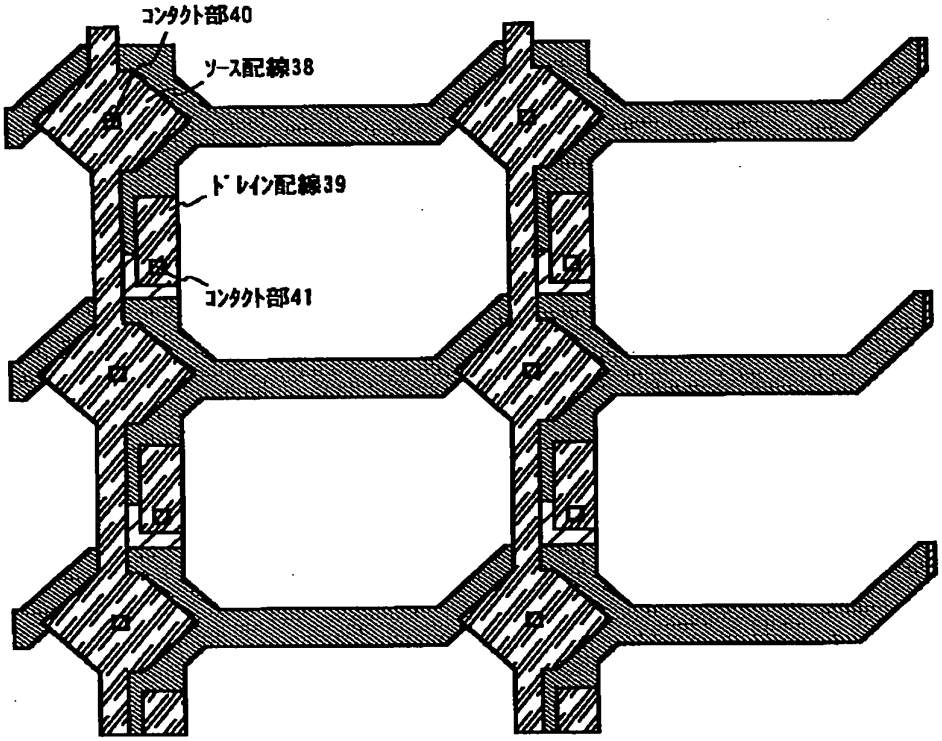
[Drawing 13]



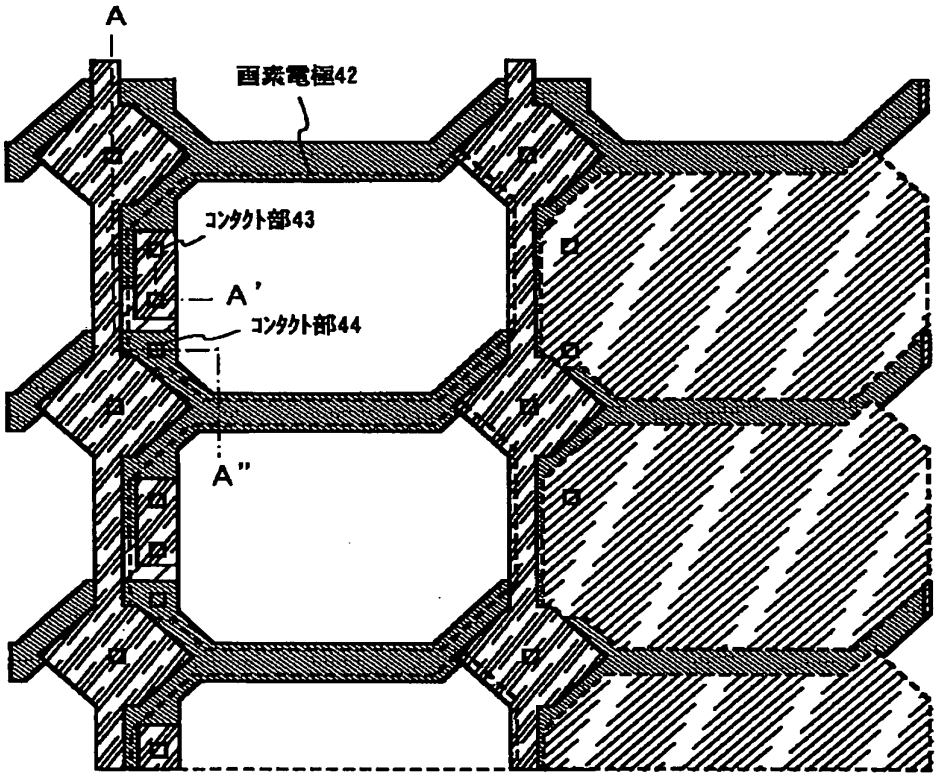

[Drawing 14]



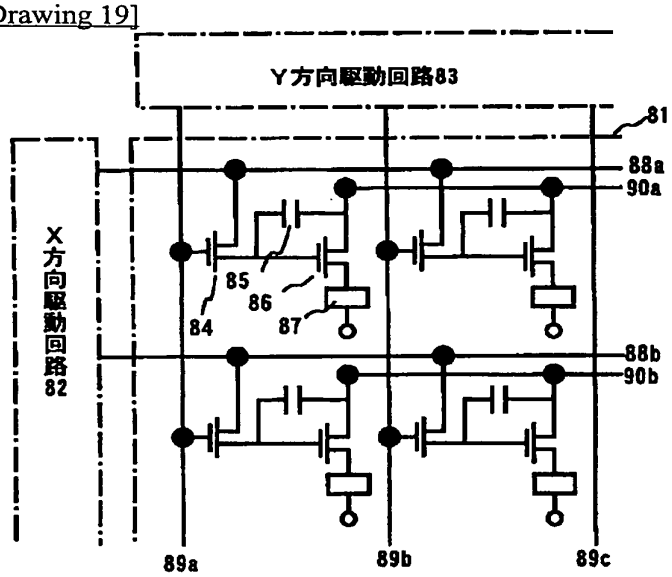

[Drawing 15]




[Drawing 16]

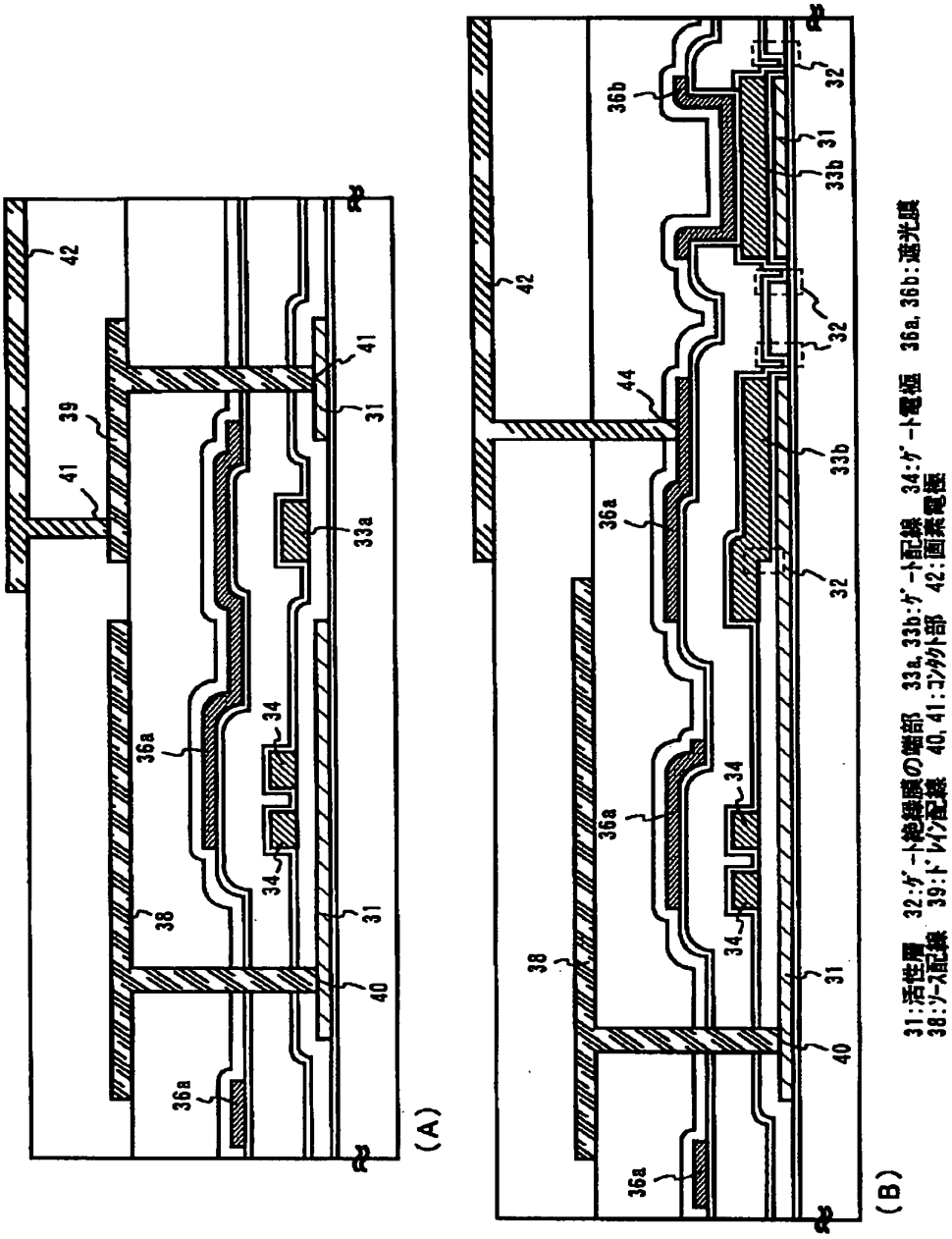



[Drawing 19]

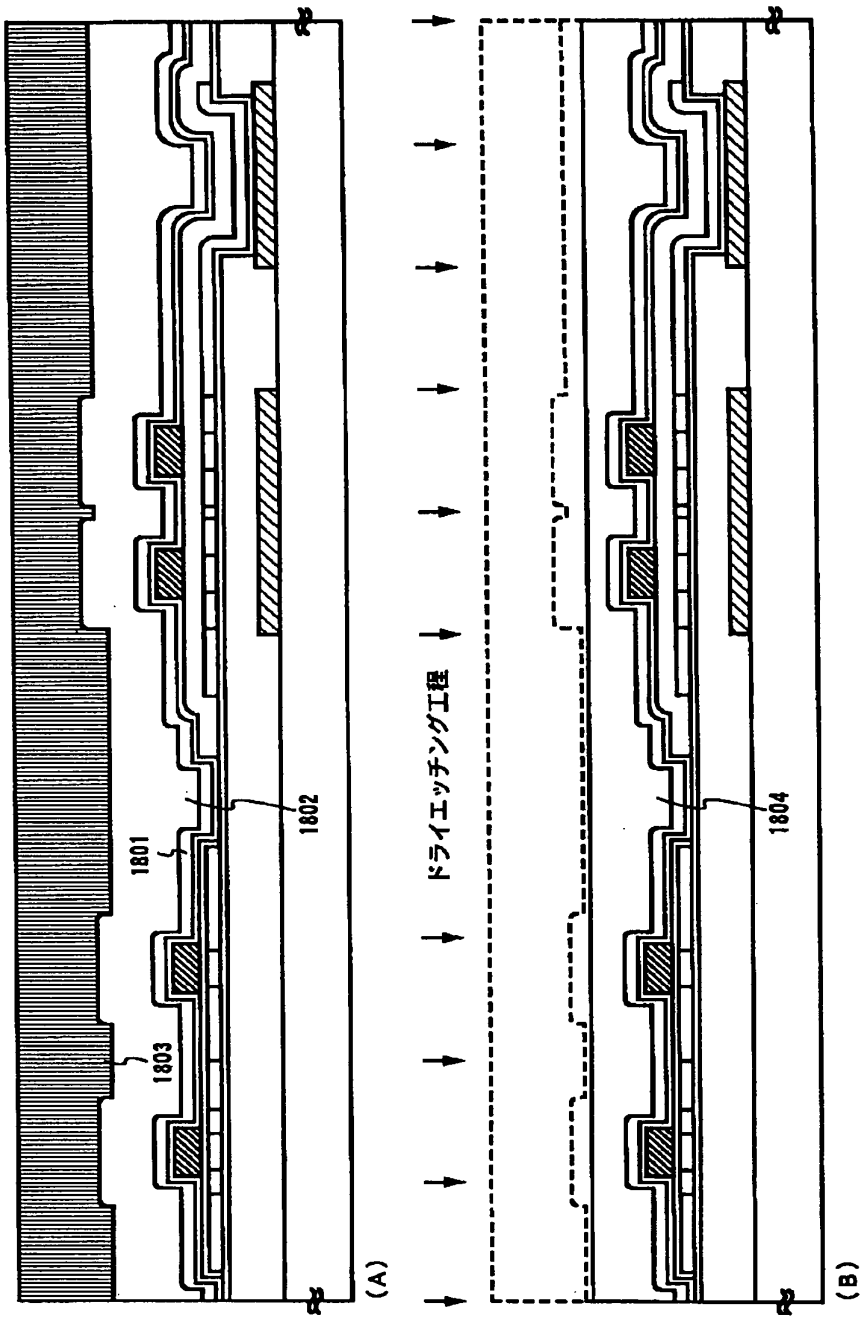



81:画素部 82:X方向（ソース）駆動回路 83:Y方向（ゲート）駆動回路
84:スイッチング用TFT 85:コンデンサ 86:電流制御用TFT 87:有機EL素子
88a, 88b:X方向信号線 89a～89c:Y方向信号線 90a, 90b:電源線

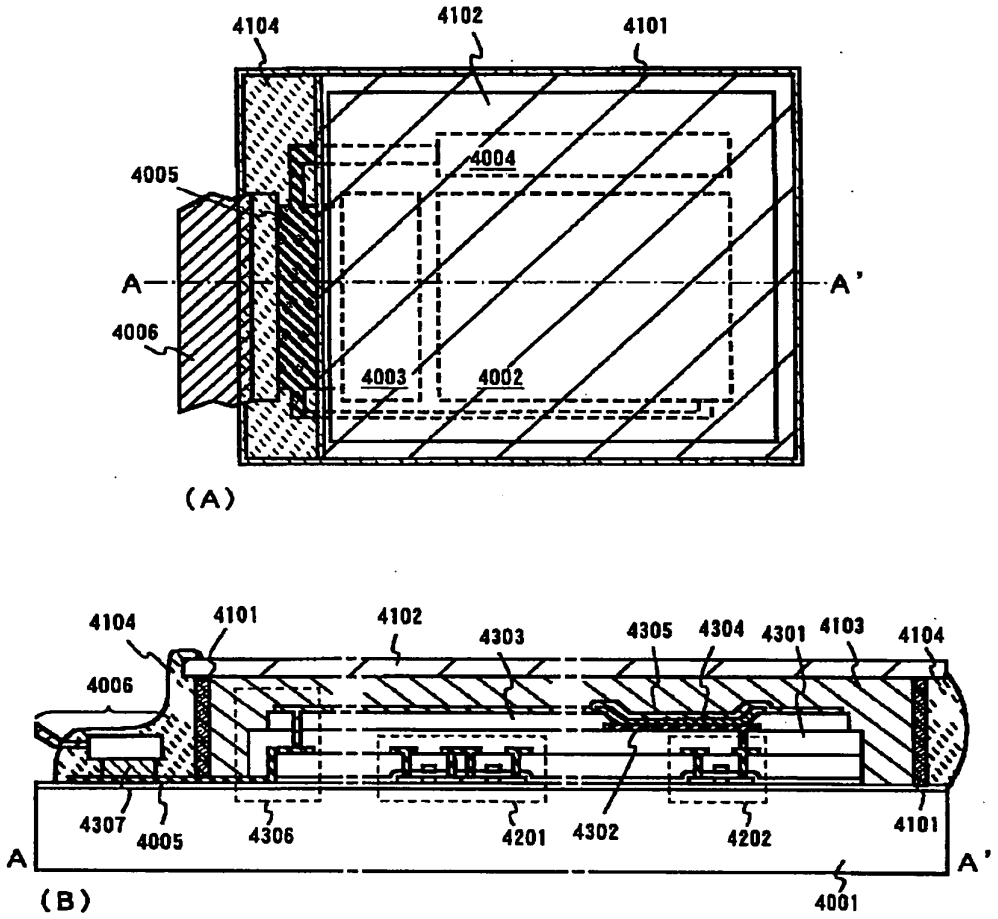
[Drawing 17]


(A)
(B)
31:活性層 32:ゲート絶縁膜の端部 33a, 33b:ゲート配線 34:ゲート電極 36a, 36b:遮光膜
38:ソース配線 39:ドレイン配線 40, 41:コンタクト部 42:画素電極

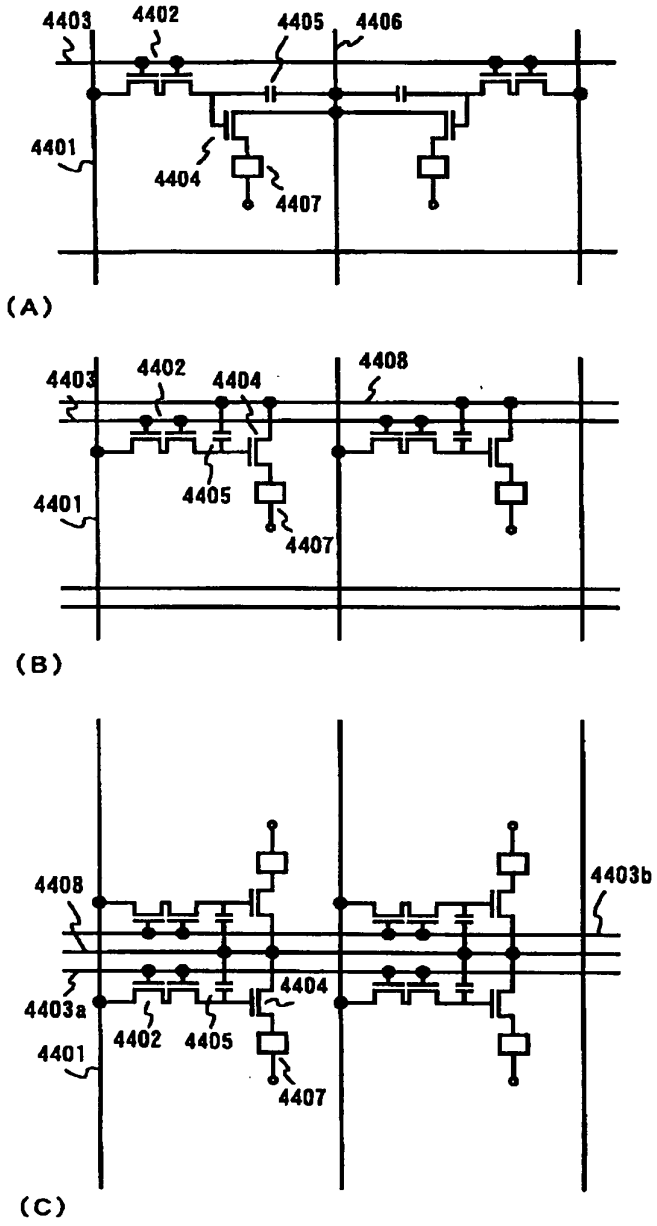
[Drawing 18]



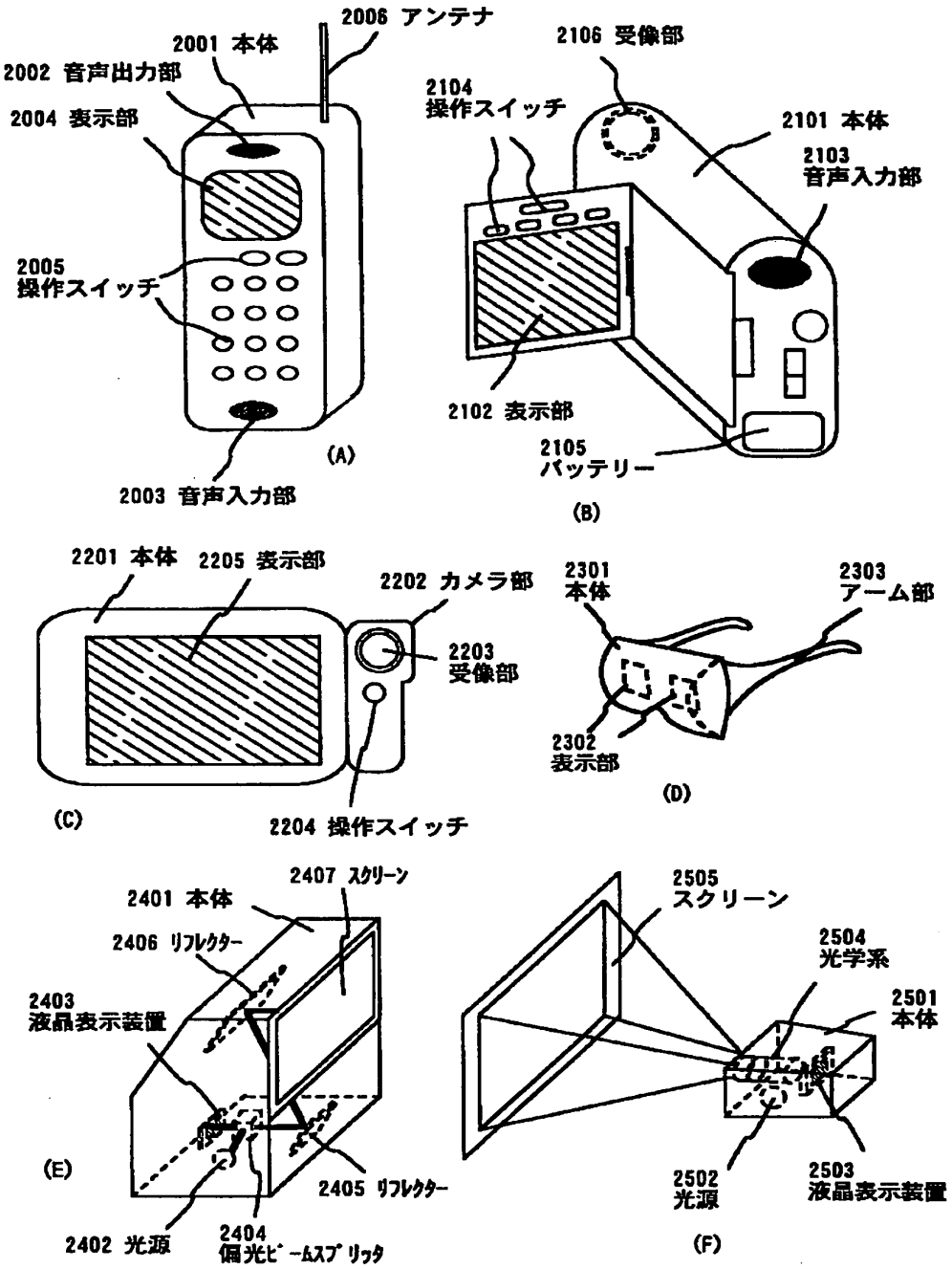

[Drawing 20]


4104
4102
4101
4004
4005
A
A'
4006
4003
4002
(A)
4104
4101
4102
4303
4305
4304
4301
4103
4104
4006
4307
4005
4306
4201
4302
4202
4101
A
A'
(B)
4001

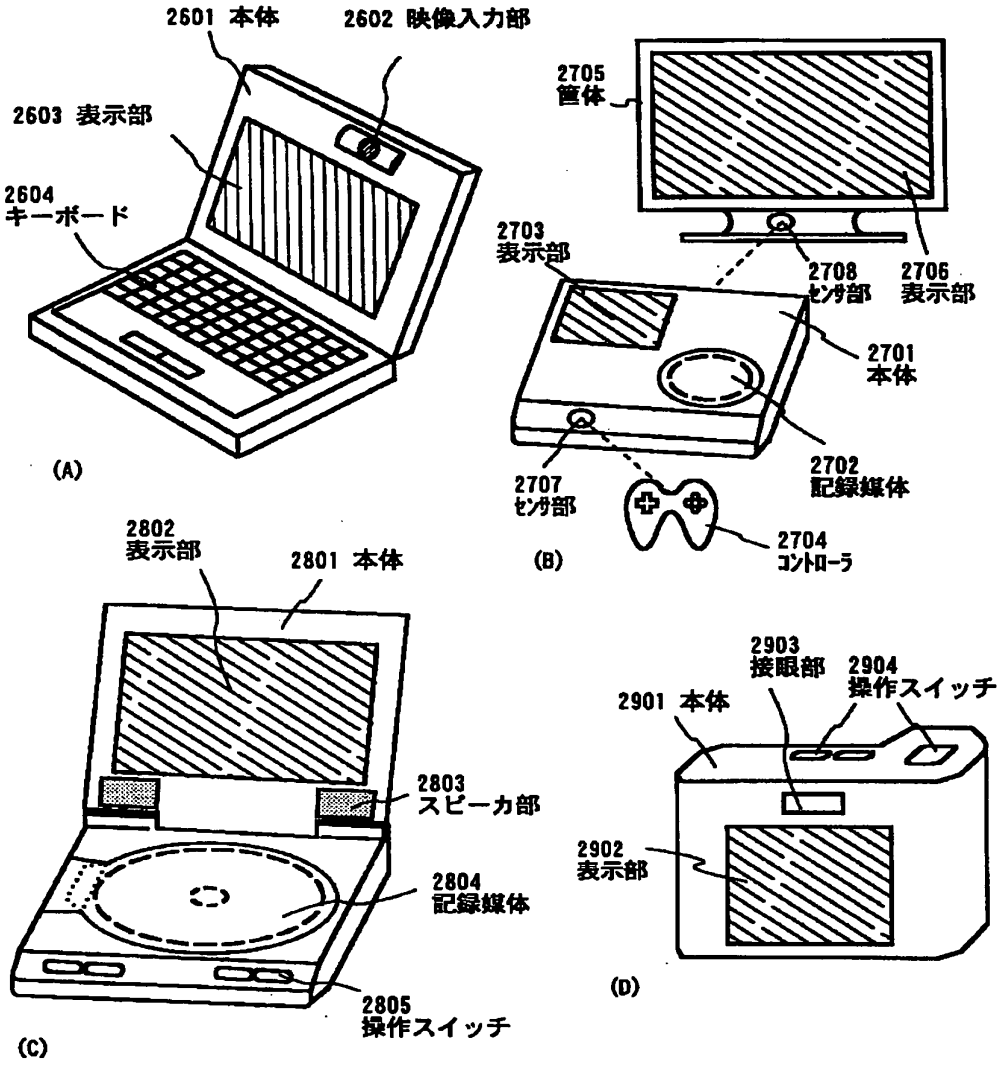
[Drawing 21]


4403
4402
4405
4406
4401
4404
4407
(A)
4403
4402
4404
4408
4405
4401
4407
(B)
4408
4403b
4403a
4404
4402
4405
4401
4407
(C)

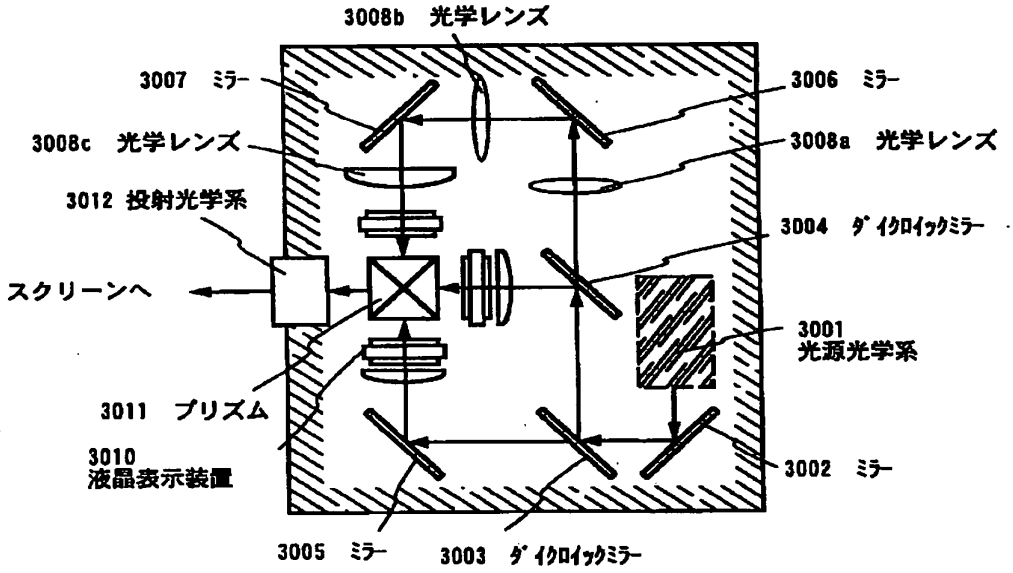
[Drawing 22]


2006 アンテナ
2001 本体
2002 音声出力部
2004 表示部
2005
操作スイッチ
2003 音声入力部
(A)
2106 受像部
2104
操作スイッチ
2101 本体
2103
音声入力部
2102 表示部
2105
バッテリー
(B)
2201 本体
2205 表示部
2202 カメラ部
2203
受像部
2204 操作スイッチ
(C)
2301
本体
2303
アーム部
2302
表示部
(D)
2407 スクリーン
2401 本体
2406 リフレクター
2403
液晶表示装置
(E)
2405 リフレクター
2402 光源
2404
偏光ビームスプリッタ
2505
スクリーン
2504
光学系
2501
本体
2502
光源
2503
液晶表示装置
(F)

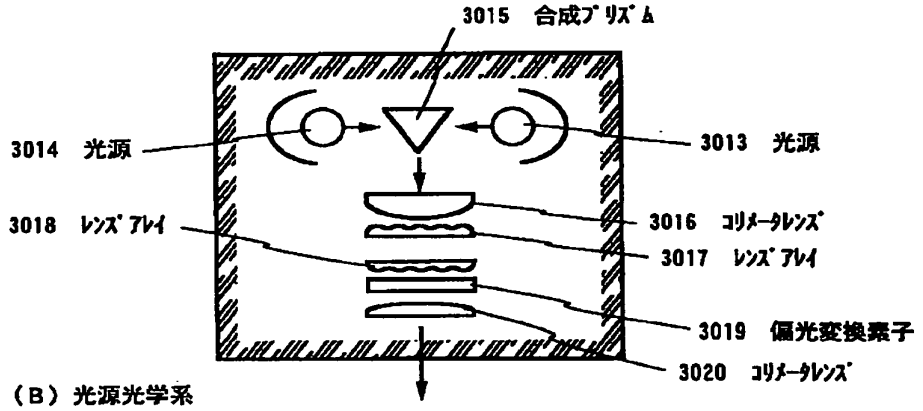
[Drawing 23]


2601 本体
2602 映像入力部
2603 表示部
2604
キーボード
(A)
2705
筐体
2703
表示部
2708
ｾﾝｻ部
2706
表示部
2701
本体
2702
記録媒体
2707
ｾﾝｻ部
2704
ｺﾝﾄﾛｰﾗ
(B)
2802
表示部
2801 本体
2803
スピーカ部
2804
記録媒体
2805
操作スイッチ
(C)
2903
接眼部
2904
操作スイッチ
2901 本体
2902
表示部
(D)

[Drawing 24]




（A）光学エンジン（三板式）




（B）光源光学系

---

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－284722
（P2000－284722A）
(43)公開日　平成12年10月13日(2000.10.13)

| (51)Int.Cl.⁷ | | 識別記号 | FI | | テーマコード(参考) |
|---|---|---|---|---|---|
| Ｇ０９Ｆ | 9/30 | ３３８ | Ｇ０９Ｆ | 9/30 | ３３８ |
| | | ３４９ | | | ３４９Ｚ |
| Ｇ０２Ｆ | 1/1345 | | Ｇ０２Ｆ | 1/1345 | |
| | 1/1368 | | | 1/136 | ５００ |
| Ｈ０１Ｌ | 29/786 | | Ｈ０１Ｌ | 29/78 | ６１２Ｂ |

審査請求　未請求　請求項の数11　ＯＬ　（全 37 頁）

(21)出願番号　特願2000－15372(P2000－15372)

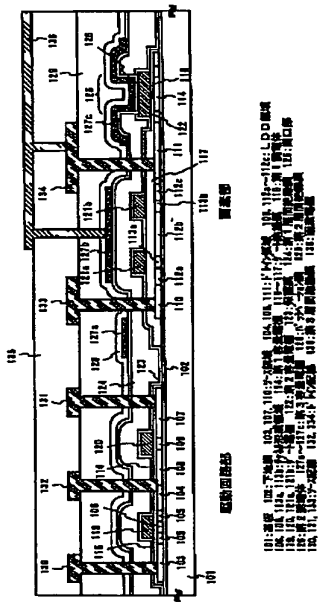
(22)出願日　平成12年１月25日(2000.1.25)

(31)優先権主張番号　特願平11－22298
(32)優先日　平成11年１月29日(1999.1.29)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内
(72)発明者　池田　隆之
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内
(72)発明者　福永　健司
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

(54)【発明の名称】　半導体装置およびその作製方法

(57)【要約】
【課題】　最小限の面積で必要十分なキャパシティをもつ保持容量を備えた半導体装置を提供する。
【解決手段】　画素部の保持容量を第１保持容量と第２保持容量とを上下に重ねて並列に接続した構造とする。その際、第１保持容量は、ドレイン領域１１１と同一の層に形成された第１容量電極１１４、第１誘電体１１８及びゲート配線と同一の層に形成された第２容量電極１２２で形成され、第２保持容量は、第２容量電極１２２、第２誘電体１２６及び遮光膜と同一の層に形成された第３容量電極１２７cで形成される。



【特許請求の範囲】
【請求項１】画素ＴＦＴと保持容量とを有する画素部と、該画素部を駆動する駆動回路部とを含む半導体装置において、
前記保持容量は第１保持容量と第２保持容量とが並列に接続されて形成されており、
前記第１保持容量は、前記画素ＴＦＴの活性層に電気的に接続された第１容量電極、第１誘電体および第２容量電極で形成され、前記第２保持容量は、前記第２容量電極、第２誘電体および第３容量電極で形成され、
前記第１容量電極と前記第３容量電極とは画素電極を介して電気的に接続されていることを特徴とする半導体装置。
【請求項２】請求項１において、前記第１誘電体または前記第２誘電体は珪素を含む絶縁膜で形成され、該第１誘電体または第２誘電体の膜厚は５～５０nmであることを特徴とする半導体装置。
【請求項３】請求項１において、前記第１誘電体と前記駆動回路部に含まれるＴＦＴのゲート絶縁膜とが同一の膜厚であることを特徴とする半導体装置。
【請求項４】請求項１において、前記第１容量電極は前記活性層と同一の層に形成された半導体膜からなる電極であり、前記第２容量電極はゲート配線と同一の層に形成された電極であり、前記第３容量電極は遮光膜と同一の層に形成された電極であることを特徴とする半導体装置。
【請求項５】活性層、該活性層に対して第１誘電体を挟んで設けられたゲート配線、該ゲート配線を覆う第１層間絶縁膜、該第１層間絶縁膜に設けられた開口部、該開口部を覆う第２誘電体、前記ゲート配線に対して前記第２誘電体を挟んで設けられた遮光膜、該遮光膜を覆う第２層間絶縁膜、該第２層間絶縁膜の上のソース配線もしくはドレイン配線、該ソース配線もしくはドレイン配線を覆う第３層間絶縁膜及び該第３層間絶縁膜の上の画素電極を有し、
前記活性層と前記ゲート配線は前記第１誘電体を挟んで第１保持容量を形成し、前記ゲート配線と前記遮光膜は前記第２誘電体を挟んで第２保持容量を形成し、
前記活性層と前記遮光膜とは前記画素電極を介して電気的に接続されていることを特徴とする半導体装置。
【請求項６】請求項５において、前記第１誘電体または前記第２誘電体は珪素を含む絶縁膜で形成され、該第１誘電体または前記第２誘電体の膜厚は５～５０nmであることを特徴とする半導体装置。
【請求項７】請求項５において、前記第１誘電体及び駆動回路に含まれる少なくとも一部のＴＦＴのゲート絶縁膜は同一の膜厚であることを特徴とする半導体装置。
【請求項８】請求項１乃至請求項７のいずれか一において、前記画素電極はＥＬ素子の陽極または陰極であることを特徴とするＥＬ表示装置。
【請求項９】請求項１乃至請求項８のいずれか一に記載の半導体装置を表示部に用いたことを特徴とする電気器具。
【請求項１０】基板上に活性層を形成する第１工程と、
前記活性層の上に珪素を含む絶縁膜を形成する第２工程と、
前記珪素を含む絶縁膜の一部を除去し、前記活性層の一部を露呈させる第３工程と、
前記第３工程により露呈された活性層に第１誘電体を形成する第４工程と、
前記珪素を含む絶縁膜および前記第１誘電体の上にゲート配線及び第２容量電極を形成する第５工程と、
前記ゲート配線及び前記第２容量電極の上に第１層間絶縁膜を形成する第６工程と、
前記第１層間絶縁膜の一部を除去し、前記第２容量電極の一部を露呈させる第７工程と、
前記第７工程により露呈された第２容量電極の上に第２誘電体を形成する第８工程と、
前記第１層間絶縁膜及び前記第２誘電体の上に遮光膜を形成する第９工程と、
前記遮光膜の上に第２層間絶縁膜を形成する第１０工程と、
前記第２層間絶縁膜の上にソース配線またはドレイン配線を形成する第１１工程と、
前記ソース配線またはドレイン配線の上に第３層間絶縁膜を形成する第１２工程と、
前記第３層間絶縁膜の上に、前記遮光膜及び前記ドレイン配線と電気的に接続される画素電極を形成する第１３工程と、
を有することを特徴とする半導体装置の作製方法。
【請求項１１】請求項１０において、前記第１誘電体または前記第２誘電体は熱ＣＶＤ法により形成された珪素を含む絶縁膜であることを特徴とする半導体装置の作製方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、ＴＦＴという）で構成された回路を有する半導体装置に関する。例えば、液晶表示装置やＥＬ（エレクトロルミネセンス）表示装置に代表される電気光学装置、半導体回路及び本願発明の電気光学装置または半導体回路を用いた電気器具（電子機器）の構成に関する。
【０００２】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電気器具は全て半導体装置である。
【０００３】
【従来の技術】薄膜トランジスタ（以下、ＴＦＴという）は透明基板上に形成することができるので、アクティブマトリクス型液晶ディスプレイ（以下、ＡＭ−ＬＣ

Dという）への応用開発が積極的に進められてきた。結晶質半導体膜（代表的にはポリシリコン膜）を利用したＴＦＴは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【０００４】基本的にＡＭ－ＬＣＤは画像を表示する画素部（画素マトリクス回路ともいう）と、画素部に配列された各画素のＴＦＴを駆動するゲート駆動回路（ゲートドライバー回路ともいう）、各画素ＴＦＴへ画像信号を送るソース駆動回路（ソースドライバー回路ともいう）またはデータ駆動回路（データドライバー回路ともいう）が同一基板上に形成されてなる。なお、ゲート駆動回路及びソース駆動回路が形成される領域を駆動回路部と呼ぶ。

【０００５】近年では、これら画素部と駆動回路部の他に、信号分割回路やγ補正回路などといった信号処理回路をも同一基板上に設けたシステム・オン・パネルが提案されている。

【０００６】しかしながら、画素部と駆動回路部とでは回路が要求する性能が異なるため、同一構造のＴＦＴで全ての回路仕様を満足させることは困難である。即ち、高速動作を重視するシフトレジスタ回路等を含む駆動回路部と、高耐圧特性を重視する画素部を構成するＴＦＴ（以下、画素ＴＦＴという）とを同時に満足させるＴＦＴ構造は確立されていないのが現状である。

【０００７】そこで本出願人は駆動回路を構成するＴＦＴ（以下、駆動ＴＦＴという）と画素ＴＦＴとでゲート絶縁膜の膜厚を異ならせるという構成を出願済みである（特開平１０－０５６１８４号公報、対応米国特許番号第０８／８６２，８９５）。具体的には、駆動ＴＦＴのゲート絶縁膜を画素ＴＦＴのゲート絶縁膜よりも薄くするというものである。

【０００８】

【発明が解決しようとする課題】本願発明では、上記公報に記載された構成を基本として、さらに画素部に関する改善を行っている。具体的には、小さい面積で大容量を確保しうる保持容量を形成するための構造を提供するものである。

【０００９】そして、ＡＭ－ＬＣＤに代表される電気光学装置の各回路を機能に応じて適切な構造のＴＦＴでもって形成し、高い信頼性を有する電気光学装置を提供することを課題とする。延いては、そのような電気光学装置を表示部として有する半導体装置（電気器具）の信頼性を高めることを課題とする。

【００１０】

【課題を解決するための手段】本明細書で開示する発明の構成は、画素ＴＦＴと保持容量とを有する画素部と、該画素部を駆動する駆動回路部とを含む半導体装置において、前記保持容量は第１保持容量と第２保持容量とが並列に接続されて形成されており、前記第１保持容量は、前記画素ＴＦＴの活性層に電気的に接続された第１容量電極、第１誘電体および第２容量電極で形成され、前記第２保持容量は、前記第２容量電極、第２誘電体および第３容量電極で形成され、前記第１容量電極と前記第３容量電極とは画素電極を介して電気的に接続されていることを特徴とする。

【００１１】上記構成において、前記第１誘電体または前記第２誘電体としては珪素を含む絶縁膜を用いることができ、該第１誘電体または第２誘電体の膜厚は５～５０nm（好ましくは１０～３０nm）とすることが好ましい。

【００１２】また、上記構成において、前記第２容量電極として、信号の与えられたゲート配線（選択されたゲート配線）の隣のゲート配線（選択されていないゲート配線）を用いることで開口率（透過型液晶表示装置において画像表示に用いることのできる面積の割合）が低下するのを抑えることができる。

【００１３】また、他の発明の構成は、活性層、該活性層に対して第１誘電体を挟んで設けられたゲート配線、該ゲート配線を覆う第１層間絶縁膜、該第１層間絶縁膜に設けられた開口部、該開口部を覆う第２誘電体、前記ゲート配線に対して前記第２誘電体を挟んで設けられた遮光膜、該遮光膜を覆う第２層間絶縁膜、該第２層間絶縁膜の上のソース配線もしくはドレイン配線、該ソース配線もしくはドレイン配線を覆う第３層間絶縁膜及び該第３層間絶縁膜の上の画素電極を有し、前記活性層と前記ゲート配線は前記第１誘電体を挟んで第１保持容量を形成し、前記ゲート配線と前記遮光膜は前記第２誘電体を挟んで第２保持容量を形成し、前記活性層と前記遮光膜とは前記画素電極を介して電気的に接続されていることを特徴とする。

【００１４】上記構成においても、第１誘電体または第２誘電体として５～５０nm（好ましくは１０～３０nm）の厚さの珪素を含む絶縁膜を用いることができる。

【００１５】また、画素ＴＦＴのゲート絶縁膜は保持容量を形成する領域において選択的にエッチングされ除去される。その後、その領域の活性層表面には新たに５～５０nm（好ましくは１０～３０nm）の薄い絶縁膜（第１誘電体）が形成される。即ち、画素ＴＦＴのゲート絶縁膜の膜厚は第１誘電体の膜厚よりも厚い。

【００１６】さらに、第１層間絶縁膜も保持容量を形成する領域において選択的にエッチングされている。そして、新たに５～５０nm（好ましくは１０～３０nm）厚の珪素を含む絶縁膜を形成して第２誘電体とする。

【００１７】また、他の発明の構成は、基板上に活性層を形成する第１工程と、前記活性層の上に珪素を含む絶縁膜を形成する第２工程と、前記珪素を含む絶縁膜の一部を除去し、前記活性層の一部を露呈させる第３工程と、前記第３工程により露呈された活性層に第１誘電体を形成する第４工程と、前記珪素を含む絶縁膜および前

記第１誘電体の上にゲート配線及び第２容量電極を形成する第５工程と、前記ゲート配線及び前記第２容量電極の上に第１層間絶縁膜を形成する第６工程と、前記第１層間絶縁膜の一部を除去し、前記第２容量電極の一部を露呈させる第７工程と、前記第７工程により露呈された第２容量電極の上に第２誘電体を形成する第８工程と、前記第１層間絶縁膜及び前記第２誘電体の上に遮光膜を形成する第９工程と、前記遮光膜の上に第２層間絶縁膜を形成する第１０工程と、前記第２層間絶縁膜の上にソース配線またはドレイン配線を形成する第１１工程と、前記ソース配線またはドレイン配線の上に第３層間絶縁膜を形成する第１２工程と、前記第３層間絶縁膜の上に、前記遮光膜及び前記ドレイン配線と電気的に接続される画素電極を形成する第１３工程と、を有することを特徴とする。

【００１８】上記構成において、前記第１誘電体または前記第２誘電体は熱ＣＶＤ法（代表的には減圧熱ＣＶＤ法）により形成された珪素を含む絶縁膜を用いることが好ましい。第１誘電体や第２誘電体は膜厚が５～５０ｎｍと薄いため、熱ＣＶＤ法で高品質な膜を用いることが好ましいからである。

【００１９】

【発明の実施の形態】本願発明の実施形態について、図１を用いて説明する。図１は同一基板上に駆動回路部と画素部とを一体形成したＡＭ－ＬＣＤの断面図を示している。なお、ここでは駆動回路部を構成する基本回路としてＣＭＯＳ回路を示し、画素ＴＦＴとしてはダブルゲート構造のＴＦＴを示している。勿論、ダブルゲート構造に限らずトリプルゲート構造やシングルゲート構造などのマルチゲート構造としても良い。

【００２０】図１において、１０１は耐熱性を有する基板であり、石英基板、シリコン基板、セラミックス基板、金属基板（代表的にはステンレス基板）を用いれば良い。どの基板を用いる場合においても、必要に応じて下地膜（好ましくは珪素を主成分とする絶縁膜）を設けても構わない。

【００２１】１０２は下地膜として設けた酸化珪素膜であり、その上に駆動ＴＦＴの活性層、画素ＴＦＴの活性層および保持容量の下部電極となる半導体膜が形成される。なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電気的接続を行う箇所、または半導体膜と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「配線」という文言に「電極」は常に含められているものとする。

【００２２】図１において、駆動ＴＦＴの活性層は、Ｎチャネル型ＴＦＴ（以下、ＮＴＦＴという）のソース領域１０３、ドレイン領域１０４、ＬＤＤ（ライトドープトドレイン）領域１０５およびチャネル形成領域１０６、並びにＰチャネル型ＴＦＴ（以下、ＰＴＦＴという）のソース領域１０７、ドレイン領域１０８およびチャネル形成領域１０９で形成される。

【００２３】また、画素ＴＦＴ（ここではＮＴＦＴを用いる。）の活性層は、ソース領域１１０、ドレイン領域１１１、ＬＤＤ領域１１２a～１１２cおよびチャネル形成領域１１３a、１１３bで形成される。さらに、ドレイン領域１１１から延長された半導体膜（ドレイン領域１１１と同一の層に形成された半導体膜）を下側保持容量の下部電極（第１容量電極）１１４として用いる。なお、第１容量電極１１４はドレイン領域１１１に電気的に接続されていれば良い。

【００２４】なお、第１容量電極は、実際には半導体膜なので対向する電極に所定の電圧を加えることでキャリアを誘起させ、電極として機能させることになる。しかし、本明細書中では説明の便宜上、電極として取り扱い、第１容量電極と呼ぶことにする。

【００２５】そして、活性層および第１容量電極を覆ってゲート絶縁膜が形成されるが、本願発明では駆動ＴＦＴのゲート絶縁膜１１５（ＮＴＦＴ側）、１１６（ＰＴＦＴ側）が、画素ＴＦＴのゲート絶縁膜１１７よりも薄く形成される。代表的には、ゲート絶縁膜１１５、１１６の膜厚は５～５０nm（好ましくは１０～３０nm）とし、ゲート絶縁膜１１７の膜厚は５０～２００nm（好ましくは１００～１５０nm）とすれば良い。

【００２６】なお、駆動ＴＦＴのゲート絶縁膜は一種類の膜厚である必要はない。即ち、駆動回路内に異なる絶縁膜を有する駆動ＴＦＴが存在していても構わない。その場合、同一基板上に異なるゲート絶縁膜を有するＴＦＴが少なくとも三種類以上存在することになる。

【００２７】また、下側保持容量の誘電体（第１誘電体）１１８は駆動ＴＦＴのゲート絶縁膜１１５、１１６と同時に形成された絶縁膜で形成されても良い。即ち、駆動ＴＦＴのゲート絶縁膜と保持容量の誘電体が同じ膜厚の同一絶縁膜で形成された構成としても良い。勿論、第１誘電体１１８としてゲート絶縁膜１１７をそのまま延長させて用いても構わないが、図１に示すように膜厚の薄い絶縁膜を用いた方が大きなキャパシティを得られるので有利である。

【００２８】なお、駆動ＴＦＴのゲート絶縁膜の膜厚と第１誘電体の膜厚が異なり、且つ、それらが画素ＴＦＴのゲート絶縁膜の膜厚と異なるという場合もありうる。例えば、駆動ＴＦＴ（特に高速動作を必要とする回路）が５～１０nm、画素ＴＦＴが１００～１５０nmのゲート絶縁膜を有し、保持容量の誘電体が３０～５０nmという場合である。

【００２９】このように保持容量の誘電体を薄くすることで、容量を形成する面積を大きくすることなくキャパシティを稼ぐことができる。この保持容量の構成は前述の特開平１０－０５６１８４号公報にはない。また、ＴＦＴの作製工程を増やすこともないという利点が得られ

る。

【００３０】次に、ゲート絶縁膜１１５～１１７の上には駆動ＴＦＴのゲート配線１１９、１２０と、画素ＴＦＴのゲート配線１２１a、１２１bが形成される。また、同時に第１誘電体１１８の上には下側保持容量の上部電極（第２容量電極）１２２が形成される。即ち、第２容量電極１２２はゲート配線１１９、１２０、１２１a及び１２１bと同一の層に形成される。このとき、第１容量電極１１４、第１誘電体１１８および第２容量電極１２２で下側保持容量（第１保持容量）が形成される。

【００３１】なお、この第２容量電極１２２は、画素ＴＦＴのゲート配線（但し、選択されていないゲート配線を用いるようにする）で兼ねることが好ましい。これにより画素部の開口率の低下を抑えることができる。この場合、活性層及び活性層に対して第１誘電体１１８を挟んで設けられたゲート配線により第１保持容量が形成される。

【００３２】また、ゲート配線１１９～１２１および第２容量電極１２２の形成材料としては、８００～１１５０℃（好ましくは９００～１１００℃）の温度に耐える耐熱性を有する導電膜を用いる。

【００３３】代表的には、導電性を有する珪素膜（例えばリンドープシリコン膜、ボロンドープシリコン膜等）や金属膜（例えばタングステン膜、タンタル膜、モリブデン膜、チタン膜等）でも良いし、前記金属膜をシリサイド化したシリサイド膜、窒化した窒化膜（窒化タンタル膜、窒化タングステン膜、窒化チタン膜等）でも良い。また、これらを自由に組み合わせて積層しても良い。

【００３４】また、前記金属膜を用いる場合には、金属膜の酸化を防止するために珪素膜との積層構造とすることが望ましい。また、酸化防止という意味では、金属膜を、珪素を含む絶縁膜で覆った構造が有効である。珪素を含む絶縁膜としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜（または窒化酸化珪素膜ともいう）を用いることができる。なお、酸化窒化珪素膜とは、酸素、窒素および珪素を所定の割合で含む絶縁膜である。図１では保護膜１２３として窒化珪素膜を設けてゲート配線の酸化を防ぐ。

【００３５】なお、上記材料でゲート配線を形成する時、成膜時の最上層に珪素を含む絶縁膜を設け、珪素を含む絶縁膜と上記材料とを一括でエッチングしてゲート配線パターンを形成することもできる。この場合、ゲート配線の上面のみが珪素を含む絶縁膜で保護された状態となる。

【００３６】次に、１２４は第１層間絶縁膜であり、珪素を含む絶縁膜（単層または積層）で形成される。この第１層間絶縁膜１２４は第２容量電極１２２の上に開口部１２５が設けられ、開口部１２５を覆って上側保持容量の誘電体（第２誘電体）１２６が形成される。第２誘電体１２６としては、前述したような珪素を含む絶縁膜（単層または積層）を用いることができる。また、第２容量電極１２２は、上側保持容量の下部電極としても機能する。

【００３７】次に、第２誘電体１２６の上には、第２容量電極（ゲート配線の場合もある）対して第２誘電体１２６を挟んで設けられた遮光膜１２７a～１２７ｃが形成される。この遮光膜１２７a～１２７cは同電位であり、特に１２７cで示される部分は上側保持容量の上部電極（第３容量電極）として機能する。即ち、第３容量電極１２７cは遮光膜と同一の層に形成される。その結果、第２容量電極１２２、第２誘電体１２６および第３容量電極１２７cで上側保持容量（第２保持容量）が形成される。

【００３８】その上にはパッシベーション膜１２８、第２層間絶縁膜１２９が設けられ、第２層間絶縁膜１２９の上にはコンタクトホールを介して駆動ＴＦＴのソース配線１３０、１３１、ドレイン配線１３２、および画素ＴＦＴのソース配線１３３、ドレイン配線１３４が形成される。その上にはそれらの配線を覆う第３層間絶縁膜１３５が形成され、その上には画素電極１３６が形成される。

【００３９】第２層間絶縁膜１２９や第３層間絶縁膜１３５としては、比誘電率の小さい樹脂膜が好ましい。樹脂膜としては、ポリイミド膜、アクリル膜、ポリアミド膜、ＢＣＢ（ベンゾシクロブテン）膜などを用いることができる。

【００４０】また、この画素電極１３６はコンタクトホールを介して遮光膜１２７b（１２７a、１２７cでも良い）と、画素ＴＦＴのドレイン配線１３４に接続される。即ち、遮光膜１２７a～１２７cはドレイン配線１３４、ドレイン領域１１１および第１容量電極１１４と画素電極を介して電気的に接続され、同電位になる。

【００４１】また、画素電極１３６としては、透過型ＡＭ－ＬＣＤを作製するのであればＩＴＯ膜に代表される透明導電膜を、反射型ＡＭ－ＬＣＤを作製するのであればアルミニウム膜に代表される反射率の高い金属膜を用いれば良い。

【００４２】なお、図１では画素電極１３６がドレイン電極１３４を介して画素ＴＦＴのドレイン領域１１１と電気的に接続されているが、画素電極１３６とドレイン領域１１１とが直接的に接続するような構造としても良い。

【００４３】以上のように、図１では活性層と同一の組成の半導体膜からなる第１容量電極１１４、第１誘電体１１８およびゲート配線と同一の層からなる第２容量電極１２２で下側保持容量（第１保持容量）が形成され、第２容量電極１２２、第２誘電体１２６および遮光膜と同一の層からなる第３容量電極１２７cで上側保持容量（第２保持容量）が形成される。

【００４４】そして、第１保持容量と第２保持容量が並列に接続されるため、非常にキャパシティの大きな保持容量を小さい面積で実現することができる。また、第１誘電体１１８または第２誘電体１２６として非常に薄い絶縁膜を用いることで、さらにキャパシティを増やすことができる。

【００４５】以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【００４６】

【実施例】［実施例１］本実施例では、「発明の実施の形態」で説明した図１の構造を実現するための作製工程について説明する。説明には図２～５を用いる。

【００４７】まず、基板として石英基板２０１を用意し、その上に２０nm厚の酸化珪素膜２０２と非晶質珪素膜２０３とを大気解放しないまま連続的に成膜する。こうすることで非晶質珪素膜の下表面に大気中に含まれるボロン等の不純物が吸着することを防ぐことができる。（図２（Ａ））

【００４８】なお、本実施例では非晶質珪素（アモルファスシリコン）膜を用いるが、他の半導体膜であっても構わない。微結晶質珪素（マイクロクリスタルシリコン）膜でも良いし、非晶質シリコンゲルマニウム膜でも良い。また、膜厚は後の熱酸化工程も考慮して、最終的に２５～４０nmとなるように形成する。

【００４９】次に、非晶質珪素膜の結晶化を行う。本実施例では結晶化手段として、特開平９－３１２２６０号公報に記載された技術を用いる。同公報に記載された技術は、結晶化を助長する触媒元素としてニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄、銅から選ばれた元素を用いた固相成長により非晶質珪素膜の結晶化を行う。

【００５０】本実施例では触媒元素としてニッケルを選択し、非晶質珪素膜２０３上にニッケルを含んだ層（図示せず）を形成し、５５０℃４時間の熱処理を行って結晶化する。そして、結晶質珪素（ポリシリコン）膜２０４を得る。（図２（Ｂ））

【００５１】なお、ここで結晶質珪素膜２０４に対してＴＦＴのしきい値電圧を制御するための不純物元素（リンまたはボロン）を添加しても良い。リンまたはボロンを打ち分けても良いし、どちらか片方のみを添加しても良い。また、この際、最終的に保持容量の第１容量電極となる領域に予めリンを添加しておくと、後に電極として用いやすくなるので好ましい。

【００５２】次に、結晶質珪素膜２０４上に１００nm厚の酸化珪素膜でなるマスク膜２０５を形成し、その上にレジストマスク２０６a、２０６bを形成する。さらにレジストマスク２０６a、２０６bをマスクとしてマスク膜２０５をエッチングし、開口部２０７a、２０７bを形成する。

【００５３】この状態で周期表の１５族に属する元素（本実施例ではリン）を添加し、リンドープ領域（リン添加領域）２０８a、２０８bを形成する。なお、添加するリンの濃度は$5\times10^{18}$～$1\times10^{20}$atoms/cm$^3$（好ましくは$1\times10^{19}$～$5\times10^{19}$atoms/cm$^3$）が好ましい。但し、添加すべきリンの濃度は、後のゲッタリング工程の温度、時間、さらにはリンドープ領域の面積によって変化するため、この濃度範囲に限定されるものではない。（図２（Ｃ））

【００５４】次に、レジストマスク２０６a、２０６bを除去して４５０～６５０℃（好ましくは５００～６００℃）の熱処理を２～１６時間加え、結晶質珪素膜中に残存するニッケルのゲッタリングを行う。ゲッタリング作用を得るためには熱履歴の最高温度から±５０℃程度の温度が必要であるが、結晶化のための熱処理が５５０～６００℃で行われるため、５００～６５０℃の熱処理で十分にゲッタリング作用を得ることができる。

【００５５】本実施例では６００℃、８時間の熱処理を加えることによってニッケルが矢印（図２（Ｄ）参照）の方向に移動し、リンドープ領域２０８a、２０８bにゲッタリングされる。こうして２０９a、２０９bで示される結晶質珪素膜に残存するニッケルの濃度は$2\times10^{17}$atoms/cm$^3$以下（好ましくは$1\times10^{16}$atoms/cm$^3$以下）にまで低減される。但し、この濃度は質量二次イオン分析（ＳＩＭＳ）による測定結果であり、測定限界の関係で現状ではこれ以下の濃度は確認できていない。（図２（Ｄ））

【００５６】こうしてニッケルのゲッタリング工程が終了したら、結晶質珪素膜２０９a、２０９bをパターニングして、ＣＭＯＳ回路の活性層（半導体膜）２１０、画素ＴＦＴの活性層２１１を形成する。その際、ニッケルを捕獲したリン添加領域は完全に除去してしまうことが望ましい。

【００５７】そして、プラズマＣＶＤ法またはスパッタ法により絶縁膜（図示せず）を形成し、パターニングしてゲート絶縁膜２１２を形成する。このゲート絶縁膜は画素ＴＦＴのゲート絶縁膜として機能することになる絶縁膜であり、膜厚は５０～２００nmとする。本実施例では７５nm厚の酸化珪素膜を用いる。また、他の珪素を含む絶縁膜を単層または積層で用いても構わない。（図３（Ａ））

【００５８】なお、この時、ゲート絶縁膜２１２は画素ＴＦＴの上に残すようにして形成し、ＣＭＯＳ回路および保持容量となる領域の上は除去する。なお、本実施例ではＣＭＯＳ回路のみで説明しているが、実際には駆動回路部の一部（特に高速動作を要求される回路群）となる領域の上において除去する。従って、バッファ回路などのようにゲート絶縁膜に高電圧が印加されるような回路の場合に限っては、ゲート絶縁膜２１２と同じ膜厚の絶縁膜を残しておくことが望ましい。

【００５９】こうして活性層の一部が露呈された状態で、８００～１１５０℃（好ましくは９００～１１００℃）の温度で１５分～８時間（好ましくは３０分～２時間）の熱処理工程を、酸化性雰囲気下で行う（熱酸化工程）。本実施例では酸素雰囲気中で９５０℃３０分の熱処理工程を行う。

【００６０】なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体膜中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、酸素雰囲気中にハロゲン元素を含ませた雰囲気でも良い。このハロゲン元素を含ませた雰囲気による熱酸化工程では、ニッケルを除去する効果も期待できるので有効である。

【００６１】こうして熱酸化工程を行うことによりゲート絶縁膜２１２のない部分（ゲート絶縁膜を除去することにより露呈された活性層）には、５～５０nm（好ましくは１０～３０nm）の酸化珪素膜（熱酸化膜）２１３、２１４が形成される。最終的に、酸化珪素膜２１３はＣＭＯＳ回路のゲート絶縁膜として機能し、酸化珪素膜２１４は第１保持容量の第１誘電体として機能する。

【００６２】また、画素ＴＦＴに残存した酸化珪素膜でなるゲート絶縁膜２１２と、その下の半導体膜２１１との界面においても酸化反応が進行する。そのため、最終的に画素ＴＦＴのゲート絶縁膜２１５の膜厚は５０～２００nm（好ましくは１００～１５０nm）となる。本実施例では８０nmの厚さとなる。

【００６３】なお、本実施例では酸化珪素膜２１３、２１４を熱酸化法により形成しているが、減圧熱ＣＶＤ法により薄い酸化珪素膜を形成しても良い。その場合、成膜温度は８００℃前後、成膜ガスとしてはシランと酸素を用いれば良い。

【００６４】こうして熱酸化工程を終了したら、次にＣＭＯＳ回路のゲート配線２１６（ＮＴＦＴ側）、２１７（ＰＴＦＴ側）、画素ＴＦＴのゲート配線２１８a、２１８b及び第２容量電極２１９を形成する。なお、ゲート配線２１８a、２１８bは画素ＴＦＴがダブルゲート構造であるためゲート配線を２本記載しているが、実際には同一配線である。

【００６５】なお、第２容量電極２１９は、隣の画素のゲート配線（選択されていないゲート配線）で兼ねることが好ましい。勿論、ゲート配線と平行に、別途容量形成用の配線（容量電極）を形成することも可能である。

【００６６】また、本実施例ではゲート配線２１６～２１８および第２容量電極２１９として、下層から珪素膜（導電性を持たせたもの）／窒化タングステン膜／タングステン膜（または下層から珪素膜／タングステンシリサイド膜）という積層膜を用いる。勿論、「発明の実施の形態」で説明した他の導電膜を用いることも可能であることは言うまでもない。また、本実施例では、各ゲート配線の膜厚は２５０nmとする。

【００６７】なお、本実施例では最下層の珪素膜を、減圧熱ＣＶＤ法を用いて形成する。ＣＭＯＳ回路のゲート絶縁膜は５～５０nmと薄いため、スパッタ法やプラズマＣＶＤ法を用いた場合、条件によっては半導体膜（活性層）へダメージを与える恐れがある。従って、化学的気相反応で成膜できる熱ＣＶＤ法が好ましい。

【００６８】この時点で、活性層２１１（後に一部が第１容量電極となる）、第１誘電体２１４および第２容量電極とで第１保持容量が形成される。

【００６９】次に、ゲート配線２１６～２１８および第２容量電極２１９を覆って保護膜２２０として２５～５０nm厚のＳｉＮｘＯｙ（但し、代表的にはｘ＝０．５～２、ｙ＝０．１～０．８）膜を形成する。この保護膜２２０はゲート配線２１６～２１８の酸化を防ぐと同時に、後に珪素膜でなるサイドウォールを除去する際にエッチングストッパーとして機能する。なお、成膜を２回に分けて行うことはピンホールの低減に効果があり有効である。

【００７０】この時、保護膜２２０を形成する前処理として水素を含むガス（本実施例ではアンモニアガス）を用いたプラズマ処理を行うことは有効である。この前処理によりプラズマによって活性化した（励起した）水素が活性層（半導体膜）内に閉じこめられるため、効果的に水素終端が行われる。

【００７１】さらに、水素を含むガスに加えて亜酸化窒素ガスを加えると、発生した水分によって被処理体の表面が洗浄され、特に大気中に含まれるボロン等による汚染を効果的に防ぐことができる。

【００７２】勿論、保護膜２２０としてＳｉＮｘＯｙ膜の代わりに、酸化珪素膜、窒化珪素膜またはそれらの積層膜を用いることができる。

【００７３】こうして図３（Ｂ）の状態を得る。次に、非晶質珪素膜（図示せず）を形成し、塩素系ガスによる異方性エッチングを行ってサイドウォール２２１～２２４を形成する。サイドウォール２２１～２２４を形成したら、画素ＴＦＴのゲート配線上にレジストマスク２２５を形成する。このレジストマスク２２５によって画素ＴＦＴのＬＤＤ領域とソース領域（またはドレイン領域）の接合部の位置を決める。実質的にはＬＤＤ領域の長さが決まる。

【００７４】なお、本実施例ではサイドウォールの形成材料として珪素膜を用いているが、酸化珪素膜や産科窒化珪素膜を用いても良いし、保護膜２２０として酸化珪素膜や酸化窒化珪素膜を用いていれば、窒化珪素膜を用いても構わない。

【００７５】次に、半導体膜２１０、２１１に対して周期表の１５族に属する元素（本実施例ではリン）の添加工程を行う。この時、ゲート配線２１６～２１８、第２容量電極２１９、サイドウォール２２１～２２４およびレジストマスク２２５がマスクとなり、自己整合的に不

純物領域２２６～２３０が形成される。不純物領域２２６～２３０に添加されるリンの濃度は５×１０$^{19}$～１×１０$^{21}$atoms/cm$^3$となるように調節する。本明細書中ではこの時のリン濃度を（n+）で表す。（図３（Ｃ））

【００７６】この工程は、ゲート絶縁膜の膜厚が薄い部分と厚い部分とで分けて行っても良いし、同時に行っても良い。また、リンの添加工程は質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【００７７】こうして図３（Ｃ）の状態を得たら、レジストマスク２２５、サイドウォール２２１～２２４を除去し、再びリンの添加工程を行う。この工程は先のリンの添加工程よりも低いドーズ量で添加する。こうして先ほどはサイドウォール２２１～２２４、レジストマスク２２５がマスクとなってリンが添加されなかった領域には低濃度不純物領域が形成される。この低濃度不純物領域に添加されるリンの濃度は５×１０$^{17}$～５×１０$^{18}$atoms/cm$^3$となるように調節する。本明細書中ではこの時のリン濃度を（n-）で表す。（図３（Ｄ））

【００７８】勿論、この工程もゲート絶縁膜の膜厚が薄い部分と厚い部分とで分けて行っても良いし、同時に行っても良い。また、リンの添加工程は質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【００７９】但し、この低濃度不純物領域はＬＤＤ領域として機能することになるため、リンの濃度制御は慎重に行う必要がある。そこで本実施例では、プラズマドーピング法を用い、添加したリンの濃度分布（濃度プロファイル）が図６に示すような設定とする。

【００８０】図６において、駆動回路側のゲート絶縁膜６０１と画素部側のゲート絶縁膜６０２とは膜厚が異なっている。そのため、添加されるリンの深さ方向の濃度分布が異なるものとなる。

【００８１】本実施例では、駆動回路側で６０３で示される濃度分布をもち、且つ、画素部側で６０４で示される濃度分布をもつ様にリンの添加条件（加速電圧等）を調節する。この場合、深さ方向の濃度分布は異なるが、結果的に形成される不純物領域（ここでは低濃度不純物領域）６０５、６０６のリン濃度はほぼ等しくなる。

【００８２】なお、この図６に示した工程は、本明細書中に記載される全ての不純物添加工程において用いることができる。

【００８３】この工程によりＣＭＯＳ回路を形成するＮＴＦＴのソース領域２３１、ＬＤＤ領域２３２、チャネル形成領域２３３が画定する。また、画素ＴＦＴのソース領域２３４、ドレイン領域２３５、ＬＤＤ領域２３６a～２３６c、チャネル形成領域２３７a、２３７bが画定する。さらに、第１容量電極２３８が画定する。

【００８４】なお、本実施例ではチャネル形成領域２３７a、２３７bの間に低濃度不純物領域（n-領域）しか形成されていないが、レジストマスク２２５に隙間を設けて、低濃度不純物領域２３６bの中央に高濃度不純物領域（n+領域）を形成しても構わない。

【００８５】本実施例の場合、第１容量電極２３８はチャネル形成領域２３７aまたは２３７bと同一組成の半導体領域で形成され、真性または実質的に真性となっている。なお、しきい値電圧を制御する目的に意図的にリンまたはボロンを添加された領域は実質的に真性であると考えて良い。

【００８６】なお、本実施例ではサイドウォールを用いてＬＤＤ領域を形成する例を示しているが、通常のレジストマスクを用いた方法によりＬＤＤ領域を形成することも可能である。その場合、マスク数（工程数とも言える）は増えるが、ＬＤＤ領域の幅（長さ）や形成位置の設計の自由度が増すという利点がある。

【００８７】また、ＣＭＯＳ回路のＰＴＦＴとなる領域にもＮＴＦＴと同様に低濃度不純物領域２３９が形成される。

【００８８】次に、ＣＭＯＳ回路のＰＴＦＴとなる領域以外をレジストマスク２４０a、２４０bで隠し、周期表の１３族に属する元素（本実施例ではボロン）の添加工程を行う。この工程は既に添加されているリンよりも高濃度の不純物領域を形成するようなドーズ量で添加する。具体的には、１×１０$^{20}$～３×１０$^{21}$atoms/cm$^3$の濃度でボロンが添加されるように調節する。本明細書中ではこの時のボロン濃度を（p++）で表す。その結果、ＰＴＦＴとなる領域に形成されていたＮ型導電性を呈する不純物領域は、全てボロンによって導電型が反転し、Ｐ型導電性を呈する不純物領域となる。（図４（Ａ））

【００８９】勿論、この工程も質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【００９０】この工程によりＣＭＯＳ回路を形成するＰＴＦＴのソース領域２４１、ドレイン領域２４２、チャネル形成領域２４３が画定する。また、ＣＭＯＳ回路のＮＴＦＴのドレイン領域２４４が画定する。

【００９１】こうして全ての不純物領域を形成し終えたら、レジストマスク２４０a、２４０bを除去する。そして、７５０～１１５０℃の温度範囲で２０分～１２時間の熱処理工程を行う。本実施例では、９５０℃で２時間の熱処理を不活性雰囲気中において行う。（図４（Ｂ））

【００９２】この工程では、各不純物領域に添加されたリンまたはボロンを活性化すると同時に、ＬＤＤ領域を

内側（チャネル形成領域の方向）へ広げ、ＬＤＤ領域とゲート配線とが三次元的に重なった構造を実現する。

【００９３】即ち、ＣＭＯＳ回路のＬＤＤ領域２４５ではＬＤＤ領域２４５に含まれるリンがチャネル形成領域２４６の方へ拡散する。その結果、ＬＤＤ領域２４５がゲート配線２１６と三次元的に重なった状態となる。このような構造はホットキャリア注入による劣化を防ぐ上で非常に有効である。

【００９４】同様に、ＣＭＯＳ回路のＰＴＦＴではソース領域２４７、ドレイン領域２４８がチャネル形成領域２４９の方向へ拡散し、ゲート配線２１７と重なっている。また、画素ＴＦＴではＬＤＤ領域２５０a～２５０cがそれぞれチャネル形成領域２５１a、２５１bの方向へ拡散し、それぞれゲート配線２１８a、２１８bと重なっている。

【００９５】この不純物の拡散距離は熱処理の温度や時間によって制御することができる。そのため、ＬＤＤ領域（またはＰＴＦＴのソース領域およびドレイン領域）がゲート配線と重なる距離（長さ）は自由に制御することが可能である。本実施例では重なりの距離が０．０５～１μm（好ましくは０．１～０．３μm）となるように調節する。

【００９６】また、この工程により第１容量電極２５２が画定する。もしも第１容量電極２５２に導電型を与える不純物元素が含まれていれば、この時点で活性化される。

【００９７】なお、本実施例で形成したゲート配線上の保護膜２２３は、この熱活性化工程でゲート配線が酸化されることを防ぐために設けられている。しかし、この保護膜２２３は必ずしもゲート配線の形成直後に設ける必要はない。即ち、このあと形成される第１層間絶縁膜を形成した後に最上層に保護膜を設け、その後で不純物元素の熱活性化工程を行っても同様の効果を得ることができる。

【００９８】こうして図４（Ｂ）の状態が得られたら、第１層間絶縁膜２５３を形成する。本実施例では、プラズマＣＶＤ法により形成した１μm厚の酸化珪素膜を用いる。ここで水素化処理を行う。この工程は基板全体をプラズマまたは熱により励起（活性化）した水素に曝す工程である。水素化処理の温度は、熱により励起する場合は３５０～４５０℃（好ましくは３８０～４２０℃）とすれば良い。

【００９９】水素化処理が終了したら、第２容量電極２１９上において第１層間絶縁膜２５３を除去し、第２容量電極２１９の一部を露呈させるように開口部２５４を形成する。次に、露呈された第２容量電極２１９の上に５～５０nm（好ましくは１０～３０nm）の酸化珪素膜２５５を形成する。この酸化珪素膜２５５において２５６で示される部分は、上側保持容量の誘電体（第２誘電体）として機能する。こうして図４（Ｃ）の状態を得る。

【０１００】なお、本実施例では酸化珪素膜２５５を減圧熱ＣＶＤ法により形成する。成膜ガスとしてはシラン（$SiH_4$）と亜酸化窒素（$N_2O$）を用い、成膜温度を８００℃として高品質な酸化珪素膜（誘電体）を形成することが望ましい。

【０１０１】次に、１００nm厚のチタン膜でなる遮光膜２５７a～２５７cを形成する。この時、特に２５７cで示される遮光膜は第３容量電極として機能する。即ち、第２容量電極２１９、第２誘電体２５６および第３容量電極２５７cで第２保持容量が形成される。

【０１０２】なお、本実施例の場合、遮光膜２５７a～２５７cは図面上では別々のパターンに図示されているが、実際には同一パターンである。つまり、後にソース配線やドレイン配線を形成する際のコンタクトホールを形成する部分のみ開口されている。

【０１０３】こうして遮光膜２５７a～２５７cを形成したら、パッシベーション膜２５８を形成する。パッシベーション膜２５８としては、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、またはこれらの絶縁膜と酸化珪素膜との積層膜を用いることができる。本実施例では３００nm厚の窒化珪素膜をパッシベーション膜として用いる。

【０１０４】なお、本実施例では窒化珪素膜からなるパッシベーション膜２５８を形成する前処理として、アンモニアガスを用いたプラズマ処理を行い、そのままパッシベーション膜２５８を形成する。この前処理によりプラズマで活性化した（励起した）水素がパッシベーション膜２５８によって閉じこめられる。さらに、水素を含むガスに加えて亜酸化窒素ガスを加えると、発生した水分によって被処理体の表面が洗浄され、特に大気中に含まれるボロン等による汚染を効果的に防ぐことができる。

【０１０５】こうしてパッシベーション膜２５８を形成したら、ここで４００～４２０℃程度の熱処理工程を行う。処理雰囲気は不活性雰囲気でも良いし、水素を含む雰囲気であっても良い。この工程では、パッシベーション膜２５８から放出された水素と、その前の水素化工程によって第１層間絶縁膜２５３に多量に含まれている水素とが下へと拡散（上方向はパッシベーション膜２５８がブロッキング層となる）して、活性層が水素終端される。その結果、活性層中の不対結合手を効率良く不活性化することが可能となる。

【０１０６】この水素化処理が終了したら、第２層間絶縁膜２５９として１μm厚のアクリル膜を形成する。そして、コンタクトホールを形成した後、ＣＭＯＳ回路のソース配線２６０、２６１およびドレイン配線２６２、並びに画素ＴＦＴのソース配線２６３およびドレイン配線２６４を形成する。これらの配線はアルミニウムを主成分とする導電膜をチタン膜で挟んだ積層膜で形成す

る。（図5（A））

【0107】こうして図5（A）の状態が得られたら、次に、再び1μm厚のアクリル膜を成膜し、第3層間絶縁膜265を形成する。そして、遮光膜257b、画素TFTのドレイン配線264上においてコンタクトホールを同時に形成し、透明導電膜（代表的にはITO膜）でなる画素電極266を形成する。（図5（B））

【0108】この時、遮光膜257と画素電極266との接続は画素TFTの上で行うことが好ましい。そうすることで、コンタクトホールによって画素領域の開口率を損ねることを抑えることができる。また、このように画素電極266を介してドレイン配線と遮光膜とが同電位になる。

【0109】また、この工程では遮光膜257b上とドレイン配線264上とで形成するコンタクトホールの深さが異なる。しかしながら、遮光膜257bとドレイン配線264はどちらも表面がチタン膜であるので、樹脂膜でなる第2、第3層間絶縁膜と十分な選択比を得ることができる。従って、コンタクトホールを同時に形成することに関しては何ら問題はない。

【0110】こうして図5（B）に示すような構造のAM－LCDが完成する。本願発明のAM－LCDは、同一基板上に形成された駆動回路（または信号処理回路）と画素部とでゲート絶縁膜の膜厚が異なる。代表的には、駆動回路に用いられる一部（高速動作を要求する回路）の駆動TFTの方が画素TFTよりも薄いゲート絶縁膜を有する。

【0111】さらに、高速動作を要求する回路のゲート絶縁膜と、画素部に設けられる第1保持容量の誘電体（第1誘電体）は同時に形成され、同一膜厚である点にも特徴がある。即ち、本願発明には高速動作を要求する回路のゲート絶縁膜を薄く形成するための工程を、第1誘電体を薄くするための工程と兼ねるという特徴がある。

【0112】また、従来ソース配線やドレイン配線の上に形成していた遮光膜をソース配線やドレイン配線よりも下層に形成し、さらに画素電極と遮光膜とを同電位とすることで、遮光膜を保持容量（第2保持容量）の電極（本実施例では第3容量電極）として用いる点に特徴がある。

【0113】即ち、第1保持容量と第2保持容量とが重なるようにして形成された構造（回路的には並列に接続されている）を有するAM－LCDを実現することができる。このような構造により面積を広げることなく全体の保持容量のキャパシティを増加させることが可能となる。

【0114】また、本実施例の作製工程に従うと、最終的なTFTの活性層（半導体膜）は、結晶格子に連続性を持つ特異な結晶構造の結晶質珪素膜で形成される。その特徴について以下に説明する。

【0115】まず第1の特徴として、本実施例の作製工程に従って形成した結晶質珪素膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できる。

【0116】また、第2の特徴として、電子線回折を利用すると本実施例の作製工程に従って形成した結晶質珪素膜の表面（チャネルを形成する部分）に、結晶軸に多少のずれが含まれているものの主たる配向面として｛110｝面を確認することができる。このことはスポット径約1．35μmの電子線回折写真を観察した際、｛110｝面に特有の規則性をもった回折斑点が現れていることから確認される。また、各斑点は同心円上に分布を持っていることも確認されている。

【0117】また、第3の特徴として、X線回折法（厳密にはθ－2θ法を用いたX線回折法）を用いて配向比率を算出してみると｛220｝面の配向比率が0．7以上（典型的には0．85以上）であることが確認されている。なお、配向比率の算出方法は特開平7－321339号公報に記載された手法を用いる。

【0118】また、第4の特徴として、本出願人は個々の棒状結晶が接して形成する結晶粒界をHR－TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認している。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できる。

【0119】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBICMeasurement ；Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal ofApplied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary 」である。

【0120】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0121】特に結晶軸（結晶面に垂直な軸）が〈110〉軸である場合、｛211｝双晶粒界はΣ3の対応粒界とも呼ばれる。Σ値は対応粒界の整合性の程度を示す指針となるパラメータであり、Σ値が小さいほど整合性の良い粒界であることが知られている。例えば、二つの結晶粒の間に形成された結晶粒界では、両方の結晶の面方位が｛110｝である場合、｛111｝面に対応する格子縞がなす角をθとするとθ＝70.5° の時にΣ3の対応粒界となることが知られている。

【0122】本実施例を実施して得た結晶質珪素膜において、結晶軸が〈110〉である二つの結晶粒の間に形成された結晶粒界をHR-TEMで観察すると、隣接する結晶粒の各格子縞が約70.5°の角度で連続しているものが多い。従って、その結晶粒界はΣ3の対応粒界、即ち{211}双晶粒界であると推測できる。

【0123】この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0124】またさらに、700～1150℃という高い温度での熱処理工程（本実施例における熱酸化工程にあたる）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることからも明らかである。

【0125】この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance ：ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製された結晶質珪素膜のスピン密度は少なくとも $5\times10^{17}$spins/cm$^3$以下（好ましくは $3\times10^{17}$spins/cm$^3$以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0126】以上の事から、本実施例を実施することで得られた結晶質珪素膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0127】（TFTの電気特性に関する知見）本実施例で作製したTFT（図5（A）に示すCMOS回路と同一構造）は、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFT（但し、活性層の膜厚は35nm、ゲート絶縁膜の膜厚は80nm）からは次に示す様なデータが得られている。

【0128】（1）スイッチング性能（オン／オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに80～150mV/decade（代表的には100～120mV/decade）と小さい。

（2）TFTの動作速度の指標となる電界効果移動度（$\mu_{FE}$）が、Nチャネル型TFTで 150～650cm$^2$/Vs（代表的には 200～500cm$^2$/Vs ）、Pチャネル型TFTで100～300cm$^2$/Vs（代表的には 120～200cm$^2$/Vs）と大きい。

（3）TFTの駆動電圧の指標となるしきい値電圧（$V_{th}$）が、Nチャネル型TFTで-0.5～1.5 V、Pチャネル型TFTで-1.5～0.5 Vと小さい。

【0129】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0130】〔実施例2〕本実施例では、具体的にどのような回路にどのような構造のTFTを配置するかを図7、図8を用いて説明する。

【0131】AM-LCDは、回路によって最低限必要な動作電圧（電源電圧）が異なる。例えば、画素部では液晶に印加する電圧と画素TFTを駆動するための電圧とを考慮すると、14～20Vもの動作電圧となる。そのため、そのような高電圧が印加されても耐えうる程度のTFTを用いなければならない。

【0132】また、ソース駆動回路やゲート駆動回路に用いられるシフトレジスト回路などは、5～10V程度の動作電圧で十分である。動作電圧が低いほど外部信号との互換性もあり、さらに消費電力を抑えられるという利点がある。ところが、前述の高耐圧型TFTは耐圧特性が良い代わりに動作速度が犠牲なるため、シフトレジスタ回路のように高速動作が求められる回路には不適当である。

【0133】このように、基板上に形成される回路は、目的に応じて耐圧特性を重視したTFTを求める回路と動作速度を重視したTFTを求める回路とに分かれる。

【0134】ここで具体的に本実施例の構成を図7に示す。図7に示したのは、AM-LCDのブロック図を上面から見た図である。701は画素部であり、各画素に画素TFTと保持容量とを備え、表示部として機能する。また、702aはシフトレジスタ回路、702bはレベルシフタ回路、702cはバッファ回路である。これらでなる回路が全体としてゲート駆動回路702を形成している。

【0135】なお、図7に示したAM-LCDではゲート駆動回路を、画素部を挟んで設け、それぞれで同一ゲート配線を共有している、即ち、どちらか片方のゲートドライバに不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

【0136】また、703aはシフトレジスタ回路、703bはレベルシフタ回路、703cはバッファ回路、703dはサンプリング回路であり、これらでなる回路が全体としてソース駆動回路703を形成している。画素部を挟んでソース駆動回路と反対側にはプリチャージ回路704が設けられている。

【0137】このような構成でなるAM-LCDにおいて、シフトレジスタ回路702a、703aは高速動作を求める回路であり、動作電圧が3．3～10V（代表的には3．3～5V）と低く、高耐圧特性は特に要求されない。従って、ゲート絶縁膜の膜厚は5～50nm（好ましくは10～30nm）と薄くした方が良い。

【0138】図8（A）に示したのは主としてシフトレジスタ回路やその他の信号処理回路のように高速動作を

求められる回路に用いるべきＣＭＯＳ回路の概略図である。なお、図８（Ａ）において、８０１aはＮＴＦＴのゲート絶縁膜、８０１bはＰＴＦＴのゲート絶縁膜であり、膜厚を５～５０nm（好ましくは１０～３０nm）と薄く設計している。

【０１３９】また、ＬＤＤ領域８０２の長さは０．１～０．５μm（代表的には０．２～０．３μm）が好ましい。また、動作電圧が２～３Ｖなどのように十分低ければ、ＬＤＤ領域を設けないことも可能である。

【０１４０】次に、図８（Ｂ）に示すＣＭＯＳ回路は、主としてレベルシフタ回路７０２b、７０３b、バッファ回路７０２c、７０３c、サンプリング回路７０３d、プリチャージ回路７０４に適している。これらの回路は大電流を流す必要があるため、動作電圧は１４～１６Ｖと高い。特にゲートドライバ側では場合によっては１９Ｖといった動作電圧を必要とする場合もある。従って、非常に良い耐圧特性（高耐圧特性）を有するＴＦＴが必要となる。

【０１４１】この時、図８（Ｂ）に示したＣＭＯＳ回路において、ＮＴＦＴのゲート絶縁膜８０３a、ＰＴＦＴのゲート絶縁膜８０３bの膜厚は、５０～２００nm（好ましくは１００～１５０nm）に設計されている。このように良い耐圧特性を要求する回路は、図８（Ａ）に示したシフトレジスタ回路などのＴＦＴよりもゲート絶縁膜の膜厚を厚くしておくことが好ましい。

【０１４２】また、ＬＤＤ領域８０４の長さは１～３μm（代表的には１．５～２μm）が好ましい。なお、ＬＤＤ領域のうちゲート配線に重なる部分の長さは０．５～２μm（好ましくは１～１．５μm）で良い。図８（Ｂ）に示すＣＭＯＳ回路はバッファ回路などのように画素と同程度の高電圧がかかるため、ＬＤＤ領域の長さも画素と同程度またはそれに近い長さとしておくことが望ましい。

【０１４３】次に、図８（Ｃ）は画素部７０１の概略図を示している。画素ＴＦＴは液晶に印加する電圧分も加味されるため、１４～１６Ｖの動作電圧を必要とする。また、液晶及び保持容量に蓄積された電荷を１フレーム期間保持しなければならないため、極力オフ電流は小さくなければならない。

【０１４４】そういった理由から、本実施例ではＮＴＦＴを用いたダブルゲート構造とし、ゲート絶縁膜８０５の膜厚を５０～２００nm（好ましくは１００～１５０nm）としている。この膜厚は図８（Ｂ）に示したＣＭＯＳ回路と同じ膜厚であっても良いし、異なる膜厚であっても良い。

【０１４５】なお、第１保持容量の第１誘電体８０６や第２保持容量の第２誘電体８０７の膜厚は５～７５nm（好ましくは２０～５０nm）とすれば良い。

【０１４６】また、ＬＤＤ領域８０８a、８０８bの長さは２～４μm（代表的には２．５～３．５μm）が好ましい。なお、ＬＤＤ領域のうちゲート配線に重なる部分の長さは０．５～２．５μm（好ましくは１～１．５μm）で良い。

【０１４７】また、図８（Ｃ）に示す画素ＴＦＴはオフ電流（ＴＦＴがオフ状態にある時に流れるドレイン電流）を極力低減することが必要であるため、ＬＤＤ領域８０８a、８０８bのうちゲート配線と重ならない領域（通常のＬＤＤ領域として機能する領域）を１～３．５（好ましくは２～３μm）μmとしておくことが望ましい。

【０１４８】以上のように、ＡＭ－ＬＣＤを例にとっても同一基板上には様々な回路が設けられ、回路によって必要とする動作電圧（電源電圧）が異なることがある。この場合には本願発明のようにゲート絶縁膜の膜厚を異ならせたＴＦＴを配置するなどの使い分けが必要となる。

【０１４９】なお、本実施例の構成を実現するために実施例１に示した回路を用いることは有効である。

【０１５０】〔実施例３〕実施例１において、ゲート絶縁膜を選択的に除去する工程に際し、駆動ＴＦＴとなる領域での除去は図９に示すように行うことが望ましい。図９において、９０１は活性層、９０２はゲート絶縁膜の端部、９０３、９０４はゲート配線である。図９に示すように、ゲート配線が活性層を乗り越える部分９０５では、活性層９０１の端部にゲート絶縁膜を残しておくことが望ましい。

【０１５１】活性層９０１の端部は後に熱酸化工程を行った際にエッジシニングと呼ばれる現象が起こる。これは、活性層端部の下に潜り込むように酸化反応が進行し、端部が薄くなると同時に上へ盛り上がる現象である。そのため、エッジシニング現象が起こるとゲート配線が乗り越え時に断線しやすいという問題が生じる。

【０１５２】しかしながら、図９に示したような構造となるようにゲート絶縁膜を除去しておけば、ゲート配線が乗り越える部分９０５においてエッジシニング現象を防ぐことができる。そのため、ゲート配線の断線といった問題を未然に防ぐことが可能である。なお、本実施例の構成を実施例１に用いることは有効である。

【０１５３】〔実施例４〕本実施例では、実施例１に示した作製工程で基板上にＴＦＴを形成し、実際にＡＭ－ＬＣＤを作製した場合について説明する。

【０１５４】図５（Ｂ）の状態が得られたら、画素電極２６６上に配向膜を８０nmの厚さに形成する。次に、対向基板としてガラス基板上にカラーフィルタ、透明電極（対向電極）、配向膜を形成したものを準備し、それぞれの配向膜に対してラビング処理を行い、シール材（封止材）を用いてＴＦＴが形成された基板と対向基板とを貼り合わせる。そして、その間に液晶を保持させる。このセル組み工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0155】なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。従って、対角1インチ以下のAM-LCDのようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【0156】次に、以上のようにして作製したAM-LCDの外観を図10に示す。アクティブマトリクス基板（TFTが形成された基板を指す）11には画素部12、ソース駆動回路13、ゲート駆動回路14、信号処理回路（信号分割回路、D/Aコンバータ回路、γ補正回路、差動増幅回路等）15が形成され、FPC（フレキシブルプリントサーキット）16が取り付けられている。なお、17は対向基板である。

【0157】なお、本実施例は実施例1～3のいずれの実施例とも自由に組み合わせることが可能である。

【0158】〔実施例5〕本実施例では、実施例1において結晶質珪素膜の形成に他の手段を用いた場合について説明する。

【0159】具体的には、非晶質珪素膜の結晶化に特開平7-130652号公報（米国特許番号08/329,644に対応）の実施例2に記載された技術を用いる。同公報に記載された技術は、結晶化を促進する触媒元素（代表的にはニッケル）を非晶質珪素膜の表面に選択的に保持させ、その部分を核成長の種として結晶化を行う技術である。

【0160】この技術によれば、結晶成長に特定の方向性を持たせることができるので非常に結晶性の高い結晶質珪素膜を形成することが可能である。

【0161】また、触媒元素を選択的に保持させるために設けるマスク用の絶縁膜を、そのままゲッタリング用に添加するリンのマスクとすることも可能である。こうすることで工程数を削減することができる。この技術に関しては、本出願人による特開平10-247735号公報（米国出願番号09/034,041に対応）に詳しい。

【0162】なお、本実施例の構成は実施例1～4のいずれの構成とも自由に組み合わせることが可能である。

【0163】〔実施例6〕実施例1で説明したニッケル（珪素膜を結晶化するために用いた触媒元素）をゲッタリングするためにリンを用いたが、本実施例では他の元素を用いてニッケルをゲッタリングする場合について説明する。

【0164】まず、実施例1の工程に従って、図2（B）の状態を得る。図2（B）において、204は結晶質珪素膜である。但し、本実施例では結晶化に用いるニッケルの濃度を極力低いものとしている。具体的には、非晶質珪素膜上に重量換算で0.5～3ppmのニッケルを含む層を形成し、結晶化のための熱処理を行う。これにより形成された結晶質珪素膜中に含まれるニッケル濃度は、$1\times10^{17}$～$1\times10^{19}$atoms/cm$^3$（代表的には$5\times10^{17}$～$1\times10^{18}$atoms/cm$^3$）となる。

【0165】そして、結晶質珪素膜を形成したら、ハロゲン元素を含む酸化性雰囲気中で熱処理を行う。温度は800～1150℃（好ましくは900～1000℃）とし、処理時間は10分～4時間（好ましくは30分～1時間）とする。

【0166】本実施例では、酸素雰囲気中に対して3～10体積%の塩化水素を含ませた雰囲気中において、950℃30分の熱処理を行う。

【0167】この工程により結晶質珪素膜中のニッケルは揮発性の塩化ニッケルとなって処理雰囲気中に離脱する。即ち、ハロゲン元素のゲッタリング作用によってニッケルを除去することが可能となる。但し、結晶質珪素膜中に存在するニッケル濃度が高すぎると、ニッケルの偏析部で酸化が異常に進行するという問題を生じる。そのため、結晶化の段階で用いるニッケルの濃度を極力低くする必要がある。

【0168】なお、本実施例の構成は実施例1～実施例5のいずれの構成とも自由に組み合わせることが可能である。

【0169】〔実施例7〕本実施例では、実施例1に示したCMOS回路や画素部の構造を異なるものとした場合について説明する。具体的には、回路の要求する仕様に応じてLDD領域の配置を異ならせる例を示す。

【0170】なお、CMOS回路および画素部の基本構造は図1に既に示したので本実施例では必要箇所のみに符号を付して説明することとする。また、本実施例のTFT構造は、基本的には実施例1の作製方法を参考にすれば良いが、NTFTのLDD領域の形成にレジストマスクを用いる必要がある。

【0171】まず、図11（A）に示した回路は、CMOS回路において、NTFTのLDD領域21をチャネル形成領域22のドレイン領域23側のみに接して設けることを特徴としている。なお、この構造はソース領域側をレジストマスクで隠しておくことで実現できる。

【0172】駆動回路や信号処理回路に用いられるCMOS回路は高速動作を要求されるため、動作速度を低下させる要因となりうる抵抗成分は極力排除する必要がある。しかしながら、ホットキャリア耐性を高めるために必要なLDD領域は抵抗成分として働いてしまうため、動作速度を犠牲にしてしまう。

【0173】しかし、ホットキャリア注入が生じるのはチャネル形成領域のドレイン領域側の端部であり、その部分にゲート電極と三次元的に重なったLDD領域が存在すればホットキャリア対策は十分である。従って、必ずしもチャネル形成領域のソース領域側の端部には必要以上にLDD領域を設けておく必要はない。

【0174】なお、図11（A）の構造はソース領域とドレイン領域とが入れ替わる画素TFTのような動作をする場合には適用できない。CMOS回路の場合、通常はソース領域およびドレイン領域が固定されるため、図

11（A）のような構造を実現することができる。

【0175】次に、図11（B）に示した回路は、CMOS回路において、NTFTをダブルゲート構造、PTFTをシングルゲート構造とした場合の例である。このような構造は、高耐圧であることを要求される駆動回路（バッファ回路、サンプリング回路など）に用いる。

【0176】この場合、NTFTのLDD領域24a、24bをチャネル形成領域25a、25bそれぞれのドレイン領域26側（またはドレイン領域26に近い側）のみに設けることを特徴としている。

【0177】このような構造とすることでソース領域側のLDD領域による抵抗成分をなくし、ダブルゲート構造とすることでソース-ドレイン間にかかる電界を分散させて緩和する効果がある。

【0178】なお、本実施例の構成は実施例1～6のいずれの構成とも自由に組み合わせることが可能である。

【0179】〔実施例8〕実施例1において、必要に応じてTFTの下（具体的には活性層の下）に遮光膜を設けることは、光励起によるリーク電流を抑制する上で有効である。特に、リーク電流（またはオフ電流）を極力抑える必要がある画素TFTの下に設けることは効果的である。

【0180】遮光膜としては、金属膜、黒色樹脂膜などを用いることができるが、金属膜を用いた場合には当該金属膜を用いて、遮光膜と活性層との間に他の保持容量を形成することも可能である。こうすることで一つの画素TFTに対して三つの保持容量が接続された構造が実現される。

【0181】なお、本実施例の構成は実施例1～7のいずれの構成とも自由に組み合わせることが可能である。

【0182】〔実施例9〕本実施例では、本願発明を用いて形成された画素部の構造について、図12～17を用いて説明する。なお、基本的な断面構造は図1～5の説明を参考にすると良い。

【0183】まず、図12において、31は半導体膜でなる画素TFTの活性層である。図面上には四つの画素に相当する四つの活性層が配置されている。また、32で示される点線は画素TFTのゲート絶縁膜の端部である。この点線32に囲まれた領域のゲート絶縁膜が選択的に除去される。この状態は、図3（A）に示す工程までが終了した状態である。

【0184】次に、図13は図12にゲート配線33a、33bを重ねた状態を示す。この状態は図3（B）の工程まで終了した状態に相当する。なお、活性層31と重なる部分34はゲート電極として機能する。

【0185】本実施例では、選択されたゲート配線33aの隣のゲート配線33bを保持容量に用いる。この構成自体は知られており、選択されたゲート配線以外のゲート配線をコモン電位（ビデオ信号の中間電位）に落としておくことで容量形成用の配線として用いる構成である。

【0186】ここでゲート配線33bに注目すると、点線35で囲まれた領域において、ゲート配線33bと活性層31とが重なり合っている。また、図面上では図示されないが、点線35で囲まれた領域ではゲート絶縁膜が除去されて5～50nm厚の第1誘電体が設けられている。即ち、この部分で本願発明の第1保持容量が形成される。なお、点線35で囲まれた領域に形成される第1保持容量は画素30の保持容量として機能する。

【0187】この構造の利点は、別途容量形成用の配線を形成する必要がないので、画素の開口率を高めることができる点にある。但し、この構成は特に直視型液晶ディスプレイなどに有効であり、上下反転駆動（上から走査したり下から走査したりする駆動方法で、プロジェクターなどに用いられる）を行う液晶ディスプレイには不向きである。そういった上下反転駆動を行う液晶ディスプレイには、インターレース方式の駆動方法（ゲート配線を1本おきに選択する駆動方法）などを用いることが望ましい。

【0188】次に、図14は図13に遮光膜36a、36bを重ねた状態である。この状態は図5（A）において、遮光膜257a～257cまで形成した時点の状態に相当する。なお、本実施例の構造とする場合、遮光膜は一つの画素に一つの割合で設けられ、通常の遮光膜（ブラックマトリクス等と呼ばれる）のように、全画素において共通な導電層とはならない。

【0189】この時、図14ではゲート配線と遮光膜との間に第1層間絶縁膜（図示せず）が設けられており、37で示される点線で囲まれた領域が選択的に除去されて5～50nm厚の第2誘電体のみが存在する。

【0190】この遮光膜36a、36bは基本的にゲート配線に重なるように設けられるため、点線37で囲まれた領域に本願発明の第2保持容量が形成される。但し、図14において、点線37で囲まれた領域に形成される第2保持容量は画素30の保持容量として機能する。即ち、遮光膜36aは画素30の画素TFT部を隠す遮光膜としての機能を果たし、遮光膜36bは遮光膜であると同時に、画素30の保持容量を形成する第3容量電極としての機能を兼ねている。

【0191】次に、図15は図14にソース配線38およびドレイン配線（ドレイン電極）39を重ねた状態である。この状態は図5（A）の工程を終了した状態に相当する。なお、40はソース配線38と活性層31とのコンタクト部分、41はドレイン配線39と活性層31とのコンタクト部分である。

【0192】次に、図16は図15に画素電極42（点線で示される）を重ねた状態である。この状態は図5（B）の工程を終了した状態に相当する。なお、43はドレイン配線39と画素電極42とのコンタクト部分、44は遮光膜36と画素電極42とのコンタクト部分で

ある。

【0193】ここで、図16をA-A'で切った断面を図17(A)に、A-A"で切った断面を図17(B)に示す。なお、図17(A)、(B)では図12～16で用いた符号を対応箇所に用いている。また、基板、下地膜、保護膜、層間絶縁膜、パッシベーション膜、活性層の構成(ソース領域、ドレイン領域、LDD領域またはチャネル形成領域)等には符号をつけてないが、「発明の実施の形態」の欄(図1参照)や「実施例1」の欄(図2～5参照)に対応するので、ここでの説明は省略する。

【0194】なお、本実施例の構成は、実施例1～8のいずれの構成とも自由に組み合わせることが可能である。

【0195】〔実施例10〕本実施例では、画素TFTのソース領域、ドレイン領域またはLDD領域を形成するための不純物元素の添加工程を、実施例1とは異なる順とした場合の例について説明する。

【0196】まず、図3(C)に示したリンの添加工程(n+領域形成工程)を図3(D)に示したリンの添加工程(n-領域形成工程)と入れ替えても良い。

【0197】また、図4(A)に示したボロンの添加工程(p++領域形成工程)を図3(C)に示したリンの添加工程(n+領域形成工程)の前(図3(B)と図3(C)の間)に行っても良い。

【0198】また、図4(A)に示したボロンの添加工程(p++領域形成工程)を図3(D)に示したリンの添加工程(n-領域形成工程)の前(図3(C)と図3(D)の間)に行っても良い。

【0199】なお、本実施例の構成は実施例1～9のいずれの構成とも自由に組み合わせることが可能である。

【0200】〔実施例11〕本実施例では、画素TFTのソース領域、ドレイン領域またはLDD領域を形成するための不純物元素の添加工程を、実施例1とは異なる順とした場合の例について説明する。

【0201】まず、図3(B)の状態を得た後に、すぐ図4(A)に示したボロンの添加工程(p++領域形成工程)を行う。その次に、図3(D)に示したリンの添加工程(n-領域形成工程)を行い、その後、図3(C)に示したリンの添加工程(n+領域形成工程)を行う。

【0202】また、図3(B)の状態を得た後に、すぐ図3(D)に示したリンの添加工程(n-領域形成工程)を行う。その次に、図4(A)に示したボロンの添加工程(p++領域形成工程)を行い、その後、図3(C)に示したリンの添加工程(n+領域形成工程)を行うこともできる。

【0203】本実施例の場合、リンの添加工程(n+領域形成工程)を最後に行うことになるため、マスクとして用いたサイドウォールをそのままゲート配線の側壁に残すことになる。そのため、本実施例を実施する際には、サイドウォールの材料として酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜を用いることが好ましい。珪素膜などの半導体膜を用いると、サイドウォールと活性層との間に寄生容量を形成してしまう恐れがある。

【0204】勿論、リンの添加工程(n+領域形成工程)を行った後にサイドウォールを除去する工程を入れても構わない。

【0205】しかしながら、サイドウォールを残すことでゲート配線の段差が鋭角でなくなるという利点がある。そのため、ゲート配線の上に絶縁膜を形成する際に被覆不良などによりカスプ(巣)などが発生することを防ぐことができる。

【0206】なお、本実施例の構成は、実施例1～9のいずれの構成とも自由に組み合わせることが可能である。

【0207】〔実施例12〕本実施例では、実施例1とは異なる手段で結晶質珪素膜を形成する場合の例について説明する。

【0208】実施例1では非晶質半導体膜(具体的には非晶質珪素膜)の結晶化に触媒元素(ニッケル)を用いたが、本実施例では触媒元素を用いないで熱結晶化させた場合について説明する。

【0209】本実施例の場合、非晶質珪素膜を形成したら、580～640℃(代表的には600℃)の温度で、12～30時間(代表的には16～24時間)の熱処理を行って結晶化し、結晶質珪素膜を得る。従って、実施例1に示したようなゲッタリング工程は省略することができる。

【0210】このように本願発明の構造が実現できるのであれば、いわゆる高温ポリシリコンと呼ばれる結晶質珪素膜を用いたプロセスを本願発明に組み合わせることは容易である。

【0211】なお、本実施例の構成は実施例1～11のいずれの実施例とも自由に組み合わせることができる。

【0212】〔実施例13〕本実施例では実施例1とは異なる方法で第1層間絶縁膜を形成する例について説明する。説明には図18を用いる。

【0213】まず、実施例1の作製工程に従って図4(B)に示した活性化工程までを終了させる。次に、50～100nm(本実施例では70nm)の窒化酸化珪素膜1801を形成し、その上に600nm～1μm(本実施例では800nm)の窒化酸化珪素膜1802を形成する。さらに、その上にレジストマスク1803を形成する。(図18(A))

【0214】なお、窒化酸化珪素膜1801と窒化酸化珪素膜1802とでは含有される窒素、酸素、水素及び珪素の組成比が異なる。窒化酸化珪素膜1801は窒素7%、酸素59%、水素2%、珪素32%となっており、窒化酸化珪素膜1802は窒素33%、酸素15

%、水素23%、珪素29%となっている。勿論、この組成比に限定されるものではない。

【0215】また、レジストマスク1803は膜厚が厚いため、窒化酸化珪素膜1802の表面の起伏を完全に平坦化することができる。

【0216】次に、四フッ化炭素と酸素との混合ガスを用いたドライエッチング法によりレジストマスク1803及び窒化酸化珪素膜1802のエッチングを行う。本実施例の場合、四フッ化炭素と酸素との混合ガスを用いたドライエッチングにおいて、窒化酸化珪素膜1802とレジストマスク1803のエッチングレートがほぼ等しい。

【0217】このエッチング工程により図18(B)に示すようにレジストマスク1803は完全に除去され、窒化酸化珪素膜1802の一部(本実施例では表面から深さ300nmまで)がエッチングされる。その結果、レジストマスク1803の表面の平坦度がそのままエッチングされた窒化酸化珪素膜の表面の平坦度に反映される。

【0218】こうして極めて平坦性の高い第1層間絶縁膜1804を得る。本実施例の場合、第1層間絶縁膜1804の膜厚は500nmとなる。このあとの工程は実施例1の作製工程を参照すれば良い。

【0219】なお、本実施例の構成は、実施例1～12のいずれの実施例とも自由に組み合わせることが可能である。

【0220】〔実施例14〕本願発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、半導体回路上に反射型AM-LCDが形成された三次元構造の半導体装置を実現することも可能である。

【0221】また、前記半導体回路はSIMOX、Smart-Cut(SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI基板上に形成されたものであっても良い。

【0222】なお、本実施例を実施するにあたって、実施例1～13のいずれの構成を組み合わせても構わない。

【0223】〔実施例15〕本願発明はアクティブマトリクス型EL(エレクトロルミネッセンス)ディスプレイ(EL表示装置ともいう)に適用することも可能である。その例を図19に示す。

【0224】図19はアクティブマトリクス型ELディスプレイの回路図である。81は表示領域を表しており、その周辺にはX方向(ゲート側)駆動回路82、Y方向(ソース側)駆動回路83が設けられている。また、表示領域81の各画素は、スイッチング用TFT84、コンデンサ85、電流制御用TFT86、EL素子87を有し、スイッチング用TFT84にX方向信号線(ゲート信号線)88a(または88b)、Y方向信号線(ソース信号線)89a(または89b、89c)が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

【0225】本実施例のアクティブマトリクス型ELディスプレイでは、X方向駆動回路82、Y方向駆動回路83に用いられるTFTのゲート絶縁膜が、スイッチング用TFT84や電流制御用TFT86のゲート絶縁膜よりも薄くなっている。また、コンデンサ85が本願発明の保持容量で形成されている。

【0226】なお、本実施例のアクティブマトリクス型ELディスプレイに対して、実施例1～3、5～14のいずれの構成を組み合わせても良い。

【0227】〔実施例16〕本実施例では、本願発明を用いてEL(エレクトロルミネセンス)表示装置を作製した例について説明する。なお、図20(A)は本願発明のEL表示装置の上面図であり、図20(B)はその断面図である。

【0228】図20(A)において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC(フレキシブルプリントサーキット)4006に至り、外部機器へと接続される。

【0229】このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0230】また、図20(B)は図20(A)をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。)4201及び画素部4002に含まれる画素TFT(但し、ここではEL素子への電流を制御するTFTを図示している。)4202が形成されている。

【0231】本実施例では、駆動TFT4201には図1の駆動回路と同じ構造のTFTが用いられる。また、画素TFT4202には図1の画素部と同じ構造のTFTが用いられる。

【0232】駆動TFT4201及び画素TFT4202の上には樹脂材料でなる層間絶縁膜(平坦化膜)4301が形成され、その上に画素TFT4202のドレインと電気的に接続する画素電極(陽極)4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。

【0233】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部におい

て、画素電極４３０２の上にはＥＬ（エレクトロルミネッセンス）層４３０４が形成される。ＥＬ層４３０４は公知の有機ＥＬ材料または無機ＥＬ材料を用いることができる。また、有機ＥＬ材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【０２３４】ＥＬ層４３０４の形成方法は公知の技術を用いれば良い。また、ＥＬ層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【０２３５】ＥＬ層４３０４の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極４３０５が形成される。また、陰極４３０５とＥＬ層４３０４の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、ＥＬ層４３０４を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極４３０５を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【０２３６】そして陰極４３０５は４３０６で示される領域において配線４００５に電気的に接続される。配線４００５は陰極４３０５に所定の電圧を与えるための配線であり、導電性材料４３０７を介してＦＰＣ４００６に電気的に接続される。

【０２３７】以上のようにして、画素電極（陽極）４３０２、ＥＬ層４３０４及び陰極４３０５からなるＥＬ素子が形成される。このＥＬ素子は、第１シール材４１０１及び第１シール材４１０１によって基板４００１に貼り合わされたカバー材４１０２で囲まれ、充填材４１０３により封入されている。

【０２３８】カバー材４１０２としては、ガラス板、金属板（代表的にはステンレス板）、セラミックス板、ＦＲＰ（Ｆｉｂｅｒｇｌａｓｓ－Ｒｅｉｎｆｏｒｃｅｄ Ｐｌａｓｔｉｃｓ）板、ＰＶＦ（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。また、アルミニウムホイルをＰＶＦフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【０２３９】但し、ＥＬ素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【０２４０】また、充填材４１０３としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、ＰＶＣ（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。この充填材４１０３の内部に吸湿性物質（好ましくは酸化バリウム）を設けておくとＥＬ素子の劣化を抑制できる。

【０２４１】また、充填材４１０３の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極４３０５上に樹脂膜を設けることも有効である。

【０２４２】また、配線４００５は導電性材料４３０７を介してＦＰＣ４００６に電気的に接続される。配線４００５は画素部４００２、ソース側駆動回路４００３及びゲート側駆動回路４００４に送られる信号をＦＰＣ４００６に伝え、ＦＰＣ４００６により外部機器と電気的に接続される。

【０２４３】また、本実施例では第１シール材４１０１の露呈部及びＦＰＣ４００６の一部を覆うように第２シール材４１０４を設け、ＥＬ素子を徹底的に外気から遮断する構造となっている。こうして図２０（Ｂ）の断面構造を有するＥＬ表示装置となる。なお、本実施例のＥＬ表示装置は実施例１乃至３または５乃至１４のいずれの構成を組み合わせて作製しても構わない。

【０２４４】〔実施例１７〕本実施例では、実施例１６に示したＥＬ表示装置の画素部に用いることができる画素構造の例を図２１（Ａ）～（Ｃ）に示す。なお、本実施例において、４４０１はスイッチング用ＴＦＴ４４０２のソース配線、４４０３はスイッチング用ＴＦＴ４４０２のゲート配線、４４０４は電流制御用ＴＦＴ、４４０５はコンデンサ、４４０６、４４０８は電流供給線、４４０７はＥＬ素子とする。

【０２４５】図２１（Ａ）は、二つの画素間で電流供給線４４０６を共通とした場合の例である。即ち、二つの画素が電流供給線４４０６を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【０２４６】また、図２１（Ｂ）は、電流供給線４４０８をゲート配線４４０３と平行に設けた場合の例である。なお、図２１（Ｂ）では電流供給線４４０８とゲート配線４４０３とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線４４０８とゲート配線４４０３とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【０２４７】また、図２１（Ｃ）は、図２１（Ｂ）の構造と同様に電流供給線４４０８をゲート配線４４０３と平行に設け、さらに、二つの画素を電流供給線４４０８を中心に線対称となるように形成する点に特徴がある。また、電流供給線４４０８をゲート配線４４０３のいず

れか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【０２４８】〔実施例１８〕本願発明の電気光学装置や半導体回路は電気器具の表示部や信号処理回路として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションＴＶ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図２２～２４に示す。

【０２４９】図２２（Ａ）は携帯電話であり、本体２００１、音声出力部２００２、音声入力部２００３、表示部２００４、操作スイッチ２００５、アンテナ２００６で構成される。本願発明の電気光学装置は表示部２００４に、本願発明の半導体回路は音声出力部２００２、音声入力部２００３またはＣＰＵやメモリ等に用いることができる。

【０２５０】図２２（Ｂ）はビデオカメラであり、本体２１０１、表示部２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０６で構成される。本願発明の電気光学装置は表示部２１０２に、本願発明の半導体回路は音声入力部２１０３またはＣＰＵやメモリ等に用いることができる。

【０２５１】図２２（Ｃ）はモバイルコンピュータ（モービルコンピュータ）であり、本体２２０１、カメラ部２２０２、受像部２２０３、操作スイッチ２２０４、表示部２２０５で構成される。本願発明の電気光学装置は表示部２２０５に、本願発明の半導体回路はＣＰＵやメモリ等に用いることができる。

【０２５２】図２２（Ｄ）はゴーグル型ディスプレイであり、本体２３０１、表示部２３０２、アーム部２３０３で構成される。本願発明の電気光学装置は表示部２３０２に、本願発明の半導体回路はＣＰＵやメモリ等に用いることができる。

【０２５３】図２２（Ｅ）はリアプロジェクター（プロジェクションＴＶ）であり、本体２４０１、光源２４０２、表示装置２４０３、偏光ビームスプリッタ２４０４、リフレクター２４０５、２４０６、スクリーン２４０７で構成される。本発明は表示装置２４０３に用いることができ、本願発明の半導体回路はＣＰＵやメモリ等に用いることができる。

【０２５４】図２２（Ｆ）はフロントプロジェクターであり、本体２５０１、光源２５０２、表示装置２５０３、光学系２５０４、スクリーン２５０５で構成される。本発明は表示装置２５０３に用いることができ、本願発明の半導体回路はＣＰＵやメモリ等に用いることができる。

【０２５５】図２３（Ａ）はパーソナルコンピュータであり、本体２６０１、映像入力部２６０２、表示部２６０３、キーボード２６０４等を含む。本願発明の電気光学装置は表示部２６０３に、本願発明の半導体回路はＣＰＵやメモリ等に用いることができる。

【０２５６】図２３（Ｂ）は電子遊戯機器（ゲーム機器）であり、本体２７０１、記録媒体２７０２、表示部２７０３及びコントローラー２７０４を含む。この電子遊技機器から出力された音声や映像は筐体２７０５及び表示部２７０６を含む表示ディスプレイにて再生される。コントローラー２７０４と本体２７０１との間の通信手段または電子遊技機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では赤外線をセンサ部２７０７、２７０８で検知する構成となっている。本願発明の電気光学装置は表示部２７０３、２７０６に、本願発明の半導体回路はＣＰＵやメモリ等に用いることができる。

【０２５７】図２３（Ｃ）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤー（画像再生装置）であり、本体２８０１、表示部２８０２、スピーカ部２８０３、記録媒体２８０４及び操作スイッチ２８０５を含む。なお、この画像再生装置は記録媒体としてＤＶＤ（Ｄｉｇｉｔａｌ　ＶｅｒｓａｔｉｌｅＤｉｓｃ）、ＣＤ等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明の電気光学装置は表示部２８０２やＣＰＵやメモリ等に用いることができる。

【０２５８】図２３（Ｄ）はデジタルカメラであり、本体２９０１、表示部２９０２、接眼部２９０３、操作スイッチ２９０４、受像部（図示せず）を含む。本願発明の電気光学装置は表示部２９０２やＣＰＵやメモリ等に用いることができる。

【０２５９】なお、図２２（Ｅ）のリアプロジェクターや図２２（Ｆ）のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図２４に示す。なお、図２４（Ａ）は光学エンジンであり、図２４（Ｂ）は光学エンジンに内蔵される光源光学系である。

【０２６０】図２４（Ａ）に示す光学エンジンは、光源光学系３００１、ミラー３００２、３００５～３００７、ダイクロイックミラー３００３、３００４、光学レンズ３００８a～３００８c、プリズム３０１１、表示装置３０１０、投射光学系３０１２を含む。投射光学系３０１２は、投射レンズを備えた光学系である。本実施例は表示装置３０１０を三つ使用する三板式の例を示したが、単板式であってもよい。また、図２４（Ａ）中において矢印で示した光路には、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルムもしくはＩＲフィルム等を設けてもよい。

【０２６１】また、図２４（Ｂ）に示すように、光源光学系３００１は、光源３０１３、３０１４、合成プリズム３０１５、コリメータレンズ３０１６、３０２０、レンズアレイ３０１７、３０１８、偏光変換素子３０１９を含む。なお、図２４（Ｂ）に示した光源光学系は光源を２つ用いたが、一つでも良いし、三つ以上としてもよい。また、光源光学系の光路のどこかに、光学レンズ、偏光機能を有するフィルム、位相差を調節するフィルムもしくはＩＲフィルム等を設けてもよい。

【０２６２】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例１～１７のどのような組み合わせからなる構成を用いても実現することができる。

【０２６３】

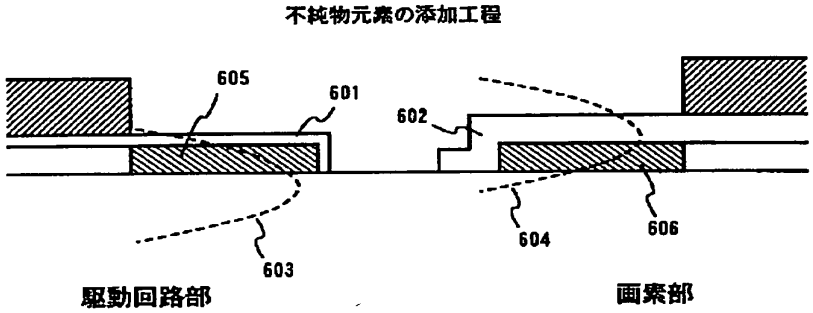
【発明の効果】本願発明を用いることで同一基板上に、異なる膜厚のゲート絶縁膜を有するＴＦＴを形成することができる。そのため、ＡＭ－ＬＣＤに代表される電気光学装置や、そのような電気光学装置を表示部（表示ディスプレイ）として有する電気器具を含む半導体装置において、回路が要求する仕様に応じて適切な性能の回路を配置することが可能となり、半導体装置の性能や信頼性を大幅に向上させることができる。

【０２６４】また、電気光学装置の画素部において、保持容量の誘電体を薄くすることができ、小さい面積で大きなキャパシティを有する保持容量を形成することができる。さらに、その保持容量をゲート配線やソース配線の下に隠すことができる。そのため、対角１インチ以下の表示部をもつ電気光学装置においても開口率を低下させることなく、十分な保持容量を確保することが可能となる。

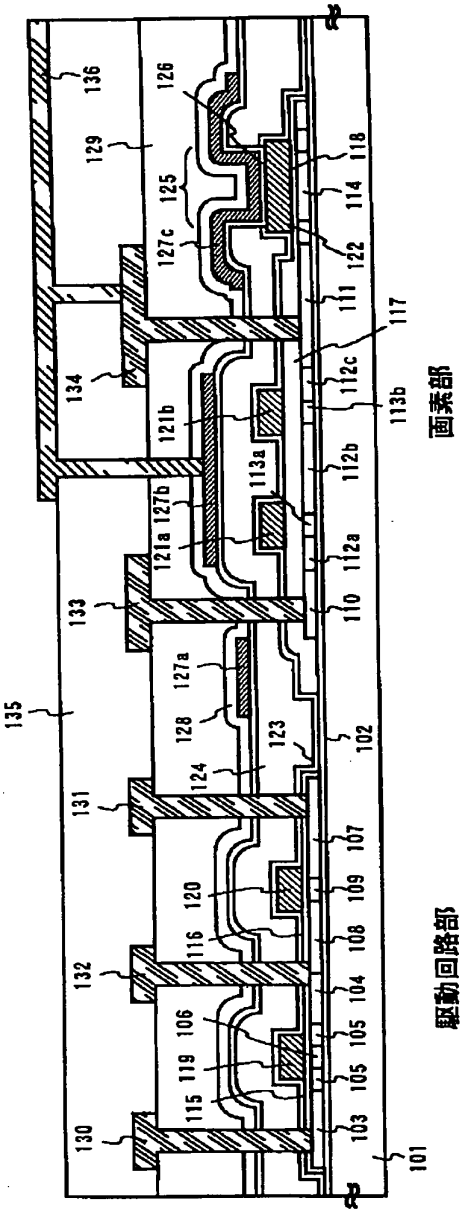
【図面の簡単な説明】

【図１】　ＡＭ－ＬＣＤの断面構造を示す図。
【図２】　ＡＭ－ＬＣＤの作製工程を示す図。
【図３】　ＡＭ－ＬＣＤの作製工程を示す図。
【図４】　ＡＭ－ＬＣＤの作製工程を示す図。
【図５】　ＡＭ－ＬＣＤの作製工程を示す図。
【図６】　不純物元素を添加する際の濃度分布の関係を示す図。
【図７】　ＡＭ－ＬＣＤのブロック図を示す図。
【図８】　ＡＭ－ＬＣＤの回路配置を示す図。
【図９】　駆動ＴＦＴ（ＣＭＯＳ回路）の構造を示す図。
【図１０】　ＡＭ－ＬＣＤの外観を示す図。
【図１１】　ＣＭＯＳ回路の断面構造を示す図。
【図１２】　画素部の上面構造を示す図。
【図１３】　画素部の上面構造を示す図。
【図１４】　画素部の上面構造を示す図。
【図１５】　画素部の上面構造を示す図。
【図１６】　画素部の上面構造を示す図。
【図１７】　画素部の断面構造を示す図。
【図１８】　ＡＭ－ＬＣＤの作製工程を示す図。
【図１９】　ＥＬ表示装置の回路構成を示す図。
【図２０】　ＥＬ表示装置の上面構造及び断面構造を示す図。
【図２１】　ＥＬ表示装置の画素部の構造を示す図。
【図２２】　電気器具の一例を示す図。
【図２３】　電気器具の一例を示す図。
【図２４】　光学エンジンの構成を示す図。

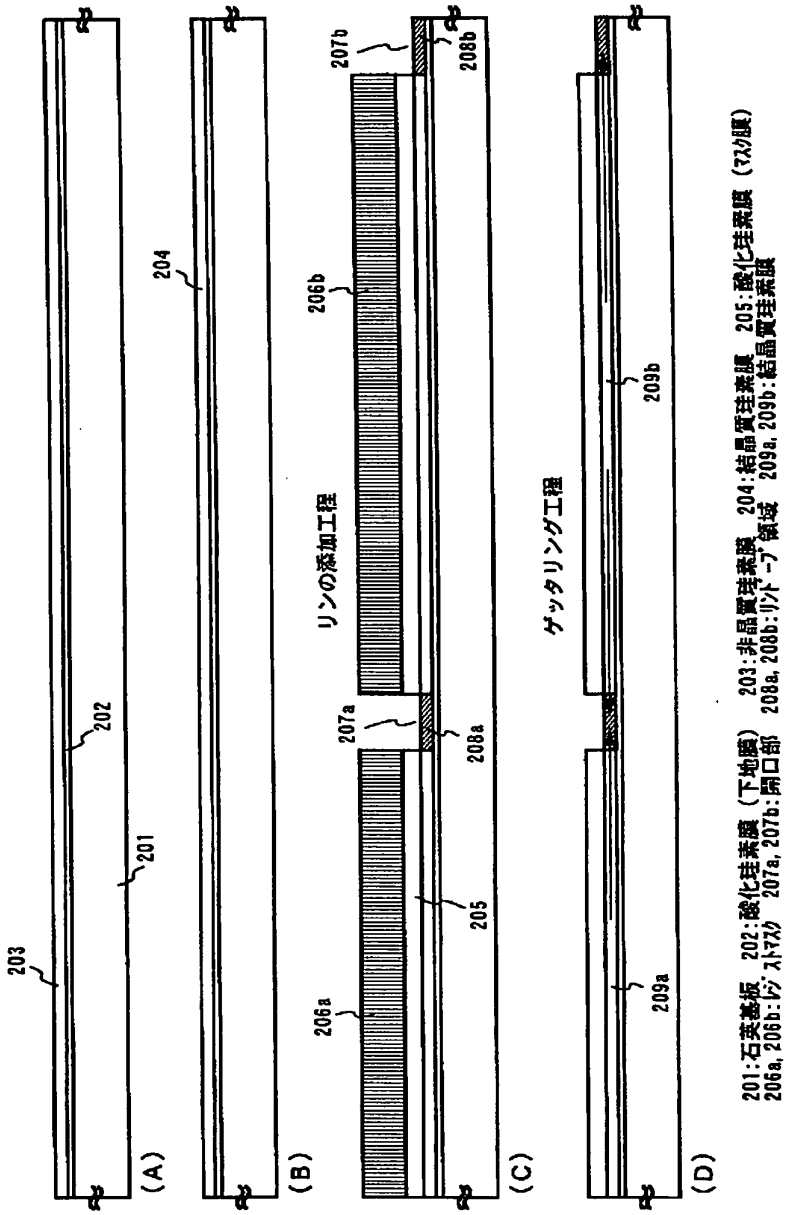
【図６】



【図1】

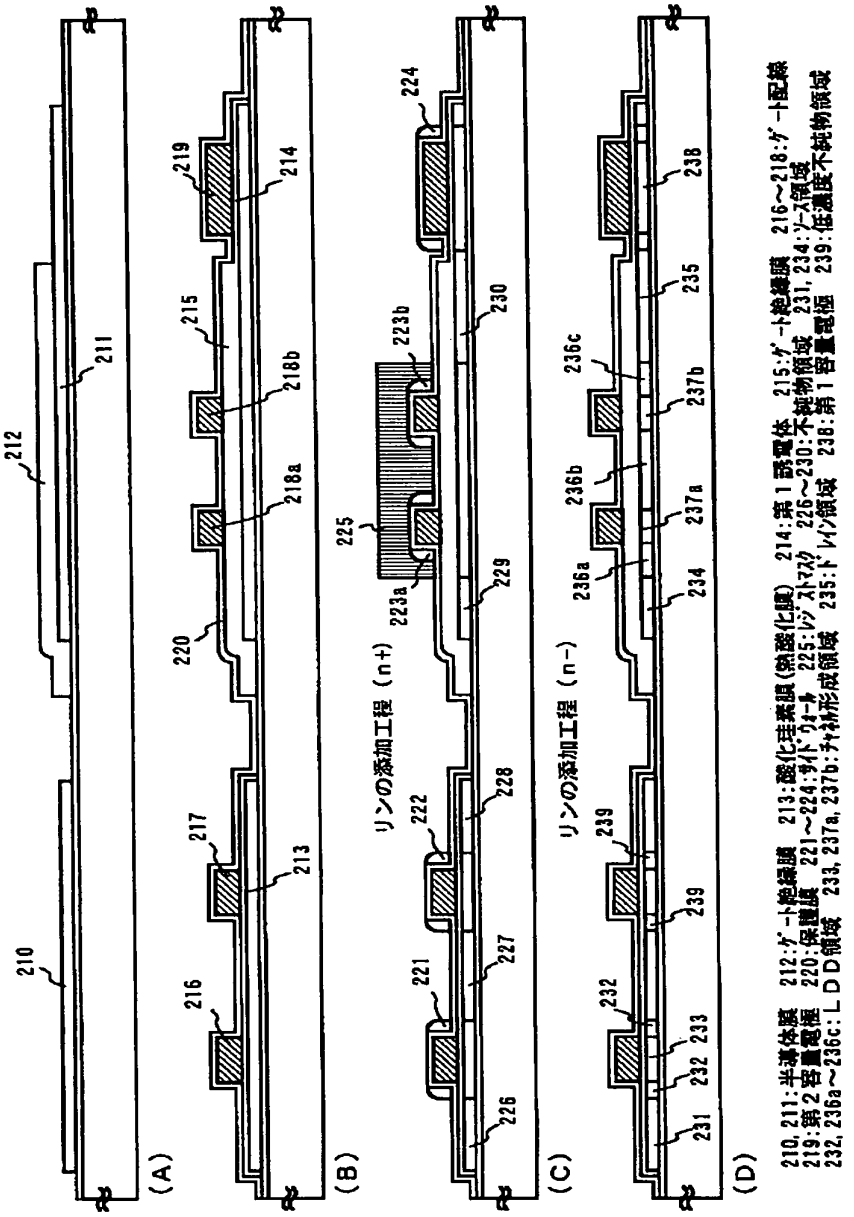

駆動回路部
画素部
101:基板 102:下地膜 103, 107, 110:ソース領域 104, 108, 111:ドレイン領域 105, 112a〜112c:LDD領域
106, 109, 113a, 113b:チャネル形成領域 114:第1容量電極 115〜117:ゲート絶縁膜 118:第1層間絶縁膜 125:開口部
119, 120, 121a, 121b:ゲート電極 122:第2容量電極 123:保護膜 124:第1層間絶縁膜 129:第2層間絶縁膜
126:第2導電体 127a〜127c:第3容量電極 128:ポリシリコン膜 136:画素電極
130, 131, 133:ソース配線 132, 134:ドレイン配線 135:第3層間絶縁膜

【図2】



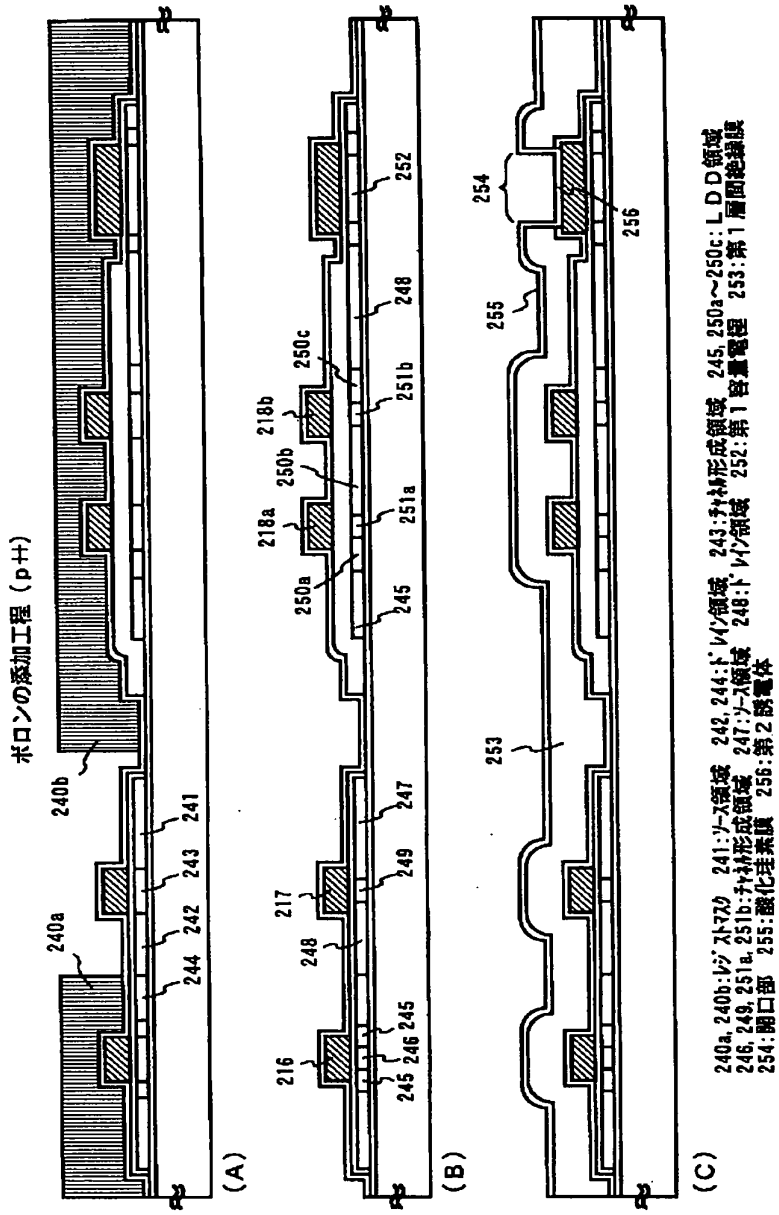

201:石英基板　202:酸化珪素膜(下地膜)　203:非晶質珪素膜　204:結晶質珪素膜　205:酸化珪素膜(マスク膜)
206a,206b:レジストマスク　207a,207b:開口部　208a,208b:リンドープ領域　209a,209b:結晶質珪素膜

【図3】

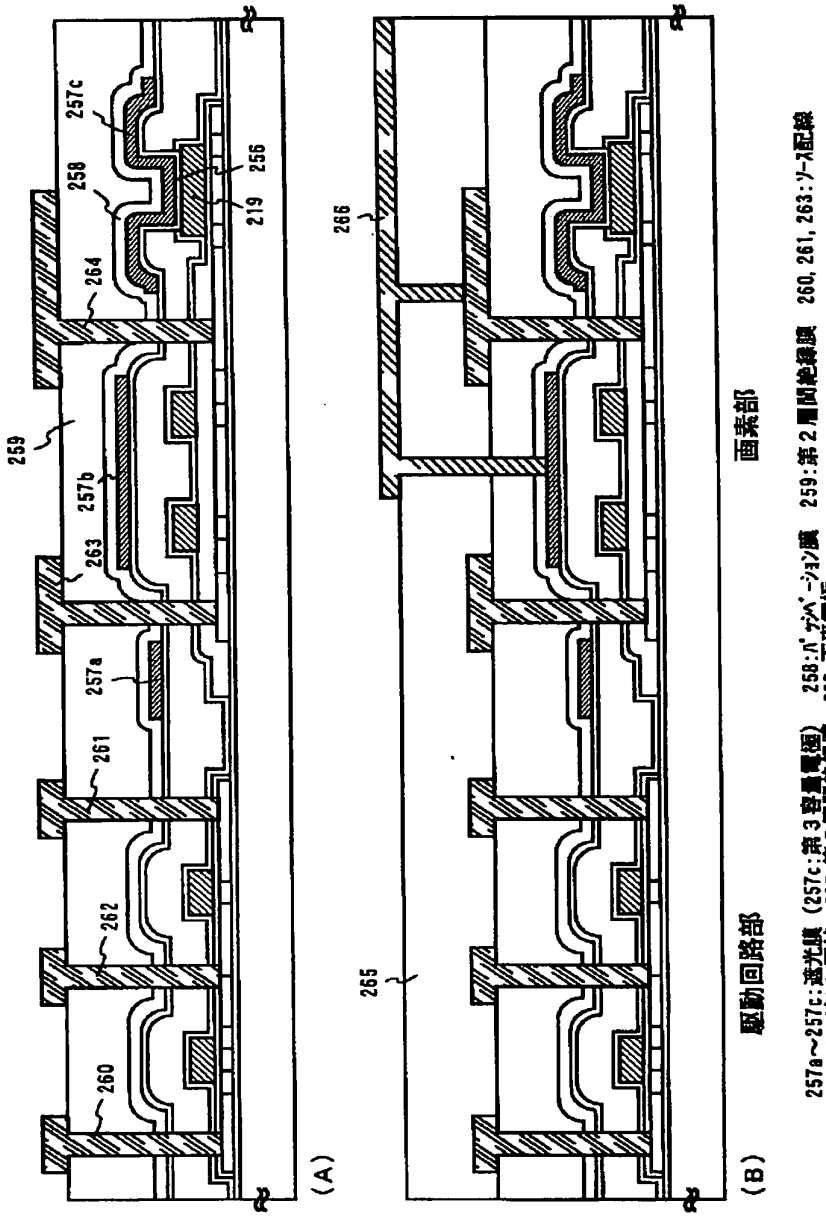



210, 211:半導体膜　212:ゲート絶縁膜　213:酸化珪素膜(熱酸化膜)　214:第1誘電体　215:ゲート絶縁膜　216～218:ゲート配線
219:第2容量電極　220:保護膜　221～224:サイドウォール　225:レジストマスク　226～230:不純物領域　231, 234:ソース領域
232, 236a～236c:LDD領域　233, 237a, 237b:チャネル形成領域　235:ドレイン領域　238:第1容量電極　239:低濃度不純物領域

【図4】

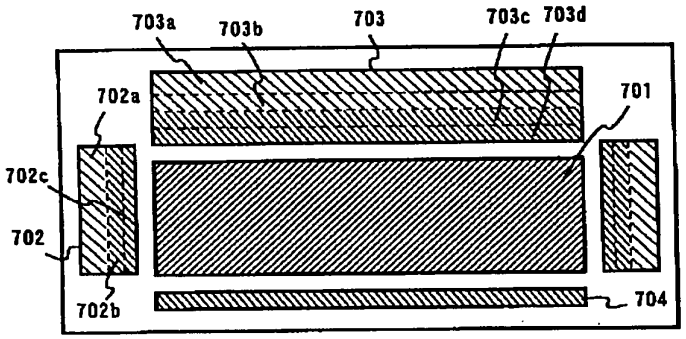

ボロンの添加工程（p++）
240a
240b
241
242
243
244
(A)
216
217
218a
218b
245
246
247
248
249
250a
250b
250c
251a
251b
252
(B)
253
254
255
256
(C)
240a, 240b:ｿﾞｽﾄﾗｸﾀ 241:ｿｰｽ領域 242, 244:ﾄﾞﾚｲﾝ領域 243:チャネル形成領域 245, 250a～250c:ＬＤＤ領域
246, 249, 251a, 251b:チャネル形成領域 247:ソース領域 248:ドレイン領域 252:第１容量電極 253:第１層間絶縁膜
254:開口部 255:酸化珪素膜 256:第２層電体

【図5】



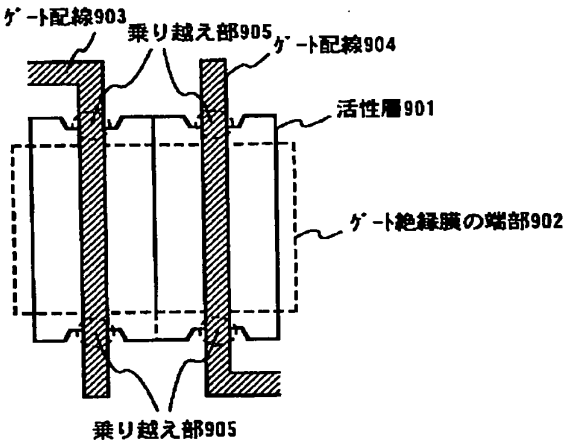

257a～257c:遮光膜(257c:第3容量電極) 258:ﾊﾟｯｼﾍﾞｰｼｮﾝ膜 259:第2層間絶縁膜 260, 261, 263:ｿｰｽ配線
262, 264:ﾄﾞﾚｲﾝ配線 265:第3層間絶縁膜 266:画素電極

【図7】

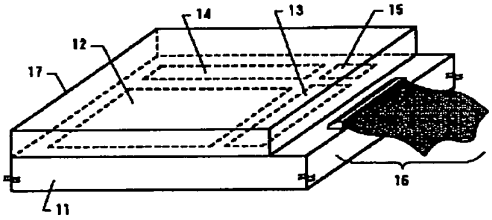



701:画素部　702a, 703a:シフトレジスタ　702b, 703b:レベルシフタ
702c, 703c:バッファ　703d:サンプリング回路　704:プリチャージ回路

【図9】

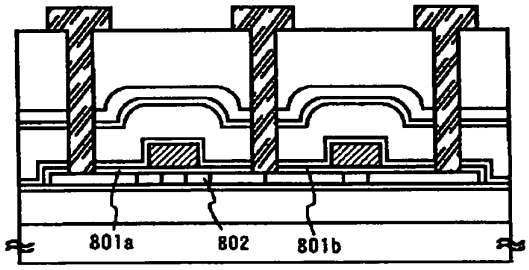



【図10】

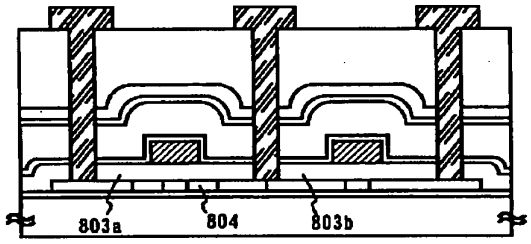



11:基板　12:画素部
13:ソース駆動回路　14:ゲート駆動回路
15:信号処理回路　16:FPC　17:対向基板

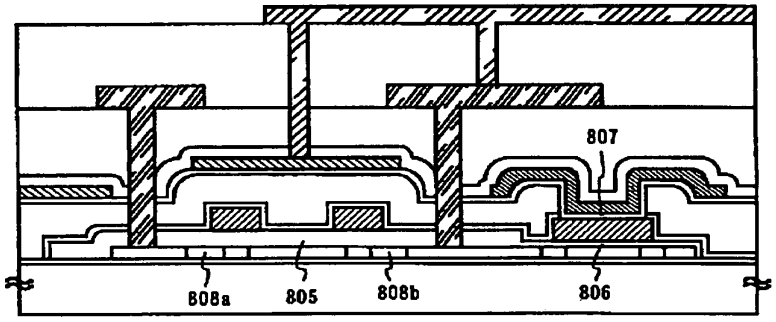
【図8】




(A) ▨ で示した領域の駆動回路

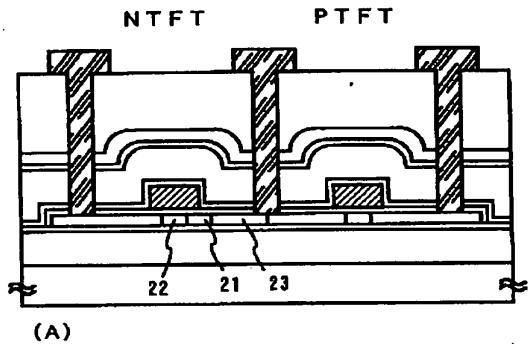



(B) ▨ で示した領域の駆動回路

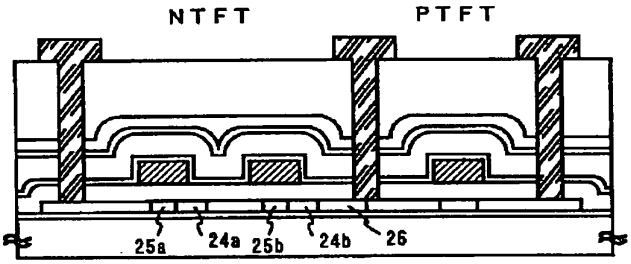



(C) ▨ で示した領域の画素部

【図11】

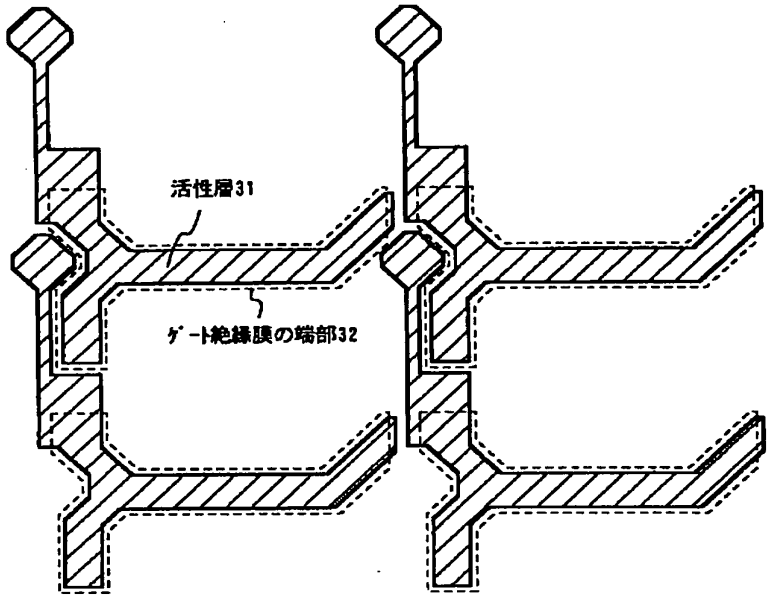



(A)

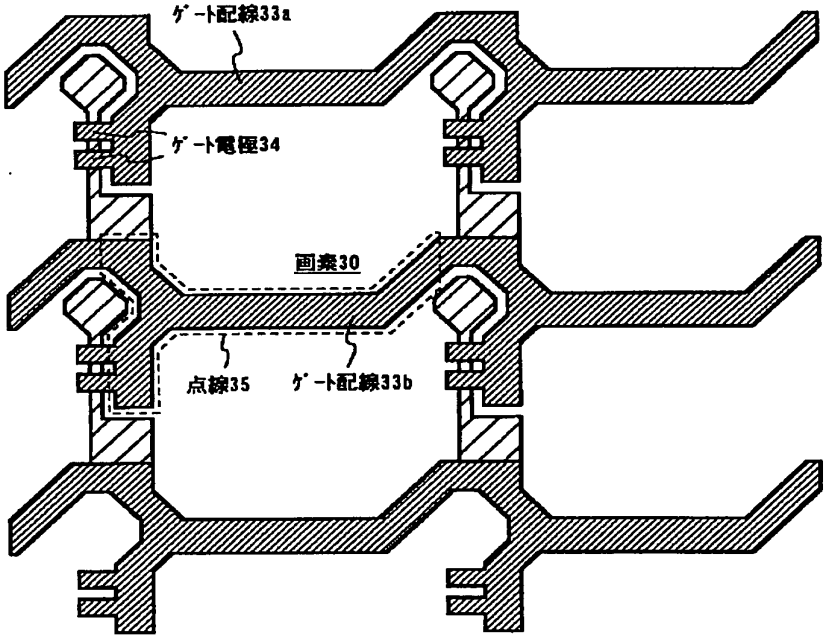



(B)

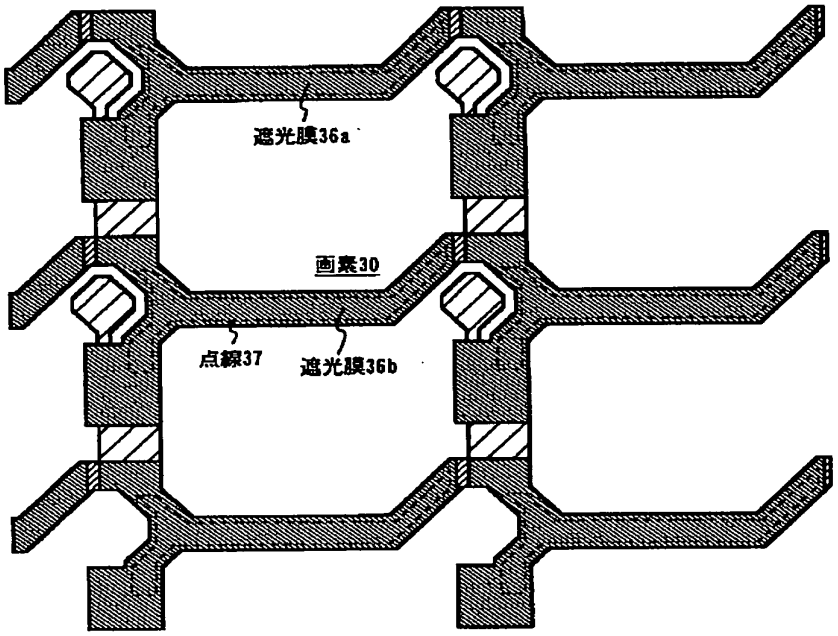
【図12】



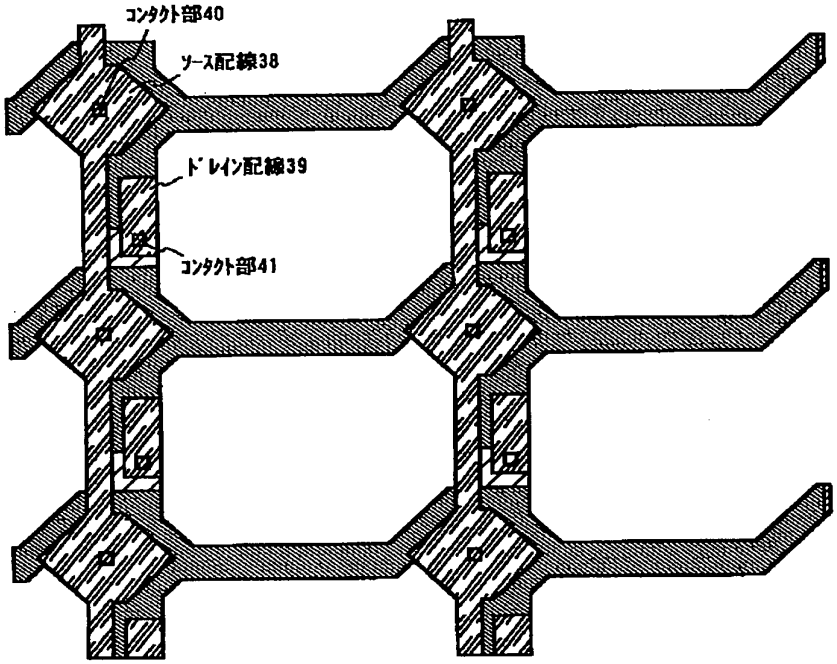

【図13】



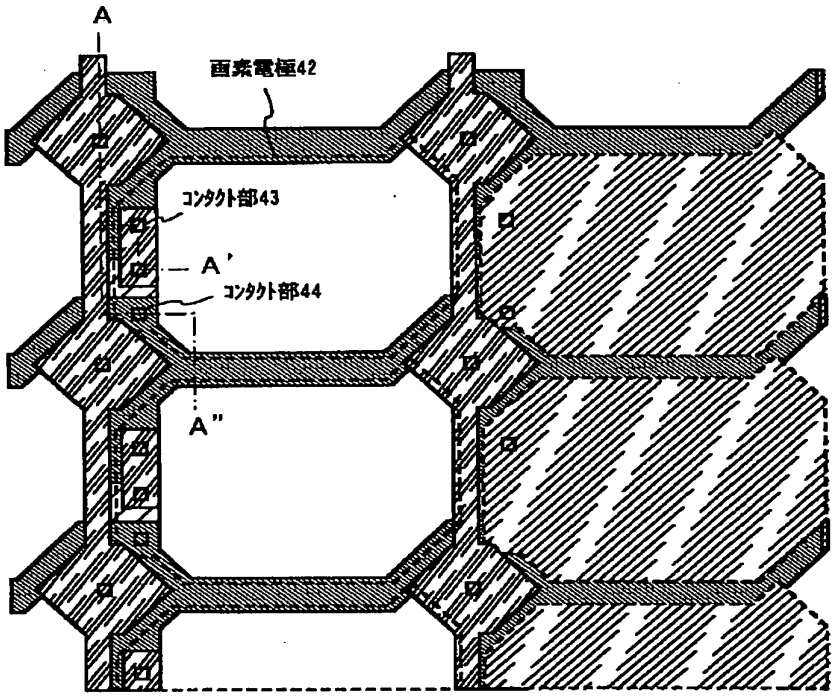
【図１４】


遮光膜36a
画素30
点線37
遮光膜36b

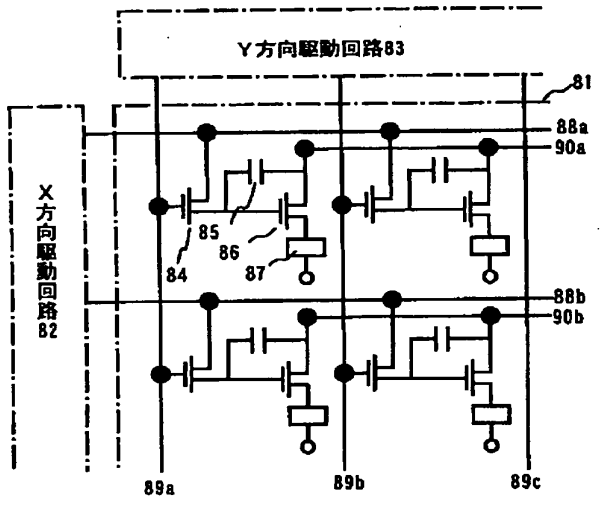
【図１５】


コンタクト部40
ソース配線38
ドレイン配線39
コンタクト部41

【図１６】

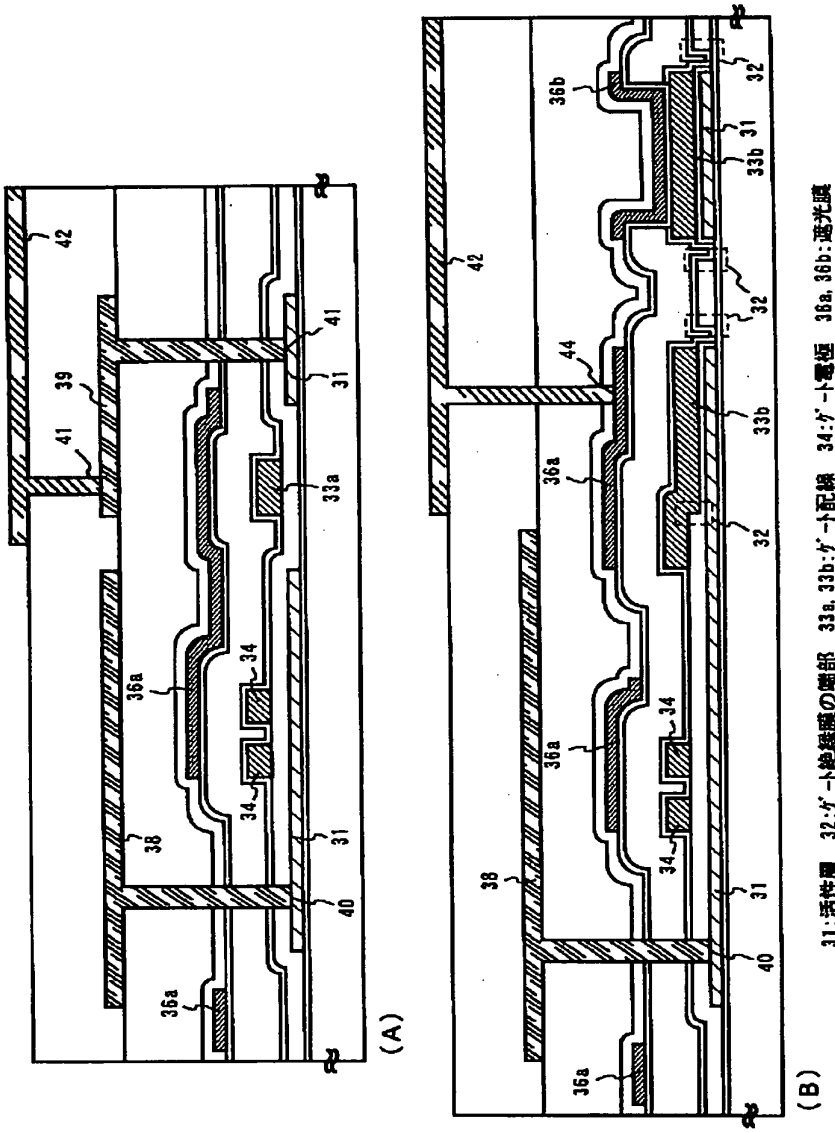



【図１９】

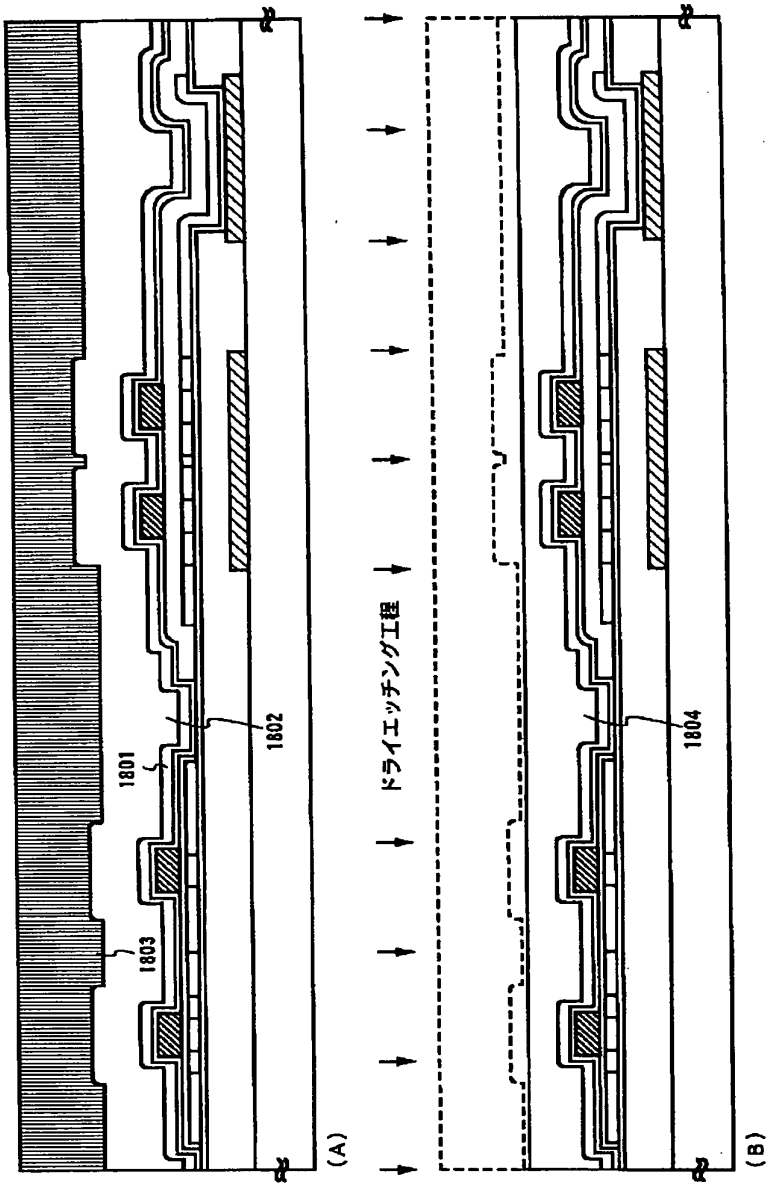



81：画素部　82：Ｘ方向（ｿｰｽ）駆動回路　83：Ｙ方向（ｹﾞｰﾄ）駆動回路
84：ｽｲｯﾁﾝｸﾞ用TFT　85：ｺﾝﾃﾞﾝｻ　86：電流制御用TFT　87：有機EL素子
88a, 88b：Ｘ方向信号線　89a～89c：Ｙ方向信号線　90a, 90b：電源線

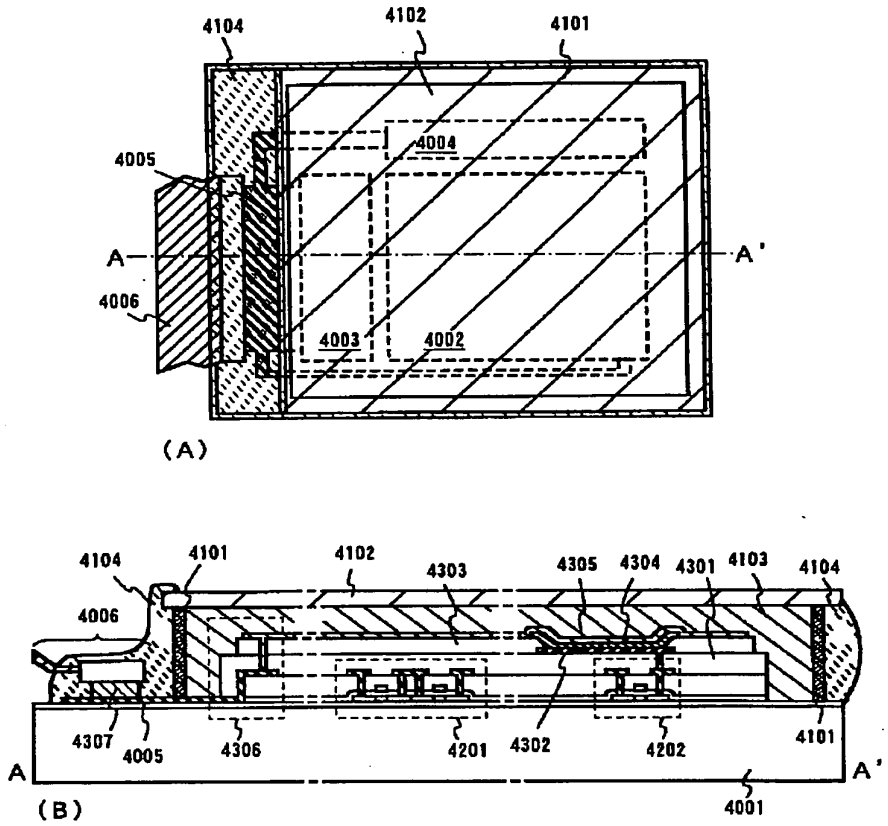
【図17】


(A)
(B)
31:活性層 32:ゲート絶縁膜の開部 33a, 33b:ゲート配線 34:ゲート電極 36a, 36b:遮光膜
38:ソース配線 39:ドレイン配線 40, 41:コンタクト部 42:画素電極

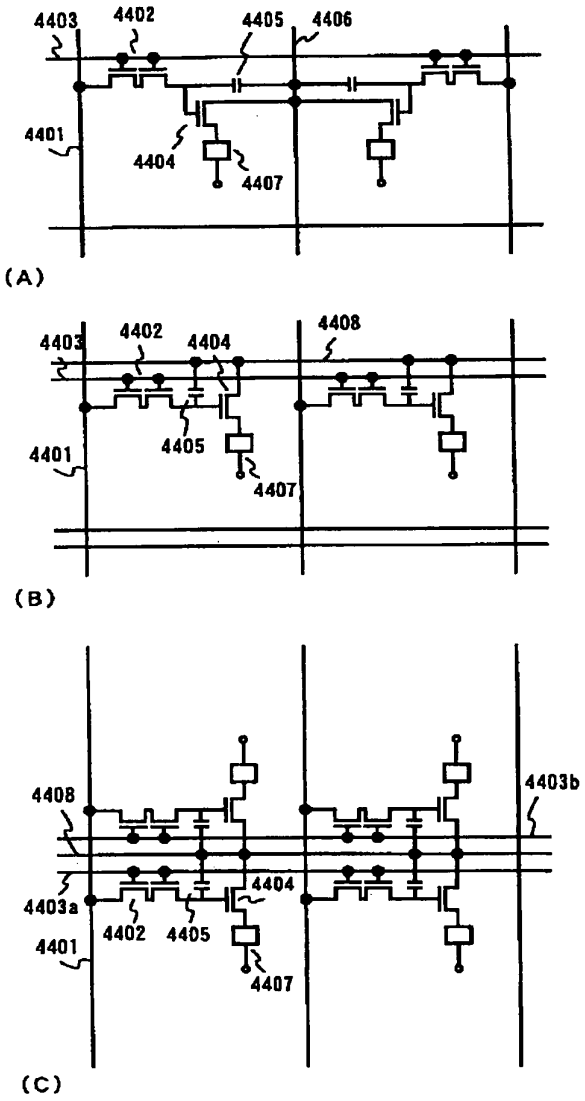
【図18】



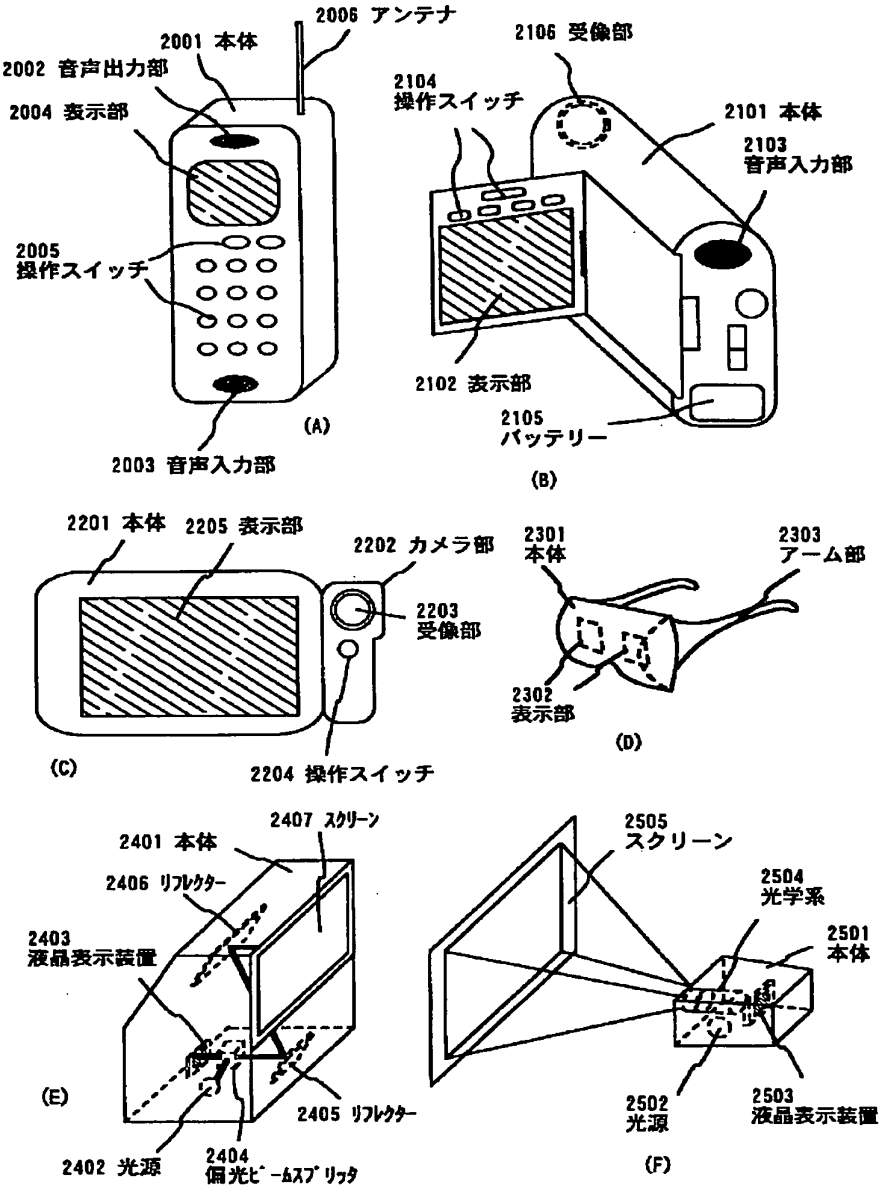
【図20】


4104
4102
4101
4004
4005
A
A'
4006
4003
4002
(A)
4104
4101
4102
4303
4305
4304
4301
4103
4104
4006
4307
4005
4306
4201
4302
4202
4101
A
A'
(B)
4001

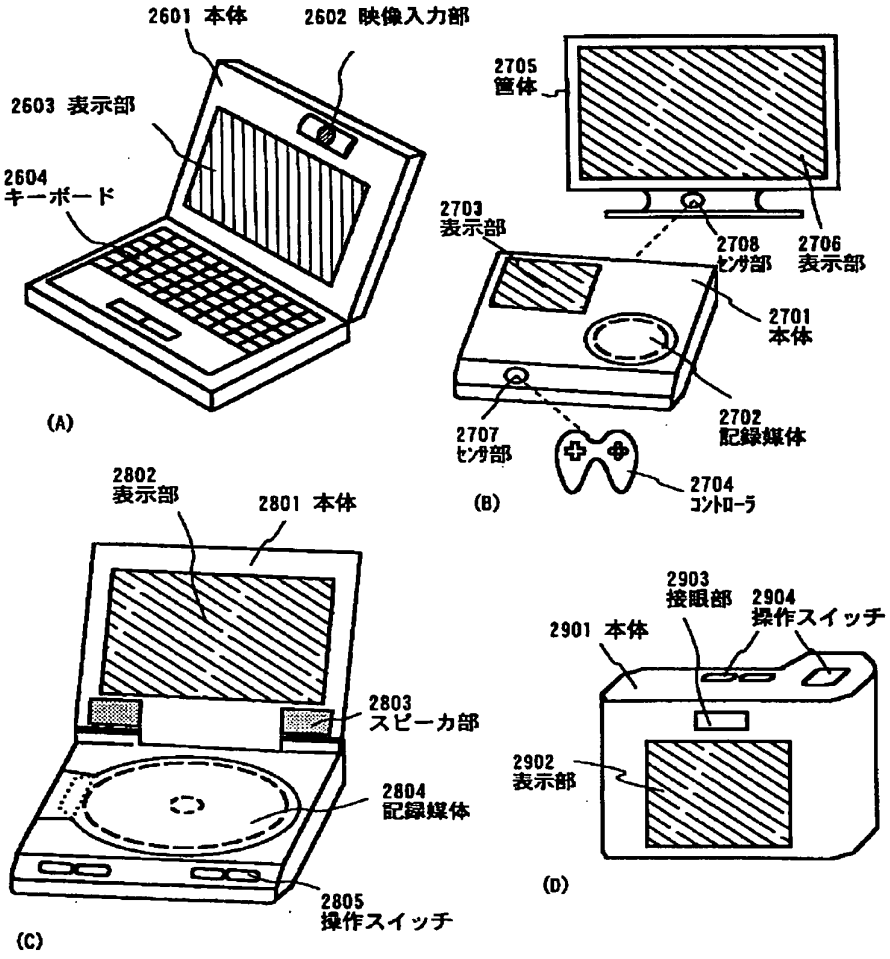
【図21】


4403
4402
4405
4406
4401
4404
4407
(A)
4403
4402
4404
4408
4405
4401
4407
(B)
4408
4403b
4403a
4404
4402
4405
4401
4407
(C)

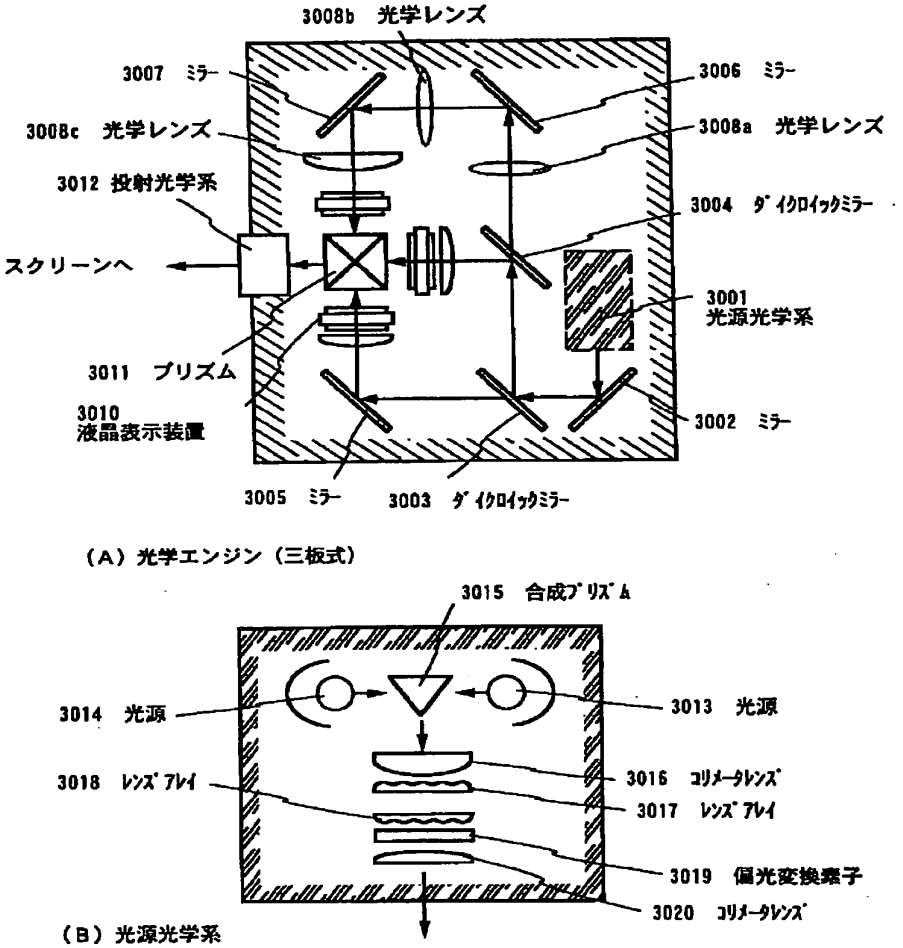
【図22】


2006 アンテナ
2001 本体
2002 音声出力部
2004 表示部
2005
操作スイッチ
2003 音声入力部
(A)
2106 受像部
2104
操作スイッチ
2101 本体
2103
音声入力部
2102 表示部
2105
バッテリー
(B)
2201 本体
2205 表示部
2202 カメラ部
2203
受像部
2204 操作スイッチ
(C)
2301
本体
2303
アーム部
2302
表示部
(D)
2407 スクリーン
2401 本体
2406 リフレクター
2403
液晶表示装置
(E)
2405 リフレクター
2402 光源
2404
偏光ビームスプリッタ
2505
スクリーン
2504
光学系
2501
本体
2502
光源
2503
液晶表示装置
(F)

【図２３】


2601 本体
2602 映像入力部
2603 表示部
2604
キーボード
(A)
2705
筐体
2703
表示部
2708
ｾﾝｻ部
2706
表示部
2701
本体
2702
記録媒体
2707
ｾﾝｻ部
2704
ｺﾝﾄﾛｰﾗ
(B)
2802
表示部
2801 本体
2803
スピーカ部
2804
記録媒体
2805
操作スイッチ
(C)
2903
接眼部
2904
操作スイッチ
2901 本体
2902
表示部
(D)

【図２４】


3008b 光学レンズ
3007 ミラー
3006 ミラー
3008c 光学レンズ
3008a 光学レンズ
3012 投射光学系
3004 ダイクロイックミラー
スクリーンへ
3001
光源光学系
3011 プリズム
3010
液晶表示装置
3002 ミラー
3005 ミラー
3003 ダイクロイックミラー
（Ａ）光学エンジン（三板式）
3015 合成プリズム
3014 光源
3013 光源
3018 レンズアレイ
3016 コリメータレンズ
3017 レンズアレイ
3019 偏光変換素子
3020 コリメータレンズ
（Ｂ）光源光学系

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-267131
(43)Date of publication of application : 29.09.2000

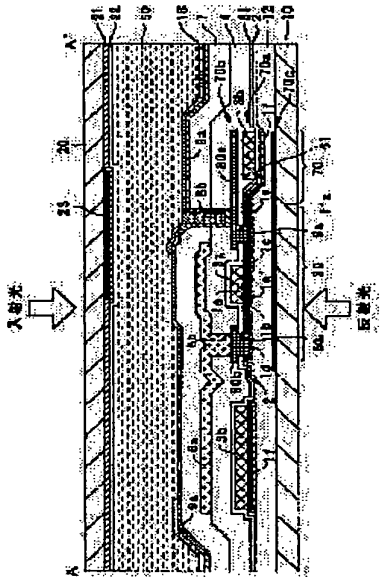
(51)Int.Cl. G02F 1/136
G09F 9/30
H01L 29/786
H01L 21/336

(21)Application number : 11-067168
(22)Date of filing : 12.03.1999

(71)Applicant : SEIKO EPSON CORP
(72)Inventor : MURAIDE MASAO

## (54) ELECTRO-OPTICAL DEVICE AND MANUFACTURE THEREOF

(57)Abstract:
PROBLEM TO BE SOLVED: To provide an electro-optical device capable of increasing a numerical aperture of pixels, increasing storage capacitance at the same time and displaying the high quality image, and to provide an easier manufacturing method of such an electro-optical device.
SOLUTION: This electro-optical device is provided with TFTs 30, data lines 6a, scanning lines 3a, capacitance lines 3b, and pixel electrodes 9a on a substrate. The pixel electrodes and the TFTs are connected by two contact holes via a 1st barrier layer 80a. Under the TFTs 30, a 1st conductive shielding film 11a is arranged. 1st storage capacitance 70a is formed of a part of a semiconductor layer and the capacitance lines, 2nd storage capacitance 70b is formed of the capacitance lines and a part of a 1st barrier layer, and 3rd storage capacitance 70c is formed of a part of the semiconductor layer and the 1st shielding film, respectively.



LEGAL STATUS

| | |
|---|---|
| [Date of request for examination] | 16.06.2003 |
| [Date of sending the examiner's decision of rejection] | |
| [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] | |
| [Date of final disposal for application] | |
| [Patent number] | 3711781 |
| [Date of registration] | 26.08.2005 |
| [Number of appeal against examiner's decision of rejection] | |
| [Date of requesting appeal against examiner's | |

decision of rejection]
[Date of extinction of right]

* NOTICES *

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]
[Claim 1] The transistor connected to the substrate at the data line, two or more scanning lines, and two or more of said each data line and said each scanning line, The light-shielding film arranged so that it may be the electro-optic device which has the pixel electrode connected to said transistor, and storage capacitance and may lap with the channel field and flat-surface target of said transistor at least on said substrate, The semi-conductor layer used as the substrate insulator layer formed on said light-shielding film, and the channel field of said transistor formed on this substrate insulator layer and the 1st capacity electrode of said storage capacitance, The gate dielectric film formed on said semi-conductor layer, and the capacity line used as said scanning line formed on said gate dielectric film, and the 2nd capacity electrode of said storage capacitance, The 1st conductive layer which contains the 3rd capacity electrode by which opposite arrangement was carried out through the 1st interlayer insulation film on said 2nd capacity electrode while connecting with said semi-conductor layer, It is the electro-optic device with which it consisted of the same layer as said light-shielding film, said 1st capacity electrode is equipped with the 4th capacity electrode by which opposite arrangement was carried out through said substrate insulator layer, and said substrate insulator layer is characterized by thin-film-izing the 1st capacity electrode and 4th capacity inter-electrode [ at least / a part of ].
[Claim 2] Said 1st conductive layer is an electro-optic device according to claim 1 characterized by connecting with said pixel electrode through the 2nd contact hole while intervening between said semi-conductor layers and said pixel electrodes and connecting with the drain field of said transistor through the 1st contact hole.
[Claim 3] The electro-optic device according to claim 2 characterized by having further the 2nd conductive layer connected to said data line through the 4th contact hole while intervening between said semi-conductor layers and said data lines and connecting with the source field of said transistor through the 3rd contact hole.
[Claim 4] Said 1st conductive layer and said 2nd conductive layer are an electro-optic device according to claim 3 characterized by consisting of the same film.
[Claim 5] Said light-shielding film is an electro-optic device according to claim 3 or 4 characterized by connecting with the constant potential line which consists of the same film as said data line in the connection field located in the perimeter of the image display field where it has conductivity and each pixel has been arranged.
[Claim 6] Said 1st conductive layer is an electro-optic device given in any 1 term of claims 1-5 characterized by including a refractory metal.
[Claim 7] Said 1st conductive layer is an electro-optic device given in any 1 term of claims 1-6 characterized by being arranged at the side near [ data line / said ] said substrate.
[Claim 8] At least one of the interlayer insulation films placed between said substrate and said substrate insulator layer list said light-shielding film and said pixel inter-electrode is an electro-optic device given in any 1 term of claims 1-7 characterized by carrying out flattening of the substrate front face of said pixel electrode mostly by becoming depressed and forming at least the part in the non-opening field of

each pixel in a concave.
[Claim 9] It is the manufacture approach of an electro-optic device of manufacturing an electro-optic device according to claim 1. The process which forms said 4th capacity electrode in the location by which opposite arrangement is carried out through said substrate insulator layer at said 1st capacity electrode from the same layer as said light-shielding film at the same time it forms said light-shielding film on said substrate so that it may lap with the channel field and flat-surface target of said transistor at least, and on said light-shielding film The process which forms said substrate insulator layer so that said 1st capacity electrode and said 4th capacity inter-electrode [ at least / a part of ] may be thin-film-ized, The process which forms said semi-conductor layer so that it may become said channel field and said 1st capacity electrode on said substrate insulator layer, The process which forms said gate dielectric film on said semi-conductor layer, and the process which forms said scanning line and said capacity line on said gate dielectric film, The manufacture approach of the electro-optic device characterized by including the process which forms said 1st conductive layer so that said 3rd capacity electrode may be included, while connecting with said semi-conductor layer.
[Claim 10] The process which is the manufacture approach of an electro-optic device of manufacturing an electro-optic device according to claim 5, and forms said light-shielding film on said substrate, The process which forms said substrate insulator layer by which the part in the part and said connection field of the schedule by which said 3rd storage capacitance is formed on said light-shielding film was thin-film-ized locally, The process which forms said semi-conductor layer on said substrate insulator layer, and the process which forms said gate dielectric film on said semi-conductor layer, The process which forms said scanning line and said capacity line on said gate dielectric film, The process which forms said 1st interlayer insulation film on said scanning line and said capacity line, The process which punctures the 5th contact hole which results in said substrate insulator layer at least to said 1st interlayer insulation film in said connection field, and said gate dielectric film at the same time it punctures said 1st and 3rd contact holes to said 1st interlayer insulation film and said gate dielectric film, The process which forms said 2nd conductive layer so that it may connect with said source field through said 3rd contact hole while forming said 1st conductive layer so that it may connect with said drain field through said 1st contact hole, The process which forms the 2nd interlayer insulation film on said 1st conductive layer and the 2nd conductive layer, The process which punctures the 6th contact hole in said connection field which results in said light-shielding film to said 2nd interlayer insulation film at least at the same time it punctures said 4th contact hole to said 2nd interlayer insulation film, The process which forms said constant potential line so that it may connect with said light-shielding film through said 6th contact hole while forming said data line so that it may connect with said 2nd conductive layer through said 4th contact hole on said 2nd interlayer insulation film, The process which forms the 3rd interlayer insulation film on said data line and said constant potential line, The manufacture approach of the electro-optic device characterized by including the process which punctures said 2nd contact hole to said 2nd interlayer insulation film and 3rd interlayer insulation film, and the process which forms said pixel electrode so that it may connect with said 1st conductive layer through said 2nd contact hole.
[Claim 11] the process at which the process which forms said substrate insulator layer forms the insulator layer of one on said substrate -- this -- the manufacture approach of the electro-optic device according to claim 10 characterized by to include the process which removes the part in the field and said connection field of the schedule in which said 3rd storage capacitance is formed among the insulator layers of 1 by etching, and the process which form other insulator layers on said insulator layer of 1 after the process which removes by said etching.
[Claim 12] the process at which the process which forms said substrate insulator layer forms the insulator layer of one on said substrate -- this -- the manufacture approach of the electro-optic device according to claim 10 characterized by to include the process which removes the part in the field and said connection field of the schedule in which said 3rd storage capacitance is formed among the process which forms other insulator layers on the insulator layer of 1, and these other insulator layers.
[Claim 13] Said insulator layer of 1 is the manufacture approach of the electro-optic device according to claim 12 characterized by a dielectric constant being higher than an insulator layer besides the above.

[Claim 14] Said insulator layer of 1 is the manufacture approach of the electro-optic device according to claim 13 characterized by being a silicon nitride film.
[Claim 15] An insulator layer besides the above is the manufacture approach of the electro-optic device according to claim 13 or 14 characterized by being an oxidation silicone film.
[Claim 16] The manufacture approach of an electro-optic device given in claim 12 characterized by removing by time management at the process which removes an insulator layer besides the above so that it may become desired thickness thru/or any 1 term of 15.

---

[Translation done.]

* NOTICES *

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]
[0001]
[Field of the Invention] This invention belongs to the electro-optic device of a active-matrix drive method, and the technical field of the manufacture approach. In order to add especially storage capacitance, while having a capacity line, it is a thin film transistor for a pixel electrode and pixel switching (suitably below Thin Film Transistor:). While calling TFT, it has the conductive layer called the barrier layer for taking an electric flow good, and it belongs to the electro-optic device of the format which prepared the light-shielding film to return light in the TFT bottom used still more suitable for a projector etc., and the technical field of the manufacture approach.
[0002]
[Background of the Invention] Conventionally, if a scan signal is supplied to the gate electrode of TFT through the scanning line in the electro-optic device of the active-matrix drive method by TFT drive, TFT will be made into an ON state and the picture signal supplied to the source field of a semi-conductor layer through the data line will be supplied to a pixel electrode through between the source-drain concerned of TFT. Supply of such a picture signal covers a long time farther than the time amount made into this ON state, and holds the electrical potential difference of each picture signal supplied through TFT since only a short time is extremely performed for every pixel electrode through TFT. Therefore, it is common to each pixel electrode that storage capacitance is added.
[0003]
[Problem(s) to be Solved by the Invention] in this kind of electro-optic device, it becomes very important to increase the storage capacitance which raises a pixel numerical aperture (that is, the pixel opening field which display light penetrates is extended in each pixel to the non-pixel opening field which display light does not penetrate), simultaneously is added to each pixel electrode, a general request called high-definition-izing of a display image being strong, and, for that, making a pixel pitch detailed.
[0004] However, it is fundamentally difficult for a pixel opening field to make storage capacitance. For this reason, the non-pixel opening field which can make storage capacitance the more the more it raises a pixel numerical aperture becomes narrow, or a pixel numerical aperture has the trouble of falling, so that it will carry out, if storage capacitance is increased.
[0005] This invention is made in view of an above-mentioned trouble, while raising a pixel numerical aperture, storage capacitance can be increased, and let it be a technical problem to offer comparatively easily the manufacture approach which can be manufactured for the high-definition electro-optic device in which image display is possible and such a high-definition electro-optic device.
[0006]
[Means for Solving the Problem] The data line of plurality [ substrate ] in order that the electro-optic device of this invention may solve the above-mentioned technical problem, The transistor connected to the scanning line, and two or more of said each data line and said each scanning line, The light-shielding film arranged so that it may be the electro-optic device which has the pixel electrode connected to said

transistor, and storage capacitance and may lap with the channel field and flat-surface target of said transistor at least on said substrate, The semi-conductor layer used as the substrate insulator layer formed on said light-shielding film, and the channel field of said transistor formed on this substrate insulator layer and the 1st capacity electrode of said storage capacitance, The gate dielectric film formed on said semi-conductor layer, and the capacity line used as said scanning line formed on said gate dielectric film, and the 2nd capacity electrode of said storage capacitance, The 1st conductive layer which contains the 3rd capacity electrode by which opposite arrangement was carried out through the 1st interlayer insulation film on said 2nd capacity electrode while connecting with said semi-conductor layer, It consisted of the same layer as said light-shielding film, said 1st capacity electrode is equipped with the 4th capacity electrode by which opposite arrangement was carried out through said substrate insulator layer, and said substrate insulator layer is characterized by thin-film-izing the 1st capacity electrode and 4th capacity inter-electrode [ at least / a part of ].

[0007] According to the electro-optic device of this invention, from a semi-conductor layer including a source field, a channel field, and a drain field, and the scanning line containing a gate electrode, the thin film transistor for pixel switching is built for every pixel, the data line is connected to the source field, the 1st conductive layer is relayed to a drain field, and the pixel electrode is connected. And if a scan signal is supplied to a gate electrode through the scanning line and a picture signal is supplied to a source field through the data line at the time of actuation, the thin film transistor for pixel switching will carry out the switching drive of the pixel electrode by supplying a picture signal to a pixel electrode from a drain field via the 1st conductive layer to the supply timing of a scan signal.

[0008] The 1st capacity electrode which consists of a semi-conductor layer especially in this invention, and the 2nd capacity electrode which is a part of capacity line Opposite arrangement is carried out through the insulating thin film containing gate dielectric film, and the 1st storage capacitance is added to the pixel electrode. Opposite arrangement of the 2nd capacity electrode and the 3rd capacity electrode which is a part of 1st conductive layer is carried out through the 1st interlayer insulation film, and the 2nd storage capacitance is added to the pixel electrode. Furthermore, opposite arrangement of the 1st capacity electrode and the 4th capacity electrode which is a part of light-shielding film is carried out through a substrate insulator layer, and the 3rd storage capacitance is added to the pixel electrode. That is, since the 1st to 3rd storage capacitance is added to the pixel electrode connected to the 1st conductive layer, big storage capacitance is added to the pixel electrode. Furthermore, since at least the part by which the substrate insulator layer was pinched by the 1st and 4th capacity inter-electrode at least is thin-film-ized locally, the 3rd storage capacitance concerned in inverse proportion to the thickness of a dielectric film is increasing efficiently. Therefore, the picture signal electrical potential difference supplied to the pixel electrode through a thin film transistor and the 1st conductive layer at the time of the actuation like the above is held by the 3rd storage capacitance with a very high maintenance property from these [ 1st ]. thus, the thing for which big storage capacitance is added to a pixel electrode -- especially, image display high-definition by high contrast becomes possible.

[0009] Moreover, since the configuration by which three storage capacitance was accumulated and parallel connection was carried out in three dimensions into the non-opening field (namely, field through which the light which a thin film transistor, storage capacitance, wiring, etc. are formed in each pixel, and contributes to a display cannot pass) in each pixel restricted very much is adopted, big storage capacitance can be built to the same plane region. That is, storage capacitance can be made to increase, without narrowing the opening field (namely, field through which the light which contributes to a display in each pixel can pass) of each pixel. Thus, by taking a large pixel opening field, bright high-definition image display becomes possible especially.

[0010] Furthermore, it is formed between the semi-conductor layer and the substrate insulator layer, a light-shielding film is seen from a substrate side, and it is that of a wrap about a channel field at least, and since it can prevent incidence, such as return light to a channel field, effectively, it can prevent property degradation of the thin film transistor by generating of optical leak based on the photoelectric effect. Thereby, the high-definition image display from which the cross talk between pixels and the ghost were reduced especially by high contrast becomes possible.

[0011] In addition, since it has a function as the 4th capacity electrode of the 3rd storage capacitance as the light-shielding film was mentioned above with the function which shades a thin film transistor in this way, and a substrate insulator layer has both an original function as substrate film, and a function as a dielectric film (dielectric film especially moreover thin-film-ized) of the 3rd storage capacitance, complication of a laminated structure is not caused.
[0012] Bright high-definition image display becomes possible by high contrast with the electro-optic device of this invention the above result using a comparatively easy configuration.
[0013] In the mode of 1 of the electro-optic device of this invention, said 1st conductive layer intervenes between said semi-conductor layers and said pixel electrodes, and it is connected to said pixel electrode through the 2nd contact hole while connecting with the drain field of said transistor through the 1st contact hole.
[0014] According to this mode, it intervenes between a semi-conductor layer and a pixel electrode, and connects through the drain field and the 1st contact hole of a semi-conductor layer by one side, and the 1st conductive layer is another side and is connected with the pixel electrode through the 2nd contact hole. For this reason, as compared with the case where one contact hole is punctured, the path of a contact hole can be made small from a pixel electrode to a drain field. Therefore, since the hollow and irregularity which are formed in the front face of the 1st conductive layer in the 1st contact hole are also small and end, promoting detailed-ization of a pixel pitch, flattening in the pixel electrode section located in the upper part can be promoted. Furthermore, since the hollow and irregularity which are formed in the front face of the pixel electrode in the 2nd contact hole are also small and end, flattening in this pixel electrode section is promoted. These results, defects, such as disclination in electrooptic material, such as liquid crystal resulting from the hollow and irregularity of a pixel electrode surface, are reduced, and it becomes possible to raise definition, contrast, and brightness further.
[0015] In this mode, it intervenes between said semi-conductor layers and said data lines, and while connecting with the source field of said transistor through the 3rd contact hole, you may have further the 2nd conductive layer connected to said data line through the 4th contact hole.
[0016] Thus, if constituted, it intervenes between a semi-conductor layer and the data line, and connects through the source field and the 3rd contact hole of a semi-conductor layer by one side, and the 2nd conductive layer is another side and is connected with the data line through the 4th contact hole. For this reason, as compared with the case where one contact hole is punctured, the path of a contact hole can be made small from the data line to a source field. Therefore, flattening in the pixel electrode section located above the 3rd and 4th contact holes can be promoted, promoting detailed-ization of a pixel pitch.

[0017] In addition, since the sum total thickness in the laminated structure near the 3rd and 4th contact holes increases by the 2nd conductive layer, reduction also of the hollow on the front face of a substrate of the pixel electrode near the 3rd and 4th contact holes is attained, and the burden of flattening processing is also mitigated.
[0018] These results, defects, such as disclination in electrooptic material, such as liquid crystal resulting from the hollow and irregularity of a pixel electrode surface, are reduced, and it becomes possible to raise definition, contrast, and brightness further.
[0019] Furthermore, protection from light of the source field in near the 3rd and 4th contact holes or a channel field is also attained by forming the 2nd conductive layer from the conductive ingredient of protection-from-light nature. On the other hand, in the manufacture process, in case the 4th contact hole is punctured by etching, etching runs and the 2nd conductive layer is useful to prevention.
[0020] In the mode equipped with this 2nd conductive layer, said 1st conductive layer and said 2nd conductive layer may consist of the same film.
[0021] Since the 1st conductive layer and the 2nd conductive layer consist of the same film, they do not need to make the number of layers in a laminated structure increase superfluously according to this mode. And puncturing of the 1st contact hole and the 3rd contact hole is attained at the same etching process, and they become advantageous on a manufacture process.
[0022] Furthermore, in the mode equipped with these 2nd conductive layer, said light-shielding film has

conductivity and may be connected to the constant potential line which consists of the same film as said data line in the connection field located in the perimeter of the image display field where each pixel has been arranged.

[0023] According to this mode, let a conductive light-shielding film be constant potential by connecting with a constant potential line. For this reason, the property of the thin film transistor formed on it through a substrate insulator layer is not degraded by potential fluctuation in the light-shielding film concerned, and it may function on coincidence good as the 4th capacity electrode of the 3rd storage capacitance. Furthermore, in the manufacture process, since a constant potential line consists of the same film as the data lines, such as for example, aluminum film, since it also becomes possible to puncture the contact hole which connects a conductive light-shielding film and a constant potential line in the connection (that is, it is in boundary region) field located around an image display field at to puncture the 4th contact hole in an image display field and coincidence, it is advantageous on a manufacture process.

[0024] In other modes of the electro-optic device of this invention, said 1st conductive layer contains a refractory metal.

[0025] According to this mode, the 1st conductive layer consists of a metal simple substance which contains at least one of Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb(s) (lead) which are an opaque refractory metal, for example, an alloy, metal silicide, etc. For this reason, a conductive layer is destroyed by high temperature processing, or it can avoid fusing by it.

[0026] In other modes of the electro-optic device of this invention, said 1st conductive layer is arranged at the side near [ data line / said ] said substrate.

[0027] In this mode, as for the 1st conductive layer, since it is arranged at the side near [ data line ] a substrate, in order to stop the parasitic capacitance between the data lines, the scanning lines, etc. which cause the voltage drop of the picture signal used as causes, such as a flicker, the thickness of the 2nd interlayer insulation film used as the substrate of the data line in which fixed thickness is required can carry out [ thin film ]-izing of the 1st interlayer insulation film which intervenes between the 1st conductive layer and the 2nd capacity electrode independently. Therefore, it becomes possible to make the capacity value which is in inverse proportion to the thickness of a dielectric film in the 2nd storage capacitance increase very efficiently. In addition, since the path of the 1st contact hole can be made still smaller by forming the 1st interlayer insulation film thinly in this way, the hollow and irregularity of the 1st conductive layer in the 1st contact hole mentioned above are still smaller, it ends, and flattening in the pixel electrode located in the upper part is promoted further. Therefore, the defect of the electrooptic material resulting from the hollow and irregularity in a pixel electrode is reduced, and final much more high-definition image display becomes possible.

[0028] In other modes of the electro-optic device of this invention, flattening of the substrate front face of said pixel electrode is mostly carried out by at least the part in the non-opening field of each pixel becoming depressed in a concave, and forming at least one of the interlayer insulation films placed between said substrate and said substrate insulator layer list said light-shielding film and said pixel inter-electrode.

[0029] According to this mode, since at least a part [ in / in at least one of a substrate, a substrate insulator layer, and interlayer insulation films / the non-opening field of each pixel ] becomes depressed in a concave and it is formed, the level difference to other fields of the field where a thin film transistor, the scanning line, a capacity line, etc. are formed in the data line in piles is reduced. Thus, since flattening of the substrate front face of a pixel electrode is carried out mostly, flattening of the pixel electrode can be carried out further, defects, such as disclination in electrooptic material, such as liquid crystal resulting from the hollow and irregularity of a pixel electrode surface, are reduced, and, finally high-definition image display becomes possible.

[0030] In order that the manufacture approach of the 1st electro-optic device of this invention may solve the above-mentioned technical problem It is the manufacture approach of an electro-optic device of manufacturing the electro-optic device of this invention mentioned above. The process which forms said 4th capacity electrode in the location by which opposite arrangement is carried out through said

substrate insulator layer at said 1st capacity electrode from the same layer as said light-shielding film at the same time it forms said light-shielding film on said substrate so that it may lap with the channel field and flat-surface target of said transistor at least, and on said light-shielding film The process which forms said substrate insulator layer so that said 1st capacity electrode and said 4th capacity inter-electrode [ at least / a part of ] may be thin-film-ized, The process which forms said semi-conductor layer so that it may become said channel field and said 1st capacity electrode on said substrate insulator layer, The process which forms said gate dielectric film on said semi-conductor layer, the process which forms said scanning line and said capacity line on said gate dielectric film, and the process which forms said 1st conductive layer so that said 3rd capacity electrode may be included, while connecting with said semi-conductor layer are included.

[0031] Since according to the manufacture approach of the 1st electro-optic device of this invention a substrate insulator layer is formed so that the 4th capacity electrode can be formed and the 1st capacity electrode and 4th capacity inter-electrode [ at least / a part of ] may be thin-film-ized after that at the same time it forms a light-shielding film, it is a comparatively small routing counter, and the electro-optic device of this invention mentioned above can be manufactured using a comparatively easy process, and low cost-ization can be promoted.

[0032] In order that the manufacture approach of the 2nd electro-optic device of this invention may solve the above-mentioned technical problem The process which the light-shielding film of this invention mentioned above is the manufacture approach of an electro-optic device of manufacturing the electro-optic device of a mode connected to the constant potential line, and forms said light-shielding film on said substrate, The process which forms said substrate insulator layer by which the part in the part and said connection field of the schedule by which said 3rd storage capacitance is formed on said light-shielding film was thin-film-ized locally, The process which forms said semi-conductor layer on said substrate insulator layer, and the process which forms said gate dielectric film on said semi-conductor layer, The process which forms said scanning line and said capacity line on said gate dielectric film, The process which forms said 1st interlayer insulation film on said scanning line and said capacity line, The process which punctures the 5th contact hole which results in said substrate insulator layer at least to said 1st interlayer insulation film in said connection field, and said gate dielectric film at the same time it punctures said 1st and 3rd contact holes to said 1st interlayer insulation film and said gate dielectric film, The process which forms said 2nd conductive layer so that it may connect with said source field through said 3rd contact hole while forming said 1st conductive layer so that it may connect with said drain field through said 1st contact hole, The process which forms the 2nd interlayer insulation film on said 1st conductive layer and the 2nd conductive layer, The process which punctures the 6th contact hole in said connection field which results in said light-shielding film to said 2nd interlayer insulation film at least at the same time it punctures said 4th contact hole to said 2nd interlayer insulation film, The process which forms said constant potential line so that it may connect with said light-shielding film through said 6th contact hole while forming said data line so that it may connect with said 2nd conductive layer through said 4th contact hole on said 2nd interlayer insulation film, The process which forms the 3rd interlayer insulation film on said data line and said constant potential line, the process which punctures said 2nd contact hole to said 2nd and 3rd interlayer insulation films, and the process which forms said pixel electrode so that it may connect with said 1st conductive layer through said 2nd contact hole are included.

[0033] According to the manufacture approach of the 2nd electro-optic device of this invention, a substrate insulator layer The part in the field and connection field of a schedule in which the 3rd storage capacitance is formed is locally thin-film-ized by coincidence. Furthermore, since the 5th contact hole is punctured by coincidence at the time of the 1st and 3rd contact hole puncturing and the 6th contact hole is punctured by coincidence at the time of the 4th contact hole puncturing Connection between the constant potential line in a boundary region and a conductive light-shielding film can be made to other various processes and coincidence in an image display field. Since the 2nd conductive layer functions as a stopper to etching in the 4th contact hole even if etching in the 4th KONTATO hole is continued until the 6th contact hole is further punctured completely after the 4th contact hole is punctured especially

completely, the thrust omission to the semi-conductor layer which exists caudad can be prevented.
[0034] Since the exclusive process for connecting a conductive light-shielding film to a constant potential line is not needed the above result, it is advantageous on a manufacture process, and it is a comparatively small routing counter, and the electro-optic device which has the light-shielding film fixed to constant potential can be manufactured using a comparatively easy process, and low cost-ization can be promoted.
[0035] the process from which the process which forms said substrate insulator layer forms the insulator layer of one on said substrate in the mode of 1 of the manufacture approach of the 2nd electro-optic device of this invention -- this -- the process which removes the part in the field and said connection field of the schedule in which said 3rd storage capacitance is formed among the insulator layers of 1 by etching, and the process which form other insulator layers on said insulator layer of 1 after the process which removes by said etching include.
[0036] According to this mode, in the process which forms a substrate insulator layer, insulator layers of 1, such as for example, an oxidation silicone film, are first formed on a substrate. next -- this -- the part in the field and connection field of a schedule in which the 3rd storage capacitance is formed among the insulator layers of 1 is removed by etching. Next, other insulator layers, such as silicon nitride films of a different class, such as an oxidation silicone film of the same class as the insulator layer of 1, are formed on this insulator layer of 1. Consequently, it is formed in the field and connection field of a schedule in which the 3rd storage capacitance is formed for the substrate insulator layer part locally thin-film-ized by the same thickness as other insulator layers. Thus, since the thickness of the substrate insulator layer part thin-film-ized locally is controlled not by etching but by thin film formation, it is made very thinly and uniformly.
[0037] or the process from which the process which forms said substrate insulator layer forms the insulator layer of one on said substrate in other modes of the 2nd electro-optic device of this invention -- this -- the process which removes the part in the field and said connection field of the schedule in which said 3rd storage capacitance is formed among the process which forms other insulator layers on the insulator layer of 1, and these other insulator layers is included. In this case, as for said insulator layer of 1, it is desirable that it is a silicon nitride film. moreover -- said -- others -- as for an insulator layer, it is desirable that it is an oxidation silicone film.
[0038] According to this mode, in the process which forms a substrate insulator layer, insulator layers of 1, such as a silicon nitride film, are first formed on a substrate. Next, other insulator layers, such as an oxidation silicone film of a different class from the insulator layer of 1, are formed on this insulator layer of 1. Next, the part in the field and connection field of a schedule in which the 3rd storage capacitance is formed among these other insulator layers is removed by etching. under the present circumstances -- since the etching rate to other insulator layers is removed by etching higher than the etching rate to the insulator layer of 1, even if it makes thickness of the insulator layer of 1 very thin -- etching -- this -- the situation which runs through the insulator layer of 1 can be avoided easily. Consequently, compared with the insulator layer of 1, it is almost the same, or is formed in the field and connection field of a schedule in which the 3rd storage capacitance is formed for the substrate insulator layer part locally thin-film-ized by even thickness thin a little. Thus, since the thickness of the substrate insulator layer part thin-film-ized locally is governed by not etching but thin film formation, it is made very thinly and uniformly.
[0039] In addition, after forming a single insulator layer, the field and connection field of a schedule in which the 3rd storage capacitance is formed are etched, and you may make it the substrate insulator layer part in these fields serve as desired thickness by the time management of the etching concerned at the process which forms a substrate insulator layer.
[0040] In this mode, said insulator layer of 1 may have a dielectric constant higher than an insulator layer besides the above.
[0041] In this case, especially, a dielectric constant is high as an insulating layer of 1, for example, if a silicon nitride film is formed, since the dielectric constant of the dielectric part of the 3rd storage capacitance will be raised, the 3rd storage capacitance can be increased very efficiently.

[0042] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.
[0043]
[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing.
[0044] (The 1st operation gestalt of an electro-optic device) The configuration of the liquid crystal equipment which is the 1st operation gestalt of the electro-optic device by this invention is explained with reference to drawing 4 from drawing 1 . Drawing 1 is equal circuits, such as various components in two or more pixels formed in the shape of [ which constitutes the image display field of liquid crystal equipment ] a matrix, and wiring, it is the top view in which drawing 2 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, the pixel electrode, the light-shielding film, etc. were formed adjoins each other, and shows the connection of a light-shielding film and a constant potential line, and drawing 4 is the A-A' sectional view of drawing 2 . [ in / in drawing 3 / a boundary region ] In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 4 .
[0045] In drawing 1 , two or more formation of TFT30 for two or more pixels formed in the shape of [ which constitutes the image display field of the liquid crystal equipment in this operation gestalt ] a matrix to control pixel electrode 9a is carried out at the shape of a matrix, and data-line 6a to which a picture signal is supplied is electrically connected to the source concerned of TFT30. The picture signals S1, S2, --, Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoin each other. Moreover, scanning-line 3a is electrically connected to the gate of TFT30, and it consists of predetermined timing so that the scan signals G1, G2, --, Gm may be impressed to scanning-line 3a in pulse line sequential at this order. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in liquid crystal through pixel electrode 9a is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later). When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. According to the electrical potential difference impressed when it was in no MARI White mode, passage of this liquid crystal part of incident light is made impossible, if it is in NOMA reeve rack mode, according to the impressed electrical potential difference, passage of this liquid crystal part of incident light will be enabled, and light with the contrast according to a picture signal will carry out outgoing radiation from liquid crystal equipment as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode. For example, as for the electrical potential difference of pixel electrode 9a, only time amount also with triple figures longer than the time amount to which the source electrical potential difference was impressed is held with storage capacitance 70. Thereby, it is improved further and a maintenance property can realize the high liquid crystal equipment of a contrast ratio.
[0046] In drawing 2 , on the TFT array substrate of liquid crystal equipment, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a, scanning-line 3a, and capacity line 3b are prepared respectively along the boundary of pixel electrode 9a in every direction. Pixel electrode 9a relays 1st barrier layer 80a which constitutes an example of the 1st conductive layer formed in the field shown with the slash of a drawing Nakamigi riser, and electrical connection is carried out to the below-mentioned drain field among semi-conductor layer 1a through 1st contact hole 8a and 2nd contact hole 8b. Electrical connection of the data-line 6a is carried out to the below-mentioned source field among semi-conductor layer 1a which relays 2nd barrier layer 80b which constitutes an example of the 2nd conductive layer formed in the field shown with the slash of a drawing Nakamigi riser, and consists of polish recon film etc. through 3rd contact hole 5a and

4th contact hole 5b. Moreover, scanning-line 3a is arranged so that channel field 1a' (field of the slash of drawing Nakamigi going down) may be countered among semi-conductor layer 1a, and scanning-line 3a functions as a gate electrode. Thus, TFT30 by which opposite arrangement of the scanning-line 3a was carried out as a gate electrode is formed in the crossing part of scanning-line 3a and data-line 6a at channel field 1a', respectively.
[0047] Capacity line 3b has the main track section mostly extended in the shape of a straight line along with scanning-line 3a, and the lobe projected to the preceding paragraph side (inside of drawing, facing up) along with data-line 6a from the part which intersects data-line 6a.
[0048] Moreover, 1st light-shielding film 11a is prepared in the field shown by the thick wire in drawing, respectively so that it may pass along scanning-line 3a, capacity line 3b, and the TFT30 bottom. in drawing 2 , the part which intersects data-line 6a more specifically forms 1st light-shielding film 11a in the method of drawing Nakashita broadly, respectively while it is formed in the shape of stripes along with scanning-line 3a -- having -- **** -- this broad part -- every -- TFT -- channel field 1a' is seen from a TFT array substrate side at least, and it is prepared in the wrap location, respectively.
[0049] In drawing 3 , 1st light-shielding film 11a shown in drawing 2 is installed even in a boundary region by the boundary region located around the **** image display field shown in drawing 2 on a TFT array substrate through the bottom of scanning-line 3a and capacity line 3b, and is pulled out as protection-from-light wiring 11b. Moreover, constant potential line 6b formed in the boundary region from the same film as data-line 6a, such as aluminum film, is wired. these -- protection from light -- wiring -- 11 -- b -- constant -- potential -- a line -- six -- b -- the after-mentioned -- like -- image display -- a field -- the -- three -- a contact hole -- five -- a -- the same -- etching -- a process -- puncturing -- having had -- the -- five -- a contact hole -- five -- a -- ' -- once -- an interlayer insulation film -- burying -- having had -- after -- the same -- a location -- further -- the -- four -- a contact hole -- five -- b -- the same -- etching -- a process -- puncturing -- having had -- the -- six -- a contact hole -- five -- b -- ' -- minding -- mutual -- connecting -- having -- **** . Moreover, in the rectangle field surrounded with the broken line which contains 6th contact hole 5b' especially in drawing 3 , the below-mentioned substrate insulator layer becomes depressed in a concave, the hollow 62 is formed, and the substrate insulator layer concerned is relatively formed in fields other than hollow 62 convex (to plane).
[0050] Next, as shown in the sectional view of drawing 4 , liquid crystal equipment is equipped with the TFT array substrate 10 which constitutes an example of the substrate of while it is transparence, and the opposite substrate 20 which it is the transparence by which opposite arrangement is carried out at this, and also constitutes an example of the substrate of a way. The TFT array substrate 10 consists of for example, a quartz substrate, a glass substrate, or a silicon substrate, and the opposite substrate 20 consists of a glass substrate or a quartz substrate. Pixel electrode 9a is prepared in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Pixel electrode 9a consists of transparent conductive thin films, such as for example, ITO (Indium Tin Oxide) film. Moreover, the orientation film 16 consists of organic thin films, such as for example, a polyimide thin film.
[0051] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode (common electrode) 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive thin films, such as for example, ITO film. Moreover, the orientation film 22 consists of organic thin films, such as a polyimide thin film.
[0052] TFT30 for pixel switching which carries out switching control of each pixel electrode 9a is formed in the location which adjoins each pixel electrode 9a at the TFT array substrate 10.
[0053] As further shown in the opposite substrate 20 at drawing 4 , the 2nd light-shielding film 23 called a black mask or a black matrix is formed in the non-opening field of each pixel. For this reason, incident light does not invade into channel field 1a' of semi-conductor layer 1a of TFT30 for pixel switching, low concentration source field 1b, and low concentration drain field 1c from the opposite substrate 20 side. Furthermore, the 2nd light-shielding film 23 has functions, such as color mixture prevention of the color material at the time of forming improvement in contrast, and a color filter.

[0054] Thus, it is constituted, and between the TFT array substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and a counterelectrode 21 may meet, the liquid crystal which is an example of electrooptic material is enclosed with the space surrounded by the below-mentioned sealant, and the liquid crystal layer 50 is formed. The liquid crystal layer 50 takes a predetermined orientation condition with the orientation film 16 and 22 in the condition that the electric field from pixel electrode 9a are not impressed. The liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds. It is the adhesives which consist of a photo-setting resin or thermosetting resin in order that a sealant may stick the TFT array substrate 10 and the opposite substrate 20 around those, and gap material (spacer), such as glass fiber for making distance between both substrates into a predetermined value or a glass bead, is mixed.
[0055] Furthermore, as shown in drawing 4 , in the location which counters TFT30 for pixel switching respectively, 1st light-shielding film 11a is prepared between the TFT array substrate 10 and each TFT30 for pixel switching. 1st light-shielding film 11a consists of a metal simple substance containing at least one of Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb(s) (lead) which are a desirable opaque refractory metal, an alloy, metal silicide, etc. If constituted from such an ingredient, 1st light-shielding film 11a is destroyed by high temperature processing in the formation process of TFT30 for pixel switching performed after the formation process of 1st light-shielding film 11a on the TFT array substrate 10, or it can avoid fusing by it. Since 1st light-shielding film 11a is formed, the situation which carries out incidence to channel field 1a' of TFT30 for pixel switching which the reflected light (return light) from the TFT array substrate 10 side etc. tends to excite to light, low concentration source field 1b, and low concentration drain field 1c can be prevented, and the property of TFT30 for pixel switching does not deteriorate according to generating of the leakage current resulting from light.
[0056] Furthermore, the substrate insulator layer 12 is formed between 1st light-shielding film 11a and two or more TFT30 for pixel switching. The substrate insulator layer 12 is formed in order to insulate electrically semi-conductor layer 1a which constitutes TFT30 for pixel switching from 1st light-shielding film 11a. Furthermore, the substrate insulator layer 12 also has a function as substrate film for TFT30 for pixel switching by being formed all over the TFT array substrate 10. That is, it has the function to prevent degradation of the property of TFT30 for pixel switching with the dry area at the time of polish of the front face of the TFT array substrate 10, the dirt which remains after washing. The substrate insulator layer 12 consists of high insulation glass, such as NSG (non doped silicate glass), PSG (phosphorus silicate glass), BSG (boron silicate glass), and BPSG (boron phosphorus silicate glass), or an oxidation silicone film, a silicon nitride film, etc. The substrate insulator layer 12 can also protect the situation where 1st light-shielding film 11a pollutes the TFT30 grade for pixel switching.
[0057] With this operation gestalt, 1st storage capacitance 70a is built by installing semi-conductor layer 1a from high concentration drain field 1e, considering as the 1f of the 1st capacity electrodes, using as the 2nd capacity electrode a part of capacity line 3b which counters this, and using the insulating thin film 2 as a dielectric film pinched by the 1st capacity electrode and the 2nd capacity inter-electrode. Furthermore, 2nd storage capacitance 70b is built by using a part of this 2nd capacity electrode and 1st barrier layer 80a which counters as the 3rd capacity electrode, and using the 1st interlayer insulation film 81 prepared in the 2nd capacity electrode and the 3rd capacity inter-electrode as a dielectric film. Furthermore, when opposite arrangement is carried out through the substrate insulator layer 12, namely, the 1f of the 1st capacity electrodes and the 4th capacity electrode which is a part of 1st light-shielding film 11a use the substrate insulator layer 12 as dielectric films, 3rd storage capacitance 70c is built.
[0058] Thus, since the storage capacitance 70 which consists of 1st storage capacitance 70a, 2nd storage capacitance 70b, and 3rd storage capacitance 70c is added to pixel electrode 9a connected to 1st barrier layer 80a, as compared with the case where only 1st storage capacitance 70a like the conventional example is added, the, far big storage capacitance 70 can be added to pixel electrode 9a.
[0059] Especially about 3rd storage capacitance 70c, the hollow 61 of the concave which becomes depressed and is formed at the same process like 62 and the after-mentioned explained to the part which constitutes the dielectric film of 3rd storage capacitance 70c pinched by the 4th capacity inter-electrode

which consists of the 1f of the 1st capacity electrodes and 1st light-shielding film 11a by drawing 3 is formed in the substrate insulator layer 12. That is, since the dielectric film part of 3rd storage capacitance 70c is thin-film-ized locally, while being proportional to surface area, the 3rd storage capacitance 70 in inverse proportion to the thickness of a dielectric film is increasing efficiently. In addition, since it has both the function which shades TFT30, and a function as an electrode for storage capacitance electrode formation of 3rd storage capacitance 70c and the substrate insulator layer 12 also has both an original function as substrate film, and a function as a dielectric film of 3rd storage capacitance 70c, 1st light-shielding film 11a does not cause complication of a laminated structure.

[0060] Moreover, about 1st storage capacitance 70a, since the insulating thin film 2 as the dielectric film is exactly gate dielectric film of TFT30 formed on the polish recon film of high temperature oxidation etc., it can be made into the thin insulator layer of high pressure-proofing, and can constitute 1st storage capacitance 70a from small area as mass storage capacitance comparatively.

[0061] Furthermore, since the 1st interlayer insulation film 81 as the dielectric film can be thinly formed like the insulating thin film 2 about 2nd storage capacitance 70b, 2nd storage capacitance 70b can consist of small area as mass storage capacitance comparatively using the field between data-line 6a which adjoin each other as shown in drawing 2 .

[0062] Furthermore, the insulating thin film 2, the 1st interlayer insulation film 81, and the substrate insulator layer 12 which are each dielectric film about 1st storage capacitance 70a, 2nd storage capacitance 70b, and 3rd storage capacitance 70c are all a different dielectric film again in the 2nd interlayer insulation film 4 which intervenes between data-line 6a and scanning-line 3b. Therefore, in order to stop the parasitic capacitance between data-line 6a which causes the voltage drop of the picture signal used as causes, such as a flicker, and scanning-line 3a, the 2nd interlayer insulation film 4 which needs fixed thickness may constitute each [ these ] dielectric film thinly to a technical limitation independently. For this reason, it becomes possible to make each capacity value in inverse proportion to the thickness of a dielectric film increase very efficiently. What is necessary is just to form a very thin dielectric film with the thickness of about 200nm or 100nm or less thinner than the insulating thin film 2, on condition that defects, such as a film tear, do not arise since unique phenomena, such as the tunnel effect, will not occur if it incidentally constitutes not much thinly like the insulating thin film 2 in TFT30 for pixel switching.

[0063] As explained above, according to this operation gestalt, in the limited non-opening field in each pixel shown in drawing 2 each -- large capacity, since the configuration to which 1st storage capacitance 70a [-izing / a ], 2nd storage capacitance 70b, and 3rd storage capacitance 70c were accumulated in three dimensions, and parallel connection was carried out is adopted As compared with the case where only the 1st storage capacitance like the conventional example is prepared in the same Hiranai, far big storage capacitance can be built to the same plane region. Furthermore, the storage capacitance 70 of such a spacial configuration is further increased by using effectively the tooth space which separated from a pixel opening field called the field under data-line 6a, and the field (namely, field in which capacity line 3b was formed) which the disclination of liquid crystal generates along with scanning-line 3a. Therefore, since the picture signal supplied to pixel electrode 9a through TFT30 and 1st barrier layer 80a at the time of actuation of the liquid crystal equipment concerned like the above-mentioned is held by storage capacitance 70 with a very high maintenance property by making storage capacitance 70 increase, without narrowing the opening field of each pixel, image display high-definition by high contrast becomes possible, and, moreover, bright image display becomes possible by the large opening field.

[0064] In drawing 4 TFT30 for pixel switching It has LDD (Lighty Doped Drain) structure. Channel field 1a' of semi-conductor layer 1a in which a channel is formed of the electric field from scanning-line 3a and concerned scanning-line 3a, 1d list of high concentration source fields of low concentration source field 1b of the insulating thin film 2 and data-line 6a which insulate scanning-line 3a and semi-conductor layer 1a, and semi-conductor layer 1a and low concentration drain field 1c, and semi-conductor layer 1a is equipped with high concentration drain field 1e. One to which it corresponds of two or more pixel electrode 9a relays 1st barrier layer 80a to high concentration drain field 1e, and it is

connected to it. Low concentration drain field 1c and high concentration drain field 1e are formed in low concentration source field 1b and 1d list of high concentration source fields to semi-conductor layer 1a like the after-mentioned by doping the impurity ion the object for n molds of predetermined concentration, or for p molds according to whether the channel of n mold or p mold is formed. this operation gestalt -- especially -- data-line 6a -- aluminum etc. -- low -- it consists of protection-from-light nature and conductive thin films, such as metal membrane metallurgy group silicide [ **** ]. [, such as alloy film, ]

[0065] 1st contact hole 8a which leads to 3rd contact hole 5a and high concentration drain field 1e which lead to 1d of high concentration source fields is respectively formed in the 1st interlayer insulation film 81 prepared on scanning-line 3a and capacity line 3b.

[0066] On the 1st interlayer insulation film 81, 2nd barrier layer 80b connected to 1d of high concentration source fields through 1st barrier layer 80a and 3rd contact hole 5a which were connected to high concentration drain field 1e through 1st contact hole 8a is formed from the same electric conduction film.

[0067] The 2nd interlayer insulation film 4 is formed on 1st barrier layer 80a and 2nd barrier layer 80b. Electrical connection of the data-line 6a is carried out to 2nd barrier layer 80b through 4th contact hole 5b punctured by the 2nd interlayer insulation film 4.

[0068] Furthermore, on data-line 6a and the 2nd interlayer insulation film 4, the 3rd interlayer insulation film 7 with which 2nd contact hole 8b to 1st barrier layer 80a was formed is formed. Electrical connection of the pixel electrode 9a is carried out to 1st barrier layer 80a through 2nd contact hole 8b. The above-mentioned pixel electrode 9a is prepared in the top face of the 3rd interlayer insulation film 7 constituted in this way.

[0069] Although TFT30 for pixel switching has LDD structure as mentioned above preferably, it may be TFT of the self aryne mold which may have the offset structure which does not drive impurity ion into low concentration source field 1b and low concentration drain field 1c, drives in impurity ion by high concentration by using as a mask the gate electrode which is a part of scanning-line 3a, and forms 1d of high concentration source fields, and high concentration drain field 1e in self align.

[0070] Moreover, although considered as the single gate structure which has arranged one gate electrode 3a which consists of a part of scanning-line 3a of TFT30 for pixel switching among 1d [ of high concentration source fields ], and high concentration drain field 1e with this operation gestalt, two or more gate electrodes may be arranged among these. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a channel and a source drain field joint can be prevented, and the current at the time of OFF can be reduced. If at least one of these gate electrodes is made into LDD structure or offset structure, the OFF state current can be reduced further and the stable switching element can be obtained.

[0071] Next, 1st barrier layer 80a is explained further.

[0072] As shown in drawing 2 and drawing 4 , 1st barrier layer 80a intervenes between conductor-layer 1a and pixel electrode 9a, and carries out electrical connection of high concentration drain field 1e and the pixel electrode 9a via 1st contact hole 8a and 2nd contact hole 8b.

[0073] For this reason, as compared with the case where one contact hole is punctured, the path of 1st contact hole 8a and 2nd contact hole 8b can be made small, respectively to the drain field of pixel electrode 9a to semi-conductor layer 1a. That is, etching precision must stop the dry etching which can make the path of a contact hole small on the way, and when puncturing one contact hole, in order to fall (for example, in order to prevent the thrust omission in about 50nm very thin semi-conductor layer 1a), it must construct a process so that it may finally puncture to semi-conductor layer 1a by wet etching, so that a contact hole will be punctured deeply, if the selection ratio at the time of etching is low. Or it will be necessary to be based on dry etching, to run and to prepare the polish recon film for prevention separately.

[0074] On the other hand, with this operation gestalt, since what is necessary is just to connect pixel electrode 9a and high concentration drain field 1e by two in-series 1st contact hole the 8a and 2nd contact hole 8b, it becomes possible to puncture these 1st contact hole 8a and 2nd contact hole 8b by dry

etching, respectively. Or it becomes possible to shorten distance punctured by wet etching at least. However, in order to attach some taper to 1st contact hole 8a and 2nd contact hole 8b, respectively, it may dare to be made to perform short-time wet etching after dry etching comparatively. Since the hollow and irregularity which the path of 1st contact hole 8a and 2nd contact hole 8b can be made small, respectively, and are formed in the front face of 1st barrier layer 80a in 1st contact hole 8a are also small and end according to this operation gestalt as mentioned above, flattening in the part of pixel electrode 9a located in the upper part is promoted. Furthermore, since the hollow and irregularity which are formed in the front face of pixel electrode 9a in 2nd contact hole 8b are also small and end, flattening in the part of this pixel electrode 9a is promoted. Furthermore, with this operation gestalt, the path of 2nd contact hole 8a can be made still smaller by forming the 1st interlayer insulation film 81 thinly in this way.

[0075] Next, 2nd barrier layer 80b is explained further.

[0076] As shown in drawing 2 and drawing 4 , 2nd barrier layer 80b is connected to data-line 6a through 4th contact hole 5b while connecting with 1d of high concentration source fields through 3rd contact hole 5a. Therefore, as compared with the case where one contact hole is punctured, the path of a contact hole can be made small from data-line 6a to 1d of high concentration source fields. Therefore, flattening in the pixel electrode 9a part located above 3rd contact hole 5a and 4th contact hole 5b can be promoted, promoting detailed-ization of a pixel pitch. In addition, the sum total thickness in the laminated structure 3rd contact hole 5a and near 4th contact hole 5b increases by 2nd barrier layer 80b. If there was no 2nd barrier layer 80b temporarily here, since the sum total thickness these 3rd contact hole 5a and near 4th contact hole 5b becomes small as compared with the sum total thickness in the field in which data-line 6a of that perimeter, scanning-line 3a, and TFT30 grade were formed in piles (comparatively large), the substrate front face of pixel electrode 9a will become depressed near this, or that flattening processing is needed. However, with this operation gestalt, since the sum total thickness in the laminated structure 3rd contact hole 5a and near 4th contact hole 5b increases by 2nd barrier layer 80b, reduction also of the depression on the front face of a substrate of pixel electrode 9a of the neighborhood is attained, and the burden of flattening processing is also mitigated. These results, defects, such as disclination in the liquid crystal layer 50 resulting from the hollow and irregularity of a pixel electrode 9a front face, are reduced, and it becomes possible to raise definition, contrast, and brightness further.

[0077] Furthermore, protection from light of 3rd contact hole 5a and 1d of high concentration source fields in near 4th contact hole 5b, low concentration source field 1b, and channel field 1a' is also attained by forming 2nd barrier layer 80b from the conductive ingredient of protection-from-light nature. By data-line 6a generally formed from metal membranes, such as aluminum film, although it is possible to shade this neighborhood Since the phenomenon in which aluminum film etc. becomes thin rather than a mask pattern occurs frequently by surroundings lump (halation) of the light in the exposure phase which carries out pattern NINGU of the aluminum film etc. since 2nd barrier layer 80b performs redundancy-protection from light to the light which passes through the sides, such as aluminum film which became thin at that time, (refer to drawing 2 ), the protection-from-light engine performance in this field is markedly alike, and is raised.

[0078] On the other hand, in the manufacture process like the after-mentioned, in case 4th contact hole 5b is punctured by etching, etching runs and 2nd barrier layer 80b is useful also to prevention.

[0079] In addition, if 1st barrier layer 80a and 2nd barrier layer 80b are formed from the same film like this operation gestalt, since these can be formed in coincidence at the same process and it can carry out puncturing possible [ of 1st contact hole 8a and the 3rd contact hole 5a ] at the same etching process to the insulating thin film 2 further, it becomes advantageous on a manufacture process. Moreover, in order not to make the number of layers in a laminated structure increase superfluously, equipment dependability also improves.

[0080] As a concrete ingredient of 1st barrier layer 80a and 2nd barrier layer 80b, the metal simple substance containing at least one of Ti, Cr, W, Ta, Mo, and Pb(s) which are an opaque refractory metal, an alloy, metal silicide, etc. are mentioned, for example. If constituted from these, these are destroyed by high temperature processing performed after the formation process of 1st barrier layer 80a and 2nd

barrier layer 80b, or it can avoid fusing by it. Furthermore, since a refractory metal does not corrode even if such a refractory metal and the ITO film which constitutes pixel electrode 9a contact, good electrical connection is obtained through 2nd contact hole 8b between 1st barrier layer 80a and pixel electrode 9a.
[0081] However, 1st barrier layer 80a and 2nd barrier layer 80b may consist of conductive polish recon film. Even in this case, the function to which storage capacitance 70 is made to increase, and a junction function can fully be demonstrated. In this case, since it is especially hard coming to generate the stress by heat etc. between the 1st interlayer insulation film 81, it is useful to crack prevention. Or 1st barrier layer 80a and 2nd barrier layer 80b may consist of same aluminum film as data-line 6a etc.
[0082] Moreover, as for the thickness of 1st barrier layer 80a and 2nd barrier layer 80b, it is desirable to consider for example, as 50nm or more 500nm or less extent. or [ that possibility of running at the time of puncturing of 2nd contact hole 8b in a manufacture process and 4th contact hole 5b if there is thickness of about 50nm becomes low, and the irregularity of the front face of pixel electrode 9a will not pose a problem if it is about 500nm ] -- or it is because flattening is comparatively easily possible. However, if 1st barrier layer 80a and 2nd barrier layer 80b are constituted from refractory metal film or its alloy film, since the selection ratios in etching with a metal membrane and an interlayer insulation film differ greatly, most possibility by the dry etching like the above-mentioned of running cannot be found.
[0083] As especially the operation gestalt explained above showed to drawing 3 , since it is pulled out as protection-from-light wiring 11b by the boundary region on the TFT array substrate 10 and connects with constant potential line 6b, 1st light-shielding film 11a is fixed to fixed potential. For this reason, the property of TFT30 formed on 1st light-shielding film 11a through the substrate insulator layer 12 is not degraded by potential fluctuation in 1st light-shielding film 11a. In this case, constant sources of potential, such as a negative supply supplied to the circumference circuits (for example, a scanning-line drive circuit, a data-line drive circuit, etc.) for driving the liquid crystal equipment concerned as a constant source of potential and a positive supply, a touch-down power source, the constant source of potential supplied to a counterelectrode 21 are mentioned. Furthermore, since constant potential line 6b consists of the same film as data-line 6a, such as for example, aluminum film, it becomes possible [ also puncturing 6th contact hole 5b' in a boundary region to puncturing 4th contact hole 5b in an image display field like the after-mentioned in the manufacture process, and coincidence ].
[0084] Although 1st barrier layer 80a and 2nd barrier layer 80b are prepared between data-line 6a and semi-conductor layer 1a, you may make it prepare at least one side in a side far from semi-conductor layer 1a from aluminum film, a refractory metal, etc. rather than data-line 6a with the operation gestalt explained above among 1st barrier layer 80a and 2nd barrier layer 80b. Also in this case, the junction function by each barrier layer is demonstrated good.
[0085] moreover -- a contact hole -- eight -- a -- eight -- b -- five -- a -- five -- b -- five -- a -- ' -- and -- five -- b -- ' -- a flat surface -- a configuration -- a round shape -- a square -- or -- others -- a polygon -- ** -- etc. -- ****** -- although -- a round shape -- especially -- a contact hole -- a perimeter -- an interlayer insulation film -- etc. -- it can set -- a crack -- prevention -- being useful . And in order to obtain good electrical connection, it is desirable to perform wet etching after dry etching and to attach some taper to these contact holes, respectively.
[0086] (Manufacture process in the 1st operation gestalt of an electro-optic device) Next, the manufacture process of the liquid crystal equipment in an operation gestalt with the above configurations is explained with reference to drawing 5 and drawing 6 . In addition, drawing 5 is process drawing in which making each class by the side of the TFT array substrate in each process correspond to the A-A' cross section of drawing 2 like drawing 4 , and showing it, and drawing 6 is process drawing which is made to correspond to the A-A' cross section of drawing 3 , and is shown.
[0087] From each process (1) in the boundary region indicated to be each process (1) in the image display field shown in drawing 5 to (10) to drawing 6 , since (10) is performed to coincidence, respectively, it explains these below in parallel.
[0088] As first shown in the process (1) of drawing 5 and drawing 6 , respectively, the TFT array

substrates 10, such as a quartz substrate, a hard glass substrate, and a silicon substrate, are prepared. Here, preferably, annealing treatment is carried out at inert gas ambient atmospheres, such as N2 (nitrogen), and an about 900-1300-degree C elevated temperature, and it pretreats so that distortion produced in the TFT array substrate 10 in the elevated-temperature process carried out behind may decrease. That is, according to the temperature by which high temperature processing is carried out at the maximum elevated temperature in a manufacture process, the TFT array substrate 10 is heat-treated at the same temperature or the temperature beyond it in advance. and the whole surface of the TFT array substrate 10 processed in this way -- metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pb, -- sputtering -- about 100-500nm thickness -- the light-shielding film of about 200nm thickness is formed preferably. In addition, on a light-shielding film, in order to ease surface reflection, antireflection films, such as polish recon film, may be formed.

[0089] and on the formed this light-shielding film, according to a photolithography process, an etching process, etc., 1st light-shielding film 11a is formed to an image display field, simultaneously (refer to drawing 5 ) protection-from-light wiring 11b is formed in a boundary region (refer to drawing 6 ).

[0090] Next, as shown in the process (2) of drawing 5 and drawing 6 , respectively, lower layer insulator layer 12a of the substrate insulator layer 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, an oxidation silicone film, etc. using TEOS gas, TEB gas, TMOP gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on 1st light-shielding film 11a and protection-from-light wiring 11b. The thickness of this lower layer insulator layer 12a may be about 500-2000nm.

[0091] Next, as shown in the process (3) of drawing 5 and drawing 6 , respectively, by wet etching or dry etching, in an image display field, it becomes depressed to the field which is due to form 3rd storage capacitance 70c for every pixel, and 61' is punctured (refer to drawing 5 ), it becomes depressed in the connection for connecting constant potential line 6b and protection-from-light wiring 11b to coincidence in a boundary region, and 62' is punctured (refer to drawing 6 ).

[0092] Next, as shown in the process (4) of drawing 5 and drawing 6 , respectively, upper insulator layer 12b of the substrate insulator layer 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, an oxidation silicone film, etc. using TEOS gas, TEB gas, TMOP gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on lower layer insulator layer 12a in which hollow 61' and 62' were formed. Besides, the thickness of layer insulator layer 12b is so good that it is thin as long as a good insulator layer without a defect can be formed, for example, let it be thickness about 500nm or less.

[0093] The substrate insulator layer 12 which consists of two-layer structure of lower layer insulator layer 12a in which it becomes depressed from the above process (2) to an image display field by (4), and 61 is formed in (refer to drawing 2 and drawing 4 ), and it becomes depressed in a boundary region and 62 is formed (refer to drawing 3 ), and upper insulator layer 12b is completed.

[0094] Next, as shown in the process (5) of drawing 5 and drawing 6 , respectively, about 450-550 degrees C of amorphous silicon film are preferably formed comparatively on the substrate insulator layer 12 with the reduced pressure CVD (for example, CVD with a pressure of about 20-40Pa) using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc. of about 500 degrees C in a low-temperature environment. Then, in nitrogen-gas-atmosphere mind, at about 600-700 degrees C, preferably, solid phase growth of the polish recon film is carried out by ****** which performs annealing treatment of 4 - 6 hours for about 1 to 10 hours until it becomes the thickness of about 100nm preferably in about 50-200nm thickness. As an approach of carrying out solid phase growth, the annealing treatment using RTA (Rapid Thermal Anneal) is sufficient, and the laser annealing using an excimer laser etc. is sufficient. In addition, the polish recon film may be directly formed with a reduced pressure CVD method etc. without passing through the amorphous silicon film. Or drive silicon ion into the polish recon film deposited with the reduced pressure CVD method etc., once make it amorphous (amorphous-izing), it is made to recrystallize by annealing treatment etc. after that, and the polish recon film may be formed.

[0095] Next, semi-conductor layer 1a which has a predetermined pattern is formed according to a