

photolithography process, an etching process, etc. Semi-conductor layer 1a which constitutes TFT30 for pixel switching furthermore, the temperature of about 900-1300 degrees C, and by oxidizing thermally with the temperature of about 1000 degrees C preferably Thermal oxidation silicone film 2a with a comparatively thin thickness of about 30nm is formed. Further Insulator layer 2b which consists of a high-temperature-oxidation silicone film (HTO film) or a silicon nitride film with a reduced pressure CVD method etc. is deposited on the comparatively thin thickness of about 50nm, and the insulating thin film 2 with the multilayer structure containing thermal oxidation silicone film 2a and insulator layer 2b is formed. consequently, the thickness of semi-conductor layer 1a and the 1f of the 1st capacity electrodes -- the thickness of about 30-150nm -- desirable -- the thickness of about 35-50nm -- becoming -- the thickness of the insulating thin film 2 (namely, dielectric film of 1st storage capacitance 70a) -- the thickness of about 20-150nm -- it becomes the thickness of about 30-100nm preferably. Thus, by shortening elevated-temperature thermal oxidation time amount, when using especially an about 8 inches large-sized substrate, the camber by heat can be prevented. However, the insulating thin film 2 with monolayer structure may be formed only by oxidizing the polish recon film thermally.

[0096] Next, after forming a resist layer according to a photolithography process, an etching process, etc. on semi-conductor layer 1a except the 1f of the 1st storage capacitance electrodes, P (Lynn) ion may be doped in about $3 \times 10^{12}/\text{cm}^2$ of doses, and the 1f of the 1st storage capacitance electrodes may be formed into low resistance.

[0097] Next, after removing this resist layer, the polish recon film is deposited with a reduced pressure CVD method etc., thermal diffusion of the P is carried out further, and this polish recon film is electric-conduction-ized. Or the doped silicone film which introduced P ion into membrane formation and coincidence of the polish recon film may be used. The thickness of the polish recon film is preferably deposited on about 300nm in about 100-500nm thickness.

[0098] Next, capacity line 3b is formed according to a photolithography process, an etching process, etc. with scanning-line 3a of the **** predetermined pattern shown in drawing 2. Scanning-line 3a and capacity line 3b are good also as a multilayer interconnection which could form by metal alloy film, such as refractory metal metallurgy group silicide, and was combined with the polish recon film etc.

[0099] Next, when setting to TFT of an n channel mold with LDD structure TFT30 for pixel switching shown in drawing 4, in order to form low concentration source field 1b and low concentration drain field 1c in semi-conductor layer 1a first the impurity ion of V group elements, such as P, is doped by low concentration by using as a mask the gate electrode which is a part of scanning-line 3a (for example, P ion -- the dose of one to $3 \times 10^{13}/\text{cm}^2$). Thereby, semi-conductor layer 1a under scanning-line 3a becomes channel field 1a'. Capacity line 3b and scanning-line 3a are also formed into low resistance by the dope of this impurity ion.

[0100] next, in order to form 1d of high concentration source fields and high concentration drain field 1e which constitute TFT30 for pixel switching, after forming a resist layer on scanning-line 3a with a mask with wide width of face rather than scanning-line 3a, similarly the impurity ion of V group elements, such as P, is doped by high concentration (for example, P ion -- the dose of one to $3 \times 10^{15}/\text{cm}^2$). Moreover, to semi-conductor layer 1a, when using TFT30 for pixel switching as a p channel mold, in order to form 1d of high concentration source fields, and high concentration drain field 1e in low concentration source field 1b and a low concentration drain field 1c list, the impurity ion of III group elements, such as B, is used and doped. In addition, it is good also as TFT of offset structure, without, for example, performing a low-concentration dope, and it is good also as TFT of a self aryne mold by the ion-implantation technique using P ion, B ion, etc., using as a mask the gate electrode which is a part of scanning-line 3a. Capacity line 3b and scanning-line 3a are also further formed into low resistance by the dope of this impurity ion.

[0101] In addition, in parallel to these component formation processes of TFT30, circumference circuits with the complementary-type structure which consists of an n channel mold TFT and a p channel mold TFT, such as a data-line drive circuit and a scanning-line drive circuit, may be formed in the periphery on the TFT array substrate 10. Thus, if semi-conductor layer 1a which constitutes TFT30 for pixel switching in this operation gestalt is formed by the polish recon film, at the time of formation of TFT30

for pixel switching, it is the same process mostly, and a circumference circuit can be formed and it is advantageous on manufacture.

[0102] And after removing a resist layer, the 1st interlayer insulation film 81 which consists of a high-temperature-oxidation silicon film (HTO film) or a silicon nitride film by the reduced pressure CVD method, a plasma-CVD method, etc. is deposited [capacity line 3b and a scanning-line 3a list] on the insulating thin film 2 at comparatively thin 10nm or more thickness of 200nm or less. However, as mentioned above, the 1st interlayer insulation film 81 may be constituted from multilayers, and can form the 1st interlayer insulation film 81 with various kinds of well-known techniques used for generally forming the gate dielectric film of TFT. Moreover, the 1st interlayer insulation film 81 functions as the 2nd dielectric film between 2nd capacity electrode 3b and the 1st barrier layer 80. And since 2nd storage capacitance 70b becomes large so that the 1st interlayer insulation film 81 is made thin, on condition that defects, such as a film tear, do not arise, if the 1st interlayer insulation film 81 is formed so that it may become a very thin insulator layer with the thickness of 50nm or less thinner than the insulating thin film 2, the effectiveness of this operation gestalt can be increased after all.

[0103] Next, as shown in the process (6) of drawing 5 and drawing 6 , respectively, in an image display field, 3rd contact hole 5a for carrying out electrical connection of the 1d of the high concentration source fields to 1st contact hole 8a for carrying out electrical connection of 1st barrier layer 80a and the high concentration drain field 1e and 2nd barrier layer 80b is punctured by dry etching, such as reactive ion etching and reactant ion beam etching, (refer to drawing 5). In a boundary region, 5th contact hole 5a' is punctured to coincidence (refer to drawing 6). Since such dry etching has high directivity, it can puncture the contact hole of a small path. Or wet etching advantageous to preventing that 1st contact hole 8a and 3rd contact hole 5a run through semi-conductor layer 1a may be used together. This wet etching is effective also from a viewpoint which gives a taper, in order to obtain better electrical connection to 1st contact hole 8a and 3rd contact hole 5a.

[0104] As shown in the process (7) of drawing 5 and drawing 6 , respectively, next, all over 1d of high concentration source fields at which it looks in through high concentration drain field 1e and 3rd contact hole 5a which are looked into through 1st contact hole 8a in 1st interlayer insulation film 81 list Metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pb, is deposited by sputtering etc., and the electric conduction film of about 50-500nm thickness is formed. If there is thickness of about 50nm, there will almost be no possibility of running when puncturing 2nd contact hole 8b and 4th contact hole 5b behind. In addition, on this electric conduction film, in order to ease surface reflection, antireflection films, such as polish recon film, may be formed. Moreover, the electric conduction film may use a doped polysilicon film etc. for stress relaxation.

[0105] And 1st barrier layer 80a and 2nd barrier layer 80b which contain 3rd capacity electrode 80a according to a photolithography process, an etching process, etc. are formed on the electric conduction film formed in this way.

[0106] Next, as shown in the process (8) of drawing 5 and drawing 6 , respectively, the 2nd interlayer insulation film 4 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, an oxidation silicon film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that the whole surface of 1st barrier layer 80a and 2nd barrier layer 80b may be covered in 1st interlayer insulation film 81 list. The thickness of the 2nd interlayer insulation film 4 has desirable about 500-1500nm. If there is 500nm or more of thickness of the 2nd interlayer insulation film 4, the parasitic capacitance between data-line 6a and scanning-line 3a will remain, or will hardly pose a problem.

[0107] And in order to activate semi-conductor layer 1a, after performing about 1000-degree C annealing treatment about 20 minutes, in an image display field, 4th contact hole 5b which results in 2nd barrier layer 80b is punctured to the 2nd interlayer insulation film 4 (refer to drawing 5). 6th contact hole 5b' which results in coincidence in a boundary region at protection-from-light wiring 11b is also punctured to the 2nd interlayer insulation film 4 (refer to drawing 6).

[0108] if 4th contact hole 5b etches only the thickness (for example, about 800nm) of the 2nd interlayer insulation film 4 especially in this process (8) -- the need -- 6th contact hole 5b' needs to etch more

deeply only the thickness (for example, about 800nm+200nm) of the sum total of the 2nd interlayer insulation film 4 and lower layer insulator layer 12a to being enough. Therefore, if it is going to puncture to coincidence the contact hole where depth is different from each other in this way by etching, etching in 4th KONTATO hole 5b will be continued until 6th contact hole 5b' is punctured further completely, after 4th contact hole 5b of the shallower one is punctured completely. However, with this operation gestalt, 2nd barrier layer 80b functions as a stopper to etching in 4th contact hole 5b. For this reason, the thrust omission to that semi-conductor layer 1a that exists caudad can be prevented. That is, if there was no 2nd barrier layer 80b temporarily, while waiting for the completion of puncturing of 6th contact hole 5b', the danger of etching in 4th contact hole 5b advancing, and running through thin semi-conductor layer 1a is. For this reason, while equipment dependability and manufacture effectiveness fall and causing a cost rise, puncturing etching control of the minor diameter using dry etching becomes difficult, and detailed-ization of a pixel pitch becomes difficult. On the other hand, with this operation gestalt, since 2nd barrier layer 80b becomes a stopper to etching at the time of puncturing of 4th contact hole 5b, such a problem is not produced.

[0109] Next, as shown in the process (9) of drawing 5 and drawing 6, it deposits preferably in about 100-500nm thickness by sputtering etc. on the 2nd interlayer insulation film 4 at about 300nm by making low resistance metal metallurgy group silicide, such as aluminum of protection-from-light nature, etc. into a metal membrane.

[0110] Next, in an image display field, data-line 6a is formed according to a photolithography process, an etching process, etc., and constant potential line 6b is formed in coincidence in a boundary region.

[0111] Next, as shown in the process (10) of drawing 5 and drawing 6, the 3rd interlayer insulation film 7 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, an oxidation silicone film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that a constant data-line 6a and potential line 6b top may be covered. The thickness of the 3rd interlayer insulation film 7 has desirable about 500-1500nm.

[0112] Next, 2nd contact hole 8b for carrying out electrical connection of pixel electrode 9a and the 1st barrier layer 80a is formed by dry etching, such as reactive ion etching and reactant ion beam etching. Moreover, wet etching may be used in order to make it the shape of a taper.

[0113] Next, all over 1st barrier layer 80a looked into through the 3rd interlayer insulation film 7 and the 2nd contact hole, transparent conductive thin films, such as ITO film, are deposited on the thickness of about 50-200nm by spatter processing etc., and pixel electrode 9a is formed according to a photolithography process, an etching process, etc. after that. In addition, when using the liquid crystal equipment concerned for the liquid crystal equipment of a reflective mold, pixel electrode 9a may be formed from an opaque ingredient with high reflection factors, such as aluminum.

[0114] Next, after applying the coating liquid of the orientation film of a polyimide system on pixel electrode 9a, the orientation film 16 is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0115] On the other hand, about the opposite substrate 20 shown in drawing 4, a glass substrate etc. is prepared first, and after the 2nd light-shielding film 23 and the 3rd light-shielding film as a frame carry out sputtering of the chromium metal, they are formed through a photolithography process and an etching process. These 2nd light-shielding film 23 and 3rd light-shielding film may form others, carbon, and Ti, such as Cr, nickel, and aluminum, from ingredients, such as resin black distributed to the photoresist. [metallic material] In addition, on the TFT array substrate 10, if data-line 6a, 1st barrier layer 80a, 1st light-shielding film 11a, etc. prescribe a protection-from-light field, the 2nd light-shielding film 23 on the opposite substrate 20 can be excluded.

[0116] Then, a counterelectrode 21 is formed by sputtering etc. all over the opposite substrate 20 by depositing transparent conductive thin films, such as ITO, on the thickness of about 50-200nm. Furthermore, after applying the coating liquid of the orientation film of a polyimide system all over a counterelectrode 21, the orientation film 22 is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0117] Finally, the liquid crystal with which the TFT array substrate 10 and the opposite substrate 20

with which each class was formed as mentioned above are stuck by the sealant (it mentions later) so that the orientation film 16 and 22 may meet, and they come to mix two or more kinds of pneumatic liquid crystals to the space between both substrates by vacuum suction etc. is attracted, and the liquid crystal layer 50 of predetermined thickness is formed.

[0118] Since an exclusive process is not needed the above result for connection with constant potential line 6b of protection-from-light wiring 11b, it is advantageous on a manufacture process, and it is a comparatively small routing counter, and the liquid crystal equipment which has 1st light-shielding film 11a fixed to constant potential can be manufactured using a comparatively easy process, and low cost-ization can be promoted. Furthermore, since the thickness of the part of the substrate insulator layer 12 (namely, dielectric film of 3rd storage capacitance 70c) locally thin-film-ized since the substrate insulator layer 12 of the two-layer structure where became depressed according to the process (4) from the process (2), and 61 and 62 were formed was formed is controlled not by etching but by thin film formation, it is made very thinly and uniformly. Therefore, finally quality will be stable and comparatively mass 3rd storage capacitance 70c can be formed.

[0119] (The 2nd operation gestalt of an electro-optic device) The manufacture process of the liquid crystal equipment which is the 2nd operation gestalt of the electro-optic device by this invention is explained with reference to drawing 7 with the configuration. Drawing 7 is process drawing showing order later on about the cross section corresponding to the A-A' cross section of drawing 2 for the manufacture process of the liquid crystal equipment of the 2nd operation gestalt. In addition, about the same component as the 1st operation gestalt shown in drawing 5 in the 2nd operation gestalt shown in drawing 7, the same reference mark is attached and the explanation is omitted. Moreover, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 7.

[0120] The formation processes of the substrate insulator layer 12 in which the 2nd operation gestalt has the hollows 61 and 62 in (4) from a process (2) compared with the 1st operation gestalt differ, and the configurations of the substrate insulator layer 12 in which a configuration top also has two-layer structure differ a little. About other configurations and manufacture processes, it is the same as that of the case of the 1st operation gestalt.

[0121] That is, in drawing 7, the process (1) of drawing 7 in the 1st operation gestalt and the same process (1) are performed first.

[0122] Next, as shown in the process (2) of drawing 7, lower layer insulator layer 12a' is formed the whole surface on the TFT array substrate 10 with which 1st light-shielding film 11a of a predetermined pattern and protection-from-light wiring 11b which is not illustrated were formed.

[0123] Next, as shown in the process (3) of drawing 7, upper insulator layer 12b' is formed all over lower layer insulator layer 12a' up [this].

[0124] Next, as shown in the process (4) of drawing 7, in an image display field, the field of a schedule in which 3rd storage capacitance 70c is formed among upper insulator layer 12b' is locally punctured by the photolithography and etching. In addition, in the boundary region which can come, simultaneously is not illustrated, the connection field of constant potential line 6b and protection-from-light wiring 11b is locally punctured by etching. Under the present circumstances, since the etching rate to upper insulator layer 12b' is especially removed by etching higher than the etching rate to lower layer insulator layer 12a', even if it makes very thin thickness of lower layer insulator layer 12a', the situation where etching runs through lower layer insulator layer 12a' can be avoided easily. Consequently, compared with lower layer insulator layer 12a', it is almost the same, or is formed in the field and connection field of a schedule in which 3rd storage capacitance 70c is formed for substrate insulator layer 12 part locally thin-film-ized by even thickness thin a little. Thus, since the thickness of substrate insulator layer 12 part (namely, dielectric film of 3rd storage capacitance 70c) thin-film-ized locally is governed by not etching but thin film formation, it is made very thinly and uniformly. Therefore, finally quality will be stable and comparatively mass 3rd storage capacitance 70c can be formed.

[0125] In this case, if lower layer insulator layer 12a' is formed from a silicon nitride film with a high dielectric constant and upper insulator layer 12b' is especially formed from the high oxidation silicone

film of an etching rate, since it will also become to raise the dielectric constant of the dielectric part of 3rd storage capacitance 70c forming hollows 61 and 62 easily, 3rd storage capacitance 70c can be increased very efficiently.

[0126] Next, in drawing 7, a process (10) is performed from a process (5) to the process (10) of drawing 5 in the 1st operation gestalt, and the same process (5).

[0127] Compared with the 1st operation gestalt, the electro-optic device with which only the interior product layer structures of the substrate insulator layer 12 differ a little is manufactured the above result.

[0128] In addition, after forming a single insulator layer, the field and connection field of a schedule in which 3rd storage capacitance 70c is formed are etched, and you may make it substrate insulator layer 12 part serve as desired thickness by the time management of etching in the manufacture process of the 1st and 2nd operation gestalt mentioned above, although the substrate insulator layer 12 was constituted from two-layer structure of a lower layer insulator layer and the upper insulator layer.

[0129] (The 3rd operation gestalt of an electro-optic device) The configuration of the liquid crystal equipment which is the 3rd operation gestalt of the electro-optic device by this invention is explained with reference to drawing 8. Drawing 8 is the sectional view of the 3rd operation gestalt corresponding to the A-A' cross section of the top view of drawing 4 in the 1st operation gestalt. In addition, about the same component as the 1st operation gestalt shown in drawing 4 in the 3rd operation gestalt shown in drawing 8, the same reference mark is attached and the explanation is omitted. Moreover, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 8.

[0130] In drawing 8, unlike the 1st operation gestalt, the part to which the top front face counters data-line 6a, scanning-line 3a, and capacity line 3b becomes depressed in a concave, and TFT array substrate 10' is formed with the 3rd operation gestalt. Consequently, flattening also of pixel electrode 9a and the orientation film 16 which are formed through these wiring and interlayer insulation films on TFT array substrate 10' is carried out. About other configurations, it is the same as that of the case of the 1st operation gestalt.

[0131] Therefore, according to the 3rd operation gestalt, the level difference to other fields of the field where scanning-line 3a, TFT30, capacity line 3b, etc. are formed in data-line 6a in piles is reduced. Thus, flattening of the pixel electrode 9a is mostly carried out only by embedding a part of non-opening field [at least] of a pixel, and the disclination (poor orientation) of the liquid crystal layer 50 can be reduced according to the degree of the flattening concerned. Consequently, according to the 3rd operation gestalt, more nearly high-definition image display becomes possible and it also becomes possible to extend a pixel opening field.

[0132] In addition, such TFT array substrate 10' should just etch into the field which should form a concave hollow before the process (1) in the manufacture process of for example, the 1st operation gestalt.

[0133] As mentioned above, with the 3rd operation gestalt, although the slot was formed in the concave for the substrate upwards, wiring and the component section are formed and flattening of the pixel electrode is finally carried out, even if it hollows and forms the 2nd interlayer insulation film 4 or the substrate insulator layer 12 in a concave, the effectiveness of the same flattening is acquired. In this case, what is necessary is just to perform thin film formation and etching by making the insulator layer between each class into the two-layer structure, as an approach of forming the insulator layer between each class in a concave, so that the thick part of a bilayer may be made into a concave soil hand part part for the thin part which consists of a chisel further as a concave hollow part. Or you may make it puncture a concave hollow by etching by making the insulator layer between each class into monolayer structure. Moreover, you may form so that the 3rd interlayer insulation film 7 may be seen from the TFT array substrate 10 side and it may become depressed in a concave. Namely, the top face of the 3rd interlayer insulation film 7 is performed by CMP (Chemical Mechanical Polishing) processing, spin coat processing, the reflow method, etc., or should just carry out flattening using organic [SOG] (Spin On Glass), inorganic [SOG], the polyimide film, etc.

[0134] (The whole electro-optic device configuration) The whole liquid crystal equipment configuration in each operation gestalt constituted as mentioned above is explained with reference to drawing 9 and drawing 10. In addition, drawing 9 is the top view which looked at the TFT array substrate 10 from the opposite substrate 20 side with each component formed on it, and drawing 10 is the H-H' sectional view of drawing 9.

[0135] In drawing 9, on the TFT array substrate 10, the sealant 52 is formed along the edge and the 3rd light-shielding film 53 as a frame which specifies the circumference of the image display field which consists of an ingredient which is the same as the 2nd light-shielding film 23, or is different is formed in parallel to the inside. The data-line drive circuit 101 and the external circuit connection terminal 102 which drive data-line 6a by supplying a picture signal to data-line 6a to predetermined timing are prepared in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 which drives scanning-line 3a is formed along with two sides which adjoin this one side by supplying a scan signal to scanning-line 3a to predetermined timing. If the scan signal delay supplied to scanning-line 3a does not become a problem, the thing only with one side sufficient [the scanning-line drive circuit 104] cannot be overemphasized. Moreover, the data-line drive circuit 101 may be arranged on both sides along the side of an image display field. For example, data-line 6a of an odd number train supplies a picture signal from the data-line drive circuit 101 arranged along one side of an image display field, and you may make it the data line of an even number train supply a picture signal from the data-line drive circuit arranged along the side of the opposite side of said image display field. Thus, if it is made to drive data-line 6a in the shape of a ctenidium, since the occupancy area of the data-line drive circuit 101 is extensible, it becomes possible to constitute a complicated circuit. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of an image display field is formed in one side in which the TFT array substrate 10 remains. Moreover, in at least one place of the corner section of the opposite substrate 20, the flow material 106 for taking an electric flow between the TFT array substrate 10 and the opposite substrate 20 is formed. And as shown in drawing 10, the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 9 has fixed to the TFT array substrate 10 by the sealant 52 concerned. In addition, on the TFT array substrate 10, the inspection circuit for inspecting the quality of the sampling circuit which impresses a picture signal to two or more data-line 6a to predetermined timing, the precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, and the liquid crystal equipment concerned at the manufacture middle or the time of shipment, a defect, etc. in addition to these data-line drive circuits 101 and scanning-line drive circuit 104 grade etc. may be formed. In addition, according to the gestalt of this operation, the 2nd light-shielding film 23 on the opposite substrate 20 can be formed smaller than the protection-from-light field of the TFT array substrate 10. Moreover, the 2nd light-shielding film 23 can be easily removed by the application of liquid crystal equipment.

[0136] You may make it connect with LSI for a drive mounted on the TAB (Tape Automated Bonding) substrate instead of forming the data-line drive circuit 101 and the scanning-line drive circuit 104 on the TFT array substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10 with each operation gestalt explained with reference to drawing 10 from drawing 1 above. Moreover, according to the exception of modes of operation, such as TN (Twisted Nematic) mode, VA (Vertically Aligned) mode, and PDLC (Polymer Dispersed Liquid Crystal) mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation.

[0137] Since the liquid crystal equipment in each operation gestalt explained above is applied to an electrochromatic display projector, the liquid crystal equipment of three sheets will be respectively used as a light valve for R(red) G(green) B (blue), and incidence of the light of each color respectively

decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each light valve as incident light. Therefore, with each operation gestalt, the color filter is not prepared in the opposite substrate 20. However, the color filter of RGB may be formed in the predetermined field which counters pixel electrode 9a in which the 2nd light-shielding film 23 is not formed on the opposite substrate 20 with the protective coat. Or it is also possible to form a color filter layer in the bottom of pixel electrode 9a which counters RGB on the TFT array substrate 10 by a color resist etc. If it does in this way, the liquid crystal equipment in each operation gestalt is applicable to electrochromatic display equipments, such as electrochromatic display television of direct viewing types other than a liquid crystal projector, or a reflective mold. Furthermore, a micro lens may be formed so that it may correspond 1 pixel on [one] the opposite substrate 20. If it does in this way, bright liquid crystal equipment is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, brighter electrochromatic display equipment is realizable.

[0138] Although [the liquid crystal equipment in each operation gestalt explained above] incidence of the incident light is carried out from the opposite substrate 20 side as usual, since 1st light-shielding film 11a is prepared, incidence of the incident light is carried out from the TFT array substrate 10 side, and it may be made to carry out outgoing radiation from the opposite substrate 20 side. That is, even if it attaches liquid crystal equipment in a liquid crystal projector in this way, it can prevent light carrying out incidence to channel field 1a' of semi-conductor layer 1a, and it is possible to display a high-definition image. Although the polarizing plate with which AR (Anti Reflection) coat was carried out for acid resisting needs to be arranged separately or AR film needed to be stuck here in order to prevent the reflection by the side of the rear face of the TFT array substrate 10 conventionally With each operation gestalt, since [of the front face of the TFT array substrate 10, and semi-conductor layer 1a] 1st light-shielding film 11a is formed between channel field 1a' at least, Such a polarizing plate and AR film by which AR coat was carried out are used, or the need of using the substrate which carried out AR processing of TFT array substrate 10 itself is lost. Therefore, according to each operation gestalt, ingredient cost can be reduced, and a contaminant, a blemish, etc. do not drop the yield at the time of polarizing plate attachment, and it is very advantageous. Moreover, since lightfastness is excellent, even if it uses the bright light source, or it carries out polarization conversion by the polarization beam splitter and it raises efficiency for light utilization, image quality degradation of the cross talk by light etc. is not produced.

[0139] Moreover, although explained as a switching element prepared in each pixel that it was the poly-Si TFT of a forward stagger mold or a coplanar mold, each operation gestalt is effective also to TFT of other formats, such as TFT of a reverse stagger mold, and an amorphous silicon TFT.

[0140] The electro-optic device of this invention is not restricted to each operation gestalt mentioned above, and can be suitably changed in the range which is not contrary to the summary or thought of invention which can be read in a claim and the whole specification, and the electro-optic device accompanied by such modification is also contained in the technical range of this invention.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

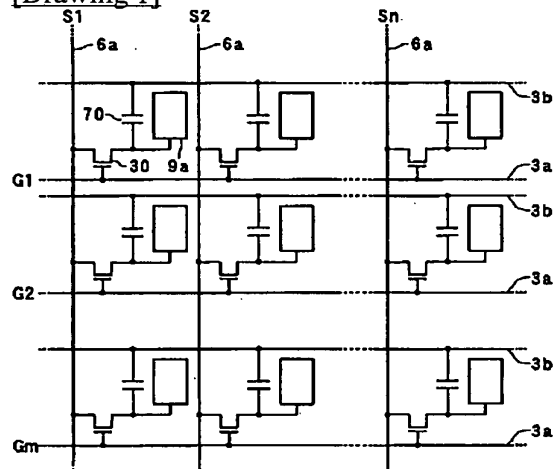
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

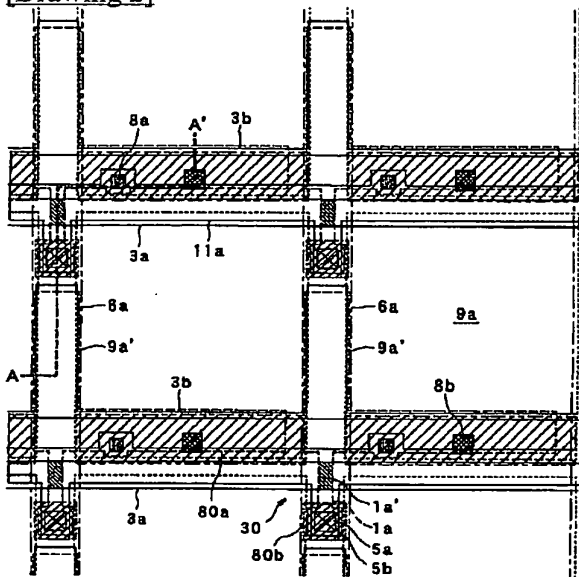
3. In the drawings, any words are not translated.

DRAWINGS

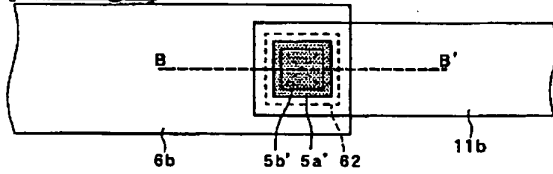
[Drawing 1]



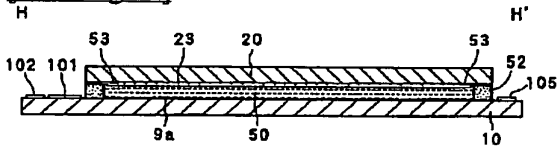
[Drawing 2]



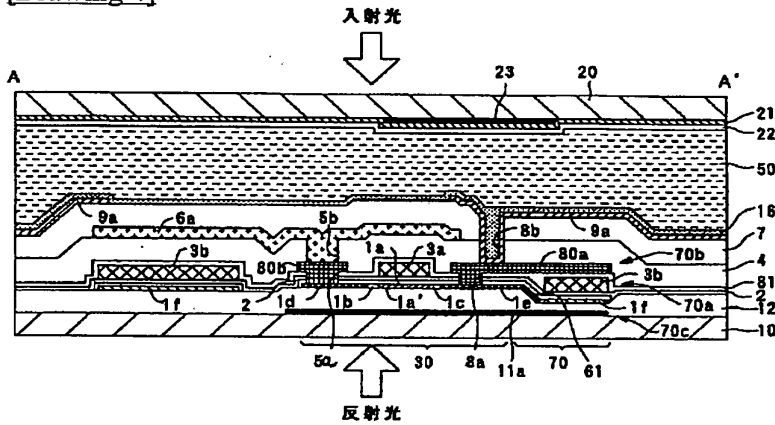
[Drawing 3]



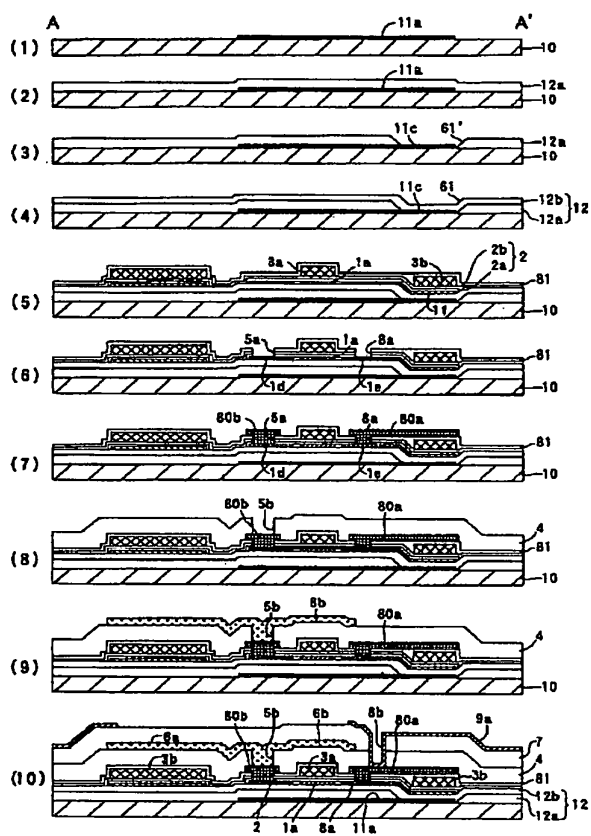
[Drawing 10]



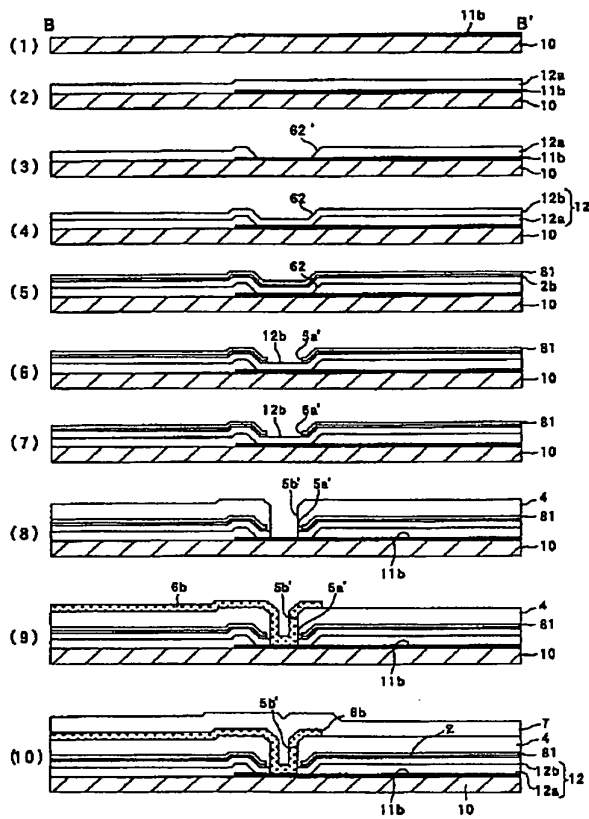
[Drawing 4]



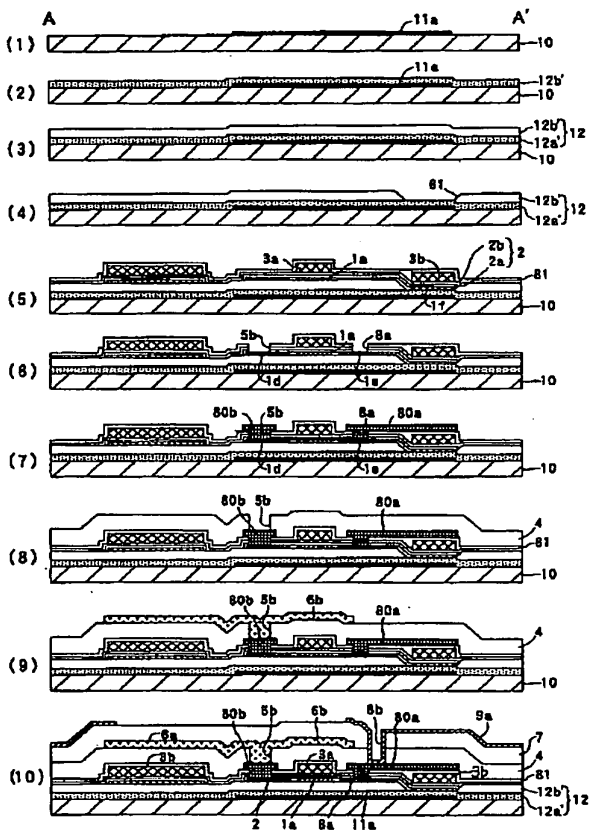
[Drawing 5]



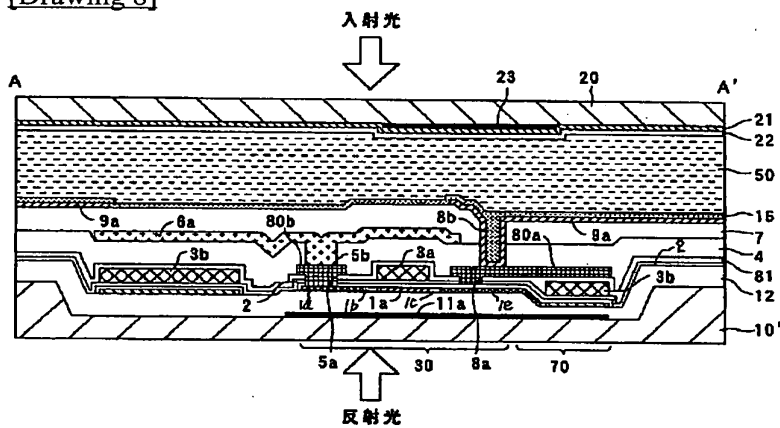
[Drawing 6]



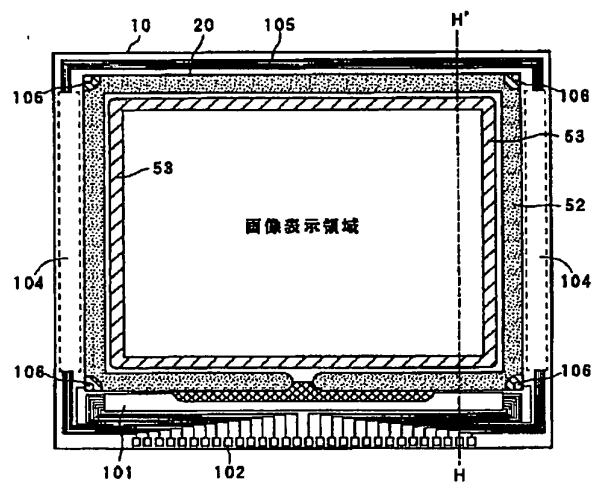
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-267131

(P2000-267131A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. ⁷	識別記号	F I	データ* (参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0 2 H 0 9 2
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 K 5 F 1 1 0
21/336			

審査請求 未請求 請求項の数16 O L (全 21 頁)

(21) 出願番号 特願平11-67168

(22) 出願日 平成11年3月12日 (1999.3.12)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番6号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

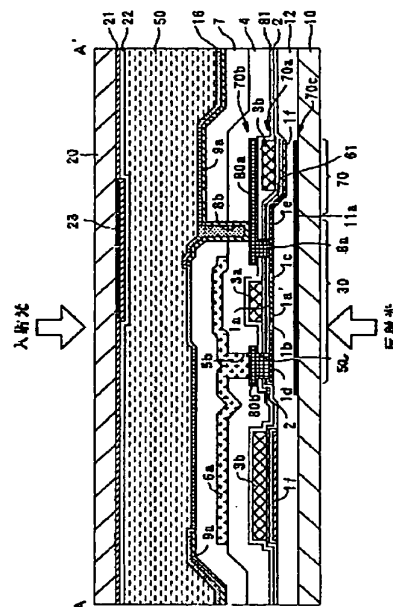
最終頁に続く

(54) 【発明の名称】 電気光学装置及びその製造方法

(57) 【要約】

【課題】 画素電極と画素スイッチング用TFTとの間の電気的な導通をとるためのバリア層を備えた電気光学装置において、画素開口率を高めると同時に蓄積容量を増大させる。

【解決手段】 電気光学装置は、基板上にTFT (30)、データ線 (6a)、走査線 (3a)、容量線 (3b) 及び画素電極 (9a) を備える。画素電極及びTFT間は、第1バリア層 (80a) を中継して二つのコンタクトホールにより接続される。TFTの下には、導電性の第1遮光膜 (11a) が配置されている。半導体層の一部及び容量線から第1蓄積容量 (70a)、容量線及び第1バリア層の一部から第2蓄積容量 (70b)、半導体層の一部及び第1遮光膜の一部から第3蓄積容量 (70c) が夫々構築されている。



【特許請求の範囲】

【請求項1】 基板に複数のデータ線と、複数の走査線と、前記各データ線と前記各走査線に接続されたトランジスタと、前記トランジスタに接続された画素電極と蓄積容量とを有する電気光学装置であって、

前記基板上には少なくとも前記トランジスタのチャネル領域と平面的に重なるように配置された遮光膜と、前記遮光膜上に形成された下地絶縁膜と、該下地絶縁膜上に形成された前記トランジスタのチャネル領域及び前記蓄積容量の第1容量電極となる半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された前記走査線及び前記蓄積容量の第2容量電極となる容量線と、前記半導体層に接続されるとともに前記第2容量電極上に第1層間絶縁膜を介して対向配置された第3容量電極を含む第1導電層と、前記遮光膜と同一層からなり前記第1容量電極に前記下地絶縁膜を介して対向配置された第4容量電極とを備えており、前記下地絶縁膜は、第1容量電極及び第4容量電極間の少なくとも一部が薄膜化されていることを特徴とする電気光学装置。

【請求項2】 前記第1導電層は、前記半導体層と前記画素電極との間に介在し、前記トランジスタのドレイン領域に第1コンタクトホールを介して接続されると共に前記画素電極に第2コンタクトホールを介して接続されることを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記半導体層と前記データ線との間に介在し、前記トランジスタのソース領域に第3コンタクトホールを介して接続されると共に前記データ線に第4コンタクトホールを介して接続された第2導電層を更に備えたことを特徴とする請求項2に記載の電気光学装置。

【請求項4】 前記第1導電層と前記第2導電層とは、同一膜からなることを特徴とする請求項3に記載の電気光学装置。

【請求項5】 前記遮光膜は導電性を有し、各画素が配置された画像表示領域の周囲に位置する接続領域において前記データ線と同一膜からなる定電位線に接続されていることを特徴とする請求項3又は4に記載の電気光学装置。

【請求項6】 前記第1導電層は、高融点金属を含むことを特徴とする請求項1から5のいずれか一項に記載の電気光学装置。

【請求項7】 前記第1導電層は、前記データ線よりも前記基板に近い側に配置されていることを特徴とする請求項1から6のいずれか一項に記載の電気光学装置。

【請求項8】 前記基板、前記下地絶縁膜並びに前記遮光膜及び前記画素電極間に介在する層間絶縁膜のうちの少なくとも一つは、各画素の非開口領域における少なくとも一部分が凹状に窪んで形成されることにより、前記画素電極の下地表面がほぼ平坦化されていることを特徴とする請求項1から7のいずれか一項に記載の電気光学

装置。

【請求項9】 請求項1に記載の電気光学装置を製造する電気光学装置の製造方法であって、

前記基板上に、少なくとも前記トランジスタのチャネル領域と平面的に重なるように前記遮光膜を形成すると同時に前記遮光膜と同一層から前記第1容量電極に前記下地絶縁膜を介して対向配置される位置に前記第4容量電極を形成する工程と、

前記遮光膜上に、前記第1容量電極及び前記第4容量電極間の少なくとも一部が薄膜化されるように前記下地絶縁膜を形成する工程と、

前記下地絶縁膜上に前記チャネル領域及び前記第1容量電極となるように前記半導体層を形成する工程と、

前記半導体層上に前記ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記走査線及び前記容量線を形成する工程と、

前記半導体層に接続されるとともに前記第3容量電極を含むように前記第1導電層を形成する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項10】 請求項5に記載の電気光学装置を製造する電気光学装置の製造方法であって、

前記基板上に前記遮光膜を形成する工程と、

前記遮光膜上に前記第3蓄積容量が形成される予定の部分及び前記接続領域にある部分が局所的に薄膜化された前記下地絶縁膜を形成する工程と、

前記下地絶縁膜上に前記半導体層を形成する工程と、

前記半導体層上に前記ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記走査線及び前記容量線を形成する工程と、

前記走査線及び前記容量線に前記第1層間絶縁膜を形成する工程と、

前記第1層間絶縁膜及び前記ゲート絶縁膜に対し前記第1及び第3コンタクトホールを開孔すると同時に前記接続領域における前記第1層間絶縁膜及び前記ゲート絶縁膜に対し少なくとも前記下地絶縁膜に至る第5コンタクトホールを開孔する工程と、

前記第1コンタクトホールを介して前記ドレイン領域に接続されるように前記第1導電層を形成すると共に前記第3コンタクトホールを介して前記ソース領域に接続されるように前記第2導電層を形成する工程と、

前記第1導電層及び第2導電層上に第2層間絶縁膜を形成する工程と、

前記第2層間絶縁膜に対し前記第4コンタクトホールを開孔すると同時に前記接続領域における少なくとも前記第2層間絶縁膜に対し前記遮光膜に至る第6コンタクトホールを開孔する工程と、

前記第2層間絶縁膜上に前記第4コンタクトホールを介して前記第2導電層に接続されるように前記データ線を形成すると共に前記第6コンタクトホールを介して前記遮光膜に接続されるように前記定電位線を形成する工程

と、
前記データ線及び前記定電位線に第3層間絶縁膜を形成する工程と、
前記第2層間絶縁膜及び第3層間絶縁膜に対し前記第2コンタクトホールを開孔する工程と、
前記第2コンタクトホールを介して前記第1導電層に接続されるように前記画素電極を形成する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項11】 前記下地絶縁膜を形成する工程は、前記基板上に一の絶縁膜を形成する工程と、
該一の絶縁膜のうち前記第3蓄積容量が形成される予定の領域及び前記接続領域にある部分をエッチングにより除去する工程と、
前記エッチングにより除去する工程後に、前記一の絶縁膜上に他の絶縁膜を形成する工程とを含むことを特徴とする請求項10に記載の電気光学装置の製造方法。

【請求項12】 前記下地絶縁膜を形成する工程は、前記基板上に一の絶縁膜を形成する工程と、
該一の絶縁膜上に他の絶縁膜を形成する工程と、
該他の絶縁膜のうち前記第3蓄積容量が形成される予定の領域及び前記接続領域にある部分を除去する工程とを含むことを特徴とする請求項10に記載の電気光学装置の製造方法。

【請求項13】 前記一の絶縁膜は、前記他の絶縁膜よりも誘電率が高いことを特徴とする請求項12に記載の電気光学装置の製造方法。

【請求項14】 前記一の絶縁膜は、窒化シリコン膜であることを特徴とする請求項13に記載の電気光学装置の製造方法。

【請求項15】 前記他の絶縁膜は酸化シリコン膜であることを特徴とする請求項13又は14に記載の電気光学装置の製造方法。

【請求項16】 前記他の絶縁膜を除去する工程では、時間管理により、所望の膜厚となるように除去することを特徴とする請求項12乃至15のいずれか一項に記載の電気光学装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス駆動方式の電気光学装置及びその製造方法の技術分野に属し、特に蓄積容量を付加するために容量線を備え、と共に画素電極と画素スイッチング用の薄膜トランジスタ (Thin Film Transistor: 以下適宜、TFTと称す) との間で電気導通を良好にとるためのバリア層と称される導電層を備え、更にプロジェクタ等に好適に用いられるTFTの下側に戻り光に対する遮光膜を設けた形式の電気光学装置及びその製造方法の技術分野に属する。

【0002】

【背景技術】従来、TFT駆動によるアクティブマトリ

クス駆動方式の電気光学装置においては、TFTのゲート電極に走査線を介して走査信号が供給されると、TFTはオン状態とされ、半導体層のソース領域にデータ線を介して供給される画像信号が当該TFTのソースドレイン間を介して画素電極に供給される。このような画像信号の供給は、各TFTを介して画素電極毎に極めて短時間しか行われないので、TFTを介して供給される画像信号の電圧を、このオン状態とされた時間よりも遙かに長時間に亘って保持する。そのために、各画素電極には蓄積容量が付加されるのが一般的である。

【0003】

【発明が解決しようとする課題】この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画素ピッチを微細化しつつ、画素開口率を高める (即ち、各画素において、表示光が透過しない非画素開口領域に対して、表示光が透過する画素開口領域を広げる) と同時に各画素電極に対して付加する蓄積容量を増大させることが極めて重要となる。

【0004】しかしながら、画素開口領域には、蓄積容量を作り込むことは基本的に困難である。このため、画素開口率を高めれば高める程、蓄積容量を作り込むことができる非画素開口領域は狭くなってしまう、或いは蓄積容量を増大させれば高める程、画素開口率は低下してしまうという問題点がある。

【0005】本発明は上述の問題点に鑑みなされたものであり、画素開口率を高めると同時に蓄積容量を増大させることができ、高品位の画像表示が可能な電気光学装置及びそのような電気光学装置を比較的容易に製造可能な製造方法を提供することを課題とする。

【0006】

【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、基板に複数のデータ線と、複数の走査線と、前記各データ線と前記各走査線に接続されたトランジスタと、前記トランジスタに接続された画素電極と蓄積容量とを有する電気光学装置であって、前記基板上には少なくとも前記トランジスタのチャネル領域と平面的に重なるように配置された遮光膜と、前記遮光膜上に形成された下地絶縁膜と、該下地絶縁膜上に形成された前記トランジスタのチャネル領域及び前記蓄積容量の第1容量電極となる半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された前記走査線及び前記蓄積容量の第2容量電極となる容量線と、前記半導体層に接続されるとともに前記第2容量電極上に第1層間絶縁膜を介して対向配置された第3容量電極を含む第1導電層と、前記遮光膜と同一層からなり前記第1容量電極に前記下地絶縁膜を介して対向配置された第4容量電極とを備えており、前記下地絶縁膜は、第1容量電極及び第4容量電極間の少なくとも一部が薄膜化されていることを特徴とする。

【0007】本発明の電気光学装置によれば、ソース領

域、チャネル領域及びドレイン領域を含む半導体層と、ゲート電極を含む走査線とから、画素スイッチング用の薄膜トランジスタが画素毎に構築されており、ソース領域にはデータ線が接続されており、ドレイン領域には第1導電層を中継して画素電極が接続されている。そして動作時に、走査線を介してゲート電極に走査信号が供給され且つデータ線を介してソース領域に画像信号が供給されると、画素スイッチング用の薄膜トランジスタは、ドレイン領域から画像信号を走査信号の供給タイミングで第1導電層を経由して画素電極に供給することにより、画素電極をスイッチング駆動する。

【0008】本発明では特に、半導体層からなる第1容量電極と容量線の一部である第2容量電極とが、ゲート絶縁膜を含む絶縁薄膜を介して対向配置されて画素電極に対して第1蓄積容量が付加されており、第2容量電極と第1導電層の一部である第3容量電極とが、第1層間絶縁膜を介して対向配置されて画素電極に対して第2蓄積容量が付加されており、更に、第1容量電極と遮光膜の一部である第4容量電極とが、下地絶縁膜を介して対向配置されて画素電極に対して第3蓄積容量が付加されている。即ち、第1導電層に接続された画素電極に対し第1から第3蓄積容量が付加されているので、大きな蓄積容量が画素電極に付加されている。更に下地絶縁膜は、少なくとも第1及び第4容量電極間に挟持された少なくとも一部分が局部的に薄膜化されているため、誘電体膜の膜厚に反比例する当該第3蓄積容量は効率的に増大されている。従って、上記の如き動作時に薄膜トランジスタ及び第1導電層を介して画素電極に供給された画像信号電圧は、これら第1から第3蓄積容量により極めて高い保持特性によって保持される。このように画素電極に対して大きな蓄積容量を付加することにより、特に高コントラストで高品位の画像表示が可能となる。

【0009】また、各画素における極限られた非開口領域（即ち、各画素において薄膜トランジスタ、蓄積容量、配線等が形成されており、表示に寄与する光が通過不可能な領域）内に立体的に3つの蓄積容量が積み上げられ且つ並列接続された構成を採用しているため、同一平面領域に大きな蓄積容量を構築できる。即ち、各画素の開口領域（即ち、各画素において表示に寄与する光が通過可能な領域）を狭めることなく蓄積容量を増加させることができる。このように画素開口領域を広くとることにより、特に明るく高品位の画像表示が可能となる。

【0010】更に、遮光膜は、半導体層と下地絶縁膜との間に形成されており、基板側から見て少なくともチャネル領域を覆うので、チャネル領域への戻り光等の入射を効果的に防止できるため、光電効果に基づく光リークの発生による薄膜トランジスタの特性劣化を防ぐことができる。これにより、特に高コントラストで画素間のクロストークやゴーストの低減された高品位の画像表示が可能となる。

【0011】これに加えて、遮光膜は、このように薄膜トランジスタを遮光する機能と前述したように第3蓄積容量の第4容量電極としての機能を有し、下地絶縁膜は、下地膜としての本来機能と第3蓄積容量の誘電体膜（しかも特に薄膜化された誘電体膜）としての機能との両方を有するので、積層構造の複雑化を招くこともない。

【0012】以上の結果、本発明の電気光学装置により、比較的簡単な構成を用いて、高コントラストで明るく高品位の画像表示が可能となる。

【0013】本発明の電気光学装置の一の態様では、前記第1導電層は、前記半導体層と前記画素電極との間に介在し、前記トランジスタのドレイン領域に第1コンタクトホールを介して接続されると共に前記画素電極に第2コンタクトホールを介して接続される。

【0014】この態様によれば、第1導電層は、半導体層と画素電極との間に介在しており、一方で半導体層のドレイン領域と第1コンタクトホールを介して接続されており、他方で、画素電極と第2コンタクトホールを介して接続されている。このため、画素電極からドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホールの径を小さくできる。従って、画素ピッチの微細化を促進しつつ、第1コンタクトホールにおける第1導電層の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極部分における平坦化を促進できる。更に、第2コンタクトホールにおける画素電極の表面に形成される窪みや凹凸も小さくて済むので、この画素電極部分における平坦化が促進される。これらの結果、画素電極表面の窪みや凹凸に起因する液晶等の電気光学物質におけるディスクリネーション等の不良が低減され、精細度、コントラスト及び明るさを一層高めることが可能となる。

【0015】この態様では、前記半導体層と前記データ線との間に介在し、前記トランジスタのソース領域に第3コンタクトホールを介して接続されると共に前記データ線に第4コンタクトホールを介して接続された第2導電層を更に備えてよい。

【0016】このように構成すれば、第2導電層は、半導体層とデータ線との間に介在しており、一方で半導体層のソース領域と第3コンタクトホールを介して接続されており、他方で、データ線と第4コンタクトホールを介して接続されている。このため、データ線からソース領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホールの径を小さくできる。従って、画素ピッチの微細化を促進しつつ、第3及び第4コンタクトホールの上方に位置する画素電極部分における平坦化を促進できる。

【0017】加えて、第2導電層により第3及び第4コンタクトホール付近の積層構造における合計膜厚が増すので、第3及び第4コンタクトホール付近の画素電極の

下地表面の窪みも低減可能となり、平坦化処理の負担も軽減される。

【0018】これらの結果、画素電極表面の窪みや凹凸に起因する液晶等の電気光学物質におけるディスクリネーション等の不良が低減され、精細度、コントラスト及び明さを一層高めることが可能となる。

【0019】更に、第2導電層を遮光性の導電性材料から形成することにより、第3及び第4コンタクトホール付近におけるソース領域やチャネル領域の遮光も可能となる。他方、その製造プロセスにおいて、第4コンタクトホールをエッチングにより開孔する際に、第2導電層がエッチングの突き抜け防止に役立つ。

【0020】この第2導電層を備えた態様では、前記第1導電層と前記第2導電層とは、同一膜からなっており、

【0021】この態様によれば、第1導電層と第2導電層とは、同一膜からなるので、積層構造における層数を不必要に増加させないで済む。そして、第1コンタクトホールと第3コンタクトホールとは、同一エッチング工程で開孔可能となり製造プロセス上有利となる。

【0022】更にこれらの第2導電層を備えた態様では、前記遮光膜は導電性を有し、各画素が配置された画像表示領域の周囲に位置する接続領域において前記データ線と同一膜からなる定電位線に接続されてよい。

【0023】この態様によれば、導電性の遮光膜は、定電位線に接続されることにより定電位とされる。このため、下地絶縁膜を介してその上に形成される薄膜トランジスタの特性を、当該遮光膜における電位変動により劣化させることはなく、同時に第3蓄積容量の第4容量電極として良好に機能し得る。更に定電位線は、例えばA1膜等のデータ線と同一膜からなるため、その製造プロセスにおいて、画像表示領域で第4コンタクトホールを開孔すると同時に画像表示領域の周辺に位置する（即ち、周辺領域内にある）接続領域で導電性遮光膜と定電位線とを接続するコンタクトホールを開孔することも可能となるので製造プロセス上有利である。

【0024】本発明の電気光学装置の他の態様では、前記第1導電層は、高融点金属を含む。

【0025】この態様によれば、第1導電層は、例えば不透明な高融点金属であるTi（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）及びPb（鉛）のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このため、高温処理により、導電層が破壊されたり溶融しないようにできる。

【0026】本発明の電気光学装置の他の態様では、前記第1導電層は、前記データ線よりも前記基板に近い側に配置されている。

【0027】この態様では、第1導電層は、データ線よりも基板に近い側に配置されているので、フリッカ等の

原因となる画像信号の電圧降下を引き起こすデータ線と走査線等との間の寄生容量を抑えるために、一定の厚みが要求されるデータ線の下地となる第2層間絶縁膜の厚みとは無関係に、第1導電層と第2容量電極との間に介在する第1層間絶縁膜を薄膜化できる。よって第2蓄積容量において誘電体膜の厚みに反比例する容量値を極めて効率的に増加させることが可能となる。加えて、このように第1層間絶縁膜を薄く形成することにより、第1コンタクトホールの径を更に小さく出来るので、前述した第1コンタクトホールにおける第1導電層の窪みや凹凸が更に小さくて済み、その上方に位置する画素電極における平坦化が更に促進される。従って、画素電極における窪みや凹凸に起因した電気光学物質の不良が低減され、最終的には一層高品位の画像表示が可能となる。

【0028】本発明の電気光学装置の他の態様では、前記基板、前記下地絶縁膜並びに前記遮光膜及び前記画素電極間に介在する層間絶縁膜のうちの少なくとも一つは、各画素の非開口領域における少なくとも一部分が凹状に窪んで形成されることにより、前記画素電極の下地表面がほぼ平坦化されている。

【0029】この態様によれば、基板、下地絶縁膜、層間絶縁膜のうちの少なくとも一つは、各画素の非開口領域における少なくとも一部分が凹状に窪んで形成されているので、データ線に重ねて薄膜トランジスタ、走査線、容量線等が形成される領域の他の領域に対する段差が低減される。このようにして画素電極の下地表面がほぼ平坦化されているので、画素電極をより一層平坦化でき、画素電極表面の窪みや凹凸に起因する液晶等の電気光学物質におけるディスクリネーション等の不良が低減され、最終的には高品位の画像表示が可能となる。

【0030】本発明の第1の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の電気光学装置を製造する電気光学装置の製造方法であって、前記基板上に、少なくとも前記トランジスタのチャネル領域と平面的に重なるように前記遮光膜を形成すると同時に前記遮光膜と同一層から前記第1容量電極に前記下地絶縁膜を介して対向配置される位置に前記第4容量電極を形成する工程と、前記遮光膜上に、前記第1容量電極及び前記第4容量電極間の少なくとも一部が薄膜化されるように前記下地絶縁膜を形成する工程と、前記下地絶縁膜上に前記チャネル領域及び前記第1容量電極となるように前記半導体層を形成する工程と、前記半導体層上に前記ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記走査線及び前記容量線を形成する工程と、前記半導体層に接続されるとともに前記第3容量電極を含むように前記第1導電層を形成する工程とを含む。

【0031】本発明の第1の電気光学装置の製造方法によれば、遮光膜を形成すると同時に第4容量電極を形成でき、その後第1容量電極及び第4容量電極間の少なくとも一部が薄膜化されるように下地絶縁膜を形成するの

で、上述した本発明の電気光学装置を、比較的少ない工程数で且つ比較的簡単な工程を用いて製造でき、低コスト化を促進できる。

【0032】本発明の第2の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の遮光膜が定電位線に接続された態様の電気光学装置を製造する電気光学装置の製造方法であって、前記基板上に前記遮光膜を形成する工程と、前記遮光膜上に前記第3蓄積容量が形成される予定の部分及び前記接続領域にある部分が局所的に薄膜化された前記下地絶縁膜を形成する工程と、前記下地絶縁膜上に前記第1導電層を形成する工程と、前記第1導電層上に前記ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記走査線及び前記容量線を形成する工程と、前記走査線及び前記容量線上に前記第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜に対し前記第1及び第3コンタクトホールを開孔すると同時に前記接続領域における前記第1層間絶縁膜及び前記ゲート絶縁膜に対し少なくとも前記下地絶縁膜に至る第5コンタクトホールを開孔する工程と、前記第1コンタクトホールを介して前記ドレイン領域に接続されるように前記第1導電層を形成すると共に前記第3コンタクトホールを介して前記ソース領域に接続されるように前記第2導電層を形成する工程と、前記第1導電層及び第2導電層上に第2層間絶縁膜を形成する工程と、前記第2層間絶縁膜に対し前記第4コンタクトホールを開孔すると同時に前記接続領域における少なくとも前記第2層間絶縁膜に対し前記遮光膜に至る第6コンタクトホールを開孔する工程と、前記第2層間絶縁膜上に前記第4コンタクトホールを介して前記第2導電層に接続されるように前記データ線を形成すると共に前記第6コンタクトホールを介して前記遮光膜に接続されるように前記定電位線を形成する工程と、前記データ線及び前記定電位線上に第3層間絶縁膜を形成する工程と、前記第2及び第3層間絶縁膜に対し前記第2コンタクトホールを開孔する工程と、前記第2コンタクトホールを介して前記第1導電層に接続されるように前記画素電極を形成する工程とを含む。

【0033】本発明の第2の電気光学装置の製造方法によれば、下地絶縁膜は、第3蓄積容量が形成される予定の領域及び接続領域にある部分が同時に局所的に薄膜化され、更に、第1及び第3コンタクトホール開孔時に同時に第5コンタクトホールが開孔され、第4コンタクトホール開孔時に同時に第6コンタクトホールが開孔されるので、周辺領域における定電位線と導電性の遮光膜との接続は、画像表示領域における他の各種工程と同時に行うことができる。特に、第4コンタクトホールが完全に開孔された後に更に第6コンタクトホールが完全に開孔されるまで第4コンタクトホールにおけるエッチングが継続されても、第2導電層が第4コンタクトホールにおけるエッチングに対するストップとして機能するので、

その下方にある半導体層への突き抜けを防止できる。

【0034】以上の結果、導電性の遮光膜を定電位線に接続するための専用工程は必要とされないので、製造プロセス上有利であり、定電位に固定される遮光膜を有する電気光学装置を、比較的少ない工程数で且つ比較的簡単な工程を用いて製造でき、低コスト化を促進できる。

【0035】本発明の第2の電気光学装置の製造方法の一の態様では、前記下地絶縁膜を形成する工程は、前記基板上に一の絶縁膜を形成する工程と、該一の絶縁膜のうち前記第3蓄積容量が形成される予定の領域及び前記接続領域にある部分をエッチングにより除去する工程と、前記エッチングにより除去する工程後に、前記一の絶縁膜上に他の絶縁膜を形成する工程とを含む。

【0036】この態様によれば、下地絶縁膜を形成する工程において、先ず基板上に、例えば酸化シリコン膜等の一の絶縁膜が形成される。次に、該一の絶縁膜のうち第3蓄積容量が形成される予定の領域及び接続領域にある部分がエッチングにより除去される。次に、この一の絶縁膜上に、例えば一の絶縁膜と同一種類の酸化シリコン膜等或いは異なる種類の窒化シリコン膜等の他の絶縁膜が形成される。この結果、他の絶縁膜と同じ膜厚に局所的に薄膜化された下地絶縁膜部分が第3蓄積容量が形成される予定の領域及び接続領域に形成される。このように局所的に薄膜化された下地絶縁膜部分の膜厚は、エッチングではなく薄膜形成により制御されるので、非常に薄く且つ一定にできる。

【0037】或いは、本発明の第2の電気光学装置の他の態様では、前記下地絶縁膜を形成する工程は、前記基板上に一の絶縁膜を形成する工程と、該一の絶縁膜上に他の絶縁膜を形成する工程と、該他の絶縁膜のうち前記第3蓄積容量が形成される予定の領域及び前記接続領域にある部分を除去する工程とを含む。この場合、前記一の絶縁膜は、窒化シリコン膜であることが好ましい。また、前記他の絶縁膜は酸化シリコン膜であることが好ましい。

【0038】この態様によれば、下地絶縁膜を形成する工程において、先ず基板上に、例えば窒化シリコン膜等の一の絶縁膜が形成される。次に、この一の絶縁膜上に、例えば一の絶縁膜と異なる種類の酸化シリコン膜等の他の絶縁膜が形成される。次に、該他の絶縁膜のうち第3蓄積容量が形成される予定の領域及び接続領域にある部分がエッチングにより除去される。この際、他の絶縁膜に対するエッチングレートが一の絶縁膜に対するエッチングレートよりも高いエッチングにより除去されるので、一の絶縁膜の膜厚を非常に薄くしてもエッチングが該一の絶縁膜を突き抜ける事態を容易に回避し得る。この結果、一の絶縁膜と比べて殆ど同じか若干薄い膜厚にまで局所的に薄膜化された下地絶縁膜部分が第3蓄積容量が形成される予定の領域及び接続領域に形成される。このように局所的に薄膜化された下地絶縁膜部分の

膜厚は、エッチングではなく薄膜形成により支配されるので、非常に薄く且つ一定にできる。

【0039】尚、下地絶縁膜を形成する工程では、単一の絶縁膜を形成した後、第3蓄積容量が形成される予定の領域及び接続領域をエッチングして、当該エッチングの時間管理により、これらの領域における下地絶縁膜部分が所望の膜厚となるようにしてもよい。

【0040】この態様では、前記一の絶縁膜は、前記他の絶縁膜よりも誘電率が高くてよい。

【0041】この場合特に、一の絶縁層として誘電率の高い、例えば窒化シリコン膜を形成すれば、第3蓄積容量の誘電体部分の誘電率を高めることになるので、非常に効率的に第3蓄積容量を増大できる。

【0042】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0043】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0044】（電気光学装置の第1実施形態）本発明による電気光学装置の第1実施形態である液晶装置の構成について、図1から図4を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路であり、図2は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、周辺領域における遮光膜と定電位線との接続部を示す平面図であり、図4は、図2のA-A'断面図である。尚、図4においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0045】図1において、本実施形態における液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保

持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を調整し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通す不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通す可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。

【0046】図2において、液晶装置のTFTアレイ基板には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。画素電極9aは、図中右上がりの斜線で示した領域に形成された第1導電層の一例を構成する第1バリア層80aを中継して、第1コンタクトホール8a及び第2コンタクトホール8bを介して半導体層1aのうち後述のドレイン領域に電気接続されている。データ線6aは、図中右上がりの斜線で示した領域に形成された第2導電層の一例を構成する第2バリア層80bを中継して第3コンタクトホール5a及び第4コンタクトホール5bを介してポリシリコン膜等からなる半導体層1aのうち後述のソース領域に電気接続されている。また、半導体層1aのうちチャネル領域1a'（図中右下りの斜線の領域）に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。このように、走査線3aとデータ線6aとの交差する箇所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置されたTFT30が設けられている。

【0047】容量線3bは、走査線3aに沿ってほぼ直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って前段側（図中、上向き）に突出した突出部とを有する。

【0048】また、図中太線で示した領域には夫々、走査線3a、容量線3b及びTFT30の下側を通るように、第1遮光膜11aが設けられている。より具体的には図2において、第1遮光膜11aは夫々、走査線3aに沿って縞状に形成されていると共に、データ線6aと交差する箇所が図中下方に幅広に形成されており、この幅広の部分により各TFTの少なくともチャネル領域1a'をTFTアレイ基板側から見て夫々覆う位置に設けられている。

【0049】図3において、TFTアレイ基板上の図2

に示した如き画像表示領域の周辺に位置する周辺領域には、図2に示した第1遮光膜11aが、走査線3a及び容量線3bの下を通して周辺領域にまで延設され、遮光配線11bとして引き出されている。また、周辺領域には、A1膜等のデータ線6aと同一膜から形成された定電位線6bが配線されている。これら遮光配線11bと定電位線6bとは、後述の如く画像表示領域の第3コンタクトホール5aと同一エッチング工程で開孔された第5コンタクトホール5a'が一旦層間絶縁膜により埋められた後、同一位置に更に第4コンタクトホール5bと同一エッチング工程で開孔された第6コンタクトホール5b'を介して、相互に接続されている。また、図3において特に、第6コンタクトホール5b'を含む破線で囲まれた矩形領域においては、後述の下地絶縁膜が凹状に窪んで、窪み62が形成されており、窪み62以外の領域においては、当該下地絶縁膜が相対的に凸状に（平面状に）形成されている。

【0050】次に図4の断面図に示すように、液晶装置は、透明な一方の基板の一例を構成するTFTアレイベース基板10と、これに対向配置される透明な他方の基板の一例を構成する対向基板20とを備えている。TFTアレイベース基板10は、例えば石英基板やガラス基板やシリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイベース基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO（Indium Tin Oxide）膜などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0051】他方、対向基板20には、その全面に渡って対向電極（共通電極）21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0052】TFTアレイベース基板10には、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0053】対向基板20には、更に図4に示すように、各画素の非開口領域に、ブラックマスク或いはブラックマトリクスと称される第2遮光膜23が設けられている。このため、対向基板20の側から入射光が画素スイッチング用TFT30の半導体層1aのチャネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入することはない。更に、第2遮光膜23は、コントラストの向上、カラーフィルタを形成した場合における色材の混色防止などの機能を有する。

【0054】このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレイベース

基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレイベース基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のギャップ材（スペーサ）が混入されている。

【0055】更に図4に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレイベース基板10と各画素スイッチング用TFT30との間には、第1遮光膜11aが設けられている。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）及びPb（鉛）のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFTアレイベース基板10上の第1遮光膜11aの形成工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようにできる。第1遮光膜11aが形成されているので、TFTアレイベース基板10の側からの反射光（戻り光）等が光に対して励起しやすい画素スイッチング用TFT30のチャネル領域1a'や低濃度ソース領域1b、低濃度ドレイン領域1cに入射する事態を未然に防ぐことができ、光に起因したリーク電流の発生により画素スイッチング用TFT30の特性が劣化することはない。

【0056】更に、第1遮光膜11aと複数の画素スイッチング用TFT30との間には、下地絶縁膜12が設けられている。下地絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電気的に絶縁するために設けられるものである。更に、下地絶縁膜12は、TFTアレイベース基板10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能を有する。即ち、TFTアレイベース基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。下地絶縁膜12は、例えば、NSG（ノンドープトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。下地絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

【0057】本実施形態では、半導体層1aを高濃度ドレイン領域1eから延設して第1容量電極1fとし、これに対向する容量線3bの一部を第2容量電極とし、絶縁薄膜2を第1容量電極及び第2容量電極間に挟持された誘電体膜として利用することにより、第1蓄積容量70aが構築されている。更に、この第2容量電極と対向する第1バリア層80aの一部を第3容量電極とし、第2容量電極及び第3容量電極間に設けられる第1層間絶縁膜81を誘電体膜として利用することにより、第2蓄積容量70bが構築されている。更に、第1容量電極1fと第1遮光膜11aの一部である第4容量電極とが、下地絶縁膜12を介して対向配置されて、即ち下地絶縁膜12を誘電体膜として利用することにより、第3蓄積容量70cが構築される。

【0058】このように、第1バリア層80aに接続された画素電極9aに対し、第1蓄積容量70a、第2蓄積容量70b及び第3蓄積容量70cからなる蓄積容量70が付加されているので、従来例の如き第1蓄積容量70aのみが付加される場合と比較して、遙かに大きな蓄積容量70を画素電極9aに付加できる。

【0059】特に第3蓄積容量70cについては、下地絶縁膜12には、第1容量電極1f及び第1遮光膜11aからなる第4容量電極間に挟持された第3蓄積容量70cの誘電体膜を構成する部分に、図3で説明した窪み62と後述の如く同一工程で形成される凹状の窪み61が形成されている。即ち、第3蓄積容量70cの誘電体膜部分が、局所的に薄膜化されているので、表面積に比例すると共に誘電体膜の膜厚に反比例する第3蓄積容量70は効率的に増大されている。これに加えて、第1遮光膜11aは、TFT30を遮光する機能と第3蓄積容量70cの蓄積容量電極形成のための電極としての機能との両方を有し、下地絶縁膜12も下地膜としての本来機能と第3蓄積容量70cの誘電体膜としての機能との両方を有するので、積層構造の複雑化を招くこともない。

【0060】また第1蓄積容量70aについては、その誘電体膜としての絶縁薄膜2は、高温酸化等によりポリシリコン膜上に形成されるTFT30のゲート絶縁膜に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、第1蓄積容量70aは比較的小面積で大容量の蓄積容量として構成できる。

【0061】更に第2蓄積容量70bについては、その誘電体膜としての第1層間絶縁膜81は絶縁薄膜2と同様に薄く形成することが可能なので、図2に示したように相隣接するデータ線6a間の領域を利用して、第2蓄積容量70bは比較的小面積で大容量の蓄積容量として構成できる。

【0062】更にまた、第1蓄積容量70a、第2蓄積容量70b及び第3蓄積容量70cについて、各々の誘電体膜である絶縁薄膜2、第1層間絶縁膜81及び下地

絶縁膜12は、いずれも、データ線6aと走査線3bとの間に介在する第2層間絶縁膜4とは異なる誘電体膜である。従って、フリッカ等の原因となる画像信号の電圧降下を引き起こすデータ線6a及び走査線3a間の寄生容量を抑えるために、一定の厚みが必要な第2層間絶縁膜4とは無関係に、これら各誘電体膜を技術的な限界まで薄く構成してもよい。このため、誘電体膜の厚みに反比例する各容量値を極めて効率的に増加させることが可能となる。因みに、画素スイッチング用TFT30における絶縁薄膜2のように余り薄く構成するとトンネル効果等の特異現象が発生することもないので、膜破れなどの欠陥が生じないことを条件に、例えば200nm程度或いは絶縁薄膜2よりも薄い100nm以下の厚みを持つ極薄い誘電体膜を形成すればよい。

【0063】以上説明したように、本実施形態によれば、図2に示した各画素における限られた非開口領域内に、夫々が大容量化可能な第1蓄積容量70a、第2蓄積容量70b及び第3蓄積容量70cが立体的に積み上げられ且つ並列接続された構成を採用しているので、従来例の如き第1蓄積容量のみが同一平面に設けられる場合と比較して、同一平面領域に遙かに大きな蓄積容量を構築できる。更に、データ線6a下の領域や走査線3aに沿って液晶のディスクリネーションが発生する領域（即ち、容量線3bが形成された領域）という画素開口領域を外れたスペースを有効に利用することで、このような立体構造の蓄積容量70をより一層増大させている。従って、各画素の開口領域を狭めることなく蓄積容量70を増加させることにより、前述の如き当該液晶装置の動作時には、TFT30及び第1バリア層80aを介して画素電極9aに供給された画像信号は、蓄積容量70により極めて高い保持特性によって保持されるので、高コントラストで高品位の画像表示が可能となり、しかも広い開口領域により明るい画像表示が可能となる。

【0064】図4において、画素スイッチング用TFT30は、LDD (Lightly Doped Drain) 構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁する絶縁薄膜2、データ線6a、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが第1バリア層80aを中継して接続されている。低濃度ソース領域1b及び高濃度ソース領域1d並びに低濃度ドレイン領域1c及び高濃度ドレイン領域1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用の不純物イオンをドーピングすることにより形成されている。本実施形態では特にデータ線6aは、

A1等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性且つ導電性の薄膜から構成されている。

【0065】走査線3a及び容量線3b上に設けられた第1層間絶縁膜81には、高濃度ソース領域1dへ通じる第3コンタクトホール5a及び高濃度ドレイン領域1eへ通じる第1コンタクトホール8aが各々形成されている。

【0066】第1層間絶縁膜81上には、第1コンタクトホール8aを介して高濃度ドレイン領域1eに接続された第1バリア層80a及び第3コンタクトホール5aを介して高濃度ソース領域1dに接続された第2バリア層80bが同一の導電膜から形成されている。

【0067】第1バリア層80a及び第2バリア層80b上には、第2層間絶縁膜4が形成されている。データ線6aは、第2層間絶縁膜4に開孔された第4コンタクトホール5bを介して第2バリア層80bに電気接続されている。

【0068】更に、データ線6a及び第2層間絶縁膜4の上には、第1バリア層80aへの第2コンタクトホール8bが形成された第3層間絶縁膜7が形成されている。第2コンタクトホール8bを介して、画素電極9aは第1バリア層80aに電気接続されている。前述の画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。

【0069】画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部であるゲート電極をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するセルフアライン型のTFTであってもよい。

【0070】また本実施形態では、画素スイッチング用TFT30の走査線3aの一部からなるゲート電極3aを高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソース・ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0071】次に第1バリア層80aについて更に説明する。

【0072】図2及び図4に示すように、第1バリア層80aは、導体層1aと画素電極9aとの間に介在しており、高濃度ドレイン領域1eと画素電極9aとを第1コンタクトホール8a及び第2コンタクトホール8bを

経由して電気接続する。

【0073】このため、画素電極9aから半導体層1aのドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、第1コンタクトホール8a及び第2コンタクトホール8bの径を夫々小さくできる。即ち、一つのコンタクトホールを開孔する場合には、エッチング時の選択比が低いとコンタクトホールを深く開孔する程エッチング精度は落ちるため、例えば50nm程度の非常に薄い半導体層1aにおける突き抜けを防止するためには、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウエットエッチングで半導体層1aまで開孔するように工程を組まねばならない。或いは、ドライエッチングによる突き抜け防止用のポリシリコン膜を別途設けたりする必要が生じてしまうのである。

【0074】これに対して本実施形態では、画素電極9a及び高濃度ドレイン領域1eを2つの直列な第1コンタクトホール8a及び第2コンタクトホール8bにより接続すればよいので、これら第1コンタクトホール8a及び第2コンタクトホール8bを夫々、ドライエッチングにより開孔することが可能となるのである。或いは、少なくともウエットエッチングにより開孔する距離を短くすることが可能となるのである。但し、第1コンタクトホール8a及び第2コンタクトホール8bに夫々、若干のテーパーを付けるために、ドライエッチング後に敢えて比較的短時間のウエットエッチングを行うようにしてもよい。以上のように本実施形態によれば、第1コンタクトホール8a及び第2コンタクトホール8bの径を夫々小さくでき、第1コンタクトホール8aにおける第1バリア層80aの表面に形成される窪みや凹凸も小さくして済むので、その上方に位置する画素電極9aの部分における平坦化が促進される。更に、第2コンタクトホール8bにおける画素電極9aの表面に形成される窪みや凹凸も小さくして済むので、この画素電極9aの部分における平坦化が促進される。更に本実施形態では、このように第1層間絶縁膜81を薄く形成することにより、第2コンタクトホール8aの径を更に小さく出来る。

【0075】次に第2バリア層80bについて更に説明する。

【0076】図2及び図4に示すように、第2バリア層80bは、高濃度ソース領域1dに第3コンタクトホール5aを介して接続されると共にデータ線6aに第4コンタクトホール5bを介して接続されている。従って、データ線6aから高濃度ソース領域1dまで一つのコンタクトホールを開孔する場合と比較して、コンタクトホールの径を小さくできる。従って、画素ピッチの微細化を促進しつつ、第3コンタクトホール5a及び第4コンタクトホール5bの上方に位置する画素電極9a部分における平坦化を促進できる。加えて、第2バリア層80bにより第3コンタクトホール5a及び第4コンタクト

ホール5b付近の積層構造における合計膜厚が増す。ここで仮に第2バリア層80bがなかったとすれば、これら第3コンタクトホール5a及び第4コンタクトホール5b付近の合計膜厚が、その周囲のデータ線6a、走査線3a、TFT30等が重ねて形成された領域における(比較的大きい)合計膜厚と比較して小さくなるため、この付近で画素電極9aの下地表面が窪んでしまうか、或いはその平坦化処理が必要になる。しかるに本実施形態では、第2バリア層80bにより第3コンタクトホール5a及び第4コンタクトホール5b付近の積層構造における合計膜厚が増すので、その付近の画素電極9aの下地表面の凹みも低減可能となり、平坦化処理の負担も軽減される。これらの結果、画素電極9a表面の窪みや凹凸に起因する液晶層50におけるディスクリネーション等の不良が低減され、精細度、コントラスト及び明るさを一層高めることが可能となる。

【0077】更に、第2バリア層80bを遮光性の導電性材料から形成することにより、第3コンタクトホール5a及び第4コンタクトホール5b付近における高濃度ソース領域1d、低濃度ソース領域1b、チャネル領域1a'の遮光も可能となる。一般にはA1膜等の金属膜から形成されるデータ線6aにより、この付近の遮光を行うことが可能であるが、A1膜等をパターンニングする露光段階における光の回り込み(ハレーション)等により、マスクパターンよりもA1膜等が細る現象が頻発するので、その際細ったA1膜等の脇を通り抜けてくる光に対して(図2参照)、第2バリア層80bが冗長的な遮光を行うので、この領域における遮光性能が格段に高められる。

【0078】他方、後述の如き製造プロセスにおいて、第4コンタクトホール5bをエッチングにより開孔する際に、第2バリア層80bがエッチングの突き抜け防止にも役立つ。

【0079】尚、本実施形態の如く、第1バリア層80aと第2バリア層80bとを同一膜から形成すれば、同一工程でこれらを同時に形成でき、更に第1コンタクトホール8aと第3コンタクトホール5aとを絶縁薄膜2に対して同一エッチング工程で開孔可能できるので、製造プロセス上有利となる。また、積層構造における層数を不必要に増加させないで済むため装置信頼性も向上する。

【0080】第1バリア層80a及び第2バリア層80bの具体的な材料としては、例えば不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等が挙げられる。これらから構成すれば、第1バリア層80a及び第2バリア層80bの形成工程の後に行われる高温処理により、これらが破壊されたり溶融しないようにできる。更に、このような高融点金属と画素電極9aを構成するITO膜とが接触しても高融点金属が腐食

することはないため、第2コンタクトホール8bを介して第1バリア層80a及び画素電極9a間で良好な電気接続が得られる。

【0081】但し、第1バリア層80a及び第2バリア層80bは、導電性のポリシリコン膜から構成してもよい。この場合でも、蓄積容量70を増加させる機能及び中継機能は十分に発揮し得る。この場合には特に、第1層間絶縁膜81との間で熱等によるストレスが発生しにくくなるので、クラック防止に役立つ。或いは、第1バリア層80a及び第2バリア層80bは、データ線6aと同一のA1膜等から構成してもよい。

【0082】また、第1バリア層80a及び第2バリア層80bの膜厚は、例えば50nm以上500nm以下程度とするのが好ましい。50nm程度の厚みがあれば、製造プロセスにおける第2コンタクトホール8b及び第4コンタクトホール5bの開孔時に突き抜ける可能性は低くなり、また500nm程度であれば画素電極9aの表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。但し、第1バリア層80a及び第2バリア層80bは高融点金属膜やその合金膜から構成すれば、金属膜と層間絶縁膜とのエッチングにおける選択比が大きく異なるため、前述の如きドライエッチングによる突き抜ける可能性は殆ど無い。

【0083】以上説明した実施形態では特に、図3に示したように、第1遮光膜11aは、TFTアレイ基板10上の周辺領域に遮光配線11bとして引き出されて、定電位線6bに接続されているので、一定電位に固定される。このため、下地絶縁膜12を介して第1遮光膜11a上に形成されるTFT30の特性を、第1遮光膜11aにおける電位変動により劣化させることはない。この場合、定電位源としては、当該液晶装置を駆動するための周辺回路(例えば、走査線駆動回路、データ線駆動回路等)に供給される負電源、正電源等の定電位源、接地電源、対向電極21に供給される定電位源等が挙げられる。更に定電位線6bは、例えばA1膜等のデータ線6aと同一膜からなるため、その製造プロセスにおいて後述の如く、画像表示領域において第4コンタクトホール5bを開孔すると同時に周辺領域において第6コンタクトホール5b'を開孔することも可能となる。

【0084】以上説明した実施形態では、データ線6aと半導体層1aとの間に第1バリア層80a及び第2バリア層80bが設けられているが、データ線6aよりも半導体層1aから遠い側にA1膜、高融点金属等から第1バリア層80a及び第2バリア層80bのうち少なくとも一方を設けるようにしてもよい。この場合にも、各バリア層による中継機能は良好に発揮される。

【0085】また、コンタクトホール8a、8b、5a、5b、5a'及び5b'の平面形状は、円形や四角形或いはその他の多角形状等でもよいが、円形は特にコンタクトホールの周囲の層間絶縁膜等におけるクラック

防止に役立つ。そして、良好な電気接続を得るために、ドライエッチング後にウェットエッチングを行って、これらのコンタクトホールに夫々若干のテーパーをつけることが好ましい。

【0086】(電気光学装置の第1実施形態における製造プロセス)次に、以上のような構成を持つ実施形態における液晶装置の製造プロセスについて、図5及び図6を参照して説明する。尚、図5は各工程におけるTFTアレレイ基板側の各層を、図4と同様に図2のA-A'断面に対応させて示す工程図であり、図6は、図3のA-A'断面に対応させて示す工程図である。

【0087】図5に示した画像表示領域における各工程(1)から(10)と、図6に示した周辺領域における各工程(1)から(10)とは、夫々同時に行われるので、これらを並行して以下に説明する。

【0088】先ず図5及び図6の工程(1)に夫々示すように、石英基板、ハードガラス基板、シリコン基板等のTFTアレレイ基板10を用意する。ここで、好ましくは N_2 (窒素)等の不活性ガス雰囲気且つ約900~1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理されたTFTアレレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100~500nm程度の膜厚、好ましくは約200nmの膜厚の遮光膜を形成する。尚、遮光膜上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

【0089】そして、該形成された遮光膜上にフォトリソグラフィ工程及びエッチング工程等により、画像表示領域に第1遮光膜11aを形成する(図5参照)と同時に周辺領域に遮光配線11bを形成する(図6参照)。

【0090】次に図5及び図6の工程(2)に夫々示すように、第1遮光膜11a及び遮光配線11bの上に、例えば、常圧又は減圧CVD法等によりTEOSガス、TEBガス、TMOPガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12の下層絶縁膜12aを形成する。この下層絶縁膜12aの膜厚は、例えば、約500~2000nmとする。

【0091】次に図5及び図6の工程(3)に夫々示すように、ウェットエッチング又はドライエッチングにより、画像表示領域においては、画素毎に第3蓄積容量70cを形成する予定の領域に窪み61'を開孔し(図5参照)、同時に周辺領域においては、定電位線6bと遮光配線11bとを接続するための接続部に窪み62'を開孔する(図6参照)。

【0092】次に図5及び図6の工程(4)に夫々示すように、窪み61'及び62'が形成された下層絶縁膜12aの上に、例えば、常圧又は減圧CVD法等によりTEOSガス、TEBガス、TMOPガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12の上層絶縁膜12bを形成する。この上層絶縁膜12bの膜厚は、欠陥のない良質な絶縁膜が形成できる限りにおいて薄い程よく、例えば約500nm以下の膜厚とされる。

【0093】以上の工程(2)から(4)により、画像表示領域に窪み61'が形成されており(図2及び図4参照)、且つ周辺領域に窪み62'の形成されている(図3参照)、下層絶縁膜12a及び上層絶縁膜12bの2層構造からなる下地絶縁膜12が完成する。

【0094】次に、図5及び図6の工程(5)に夫々示すように、下地絶縁膜12の上に、約450~550℃、好ましくは約500℃の比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600~700℃にて約1~10時間、好ましくは、4~6時間のアニール処理を施することにより、ポリシリコン膜を約50~200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。固相成長させる方法としては、RTA(Rapid Thermal Anneal)を使ったアニール処理でも良いし、エキシマレーザー等を用いたレーザーアニールでも良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化(アモルファス化)し、その後アニール処理等により再結晶化させてポリシリコン膜を形成しても良い。

【0095】次に、フォトリソグラフィ工程、エッチング工程等により、所定パターンを有する半導体層1aを形成する。更に、画素スイッチング用TFT30を構成する半導体層1aを約900~1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約30nmの比較的薄い厚さの熱酸化シリコン膜2aを形成し、更に、減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる絶縁膜2bを約50nmの比較的薄い厚さに堆積し、熱酸化シリコン膜2a及び絶縁膜2bを含む多層構造を持つ絶縁薄膜2を形成する。この結果、半導体層1a及び第1容量電極1fの厚さは、約30~150nmの厚さ、好ましくは約35~50nmの厚さとなり、絶縁薄膜2(即ち、第1蓄積容量70aの誘電体膜)の厚さは、約20~150nmの厚さ、好ましくは約30~100nmの厚さとなる。このように高温熱酸化時間を短くすること

により、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン膜を熱酸化することのみにより、単一層構造を持つ絶縁薄膜2を形成してもよい。

【0096】次に、フォトリソグラフィ工程、エッチング工程等によりレジスト層を第1蓄積容量電極1fを除く半導体層1a上に形成した後、例えばP（リン）イオンをドーパ量約 $3 \times 10^{12} / \text{cm}^2$ でドーピングして、第1蓄積容量電極1fを低抵抗化してもよい。

【0097】次に、このレジスト層を除去した後、減圧CVD法等によりポリシリコン膜を堆積し、更にPを熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをポリシリコン膜の成膜と同時に導入したドーピングシリコン膜を用いてもよい。ポリシリコン膜の膜厚は、約100～500nmの厚さ、好ましくは約300nmに堆積する。

【0098】次に、フォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。走査線3a及び容量線3bは、高融点金属や金属シリサイド等の金属合金膜で形成してもよいし、ポリシリコン膜等と組み合わせた多層配線としてもよい。

【0099】次に、図4に示した画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aの一部であるゲート電極をマスクとして、PなどのV族元素の不純物イオンを低濃度で（例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーパ量にて）ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。この不純物イオンのドーピングにより容量線3b及び走査線3aも低抵抗化される。

【0100】次に、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層を走査線3a上に形成した後、同じくPなどのV族元素の不純物イオンを高濃度で（例えば、Pイオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーパ量にて）ドーピングする。また、画素スイッチング用TFT30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素の不純物イオンを用いてドーピングする。尚、例えば、低濃度のドーピングを行わずに、オフセット構造のTFTとしてもよく、走査線3aの一部であるゲート電極をマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。この不純物イオンのドーピングにより容量線3b及び走査線3aも更に低抵抗化される。

【0101】尚、これらのTFT30の素子形成工程と

並行して、nチャネル型TFT及びpチャネル型TFTから構成される相補型構造を持つデータ線駆動回路、走査線駆動回路等の周辺回路をTFTアレイ基板10上の周辺部に形成してもよい。このように、本実施形態において画素スイッチング用TFT30を構成する半導体層1aをポリシリコン膜で形成すれば、画素スイッチング用TFT30の形成時にはほぼ同一工程で、周辺回路を形成することができ、製造上有利である。

【0102】そして、レジスト層を除去した後、容量線3b及び走査線3a並びに絶縁薄膜2上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜（HTO膜）や窒化シリコン膜からなる第1層間絶縁膜81を10nm以上200nm以下の比較的薄い厚さに堆積する。但し、前述のように、第1層間絶縁膜81は、多層膜から構成してもよいし、一般にTFTのゲート絶縁膜を形成するのに用いられる各種の公知技術により、第1層間絶縁膜81を形成可能である。また、第1層間絶縁膜81は、第2容量電極3bと第1バリア層80の間で、第2誘電体膜として機能する。そして、第1層間絶縁膜81を薄くする程、第2蓄積容量70bは大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、絶縁薄膜2よりも薄い50nm以下の厚みを持つ極薄い絶縁膜となるように第1層間絶縁膜81を形成すると本実施形態の効果を増大させることができる。

【0103】次に図5及び図6の工程（6）に夫々示すように、画像表示領域においては、第1バリア層80aと高濃度ドレイン領域1eとを電気接続するための第1コンタクトホール8a及び第2バリア層80bと高濃度ソース領域1dとを電気接続するための第3コンタクトホール5aを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより開孔する（図5参照）。同時に周辺領域においては、第5コンタクトホール5a'を開孔する（図6参照）。このようなドライエッチングは、指向性が高いため、小さな径のコンタクトホールを開孔可能である。或いは、第1コンタクトホール8a及び第3コンタクトホール5aが半導体層1aを突き抜けるのを防止するのに有利なウエットエッチングを併用してもよい。このウエットエッチングは、第1コンタクトホール8a及び第3コンタクトホール5aに対し、より良好な電気接続を得るためにテーパーを付与する観点からも有効である。

【0104】次に図5及び図6の工程（7）に夫々示すように、第1層間絶縁膜81並びに第1コンタクトホール8aを介して覗く高濃度ドレイン領域1e及び第3コンタクトホール5aを介して覗く高濃度ソース領域1dの全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜をスパッタリング等により堆積して、50～500nm程度の膜厚の導電膜を形成する。50nm程度の厚みがあれば、後に第2コンタクトホール8b及び第4コンタクトホール5bを開

孔する時に突き抜ける可能性は殆どない。尚、この導電膜上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。また、導電膜は応力緩和のためにドーパドポリシリコン膜等を用いても良い。

【0105】そして、このように形成された導電膜上にフォトリソグラフィ工程及びエッチング工程等により第3容量電極80aを含む第1バリア層80a及び第2バリア層80bを形成する。

【0106】次に図5及び図6の工程(8)に夫々示すように、第1層間絶縁膜81並びに第1バリア層80a及び第2バリア層80bの全面を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。第2層間絶縁膜4の膜厚は、約500～1500nmが好ましい。第2層間絶縁膜4の膜厚が500nm以上あれば、データ線6a及び走査線3a間における寄生容量は余り又は殆ど問題とならない。

【0107】そして、半導体層1aを活性化するために約1000℃のアニール処理を20分程度行った後、画像表示領域において、第2バリア層80bに至る第4コンタクトホール5bを第2層間絶縁膜4に開孔する(図5参照)。同時に周辺領域において、遮光配線11bに至る第6コンタクトホール5b'をも第2層間絶縁膜4に開孔する(図6参照)。

【0108】この工程(8)においては特に、第4コンタクトホール5bは、第2層間絶縁膜4の厚み(例えば、800nm程度)だけエッチングすれば必要十分であるのに対し、第6コンタクトホール5b'は、第2層間絶縁膜4と下層絶縁膜12aとの合計の厚み(例えば、800nm+200nm程度)だけ、より深くエッチングする必要がある。従って、このように深度の相異なるコンタクトホールを同時にエッチングで開孔しようとすれば、浅い方の第4コンタクトホール5bが完全に開孔された後に、更に第6コンタクトホール5b'が完全に開孔されるまで、第4コンタクトホール5bにおけるエッチングが継続される。しかるに本実施形態では、第2バリア層80bが第4コンタクトホール5bにおけるエッチングに対するストッパとして機能する。このため、その下方にある半導体層1aへの突き抜けを防止できる。即ち、仮に第2バリア層80bがなかったとすれば、第6コンタクトホール5b'の開孔完了を待つ間に、第4コンタクトホール5bにおけるエッチングが進行して薄い半導体層1aを突き抜ける危険性がある。このため、装置信頼性及び製造効率が低下して、コスト上昇を招くと共に、ドライエッチングを用いた小径の開孔エッチング制御が困難となり、画素ピッチの微細化が困難となる。これに対して、本実施形態では、第2バリア層80bが第4コンタクトホール5bの開孔時にエッチ

ングに対するストッパとなるので、このような問題は生じないのである。

【0109】次に、図5及び図6の工程(9)に示すように、第2層間絶縁膜4の上に、スパッタリング等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜として、約100～500nmの厚さ、好ましくは約300nmに堆積する。

【0110】次に、画像表示領域において、フォトリソグラフィ工程、エッチング工程等によりデータ線6aを形成し、同時に周辺領域において、定電位線6bを形成する。

【0111】次に図5及び図6の工程(10)に示すように、データ線6aや定電位線6b上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7を形成する。第3層間絶縁膜7の膜厚は、約500～1500nmが好ましい。

【0112】次に、画素電極9aと第1バリア層80aとを電気接続するための第2コンタクトホール8bを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。また、テーパー状にするためにウェットエッチングを用いても良い。

【0113】次に、第3層間絶縁膜7及び第2コンタクトホールから覗く第1バリア層80aの全面に、スパッタ処理等により、ITO膜等の透明導電性薄膜を、約50～200nmの厚さに堆積し、その後、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0114】次に、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16が形成される。

【0115】他方、図4に示した対向基板20については、ガラス基板等が先ず用意され、第2遮光膜23及び額縁としての第3遮光膜が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。これらの第2遮光膜23及び第3遮光膜は、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。尚、TFTアレイ基板10上で、データ線6a、第1バリア層80a、第1遮光膜11a等で遮光領域を規定すれば、対向基板20上の第2遮光膜23を省くことができる。

【0116】その後、対向基板20の全面にスパッタリング等により、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系

の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜 22 が形成される。

【0117】最後に、上述のように各層が形成された TFT アレイ基板 10 と対向基板 20 とは、配向膜 16 及び 22 が対面するようにシール材（後述する）により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層 50 が形成される。

【0118】以上の結果、遮光配線 11b を定電位線 6b に接続のために専用工程は必要とされないの、製造プロセス上有利であり、定電位に固定される第 1 遮光膜 11a を有する液晶装置を、比較的少ない工程数で且つ比較的簡単な工程を用いて製造でき、低コスト化を促進できる。更に、工程（2）から工程（4）により窪み 61 及び 62 が形成された 2 層構造の下地絶縁膜 12 を形成するので、局所的に薄膜化された下地絶縁膜 12（即ち、第 3 蓄積容量 70c の誘電体膜）の部分の膜厚は、エッチングではなく薄膜形成により制御されるので、非常に薄く且つ一定にできる。従って、最終的には品質が安定しており比較的大容量の第 3 蓄積容量 70c を形成できることになる。

【0119】（電気光学装置の第 2 実施形態）本発明による電気光学装置の第 2 実施形態である液晶装置の製造プロセスについて、その構成と共に図 7 を参照して説明する。図 7 は、第 2 実施形態の液晶装置の製造プロセスを図 2 の A-A' 断面に対応する断面について順を追って示す工程図である。尚、図 7 に示した第 2 実施形態において図 5 に示した第 1 実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図 7 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0120】第 2 実施形態は、第 1 実施形態と比べて、工程（2）から（4）における窪み 61 及び 62 を持つ下地絶縁膜 12 の形成工程が異なり、構成上も 2 層構造を持つ下地絶縁膜 12 の構成が若干異なる。その他の構成及び製造プロセスについては第 1 実施形態の場合と同様である。

【0121】即ち図 7 において先ず、第 1 実施形態における図 7 の工程（1）と同様の工程（1）が行われる。

【0122】次に、図 7 の工程（2）に示すように、所定パターンの第 1 遮光膜 11a 及び図示しない遮光配線 11b が形成された TFT アレイ基板 10 上の全面に、下層絶縁膜 12a' を形成する。

【0123】次に、図 7 の工程（3）に示すように、この下層絶縁膜 12a' 上の全面に上層絶縁膜 12b' を形成する。

【0124】次に、図 7 の工程（4）に示すように、画像表示領域においては、上層絶縁膜 12b' のうち第 3

蓄積容量 70c が形成される予定の領域を、フォトリソグラフィ及びエッチングにより局所的に開孔する。尚、これと同時に、図示しない周辺領域においては、定電位線 6b と遮光配線 11b との接続領域をエッチングにより局所的に開孔する。この際特に、上層絶縁膜 12b' に対するエッチングレートが下層絶縁膜 12a' に対するエッチングレートよりも高いエッチングにより除去されるので、下層絶縁膜 12a' の膜厚を非常に薄くしてもエッチングが下層絶縁膜 12a' を突き抜ける事態を容易に回避し得る。この結果、下層絶縁膜 12a' と比べて殆ど同じか若干薄い膜厚にまで局所的に薄膜化された下地絶縁膜 12 部分が第 3 蓄積容量 70c が形成される予定の領域及び接続領域に形成される。このように局所的に薄膜化された下地絶縁膜 12 部分（即ち、第 3 蓄積容量 70c の誘電体膜）の膜厚は、エッチングではなく薄膜形成により支配されるので、非常に薄く且つ一定にできる。従って、最終的には品質が安定しており比較的大容量の第 3 蓄積容量 70c を形成できることになる。

【0125】この場合特に、下層絶縁膜 12a' を誘電率の高い窒化シリコン膜から形成し、上層絶縁膜 12b' をエッチングレートの高い酸化シリコン膜から形成すれば、窪み 61 及び 62 を容易に形成しつ、第 3 蓄積容量 70c の誘電体部分の誘電率を高めることもなるので、非常に効率的に第 3 蓄積容量 70c を増大できる。

【0126】次に、図 7 において、第 1 実施形態における図 5 の工程（5）から工程（10）と同様の工程（5）から工程（10）が行われる。

【0127】以上の結果、第 1 実施形態と比べて、下地絶縁膜 12 の内部積層構造のみが若干異なる電気光学装置が製造される。

【0128】尚、上述した第 1 及び第 2 実施形態の製造プロセスでは、下地絶縁膜 12 を下層絶縁膜と上層絶縁膜との 2 層構造から構成したが、単一の絶縁膜を形成した後、エッチングの時間管理により、第 3 蓄積容量 70c が形成される予定の領域及び接続領域をエッチングして、下地絶縁膜 12 部分が所望の膜厚となるようにしてもよい。

【0129】（電気光学装置の第 3 実施形態）本発明による電気光学装置の第 3 実施形態である液晶装置の構成について、図 8 を参照して説明する。図 8 は、第 1 実施形態における図 4 の平面図の A-A' 断面に対応する第 3 実施形態の断面図である。尚、図 8 に示した第 3 実施形態において図 4 に示した第 1 実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図 8 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0130】図 8 において、第 3 実施形態では第 1 実施

形態とは異なり、TFTアレイ基板10'は、その上側表面が、データ線6a、走査線3a及び容量線3bに対向する部分が凹状に窪んで形成されている。この結果、TFTアレイ基板10'上にこれらの配線や層間絶縁膜を介して形成される画素電極9a及び配向膜16も平坦化されている。その他の構成については第1実施形態の場合と同様である。

【0131】従って、第3実施形態によれば、データ線6aに重ねて走査線3a、TFT30、容量線3b等が形成される領域の他の領域に対する段差が低減される。このようにして画素の非開口領域の少なくとも一部分を埋め込むだけで画素電極9aがほぼ平坦化され、当該平坦化の度合いに応じて液晶層50のディスクリネーション(配向不良)を低減できる。この結果、第3実施形態によれば、より高品位の画像表示が可能となり、画素開口領域を広げることとなる。

【0132】尚、このようなTFTアレイ基板10'は、例えば、第1実施形態の製造プロセスにおける工程(1)の前に、凹状の窪みを形成すべき領域にエッチングを施せばよい。

【0133】上述のように第3実施形態では、基板を凹状に溝を形成した上に配線や素子部を形成して最終的に画素電極を平坦化しているが、第2層間絶縁膜4又は下地絶縁膜12を凹状に窪めて形成しても同様の平坦化の効果が得られる。この場合、各層間絶縁膜を凹状に形成する方法としては、各層間絶縁膜を二層構造として、一層のみからなる薄い部分を凹状の窪み部分として二層の厚い部分を凹状の土手部分とするように薄膜形成及びエッチングを行えばよい。或いは、各層間絶縁膜を単一層構造として、エッチングにより凹状の窪みを開口するようにしてもよい。また、第3層間絶縁膜7をTFTアレイ基板10側から見て凹状に窪むように形成してもよい。即ち、第3層間絶縁膜7の上面をCMP (Chemical Mechanical Polishing) 処理、スピコート処理、リフロー法等により行ったり、有機SOG (Spin On Glass)、無機SOG、ポリイミド膜等を利用して平坦化すればよい。

【0134】(電気光学装置の全体構成) 以上のように構成された各実施形態における液晶装置の全体構成を図9及び図10を参照して説明する。尚、図9は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図10は、図9のH-H'断面図である。

【0135】図9において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る画像表示領域の周辺を規定する額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動す

るデータ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一边に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一边に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画像表示領域の一方の辺に沿って配設されたデータ線駆動回路101から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路101の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一边には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電気的な導通をとるための導通材106が設けられている。そして、図10に示すように、図9に示したシール材52とはほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。尚、本実施の形態によれば、対向基板20上の第2遮光膜23はTFTアレイ基板10の遮光領域よりも小さく形成することができる。また、液晶装置の用途により、第2遮光膜23は容易に取り除くことができる。

【0136】以上図1から図10を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB (Tape Automated Bonding) 基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、PDLC (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差

フィルム、偏光板などが所定の方向で配置される。

【0137】以上説明した各実施形態における液晶装置は、カラー液晶プロジェクトに適用されるため、3枚の液晶装置がR（赤）G（緑）B（青）用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロミックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、液晶プロジェクト以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施形態における液晶装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロミックフィルタを形成してもよい。このダイクロミックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【0138】以上説明した各実施形態における液晶装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように液晶装置を液晶プロジェクトに取り付けても、半導体層1aのチャネル領域1a'に光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側での反射を防止するために、反射防止用のAR（Anti Reflection）被膜された偏光板を別途配置したり、ARフィルムを貼り付ける必要があったが、各実施形態では、TFTアレイ基板10の表面と半導体層1aの少なくともチャネル領域1a'との間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要がなくなる。従って、各実施形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0139】また、各画素に設けられるスイッチング素

子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。

【0140】本発明の電気光学装置は、上述した各実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】電気光学装置の第1実施形態である液晶装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】第1実施形態の液晶装置におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】第1実施形態の液晶装置の周辺領域における遮光配線と定電位線との接続部を示す平面図である。

【図4】図2のA-A'断面図である。

【図5】第1実施形態の液晶装置の製造プロセスを図2のA-A'断面について順を追って示す工程図である。

【図6】第1実施形態の液晶装置の製造プロセスを図3のB-B'断面について順を追って示す工程図である。

【図7】第2実施形態の液晶装置の製造プロセスを図2のA-A'断面に対応する断面について順を追って示す工程図である。

【図8】電気光学装置の第3実施形態である液晶装置の断面図である。

【図9】各実施形態の液晶装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図10】図12のH-H'断面図である。

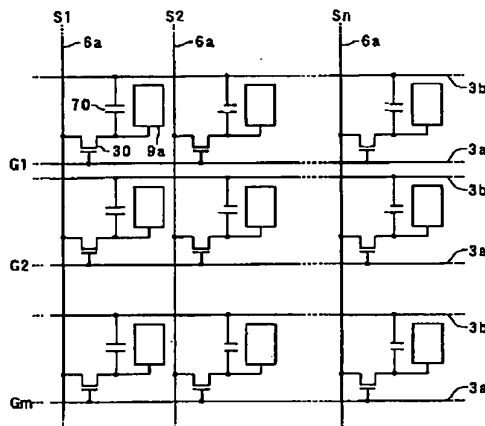
【符号の説明】

- 1a…半導体層
- 1a'…チャネル領域
- 1b…低濃度ソース領域
- 1c…低濃度ドレイン領域
- 1d…高濃度ソース領域
- 1e…高濃度ドレイン領域
- 1f…第1容量電極
- 2…絶縁薄膜
- 3a…走査線
- 3b…容量線
- 4…第2層間絶縁膜
- 5a…第3コンタクトホール
- 5a'…第5コンタクトホール
- 5b…第4コンタクトホール
- 5b'…第6コンタクトホール
- 6a…データ線

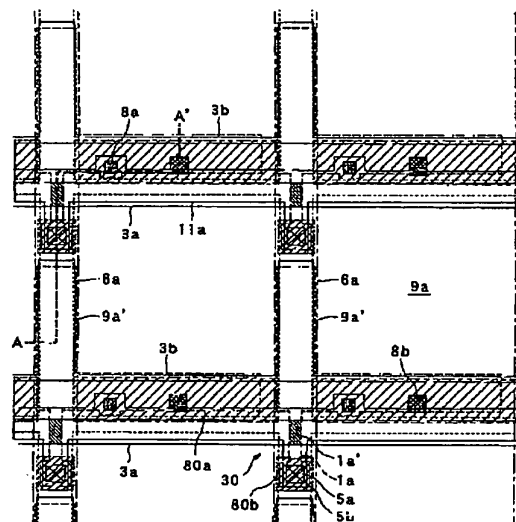
6b...定電位線
7...第3層間絶縁膜
8a...第1コンタクトホール
8b...第2コンタクトホール
9a...画素電極
10...TFTアレ基板
11a...第1遮光膜
11b...遮光配線
12...下地絶縁膜
16...配向膜
20...対向基板
21...対向電極
22...配向膜
23...第2遮光膜

30...画素スイッチング用TFT
50...液晶層
52...シール材
53...第3遮光膜
61、62...窪み
70...蓄積容量
70a...第1蓄積容量
70b...第2蓄積容量
70c...第3蓄積容量
80a...第1バリア層
80b...第2バリア層
81...第1層間絶縁膜
101...データ線駆動回路
104...走査線駆動回路

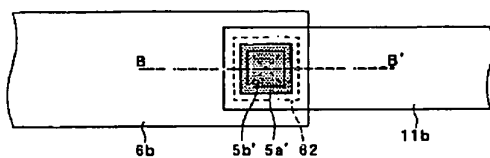
【図1】



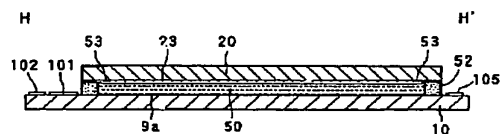
【図2】



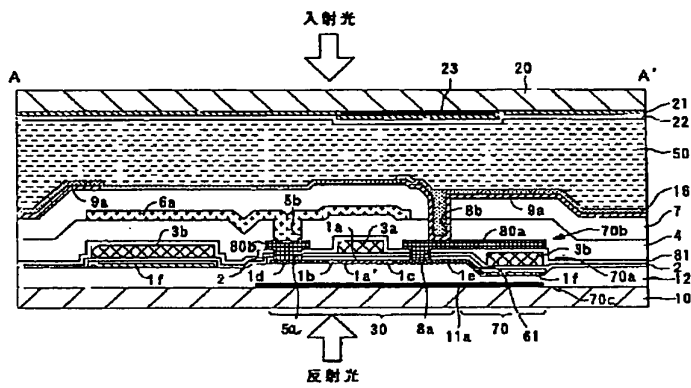
【図3】



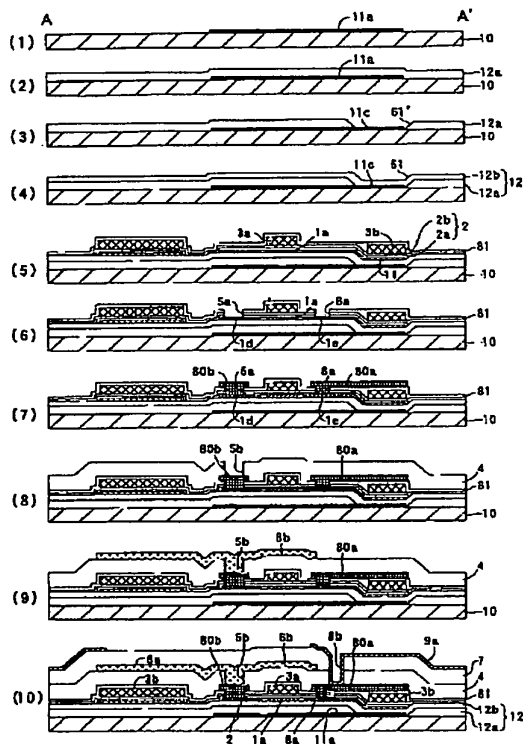
【図10】



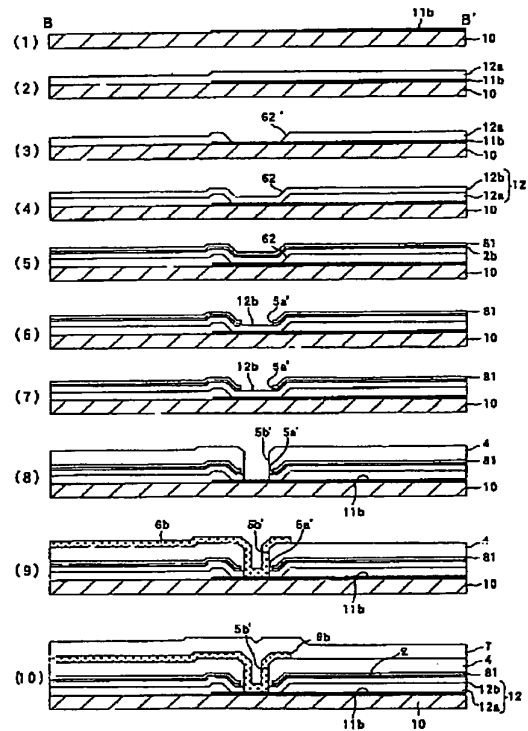
【図4】



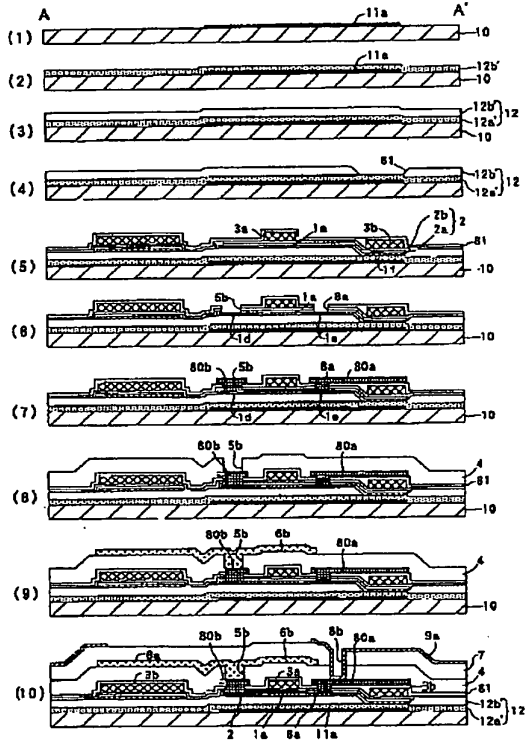
【例5】



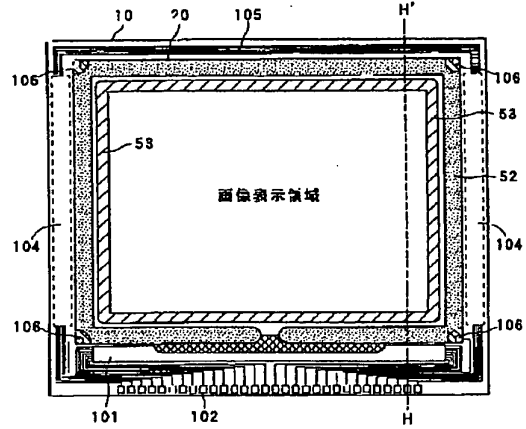
【図6】



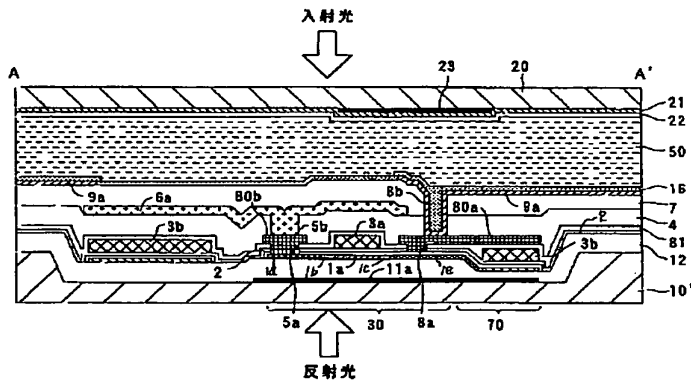
【図7】



【図9】



【図8】



フロントページの続き

F ターム(参考) 2H092 JA25 JA46 JB05 JB07 JB52
JB56 JB64 JB66 JB69 KA04
KA07 KA10 KB22 KB25 MA07
MA27 NA01 NA21 PA09 RA05
5C094 AA00 AA06 AA10 AA25 BA03
BA43 CA19 DA15 DB04 EA04
EA10 EB02 FA01 FA02 FB02
FB12 FB16 GB10
5F110 AA06 AA18 AA21 BB04 CC02
DD02 DD03 DD05 DD12 DD13
DD14 DD17 DD24 DD25 EE05
EE06 EE09 FF02 FF03 FF09
FF23 FF32 GG02 GG13 GG24
GG25 GG47 HJ01 HJ04 HJ13
HJ23 HL02 HL03 HL04 HL05
HL06 HL08 HL23 HM03 HM14
HM15 HM17 NN03 NN04 NN22
NN23 NN24 NN27 NN35 NN40
NN42 NN44 NN45 NN46 NN47
NN72 PP02 PP03 PP10 PP13
PP33 QQ05 QQ11

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-137241

(43)Date of publication of application : 16.05.2000

(51)Int.Cl. G02F 1/135
G09F 9/35

(21)Application number : 10-310935

(71)Applicant : SONY CORP

(22)Date of filing : 30.10.1998

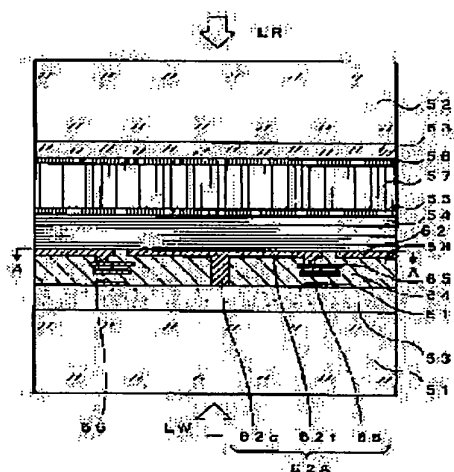
(72)Inventor : NAKAJIMA HIDEHARU

(54) OPTICAL WRITE TYPE LIQUID CRYSTAL LIGHT VALVE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an optical write type liquid crystal light valve device which is capable of stabilizing coupling capacitance between pixel electrodes and auxiliary electrodes and improving productivity while realizing a high sensitivity and a high resolution.

SOLUTION: This optical write type liquid crystal light valve device has transparent substrates 51, 52, a photoconductive layer 53, electrodes 61 which are arranged by being brought into contact with this layer 53, electrodes 62 insulated with the electrodes 61, an optical reflection layer 54, a liquid crystal layer 57 and an electrode 63 and electrodes 64 are formed between the electrodes 62 and the electrodes 61 and, moreover, electrodes 65 are formed between the electrodes 62 and the electrodes 64 and the electrodes 61, the electrodes 64 and the electrodes 65 are arranged at positions opposing to intervals between divided electrode parts of the electrodes 62.



LEGAL STATUS

[Date of request for examination] 06.07.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st and 2nd transparence substrates, a photoconductive layer, and the 1st electrode arranged in contact with the above-mentioned photoconductive layer, It is formed in a same the 1st electrode of the above, and the above-mentioned photoconductive layer side, and has the 1st electrode of the above, the 2nd insulated electrode, an optical reflecting layer, a liquid crystal layer, and the 3rd electrode at least. The 2nd electrode of the above It consists of the division polar zone divided into two or more polar zone. Between the 2nd electrode of the above, and the 1st electrode of the above The 1st electrode of the above and the 4th insulated electrode are formed. Between the 2nd electrode of the above, and the 4th electrode of the above It is mold liquid crystal light valve equipment write-in [optical] which the 4th electrode of the above and the 5th electrode which constitutes capacity are formed, and is characterized by having arranged the 1st electrode of the above, the 4th electrode, and the 5th electrode in the location where the part counters between the above-mentioned division polar zone of the 2nd electrode of the above at least.

[Claim 2] Mold liquid crystal light valve equipment [according to claim 1] write-in [optical] characterized by making width of face of the 5th electrode of the above into width of face larger than the width of face of the direction of a shorter side of the 4th electrode of the above.

[Claim 3] Mold liquid crystal light valve equipment [according to claim 1] write-in [optical] characterized by making width of face of the 5th electrode of the above into width of face narrower than the width of face of the direction of a shorter side of the 4th electrode of the above.

[Claim 4] Mold liquid crystal light valve equipment [according to claim 1] write-in [optical] characterized by making the 5th electrode of the above into the width of face of abbreviation identitas in self align with the width of face of the 4th electrode of the above.

[Claim 5] Mold liquid crystal light valve equipment [according to claim 1] write-in [optical] with which the 5th electrode of the above is characterized by the thing of the 4th electrode of the above formed so that a part of flank and upper part might be countered at least.

[Claim 6] Mold liquid crystal light valve equipment [according to claim 2] write-in [optical] characterized by what the contact section of the 5th electrode of the above and the 2nd electrode of the above was formed for of the same contact section as the contact section of the 2nd electrode of the above, and the above-mentioned photoconductive layer.

[Claim 7] Mold liquid crystal light valve equipment [according to claim 5] write-in [optical] characterized by what the contact section of the 5th electrode of the above and the 2nd electrode of the above was formed for of the same contact section as the contact section of the 2nd electrode of the above, and the above-mentioned photoconductive layer.

[Claim 8] Mold liquid crystal light valve equipment [according to claim 1] write-in [optical] characterized by connecting the 2nd electrode of the above, and the above-mentioned photoconductive layer through the buffer layer of the same ingredient as the 1st electrode of the above, and thickness.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is concerned with mold liquid crystal light valve equipment write-in [optical], and aims at improvement of sensibility to a write-in light in mold liquid crystal light valve equipment write-in [optical], and improvement in spatial resolution.

[0002]

[Description of the Prior Art] Liquid crystal light valve equipment (it is called Following LCLV) is an optical-optical image transformation machine. A light valve is equipment accomplished so that an optical image might be read to real time by the light from other light sources and this could be outputted in response to light with optical low reinforcement.

[0003] LCLV is used as the object for military affairs, and application to the big screen for commerce. for example, Rodney D Sterling of a fuse (Hughes) ** -- "Video-Rate Liquid Crystal Light-Valve Using an Amorphous Silicon Photo Detector", and SID, '90 Digest, Paper No.17A 2 and PP 327-329 (1990) Announced LCLV As that outline block diagram is shown in drawing 16 , a transparent electrode 2 is formed on the 1st transparent glass substrate 1, and it is thick on this and are continuous to it. The homogeneous amorphous silicon (henceforth a-Si) photoconductive layer 3 is formed, the laminating of the dielectric mirror 5 as the optical filter layer 4 and optical reflecting layers, such as CdTe, is further carried out on this, an orientation layer 6 is formed in this front face, and it changes. On the other hand, the 2nd transparent glass substrate 7 is prepared, and a transparent electrode 8 and an orientation layer 9 are similarly formed on this. And the side in which the orientation layers 6 and 9 were formed is carried out inside, these 1st and 2nd glass substrates 1 and 7 hold spacing of about several micrometers, and counter, in between [these], liquid crystal is poured in, the liquid crystal layer 10 is formed, and LCLV is constituted.

[0004] This LCLV is made into an optical image observation-side, and the 2nd glass substrate 7 side irradiates the read-out light LR by polarization from this 2nd glass substrate 7 side perpendicularly to this glass substrate 7. At this time, read-out light passes a transparent electrode 7 and the liquid crystal layer 10, it is reflected by the dielectric mirror 5, and it passes the liquid crystal layer 10 and a glass substrate 7 again, is emitted outside, and can observe this. On the other hand, if it writes in from the 1st glass substrate 1 side and Light LW is irradiated, impressing alternating voltage AC between both the transparent electrodes 2 and 8 where this read-out light LR is irradiated, this write-in light LW will penetrate the 1st glass substrate 1 and transparent electrode 2, and will be irradiated by the photoconductive layer 3, a photoconductive layer 3 will be activated in this exposure section, and an electronic-electron hole pair will occur. By this, the electrostatic capacity of a photoconductive layer 3 increases according to the pattern according to the exposure pattern of the write-in light LW, and reinforcement, resistance falls, and the electrical potential difference whose liquid crystal layer is pinched increases. A spatial change of this electrical potential difference turns into change of bearing of a liquid crystal molecule, the above-mentioned read-out light LR which passes a liquid crystal layer is made to cause a birefringence and the rotatory polarization, and bearing (Polarization) of polarization of

the read-out light LR is modulated. Therefore, the read-out light finally emitted from the 2nd glass substrate 7 is observable as quantity of light change by passing a polarizing plate. That is, the optical image according to the pattern, i.e., the optical image, of the write-in light LW is observable from the 2nd glass substrate 7 side.

[0005] In addition, the optical filter layer 4 is arranged between the dielectric mirror 5, i.e., a light reflex layer, and a photoconductive layer 3, and a slight read-out light which has passed this light reflex layer by this is also absorbed by this optical filter layer 4. This read-out light arrives at a photoconductive layer 3, and a photoconductive layer is activated, and it is arranged in order to avoid generating elephants other than a write-in light, i.e., generating of a noise.

[0006] By the way, in order to obtain high sensibility, I want to maximum-ize the electrical potential difference impressed to a liquid crystal layer according to the change in resistance of a photoconductive layer 3 in LCLV mentioned above. This maximum-ization is attained when the impedance of the photoconductive layer 3 equivalent to which light has not been, and the impedance of the liquid crystal layer 10 fulfill the following conditions. That condition is carrying out to an equivalent capacity of a photoconductive layer 3, the same capacity [in / in the impedance by the parallel circuit of a bulk resistor / the liquid crystal layer 10], and the impedance by the parallel circuit of resistance mostly more than an EQC (the relation in which balance can take this condition below is called). And implementation of the relation which can take this balance is specifically supposed that thickness of the photoconductive layer 3 by a-Si is thick-film-ized to about 30 micrometers.

[0007] Thus, when needing the thick film which amounts to 30 micrometers tends to set up the relation which can take balance of the impedance of the photoconductive layer 3 mentioned above and the liquid crystal layer 10, the dielectric constant of the photoconductive layer 3 by the a-Si film is based on it being higher than the dielectric constant of the liquid crystal layer 10. However, if the photoconductive layer by the a-Si layer is used as the thick film which amounts to 30 micrometers in this way, it will write in and will become easy to diffuse the charge which was mentioned above and which was generated in the photoconductive layer to an adjoining field by the incidence of light.

[0008] That is, in an a-Si photoconductive layer, although the photoconductive layer will consider as the configuration which has high resistance in extent which can prevent longitudinal direction diffusion of the charge generated by optical exposure in ideal LCLV, if the thickness also amounts to about 30 micrometers, sufficient high resistance will not be obtained, but it will become easy to produce diffusion of a lateral (the direction of a field) charge, and the fall of contrast spatial as a result and the fall of resolution will be caused.

[0009] In order to avoid such un-arranging, the attempt which adds a dopant in the a-Si layer which constitutes a photoconductive layer, and gathers resistivity was made. Since this has the property to generate n mold dopant by birth, in this film when the a-Si film is formed, it is based on the approach of offsetting this by doping the boron of p mold dopant. However, by this approach, the effectiveness of addition of a dopant is very large, and as a realistic activity, it is very difficult to dope correctly p mold dopant for setting it as the resistivity made into the purpose, since generating of n mold dopant is different for every membrane formation of a-Si, and increase of a manufacturing cost and the fall of the yield are brought about.

[0010] Then, the proposal by the block construction which separates a photoconductive layer completely for every pixel is made (U.S. Pat. No. 5076670). Although this separation is based on pattern etching by the photolithography, as mentioned above, as for carrying out pattern etching of the thick photoconductive layer by which that thickness amounts to 30 micrometers, the patternizing with working hours not only becoming long but clear becomes difficult. Furthermore, although an insulating material will be embedded at Mizouchi between the separated photoconductive layers, the activity whose aspect ratio (the ratio of depth-of-flute d and width of face w, d/w) of this embeds an insulating material in a high slot is difficult, and causes cost quantity, and a problem is in dependability.

[0011] Moreover, as the outline sectional view is shown in drawing 17, on both sides of a photoconductive layer 3, it counters with a transparent electrode 2, and the structure which forms alternatively the conductive layer 11 of the low resistivity in a high reflection factor, and forms an

insulating layer 12 between the adjacent conductive layers 11 is proposed (in drawing 17, the same sign is given to drawing 16 and a corresponding part, and duplication explanation is omitted). In this case, there is effectiveness which reads, reflects light and does not carry out incidence to a photoconductive layer 3 of passing the dielectric mirror 5, without having the effectiveness which promotes recovery of the charge generated in the photoconductive layer 3 by the conductive layer 11, and forming the optical filter layer 4 in drawing 16. However, there was no change in the situation that thick-film-ization of a photoconductive layer 3 is needed in order to reduction-size capacity of a photoconductive layer 3 since the opposed face product of the conductive layer 11 which counters on both sides of a photoconductive layer 3 when based on this structure, and a transparent electrode 2 is size.

[0012] Moreover, although the structure (U.S. Pat. No. 4913531) which separates a part and does not only carry out separation between components completely by the isolation insulating-layer field between the components of a photoconductive layer from a viewpoint which prevents diffusion of the charge between pixels is proposed Although the effectiveness of decreasing some diffusion to the component field where the charge generated in the photoconductive layer by write-in light adjoins is expectable only by this approach, it has come to solve the problem of a fall of superficial resolution completely. Moreover, about the photoconductive layer of a thick film being required, the problem still remains.

[0013]

[Problem(s) to be Solved by the Invention] The mold liquid crystal light valve equipment write-in [optical] proposed previously is shown in drawing 18 in order to aim at solution of many problems mentioned above. As shown in drawing 18, it has the 1st and 2nd respectively transparent substrates 21 and 22, a photoconductive layer 23, the 1st electrode 31 and the 2nd electrode 32 that contacted this photoconductive layer 23, respectively and were formed in it, the optical reflecting layer 24, the liquid crystal layer 27, and the 3rd electrode 33, and is constituted.

[0014] The 2nd electrode 32 consists of division polar-zone 32A divided into two or more polar zone, and each division polar-zone 32A has been arranged almost along the direction of a field of the liquid crystal layer 27, i.e., it consists of contact section 32c with 32f of counterelectrode sections which constitute a counterelectrode with the 3rd electrode 33 on both sides of the liquid crystal layer 27, and the photoconductive layer 23 perpendicularly prolonged from this. Division polar-zone 32A is formed in the shape of [which was formed in the direction which extends perpendicularly] a cross section of T characters from the center the contact section 32c of whose is 32f of counterelectrode sections.

[0015] And in each division polar-zone 32A of the 2nd electrode 32, the touch area of contact section 32c with the photoconductive layer 23 is enough selected from the area of 32f of counterelectrode sections by smallness.

[0016] Moreover, between 32f of counterelectrode sections of the 2nd electrode 32, the part carries out the right pair of the 1st electrode 31, and it is formed.

[0017] And the 2nd electrode 32 can make capacity concerning a photoconductive layer 23 smallness substantially by having separated 32f of the counterelectrode section from the photoconductive layer 23 as much as possible.

[0018] Therefore, thickness of the photoconductive layer 23 which sets up the balance relation of the impedance mentioned above can be thin-film-ized to about 1-2 micrometers which is thickness thin for example, required for absorption of the write-in light LW to this photoconductive layer 23.

[0019] Furthermore, in addition to this, the measures which enlarge seemingly capacity by the side of the liquid crystal layer 27 can also be taken. That is, as shown in drawing 19, the structure which has arranged the 1st electrode 31 and 2nd electrode 32 on 1 principal-plane 23S of the opposite side is taken in the substrate 21 of a photoconductive layer 23.

[0020] In this structure, the capacity by which substantial opposite distance is applied by this to the large next door photoconductive layer 23 serves as smallness from becoming the direction where opposite through the photoconductive layer 23 of the 1st electrode 31 and the 2nd electrode 32 meets in the direction of a field of a photoconductive layer 23 to a photoconductive layer 23 by juxtaposing the 1st electrode 31 and contact section 32c of the 2nd electrode 32.

[0021] By newly carrying out arrangement formation of the 3rd electrode 33 and the 4th electrode 34

made into electric same electric potential between the arrangement side of 32f of counterelectrode sections of the 2nd electrode 32, and a photoconductive layer 23, as furthermore shown in drawing 20. The capacity formed between the 1st electrode 31 formed in the capacity formed on both sides of the usual liquid crystal layer 27 through the layer insulation layer 42 and the 4th electrode 34 can be added, and the capacity concerning the liquid crystal layer 27 can be made to increase substantially.

[0022] Therefore, it becomes possible by making the capacity by the side of the liquid crystal layer 27 increase seemingly to balance completely liquid crystal layer 27 and photoconductive layer 23 both impedance to the photoconductive layer 23 side capacity which increases by making a photoconductive layer 23 thin-film-ize.

[0023] By using an above-mentioned means, it becomes possible to make the electrical potential difference impressed to the liquid crystal layer 27 according to the change in resistance of the photoconductive layer 23 which consists of a-Si by incident light maximum-ize.

[0024] However, in the configuration shown in this drawing 20, also when above-mentioned physical relationship shifts, it is necessary to form, in order to make it these electrodes 32 and the opposed face product between 34 not vary between devices, also when the physical relationship of the 2nd electrode 32 and the 4th electrode 34 shifts as the 2nd electrode 32 surely overlaps to the 4th electrode 34. That is, it is necessary to consider width of face of the 4th electrode 34 as width-of-face + doubling gap required for the width-of-face + capacity formation between the width-of-face = 2nd electrode 32 of the 4th electrode 34.

[0025] Although it will be necessary to expand the width of face of the 1st lower layer electrode 31 on the other hand in order that the 4th electrode 34 may not counter a photoconductive layer 23 directly if it is going to make large width of face of the 4th electrode 34 so that the 2nd electrode 32 may overlap to the 4th electrode 34, a charge generating field becomes small by this, and sensibility falls.

[0026] That is, if overlap is taken so that the doubling gap with the 2nd electrode 32 and the 4th electrode 34 may be permitted completely, it can be said that the problem to which the sensibility of a LCLV device falls is generated.

[0027] However, when the width of face for doubling gap with the 4th above-mentioned electrode 34 cannot be taken enough conversely, dispersion in the capacity between two electrodes 32 and 34 is produced, the yield of a product is lowered or problems, like image quality varies are produced.

[0028] So that-izing of the electrical potential difference impressed to a liquid crystal layer even if it aims at solution of many problems mentioned above in this invention and thin-film-izes a photoconductive layer to about 1-2 micrometers can be carried out [maximum] While dispersion stabilizes a joint capacity of a pixel electrode and an auxiliary electrode required in order to balance the capacity by the side of a photoconductive layer and a liquid crystal layer few The mold liquid crystal light valve equipment write-in [optical] which enabled it to improve productivity, such as reduction of the difficulty of a manufacture process and a manufacturing cost, is offered realizing high sensibility and high resolution.

[0029]

[Means for Solving the Problem] The mold liquid crystal light valve equipment of this invention write-in / optical The 1st and 2nd transparence substrates, a photoconductive layer, and the 1st electrode arranged in contact with a photoconductive layer, The 2nd electrode which was formed in the same this 1st electrode and a photoconductive layer side, and was insulated with the 1st electrode, Have an optical reflecting layer, a liquid crystal layer, and the 3rd electrode at least, and the 2nd electrode consists of the division polar zone divided into two or more polar zone. The 1st electrode and the 4th insulated electrode are formed between this 2nd electrode and 1st electrode. Furthermore, the 4th electrode and the 5th electrode which constitutes capacity are formed between the 2nd electrode and the 4th electrode, and the 1st electrode, 4th electrode, and 5th electrode are arranged in the location where the part counters between the division polar zone of the 2nd electrode at least.

[0030] According to the configuration of above-mentioned this invention, even if it doubles in the 4th electrode and 5th electrode and produces gap by arranging the 4th electrode and the 5th electrode which constitutes capacity between the 2nd electrode and the 4th electrode, the opposed face product of these

4th electrodes and the 5th electrode can be secured, and each stable interelectrode capacity can be secured.

[0031]

[Embodiment of the Invention] The 1st electrode with which this invention has been arranged in contact with the 1st and 2nd transparence substrates, a photoconductive layer, and a photoconductive layer, The 2nd electrode which was formed in the same the 1st electrode and a photoconductive layer side, and was insulated with the 1st electrode, Have an optical reflecting layer, a liquid crystal layer, and the 3rd electrode at least, and the 2nd electrode consists of the division polar zone divided into two or more polar zone. The 1st electrode and the 4th insulated electrode are formed between the 2nd electrode and the 1st electrode. The 4th electrode and the 5th electrode which constitutes capacity are formed between the 2nd electrode and the 4th electrode, and the 1st electrode, 4th electrode, and 5th electrode are mold liquid crystal light valve equipment write-in [optical] arranged in the location where the part counters between the division polar zone of the 2nd electrode at least.

[0032] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the width of face of the 5th electrode considers this invention as the configuration made into width of face larger than the width of face of the direction of a shorter side of the 4th electrode.

[0033] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the width of face of the 5th electrode considers this invention as the configuration made into width of face narrower than the width of face of the direction of a shorter side of the 4th electrode.

[0034] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the 5th electrode considers this invention as the configuration made into the width of face of abbreviation identitas in self align with the width of face of the 4th electrode.

[0035] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the 5th electrode considers this invention as the configuration of the 4th electrode formed so that a part of flank and upper part might be countered at least.

[0036] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the contact section of the 5th electrode and the 2nd electrode considers this invention as the configuration formed of the same contact section as the contact section of the 2nd electrode and a photoconductive layer.

[0037] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the 2nd electrode and photoconductive layer consider this invention as the configuration connected through the buffer layer of the same ingredient as the 1st electrode, and thickness.

[0038] Drawing 1 shows the outline sectional view of the important section of the gestalt of 1 operation of the mold liquid crystal light valve equipment of this invention write-in [optical]. Moreover, drawing 2 shows the outline top view of the pixel field of the mold liquid crystal light valve equipment of drawing 1 write-in [optical].

[0039] Also in the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical], the 1st transparence substrate 51 and the 2nd transparence substrate 52 which consist of a glass substrate, for example are prepared. The transparence in the 1st transparence substrate 51 and the 2nd transparence substrate 52 is that transparence, i.e., high permeability, is shown to the write-in light LW about the 1st transparence substrate 51, and it cannot be overemphasized that transparence, i.e., high permeability, is shown to the read-out light LR about the 2nd transparence substrate 52.

[0040] A photoconductive layer 53 is formed in one principal plane of the 1st transparence substrate 51. On this And the 1st electrode 61, For example, the 2nd electrode 62 which division polar-zone 62A divided into two or more polar zone for every pixel is arranged, and changes is formed. After carrying out flattening of the front face by the chemical mechanical grinding method, further, on it, the reflecting layer 54 by the dielectric mirror configuration is formed, and the orientation layer 55 by which the orientation of liquid crystal is made on the front face is formed.

[0041] Moreover, the 3rd electrode 63 includes one principal plane of the 2nd transparence substrate 52 throughout the liquid crystal layer 57, and is extensively formed in it, and the orientation layer 56 by which the orientation of liquid crystal is made similarly is formed in the front face.

[0042] And each orientation layer [of the 1st transparence substrate 51 and the 2nd transparence substrate 52] 55 and 56 side is made to counter mutually, spacing between both is held at predetermined spacing by mediation of a glass bead (not shown), a perimeter is closed, flat space is formed between both the transparence substrate 51 and 52, liquid crystal is poured in here and the liquid crystal layer 57 is formed.

[0043] a photoconductive layer 53 -- the 1st transparence substrate 51 top -- all-out -- for example, an a-Si layer -- sputtering or CVD (chemical vapor growth) -- it forms by forming membranes by law etc.

[0044] The 1st electrode 61 forms metal layers, such as Cr, W, and aluminum, by vacuum evaporation, sputtering, etc. on a photoconductive layer 53, and forms them for example, in the grid-like pattern which drilled two or more openings with necessary spacing by the photolithography.

[0045] Like the configuration shown in drawing 19 and drawing 20 , by forming this 1st electrode 61 on the photoconductive layer 53, the diffusion to the contiguity pixel field of the carrier generated in the photoconductive layer 53 by the incidence of the write-in light LW can be prevented, and the fall of the contrast between pixels can be prevented.

[0046] And the 2nd electrode 62 is formed on a photoconductive layer 53. The 2nd electrode 62 is formed with the metal which has protection-from-light nature to a write-in light and read-out light, such as aluminum, Cr, and W.

[0047] Division polar-zone 62A of the 2nd electrode 62 has contact section 62c as a part of the direction of a laminating of each class, i.e., the perpendicular direction in drawing, has 62f of counterelectrode sections as a part of the direction of the principal plane of each class, i.e., the drawing Nakamizu common direction, and is constituted. The end of contact section 62c is connected to the photoconductive layer 53.

[0048] Between division polar-zone 62A of the 2nd electrode 62, between the 2nd electrode 62 and a photoconductive layer 53, the layer insulation layers 58, such as SiO₂ and SiN, are formed, and the 1st electrode 61 and 2nd electrode 62 are insulated by this layer insulation layer 58.

[0049] And the optical reflecting layer 54 is extensively formed on the 2nd electrode 62. The so-called dielectric mirror by the usual multilayer structure can constitute this optical reflecting layer 54, and it can also depend the orientation layer 55 formed on this on the usual configuration.

[0050] Moreover, the 3rd electrode 63 formed in one principal plane of the 2nd transparence substrate 52 is formed of transparent electrode layers, such as ITO (indium stannic acid ghost), like usual, and can also depend the orientation layer 56 formed on this on the usual configuration.

[0051] Furthermore, like the configuration shown in drawing 20 , the 3rd electrode 63 and the 4th electrode 64 of same electric potential counter with the 2nd electrode 62, and arrangement formation is carried out. This 4th electrode 64 is insulated in the 1st electrode 61 and 2nd electrode 62 by the layer insulation layer 58. Moreover, the 4th electrode 64 is formed in width of face larger than the 1st electrode 61.

[0052] Especially in the gestalt of this operation, the 4th electrode 64 is countered and arrangement formation of the 5th electrode 65 which forms opposite capacity with the 4th electrode 64 is carried out at the 2nd electrode 62 side. This 5th electrode 65 is formed in larger width of face than the width of face of the 4th electrode 64, i.e., the width of face of the direction of a shorter side of the 4th electrode 64 used as the grid-like pattern from drawing 2 . Moreover, the 5th electrode 65 counters 62f of counterelectrode sections of division polar-zone 62A of the 2nd two electrode 62, and between them, among those is connected to 62f of one counterelectrode sections through contact 66. That is, the 5th electrode 65 is arranged and connected one [at a time] to each division polar-zone 62A.

[0053] And as shown in drawing 2 , between them [division polar-zone 62A (62f of counterelectrode sections) and between them] corresponding to two pixels which adjoin the lengthwise direction in drawing superficially, the 5th electrode 65 counters and is formed. Moreover, in this case, the pattern of the 5th electrode 65 is not continuously formed like the pattern of the 1st electrode 61 or the 4th electrode 64, but is formed in the divided pattern.

[0054] Furthermore, it considers as the width of face which widened width of face of the 5th electrode 65 more than the alignment gap part of these electrodes 64 and 65 to the width of face of the 4th

electrode 64 preferably. Thereby, even if there is an alignment gap, the 4th electrode 64 comes to counter the 5th electrode 65 covering full. Therefore, the capacity of the 2nd electrode 62 and the 4th electrode 64 which are formed with the 4th electrode 64 and 5th electrode 65 can be stabilized.

[0055] It considers as the width of face which similarly was wide by the alignment gap and carried out width of face of the 4th electrode 64 to the width of face of the 1st electrode 61 preferably.

[0056] Formation of the 4th electrode 64 and the 5th electrode 65 can form ingredients, such as a metal which constitutes an electrode extensively on the layer insulation layer 58, respectively, and can be performed by making this into a desired pattern by resist patterning and etching.

[0057] Moreover, in the gestalt of this operation, formation of the 2nd electrode 62 is performed as follows. After forming a metal etc. after carrying out flattening of the front face of the layer insulation layer 58 so that opening of the contact hole to a photoconductive layer 53 and the contact hole to the 5th electrode 65 may be carried out to coincidence and these contact holes may be filled for example, resist patterning and etching are performed and the 2nd electrode 62 is formed.

[0058] By according to the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical], making the 4th electrode 64 and the 5th electrode 65 which forms capacity counter the 4th electrode 64, and carrying out arrangement formation It can control that the opposed face product which constitutes capacity by doubling gap of two electrodes changes a lot as compared with the case where capacity is formed by the opposite section of division polar-zone 62A of the 2nd electrode, and the 4th electrode 64 as shown in drawing 20 , and variation arises in capacity for every component.

[0059] Furthermore, by making width of face of the 5th electrode 65 into width of face larger than the width of face of the direction of a shorter side of the 4th electrode 64, even if there is doubling gap, as an opposed face product does not change, the variation in capacity can be reduced.

[0060] With the gestalt of above-mentioned operation, although it was the configuration which formed the 5th electrode 65 in larger width of face than the width of face of the 4th electrode 64, it can consider as the configuration formed in width of face smaller than the width of face of the 4th electrode 64. That case is shown below.

[0061] The outline sectional view of the important section of the gestalt of other operations of the mold liquid crystal light valve equipment of this invention write-in [optical] is shown in drawing 3 . The 5th electrode 65 is formed in width of face smaller than the width of face (width of face of the direction of a shorter side) of the 4th electrode 64 with the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical]. Moreover, the 1st electrode 61 is formed in larger width of face than the width of face of the 4th electrode 64. That is, the width of face of an electrode is constituted so that it may become the width of face of the width-of-face > 5th electrode 65 of the width-of-face > 4th electrode 64 of the 1st electrode 61.

[0062] Furthermore, the width of face of each electrodes 61, 64, and 65 is set up so that it may have a difference more than the alignment gap part between each electrodes 61 and 64, and 64 and 65 preferably. That is, with the gestalt of this operation, that width of face decreases conversely differ greatly to increasing the part which expected alignment gap, and its width of face as the gestalt of previous operation faces to the 5th electrode 65 from the 1st electrode 61.

[0063] In addition, in drawing 3 , the same sign is given to other drawing 1 and a corresponding part, and duplication explanation is omitted.

[0064] Also in the gestalt of this operation, it has the effectiveness of making the capacity by the side of the liquid crystal layer 57 increasing by forming the 4th electrode 64 like the gestalt of previous operation, and the effectiveness that change of the opposed face product of these two electrodes 64 and 65 decreases, and the variation in capacity is controlled by forming the 5th electrode 65 by the doubling gap between the 4th electrode 64 and the 5th electrode 65.

[0065] And even if it doubles between the 4th electrode 64 and the 5th electrode 65 and there is gap as mentioned above by forming the width of face of the 5th electrode 65 narrowly more than the doubling gap part of these electrodes 64 and 65 rather than the width of face of the 4th electrode 64, it will surely counter with the 4th electrode 64 at full [of the 5th electrode 65]. therefore, Sae Haba of the 5th

electrode 65 -- if it controls correctly -- inter-electrode capacity variation -- in addition -- being alike -- it was the key factor of variation with a big capacity conventionally only according to the variation in the thickness of the inter-electrode layer insulation layer 58, and the factor of gap can be eliminated.

[0066] In addition, the capacity formed with the 4th electrode 64 and 5th electrode 65 is prescribed by the 5th electrode 65 with the gestalt of this operation to being prescribed by the 4th electrode 64 with the gestalt of previous operation.

[0067] And the outline sectional view of drawing 4 - drawing 5 explains the production process of the mold liquid crystal light valve equipment of drawing 3 write-in [optical]. This production process shows a suitable production process, in order to eliminate the variation in the capacity by doubling gap of three above-mentioned electrodes 61, 64, and 65.

[0068] First, as shown in drawing 4 A, continuation formation of the 1st electrode 61, the insulator layer 58 of the upper layer, the 4th electrode 64, the insulator layer 58 of the upper layer, and the 5th electrode 65 is carried out on the photoconductive layer 53 formed on the 1st transperence substrate 51 which consists of glass etc., and patterning and etching by the resist 59 are performed to the 5th electrode 65. The resist 59 on the 5th electrode 65 is removed after this.

[0069] Next, as shown in drawing 4 B, the 5th patternized electrode 65 is covered, a resist 59 is formed, and patterning corresponding to the pattern of a request of the 4th electrode 64 is performed to this resist 59. At this time, even if the pattern of the resist 59 of the 4th electrode 64 has the alignment gap in the case of patterning, it is formed on the 5th electrode 65 more widely (more than a pattern gap part) than Haba of the 5th electrode 65 so that the 5th electrode 65 may be covered with a resist 59.

[0070] And as shown in drawing 4 C, the 4th electrode 64 and the insulator layer 58 on it are etched with this resist mask 59. A resist 59 is removed after this.

[0071] Next, as shown in drawing 5 D, the 4th electrode 64 and 5th electrode 65 which were patternized are covered, a resist 59 is formed, and patterning corresponding to the pattern of a request of the 1st electrode 61 is performed to this resist 59. At this time, even if the pattern of the resist 59 of the 1st electrode 61 has the alignment gap in the case of patterning, it is formed on the 4th electrode 64 more widely (more than a pattern gap part) than Haba of the 4th electrode 64 so that the 4th electrode 64 may be covered with a resist 59.

[0072] And as shown in drawing 5 E, the 1st electrode 61 and the insulator layer 58 on it are etched with this resist mask 59. A resist 59 is removed after this. The electrodes 61, 64, and 65 which are three as which width of face was specified as mentioned above by this are formed.

[0073] After a next process covers three electrodes 61, 64, and 65, forms the layer insulation layer 58 and performs flattening of that front face, as opening of the contact hole to a photoconductive layer 53 and the contact hole to the 5th electrode 65 is carried out to the layer insulation layer 58 at coincidence and it is shown in drawing 5 F, it forms a metal etc. and forms the 2nd electrode 62 so that these contact holes may be filled.

[0074] The mold liquid crystal light valve equipment write-in [optical] shown in drawing 3 can be manufactured like the conventional production process after that.

[0075] Next, the outline sectional view of the important section of the gestalt of the operation of further others of the mold liquid crystal light valve equipment of this invention write-in [optical] is shown in drawing 6 . Moreover, drawing 7 shows the outline top view of the pixel field of the mold liquid crystal light valve equipment of drawing 6 write-in [optical]. With the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical], it is the configuration which formed the 5th electrode 65 and 4th electrode 64 in the width of face of abbreviation identitas in self align.

[0076] In addition, the 1st electrode 61 is formed in width of face larger than these 4th electrodes 64 and the 5th electrode 65. Since other configurations are the same as that of the gestalt of operation shown in the gestalt and drawing 3 of operation which were shown in drawing 1 , they attach the same sign and omit duplication explanation.

[0077] Since according to the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical] the 5th electrode 65 and 4th electrode 64 are formed in the width of face of abbreviation identitas in self align, and these electrodes 64 and 65 counter covering full [both] and

become fixed [an opposed face product], the capacity between two electrodes becomes fixed.

[0078] Next, the outline sectional view of drawing 8 - drawing 11 explains the production process of the mold liquid crystal light valve equipment write-in [optical] shown in this drawing 6 and drawing 7 . This production process shows a suitable production process, in order to make two above-mentioned electrodes 64 and 65 into abbreviation same width of face in self align and to make capacity regularity. Drawing 8 - drawing 11 show the sectional view (drawing 8 A - drawing 11 A) in X-X' in the top view of drawing 7 , and the sectional view (drawing 8 B - drawing 11 B) in Y-Y' in each drawing, respectively.

[0079] As shown in drawing 8 A and drawing 8 B, continuation formation of the 1st electrode 61, the insulator layer 58 of the upper layer, the 4th electrode 64, the insulator layer 58 of the upper layer, and the 5th electrode 65 is carried out on the photoconductive layer 53 formed on the 1st transparence substrate 51 which consists of glass etc., and patterning and etching by the resist 59 are performed to the 5th electrode 65. At this time, as shown in drawing 8 B, in the direction of Y-Y', the 4th electrode 64 and 5th electrode are etched with the same resist mask 59, and it forms in the width of face of abbreviation identitas in self align.

[0080] Next, in the direction of X-X', as shown in drawing 9 A, in order to make the 5th electrode 65 into predetermined die length, patterning and etching by the resist 59 are performed. At this time, the pattern by the resist 59 is made larger than Haba of the 5th electrode 65 and the 4th electrode 64 in the direction of Y-Y' shown in drawing 9 B.

[0081] Then, the resist 59 on the 5th electrode 65 is once removed. And as shown in drawing 10 A and drawing 10 B, a front face is covered, a resist 59 is formed and the 1st electrode 61 which etched with the resist mask 59 which has the width of face of the 1st electrode 61, and was specified to predetermined width of face is formed in the direction of Y-Y' shown in drawing 10 B.

[0082] In addition, as a next process, as shown in drawing 11 A and drawing 11 B After forming the layer insulation layer 58 extensively and performing flattening of the front face of this layer insulation layer 58, Opening of the contact hole to a photoconductive layer 53 and the contact hole to the 5th electrode 65 is carried out to coincidence, these contact holes are covered, the ingredient of the 2nd electrode 62 is formed, flattening of the front face is carried out, and the 2nd electrode 62 is formed.

[0083] The mold liquid crystal light valve equipment write-in [optical] shown in drawing 3 can be manufactured like the conventional production process after that.

[0084] If the processing pattern of the 4th electrode 64 and the 5th electrode 65 which were shown in drawing 8 B which specifies the width of face of the 4th electrode 64 and the 5th electrode 65, and the processing pattern of the 5th electrode 65 shown in drawing 9 A which specifies the die length of the 5th electrode 65 are correctly controlled by the above-mentioned production process, the opposed face product of two electrodes 64 and 65 can be made regularity. Since the factor of the doubling gap which occupied the key factor of the variation in capacity conventionally can be eliminated by this and it becomes only the variation in the thickness of two electrodes 64 and the insulator layer 58 between 65, the variation in capacity can be reduced sharply.

[0085] Next, the outline sectional view of the important section of the gestalt of another operation of the mold liquid crystal light valve equipment of this invention write-in [optical] is shown in drawing 12 . It is the configuration which formed the 5th electrode 65 with the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical] so that the 4th upper part and flank of an electrode might be covered.

[0086] The 1st electrode 61 is formed in width of face larger than the 5th electrode 65 in the gestalt of this operation. Since other configurations are the same as that of the gestalt of operation shown in drawing 3 , they attach the same sign and omit duplication explanation.

[0087] According to the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical], the 5th electrode 65 has countered the upper part of the 4th electrode 64, and a part of flank by the 5th electrode's 65 covering the 4th flank and upper part of an electrode 64, and forming it.

[0088] Thereby, even if there is makeshift gap with the 5th electrode 65 and the 4th electrode 64, the opposed face product of two electrodes 64 and 65 does not change. Therefore, the problem on which

capacity is changed by doubling gap with the 5th electrode 65 and the 4th electrode 64 is not produced. [0089] In the gestalt of this operation, formation of the 5th electrode 65 is performed as follows, for example. First, the ingredient of the 4th electrode 64 is extensively formed on an insulator layer 58, resist patterning and etching are performed to a predetermined pattern, and the 4th electrode 64 is formed. This 4th electrode 64 is covered, a thin insulator layer is formed, and the ingredient of the all-out 5th electrode 65 is formed on this thin insulator layer. At this time, it is formed so that near the 4th electrode 64 top may become high. And resist patterning and etching can be performed to a predetermined pattern, and the 5th electrode 65 which covered the 4th flank and upper part of an electrode can be formed.

[0090] Next, the outline sectional view of the important section of the gestalt of still more nearly another operation of the mold liquid crystal light valve equipment of this invention write-in [optical] is shown in drawing 13 . It is the configuration formed by the same contact section 67 combining the contact section of the 5th electrode 65 and the 2nd electrode 62, and and [a photoconductive layer 53, / 2nd / 62], and the contact section with the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical] .

[0091] In addition, in the gestalt of this operation, like the gestalt of operation shown in drawing 1 , the relation of Haba of the 1st electrode 61, the 4th electrode 64, and the 5th electrode 65 is formed so that the more nearly upper electrode may serve as large Haba. Since other configurations are the same as that of the gestalt of operation shown in drawing 1 , they attach the same sign and omit duplication explanation.

[0092] According to the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical] , since it was made to make it serve a double purpose in the contact section 67 same in this way, the contact section becomes one place and area which the contact section occupies as compared with the case where the contact section is prepared in two separate places can be lessened.

[0093] Since it is necessary to secure the area which the two contact sections occupy, and to take the distance between the two contact sections when the contact section is prepared in two separate places, when it is going to reduce pixel size towards high-definition-izing, preparing the two contact sections is restrained. That is, by making it serve a double purpose in the same contact section 67, it is wide opened from this constraint and has the advantage to which contraction of pixel size becomes easy.

[0094] Moreover, the gestalt which transformed the configuration of drawing 13 into drawing 14 is shown. In the case of this drawing 14 , the configuration which formed the 5th electrode 65 of a wrap for the flank and the upper part of the 4th electrode 64 which were shown in drawing 12 is applied to the configuration which makes the contact shown in drawing 13 serve a double purpose, and it has the same effectiveness as the configuration of above-mentioned drawing 13 .

[0095] In addition, in case width of face (width of face of the direction of a shorter side) of the 1st electrode 61 is made narrower than Haba of the 5th electrode 65 and opening of the contact hole is carried out, it is made not to hit the 1st electrode 61 in the configuration shown in the configuration shown in drawing 13 , and drawing 14 , in order to make it the contact section 67 and the 1st electrode 61 not short-circuit.

[0096] In the configuration shown in the configuration shown in drawing 13 , and drawing 14 , in case formation of the above-mentioned contact section 67 carries out opening of the contact hole to the layer insulation layer 58, opening of it is carried out beside the 5th electrode 65. Moreover, opening of the contact hole is carried out also to the part on the 5th electrode 65. And the ingredient of the 2nd electrode 62 is formed so that a contact hole may be filled, and the 2nd electrode 62 and contact section 67 which processed surface flattening etc. and consisted of division polar-zone 62A are formed. Thereby, the contact section 67 is connected also to the part on the 5th electrode 65, and contact to the 2nd electrode 62 and the 5th electrode 65 can be taken certainly.

[0097] Next, the outline sectional view of the important section of the gestalt of operation of others of the mold liquid crystal light valve equipment of this invention write-in [optical] is shown in drawing 15 . It is the configuration of it having not been direct and having connected the end of contact section 62c of division polar-zone 62A of the 2nd electrode 62 to the photoconductive layer 53 through the

buffer film 60 with the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical]. This buffer film 60 is formed in the same thickness with the same ingredient as the 1st electrode 61.

[0098] In case the buffer film 60 carries out pattern etching of the layer of the ingredient of the 1st electrode 61, it can perform patterning of a resist so that the pattern of the buffer film 60 may also remain besides the pattern of the 1st electrode 61, and can form it by etching using this resist mask.

[0099] Since other configurations are the same as that of the gestalt of operation shown in drawing 1 , they attach the same sign and omit duplication explanation.

[0100] When carrying out opening of the contact hole for taking contact for the 2nd electrode 62 to a photoconductive layer 53 and a photoconductive layer 53 is put to direct etching, it may become the cause by which the front face of a photoconductive layer 53 is ruined, and a contact property becomes unstable.

[0101] Then, since a photoconductive layer 53 and the 2nd electrode 62 were connected through the buffer film 60 as mentioned above and the buffer film 60 currently formed beforehand is etched with the gestalt of this operation in case opening of the contact hole is carried out, the contact property protected and stabilized [that the front face of a photoconductive layer 53 is put to etching, and a surface state gets worse and] can be acquired.

[0102] If still more nearly required, it is possible to select each ingredient so that the buffer film 60 of the same ingredient as the 1st electrode 61 and the 2nd electrode 62 may be connected with metal-metal contact of congener etc., and the contact stabilized very easily can be obtained in this case compared with the case where a photoconductive layer 53 and the 2nd electrode 62 are contacted directly.

[0103] This buffer film 60 can be applied also to the configuration shown in a gestalt, and drawing 19 and drawing 20 of each operation shown in drawing 1 , drawing 3 , drawing 6 and drawing 12 - drawing 14 , and can acquire the contact property stabilized similarly.

[0104] The mold liquid crystal light valve equipment of this invention write-in [optical] is not limited to the gestalt of above-mentioned operation, and, in addition to this, various configurations can take it in the range which does not deviate from the summary of this invention.

[0105]

[Effect of the Invention] Since according to the mold liquid crystal light valve equipment write-in [optical] by above-mentioned this invention fluctuation of an inter-electrode capacity by doubling gap of an electrode is lost and the capacity balance of a liquid crystal layer and a photoconductive layer is kept stable, dispersion in the property as the threshold, i.e., the liquid crystal light valve equipment, of liquid crystal is decreased, and the yield in manufacture is improved sharply.

[0106] Furthermore, since it becomes unnecessary to take widely in order to control the effect of the doubling gap by the 1st electrode on a photoconductive layer, improvement in sensibility can be aimed at.

[0107] moreover, when width of face of the 5th electrode is made into the same Haba in self align with width of face narrower than the direction of a shorter side of the 4th electrode, width of face larger than the direction of a shorter side of the 4th electrode, or the 4th electrode Since one electrode of the 4th electrode and the 5th electrode can be made to counter with the electrode of another side covering full, respectively, even if it produces doubling gap, it becomes impossible for an opposed face product to change, and, thereby, dispersion in capacity can be controlled.

[0108] Moreover, when the same contact section constitutes the contact section of the 5th electrode and the 2nd electrode, and the contact section of the 2nd electrode and a photoconductive layer, it becomes easy to be able to reduce the area which the contact section occupies, to reduce pixel size, and to attain high definition-ization.

[0109] Moreover, when the 2nd electrode and photoconductive layer consider as the configuration connected through the buffer layer of the same ingredient as the 1st electrode, and thickness, in case opening of the contact hole is carried out, the contact property protected and stabilized [that the front face of a photoconductive layer is put to etching, and a surface state gets worse and] can be acquired.

[Translation done.]

*** NOTICES ***

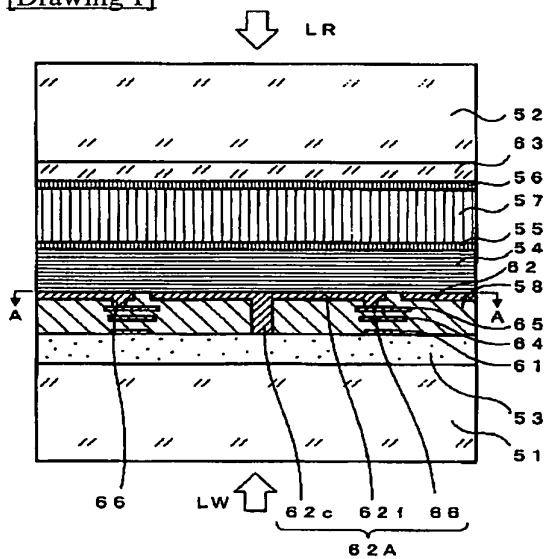
JPO and INPIT are not responsible for any damages caused by the use of this translation.

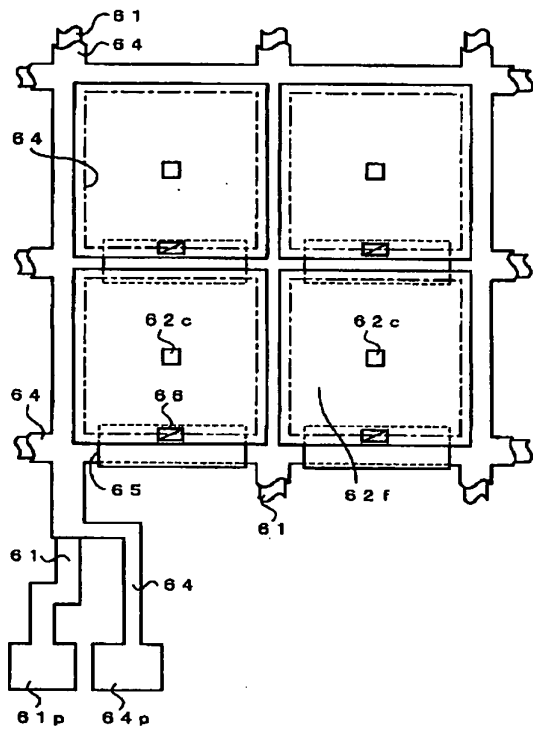
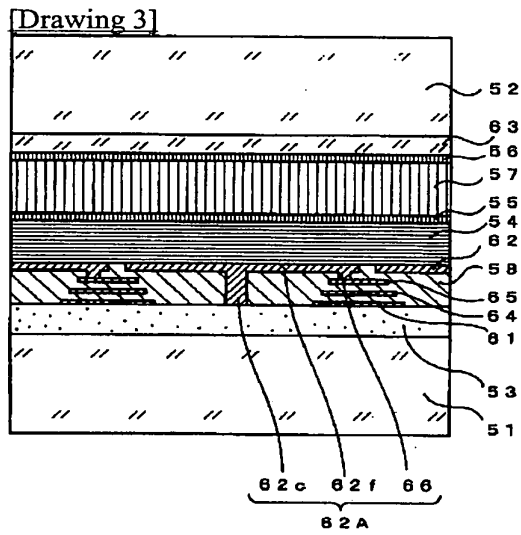
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

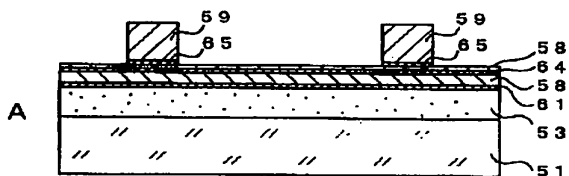
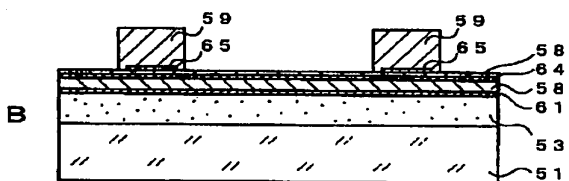
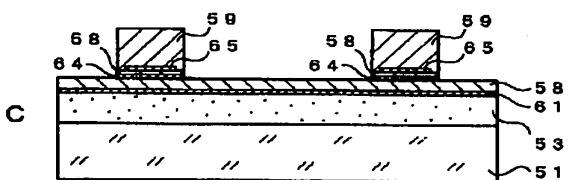
3. In the drawings, any words are not translated.

DRAWINGS

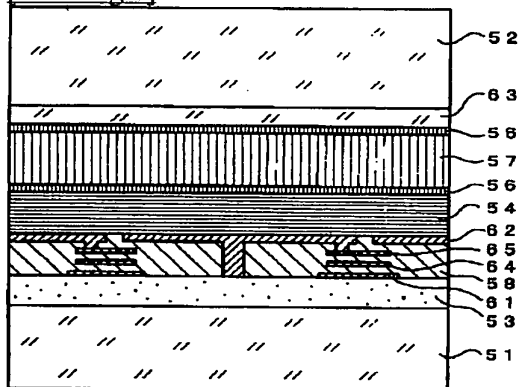
[Drawing 1][Drawing 2]



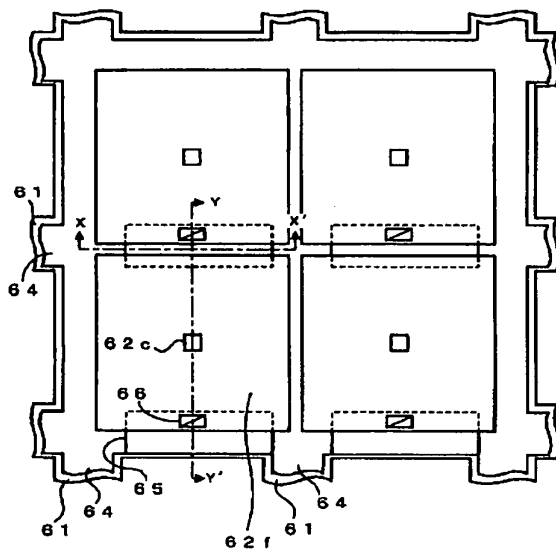
[Drawing 4]



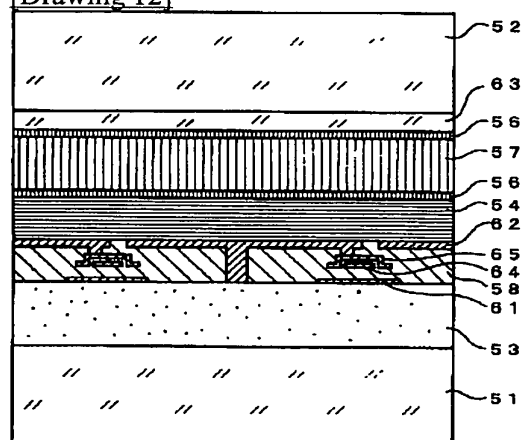
[Drawing 6]



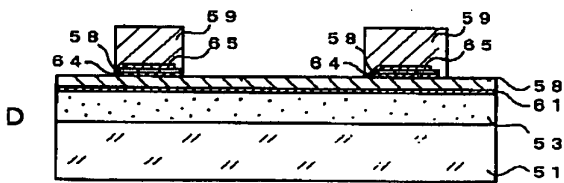
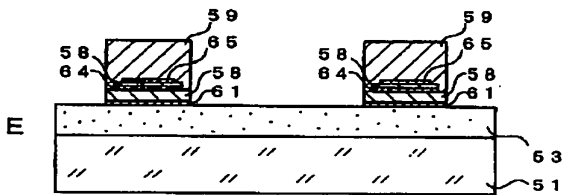
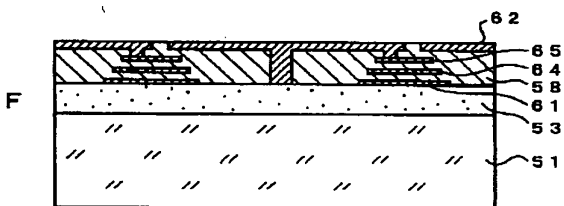
[Drawing 7]



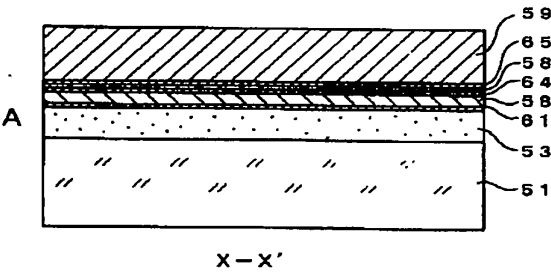
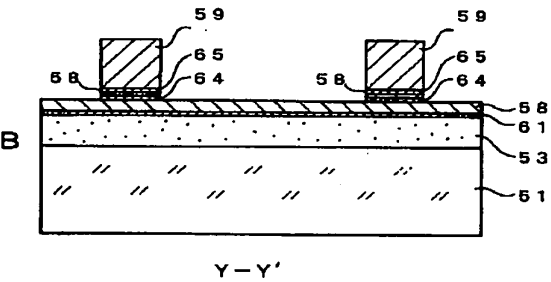
[Drawing 12]



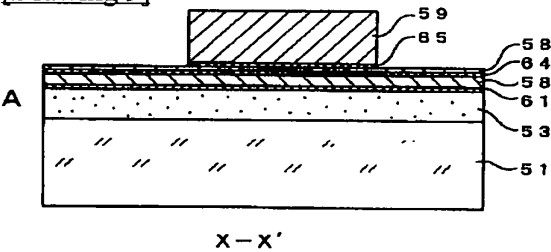
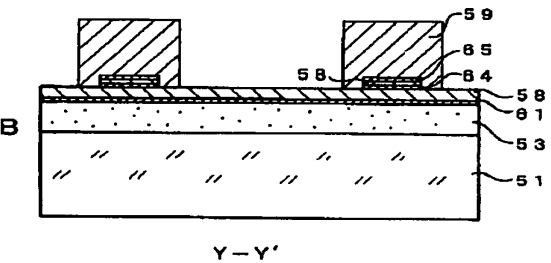
[Drawing 5]



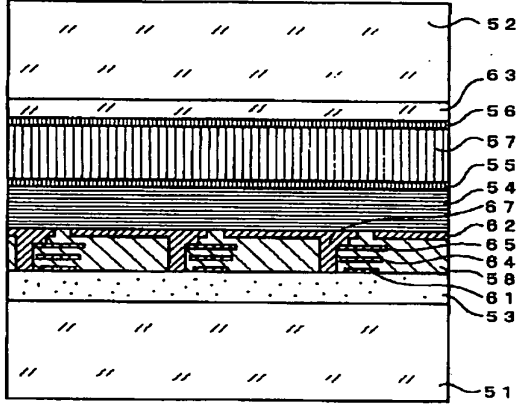
[Drawing 8]



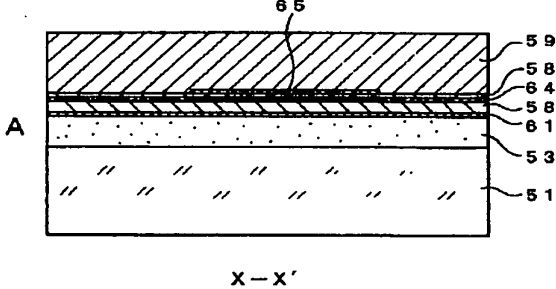
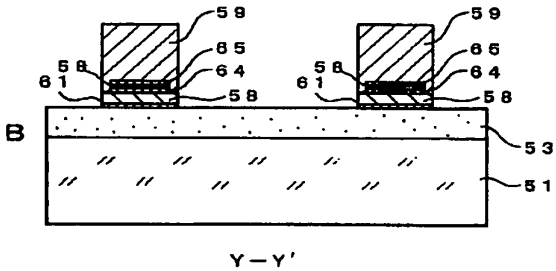
[Drawing 9]



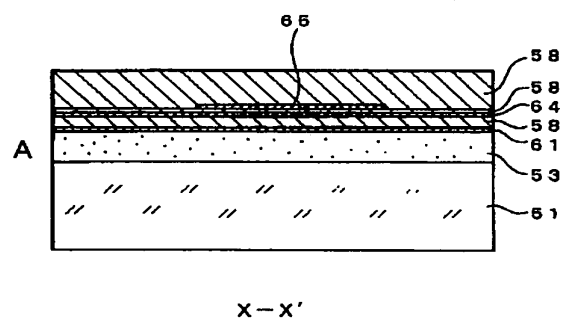
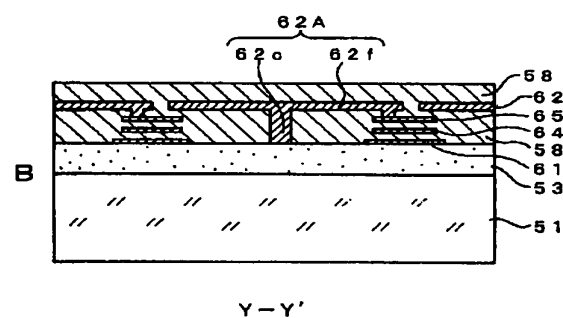
[Drawing 13]



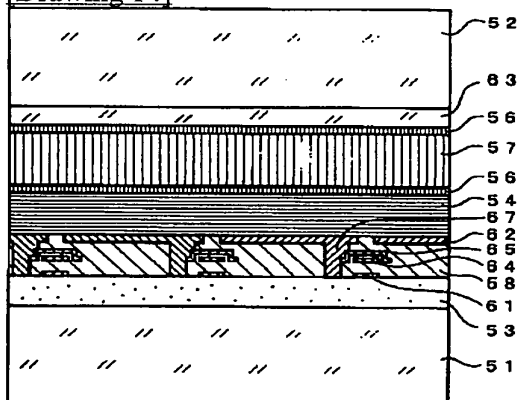
[Drawing 10]



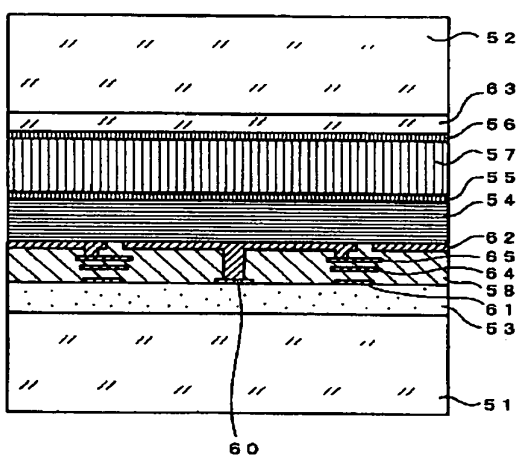
[Drawing 11]



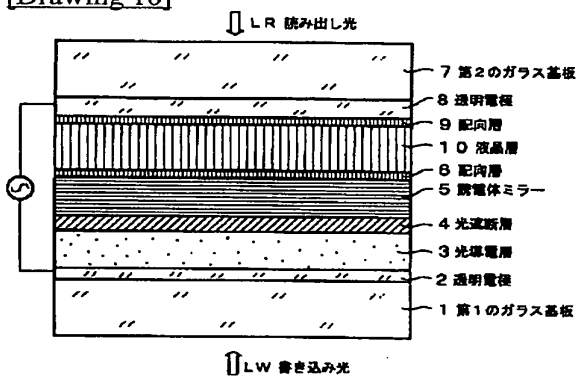
[Drawing 14]



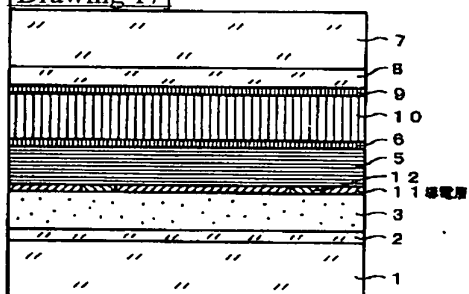
[Drawing 15]



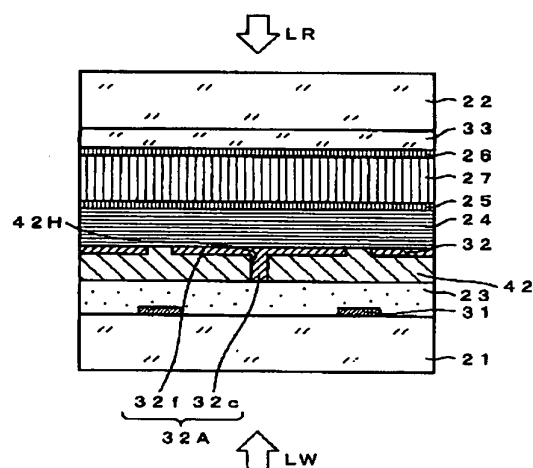
[Drawing 16]



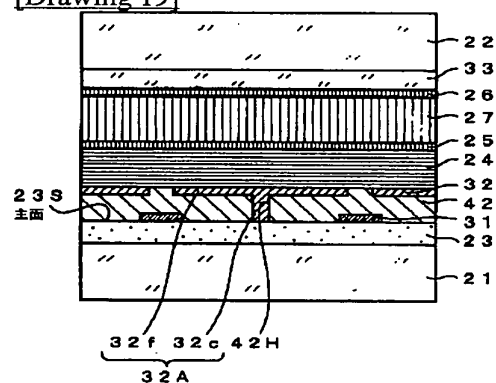
[Drawing 17]



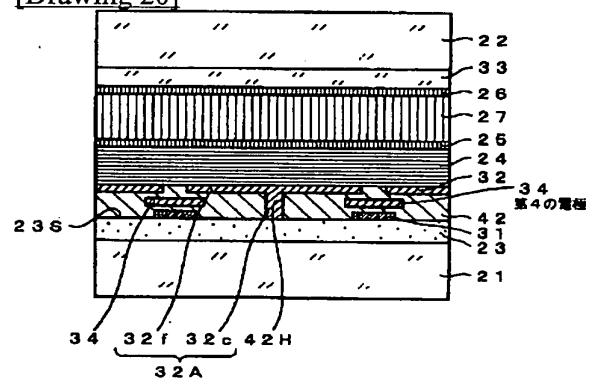
[Drawing 18]



[Drawing 19]



[Drawing 20]



[Translation done.]

(11)特許出願公開番号
特開2000-137241
(P2000-137241A)

(43)公開日 平成12年5月16日(2000.5.16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 2 F 1/135		C 0 2 F 1/135	2 H 0 9 2
G 0 9 F 9/35	3 0 5	C 0 9 F 9/35	3 0 5 5 C 0 9 4

審査請求 未請求 請求項の数 8 OL (全 15 頁)

(21)出願番号	特願平10-310935	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成10年10月30日(1998. 10. 30)	(72)発明者	中嶋 英晴 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	100080883 弁理士 松隈 秀盛

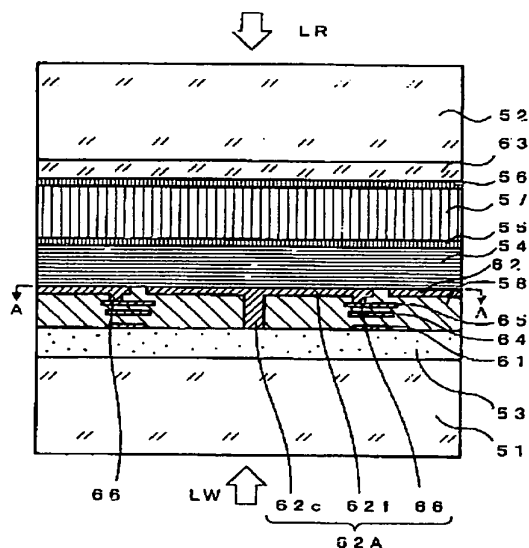
[最終頁に続く](#)

(54) 【発明の名称】 光書き込み型液晶ライトバルブ装置

(57)【要約】 (修正有)

【課題】 画素電極と補助電極の結合容量を、安定化させると共に、高い感度と高い解像度を実現しながら、生産性を改善できるようにした光書き込み型液晶ライトバルブ装置を提供する。

【解決手段】 透明基板５１、５２と、光導電層５３と、これに接して配置された電極６１と、電極６１と絶縁された電極６２と、光学反射層５４と、液晶層５７と、電極６３とを有し、電極６２と電極６１との間に電極６４が形成され、さらに電極６２と電極６４との間に電極６５が形成され、電極６１および電極６４および電極６５は、電極６２の分割電極部間に対向する位置に配置された光書き込み型液晶ライトバルブ装置を構成する。



【特許請求の範囲】

【請求項1】 第1および第2の透明基板と、
光導電層と、
上記光導電層に接して配置された第1の電極と、
上記第1の電極と上記光導電層の同一側に形成され、上記第1の電極と絶縁された第2の電極と、
光学反射層と、
液晶層と、
第3の電極とを少なくとも有し、
上記第2の電極は、複数の電極部に分割された分割電極部より成り、
上記第2の電極と上記第1の電極との間に、上記第1の電極と絶縁された第4の電極が形成され、
上記第2の電極と上記第4の電極との間に、上記第4の電極と容量を構成する第5の電極が形成され、
上記第1の電極および第4の電極および第5の電極は、少なくともその一部が、上記第2の電極の上記分割電極部間に対向する位置に配置されたことを特徴とする光書き込み型液晶ライトバルブ装置。

【請求項2】 上記第5の電極の幅が、上記第4の電極の短辺方向の幅より広い幅とされたことを特徴とする請求項1に記載の光書き込み型液晶ライトバルブ装置。

【請求項3】 上記第5の電極の幅が、上記第4の電極の短辺方向の幅より狭い幅とされたことを特徴とする請求項1に記載の光書き込み型液晶ライトバルブ装置。

【請求項4】 上記第5の電極が、上記第4の電極の幅と自己整合的に略同一の幅とされたことを特徴とする請求項1に記載の光書き込み型液晶ライトバルブ装置。

【請求項5】 上記第5の電極が、上記第4の電極の少なくとも側部と上部の一部に対向するように形成されたことを特徴とする請求項1に記載の光書き込み型液晶ライトバルブ装置。

【請求項6】 上記第5の電極と上記第2の電極とのコンタクト部が、上記第2の電極と上記光導電層とのコンタクト部と同一のコンタクト部により形成されたことを特徴とする請求項2に記載の光書き込み型液晶ライトバルブ装置。

【請求項7】 上記第5の電極と上記第2の電極とのコンタクト部が、上記第2の電極と上記光導電層とのコンタクト部と同一のコンタクト部により形成されたことを特徴とする請求項5に記載の光書き込み型液晶ライトバルブ装置。

【請求項8】 上記第2の電極と上記光導電層とが、上記第1の電極と同一の材料および膜厚のバッファ層を介して接続されていることを特徴とする請求項1に記載の光書き込み型液晶ライトバルブ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光書き込み型液晶ライトバルブ装置に関わり、光書き込み型液晶ライトバ

ルブ装置における書き込み光に対する感度の向上、空間的な解像力の向上を図るものである。

【0002】

【従来の技術】 液晶ライトバルブ装置（以下LCLVという）は、光学—光学画像変換機である。ライトバルブとは、光強度の低い光を受けて、これを他の光源からの光により光学像をリアルタイムに読み出し、出力することができるように成された装置である。

【0003】 LCLVは、軍事用、商業用の大画面への応用として利用されてきた。例えばヒューズ(Hughes)のRodney D Sterling らによって"Video-Rate Liquid Crystal Light-Valve Using an Amorphous Silicon Photo Detector", SID, '90 Digest, Paper No.17A 2, PP327-329(1990)で発表されたLCLVは、図16にその概略構成図を示すように、透明な第1のガラス基板1上に透明電極2が形成され、この上に、厚く、連続的で、均質なアモルファスシリコン（以下a-Siという）光導電層3が形成され、更にこの上にCdTe等の光遮断層4、および光学反射層としての誘電体ミラー5が積層され、この表面に配向層6が形成されて成る。一方、透明な第2のガラス基板7が用意され、この上に、同様に透明電極8および配向層9が形成される。そして、これら第1および第2のガラス基板1および7が、その配向層6および9が形成された側を内側にして数 μ m程度の間隔を保持して対向され、これら間に液晶が注入されて液晶層10が形成されてLCLVを構成している。

【0004】 このLCLVは、第2のガラス基板7側が、光学像の観察側とされ、この第2のガラス基板7側から、このガラス基板7に対して垂直に偏光による読み出し光LRを照射する。このとき、読み出し光は、透明電極7および液晶層10を通過して誘電体ミラー5によって反射され、再び液晶層10、ガラス基板7を通過して、外部に放出され、これを観察することができる。これに対し、この読み出し光LRを照射した状態で、両透明電極2および8間に交流電圧ACを印加しながら、第1のガラス基板1側から書き込み光LWを照射すると、この書き込み光LWが、第1のガラス基板1および透明電極2を透過して光導電層3に照射され、この照射部において、光導電層3が活性化され、電子—正孔対が発生する。これによって、書き込み光LWの照射パターンに応じたパターンと、強度に応じて光導電層3の静電容量が増加し、抵抗値が低下し、液晶層を挟む電圧が増加する。この電圧の空間的な変化は、液晶分子の方位の変化となり、液晶層を通過する前述の読み出し光LRに複屈折や旋光を起こさせ、読み出し光LRの偏光の方位(Polarization)が変調される。従って、最終的に第2のガラス基板7から放出される読み出し光を、偏光板に通過させることにより、光量変化として観察することができる。即ち、書き込み光LWのパターン、即ち光学像に応

じた光学像を第2のガラス基板7側から観察することができる。

【0005】なお、光遮断層4は、誘電体ミラー5即ち光反射層と、光導電層3との間に配置され、これによってこの光反射層を通過してしまっただけな読み出し光をも、この光遮断層4によって吸収して、この読み出し光が光導電層3に到来し、光導電層を活性化させて、書き込み光以外の象を発生させること、即ちノイズの発生を回避するために配置されるものである。

【0006】ところで、上述したLCLVにおいて、高い感度を得るには、光導電層3の抵抗値変化に応じて液晶層に印加される電圧を極大化したい。この極大化は、光の当たっていない光導電層3のインピーダンスと、液晶層10のインピーダンスとが、次の条件を満たすときに達成される。その条件とは、光導電層3の等価的な容量とバルク抵抗の並列回路によるインピーダンスが、液晶層10における同様の容量と抵抗の並列回路によるインピーダンスとほぼ同等以上にすることである（この条件を、以下釣り合いがとれる関係と称する）。そして、この釣り合いがとれる関係の実現は、具体的にはa-Siによる光導電層3の膜厚を、約30 μ mに厚膜化することとされている。

【0007】このように30 μ mに及ぶ厚膜を必要とするのは、上述した光導電層3と液晶層10のインピーダンスの釣り合いがとれる関係を設定しようとしたときに、a-Si膜による光導電層3の誘電率が、液晶層10の誘電率より高いことに因る。ところが、このように、a-Si層による光導電層を30 μ mに及ぶ厚膜にすると、上述した書き込み光の入射により、光導電層で発生した電荷が隣接領域に拡散しやすくなる。

【0008】すなわち、理想的なLCLVでは、その光導電層が、光照射によって発生した電荷の横方向拡散を阻止できる程度に高抵抗を有する構成とすることになるが、a-Si光導電層において、その膜厚が約30 μ mにも及ぶと、充分な高抵抗が得られず、横方向（面方向）の電荷の拡散が生じ易くなり、結果として空間的なコントラストの低下、解像度の低下を来す。

【0009】このような不都合を回避するために、光導電層を構成するa-Si層にドーパントを添加して抵抗率を上げる試みがなされた。これは、a-Si膜を成膜すると、この膜中には生来n型ドーパントを発生する性質があることから、これをp型ドーパントの例えばボロンをドーピングすることによって相殺するという方法によるものである。しかしながら、この方法では、ドーパントの添加の効果が極めて大きく、またn型ドーパントの発生は、a-Siの成膜毎に相違することから、目的とする抵抗率に設定するためのp型ドーパントのドーピングを正確に行うことは、現実的な作業としては極めて困難であり、製造コストの増大、歩留まりの低下をもたらす。

【0010】そこで、光導電層を、画素毎に完全に分離する分割構造による提案がなされている（米国特許第5076670号）。この分離は、例えばフォトリソグラフィによるパターンエッチングによるが、上述したように、その厚さが30 μ mに及ぶ厚い光導電層を、パターンエッチングすることは、作業時間が長くなるのみならず、鮮明なパターン化が難しくなる。さらに、分離された光導電層間の溝内には、絶縁材を埋め込むことになるが、このアスペクト比（溝の深さdと幅wの比、d/w）が高い溝に絶縁材を埋め込む作業は困難で、コスト高を来し、また信頼性に問題がある。

【0011】また、図17にその概略断面図を示すように、光導電層3を挟んで透明電極2と対向して、高反射率で低抵抗率の導電層11を選択的に形成し、隣り合う導電層11間に絶縁層12を形成する構造が提案されている（図17において、図16と対応する部分には同一符号を付して重複説明を省略する）。この場合、導電層11によって光導電層3中に発生した電荷の回収を促進する効果を有し、また図16における光遮断層4を設けずに、誘電体ミラー5を通過してくる読み出し光を反射して光導電層3に入射させない効果がある。しかしながら、この構造による場合においても、光導電層3を挟んで対向する導電層11と、透明電極2との対向面積が大であることから、光導電層3の容量を低減化するには、光導電層3の厚膜化が必要になるという状況に変わりはなかった。

【0012】また、画素間の電荷の拡散を防止する観点から、単に光導電層の素子間の素子分離絶縁領域によって一部を分離し、完全には素子間分離をしない構造（米国特許第4913531号）が提案されているが、この方法だけでは、書き込み光によって光導電層に発生した電荷の隣接する素子領域への拡散を、多少減少させる効果を期待できるが、平面的な解像度の低下の問題を完全に解消するには至っていない。また、厚膜の光導電層が必要であるということについては依然として問題が残っている。

【0013】

【発明が解決しようとする課題】上述した諸問題の解決を図る目的で、先に提案した光書き込み型液晶ライトバルブ装置を図18に示す。図18に示すように、それぞれ透明な第1および第2の基板21および22と、光導電層23と、この光導電層23にそれぞれ接触して形成された第1の電極31および第2の電極32と、光学反射層24と、液晶層27と、第3の電極33を有して構成される。

【0014】第2の電極32は、複数の電極部に分割された分割電極部32Aより成り、各分割電極部32Aは、液晶層27の面方向にほぼ沿って配置した、即ち液晶層27を挟んで第3の電極33との対向電極を構成する対向電極部32fとこれより垂直方向に延びる光導電

層23との接触部32cとから構成される。分割電極部32Aは、その接触部32cが対向電極部32fの中央から垂直方向に延びる方向に形成された断面T字状に形成されている。

【0015】そして、第2の電極32の各分割電極部32Aにおいて、その光導電層23との接触部32cの接触面積が、対向電極部32fの面積より充分小に選定されている。

【0016】また、第1の電極31は、第2の電極32の対向電極部32f間に、その一部が正対して形成されている。

【0017】そして、第2の電極32は、その対向電極部32fを光導電層23からできるだけ離していることにより、実質的に光導電層23に係わる容量を小さくすることができる。

【0018】従って、上述したインピーダンスの釣り合い関係を設定する光導電層23の厚さを薄く、例えばこの光導電層23に対する書き込み光LWの吸収に必要な膜厚である1〜2μm程度まで薄膜化することができる。

【0019】さらにこれに加えて、液晶層27側の容量を見かけ大きくする対策をとることもできる。即ち図19に示すように、光導電層23の基板21とは反対側の主面23S上に、第1の電極31および第2の電極32を配置した構造をとる。

【0020】この構造においては、光導電層23に対して、第1の電極31と、第2の電極32の接触部32cとが並置されていることにより、第1の電極31および第2の電極32の光導電層23を介しての対向が光導電層23の面方向に沿う方向となることから、これにより実質的対向距離が大となり光導電層23に係る容量は小となる。

【0021】さらに図20に示すように、第2の電極32の対向電極部32fの配置面と、光導電層23との間に第3の電極33と電気的同電位とされた第4の電極34を新たに配置形成することにより、通常の液晶層27を挟んで形成される容量に、層間絶縁層42を介して形成される第1の電極31及び第4の電極34間に形成される容量が加わり、実質的に液晶層27に係わる容量を増加させることができる。

【0022】従って、光導電層23を薄膜化させることにより増大する光導電層23側容量に対して、液晶層27側の容量を見かけ上増加させることにより、液晶層27、光導電層23両者のインピーダンスを完全に釣り合わせる事が可能となる。

【0023】上述の手段を用いることにより、入射光によるa-Siからなる光導電層23の抵抗値変化に応じて液晶層27に印加される電圧を極大化させることが可能となる。

【0024】しかしながら、この図20に示した構成に

おいて、第2の電極32と第4の電極34との位置関係がずれた場合にも、これらの電極32、34間の対向面積がデバイス間でばらつくことがないようにするためには、上述の位置関係がずれた場合にも必ず第2の電極32が第4の電極34に対してオーバーラップしているように形成する必要がある。即ち、第4の電極34の幅を、第4の電極34の幅=第2の電極32間の幅+容量形成に必要な幅+合わせズレとする必要がある。

【0025】一方、第2の電極32が第4の電極34に対してオーバーラップするように第4の電極34の幅を広くしようとすると、第4の電極34が光導電層23に直接対向しないために下層の第1の電極31の幅を広げる必要が生じるが、これにより電荷発生領域が小さくなり感度が低下する。

【0026】即ち、第2の電極32と第4の電極34との合わせズレを完全に許容するようにオーバーラップをとると、LC-LVデバイスの感度が低下する問題が発生するといえる。

【0027】しかし、逆に第4の電極34が上述の合わせズレ分の幅を充分取れない場合には、両電極32、34間の容量のばらつきを生じ、製品の歩留まりを下げたり、画質がばらつく等の問題を生じる。

【0028】本発明においては、上述した諸問題の解決を図り、光導電層を1〜2μm程度まで薄膜化しても液晶層に印加される電圧が極大化できるように、光導電層側と液晶層側の容量を釣り合わせるために必要な画素電極と補助電極の結合容量を、ばらつきが少なく安定化させると共に、高い感度と高い解像度を実現しながら、製造プロセスの難易度および製造コストの低減等の生産性を改善できるようにした光書き込み型液晶ライトバルブ装置を提供するものである。

【0029】

【課題を解決するための手段】本発明の光書き込み型液晶ライトバルブ装置は、第1および第2の透明基板と、光導電層と、光導電層に接して配置された第1の電極と、この第1の電極と光導電層の同一側に形成され第1の電極と絶縁された第2の電極と、光学反射層と、液晶層と、第3の電極とを少なくとも有し、第2の電極は複数の電極部に分割された分割電極部より成り、この第2の電極と第1の電極との間に第1の電極と絶縁された第4の電極が形成され、さらに第2の電極と第4の電極との間に第4の電極と容量を構成する第5の電極が形成され、第1の電極および第4の電極および第5の電極は、少なくともその一部が第2の電極の分割電極部間に対向する位置に配置されたものである。

【0030】上述の本発明の構成によれば、第4の電極と容量を構成する第5の電極を第2の電極と第4の電極との間に配置することにより、第4の電極と第5の電極において合わせズレを生じても、これら第4の電極と第5の電極の対向面積を確保することができ、安定した各

電極間容量が確保できる。

【0031】

【発明の実施の形態】本発明は、第1および第2の透明基板と、光導電層と、光導電層に接して配置された第1の電極と、第1の電極と光導電層の同一側に形成され第1の電極と絶縁された第2の電極と、光学反射層と、液晶層と、第3の電極とを少なくとも有し、第2の電極は複数の電極部に分割された分割電極部より成り、第2の電極と第1の電極との間に第1の電極と絶縁された第4の電極が形成され、第2の電極と第4の電極との間に第4の電極と容量を構成する第5の電極が形成され、第1の電極および第4の電極および第5の電極は、少なくともその一部が第2の電極の分割電極部間に対向する位置に配置された光書き込み型液晶ライトバルブ装置である。

【0032】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第5の電極の幅が第4の電極の短辺方向の幅より広い幅とされた構成とする。

【0033】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第5の電極の幅が第4の電極の短辺方向の幅より狭い幅とされた構成とする。

【0034】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第5の電極が第4の電極の幅と自己整合的に略同一の幅とされた構成とする。

【0035】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第5の電極が、第4の電極の少なくとも側部と上部の一部に対向するように形成された構成とする。

【0036】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第5の電極と第2の電極とのコンタクト部が、第2の電極と光導電層とのコンタクト部と同一のコンタクト部により形成された構成とする。

【0037】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第2の電極と光導電層とが、第1の電極と同一の材料および膜厚のバッファ層を介して接続されている構成とする。

【0038】図1は本発明の光書き込み型液晶ライトバルブ装置の一実施の形態の要部の概略断面図を示す。また、図2は図1の光書き込み型液晶ライトバルブ装置の画素領域の概略平面図を示す。

【0039】本実施の形態の光書き込み型液晶ライトバルブ装置においても、例えばガラス基板よりなる第1の透明基板51および第2の透明基板52が用意される。第1の透明基板51および第2の透明基板52における透明とは、第1の透明基板51については、書き込み光LWに対して透明、即ち高い透過率を示すことであり、第2の透明基板52については、読み出し光LRに対して透明、すなわち高い透過率を示すことはいままでのない。

【0040】そして、第1の透明基板51の一面に、

光導電層53が形成され、この上に第1の電極61と、例えば各画素毎に複数の電極部に分割された分割電極部62Aが配列されて成る第2の電極62が形成され、表面を化学的機械的研磨法により平坦化した後、更にその上に例えば誘電体ミラー構成による反射層54が形成され、その表面に液晶の配向がなされる配向層55が形成される。

【0041】また、第2の透明基板52の一面には、第3の電極63が液晶層57の全域に渡って全面的に形成され、その表面に、同様に液晶の配向がなされる配向層56が形成される。

【0042】そして、第1の透明基板51および第2の透明基板52の各配向層55および56側を互いに対向させ、両者間の間隔を例えばガラスビーズ（図示せず）の介在によって所定の間隔に保持し、周囲を封止して、両透明基板51および52間に扁平空間を形成して、ここに液晶を注入し、液晶層57を形成する。

【0043】光導電層53は、第1の透明基板51上に、全面的に例えばa-Si層をスパッタリング、あるいはCVD（化学的気相成長）法等によって成膜することによって形成する。

【0044】第1の電極61は、光導電層53上に、蒸着、スパッタリング等によってCr、W、Al等の金属層を形成し、フォトリソグラフィによって複数の開口部を所要の間隔をもって穿設した例えば格子状パターンに形成する。

【0045】図19および図20に示した構成と同様に、この第1の電極61が光導電層53上に形成されていることにより、書き込み光LWの入射により光導電層53中に発生したキャリアの隣接画素領域への拡散を防止して、画素間のコントラストの低下を防止することができる。

【0046】そして、光導電層53上に第2の電極62を形成する。第2の電極62は、例えばAl、Cr、W等の書き込み光および読み出し光に対して遮光性を有する金属等により形成される。

【0047】第2の電極62の分割電極部62Aは、各層の積層方向すなわち図中垂直方向の部分としてコンタクト部62cを有し、各層の主面の方向すなわち図中水平方向の部分として対向電極部62fを有して構成される。コンタクト部62cの一端は光導電層53に接続されている。

【0048】第2の電極62の分割電極部62A間と、第2の電極62と光導電層53との間には、例えばSiO₂、SiN等の層間絶縁層58が形成され、この層間絶縁層58により第1の電極61と第2の電極62とが絶縁されている。

【0049】そして、第2の電極62上に全面的に光学反射層54を形成する。この光学反射層54は、通常が多層構造によるいわゆる誘電体ミラーによって構成する

ことができ、この上に形成する配向層55も、通常の構成にすることができる。

【0050】また、第2の透明基板52の一主面に形成される第3の電極63は、通常のようにITO（インジウム錫酸化物）等の透明電極層によって形成され、そして、この上に形成される配向層56も通常の構成にすることができる。

【0051】さらに、図20に示した構成と同様に、第3の電極63と同電位の第4の電極64が、第2の電極62と対向して配置形成される。この第4の電極64は、層間絶縁層58により第1の電極61および第2の電極62とは絶縁される。また、第4の電極64は、第1の電極61より広い幅に形成される。

【0052】本実施の形態においては、特に第4の電極64との対向容量を形成する第5の電極65を、第4の電極64に対向して第2の電極62側に配置形成する。この第5の電極65は、第4の電極64の幅、すなわち図2より格子状パターンとされた第4の電極64の短辺方向の幅より大きい幅に形成されている。また、第5の電極65は、2つの第2の電極62の分割電極部62Aの対向電極部62fおよびその間に対向し、そのうち一方の対向電極部62fにコンタクト66を介して接続されている。すなわち、各分割電極部62Aに対して1つずつ第5の電極65が配置かつ接続されている。

【0053】そして、第5の電極65は、図2に示すように、平面的には例えば図中縦方向に隣接する2つの画素に対応する分割電極部62A（対向電極部62f）およびその間に対向して形成されている。また、この場合第5の電極65のパターンは、第1の電極61や第4の電極64のパターンのように連続して形成されず、分割されたパターンに形成されている。

【0054】さらに、好ましくは第5の電極65の幅を、第4の電極64の幅に対して、これらの電極64および65のアライメントずれ分以上広くした幅とする。これにより、アライメントずれがあっても、第4の電極64が全幅にわたって第5の電極65に対向するようになる。従って、第4の電極64および第5の電極65によって形成される第2電極62と第4電極64との容量を安定化することができる。

【0055】同様に、好ましくは第4の電極64の幅を第1の電極61の幅に対してアライメントずれ分広くした幅とする。

【0056】第4の電極64および第5の電極65の形成は、それぞれ層間絶縁層58上に全面的に電極を構成する金属等の材料を成膜し、これをレジストパターンニングとエッチングによって所望のパターンにすることによって行うことができる。

【0057】また、本実施の形態においては、第2の電極62の形成は、次のように行われる。層間絶縁層58の表面を平坦化した後に、光導電層53に対するコンタ

クトホールと第5の電極65に対するコンタクトホールとを同時に開口し、これらのコンタクトホールを埋めるように例えば金属等を成膜した後、レジストパターンニングとエッチングを行って第2の電極62を形成する。

【0058】本実施の形態の光書き込み型液晶ライトバルブ装置によれば、第4の電極64と容量を形成する第5の電極65を第4の電極64に対向させて配置形成することにより、図20に示したように第2の電極の分割電極部62Aと第4の電極64との対向部により容量を形成する場合と比較して、2つの電極の合わせズレによって容量を構成する対向面積が大きく変化して素子ごとに容量にバラツキが生じることを抑制することができる。

【0059】さらに、第5の電極65の幅を第4の電極64の短辺方向の幅より広い幅とすることによって、合わせズレがあっても対向面積が変わらないようにして容量のバラツキを低減することができる。

【0060】上述の実施の形態では、第5の電極65を、第4の電極64の幅より大きい幅に形成した構成であったが、第4の電極64の幅より小さい幅に形成した構成とすることができる。その場合を次に示す。

【0061】図3に本発明の光書き込み型液晶ライトバルブ装置の他の実施の形態の要部の概略断面図を示す。本実施の形態の光書き込み型液晶ライトバルブ装置では、第5の電極65を第4の電極64の幅（短辺方向の幅）より小さい幅に形成する。また、第1の電極61を第4の電極64の幅より大きい幅に形成する。すなわち電極の幅を、第1の電極61の幅＞第4の電極64の幅＞第5の電極65の幅となるように構成する。

【0062】さらに、好ましくは各電極61と64、64と65間のアライメントズレ分以上の差を有するように各電極61、64、65の幅を設定する。すなわち先の実施の形態が第1の電極61から第5の電極65に向かうにつれてアライメントズレを見込んだ分、その幅を増やしていくのに対して、本実施の形態では、逆に幅が減っていくことが大きく異なる。

【0063】尚、図3において、その他の図1と対応する部分には同一符号を付して重複説明を省略する。

【0064】本実施の形態においても、先の実施の形態と同様に、第4の電極64を設けることにより液晶層57側の容量を増加させる効果、および第5の電極65を設けることにより第4の電極64と第5の電極65間の合わせズレによってもこれら両電極64、65の対向面積の変化が少なくなり容量のバラツキが抑制される効果を有する。

【0065】そして、上述のように第5の電極65の幅を、第4の電極64の幅よりもこれらの電極64、65の合わせズレ分以上狭く形成することにより、第4の電極64と第5の電極65間で合わせズレがあっても、必ず第5の電極65の全幅で第4の電極64と対向するこ

となる。従って、第5の電極65の幅さえ正確に制御すれば、電極間の容量バラツキは、この他には電極間の層間絶縁層58の厚さのバラツキのみによることとなり、従来容量の大きなバラツキの主要因であった合わせズレの要因を排除することができる。

【0066】尚、第4の電極64と第5の電極65により形成される容量は、先の実施の形態では第4の電極64によって規定されているのに対して、本実施の形態では第5の電極65によって規定される。

【0067】そして、図4～図5の概略断面図により、図3の光書き込み型液晶ライトバルブ装置の製造工程を説明する。この製造工程は、上述の3つの電極61、64、65の合わせズレによる容量のバラツキを排除するために好適な製造工程を示す。

【0068】まず、図4Aに示すように、例えばガラス等からなる第1の透明基板51上に形成された光導電層53上に第1の電極61、その上層の絶縁膜58、第4の電極64、その上層の絶縁膜58、第5の電極65を連続形成し、第5の電極65に対してレジスト59によるパターンニングおよびエッチングを行う。この後第5の電極65上のレジスト59を除去する。

【0069】次に、図4Bに示すように、パターン化された第5の電極65を覆ってレジスト59を形成し、このレジスト59に対して第4の電極64の所望のパターンに対応するパターンニングを行う。このとき、第4の電極64のレジスト59のパターンは、パターンニングの際のアライメントズレがあっても第5の電極65がレジスト59に覆われるように、第5の電極65上においては第5の電極65の幅より（パターンズレ分以上）広く形成する。

【0070】そして、図4Cに示すように、このレジストマスク59で第4の電極64およびその上の絶縁膜58をエッチングする。この後レジスト59を除去する。

【0071】次に、図5Dに示すように、パターン化された第4の電極64および第5の電極65を覆ってレジスト59を形成し、このレジスト59に対して第1の電極61の所望のパターンに対応するパターンニングを行う。このとき、第1の電極61のレジスト59のパターンは、パターンニングの際のアライメントズレがあっても第4の電極64がレジスト59に覆われるように、第4の電極64上においては第4の電極64の幅より（パターンズレ分以上）広く形成する。

【0072】そして、図5Eに示すように、このレジストマスク59で第1の電極61およびその上の絶縁膜58をエッチングする。この後レジスト59を除去する。これにより前述のように幅が規定された3つの電極61、64、65が形成される。

【0073】この後の工程は、3つの電極61、64、65を覆って層間絶縁層58を形成してその表面の平坦化を行った後、層間絶縁層58に光導電層53に対する

コンタクトホールと第5の電極65に対するコンタクトホールを同時に開口し、図5Fに示すように、これらのコンタクトホールを埋めるように金属等を成膜して第2の電極62を形成する。

【0074】その後は従来の製造工程と同様にして、図3に示した光書き込み型液晶ライトバルブ装置を製造することができる。

【0075】次に、図6に本発明の光書き込み型液晶ライトバルブ装置のさらに他の実施の形態の要部の概略断面図を示す。また、図7は図6の光書き込み型液晶ライトバルブ装置の画素領域の概略平面図を示す。本実施の形態の光書き込み型液晶ライトバルブ装置では、第5の電極65および第4の電極64を、自己整合的に略同一の幅に形成した構成である。

【0076】尚、第1の電極61は、これら第4の電極64および第5の電極65より広い幅に形成している。その他の構成は、図1に示した実施の形態および図3に示した実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【0077】本実施の形態の光書き込み型液晶ライトバルブ装置によれば、第5の電極65および第4の電極64を自己整合的に略同一の幅に形成しているため、これらの電極64、65が共に全幅にわたって対向し、対向面積が一定となるため、両電極間の容量が一定になる。

【0078】次に、図8～図11の概略断面図により、この図6および図7に示す光書き込み型液晶ライトバルブ装置の製造工程を説明する。この製造工程は、上述の2つの電極64、65を自己整合的に略同一幅にして容量を一定にするために好適な製造工程を示す。図8～図11では、各図において、図7の平面図におけるX-X'における断面図（図8A～図11A）およびY-Y'における断面図（図8B～図11B）をそれぞれ示す。

【0079】図8Aおよび図8Bに示すように、例えばガラス等からなる第1の透明基板51上に形成された光導電層53上に第1の電極61、その上層の絶縁膜58、第4の電極64、その上層の絶縁膜58、第5の電極65を連続形成し、第5の電極65に対してレジスト59によるパターンニングおよびエッチングを行う。このとき、図8Bに示すように、Y-Y'方向では、第4の電極64と第5の電極65を同じレジストマスク59によりエッチングして、自己整合的に略同一の幅に形成する。

【0080】次に、図9Aに示すように、X-X'方向では、第5の電極65を所定の長さにするために、レジスト59によるパターンニングおよびエッチングを行う。このとき、図9Bに示すY-Y'方向においては、第5の電極65および第4の電極64の幅よりレジスト59によるパターンを広くしておく。

【0081】この後、いったん第5の電極65上のレジ

スト59を除去する。そして、図10Aおよび図10Bに示すように、表面を覆ってレジスト59を形成し、図10Bに示すY-Y'方向においては、第1の電極61の幅を有するレジストマスク59によりエッチングを行って所定の幅に規定された第1の電極61を形成する。

【0082】尚、この後の工程としては、図11Aおよび図11Bに示すように、全面的に層間絶縁層58を形成し、この層間絶縁層58の表面の平坦化を行った後、光導電層53に対するコンタクトホールと第5の電極65に対するコンタクトホールとを同時に開口し、これらのコンタクトホールを覆って第2の電極62の材料を成膜し、表面を平坦化して第2の電極62を形成する。

【0083】その後は従来の製造工程と同様にして、図3に示した光書き込み型液晶ライトバルブ装置を製造することができる。

【0084】上述の製造工程により、第4の電極64および第5の電極65の幅を規定する図8Bに示した第4の電極64および第5の電極65の加工パターンと、第5の電極65の長さを規定する図9Aに示した第5の電極65の加工パターンとを正確に制御すれば、2つの電極64、65の対向面積を一定にすることができる。これにより、従来容量のバラツキの主要因を占めていた合わせズレの要因を排除することができ、両電極64、65間の絶縁膜58の膜厚のバラツキのみとなるので、容量のバラツキを大幅に低減することができる。

【0085】次に、図12に本発明の光書き込み型液晶ライトバルブ装置の別の実施の形態の要部の概略断面図を示す。本実施の形態の光書き込み型液晶ライトバルブ装置では、第5の電極65を第4の電極64の上部および側部を覆うように形成した構成である。

【0086】本実施の形態において、第1の電極61は、第5の電極65より広い幅に形成している。その他の構成は、図3に示した実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【0087】本実施の形態の光書き込み型液晶ライトバルブ装置によれば、第5の電極65が第4の電極64の側部および上部を覆って形成されていることにより、第5の電極65が、第4の電極64の上部および側部の一部に対向している。

【0088】これにより、第5の電極65と第4の電極64との間に合わせズレがあっても、両電極64、65の対向面積が変化しない。従って、第5の電極65と第4の電極64との合わせズレにより容量が変動する問題を生じない。

【0089】本実施の形態において、第5電極65の形成は、例えば次のように行う。まず、絶縁膜58上に第4の電極64の材料を全面的に形成し、所定のパターンにレジストパターンニングおよびエッチングを行って第4の電極64を形成する。この第4の電極64を覆って薄い絶縁膜を形成し、この薄い絶縁膜上に全面的第5の電

極65の材料を成膜する。このとき、第4の電極64上付近が高くなるように形成される。そして、所定のパターンにレジストパターンニングおよびエッチングを行って、第4の電極の側部および上部を覆った第5の電極65を形成することができる。

【0090】次に、図13に本発明の光書き込み型液晶ライトバルブ装置のさらに別の実施の形態の要部の概略断面図を示す。本実施の形態の光書き込み型液晶ライトバルブ装置では、第5の電極65と第2の電極62とのコンタクト部と、光導電層53と第2の電極62とのコンタクト部とを兼用する同一のコンタクト部67により形成した構成である。

【0091】尚、本実施の形態においては、図1に示した実施の形態と同様に第1の電極61と第4の電極64と第5の電極65の幅の関係を、上層の電極ほど広い幅となるように形成している。その他の構成は、図1に示した実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【0092】本実施の形態の光書き込み型液晶ライトバルブ装置によれば、このように同一のコンタクト部67で兼用するようにしたので、コンタクト部が1箇所になり、別々の2箇所にコンタクト部を設けた場合と比較してコンタクト部の占める面積を少なくすることができる。

【0093】コンタクト部を別々の2箇所に設けた場合には、2つのコンタクト部の占める面積を確保し、また2つのコンタクト部の間の距離をとる必要があるため、高画質化に向けて画素サイズを縮小しようとするときに2つのコンタクト部を設けることが制約となる。すなわち同一のコンタクト部67で兼用することにより、この制約から開放され、画素サイズの縮小が容易になる利点を有する。

【0094】また、図14に図13の構成を変形した形態を示す。この図14の場合は、図13に示したコンタクト部を兼用する構成に、図12に示した第4電極64の側部および上部を覆う第5の電極65を形成した構成を適用したものであり、上述の図13の構成と同様の効果を有する。

【0095】尚、図13に示した構成および図14に示した構成においては、コンタクト部67と第1の電極61とが短絡しないようにするために、第1の電極61の幅（短辺方向の幅）は第5の電極65の幅より狭くして、コンタクトホールを開口する際に第1の電極61に当たらないようにする。

【0096】図13に示した構成および図14に示した構成において、上述のコンタクト部67の形成は、層間絶縁層58にコンタクトホールを開口する際に、第5の電極65の横に開口させる。また、第5の電極65上の一部にもコンタクトホールを開口する。そして、コンタクトホールを埋めるように第2の電極62の材料を成膜

し、表面の平坦化等の加工を行って分割電極部62Aから構成された第2の電極62とコンタクト部67とを形成する。これにより、第5の電極65上の一部にもコンタクト部67が接続され、第2の電極62と第5の電極65とのコンタクトを確実にとることができる。

【0097】次に、図15に本発明の光書き込み型液晶ライトバルブ装置のその他の実施の形態の要部の概略断面図を示す。本実施の形態の光書き込み型液晶ライトバルブ装置では、第2の電極62の分割電極部62Aのコンタクト部62cの一端を、直接でなくバッファ膜60を介して光導電層53に接続させた構成である。このバッファ膜60は、第1の電極61と同一の材料で同じ厚さに形成されている。

【0098】バッファ膜60は、第1の電極61の材料の層をパターンエッチングする際に、第1の電極61のパターンの他にバッファ膜60のパターンも残るようにレジストのパターニングを行い、このレジストマスクを用いてエッチングすることにより形成することができる。

【0099】その他の構成は、図1に示した実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【0100】第2の電極62を光導電層53に対してコンタクトをとるためのコンタクトホールを開くときに、光導電層53を直接エッチングに曝すと、光導電層53の表面が荒れてコンタクト特性が不安定となる原因となることがある。

【0101】そこで、本実施の形態では、上述のようにバッファ膜60を介して光導電層53と第2の電極62とを接続するようにしたので、コンタクトホールを開く際には予め形成してあるバッファ膜60がエッチングされるため、光導電層53の表面がエッチングに曝され表面状態が悪化することを防ぎ、安定したコンタクト特性を得ることができる。

【0102】さらに必要であれば、第1の電極61と同一材料のバッファ膜60と、第2の電極62とを同種等のメタル-メタルコンタクトによって接続するようにそれぞれの材料を選定することが可能であり、この場合は、光導電層53と第2の電極62とを直接コンタクトさせた場合に比べて、非常に容易に安定したコンタクトを得ることができる。

【0103】このバッファ膜60は、図1・図3・図6・図12～図14に示した各実施の形態や、図19および図20に示した構成にも適用することができ、同様に安定したコンタクト特性を得ることができる。

【0104】本発明の光書き込み型液晶ライトバルブ装置は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取得する。

【0105】

【発明の効果】上述の本発明による光書き込み型液晶ライトバルブ装置によれば、電極の合わせズレによる電極間の容量の変動がなくなるため、液晶層と光導電層との容量バランスが常に安定的に保たれるために、液晶の閾値即ち液晶ライトバルブ装置としての特性のばらつきが少なくなり、製造における歩留まりが大幅に改善される。

【0106】さらに、光導電層上の第1の電極を、合わせズレの影響を抑制するために広くとる必要がなくなるので、感度の向上を図ることができる。

【0107】また、第5の電極の幅を、第4の電極の短辺方向より狭い幅、または第4の電極の短辺方向より広い幅、あるいは第4の電極と自己整合的に同一幅としたときには、それぞれ第4の電極と第5の電極の一方の電極を全幅にわたって他方の電極と対向させることができるため、合わせズレを生じても対向面積が変化しなくなり、これにより容量のばらつきを抑制することができる。

【0108】また、第5の電極と第2の電極とのコンタクト部と、第2の電極と光導電層とのコンタクト部とを、同一のコンタクト部により構成したときには、コンタクト部の占める面積を低減することができ、画素サイズを縮小して高画質化を図ることが容易になる。

【0109】また、第2の電極と光導電層とが、第1の電極と同一の材料および膜厚のバッファ層を介して接続されている構成としたときには、コンタクトホールを開く際に光導電層の表面がエッチングに曝され表面状態が悪化することを防ぎ、安定したコンタクト特性を得ることができる。

【図面の簡単な説明】

【図1】本発明による光書き込み型液晶ライトバルブ装置の一実施の形態の要部の概略断面図である。

【図2】図1の光書き込み型液晶ライトバルブ装置の画素領域の概略平面図である。

【図3】本発明による光書き込み型液晶ライトバルブ装置の他の実施の形態の要部の概略断面図である。

【図4】A～C 図2の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。

【図5】D～F 図2の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。

【図6】本発明による光書き込み型液晶ライトバルブ装置のさらに他の実施の形態の要部の概略断面図である。

【図7】図1の光書き込み型液晶ライトバルブ装置の画素領域の概略平面図である。

【図8】A、B 図6の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。

【図9】A、B 図6の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。

【図10】A、B 図6の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。

【図11】A、B 図6の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。

【図12】本発明による光書き込み型液晶ライトバルブ装置の別の実施の形態の要部の概略断面図である。

【図13】本発明による光書き込み型液晶ライトバルブ装置のさらに別の実施の形態の要部の概略断面図である。

【図14】図13の光書き込み型液晶ライトバルブ装置を一部変形した形態の要部の概略断面図である。

【図15】本発明による光書き込み型液晶ライトバルブ装置のその他の実施の形態の要部の概略断面図である。

【図16】従来の光書き込み型液晶ライトバルブ装置の要部の概略断面図である。

【図17】従来の光書き込み型液晶ライトバルブ装置の要部の概略断面図である。

【図18】先に提案した光書き込み型液晶ライトバルブ装置の要部の概略断面図である。

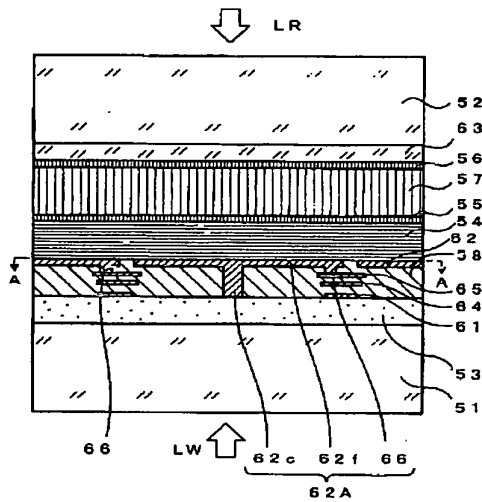
【図19】先に提案した光書き込み型液晶ライトバルブ装置の要部の概略断面図である。

【図20】先に提案した光書き込み型液晶ライトバルブ装置の要部の概略断面図である。

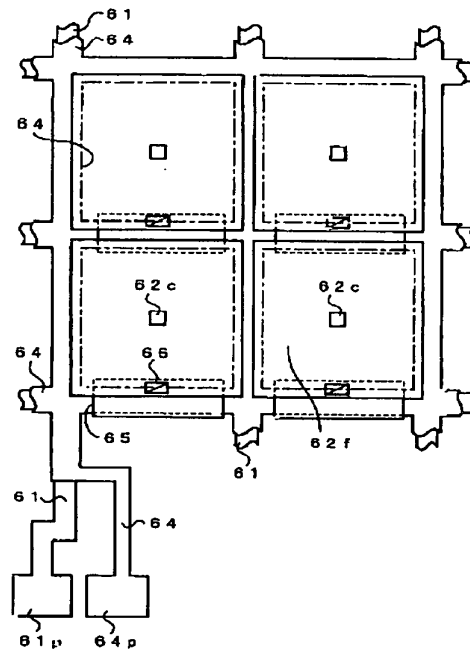
【符号の説明】

1…第1のガラス基板、2, 8…透明電極、3…光導電層、4…光遮断層、5…誘電体ミラー、6, 9…配向層、7…第2のガラス基板、10…液晶層、11…導電層、12…絶縁層、21…第1の透明基板、22…第2の透明基板、23…光導電層、24…反射層、25, 26…配向層、27…液晶層、28…絶縁層、31…第1の電極、32…第2の電極、32A…分割電極部、33…第3の電極、34…第4の電極、51…第1の透明基板、52…第2の透明基板、53…光導電層、54…光反射層、55, 56…配向層、57…液晶層、58…層間絶縁層、59…レジスト、60…バッファ膜、61…第1の電極、62…第2の電極、62A…分割電極部、62c…コンタクト部、62f…対向電極部、63…第3の電極、64…第4の電極、65…第5の電極、66, 67…コンタクト部、LW…書き込み光、LR…読み出し光

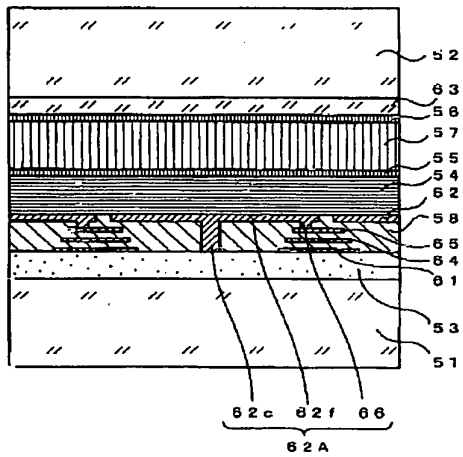
【図1】



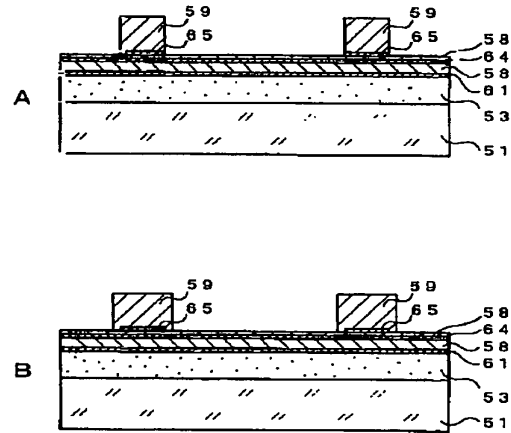
【図2】



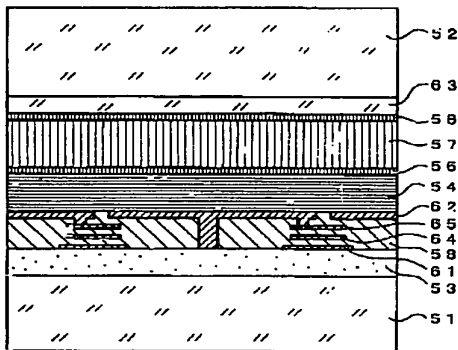
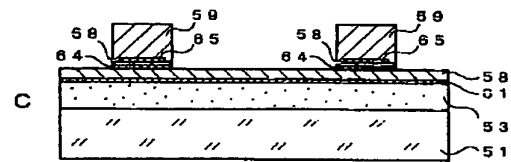
【図3】



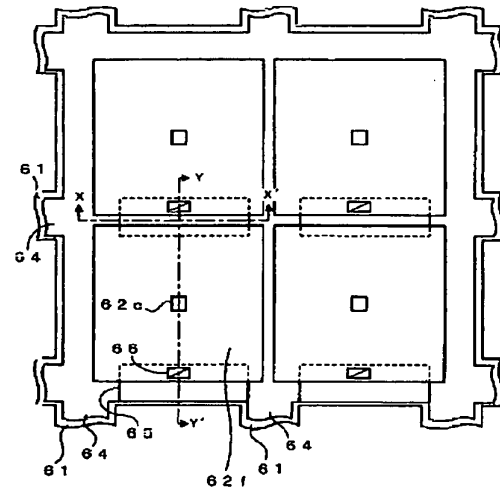
【図4】



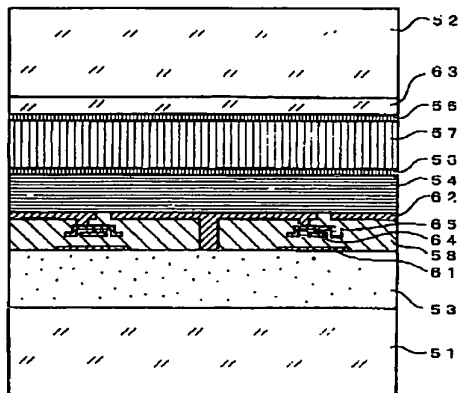
【図6】



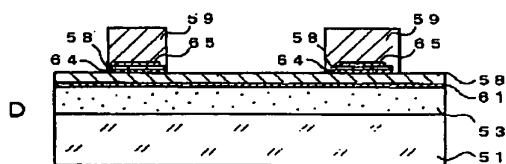
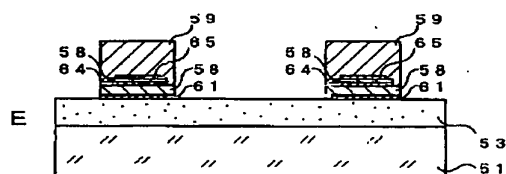
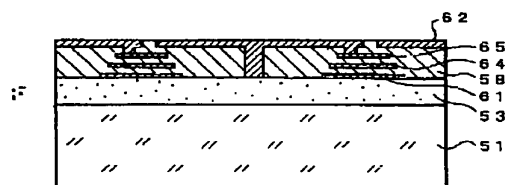
【図7】



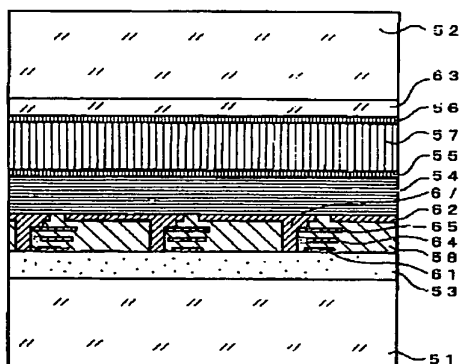
【図12】



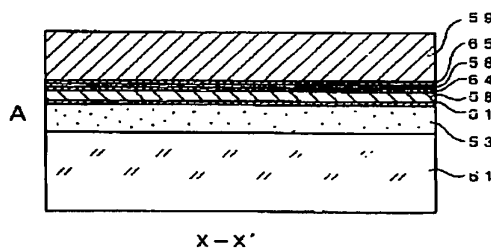
【図5】



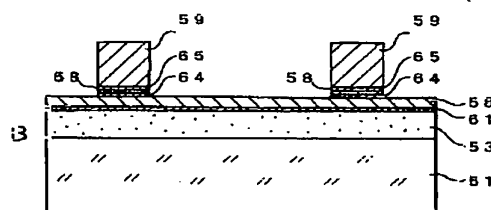
【図13】



【図8】

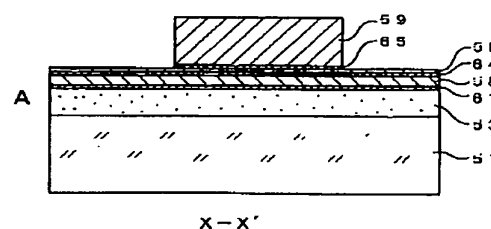


X-X'

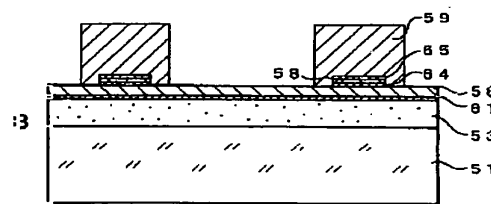


Y-Y'

【図9】

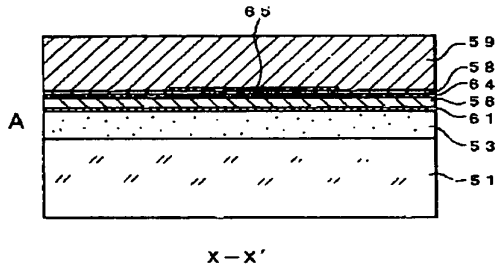


X-X'

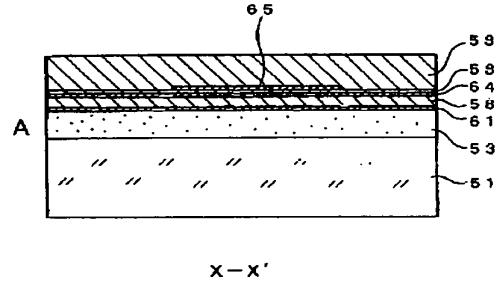
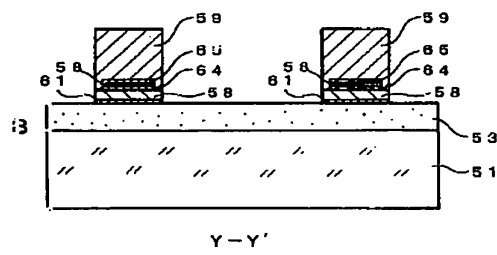
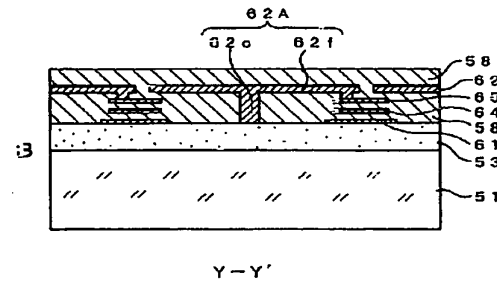


Y-Y'

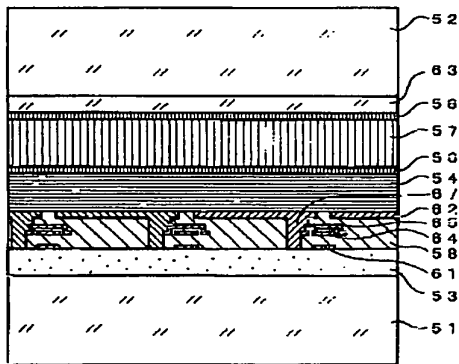
【図10】



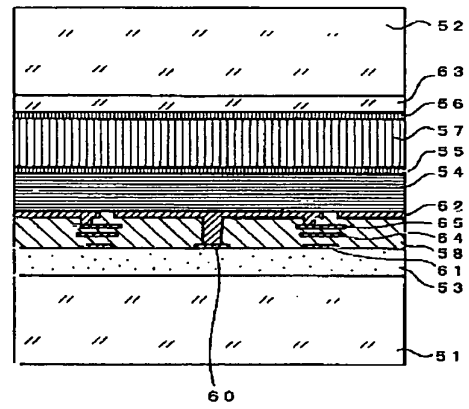
【図11】



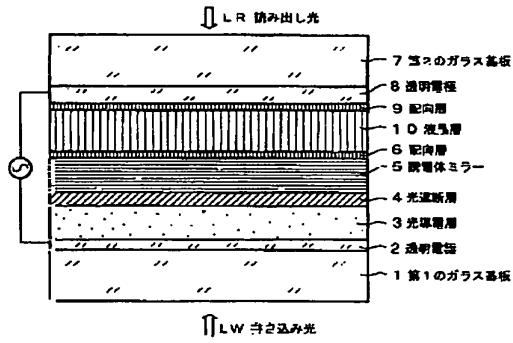
【図14】



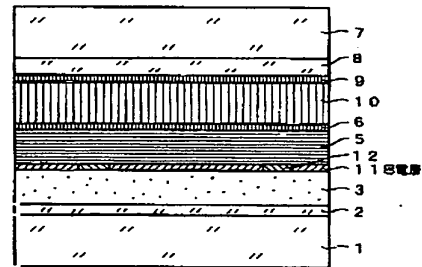
【図15】



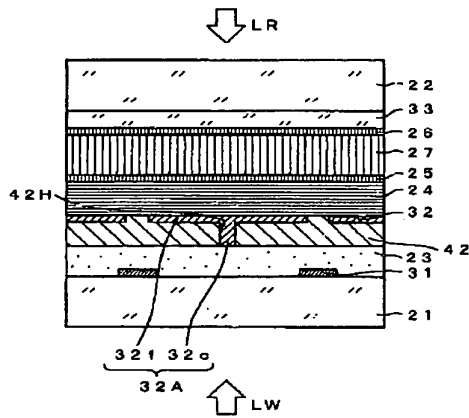
【図16】



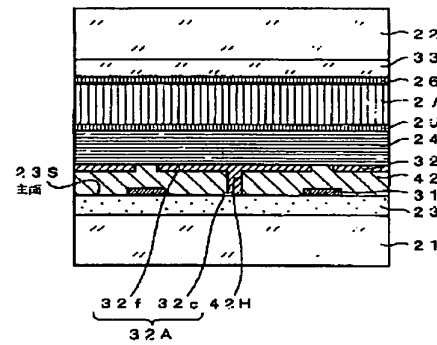
【図17】



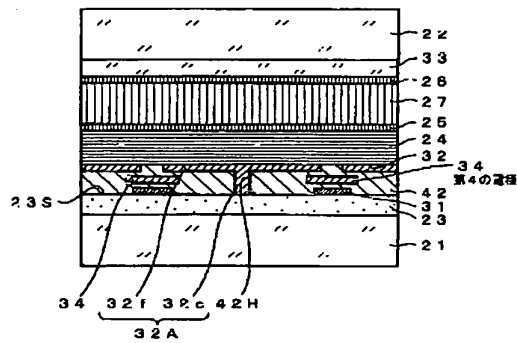
【図18】



【図19】



【図20】



フロントページの続き

F ターム(参考) 2H092 JA46 KA05 KA07 KB13 KB14
KB25 LA03 LA05 LA06 LA12
MA05 MA07 MA14 MA15 MA16
MA18 MA20 MA41 NA01 NA13
NA24 NA25 NA27 NA29 PA07
PA12
5C094 AA03 AA05 AA13 AA42 AA43
AA48 AA53 AA55 BA43 CA18
DA13 DB04 EA05 EA06 EA10
EB02 ED11 ED14 ED15 FA01
FA02 FB12 FB16 FB20 GA01

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S11 2	58	Canon.as. and "expression tree"	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:07
S11 3	2	"20070052722".pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:07
S11 4	2	S113 and contin\$6	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:08
S11 5	2599	(345/76 345/77 345/78 345/79). ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:13
S11 7	17167	(345/8? 345/9? 345/100 345/101 345/102 345/103 345/104 345/105). ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:13
S12 0	2599	(345/76 345/77 345/78 345/79). ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:13
S12 2	17167	(345/8? 345/9? 345/100 345/101 345/102 345/103 345/104 345/105). ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:13
S12 9	6	(JP-2000284722-\$ JP-2000267131-\$ JP-2000137421-\$).did.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 21:51
S13 0	2	"6859193".pn.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:21

EAST Search History

S13 1	634	(fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4) near2 (wir\$3 connect\$4 interconnect\$4 link\$3) with (transistor FET OLED capacitor "holding element" JFET NFET PFET) with metal\$4	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 21:58
S13 2	2	S131 and "345"/\$.ccls.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 21:57
S13 3	656	(fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4) near2 (wir\$3 connect\$4 interconnect\$4 link\$3) with (transistor FET OLED capacitor "holding element" JFET NFET PFET TFT) with metal\$4	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 22:58
S13 4	461	(fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4) near2 (wir\$3 connect\$4 interconnect\$4 link\$3) near4 metal\$4 with (transistor FET OLED capacitor "holding element" JFET NFET PFET TFT)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 22:56
S13 5	83	S134 and (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 22:57
S13 6	2	S134 and "345"/\$.ccls.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 22:57
S13 7	50	S134 same (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 22:58
S13 8	6555	(fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near2 (wir\$3 connect\$4 interconnect\$4 link\$3) with (transistor FET OLED capacitor "holding element" JFET NFET PFET TFT) with metal\$4	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:29

EAST Search History

S13 9	50	S138 and S137	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:00
S14 0	4	("6770515" "5259881").pn.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:15
S14 2	1	(WO-200106484-\$ WO200106484-\$ WO-200106484\$).did.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:22
S14 3	9	(S140 S130 S142 S129).pn.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:23
S14 4	24016	gate with (source drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) same (((source) with (drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)))((drain) with (source) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal))))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:26

EAST Search History

S14 5	10924	gate with (source drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3) same (((source) with (drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3))((drain) with (source) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3)))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:36
S14 6	788	gate with (source drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3) same (((source) with (drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3))((drain) with (source) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3))) with metal)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:28
S14 7	784	gate with (source drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3) with metal same (((source) with (drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3))((drain) with (source) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3))) with metal)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:37

EAST Search History

S14 8	173	S138 and S147	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:29
S14 9	134	S138 same S147	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:29
S15 0	396105	("same" identical simultaneous\$4) near3 (layer film coating)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:31
S15 1	79	S150 and S149	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:31
S15 2	13	S149 same S150	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:31
S15 3	2647	gate with (source drain) with (simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:45
S15 4	4377	((source with drain)(drain with source)) with (simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:45
S15 5	1992	S153 and S154	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:38

EAST Search History

S15 6	1933	S153 same S154	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:38
S15 7	19	S156 and S149	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:38
S15 8	410	gate with (source drain) with (simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) with metal	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:01
S15 9	568	((source with drain)(drain with source)) with (simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) with metal	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:45
S16 0	349	S158 and S159	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:45
S16 1	348	S158 same S159	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:45
S16 2	29	S161 and S146 not (S152 S157)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 00:54

EAST Search History

S16 3	186	(simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near4 metal with gate with (source drain)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:02
S16 4	279	(simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near4 metal with ((source with drain)(drain with source))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:03
S16 5	159	S163 and S164	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:03
S16 6	159	S163 same S164	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:03
S16 7	4	(simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near4 metal with ((source with drain)(drain with source)) with ("same" identical conformal) near2 (layer film coating)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:29
S16 8	1	(simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near4 metal with (gate with (source drain)) with ("same" identical conformal) near2 (layer film coating)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:36
S16 9	34086	(wir\$3 connect\$4 interconnect\$4 link\$3) near4 gate near4 (source drain) same (wir\$3 connect\$4 interconnect\$4 link\$4) near4 ((source near5 drain)(drain near5 source))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:40

EAST Search History

S17 0	33	S169 and S164	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:40
S17 1	27	S163 and S169	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:41
S17 2	38	(S170 S171)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:49
S17 3	9293	form\$4 near3 source near3 electrode with gate near3 electrode same form\$4 near3 drain near3 electrode with source near3 electrode	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:53
S17 4	186	(simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near4 metal with gate with (source drain)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:53
S17 5	34086	(wir\$3 connect\$4 interconnect\$4 link\$3) near4 gate near4 (source drain) same (wir\$3 connect\$4 interconnect\$4 link\$4) near4 ((source near5 drain)(drain near5 source))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:53
S17 6	27	S174 and S175	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:53
S17 7	27	S176	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:53

EAST Search History

S17 8	256	simultan\$6 near3 form\$3 with gate with (source drain) with metal with layer	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 02:43
S17 9	118	simultan\$6 near3 form\$3 near8 metal near2 layer with gate with (source drain)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 02:43
S18 1	118	S178 and S179	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 02:43
S18 2	16	S175 and S181	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 02:43
S18 3	9293	form\$4 near3 source near3 electrode with gate near3 electrode same form\$4 near3 drain near3 electrode with source near3 electrode	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 03:57
S18 4	882	S183 same metal near2 layer	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 03:57
S18 5	43	S183 same metal near2 layer with simultan\$6	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 04:00
S18 6	334	simultan\$7 near3 (deposit\$4 sputter\$3 evaporat\$4 form\$4) with metal with drain with source with gate	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 04:00

EAST Search History

S18 7	37	S186 same (OLED TFT LED)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 04:08
S18 8	2	"20020000614".pn.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 04:59

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S11 2	58	Canon.as. and "expression tree"	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:07
S11 3	2	"20070052722".pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:07
S11 4	2	S113 and contin\$6	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:08
S11 5	2599	(345/76 345/77 345/78 345/79). ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:13
S11 7	17167	(345/8? 345/9? 345/100 345/101 345/102 345/103 345/104 345/105). ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:13
S12 0	2599	(345/76 345/77 345/78 345/79). ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:13
S12 2	17167	(345/8? 345/9? 345/100 345/101 345/102 345/103 345/104 345/105). ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 18:13
S12 9	6	(JP-2000284722-\$ JP-2000267131-\$ JP-2000137421-\$).did.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 21:51
S13 0	2	"6859193".pn.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:21

EAST Search History

S13 1	634	(fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4) near2 (wir\$3 connect\$4 interconnect\$4 link\$3) with (transistor FET OLED capacitor "holding element" JFET NFET PFET) with metal\$4	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 21:58
S13 2	2	S131 and "345"/\$.ccls.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 21:57
S13 3	656	(fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4) near2 (wir\$3 connect\$4 interconnect\$4 link\$3) with (transistor FET OLED capacitor "holding element" JFET NFET PFET TFT) with metal\$4	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 22:58
S13 4	461	(fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4) near2 (wir\$3 connect\$4 interconnect\$4 link\$3) near4 metal\$4 with (transistor FET OLED capacitor "holding element" JFET NFET PFET TFT)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 22:56
S13 5	83	S134 and (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 22:57
S13 6	2	S134 and "345"/\$.ccls.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 22:57
S13 7	50	S134 same (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 22:58
S13 8	6555	(fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near2 (wir\$3 connect\$4 interconnect\$4 link\$3) with (transistor FET OLED capacitor "holding element" JFET NFET PFET TFT) with metal\$4	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:29

EAST Search History

S13 9	50	S138 and S137	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:00
S14 0	4	("6770515" "5259881").pn.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:15
S14 2	1	(WO-200106484-\$ WO200106484-\$ WO-200106484\$).did.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:22
S14 3	9	(S140 S130 S142 S129).pn.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:23
S14 4	24016	gate with (source drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) same (((source) with (drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)))((drain) with (source) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal))))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:26

EAST Search History

S14 5	10924	gate with (source drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3) same (((source) with (drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3))((drain) with (source) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3)))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:36
S14 6	788	gate with (source drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3) same (((source) with (drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3))((drain) with (source) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3))) with metal)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:28
S14 7	784	gate with (source drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3) with metal same (((source) with (drain) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3))((drain) with (source) with (LED LCD TFT OLED (light adj emit\$4 adj (diode display))(thin adj film adj transistor)(liquid adj crystal)) with (wir\$3 connect\$4 interconnect\$4 link\$3))) with metal)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:37

EAST Search History

S14 8	173	S138 and S147	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:29
S14 9	134	S138 same S147	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:29
S15 0	396105	("same" identical simultaneous\$4) near3 (layer film coating)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:31
S15 1	79	S150 and S149	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:31
S15 2	13	S149 same S150	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:31
S15 3	2647	gate with (source drain) with (simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:45
S15 4	4377	((source with drain)(drain with source)) with (simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:45
S15 5	1992	S153 and S154	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:38

EAST Search History

S15 6	1933	S153 same S154	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:38
S15 7	19	S156 and S149	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:38
S15 8	410	gate with (source drain) with (simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) with metal	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:01
S15 9	568	((source with drain)(drain with source)) with (simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) with metal	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:45
S16 0	349	S158 and S159	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:45
S16 1	348	S158 same S159	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/12 23:45
S16 2	29	S161 and S146 not (S152 S157)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 00:54

EAST Search History

S16 3	186	(simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near4 metal with gate with (source drain)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:02
S16 4	279	(simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near4 metal with ((source with drain)(drain with source))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:03
S16 5	159	S163 and S164	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:03
S16 6	159	S163 same S164	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:03
S16 7	4	(simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near4 metal with ((source with drain)(drain with source)) with ("same" identical conformal) near2 (layer film coating)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:29
S16 8	1	(simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near4 metal with (gate with (source drain)) with ("same" identical conformal) near2 (layer film coating)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:36
S16 9	34086	(wir\$3 connect\$4 interconnect\$4 link\$3) near4 gate near4 (source drain) same (wir\$3 connect\$4 interconnect\$4 link\$4) near4 ((source near5 drain)(drain near5 source))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:40

EAST Search History

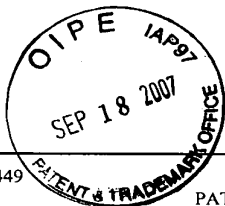
S17 0	33	S169 and S164	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:40
S17 1	27	S163 and S169	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:41
S17 2	38	(S170 S171)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:49
S17 3	9293	form\$4 near3 source near3 electrode with gate near3 electrode same form\$4 near3 drain near3 electrode with source near3 electrode	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:53
S17 4	186	(simultaneous\$4 concurr\$4 synchron\$7 contemporaneous\$4 concomitant) near3 (fabricat\$4 creat\$ sputter\$4 evaporat\$4 deposit\$4 form\$4 manufactur\$3 make made) near4 metal with gate with (source drain)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:53
S17 5	34086	(wir\$3 connect\$4 interconnect\$4 link\$3) near4 gate near4 (source drain) same (wir\$3 connect\$4 interconnect\$4 link\$4) near4 ((source near5 drain)(drain near5 source))	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:53
S17 6	27	S174 and S175	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:53
S17 7	27	S176	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 01:53

EAST Search History

S17 8	256	simultan\$6 near3 form\$3 with gate with (source drain) with metal with layer	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 02:43
S17 9	118	simultan\$6 near3 form\$3 near8 metal near2 layer with gate with (source drain)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 02:43
S18 1	118	S178 and S179	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 02:43
S18 2	16	S175 and S181	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 02:43
S18 3	9293	form\$4 near3 source near3 electrode with gate near3 electrode same form\$4 near3 drain near3 electrode with source near3 electrode	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 03:57
S18 4	882	S183 same metal near2 layer	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 03:57
S18 5	43	S183 same metal near2 layer with simultan\$6	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 04:00
S18 6	334	simultan\$7 near3 (deposit\$4 sputter\$3 evaporat\$4 form\$4) with metal with drain with source with gate	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 04:00

EAST Search History

S18 7	37	S186 same (OLED TFT LED)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 04:08
S18 8	2	"20020000614".pn.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/09/13 04:59

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)		US Dept. of Commerce PATENT & TRADEMARK OFFICE		ATTY DOCKET NO. 114251		APPLICATION NO. 10/299,861	
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)				APPLICANT(S) Yojiro MATSUEDA			
				FILING DATE November 20, 2002		GROUP 2628	
U.S. PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Name			
	1	2004/012548	1-22-2004	Anzai			
FOREIGN PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation	
	2	JP A 2003-323133	11-14-2003	Japan	X	X	
OTHER DOCUMENTS							
Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)					
EXAMINER				DATE CONSIDERED			
Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

Date: September 18, 2007

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-323133

(43)Date of publication of application : 14.11.2003

(51)Int.Cl.

G09F 9/30
H05B 33/14

(21)Application number : 2002-128008

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing :

30.04.2002

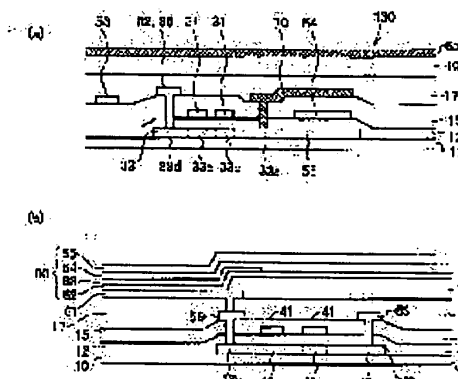
(72)Inventor : ANZAI KATSUYA

(54) ELECTROLUMINESCENCE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve display quality and extend a life of an organic EL element by reducing a holding capacitance forming area for holding a video signal supplied to a gate of a driving transistor in an EL display device.

SOLUTION: On a source 33s of a TFT 30 serving also as a 1st capacitance electrode layer 55, a 2nd capacitance electrode layer 54 is formed via a gate insulating film 12. The 2nd capacitance electrode layer 54 is the same layer as the gate electrode 31 and formed through the same process. On the 2nd capacitance electrode layer 54, a 3rd capacitance layer 70 is extendedly arranged via an interlayer insulating electrode film 15. The 3rd capacitance electrode layer 70 is formed in the same layer as a drain electrode 36 and a drain signal line 52. The 3rd capacitance layer 70 is connected to the source 33s of the TFT 30.



LEGAL STATUS

[Date of request for examination] 22.04.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It has two or more picture element parts. Each picture element part An electroluminescent element, The transistor for actuation which drives said electroluminescent element, A drain signal line and the transistor for pixel selection which switches according to a gate signal and supplies the video signal from said drain signal line to the gate of said transistor for actuation, It is a electroluminescence display possessing the retention volume for holding the video signal supplied to the gate of said transistor for actuation. Said retention volume The 2nd capacity electrode layer formed through the 1st insulator layer on the source of said transistor for pixel selection which served as the 1st capacity electrode layer, The electroluminescence display characterized by having the 3rd capacity electrode layer which was connected to said source and installed through the 2nd insulator layer on said 2nd capacity electrode layer.

[Claim 2] Said 2nd capacity electrode layer is a electroluminescence display according to claim 1 characterized by being formed in the same layer as the gate of said transistor for pixel selection.

[Claim 3] Said 1st insulator layer is a electroluminescence display according to claim 1 characterized by being formed by the same film as the gate dielectric film of said transistor for pixel selection.

[Claim 4] Said 3rd capacity electrode layer is a electroluminescence display according to claim 1 characterized by being formed in the same layer as said drain signal line.

[Claim 5] Said 2nd insulator layer is a electroluminescence display according to claim 1 characterized by being formed by the same film as the gate of said transistor for pixel selection, and the interlayer insulation film between said drain signal lines.

[Claim 6] The electroluminescent element in which it has two or more picture element parts, and each picture element part has an anode plate layer, a luminous layer, and catholyte, The transistor for actuation which drives said electroluminescent element, A drain signal line and the transistor for pixel selection which switches according to a gate signal and supplies the video signal from said drain signal line to the gate of said transistor for actuation, It is the electroluminescence display equipped with the retention volume for holding the video signal supplied to the gate of said transistor for actuation. Said retention volume The 2nd capacity electrode layer formed through the 1st insulator layer on the source of said transistor for pixel selection which served as the 1st capacity electrode layer, The 3rd capacity electrode layer which was connected to said source and installed through the 2nd insulator layer on said 2nd capacity electrode layer, it connects with said 3rd capacity electrode layer -- having -- this -- the electroluminescence display characterized by providing the 4th capacity electrode layer installed through the 3rd insulator layer on the 3rd capacity electrode layer, and the 5th capacity electrode layer installed through the 4th insulator layer on said 4th capacity electrode layer.

[Claim 7] Said 2nd capacity electrode layer is a electroluminescence display according to claim 5 characterized by being formed in the same layer as the gate of said transistor for pixel selection.

[Claim 8] Said 1st insulator layer is a electroluminescence display according to claim 6 characterized by being formed by the same film as the gate dielectric film of said transistor for pixel selection.

[Claim 9] Said 3rd capacity electrode layer is a electroluminescence display according to claim 6

characterized by being formed in the same layer as said drain signal line.

[Claim 10] Said 2nd insulator layer is a electroluminescence display according to claim 6 characterized by being formed by the same film as the gate of said transistor for pixel selection, and the interlayer insulation film between said drain signal lines.

[Claim 11] Said 4th capacity electrode layer is a electroluminescence display according to claim 6 characterized by being formed in the same layer as said anode plate layer.

[Claim 12] Said 3rd insulator layer is a electroluminescence display according to claim 6 characterized by being formed by the same film as the 1st flattening insulator layer.

[Claim 13] Said 5th capacity electrode layer is a electroluminescence display according to claim 6 characterized by being formed in the same layer as said catholyte.

[Claim 14] Said 4th insulator layer is a electroluminescence display according to claim 6 characterized by being formed by the same film as the 2nd flattening insulator layer.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the electroluminescence display which has the retention volume for holding the video signal supplied to the gate of the transistor for actuation about a electroluminescence display.

[0002]

[Description of the Prior Art] In recent years, researches and developments of EL display equipped with the thin film transistor ("TFT" is called below Thin Film Transistor:.) as a switching element which it is observed [switching element] as a display which EL display using an electroluminescence ("EL" is called below Electro Luminescence:.) component replaces with CRT or LCD, for example, makes the EL element drive are also furthered. The representative circuit schematic of 1 pixel of an organic electroluminescence display is shown in drawing 4 . The gate signal line 51 which supplies a gate signal Gn, and the drain signal line 52 which supplies the drain signal Dm, i.e., a video signal, cross mutually.

[0003] TFT30 for choosing 40 pixel TFT which drives an organic EL device 60 and this organic EL device 60 near the crossing of both those signal lines is arranged.

[0004] Positive supply voltage PVdd is supplied to drain 43d of TFT40 for organic EL device actuation. Moreover, it connects with the anode 61 of an organic EL device 60 source 43s.

[0005] Moreover, a video signal Dm is supplied by supplying a gate signal Gn and connecting the drain signal line 52 to drain 33d by connecting the gate signal line 51 to the gate 31 of TFT30 for pixel selection. It connects with the gate 41 of the above TFT40 source 33s of TFT30. Here, a gate signal Gn is outputted from a non-illustrated gate driver circuit. A video signal Dm is outputted from a non-illustrated drain driver circuit.

[0006] Moreover, an organic EL device 60 consists of the light emitting device layer 63 formed between the anode 61, the cathode 65, and this anode 61 and a cathode 65. Negative supply voltage valve flow coefficient is supplied to the cathode 65.

[0007] Moreover, retention volume 130 is connected to the gate 41 of TFT40. That is, one electrode of retention volume 130 is connected to the gate 41, and the electrode of another side is connected to the retention volume electrode 131. By holding the charge according to a video signal Dm, retention volume 130 is formed in order to hold the video signal of 1 field period and a display pixel.

[0008] It is as follows when actuation of EL display of a configuration of having mentioned above is explained. If a gate signal Gn is set to a 1 level period and high level, TFT30 turns on. Then, a video signal Dm lets TFT30 pass from the drain signal line 52, and it is impressed by the gate 41 of TFT40. And according to the video signal Dm supplied to the gate 41, the conductance of TFT40 changes, the actuation current according to it lets TFT40 pass, an organic EL device 60 is supplied, and an organic EL device 60 lights up.

[0009] The cross-section structure of the above-mentioned retention volume 130 is shown in drawing 5 . TFT30 is formed on the insulating substrate 10. TFT30 has the gate 31 formed on drain 33d and gate-dielectric-film top 12 source 33s. And on source 33s of TFT30, the retention volume electrode 131 is

formed through gate dielectric film 12. The fixed electrical potential difference is impressed to the retention volume electrode 131.

[0010] Thus, since the potential of the gate of the transistor 40 for actuation which controls the amount of currents which determines the brightness of an organic EL device 60 was fixed conventionally, retention volume 130 was formed for every pixel.

[0011]

[Problem(s) to be Solved by the Invention] Display grace will be affected if the drop voltage of the video signal Dm supplied to a pixel is large. So, in order to stop this drop voltage, it is necessary to enlarge capacity value of retention volume 130 to some extent. That is, it is necessary to enlarge area of retention volume 30.

[0012] By the way, a top emission mold and a bottom product emission mold are shown in an organic electroluminescence indicating equipment. In a top emission mold, the light which emitted light from the organic EL device 60 is injected in the insulating substrate 10 from the organic EL device 60, i.e., panel top face, side of an opposite hand. On the other hand, in a bottom product emission mold, the light which emitted light from the organic EL device 60 is injected from the insulating substrate 10 side.

[0013] With the organic electroluminescence indicating equipment of a top emission mold, even if it enlarges area of retention volume 130, although it is satisfactory, with a bottom product emission mold, the formation part of retention volume will work as a blind, and a numerical aperture will decrease. For this reason, in order to obtain required brightness, the current supplied to an organic EL device compared with the case where allowances are in a numerical aperture needed to be made to increase, and there was a problem that the life of an organic EL device will become short as a result.

[0014]

[Means for Solving the Problem] This invention has two or more picture element parts. Then, each picture element part An electroluminescent element and the transistor for actuation which drives said electroluminescent element, A drain signal line and the transistor for pixel selection which switches according to a gate signal and supplies the video signal from said drain signal line to the gate of said transistor for actuation, It is a electroluminescence display possessing the retention volume for holding the video signal supplied to the gate of said transistor for actuation. Said retention volume The 2nd capacity electrode layer formed through the 1st insulator layer on the source of said transistor for pixel selection which served as the 1st capacity electrode layer, It connects with said source and is characterized by having the 3rd capacity electrode layer installed through the 2nd insulator layer on said 2nd capacity electrode layer.

[0015] According to this invention, since retention volume is formed in the capacity electrode layer of multilayer structure, the formation area of retention volume is reducible. Moreover, capacity value which retention volume has can be enlarged, without causing decline in a numerical aperture.

[0016]

[Embodiment of the Invention] Next, the 1st operation gestalt of this invention is explained. The top view showing the picture element part of an organic electroluminescence display in drawing 1 is shown, the sectional view which met drawing 2 (a) at the A-A line in drawing 1 is shown, and the sectional view which met drawing 2 (b) at the B-B line in drawing 1 is shown. In addition, the equal circuit of the picture element part concerned is the same as what was shown in drawing 4.

[0017] As shown in drawing 1 and drawing 2, the picture element part 115 is formed in the field surrounded by the gate signal line 51 and the drain signal line 52. And two or more picture element parts 115 are arranged in the shape of a matrix, and constitute the viewing area.

[0018] TFT30 for pixel selection which controls the timing which supplies a current to the organic EL device 60 which is a spontaneous light corpuscle child, and this organic EL device 60 in this picture element part 115, TFT40 for organic EL device actuation which supplies a current to an organic EL device 60, and retention volume 130 are arranged. In addition, the organic EL device 60 consists of the light emitting device layer which consists of an anode (anode plate) layer 61 and luminescent material, and the cathode (cathode) layer 65.

[0019] That is, TFT30 for pixel selection is formed near the intersection of both the signal lines 51 and

52. Source 33s of TFT30, while serving as the 1st capacity electrode layer 55, it connects with the gate 41 of TFT40 for organic EL device actuation. On source 33s of TFT30, the 2nd capacity electrode layer 54 is formed through gate dielectric film 12. The 2nd capacity electrode layer 54 consists of chromium, molybdenum, etc., and is arranged in parallel to the gate signal line 51. Furthermore, on the 2nd capacity electrode layer 54, the 3rd capacity electrode layer 70 is formed through the interlayer insulation film 15.

[0020] Moreover, it connects with the anode layer 61 of an organic EL device 60 source 43s of TFT40 for organic EL device actuation, and connects with the actuation power-source line 53 which is the current source supplied to an organic EL device 60 drain 43d of another side.

[0021] As shown in drawing 2, on the substrates 10, such as a substrate which has the substrate or conductivity which consists of glass, synthetic resin, etc., or a semi-conductor substrate, an organic electroluminescence display carries out laminating formation, and changes TFT and an organic EL device at order. However, in using the substrate and semi-conductor substrate which have conductivity as substrates 10, insulator layers, such as SiO₂ and SiN, were formed upwards on these substrates 10, and it forms TFT 30 and 40 and an organic EL device. It is the so-called top gate structure where which TFT has a gate electrode above an active layer through gate dielectric film.

[0022] Next, the structure of TFT30 for pixel selection and retention volume 139 is explained to a detail. As shown in drawing 2 (a), on the insulating substrate 10 which consists of quartz glass, alkali free glass, etc., an amorphous silicone film (the "a-Si film" is called hereafter.) is formed with a CVD method etc., and irradiate a laser beam, and the a-Si film is made it to carry out melting recrystallization, consider as a polycrystal silicone film (the "p-Si film" is called hereafter.), and let this be an active layer 33. Moreover, the monolayer or layered product of SiO₂ film and an SiN film is formed as gate dielectric film 12.

[0023] Furthermore, on it, it has the gate signal line 51 which served as the gate electrode 31 which consists of refractory metals, such as Cr and Mo, and the drain signal line 52 which consists of aluminum, and the actuation power-source line 53 which is the actuation power source of an organic EL device, and consists of aluminum is arranged.

[0024] And the interlayer insulation film 15 by which the laminating was carried out is formed in the order of SiO₂ film, an SiN film, and SiO₂ film the whole surface on gate dielectric film 12 and an active layer 33, the drain electrode 36 filled up with metals, such as aluminum, is formed in the contact hole prepared corresponding to drain 33d, and the 1st flattening insulator layer 17 which changes from organic resin to the whole surface further, and makes a front face flat is formed.

[0025] Next, the structure of retention volume 130 is explained. It serves as the 1st capacity electrode layer 55 source 33s of TFT30. On source 33s of TFT30 used also [layer / 55 / 1st / capacity electrode], the 2nd capacity electrode layer 54 is formed through gate dielectric film 12. The 2nd capacity electrode layer 54 consists of refractory metals, such as Cr and Mo, is the same layer as the gate electrode 31, and is formed at the same process. On the 2nd capacity electrode layer 54, the 3rd capacity electrode layer 70 is installed through the interlayer insulation film 15. The 3rd capacity electrode layer 70 is the same layer as the drain electrode 36 and the drain signal line 52, and is formed at the same process. Moreover, the 3rd capacity electrode layer 70 is connected with source 33s of TFT30 through the contact hole.

[0026] That is, since retention volume 139 has multilayer structure whose 2nd capacity electrode layer 54 was pinched through the insulator layer by the 1st capacity electrode layer 55 and the 3rd capacity electrode layer 70, it can form a big capacity in little occupancy area.

[0027] Moreover, it is possible by installing the cathode layer 65 on the 3rd capacity electrode layer 70 through the 1st flattening insulator layer 17 and the 2nd flattening insulator layer 19 to obtain a still bigger capacity.

[0028] Next, TFT40 for organic EL device actuation is explained. As shown in drawing 2 (b), on the insulating substrate 10 which consists of quartz glass, alkali free glass, etc., the gate electrode 41 which consists of refractory metals, such as the active layer 43 and gate dielectric film 12 irradiate a laser beam and it comes [polycrystal]-izing [gate dielectric film], and Cr, Mo, is formed in the a-Si film in order, and source 43s and drain 43d is prepared at that active layer 43 at the both sides of channel 43c and this

channel 43c. And the interlayer insulation film 15 by which the laminating was carried out to the order of SiO₂ film, an SiN film, and SiO₂ film is formed the whole surface on gate dielectric film 12 and an active layer 43, and the actuation power-source line 53 which filled up the contact hole prepared corresponding to drain 43d with metals, such as aluminum, and was connected to the actuation power source is formed. Moreover, the contact hole prepared corresponding to source 43s is filled up with metals, such as aluminum, and the source electrode 56 is formed in it.

[0029] Furthermore, the whole surface is equipped with the 1st flattening insulator layer 17 which consists of organic resin and makes a front face flat. And a contact hole is formed in the location corresponding to the source electrode 56 of that 1st flattening insulator layer 17, and the anode layer 61 of the transparent electrode which consists of ITO connected with the source electrode 56 through this contact hole, i.e., an organic EL device, is formed on the 1st flattening insulator layer 17. Separation formation of this anode layer 61 is carried out for every picture element part at island shape. Although the 2nd flattening insulator layer 19 is further formed on the 1st flattening insulator layer 17, the 2nd flattening insulator layer 19 is removed about the anode layer 61 top.

[0030] The anode layer 61 to which an organic EL device 60 changes from transparent electrodes, such as ITO (Indium Tin Oxide), the 1st hole transporting bed which consists of MTDATA (4 and 4-bis(3-methylphenylphenylamino) biphenyl), The hole transporting bed 62 and the Quinacridone (Quinacridone) derivative which consist of the 2nd hole transporting bed which consists of TPD (4, 4, and 4-tris(3-methylphenylphenylamino) triphenylamine) The luminous layer 63 which consists of included Beq2 (10-[benzoh] quinolinol-beryllium complex) and the electron transport layer 64 which consists of Beq2, a magnesium indium alloy, or aluminum, Or the cathode layer 65 which consists of an aluminum alloy is the structure by which laminating formation was carried out in this sequence.

[0031] The hole poured in from the anode layer 61 and the electron poured in from the cathode layer 65 recombine an organic EL device 60 inside a luminous layer, it excites the organic molecule which forms a luminous layer, and an exciton produces it. Light is emitted from a luminous layer in the process in which this exciton carries out radiation deactivation, and from the transparent anode layer 61, this light is emitted to the exterior through a transparence insulating substrate, and emits light.

[0032] Next, the 2nd operation gestalt of this invention is explained. Drawing 3 shows the sectional view of a picture element part, and the sectional view where drawing 3 (a) met the A-A line in drawing 1, and drawing 3 (b) support the sectional view which met the B-B line in drawing 1. In addition, the equal circuit of the picture element part concerned is the same as what was shown in drawing 3 also about this operation gestalt.

[0033] With the 1st operation gestalt, although retention volume 139 is the multilayer structure whose 2nd capacity electrode layer 54 was pinched through the insulator layer by the 1st capacity electrode layer 55 and the 3rd capacity electrode layer 70, in this operation gestalt, it attains the further multilayering and aims at the increment in the capacity value per unit area.

[0034] In addition to the above-mentioned configuration, with this operation gestalt, the 4th capacity electrode layer 71 is further installed through the 1st flattening insulator layer 17 on the 3rd capacity electrode layer 70. The 4th capacity electrode layer 71 is the same layer as the anode layer 61, and is formed at the same process.

[0035] Moreover, the cathode layer 65 is further installed through the 2nd flattening insulator layer 19 on the 4th capacity electrode layer 71. This cathode layer 65 functions as 5th capacity electrode layer.

[0036] Although capacity is formed between the 3rd capacity electrode layer 70 and the cathode layer 65 with the 1st operation gestalt, the capacity insulator layer is the 1st flattening insulator layer 17 and the 2nd flattening insulator layer 19. On the other hand, with this operation gestalt, capacity is formed between the 4th capacity electrode layer 71 and the cathode layer 65. Since the capacity insulator layer is only the 2nd flattening insulator layer 19, the capacity inter-electrode capacity insulator layer which counters can become thin as compared with the 1st operation gestalt, and it can make the part capacity value increase.

[0037]

[Effect of the Invention] Since the retention volume for holding the video signal supplied to the gate of

the transistor for actuation is formed in the capacity electrode layer of multilayer structure according to the electroluminescence indicating equipment of this invention, the formation area of retention volume is reducible. Moreover, without causing decline in a numerical aperture, big retention volume can be secured and improvement in display grace can be aimed at.

[0038] Moreover, since decline in a numerical aperture is not caused, it is not necessary to make the current supplied to an organic EL device increase, and life-ization of an organic EL device can be attained as the result.

[Translation done.]

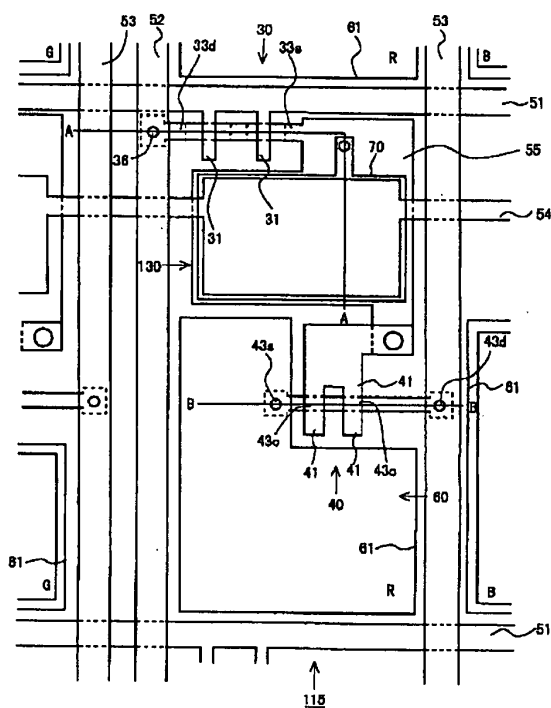
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

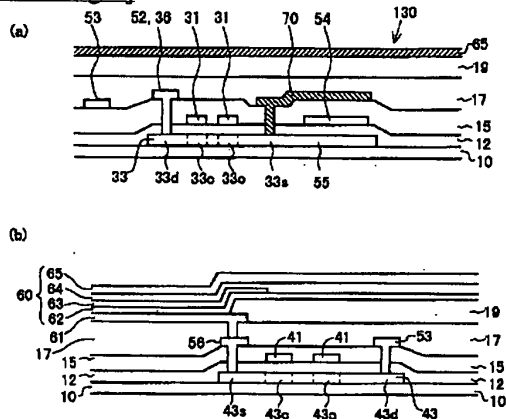
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

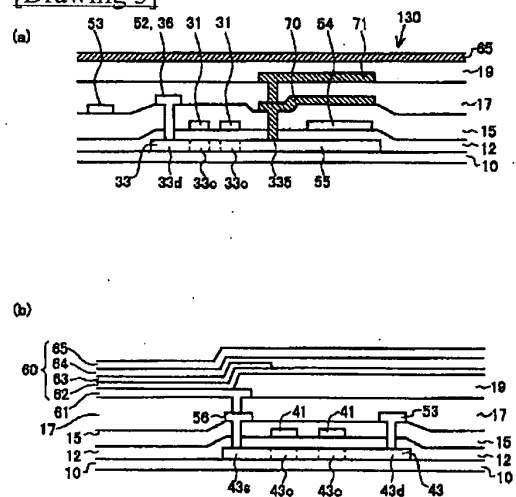
[Drawing 1]



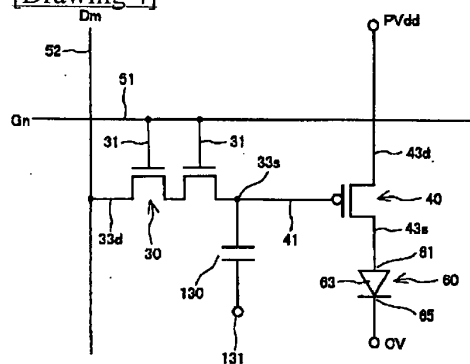
[Drawing 2]



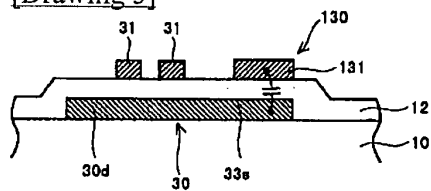
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-323133

(P2003-323133A)

(43) 公開日 平成15年11月14日 (2003. 11. 14)

(51) Int.Cl. ⁷	識別記号	F I	ターマート* (参考)
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 3 K 0 0 7
	3 3 6		3 3 6 5 C 0 9 4
	3 6 5		3 6 5 Z
H 0 5 B 33/14		H 0 5 B 33/14	A

審査請求 未請求 請求項の数14 O L (全 6 頁)

(21) 出願番号 特願2002-128008 (P2002-128008)

(22) 出願日 平成14年4月30日 (2002. 4. 30)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 安齋 勝矢

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100107906

弁理士 須藤 克彦 (外1名)

Fターム(参考) 3K007 AB02 AB03 AB11 AB17 DB03

GA00

5C094 AA07 AA31 BA03 BA27 CA19

DA13 DA15 DB04 FA02 FB02

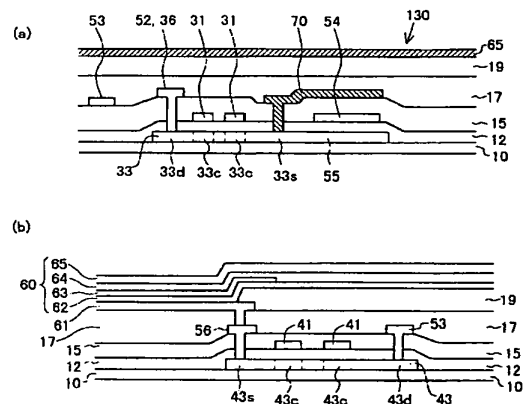
FB15 FB19 HA08

(54) 【発明の名称】 エレクトロルミネッセンス表示装置

(57) 【要約】

【課題】 EL表示装置において、駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量の形成面積を縮小し、表示品位の向上と有機EL素子の寿命延長を図る。

【解決手段】 第1の容量電極層55と兼用されたTFT 30のソース33s上には、ゲート絶縁膜12を介して第2の容量電極層54が設けられている。第2の容量電極層54は、ゲート電極31と同一の層で、同一工程で形成されている。第2の容量電極層54上には、層間絶縁膜15を介して、第3の容量電極層70が延設されている。第3の容量電極層70は、ドレイン電極36、ドレイン信号線52と同一の層で形成されている。第3の容量電極層70はTFT 30のソース33sと接続されている。



【特許請求の範囲】

【請求項 1】 複数の画素部を有し、各画素部は、エレクトロルミネッセンス素子と、前記エレクトロルミネッセンス素子を駆動する駆動用トランジスタと、ドレイン信号線と、ゲート信号に応じてスイッチングし、前記駆動用トランジスタのゲートに前記ドレイン信号線からのビデオ信号を供給する画素選択用トランジスタと、前記駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量と、を具備するエレクトロルミネッセンス表示装置であって、
前記保持容量は、第 1 の容量電極層を兼ねた前記画素選択用トランジスタのソース上に、第 1 の絶縁膜を介して形成された第 2 の容量電極層と、前記ソースに接続され、前記第 2 の容量電極層上に第 2 の絶縁膜を介して延設された第 3 の容量電極層と、を有することを特徴とするエレクトロルミネッセンス表示装置。

【請求項 2】 前記第 2 の容量電極層は、前記画素選択用トランジスタのゲートと同一の層で形成されていることを特徴とする請求項 1 記載のエレクトロルミネッセンス表示装置。

【請求項 3】 前記第 1 の絶縁膜は、前記画素選択用トランジスタのゲート絶縁膜と同一の膜で形成されていることを特徴とする請求項 1 記載のエレクトロルミネッセンス表示装置。

【請求項 4】 前記第 3 の容量電極層は、前記ドレイン信号線と同一の層で形成されていることを特徴とする請求項 1 記載のエレクトロルミネッセンス表示装置。

【請求項 5】 前記第 2 の絶縁膜は、前記画素選択用トランジスタのゲートと前記ドレイン信号線間の層間絶縁膜と同一の膜で形成されていることを特徴とする請求項 1 記載のエレクトロルミネッセンス表示装置。

【請求項 6】 複数の画素部を有し、各画素部は、陽極層、発光層及び陰極層を有するエレクトロルミネッセンス素子と、前記エレクトロルミネッセンス素子を駆動する駆動用トランジスタと、ドレイン信号線と、ゲート信号に応じてスイッチングし、前記駆動用トランジスタのゲートに前記ドレイン信号線からのビデオ信号を供給する画素選択用トランジスタと、前記駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量と、を備えたエレクトロルミネッセンス表示装置であって、
前記保持容量は、第 1 の容量電極層を兼ねた前記画素選択用トランジスタのソース上に、第 1 の絶縁膜を介して形成された第 2 の容量電極層と、前記ソースに接続され前記第 2 の容量電極層上に第 2 の絶縁膜を介して延設された第 3 の容量電極層と、前記第 3 の容量電極層に接続され該第 3 の容量電極層上に第 3 の絶縁膜を介して延設された第 4 の容量電極層と、前記第 4 の容量電極層上に第 4 の絶縁膜を介して延設された第 5 の容量電極層と、を具備することを特徴とするエレクトロルミネッセンス

表示装置。

【請求項 7】 前記第 2 の容量電極層は、前記画素選択用トランジスタのゲートと同一の層で形成されていることを特徴とする請求項 5 記載のエレクトロルミネッセンス表示装置。

【請求項 8】 前記第 1 の絶縁膜は、前記画素選択用トランジスタのゲート絶縁膜と同一の膜で形成されていることを特徴とする請求項 6 記載のエレクトロルミネッセンス表示装置。

10 【請求項 9】 前記第 3 の容量電極層は、前記ドレイン信号線と同一の層で形成されていることを特徴とする請求項 6 記載のエレクトロルミネッセンス表示装置。

【請求項 10】 前記第 2 の絶縁膜は、前記画素選択用トランジスタのゲートと前記ドレイン信号線間の層間絶縁膜と同一の膜で形成されていることを特徴とする請求項 6 記載のエレクトロルミネッセンス表示装置。

【請求項 11】 前記第 4 の容量電極層は、前記陽極層と同一の層で形成されていることを特徴とする請求項 6 記載のエレクトロルミネッセンス表示装置。

20 【請求項 12】 前記第 3 の絶縁膜は、第 1 平坦化絶縁膜と同一の膜で形成されていることを特徴とする請求項 6 記載のエレクトロルミネッセンス表示装置。

【請求項 13】 前記第 5 の容量電極層は、前記陰極層と同一の層で形成されていることを特徴とする請求項 6 記載のエレクトロルミネッセンス表示装置。

【請求項 14】 前記第 4 の絶縁膜は、第 2 平坦化絶縁膜と同一の膜で形成されていることを特徴とする請求項 6 記載のエレクトロルミネッセンス表示装置。

【発明の詳細な説明】

30 【0001】

【発明の属する技術分野】本発明は、エレクトロルミネッセンス表示装置に関し、特に、駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量を有するエレクトロルミネッセンス表示装置に関する。

【0002】

【従来の技術】近年、エレクトロルミネッセンス (Electro Luminescence: 以下、「EL」と称する。) 素子を用いた EL 表示装置が、CRT や LCD に代わる表示装置として注目されており、例えば、その EL 素子を駆動させるスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下、「TFT」と称する。) を備えた EL 表示装置の研究開発も進められている。図 4 に有機 EL 表示装置の一画素の等価回路図を示す。ゲート信号 Gn を供給するゲート信号線 51 と、ドレイン信号、すなわち、ビデオ信号 Dm を供給するドレイン信号線 52 とが互いに交差している。

40 【0003】それらの両信号線の交差点付近には、有機 EL 素子 60 及びこの有機 EL 素子 60 を駆動する TFT 40、画素を選択するための TFT 30 が配置されて

いる。

【0004】有機EL素子駆動用のTFT40のドレイン43dには、正電源電圧PVddが供給されている。また、ソース43sは有機EL素子60のアノード61に接続されている。

【0005】また、画素選択用のTFT30のゲート31にはゲート信号線51が接続されることによりゲート信号Gnが供給され、ドレイン33dにはドレイン信号線52が接続されることにより、ビデオ信号Dmが供給される。TFT30のソース33sは上記TFT40のゲート41に接続されている。ここで、ゲート信号Gnは不図示のゲートドライバ回路から出力される。ビデオ信号Dmは不図示のドレインドライバ回路から出力される。

【0006】また、有機EL素子60は、アノード61、カソード65、このアノード61とカソード65の間に形成された発光素子層63から成る。カソード65には、負電源電圧CVが供給されている。

【0007】また、TFT40のゲート41には保持容量130が接続されている。すなわち、保持容量130の一方の電極はゲート41に接続され、他方の電極は保持容量電極131に接続されている。保持容量130はビデオ信号Dmに応じた電荷を保持することにより、1フィールド期間、表示画素のビデオ信号を保持するために設けられている。

【0008】上述した構成のEL表示装置の動作を説明すると以下の通りである。ゲート信号Gnが一水平期間、ハイレベルになると、TFT30がオンする。すると、ドレイン信号線52からビデオ信号DmがTFT30を通して、TFT40のゲート41に印加される。そして、ゲート41に供給されたビデオ信号Dmに応じて、TFT40のコンダクタンスが変化し、それに応じた駆動電流がTFT40を通して、有機EL素子60に供給され、有機EL素子60が点灯する。

【0009】図5に、上述の保持容量130の断面構造を示す。絶縁性基板10上に、TFT30が形成されている。TFT30は、ソース33s、ドレイン33d及びゲート絶縁膜上12上に形成されたゲート31とを有している。そして、TFT30のソース33s上にはゲート絶縁膜12を介して保持容量電極131が形成されている。保持容量電極131には一定電圧が印加されている。

【0010】このように、従来、有機EL素子60の輝度を決定する電流量を制御する駆動用トランジスタ40のゲートの電位を固定するために、各画素毎に保持容量130を形成していた。

【0011】

【発明が解決しようとする課題】画素に供給されるビデオ信号Dmのドロップ電圧量が大きいと表示品位に影響が出てしまう。そこで、このドロップ電圧量を抑えるた

めには、保持容量130の容量値をある程度大きくする必要がある。すなわち、保持容量30の面積を大きくする必要がある。

【0012】ところで、有機EL表示装置には、トップエミッション型とボトムエミッション型がある。トップエミッション型では、有機EL素子60から発光された光は、絶縁性基板10とは反対側の有機EL素子60の側、すなわちパネル上面側から射出される。一方、ボトムエミッション型では、有機EL素子60から発光された光は、絶縁性基板10の側から射出される。

【0013】保持容量130の面積を大きくしても、トップエミッション型の有機EL表示装置では問題ないが、ボトムエミッション型では保持容量の形成部分はブラインドとして働き、開口率が減少してしまう。このため、必要な輝度を得るために、開口率に余裕がある場合に比べて有機EL素子に供給する電流を増加させる必要があり、結果として有機EL素子の寿命が短くなってしまふという問題があった。

【0014】

【課題を解決するための手段】そこで、本発明は、複数の画素部を有し、各画素部は、エレクトロルミネッセンス素子と、前記エレクトロルミネッセンス素子を駆動する駆動用トランジスタと、ドレイン信号線と、ゲート信号に応じてスイッチングし、前記駆動用トランジスタのゲートに前記ドレイン信号線からのビデオ信号を供給する画素選択用トランジスタと、前記駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量と、を具備するエレクトロルミネッセンス表示装置であって、前記保持容量は、第1の容量電極層を兼ねた前記画素選択用トランジスタのソース上に、第1の絶縁膜を介して形成された第2の容量電極層と、前記ソースに接続され、前記第2の容量電極層上に第2の絶縁膜を介して延設された第3の容量電極層と、を有することを特徴とするものである。

【0015】本発明によれば、保持容量を多層構造の容量電極層で形成しているので、保持容量の形成面積を縮小することができる。また、開口率の低下を招くことなく、保持容量が有する容量値を大きくすることができる。

【0016】

【発明の実施の形態】次に、本発明の第1の実施形態について説明する。図1に有機EL表示装置の画素部を示す平面図を示し、図2(a)に図1中のA-A線に沿った断面図を示し、図2(b)に図1中のB-B線に沿った断面図を示す。なお、当該画素部の等価回路は図4に示したものと同一である。

【0017】図1及び図2に示すように、ゲート信号線51とドレイン信号線52とに囲まれた領域に画素部115が形成されている。そして、複数の画素部115がマトリクス状に配置され、表示領域を構成している。

【0018】この画素部115には、自発光素子である有機EL素子60と、この有機EL素子60に電流を供給するタイミングを制御する画素選択用TFT30と、有機EL素子60に電流を供給する有機EL素子駆動用TFT40と、保持容量130とが配置されている。なお、有機EL素子60は、アノード（陽極）層61と発光材料からなる発光素子層と、カソード（陰極）層65とから成っている。

【0019】即ち、両信号線51、52の交点付近には画素選択用TFT30が設けられている。TFT30のソース33sは第1の容量電極層55を兼ねるとともに、有機EL素子駆動用TFT40のゲート41に接続されている。TFT30のソース33s上には、ゲート絶縁膜12を介して第2の容量電極層54が設けられている。第2の容量電極層54は、クロムやモリブデン等から成っており、ゲート信号線51と並行して配置されている。さらに、第2の容量電極層54上には、層間絶縁膜15を介して、第3の容量電極層70が形成されている。

【0020】また、有機EL素子駆動用のTFT40のソース43sは有機EL素子60のアノード層61に接続され、他方のドレイン43dは有機EL素子60に供給される電流源である駆動電源線53に接続されている。

【0021】図2に示すように、有機EL表示装置は、ガラスや合成樹脂などから成る基板又は導電性を有する基板あるいは半導体基板等の基板10上に、TFT及び有機EL素子を順に積層形成して成る。ただし、基板10として導電性を有する基板及び半導体基板を用いる場合には、これらの基板10上にSiO₂やSiNなどの絶縁膜を形成した上にTFT30、40及び有機EL素子を形成する。いずれのTFTともに、ゲート電極がゲート絶縁膜を介して能動層の上方にあるいわゆるトップゲート構造である。

【0022】次に、画素選択用TFT30、及び保持容量139の構造について詳細に説明する。図2(a)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、非晶質シリコン膜（以下、「a-Si膜」と称する。）をCVD法等にて成膜し、そのa-Si膜にレーザ光を照射して熔融再結晶化させて多結晶シリコン膜（以下、「p-Si膜」と称する。）とし、これを能動層33とする。その上に、SiO₂膜、SiN膜の単層あるいは積層体をゲート絶縁膜12として形成する。

【0023】更にその上に、Cr、Moなどの高融点金属からなるゲート電極31を兼ねたゲート信号線51、及びA1から成るドレイン信号線52を備えており、有機EL素子の駆動電源でありA1から成る駆動電源線53が配置されている。

【0024】そして、ゲート絶縁膜12及び能動層33

上の全面には、SiO₂膜、SiN膜及びSiO₂膜の順に積層された層間絶縁膜15が形成されており、ドレイン33dに対応して設けたコンタクトホールにA1等の金属を充填したドレイン電極36が設けられ、更に全面に有機樹脂から成り表面を平坦にする第1平坦化絶縁膜17が形成されている。

【0025】次に保持容量130の構造について説明する。TFT30のソース33sは第1の容量電極層55を兼ねている。第1の容量電極層55と兼用されたTFT30のソース33s上には、ゲート絶縁膜12を介して第2の容量電極層54が設けられている。第2の容量電極層54は、Cr、Moなどの高融点金属から成り、ゲート電極31と同一の層で、同一工程で形成されている。第2の容量電極層54上には、層間絶縁膜15を介して、第3の容量電極層70が延設されている。第3の容量電極層70は、ドレイン電極36、ドレイン信号線52と同一の層で、同一工程で形成されている。また、第3の容量電極層70はコンタクトホールを介してTFT30のソース33sと接続されている。

【0026】即ち、保持容量139は、第2の容量電極層54を、絶縁膜を介して、第1の容量電極層55、第3の容量電極層70によって挟んだ多層構造となっているため、少ない占有面積で大きな容量を形成することができる。

【0027】また、第3の容量電極層70上に、第1平坦化絶縁膜17、第2平坦化絶縁膜19を介して、カソード層65を延設することにより、更に大きな容量を得ることが可能である。

【0028】次に、有機EL素子駆動用TFT40について説明する。図2(b)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、a-Si膜にレーザ光を照射して多結晶化してなる能動層43、ゲート絶縁膜12、及びCr、Moなどの高融点金属からなるゲート電極41が順に形成されており、その能動層43には、チャネル43cと、このチャネル43cの両側にソース43s及びドレイン43dが設けられている。そして、ゲート絶縁膜12及び能動層43上の全面に、SiO₂膜、SiN膜及びSiO₂膜の順に積層された層間絶縁膜15を形成し、ドレイン43dに対応して設けたコンタクトホールにA1等の金属を充填して駆動電源に接続された駆動電源線53が設けられている。また、ソース43sに対応して設けたコンタクトホールにA1等の金属を充填してソース電極56が設けられている。

【0029】更に全面に例えば有機樹脂から成り表面を平坦にする第1平坦化絶縁膜17を備えている。そして、その第1平坦化絶縁膜17のソース電極56に対応した位置にコンタクトホールを形成し、このコンタクトホールを介してソース電極56と接続されたITOから成る透明電極、即ち有機EL素子のアノード層61が第

1 平坦化絶縁膜 17 上に設けられている。このアノード層 61 は各画素部ごとに島状に分離形成されている。第 1 平坦化絶縁膜 17 上には、更に第 2 平坦化絶縁膜 19 が設けられているが、アノード層 61 上については、第 2 平坦化絶縁膜 19 は除去されている。

【0030】有機 EL 素子 60 は、ITO (Indium Tin Oxide) 等の透明電極から成るアノード層 61、MTD ATA (4,4-bis(3-methylphenylphenylamino)biphenyl) から成る第 1 ホール輸送層、TPD (4,4,4-tris(3-methylphenylphenylamino)triphenylamine) からなる第 2 ホール輸送層から成るホール輸送層 62、キノクリドン (Quinacridone) 誘導体を含む Beq2 (10-ベンゾ[h]キノリノールベリリウム錯体) から成る発光層 63、及び Beq2 から成る電子輸送層 64、マグネシウム・インジウム合金もしくはアルミニウム、もしくはアルミニウム合金から成るカソード層 65 が、この順番で積層形成された構造である。

【0031】有機 EL 素子 60 は、アノード層 61 から注入されたホールと、カソード層 65 から注入された電子とが発光層の内部で再結合し、発光層を形成する有機分子を励起して励起子が生じる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明なアノード層 61 から透明絶縁基板を介して外部へ放出されて発光する。

【0032】次に、本発明の第 2 の実施形態について説明する。図 3 は、画素部の断面図を示しており、図 3 (a) は、図 1 中の A-A 線に沿った断面図、図 3 (b) は、図 1 中の B-B 線に沿った断面図に対応している。なお、本実施形態についても当該画素部の等価回路は図 3 に示したものと同一である。

【0033】第 1 の実施形態では、保持容量 139 は、第 2 の容量電極層 54 を、絶縁膜を介して、第 1 の容量電極層 55、第 3 の容量電極層 70 によって挟んだ多層構造であるが、本実施形態では更なる多層化を図り、単位面積当たりの容量値の増加を図ったものである。

【0034】本実施形態では、上記構成に加えて、第 3 の容量電極層 70 上に、更に第 1 平坦化絶縁膜 17 を介して第 4 の容量電極層 71 が延設されている。第 4 の容量電極層 71 は、アノード層 61 と同一の層で、同一工程で形成されている。

【0035】また、第 4 の容量電極層 71 上に、更に第 2 平坦化絶縁膜 19 を介して、カソード層 65 が延設されている。このカソード層 65 は、第 5 の容量電極層として機能するものである。

【0036】第 1 の実施形態では、第 3 の容量電極層 70 とカソード層 65 との間に容量が形成されているが、

その容量絶縁膜は、第 1 平坦化絶縁膜 17 及び第 2 平坦化絶縁膜 19 である。これに対して、本実施形態では、第 4 の容量電極層 71 とカソード層 65 との間に容量が形成される。その容量絶縁膜は第 2 平坦化絶縁膜 19 のみであるから、対向する容量電極間の容量絶縁膜が第 1 の実施形態に比して薄くなり、その分容量値を増加させることができる。

【0037】

【発明の効果】本発明のエレクトロルミネッセンス表示装置によれば、駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量を多層構造の容量電極層で形成しているため、保持容量の形成面積を縮小することができる。また、開口率の低下を招くことなく、大きな保持容量を確保し、表示品位の向上を図ることができる。

【0038】また、開口率の低下を招くことがないので、有機 EL 素子に供給する電流を増加させる必要がなく、その結果として有機 EL 素子の寿命化を図ることができる。

【図面の簡単な説明】

【図 1】本発明の実施形態に係る有機 EL 表示装置の画素部を示す平面図である。

【図 2】本発明の実施形態に係る有機 EL 表示装置の画素部を示す断面図である。

【図 3】本発明の実施形態に係る有機 EL 表示装置の画素部を示す断面図である。

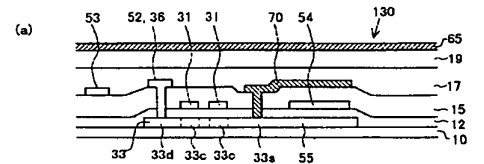
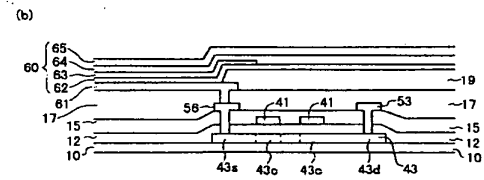
【図 4】有機 EL 表示装置の一画素の等価回路図である。

【図 5】保持容量の構造を示す断面図である。

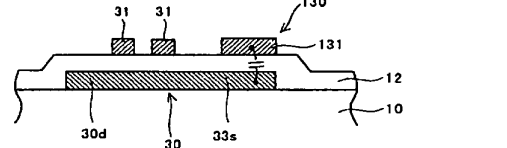
【符号の説明】

10 絶縁性基板	12 ゲート絶縁膜	15 層間絶縁膜
17 第 1 平坦化絶縁膜	19 第 2 平坦化絶縁膜	
30 画素選択用 TFT	31 ゲート電極	33 s ソース
33 d ドレイン	40 有機 EL 素子駆動用 TFT	
41 ゲート電極	43 s ソース	51 ゲート信号線
52 ドレイン信号線	54 第 2 の容量電極層	
60 有機 EL 素子		
61 アノード	62 ホール輸送層	63 発光素子層
64 電子輸送層	65 カソード層	70 第 3 の容量電極層
71 第 4 の容量電極層		

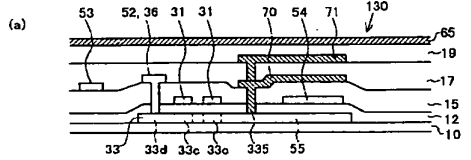
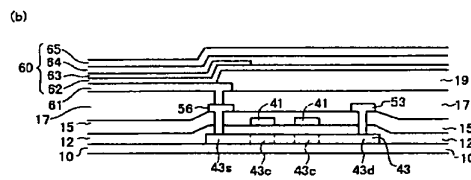
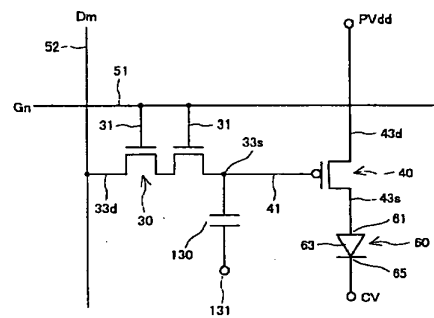
【図2】



【図5】



【図4】





1PW

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: E. WOODS

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC
DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

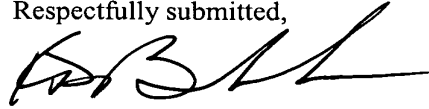
Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

- ☒ 1. This Information Disclosure Statement is being filed before the mailing date of a first Office Action on the merits after the filing of a Request for Continued Examination under 37 CFR §1.114. No certification or fee is required.
- ☒ 2. Each item of information contained in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart application, and this communication was not received by any individual designated in §1.56(c) more than thirty days prior to the filing of this Information Disclosure Statement.
- ☒ 3. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.
- ☒ 4. An English language Abstract of one or more non-English language reference is attached. See Reference 2.
- ☒ 5. A computer-generated English language translation of one or more Japanese Patent Publication cited herein has been obtained from the website of the Japanese Patent Office ([<http://www.jpo.go.jp>]), and is attached, but has not been reviewed for accuracy. See Reference 2.

- ☒ 6. Reference 1 corresponds to reference 2.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/mab

Date: September 18, 2007

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800

25944 7590 10/04/2007
OLIFF & BERRIDGE, PLC
P.O. BOX 19928
ALEXANDRIA, VA 22320

EXAMINER

WOODS, ERIC V

ART UNIT	PAPER NUMBER
----------	--------------

2628

MAIL DATE	DELIVERY MODE
-----------	---------------

10/04/2007

PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No. 10/299,861	Applicant(s) MATSUEDA, YOJIRO	
	Examiner Eric Woods	Art Unit 2628	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --
Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) ☒ Responsive to communication(s) filed on 6/13/2007.
- 2a) ☐ This action is FINAL. 2b) ☒ This action is non-final.
- 3) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

- 4) ☒ Claim(s) 8-10,37-39,46-48 and 50-53 is/are pending in the application.
- 4a) Of the above claim(s) _____ is/are withdrawn from consideration.
- 5) ☐ Claim(s) _____ is/are allowed.
- 6) ☒ Claim(s) 8-10,37-39,46-48 and 50-53 is/are rejected.
- 7) ☐ Claim(s) _____ is/are objected to.
- 8) ☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

- 9) ☐ The specification is objected to by the Examiner.
- 10) ☐ The drawing(s) filed on _____ is/are: a) ☐ accepted or b) ☐ objected to by the Examiner.
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 11) ☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

- 12) ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
- a) ☐ All b) ☐ Some * c) ☐ None of:
1. ☐ Certified copies of the priority documents have been received.
 2. ☐ Certified copies of the priority documents have been received in Application No. _____.
 3. ☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

- | | |
|---|---|
| 1) ☒ Notice of References Cited (PTO-892) | 4) ☐ Interview Summary (PTO-413)
Paper No(s)/Mail Date. _____ |
| 2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948) | 5) ☐ Notice of Informal Patent Application |
| 3) ☒ Information Disclosure Statement(s) (PTO/SB/08)
Paper No(s)/Mail Date _____ | 6) ☐ Other: _____ |

DETAILED ACTION

Continued Examination Under 37 CFR 1.114

A request for continued examination under 37 CFR 1.114, including the fee set forth in 37 CFR 1.17(e), was filed in this application after final rejection. Since this application is eligible for continued examination under 37 CFR 1.114, and the fee set forth in 37 CFR 1.17(e) has been timely paid, the finality of the previous Office action has been withdrawn pursuant to 37 CFR 1.114. Applicant's submission filed on 6/13/2007 has been entered.

Response to Arguments

Applicant's arguments, see Remarks and claim amendments, filed 6/13/2007, with respect to the rejection(s) of claim(s) 8-10, 37-39, 46-48, and 50-53 under 35 USC 103(a) have been fully considered and are persuasive.

Therefore, in view of the amendments to the claims, the rejection has been withdrawn.

Applicant did not contest that the use of LDD structures for OLED applications is old and well known. Such statement is now accepted as fact and is cited as applicant's Admitted Prior Art (APA)(see MPEP 2144.03(B)-(C))

However, upon further consideration, a new ground(s) of rejection is made in view of various references as set forth below.

Claim Rejections - 35 USC § 103

The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

Art Unit: 2628

(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negated by the manner in which the invention was made.

The factual inquiries set forth in *Graham v. John Deere Co.*, 383 U.S. 1, 148 USPQ 459 (1966), that are applied for establishing a background for determining obviousness under 35 U.S.C. 103(a) are summarized as follows:

1. Determining the scope and contents of the prior art.
2. Ascertaining the differences between the prior art and the claims at issue.
3. Resolving the level of ordinary skill in the pertinent art.
4. Considering objective evidence present in the application indicating obviousness or nonobviousness.

Claims 46-47 and 51-52 are rejected under 35 USC 103(a) as unpatentable over Yumoto et al (US PGPub 2004/0207615 A1) in view of Jang et al (US 6,100,119 A)

As to claim 46,

An electro-optical device comprising:

-A plurality of data lines; (Yumoto Figure 7, data line driving circuit 22 and the plurality of data lines shown therein)

-A plurality of scan lines; (Yumoto Figure 7, scan line driving circuit 21 and the plurality of data lines shown therein)

-A plurality of unit circuits arranged corresponding to intersections of the plurality of data lines and the plurality of scan lines, each of the unit circuits

including: (Yumoto has pixels 25 that are arranged at the intersection of data lines and scan lines as shown in Figure 7)

-A first transistor; (Yumoto Figure 27, TFT2, n-type)

-An electroluminescence element being connected in series to one of a source and a drain of the first transistor; (Yumoto OLED Figure 27)

-An second transistor arranged between a gate of the first transistor and one of the source and the drain of the first transistor, the second transistor having a structure to prevent leakage currents during shutoff, and the polarity of the second transistor being opposite to the polarity of the first transistor; and

(Yumoto Figure 27, TFT4 has opposite polarity – p-type, and it is directly connected to the gate of transistor TFT2, and it is connected to ground via TFT1, which is directly linked back to the drain/source of TFT2 since that is tied to ground. Yumoto clearly shows in Figure 8 multi-gate elements that are used to block leakage – e.g. TFT4a/b and TFT2a/b [0073], where these are used to suppress the leakage current with the double gate structure.)

-A holding element coupled to the gate of the first transistor, the holding element holding a control voltage, the first transistor supplying a current based on the control voltage to the electroluminescence element. (Yumoto capacitor / holding element C in Figure 27. Clearly, the first transistor is the drive transistor for the OLED because it is the only transistor connected to it, and clearly the holding element holds a control voltage, since it is connected to the gate of the transistor which only accepts voltage and not current, where clearly the transistor will provide current to the serially connected OLED based on the voltage applied to the gate)

Yumoto teaches all of the limitations in the circuit of Figure 27 as described above but does not expressly teach **'a structure to prevent leakage currents during shutoff'** or **'at least part of a wiring connection...being formed in a metal layer...'** in the specific embodiment cited above, but does teach such a structure in another embodiment. However, in Figure 8, a circuit with a transistor in a similar position (e.g. TFT4a/b in Figure 8, comparable to TFT4 in Figure 27) utilizes such a structure. The merits of using such a structure are stated in [0073] as noted above, *particularly in the case of the circuit of Figure 27 since this is the only transistor controlling the gate voltage of the drive transistor and it would especially desirable to prevent leakage.* For at least the above reasons, it would have been obvious to one of ordinary skill in the art at the time the invention was made to modify the structure found in Yumoto Figure 27 to use the double gate transistors in Figure 8 to prevent leakage.

Yumoto fails to teach, but Jang teaches:

-At least part of a wiring connection between the gate of the first transistor and one of a source or a drain of the second transistor and between either of the source or the drain of the first transistor and the other of the source or the drain of the second transistor being formed in a metal layer other than a semiconductor layer in which the first and second transistors are formed. (Jang teaches the simultaneous formation of gate electrode 16 and source/drain electrodes 17 in metal layer on surface of substrate 10.)

It would have been obvious to one of ordinary skill in the art at the time the invention was made to modify Yumoto to use the metal layer structure of Jang because:

a) the metal deposition process that forms the contacts of the source and drain layers of the TFT as well as the gate, which allows fabrication of multiple elements in one process; b) the source and data lines of all OLED and LCD panels known to a PHOSITA at the time the invention was made were known to be metal, because metal has the lowest resistance of the various available possible connectors, especially having a resistance at least three orders of magnitude less than that of heavily doped polysilicon (even saturation or degenerately doped); c) given that metal has the lowest resistance of available interconnect materials, it would have been obvious to use metal to minimize delay and power loss to interconnect resistance; d) **because the resistance between the channel, and gate and source/drain is reduced** (Jang 4:26-39); e) the incorporation of multiple steps into one is an obvious expedient (e.g. elimination of step and its function are an obvious expedient if the remaining steps provide the same functionality (*In re Karlson*), which is to say where multiple metal deposition steps can be consolidated into a smaller number, it would have been obvious to do so.

As to claim 47, clearly a double-gate transistor is a multi-gate transistor, as describe above.

As to claim 50, see Yumoto Figure 27, TFT4 has opposite polarity – p-type, and it is directly connected to the gate of transistor TFT2, and it is connected to ground via TFT1.

As to claim 51, Figure 22 meets most of the limitations of claim 46. There is a first transistor TFT2 with a holding element C coupled to the gate, with a second transistor TFT3 connected to the gate of TFT2, and TFT3 is "arranged in a path" via the data line, which is connected to ground, which is connected to the source/drain of TFT2, thusly linking TFT2 and TFT3 in the required manner. Finally, TFT3 is of the opposite polarity of TFT2.

Additionally, there is a third transistor (TFT4) coupled in series to the first and second transistors, where it is not specified how the series connection is made (e.g. gate to source, source to drain, etc), nor is it specified that the series connections must be contiguous, and 'comprising' language is used)(where TFT4 could be regarded as being connected in series via the holding element C to ground which is in series with that terminal of TFT2). Both TFT3 and TFT4 are connected to scan lines.

Yumoto does not expressly teach that TFT4 and TFT3 are connected to the same scan line. However, in Figure 18, a similar circuit to that shown in Figure 22 is shown, and it is exactly comparable except the fact that the data line is connected to ground. The reasons for this are stated in [0090], in that it allows the omission of another scanning line drive circuit (e.g. two separate drive circuits are not needed). Therefore, it would have been obvious to one of ordinary skill in the art at the time the invention was made to modify the system of Figure 22 to have TFT4 and TFT3 both connect to the same scan line.

As to claim 52, it is well known to have a separate drive transistor as in Figure 11 because it is beneficial to do so [0077-0079].

Claims 8-10, 37, and 39 are rejected under 35 U.S.C. 103(a) as unpatentable over Yumoto and Jang as applied to claim 46 above, and further in view of Maeda (US 2002/0008822 A1).

As to claim 8,

The electro-optical device according to claim 46, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers (stacked-layer structure established in Yumoto Figure 3 and [0010] for example);

Said plurality of layers comprising:

-A semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed (Yumoto [0011], semiconductor thin film 4); and

-A gate metal layer comprising said second control terminal (Yumoto [0011], gate electrode 2)(forming second gate metal is *prima facie* obvious, given that the layer is for the "gate electrode", Jang discloses gate metal to be separate layer, as in 2:1-20, 5:4-20); and

-Wherein at least a portion of one scan line among said plurality of scan lines is formed in said gate metal layer (Maeda 0121).

References Yumoto and Jang teach all the limitations of this claim except the formation of a scan line in the gate metal layer. Reference Maeda teaches the formation of scan lines and gate electrodes in the same metal film layer for TFT / LCD monitor fabrication (e.g. 0162, 0121). It would have been obvious to one having

ordinary skill in the art at the time the invention was made to combine the active matrix of Yumoto/Jang with the single metal layer of Maeda since Maeda performs in one step what Yumoto/Jang does in several steps (note Yumoto fabrication process in [0011-0013], where the metal gate electrode goes down first and then the scan lines go down after the semiconductor layer, which clearly is a different level), which is *prima facie* more efficient and sufficient motivation in its own right to justify the combination, e.g. common sense is sufficient to justify the combination. See also *In re Karlson*, 136 USPQ 184 (CCPA 1963), for the doctrine that eliminating components is an obvious expedient – in this, eliminating fabrication steps.

As to claim 9,

The electro-optical device according to claim 46, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers (stacked-layer structure established in Yumoto Figure 3 and [0010] for example, Jang Figure 7, etc);

Said plurality of layers comprising:

-A semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed (Yumoto [0011], semiconductor thin film 4); and

-A gate metal layer comprising said second control terminal (Yumoto [0012]) (forming second gate metal is *prima facie* obvious, given that the layer is for the “gate electrode”, metal layer for gate, Jang 4:35-50, 5:4-20, etc); and

-Wherein at least a portion of one data line among said plurality of data lines is formed in said gate metal layer (Maeda 0121 and 0113 and 0125).

Reference Yumoto/Jang teaches all the limitations of this claim except the formation of a data line in the gate metal layer. Reference Maeda teaches the formation of data lines and source and drain electrodes in the same metal film layer for TFT / LCD monitor fabrication (e.g. 0113, 0125). It would be *prima facie* obvious to choose to form gate electrodes and data lines simultaneously rather than gate electrodes and scan lines, for example. It would have been obvious to one having ordinary skill in the art at the time the invention was made to combine the active matrix of Yumoto with the single metal layer of Maeda since Maeda performs in one step what Yumoto does in several steps (note Yumoto fabrication process in [0011-0013], where the metal gate electrode goes down first and then the scan lines go down after the semiconductor layer, which clearly is a different level), which is *prima facie* more efficient and sufficient motivation in its own right to justify the combination. Clearly the choice of when (e.g. which processing steps) to form scan lines versus data lines is a matter of design choice, and the combination of steps clearly speeds production and eliminates unnecessary steps.

As to claim 10,

The electro-optical device according to claim 46, wherein said active matrix substrate has a stacked-layer structure comprising a plurality of layers (stacked-layer structure established in Yumoto Figure 3 and [0010] for example);

Said plurality of layers comprising:

Art Unit: 2628

- A semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed (Yumoto [0011], semiconductor thin film 4); and
- A gate metal layer comprising said second control terminal (Yumoto [0012]) (forming second gate metal is *prima facie* obvious, given that the layer is for the "gate electrode"); and
- A source metal layer comprising a source electrode or drain electrode connected to the source or drain of said second transistor (Maeda 0113, 0125); and
- Wherein at least a portion of one data line among said plurality of data lines is formed in the layer (Maeda 0121 and 0113 and 0125), among said source metal layer and said gate metal layer, which is closer to said semiconductor layer.

Reference Maeda in combination with Yumoto teaches all the limitations of this claim, and this is merely a recitation of the dual limitations of claims 8 and 9 above. As such, the combination and motivation from claim 8 is used here and no further comment is necessary, as this claim is only a nominal variation of the parent.

As to claim 37,

An electro-optical device according to claim 46, comprising unit circuits comprising transistors, arranged corresponding to intersections of data lines and scan lines (Yumoto Figure 2, and the transistor picture layouts in Figures 5, 8, 9, etc) wherein

- A semiconductor layer constituting such transistors is formed in a semiconductor layer (Yumoto [0011], semiconductor thin film 4);

Art Unit: 2628

-Either said scan lines or said data lines are formed in a first conducting layer at the intersections of said scan lines and said data lines (Maeda 0113, 0121, and 0125); and,

-A portion of said scan lines and said data lines outside said intersections are formed in a second conducting layer (Maeda 0113, 0121, and 0125).

Reference Yumoto does not explicitly teach the formation of scan or data lines formed in a conducting layer at the intersections of such lines. Reference Maeda describes forming gate metal and scan lines, etc. simultaneously. As such, the scan lines would be formed everywhere not masked with a shadow mask, e.g. both in the scan lines and in the intersections. No matter what portions of the lines are claimed, any such configuration could be made using shadow masking and formed using either evaporation or sputtering. Any set of contacts could be created using correctly etched contact holes; electrically contiguous metal formed in the same layer is *prima facie* the same from an electrical and an engineering perspective. Further, forming scan lines or data lines or portions thereof (as claimed) in the same layer as other things would simply be making a component integral by eliminating unnecessary metal, and under *In re Larson*, 144 USPQ 347 (CCPA 1965), making a component integral is obvious and not patentable. Therefore, under either methodology, the recited limitations of the claim have been met.

It would have been obvious to one having ordinary skill in the art at the time the invention was made to combine the active matrix of Yumoto with the single metal layer of Maeda since Maeda performs in one step what Yumoto does in several steps (note

Art Unit: 2628

Yumoto fabrication process in [0011-0013], where the metal gate electrode goes down first and then the scan lines go down after the semiconductor layer, which clearly is a different level), which is *prima facie* more efficient and sufficient motivation in its own right to justify the combination under *In re Karlson* as discussed above.

As to claim 39,

An electro-optical device according to claim 46, comprising electro-optical elements corresponding to intersections of scan lines and data lines (Yumoto, element OLED in various figures, such as 5, 8, 9, etc), wherein:

-A pair of electrodes is provided to supply power to electro-optical elements (Maeda Fig. 11C, elements 19 and 15 are opposing and pixel electrodes (see 0006-0008));

-At the intersections of said scan lines and said data lines, either said scan lines or said data lines are formed in a first conducting layer (Maeda 0113, 0118, 0121, 0125 – again, gate metal as discussed in rejections to claims 8-12);

-Portions of said scan lines and said data lines outside said intersections are formed in a second conducting layer (source metal layer, 0113, 0118, 0121, 0125 as discussed in rejections to claims 8-12); and,

-Said second conducting layer is positioned at a greater distance than said first conducting layer from one of said pair of electrodes (design choice issue, see Maeda Fig. 11C).

Reference Yumoto does not recite details of the fabrication process claimed above. Reference Maeda teaches the fabrication of such substrates and teaches

Art Unit: 2628

contact holes (0044, 0047). Logically, such contact holes would fill on conducting layer deposition, thus meeting the recited limitation concerning intersections of data and scan lines (not Jang et al). The positioning of a layer or its size is *prima facie* obvious and is not patentable, given that a person of ordinary skill in the art would know that there would be an optimal spacing of electrodes from each other to minimize cross-talk that would also occupy the minimum aspect ratio required on the shadow mask.

It would have been obvious to one having ordinary skill in the art at the time the invention was made to combine the active matrix of Yumoto/Jang with the single metal layer of Maeda since Maeda performs in one step what Yumoto/Jang does in several steps (note Yumoto fabrication process in [0011-0013], where the metal gate electrode goes down first and then the scan lines go down after the semiconductor layer, which clearly is a different level), which is *prima facie* more efficient.

Claim 38 is rejected over Yumoto/Jang and Maeda as applied to claim 37 above, and further in view of Tanaka.

As to claim 38,

The active matrix substrate according to claim 37, wherein said second conducting layer is positioned between said first conducting layer and said semiconductor layer.

References Yumoto and Jang do not explicitly teach this limitation. In Fig. 10B, Maeda shows that the bottom gate – element 56, which is metal (a niobium alloy) is put down first, then various insulating materials, then element 13 (source and drain

Art Unit: 2628

electrodes) are formed on the same level and slightly covering the semiconductor layer

54. Under the doctrine of *In re Japikse*, switching the two layers would be *prima facie* obvious, and only minor alternations in the shadow masks for the process would be necessary (additive vs. subtractive processing in semiconductors, for example, switching the process would not be difficult for one of ordinary skill in the semiconductor / TFT art). Again, given that Maeda teaches many different embodiments (see Figs. 10-13, etc.), such a switch would be a design choice issue, and it would allow low-temperature processing of the substrate throughout the process, particularly allowing for newer techniques such as laser annealing and recrystallization of the semiconductor layer taught by Tanaka, and treatment of the semiconductor layer towards the end of processing.

It would have been obvious to one having ordinary skill in the art at the time the invention was made to combine the TFT circuits of Yumoto/Jang and Maeda with the laser annealing processing of polysilicon for TFT applications of Tanaka (see 0002-0015), as both Yumoto ([0011-0013]) and Maeda (0008, 0121, etc.) utilize polysilicon as the semiconductor material, and laser annealing is now a well-known, standard process in the art (see also Jang 4:54-65, laser annealing taught).

Claim 48 is rejected under 35 U.S.C. 103(a) as unpatentable over Yumoto and Jang as applied to claim 46 above, and further in view of Gualandris. The rejection to claim 46 is herein incorporated by reference in its entirety.

Wherein at least said second active element is a transistor comprising a structure selected from the group consisting of an LDD structure, GDD structure, and DDD structure.

Yumoto teaches in [0113] to have the LDD structure in the active transistor, and it is discussed as being the active layer *per se*, that is on top of the gate oxide, so it would work for any transistor as specified there. However, Yumoto does not explicitly teach the use of GDD and DDD structures where Gualandris teaches DDD in 1:55-65, GDD in 2:25-30, and LDD in 2:25-30. Gualandris teaches that these are all methods of doping transistors, although one (the LDD) is preferred to work for 'ULSI' applications. Given that 'ULSI' applications at the time the patent was issued were mainly for deep-sub-micron processes and that current TFT / liquid crystal display processes have much larger dimensions, e.g. still larger than one micron minimum channel length for silicon-on-glass technology, these techniques would be perfectly valid for use in TFT / silicon-on-glass technology.

It would have been obvious to one having ordinary skill in the art at the time the invention was made to combine the active matrix substrates of Yumoto with the transistors of Gualandris, since Yamada uses transistors, which *prima facie* have a source and a drain and different drain doping techniques are well-known in the art, and Yumoto also teaches LDD mechanisms of doping, and the others would be obvious to a worker of ordinary skill in the art.

Claims 46 and 53 are rejected under 35 U.S.C. 103(a) as being unpatentable over Knapp et al (US 6,373,454 B1) in view of Yumoto (US PGPub 2004/0207615 A1) and Jang et al (US 6,100,119 A)

As to claim 46,

An electro-optical device comprising:

-A plurality of data lines; (Knapp Figure 1, column, data, driver circuit 18 with data lines 14, 5:24-38)

-A plurality of scan lines; (Knapp Figure 1, row scanning driving circuit 16 and row scan lines 12, 5:24-38)

-A plurality of unit circuits arranged corresponding to intersections of the plurality of data lines and the plurality of scan lines, each of the unit circuits including: (Knapp has pixels 10 that are regularly spaced and the like, as shown in Figure 1, 5:24-38.)

-A first transistor; (Knapp Figure 3, element 30, first transistor being a n-channel device, 7:25-48)

-An electroluminescence element being connected in series to one of a source and a drain of the first transistor; (Knapp Figure 3, display element 20, comprising an OLED – 5:40-55, 6:10-15, connected in series to one of the source or drain of transistor 30. The claim is written using comprising language, which is open-ended and allows there to be elements (e.g. other transistors) between the source / drain of the first transistor and the OLED element itself)

-An second transistor arranged between a gate of the first transistor and one of the source and the drain of the first transistor, and the polarity of the second transistor being opposite to the polarity of the first transistor; and (Knapp Figure 3, transistor 33 is arranged between the gate of transistor 30 and the source / drain of transistor 30 through a contiguous path via conducting line 12 and transistor 32.

"Arranged" is very broad and the path pointed out by examiner would be "arranged")

-A holding element coupled to the gate of the first transistor, the holding element holding a control voltage, the first transistor supplying a current based on the control voltage to the electroluminescence element. (Knapp Figure 3, holding element 38, described in 7:25-8:10, where clearly it is connected to the gate of the first transistor, and transistor 30 is the drive transistor for the circuit – 2:20-35, 3:5-17, 6:20-35, etc)

Knapp teaches most of the limitations of the above claim, except that it does not teach the use of a structure to prevent leakage currents. In Yumoto Figure 8, a circuit with is show that utilizes such a structure. The merits of using such structure are stated in [0073], which drastically reduces leakage. For at least the reason that the structure

significantly reduces leakage current, it would have been obvious to one of ordinary skill in the art at the time the invention was made to modify the structure of Knapp to use the double gate transistors in Yumoto Figure 8 to prevent leakage.

Knapp and Yumoto both fail to expressly teach, whilst Jang teaches:

-At least part of a wiring connection between the gate of the first transistor and one of a source or a drain of the second transistor and between either of the source or the drain of the first transistor and the other of the source or the drain of the second transistor being formed in a metal layer other than a semiconductor layer in which the first and second transistors are formed. (Jang teaches the simultaneous formation of gate electrode 16 and source/drain electrodes 17 in metal layer on surface of substrate 10.)

It would have been obvious to one of ordinary skill in the art at the time the invention was made to modify Knapp/Yumoto to use the metal layer structure of Jang because: a) the metal deposition process that forms the contacts of the source and drain layers of the TFT as well as the gate, which allows fabrication of multiple elements in one process; b) the source and data lines of all OLED and LCD panels known to a PHOSITA at the time the invention was made were known to be metal, because metal has the lowest resistance of the various available possible connectors, especially having a resistance at least three orders of magnitude less than that of heavily doped polysilicon (even saturation or degenerately doped); c) given that metal has the lowest resistance of available interconnect materials, it would have been obvious to use metal

to minimize delay and power loss to interconnect resistance; d) **because the resistance between the channel, and gate and source/drain is reduced** (Jang 4:26-39); e) the incorporation of multiple steps into one is an obvious expedient (e.g. elimination of step and its function are an obvious expedient if the remaining steps provide the same functionality (*In re Karlson*), which is to say where multiple metal deposition steps can be consolidated into a smaller number, it would have been obvious to do so.

As to claim 53, Knapp clearly shows that the holding element 38 is attached to the drive line (supply line) 31, where clearly each (row/column) has its own supply line as discussed above.

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Eric Woods whose telephone number is 571-272-7775. The examiner can normally be reached on M-F 8am - 5pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Ulka Chauhan can be reached on 571-272-7782. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

Eric Woods

9/24/2007


ULKA CHAUHAN
SUPERVISORY PATENT EXAMINER

Sheet 1 of 1

Form PTO-14 (REV. 1/06)		US Dept. of Commerce PATENT & TRADEMARK OFFICE		ATTY DOCKET NO. 114251		APPLICATION NO. 10/299,861	
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)				APPLICANT(S) Yojiro MATSUEDA			
				FILING DATE November 20, 2002		GROUP 2628	
U.S. PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Name			
FOREIGN PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation	
/EW/	1	CN 1291786A	04/18/2001	CHINA			
/EW/	2	CN 1242924A	01/26/2000	CHINA			
/EW/	3	JP-A-2001-185354	07/06/2001	JAPAN	XX	XX	
/EW/	4	JP-A-11-074073	03/16/1999	JAPAN	XX	XX	
OTHER DOCUMENTS							
Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)					
EXAMINER /Eric Woods/				DATE CONSIDERED 03/27/2007			
Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

Date: March 6, 2007

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)		US Dept. of Commerce PATENT & TRADEMARK OFFICE		ATTY DOCKET NO. 114251		APPLICATION NO. 10/299,861	
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)				APPLICANT(S) Yojiro MATSUEDA			
				FILING DATE November 20, 2002		GROUP 2628	
U.S. PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Name			
FOREIGN PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation	
/E.W./	1	WO 01/06484 A1	01/25/2001	WIPO	XX		
OTHER DOCUMENTS							
Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)					
EXAMINER				/Eric Woods/			
				DATE CONSIDERED 08/22/2007			
Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

Date: March 27, 2007



Sheet 1 of 1

Form PTO-1449 (REV. 1/06)		US Dept. of Commerce PATENT & TRADEMARK OFFICE		ATTY DOCKET NO. 114251		APPLICATION NO. 10/299,861	
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)				APPLICANT(S) Yojiro MATSUEDA			
				FILING DATE November 20, 2002		GROUP 2628	
U.S. PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Name			
FOREIGN PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation	
/E.W./	1	JP A 2000-284722	10-13-2000	JAPAN	X	X	
/E.W./	2	JP A 2000-267131	9-29-2000	JAPAN	X	X	
/E.W./	3	JP A 2000-137241	5-16-2000	JAPAN	X	X	
OTHER DOCUMENTS							
Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)					
EXAMINER				/Eric Woods/			
				DATE CONSIDERED 08/22/2007			
Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

Date: June 21, 2007

Notice of References Cited	Application/Control No. 10/299,861	Applicant(s)/Patent Under Reexamination MATSUEDA, YOJIRO	
	Examiner Eric Woods	Art Unit 2628	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-2002/0000614	01-2002	Chen et al.	257/347
*	B	US-6,100,119	08-2000	Jang et al.	438/151
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Index of Claims 	Application/Control No. 10299861	Applicant(s)/Patent Under Reexamination MATSUEDA, YOJIRO
	Examiner Woods, Eric	Art Unit 2628

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant
 ☐ CPA
 ☐ T.D.
 ☐ R.1.47

CLAIM		DATE							
Final	Original	03/07/2007	09/12/2007						
	1	-	-						
	2	-	-						
	3	-	-						
	4	-	-						
	5	-	-						
	6	-	-						
	7	-	-						
	8	✓	✓						
	9	✓	✓						
	10	✓	✓						
	11	-	-						
	12	-	-						
	13	-	-						
	14	-	-						
	15	-	-						
	16	-	-						
	17	-	-						
	18	-	-						
	19	-	-						
	20	-	-						
	21	-	-						
	22	-	-						
	23	-	-						
	24	-	-						
	25	-	-						
	26	-	-						
	27	-	-						
	28	-	-						
	29	-	-						
	30	-	-						
	31	-	-						
	32	-	-						
	33	-	-						
	34	-	-						
	35	-	-						
	36	-	-						

<i>Index of Claims</i> 	Application/Control No. 10299861	Applicant(s)/Patent Under Reexamination MATSUEDA, YOJIRO
	Examiner Woods, Eric	Art Unit 2628

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant
 ☐ CPA
 ☐ T.D.
 ☐ R.1.47

CLAIM		DATE							
Final	Original	03/07/2007	09/12/2007						
	37	✓	✓						
	38	✓	✓						
	39	✓	✓						
	40	-	-						
	41	-	-						
	42	-	-						
	43	-	-						
	44	-	-						
	45	-	-						
	46	✓	✓						
	47	✓	✓						
	48	✓	✓						
	49	-	-						
	50	✓	✓						
	51	✓	✓						
	52	✓	✓						
	53	✓	✓						

Search Notes 	Application/Control No. 10299861	Applicant(s)/Patent Under Reexamination MATSUEDA, YOJIRO
	Examiner Woods, Eric	Art Unit 2628

SEARCHED			
Class	Subclass	Date	Examiner
345	76-79,80-105	9/12/07	EW

SEARCH NOTES		
Search Notes	Date	Examiner
EAST (USPT,USPGPUB,DERWENT,FPRS,EPO,JPO,IBM_TDB)-see attached search history	9/12/07	EW

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner



Handwritten signature

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: E. WOODS

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND
ELECTRONIC DEVICE

AMENDMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In reply to the October 4, 2007 Office Action, please consider the following:

Amendments to the Claims as reflected in the listing of claims; and

Remarks.

Amendments to the Claims:

The following listing of claims will replace all prior versions, and listings, of claims in the application:

1-7. (Canceled)

8. (Previously Presented) The electro-optical device according to claim 46, wherein said electro-optical device has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal, and

wherein at least a portion of said plurality of scan lines is formed in said gate metal layer.

9. (Previously Presented) The electro-optical device according to claim 46, wherein said electro-optical device has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

a gate metal layer comprising said second control terminal; and

wherein at least a portion of one data line among said plurality of data lines is formed in said gate metal layer.

10. (Previously Presented) The electro-optical device according to claim 46, wherein said electro-optical device has a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed;

a gate metal layer comprising said second control terminal; and

a source metal layer comprising a source electrode or drain electrode connected to the source or drain of said second transistor;

wherein at least one portion of at least one data line among said plurality of data lines is formed in the layer, among said source metal layer and said gate metal layer, that is closer to said semiconductor layer.

11-36. (Canceled)

37. (Previously Presented) The electro-optical device in accordance with claim 46, comprising unit circuits comprising transistors, arranged corresponding to intersections of data lines and scan lines; wherein

a semiconductor film constituting said transistors is formed in a semiconductor layer;

either said scan lines or said data lines are formed in a first conducting layer at the intersections of said scan lines and said data lines; and

a portion of said scan lines and said data lines outside said intersections are formed in a second conducting layer.

38. (Previously Presented) The electro-optical device according to claim 37, wherein said second conducting layer is positioned between said first conducting layer and said semiconductor layer.

39. (Previously Presented) The electro-optical device according to claim 46, comprising electro-optical elements corresponding to intersections of scan lines and data lines, wherein:

a pair of electrodes is provided to supply power to said electro-optical elements;

at the intersections of said scan lines and said data lines, either said scan lines or said data lines are formed in a first conducting layer;

portions of said scan lines and said data lines outside said intersections are formed in a second conducting layer; and

said second conducting layer is positioned at a greater distance than said first conducting layer from one of said pair of electrodes.

40-45. (Canceled)

46. (Currently Amended) An electro-optical device comprising:

a plurality of data lines;

a plurality of scan lines;

a plurality of unit circuits arranged corresponding to intersections of the plurality of data lines and the plurality of scan lines, each of the unit circuits including:

a first transistor;

an electroluminescence element being connected in series to one of a source and a drain of the first transistor;

a second transistor ~~arranged~~ coupled between a gate of the first transistor and one of the source and the drain of the first transistor, the second transistor having a structure to prevent leakage currents during shutoff, and the polarity of the second transistor being opposite to the polarity of the first transistor; ~~and~~

a holding element coupled to the gate of the first transistor, the holding element holding a control voltage, the first transistor supplying a current based on the control voltage to the electroluminescence ~~element, and~~ element.

wherein one of the source and the drain of the second transistor being coupled to the holding element; and

at least a part of a wiring connecting between the gate of the first transistor and one of a source or a drain of the second transistor and between either of the source or the drain of the first transistor and the other of the source or the drain of the second transistor being formed in a source metal layer formed above a gate metal layer. ~~other than a semiconductor layer in which the first and second transistors are formed.~~

47. (Previously Presented) The electro-optical device according to claim 46, wherein the second transistor is configured as a multi-gate transistor.

48. (Previously Presented) The electro-optical device according to claim 46, wherein the second transistor has a structure selected from the group consisting of an LDD structure, a GDD structure, and a DDD structure.

49. (Canceled)

50. (Previously Presented) The electro-optical device according to claim 46, wherein the first transistor has a p-type polarity.

51. (Previously Presented) The electro-optical device according to claim 46, each of the unit circuits including a third transistor coupled in series to the first and the second transistor, a source and a drain of the third transistor connecting each respectively to one of the first and the second transistors and a gate of the second transistor and a gate of the third transistor being connected to a same corresponding scan line.

52. (Previously Presented) The electro-optical device according to claim 51, each of the unit circuits including a fourth transistor coupled in series to the first transistor, the fourth transistor supplying the current to the electroluminescence element during a light emission period.

53. (Previously Presented) The electro-optical device according to claim 46, further comprising a plurality of power supply lines, one electrode of the holding element is connected to a corresponding power supply line of the plurality of power supply lines, or the one electrode of the holding element is a portion of the corresponding power supply line of the plurality of power supply lines.

REMARKS

Claims 8-10, 37-39, 46-48 and 50-53 are pending in this application. By this Amendment, claim 46 is amended. No new matter is added by this Amendment. Reconsideration of the application based upon the above amendment and the following remarks is respectfully requested.

The Office Action, on page 3, rejects claims 46, 47, 51 and 52 under 35 U.S.C. §103(a) as being unpatentable over U.S. Patent Application Publication No. 2004/0207615 to Yumoto et al. (hereinafter "Yumoto") in view of U.S. Patent No. 6,100,119 to Jang et al. (hereinafter "Jang"). Additionally, on page 8, the Office Action rejects claims 8-10, 37 and 39 under 35 U.S.C. §103(a) as being unpatentable over Yumoto and Jang, and further in view of U.S. Patent Application Publication No. 2002/0008822 to Maeda. Claim 38 is rejected on page 14 of the Office Action over Yumoto, Jang and Maeda, and further in view of U.S. Patent Application Publication No. 2001/0026835 to Tanaka. Claim 48 is rejected on page 15 under 35 U.S.C. §103(a) as being unpatentable over Yumoto and Jang, and further in view of U.S. Patent No. 35,827 to Gualandris et al. (hereinafter "Gualandris"). Claims 46 and 53 are rejected on page 17 under 35 U.S.C. §103(a) as being unpatentable over U.S. Patent No. 6,373,454 to Knapp et al. (hereinafter "Knapp") in view of Yumoto and Jang. The Applicant respectfully traverses these rejections.

The Office Action asserts that Knapp teaches a second transistor arranged between a gate of the first transistor and one of the source and the drain of the first transistor, and the polarity of the second transistor being opposite to the polarity of the first transistor (page 18 of the Office Action). However, in making this assertion the Office Action relies on a "contiguous path," illustrated in Fig. 3 of Knapp, between transistors 30 and 33. However, Knapp does not teach a second transistor coupled between a gate of the first transistor and one of the source and the drain of the first transistor. One skilled in the art, at the time of the

invention, would understand that a transistor coupled between two identified points does not correspond to the "contiguous path" as asserted in the Office Action.

Additionally, the Office Action asserts that it would have been obvious to one of ordinary skill in the art at the time of the invention to modify Yumoto to use the metal layer structure of Jang. This assertion is incorrect. Neither reference teaches, as illustrated in Fig. 2 of Applicant's disclosure, that the claimed metal layer, as amended, is the source metal layer which is formed above the gate metal layer and is separated from the semiconductor layer so that the parasitic capacitance, which may cause leakage of current, is reduced along with the resistance. Therefore, in light of the Office Action's listing of reasons that it would have been obvious to one skilled in the art, and the noted absence of the reduction of the parasitic capacitance, the Applicant respectfully submits that the claimed subject matter is unobvious due to the presence of the unexpected results discussed above. As such, at the time of the invention, one skilled in the art would not have looked to Jang, in some combination with Yumoto, to reduce the parasitic capacitance.

Additionally, as positively recited in claim 46, the amount of charge in the holding element relates to the luminescence intensity of the OLED. As such, in the conventional art, if the amount of charge was unstable, the quality of the OLED image would be negatively impacted. However, the subject matter of the pending claims, particularly the second transistor, has the structure to prevent leakage current during shutoff, and is coupled to the holding element, so that the quality of the image is protected.

For at least the above reasons, the applied prior art references cannot reasonably be considered to teach, or to have suggested, the combinations of all of the features recited in at least independent claim 46. Further, claims 8-10, 37-39, 47, 48 and 50-53 would also not have been suggested by the applied prior art references for at least the respective dependence

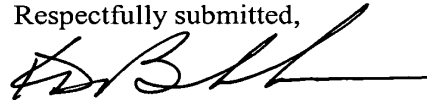
of these claims on allowable independent claim 46, as well as for the separately patentable subject matter that each of these claims recites.

Accordingly, reconsideration and withdrawal of the rejections of the claims under 35 U.S.C. §103(a) as being unpatentable over the combination of applied prior art references are respectfully requested.

In view of the foregoing, it is respectfully submitted that this application is in condition for allowance. Favorable reconsideration and prompt allowance of the claims are earnestly solicited.

Should the Examiner believe that anything further would be desirable in order to place this application in even better condition for allowance, the Examiner is invited to contact the undersigned at the telephone number set forth below.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Kirk D. Berkheimer
Registration No. 59,874

JAO:KDB/cxo

Date: December 20, 2007

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875					Application or Docket Number 10/299,861		Filing Date 11/20/2002		☐ To be Mailed	
APPLICATION AS FILED – PART I										
(Column 1)			(Column 2)			SMALL ENTITY ☐ OR		OTHER THAN SMALL ENTITY		
FOR		NUMBER FILED	NUMBER EXTRA		RATE (\$)	FEE (\$)		RATE (\$)	FEE (\$)	
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))		N/A	N/A		N/A			N/A		
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))		N/A	N/A		N/A			N/A		
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))		N/A	N/A		N/A			N/A		
TOTAL CLAIMS (37 CFR 1.16(i))		minus 20 =	*		X \$ =		OR	X \$ =		
INDEPENDENT CLAIMS (37 CFR 1.16(h))		minus 3 =	*		X \$ =			X \$ =		
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).								
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))										
* If the difference in column 1 is less than zero, enter "0" in column 2.					TOTAL			TOTAL		
APPLICATION AS AMENDED – PART II										
(Column 1)			(Column 2)			(Column 3)			SMALL ENTITY OR OTHER THAN SMALL ENTITY	
AMENDMENT	12/20/2007	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)		RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(o))	* 13	Minus	** 20	= 0	X \$ =		OR	X \$50=	0
	Independent (37 CFR 1.16(h))	* 1	Minus	***3	= 0	X \$ =		OR	X \$210=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)		RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(o))	*	Minus	**	=	X \$ =		OR	X \$ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$ =		OR	X \$ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	
<p>* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.</p> <p>** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".</p> <p>*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".</p> <p>The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.</p>										

Legal Instrument Examiner:
/DESHONNE T. MARTINO/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: E. WOODS

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC
DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

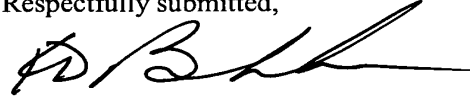
Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

- ☒ 1. This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection, Notice of Allowance or other action that closes prosecution (e.g., Quayle Action).
- ☒ a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(1).
- ☒ 2. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.
- ☒ 3. An English language Abstract of one or more non-English language reference is attached. See Reference 5.

- ☒ 4. A computer-generated English language translation of one or more Japanese Patent Publication cited herein has been obtained from the website of the Japanese Patent Office ([<http://www.jpo.go.jp>]), and is attached, but has not been reviewed for accuracy. See Reference 5.
- ☒ 5. References 1-4 correspond to reference 5.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Kirk D. Berkheimer
Registration No. 59,874

JAO:KDB/axl

Date: February 4, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--

Form PTO-1449 (REV. 1/06)		US Dept. of Commerce PATENT & TRADEMARK OFFICE		ATTY DOCKET NO. 114251		APPLICATION NO. 10/299,861	
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)				APPLICANT Yojiro MATSUEDA			
				FILING DATE November 20, 2002		GROUP 2628	

U.S. PATENT DOCUMENTS				
Examiner Initials	Cite No.	Document Number	Date	Name
	1.	6,661,180 B2	12/09/2003	Koyama
	2.	6,914,390 B2	07/05/2005	Koyama
	3.	7,106,006 B2	09/12/2006	Koyama
	4.	2007/0007527 A1	01/11/2007	Koyama

FOREIGN PATENT DOCUMENTS						
Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	5.	JP-A-2002-351357	12/06/2002	Japan	X	X

OTHER DOCUMENTS		
Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)

EXAMINER	DATE CONSIDERED
Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.	

Date: February 4, 2008

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-351357

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

G09F 9/30

G09G 3/20

G09G 3/30

H05B 33/14

(21)Application number : 2002-075625 (71)Applicant : SEMICONDUCTOR ENERGY
LAB CO LTD

(22)Date of filing : 19.03.2002 (72)Inventor : KOYAMA JUN

(30)Priority

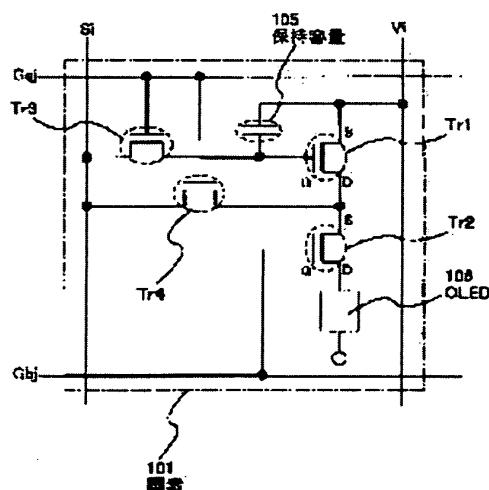
Priority number : 2001081779 Priority date : 22.03.2001 Priority country : JP

(54) LIGHT-EMITTING DEVICE, DRIVING METHOD FOR THE SAME, AND
ELECTRONIC INSTRUMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a light-emitting device which can obtain constant brightness without being affected by deterioration in an organic light-emitting layer or a temperature change and display a desired color display.

SOLUTION: Lowering in OLED(organic light emitting diode) brightness due to the deterioration is reduced by making the OLED emit light while keeping constant an electric current flowing through the OLED instead of making the OLED emit light while keeping constant an OLED driving voltage. That is, the change in the OLED brightness caused by the deterioration of the OLED is prevented by controlling the OLED brightness based on the electric current not on the voltage. Specifically, the drain electric current I_d of a transistor for supplying an electric current is controlled in a signal line drive circuit, thereby the drain electric current I_D is kept constant without relying on the value of a load-resistor.



*** NOTICES**

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

A light emitting device, a power source wire, a signal wire, and a scanning line.

Are the above the luminescent device which it had and a gate electrode of said 3rd and 4th transistors, It is connected to said both scanning lines, and the source region and a drain area of said 3rd transistor, One side is connected to said signal wire, and another side is connected to a gate electrode of said 1st transistor, and the source region and a drain area of said 4th transistor, One side is connected to said signal wire, and another side is connected to a drain area of said 1st transistor, The source region of said 1st transistor is connected to said power source wire, and the source region and a drain area of said 2nd transistor are connected to a picture element electrode which a drain area of said 1st transistor and said light emitting device have, respectively.

[Claim 2]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

A light emitting device, a power source wire, a signal wire, the 1st scanning line, and the 2nd scanning line.

Are the above the luminescent device which it had and a gate electrode of said 3rd and 4th transistors, It is connected to said 1st scanning line both, and the source region and a drain area of said 3rd transistor, One side is connected to said signal wire, and another side is connected to a gate electrode of said 1st transistor, and the source region and a drain area of said 4th transistor, One side is connected to said signal wire, and another side is connected to a drain area of said 1st transistor, The source region of said 1st transistor is

connected to said power source wire, and the source region and a drain area of said 2nd transistor, It is connected to a drain area of said 1st transistor, and a picture element electrode which said light emitting device has, respectively, and a gate electrode of said 2nd transistor is connected to said 2nd scanning line.

[Claim 3]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

A light emitting device, a power source wire, a signal wire, and a scanning line.

Are the above the luminescent device which it had and a gate electrode of said 2nd, 3rd, and 4th transistors, It is connected to said both scanning lines, and the source region and a drain area of said 3rd transistor, One side is connected to said signal wire, and another side is connected to a gate electrode of said 1st transistor, and the source region and a drain area of said 4th transistor, One side is connected to said signal wire, and another side is connected to a drain area of said 1st transistor, The source region of said 1st transistor is connected to said power source wire, and the source region and a drain area of said 2nd transistor are connected to a picture element electrode which a drain area of said 1st transistor and said light emitting device have, respectively.

[Claim 4]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

The 5th transistor, a light emitting device, a power source wire, a signal wire, the 1st scanning line, and the 2nd scanning line.

Are the above the luminescent device which it had and a gate electrode of said 2nd, 3rd, and 4th transistors, It is connected to said 1st scanning line both, and the source region and a drain area of said 3rd transistor, One side is connected to said signal wire, and another side is connected to a gate electrode of said 1st transistor, and the source region and a drain area of said 4th transistor, One side is connected to said signal wire, and another side is connected to a drain area of said 1st transistor, The source region of said 1st transistor is connected to said power source wire, and the source region and a drain area of said 2nd transistor, It is connected to a drain area of said 1st transistor, and a picture element electrode which said light emitting device has, respectively, and a gate electrode of said 5th transistor, It is connected to said 2nd scanning line, and one side is connected to said power source wire, and another side is connected to a gate electrode of said 1st transistor for the source region and a drain area of said 5th transistor.

[Claim 5]A luminescent device characterized by the polarity of said 3rd and 4th transistors

and said 2nd transistor being reverse in claim 3 or claim 4.

[Claim 6]A luminescent device characterized by the polarity of said 3rd transistor and said 4th transistor being the same in any 1 paragraph of claim 1 thru/or claim 5.

[Claim 7]A luminescent device characterized by the polarity of said 1st transistor and said 2nd transistor being the same in any 1 paragraph of claim 1 thru/or claim 6.

[Claim 8]Electronic equipment using said luminescent device in any 1 paragraph of claim 1 thru/or claim 7.

[Claim 9]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

A light emitting device, a power source wire, a signal wire, and a scanning line.

Luminosity of said light emitting device is controlled by being a drive method of a luminescent device provided with the above, and controlling a size of drain current of said 1st transistor by an analog video signal.

[Claim 10]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

A light emitting device, a power source wire, a signal wire, the 1st scanning line, and the 2nd scanning line.

Luminosity of said light emitting device is controlled by being a drive method of a luminescent device provided with the above, and controlling a size of drain current of said 1st transistor by an analog video signal.

[Claim 11]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

A light emitting device, a power source wire, a signal wire, and a scanning line.

Luminosity of said light emitting device is controlled by being a drive method of a luminescent device provided with the above, and controlling a size of drain current of said 1st transistor by an analog video signal.

[Claim 12]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

The 5th transistor, a light emitting device, a power source wire, a signal wire, the 1st

scanning line, and the 2nd scanning line.

Luminosity of said light emitting device is controlled by being a drive method of a luminescent device provided with the above, and controlling a size of drain current of said 1st transistor by an analog video signal.

[Claim 13]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

A light emitting device, a power source wire, a signal wire, and a scanning line.

In [are a drive method of a luminescent device provided with the above, and said 3rd transistor and said 4th transistor are turned on, and said 2nd transistor is come by off, and] said 2nd period, Based on information which said 3rd transistor and said 4th transistor are come by off, said 2nd transistor is turned on, and each bit of said corresponding digital video signal has, existence of luminescence of said light emitting device in said 1st period is controlled.

[Claim 14]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

A light emitting device, a power source wire, a signal wire, the 1st scanning line, and the 2nd scanning line.

In [are a drive method of a luminescent device provided with the above, and said 3rd transistor and said 4th transistor are turned on, and said 2nd transistor is come by off, and] said 2nd period, Based on information which said 3rd transistor and said 4th transistor are come by off, said 2nd transistor is turned on, and each bit of said corresponding digital video signal has, existence of luminescence of said light emitting device in said 1st period is controlled.

[Claim 15]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

A light emitting device, a power source wire, a signal wire, and a scanning line.

In [are a drive method of a luminescent device provided with the above, and said 3rd transistor and said 4th transistor are turned on, and said 2nd transistor is come by off, and] said 2nd period, Based on information which said 3rd transistor and said 4th transistor are come by off, said 2nd transistor is turned on, and each bit of said corresponding digital video signal has, existence of luminescence of said light emitting device in said 1st period

is controlled.

[Claim 16]The 1st transistor.

The 2nd transistor.

The 3rd transistor.

The 4th transistor.

The 5th transistor, a light emitting device, a power source wire, a signal wire, the 1st scanning line, and the 2nd scanning line.

In [are a drive method of a luminescent device provided with the above, and one, said 2nd transistor, and said 5th transistor are come by off / of said 3rd transistor and said 4th transistor /, and] said 2nd period, Said 3rd transistor and said 4th transistor are come by off, said 2nd transistor is turned on, said 5th transistor is come by off, and said 3rd [the] and said 4th transistor are off in said 3rd period, Based on information which one and said 5th transistor are turned on by said 2nd transistor, and each bit of said corresponding digital video signal has, existence of luminescence of said light emitting device in said 1st period is controlled.

[Translation done.]

* NOTICES

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The upper surface block diagram of the luminescent device of this invention.

[Drawing 2]The circuit diagram of the pixel of the luminescent device of this invention.

[Drawing 3]The schematic diagram of the pixel in a drive.

[Drawing 4]The figure showing the timing to which the write-in period in the analog driving method and a display period appear.

[Drawing 5]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.

[Drawing 6]The schematic diagram of the pixel in a drive.

[Drawing 7]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.

[Drawing 8]The circuit diagram of the pixel of the luminescent device of this invention.

[Drawing 9]The circuit diagram of the pixel of the luminescent device of this invention.

[Drawing 10]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.

[Drawing 11]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.

[Drawing 12]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.

[Drawing 13]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.

[Drawing 14]The figure showing the manufacturing method of the luminescent device of this invention.

[Drawing 15]The figure showing the manufacturing method of the luminescent device of this invention.

[Drawing 16]The figure showing the manufacturing method of the luminescent device of this invention.

[Drawing 17]The plan of the pixel of the luminescent device of this invention.

[Drawing 18]The sectional view of the pixel of the luminescent device of this invention.

[Drawing 19]The plan of the pixel of the luminescent device of this invention.

[Drawing 20]The block diagram of a signal line driving circuit.

[Drawing 21]The detail view of the signal line driving circuit in the digital driving method.

[Drawing 22]The circuit diagram of the current setting circuit in the digital driving method.

[Drawing 23]The block diagram of the 1st scanning line driving circuit.

[Drawing 24]The detail view of the signal line driving circuit in the digital driving method.

[Drawing 25]The outline view and sectional view of a luminescent device of this invention.

[Drawing 26]The figure of the electronic equipment using the luminescent device of this invention.

[Drawing 27]The figure showing the volt ampere characteristic of OLED.

[Translation done.]

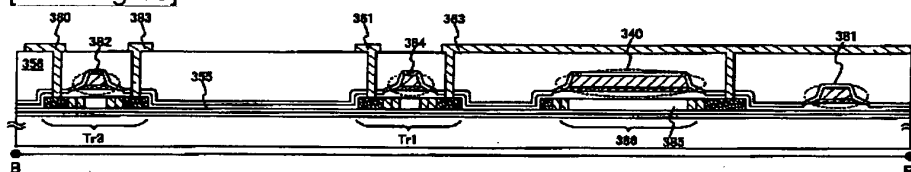
* NOTICES

JPO and INPIT are not responsible for any damages caused by the use of this translation.

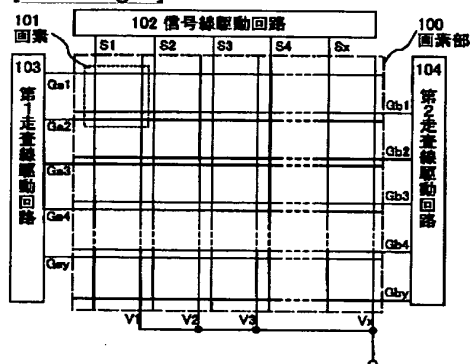
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

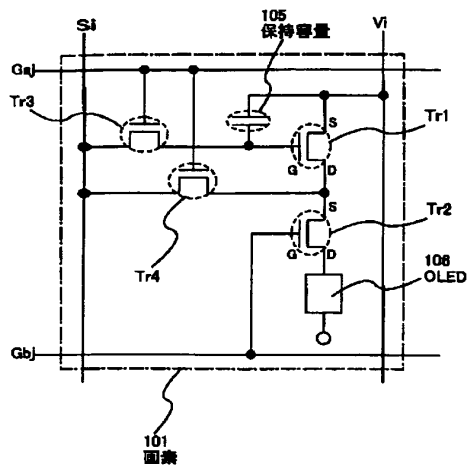
[Drawing 18]



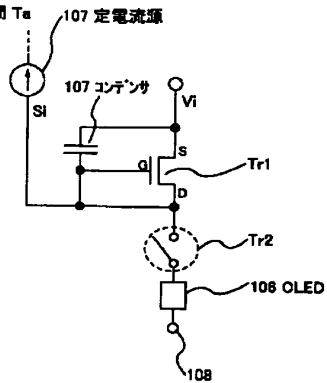
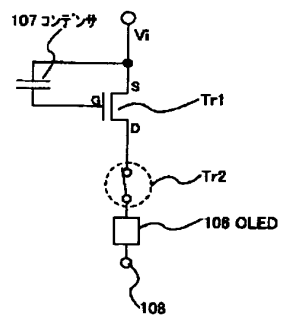
[Drawing 1]



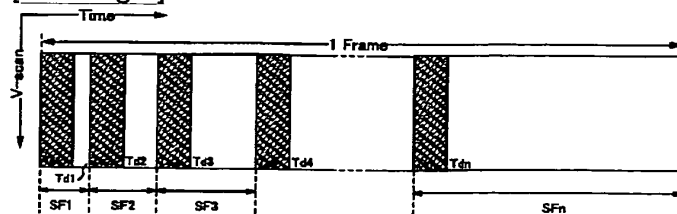
[Drawing 2]



[Drawing 3]

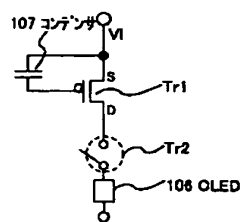
(A)書き込み期間 T_a (B)表示期間 T_d 

[Drawing 5]

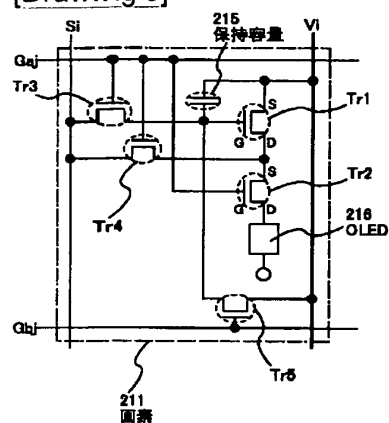


[Drawing 6]

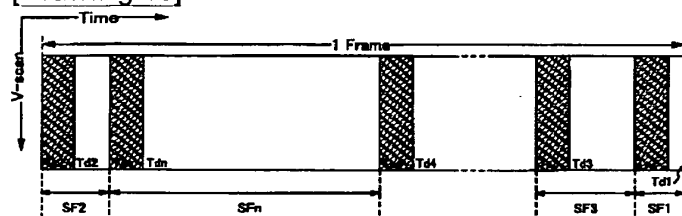
非表示期間Te(Ge非選択、Gb非選択)



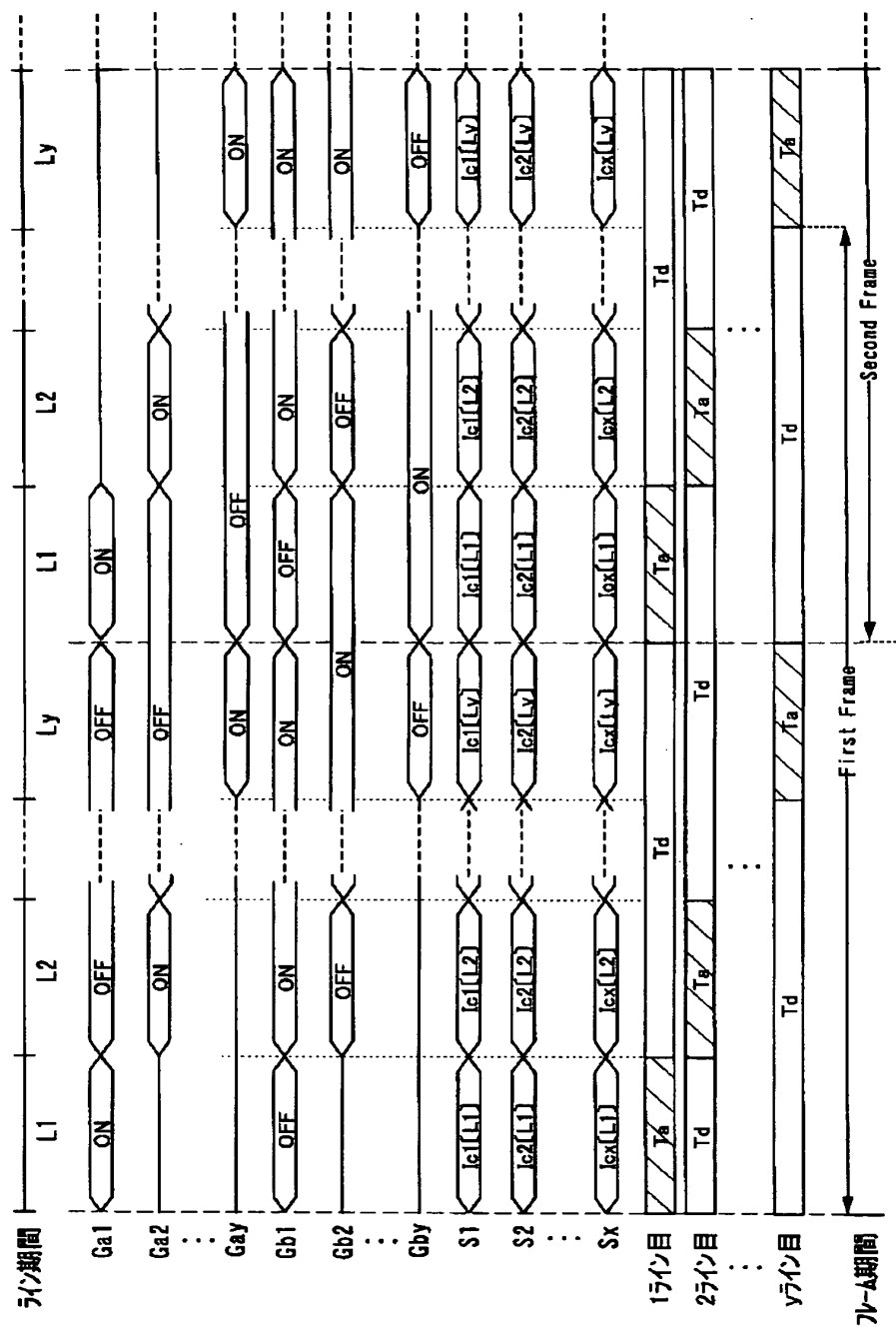
[Drawing 9]



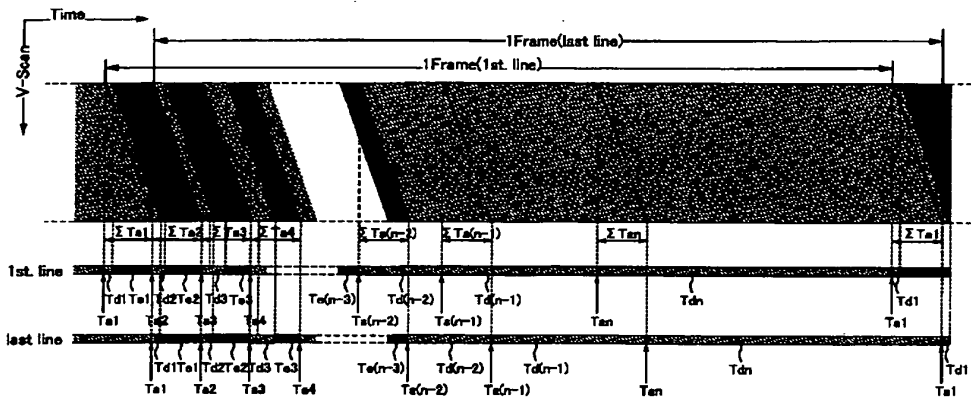
[Drawing 10]



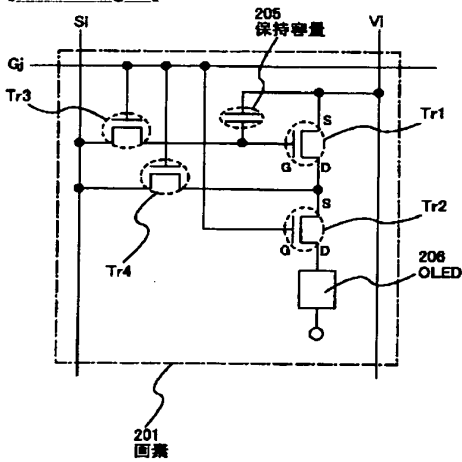
[Drawing 4]



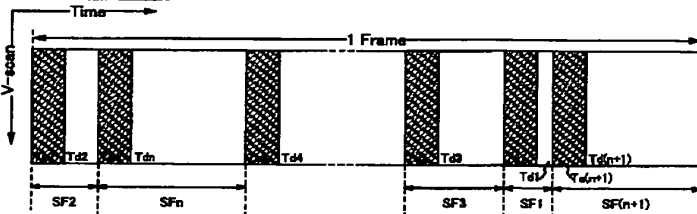
[Drawing 7]



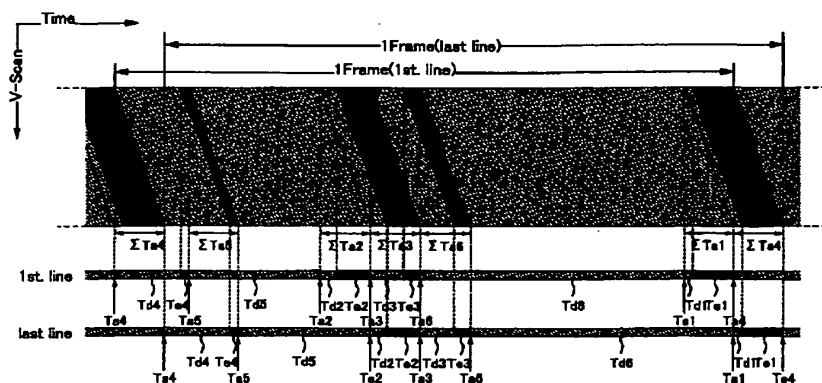
[Drawing 8]



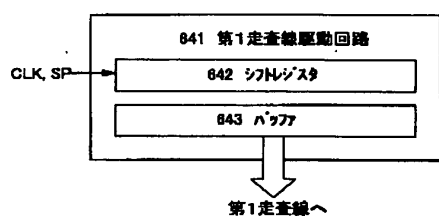
[Drawing 11]



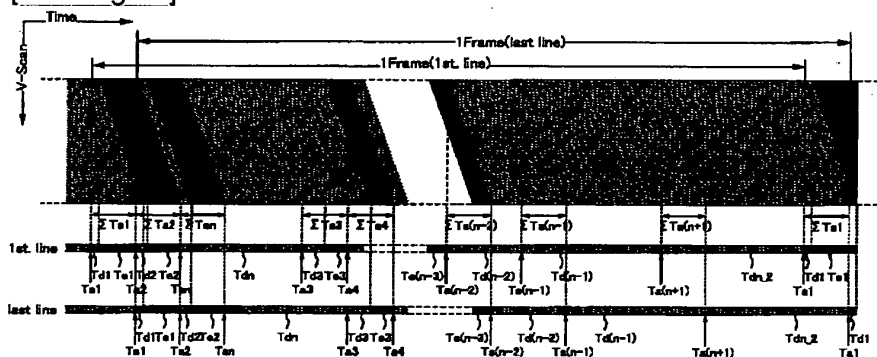
[Drawing 12]



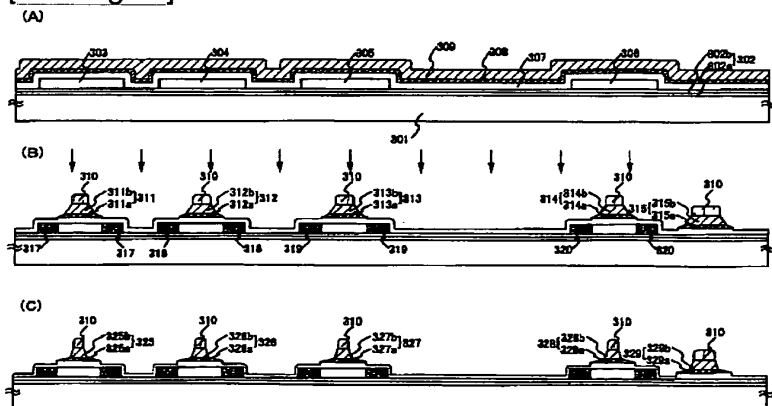
[Drawing 23]



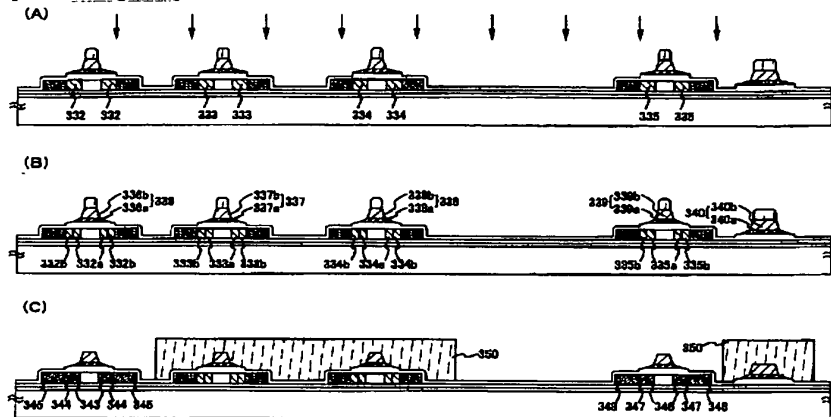
[Drawing 13]



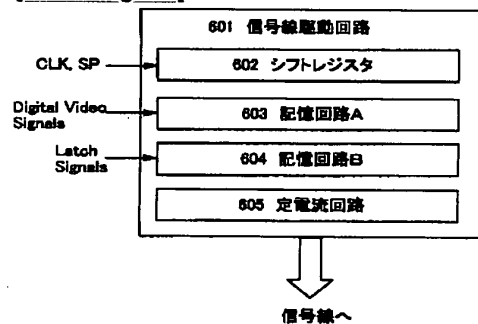
[Drawing 14]



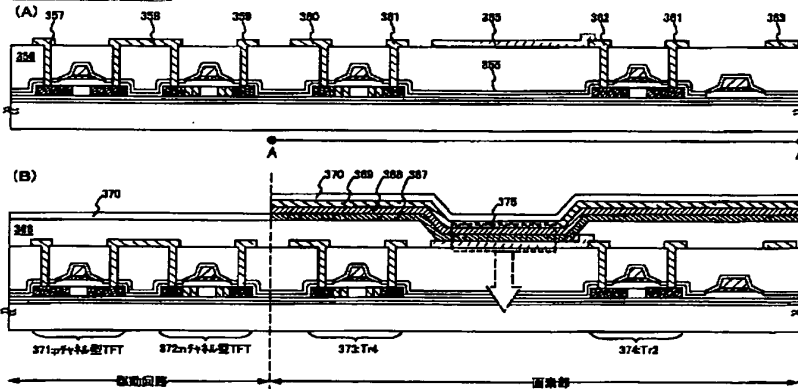
[Drawing 15]

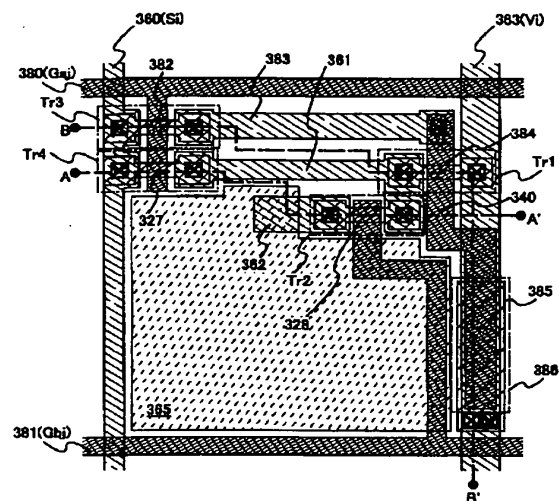


[Drawing 20]

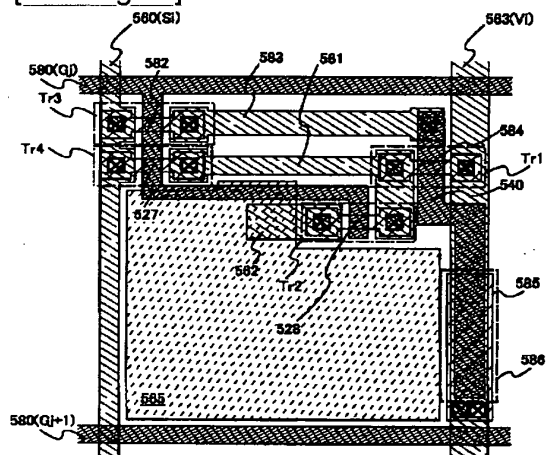


[Drawing 16]

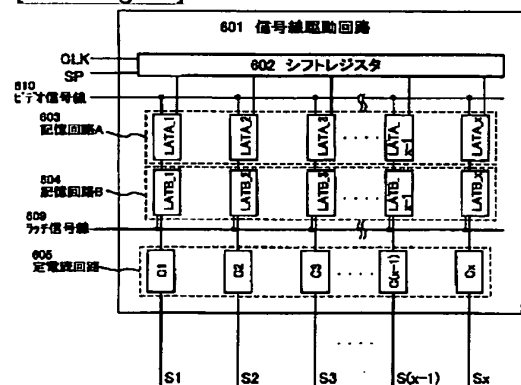




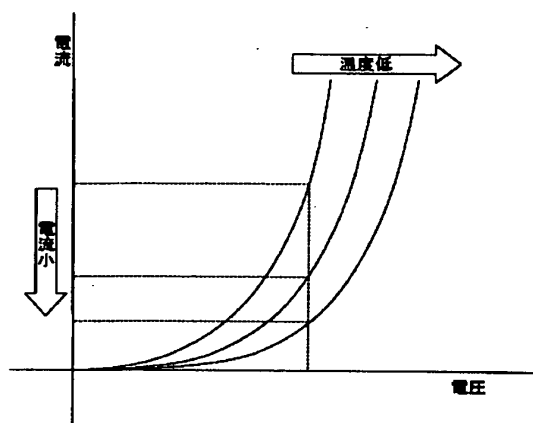
[Drawing 19]



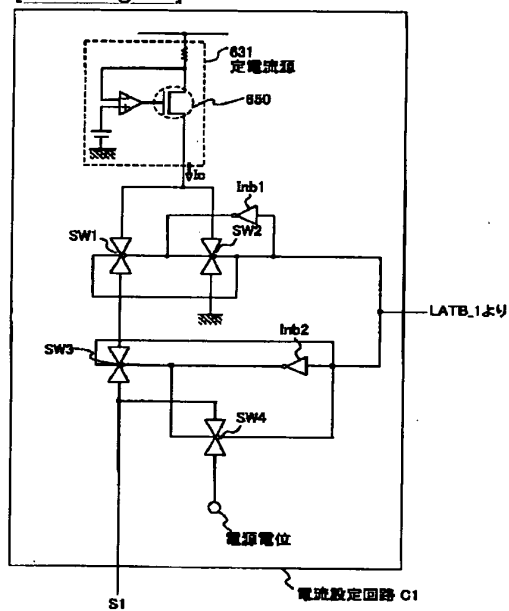
[Drawing 21]



[Drawing 27]

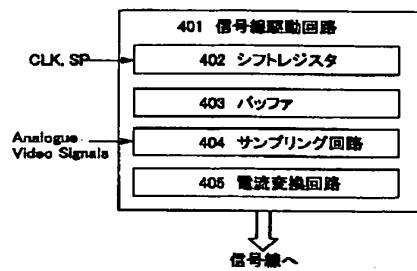


[Drawing 22]

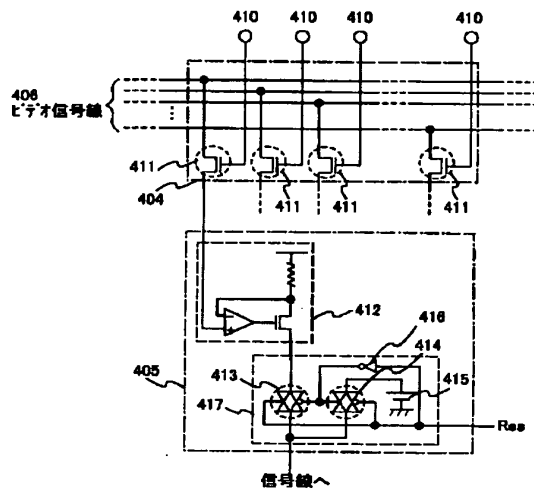


[Drawing 24]

(A)

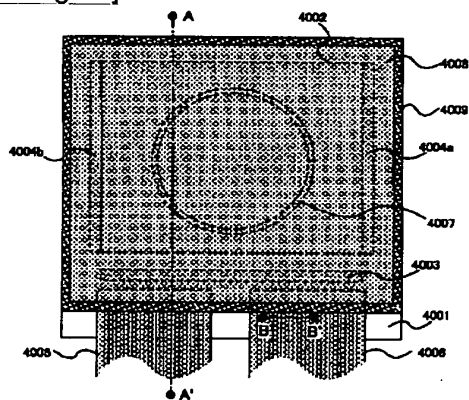


(B)

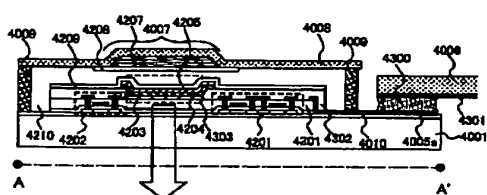


[Drawing 25]

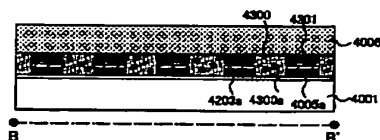
(A)



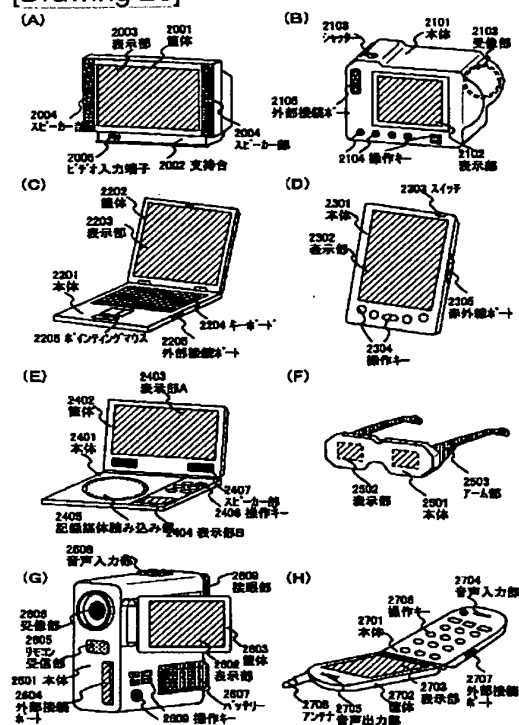
(B)



(C)



[Drawing 26]



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-351357

(P2002-351357A)

(43)公開日 平成14年12月6日(2002.12.6)

(51)Int.Cl. ⁷		識別記号	F I		チーコード*(参考)
G 0 9 F	9/30	3 3 8	G 0 9 F	9/30	3 3 8 3 K 0 0 7
		3 6 5			3 6 5 Z 5 C 0 8 0
G 0 9 G	3/20	6 2 1	G 0 9 G	3/20	6 2 1 A 5 C 0 9 4
		6 2 4			6 2 4 B
		6 4 1			6 4 1 D

審査請求 未請求 請求項の数16 O L (全 32 頁) 最終頁に続く

(21)出願番号 特願2002-75625(P2002-75625)
(22)出願日 平成14年3月19日(2002.3.19)
(31)優先権主張番号 特願2001-81779(P2001-81779)
(32)優先日 平成13年3月22日(2001.3.22)
(33)優先権主張国 日本 (J P)

(71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

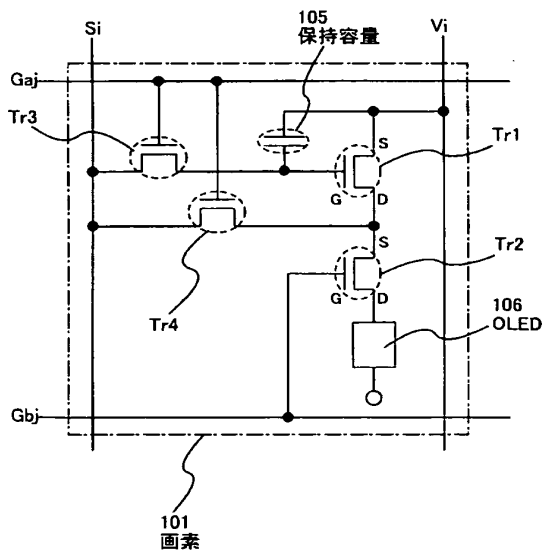
最終頁に続く

(54)【発明の名称】 発光装置、その駆動方法及び電子機器

(57)【要約】

【課題】 有機発光層の劣化や温度変化に左右されずに一定の輝度を得ることができ、さらに所望のカラー表示を行うことが可能な発光装置を提供することを課題とする

【解決手段】 O L E D駆動電圧を一定に保ってO L E Dを発光させるのではなく、O L E Dに流れる電流を一定に保ってO L E Dを発光させることで、劣化によるO L E Dの輝度の低下を小さくする。すなわち、O L E Dの輝度を電圧によって制御するのではなく、電流によって制御することで、O L E Dの劣化によるO L E Dの輝度の変化を防ぐ。具体的には、O L E Dに電流を供給するトランジスタのドレイン電流 I_d を、信号線駆動回路において制御することで、負荷抵抗の値によらずドレイン電流 I_d を一定に保つ。



【特許請求の範囲】

【請求項1】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置であって、前記第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、前記第1のトランジスタのソース領域は前記電源線に接続されており、前記第2のトランジスタのソース領域とドレイン領域は、前記第1のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されていることを特徴とする発光装置。

【請求項2】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、発光素子と、電源線と、信号線と、第1走査線と、第2走査線とを有する発光装置であって、前記第3及び第4のトランジスタのゲート電極は、共に前記第1走査線に接続されており、前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、前記第1のトランジスタのソース領域は前記電源線に接続されており、前記第2のトランジスタのソース領域とドレイン領域は、前記第1のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、前記第2のトランジスタのゲート電極は前記第2走査線に接続されていることを特徴とする発光装置。

【請求項3】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置であって、前記第2、第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、

前記第1のトランジスタのソース領域は前記電源線に接続されており、

前記第2のトランジスタのソース領域とドレイン領域は、前記第1のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されていることを特徴とする発光装置。

【請求項4】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、発光素子と、電源線と、信号線と、第1走査線と、第2走査線とを有する発光装置であって、前記第2、第3及び第4のトランジスタのゲート電極は、共に前記第1走査線に接続されており、前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、

前記第1のトランジスタのソース領域は前記電源線に接続されており、前記第2のトランジスタのソース領域とドレイン領域は、前記第1のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、前記第5のトランジスタのゲート電極は、前記第2走査線に接続されており、前記第5のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第1のトランジスタのゲート電極に接続されていることを特徴とする発光装置。

【請求項5】請求項3または請求項4において、前記第3及び第4のトランジスタと、前記第2のトランジスタの極性が逆であることを特徴とする発光装置。

【請求項6】請求項1乃至請求項5のいずれか1項において、前記第3のトランジスタと前記第4のトランジスタの極性が同じであることを特徴とする発光装置。

【請求項7】請求項1乃至請求項6のいずれか1項において、前記第1のトランジスタと、前記第2のトランジスタの極性が同じであることを特徴とする発光装置。

【請求項8】請求項1乃至請求項7のいずれか1項において、前記発光装置を用いることを特徴とする電子機器。

【請求項9】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、前記第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトラン

ジスタのゲート電極に接続されており、
 前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
 前記第1のトランジスタのソース領域は前記電源線に接続されており、
 前記第2のトランジスタのソース領域とドレイン領域は、前記第1のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 1フレーム期間内に、前記第3のトランジスタ及び前記第4のトランジスタがオンになる第1の期間と、前記第3のトランジスタ及び前記第4のトランジスタがオフになる第2の期間とが設けられており、
 前記第2のトランジスタは前記第1の期間においてオフ、前記第2の期間においてオンになっており前記第1の期間において、前記第1のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。
 【請求項10】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、発光素子と、電源線と、信号線と、第1走査線と、第2走査線とを有する発光装置の駆動方法であって、前記第3及び第4のトランジスタのゲート電極は、共に前記第1走査線に接続されており、
 前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
 前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
 前記第1のトランジスタのソース領域は前記電源線に接続されており、
 前記第2のトランジスタのソース領域とドレイン領域は、前記第1のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 前記第2のトランジスタのゲート電極は前記第2走査線に接続されており、
 1フレーム期間内に、前記第3のトランジスタ及び前記第4のトランジスタがオンになる第1の期間と、前記第3のトランジスタ及び前記第4のトランジスタがオフになる第2の期間とが設けられており、
 前記第2のトランジスタは前記第1の期間においてオフ、前記第2の期間においてオンになっており前記第1の期間において、前記第1のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。
 【請求項11】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタ

と、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、
 前記第2、第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、
 前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
 前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
 前記第1のトランジスタのソース領域は前記電源線に接続されており、
 前記第2のトランジスタのソース領域とドレイン領域は、前記第1のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 1フレーム期間内に、前記第3のトランジスタ及び前記第4のトランジスタがオンになる第1の期間と、前記第3のトランジスタ及び前記第4のトランジスタがオフになる第2の期間とが設けられており、
 前記第2のトランジスタは前記第1の期間においてオフ、前記第2の期間においてオンになっており前記第1の期間において、前記第1のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。
 【請求項12】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、発光素子と、電源線と、信号線と、第1走査線と、第2走査線とを有する発光装置の駆動方法であって、
 前記第2、第3及び第4のトランジスタのゲート電極は、共に前記第1走査線に接続されており、
 前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
 前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
 前記第1のトランジスタのソース領域は前記電源線に接続されており、
 前記第2のトランジスタのソース領域とドレイン領域は、前記第1のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 前記第5のトランジスタのゲート電極は、前記第2走査線に接続されており、
 前記第5のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
 1フレーム期間内に、前記第3及び前記第4のトランジスタがオンで、なおかつ前記第5のトランジスタがオフ

になる第 1 の期間と、
 前記第 3 及び前記第 4 のトランジスタがオフで、なおかつ前記第 5 のトランジスタがオフになる第 2 の期間と、
 前記第 3 及び前記第 4 のトランジスタがオフで、なおかつ前記第 5 のトランジスタがオンになる第 3 の期間と、
 が設けられており、
 前記第 2 のトランジスタは前記第 1 の期間においてオフ、前記第 2 の期間においてオン、前記第 3 の期間においてオンになっており前記第 1 の期間において、前記第 1 のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。
 【請求項 13】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、
 前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、
 前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
 前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、
 前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 1 フレーム期間内に、デジタルビデオ信号の各ビットに対応した第 1 の期間及び第 2 の期間が設けられており、
 前記第 1 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオン、前記第 2 のトランジスタがオフになり、
 前記第 2 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフ、前記第 2 のトランジスタがオンになり、
 対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第 1 の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。
 【請求項 14】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置の駆動方法であって、
 前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、
 前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、
 前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 前記第 2 のトランジスタのゲート電極は前記第 2 走査線に接続されており、
 1 フレーム期間内に、デジタルビデオ信号の各ビットに対応した第 1 の期間及び第 2 の期間が設けられており、
 前記第 1 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオン、前記第 2 のトランジスタがオフになり、
 前記第 2 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフ、前記第 2 のトランジスタがオンになり、
 対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第 1 の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。
 【請求項 15】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、
 前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、
 前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
 前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、
 前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 1 フレーム期間内に、デジタルビデオ信号の各ビットに対応した第 1 の期間及び第 2 の期間が設けられており、
 前記第 1 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオン、前記第 2 のトランジスタがオフになり、
 前記第 2 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフ、前記第 2 のトランジスタがオンになり、
 対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第 1 の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。

方法。

【請求項16】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、発光素子と、電源線と、信号線と、第1走査線と、第2走査線とを有する発光装置の駆動方法であって、

前記第2、第3及び第4のトランジスタのゲート電極は、共に前記第1走査線に接続されており、
前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
前記第1のトランジスタのソース領域は前記電源線に接続されており、
前記第2のトランジスタのソース領域とドレイン領域は、前記第1のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
前記第5のトランジスタのゲート電極は、前記第2走査線に接続されており、
前記第5のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
1フレーム期間内に、デジタルビデオ信号の各ビットに対応した第1の期間、第2の期間及び第3の期間が設けられており、
前記第1の期間において、前記第3のトランジスタ及び前記第4のトランジスタがオン、前記第2のトランジスタ及び前記第5のトランジスタがオフになり、前記第2の期間において、前記第3のトランジスタ及び前記第4のトランジスタがオフ、前記第2のトランジスタがオン、前記第5のトランジスタがオフになり、
前記第3の期間において、前記第3及び前記第4のトランジスタがオフで、前記第2のトランジスタがオン及び前記第5のトランジスタがオンになり、
対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第1の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成された発光素子、例えばOLED (Organic Light Emitting Diode) を、該基板とカバー材の間に封入したOLEDパネルに関する。また、該OLEDパネルにコントローラを含むIC等を実装した、OLEDモジュールに関する。なお本明細書において、OLEDパネル及びOLEDモジュールを共に発光装置と総称する。本発明はさらに、発光装置の駆動方法と、該発光装置を用いた電子機

器に関する。

【0002】

【従来の技術】OLEDは自ら発光するため視認性が高く、液晶表示装置(LCD)で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年OLEDを用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。

【0003】OLEDは、電場を加えることで発生するルミネッセンス (Electroluminescence) が得られる有機化合物 (有機発光材料) を含む層 (以下、有機発光層と記す) と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いても良いし、または両方の発光を用いても良い。

【0004】なお、本明細書では、OLEDの陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にOLEDは、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0005】

【発明が解決しようとする課題】発光装置を実用化する上で問題となっているのが、有機発光材料の劣化に伴う、OLEDの輝度の低下であった。

【0006】有機発光材料は水分、酸素、光、熱に弱く、これらのものによって劣化が促進される。具体的には、発光装置を駆動するデバイスの構造、有機発光材料の特性、電極の材料、作製工程における条件、発光装置の駆動方法等により、その劣化の速度が左右される。

【0007】有機発光層にかかる電圧が一定であっても、有機発光層が劣化するとOLEDの輝度は低下し、表示する画像は不鮮明になる。なお本明細書において、一対の電極から有機発光層に印加する電圧をOLED駆動電圧 (V_{el}) と定義する。

【0008】また、R (赤)、G (緑)、B (青) に対応した三種類のOLEDを用いたカラー化表示方式において、有機発光層を構成する有機発光材料は、OLEDの対応する色によって異なる。そのため、OLEDの有機発光層が、対応する色ごとに異なる速度で劣化することがある。この場合、時間が経つにつれ、OLEDの輝度が色ごとに異なってしまう、発光装置に所望の色を有する画像を表示することができなくなる。

【0009】また、有機発光層の温度は、外気温やOLEDパネル自身が発する熱等に左右されるが、一般的に

OLEDは温度によって流れる電流の値が変化する。図27に、有機発光層の温度を変化させたときの、OLEDの電圧電流特性の変化を示す。電圧が一定のとき、有機発光層の温度が高くなると、OLED駆動電流は大きくなる。そしてOLED駆動電流とOLEDの輝度は比例関係にあるため、OLED駆動電流が大きければ大きいほど、OLEDの輝度は高くなる。このように、有機発光層の温度によってOLEDの輝度が変化するため、所望の階調を表示することが難しく、温度の上昇に伴って発光装置の消費電流が大きくなる。

【0010】さらに、一般的に、有機発光材料の種類によって温度変化におけるOLED駆動電流の変化の度合いが異なるため、カラー表示において各色のOLEDの輝度が温度によってバラバラに変化することが起こりうる。各色の輝度のバランスが崩れると、所望の色を表示することができない。

【0011】本発明は上述したことに鑑み、有機発光層の劣化や温度変化に左右されずに一定の輝度を得ることができ、さらに所望のカラー表示を行うことが可能な発光装置を提供することを課題とする。

【0012】

【課題を解決するための手段】本発明者は、OLED駆動電圧を一定に保って発光させるのと、OLEDに流れる電流を一定に保って発光させるのでは、後者の方が、劣化によるOLEDの輝度の低下が小さいことに着目した。なお本明細書において、OLEDに流れる電流をOLED駆動電流(I_{e1})と呼ぶ。そして、OLEDの輝度を電圧によって制御するのではなく、電流によって制御することで、OLEDの劣化によるOLEDの輝度の変化を防ぐことができるのではないかと考えた。

【0013】具体的に本発明では、各画素に設けたトランジスタのドレイン電流I_dを、信号線駆動回路において制御する。トランジスタのドレイン電流I_dを、信号線駆動回路において制御するので、ドレイン電流I_dは負荷抵抗の値によらずに一定になる。

【0014】ドレイン電流I_dが流れると、トランジスタのゲート電極とドレイン領域間に電圧が生じる。そして、該電圧を維持したまま、トランジスタのドレイン電流が単数または複数の回路素子を間に介してOLEDに流れるようにする。なおドレイン電流I_dは、トランジスタが飽和領域において動作するような大きさである。

【0015】上記構成によって、OLEDに流れるOLED駆動電流の値は、負荷抵抗の値によらず信号線駆動回路によって制御されることになる。言い換えると、トランジスタの特性の違いや、OLEDの劣化等に左右されずに、OLED駆動電流を所望の値に制御することが可能になる。

【0016】本発明では、上記構成により、有機発光層が劣化してもOLEDの輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。ま

た、各色毎に対応したOLEDを用いたカラー表示の発光装置の場合、OLEDの有機発光層が、対応する色ごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【0017】また、有機発光層の温度が外気温やOLEDパネル自身が発する熱等に左右されても、OLED駆動電流を所望の値に制御することができる。よって、OLED駆動電流とOLEDの輝度は比例するので、OLEDの輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。また、カラー表示の発光装置の場合、温度変化に左右されずに各色のOLEDの輝度の変化を抑えることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0018】さらに、一般的に、有機発光材料の種類によって温度変化におけるOLED駆動電流の変化の度合いが異なるため、カラー表示において各色のOLEDの輝度が温度によってバラバラに変化することが起こりうる。しかし本発明の発光装置では、温度変化に左右されずに所望の輝度を得ることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0019】また一般的な発光装置は、各画素に電流を供給する配線自体が抵抗を有するため、配線の長さによってその電位が多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素において、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素のOLEDにそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が変化すると、それに伴って該所定の画素に供給される電流が変化し、結果的に階調数も変化する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0020】なお、本発明の発光装置において、画素に用いるトランジスタは単結晶シリコンを用いて形成されたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良い。

【0021】なお本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

【0022】

【発明の実施の形態】（実施の形態1）図1に本発明のOLEDパネルの構成を、ブロック図で示す。100は画素部であり、複数の画素101がマトリクス状に形成されている。また102は信号線駆動回路、103は第1走査線駆動回路、104は第2走査線駆動回路である。

【0023】なお図1では信号線駆動回路102と、第1走査線駆動回路103と、第2走査線駆動回路104が、画素部100と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路102と第1走査線駆動回路103と、第2走査線駆動回路104が画素部100と異なる基板上に形成され、FPC等を介して、画素部100と接続されていても良い。また、図1では信号線駆動回路102、第1走査線駆動回路103及び第2走査線駆動回路104は1つずつ設けられているが、本発明はこの構成に限定されない。信号線駆動回路102と第1走査線駆動回路103と第2走査線駆動回路104の数は設計者が任意に設定することができる。

【0024】なお本明細書において接続とは、電気的な接続を意味する。

【0025】また図1では、画素部100に信号線S1～Sx、電源線V1～Vx、第1走査線Ga1～Gay、第2走査線Gb1～Gbyが設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。第1走査線と第2走査線の数は必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【0026】電源線V1～Vxは所定の電位に保たれている。なお図1ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線V1～Vxの電位の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【0027】図2に、図1で示した画素101の詳しい構成を示す。図2に示す画素101は、信号線Si（S1～Sxのうちの1つ）、第1走査線Gaj（Ga1～Gayのうちの1つ）、第2走査線Gbj（Gb1～Gbyのうちの1つ）及び電源線Vi（V1～Vxのうちの1つ）を有している。

【0028】また画素101は、トランジスタTr1（電流制御用トランジスタまたは第1のトランジスタ）、トランジスタTr2（駆動用トランジスタまたは第2のトランジスタ）、トランジスタTr3（第1スイッチング用トランジスタまたは第3のトランジスタ）、トランジスタTr4（第2スイッチング用トランジスタまたは第4のトランジスタ）、OLED106及び保持容量105を有している。

【0029】トランジスタTr3とトランジスタTr4

のゲート電極は、共に第1走査線Gajに接続されている。

【0030】トランジスタTr3のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のゲート電極に接続されている。またトランジスタTr4のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のドレイン領域に接続されている。

【0031】トランジスタTr1のソース領域は電源線Viに接続されており、ドレイン領域はトランジスタTr2のソース領域に接続されている。トランジスタTr2のゲート電極は第2走査線Gbjに接続されている。トランジスタTr2のドレイン領域は、OLED106が有する画素電極に接続されている。

【0032】OLED106は陽極と陰極を有しており、本明細書では、陽極を画素電極（第1の電極）として用いる場合は陰極を対向電極（第2の電極）と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0033】対向電極の電位は、一定の高さに保たれている。

【0034】なお、トランジスタTr3とトランジスタTr4は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr3とトランジスタTr4の極性は同じである。

【0035】また、トランジスタTr1とTr2は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr1とTr2の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1とTr2はpチャネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1とTr2はnチャネル型トランジスタである。

【0036】保持容量105はトランジスタTr1のゲート電極と電源線Viとの間に形成されている。保持容量105はトランジスタTr1のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【0037】（実施の形態2）次に、図2に示した発光装置の駆動について、図3を用いて説明する。本実施の形態では、図2に示した発光装置の各画素の動作を、書き込み期間Taと表示期間Tdとに分けて説明する。

【0038】書き込み期間Taでは、第1走査線Gajが選択される。第1走査線Gajが選択されると、第1走査線Gajにゲート電極が接続されたトランジスタTr3及びTr4がオンになる。なお書き込み期間Taでは、第2走査線Gbjは選択されておらず、Tr2はオフになっている。

【0039】そして、信号線駆動回路102に入力され

るビデオ信号の電位に基づき、信号線S1～Sxと電源線V1～Vxの間に、それぞれ一定の電流Icが流れる。なお本明細書において電流Icを信号電流と呼ぶ。

【0040】図3(A)に、書き込み期間Taにおいて、信号線Siに一定の電流Icが流れた場合の、画素101の概略図を示す。107は信号線駆動回路102が有する定電流源を意味する。また、108は対向電極に電位を与える電源への接続用の端子である。

【0041】書き込み期間Taにおいて、トランジスタTr3及びTr4はオンの状態にあるので、信号線Siに一定の電流Icが流れると、一定の電流IcはトランジスタTr1のソース領域とドレイン領域の間に流れる。このとき電流Icは、トランジスタTr1が飽和領域で動作するように、定電流源107においてその大きさが制御されている。

【0042】飽和領域において、Vgsはゲート電極とソース領域間の電位差(ゲート電圧)、μをトランジスタの移動度、C0を単位面積あたりのゲート容量、W/Lをチャンネル形成領域のチャンネル幅Wとチャンネル長Lの比、Vthを閾値、μを移動度、トランジスタTr1のドレイン電流をIdとすると、以下の式1が成り立つ。

【0043】

$$\text{【式1】 } Id = \mu C_0 W/L (V_{gs} - V_{th})^2 / 2$$

【0044】式1においてμ、C0、W/L、Vthは全て個々のトランジスタによって決まる固定の値である。またトランジスタTr1のドレイン電流Idは、定電流源107によってId=Icに保たれている。よって式1からわかるように、トランジスタTr1のゲート電圧Vgsは信号電流Icの値によって定まる。

【0045】書き込み期間Taが終了すると、表示期間Tdが開始される。表示期間Tdでは第1走査線Gajは選択されおらず、第2走査線Gb jが選択される。

【0046】図3(B)に、表示期間Tdにおける画素の概略図を示す。トランジスタTr3及びトランジスタTr4はオフになっている。また、トランジスタTr2はオンになっている。

【0047】表示期間Tdでは、トランジスタTr1は、書き込み期間Taにおいて定められたVgsがそのまま維持されている。そのため、トランジスタTr1のドレイン電流Idの値は信号電流Icと同じ値に維持されたままである。また、トランジスタTr2はオンになっているので、ドレイン電流IdはトランジスタTr2を介してOLED106に流れる。よって、表示期間Tdでは、該信号電流Icと同じ大きさのOLED駆動電流がOLED106に流れ、かつ該OLED駆動電流の大きさに見合った輝度で、OLED106が発光する。

【0048】全ての画素において書き込み期間Taと表示期間Tdとが出現する。そしてその出現するタイミングは、各ラインの画素毎に異なっている。なお本明細書では、画素部が有する複数の画素のうち、同じ第1走査

線または同じ第2走査線を有する全ての画素を、同じラインの画素と呼ぶ。

【0049】そしてアナログのビデオ信号を用いた駆動方法(アナログ駆動法)の場合、アナログのビデオ信号によってIcの大きさが定められ、該Icの大きさに見合った輝度でOLED106が発光することで、階調が表示される。この場合、全ての画素において1つの書き込み期間Taと1つの表示期間Tdが出現することで、1つの画像が表示される。いずれか1つの画素において書き込み期間Taが開始されてから、全ての画素において表示期間Tdが終了するまでの期間をフレーム期間と呼ぶ。連続するフレーム期間は互いに重なっている。

【0050】図4に、アナログ駆動法におけるタイミングチャートの一例を示す。1フレーム期間はy個のライン期間を有しており、各ライン期間において各第1走査線が選択されている。各ライン期間において、各信号線に所定の信号電流Ic(Ic1～Icx)が流れる。図4ではライン期間Lj(j=1～y)において各信号線に流れる信号電流の値を、Ic1[Lj]～Icx[Lj]と表している。

【0051】書き込み期間Taと表示期間Tdの開始されるタイミングは、各ラインの画素ごとにずれており、各ラインの画素の書き込み期間の出現するタイミングは重ならない。

【0052】一方デジタルのビデオ信号を用いた時間階調の駆動方法(デジタル駆動法)の場合、各画素において1フレーム期間中に書き込み期間Taと表示期間Tdが繰り返し出現することで、1つの画像を表示することが可能である。nビットのビデオ信号によって画像を表示する場合、少なくとも各ビットに対応したn個の書き込み期間と、n個の表示期間とが1フレーム期間内に設けられる。n個の書き込み期間(Ta1～Tan)と、n個の表示期間(Td1～Tdn)は、ビデオ信号の各ビットに対応している。

【0053】図5に1フレーム期間において、n個の書き込み期間(Ta1～Tan)とn個の表示期間(Td1～Tdn)が出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線の位置を示している。

【0054】書き込み期間Tam(mは1～nの任意の数)の次には、同じビット数に対応する表示期間、この場合Tdmが出現する。書き込み期間Taと表示期間Tdとを合わせてサブフレーム期間SFと呼ぶ。mビット目に対応している書き込み期間Tamと表示期間Tdmとを有するサブフレーム期間はSFmとなる。

【0055】表示期間Td1～Tdnの長さは、Td1:Td2:…:Tdn=2⁰:2¹:…:2ⁿ⁻¹を満たす。

【0056】なお、表示上での画質向上のため、表示期間の長いサブフレーム期間を、幾つかに分割しても良

い。具体的な分割の仕方については、特開2002-023696号、特願2001-257163号において開示されているので、参照することが可能である。

【0057】図5に示した駆動法では、1フレーム期間における発光する表示期間の長さの和を制御することで、階調を表示する。

【0058】本発明では、上記構成により、有機発光層が劣化してもOLEDの輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。また、各色毎に対応したOLEDを用いたカラー表示の発光装置の場合、OLEDの有機発光層が、対応する色ごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【0059】また、有機発光層の温度が外気温やOLEDパネル自身が発する熱等に左右されても、OLED駆動電流を所望の値に制御することができる。よって、OLED駆動電流とOLEDの輝度は比例するので、OLEDの輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。また、カラー表示の発光装置の場合、温度変化に左右されずに各色のOLEDの輝度の変化を抑えることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0060】さらに、一般的に、有機発光材料の種類によって温度変化におけるOLED駆動電流の変化の度合いが異なるため、カラー表示において各色のOLEDの輝度が温度によってバラバラに変化することが起こりうる。しかし本発明の発光装置では、温度変化に左右されずに所望の輝度を得ることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0061】また一般的な発光装置は、各画素に電流を供給する配線自体が抵抗を有するため、配線の長さによってその電位が多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素において、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素のOLEDにそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が変化すると、それに伴って該所定の画素に供給される電流が変化し、結果的に階調数も変化する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0062】(実施の形態3) 本実施の形態では、図2に示した発光装置の駆動の、実施の形態2とは異なる例

について、図6を用いて説明する。本実施の形態では、図2に示した発光装置の各画素の動作を、書き込み期間 T_a と、表示期間 T_d と、非表示期間 T_e とに分けて説明する。なお、書き込み期間 T_a と表示期間 T_d における画素の動作は、実施の形態2において既に説明してあるので、ここでは非表示期間 T_e における画素の動作について説明する。

【0063】非表示期間 T_e は、表示期間 T_d が終了した後、表示期間 T_d が出現する前に出現する。非表示期間 T_d では、第1走査線 G_{aj} 及び第2走査線 G_{bj} は選択されていない。

【0064】図6に、非表示期間 T_e における画素の概略図を示す。トランジスタ T_{r3} 及びトランジスタ T_{r4} はオフになっている。また、トランジスタ T_{r2} もオフになっている。よって、OLED106にOLED駆動電流は流れず、OLED106は発光しない。

【0065】非表示期間 T_e は、必ずしも全ての表示期間 T_d の後に出現するわけではない。ただし、全ラインの画素の書き込み期間が終了する前に、1ライン目の画素の表示期間が終了するような場合、該表示期間の後に非表示期間が出現する。

【0066】本実施の形態の駆動方法は、主にデジタルのビデオ信号による駆動において用いられる。デジタルのビデオ信号を用いた時間階調の駆動方法(デジタル駆動法)では、各画素において1フレーム期間中に書き込み期間 T_a と表示期間 T_d が繰り返し出現することで、1つの画像を表示することが可能である。 n ビットのビデオ信号によって画像を表示する場合、少なくとも n 個の書き込み期間と、 n 個の表示期間とが1フレーム期間内に設けられる。 n 個の書き込み期間($T_{a1} \sim T_{an}$)と、 n 個の表示期間($T_{d1} \sim T_{dn}$)は、ビデオ信号の各ビットに対応している。

【0067】図7に1フレーム期間において、 n 個の書き込み期間($T_{a1} \sim T_{an}$)と n 個の表示期間($T_{d1} \sim T_{dn}$)と、1個の非表示期間($T_{e1} \sim T_{e1}$)が出現するタイミングを示す。なお、説明を簡単にするために、本実施の形態では $l = n - 3$ の場合について説明する。横軸は時間を示しており、縦軸は画素が有する第1走査線の位置を示している。また、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{an}$ の開始されるタイミングを矢印で示した。また、各ビットごとに、1ライン目の画素の書き込み期間が開始されてから、 y ライン目の画素の書き込み期間が終了するまでの期間を、 $\Sigma T_{a1} \sim \Sigma T_{an}$ で示す。

【0068】書き込み期間 T_{a1} において、1ライン目の画素から順に、1ビット目のデジタルビデオ信号によりトランジスタ T_{r1} のドレイン電流が制御される。そして次に表示期間 T_{d1} が開始されると、1ライン目の画素から順に、トランジスタ T_{r3} 及び T_{r4} がオフに

なり、トランジスタTr2がオンになることで、ドレイン電流がOLED106に流れる。よって、OLED106が発光または非発光の状態になる。

【0069】そして次に、非表示期間Te1が開始され、1ライン目の画素から順に、トランジスタTr3及びTr4がオフのままで、トランジスタTr2がオフの状態になる。よって、OLED106にドレイン電流が流れなくなり、OLED106がオフの状態になる。

【0070】そして、次に書き込み期間Ta2が開始され、上述した動作が非表示期間Te(n-3)が終了するまで繰り返される。

【0071】非表示期間Te(n-3)が終了すると、書き込み期間Ta(n-2)が開始され、1ライン目の画素から順に、(n-2)ビット目のデジタルビデオ信号によりトランジスタTr1のドレイン電流が制御される。そして次に表示期間Td(n-2)が開始されると、1ライン目の画素から順に、トランジスタTr3及びTr4がオフになり、トランジスタTr2がオンになることで、ドレイン電流がOLED106に流れる。よって、OLED106が発光または非発光の状態になる。

【0072】そして次に、書き込み期間Ta(n-1)が開始され、上述した動作が表示期間Tdnが終了するまで繰り返される。

【0073】1ライン目の画素においてTdnが終了した後、1フレーム期間が終了し、再び1ライン目の画素において、次のフレーム期間の書き込み期間Ta1が開始される。そして上述した動作が再び繰り返される。1フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【0074】全ての画素において表示期間Tdnが終了すると、1つの画像を表示することができる。

【0075】なお、表示期間の長さをTd1:Td2:Td3:…:Td(n-1):Tdn=2⁰:2¹:2²:…:2⁽ⁿ⁻²⁾:2⁽ⁿ⁻¹⁾とする。この表示期間の組み合わせで2ⁿ階調のうち所望の階調表示を行うことができる。

【0076】

【実施例】以下に、本発明の実施例について説明する。

【0077】(実施例1) 本実施例では、本発明の発光装置の、図2とは異なる画素の構成について説明する。

【0078】本実施例の発光装置が有するOLEDパネルは、図1に示したOLEDパネルとは異なり、第2走査線駆動回路を有していない。なお本実施例では、以下、第1走査線駆動回路を単に走査線駆動回路と呼ぶ。

【0079】本実施例のOLEDパネルは、複数の画素がマトリクス状に形成されている画素部と、信号線駆動回路と、走査線駆動回路を有している。

【0080】信号線駆動回路と、走査線駆動回路は、画素部と同じ基板上に形成されていても良いし、それぞれ

異なる基板上に形成され、FPC等を介して画素部と接続されていても良い。また、信号線駆動回路と走査線駆動回路の数は、設計者が任意に設定することができる。

【0081】そして、画素部には、信号線S1~Sx、電源線V1~Vx、走査線G1~Gyが設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【0082】電源線V1~Vxは所定の電位に保たれている。電源線V1~Vxの電位の高さは全て同じでなくとも良い。

【0083】図8に、本実施例の画素の詳しい構成を示す。図8に示す画素201は、信号線Si(S1~Sxのうちの1つ)、走査線Gj(G1~Gyのうちの1つ)及び電源線Vi(V1~Vxのうちの1つ)を有している。

【0084】また画素201は、トランジスタTr1(電流制御用トランジスタまたは第1のトランジスタ)、トランジスタTr2(駆動用トランジスタまたは第2のトランジスタ)、トランジスタTr3(第1スイッチング用トランジスタまたは第3のトランジスタ)、トランジスタTr4(第2スイッチング用トランジスタまたは第4のトランジスタ)、OLED206及び保持容量205を有している。

【0085】トランジスタTr3とトランジスタTr4のゲート電極は、共に走査線Gjに接続されている。

【0086】トランジスタTr3のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のゲート電極に接続されている。またトランジスタTr4のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のドレイン領域に接続されている。

【0087】トランジスタTr1のソース領域は電源線Viに接続されており、ドレイン領域はトランジスタTr2のソース領域に接続されている。トランジスタTr2のゲート電極は走査線Gjに接続されている。トランジスタTr2のドレイン領域は、OLED206が有する画素電極に接続されている。

【0088】OLED206は陽極と陰極を有している。

【0089】対向電極の電位は、一定の高さに保たれている。

【0090】なお、トランジスタTr3とTr4は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr3とトランジスタTr4の極性は同じである。

【0091】また、トランジスタTr1とTr2は、トランジスタTr3とTr4と逆の極性を有している。したがって、トランジスタTr3及びTr4がオンのと

き、Tr 2はオフであり、逆にトランジスタTr 3及びTr 4がオフのとき、Tr 2はオンである。

【0092】そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr 1とTr 2はpチャネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr 1とTr 2はnチャネル型トランジスタである。

【0093】保持容量205はトランジスタTr 1のゲート電極と電源線Viとの間に形成されている。保持容量205はトランジスタTr 1のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【0094】図8に示した画素は、実施の形態2で示した駆動方法で動作する。すなわち、図3に示したように、その動作は書き込み期間と表示期間に分けて説明することが可能である。なお、各画素の詳しい動作の仕方については実施の形態2を参照することができるので、ここでは省略する。

【0095】（実施例2）本実施例では、本発明の発光装置の、図2、図8とは異なる画素の構成について説明する。

【0096】本実施例の発光装置が有するOLEDパネルは、図1に示したOLEDパネルと同じく、複数の画素がマトリクス状に形成されている画素部と、信号線駆動回路と、第1走査線駆動回路と、第2走査線駆動回路とを有している。

【0097】信号線駆動回路と、第1走査線駆動回路と、第2走査線駆動回路は、画素部と同じ基板上に形成されていても良いし、それぞれ異なる基板上に形成され、FPC等を介して画素部と接続されていても良い。また、信号線駆動回路と、第1走査線駆動回路と、第2走査線駆動回路の数は、設計者が任意に設定することができる。

【0098】そして、画素部には、信号線S1～Sx、電源線V1～Vx、第1走査線Ga1～Gay、第2走査線Gb1～Gbyが設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。また、第1走査線と第2走査線の数も必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【0099】電源線V1～Vxは所定の電位に保たれている。電源線V1～Vxの電位の高さは全て同じでなくとも良い。

【0100】図9に、本実施例の画素の詳しい構成を示す。図9に示す画素211は、信号線Si（S1～Sxのうちの1つ）、第1走査線Gaj（Ga1～Gayのうちの1つ）、第2走査線Gbj（Gb1～Gbyのうちの1つ）及び電源線Vi（V1～Vxのうちの1つ）

を有している。

【0101】また画素211は、トランジスタTr 1（電流制御用トランジスタまたは第1のトランジスタ）、トランジスタTr 2（駆動用トランジスタまたは第2のトランジスタ）、トランジスタTr 3（第1スイッチング用トランジスタまたは第3のトランジスタ）、トランジスタTr 4（第2スイッチング用トランジスタまたは第4のトランジスタ）、トランジスタTr 5（消去用トランジスタまたは第5のトランジスタ）、OLED216及び保持容量215を有している。

【0102】トランジスタTr 3とトランジスタTr 4のゲート電極は、共に第1走査線Gajに接続されている。

【0103】トランジスタTr 3のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr 1のゲート電極に接続されている。またトランジスタTr 4のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr 1のドレイン領域に接続されている。

【0104】トランジスタTr 1のソース領域は電源線Viに接続されており、ドレイン領域はトランジスタTr 2のソース領域に接続されている。トランジスタTr 2のゲート電極は第1走査線Gajに接続されている。トランジスタTr 2のドレイン領域は、OLED216が有する画素電極に接続されている。

【0105】トランジスタTr 5のゲート電極は第2走査線Gbjに接続されている。また、トランジスタTr 5のソース領域とドレイン領域は、一方は電源線Viに、もう一方はトランジスタTr 1のゲート電極に接続されている。

【0106】OLED216は陽極と陰極を有している。

【0107】対向電極の電位は、一定の高さに保たれている。

【0108】なお、トランジスタTr 3とTr 4は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr 3とトランジスタTr 4の極性は同じである。

【0109】また、トランジスタTr 1とTr 2は、トランジスタTr 3とTr 4と逆の極性を有している。したがって、トランジスタTr 3及びTr 4がオンのとき、Tr 2はオフであり、逆にトランジスタTr 3及びTr 4がオフのとき、Tr 2はオンである。

【0110】そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr 1とTr 2はpチャネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr 1とTr 2はnチャネル型トランジスタである。

【0111】保持容量215はトランジスタTr 1のゲ

ート電極と電源線 V_i との間に形成されている。保持容量 215 はトランジスタ $Tr1$ のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【0112】図9に示した画素は、実施の形態3で示した駆動方法で動作する。ただし、図9に示した画素の場合、非表示期間における画素の動作は、図6に示したものと異なる。図9に示した画素の場合、非表示期間においてトランジスタ $Tr5$ がオンになることで、 $Tr1$ のゲート電圧が0に近くなり、 $Tr1$ はオフになる。そして、トランジスタ $Tr2$ はオンになっており、しかし $Tr1$ はオフなので、OLED 216 にOLED駆動電流は流れず、OLED 216 はオフになる。よって、その動作は書き込み期間と表示期間と非表示期間に分けて説明することが可能である。なお、詳しい駆動のタイミングについては実施の形態3を参照することができるので、ここでは省略する。

【0113】（実施例3）本実施例では、実施の形態2において示した駆動方法における、サブフレーム期間 $SF1 \sim SFn$ の出現する順序について説明する。

【0114】図10に、1フレーム期間において、 n 個の書き込み期間（ $Ta1 \sim Tan$ ）と n 個の表示期間（ $Td1 \sim Tdn$ ）とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線の位置を示している。各画素の詳しい動作については実施の形態2を参照すれば良いので、ここでは省略する。

【0115】本実施例の駆動方法では、1フレーム期間中で1番長い表示期間を有するサブフレーム期間（本実施例では SFn ）を、1フレーム期間の最初及び最後に設けない。言い換えると、1フレーム期間中で1番長い表示期間を有するサブフレーム期間の前後に、同じフレーム期間に含まれる他のサブフレーム期間が出現するような構成を有している。

【0116】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0117】なお本実施例の構成は $n \geq 3$ の場合において有効である。また、本実施例は実施例1と自由に組み合わせ実施することが可能である。

【0118】（実施例4）本実施例では、実施例3とは異なる駆動方法の一例について説明する。

【0119】図11に、1フレーム期間において、 $n+1$ 個の書き込み期間（ $Ta1 \sim Ta(n+1)$ ）と $n+1$ 個の表示期間（ $Td1 \sim Td(n+1)$ ）とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線の位置を示している。各画素の詳しい動作については実施の形態2を参照すれば良いので、ここでは省略する。

【0120】本実施例では n ビットのデジタルビデオ信

号に対応して、1フレーム期間内に $n+1$ のサブフレーム期間 $SF1 \sim SF(n+1)$ が設けられる。そしてサブフレーム期間 $SF1 \sim SF(n+1)$ は、 $n+1$ 個の書き込み期間（ $Ta1 \sim Ta(n+1)$ ）と、 $n+1$ 個の表示期間（ $Td1 \sim Td(n+1)$ ）とを有している。

【0121】書き込み期間 Tam （ m は $1 \sim n+1$ の任意の数）と表示期間 Tdm とを有するサブフレーム期間は SFm となる。書き込み期間 Tam の次には、同じビット数に対応する表示期間、この場合 Tdm が出現する。

【0122】サブフレーム期間 $SF1 \sim SFn-1$ は、 $1 \sim (n-1)$ ビットのデジタルビデオ信号の各ビットに対応している。サブフレーム期間 SFn 及び $SF(n+1)$ は n ビット目のデジタルビデオ信号に対応している。

【0123】また本実施例では、同じビットのデジタルビデオ信号に対応するサブフレーム期間 SFn と $SF(n+1)$ は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応するサブフレーム期間 SFn と $SF(n+1)$ の間に、他のサブフレーム期間が設けられている。

【0124】1フレーム期間中に書き込み期間 Ta と表示期間 Td とが繰り返し出現することで、1つの画像を表示することが可能である。

【0125】表示期間 $Td1 \sim Td(n+1)$ の長さは、 $Td1 : Td2 : \dots : (Tdn + Td(n+1)) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0126】本発明の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0127】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、図5及び図10に示した駆動方法に比べて、人間の目に認識されずらくすることができる。

【0128】なお本実施例では、同じビットに対応するサブフレーム期間が2つある場合について説明したが、本発明はこれに限定されない。1フレーム期間内に同じビットに対応するサブフレーム期間が3つ以上設けられていても良い。

【0129】また、本実施例では最上位ビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けても良い。また、対応するサブフレーム期間が複数設けられたビットは1つだけに限られず、いくつかのビットのそれぞれに複数のサブフレーム期間が対応するような構成にしても良い。

【0130】なお本実施例の構成は $n \geq 2$ の場合におい

て有効である。また、本実施例は実施例1、3と自由に組み合わせ実施することが可能である。

【0131】(実施例5) 本実施例では、実施の形態3に示した駆動方法において、の出現する順序について説明する。ただし本実施例では $n=6$ 、 $l=5$ の場合について説明する。なお、本実施例では本発明の駆動方法の一例について説明しており、対応するデジタルビデオ信号のビット数 n や l の値については、本発明は本実施例の構成に限定されない。なお本実施例の構成はデジタルビデオ信号のビット数が3以上の場合において有効である。

【0132】図12に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線及び第2走査線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{a6}$ の開始されるタイミングを矢印で示した。また、対応するビットごとに、1ライン目の画素の書き込み期間が開始されてから、 y ライン目の画素の書き込み期間が終了するまでの期間($\Sigma T_{a1} \sim \Sigma T_{a6}$)を矢印で示す。

【0133】また、画素の詳しい動作については、実施の形態3を参照することができるので、ここでは説明を省略する。

【0134】はじめに1ライン目の画素において、書き込み期間 T_{a4} が開始される。書き込み期間 T_{a4} が開始されると、4ビット目のデジタルビデオ信号が1ライン目の画素に入力される。

【0135】そして、1ライン目の画素において書き込み期間 T_{a4} が終了すると、次に2ライン目以降の画素においても、順に書き込み期間 T_{a4} が開始される。そして1ライン目の画素の場合と同様に、各ラインの画素に4ビット目のデジタルビデオ信号が入力される。

【0136】一方、2ライン目以降の画素において書き込み期間 T_{a4} が開始されると同時に並行して、1ライン目の画素において表示期間 T_{d4} が開始される。表示期間 T_{d4} が開始されると、4ビット目のデジタルビデオ信号によって1ライン目の画素が表示を行う。

【0137】そして、1ライン目の画素において表示期間 T_{d4} が開始された後、2ライン目以降の画素においても順に書き込み期間 T_{a4} が終了し、表示期間 T_{d4} が開始される。そして、4ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0138】一方、2ライン目以降のラインの画素において表示期間 T_{d4} が開始した後、1ライン目の画素において表示期間 T_{d4} が終了し、非表示期間 T_{e4} が開始される。なお、2ライン目以降のラインの画素において表示期間 T_{d4} が開始されると同時に並行して、1ライン目の画素において表示期間 T_{d4} が終了し、非表示

期間 T_{e4} が開始されても良い。

【0139】非表示期間 T_{e4} が開始されると、1ライン目の画素が表示を行わなくなる。

【0140】次に、1ライン目の画素において非表示期間 T_{e4} が開始された後、2ライン目以降の画素においても順に表示期間 T_{d4} が終了し、非表示期間 T_{e4} が開始される。よって、各ラインの画素が表示を行わなくなる。

【0141】一方、2ライン目以降のラインの画素において非表示期間 T_{e4} が開始されると同時に並行、もしくは全ての画素において非表示期間 T_{e4} が開始された後に、1ライン目の画素において書き込み期間 T_{a5} が開始される。

【0142】1ライン目の画素において書き込み期間 T_{a5} が開始されると、5ビット目のデジタルビデオ信号が1ライン目の画素に入力される。そして、1ライン目の画素において書き込み期間 T_{a5} が終了すると、2ライン目以降の画素においても、順に書き込み期間 T_{a5} が開始される。

【0143】一方、1ライン目の画素において書き込み期間 T_{a5} が終了した後、2ライン目以降のラインの画素において書き込み期間 T_{a5} が開始されると同時に並行して、1ライン目の画素において表示期間 T_{d5} が開始される。表示期間 T_{d5} においても、表示期間 T_{d5} と同様に、5ビット目のデジタルビデオ信号によって画素が表示を行う。

【0144】そして、1ライン目の画素において表示期間 T_{d5} が開始された後、2ライン目以降の画素においても、順に書き込み期間 T_{a5} が終了し、表示期間 T_{d5} が開始される。

【0145】次に、全てのラインの画素において表示期間 T_{d5} が開始された後、1ライン目の画素において表示期間 T_{d5} が終了し、書き込み期間 T_{a2} が開始される。

【0146】1ライン目の画素において書き込み期間 T_{a2} が開始されると、2ビット目のデジタルビデオ信号が1ライン目の画素に入力される。

【0147】そして、1ライン目の画素において書き込み期間 T_{a2} が終了すると、次に2ライン目以降の画素においても、順に書き込み期間 T_{a2} が開始される。そして1ライン目の画素の場合と同様に、各ラインの画素に2ビット目のデジタルビデオ信号が入力される。

【0148】一方、2ライン目以降の画素において書き込み期間 T_{a2} が開始されると同時に並行して、1ライン目の画素において表示期間 T_{d2} が開始される。表示期間 T_{d2} が開始されると、2ビット目のデジタルビデオ信号によって1ライン目の画素が表示を行う。

【0149】そして、1ライン目の画素において表示期間 T_{d2} が開始された後、2ライン目以降の画素においても順に書き込み期間 T_{a2} が終了し、表示期間 T_{d2}

が開始される。そして、2ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0150】一方、2ライン目以降のラインの画素において表示期間T d 2が開始されるのと同時並行して、1ライン目の画素において表示期間T d 2が終了し、非表示期間T e 2が開始される。

【0151】非表示期間T e 2が開始されると、1ライン目の画素が表示を行わなくなる。

【0152】次に、1ライン目の画素において非表示期間T e 2が開始された後、2ライン目以降の画素において表示期間T d 2が終了し、非表示期間T e 2が開始される。よって、各ラインの画素が表示を行わなくなる。

【0153】一方、2ライン目以降のラインの画素において非表示期間T e 2が開始されるのと同時並行、もしくは全ての画素において非表示期間T e 2が開始された後に、1ライン目の画素において書き込み期間T a 3が開始される。

【0154】上述した動作は1～6の全てのビットのデジタルビデオ信号が画素に入力される前まで繰り返し行われ、各ラインの画素ごとに、書き込み期間T a と、表示期間T d と、非表示期間T e とが繰り返し出現する。

【0155】1ライン目の画素において全ての表示期間T d 1～T d 6が終了した後、1ライン目の画素において1フレーム期間が終了し、再び次のフレーム期間の最初の書き込み期間（本実施例ではT a 4）が開始される。また1ライン目の画素において1フレーム期間が終了した後、2ライン目以降の画素においても1フレーム期間が終了し、再び次のフレーム期間の書き込み期間T a 4が開始される。

【0156】そして上述した動作が再び繰り返される。1フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【0157】全てのラインの画素において1フレーム期間が終了すると1つの画像を表示することができる。

【0158】本実施例では、表示期間の長さをT d 1 : T d 2 : … : T d 5 : T d 6 = 2⁰ : 2¹ : … : 2⁴ : 2⁵とする。この表示期間の組み合わせで2⁶階調のうち所望の階調表示を行うことができる。

【0159】1フレーム期間中にOLEDが発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、本実施例の場合は、全部の表示期間で画素が発光した場合の輝度を100%とすると、T d 1とT d 2において画素が発光した場合には5%の輝度が表現でき、T d 3とT d 5を選択した場合には32%の輝度が表現できる。

【0160】なお、各ラインの画素の書き込み期間は互いに重ならないので、yライン目の画素における書き込み期間が終了した後に、1ライン目の画素における書き

込み期間が開始されるようにする。

【0161】また本実施例では、各ラインの画素の表示期間T d 5の長さは、1ライン目の画素の書き込み期間T a 5が開始されてから、yライン目の画素の書き込み期間T a 5が終了するまでの期間(ΣT a 5)より、長いことが肝要である。

【0162】また表示期間T d 1～T d 6は、どのような順序で出現させても良い。例えば1フレーム期間中において、T d 1の次にT d 3、T d 5、T d 2、…という順序で表示期間を出現させることも可能である。ただし、各ラインの画素における書き込み期間が、互いに重ならないようにすることが必要である。

【0163】本発明の駆動方法では、1ライン目の画素の書き込み期間T a が開始されてから、yライン目の画素の書き込み期間T a が終了するまでの期間、言い換えると全ての画素に1ビット分のデジタルビデオ信号を書き込む期間より、各ラインの画素の表示期間の長さを短くすることができる。よって、デジタルビデオ信号のビット数が増加しても、下位ビットに対応する表示期間の長さを短くすることができるので、画面をちらつかせることなく高精細な画像を表示することが可能である。

【0164】また、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるEL材料を有するOLEDを設けた場合でも、温度によって各色のOLEDの輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【0165】なお本実施例の駆動方法では、1フレーム期間中で1番長い表示期間（本実施例ではT d 6）を、1フレーム期間の最初及び最後に設けない。言い換えると、1フレーム期間中で1番長い表示期間の前後に、同じフレーム期間に含まれる他の表示期間が出現するような構成にしている。

【0166】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0167】また、本実施例は実施例2と自由に組み合わせることで実施することが可能である。

【0168】（実施例6）本実施例では、nビットのデジタルビデオ信号を用いた、実施例5とは異なる駆動方法の一例について説明する。ただし本実施例では1 = n - 2の場合について説明する。

【0169】本実施例の駆動方法では、同じ最上位ビットのデジタルビデオ信号に対応する表示期間T d nと表示期間T d (n + 1)を有している。そして、表示期間T d nと表示期間T d (n + 1)のそれぞれに対応して、書き込み期間T a nと書き込み期間T a (n + 1)とが設けられている。

【0170】なお本実施例では、同じビットのデジタル

ビデオ信号に対応する表示期間 T_{dn} と $T_d(n+1)$ は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応する表示期間 T_{dn} と $T_d(n+1)$ の間に、他の表示期間が設けられている。

【0171】図13に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線及び第2走査線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{a(n+1)}$ の開始されるタイミングを矢印で示した。また、対応するビットごとに、1ライン目の画素の書き込み期間が開始されてから、yライン目の画素の書き込み期間が終了するまでの期間($\Sigma T_{a1} \sim \Sigma T_{a(n+1)}$)を矢印で示す。

【0172】また、画素の詳しい動作については、実施の形態の場合と同じであるので、ここでは説明を省略する。

【0173】表示期間 $T_{d1} \sim T_{d(n+1)}$ の長さは、 $T_{d1} : T_{d2} : \dots : T_{d(n-1)} : (T_{dn} + T_{d(n+1)}) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0174】1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0175】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、実施例2の場合に比べて人間の目に認識されずることができる。

【0176】なお本実施例では、同じビットに対応する表示期間が2つある場合について説明したが、本発明はこれに限定されない。1フレーム期間内に同じビットに対応する表示期間が3つ以上設けられていても良い。

【0177】また、本実施例では最上位ビットのデジタルビデオ信号に対応する表示期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応する表示期間を複数設けても良い。また、対応する表示期間が複数設けられたビットは1つだけに限られず、いくつかのビットのそれぞれに複数の表示期間が対応するような構成にしても良い。

【0178】なお本実施例の構成は $n \geq 2$ の場合において有効である。また、本実施例は実施例2または5と自由に組み合わせて実施することが可能である。

【0179】(実施例7) 本実施例では、本発明の発光装置の作製方法について説明する。なお、本実施例では、図2に示した画素の作製方法を例にとって説明する。また本実施例では、画素が有するトランジスタ T_{r2} 、 T_{r4} の断面図のみ示すが、トランジスタ T_{r1} 及び T_{r3} も本実施例の作製方法を参照して作ることが可能である。またその他画素が有するトランジスタ(例えば図9に示す画素ではトランジスタ T_{r5})も、同様に

形成することが可能である。さらに本実施例では、画素部の周辺に設けられる駆動回路(信号線駆動回路、第1走査線駆動回路、第2走査線駆動回路)が有するTFTを、画素部のTFTと同一基板上に同時に形成する例を示す。

【0180】まず、図14(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板301上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜302を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜302aを10~200[nm](好ましくは50~100[nm])形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜302bを50~200[nm](好ましくは100~150[nm])の厚さに積層形成する。本実施例では下地膜302を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0181】島状半導体層303~306は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層303~306の厚さは25~80[nm](好ましくは30~60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム($SiGe$)合金などで形成すると良い。

【0182】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm²](代表的には200~300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300[kHz]とし、レーザーエネルギー密度を300~600[mJ/cm²](代表的には350~500[mJ/cm²])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90[%]として行う。

【0183】次いで、島状半導体層303~306を覆うゲート絶縁膜307を形成する。ゲート絶縁膜307はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]としてシリコンを含む絶縁膜で形成す

る。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40[Pa]、基板温度300~400[°C]とし、高周波(13.56[MHz])、電力密度0.5~0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0184】そして、ゲート絶縁膜307上にゲート電極を形成するための第1の導電膜308と第2の導電膜309とを形成する。本実施例では、第1の導電膜308をTaで50~100[nm]の厚さに形成し、第2の導電膜309をWで100~300[nm]の厚さに形成する。

【0185】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180[μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10~50[nm]程度の厚さでTaの下地に形成しておくこととα相のTa膜を容易に得ることが出来る。

【0186】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]または純度99.99[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μΩcm]を実現することが出来る。

【0187】なお、本実施例では、第1の導電膜308をTa、第2の導電膜309をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の

組み合わせの一例で望ましいものとしては、第1の導電膜308を窒化タンタル(TaN)で形成し、第2の導電膜309をWとする組み合わせ、第1の導電膜308を窒化タンタル(TaN)で形成し、第2の導電膜309をAlとする組み合わせ、第1の導電膜308を窒化タンタル(TaN)で形成し、第2の導電膜309をCuとする組み合わせが挙げられる。(図14(A))

【0188】次に、レジストによるマスク310を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0189】上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層311~315(第1の導電層311a~315aと第2の導電層311b~315b)を形成する。このとき、ゲート絶縁膜307においては、第1の形状の導電層311~315で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。また、マスク310も上記エッチングにより表面がエッチングされた。

【0190】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を1×10¹³~5×10¹⁴[atoms/cm²]とし、加速電圧を60~100[keV]として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層311~314がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域317~320が形成される。第1の不純物領域317~320には1×10²⁰~1×10²¹[atoms/cm³]の濃度範囲でn型を付与する不純物元素を添加

する。(図14(B))

【0191】次に、図14(C)に示すように、レジストマスク310は除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層325~329(第1の導電層325a~329aと第2の導電層325b~329b)を形成する。このとき、ゲート絶縁膜307においては、第2の形状の導電層325~329で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0192】W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、フラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0193】そして、図15(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120[keV]とし、 1×10^{13} [atoms/cm²]のドーピング量で行い、図14(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層325~328を不純物元素に対するマスクとして用い、第1の導電層325a~328aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域332~335が形成される。この第3の不純物領域332~335に添加されたリン(P)の濃度は、第1の導電層325a~328aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層325a~328aのテーパ部と重なる半導体層において、第1の導電層325a~328aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0194】図15(B)に示すように第3のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層325a~329aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層336~340(第1の導電層336a~340aと第2の導電層336b~340b)を形成する。このとき、ゲート絶縁膜307においては、第3の形状の導電層336~340で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0195】第3のエッチング処理によって、第3の不純物領域332~335においては、第1の導電層336a~339aと重なる第3の不純物領域332a~335aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域332b~335bとが形成される。

【0196】そして、図15(C)に示すように、pチャネル型TFTを形成する島状半導体層303、306に第1の導電型とは逆の導電型の第4の不純物領域343~348を形成する。第3の形状の導電層336b、339bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層304、305および第3の形状の導電層340は、レジストマスク350で全面を被覆しておく。不純物領域343~348にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドーピング法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにする。

【0197】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層336~339がゲート電極として機能する。また、第3の形状の導電層340はゲート配線として機能する。

【0198】レジストマスク350を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400~700[℃]、代表的には500~600[℃]で行うものであり、本実施例では500[℃]で4時間の熱処理を行う。ただし、第3の形状の導電層336~340に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。なお、第3の形状の導電層340はゲート

ト配線であり、その一部はトランジスタTr1（図示せず）のゲート電極として機能しており、なおかつトランジスタTr3（図示せず）のソース領域もしくはドレイン領域に接続されている。

【0199】さらに、3～100[%]の水素を含む雰囲気中で、300～450[°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0200】次いで、図16（A）に示すように、第1の層間絶縁膜355を酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜356を形成した後、第1の層間絶縁膜355、第2の層間絶縁膜356、およびゲート絶縁膜307に対してコンタクトホールを形成し、接続配線357～363をパターンニング形成する。なお363は電源線であり、360は信号線である。

【0201】第2の層間絶縁膜356としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。特に、第2の層間絶縁膜356は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μm]（さらに好ましくは2～4[μm]）とすれば良い。

【0202】コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、n型の不純物領域317～319またはp型の不純物領域345、348に達するコンタクトホール、ゲート配線340に達するコンタクトホール、容量配線（図示せず）に達するコンタクトホール（図示せず）をそれぞれ形成する。

【0203】また、接続配線357～363として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0204】次に、接続配線（ドレイン配線）362に接する画素電極365をパターンニング形成する。なお、接続配線にはソース配線とドレイン配線とが含まれる。ソース配線とは、活性層のソース領域に接続された配線であり、ドレイン配線とはドレイン領域に接続された配線を意味する。

【0205】また、本実施例では、画素電極365としてITO膜を110[nm]の厚さに形成し、パターンニングを行った。画素電極365を接続配線362と接するように配置することでコンタクトを取っている。また、酸化インジウムに2～20[%]の酸化亜鉛（ZnO）を

混合した透明導電膜を用いても良い。この画素電極365がOLEDの陽極となる。（図16（A））

【0206】次に、図16（B）に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、画素電極365に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜366を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分にならなかつた場合と段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0207】次に、有機発光層367および陰極（MgAg電極）368を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機発光層367の膜厚は80～200[nm]（典型的には100～120[nm]）、陰極368の厚さは180～300[nm]（典型的には200～250[nm]）とすれば良い。

【0208】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、有機発光層および陰極を形成する。但し、有機発光層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に有機発光層を形成するのが好ましい。

【0209】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機発光層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機発光層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の有機発光層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0210】ここではRGBに対応した3種類のOLEDを形成する方式を用いたが、白色発光のOLEDとカラーフィルタを組み合わせた方式、青色または青緑発光のOLEDと蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したOLEDを重ねる方式などを用いても良い。

【0211】なお、有機発光層367としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層となる4層構造を有機発光層とすれば良い。

【0212】次に陰極368を形成する。なお本実施例では陰極368としてMgAgを用いたが、本発明はこれに限定されない。陰極368として他の公知の材料を用いても良い。

【0213】画素電極365と、有機発光層367と、陰極368とが重なっている部分が、OLED375に相当する。

【0214】また、次に保護電極369を蒸着法により形成する。保護電極369は、大気開放せずに陰極368と連続して形成しても良い。保護電極369は有機発光層367を水分や酸素から保護するのに有効である。

【0215】また、保護電極369は陰極368の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機発光層367、陰極368は非常に水分に弱いので、保護電極369までを大気解放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【0216】最後に、窒化珪素膜でなるパッシベーション膜370を300[nm]の厚さに形成する。パッシベーション膜370を形成しておくことで、有機発光層367を水分等から保護することができ、OLEDの信頼性をさらに高めることが出来る。なおパッシベーション膜370は必ずしも設ける必要はない。

【0217】こうして図16(B)に示すような構造の発光装置が完成する。371は駆動回路部のpチャネル型TFT、372は駆動回路部のnチャネル型TFT、373はトランジスタTr4、374はトランジスタTr2を意味している。

【0218】ところで、本実施例の発光装置は、画素部だけでなく駆動回路にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0219】なお、実際には図16(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとOLEDの信頼性が向上する。

【0220】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタを取り付ける。

【0221】また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0222】本実施例は、実施例1~6と自由に組み合わせることで実施することが可能である。

【0223】(実施例8) 本実施例では、実施例2にお

いて形成した画素の上面図について説明する。図17に本実施例の画素の上面図を示す。なお図17は、図16(A)の工程が終了した時点における、画素の上面図に相当する。図17では、層間絶縁膜やゲート絶縁膜などの各種絶縁膜は、配線や半導体層の位置を明確にするために省略した。また、同じ層に形成される配線は同じハッチで示す。

【0224】図17の、破線A-A'における断面図が、図16(A)のA-A'の部分に相当する。図18に、図17の破線B-B'における断面図を示す。

【0225】図17に示す画素は、信号線として機能する接続配線360(Si)と、第1走査線380(Gaj)と、第2走査線381(Gbj)と、電源線363(Vi)を1つつ有している。そして、第1走査線380の一部である382、327は、それぞれトランジスタTr3と、Tr4のゲート電極に相当する。

【0226】トランジスタTr3のソース領域とドレイン領域は、一方は信号線360に接続されており、もう一方は接続配線383を介してゲート配線340に接続されている。ゲート配線340の一部384はトランジスタTr1のゲート電極として機能している。

【0227】また、トランジスタTr4のソース領域とドレイン領域は、一方は信号線360に接続されており、もう一方は接続配線361を介してトランジスタTr1のドレイン領域及びトランジスタTr2のソース領域に接続されている。

【0228】トランジスタTr1のソース領域は電源線363に接続されている。また、トランジスタTr2のドレイン領域は接続配線362を介して画素電極365に接続されている。

【0229】第2走査線381の一部である328は、トランジスタTr2のゲート電極として機能している。

【0230】電源線363は、第1及び第2層間絶縁膜を間に挟んで、ゲート配線340と重なっている。ゲート配線340は、ゲート絶縁膜(図示せず)を間に挟んで、半導体膜に不純物を添加することで形成された容量配線385と重なっている。電源線363と容量配線385とは、コンタクトホールを介して接続されている。なお、ゲート配線340と容量配線385がゲート絶縁膜を間に挟んで重なっている部分が、保持容量386に相当する。さらに、電源線363が第1及び第2層間絶縁膜を間に挟んでゲート配線340と重なっている部分も保持容量として用いても良い。

【0231】この電源線363の上を、各画素を区切る隔壁(バンク)の下に形成することによって、開口率を落とすことなく保持容量および電源線を形成することができる。

【0232】本実施例で示した画素の上面図は、本発明の構成のほんの一例に過ぎず、図17に示した画素の上面図は、本実施例で示した構成に限定されない。なお本

実施例は、実施例1～7と自由に組み合わせて実施することが可能である。

【0233】(実施例9)本実施例では、図8に示した画素の上面図について説明する。図19に本実施例の画素の上面図を示す。なお図17は、画素電極の形成が終了し、有機発光層を成膜する前の段階における、画素の上面図に相当する。図19では、層間絶縁膜やゲート絶縁膜などの各種絶縁膜は、配線や半導体層の位置を明確にするために省略した。また、同じ層に形成される配線は同じハッチで示す。

【0234】図19に示す画素は、信号線として機能する接続配線560(Si)と、走査線580(Gj)と、電源線563(Vi)を1つずつ有している。そして、走査線580の一部である582、527、528は、それぞれトランジスタTr3と、Tr4と、Tr2のゲート電極に相当する。

【0235】トランジスタTr3のソース領域とドレイン領域は、一方は信号線560に接続されており、もう一方は接続配線583を介してゲート配線540に接続されている。ゲート配線540の一部584はトランジスタTr1のゲート電極として機能している。

【0236】また、トランジスタTr4のソース領域とドレイン領域は、一方は信号線560に接続されており、もう一方は接続配線561を介してトランジスタTr1のドレイン領域及びトランジスタTr2のソース領域に接続されている。

【0237】トランジスタTr1のソース領域は電源線563に接続されている。また、トランジスタTr2のドレイン領域は接続配線562を介して画素電極565に接続されている。

【0238】電源線563は、第1及び第2層間絶縁膜を間に挟んで、ゲート配線540と重なっている。ゲート配線540は、ゲート絶縁膜(図示せず)を間に挟んで、半導体膜に不純物を添加することで形成された容量配線585と重なっている。電源線563と容量配線585とは、コンタクトホールを介して接続されている。なお、ゲート配線540と容量配線585がゲート絶縁膜を間に挟んで重なっている部分が、保持容量586に相当する。さらに、電源線563が第1及び第2層間絶縁膜を間に挟んでゲート配線540と重なっている部分も保持容量として用いても良い。

【0239】この電源線563の上を、各画素を区切る隔壁(バンク)の下に形成することによって、開口率を落とすことなく保持容量および電源線を形成することができる。

【0240】本実施例で示した画素の上面図は、本発明の構成のほんの一例に過ぎず、図19に示した画素の上面図は、本実施例で示した構成に限定されない。なお本実施例は、実施例1～7と自由に組み合わせて実施することが可能である。

【0241】(実施例10)本実施例では、デジタルビデオ信号を用いて駆動する本発明の発光装置が有する駆動回路(信号線駆動回路及び第1走査線駆動回路)の構成について説明する。

【0242】図20に信号線駆動回路601の構成をブロック図で示す。602はシフトレジスタ、603は記憶回路A、604は記憶回路B、605は定電流回路である。

【0243】シフトレジスタ602にはクロック信号CLKと、スタートパルス信号SPが入力されている。また記憶回路A603にはデジタルビデオ信号(Digital Video Signals)が入力されており、記憶回路B604にはラッチ信号(Latch Signals)が入力されている。定電流回路605から出力される一定の信号電流Icは信号線へ入力される。

【0244】図21に信号線駆動回路601のより詳しい構成を示す。

【0245】シフトレジスタ602に所定の配線からクロック信号CLKとスタートパルス信号SPとが入力されることによって、タイミング信号が生成される。タイミング信号は記憶回路A603が有する複数のラッチA(LATA_1～LATA_x)にそれぞれ入力される。なおこのときシフトレジスタ602において生成されたタイミング信号を、バッファ等で緩衝増幅してから、記憶回路A603が有する複数のラッチA(LATA_1～LATA_x)にそれぞれ入力するような構成にしても良い。

【0246】記憶回路A603にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号線610に入力される1ビット分のデジタルビデオ信号が、順に複数のラッチA(LATA_1～LATA_x)のそれぞれに書き込まれ、保持される。

【0247】なお、本実施例では記憶回路A603にデジタルビデオ信号を取り込む際に、記憶回路A603が有する複数のラッチA(LATA_1～LATA_x)に、順にデジタルビデオ信号を入力しているが、本発明はこの構成に限定されない。記憶回路A603が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0248】記憶回路A603の全てのステージのラッチへの、デジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0249】1ライン期間が終了すると、記憶回路B6

04が有する複数のラッチB (LATB__1~LATB__x) に、ラッチ信号線609を介してラッチングナル (Latch Signal) が供給される。この瞬間、記憶回路A603が有する複数のラッチA (LATA__1~LATA__x) に保持されているデジタルビデオ信号は、記憶回路B604が有する複数のラッチB (LATB__1~LATB__x) に一斉に書き込まれ、保持される。

【0250】デジタルビデオ信号を記憶回路B604に送出し終えた記憶回路A603には、シフトレジスタ602からのタイミング信号に基づき、次の1ビット分のデジタルビデオ信号の書き込みが順次行われる。

【0251】この2順目の1ライン期間中には、記憶回路B604に書き込まれ、保持されているデジタルビデオ信号が定電流回路605に入力される。

【0252】定電流回路605は複数の電流設定回路 (C1~Cx) を有している。電流設定回路 (C1~Cx) のそれぞれにデジタルビデオ信号が入力されると、該デジタルビデオ信号が有する1または0の情報によって、信号線に一定の電流Icが流れるか、または信号線に電源線V1~Vxの電位が与えられるか、いずれか一方が選択される。

【0253】図22に電流設定回路C1の具体的な構成の一例を示す。なお電流設定回路C2~Cxも同じ構成を有する。

【0254】電流設定回路C1は定電流源631と、4つのトランスミッションゲートSW1~SW4と、2つのインバーターInb1、Inb2とを有している。なお、定電流源631が有するトランジスタ650の極性は、画素が有するトランジスタTr1及びTr2の極性と同一である。

【0255】記憶回路B604が有するLATB__1から出力されたデジタルビデオ信号によって、SW1~SW4のスイッチングが制御される。なおSW1及びSW3に入力されるデジタルビデオ信号と、SW2及びSW4に入力されるデジタルビデオ信号は、Inb1、Inb2によって反転している。そのためSW1及びSW3がオンのときはSW2及びSW4はオフ、SW1及びSW3がオフのときはSW2及びSW4はオンとなっている。

【0256】SW1及びSW3がオンのとき、定電流源631から0ではない所定の値の電流IcがSW1及びSW3を介して信号線S1に流入される。

【0257】逆にSW2及びSW4がオンのときは、定電流源631からの電流IcはSW2を介してグラウンドに落とされる。またSW4を介して電源線V1~Vxの電源電位が信号線S1に与えられ、Ic=0となる。

【0258】再び図21を参照して、前記の動作が、1ライン期間内に、定電流回路605が有する全ての電流設定回路 (C1~Cx) において同時に行われる。よって、デジタルビデオ信号により、全ての信号線に流入さ

れる信号電流Icの値が選択される。

【0259】次に、第1走査線駆動回路の構成について説明する。

【0260】図23は第1走査線駆動回路641の構成を示すブロック図である。

【0261】第1走査線駆動回路641は、それぞれシフトレジスタ642、バッファ643を有している。また場合によってはレベルシフタを有していても良い。

【0262】第1走査線駆動回路641において、シフトレジスタ642にクロックCLK及びスタートパルス信号SPが入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファ643において緩衝増幅され、対応する走査線に供給される。

【0263】走査線には、1ライン分の画素の第1スイッチング用トランジスタ及び第2スイッチング用トランジスタのゲート電極が接続されている。そして、1ライン分の画素の第1スイッチング用トランジスタ及び第2スイッチング用トランジスタを一斉にONにしないことにならないので、バッファ643は大きな電流を流すことが可能なものが用いられる。

【0264】本発明において用いられる駆動回路は、本実施例で示した構成に限定されない。さらに、本実施例で示した定電流回路は、図22に示した構成に限定されない。本発明で用いられる定電流回路は、信号電流Icが取りうる2値のいずれか一方をデジタルビデオ信号によって選択し、選択された値を有する信号電流を信号線に流すことができれば、どのような構成を有していても良い。

【0265】また、第2走査線駆動回路も第1走査線駆動回路と同じ構成を有していても良い。

【0266】本実施例の構成は、実施例1~9と自由に組み合わせることで実施することが可能である。

【0267】(実施例11) 本実施例では、アナログのビデオ信号で駆動する本発明の発光装置が有する信号線駆動回路の構成について説明する。なお走査線駆動回路の構成は、図23において示した構成を用いることができるので、ここでは説明を省略する。

【0268】図24(A)に本実施例の信号線駆動回路401のブロック図を示す。402はシフトレジスタ、403はバッファ、404はサンプリング回路、405は電流変換回路を示している。

【0269】シフトレジスタ402には、クロック信号 (CLK)、スタートパルス信号 (SP) が入力されている。シフトレジスタ402にクロック信号 (CLK) とスタートパルス信号 (SP) が入力されると、タイミング信号が生成される。

【0270】生成されたタイミング信号は、バッファ403において増幅または緩衝増幅されて、サンプリング回路404に流入される。なお、バッファの代わりにレ

ベルシフトを設けて、タイミング信号を増幅しても良い。また、バッファとレベルシフトを両方設けていても良い。

【0271】図24(B)にサンプリング回路404、電流変換回路405の具体的な構成を示す。なおサンプリング回路404は、端子410においてバッファ403と接続されている。

【0272】サンプリング回路404には、複数のスイッチ411が設けられている。そしてサンプリング回路404には、ビデオ信号線406からアナログビデオ信号が入力されており、スイッチ411はタイミング信号に同期して、該アナログビデオ信号をサンプリングし、後段の電流変換回路405に入力する。なお図24

(B)では、電流変換回路405はサンプリング回路404が有するスイッチ411の1つに接続されている電流変換回路だけを示しているが、各スイッチ411の後段に、図24(B)に示したような電流変換回路405が接続されているものとする。

【0273】なお本実施例では、スイッチ411にトランジスタを1つだけ用いているが、スイッチ411はタイミング信号に同期してアナログビデオ信号をサンプリングできるスイッチであれば良く、本実施例の構成に限定されない。

【0274】サンプリングされたアナログビデオ信号は、電流変換回路405が有する電流出力回路412に入力される。電流出力回路412は、入力されたビデオ信号の電圧に見合った値の電流(信号電流)を出力する。なお図24ではアンプ及びトランジスタを用いて電流出力回路を形成しているが、本発明はこの構成に限定されず、入力された信号の電圧に見合った値の電流を出力することができる回路であれば良い。

【0275】該信号電流は、同じく電流変換回路405が有するリセット回路417に入力される。リセット回路406は、2つのアナログスイッチ413、414と、インバーター416と、電源415を有している。

【0276】アナログスイッチ414にはリセット信号(Res)が入力されており、アナログスイッチ413には、インバーター416によって反転されたリセット信号(Res)が入力されている。そしてアナログスイッチ413とアナログスイッチ414は、反転したリセット信号とリセット信号にそれぞれ同期して動作しており、一方がオンのとき片一方がオフになっている。

【0277】そして、アナログスイッチ413がオンのときに信号電流は対応する信号線に入力される。逆に、アナログスイッチ414がオンのときに電源415の電位が信号線に与えられ、信号線がリセットされる。なお、電源415の電位は、画素に設けられた電源線の電位とほぼ同じ高さであることが望ましく、信号線がリセットされているときに信号線にながれる電流が0に近ければ近いほど良い。

【0278】なお信号線は、帰線期間中にリセットするのが望ましい。しかし、画像を表示している期間以外であるならば、必要に応じて帰線期間以外の期間にリセットすることも可能である。

【0279】なお、本発明の発光装置を駆動する信号線駆動回路及び第1走査線駆動回路は、本実施例で示す構成に限定されない。本実施例の構成は、実施例1～実施例10に示した構成と自由に組み合わせて実施することが可能である。

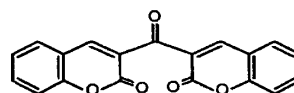
【0280】(実施例12)本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、OLEDの低消費電力化、長寿命化、および軽量化が可能になる。

【0281】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【0282】上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

【0283】

【化1】

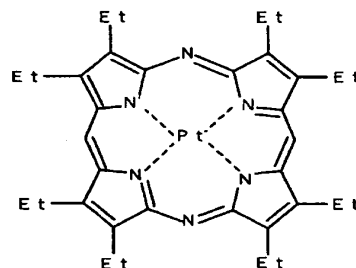


【0284】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0285】上記の論文により報告された有機発光材料(Pt錯体)の分子式を以下に示す。

【0286】

【化2】

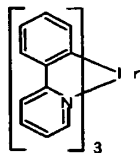


【0287】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys.,38 (12B) (1999) L1502.)

【0288】上記の論文により報告された有機発光材料(Ir錯体)の分子式を以下に示す。

【0289】

【化3】



【0290】 以上のように三重項励起子からの蛍光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【0291】 なお、本実施例の構成は、実施例1～実施例11のいずれの構成とも自由に組み合わせて実施することが可能である。

【0292】 (実施例13) 本実施例では、本発明の発光装置の封止の様子について、図25を用いて説明する。

【0293】 図25は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図25(B)は、図25(A)のA-A'における断面図、図25(C)は図25(A)のB-B'における断面図である。

【0294】 基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0295】 また基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとは、複数のTFTを有している。図25(B)では代表的に、下地膜4010上に形成された、信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示する)4201及び画素部4002に含まれるトランジスタTr2 4202を図示した。

【0296】 本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、トランジスタTr2 4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002には保持容量(図示せず)が設けられる。

【0297】 駆動TFT4201及びトランジスタTr

2 4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にトランジスタTr2 4202のドレインと電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0298】 そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0299】 有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0300】 有機発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気中で形成し、水分や酸素に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバ方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0301】 以上のようにして、画素電極(陽極)4203、有機発光層4204及び陰極4205からなるOLED4303が形成される。そしてOLED4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、OLED4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0302】 4005aは電源線に接続された引き回し配線であり、トランジスタTr2 4202のソース領域に電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4206に電氣的に接続される。

【0303】 シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP

(Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0304】但し、OLEDからの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0305】また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。本実施例では充填材として窒素を用いた。

【0306】また充填材4210を吸湿性物質 (好ましくは酸化バリウム) もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、OLED4303の劣化を抑制できる。

【0307】図25 (C) に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0308】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4206とが、導電性フィラー4300aによって電気的に接続される。

【0309】本実施例の構成は、実施例1～実施例12に示した構成と自由に組み合わせて実施することが可能である。

【0310】(実施例14) OLEDを用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0311】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディス

プレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置 (具体的にはデジタルビデオディスク (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置) などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図26に示す。

【0312】図26 (A) はOLED表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、OLED表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0313】図26 (B) はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0314】図26 (C) はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

【0315】図26 (D) はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0316】図26 (E) は記録媒体を備えた携帯型の画像再生装置 (具体的にはDVD再生装置) であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体 (DVD等) 読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A2403、B2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0317】図26 (F) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0318】図26（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

【0319】ここで図26（H）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0320】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0321】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0322】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0323】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～13に示したいずれの構成の発光装置を用いても良い。

【0324】

【発明の効果】

【0325】上述した構成によって、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なる有機発光材料を有するOLEDを設けた場合でも、温度によっ

て各色のOLEDの輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の発光装置の上面ブロック図。

【図2】 本発明の発光装置の画素の回路図。

【図3】 駆動における画素の概略図。

【図4】 アナログ駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図5】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図6】 駆動における画素の概略図。

【図7】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図8】 本発明の発光装置の画素の回路図。

【図9】 本発明の発光装置の画素の回路図。

【図10】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図11】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図12】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図13】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図14】 本発明の発光装置の作製方法を示す図。

【図15】 本発明の発光装置の作製方法を示す図。

【図16】 本発明の発光装置の作製方法を示す図。

【図17】 本発明の発光装置の画素の上面図。

【図18】 本発明の発光装置の画素の断面図。

【図19】 本発明の発光装置の画素の上面図。

【図20】 信号線駆動回路のブロック図。

【図21】 デジタル駆動法における信号線駆動回路の詳細図。

【図22】 デジタル駆動法における電流設定回路の回路図。

【図23】 第1走査線駆動回路のブロック図。

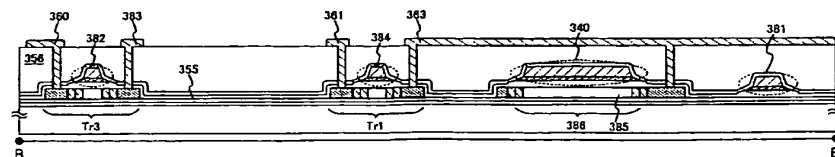
【図24】 デジタル駆動法における信号線駆動回路の詳細図。

【図25】 本発明の発光装置の外観図及び断面図。

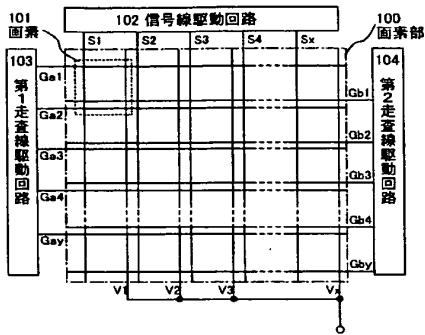
【図26】 本発明の発光装置を用いた電子機器の図。

【図27】 OLEDの電圧電流特性を示す図。

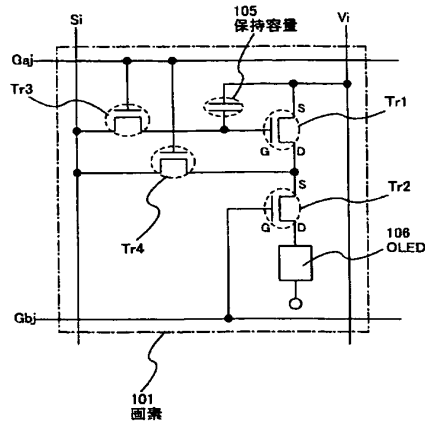
【図18】



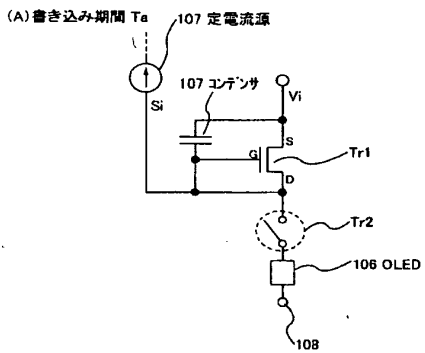
【図1】



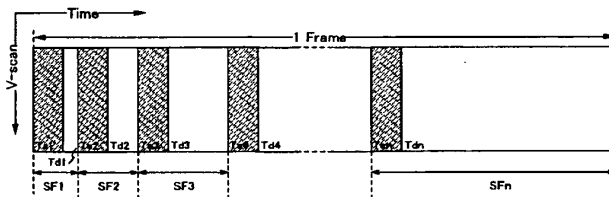
【図2】



【図3】



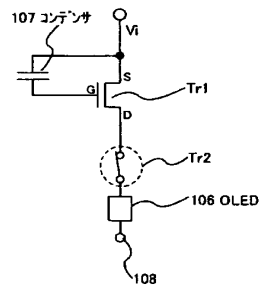
【図5】



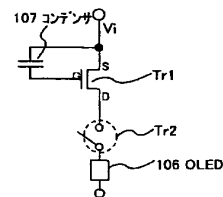
【図6】

【図9】

(B)表示期間Td



非表示期間Te(Ga非選択、Gb非選択)



【図10】

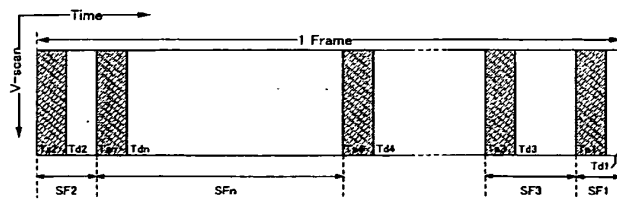
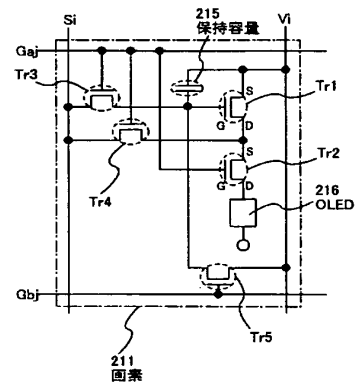
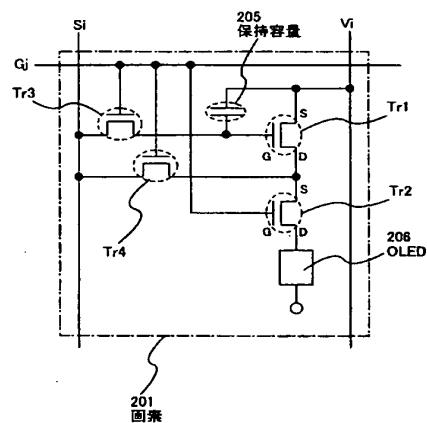
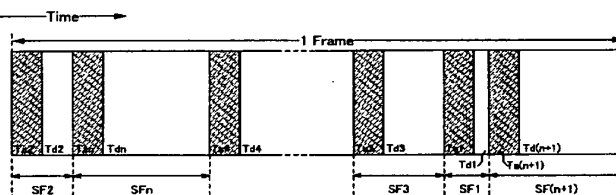
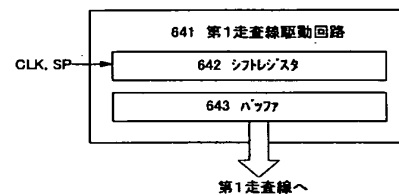


Figure 1 is a timing diagram of the first frame. It shows a sequence of signals over time, divided into three main sections: L1, L2, and Ly. The signals are: Ga1, Ga2, ..., Gay; Gb1, Gb2, ..., Gby; S1, S2, ..., Sx; 1ライン目 (Line 1); 2ライン目 (Line 2); ..., yライン目 (Line y). The signals are represented by horizontal bars with various patterns (ON, OFF, ON/OFF, etc.) and are synchronized with the L1, L2, and Ly periods. The diagram also shows the timing of the first frame, with labels for Td, Ta, and Td.

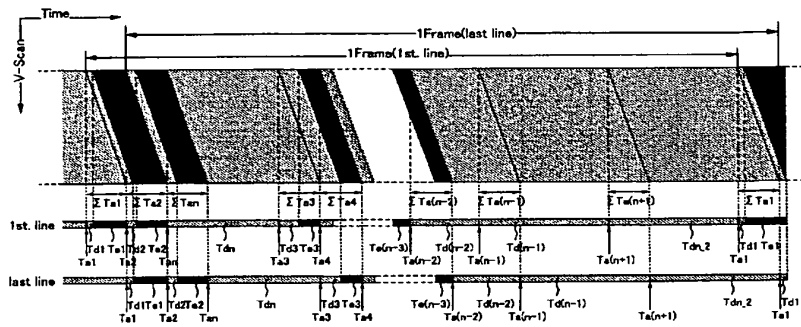
【図 1 1】



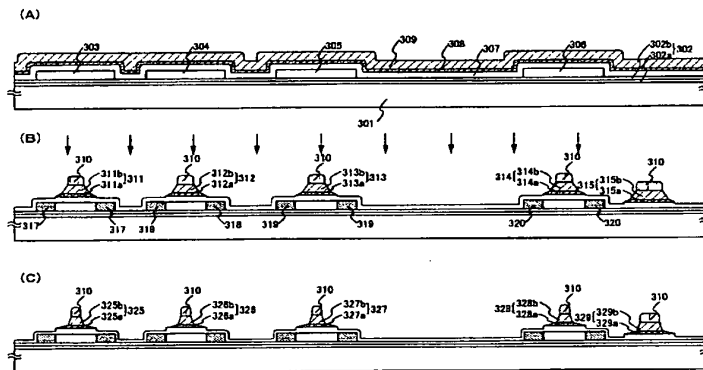
【図 23】



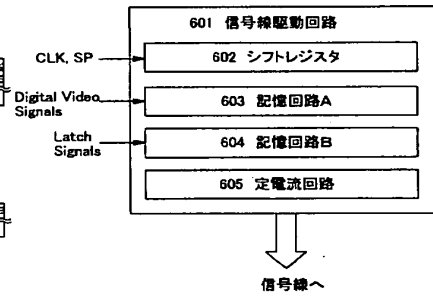
【図13】



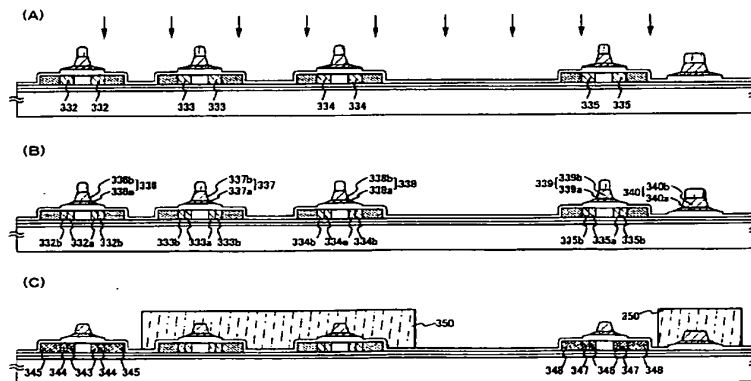
【図14】



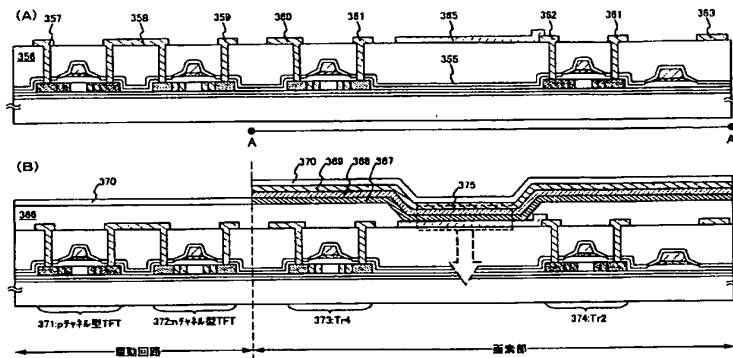
【図20】



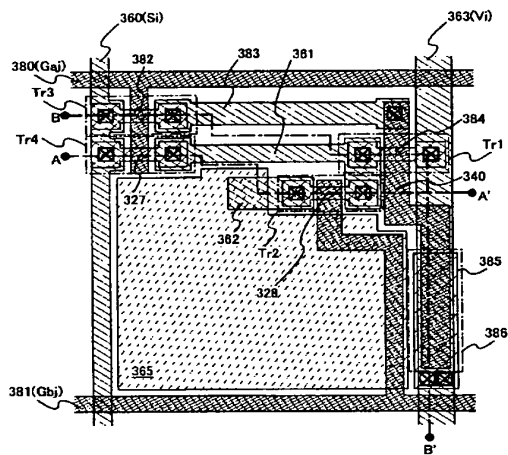
【図15】



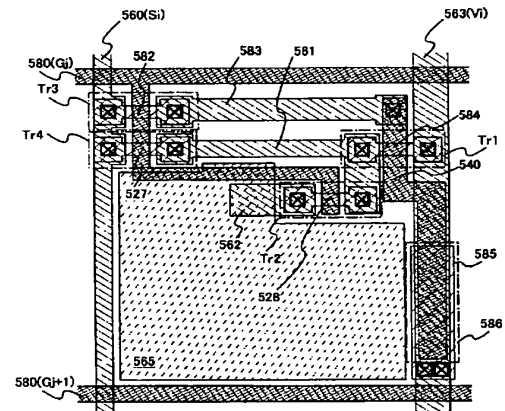
【図16】



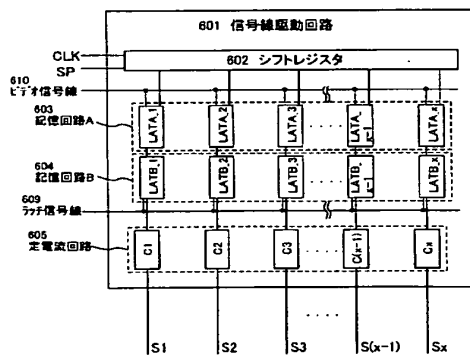
【図17】



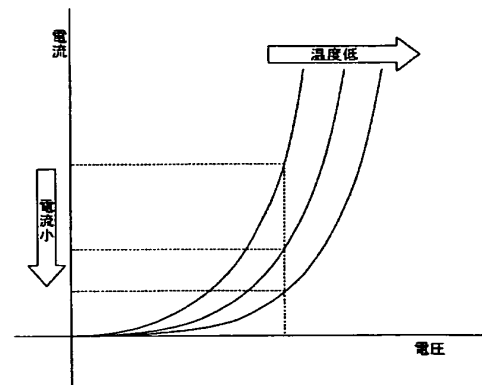
【図19】



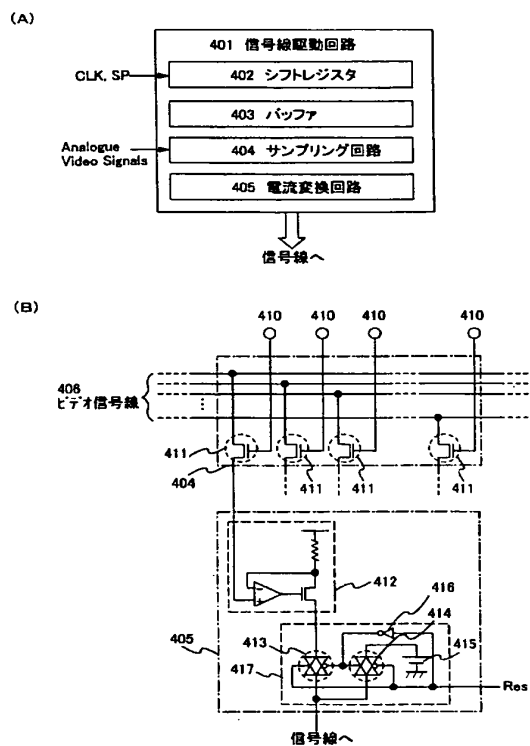
【図21】



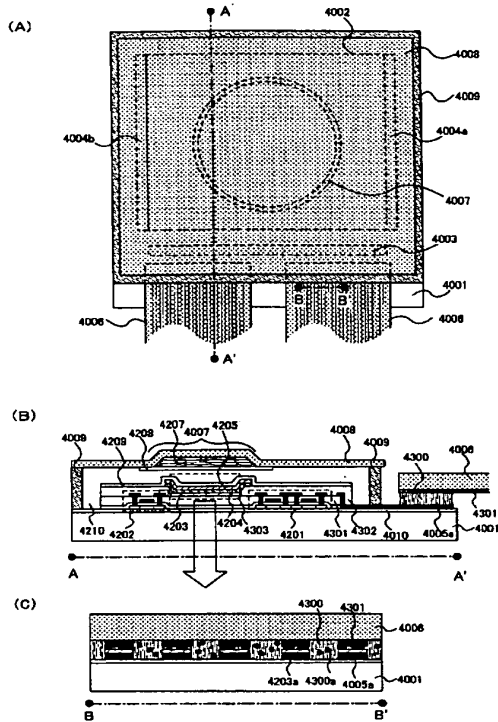
【図27】



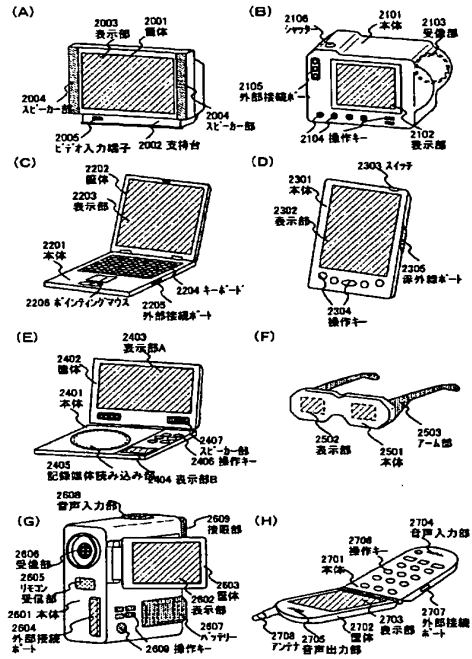
【圖 24】



【図 25】



【図 26】



フロントページの続き

(51) Int. Cl.⁷

G 0 9 G 3/20

識別記号

6 4 2

3/30

H 0 5 B 33/14

F I

G 0 9 G 3/20

3/30

H 0 5 B 33/14

テーム(参考)

6 4 1 E

6 4 2 C

K

A

F ターム(参考) 3K007 AB04 AB11 AB17 BB05 DB03
 EA01 GA04
 5C080 AA06 BB05 CC03 DD03 FF12
 JJ02 JJ03 JJ04 JJ05 JJ06
 KK02 KK07 KK43 KK47
 5C094 AA07 AA08 BA03 BA27 CA19
 CA24 DA09 EA04 EA05 FB01
 FB16 HA08



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

25944 7590 04/23/2008

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

EXAMINER

HARRISON, CHANTE E

ART UNIT

PAPER NUMBER

2628

DATE MAILED: 04/23/2008

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800

TITLE OF INVENTION: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1440	\$300	\$0	\$1740	07/23/2008

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

**Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

25944 7590 04/23/2008

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800

TITLE OF INVENTION: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1440	\$300	\$0	\$1740	07/23/2008

EXAMINER	ART UNIT	CLASS-SUBCLASS
HARRISON, CHANTE E	2628	345-076000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

- (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, 1 _____
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

- ☐ Issue Fee
☐ Publication Fee (No small entity discount permitted)
☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

- ☐ A check is enclosed.
☐ Payment by credit card. Form PTO-2038 is attached.
☐ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- ☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____

Date _____

Typed or printed name _____

Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800
25944	7590	04/23/2008	EXAMINER	
OLIFF & BERRIDGE, PLC P.O. BOX 320850 ALEXANDRIA, VA 22320-4850			HARRISON, CHANTE E	
			ART UNIT	PAPER NUMBER
			2628	
DATE MAILED: 04/23/2008				

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 99 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 99 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Notice of Allowability	Application No.	Applicant(s)	
	10/299,861	MATSUEDA, YOJIRO	
	Examiner	Art Unit	
	CHANTE HARRISON	2628	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to Amendment 12/20/07.
2. ☒ The allowed claim(s) is/are 8-10,37-39,46-48 and 50-53.
3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) ☒ All b) ☐ Some* c) ☐ None of the:
 1. ☒ Certified copies of the priority documents have been received.
 2. ☐ Certified copies of the priority documents have been received in Application No. _____.
 3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.

THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
 - (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|--|---|
| <ol style="list-style-type: none"> 1. ☐ Notice of References Cited (PTO-892) 2. ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948) 3. ☒ Information Disclosure Statements (PTO/SB/08),
Paper No./Mail Date _____ 4. ☐ Examiner's Comment Regarding Requirement for Deposit
of Biological Material | <ol style="list-style-type: none"> 5. ☐ Notice of Informal Patent Application 6. ☐ Interview Summary (PTO-413),
Paper No./Mail Date _____. 7. ☐ Examiner's Amendment/Comment 8. ☐ Examiner's Statement of Reasons for Allowance 9. ☐ Other _____. |
|--|---|

/Chante Harrison/
Primary Examiner, Art Unit 2628

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	304963	matsueda.in. seiko.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:31
L2	20916	345/76-105.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:33
L3	100918	transistor near4 element	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:34
L4	2850	transistor near4 opposite near4 polarity	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:35
L5	13706	transistor near4 leak\$4 near4 current\$2	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:36
L6	65475	(plural\$4 multipl \$6) near4 transistor\$2	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:36
L7	209669	transistor near4 current	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:36

L8	244100	transistor near4 (hold\$4 voltage)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:37
L9	132872	source near4 layer	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:38
L10	9	3 and 4 and 5 and 6 and 7 and 8 and 9	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:38
L11	2	1 and 2 and 10	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:38
L12	2	2 and 10	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:39
L13	119699	(optic\$4 near4 device) (electro near2 optic near2 device)	US-PGPUB	OR	ON	2008/04/18 13:40
L14	467763	(optic\$4 near4 device) (electro near2 optic near2 device)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:40
L15	6	14 and 2 and 7 and 8 and 4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/04/18 13:41
L16	58081	(transistor).clm.	US-PGPUB	OR	ON	2008/04/18 13:41

L17	2154	(leak\$4 near4 current\$2).clm.	US-PGPUB	OR	ON	2008/04/18 13:41
L18	9095	(transistor near4 current).clm.	US-PGPUB	OR	ON	2008/04/18 13:42
L19	13787	(transistor near4 (hold\$4 voltage)).clm.	US-PGPUB	OR	ON	2008/04/18 13:42
L20	11668	(source near4 layer).clm.	US-PGPUB	OR	ON	2008/04/18 13:42
L21	18723	(gate near4 layer).clm.	US-PGPUB	OR	ON	2008/04/18 13:42
L22	6194	(transistor near4 (coupl\$4 connect \$4) near4 transistor near4 (source drain)).clm.	US-PGPUB	OR	ON	2008/04/18 13:43
L23	477	16 with 17	US-PGPUB	OR	ON	2008/04/18 13:44
L24	200	18 and 19 and 23	US-PGPUB	OR	ON	2008/04/18 13:44
L25	6	20 and 21 and 24	US-PGPUB	OR	ON	2008/04/18 13:44
L26	2	22 and 25	US-PGPUB	OR	ON	2008/04/18 13:44
L27	19	20 with 21 with 22	US-PGPUB	OR	ON	2008/04/18 13:45
L28	1	25 and 27	US-PGPUB	OR	ON	2008/04/18 13:45
L29	146412	(prevent\$4 avoid \$4).clm.	US-PGPUB	OR	ON	2008/04/18 13:46
L30	149	17 near4 29	US-PGPUB	OR	ON	2008/04/18 13:46
L31	0	18 and 19 and 27 and 30	US-PGPUB	OR	ON	2008/04/18 13:46

4/18/08 1:47:23 PM

C:\Documents and Settings\charrison\My Documents\EAST\Workspaces\10-299861.wsp

Index of Claims 	Application/Control No.		Applicant(s)/Patent under Reexamination	
	10/299,861		MATSUEDA, YOJIRO	
	Examiner		Art Unit	
	CHANTE HARRISON		2628	

✓	Rejected	—	(Through numeral) Cancelled	N	Non-Elected	A	Appeal
=	Allowed	+	Restricted	I	Interference	O	Objected

Claim		Date						
Final	Original	4/18/08						
	1	-						
	2	-						
	3	-						
	4	-						
	5	-						
	6	-						
	7	-						
2	8	=						
3	9	=						
4	10	=						
	11	-						
	12	-						
	13	-						
	14	-						
	15	-						
	16	-						
	17	-						
	18	-						
	19	-						
	20	-						
	21	-						
	22	-						
	23	-						
	24	-						
	25	-						
	26	-						
	27	-						
	28	-						
	29	-						
	30	-						
	31	-						
	32	-						
	33	-						
	34	-						
	35	-						
	36	-						
5	37	=						
6	38	=						
7	39	=						
	40	-						
	41	-						
	42	-						
	43	-						
	44	-						
	45	-						
1	46	=						
8	47	=						
9	48	=						
	49	-						
10	50	=						

Claim		Date						
Final	Original	4/18/08						
11	51	=						
12	52	=						
13	53	=						
	54							
	55							
	56							
	57							
	58							
	59							
	60							
	61							
	62							
	63							
	64							
	65							
	66							
	67							
	68							
	69							
	70							
	71							
	72							
	73							
	74							
	75							
	76							
	77							
	78							
	79							
	80							
	81							
	82							
	83							
	84							
	85							
	86							
	87							
	88							
	89							
	90							
	91							
	92							
	93							
	94							
	95							
	96							
	97							
	98							
	99							
	100							

Claim		Date						
Final	Original							
	101							
	102							
	103							
	104							
	105							
	106							
	107							
	108							
	109							
	110							
	111							
	112							
	113							
	114							
	115							
	116							
	117							
	118							
	119							
	120							
	121							
	122							
	123							
	124							
	125							
	126							
	127							
	128							
	129							
	130							
	131							
	132							
	133							
	134							
	135							
	136							
	137							
	138							
	139							
	140							
	141							
	142							
	143							
	144							
	145							
	146							
	147							
	148							
	149							
	150							

Search Notes 	Application/Control No. 10/299,861 Examiner CHANTE HARRISON	Applicant(s)/Patent under Reexamination MATSUEDA, YOJIRO Art Unit 2628
--	--	---

SEARCHED			
Class	Subclass	Date	Examiner
345	76-105	4/18/2008	CH

INTERFERENCE SEARCHED			
Class	Subclass	Date	Examiner
Interfe	Search	4/18/2008	CH
History			

SEARCH NOTES (INCLUDING SEARCH STRATEGY)		
	DATE	EXMR
Update East text & image search; Consulted Xiao Wu AU 2628	4/18/2008	CH

Issue Classification 	Application/Control No. 10/299,861	Applicant(s)/Patent under Reexamination MATSUEDA, YOJIRO
	Examiner CHANTE HARRISON	Art Unit 2628

ISSUE CLASSIFICATION													
ORIGINAL					INTERNATIONAL CLASSIFICATION								
CLASS		SUBCLASS			CLAIMED				NON-CLAIMED				
345		76			G	09	G	3	/30				/
CROSS REFERENCES					G	09	G	3	/34				/
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				G	09	G	3	/36				/
345	84	90	98					/				/	
								/				/	
								/				/	
								/				/	
								/				/	
									Total Claims Allowed: 13				
(Assistant Examiner) (Date)					/Chante Harrison/ Chante Harrison 4/18/08				O.G. Print Claim(s)		O.G. Print Fig.		
(Legal Instruments Examiner) (Date)					(Primary Examiner) (Date)				46		5		

☐ Claims renumbered in the same order as presented by applicant				☐ CPA				☐ T.D.				☐ R.1.47			
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original		
	1		31		61		91		121		151		181		
	2		32		62		92		122		152		182		
	3		33		63		93		123		153		183		
	4		34		64		94		124		154		184		
	5		35		65		95		125		155		185		
	6		36		66		96		126		156		186		
	7	5	37		67		97		127		157		187		
2	8	6	38		68		98		128		158		188		
3	9	7	39		69		99		129		159		189		
4	10		40		70		100		130		160		190		
	11		41		71		101		131		161		191		
	12		42		72		102		132		162		192		
	13		43		73		103		133		163		193		
	14		44		74		104		134		164		194		
	15		45		75		105		135		165		195		
	16	1	46		76		106		136		166		196		
	17	8	47		77		107		137		167		197		
	18	9	48		78		108		138		168		198		
	19		49		79		109		139		169		199		
	20	10	50		80		110		140		170		200		
	21	11	51		81		111		141		171		201		
	22	12	52		82		112		142		172		202		
	23	13	53		83		113		143		173		203		
	24		54		84		114		144		174		204		
	25		55		85		115		145		175		205		
	26		56		86		116		146		176		206		
	27		57		87		117		147		177		207		
	28		58		88		118		148		178		208		
	29		59		89		119		149		179		209		
	30		60		90		120		150		180		210		

Form PTO-1449 (REV. 1/06)		US Dept. of Commerce PATENT & TRADEMARK OFFICE		ATTY DOCKET NO. 114251		APPLICATION NO. 10/299,861	
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)				APPLICANT Yojiro MATSUEDA			
				FILING DATE November 20, 2002		GROUP 2628	
U.S. PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Name			
/CH/	1.	6,661,180 B2	12/09/2003	Koyama			
/CH/	2.	6,914,390 B2	07/05/2005	Koyama			
/CH/	3.	7,106,006 B2	09/12/2006	Koyama			
/CH/	4.	2007/0007527 A1	01/11/2007	Koyama			
FOREIGN PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation	
/CH/	5.	JP-A-2002-351357	12/06/2002	Japan	X	X	
OTHER DOCUMENTS							
Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)					
EXAMINER				DATE CONSIDERED			
/Chante Harrison/				04/18/2008			
Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

Date: February 4, 2008



pf
2628
\$
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: C. HARRISON

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

- ☒ 1. This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection, Notice of Allowance, or other action that closes prosecution (e.g., Quayle Action), but before payment of the Issue Fee. Attached is our Check No. 205135 in the amount of \$180.00 in payment of the fee under 37 CFR §1.17(p). Please credit or debit Deposit Account No. 15-0461 as needed to ensure consideration of the disclosed information.
- ☒ a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement.
37 CFR §1.97(e)(1).
- ☒ 2. One or more reference cited herein was cited in a counterpart foreign application. An English language version of the foreign search report is attached for the Examiner's information. See References 1-6.
- ☒ 3. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

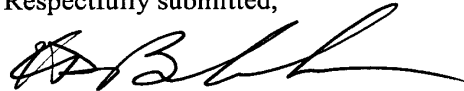
04/29/2008 SSESHE1 00000033 10259861

01 FC:1806

180.00 OP

- ☒ 4. An English language Abstract of one or more non-English language reference is attached. See Reference 1.
- ☒ 5. JP-2000-214800, JP-01-101519 and U.S. Patent No. 6,781,155 are cited in the European Search Report and are not attached as they were previously submitted in the July 10, 2006 Information Disclosure Statement.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/mab

Date: April 28, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**

Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)		US Dept. of Commerce PATENT & TRADEMARK OFFICE		ATTY DOCKET NO. 114251.01		APPLICATION NO. 11/483,109	
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)				APPLICANT(S) Yojiro MATSUEDA			
				FILING DATE July 10, 2006		GROUP 2629	
U.S. PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Name			
	1	5,867,233	2-2-1999	TANAKA			
FOREIGN PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation	
	2	WO 01/18774 A1	3-15-2001	WIPO	x		
	3	WO 01/75853	10-11-2001	WIPO			
	4	JP A 60-128486	7-9-1985	Japan			
	5	EP 1 003 223 A2	5-24-2000	Europe			
OTHER DOCUMENTS							
Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)					
	6	Shang-Li Chen et al.; "Current Programmed Pixel Structures for OLED"; Electronics Research & Service Organization; Hsinchu, Taiwan; October 2001, pp. 399-402.					
	7	Eiji Takeda et al.; "An As-P(n ⁺ -n ⁻) Double Diffused Drain MOSFET for VLSI's"; IEEE Transactions on Electron Devices, IEEE Service Center; Piscataway, NJ; vol. 30; no. 6; June 1983; pp. 652-657.					
EXAMINER					DATE CONSIDERED		
Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

Date: April 28, 2008

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年3月15日 (15.03.2001)

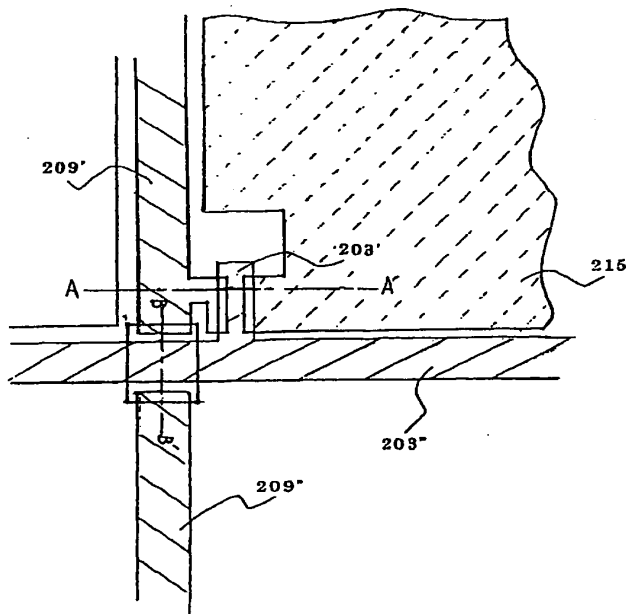
PCT

(10) 国際公開番号
WO 01/18774 A1

- (51) 国際特許分類: G09F 9/30, G02F 1/1345, H01L 29/78, 21/768
- (21) 国際出願番号: PCT/JP00/06173
- (22) 国際出願日: 2000年9月8日 (08.09.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願平11/254385 1999年9月8日 (08.09.1999) JP
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 小川一文 (OGAWA, Kazufumi) [JP/JP]; 〒630-8101 奈良県奈良市青山2-3-50 Nara (JP).
- (74) 代理人: 大前 要(OHMAE, Kaname); 〒540-0037 大阪府大阪市中央区内平野町2-3-14 ライオンズビル大手前2階 Osaka (JP).
- (81) 指定国 (国内): CN, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- 添付公開書類:
国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: ELECTRIC CIRCUIT BOARD, TFT ARRAY SUBSTRATE USING THE SAME, AND LIQUID CRYSTAL DISPLAY

(54) 発明の名称: 電気回路基板及びこれを用いたTFTアレイ基板及び液晶表示装置



(57) Abstract: A TFT array substrate used for a liquid-crystal display panel is disclosed of which the manufacturing process is simplified and the manufacturing cost is reduced by reducing the number of masks used in manufacturing the TFT array substrate. A gate wiring metal film, a gate insulating film, a semiconductor film, and a contact electrode metal film are formed on a substrate surface. The contact electrode metal film, the semiconductor film, the gate insulating film, and the gate wiring metal film are sequentially etched by photolithography using a first pattern, and the gate wiring and a part of the side of the gate wiring metal film pattern which is to serve as a gate electrode are oxidized. A transparent conductive film is formed. The transparent conductive film, the contact electrode metal film, and a part of the semiconductor film are sequentially etched by photolithography using a second pattern.

[続葉有]



(57) 要約:

液晶表示パネルにおいて使用されるTFTアレイ基板の製造において、マスク枚数を低減し、すなわち製造工程を簡略化し製造コストを低減したTFTアレイ基板を提供する。

基板表面に、ゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成し、フォトリソ法でコンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第1のパターンで順次エッチングし、ゲート配線及びゲート電極となる部分のゲート配線金属膜パターンの側面を酸化し、透明導電性膜を形成し、フォトリソ法で透明導電性膜とコンタクト電極金属膜と半導体膜の一部を第2のパターンで順次エッチングする。

明 細 書

電気回路基板及びこれを用いたＴＦＴアレイ基板
及び液晶表示装置

5

技 術 分 野

本発明は、他用途に適用可能な電気回路基板の新規な構造、及びこれを応用したＴＦＴアレイ基板並びにこのＴＦＴアレイ基板を用いた液晶表示装置とそれらの製造方法に関する。

10

背 景 技 術

従来、カラー液晶表示装置用のＴＦＴ（Thin Film Transistor）

アレイ基板の製造には、５～９枚のホトマスクが使用されているが、ホトマスクの使用枚数が多いとそれだけ製造工程数が多くなり、製造が煩雑になるので、製造コストの低減を図り難い。

15

他方、ダイオードアレイ基板の製造プロセスにおいては、ホトマスクの使用枚数を２枚にまで減らすことのできる技術が提案されている（特表昭６２－５０２３６１号公報）。しかし、ダイオードアレイ基板はＴＦＴ（Thin Film Transistor）アレイ基板に比較し性能が劣るため、カラーテレビジョン用には適さない。

20

発 明 の 開 示

このようなことから、本発明はＴＦＴアレイ基板の製造方法において、ホトマスクの使用枚数を減らすことのできる新規な構造を提供することを主な目的とする。

25

（１）この目的を達成するための第一の本発明は、半導体集積回路等に利用することのできる電気回路基板構造に関する。第１の本発

明は次のように構成されている。

絶縁性基板上の同一平面内に同一の導電性金属膜よりそれぞれ形成された、X配線と、前記X配線と交差し交差部分が前記X配線により切断されX配線と隔離されたY断続配線と、を有し、前記X配
5 線の側面および上面が、絶縁性膜で覆われ、前記絶縁性膜で覆われたX配線により切断され隔離されたY断続配線同士が、前記絶縁性膜上に形成されたY断続配線接続電極により電氣的に接続された電気回路基板。

この構成であると、独立的に通電できるX線・Y線交差型の電気
10 回路を極めて薄い平面内に組み込むことができ、またそれゆえにこの電気回路を多層に集積することもできる。したがって、この構成は半導体デバイスとの相性が極めて良く、この構成を採用することにより、半導体回路等の集積度を顕著に高めることができる。

この構成においては、少なくとも前記X配線の側面の絶縁性膜を、
15 前記導電性金属膜が酸化されてなる金属酸化膜とすることができ、さらに前記金属酸化膜を、陽極酸化法で形成された陽極酸化膜とすることができる。陽極酸化膜であると、薄い皮膜でもって良好な絶縁性が得られるので、好ましい。

上記構成の電気回路基板は、次の製造方法により生産性よく製造
20 することができる。すなわち、絶縁性基板上に導電性金属膜層を堆積する第一の工程と、前記導電性金属膜層をエッチングし、X配線と、前記X配線に交差し交差部分が前記X配線により切断されX配線と隔離されたY断続配線とを同一平面内に同時に形成する第二の工程と、前記第二の工程の後、前記X配線の側面と上面を酸化し、
25 当該側面と上面を絶縁性の金属酸化膜で被覆する第三の工程と、前記第三の工程の後、少なくとも前記交差部分を覆うように導電性膜

層を堆積し、前記 X 配線により切断され隔離された Y 断続配線同士を電気接続する第四の工程と、を備えた電気回路基板の製造方法により製造することができる。

この製造方法において、前記第二の工程における X 配線の酸化を陽極酸化法で行うことができる。陽極酸化法であると、X 配線のみを選択的にかつ効率よく酸化することができる。

上記構成の電気回路基板は、次の製造方法によっても生産性よく製造することができる。すなわち、絶縁性基板上に少なくとも導電性金属膜層と絶縁性膜層を順次堆積する第一の工程と、前記絶縁性膜層と前記導電性金属膜層とを含む層をエッチングし、同一平面内に、X 配線と、前記 X 配線に交差し交差部分において前記 X 配線により切断され X 配線と隔離された Y 断続配線と、を同一平面内に同時に形成する第二の工程と、前記第二の工程の後、前記 X 配線の側面を酸化し、当該側面を絶縁性の金属酸化膜で被覆する第三の工程と、前記第三の工程の後、少なくとも前記交差部分を覆うように導電性膜層を堆積し、前記 X 配線により切断され隔離された Y 断続配線同士を電気接続する第四の工程と、を備えた電気回路基板の製造方法により製造することができる。

この製造方法においても、前記第二の工程における X 配線の側面の酸化を陽極酸化法で行うことができる。

(2) 第二の発明は、上記電気回路を応用したボトムゲート型 TFT アレイ基板に関し、下記のように構成されている。

基板上に直接またはアンダーコート膜層を介して形成され、かつ側面が絶縁性膜で覆われたゲート電極と、前記ゲート電極上に積層されたゲート絶縁膜と、

前記ゲート絶縁膜上に積層された、ソース領域とドレイン領域と

両領域に挟まれたチャネル領域とを有する半導体膜と、前記半導体膜のソース領域上に積層されたソースコンタクト電極と、前記半導体膜のドレイン領域上に積層されたドレインコンタクト電極と、前記ドレインコンタクト電極を介して前記半導体膜のドレイン領域に

5 接続された画素電極と、前記ゲート電極に接続され、側面と上面が絶縁性膜で覆われたゲート配線と、前記ゲート配線と同一平面内に形成され、同一平面内で前記ゲート配線と交差し、当該交差部において前記ゲート配線で切断され離隔された形状のソース断続配線と、ゲート配線で切断され離隔されたソース断続配線同士を、ゲート配

10 線の上方を経由して電気接続するソース線接続電極と、を有する。

この構成であると、信頼性に優れたボトムゲート型TFTアレイ基板を提供できる。

この構成においては、前記画素電極と前記ソース線接続電極とを、同質の透明導電膜材料で構成することができる。

15 また、前記ソース断続配線が、ソース断続配線、ゲート絶縁膜、半導体膜、コンタクト金属膜、透明導電膜の各膜からなる5層構造のソース断続配線区画パターンの最下層に位置し、前記ゲート配線が、ゲート配線、ゲート絶縁膜、半導体膜、コンタクト金属膜、透明導電膜からなる5層構造のゲート配線区画パターンの最下層に位置し、

20 かつ前記ソース断続配線と前記ゲート配線とが、前記基板上の同一平面内に存在している構成とすることができる。

また、少なくとも前記ゲート配線の側面の絶縁性膜が、前記導電性金属膜の酸化膜からなるものとすることができる。

また、前記酸化膜が、陽極酸化法で形成された陽極酸化膜である、

25 とすることができる。

また、前記半導体膜が、i型アモルファスシリコン層とn型モルフ

アスシリコン層の２層構造である、構成とすることができる。

また、前記透明導電膜材料に代えて、光反射性の導電膜材料を用いることもでき、これにより反射型のボトムゲート型ＴＦＴアレイ基板を構成することができる。

- 5 以上のボトムゲート型ＴＦＴアレイ基板は下記構成の製造方法により生産性よく製造することができる。

すなわち、少なくとも絶縁性基板表面に、ゲート電極とゲート配線とソース断続配線とを形成するためのＧＳ金属膜層と、ゲート絶縁膜層と、半導体膜層と、コンタクト金属膜層とを順次堆積する（Ａ）

- 10 工程と、前記（Ａ）工程の後、第１のレジストパターンを用いたフォトリソグラフィ法で、前記各層を前記絶縁性基板表面に達するまでエッチングし、ゲート電極とこの上に順次積層されたゲート金属膜とゲート絶縁膜と半導体膜とコンタクト金属膜を含むゲート電極区画パターンと、前記ゲート電極に接続されたゲート配線とこの上に順
- 15 次積層されたゲート金属膜とゲート絶縁膜と半導体膜とコンタクト金属膜を含むゲート配線区画パターンと、前記ゲート配線との交差部で切断され離隔されたソース断続線とこの上に順次積層されたゲート金属膜とゲート絶縁膜と半導体膜とコンタクト金属膜を含むソース断続線区画パターンと、を形成する（Ｂ）工程と、前記（Ｂ）
- 20 工程の後ゲート電極区画パターン上のコンタクト金属膜部分を前記半導体膜面に到達するまでエッチングして前記半導体膜上にチ、前記ゲート電極およびゲート配線の側面を酸化して電気絶縁性の金属酸化膜を生成させる（Ｃ）工程と、前記（Ｃ）工程の後、前記コンタクト金属膜の上から基板全面に透明導電膜層を堆積し、少なくとも
- 25 も前記ソース断続配線相互が導電膜を介して電氣的に接続されるようにする（Ｅ）工程と、前記（Ｅ）工程の後、第２のレジストパタ

ーンを用いたフォトリソグラフィ法で、前記透明導電膜層を所定の
パターンにエッチングし画素電極を形成するとともに、更にこのエ
ッチングにより露出させたチャネル領域を形成する（F）工程と、を
備えたボトムゲート型TFTアレイ基板の製造方法により製造する
5 ことができる。

この製造方法において、前記ゲート配線の側面の酸化を陽極酸化
法で行うことができる。

また、前記半導体膜層が、n型モルファスシリコン層とi型アモル
ファスシリコン層との2層構造であり、前記（F）工程におけるゲ
10 ート電極区画パターン上のコンタクト金属膜部分のエッチングが、
コンタクト金属膜の一部とこれに続くn型モルファスシリコン層の
一部分をi型アモルファスシリコン層に到達するまで行うエッチン
グである、とすることができる。

また、前記（E）工程における前記透明透明導電膜層に代えて、光
15 反射性の導電膜層を積層することができる。

（3）第三の発明は、ボトムゲート型TFTアレイ基板を用いた液
晶表示装置に関する発明であり、下記のように構成されている。

基板上に直接またはアンダーコート膜層を介して形成され、かつ
側面が絶縁性膜で覆われたゲート電極と、前記ゲート電極上に積層
20 されたゲート絶縁膜と、前記ゲート絶縁膜上に積層された、ソース
領域とドレイン領域と両領域に挟まれたチャネル領域とを有する半
導体膜と、前記半導体膜のソース領域上に積層されたソースコンタ
クト電極と、前記半導体膜のドレイン領域上に積層されたドレイン
コンタクト電極と、前記ドレインコンタクト電極を介して前記半導
25 体膜のドレイン領域に接続された画素電極と、前記ゲート電極に接
続され、側面と上面が絶縁性膜で覆われたゲート配線と、前記ゲー

ト配線と同一平面内に形成され、同一平面内で前記ゲート配線と交差し、当該交差部において前記ゲート配線で切断され隔離され一
一た形状のソース断続配線と、ゲート配線で切断されたソース断続
配線同士を、ゲート配線の上方を經由して電気接続するソース線接
5 続電極と、を有するボトムゲート型ＴＦＴアレ基板と、対向基板
と、をＴＦＴの形成された面を内側にして所定のギャップで対向さ
せ、当該ギャップの間に液晶を保持させた液晶表示装置。

この構成に更に下記を付加することができる。すなわち、前記ＦＴ
アレ基板の表面が保護膜で保護されている、構成とすることがで
10 き、さらに前記保護膜が、シリカ膜または窒化珪素膜である、とす
ることができる。

また、前記画素電極が、透明金属膜で構成されている、とすること
ができる。

また、前記画素電極が、光反射性金属膜で構成されている、とす
15 ることができる。

(４) 第四の発明(態様２４－３０)は、ボトム型ＴＦＴアレ基板
に関し、次のように構成されている。

(態様２４)

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と反射画
20 素金属電極群を備えたボトムゲート型ＴＦＴアレ基板であって、
少なくともゲート電極およびゲート配線の側面が酸化されており、
反射画素金属電極がコンタクト金属電極と他の金属電極膜との２層
構造でありコンタクト金属電極を介してＴＦＴのドレーン領域に接
続されており、ソース断続配線がコンタクト金属電極および金属電
25 極の２層を介してＴＦＴのソース領域に接続されていることを特徴
とするボトムゲート型ＴＦＴアレ基板。

(態 様 2 5)

態様 2 4 のボトムゲート型 T F T アレイ基板において、反射画素金属電極群がアルミニウムまたはアルミニウム系の合金である、ことを特徴とするボトムゲート型 T F T アレイ基板。

5 (態 様 2 6)

態様 2 4 のボトムゲート型 T F T アレイ基板において、

ソース断続配線の一部がコンタクト電極金属膜とアルミニウム系の金属電極膜の 2 層構造となっている、ことを特徴とするボトムゲート型 T F T アレイ基板。

10 (態 様 2 7)

態様 2 4 のボトムゲート型 T F T アレイ基板において、

ゲート電極金属とコンタクト金属電極との間にゲート絶縁膜と半導体膜が形成されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

15 (態 様 2 8)

態様 2 4 のボトムゲート型 T F T アレイ基板において、

ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト金属電極および金属電極の 2 層を介して交差接続されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

20 (態 様 2 9)

態様 2 4 のボトムゲート型 T F T アレイ基板において、

半導体膜の一部が i 型層と n⁺ 型層の 2 層構造である、ことを特徴とするボトムゲート型 T F T アレイ基板。

(態 様 3 0)

25 態様 2 4 のボトムゲート型 T F T アレイ基板において、

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形

成されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

(5) 第五の発明 (態様 3 1 - 3 5) は、次のように構成されている。

(態様 3 1)

- 5 少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第 1 のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電
- 10 極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第 2 のパターンでエッチングする工程と、を含むことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

(態様 3 2)

- 15 態様 3 1 のボトムゲート型 T F T アレイ基板の製造方法において、金属電極膜としてアルミニウムまたはアルミニウム系の合金膜を形成する、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

(態様 3 3)

- 20 態様 3 1 のボトムゲート型 T F T アレイ基板の製造方法において、絶縁性基板表面とゲート配線金属膜の間にシリカ系のアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

(態様 3 4)

- 25 態様 3 1 のボトムゲート型 T F T アレイ基板の製造方法において、少なくともゲート配線金属膜としてアルミニウム系の合金膜を形

成する、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

(態 様 3 5)

- 態 様 3 1 の ボトムゲート型 T F T アレイ基板の製造方法において、
5 酸化する工程に中性溶液中で陽極酸化法を用いる、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

(5) 第五の発明 (態 様 3 6 - 3 8) は、次のように構成されている。

(態 様 3 6)

- 10 少なくともゲート電極およびゲート配線側面が酸化されており、
反射面素金属電極がコンタクト金属電極と他の金属電極膜との 2 層
構造でありコンタクト金属電極を介して T F T のドレーン領域に接
続されており、ソース断続配線がコンタクト金属電極および金属電
極の 2 層を介して T F T のソース領域に接続されているボトムゲ
15 ト型 T F T アレイ基板のアレイ側と対向透明電極が形成されたカラ
ーフィルター基板のカラーフィルター側が対向するように所定の間
隙を保ちつつ張り合わされており、前記間隙に配向膜を介して液晶
が挟まれている、ことを特徴とする液晶表示装置。

(態 様 3 7)

- 20 態 様 3 6 の液晶表示装置において、
少なくとも T F T アレイの一部が保護膜で被われている、ことを
特徴とする液晶表示装置。

(態 様 3 8)

- 態 様 3 7 の液晶表示装置において、
25 保護膜が無機物である、ことを特徴とする液晶表示装置。

(5) 第六の発明 (態 様 3 9 - 4 0) は、次のように構成されてい

る。

(態 様 3 9)

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半
5 導体膜とゲート絶縁膜とゲート配線金属膜とを第1のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の
10 一部を第2のパターンでエッチングする工程とによりボトムゲート型TF Tアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、対向透明電極が形成されカラーフィルター基板の対向電極側表面に配向膜を形成する工程と前記2つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定
15 する工程と、前記第1と第2の基板の間に所定の液晶を注入する工程と、を含むことを特徴とした液晶表示装置の製造方法。

(態 様 4 0)

態様39の液晶表示装置の製造方法において、
ボトムゲート型TF Tアレイ基板を製造する工程の後、配向膜形
20 成の前に少なくとも前記TF Tアレイの一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

(態 様 4 1)

態様39の液晶表示装置の製造方法において、
金属電極およびコンタクト金属電極が同一材質で一層で形成され
25 ている、ことを特徴とする液晶表示装置の製造方法。

(7) 第五の発明 (態 様 4 2 - 4 7) は、次のように構成されてい

る。

(態 様 4 2)

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画素金属電極群を備えたTFTアレイ基板であって、

- 5 少なくともゲート電極およびゲート配線側面および第1の櫛形画素電極側面が酸化されており、第2の櫛形画素金属電極がコンタクト電極金属を介してTFTのドレイン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してTFTのソース領域に接続されていることを特徴とするボトムゲート型TFTアレイ基板。
- 10

(態 様 4 3)

態様42のボトムゲート型TFTアレイ基板において

ゲート電極側面および第1の櫛形画素電極側面の酸化膜が陽極酸化膜である、ことを特徴とするボトムゲート型TFTアレイ基板。

- 15 (態 様 4 4)

態様42のボトムゲート型TFTアレイ基板において

ソース断続配線の一部および第1の櫛形画素電極がゲート配線金属膜と半導体膜とコンタクト電極金属膜と金属電極膜の5層構造となっている、ことを特徴とするボトムゲート型TFTアレイ基板。

- 20 (態 様 4 5)

態様42のボトムゲート型TFTアレイ基板において

半導体膜と櫛形電極の接続にコンタクト電極金属が形成されている、ことを特徴とするボトムゲート型TFTアレイ基板。

(態 様 4 6)

- 25 態様42のボトムゲート型TFTアレイ基板において

ソース断続配線がゲート配線および第1の櫛形電極により切断さ

れておりゲート配線および第1の櫛形電極上でコンタクト電極金属と金属電極を介して交差接続されている、ことを特徴とするボトムゲート型TFTアレ基板。

(態様47)

5 態様42のボトムゲート型TFTアレ基板において

半導体膜の一部がi型層とn型層の2層構造である、ことを特徴とするボトムゲート型TFTアレ基板。

(態様48)

態様42のボトムゲート型TFTアレ基板において

10 絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成され(5)

ている、ことを特徴とするボトムゲート型TFTアレ基板。

(8) 第八の発明(態様49-53)は、次のように構成されている。

15 (態様49)

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第1のパターンで順次エッチングする
20 工程と、ゲート配線及びゲート電極及び第1の櫛形画素電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第2のパターンで順次エッチングする工程とを含むことを特徴とするボトムゲート型TFTアレ
25 イ基板の製造方法。

(態様50)

態様 4 9 のボトムゲート型 T F T アレイ基板の製造方法においてゲート配線及びゲート電極及び第 1 の櫛形画素電極となる部分を同時にエッチングする、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

5 (態様 5 1)

態様 4 9 のボトムゲート型 T F T アレイ基板の製造方法において絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

10 (態様 5 2)

態様 4 9 のボトムゲート型 T F T アレイ基板の製造方法において少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成する、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

15 (態様 5 3)

態様 4 9 のボトムゲート型 T F T アレイ基板の製造方法において酸化する工程に陽極酸化法を用いる、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

20 (9) 第九の発明 (態様 5 4 - 5 6) は、次のように構成されている。

(態様 5 4)

少なくともゲート電極およびゲート配線側面および第 1 の櫛形電極側面が酸化されており、第 2 の櫛形画素金属電極がコンタクト電極金属を介して T F T のドレーン領域に接続されており、ソース断
25 続配線がコンタクト電極金属および金属電極を介して T F T のソース領域に接続されているボトムゲート型 T F T アレイ基板基板の電

極側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜として液晶が挟まれていることを特徴とする液晶表示装置。

(態様 5 5)

5 態様 5 4 の液晶表示装置において

少なくとも TFT アレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

(態様 5 6)

態様 5 5 の液晶表示装置において

10 保護膜が無機物である、ことを特徴とする液晶表示装置。

(10) 第 10 の発明 (態様 5 7 - 5 8) は、次のように構成されている。

(態様 5 7)

15 少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第 1 のパターンで順次エッチングする工程と、ゲート配線及びゲート電極及び第 1 の櫛形画素電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成
20 する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第 2 のパターンで順次エッチングする工程とによりボトムゲート型 TFT アレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板の表面に配向膜を形成する工程と前記 2 つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定
25 する工程と、前記第 1 と第 2 の基板の間に所定の液晶を注入する工

程を含むことを特徴とした液晶表示装置の製造方法。

(態様 58)

態様 57 の液晶表示装置の製造方法において

- 5 ボトムゲート型 T F T アレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記 T F T アレイの一部を保護膜で被う工程と、この保護膜をマスクに、金属電極膜とコンタクト電極金属膜と半導体膜とゲート絶縁膜とをエッチングしてゲート配線端子を露出させる工程を含む、ことを特徴とする液晶表示装置の製造方法。

(態様 59)

- 10 態様 58 の液晶表示装置の製造方法において

- ボトムゲート型 T F T アレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記 T F T アレイの一部を保護膜で被い、この保護膜をマスクにエッチングしてゲート配線端子を露出させると、保護膜として、シリカ膜または窒化珪素膜を形成する、ことを特徴とする液晶表示装置の製造方法。
- 15

(11) 第 11 の発明 (態様 60 - 66) は、次のように構成されている。

(態様 60)

- ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画
20 素金属電極群を備えた T F T アレイ基板であつて、

- 少なくともゲート電極およびゲート配線側面が酸化されており、櫛形反射画素金属電極がコンタクト金属電極と他の金属電極膜との 2 層構造でありコンタクト金属電極を介して T F T のドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および金
25 属電極の 2 層を介して T F T のソース領域に接続されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

(態 様 6 1)

態 様 6 0 の ボトムゲート型 T F T アレイ基板において
ゲート電極にアルミニウム系の金属を用い、側面の絶縁膜が陽極酸化膜である、ことを特徴とするボトムゲート型 T F T アレイ基板。

5 (態 様 6 2)

態 様 6 0 の ボトムゲート型 T F T アレイ基板において
ソース断続配線の一部がゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜と金属電極膜の 5 層構造となっている、ことを特徴とするボトムゲート型 T F T アレイ基板。

10 (態 様 6 3)

態 様 6 0 の ボトムゲート型 T F T アレイ基板において
ソース電極および櫛形電極と半導体膜の間にコンタクト金属電極を形成しておく、ことを特徴とするボトムゲート型 T F T アレイ基板。

15 (態 様 6 4)

態 様 6 0 の ボトムゲート型 T F T アレイ基板において
ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト金属電極および金属電極の 2 層を介して交差接続されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

20 (態 様 6 5)

態 様 6 0 の ボトムゲート型 T F T アレイ基板において
半導体膜の一部が i 型層と n 型層の 2 層構造である、ことを特徴とするボトムゲート型 T F T アレイ基板。

(態 様 6 6)

25 態 様 6 0 の ボトムゲート型 T F T アレイ基板において
絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形

成されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

(1 2) 第 1 2 の発明 (態様 6 7 - 7 1) は、次のように構成されている。

(態様 6 7)

- 5 少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第 1 のパターンで順次エッチングする工程と、ゲート配線及びゲート電極および第 1 の櫛形電極となる部分のゲート配線金属膜パターンの側面を酸化する
- 10 工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第 2 のパターンでエッチングする工程を含む、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

15 (態様 6 8)

態様 6 7 のボトムゲート型 T F T アレイ基板の製造方法において半導体膜が i 型層と n 型層の 2 層構造であり、n 型層の一部を i 型層に達すまでエッチングする、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

20 (態様 6 9)

態様 6 7 のボトムゲート型 T F T アレイ基板の製造方法において絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

25 (態様 7 0)

態様 6 7 のボトムゲート型 T F T アレイ基板の製造方法において

少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成する、ことを特徴とするボトムゲート型TFTアレイ基板の製造方法。

(態様 7 1)

- 5 態様 6 7 のボトムゲート型TFTアレイ基板の製造方法において酸化する工程に陽極酸化法を用いる、ことを特徴とするボトムゲート型TFTアレイ基板の製造方法。

(1 3) 第 1 3 の発明 (態様 7 2 - 7 4) は、次のように構成されている。

- 10 (態様 7 2)

少なくともゲート電極およびゲート配線側面が酸化されており、第 1 の櫛形画素金属電極がコンタクト金属電極と他の金属電極膜との 2 層構造でありコンタクト金属電極を介してTFTのドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および

15 金属電極の 2 層を介してTFTのソース領域に接続されているボトムゲート型TFTアレイ基板のアレイ側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜を介して液晶が挟まれている、ことを特徴とする液晶表示装置。

- 20 (態様 7 3)

態様 7 2 の液晶表示装置において

少なくともTFTアレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

(態様 7 4)

- 25 態様 7 2 の液晶表示装置において

保護膜が無機物である、ことを特徴とする液晶表示装置。

(1 4) 第 1 4 の 発 明 (態 様 7 5 - 7 7) は、次のように構成されている。

(態 様 7 5)

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と
5 半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半
導体膜とゲート絶縁膜とゲート配線金属膜とを第 1 のパターンで順
次エッチングする工程と、ゲート配線及びゲート電極および第 1 の
櫛形電極となる部分のゲート配線金属膜パターンの側面を酸化する
工程と、コンタクト電極金属膜および金属電極膜とを形成する工程
10 と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電
極金属膜と半導体膜の一部を第 2 のパターンでエッチングする工程
とによりボトムゲート型 T F T アレイ基板を製造する工程と、さら
にその上に配向膜を形成する工程と、カラーフィルター基板の対向
電極側表面に配向膜を形成する工程と前記 2 つの配向膜をそれぞれ
15 内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定す
る工程と、前記第 1 と第 2 の基板の間に所定の液晶を注入する工程
を含む、ことを特徴とした液晶表示装置の製造方法。

(態 様 7 6)

態様 7 5 の液晶表示装置の製造方法において
20 ボトムゲート型 T F T アレイ基板を製造する工程の後、配向膜形
成の前に少なくとも前記 T F T アレイの一部を保護膜で被う工程を
含む、ことを特徴とする液晶表示装置の製造方法。

(態 様 7 7)

態様 7 5 の液晶表示装置の製造方法において
25 金属電極およびコンタクト金属電極が同一材質で一層で形成され
ている、ことを特徴とする液晶表示装置の製造方法。

(1 5) 第 1 5 の 発 明 (態 様 7 8 - 8 4) は、次 の よう に 構 成 さ れ
て い る。

(態 様 7 8)

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と梯形画
5 素電極群を備えたTF Tアレイ基板であって、

少なくともゲート電極およびゲート配線側面が酸化されており、
第1の梯形画素極がコンタクト電極金属を介してTF Tのドレーン
領域に接続されており、ソース断続配線がコンタクト電極金属およ
び金属電極を介してTF Tのソース領域に接続されており、さらに
10 絶縁膜を介して第2の梯形の対向電極が形成されている、ことを特
徴とするボトムゲート型TF Tアレイ基板。

(態 様 7 9)

態様78のボトムゲート型TF Tアレイ基板において
ゲート電極側面の酸化膜が陽極酸化膜である、ことを特徴とする
15 ボトムゲート型TF Tアレイ基板。

(態 様 8 0)

態様78のボトムゲート型TF Tアレイ基板において
ソース断続配線の一部がゲート配線金属膜と半導体膜とコンタク
ト電極金属膜と金属電極膜の5層構造となっている、ことを特徴と
20 するボトムゲート型TF Tアレイ基板。

(態 様 8 1)

態様78のボトムゲート型TF Tアレイ基板において
半導体膜とソース及びドレーン電極の間にコンタクト電極金属が
形成されている、ことを特徴とするボトムゲート型TF Tアレイ基
25 板。

(態 様 8 2)

態様 7 8 のボトムゲート型 T F T アレイ基板において

ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト電極金属と金属電極を介して交差接続されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

5 (態様 8 3)

態様 7 8 のボトムゲート型 T F T アレイ基板において

半導体膜の一部が i 型層と n 型層の 2 層構造である、ことを特徴とするボトムゲート型 T F T アレイ基板。

(態様 8 4)

10 態様 7 8 のボトムゲート型 T F T アレイ基板において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

(16) 第 16 の発明 (態様 8 5 - 8 9) は、次のように構成されている。

15 (態様 8 5)

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第 1 のパターンで順次エッチングする

20 工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第 2 のパターンで順次エッチングする工程と、さらに、絶縁膜を介して第 2 の櫛形対向電極を第 3 のパターンで形成する工程を含む、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

25

(態 様 8 6)

態様 8 5 の ボトム ゲート 型 T F T アレイ 基板 の 製 造 方 法 に お い て
半 導 体 膜 が i 型 層 と n 型 層 の 2 層 構 造 で あ り 、 n 型 層 の 一 部 を エ
ツ チ ン グ す る 、 こ と を 特 徴 と す る ボトム ゲート 型 T F T アレイ 基 板
5 の 製 造 方 法 。

(態 様 8 7)

態様 8 5 の ボトム ゲート 型 T F T アレイ 基板 の 製 造 方 法 に お い て
絶 縁 性 基 板 表 面 と ゲート 配 線 金 属 膜 の 間 に ア ン ダ ー コ ー ト 膜 を 形
成 す る 工 程 を 含 む 、 こ と を 特 徴 と す る ボトム ゲート 型 T F T アレイ
10 基 板 の 製 造 方 法 。

(態 様 8 8)

態様 8 5 の ボトム ゲート 型 T F T アレイ 基板 の 製 造 方 法 に お い て
少 なく と も ゲート 配 線 金 属 膜 と ゲート 絶 縁 膜 と 半 導 体 膜 を 連 続 し
て 形 成 す る 、 こ と を 特 徴 と す る ボトム ゲート 型 T F T アレイ 基 板 の
15 製 造 方 法 。

(態 様 8 9)

態様 8 5 の ボトム ゲート 型 T F T アレイ 基板 の 製 造 方 法 に お い て
酸 化 す る 工 程 に 陽 極 酸 化 法 を 用 い る 、 こ と を 特 徴 と す る ボトム ゲ
ー ト 型 T F T アレイ 基 板 の 製 造 方 法 。

20 (1 7) 第 1 7 の 発 明 (態 様 9 0 - 9 2) は 、 次 の よ う に 構 成 さ れ
て い る 。

(態 様 9 0)

少 なく と も ゲート 電 極 お よ び ゲート 配 線 側 面 が 酸 化 さ れ て お り 、
第 1 の 櫛 形 画 素 金 属 電 極 が コ ン タ ク ト 電 極 金 属 を 介 し て T F T の ド
25 レ ー ン 領 域 に 接 続 さ れ て お り 、 ソ ー ス 断 続 配 線 が コ ン タ ク ト 電 極 金
属 お よ び 金 属 電 極 を 介 し て T F T の ソ ー ス 領 域 に 接 続 さ れ て お り 、

- さらに絶縁膜を介して第2の櫛形の対向電極が形成されているボトムゲート型TFTアレイ基板の電極側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜として液晶が挟まれている、ことを
- 5 特徴とする液晶表示装置。

(態様91)

態様90の液晶表示装置において

少なくともTFTアレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

- 10 (態様92)

態様91の液晶表示装置において

保護膜が無機物である、ことを特徴とする液晶表示装置。

(18) 第18の発明(態様93-95)は、次のように構成されている。

- 15 (態様93)

- 少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第1のパターンで順次エッチングする
- 20 工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第2のパターンで順次エッチングする工程と、保護膜を介して第2の櫛形の対向電極を第3のパターンで形成する工程と
- 25 によりボトムゲートTFTアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板のカラーフ

ィルター側表面に配向膜を形成する工程と前記 2 つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第 1 と第 2 の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

5 (態様 9 4)

態様 9 3 の液晶表示装置の製造方法において

第 2 の櫛形対向電極形成後、少なくとも前記第 2 の櫛形対向電極の一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

10 (態様 9 5)

態様 9 3 の液晶表示装置の製造方法において

保護膜として、シリカ膜またはチッ化珪素膜を形成する、ことを特徴とする液晶表示装置の製造方法。

15 (19) 第 19 の発明 (態様 9 6 - 9 7) は、次のように構成されている。

(態様 9 6)

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画素電極群を備えた TFT アレイ基板であって、

20 少なくともゲート電極およびゲート配線側面が酸化されており、第 1 の櫛形画素金属電極がコンタクト電極金属との 2 層構造で TFT のドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介して TFT のソース領域に接続されており、さらに絶縁膜を介して第 2 の櫛形の対向電極が形成されている、ことを特徴とするボトムゲート型 TFT アレイ基板。

25 (態様 9 7)

態様 9 6 のボトムゲート型 TFT アレイ基板において

少なくともソース断続配線が金属電極とコンタクト電極金属との2層構造で接続されている、ことを特徴とするボトムゲート型TF Tアレイ基板。

(20)第20の発明(態様98)は、次のように構成されている。

5 (態様98)

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第1のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の
10 金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜と金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第2のパターンで順次エッチングする工程と、さらに、絶縁膜を介して第2の櫛形対向電極を第3のパターンで形成する工程を含む、ことを特徴
15 とするボトムゲート型TF Tアレイ基板の製造方法。

(21)第21の発明(態様99)は、次のように構成されている。

(態様99)

少なくともゲート電極およびゲート配線側面が酸化されており、第1の櫛形画素極がコンタクト電極金属と2層構造でTF Tのドレ
20 ーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してTF Tのソース領域に接続されており、さらに絶縁膜を介して第2の櫛形の対向電極が形成されているボトムゲート型TF Tアレイ基板の電極側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わ
25 れており、前記間隙に配向膜として液晶が挟まれている、ことを特徴とする液晶表示装置。

(2 2) 第 2 2 の 発 明 (態 様 1 0 0 - 1 0 1) は、次のように構成されている。

(態 様 1 0 0)

5 少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第1のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜と金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記
10 金属電極膜とコンタクト電極金属膜と半導体膜の一部を第2のパターンで順次エッチングする工程と、さらに、絶縁膜を介して第2の櫛形対向電極を第3のパターンで形成する工程とによりボトムゲートTFTアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板のカラーフィルター側表面に
15 配向膜を形成する工程と前記2つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第1と第2の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

(態 様 1 0 1)

20 態様100の液晶表示装置の製造方法において

少なくとも前記第2の櫛形対向電極の一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

図 面 の 簡 単 な 説 明

25

図1は、本発明の実施例1-1の電気回路基板を製造工程を説明す

るための断面概念図である。

図 2 は、本発明の実施例 1 - 1 において、第一のレジストパターンでエッジングした後の基板面の状態を示す平面図である。

図 3 は、本発明の実施例 1 - 1 において、基板全面に導電性膜層を
5 堆積した様子を示す平面図である。

図 4 は、本発明の実施例 1 - 1 において、基板上の導電性膜層を所定のパターン（Y 断続配線接続電極）に加工した様子を示す平面図である。

図 5 は、本発明の実施例 2 - 1 における T F T アレイの製造工程を
10 説明する工程断面概念図である。

図 6 は本発明の実施例 2 - 1 における T F T アレイの製造工程を説明する工程断面概念図である。

図 7 は、図 6 (b)を上方から見た平面模式図である。

図 8 は、本発明の実施例 2 - 1 における T F T アレイの製造工程を
15 説明する工程断面概念図である。

図 9 は、本発明の実施例 2 - 1 における T F T アレイの製造工程を説明する工程断面概念図である。

図 1 0 は、本発明の実施例 2 - 1 における T F T アレイの製造工程を説明する工程断面概念図である。

20 図 1 1 は、本発明の実施例 2 - 1 における T F T アレイの製造工程を説明する工程断面概念図である。

図 1 2 は、実施例 2 - 1 における T F T アレイ基板の平面模式図である。

図 1 3 は、本発明の実施例 2 - 2 における液晶表示装置を説明する
25 断面概念図である。

図 1 4 は、本発明の実施例 2 - 3 における T F T アレイの製造工程

を説明するための図である。

図 1 5 は、本発明の実施例 2 - 3 における T F T アレイの製造工程を説明するための図である。

図 1 6 は、本発明の実施例 2 - 3 における T F T アレイの製造工程
5 を説明するための図である。

図 1 7 は、本発明の実施例 2 - 3 における T F T アレイの製造工程を説明するための図である。

図 1 8 は、本発明の実施例 2 - 3 における T F T アレイの製造工程を説明するための図である。

10 図 1 9 は、本発明の実施例 2 - 3 における T F T アレイの製造工程を説明するための図である。

図 2 0 は、本発明の実施例 2 - 3 における T F T アレイの製造工程を説明するための図である。

図 2 1 は、本発明の実施例 4 における液晶表示装置を説明する断面
15 概念図である。

図 2 2 は、本発明の実施例 5 における T F T の断面概念図である。

図 2 3 は、本発明の実施例 2 - 7 における T F T の断面概念図である。

図 2 4 は、本発明の実施例 2 - 9 における T F T の断面概念図であ
20 る。

図 2 5 は、本発明の実施例 2 - 1 1 における T F T の断面概念図である。

図 2 6 は、本発明の実施例 2 - 1 の T F T アレイ基板の全体図である。

25

発明を実施するための最良の形態

以下、実施例に基づいて本発明の内容を具体的に説明する。

(実施例 1-1)。

5 予め良く洗浄された透明ガラス基板（絶縁性基板）101を準備し、アンダーコート膜層102としてのシリカ（ SiO_2 ）膜層をCVD法で0.4ミクロンの厚さに堆積した。続いてX配線およびY断続配線形成用の金属膜層103として、 Al-Zr （97：3）合金膜層をスパッタリング法を用いて200nm程度の膜厚まで蒸着形成した。更に続いて、絶縁膜層104として、プラズマCVD法を用いて SiN_x 膜を150nm堆積した（図1）。

次いで、第一のレジストパターン105（図1）を用いたフォトリソグラフィ法で、絶縁膜層104の上からアンダーコート膜層102に達するまでエッチングを行い、X配線106と、X配線との
15 交差部がX配線で切断されかつX配線とY断続配線との間に隙間が形成された形状のY断続配線107とを基板上にパターン状に形成した（図2）。

この後、基板全体を硼酸アンモニアを用いたpH約7の電解液に浸漬し基板の外周よりX配線のみに通電する方法（陽極酸化法）で
20 X配線の側面を酸化し、側面に絶縁性の金属酸化膜106'（主成分 Al_2O_3 ）を形成した。

次いで、例えばインジウム錫酸化物（ITO）からなる導電性膜層108を、X配線とY断続配線との隙間が埋まるようにして絶縁性膜層104の上から基板全面に堆積した（図3）。この後、第二の
25 レジストパターンを用いて図4に示すように絶縁膜上の不要な導電膜をエッチングし、Y断続配線接続電極109を形成した。このエ

ッティングにより、並行に配列された隣のY断続配線との間の導通が断たれ、かつXY交差部でX配線により切断されたY断続配線同士の導通（接続）がY断続配線接続電極109により図られる構造の実施例1-1にかかる電気回路基板を完成させた。

5 （実施例1-2）

実施例1-2では絶縁膜層104を堆積することなく、金属膜層103の上から前記第一のレジストパターン105を用いて、金属膜層103をアンダーコート膜層102に達するまでエッチングし、絶縁膜が積層されていないX配線およびY断続配線を作製した。

- 10 この後、上記実施例1-1と同様にして陽極酸化法を用いて、X配線の酸化を行い、X配線の側面および上面を Al_2O_3 を主成分とする酸化膜で被覆した。なお、上記実施例1-1と同様な方法により、X配線の側面と上面が酸化されるのは、実施例1-2では、
15 実施例1-1の場合と異なり、金属膜層103を絶縁膜層104
15 で覆わなかったからである。

- 次いで、この基板全面に導電性膜層（例えばITO、Alなどを使用）を堆積し、しかる後に実施例1-1と同様にして第二のレジストパターンを用いて、不要な導電膜層をエッチングにより除去した。これにより並行に配列された隣のY断続配線との間の導通がなく、XY交差部で切断されたY断続配線同士が導電性膜で接続された実施例1-2にかかる電気回路基板が完成した。
20

- なお、実施例1-1および1-2では、陽極酸化法を用いて金属膜表面を酸化したが、この方法であると、X配線のみを選択的に金属酸化膜からなる絶縁膜を形成することができるので、生産性に優
25 れる。

また上記図4では、Y断続配線に沿った帯状の接続電極となした

が、これに限られるものではなく、例えば前記第二のレジストパターンの形状を変えることにより、X配線とY断続配線の交差部分のみを覆う四角形状や丸形状の接続電極パターンとしてもよい。

(実施例 2 - 1)

- 5 予め良く洗浄された透明ガラス基板（絶縁性基板）201を準備し、アンダーコート膜層202としてシリカ（ SiO_2 ）膜をCVD法で0.4ミクロンの厚さに堆積した。その後ゲート電極及びゲート配線、並びにソース断続配線用のG-S金属膜層203としてAl-Zr（97：3）合金膜をスパッタリング法を用いて200nm
- 10 程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜層204としてプラズマCVD法を用いて SiN_x 膜を150nmを積層した。次いで半導体膜層299として、不純物を含まないアモルファスシリコン（i型a-Si）膜205を50nmと、n型不純物を含むアモルファスシリコン（n+a-Si）膜206を50nm連続で
- 15 堆積し、最後にコンタクト金属膜層207として、Ti金属膜をスパッタリング法を用いて100nm程度の膜厚まで蒸着形成した後、通常の方法で第1回目のホトリソグラフィ法用の第1のレジストパターン208を形成した（図5）。

- この後、コンタクト金属膜層207（Ti金属膜）、n+a-Si
- 20 膜層206、i型a-Si膜層205、ゲート絶縁膜層204（ SiN_x 膜）、およびG-S金属膜層203（Al-Zr膜）を順次エッチングし、ゲート電極203'あるいはゲート配線203''、ソース断続配線209'・209''、ゲート絶縁膜204'、半導体膜299（205'と206'）およびコンタクト金属膜207'が積層された
- 25 第1のパターン210を形成した（図6）。

ここで、図6（b）を上方からみた平面模式図を図7に示す。図

7により明らかになるように、ゲート配線203''は図面の手前から奥の方に延びており、ソース断続配線209'・209''は203''と直交する方向(図面の左右方向)に延びている。そして、ソース断続配線209'・209''は、両者の間をゲート配線203''が横断することにより分断されており、ゲート配線203''とソース断続配線209'・209''の間には一定の隙間が形成されている。この隙間は、好ましくは各層の合計厚み(エッチング深さ)と同程度の寸法とする。

なお、図6(b)は、図7のX-Y線断面図である。

次に、前記ゲート電極203'及びゲート配線203''を硼酸アンモニウムを用いたPH約7の電解液中で選択的に陽極酸化してパターンの側面に Al_2O_3 を主成分とする絶縁膜211を形成した(図8)。

この後、基板全面にインジウム錫酸化膜(ITO)よりなる透明導電性膜212をスパッタリング法を用いて100nm程度の膜厚まで蒸着形成した(図9)。

この透明導電性膜212は、ドレーン領域に接続する画素透明電極215と、ソース領域に接続するとともに、分断されたソース断続配線同士を接続する(ソース断続配線接続電極)ためのものである。

次いで、常法により、第2回目のホトリソグラフィ法用の第2のレジストパターン208'(図10)を形成した。次いで、前記透明導電性膜212、コンタクト金属膜207'、及びゲート電極上のn+a-Si膜206'の一部をi型-a-Si膜205'に到達するまで順次エッチング除去して、ソース領域213とソース断続配線209'とをコンタクト電極207'と透明導電膜214とで接続するとともに、画素透明電極215をコンタクト電極207'を介してド

レーン領域 216 に接続した (図 11)。

これにより、分断されているソース断続配線 209'・209"は、ゲート配線 203"上の透明導電性膜 214'及びコンタクト金属膜 207'を介して接続される (図 11)。

- 5 最後に、印刷焼成法を用いて基板の周辺をのぞき、TFTを被うようにシリカ保護膜層 217 を 300 nm 形成し、その後、このシリカ保護膜パターンをマスクに外部駆動回路と接続する周辺部分の積層層より i 型 a-Si 膜 205、ゲート絶縁膜層 204 (SiN_x 膜)をエッチング除去し、ゲート G-S 金属膜 203 を露出させた (図 10 26 参照)。これにより透過型液晶表示装置に使用可能な TFT アレイ基板 218 (図 26) が作製できた。

- 図 12 は、この実施例で作製した TFT アレイ基板 218 主要部を拡大した平面模式図である。ここで、図 11 (a) は、図 12 における A-A' 線断面部分であり、図 11 (b) は、図 18 における B-B 線断面部分である。
15

- 以上に説明した本実施例によれば、ゲート配線とソース断続配線とを同一平面内に同時に形成し、ゲート配線の側面は陽極酸化により選択的に酸化し絶縁化する。そして、ゲート配線で分断されたソース断続配線は、ゲート配線の上に積層されたコンタクト金属膜および透明導電膜を介して接続される。よって、ソース断続配線抵抗が大幅に高くなることはなない。また、この構造によると、TFT
20 アレイ表面の段差を十分に小さくできる。

- また、TFT アレイ基板の製造に用いるホトマスクは、従来の方法では 5 ~ 7 枚必要であったが、この実施例の方法によると 2 枚で
25 よい。したがって、この実施例の方法によると、TFT アレイ基板の製造コストを大幅に削減できる。

更に、基板への積層に際し、G・S金属膜層とゲート絶縁膜層と半
導体膜層とを連続して堆積することにより、チャネル部界面の汚染
の少ない高信頼性ボトムゲート型TFTアレイ基板を製造できる。

また、酸化法としては、pH7の電解液を用いた陽極酸化法を用
5 いると、ゲート電極とこれに接続されたゲート配線の側面のみを効
率良く選択的に酸化できる。しかもまた、この方法によるとピンホ
ールのない良質の酸化膜を形成できるので、ゲートリークの少ない
配線を実現することができる。

さらに、この実験例では、ソース断続配線がG・S金属膜と半導体
10 膜とコンタクト金属膜と導電性膜の5層構造となっているので、全
体としてソース断続配線抵抗が小さくなる。

更にまた、この実施例では、G・S金属膜（ゲート電極、ゲート配
線、ソース断続配線）とコンタクト金属膜（コンタクト電極）との
間にゲート絶縁膜と半導体膜が堆積されているので、漏電が生じに
15 くい。

更にまた、この実施例では、半導体膜がi型層とn型層の2層構
造にしてあるので、ソース及びドレーンのコンタクト抵抗を小さく
できる。

更にまた、絶縁性基板表面とゲート配線金属膜の間にアンダーコ
20 ート膜層を配置したので、基板からの不純物拡散が防止される。

更にまた、上記実施例では、透過型のTFTアレイ基板を作製し
たが、透明導電性膜に代えて、AlまたはAl合金等の反射率の高い
金属膜を用いることにより反射型液晶表示装置に使用できる反射
型のFTアレイ基板を作製することができる。

25 (実施例2-2)

次に、上記実施例2-1を用いて作成したTFTアレイ基板を

用いて、実際に液晶表示デバイスを製造した場合の製造プロセスについて図13を用いて説明する。

まず、実施例2-1と同様の2枚マスクを用いて製造されたTFT
Tアレイ基板、すなわちマトリックス状に載置された第1の電極群
221とこの電極を駆動するトランジスタ群222を有する第1
5 のTFTアレイ基板223、および第1の電極群と対向するように
載置したカラーフィルター群224と第2の電極225を有するカ
ラーフィルター基板226上に、それぞれ通常の方法でポリイミド
樹脂を塗布・硬化シラビングを行い液晶配向膜227を作製した。

10 次に、前記第1と第2の基板223、226を電極が対向するよ
うに位置合わせしてスペーサー228と接着剤229でおおよそ5ミ
クロンのギャップで配向方向が90度ねじれたヤルを作成した。そ
の後、前記第1と第2の基板に前記TN液晶230を注入した後、
偏光板231、232をクロスニコルに組み合わせて表示装置を完
15 成した。

この様なデバイスは、バックライト233を全面に照射しながら、
ビデオ信号を用いて各々のトランジスタを駆動することで矢印Aの
方向に映像を表示できた。このとき、ボトムゲート型TFT
Tアレイ基板を製造する工程の後、配向膜形成の前に、少なくとも
20 前記TFTアレイを保護膜で被う工程を行うと信頼性の高い液晶
表示装置を製造できた。

また、保護膜として、無機物であるシリカ膜またはチッ化珪素膜
を用いると、さらに信頼性の高い液晶表示装置を製造できた。

さらに、透明導電性膜の代わりに金属電極膜を形成したTFTア
25 レイ基板を用いると反射型液晶表示装置を製造できた。

(実施例 2 - 3)

実施例 2 - 1 と同様にして良く洗浄された透明ガラス基板 2 0 1 を準備し、アンダーコート膜層 2 0 2 としてのシリカ (SiO_2) 膜を 0.4 ミクロン CVD 法堆積した。その後ゲート電極およびゲート配線、並びにソース断続配線用の G-S 金属膜層 2 0 3 としての Al-Zr (97:3) 合金膜をスパッタリング法を用いて 200 nm 程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜層 2 0 4 としてプラズマ CVD 法を用いて SiN_x 膜を 150 nm と、半導体膜として不純物を含まないアモルファスシリコン (i 型 a-Si) 膜層 2 0 5 を 200 nm、さらに n 型不純物を含むアモルファスシリコン (n+a-Si) 膜層 2 0 6 を 50 nm 連続で堆積した。

なお、ここでは、n+a-Si 膜層 2 0 6 の上にコンタクト金属膜を堆積させないので、この点で前記実施例 2 - 1 と相違する。

次いで常法により第 1 回目のホトリソグラフィ法用の第 1 のレジストパターン 2 0 8 を形成した (図 1 4)。

その後、n+a-Si 膜層 2 0 6、i 型 a-Si 膜層 2 0 5、ゲート絶縁膜層 2 0 4 (SiN_x 膜)、および G-S 金属膜層 2 0 3 (Al-Ta 膜) を順次エッチングし、ゲート電極 2 0 3'、ゲート配線 2 0 3"、ソース断続配線 2 0 9'、ゲート絶縁膜 2 0 4'、および半導体膜 (2 0 5' + 2 0 6') が積層された第 1 のパターン 2 4 0 を形成した (図 1 5)。

次に、前記ゲート電極 2 0 3' 及びゲート配線 2 0 3" を電解液中で陽極酸化してこれらの側面に Al_2O_3 を主成分とする絶縁膜 2 1 1 を形成 (図 1 6) した後、ドレーン領域に接続した画素金属電極、およびソース領域に接続したソース断続配線同士を接続するコンタクト電極金属膜 (Ti) 2 4 1 とアルミニウム膜 (Al) よりなる

金属電極膜 242 をスパッタリング法を用いてそれぞれ 50 nm と 100 nm 程度の膜厚まで蒸着形成した (図 17)。

その後、通常の方法で第 2 回目のホトリソグラフィ法用の第 2 のレジストパターン 208' を形成した (図 18) 後、前記金属電極膜 242、コンタクト電極金属膜 (Ti) 241 及びゲート電極上の n+a-Si 膜 206' の一部を順次エッチング除去してソース領域 213 とソース断続配線 209' をコンタクト電極金属膜 (Ti) 241 と金属電極膜パターン 242' で接続するとともに、画素金属電極膜 243 をドレーン領域 216 と接続形成する (図 19)。このとき、予め切断され分断されているソース断続配線は 209' はゲート配線 203" 上でコンタクト電極金属膜 (Ti) 241' と金属電極膜パターン 242' で接続された (図 19 右)。

最後に、印刷焼成法を用いて基板の外周を除き、TF T を被うように保護膜 217 を 300 nm 形成し、その後、このシリカ保護膜パターンをマスクに駆動回路と接続する部分のゲート電極金属上の酸化膜をエッチング除去すると画素部に反射型画素金属電極を有する TF T アレイ基板 245 を作成できた (図 20)。

本実施例によれば、ソース断続配線がコンタクト金属電極および金属電極の 2 層を介して接続されているので、ソース断続配線を極めて低抵抗にできた。

また、反射画素金属電極にアルミニウムまたはアルミニウム系の合金 (Al-Zr、Ag-Pd-Cu 合金等) を用いることにより、反射性能に優れた TF T アレイ基板を製造できた。

また、絶縁性基板表面とゲート配線金属膜の間にゾルゲル法を用いてシリカ系のアンダーコート膜を蒸着形成することにより基板ひずみを吸収できた。

また、ゲート配線金属膜として、アルミニウム系の合金膜を形成すると、配線表面に凸凹が少ないTFTアレイ基板を製造できた。

さらに、酸化する工程に中性溶液中で陽極酸化法を用いることによりゲート絶縁性に優れたTFTアレイ基板を製造できた。

- 5 このとき、ゲート電極側面の酸化膜が中性陽極酸化膜であると信頼性が高いTFTアレイ基板を製造できた。

また、ソース断続配線の一部がゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜と金属電極膜の5層構造にするとソース断続配線の抵抗を低抵抗化できた。

- 10 さらに、ゲート電極金属とコンタクト金属電極との間にチッ化シリコン系のゲート絶縁膜と半導体膜を形成しておくこと安定性に優れたTFTアレイ基板を製造できた。

- また、ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト金属電極および金属電極の2層を介して交差接続しておくこと、TFTアレイ基板表面段差を小さくできた。
- 15

さらにまた、半導体膜の一部がi型層とn⁺型層の2層構造にしておくことソース、ドレインのコンタクト抵抗を小さくできた。

また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されていること信頼性の高いTFTアレイ基板を製造できた。

- 20 (実施例2-4)

次に、実施例2-3で得られたTFTアレイ基板を用いて、実際に液晶表示装置を製造した場合の製造プロセスについて図21を用いて説明する。

- まず、実施例2-3と同様の2枚マスクを用いて製造されたTFT
- 25 TFTアレイ基板、すなわちマトリックス状に載置された第1の電極群321とこの電極を駆動するトランジスタ群322を有する第1

の T F T アレイ基板 3 2 3 上および第 1 の電極群と対向するように載置したカラーフィルター群 3 2 4 と第 2 の電極 3 2 5 を有するカラーフィルター基板 3 2 6 上に、それぞれ通常の方法でポリイミド樹脂を塗布・硬化しラビングを行い液晶配向膜 3 2 7 を作製した。

- 5 次に、前記第 1 と第 2 の基板 3 2 3、3 2 6 を電極が対向するように位置合わせしてスペーサー 3 2 8 と接着剤 3 2 9 でおよそ 5 ミクロンのギャップでセルを作成した。さらに、前記第 1 と第 2 の基板の間に前記 T N 液晶 3 3 0 を注入した後、偏光板 3 3 1 をカラーフィルター側セル表面に組み合わせて反射型液晶表示素子を完成した。
- 10 た。

この様なデバイスは、ビデオ信号を用いて各々のトランジスタを駆動することで矢印 A の方向に映像を表示できた。

(実施例 2 - 5)

- 実施例 2 - 1 と同様に、予め良く洗浄された透明ガラス基板 2 0
- 15 1 を準備し、アンダーコート膜層 2 0 2 としてシリカ (S i O₂) 膜を 0 . 4 ミクロン C V D 法で堆積した。その後ゲート電極及びゲート配線、並びにソース断続配線用の G - S 金属膜層 2 0 3 として A l - Z r (9 7 : 3) 合金をスパッタリング法を用いて 2 0 0 n m 程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜層 2 0 4 として
- 20 プラズマ C V D 法を用いて S i N_x 膜を 1 5 0 n m と、半導体膜として不純物を含まないアモルファスシリコン (i 型 a - S i) 膜層 2 0 5 を 5 0 n m、さらに n 型不純物を含むアモルファスシリコン (n + a - S i) 膜層 2 0 6 を 5 0 n m 連続で堆積し、最後にコンタクト金属膜層 2 0 7 として、T i 金属膜をスパッタリング法を用
- 25 いて 1 0 0 n m 程度の膜厚まで蒸着形成した。その後、通常の方法で第 1 の櫛形画素電極を含む第 1 回目のホトリソグラフィ法用の第

1 のレジストパターンを形成した。

その後、Ti 金属膜 207、n+a-Si 膜層 206、i 型 a-Si 膜層 205、ゲート絶縁膜層 (SiN_x 膜) 204、および G-S 金属膜層 (Al-Zr 膜) 203 を順次エッチングし、ゲート電
5 極 203' あるいはゲート配線 203"、ソース断続配線 209'、ゲート絶縁膜層 204' および半導体膜 (205') が積層された第 1 の櫛形画素金属電極 251 を含む第 1 のパターンを形成した。

次に、前記ゲート電極 203'、ゲート配線 203"、および第 1 の櫛形画素金属電極 251 を硼酸アンモニアを用い pH 7 付近の電
10 解液中で陽極酸化してパターンの側面に Al₂O₃ を主成分とする絶縁膜 211 を形成した。

さらに、ドレーン領域に接続した第 2 の櫛形画素金属電極およびソース領域に接続し、切断されたソース断続配線を接続する金属 (Al) 電極膜をスパッタリング法を用いて 100 nm 程度の膜厚まで
15 蒸着形成した。

その後、通常の方法で第 2 回目のホトリソグラフィ法用の第 2 のレジストパターンを形成した後、前記金属電極膜 212'、コンタクト電極 207'、及びゲート電極上の n+a-Si 膜 206' の一部を i 型 a-Si 膜に到達するまで順次エッチング除去してソース
20 領域 213 とソース断続配線 209' をコンタクト電極 7 と金属電極 214' で接続するとともに、第 2 の櫛形画素金属電極 252 をコンタクト電極金属 207' を介してドレーン領域 216 と接続形成した。

このとき、予め切断されているソース断続配線は 209"、209'" はゲート配線 203" 上でコンタクト電極金属 7' を介して金属電極膜パターン 214' で接続された。
25

最後に、印刷焼成法を用いてTFTを被うようにシリカ保護膜217を300nm形成し、その後、このシリカ保護膜パターンをマスクに外部駆動回路と接続する部分のゲート電極金属上のi型a-Si膜205、SiN_x膜204をエッチング除去するとインプレーンスイッチング(IPS)型液晶表示装置に使用可能なTFTアレイ基板253を作成できた(図22)。

このとき、ゲート配線及びゲート電極及び第1の櫛形画素電極となる部分を同時にエッチングすると、マスクを増やすことなくIPS型TFTアレイ基板を製造できた。

10 また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を行うと安定性に優れたTFTアレイ基板を製造できた。

さらに、ゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成するとチャネル部の汚染を防止できた。

15 また、酸化する工程で、中性電解溶液中で陽極酸化するとゲート電極側面および第1の櫛形画素電極側面のみを選択的に酸化絶縁できた。

また、ソース断続配線の一部および第1の櫛形画素電極をゲート配線金属膜と半導体膜とコンタクト電極金属膜と金属電極膜の5層20 構造にしておくとソース断続配線抵抗が少ないTFTアレイ基板を提供できた。

さらに、半導体膜と櫛形電極の接続にコンタクト電極金属を形成しておくと、ドレインコンタクト抵抗の小さなTFTアレイ基板を提供できた。

25 また、ソース断続配線がゲート配線および第1の櫛形電極により切断されておりゲート配線および第1の櫛形電極上でコンタクト電

極金属と金属電極を介して交差接続しておくことと表面段差が少ない TFT アレイ基板を提供できた。

また、半導体膜の一部が i 型層と n 型層の 2 層構造にしておくこと、さらにコンタクト抵抗の小さな TFT アレイ基板を提供できた。

- 5 また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成しておくこと、基板から移動してくる不純物拡散を防止できて、信頼性の高い TFT アレイ基板を提供できた。

(実施例 2 - 6)

- 次に、上記 TFT アレイ基板を用いて実際に IPS 型液晶表示デ
10 バイスを製造しようとする場合の製造プロセスについて説明する。

- まず、実施例 2 - 5 と同様の 2 枚マスクを用いて製造された IPS
S 用 TFT アレイ基板、すなわちマトリックス状に載置された第 1
の櫛形電極群とこの電極を駆動するトランジスタ群を有する第 1
の TFT アレイ基板、および第 1 の電極群と対向するように載置し
15 たカラーフィルター群を有するカラーフィルター基板上に、それぞれ通常の方法で☆釈亟斉板 w 脂を塗布・硬化し☆陵棟 x#を行い液晶配向膜を作製した。

- 次に、前記第 1 と第 2 の基板を配向膜が対向するように位置合わせしてスペーサーと接着剤でおよそ 5 ミクロンのギャップでセルを
20 作成した。その後、前記第 1 と第 2 の基板にネマティック液晶を注入した後、偏光板をクロスニコルに組み合わせて表示素子を完成した（図は図 19 の第 2 の電極 225 を除いただけなので省略）。

- このようなデバイスは、バックライトを裏面から照射しながら、ビデオ信号を用いて各々のトランジスタを駆動することで映像を表示
25 できた。このとき、視野角は、コントラスト 10 で、上下左右 160°の広視野角が達成できた。

このとき、IPS型TF Tアレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記TF Tアレイ基板の一部を保護膜で被う工程を行うと信頼性の高い液晶表示装置を製造できた。

このとき、ボトムゲート型TF Tアレイ基板を製造する工程の後、
5 配向膜形成の前に、少なくとも前記TF Tアレイ基板の一部を保護膜で被い、この保護膜をマスクに、金属電極膜とコンタクト電極金属膜と半導体膜とゲート絶縁膜とをエッチングしてゲート配線端子をを露出させると、低コストで液晶表示装置を製造できた。

また、保護膜として、シリカ膜またはチッ化珪素膜等の無機物を
10 形成すると信頼性に優れた液晶表示装置を製造できた。

(実施例2-7)

実施例2-3と同様に、予め良く洗浄された透明ガラス基板201を準備し、アンダーコート膜層202としてシリカ(SiO_2)膜を0.4ミクロンCVD法堆積した。その後ゲート電極及びゲート
15 配線、並びにソース断続配線用のG-S金属膜層203としてAl-Zr(97:3)合金をスパッタリング法を用いて200nm程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜としてプラズマCVD法を用いて SiN_x 膜4を150nmと、半導体膜として不純物を含まないアモルファスシリコン(i型a-Si)膜205を2
20 00nm、さらにn型不純物を含むアモルファスシリコン(n+a-Si)膜206を50nm連続で堆積し、通常の方法で第1の櫛形画素電極を有する第1回目のホトリソグラフィ法用の第1のレジストパターン208を形成した。

その後、n+a-Si膜206、i型a-Si膜205、 SiN_x
25 膜204、およびAl-Ta膜203を順次エッチングし、ゲート電極203'あるいはゲート配線203"、ソース断続配線209'、

ゲート絶縁膜層 204'、および半導体膜 (205') が積層された第 1 の櫛形画素電極 261 を有する第 1 のパターンを形成した。

次に、前記ゲート電極 203'、ゲート配線 203" および第 1 の櫛形画素電極 261 を硼酸アンモニウム電解液中で陽極酸化してパターンの側面に Al_2O_3 を主成分とする絶縁膜 211 を形成した。

さらに、ドレーン領域に接続した第 2 の櫛形画素金属電極、およびソース領域に接続し切断されたソース断続配線を接続するコンタクト電極金属 (Ti) 膜 241 とアルミニウム膜 (Al) よりなる金属電極膜 242 をスパッタリング法を用いてそれぞれ 50 nm と 100 nm 程度の膜厚まで蒸着形成した。

その後、通常の方法で第 2 の櫛形画素金属電極を有する第 2 回目のホトリソグラフィ法用の第 2 のレジストパターンを形成した後、前記金属電極膜 242、コンタクト電極金属 (Ti) 41 及びゲート電極上の $n+a-Si$ 膜 206' の一部を順次エッチング除去してソース領域 213 とソース断続配線 209' をコンタクト電極金属 (Ti) 膜 241' と金属電極膜パターン 242' で接続するとともに、第 2 の櫛形画素金属電極 262 コンタクト金属電極を介してドレーン領域 216 と接続形成する。

このとき、予め切断されているソース断続配線は 209' はゲート配線 203" 上でコンタクト電極金属 (Ti) 膜パターン 241' と金属電極膜パターン 242' で接続された。

最後に、印刷焼成法を用いて TFT を被うように保護膜 217 を 300 nm 形成し、その後、このシリカ保護膜パターンをマスクに駆動回路と接続する部分のゲート電極金属上の酸化膜をエッチング除去すると画素部に第 2 の櫛形画素金属電極を有する TFT アレイ基板 263 を作成できた (図 23)。

このとき、半導体膜を i 型層と n 型層の 2 層構造とし、n 型層の一部を i 型層に達すまでエッチングするとホトマスクを増やすことなく低コストで T F T アレイ基板を製造できた。

また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート
5 膜を形成すると基板から発生する不純物拡散を防止でき、信頼性の高い T F T アレイ基板を製造できた。

さらに、ゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成するとチャネル部の汚染を最小限に防止でき、 V_t の安定した T F T アレイ基板を製造できた。

10 また、酸化する工程に中性溶液で陽極酸化を行うとピンホールが少なく、リーク電流が少ない T F T アレイ基板を製造できた。

さらにまた、ゾルゲル法を用いて T F T アレイ基板の一部をシリカやシリカ含有無機物質よりなる保護膜で被っておくと信頼性の高い T F T アレイ基板を製造できた。

15 (実施例 2 - 8)

次に、上記 T F T アレイ基板を用いて実際に液晶表示デバイスを製造しようとする場合の製造プロセスについて説明する。

まず、実施例 2 - 7 と同様の 2 枚マスクを用いて製造された I P S 用 T F T アレイ基板、すなわちマトリックス状に載置された第 1
20 の櫛形電極群とこの電極を駆動するトランジスター群を有する第 1 の T F T アレイ基板上および第 1 の電極群と対向するように載置したカラーフィルター群を有するカラーフィルター基板上に、それぞれ通常の方法でポリイミド樹脂を塗布・硬化しラビングを行い液晶配向膜を作製した。

25 次に、前記第 1 と第 2 の基板を配向膜が対向するように位置合わせしてスペーサーと接着剤でおよそ 4 ミクロンのギャップでセルを

作成した。さらに、前記第1と第2の基板の間に前記ネマチック液晶を注入した後、2枚の偏光板をクロスニコルに組み合わせて表示素子を完成した。

この様なデバイスは、バックライトを裏面から照射しながら、ビデオ信号を用いて各々のトランジスタを駆動することで映像を表示できた。このとき、視野角は、コントラスト10で、上下左右160°の広視野角が達成できた。

このとき、TF Tアレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記TF Tアレイ基板の一部をシリカなど保護膜で被う工程を行うと、信頼性の高い液晶表示装置を製造できた。

また、金属電極およびコンタクト金属電極を同一材質で一層で形成すると、工程をより簡略化できた。

(実施例2-9)

実施例2-1と同様に、予め良く洗浄された透明ガラス基板1を準備し、アンダーコート膜層202としてシリカ(SiO_2)膜を0.4ミクロンCVD法で堆積した。その後ゲート電極及びゲート配線、並びにソース断続配線用のG-S金属膜層203としてAl-Zr(97:3)合金をスパッタリング法を用いて200nm程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜層204としてプラズマCVD法を用いて SiN_x 膜を150nmと、半導体膜として不純物を含まないアモルファスシリコン(i型a-Si)膜205を50nm、さらにn型不純物を含むアモルファスシリコン(n+a-Si)膜206を50nm連続で堆積し、最後にコンタクト金属膜層207として、Ti金属膜をスパッタリング法を用いて100nm程度の膜厚まで蒸着形成した後、通常の方法で第1回目のホトリソグラフィ法用の第1のレジストパターン208を形成した。

その後、Ti 金属膜 207、n+a-Si 膜 206、i 型 a-Si 膜 205、SiN_x 膜 204、および Al-Zr 膜 203 を順次エッチングし、ゲート電極 203' あるいはゲート配線 203"、ソース断続配線 209'、ゲート絶縁膜層 204'、半導体膜 (205' と 206') およびコンタクト電極金属 207' が積層された第 1 のパターン 210 を形成した。

次に、前記ゲート電極 3' 及びゲート配線 3" を硼酸アンモニアを用い pH 7 付近の電解液中で陽極酸化してパターンの側面に Al₂O₃ を主成分とする絶縁膜 211 を形成した。

さらに、ドレーン領域に接続した第 1 の櫛形画素金属電極およびソース領域に接続し、切断されたソース断続配線を接続する金属電極膜をスパッタリング法を用いて 100 nm 程度の膜厚まで蒸着形成した。

その後、通常の方法で第 1 の櫛形電極パターンを持つ第 2 回目のホトリソグラフィ法用の第 2 のレジストパターンを形成した後、前記透明導電性膜 212、コンタクト電極 207'、及びゲート電極上の n+a-Si 膜 206' の一部を i 型 a-Si 膜に到達するまで順次エッチング除去してソース領域 213 とソース断続配線 209' をコンタクト電極 207' と金属電極 214" で接続するとともに、第 1 の櫛形画素金属電極 71 をコンタクト電極金属 207' を介してドレーン領域 216 と接続形成する。

このとき、予め切断されているソース断続配線は 209"、209'" はゲート配線 203" 上でコンタクト電極金属 207' を介して金属電極 214" で接続された。

次に、ゾルゲル法を用いて TFT を被うようにシリカ保護膜 217 を 300 nm 印刷・焼成形成し、その後、このシリカ保護膜パタ

ーンをマスクに外部駆動回路と接続する部分のゲート電極金属上の
i 型 a-Si 膜 205、SiN_x 膜 204 をエッチング除去した。

その後、全面に Al-Zr 合金を 150 nm の膜厚で蒸着形成し、
第 2 の櫛形電極パターンを有するホトマスクを用いて第 2 の櫛形画
5 素金属電極 272 を形成し IPS 用透過型液晶表示装置に使用可能
な TFT アレイ基板 273 をホトマスク 3 枚で作成できた(図 24)。

このとき、半導体膜が i 型層と n 型層の 2 層構造であり、n 型層
の一部を i 型層に達するまでエッチングすると TFT の工程を簡略
化できた。

10 また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート
膜を形成すると特性の安定した TFT アレイ基板を製造できた。

さらに、少なくともゲート配線金属膜とゲート絶縁膜と半導体膜
を連続して形成するとチャネル界面の汚染を防止できた。

また、酸化する工程に陽極酸化法を用いるとピンホールが少ない
15 絶縁膜を作成できゲートリークが少ない TFT アレイ基板を製造で
きた。

このとき、ゲート電極側面の酸化膜を陽極酸化膜で形成しておく
とリーク特性の優れた TFT アレイ基板を製造できた。

また、ソース断続配線の一部をゲート配線金属膜と半導体膜とコ
20 ンタクト電極金属膜と金属電極膜の 5 層構造にしておくと、ソース
断続配線抵抗を小さくできて、特性ばらつきの少ない TFT アレイ
基板を製造できた。

さらに、半導体膜とソース及びドレイン電極の間にコンタクト電
極金属を形成されていると内部抵抗の少ない TFT アレイ基板を製
25 造できた。

また、ソース断続配線がゲート配線により切断されておりゲート

配線上でコンタクト電極金属と金属電極を介して交差接続するとソース断続配線抵抗の小さなTFTアレイ基板を製造できた。

また、半導体膜の一部をi型層とn型層の2層構造にしておくとな型不純物拡散工程を省略できた。

- 5 また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されていると基板からのひずみの影響を少なくできた。

(実施例2-10)

- 次に、上記実施例2-9を用いて作成したTFTアレイ基板を用いて、実際に液晶表示デバイスを製造した場合の製造プロセスについて説明する。
- 10

- まず、実施例2-9と同様の2枚マスクを用いて製造されたTFTアレイ基板、すなわちマトリックス状に載置された第1の電極群221とこの電極を駆動するトランジスタ群22を有する第1のTFTアレイ基板223、および第1、第2の櫛形電極群と対向するように載置したカラーフィルター群224を有するカラーフィルター基板226上に、それぞれ通常の方法でポリイミド樹脂を塗布・硬化シラビングを行い液晶配向膜227を作製した。
- 15

- 次に、前記第1と第2の基板223、226を電極が対向するように位置合わせしてスペーサー228と接着剤229でおおよそ5ミクロンのギャップで配向方向が90度ねじれたセルを作成した。その後、前記第1と第2の基板に前記TN液晶230を注入した後、偏光板231、232をクロスニコルに組み合わせて表示素子を完成した(本図は図21と同様なため省略した)。
- 20

- この様なデバイスは、バックライトを裏面から照射しながら、ビデオ信号を用いて各々のトランジスタを駆動することで映像を表示できた。このとき、視野角は、コントラスト210で、上下左右1
- 25

60°の広視野角が達成できた。

このとき、TFTアレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記TFTアレイ基板の一部をシリカなど保護膜で被う工程を行うと、信頼性の高い液晶表示装置を製造できた。

5 (実施例2-11)

実施例2-8と同様に、予め良く洗浄された透明ガラス基板1を準備し、アンダーコート膜層202としてシリカ(SiO_2)膜を0.4ミクロンCVD法で堆積した。その後ゲート電極及びゲート配線、並びにソース断続配線用のG-S金属膜層203としてAl-Zr
10 (9.7:3)合金をスパッタリング法を用いて200nm程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜層4としてプラズマCVD法を用いて SiN_x 膜を150nmと、半導体膜として不純物を含まないアモルファスシリコン(i型a-Si)膜205を50
15 nm、さらにn型不純物を含むアモルファスシリコン(n+a-Si)膜206を50nm連続で堆積し、通常の方法で第1回目のホトリソグラフィ法用の第1のレジストパターン208を形成した。

その後、n+a-Si膜206、i型a-Si膜205、 SiN_x 膜204、およびAl-Zr膜203を順次エッチングし、ゲート電極203'あるいはゲート配線203"、ソース断続配線209'、
20 ゲート絶縁膜層204'、および半導体膜(205'と206')が積層された第1のパターン210を形成した。

次に、前記ゲート電極203'及びゲート配線203"を硼酸アンモニアを用いpH7付近の電解液中で陽極酸化してパターンの側面に Al_2O_3 を主成分とする絶縁膜211を形成した。

25 さらに、ドレーン領域に接続した第1の櫛形画素金属電極およびソース領域に接続し、切断されたソース断続配線を接続するコンタ

クト金属膜層 207 として、Ti 金属膜をスパッタリング法を用いて 100 nm 程度の膜厚まで蒸着形成した後、金属電極膜としてをスパッタリング法を用いて Al-Zr 膜を 100 nm 程度の膜厚まで蒸着形成した。

- 5 その後、通常の方法で第 1 の櫛形電極パターンを持つ第 2 回目のホトリソグラフィ法用の第 2 のレジストパターンを形成した後、前記透明導電性膜 12、コンタクト電極 7'、及びゲート電極上の n+a-Si 膜 6' の一部を i 型 a-Si 膜に到達するまで順次エッチング除去してソース領域 13 とソース断続配線 209' をコンタクト
- 10 電極 207' と金属電極 14" で接続するとともに、第 1 の櫛形画素金属電極 81 をコンタクト電極金属 7' を介してドレーン領域 16 と接続形成する。

- このとき、予め切断されているソース断続配線は 9"、9'" はゲート配線 3" 上でコンタクト電極金属 7' と金属電極 14" の 2 層構造
- 15 で接続された。

次に、ゾルゲル法を用いて TFT を被うようにシリカ保護膜 17 を 300 nm 印刷・焼成形成し、その後、このシリカ保護膜パターンをマスクに外部駆動回路と接続する部分のゲート電極金属上の i 型 a-Si 膜 5、SiN_x 膜 4 をエッチング除去した。

- 20 最後に、もう一度全面に Al-Zr 合金を 150 nm の膜厚で蒸着形成し、第 2 の櫛形電極パターンを有するホトマスクを用いて第 2 の櫛形画素金属電極 82 を形成し IPS 用透過型液晶表示装置に使用可能な TFT アレイ基板 83 をホトマスク 3 枚で作成できた (図 25)。

- 25 このことにより、少なくともソース断続配線が金属電極とコンタクト電極金属との 2 層構造で接続されているのでソース断続配線抵

抗を小さくできて、画像表示特性に優れた T F T アレイ基板を製造できた。

(実施例 2 - 1 2)

次に、上記実施例 2 - 1 1 を用いて作成した T F T アレイ基板を用いて、実際に液晶表示デバイスを製造した場合の製造プロセスについて説明する。

まず、実施例 2 - 9 と同様の 2 枚マスクを用いて製造された T F T アレイ基板、すなわちマトリックス状に載置された第 1 の電極群 2 2 1 とこの電極を駆動するトランジスタ群 2 2 2 を有する第 1 の T F T アレイ基板 2 2 3、および第 1、第 2 の櫛形電極群と対向するように載置したカラーフィルター群 2 2 4 を有するカラーフィルター基板 2 2 6 上に、それぞれ通常の方法でポリイミド樹脂を塗布・硬化しラビングを行い液晶配向膜 2 2 7 を作製した。

次に、前記第 1 と第 2 の基板 2 2 3、2 2 6 を電極が対向するように位置合わせしてスペーサー 2 2 8 と接着剤 2 2 9 でおよそ 5 ミクロンのギャップで配向方向が 9 0 度ねじれたセルを作成した。その後、前記第 1 と第 2 の基板に前記 T N 液晶 2 3 0 を注入した後、偏光板 2 3 1、2 3 2 をクロスニコルに組み合わせて表示素子を完成した。

この様なデバイスは、バックライトを裏面から照射しながら、ビデオ信号を用いて各々のトランジスタを駆動することで映像を表示できた。このとき、視野角は、コントラスト 1 0 で、上下左右 1 6 0 °の広視野角が達成できた。

このとき、T F T アレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記 T F T アレイ基板の一部をシリカなど保護膜で被う工程を行うと、信頼性の高い液晶表示装置を製造できた (本図

は図 2 1 と同様なため省略した)。

産 業 上 の 利 用 可 能 性

以上説明した通り、本発明によれば、平面交差型の X・Y 配線を有する電気回路基板を極めて生産性よく製造することができる。

- 5 このような電気回路基板は広汎な電子デバイス用途において使用することができる。また、このような電気回路基板を応用した本発明にかかる T F T アレイ基板は、ホトマスク 2 枚で製造することができるので、T F T アレイ基板の製造コストを大幅に低減させることができる。更にこのような T F T アレイ基板を用いることにより、
- 10 液晶表示装置をより安価に提供できるという効果を生む。よって、本発明の産業上の意義は大きい。

請 求 の 範 囲

1 .

絶縁性基板上の同一平面内に同一の導電性金属膜よりそれぞれ形成された、X配線と、前記X配線と交差し交差部分が前記X配線
5 により切断されX配線と離隔されたY断続配線と、を有し、

前記X配線の側面および上面が、絶縁性膜で覆われ、

前記絶縁性膜で覆われたX配線により切断され離隔されたY断続配線同士が、前記絶縁性膜上に形成されたY断続配線接続電極により電氣的に接続されている、

10 ことを特徴とする電気回路基板。

2 .

請求項1の電気回路基板において、

少なくとも前記X配線の側面の絶縁性膜は、前記導電性金属膜が酸化されてなる金属酸化膜である、ことを特徴とする電気回路基板。

15 3 .

請求項2の電気回路基板において、

前記金属酸化膜は、陽極酸化法で形成された陽極酸化膜である、ことを特徴とする電気回路基板。

4 .

20 絶縁性基板上に導電性金属膜層を堆積する第一の工程と、

前記導電性金属膜層をエッチングし、X配線と、前記X配線に交差し交差部分が前記X配線により切断されX配線と離隔されたY断続配線とを同一平面内に同時に形成する第二の工程と、

25 前記第二の工程の後、前記X配線の側面と上面を酸化し、当該側面と上面を絶縁性の金属酸化膜で被覆する第三の工程と、

前記第三の工程の後、少なくとも前記交差部分を覆うように導電

性膜層を堆積し、前記 X 配線により切断され離隔された Y 断続配線同士を電気接続する第四の工程と、

を備えた電気回路基板の製造方法。

5 .

5 請求項 4 の電気回路基板の製造方法において、

前記第二の工程における X 配線の酸化を陽極酸化法で行う、ことを特徴とする電気回路基板の製造方法。

6 .

10 絶縁性基板上に少なくとも導電性金属膜層と絶縁性膜層を順次堆積する第一の工程と、

前記絶縁性膜層と前記導電性金属膜層とを含む層をエッチングし、同一平面内に、X 配線と、前記 X 配線に交差し交差部分において前記 X 配線により切断され X 配線と離隔された Y 断続配線と、を同一平面内に同時に形成する第二の工程と、

15 前記第二の工程の後、前記 X 配線の側面を酸化し、当該側面を絶縁性の金属酸化膜で被覆する第三の工程と、

前記第三の工程の後、少なくとも前記交差部分を覆うように導電性膜層を堆積し、前記 X 配線により切断され離隔された Y 断続配線同士を電気接続する第四の工程と、

20 を備えた電気回路基板の製造方法。

7 .

請求項 6 の電気回路基板の製造方法において、

前記第二の工程における X 配線の側面の酸化を陽極酸化法で行う、ことを特徴とする電気回路基板の製造方法。

25

8 .

基板上に直接またはアンダーコート膜層を介して形成され、かつ側面が絶縁性膜で覆われたゲート電極と、

前記ゲート電極上に積層されたゲート絶縁膜と、

5 前記ゲート絶縁膜上に積層された、ソース領域とドレイン領域と両領域に挟まれたチャネル領域とを有する半導体膜と、

前記半導体膜のソース領域上に積層されたソースコンタクト電極と、

10 前記半導体膜のドレイン領域上に積層されたドレインコンタクト電極と、

前記ドレインコンタクト電極を介して前記半導体膜のドレイン領域に接続された画素電極と、

前記ゲート電極に接続され、側面と上面が絶縁性膜で覆われたゲート配線と、

15 前記ゲート配線と同一平面内に形成され、同一平面内で前記ゲート配線と交差し、当該交差部において前記ゲート配線で切断され隔離された形状のソース断続配線と、

ゲート配線で切断され隔離されたソース断続配線同士を、ゲート配線の上方を経由して電気接続するソース線接続電極と、

20 を有するボトムゲート型TF Tアレイ基板。

9 .

前記画素電極と前記ソース線接続電極とが、同質の透明導電膜材料で構成されている、ことを特徴とするボトムゲート型TF Tアレイ基板。

25 10 .

請求項9のボトムゲート型TF Tアレイ基板において、

前記ソース断続配線は、ソース断続配線、ゲート絶縁膜、半導体膜、コンタクト金属膜、透明導電膜の各膜からなる5層構造のソース断続配線区画パターンの最下層に位置し、

5 前記ゲート配線は、ゲート配線、ゲート絶縁膜、半導体膜、コンタクト金属膜、透明導電膜からなる5層構造のゲート配線区画パターンの最下層に位置し、

かつ前記ソース断続配線と前記ゲート配線とは、前記基板上の同一平面内に存在している、

ことを特徴とするボトムゲート型TFTEアレイ基板。

10 11.

請求項10のボトムゲート型TFTEアレイ基板において、

少なくとも前記ゲート配線の側面の絶縁性膜は、前記導電性金属膜の酸化膜からなる、ことを特徴とするボトムゲート型TFTEアレイ基板。

15 12.

請求項11のボトムゲート型TFTEアレイ基板において、

前記酸化膜は、陽極酸化法で形成された陽極酸化膜である、ことを特徴とするボトムゲート型TFTEアレイ基板。

13.

20 請求項11のボトムゲート型TFTEアレイ基板において、

半導体膜が、i型アモルファスシリコン層とn型アモルファスシリコン層の2層構造である、ことを特徴とするボトムゲート型TFTEアレイ基板。

14.

25 請求項9のボトムゲート型TFTEアレイ基板において、

前記透明導電膜材料に代えて、光反射性の導電膜材料が用いられ

ている、ことを特徴とするボトムゲート型TFTアレ基板。
15

少なくとも絶縁性基板表面に、ゲート電極とゲート配線とソース
断続配線とを形成するためのG-S金属膜層と、ゲート絶縁膜層と、
5 半導体膜層と、コンタクト金属膜層とを順次堆積する(A)工程と、

前記(A)工程の後、第1のレジストパターンを用いたフォトリソグ
ラフィ法で、前記各層を前記絶縁性基板表面に達するまでエッチン
グし、ゲート電極とこの上に順次積層されたゲート金属膜とゲート
絶縁膜と半導体膜とコンタクト金属膜を含むゲート電極区画パター
10 ンと、前記ゲート電極に接続されたゲート配線とこの上に順次積層
されたゲート金属膜とゲート絶縁膜と半導体膜とコンタクト金属膜
を含むゲート配線区画パターンと、前記ゲート配線との交差部で切
断され隔離されたソース断続線とこの上に順次積層されたゲート金
属膜とゲート絶縁膜と半導体膜とコンタクト金属膜を含むソース断
15 続線区画パターンと、を形成する(B)工程と、

前記(B)工程の後、ゲート電極区画パターン上のコンタクト金
属膜部分を前記半導体膜面に到達するまでエッチングして前記半導
体膜上に、前記ゲート電極およびゲート配線の側面を酸化して電気
絶縁性の金属酸化膜を生成させる(C)工程と、

20 前記(C)工程の後、前記コンタクト金属膜の上から基板全面に
透明導電膜層を堆積し、少なくとも前記ソース断続配線相互が導電
膜を介して電氣的に接続されるようにする(E)工程と、

前記(E)工程の後、第2のレジストパターンを用いたフォトリ
ソグラフィ法で、前記透明導電膜層を所定のパターンにエッチング
25 し画素電極を形成するとともに、更にこのエッチングにより露出さ
せたチャネル領域を形成する(F)工程と、

WO 01/18774

を備えたボトムゲート型 T F T アレイ基板の製造方法。

16.

請求項 15 のボトムゲート型 T F T アレイ基板の製造方法において、

- 5 前記ゲート配線の側面の酸化を陽極酸化法で行う、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

17.

請求項 15 のボトムゲート型 T F T アレイ基板の製造方法において、

- 10 前記半導体膜層が、n 型アモルファスシリコン層と i 型アモルファスシリコン層との 2 層構造であり、前記 (F) 工程におけるゲート電極区画パターン上のコンタクト金属膜部分のエッチングが、コンタクト金属膜の一部とこれに続く n 型アモルファスシリコン層の一部分を i 型アモルファスシリコン層に到達するまで行うエッチングである、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。
- 15

18.

請求項 15 のボトムゲート型 T F T アレイ基板の製造方法において、

- 20 前記 (E) 工程における前記透明導電膜層に代えて、光反射性の導電膜層を積層する、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

19.

- 25 基板上に直接またはアンダーコート膜層を介して形成され、かつ側面が絶縁性膜で覆われたゲート電極と、前記ゲート電極上に積層されたゲート絶縁膜と、前記ゲート絶縁膜上に積層された、ソース

- 領域とドレイン領域と両領域に挟まれたチャネル領域とを有する半
導体膜と、前記半導体膜のソース領域上に積層されたソースコンタ
クト電極と、前記半導体膜のドレイン領域上に積層されたドレイン
コンタクト電極と、前記ドレインコンタクト電極を介して前記半導
5 体膜のドレイン領域に接続された画素電極と、前記ゲート電極に接
続され、側面と上面が絶縁性膜で覆われたゲート配線と、前記ゲ
ート配線と同一平面内に形成され、同一平面内で前記ゲート配線と交
差し、当該交差部において前記ゲート配線で切断され離隔された形
状のソース断続配線と、
- 10 ゲート配線で切断されたソース断続配線同士を、ゲート配線の上方
を經由して電気接続するソース線接続電極と、を有するボトムゲ
ート型TFTアレイ基板と、
- 対向基板と、をTFTの形成された面を内側にして所定のギャッ
プで対向させ、当該ギャップの間に液晶を保持させた液晶表示装
15 置。
- 20 .
- 請求項19の液晶表示装置において、
- TFTアレイ基板の表面が保護膜で保護されている、ことを特徴
とする液晶表示装置。
- 20 21 .
- 請求項20の液晶表示装置において、
- 前記保護膜が、シリカ膜または窒化珪素膜である、ことを特徴と
する液晶表示装置。
- 22 .
- 25 請求項19の液晶表示装置において、
- 前記画素電極が、透明金属膜で構成されている、ことを特徴とす

る液晶表示装置。

23.

請求項19の液晶表示装置において、

前記画素電極が、光反射性金属膜で構成されている、ことを特徴

5 とする液晶表示装置。

24.

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と反射画
素金属電極群を備えたボトムゲート型TFTアレイ基板であって、

10 少なくともゲート電極およびゲート配線の側面が酸化されており、
反射画素金属電極がコンタクト金属電極と他の金属電極膜との2層
構造でありコンタクト金属電極を介してTFTのドレーン領域に接
続されており、ソース断続配線がコンタクト金属電極および金属電
極の2層を介してTFTのソース領域に接続されていることを特徴
とするボトムゲート型TFTアレイ基板。

15 25.

請求項24のボトムゲート型TFTアレイ基板において、

反射画素金属電極群がアルミニウムまたはアルミニウム系の合金
である、ことを特徴とするボトムゲート型TFTアレイ基板。

26.

20 請求項24のボトムゲート型TFTアレイ基板において、

ソース断続配線の一部がコンタクト電極金属膜とアルミニウム系
の金属電極膜の2層構造となっている、ことを特徴とするボトムゲ
ート型TFTアレイ基板。

27.

25 請求項24のボトムゲート型TFTアレイ基板において、

ゲート電極金属とコンタクト金属電極との間にゲート絶縁膜と半

導体膜が形成されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

28.

請求項 24 のボトムゲート型 T F T アレイ基板において、

- 5 ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト金属電極および金属電極の 2 層を介して交差接続されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

29.

請求項 24 のボトムゲート型 T F T アレイ基板において、

- 10 半導体膜の一部が i 型層と n + 型層の 2 層構造である、ことを特徴とするボトムゲート型 T F T アレイ基板。

30.

請求項 24 のボトムゲート型 T F T アレイ基板において、

- 15 絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

31.

- 少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第 1 のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第 2 のパターンでエッチングする工程と、を含むことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。
- 20
- 25

3 2 .

請求項 3 1 のボトムゲート型 T F T アレイ基板の製造方法において、

5 金属電極膜としてアルミニウムまたはアルミニウム系の合金膜を形成する、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

3 3 .

請求項 3 1 のボトムゲート型 T F T アレイ基板の製造方法において、

10 絶縁性基板表面とゲート配線金属膜の間にシリカ系のアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

3 4 .

15 請求項 3 1 のボトムゲート型 T F T アレイ基板の製造方法において、

少なくともゲート配線金属膜としてアルミニウム系の合金膜を形成する、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

3 5 .

20 請求項 3 1 のボトムゲート型 T F T アレイ基板の製造方法において、

酸化する工程に中性溶液中で陽極酸化法を用いる、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

3 6 .

25 少なくともゲート電極およびゲート配線側面が酸化されており、反射面素金属電極がコンタクト金属電極と他の金属電極膜との 2 層

構造でありコンタクト金属電極を介してTFTのドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および金属電極の2層を介してTFTのソース領域に接続されているボトムゲート型TFTアレイ基板のアレイ側と対向透明電極が形成されたカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜を介して液晶が挟まれている、ことを特徴とする液晶表示装置。

37.

請求項36の液晶表示装置において、

10 少なくともTFTアレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

38.

請求項37の液晶表示装置において、

保護膜が無機物である、ことを特徴とする液晶表示装置。

15 39.

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第1のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第2のパターンでエッチングする工程とによりボトムゲート型TFTアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、対向透明電極が形成されカラーフィルター基板の対向電極側表面に配向膜を形成する工程と前記2つの配向膜をそれぞれ

WO 01/18774

れ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第1と第2の基板の間に所定の液晶を注入する工程と、を含むことを特徴とした液晶表示装置の製造方法。

40.

5 請求項39の液晶表示装置の製造方法において、

ボトムゲート型TFTアレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記TFTアレイの一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

41.

10 請求項39の液晶表示装置の製造方法において、

金属電極およびコンタクト金属電極が同一材質で一層で形成されている、ことを特徴とする液晶表示装置の製造方法。

42.

15 ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画素金属電極群を備えたTFTアレイ基板であって、

少なくともゲート電極およびゲート配線側面および第1の櫛形画素電極側面が酸化されており、第2の櫛形画素金属電極がコンタクト電極金属を介してTFTのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してTFTの
20 ソース領域に接続されていることを特徴とするボトムゲート型TFTアレイ基板。

43.

請求項42のボトムゲート型TFTアレイ基板において

ゲート電極側面および第1の櫛形画素電極側面の酸化膜が陽極酸化膜である、ことを特徴とするボトムゲート型TFTアレイ基板。
25

4 4 .

請求項 4 2 のボトムゲート型 T F T アレイ基板において

ソース断続配線の一部および第 1 の櫛形画素電極がゲート配線金属膜と半導体膜とコンタクト電極金属膜と金属電極膜の 5 層構造と
5 になっている、ことを特徴とするボトムゲート型 T F T アレイ基板。

4 5 .

請求項 4 2 のボトムゲート型 T F T アレイ基板において

半導体膜と櫛形電極の接続にコンタクト電極金属が形成されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

10 4 6 .

請求項 4 2 のボトムゲート型 T F T アレイ基板において

ソース断続配線がゲート配線および第 1 の櫛形電極により切断されておりゲート配線および第 1 の櫛形電極上でコンタクト電極金属と金属電極を介して交差接続されている、ことを特徴とするボトム
15 ゲート型 T F T アレイ基板。

4 7 .

請求項 4 2 のボトムゲート型 T F T アレイ基板において

半導体膜の一部が i 型層と n 型層の 2 層構造である、ことを特徴とするボトムゲート型 T F T アレイ基板。

20 4 8 .

請求項 4.2 のボトムゲート型 T F T アレイ基板において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

4 9 .

25 少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグ

ラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第1のパターンで順次エッチングする工程と、ゲート配線及びゲート電極及び第1の櫛形画素電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第2のパターンで順次エッチングする工程とを含むことを特徴とするボトムゲート型TFTアレ

5 イ基板の製造方法。

50 .

10 請求項49のボトムゲート型TFTアレイ基板の製造方法において

ゲート配線及びゲート電極及び第1の櫛形画素電極となる部分を同時にエッチングする、ことを特徴とするボトムゲート型TFTアレイ基板の製造方法。

15 51 .

請求項49のボトムゲート型TFTアレイ基板の製造方法において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型TFTアレイ

20 基板の製造方法。

52 .

請求項49のボトムゲート型TFTアレイ基板の製造方法において

少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成する、ことを特徴とするボトムゲート型TFTアレイ基板の

25 製造方法。

5 3 .

請求項 4 9 のボトムゲート型 T F T アレイ基板の製造方法において

酸化する工程に陽極酸化法を用いる、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

5 4 .

少なくともゲート電極およびゲート配線側面および第 1 の櫛形電極側面が酸化されており、第 2 の櫛形画素金属電極がコンタクト電極金属を介して T F T のドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介して T F T のソース領域に接続されているボトムゲート型 T F T アレイ基板基板の電極側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜として液晶が挟まれている、ことを特徴とする液晶表示装置。

15 5 5 .

請求項 5 4 の液晶表示装置において

少なくとも T F T アレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

5 6 .

20 請求項 5 5 の液晶表示装置において

保護膜が無機物である、ことを特徴とする液晶表示装置。

5 7 .

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第 1 のパターンで順次エッチングする

工程と、ゲート配線及びゲート電極及び第1の櫛形画素電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第2のパターンで順次エッチングする工程とによりボトムゲート型TFTアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板の表面に配向膜を形成する工程と前記2つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第1と第2の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

5 8 .

請求項57の液晶表示装置の製造方法において

ボトムゲート型TFTアレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記TFTアレイの一部を保護膜で被う工程と、この保護膜をマスクに、金属電極膜とコンタクト電極金属膜と半導体膜とゲート絶縁膜とをエッチングしてゲート配線端子を露出させる工程を含む、ことを特徴とする液晶表示装置の製造方法。

5 9 .

請求項58の液晶表示装置の製造方法において

ボトムゲート型TFTアレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記TFTアレイの一部を保護膜で被い、この保護膜をマスクにエッチングしてゲート配線端子を露出させると、保護膜として、シリカ膜またはチッ化珪素膜を形成する、ことを特徴とする液晶表示装置の製造方法。

25 6 0 .

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画

素金属電極群を備えたTFTアレ基板であって、

少なくともゲート電極およびゲート配線側面が酸化されており、
櫛形反射画素金属電極がコンタクト金属電極と他の金属電極膜との
2層構造でありコンタクト金属電極を介してTFTのドレーン領域
5 に接続されており、ソース断続配線がコンタクト金属電極および金
属電極の2層を介してTFTのソース領域に接続されている、こと
を特徴とするボトムゲート型TFTアレ基板。

61.

請求項60のボトムゲート型TFTアレ基板において
10 ゲート電極にアルミニウム系の金属を用い、側面の絶縁膜が陽極
酸化膜である、ことを特徴とするボトムゲート型TFTアレ基板。

62.

請求項60のボトムゲート型TFTアレ基板において
ソース断続配線の一部がゲート配線金属膜とゲート絶縁膜と半導
15 体膜とコンタクト電極金属膜と金属電極膜の5層構造となっている、
ことを特徴とするボトムゲート型TFTアレ基板。

63.

請求項60のボトムゲート型TFTアレ基板において
ソース電極および櫛形電極と半導体膜の間にコンタクト金属電極
20 を形成しておく、ことを特徴とするボトムゲート型TFTアレ基
板。

64.

請求項60のボトムゲート型TFTアレ基板において
ソース断続配線がゲート配線により切断されておりゲート配線上
25 でコンタクト金属電極および金属電極の2層を介して交差接続され
ている、ことを特徴とするボトムゲート型TFTアレ基板。

6 5 .

請求項 6 0 のボトムゲート型 T F T アレイ基板において

半導体膜の一部が i 型層と n 型層の 2 層構造である、ことを特徴とするボトムゲート型 T F T アレイ基板。

5 6 6 .

請求項 6 0 のボトムゲート型 T F T アレイ基板において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

6 7 .

- 10 少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第 1 のパターンで順次エッチングする工程と、ゲート配線及びゲート電極および第 1 の梯形電極となる部分のゲート配線金属膜パターンの側面を酸化する
- 15 工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第 2 のパターンでエッチングする工程を含む、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。

20 6 8 .

請求項 6 7 のボトムゲート型 T F T アレイ基板の製造方法において

半導体膜が i 型層と n 型層の 2 層構造であり、n 型層の一部を i 型層に達するまでエッチングする、ことを特徴とするボトムゲート

25 型 T F T アレイ基板の製造方法。

6 9 .

請求項 6 7 のボトムゲート型 T F T アレイ基板の製造方法において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型 T F T アレイ
5 基板の製造方法。

7 0 .

請求項 6 7 のボトムゲート型 T F T アレイ基板の製造方法において

少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成する、ことを特徴とするボトムゲート型 T F T アレイ基板の
10 製造方法。

7 1 .

請求項 6 7 のボトムゲート型 T F T アレイ基板の製造方法において

酸化する工程に陽極酸化法を用いる、ことを特徴とするボトムゲート型 T F T アレイ基板の製造方法。
15

7 2 .

少なくともゲート電極およびゲート配線側面が酸化されており、第 1 の櫛形画素金属電極がコンタクト金属電極と他の金属電極膜との 2 層構造でありコンタクト金属電極を介して T F T のドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および金属電極の 2 層を介して T F T のソース領域に接続されているボトムゲート型 T F T アレイ基板のアレイ側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わ
20 わされており、前記間隙に配向膜を介して液晶が挟まれている、ことを特徴とする液晶表示装置。
25

7 3 .

請求項 7 2 の液晶表示装置において

少なくとも T F T アレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

5 7 4 .

請求項 7 2 の液晶表示装置において

保護膜が無機物である、ことを特徴とする液晶表示装置。

7 5 .

10 少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第 1 のパターンで順次エッチングする工程と、ゲート配線及びゲート電極および第 1 の櫛形電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程
15 と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第 2 のパターンでエッチングする工程とによりボトムゲート型 T F T アレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板の対向電極側表面に配向膜を形成する工程と前記 2 つの配向膜をそれぞれ
20 内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第 1 と第 2 の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

7 6 .

請求項 7 5 の液晶表示装置の製造方法において

25 ボトムゲート型 T F T アレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記 T F T アレイの一部を保護膜で被う工程を

含む、ことを特徴とする液晶表示装置の製造方法。

77.

請求項75の液晶表示装置の製造方法において

金属電極およびコンタクト金属電極が同一材質で一層で形成されている、ことを特徴とする液晶表示装置の製造方法。

78.

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画素電極群を備えたTFTアレイ基板であって、

少なくともゲート電極およびゲート配線側面が酸化されており、
第1の櫛形画素極がコンタクト電極金属を介してTFTのドレイン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してTFTのソース領域に接続されており、さらに絶縁膜を介して第2の櫛形の対向電極が形成されている、ことを特徴とするボトムゲート型TFTアレイ基板。

15 79.

請求項78のボトムゲート型TFTアレイ基板において

ゲート電極側面の酸化膜が陽極酸化膜である、ことを特徴とするボトムゲート型TFTアレイ基板。

80.

20 請求項78のボトムゲート型TFTアレイ基板において

ソース断続配線の一部がゲート配線金属膜と半導体膜とコンタクト電極金属膜と金属電極膜の5層構造となっている、ことを特徴とするボトムゲート型TFTアレイ基板。

81.

25 請求項78のボトムゲート型TFTアレイ基板において

半導体膜とソース及びドレイン電極の間にコンタクト電極金属が

形成されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

8 2 .

請求項 7 8 のボトムゲート型 T F T アレイ基板において

- 5 ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト電極金属と金属電極を介して交差接続されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

8 3 .

請求項 7 8 のボトムゲート型 T F T アレイ基板において

- 10 半導体膜の一部が i 型層と n 型層の 2 層構造である、ことを特徴とするボトムゲート型 T F T アレイ基板。

8 4 .

請求項 7 8 のボトムゲート型 T F T アレイ基板において

- 15 絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されている、ことを特徴とするボトムゲート型 T F T アレイ基板。

8 5 .

- 少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第 1 のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第 2 のパターンで順次エッチングする工程と、さらに、
20 絶縁膜を介して第 2 の櫛形対向電極を第 3 のパターンで形成する工程を含む、ことを特徴とするボトムゲート型 T F T アレイ基板の製
- 25

造方法。

86.

請求項85のボトムゲート型TF Tアレイ基板の製造方法において

- 5 半導体膜がi型層とn型層の2層構造であり、n型層の一部をエッチングする、ことを特徴とするボトムゲート型TF Tアレイ基板の製造方法。

87.

10 請求項85のボトムゲート型TF Tアレイ基板の製造方法において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型TF Tアレイ基板の製造方法。

88.

15 請求項85のボトムゲート型TF Tアレイ基板の製造方法において

少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成する、ことを特徴とするボトムゲート型TF Tアレイ基板の製造方法。

20 89.

請求項85のボトムゲート型TF Tアレイ基板の製造方法において

酸化する工程に陽極酸化法を用いる、ことを特徴とするボトムゲート型TF Tアレイ基板の製造方法。

25 90.

少なくともゲート電極およびゲート配線側面が酸化されており、

第 1 の 櫛 形 画 素 金 属 電 極 が コ ン タ ク ト 電 極 金 属 を 介 し て T F T の ド
レーン領域に接続されており、ソース断続配線がコンタクト電極金
属および金属電極を介してTFTのソース領域に接続されており、
さらに絶縁膜を介して第 2 の 櫛 形 の 対 向 電 極 が 形 成 さ れ て い る ボ ト
ムゲート型TFTアレイ基板の電極側とカラーフィルター基板のカ
ラーフィルター側が対向するように所定の間隙を保ちつつ張り合わ
されており、前記間隙に配向膜として液晶が挟まれている、ことを
5 特徴とする液晶表示装置。

9 1 .

10 請求項 9 0 の 液 晶 表 示 装 置 に お い て

少なくともTFTアレイの一部が保護膜で被われている、ことを
特徴とする液晶表示装置。

9 2 .

請求項 9 1 の 液 晶 表 示 装 置 に お い て

15 保護膜が無機物である、ことを特徴とする液晶表示装置。

9 3 .

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と
半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグ
ラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶
縁膜とゲート配線金属膜とを第 1 の パターンで順次エッチングする
20 工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの
側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソ
グラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導
体膜の一部を第 2 の パターンで順次エッチングする工程と、保護膜
25 を介して第 2 の 櫛 形 の 対 向 電 極 を 第 3 の パターンで形成する工程と
によりボトムゲートTFTアレイ基板を製造する工程と、さらにそ

の上に配向膜を形成する工程と、カラーフィルター基板のカラーフィルター側表面に配向膜を形成する工程と前記2つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第1と第2の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

94.

請求項93の液晶表示装置の製造方法において

第2の楕形対向電極形成後、少なくとも前記第2の楕形対向電極の一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

95.

請求項93の液晶表示装置の製造方法において

保護膜として、シリカ膜またはチッ化珪素膜を形成する、ことを特徴とする液晶表示装置の製造方法。

15 96.

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と楕形画素電極群を備えたTFTアレイ基板であって、

少なくともゲート電極およびゲート配線側面が酸化されており、第1の楕形画素金属電極がコンタクト電極金属との2層構造でTFTのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してTFTのソース領域に接続されており、さらに絶縁膜を介して第2の楕形の対向電極が形成されている、ことを特徴とするボトムゲート型TFTアレイ基板。

97.

25 請求項96のボトムゲート型TFTアレイ基板において

少なくともソース断続配線が金属電極とコンタクト電極金属との

2層構造で接続されている、ことを特徴とするボトムゲート型TFT
Tアレイ基板。

98.

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と
5 半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半
導体膜とゲート絶縁膜とゲート配線金属膜とを第1のパターンで順
次エッチングする工程と、ゲート配線及びゲート電極となる部分の
金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜と
金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記
10 金属電極膜とコンタクト電極金属膜と半導体膜の一部を第2のパ
ターンで順次エッチングする工程と、さらに、絶縁膜を介して第2の
櫛形対向電極を第3のパターンで形成する工程を含む、ことを特徴
とするボトムゲート型TFTアレイ基板の製造方法。

99.

15 少なくともゲート電極およびゲート配線側面が酸化されており、
第1の櫛形画素極がコンタクト電極金属と2層構造でTFTのドレ
ーン領域に接続されており、ソース断続配線がコンタクト電極金属
および金属電極を介してTFTのソース領域に接続されており、さ
らに絶縁膜を介して第2の櫛形の対向電極が形成されているボトム
20 ゲート型TFTアレイ基板の電極側とカラーフィルター基板のカラ
ーフィルター側が対向するように所定の間隙を保ちつつ張り合わさ
れており、前記間隙に配向膜として液晶が挟まれている、ことを特
徴とする液晶表示装置。

100.

25 少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と
半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半

導体膜とゲート絶縁膜とゲート配線金属膜とを第1のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜と金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記

5 金属電極膜とコンタクト電極金属膜と半導体膜の一部を第2のパターンで順次エッチングする工程と、さらに、絶縁膜を介して第2の櫛形対向電極を第3のパターンで形成する工程とによりボトムゲートTF-Tアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板のカラーフィルター側表面に

10 配向膜を形成する工程と前記2つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第1と第2の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

101.

15 請求項100の液晶表示装置の製造方法において

少なくとも前記第2の櫛形対向電極の一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

図 1

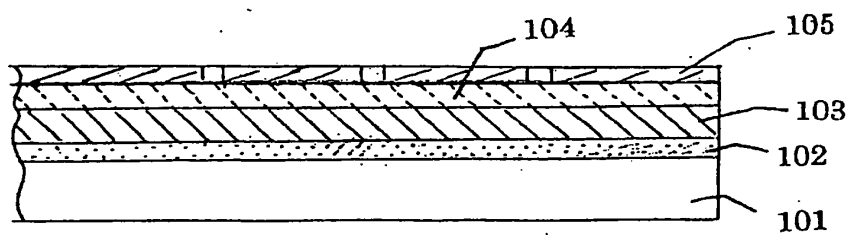


図 2

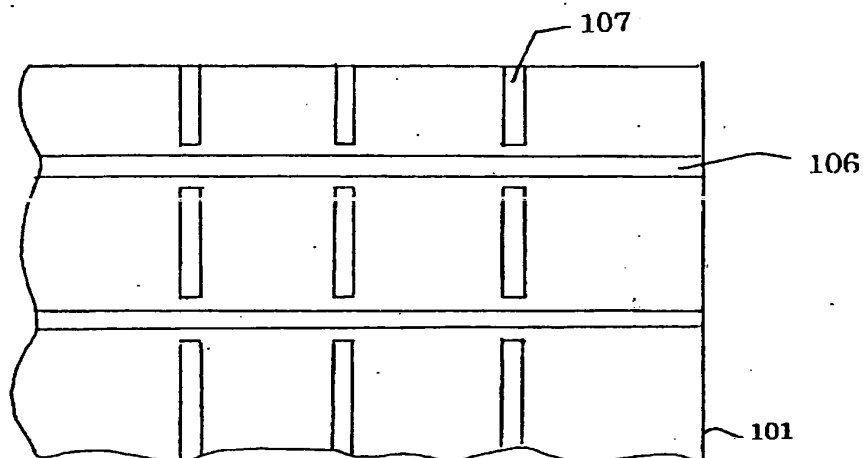


図 3

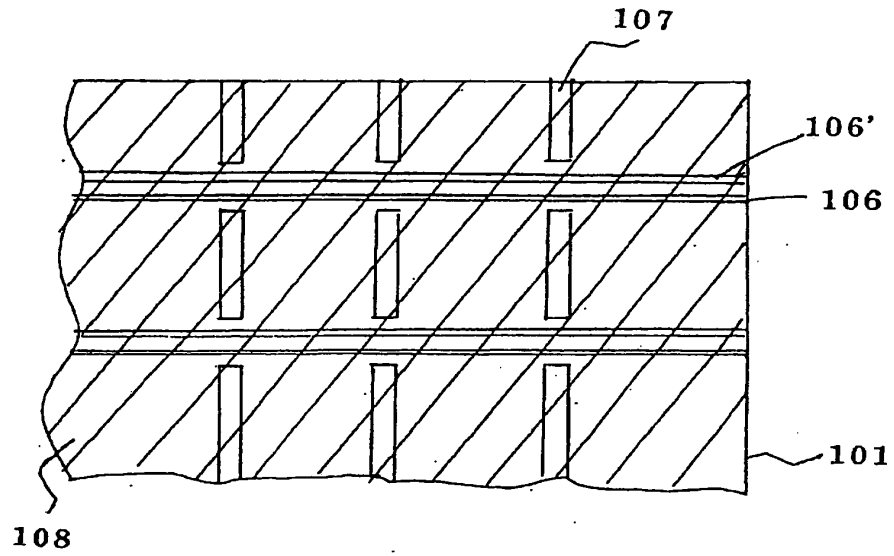


図 4

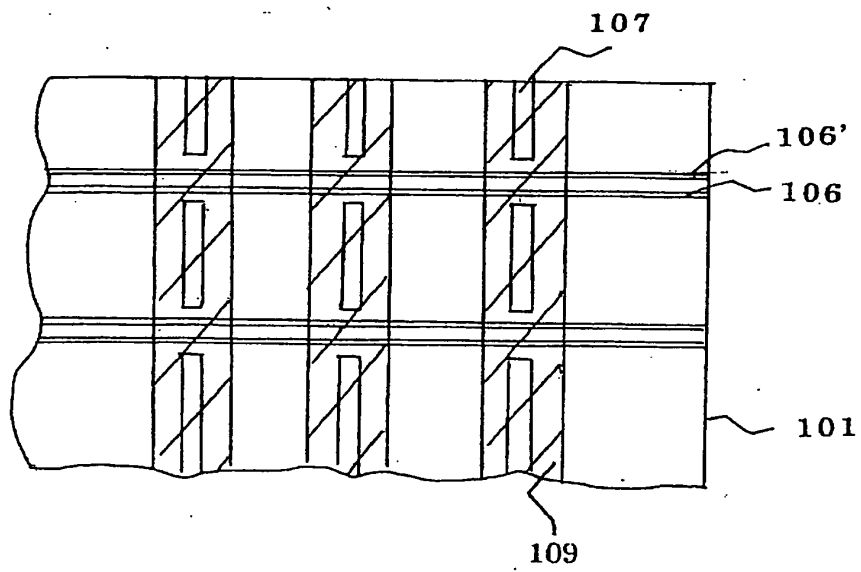


図 5

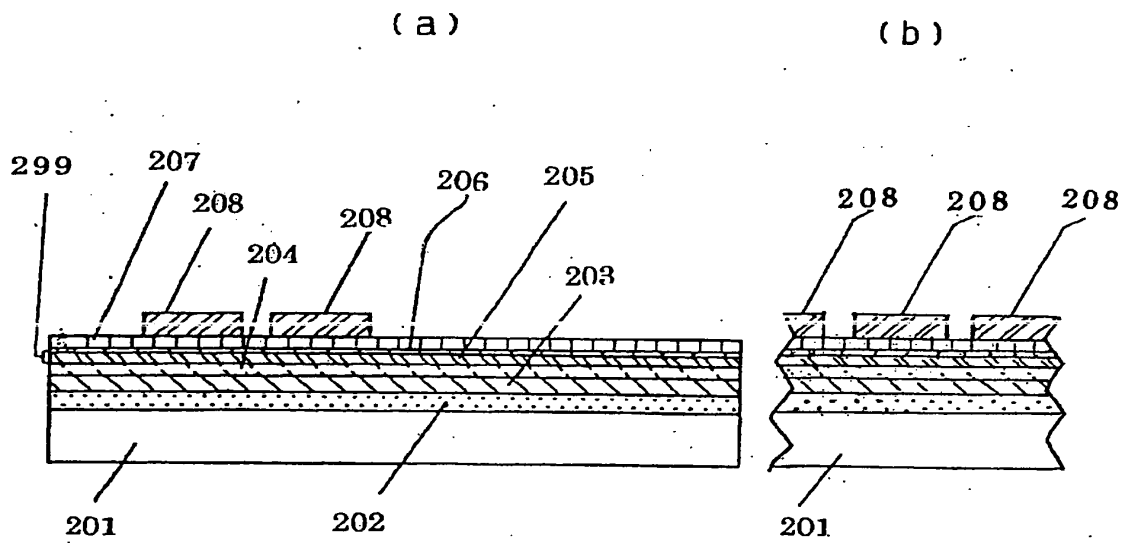


図 6

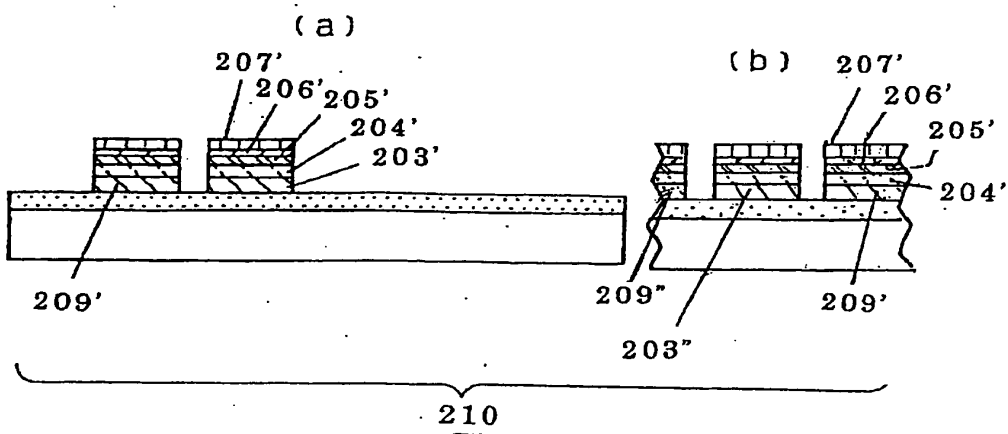


図 7

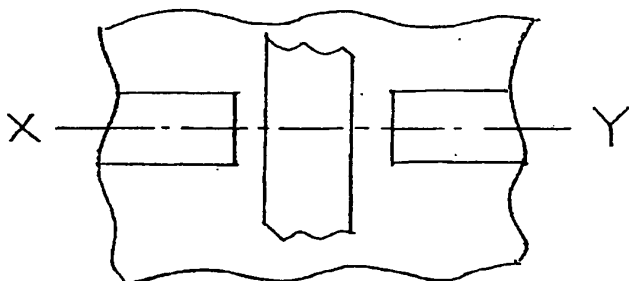


図 8

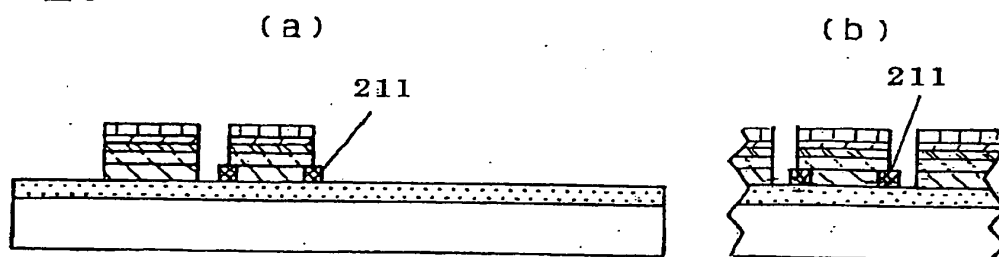


図 9

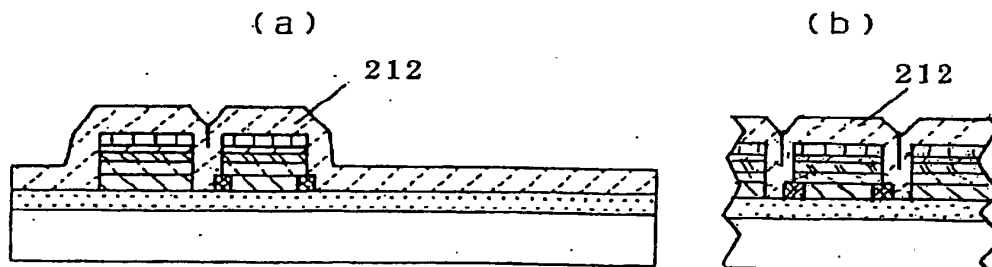


図 10

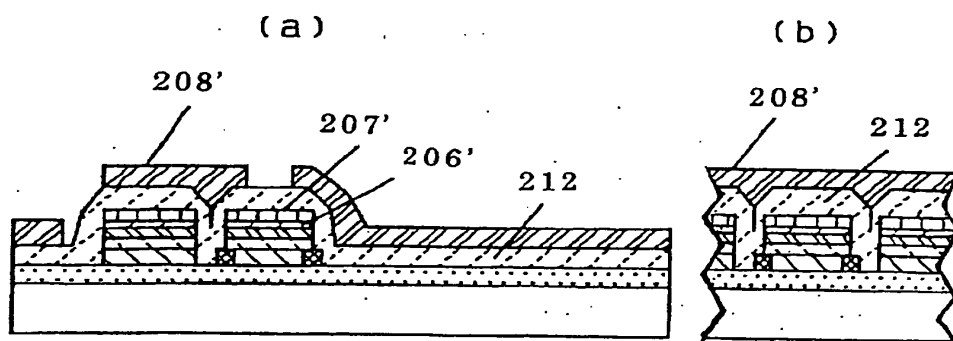


図 11

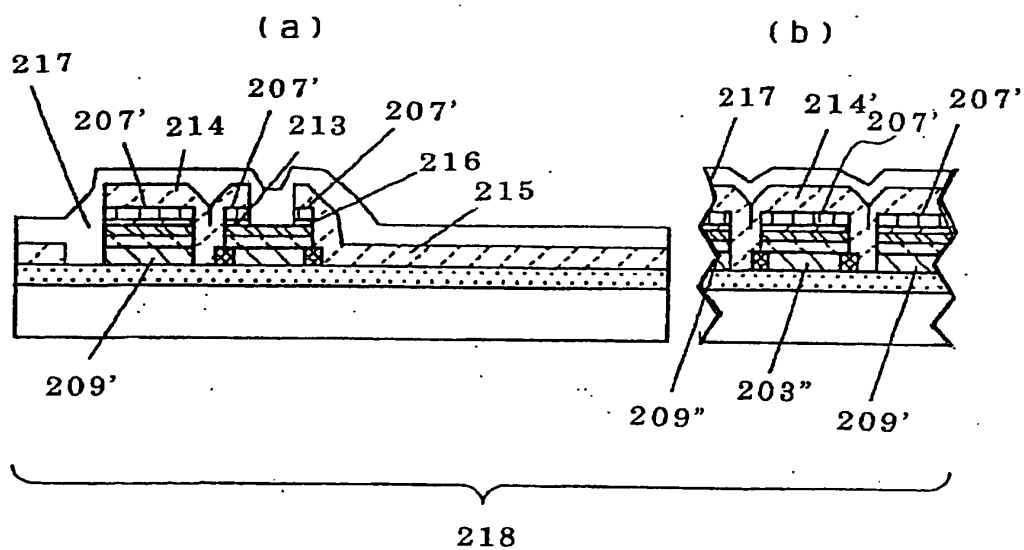


图 12

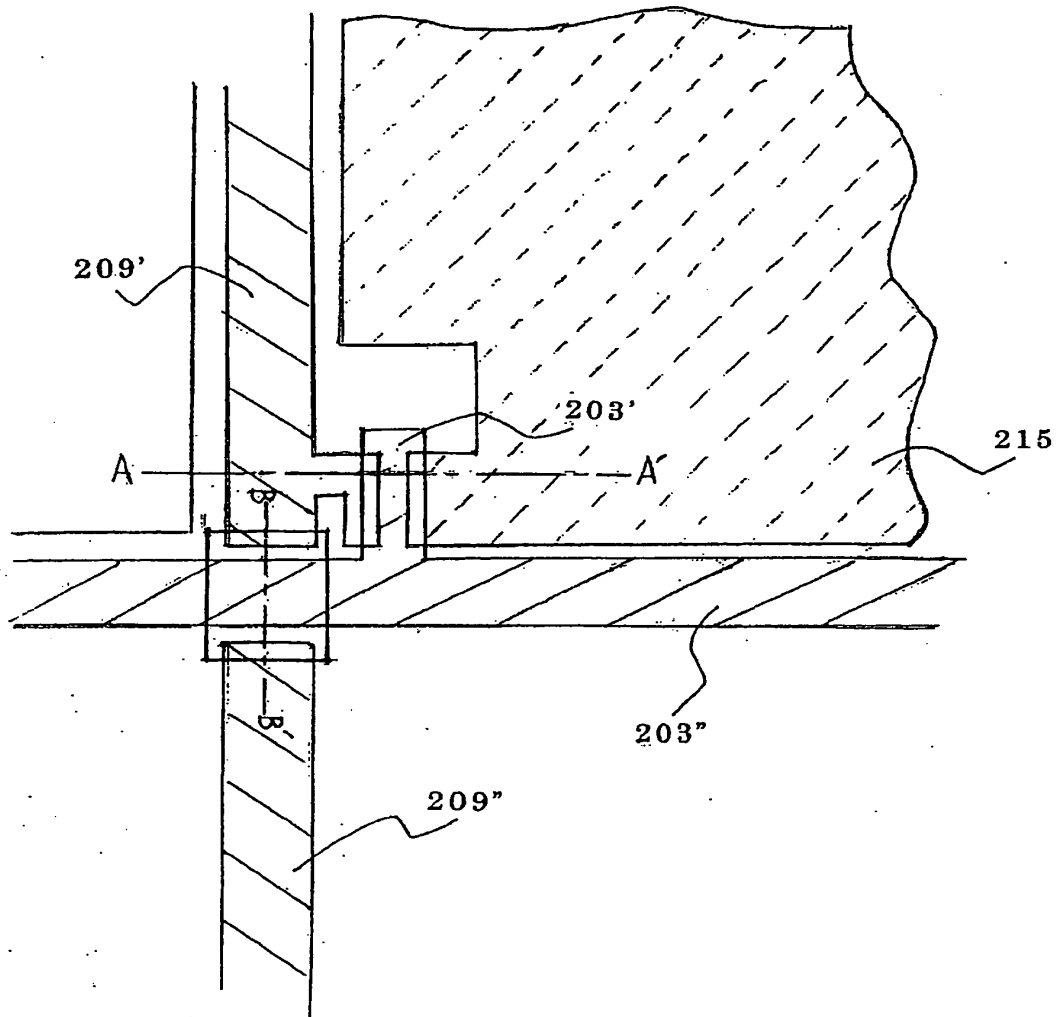


図 1 3

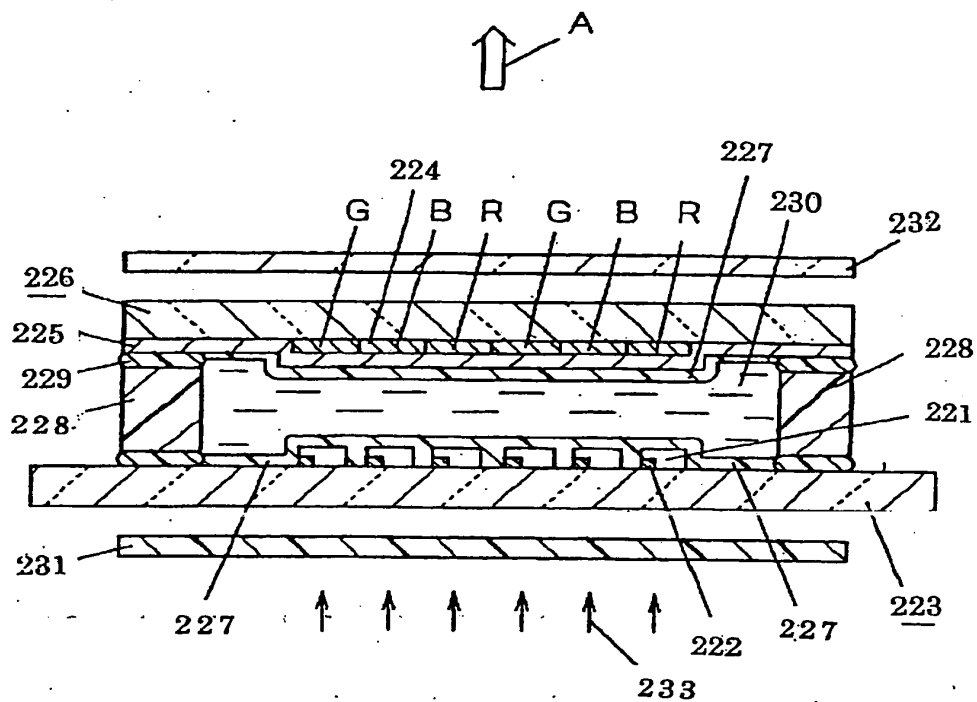


図 1 4

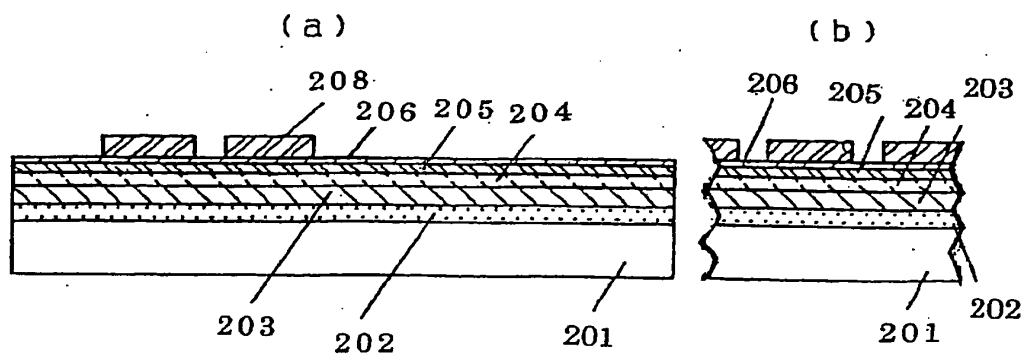


図 15

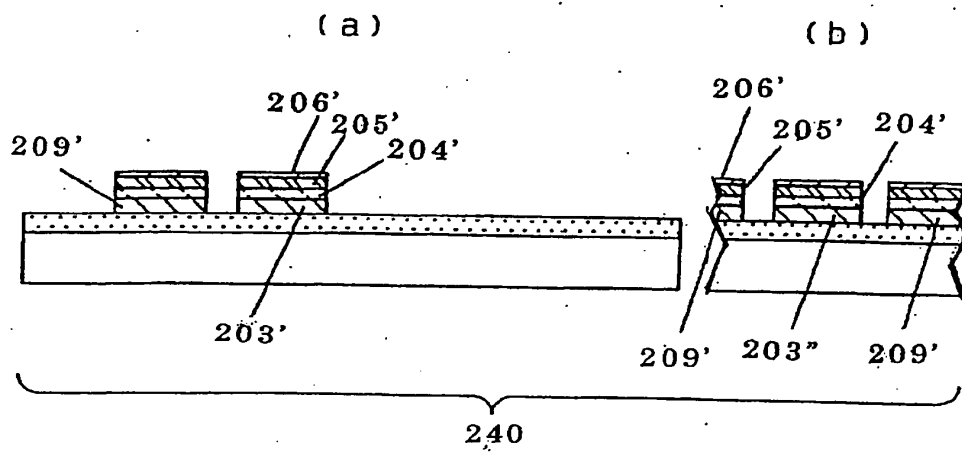


図 16

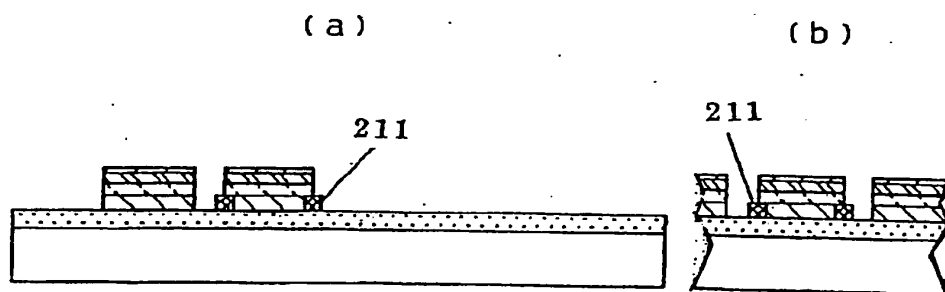


図 17

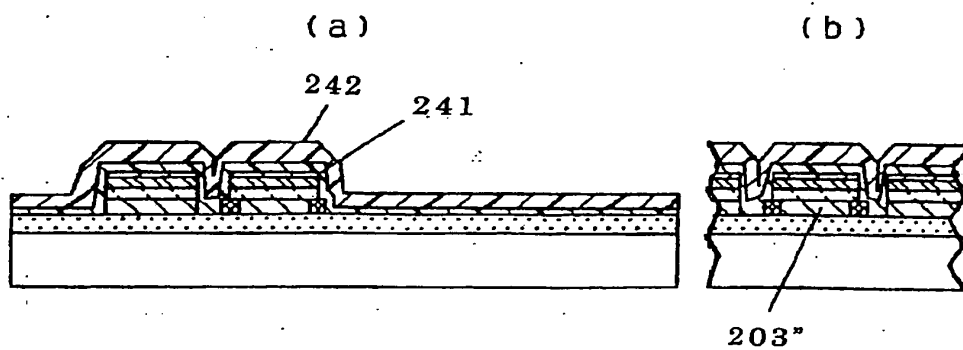


図 18

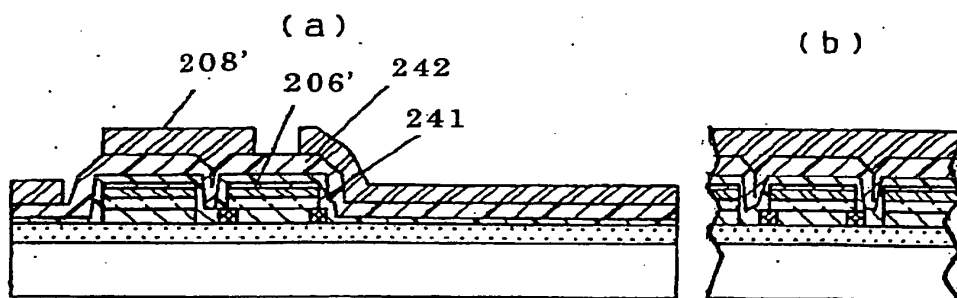


図 19

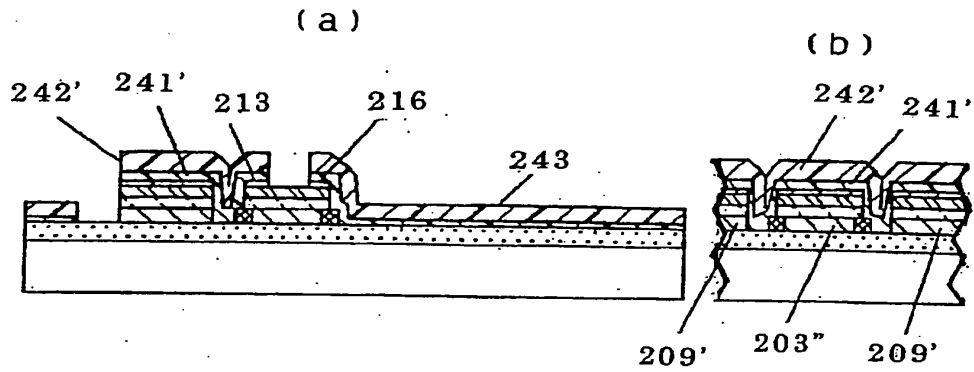


図 20

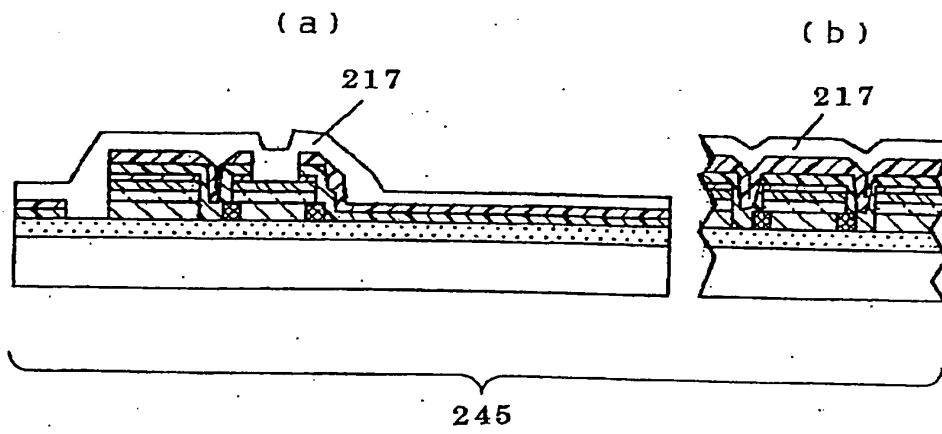


図 21

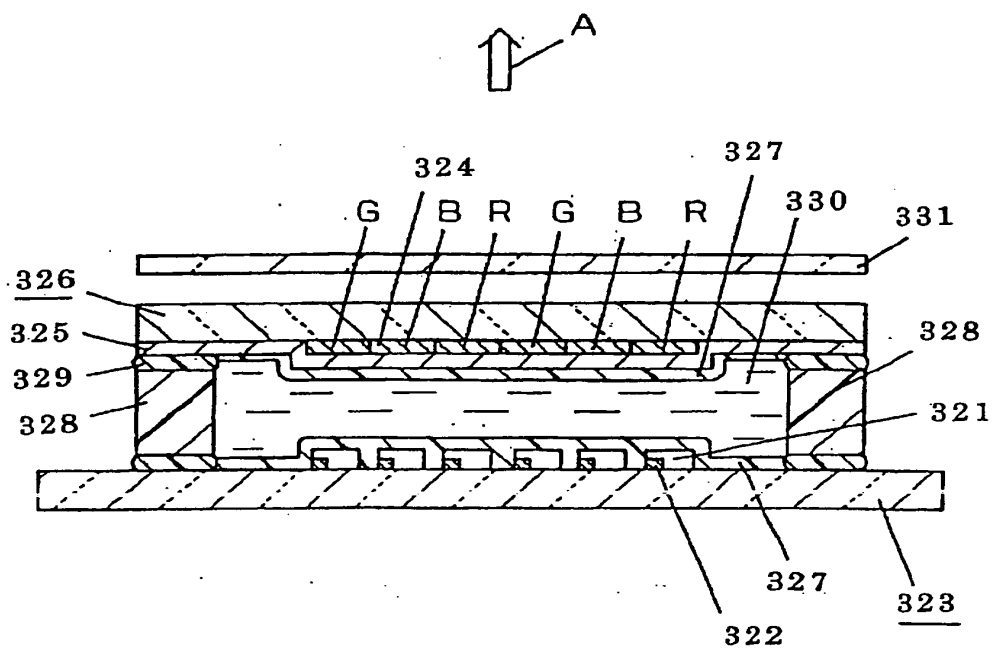


図 22

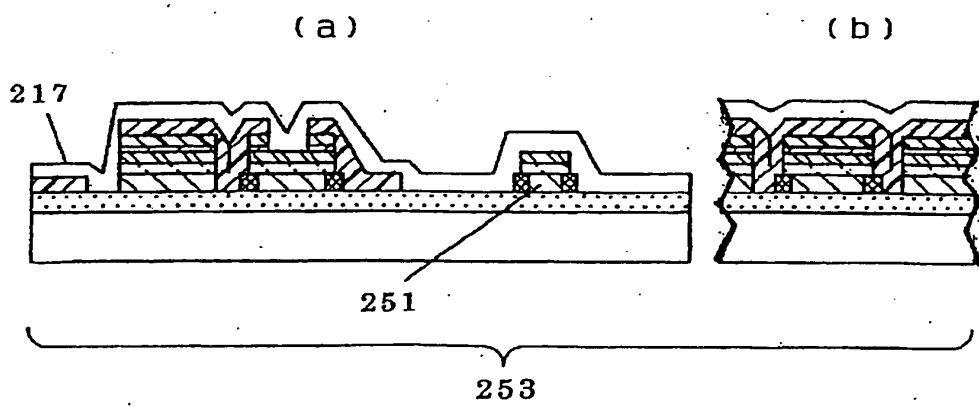


図 23

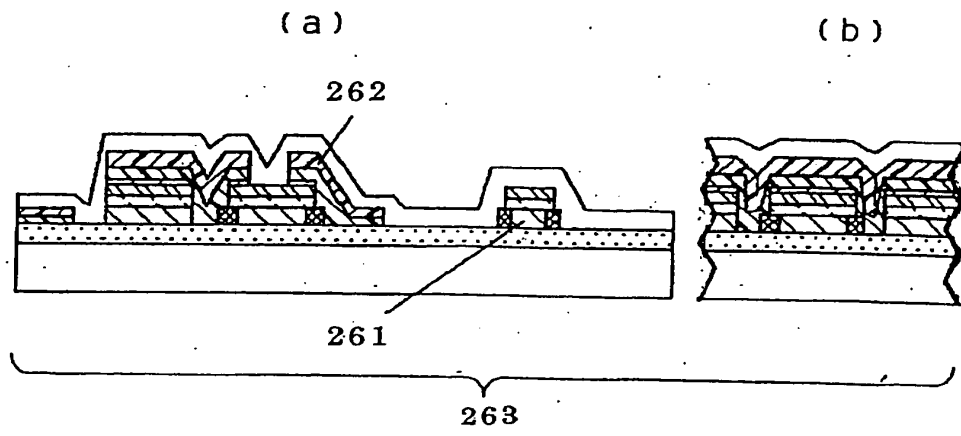


図 24

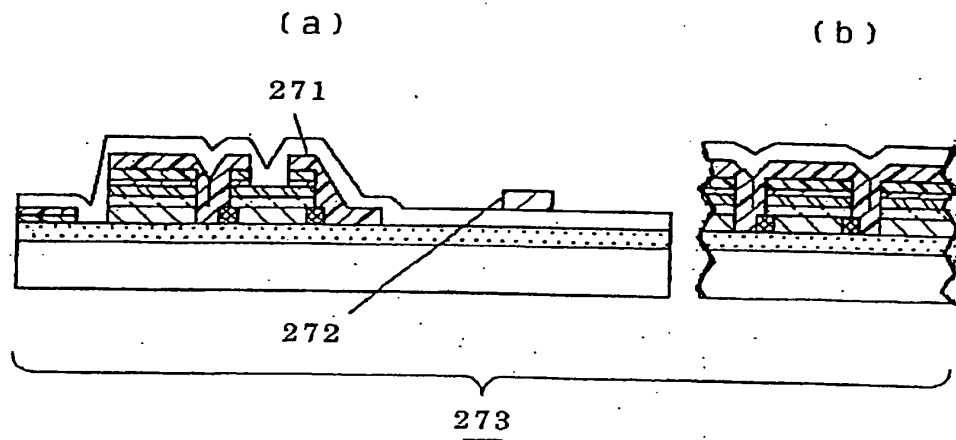


図 25

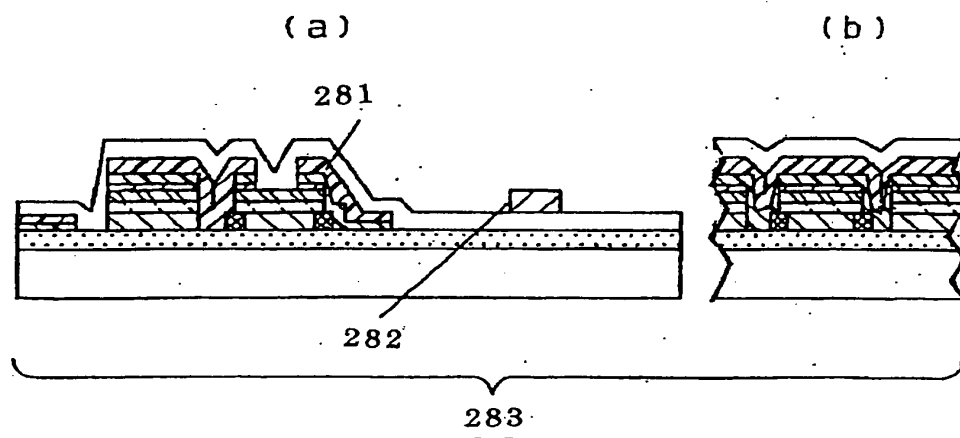
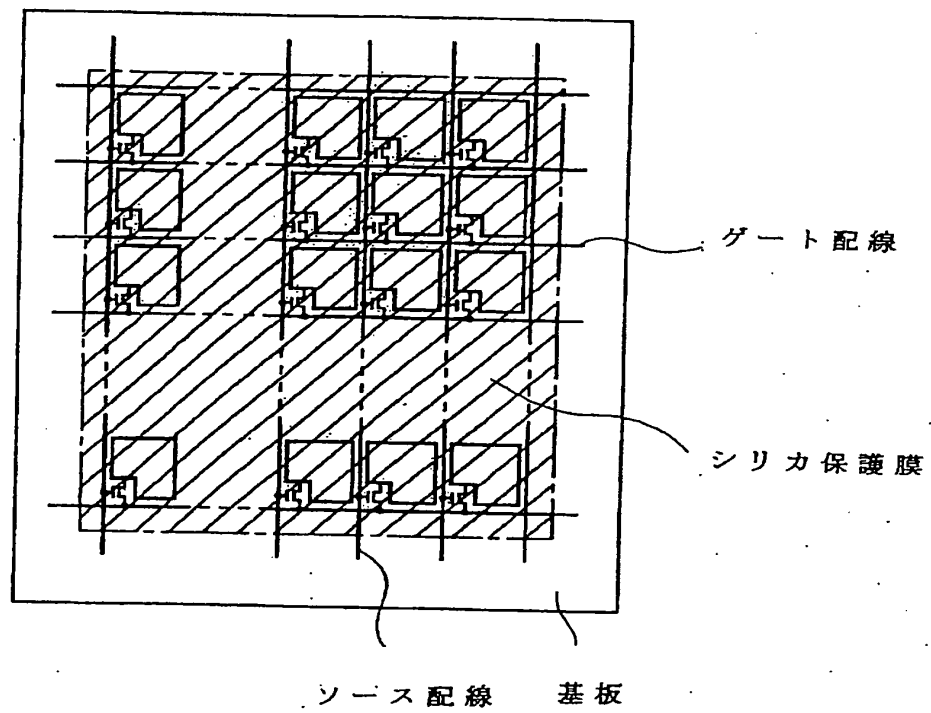


図 26



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06173

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09F9/30, G02F1/1345, H01L29/78, H01L21/768

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09F9/30, G02F1/1345, H01L29/78, H01L21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 10-48651, A (Furontetsuku K.K.), 20 February, 1998 (20.02.98) (Family: none)	1, 8, 9, 14, 19-23 2-7, 10-13, 15-1 8, 24-101
X A	JP, 4-280231, A (Oki Electric Industry Co., Ltd.), 06 October, 1992 (06.10.92) (Family: none)	1, 8, 9, 14, 19-23 2-7, 10-13, 15-1 8, 24-101
X A	JP, 2-170135, A (NEC Corporation), 29 June, 1990 (29.06.90) (Family: none)	1, 8, 9, 14, 19-23 2-7, 10-13, 15-1 8, 24-101
X A	JP, 60-128486, A (Nippon Soken Inc.), 09 July, 1985 (09.07.85) (Family: none)	1, 8, 9, 14, 19-23 2-7, 10-13, 15-1 8, 24-101
X	JP, 1-101519, A (Seiko Epson Corporation), 19 April, 1989 (19.04.89) (Family: none)	1, 8, 9, 14, 19-23

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 December, 2000 (07.12.00)

Date of mailing of the international search report
19 December, 2000 (19.12.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06173

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A		2-7, 10-13, 15-1 8, 24-101
X	JP, 9-265113, A (NEC Corporation), 07 October, 1997 (07.10.97)	1, 8, 9, 14, 19-23
A	& US, 5867233, A	2-7, 10-13, 15-1 8, 24-101

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09F9/30, G02F1/1345, H01L29/78, H01L21/768

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09F9/30, G02F1/1345, H01L29/78, H01L21/768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P, 10-48651, A (株式会社フロンテック), 20. 2月, 1998 (20. 02. 98) (ファミリーなし)	1, 8, 9, 14, 19-23 2-7, 10-13, 15 -18, 24-101
X A	J P, 4-280231, A (沖電気工業株式会社), 6. 10 月, 1992 (06. 10. 92) (ファミリーなし)	1, 8, 9, 14, 19-23 2-7, 10-13, 15 -18, 24-101

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07. 12. 00

国際調査報告の発送日

19.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柿崎 拓



3X

9235

電話番号 03-3581-1101 内線 3371

様式PCT/ISA/210 (第2ページ) (1998年7月)

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP, 2-170135, A (日本電気株式会社), 29. 6 月. 1990 (29. 06. 90) (ファミリーなし)	1, 8, 9, 14, 19-23 2-7, 10-13, 15 -18, 24-101
X A	JP, 60-128486, A (株式会社日本自動車部品総合研 究所), 9. 7月. 1985 (09. 07. 85) (ファミリーな し)	1, 8, 9, 14, 19-23 2-7, 10-13, 15 -18, 24-101
X A	JP, 1-101519, A (セイコーエプソン株式会社), 1 9. 4月. 1989 (19. 04. 89) (ファミリーなし)	1, 8, 9, 14, 19-23 2-7, 10-13, 15 -18, 24-101
X A	JP, 9-265113, A (日本電気株式会社), 7. 10 月. 1997 (07. 10. 97) & US, 5867233, A	1, 8, 9, 14, 19-23 2-7, 10-13, 15 -18, 24-101

様式PCT/ISA/210 (第2ページの続き) (1998年7月)

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
11 October 2001 (11.10.2001)

PCT

(10) International Publication Number
WO 01/75853 A1

(51) International Patent Classification⁷: **G09G 3/32**

[GB/GB]; Epson Cambridge Laboratory, 8c King's Parade, Cambridge CB2 1SJ (GB).

(21) International Application Number: **PCT/GB01/01460**

(22) International Filing Date: **30 March 2001 (30.03.2001)**

(74) Agent: **STURT, Clifford, Mark**; Miller Sturt Kenyon, 9 John Street, London WC1N 2IS (GB).

(25) Filing Language: **English**

(81) Designated States (*national*): **JP, US.**

(26) Publication Language: **English**

(84) Designated States (*regional*): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(30) Priority Data:
0007879.0 31 March 2000 (31.03.2000) **GB**

(71) Applicant (*for all designated States except US*): **SEIKO EPSON CORPORATION** [JP/JP]; 4-1, Nishishinjuku 2-chome, Shinjuku-ku, Tokyo 163-0811 (JP).

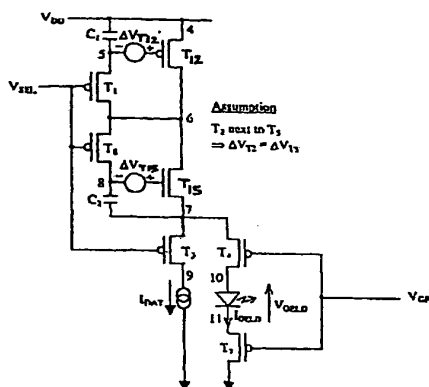
Published:
with international search report

(72) Inventor; and

(75) Inventor/Applicant (*for US only*): **TAM, Simon**

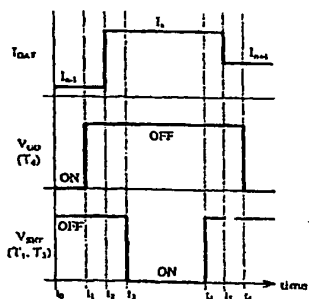
For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: **ORGANIC ELECTROLUMINESCENT DEVICE COMPENSATED PIXEL DRIVER CIRCUIT**



(57) Abstract: A compensated pixel driver circuit comprises a p-channel transistor and an n-channel transistor connected as a complementary pair of transistors to provide analog control of the drive current for an organic electroluminescent device (OLED). The transistors, being of opposite channel, compensate for any variation in threshold voltage ΔV_T and therefore provide a drive current to the OLED which is relatively independent of ΔV_T . The complementary pair of transistors can be applied to either voltage driving or current driving pixel driver circuits.

WO 01/75853 A1



Organic ElectroLuminescent Device Compensated Pixel Driver Circuit

The present invention relates to an organic electroluminescent device and particularly to a compensated pixel driver circuit thereof.

An organic electroluminescent device (OELD) consists of a light emitting polymer (LEP) layer sandwiched between an anode layer and a cathode layer. Electrically, this device operates like a diode. Optically, it emits light when forward biased and the intensity of the emission increases with the forward bias current. It is possible to construct a display panel with a matrix of OELDs fabricated on a transparent substrate and with one of the electrode layers being transparent. It is also possible to integrate the driving circuit on the same panel by using low temperature polysilicon thin film transistor (TFT) technology.

In a basic analog driving scheme for an active matrix OELD display, a minimum of two transistors are required per pixel. Such a driving scheme is illustrated in Figure 1. Transistor T_1 is provided to address the pixel and transistor T_2 is provided to convert a data voltage signal V_{Data} into current which drives the OELD at a designated brightness. The data signal is stored by a storage capacitor $C_{Storage}$ when the pixel is not addressed. Although p-channel TFTs are shown in the figure, the same principle can also be applied for a circuit utilising n-channel TFTs.

There are problems associated with TFT analog circuits and OELDs do not act like perfect diodes. The LEP material does, however, have relatively uniform characteristics. Due to the nature of the TFT fabrication technique, spatial variation of the TFT characteristics exists over the extent of the display panel. One of the most important considerations in a TFT analog circuit is the variation of threshold voltage, ΔV_T , from

device to device. The effect of such variation in an OLED display, exacerbated by the non perfect diode behaviour, is the non-uniform pixel brightness over the display area of the panel, which seriously affects the image quality. Therefore, a built-in compensation circuit is required.

A simple threshold voltage variation compensation, current driven, circuit has been proposed. The current driven circuit, also known as the current programmed threshold voltage compensation circuit, is illustrated in figure 2. In this circuit, transistor T_1 is provided for addressing the pixel. Transistor T_2 operates as an analog current control to provide the driving current to the OLED. Transistor T_3 connects between the drain and gate of transistor T_2 and toggles transistor T_2 to act either as a diode or in a saturation mode. Transistor T_4 acts as a switch in response to an applied waveform V_{GP} . Either Transistor T_1 or transistor T_4 can be ON at any one time. Initially, at time t_0 shown in the timing diagram of Figure 2, transistors T_1 and T_3 are OFF, and transistor T_4 is ON. When transistor T_4 is OFF, transistors T_1 and T_3 are ON, and a current I_{DAT} of known value is allowed to flow into the OLED, through transistor T_2 . This is the programming stage because the threshold voltage of transistor T_2 is measured with transistor T_3 turned ON which shorts the drain and gate of transistor T_2 . Hence transistor T_2 operates as a diode while the programming current is allowed to flow through transistors T_1 and T_2 and into the OLED. The detected threshold voltage of transistor T_2 is stored by a capacitor C_1 connected between the gate and source terminals of transistor T_2 when transistors T_3 and T_1 are switched OFF. Transistor T_4 is then turned ON by driving waveform V_{GP} and the current through the OLED is now provided by supply V_{DD} . If the slope of the output

characteristics for transistor T_2 were flat, the reproduced current would be the same as the programmed current for any threshold voltage of T_2 detected and stored in capacitor C_1 . However, by turning ON transistor T_4 , the drain-source voltage of transistor T_2 is pulled up, so a flat output characteristic will maintain the reproduced current at the same level as the programmed current. Note that ΔV_{T2} shown in figure 2 is imaginary, not real. It has been used solely to represent the threshold voltage of transistor T_2 .

A constant current is provided, in theory, during a subsequent active programming stage, which is signified by the time interval t_2 to t_5 in the timing diagram shown in figure 2. The reproduction stage starts at time t_6 .

The circuit of Figure 2 does provide an improvement over the circuit shown in Figure 1 but variations in the threshold value of the control transistor are not fully compensated and variations in image brightness over the display area of the panel remain.

The present invention seeks to provide, therefore, an improved compensated pixel driver circuit in which variations in the threshold voltages of the pixel driver transistor can be further compensated, thereby providing a more uniform pixel brightness over the display area of the panel and, therefore, improved image quality.

According to a first aspect of the present invention there is provided a compensated pixel driver circuit for an electroluminescent device, the circuit comprising an n-channel transistor and a complementary p-channel transistor connected so as to operatively control, in combination, the current supplied to the electroluminescent device.

Preferably, the compensated pixel driver circuit also comprises respective storage capacitors for the n-channel and p-channel transistors and respective switching means

connected so as to establish when operative respective paths to the n-channel and p-channel transistors for respective data voltage pulses.

Advantageously, the compensated pixel driver circuit may also comprise respective storage capacitors for storing a respective operating voltage of the n-channel and the p-channel transistors during a programming stage, a first switching means connected so as to establish when operative a first current path from a source of current data signals through the n-channel and p-channel transistors and the electroluminescent device during the programming stage, and a second switching means connected to establish when operative a second current path through the n-channel and p-channel transistors and the electroluminescent device during a reproduction stage.

In a further embodiment, the first switching means and the source of current data signals are connected so as to provide when operative a current source for the electroluminescent device

In an alternative embodiment, the first switching means the source of current data signals are connected so as to provide when operative a current sink for the electroluminescent device.

According to a second aspect of the present invention there is also provided a method of compensating the supply current to an electroluminescent device comprising providing an n-channel transistor and a p-channel transistor connected so as to operatively control, in combination, the supply current to the electroluminescent device.

Preferably, the method further comprises providing respective storage capacitors for the n-channel and p-channel transistors and respective switching means connected so as to establish when operative respective paths to the n-channel and p-channel transistors for

respective data voltage pulses thereby to establish, when operative, a voltage driver circuit for the electroluminescent device.

Advantageously, the method may comprise providing a programming stage during which the n-channel and p-channel transistors are operated in a first mode and wherein a current path from a source of current data signals is established through the n-channel and the p-channel transistors and the electroluminescent device and wherein a respective operating voltage of the n-channel transistor and the p-channel transistor is stored in respective storage capacitors, and a reproduction stage wherein a second mode and a second current path is established through the n-channel transistor and the p-channel transistor and the electroluminescent device.

According to a third aspect of the present invention, there is also provided an organic electroluminescent display device comprising a compensated pixel driver circuit as claimed in any one of claims 1 to 11.

The present invention will now be described by way of further example only, with reference to the accompanying drawings in which:-

Fig. 1 shows a conventional OLED pixel driver circuit using two transistors;

Fig. 2 shows a known current programmed OLED driver circuit with threshold voltage compensation;

Fig. 3 illustrates the concept of a compensated pixel driver circuit including a complementary pair of driver transistors for providing threshold voltage compensation in accordance with the present invention;

Fig. 4 shows plots of characteristics for the complementary driver transistors illustrated in Fig. 3 for various levels of threshold voltages;

Fig. 5 shows a compensated pixel driver circuit arranged to operate as a voltage driver circuit in accordance with a first embodiment of the present invention.

Fig. 6 shows a compensated pixel driver circuit arranged to operate as a current programmed driver circuit in accordance with a second embodiment of the present invention;

Fig. 7 shows a compensated current programmed driver circuit in accordance with a third embodiment of the present invention, and

Figs 8 to 11 show SPICE simulation results for the circuit illustrated in Fig. 6.

The concept of a compensated pixel driver circuit according to the present invention is illustrated in Fig. 3. An OLED device is coupled between two transistors T_{11} and T_{12} which operate, in combination, as an analog current control for the current flowing through the OLED. Transistor T_{11} is a p-channel transistor and transistor T_{12} is an n-channel transistor which act therefore, in combination, as a complementary pair for analog control of the current through the OLED.

As mentioned previously, one of the most important parameters in a TFT analog circuit design is the threshold voltage V_T . Any variation, ΔV_T within a circuit has a significant effect on the overall circuit performance. Variations in the threshold voltage can be viewed as a rigid horizontal shift of the source to drain current versus the gate to source voltage characteristic for the transistor concerned and are caused by the interface charge at the gate of the transistor.

It has been realised with the present invention that in an array of TFT devices, in view of the fabrication techniques employed, neighbouring or relatively close TFT's have a high probability of exhibiting the same or an almost similar value of threshold voltage ΔV_T . Furthermore, it has been realised that as the effects of the same ΔV_T on p-channel and n-

channel TFT's are complementary, compensation for variations in threshold voltage ΔV_T can be achieved by employing a pair of TFT's, one p-channel TFT and one n-channel TFT, to provide analog control of the driving current flowing to the OELD. The driving current can, therefore, be provided independently of any variation of the threshold voltage. Such a concept is illustrated in figure 3.

Figure 4 illustrates the variation in drain current, that is the current flowing through the OELD shown in figure 3, for various levels of threshold voltage ΔV_T , ΔV_{T1} , ΔV_{T2} for the transistors T_{11} and T_{12} . Voltages V_1 , V_2 and V_D are respectively the voltages appearing across transistor T_{11} , T_{12} and the OELD from a voltage source V_{DD} . Assuming that the transistors T_{11} and T_{12} have the same threshold voltage and assuming that $\Delta V_T = 0$, then the current flowing through the OELD is given by cross-over point A for the characteristics for the p-channel transistor T_{11} and the n-channel transistor T_{12} shown in figure 4. This is shown by value I_0 .

Assuming now that the threshold voltage of the p-channel and n-channel transistors changes to ΔV_{T1} , the OELD current I_1 is then determined by crossover point B. Likewise, for a variation in threshold voltage to ΔV_{T2} , the OELD current I_2 is given by crossover point C. It can be seen from figure 4 that even with the variations in the threshold voltage there is minimal variation in the current flowing through the OELD.

Figure 5 shows a compensated pixel driver circuit configured as a voltage driver circuit. The circuit comprises p-channel transistor T_{12} and n-channel transistor T_{15} acting as a complementary pair to provide, in combination, an analog current control for the OELD. The circuit includes respective storage capacitors C_{12} and C_{15} and respective switching transistors T_A and T_B coupled to the gates of transistors T_{12} and T_{15} . When transistors T_A and

T_B are switched ON data voltage signals V_1 and V_2 are stored respectively in storage capacitors C_{12} and C_{15} when the pixel is not addressed. The transistors T_A and T_B function as pass gates under the selective control of addressing signals ϕ_1 and ϕ_2 applied to the gates of transistors T_A and T_B .

Figure 6 shows a compensated driver circuit according to the present invention configured as a current programmed OLED driver circuit. As with the voltage driver circuit, p-channel transistor T_{12} and n-channel transistor T_{15} are coupled so as to function as an analog current control for the OLED. Respective storage capacitors C_1 , C_2 and respective switching transistors T_1 and T_6 are provided for transistors T_{12} and T_{15} . The driving waveforms for the circuit are also shown in figure 6. Either transistors T_1 , T_3 and T_6 , or transistor T_4 can be ON at any one time. Transistors T_1 and T_6 connect respectively between the drain and gate of transistors T_{12} and T_{15} and switch in response to applied waveform V_{SEL} to toggle transistors T_{12} and T_{15} to act either as diodes or as transistors in saturation mode. Transistor T_3 is also connected to receive waveform V_{SEL} . Transistors T_1 and T_6 are both p-channel transistors to ensure that the signals fed through these transistors are at the same magnitude. This is to ensure that any spike currents through the OLED during transitions of the waveform V_{SEL} are kept to a minimum.

The circuit shown in figure 6 operates in a similar manner to known current programmed pixel driver circuits in that a programming stage and a display stage are provided in each display period but with the added benefit that the drive current to the OLED is controlled by the complementary opposite channel transistors T_{12} and T_{15} . Referring to the driving waveforms shown in figure 6, a display period for the driver circuit extends from time t_0 to time t_6 . Initially, transistor T_4 is ON and transistors T_1 , T_3 and T_6 are OFF. Transistor T_4 is turned OFF at time t_1 by the waveform V_{GP} and transistors T_1 , T_3

and T_6 are turned ON at time t_3 by the waveform V_{SEL} . With transistors T_1 and T_6 turned ON, the p-channel transistor T_{12} and the complementary n-channel transistor T_{15} act in a first mode as diodes. The driving waveform for the frame period concerned is available from the current source I_{DAT} at time t_2 and this is passed by the transistor T_3 when it switches on at time t_3 . The detected threshold voltages of transistors T_{12} and T_{15} are stored in capacitors C_1 and C_2 . These are shown as imaginary voltage sources ΔV_{T12} and ΔV_{T15} in figure 6.

Transistors T_1 , T_3 and T_6 are then switched OFF at time t_4 and transistor T_4 is switched ON at time t_5 and the current through the OELD is then provided from the source VDD under the control of the p-channel and n-channel transistors T_{12} and T_{15} operating in a second mode, i.e. as transistors in saturation mode. It will be appreciated that as the current through the OELD is controlled by the complementary p-channel and n-channel transistors T_{12} and T_{15} , any variation in threshold voltage in one of the transistors will be compensated by the other opposite channel transistor, as described previously with respect to figure 4.

In the current programmed driver circuit shown in figure 6, the switching transistor T_3 is coupled to the p-channel transistor T_{12} , with the source of the driving waveform I_{DAT} operating as a current source. However, the switching transistor T_3 may as an alternative be coupled to the n-channel transistor T_{15} as shown in figure 7, whereby I_{DAT} operates as a current sink. In all other respects the operation of the circuit shown in figure 7 is the same as for the circuit shown in figure 6.

Figures 8 to 11 show a SPICE simulation of an improved compensated pixel driver circuit according to the present invention.

Referring to figure 8, this shows the driving waveforms I_{DAT} , V_{GP} , V_{SEL} and three values of threshold voltage, namely -1volt, 0volts and +1volt used for the purposes of simulation to show the compensating effect provided by the combination of the p-channel and n-channel transistors for controlling the current through the OELD. From figure 8, it can be seen that, initially the threshold voltage ΔV_T was set at -1volt, increasing to 0volts at 0.3×10^{-4} seconds and increasing again to +1volt at 0.6×10^{-4} seconds. However, it can be seen from figure 9 that even with such variations in the threshold voltage the driving current through the OELD remains relatively unchanged.

The relative stability in the driving current through the OELD can be more clearly seen in figure 10, which shows a magnified version of the response plots shown in figure 9.

It can be seen from figure 10 that, using a value of 0 volts as a base for the threshold voltage ΔV_T , that if the threshold voltage ΔV_T changes to -1volts there is a change of approximately 1.2% in the drive current through the OELD and if the threshold voltage ΔV_T is changed to +1volt, there is a reduction in drive current of approximately 1.7% compared to the drive current when the threshold voltage ΔV_T is 0 volts. The variation of drive current of 8.7% is shown for reference purposes only as such a variation can be compensated by gamma correction, which is well known in this art and will not therefore be described in relation to the present invention.

Figure 11 shows that for levels of I_{DAT} ranging from $0.2\mu A$ to $1.0\mu A$, the improved control of the OELD drive current is maintained by the use of the p-channel and opposite n-channel transistors in accordance with the present invention.

It will be appreciated from the above description that the use of a p-channel transistor and an opposite n-channel transistor to provide, in combination, analog control of

the drive current through an electroluminescent device provides improved compensation for the effects which would otherwise occur with variations in the threshold voltage of a single p-channel or n-channel transistor.

Preferably, the TFT n-channel and p-channel transistors are fabricated as neighbouring or adjacent transistors during the fabrication of an OLED display so as to maximise the probability of the complementary p-channel and n-channel transistors having the same value of threshold voltage ΔV_T . The p-channel and n-channel transistors may be further matched by comparison of their output characteristics.

The improved compensated pixel driver circuit of the present invention may be used in display devices incorporated in many types of equipment such as mobile displays e.g. mobile phones, laptop personal computers, DVD players, cameras, field equipment; portable displays such as desktop computers, CCTV or photo albums; or industrial displays such as control room equipment displays.

The foregoing description has been given by way of example only and it will be appreciated by a person skilled in the art that modifications can be made without departing from the scope of the present invention.

CLAIMS

1. A compensated pixel driver circuit for an electroluminescent device, the circuit comprising an n-channel transistor and a complementary p-channel transistor connected so as to operatively control, in combination, the current supplied to the electroluminescent device.
2. A compensated pixel driver circuit as claimed in claim 1, wherein the complementary n-channel and p-channel transistors comprise polysilicon thin film transistors.
3. A compensated pixel driver circuit as claimed in claim 2, wherein the complementary n-channel and p-channel transistors are spatially arranged in close proximity to each other for providing a complementary pair of n-channel and p-channel transistors having approximately equal threshold voltages.
4. A compensated pixel driver circuit as claimed in any one of claims 1 to 3 connected so as to establish when operative a voltage driver circuit comprising respective storage capacitors for the n-channel and p-channel transistors and respective switching means connected so as to establish when operative respective paths to the n-channel and p-channel transistors for respective data voltage pulses.

5. A compensated pixel driver circuit as claimed in any one of claims 1 to 3 comprising respective storage capacitors for storing a respective operating voltage of the n-channel and the p-channel transistors during a programming stage, a first switching means connected so as to establish when operative a first current path from a source of current data signals through the n-channel and p-channel transistors and the electroluminescent device during the programming stage, and a second switching means connected to establish when operative a second current path through the n-channel and p-channel transistors and the electroluminescent device during a reproduction stage.

6. A compensated pixel driver circuit as claimed in claim 5, wherein the first switching means and the source of current data signals are connected so as to provide when operative a current source for the electroluminescent device.

7. A compensated pixel driver circuit as claimed in claim 5, wherein the first switching means and the source of current data signals are connected so as to provide when operative a current sink for the electroluminescent device.

8. A compensated pixel driver circuit as claimed in any one of claims 5 to 7, further comprising respective further switching means respectively connected to bias the n-channel transistor and the p-channel transistor to act as diodes during the programming stage.

9. A compensated pixel driver circuit as claimed in claim 8, wherein the respective further switching means comprise p-channel transistors.

10. A compensated pixel driver circuit as claimed in any one of claims 5 to 9, wherein the circuit is implemented with polysilicon thin film transistors.

11. A compensated pixel driver circuit as claimed in claim 4, wherein the circuit is implemented using polysilicon thin film transistors.

12. A method of compensating the supply current to an electroluminescent device comprising providing an n-channel transistor and a p-channel transistor connected so as to operatively control, in combination, the supply current to the electroluminescent device.

13. A method as claimed in claim 11, comprising the further step of providing the n-channel transistor and the p-channel transistor as polysilicon thin film transistors.

14. A method as claimed in claim 12 comprising the further step of spatially arranging the n-channel and p-channel polysilicon thin film transistors in close proximity to each other.

15. A method as claimed in any one of claims 12 to 14 comprising providing respective storage capacitors for the n-channel and p-channel transistors and respective switching means connected so as to establish when operative respective paths to the n-channel and p-channel transistors for respective data voltage pulses thereby to establish, when operative, a voltage driver circuit for the electroluminescent device.

16. A method as claimed in any one of claims 12 to 14 comprising providing a programming stage during which the n-channel and p-channel transistors are operated in a first mode and wherein a current path from a source of current data signals is established through the n-channel and the p-channel transistors and the electroluminescent device and wherein a respective operating voltage of the n-channel transistor and the p-channel transistor is stored in respective storage capacitors, and a reproduction stage wherein a second mode and a second current path is established through the n-channel transistor and the p-channel transistor and the electroluminescent device.

17. A method as claimed in claim 15, wherein the first mode comprises operating the n-channel and p-channel transistors as diodes.

18. An organic electroluminescent display device comprising a compensated pixel driver circuit as claimed in any one of claims 1 to 11.

1/7

Fig.1.

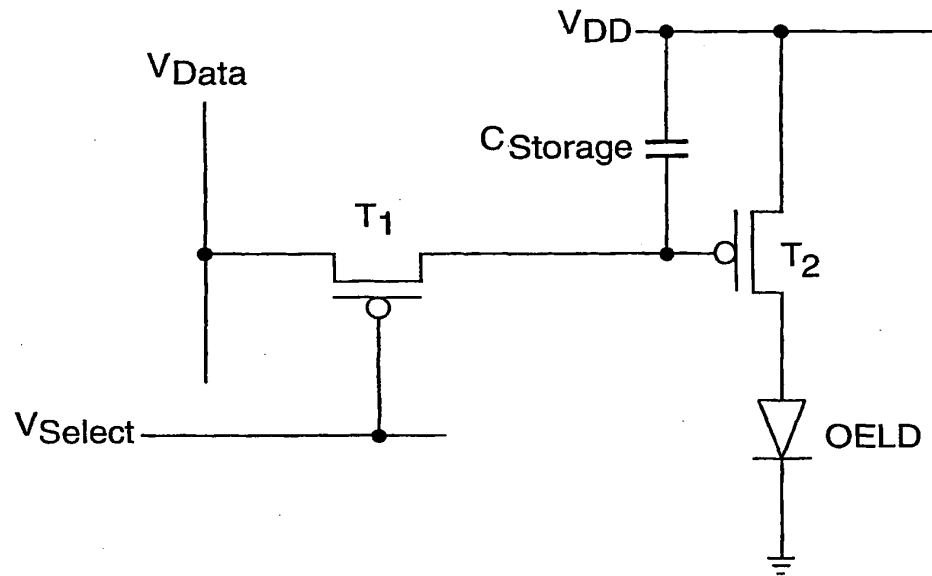
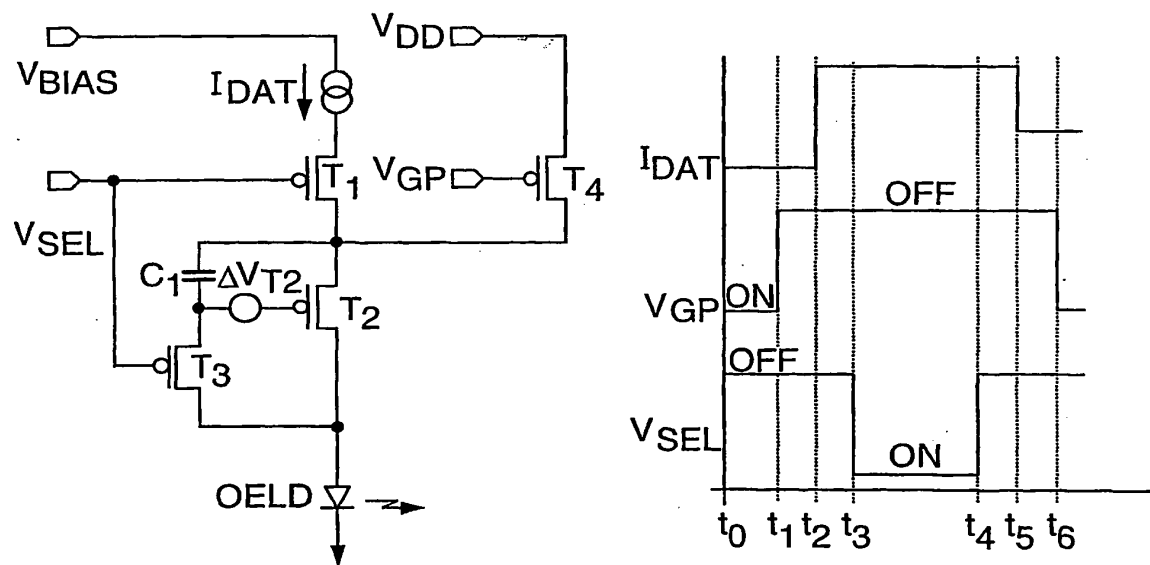


Fig.2.



SUBSTITUTE SHEET (RULE 26)

Fig.3.

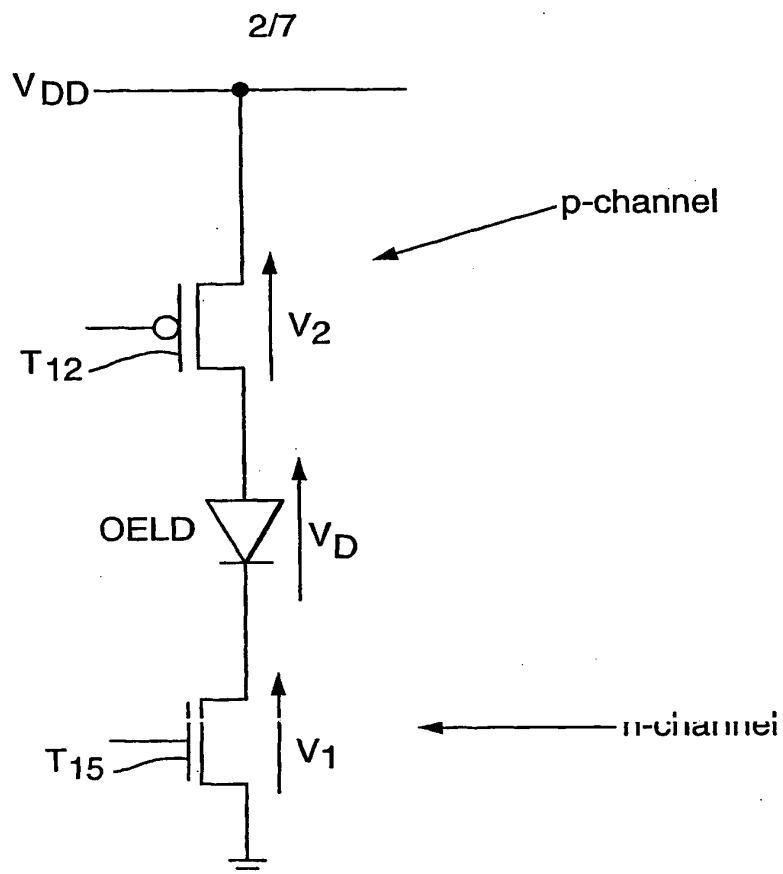
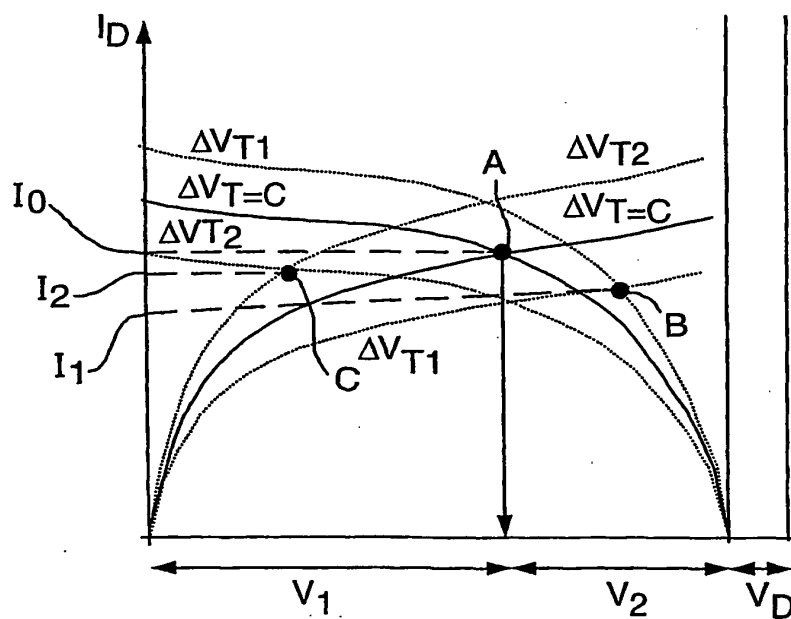


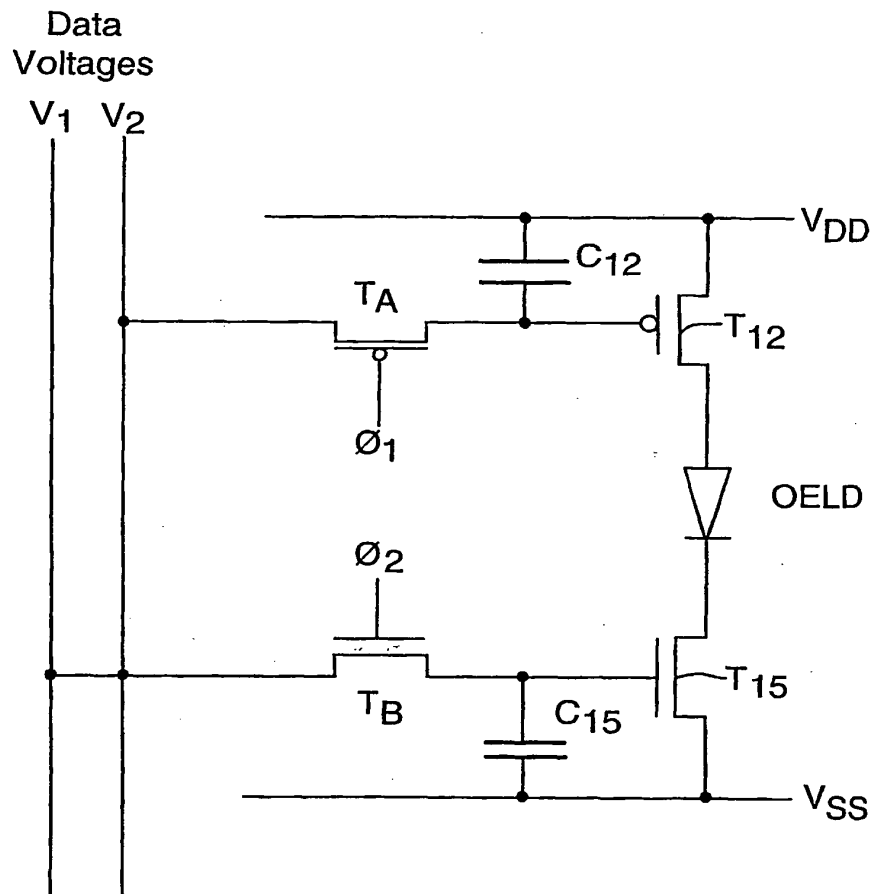
Fig.4.



SUBSTITUTE SHEET (RULE 26)

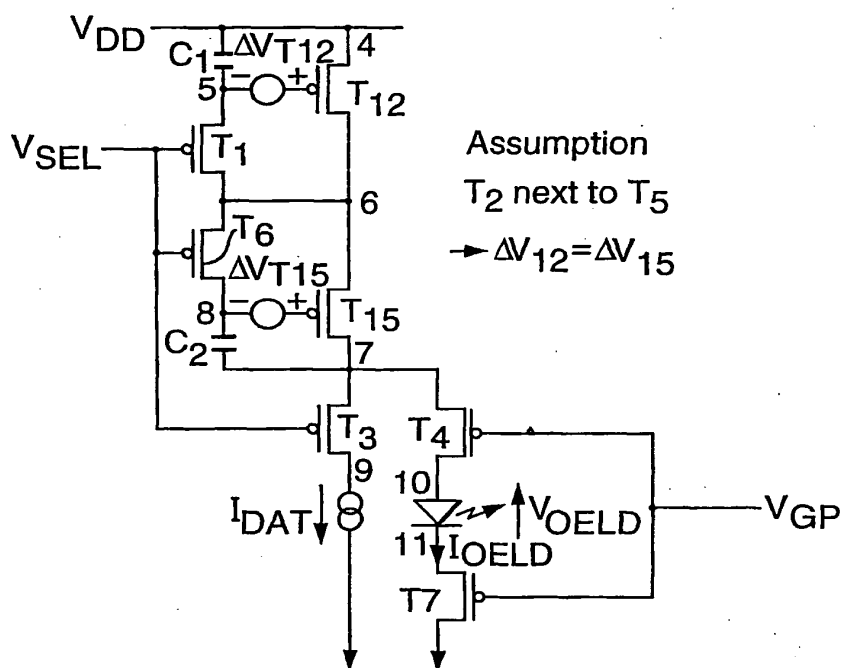
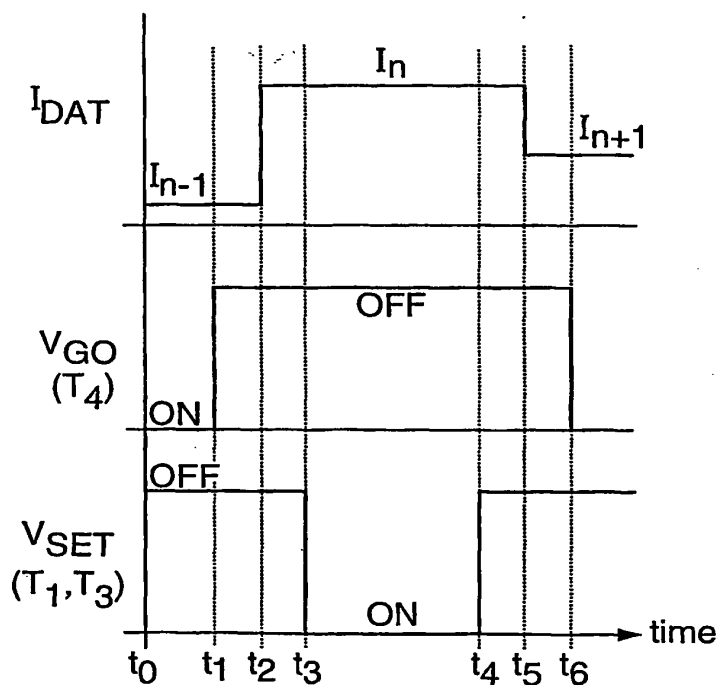
3/7

Fig.5.

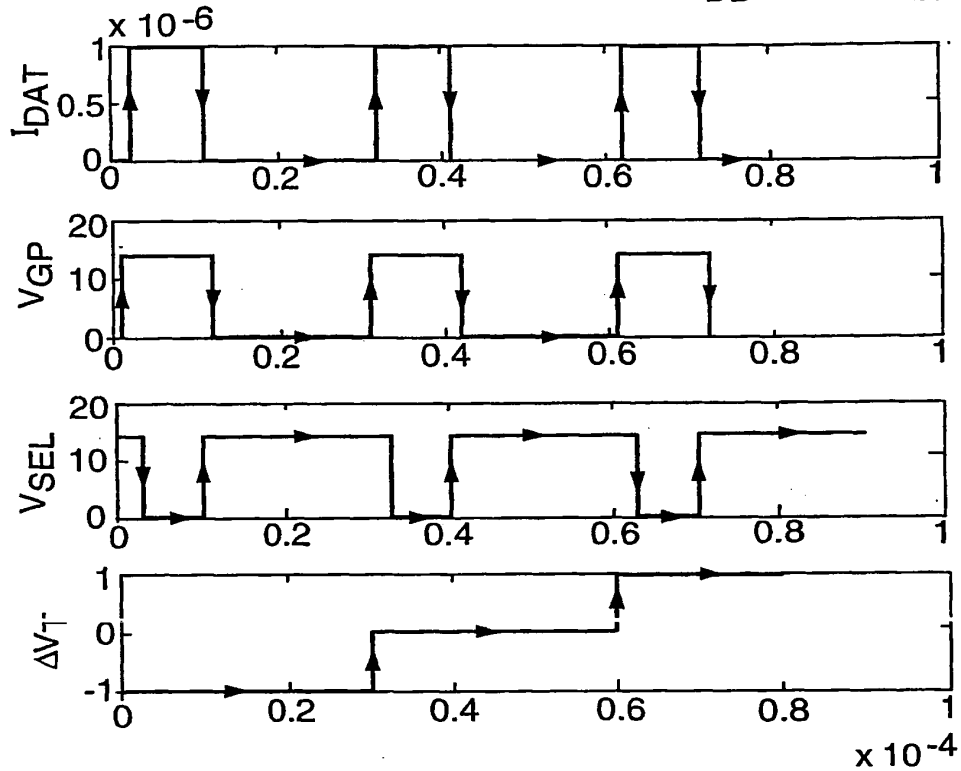
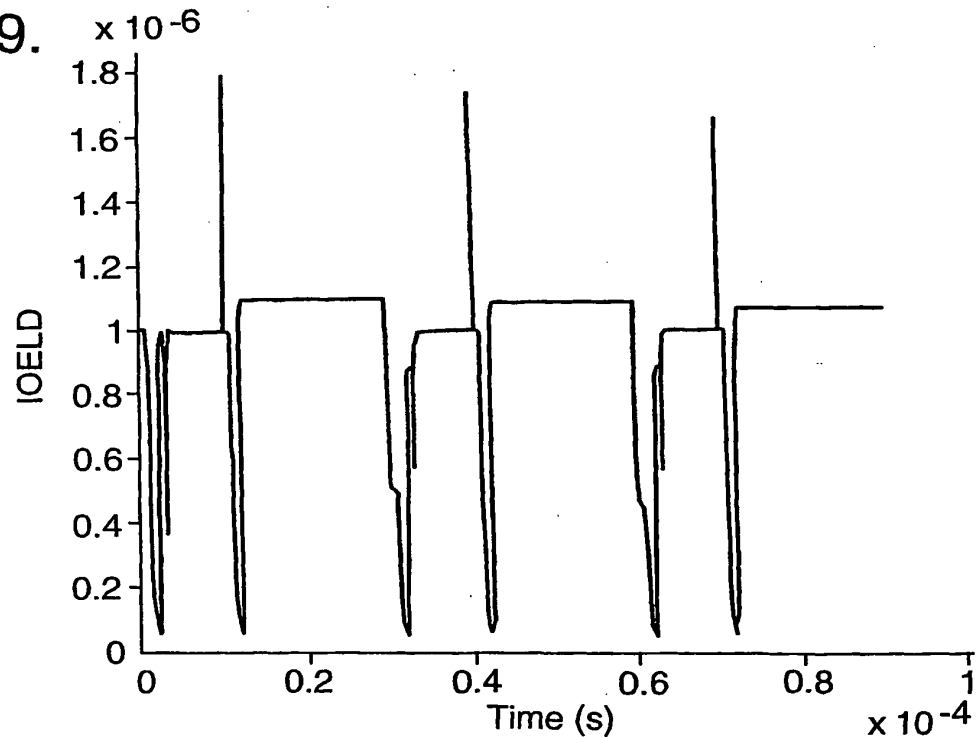


SUBSTITUTE SHEET (RULE 26)

Fig.7.



SUBSTITUTE SHEET (RULE 26)

Fig.8. SPICE Simulation Result ($V_{DD}=12.5V$, $I_{DAT}=1\mu A$)**Fig.9.**

SUBSTITUTE SHEET (RULE 26)

7/7

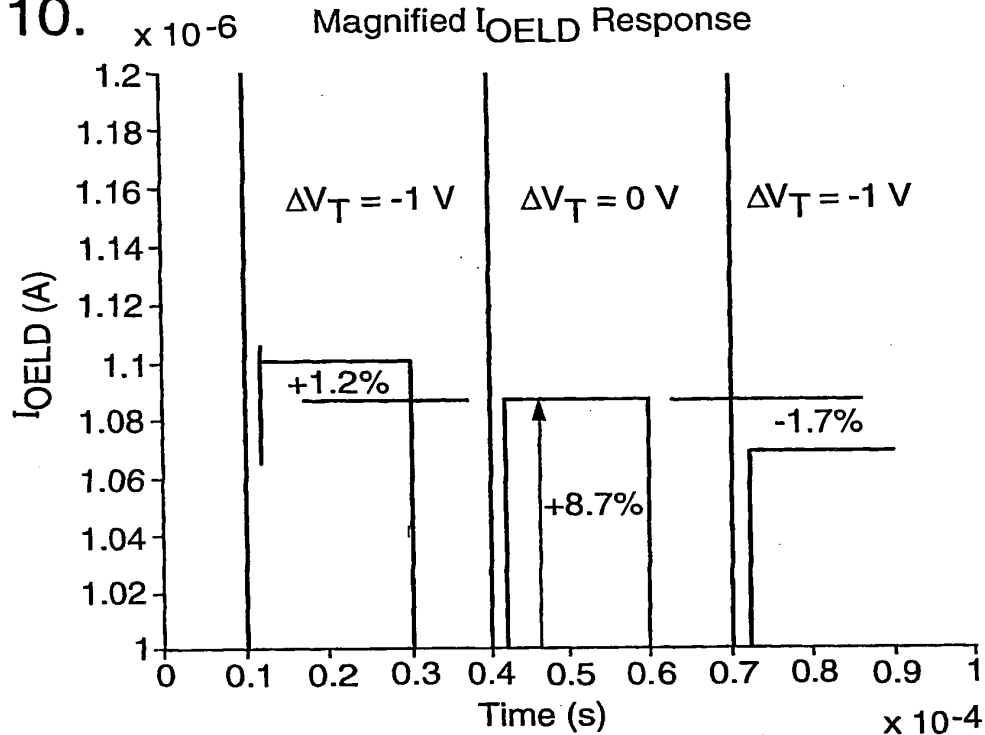
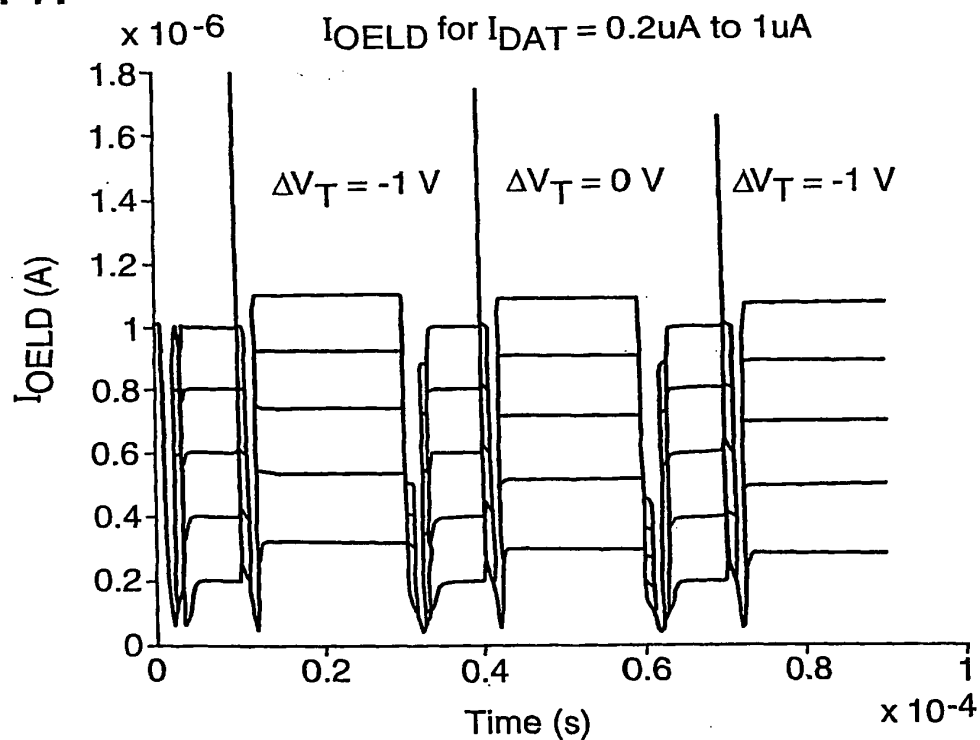
Fig.10. Magnified I_{OELD} Response

Fig.11.



SUBSTITUTE SHEET (RULE 26)

INTERNATIONAL SEARCH REPORT

National Application No

NL/GB 01/01460

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 60963/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 6096

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EP0-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	EP 0 923 067 A (SEIKO EPSON CORP) 16 June 1999 (1999-06-16) abstract; figures 11,12 column 36, line 41 -column 37, line 58	1-3, 12-14 4,10,11, 15
X	WO 99 52095 A (FED CORP ;MALAVIYA SHASHI (US)) 14 October 1999 (1999-10-14) abstract; figures 6,7 page 12, line 7 -page 14, line 6	1,12
A	WO 98 48403 A (SARNOFF CORP) 29 October 1998 (1998-10-29) abstract; figure 2	1-3,5, 15,16

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

9 July 2001

Date of mailing of the international search report

17/07/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Van Roost, L

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No

PCT/GB 01/01460

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
EP 0923067	A	16-06-1999	WO	9840871 A	17-09-1998
WO 9952095	A	14-10-1999	EP	1072032 A	31-01-2001
WO 9848403	A	29-10-1998	US	6229506 B	08-05-2001
			EP	0978114 A	09-02-2000

Form PCT/ISA/210 (patent family annex) (July 1992)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭60-128486

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)7月9日

G 09 F 9/30
H 01 L 27/12
29/78

6615-5C
8122-5F
8422-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 表示装置

⑮ 特 願 昭58-236096

⑯ 出 願 昭58(1983)12月16日

⑰ 発 明 者	佐 藤 進	西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内
⑱ 発 明 者	中 村 武 宏	西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内
⑲ 発 明 者	堅 田 満 孝	西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内
⑳ 発 明 者	服 部 正	西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内
㉑ 出 願 人	株式会社日本自動車部品総合研究所	西尾市下羽角町岩谷14番地
㉒ 代 理 人	弁理士 青 木 朗	外4名

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

薄膜トランジスタをスイッチ素子とするアクティブマトリックス方式表示装置において、画素電極、ゲートバスおよびドレインバスを透明導電層で構成し、トランジスタのチャンネル部を該透明導電層に接続した半導体層で構成し、該透明導電層と該半導体層からなる積層体を透明絶縁層で挟持し、該透明絶縁層の外側にコンタクトホールを介して該ゲートバスと接続した不透明ゲート電極を形成し、かつ、該ゲートバスと該ドレインバスとの間の電気的絶縁を達成するために、該ゲートバスと該ドレインバスのいずれか一方をそれらの交差部において該透明絶縁層の外側に形成した不透明ブリッジ電極を介して導通させたことを特徴とする表示装置。

3. 発明の詳細な説明

技術分野

本発明は表示装置、特に薄膜トランジスタアレイによるアクティブマトリックス方式表示装置に係る。

従来技術

液晶表示装置などにおいて精細な画像を表示するために、スイッチ素子をマトリックス状に配列したアレイを用いて、液晶等を直接にスイッチ駆動する方法が最近注目されるようになっている。そのスイッチ素子として薄膜トランジスタ(TFT)を用いるとき、特に透過方式の場合、表示特性を向上させる為に画素電極はもとよりゲートバス、データバスも導電性透明電極とすることは公知である。一方、半導体部の光導電特性によるTFTのオフ(OFF)抵抗の低下を防ぐためには、ゲート部を不透明電極とし、ライトシールドとすることが有効であることも公知である。

そこで、これら両方の要求を同時に満足させるためには、ゲートラインを2種類の材料で構成し、半導体と重なるゲート電極部には不透明材料を用い、ゲートバス部は透明材料とし、そしてその上

に絶縁層を介して半導体層および透明導電層（面素電極、ソース、ドレイン、ドレインバス）を形成すればよい。しかし、この場合、ゲートラインの形成において工程数が1工程増加する。また、ゲートラインを構成する2種類の材料を連続してパターニングする際、両材料のエッチング特性を考慮する必要がある（例えば、金属によるゲート電極をパターニングした後、酸化錫等の透明導電層をパターニングするためにエッチング液として酸を用いると、ゲート電極もエッチングされてしまう）などの問題がある。

発明の目的

本発明は、上記の如き事情に鑑み、工程を複雑にすることなく、透過特性の向上とライトシールド効果の2つの要求を満足する、TFTをスイッチ素子とするアクティブマトリックス方式表示装置の新しい構成を提供することを目的とする。

発明の構成

上記目的を達成する本発明による薄膜トランジスタをスイッチ素子とするアクティブマトリッ

クス方式表示装置は、面素電極、ゲートバスおよびドレインバスを透明導電層で構成し、トランジスタのチャンネル部を該透明導電層に接続した半導体層で構成し、該透明導電層と該半導体層からなる積層体を透明絶縁層で挟持し、該透明絶縁層の外側にコンタクトホールを介して該ゲートバスと接続した不透明ゲート電極を形成し、かつ、該ゲートバスと該ドレインバスの間の電気的絶縁を達成するために、該ゲートバスと該ドレインバスのいずれか一方をそれらの交差部において該透明絶縁層の外側に形成した不透明ブリッジ電極を介して接続したことを特徴とする。

この構成により、透明導電膜の加工が1度で済み、工程が簡単化され、また、2種類のゲートラインのエッチングも透明絶縁層が介在しているのでエッチングが容易になる。

発明の実施例

第1図～第4図は、本発明による表示装置の1面素周辺の工程順の平面図および断面図である。第1b、2b、3b図および第1c、2c、3c

図は、それぞれ、第1a、2a、3a図の線分B-BおよびC-Cに沿う断面図である。

第1a、1b、1c図を参照すると、コーニング7059（コーニング社の引上げ法による板ガラスの商品名）等のガラス基板1上にニクロム等の導電性不透明材料を厚さ100～200nm程度に蒸着し、周知のフォトリソグラフィ技術等により、パターニングし、ゲート電極2およびブリッジ電極3を形成する。第2a、2b、2c図を参照すると、その上に窒化珪素（ Si_3N_4 ）、酸化珪素（ SiO_2 ）等の透明な電気絶縁性薄膜4をCVD法等により全面に厚さ100～150nm程度被着する。次いで、アモルファス（あるいはポリ）シリコン半導体をCVD法等により全面に厚さ300nm程度に被着し、パターニングすることによりスイッチング・トランジスタのチャンネル領域となる半導体層8を形成する。この透明絶縁膜4にはゲート電極用6およびブリッジ電極用7のコンタクトホールを形成する。

第3a、3b、3c図を参照すると、ITO

（Indium Tin Oxide）、酸化錫等の透明導電材料を厚さ200nm程度にスパッタリング被着し、パターニングし、ゲートバス9、ドレインバス10、面素電極11を形成する（ソース、ドレイン電極部を含む）。このエッチングでは、透明導電材料の下側に透明絶縁層4が存在するので、透明導電材料と不透明導電性材料層（ゲート電極2およびブリッジ電極3）とのエッチング特性を考慮する必要がなく、パターニングが容易である。ゲートバス9はコンタクトホール6を介してゲート電極2と接続される。また、ゲートバス9はドレインバス10と透明導電性材料の層では交差することなく、しかもゲートバス自体の導通を保つために、ゲートバス9の透明導電性材料層はドレインバス10と交差する位置で切断され、コンタクトホール7を介し、そしてブリッジ電極3を介して導通するようになっている。

こうして作成されるTFTの構成はガラス基板1上にマトリックス状に配列されている。第4a図および第4b図は上記のTFTを液晶パネルに

組込んだ場合の第1a図の線分B-BおよびC-Cに沿った断面図である。上記TFTの透明導電性材料層9, 10, 11のパターニングの後、再び SiO_2 等の透明電気絶縁性薄膜12を全面に厚さ100~300nm程度に被着する。次いで、ゲート部をニクロムあるいはアルミニウム等の不透明膜で覆い、オブティカルシールド13とする。このオブティカルシールド13は導電性材料である必要はなく、塗料、カーボンブラック等を塗布してもよい。このように半導体層8はゲート電極2およびオブティカルシールド13によって上下両方からオブティカルシールドされているので、透過光、反射光とも遮断される。

オブティカルシールド13および透明絶縁膜12の上は液晶を配向させるためのポリマ配向膜14で全面に覆われている。液晶層15をはさんで対向側は、ガラス基板16の内面に全面の透明導電膜よりなる対向電極17と、更に内面に全面のポリマ配向膜18が形成されている。こうして、両方の基板の間に液晶が封入されている。

インバスの層の4層による構成が可能になる。すなわち、工程数が1工程以上少なくて来る。

第5図は本発明の別の実施例を示す。この実施例は前記実施例のゲート電極とブリッジ電極とを一体に構成し(図の21)、ゲートバス22との導通をコンタクトホール7および23を介して取るものである。その他は前記実施例と同様であり、図中の参照数字も同じ部分は同じ数字で示した。この実施例は、ゲート電極とブリッジ電極が分離されている必要がないことを示すものである。

第5図はもう1つの実施例を示し、第6図は第5図の線分II B-II Bに沿った断面図である。この実施例は最初の実施例の上部オブティカルシールド13を形成するニクロム層をゲート電極およびブリッジ電極として利用するものである。最初の実施例と同様の部分は同じ参照数字で示すと、ガラス基板1の上にゲート部のみに下方オブティカルシールド3-1を例えばニクロム等不透明材料で形成する。次いで、 SiO_2 等の透明絶縁膜4を全面に被着し、その上に透明導電性層をパターニ

ングして画素電極11、ゲートバス32およびドレインバス33を形成し、更にその上にアモルファスシリコン等の半導体層8を形成する。第2の透明絶縁膜(SiO_2 等)12を全面に被着し、コンタクトホール34, 35を開孔した後、ニクロム等の不透明導電性膜をパターニングしてゲート電極36およびブリッジ電極37を形成する。その上にポリマ配向膜14を全面に形成し、以下最初の実施例と同様にする。こうすることによって、ゲート電極およびブリッジ電極は透明導電性膜の下方でも上方でもよく、さらにそれらは上下両方に分離して形成されてもよいのである(但し、上下両方に分離すると、ライトシールド層はゲート電極とブリッジ電極を形成するために両方とも必ず導電性である必要があり、かつそれらとコンタクトをとるために上下両方の透明絶縁膜にコンタクトホールを形成する必要が生じる)。

そして、従来、ゲート部の半導体層をオブティカルシールドし、かつゲートバスおよびドレインバスを透明材料で構成するためには、例えば、(1)不透明ゲート電極、(2)透明ゲートバス、(3)透明絶縁膜、(4)半導体層、(5)透明な画素電極およびドレインバスの層の5層構成が少なくとも必要であったものが、本発明により、(1)不透明なゲート電極およびブリッジ電極の層、(2)透明絶縁膜、(3)半導体層、(4)透明な画素電極、ゲートバスおよびドレ

イングして画素電極11、ゲートバス32およびドレインバス33を形成し、更にその上にアモルファスシリコン等の半導体層8を形成する。第2の透明絶縁膜(SiO_2 等)12を全面に被着し、コンタクトホール34, 35を開孔した後、ニクロム等の不透明導電性膜をパターニングしてゲート電極36およびブリッジ電極37を形成する。その上にポリマ配向膜14を全面に形成し、以下最初の実施例と同様にする。こうすることによって、ゲート電極およびブリッジ電極は透明導電性膜の下方でも上方でもよく、さらにそれらは上下両方に分離して形成されてもよいのである(但し、上下両方に分離すると、ライトシールド層はゲート電極とブリッジ電極を形成するために両方とも必ず導電性である必要があり、かつそれらとコンタクトをとるために上下両方の透明絶縁膜にコンタクトホールを形成する必要が生じる)。

さらに、この実施例ではゲートバス32ではなくドレインバス33をブリッジ電極37を介して

導通させている。ゲートバスとドレインバスの交差部でそれらのうちいずれをブリッジ電極を介して導通させるかは、どの実施例においても任意であり、更に同一装置のマトリックスの位置によって変えてもよい。

また、オプティカルシールドは上下両方に形成することが一般的に好ましく、特に透過型ではそうであるが、反射型では上方だけにオプティカルシールドを形成してもよい。

以上の実施例では、本発明によるマトリックス状スイッチ素子（TFT）を液晶表示パネル（LCDパネル）に組み込んだ例を示したが、エレクトロルミネッセントパネル（ELパネル）等への応用も可能であり、本発明は光の照射があるマトリックス状駆動回路一般に適用できるものである。

発明の効果

以上の説明から明らかなように、本発明により、TFTをスイッチ素子とするアクティブマトリックス表示装置において、オプティカルシールドに

特開昭60-128486(4)

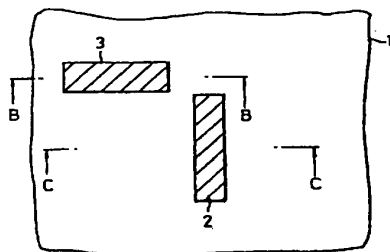
よりTFTのOFF抵抗の低下を防止しかつゲートバスおよびドレインバスを透明材料にして表示特性を高め、しかもその製造工程を簡単にすることが可能になる。

4. 図面の簡単な説明

第1a、2a、3a図は本発明の実施例の表示装置の工程順の平面図、第1b、2b、3b、4a図はその線分B-Bに沿った断面図、第1c、2c、3c、4b図はその線分C-Cに沿った断面図、第5図は第2の実施例の平面図、第6a図は第3の実施例の平面図、第6b図はその線分B-Bに沿った断面図である。

1、16……ガラス基板、2……ゲート電極（不透明）、3……ブリッジ電極（不透明）、4、12……透明絶縁膜、5、7……コンタクトホール、8……半導体層、9……ゲートバス、10……ドレインバス、11……両素電極、13……ポリシリコン（不透明）、14、18……ポリマ配向膜（透明）、15……液晶、17……対向電極（透明）。

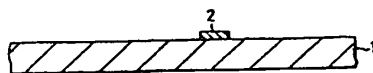
第1a図



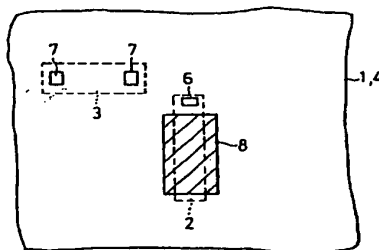
第1b図



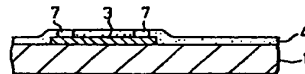
第1c図



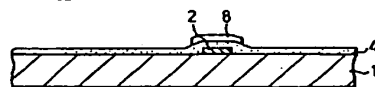
第2a図



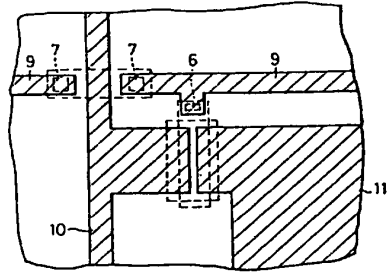
第2b図



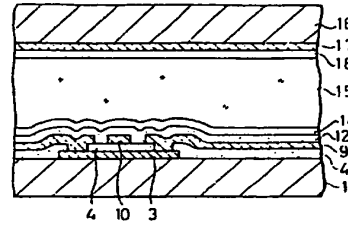
第2c図



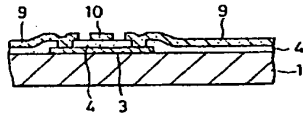
第3a図



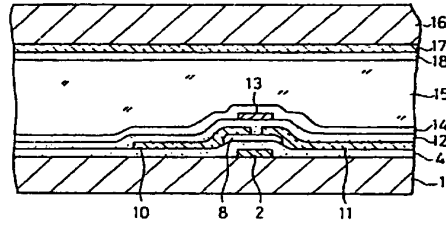
第4a図



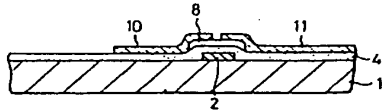
第3b図



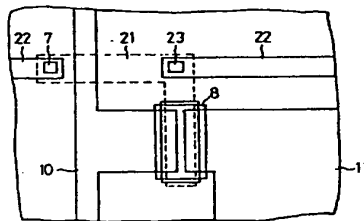
第4b図



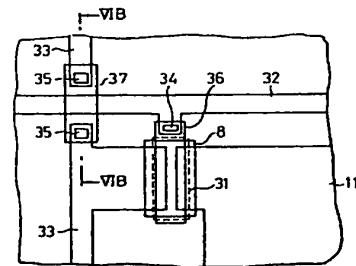
第3c図



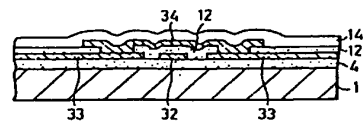
第5図



第6a図



第6b図





(11) **EP 1 003 223 A2**

(12) **EUROPEAN PATENT APPLICATION**

(43) Date of publication:
24.05.2000 Bulletin 2000/21

(51) Int. Cl.⁷: **H01L 29/786**, **H01L 21/331**,
H01L 21/8238, **H01L 27/092**

(21) Application number: **99122785.1**

(22) Date of filing: **16.11.1999**

(84) Designated Contracting States:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
 Designated Extension States:
AL LT LV MK RO SI

(72) Inventor: **Yamazaki, Shunpei**
Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(30) Priority: **17.11.1998 JP 32718098**
28.12.1998 JP 37322298
22.07.1999 JP 20695899

(74) Representative:
Grünecker, Kinkeldey,
Stockmair & Schwanhäusser
Anwaltssozietät
Maximilianstrasse 58
80538 München (DE)

(71) Applicant:
SEL SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.
Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(54) **Method of fabricating a TFT**

(57) There is provided a thin film transistor having improved reliability. A gate electrode includes a first gate electrode having a taper portion and a second gate electrode with a width narrower than the first gate electrode. A semiconductor layer is doped with phosphorus of a low concentration through the first gate electrode. In the semiconductor layer, two kinds of n⁻-type impurity regions are formed between a channel formation region

and n⁺-type impurity regions. Some of the n⁻-type impurity regions overlap with a gate electrode, and the other n⁻-type impurity regions do not overlap with the gate electrode. Since the two kinds of n⁻-type impurity regions are formed, an off current can be reduced, and deterioration of characteristics can be suppressed.

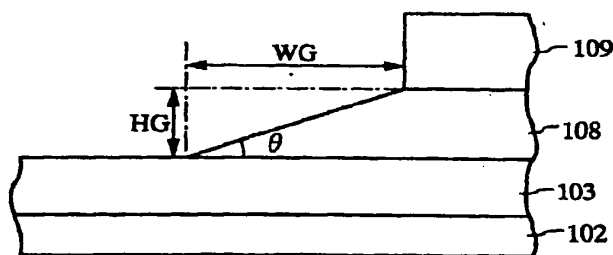


FIG. 3

EP 1 003 223 A2

Description

BACKGROUND OF THE INVENTION

1. Field of the Invention

[0001] The present invention relates to a thin film transistor (hereinafter referred to as a "TFT") and a semiconductor device including a circuit constituted by thin film transistors. The present invention also relates to, as the semiconductor device, an electro-optical device typified by, for example, a liquid crystal panel, and an electronic equipment including such an electro-optical device as a part. Incidentally, the term "semiconductor device" in this specification indicates any devices functioning by using semiconductor characteristics, and an electro-optical device, a semiconductor circuit, and an electronic equipment are also semiconductor devices.

2. Description of the Related Art

[0002] In recent years, attention has been paid to an active matrix type liquid crystal display device in which its circuit is constituted by TFT's using polysilicon films. This device controls an electric field applied to a liquid crystal in a matrix state by a plurality of pixels arranged in a matrix form, and realizes an image display with high fineness.

[0003] In such an active matrix type liquid crystal display device, as the resolution becomes high fineness like XGA or SXGA, the number of pixels alone comes to exceed one million. A driver circuit for driving all the pixels is formed of very complicated and numerous TFT's.

[0004] The specification required for an actual liquid crystal display device (also called a liquid crystal panel) is severe, and in order that all pixels normally operate, high reliability must be secured for both the pixels and the driver. Particularly, if an abnormality occurs in the driver circuit, there occurs a bad state called a linear defect in which all pixels of one column (or one row) are destroyed.

[0005] However, a TFT using a polysilicon film is generally considered to be inferior in reliability to a MOSFET (transistor formed on a single crystal semiconductor substrate) used for an LSI or the like. Such a view becomes strong that it is difficult to form an LSI circuit by TFTs unless this weak point is overcome.

[0006] As a structure for improving the reliability of a TFT, GOLD (Gate Overlapped Light-doped Drain), LATID (Large-Tilt-Angle Implanted Drain), and the like are known. The feature of these structures is that an LDD region and a gate electrode overlap with each other, and by doing so, it becomes possible to reduce an impurity concentration of the LDD region, an effect of relieving an electric field becomes large, and hot carrier resistance becomes high.

[0007] For example, in "M. Hatano, H. Akimoto, and

T. Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997", a TFT with the GOLD structure is realized by using a side wall formed of silicon.

[0008] However, the GOLD structure disclosed in the paper has a problem that an off current (current flowing when a TFT is in an off state) becomes large as compared with a normal LDD structure, and a countermeasure for that has been required.

SUMMARY OF THE INVENTION

[0009] An object of the present invention is to provide a TFT in which the defect of a GOLD structure TFT is removed, an off current is reduced, and hot carrier resistance is high. Another object of the invention is to realize a highly reliable semiconductor device including a semiconductor circuit which is formed of such TFTs.

[0010] In order to achieve the foregoing objects, a thin film transistor of the present invention includes an n-type or p-type first impurity region functioning as a source region or drain region in a semiconductor layer in which a channel is formed, and two kinds of impurity regions (second and third impurity regions) disposed between the channel and the first impurity region and having the same conductivity as the first impurity region. These second and third impurity regions have a concentration of an impurity, which determines the conductivity, lower than that of the first impurity region and function as high resistance regions.

[0011] The second impurity region is a low concentration impurity region which overlaps with a gate electrode through a gate insulating film, and has a function to increase hot carrier resistance. On the other hand, the third impurity region is a low concentration impurity region which does not overlap with the gate electrode, and has a function to prevent an off current from increasing.

[0012] Incidentally, the gate electrode is an electrode intersecting with the semiconductor layer through the gate insulating film, and is an electrode to form a depletion layer by applying an electric field to the semiconductor layer. In gate wiring lines, its portion intersecting with the semiconductor layer through the gate insulating film is the gate electrode.

[0013] Further, in the gate electrode of the present invention, the thickness of the periphery of the gate electrode is linearly decreased from its center flat portion toward the outside. Since the impurity to give the conductivity is added into the second impurity region through a taper portion of the gate electrode, the gradient of the concentration reflects the slant (change in the thickness) of the side of the gate electrode. That is, the concentration of the impurity added into the second impurity region increases from the channel formation region toward the first region.

[0014] In the present invention, in another structure of the gate electrode, a first gate electrode being in contact with a gate insulating film and a second gate elec-

trode formed on the first gate electrode are laminated to each other. In this structure, an angle formed between the side of the first gate electrode and the gate insulating film is from 3 degrees to 60 degrees, and a taper shape is formed. On the other hand, the width of the second gate electrode in the channel length direction is shorter than the first gate electrode.

[0015] Also in a thin film transistor including the above laminate type gate electrode, the concentration distribution of the impurity in the second impurity region reflects the change in the film thickness of the first gate electrode, and its impurity concentration increases from the channel formation region toward the first region.

[0016] Since the thin film transistor of the present invention includes the two kinds of low concentration impurity regions in the semiconductor layer, it has reliability comparable to or superior to a MOSFET.

BRIEF DESCRIPTION OF THE DRAWINGS

[0017]

Figs. 1A to 1D are sectional views showing fabricating steps of a TFT of the present invention (embodiment mode 1);

Figs. 2A to 2C are sectional views showing fabricating steps of a TFT of the present invention (embodiment mode 1);

Fig. 3 is a partial sectional view of a gate electrode (embodiment mode 1);

Figs. 4A to 4D are partial sectional views of semiconductor layers (embodiment mode 1);

Figs. 5A to 5C are sectional views showing fabricating steps of a TFT of the present invention (embodiment mode 2);

Figs. 6A to 6C are sectional views showing fabricating steps of a TFT of the present invention (embodiment mode 2);

Fig. 7 is a sectional view of a TFT of the present invention (embodiment mode 3);

Fig. 8 is a sectional view of a TFT of the present invention (embodiment mode 4);

Fig. 9 is a sectional view of a TFT of the present invention (embodiment mode 4);

Fig. 10 is a view showing the outline of a liquid crystal display device of the present invention (example 1);

Figs. 11A to 11C are top views showing a pixel portion and a CMOS circuit of the present invention (example 1);

Figs. 12A and 12B are sectional views of an active matrix substrate of the present invention (example 1);

Figs. 13A to 13F are sectional views showing fabricating steps of a pixel portion of the present invention (example 1);

Figs. 14A to 14E are sectional views showing fabricating steps of the pixel portion of the present

invention (example 1);

Figs. 15A to 15F are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 1);

Figs. 16A to 16E are sectional views showing fabricating steps of the CMOS circuit of the present invention (example 1);

Figs. 17A to 17E are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 2);

Figs. 18A to 18E are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 3);

Figs. 19A to 19E are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 4);

Figs. 20A to 20E are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 5);

Figs. 21A to 21E are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 6);

Fig. 22 is a view showing a plasma generating mechanism of an ICP etching apparatus (example 7);

Fig. 23 is a conceptual view of an ICP etching apparatus of a multi-spiral coil system (example 7);

Fig. 24 is a characteristic view of bias power versus taper angle θ (example 7);

Fig. 25 is a characteristic view of CF_4 flow rate versus taper angle θ (example 7);

Fig. 26 is a characteristic view of $(W/resist)$ selection ratio versus taper angle θ (example 7);

Figs. 27A and 27B are views showing fabricating steps of a crystalline silicon film of the present invention (example 8);

Figs. 28A and 28B are views showing fabricating steps of a crystalline silicon film of the present invention (example 9);

Figs. 29A and 29B are views showing fabricating steps of a crystalline silicon film of the present invention (example 10);

Figs. 30A and 30B are views showing fabricating steps of a crystalline silicon film of the present invention (example 11);

Figs. 31A to 31D are views showing fabricating steps of a CMOS circuit of the present invention (example 13);

Figs. 32A to 32F are views showing examples of electronic equipments of the present invention (example 15);

Figs. 33A to 33D are views showing examples of electronic equipments of the present invention (example 15);

Figs. 34A to 34H are characteristic views of gate voltage - drain current of a TFT;

Figs. 35A to 35B are views showing a structure of an active matrix type EL display panel (example

16);

Figs. 36A to 36B are views showing a structure of an active matrix type EL display panel (example 17);

Fig. 37 is a view showing a cross section of a pixel portion in the active matrix type EL display panel (example 18);

Figs. 38A to 38B are views showing a structure of the pixel portion in an active matrix type EL display panel and a circuit structure for the pixel portion, respectively (example 18);

Fig. 39 is a view showing a structure of a pixel portion in an active matrix type EL display panel (example 19);

Figs. 40A-40C are views showing circuit structures for pixel portions in active matrix type EL display panels (example 20).

DETAILED DESCRIPTION OF THE INVENTION

[0018] First, the advantages of the present invention as compared with a conventional TFT will be described with reference to Figs. 34A to 34H.

[0019] The feature of the present invention is that two kinds of low concentration impurity regions of a second impurity region (gate overlap type LDD region) and a third impurity region (gate non-overlap type LDD region) are formed in a semiconductor layer.

[0020] Fig. 34A is a schematic view of an n-channel TFT without an LDD region, and Fig. 34B is a view showing its electrical characteristics (characteristics of gate voltage V_g versus drain current I_d). Similarly, Figs. 34C and 34D show a case of a normal LDD structure, Figs. 34E and 34F show a case of a so-called GOLD structure, and Figs. 34G and 34H show a case of an n-channel TFT of the present invention.

[0021] In the drawings, reference character "n+" designates a source region or drain region, "channel" designates a channel formation region, and "n" designates a low concentration impurity region having an impurity concentration lower than the region "n+". The reference character " I_d " designates a drain current and " V_g " designates a gate voltage.

[0022] As shown in Figs. 34A and 34B, in the case where an LDD does not exist, an off current (drain current when a TFT is in an off state) is high, and an on current (drain current when the TFT is in an on state) and the off current are apt to deteriorate.

[0023] On the other hand, by forming a gate non-overlap type LDD, the off current can be considerably suppressed, and deterioration of both the on current and the off current can be suppressed. However, the deterioration of the on current is not completely suppressed (Figs. 34C and 34D).

[0024] The TFT structure shown in Figs. 34E and 34F (GOLD structure) has only an overlap type LDD in which an LDD region overlaps with a gate electrode, and this structure is such that importance is attached to

the suppression of deterioration of an on current in the conventional LDD structure.

[0025] In this case, although the deterioration of the on current can be sufficiently suppressed, this structure has a problem that the off current is slightly higher than the normal non-overlap type LDD structure. The paper disclosed in the prior art adopts this structure, and on the premise of the recognition of this problem that the off current is high, the present invention is a result obtained after searching for a structure to solve this problem.

[0026] As shown in Figs. 34G and 34H, the structure of the present invention is such that an LDD region (second impurity region) which is made to overlap with a gate electrode and an LDD region (third impurity region) which does not overlap with the gate electrode are formed in a semiconductor layer. By adopting this structure, it becomes possible to reduce the off current while the effect of suppressing the deterioration of the on current is maintained.

[0027] The present applicant has presumed the reason why the off current becomes high in the case of the structure as shown in Figs. 34E and 34F as follows: When an n-channel TFT is in an off state, a negative voltage of minus several tens volts is applied to a gate electrode. If a positive voltage of plus several tens volts is applied to a drain region in that state, a very large electric field is formed at a drain side end of a gate insulating film.

[0028] At this time, holes are induced in the LDD region, and a current path through minority carriers and connecting the drain region, the LDD region, and the channel formation region is formed. It is expected that this current path causes the increase of the off current.

[0029] The present applicant has considered that in order to cut off such a current path on the way, it is necessary to form another resistor, that is, a third impurity region of an LDD region at a position where it does not overlap with the gate electrode. The present invention relates to a thin film transistor having such a structure and a circuit using this thin film transistor.

[Embodiment Mode of the Invention]

[0030] Embodiment modes of the present invention will be described with reference to Figs. 1A to 7.

[Embodiment Mode 1]

[0031] In this embodiment mode, the present invention is applied to a TFT. Fabricating steps in this embodiment mode will be described with reference to Figs. 1A to 4D.

[0032] First, an under film 101 is formed on the entire surface of a substrate 100, and an island-like semiconductor layer 102 is formed on the under film 101. An insulating film 103 which becomes a gate insulating film is formed on the entire surface of the sub-

strate 100 to cover the semiconductor layer 102 (Fig. 1A).

[0033] As the substrate 100, a glass substrate, a quartz substrate, a crystalline glass substrate, a stainless substrate, or a resin substrate of polyethylene terephthalate (PFT) etc. may be used.

[0034] The under film 101 is a film for preventing an impurity such as a sodium ion from diffusing from the substrate to the semiconductor layer 102 and for increasing the adhesion of a semiconductor film formed on the substrate 100. As the under film 101, a single-layer or multi-layer film of an inorganic insulating film such as a silicon oxide film, a silicon nitride film, and a silicon nitride oxide film.

[0035] As a method of forming the under film 101, it is possible to use not only a CVD method or a sputtering method, but also a method of forming a silicon oxide film by forming and thermally oxidizing an amorphous silicon film in the case where a heat-resistant substrate such as a quartz substrate is used.

[0036] As the under film 101, it is possible to use not only the above inorganic insulating film, but also a multi-layer film in which the above inorganic insulating film as an upper layer is laminated on a lower layer of a conductive film of metal or alloy such as silicide of tungsten silicide etc., chromium, titanium, titanium nitride, and aluminum nitride.

[0037] The material and crystallinity of the semiconductor layer 102 may be suitably selected according to characteristics required for the TFT. It is possible to use amorphous silicon, amorphous silicon germanium, amorphous germanium, or crystalline silicon, crystalline germanium, or crystalline silicon germanium, which is obtained by crystallizing the amorphous semiconductor with laser irradiation or heating treatment. The thickness of the semiconductor layer 102 may be made 10 to 150 nm.

[0038] The insulating film 103 is a film for making a gate insulating film of the TFT, and is a single-layer film or a multi-layer film of an inorganic film of silicon oxide, silicon nitride, or silicon nitride oxide. For example, in the case of making a laminate film, a two-layer film of a silicon nitride oxide film and a silicon oxide film, a laminate film of a silicon nitride film sandwiched between silicon oxide films, or the like may be used.

[0039] As a method of forming the insulating film 103, a chemical vapor deposition method (CVD) such as a plasma CVD method or ECRCVD method, or a physical vapor deposition method (PVD) such as a sputtering method may be used.

[0040] A first conductive film 104 and a second conductive film 105 for making a gate electrode (gate wiring line) are formed on the insulating film 103 (Fig. 1B).

[0041] The first conductive film 104 makes a first gate electrode (first gate wiring line) 108 having a taper portion. Thus, it is desirable to use a material in which taper etching can be easily carried out. For example, a material containing chromium (Cr) or tantalum (Ta) as

its main ingredient (composition ratio is 50 % or more), or n-type silicon containing phosphorus is typically used. Besides, a material containing titanium (Ti), tungsten (W), molybdenum (Mo), or the like as its main ingredient may be used. Besides, it is possible to use not only a single-layer film of the material but also a multi-layer film, for example, a three-layer film of tantalum nitride (Ta₃N₅) films and a tantalum film sandwiched between them.

[0042] The second conductive film 105 is a film for making a second gate electrode (second gate wiring line) 109, and it may be formed of a material containing aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo) as its main ingredient (composition ratio is 50 % or more), or a material such as n-type silicon containing phosphorus or silicide. However, it is necessary to select such materials that there is an etching selection ratio in mutual patterning of the first conductive film and the second conductive film.

[0043] For example, as the first conductive film 104/the second conductive film 105, it is possible to select the combination of n-type Si/Ta, n-type Si/Ta-Mo alloy, Ta/Al, Ti/Al, W/W, TaN/Ta, etc. As another index of selection of materials, it is desirable that the second conductive film 105 has resistivity as low as possible, and is made of a material having sheet resistance lower than, at least, the first conductive film 104. This is because contact is made between the second gate wiring line and an upper layer wiring line in order to connect the gate wiring line to the upper layer wiring line. The thickness of the first conductive film 104 is made 10 to 400 nm, the thickness of the second conductive film is made 10 to 400 nm, and the total of the thicknesses is made 200 to 500 nm.

[0044] Next, a resist mask 106 is formed on the second conductive film 105. The second conductive film 105 is etched by using the resist mask 106 to form a second gate electrode 109. As etching, isotropic wet etching may be used. If an etching selection ratio can be secured with respect to the first conductive film 104, dry etching may be used (Fig. 1C).

[0045] The first conductive film 104 is anisotropically etched (so-called taper etching) by using the same resist mask 106 to form a first gate electrode (first gate wiring line) 108. A new resist mask may be formed for this etching.

[0046] By this etching, as shown in Fig. 3, a taper angle θ between a side of the gate electrode 108 and the gate insulating film 103 is made from 3 degrees to 60 degrees. This taper angle θ is made preferably from 5 degrees to 45 degrees, more preferably from 7 degrees to 20 degrees. The smaller the angle θ is, the smaller the change in the thickness of the taper portion of the gate electrode 108 is, and correspondingly to this, it is possible to moderate the change of concentration of an n-type or p-type impurity in a portion of the semiconductor layer which intersects with the taper portion.

[0047] As shown in Fig. 3, the taper angle θ is defined as $\tan \theta = HG/WG$ using the width WG of the taper portion and the thickness HG.

[0048] The resist mask 106 is removed and an impurity of predetermined conductivity (n-type or p-type) is added into the semiconductor layer 102 by using the gate electrodes 108 and 109 as masks. As a method of the addition, an ion implantation method or an ion doping method may be used. The n-type impurity is an impurity which becomes a donor, is an element in group 15 with respect to silicon or germanium, and is typically phosphorus (P) or arsenic (As). The p-type impurity is an impurity which becomes an acceptor, is an element in group 13 with respect to silicon or germanium, and is typically boron (B).

[0049] Here, phosphorus is added by the ion doping method to form n-type impurity regions 111 and 112. In this adding step, the concentration distribution of the n-type impurity in n-type second impurity regions 124 and 125, and n-type third impurity regions 126 and 127 is determined. In this specification, the term n-type indicates that the concentration of an impurity which becomes a donor is lower than n⁺ type, and the sheet resistance is higher (Fig. 2A).

[0050] Since phosphorus is added into the n-type impurity regions 111 and 112 through the taper portion of the first gate electrode 108, the concentration gradient reflects the change in the thickness of the taper portion of the first gate electrode 108 as shown in the drawing. That is, in the concentration distribution of phosphorus in the depth direction, when attention is paid to a depth where the concentration has an arbitrary value, the gradient of the concentration becomes a profile reflecting the slant of the taper portion of the gate electrode.

[0051] Further, as described later, the concentration gradient of the n-type impurity regions 111 and 112 depends on also an acceleration voltage at the time of doping. In the present invention, for the purpose of making phosphorus pass through the taper portion of the first gate electrode 108 and the insulating film 103, it is necessary to set the acceleration voltage of doping as high as 40 to 100 keV. If this acceleration voltage is selected, phosphorus can pass through the portion with a thickness of 100 nm or less of the taper portion of the gate electrode 108.

[0052] In Fig. 2A, although the regions overlapping with the first electrode 108 in the n-type impurity regions 111 and 112 are respectively shown by a hatching portion and a blank portion, this does not indicate that phosphorus is not added into the blank portion, but as described above, this is intended to make it possible to intuitively understand that the concentration distribution of phosphorus in this region reflects the thickness of the taper portion of the first gate electrode 108. The same thing can be said of the other drawings in this specification.

[0053] Next, a resist mask 120 covering the gate

electrodes 108 and 109 is formed. The length of the third impurity region is determined by this mask 120. Phosphorus as an n-type impurity is again added into the semiconductor layer 102 by the ion doping method through the resist mask 120 (Fig. 2B).

[0054] Phosphorus is selectively added into the n-type impurity regions 111 and 112 not covered with the resist mask 120, so that n⁺-type first impurity regions 122 and 123 are formed. Since a region 121 covered with the second gate electrode 109 is not added with phosphorus in the adding steps of Figs. 2A and 2B, it becomes a channel formation region.

[0055] In the n-type impurity regions 111 and 112, regions which were not added with phosphorus in the adding step of Fig. 2B become low concentration impurity regions 124 to 127 which have resistance higher than source/drain regions.

[0056] The regions 124 and 125 overlapping with the first gate electrode 108 become the n-type second impurity region, and the regions not overlapping with the first electrode 108 become the n-type third impurity regions 126 and 127.

[0057] Incidentally, prior to the adding step of Fig. 2B, the surface of the semiconductor layer 102 may be exposed by etching the insulating film 103 with the gate wiring line as a mask.

[0058] As shown in Figs. 4A to 4D, the second impurity region 124 is classified into four types. For the purpose of distinguishing these, Fig. 4 is divided into Figs. 4A to 4D, and reference numerals 121 and 124 are added with indices A-D. Although not shown in Figs. 4A to 4D, the other second impurity region 125 symmetrically formed with respect to the gate electrode 109 is also similar to the region 124.

[0059] As shown in Fig. 4A, the concentration of phosphorus in a second impurity region 124A is in inverse proportion to the change of the thickness of the taper portion of the first gate electrode 108, and it is almost linearly decreased from the third impurity region 126 toward a channel formation region 121A. That is, in the case where the concentration of phosphorus in the second impurity region 124A is averaged in the depth direction, the averaged concentration of phosphorus increases from the channel formation region 121A toward the third impurity region 126A.

[0060] In this case, in the third impurity region 126A, the averaged concentration of phosphorus in the thickness direction becomes almost uniform in the region 126A. Since phosphorus is not absolutely added into the semiconductor layer covered with the second gate electrode 109, this region becomes the channel formation region 121A, and a channel length LA becomes the width of the second gate electrode 109 in the channel length direction.

[0061] In the phosphorus adding step of Fig. 2A, in the case of making an acceleration voltage higher than the case of Fig. 4A, as shown in Fig. 4B, phosphorus is added also into a connection portion of a second impu-

urity region 124B to a channel formation region 121B. Also in this case, the channel formation region 121B is a region covered with the second gate electrode 109, and a channel length LB becomes the width of the second gate electrode 109 in the channel length direction. Even if the acceleration voltage is the same as the case of Fig. 4A, also in the case where the taper angle is small or the thickness of the taper portion is thin, the second impurity region 124B can be formed.

[0062] In the case of further increasing the acceleration voltage, as shown in Fig. 4C, the concentration of phosphorus averaged in the thickness direction can also be made uniform in a second impurity region 124C. In this case, a channel length LC becomes the width of the second gate electrode 109 in the channel length direction.

[0063] When the acceleration voltage is made smaller than the case of Fig. 4A in the phosphorus adding step of Fig. 2A, as shown in Fig. 4D, since phosphorus can pass through only a thin portion of the taper portion of the first gate electrode 108, a second impurity region 124D becomes narrower than that in Fig. 4A.

[0064] In the second impurity region 124D, similarly to Fig. 4A, the averaged concentration of phosphorus in the depth direction is gradually decreased from a third impurity region 126D toward a channel formation region 121D. However, the case of Fig. 4D is different from Fig. 4A, that is, the connection portion between the second impurity region 124D and the channel formation region 121D exists under the taper portion of the first gate electrode 108. Thus, a channel length LD becomes wider than the width of the second gate electrode 109 in the channel length direction.

[0065] Even if the acceleration voltage is the same as Fig. 4A, also in the case where the taper angle is large or the film of the first gate electrode 108 is thick, the second impurity region 124D of Fig. 4D can be formed.

[0066] As described above, when the impurity is added by the plasma doping method, in the taper portion of the first gate electrode 108, the impurity can pass through the portion with a thickness of 100 nm or less to form the second impurity region 124, so that the channel length and the length of the second impurity region can be controlled by adjusting the thickness of the first conductive film 104 (thickness of a portion where the thickness of the first gate electrode 108 becomes maximum) and the taper angle θ .

[0067] Here, the length (in the channel length direction) of the first impurity regions 122 and 123 is 2 to 20 μm (typically 3 to 10 μm). The concentration of the impurity (in this case, phosphorus) to give the conductivity to the semiconductor layer is 1×10^{19} to 1×10^{21} atoms/cm³ (typically 1×10^{20} to 5×10^{20} atoms/cm³). The first impurity regions 122 and 123 are respectively low resistance regions to electrically connect a source wiring line or drain wiring line with the TFT, and become a source region or drain region.

[0068] The length of the second impurity regions 124 and 125 is 0.1 to 1 μm (typically 0.1 to 0.5 μm , preferably 0.1 to 0.2 μm), and the concentration of phosphorus is 1×10^{15} to 1×10^{17} atoms/cm³ (typically 5×10^{15} to 5×10^{16} atoms/cm³, preferably 1×10^{16} to 2×10^{16} atoms/cm³). Since the impurity is added through the first gate electrode 108, the concentration of phosphorus becomes lower than the first and third impurity regions.

[0069] The length of the third impurity regions 126 and 127 is 0.5 to 2 μm (typically 1 to 1.5 μm), and the concentration of phosphorus is 1×10^{16} to 1×10^{19} atoms/cm³ (typically 1×10^{17} to 5×10^{18} atoms/cm³, preferably 5×10^{17} to 1×10^{18} atoms/cm³).

[0070] The channel formation region 121 is made of an intrinsic semiconductor layer, and is a region which does not contain an impurity (phosphorus) added into the first impurity region or a region which contains boron with a concentration of 1×10^{16} to 5×10^{18} atoms/cm³. Boron is an impurity for controlling threshold voltage or for preventing punch through, and other elements may be used if the same effect is obtained. Also in that case, its concentration is made the same as boron.

[0071] Although the low concentration impurity region (third impurity regions 126, 127) not overlapping with the gate electrode is formed between the first impurity regions 122, 123 and the second impurity regions 124, 125, two or more impurity regions where impurity concentration is different from each other may be formed in this portion. In the present invention, at least one impurity region with impurity (phosphorus) concentration lower than the first impurity regions 122, 123, that is, at least one impurity region with resistance higher than the first impurity regions 122, 123 has only to exist at least between the first impurity regions 122, 123 and the second impurity regions 124, 125. Of course, it is also important that this impurity region (third impurity region) with high resistance does not overlap with the gate electrode.

[0072] After the first impurity regions 122 and 123 are formed, the resist mask 120 is removed. Phosphorus added into the semiconductor layer 102 is activated by a heat treatment. As the activation step, not only the heat treatment but also light annealing by laser or infrared lamp light may be carried out.

[0073] Next, an interlayer insulating film 130 made of silicon oxide or the like is formed. Contact holes reaching the first impurity regions 122 and 123, and the second gate wiring line 109 are formed in the gate insulating film 103 and the interlayer insulating film 130. A source electrode 131, a drain electrode 132, and a not-shown lead electrode for the gate wiring line are formed.

[Embodiment Mode 2]

[0074] Fabricating steps of a TFT of this embodiment mode 2 will be described with reference to Figs. 5A to 5C and Figs. 6A to 6C. This embodiment mode is

a modified example of the embodiment mode 1, in which the structure of a gate electrode (gate wiring line) is modified, and another main structure is the same as the embodiment mode 1.

[0075] Although the gate electrode in the embodiment mode 1 has such a structure that two gate electrodes with different widths are laminated, in this embodiment mode, the upper second electrode is omitted, and the gate electrode is formed of only a first gate electrode having a taper portion.

[0076] First, an under film 141 is formed on the entire surface of a substrate 140, and an island-like semiconductor layer 142 is formed on the under film 141. An insulating film 143 which becomes a gate insulating film is formed on the entire surface of the substrate 140 to cover the semiconductor layer 142 (Fig. 5A).

[0077] A conductive film 144 for making a gate electrode (gate wiring line) is formed on the gate insulating film 143. It is desirable that this conductive film 144 is made of a material in which taper etching can be easily carried out. For example, a material containing chromium (Cr) or tantalum (Ta) as its main ingredient (composition ratio is 50 % or more), or n-type silicon containing phosphorus is typically used. A material containing titanium (Ti), tungsten (W), molybdenum (Mo), etc. as its main ingredient may also be used. Besides, it is possible to use not only a single layer film of these materials but also a multi-layer film. For example, it is possible to use a three-layer film made of tantalum nitride (Ta₃N₅) films and a tantalum film sandwiched between them. The thickness of the conductive film 144 is made 200 to 500 nm (Fig. 5B).

[0078] Next, a resist mask 145 is formed on the conductive film 144. The conductive film is etched by using the mask 145 to form a gate electrode (gate wiring line) 146 (Fig. 5C).

[0079] By this etching, as shown in Fig. 3, a taper angle θ between a side of the gate electrode 146 and the gate insulating film is made from 3 degrees to 60 degrees. This taper angle θ is preferably from 5 degrees to 45 degrees, more preferably from 7 degrees to 20 degrees.

[0080] An impurity of predetermined conductivity (n-type or p-type) is added into the semiconductor layer 142 in the state where the resist mask 145 exists. Here, phosphorus is added by an ion doping method to form n⁺-type impurity regions 148 and 149. In this adding step, the concentration distribution of n⁺-type second impurity regions 154 and 155, and n⁺-type third impurity regions 156 and 157 is determined. Although described later, a region covered with the resist mask 145 becomes a channel formation region 151 (Fig. 6A).

[0081] Since a second gate electrode does not exist, this adding step requires a mask to prevent phosphorus from being added into a region where a channel of the semiconductor layer 142 is formed. Although the resist mask 145 used for etching of the conductive film

144 was used as such a mask, a mask for addition of an impurity may be newly formed.

[0082] Next, the resist mask 145 is removed, and a resist mask 150 covering the gate electrode 146 is formed. Since phosphorus as an n-type impurity is again added into the semiconductor layer 142 by the ion doping method through the resist mask 150, the length of the third impurity region is determined by the resist mask 150. Prior to this adding step, the surface of the semiconductor layer 142 may be exposed by etching the insulating film 143 using the gate wiring line 146 as a mask (Fig. 6B).

[0083] As shown in Fig. 6B, phosphorus is selectively added into portions of the n⁺-type impurity regions 148 and 149 which are not covered with the resist mask 150, so that n⁺-type first impurity regions 152 and 153 are formed.

[0084] The state of Fig. 6A is maintained in conductivity and resistance value of the region covered with the resist mask 150. Thus, the region 151 previously covered with the resist mask 145 becomes the channel formation region. The (overlap) regions overlapping with the gate electrode 146 become the n⁺-type second impurity regions 154 and 155, and the regions not overlapping with the gate electrode 146 become the n⁺-type third impurity regions 156 and 157. The second and third impurity regions 154 to 157 are low concentration impurity regions with resistance higher than the first impurity regions 152 and 153.

[0085] Similarly to the embodiment mode 1, also in this embodiment mode 2, the second impurity regions 154 and 155 can be respectively classified into the four types shown in Figs. 4A to 4D. With respect to the channel formation region 151 and the first to third impurity regions 152 to 157, the length in the channel length direction and the impurity concentration are the same as the embodiment mode 1. However, in this embodiment mode, instead of the gate electrode 109 of the embodiment mode 1, the channel length is determined by the resist mask 145 used in the adding step of Fig. 6A.

[0086] Since the gate electrode of the embodiment mode 1 has the laminate structure of the electrodes with different shapes, even if the thickness of the first gate electrode 108 is made thin, it is possible to reduce the resistance by thickening the second gate electrode 109. However, since the gate electrode 146 of this embodiment mode is a single-layer electrode having a taper portion, the thickness becomes larger than the first gate electrode 108.

[0087] Since the width WG (see Fig. 3) of the taper portion has a limit in view of the width of the gate electrode, it is most practical that the concentration distribution of the impurity in the second impurity regions 154 and 155 is made the type shown in Fig. 4D.

[0088] Although one low concentration impurity region (third impurity regions 156, 157) not overlapping with the gate electrode is formed in a portion between

the first impurity regions 152, 153 and the second impurity regions 154, 155, two or more impurity regions where impurity concentration is different from each other may be formed in this portion. In the present invention, at least one impurity region with an impurity (phosphorus) concentration lower than and with resistance higher than the first impurity regions 152, 153 has only to exist at least between the first impurity regions 152, 153 and the second impurity regions 154, 155.

[0089] After the first impurity regions 152 and 153 are formed, the resist mask 150 is removed. Phosphorus added into the semiconductor layer 142 is activated by a heat treatment. As the activation step, not only the heat treatment but also light annealing by laser or infrared lamp light may be carried out. However, in order to activate phosphorus in the second impurity regions 154 and 155, since they overlap with the gate electrode 146, the heat treatment is indispensable.

[0090] Next, an interlayer insulating film 158 made of silicon oxide or the like is formed. Contact holes reaching the first impurity regions 152 and 153 and the second gate wiring line 146 are formed in the gate insulating film 143 and the interlayer insulating film 158. A source electrode 159, a drain electrode 160, and a not-shown lead electrode for the gate wiring line 146 are formed.

[Embodiment Mode 3]

[0091] Fabricating step of a TFT of this embodiment mode will be described with reference to Fig. 7. This embodiment mode is also a modified example of the embodiment mode 1, in which the structure of a gate electrode (gate wiring line) is modified, and another main structure is the same as the embodiment mode 1. Incidentally, in Fig. 7, the same reference numerals as Figs. 1 and 2 designate the same structural elements.

[0092] Similarly to the embodiment mode 1, although a gate electrode of this embodiment mode 3 has such a structure that a first gate electrode 168 and a second gate electrode 169 are laminated to each other, this embodiment mode is an example in which a side of the first gate electrode 168 is not made tapered. In this embodiment mode, the portion of the first gate electrode 168 extending from the side of the second gate electrode 169 to the outside also has an almost constant film thickness.

[0093] A channel formation region 161, n⁺-type first impurity regions 162 and 163, n⁻-type second impurity regions 164 and 165, and n⁻-type third impurity regions 166 and 167 are formed in a semiconductor layer through addition of phosphorus similar to the embodiment mode 1.

[0094] In this embodiment mode, since the thickness of the first gate electrode 168 is made constant, the impurity concentration in the second impurity regions 164 and 165 hardly has a gradient.

[Embodiment Mode 4]

[0095] This embodiment mode is a modified example of the embodiment mode 1 and the embodiment mode 2. In the embodiment modes 1 and 2, the thickness of the taper portion of the gate electrode changes almost linearly. In this embodiment mode, the thickness of a taper portion is nonlinearly changed.

[0096] Fig. 8 shows a modified example of a TFT of the embodiment mode 1. In Fig. 8, the same reference numerals as those of Figs. 2A to 2C designate the same structural elements. As shown in Fig. 8, the thickness of a taper portion of a first gate electrode 170 (gate wiring line) is nonlinearly changed. A channel formation region 171, n⁺-type first impurity regions 172 and 173, n⁻-type second impurity regions 174 and 175, and n⁻-type third impurity regions 176 and 177 are formed in a semiconductor layer through addition of phosphorus similar to the embodiment mode 1.

[0097] Fig. 9 shows a modified example of a TFT of the embodiment mode 2. In Fig. 9, the same reference numerals as those of Figs. 6A to 6C designate the same structural elements. As shown in Fig. 9, the thickness of a taper portion of a gate electrode 180 (wiring line) is nonlinearly changed. A channel formation region 181, n⁺-type first impurity regions 182 and 183, n⁻-type second impurity regions 184 and 185, and n⁻-type third impurity regions 186 and 187 are formed in a semiconductor layer through addition of phosphorus similar to the embodiment mode 1.

[0098] As shown in the sectional views of Figs. 8 and 9, the thickness of a portion of the gate electrodes 170, 180 which are slightly shifted from a portion where its thickness is constant is made extremely thin, so that an impurity which becomes a donor or acceptor is made to easily pass through the gate electrodes 170, 180.

[0099] In order to form the taper portion as shown in the drawings at the gate electrodes 170, 180, a conductive film has only to be etched through combination of anisotropic etching and isotropic etching.

[0100] Incidentally, it is needless to say that the structure of the TFT disclosed in the embodiment modes 1 to 4 can be applied to all examples of the present invention described below.

[Examples]

[0101] Examples of the present invention will be described with reference to Figs. 10 to 25.

[Example 1]

[0102] Example 1 is an example in which the present invention is applied to an active matrix type liquid crystal display device.

[0103] Fig. 10 is a schematic structural view of an active matrix type liquid crystal display panel of this example. The liquid crystal panel has such a structure

that a liquid crystal is held between an active matrix substrate and an opposite substrate, and can display a picture on the panel by applying voltage corresponding to picture data to the liquid crystal through electrodes formed on the active matrix substrate and the opposite substrate.

[0104] In an active matrix substrate 200, a pixel portion 202 using TFTs as switching elements, and a gate driver circuit 203 and a source driver circuit 204 for driving the pixel portion 202 are formed on a glass substrate 300. The driver circuits 203 and 204 are respectively connected to the pixel portion 202 through a source wiring line and a drain wiring line.

[0105] Further, a signal processing circuit 205 for processing signals inputted to the driver circuits 203 and 204, and external terminals for inputting electric power and control signals to the driver circuits 202 and 203 and the signal processing circuit 205 are formed on the glass substrate 300, and an FPC 206 is connected to the external terminals.

[0106] In the opposite substrate 210, a transparent conductive film such as an ITO film is formed on the entire surface of a glass substrate. The transparent conductive film is an opposite electrode to a pixel electrode of the pixel portion 202, and the liquid crystal material is driven by an electric field formed between the pixel electrode and the opposite electrode. Further, if necessary, an orientation film and a color filter are formed on the opposite substrate 210.

[0107] Fig. 11A shows an equivalent circuit of one pixel of the pixel portion, Fig. 11B is a top view of the pixel portion 202. Fig. 11C is a top view of a CMOS circuit constituting the driver circuits 202 and 203.

[0108] Figs. 12A and 12B are sectional views of the active matrix substrate. Fig. 12A is a sectional view of the pixel portion 202, and corresponds to a section taken along chain line X-X' of Fig. 11B. Fig. 12B is a sectional view of the CMOS circuit, and corresponds to a section taken along chain line Y-Y' of Fig. 11C. As shown in Figs. 12A and 12B, a pixel TFT and a thin film transistor of the CMOS circuit are simultaneously formed on the same glass substrate 300.

[0109] In the pixel portion 202, a gate wiring line 350 is formed for every row, and a source wiring line 380 is formed for every column. A pixel TFT 220 is formed in the vicinity of an intersecting portion of the gate wiring line 350 and the source wiring line 380. A source region of the pixel TFT 220 is connected with the source wiring line 380, and a drain region is connected with two capacitors of a liquid crystal cell 240 and a storage capacity 230.

[0110] The liquid crystal cell 240 is a capacitor having a pair of electrodes of a pixel electrode 390 and a transparent electrode of the opposite substrate 210 and a dielectric of the liquid crystal, and is electrically connected to the pixel TFT 220 through the pixel electrode 390. The storage capacity 230 is a capacitor having a pair of electrodes of a common wiring line 360 and a

channel region formed in a semiconductor layer of the pixel TFT 220, and a dielectric of a gate insulating film.

[0111] Fabricating steps of the active matrix substrate of this example will be described with reference to Figs. 13A to Figs. 16E. Figs. 13A to 13F and Figs. 14A to 14E are sectional views showing fabricating steps of the pixel portion, and Figs. 15A to 15F and Figs. 16A to 16E are sectional views showing fabricating steps of the CMOS circuit.

[0112] A glass substrate 300 is prepared. In this example, a substrate of 1737 glass made by Corning Inc. is used. A silicon oxide film with a thickness of 200 nm is formed as an under film 301 on the surface of the glass substrate 300 by a plasma CVD method and using a TEOS gas as a raw material. The under film 301 is heated at 400°C for 4 hours.

[0113] An amorphous silicon film with a thickness of 500 nm is formed on the under film 301 by a PECVD method using SiH_4 diluted with H_2 gas. Next, the amorphous silicon film is heated at 450°C for 1 hour so that a dehydrogenating process is carried out. The concentration of hydrogen atoms in the amorphous silicon film is made 5 atomic % or less, preferably 1 atomic % or less. The amorphous silicon film after the dehydrogenating process is irradiated with excimer laser light so that a crystalline (polycrystal) silicon film 401 is formed. The condition of the laser crystallization is such that an XeCl excimer laser is used as a laser light source, laser light is shaped into a linear beam by an optical system, a pulse frequency is made 30 Hz, an overlap ratio is made 96 %, and a laser energy density is made 359 mJ/cm² (Fig. 13A, Fig. 15A).

[0114] As the method of forming the amorphous silicon film, other than the PECVD method, an LPCVD method or a sputtering method may be used. As the laser for crystallizing the amorphous silicon, other than a pulse oscillation type laser such as an excimer laser, a continuous-wave laser such as an Ar laser may be used. Besides, a lamp annealing step using a halogen lamp or mercury lamp, or a heat treatment step at 600°C or more may be used instead of the laser crystallization.

[0115] Next, a not-shown photoresist pattern is formed by using a photolithography step, and the crystalline silicon film 401 is patterned into island shapes by using this photoresist pattern, so that semiconductor layers 302, 303, and 304 are formed. A silicon nitride oxide film is formed as a gate insulating film 305 to cover the semiconductor layers 302, 303 and 304. The method of film formation is made the PECVD, and SiH_4 and NO_2 are used as a raw material gas. The thickness of the silicon nitride oxide film is made 120 nm (Fig. 13B, Fig. 15B).

[0116] A laminate film of an n-type silicon film 402 containing phosphorus and a molybdenum-tungsten alloy (Mo-W) film 403 is formed on the gate insulating film 305 by a sputtering method. The thickness of the silicon film 402 is made 200 nm, and the thickness of

the Mo-W film 403 is made 250 nm. In a target material for the Mo-W film 403, a composition ratio of Mo to W is made 1:1 (Fig. 13C, Fig. 15C).

[0117] A resist mask 405 is formed on the Mo-W film 403. The Mo-W film 403 is etched by wet etching using the resist mask 405 to form a gate wiring line of the pixel TFT, a common wiring line, a second gate wiring line 352 as an upper wiring line of a gate wiring line of the CMOS circuit, a second common wiring line 362, and a second gate wiring line 372 (Fig. 13D, Fig. 15D).

[0118] By using the resist mask 405 again, anisotropic etching using a chlorine-based gas is carried out to etch the n-type silicon film 402, so that a first gate wiring line 351, a second common wiring line 361, and a first gate wiring line 371 are formed. At this time, an angle (taper angle) between a side of each of the wiring lines 351, 361, and 371 and the gate insulating film 305 is made 20 degrees, and a taper portion is formed at a side portion (Fig. 13E, Fig. 15E).

[0119] After the resist mask 405 is removed, phosphorus is added into the semiconductor layers 302 to 304 by an ion doping method using the wiring lines 350, 360, and 370 as masks, so that n⁺-type regions 406 to 413 are formed in a self-aligning manner. In this adding step of phosphorus, since phosphorus is added through the taper portions of the first electrodes 351, 361, and 371 (portions outside the sides of the second electrodes 352, 362, and 372) and the gate insulating film 305, an acceleration voltage is set rather high and is made 90 keV.

[0120] Since the concentration of phosphorus in the n⁺-type impurity regions 406 to 413 determine the concentration of phosphorus in the n⁺-type low concentration impurity regions of the final TFT's, the dose amount is made low so that in the n⁺-type impurity regions 406 to 413, the concentration of phosphorus in the regions which do not intersect with the electrodes 350, 360, and 370 becomes 1×10^{18} atom/cm³. Phosphine diluted with hydrogen is used as a doping gas.

[0121] Next, resist masks 415 covering the electrodes 350, 360, and 370 are formed. The length of the n⁺-type low concentration impurity regions which do not overlap with the first electrodes 351, 361, and 371 is determined by the length of the resist masks 415 extending outside from the sides of the first electrodes 351, 361, and 371 of the respective electrodes. Here, the resist mask is not formed on the semiconductor layer 304 of the CMOS circuit.

[0122] Phosphorus is added by an ion doping method using the resist masks 415. Also in this adding step, phosphine diluted with hydrogen is used as a doping gas. In order to enable phosphorus to pass through the gate insulating film 305, an acceleration voltage is set as high as 80 keV, and the dose amount is set so that the concentration of phosphorus in the n⁺-type impurity regions 313 to 315, 332, 333, 421, and 422 formed in this step becomes 5×10^{20} atoms/cm³.

[0123] In the pixel portion 202, phosphorus is selec-

tively added into the n⁺-type impurity regions 406 to 409 of the semiconductor layer 302, so that the n⁺-type impurity regions 313 to 315 are formed. Regions of the n⁺-type impurity regions 406 to 409 where phosphorus was not added function as high resistance regions, and are defined as the n⁺-type impurity regions 316 to 319, 326, and 327 overlapping with the first gate electrode 351 and the first common electrode, and the n⁺-type impurity regions 320 to 323 not overlapping with the first gate electrode 351 and the first common electrode 361. Further, regions 311, 312, and 325 where phosphorus was not added in the two phosphorus adding steps are defined as channel formation regions (Fig. 14A).

[0124] The concentration of phosphorus in the n⁺-type impurity regions 316 to 319 is lower than the n⁺-type impurity regions 320 to 323, and the concentration of phosphorus decreases from the n⁺-type impurity regions 320 to 323 toward the channel formation regions 311 and 312.

[0125] In the CMOS circuit, phosphorus is selectively added also into the n⁺-type impurity regions 410 and 411 of the semiconductor layer 303 of the n-channel TFT, so that the n⁺-type impurity regions 332 and 333 are formed. On the other hand, in the n⁺-type impurity regions 410 and 411, regions where phosphorus was not added function as high resistance regions, and are defined as the n⁺-type impurity regions 334 and 335 which overlap with the first gate electrode 371, and the n⁺-type impurity regions 336 and 337 which do not overlap with the first gate electrode 371. The region 331 where phosphorus was not added in the two phosphorus adding steps is defined as the channel formation region.

[0126] The concentration of phosphorus in the n⁺-type impurity regions 334 and 335 is lower than the n⁺-type impurity regions 336 and 337, and the concentration of phosphorus decreases from the n⁺-type impurity regions 336 and 337 toward the channel formation region 331.

[0127] In the semiconductor layer 304 of the p-channel TFT, phosphorus is hardly added into the portion on which the gate electrode 370 exist, and n⁺-type regions 421 and 422 are formed in the portion on which the gate electrode 370 does not exist. An n⁺-type impurity region remains in the under portion of the first gate electrode 371 (Fig. 16A).

[0128] After the resist mask 415 is removed, a resist mask 416 covering the n-channel TFT is formed. The first gate electrode 371 at the side of the semiconductor layer 305 is made thin by etching using the second gate electrode 372 of the p-channel TFT as a mask, so that a third gate electrode 373 is formed (Fig. 14B, Fig. 16B).

[0129] A taper angle θ between a side of the third gate electrode 373 and the gate insulating film 305 becomes 75 degrees. The taper angle of the third electrode 373 is made from 60 degrees to 90 degrees, more preferably from 70 degrees to 85 degrees.

[0130] Boron is added into the semiconductor layer 304 by an ion doping method in the state where the resist mask 416 is made to remain. The gate electrodes 371 and 373 function as masks, and a channel formation region 341, p⁺-type impurity regions 342 and 343, and p⁺-type impurity regions 344 and 345 are formed in a self-aligning manner. Incidentally, the resist mask 416 may be removed and instead thereof, a new resist mask may be formed (Fig. 14C, Fig. 16C).

[0131] In the adding step of boron, an acceleration voltage is set at 80 keV, and the dose amount is set so that the concentration of boron in the p⁺-type impurity regions 342 to 345 becomes 3×10^{21} atoms/cm³. Since diborane diluted with hydrogen is used as doping gas, although the concentration of boron in the p⁺-type impurity regions 344 and 345 is the same as the p⁺-type impurity regions 342 and 343, the concentration of phosphorus in the former is lower than that of the latter. The concentration distribution of the p⁺-type impurity regions 344 and 345 corresponds to the change in the film thickness of the taper portion of the first gate electrode 371, and decreases toward the channel formation region 341.

[0132] After the resist mask 416 is removed, phosphorus and boron added into the semiconductor layer are activated by heating at 500°C. Prior to the heat treatment, a protective film 306 made of silicon oxide with a thickness of 50 nm is formed so as to prevent oxidation of the gate wiring line 350, the common electrode 360, and the gate wiring line 370 (Fig. 14C, Fig. 16C).

[0133] Next as an interlayer insulating film 307, a silicon nitride film with a thickness of 20 nm and a silicon oxide film with a thickness of 900 nm are formed and laminated by the PECVD method. Contact holes reaching the n⁺-type impurity regions 313 to 315, the n⁺-type impurity regions 332 and 333, the p⁺-type impurity regions 342 and 343, and the second gate wiring line 372 are formed in the interlayer insulating film 307, the protective film 306, and the gate insulating film 305.

[0134] A laminate film of titanium (150 nm)/aluminum (500 nm)/titanium (100 nm) is formed on the interlayer insulating film 307 by a sputtering method, and is patterned to form a source wiring line 380, a drain electrode 381, source electrodes 384 and 385, and a drain electrode 386. From the above, the circuits 203 to 205 mainly constituted by the CMOS circuit, and the pixel portion 202 provided with the pixel TFT 220 and the storage capacity 230 are formed on the same glass substrate 300 (Fig. 14E, Fig. 16E).

[0135] In order to complete the active matrix substrate, a leveling film 308 is further formed on the entire surface of the substrate 300. Here, acryl is applied by a spin coating method, and is fired to form an acryl film with a thickness of 1 μm. Contact holes for the source electrodes 384 and 385 of the CMOS circuit are bored in the leveling film 308. A titanium film with a thickness of 200 nm is formed by a sputtering method, and is patterned to form source wiring lines 387 and 388.

[0136] Next, in the same manner as the first leveling film 308, an acryl film with a thickness of 0.5 μm is formed as a second leveling film 309. A contact hole for the drain electrode 381 is formed in the flattened films 308 and 309. An ITO film is formed by a sputtering method, and is patterned to form a pixel electrode 390 connected to the drain electrode 381 (Fig. 12A, Fig. 12B).

[0137] In this example, although a low concentration impurity region functioning as a high resistance region is not formed for the p-channel TFT, since the p-channel TFT originally has high reliability even if a high resistance region is not provided, there is no problem. Rather, an on current can be gained in a case where a high resistance region is not formed, and balance with the characteristic of the n-channel TFT can be kept, which is convenient.

[Example 2]

[0138] This example is a modified example of Example 1, in which the sequence of adding steps of phosphorus and boron are changed and others are the same as Example 1. Fabricating steps of this example will be described with reference to Figs. 17A to 17E. In Figs. 17A to 17E, the same reference numerals as those of Figs. 15A to 15F and 16A to 16E designate the same structural elements.

[0139] Although boron is added after phosphorus is added into the semiconductor layer in Example 1, boron is first added in this Example 2.

[0140] Although fabricating steps of a CMOS circuit will be described in this example, it is needless to say that this example can be applied to fabricating steps of an active matrix substrate in which a pixel portion and a driver circuit are integrated as in Example 1.

[0141] The structure of Fig. 15E is obtained in accordance with the steps shown in Example 1. Next, a resist mask 405 is removed. Fig. 17A shows this state.

[0142] Next, a resist mask 451 covering an n-channel TFT is formed. Boron is added into a semiconductor layer 304 by an ion doping method using the resist mask 451. Gate electrodes 371 and 372 function as masks, and a channel formation region 501, p⁺-type impurity regions 502 and 503 functioning as a source region and a drain region are formed in the semiconductor layer 304 in a self-aligning manner.

[0143] An acceleration voltage is made 80 keV, and the dose amount is set so that the concentration of boron in the p⁺-type impurity regions 502 and 503 becomes 3×10^{20} atoms/cm³. Here, it is expected that the p⁺-type impurity regions 502 and 503 slightly overlap with a lower portion because of rounding of boron at the time of doping and a small thickness of a side of the gate electrode 370 (Fig. 17B).

[0144] After the resist mask 451 is removed, a resist mask 452 covering the p-channel TFT is formed. Phosphorus is added into the semiconductor layer 303

by an ion doping method, so that n⁻-type regions 453 and 454 are formed in a self-aligning manner. An acceleration voltage is made 90 keV, and the dose amount is set so that the concentration of phosphorus in the n⁻-type impurity regions 453 and 454 becomes 1×10^{18} atoms/cm³. Phosphine diluted with hydrogen is used as a doping gas (Fig. 17C).

[0145] Next, the resist mask 452 is removed, and a resist mask 456 covering all the p-channel TFT and a part of the n-channel TFT is newly formed. In the n-channel TFT, the length of the mask 456 extending from the side of the first gate electrode 371 to the outside determines the length of an n⁻-type impurity region which does not overlap with the first gate electrode 371.

[0146] Phosphorus is added by an ion doping method using the resist mask 456. Also in this adding step, phosphine diluted with hydrogen is used as a doping gas.

[0147] In the CMOS circuit, phosphorus is selectively added into the n⁻-type impurity regions 453 and 454 of the semiconductor layer 303 of the n-channel TFT, so that n⁺-type impurity regions 512 and 513 are formed. In this step, in order to make phosphorus pass through the gate insulating film 305, the acceleration voltage is made as high as 80 keV. The dose amount is set so that the concentration of phosphorus in the n⁺-type impurity regions 512 and 513 becomes 5×10^{20} atoms/cm³.

[0148] On the other hand, in the n⁻-type impurity regions 453 and 454, regions where phosphorus was not added function as high resistance regions, and are defined as n⁻-type impurity regions 514 and 515 overlapping with the first gate electrode 371 and n⁻-type impurity regions 516 and 517 not overlapping with the first gate electrode 371. A region 511 where phosphorus was not added in the two phosphorus adding steps is defined as a channel formation region (Fig. 17D).

[0149] Also in this example, the concentration of phosphorus in the n⁻-type impurity regions 514 and 515 overlapping with the gate electrode 371 is lower than the n⁻-type impurity regions 516 and 517 (and the n⁺-type impurity regions 512 and 513), and the concentration of phosphorus becomes low toward the channel formation region 511.

[0150] After the resist mask 456 is removed, a protective film 306 having a thickness of 50 nm and made of silicon oxide is formed, and phosphorus and boron added into the semiconductor layer are activated by a heat treatment. An interlayer insulating film 307 is formed, contact holes are bored, and source electrodes 384 and 385 and a drain electrode 386 are formed. From the above, the CMOS circuit is fabricated (Fig. 17E).

[0151] In this example, it is possible to omit the step of thinning the first gate electrode of the p-channel TFT. Incidentally, prior to the adding step of boron of Fig. 17B, it is also possible to add a step in which the first gate electrode 371 of the p-channel TFT is etched by

using the second gate electrode 372 as a mask to form a third gate electrode 373.

[Example 3]

[0152] Also in this example, similarly to Example 2, fabricating steps in which the sequence of adding steps of phosphorus and boron is changed will be described. The fabricating steps of this example will be described with reference to Figs. 18A to 18E. In Figs. 18A to 18E, the same reference numerals as those of Figs. 15A to 15F and 16A to 16E designate the same structural elements.

[0153] This example also corresponds to a modified example of Example 2. In Example 2, in the fabrication of the n-channel TFT, boron is added after phosphorus is added at a low concentration. However, this example is an example in which boron is first added at a high concentration.

[0154] The structure of Fig. 15E is obtained in accordance with the steps shown in Example 1. Next, a resist mask 405 is removed. Fig. 18A shows this state.

[0155] Next, a resist mask 600 covering an n-channel TFT is formed. Boron is added into a semiconductor layer 304 by an ion doping method using the resist mask 600. Gate electrodes 371 and 372 function as masks, and a channel formation region 601 and p⁺-type impurity regions 602 and 603 functioning as a source region and a drain region are formed in the semiconductor layer 304 in a self-aligning manner. The acceleration voltage of doping is made 80 keV, and the dose amount is set so that the concentration of boron of the p⁺-type impurity regions 602 and 603 become 2×10^{20} atoms/cm³.

[0156] A resist mask 605 covering all the p-channel TFT and a part of the n-channel TFT is formed. Phosphorus is added by an ion doping method using the resist mask 605. Also in this adding step, phosphine diluted with hydrogen is used as a doping gas. Phosphorus is selectively added into the semiconductor layer 303 of the n-channel TFT, and n⁺-type impurity regions 606 and 607 are formed. In this step, in order to make phosphorus pass through the gate insulating film 305, the acceleration voltage is made as high as 80 keV (Fig. 18C).

[0157] After the resist mask 605 is removed, a resist mask 608 covering the p-channel TFT is formed. Phosphorus is added into the semiconductor layer 303 by an ion doping method. The gate electrode 370 functions as a mask, so that a channel formation region 611, n⁻-type impurity regions 614 and 615, and n⁻-type impurity regions 616 and 617 are formed in a self-aligning manner.

[0158] The n⁺-type impurity regions 612 and 613 function as source/drain regions, and the resistance is reduced by making the concentration of phosphorus 5×10^{20} atoms/cm³. The concentration of phosphorus in the n⁻-type impurity regions 614 to 617 is made lower

than the n⁺-type impurity regions 612 and 613 and the resistance is made high. The concentration of phosphorus in the n⁺-type impurity regions 616 and 617 not overlapping with the first gate electrode 371 is made 1×10^{18} atoms/cm³ (Fig. 18D).

[0159] After the resist mask 608 is removed, a protective film 306 having a thickness of 50 nm and made of silicon oxide is formed, and phosphorus and boron added into the semiconductor layer are activated by a heat treatment. An interlayer insulating film 307 is formed, contact holes are bored, and source electrodes 384 and 385 and a drain electrode 386 are formed. From the above, the CMOS circuit is fabricated (Fig. 18E).

[0160] In this example, although the resist masks 605 and 606 covering the p-channel TFT are formed in the adding steps of phosphorus, the resist mask 605 and/or the resist mask 608 may be omitted. In this case, since phosphorus is added into the p⁺-type impurity regions 602 and 603, it is necessary to add a lot of boron in view of the concentration of added phosphorus.

[Example 4]

[0161] This example is also a modified example of Example 1, in which the sequence of adding steps of phosphorus and boron is changed, and the main structure is the same as Example 1.

[0162] Fabricating steps of this example will be described with reference to Figs. 19A to 19E. In Figs. 19A to 19E, the same reference numerals as those of Figs. 15A to 15F and 16A to 16E designate the same structural elements.

[0163] The structure of Fig. 15E is obtained in accordance with the steps shown in Example 1. Next, a resist mask 405 is removed. Then a resist mask covering at least a portion functioning as a gate electrode of an n-channel TFT is formed in a gate wiring line 370. A first gate electrode (wiring line) 371 is etched by using a second gate electrode (wiring line) 372 as an etching mask to form a third gate electrode.

[0164] That is, at least in the first gate wiring line 371, the width of a portion overlapping with the semiconductor layer 304 of the p-channel TFT is made thin, so that the third gate electrode 373 is formed (Fig. 19A).

[0165] Phosphorus is added at a low concentration into the semiconductor layers 303 and 304 by an ion doping method. The first to third gate electrodes 371 to 373 function as masks, so that n⁺-type regions 621 to 624 are formed in a self-aligning manner (Fig. 19B).

[0166] Next, a resist mask 630 covering the n-channel TFT is formed. Boron is added at a high concentration to the semiconductor layer 304 by an ion doping method using the resist mask 630. The first and third gate electrodes 371 and 373 function as masks, so that a channel formation region 631, and p⁺-type impurity regions 632 and 633 functioning as a source region and

a drain region are formed in the semiconductor layer 304 in a self-aligning manner (Fig. 19C).

[0167] Next, the resist mask 630 is removed, and a resist mask 640 covering all the p-channel TFT and a part of the n-channel TFT is newly formed. Phosphorus is added at a high concentration by an ion doping method using the resist mask 640. Phosphorus is selectively added into the n⁺-type impurity regions 621 and 622 of the semiconductor layer 303 of the n-channel TFT, so that n⁺-type impurity regions 642 and 643 are formed. Further, regions covered with the resist mask 640 are defined as a channel formation region 641, n⁺-type impurity regions 644 and 645 overlapping with the first gate electrode 371, and n⁺-type impurity regions 646 and 647 not overlapping with the first gate electrode 371 (Fig. 19D).

[0168] Also in this example, the concentration of phosphorus in the n⁺-type impurity regions 644 and 645 overlapping with the gate electrode 371 is lower than the n⁺-type impurity regions 646 and 647 (and the n⁺-type impurity regions 642 and 643), and the concentration of phosphorus becomes low toward the channel formation region 641.

[0169] After the resist mask 640 is removed, a protective film 306 having a thickness of 50 nm and made of silicon oxide is formed, and phosphorus and boron added into the semiconductor layer are activated by a heat treatment. An interlayer insulating film 307 is formed, contact holes are bored, and source electrodes 384 and 385 and a drain electrode 386 are formed. From the above, the CMOS circuit is fabricated (Fig. 19E).

[0170] In this example, although the width of the first gate electrode of the p-channel TFT is made thin, this step may be omitted.

[0171] In this example, although the resist masks 630 and 640 covering the p-channel TFT are formed in the adding steps of phosphorus, the resist mask 630 and/or the resist mask 640 may be omitted. In this case, since phosphorus is added into the p⁺-type impurity regions 632 and 633, it is necessary to add a lot of boron in view of the concentration of added phosphorus.

[Example 5]

[0172] This example is a modified example of Example 1, in which the sequence of adding steps of phosphorus and boron is changed. Its main structure is the same as Example 1.

[0173] Fabricating steps of this example will be described with reference to Figs. 20A to 20E. In Figs. 20A to 20E, the same reference numerals as those of Figs. 15A to 15F and Figs. 16A to 16E designate the same structural elements.

[0174] Besides, this example corresponds to a modified example of Example 4, and similarly to Example 4, a first gate electrode of a p-channel TFT is made

thin so that a third gate electrode 373 is formed (Fig. 20A).

[0175] Next, a resist mask 650 covering all the p-channel TFT and a part of an n-channel TFT is formed. Phosphorus is added at a high concentration by an ion doping method using the resist mask 650, so that n-type regions 651 and 652 are formed (Fig. 20B).

[0176] Next, a resist mask 660 covering the n-channel TFT is formed. Boron is added at a high concentration into the semiconductor layer 304 by an ion doping method using the resist mask 660. The first and third gate electrodes 371 and 373 function as masks, so that a channel formation region 661, and p⁺-type impurity regions 662 and 663 functioning as a source region and a drain region are formed in the semiconductor layer 304 in a self-aligning manner (Fig. 20C).

[0177] Next, the resist mask 660 is removed, and a resist mask 670 covering all the p-channel TFT is newly formed. Phosphorus is added at a low concentration by an ion doping method. The acceleration voltage is set as high as 90 keV so that phosphorus passes through a taper portion of the first gate electrode 371.

[0178] As a result, a channel formation region 671, n⁺-type impurity regions 672 and 673, n⁻-type impurity regions 674 and 675 overlapping with the first gate electrode 371, n⁻-type impurity regions 676 and 677 not overlapping with the first gate electrode 371 are formed in the semiconductor layer 303 of the n-channel TFT in a self-aligning manner (Fig. 20D).

[0179] After the resist mask 670 is removed, a protective film 306 having a thickness of 50 nm and made of silicon oxide is formed, and phosphorus and boron added into the semiconductor layer are activated by a heat treatment. An interlayer insulating film 307 is formed, contact holes are bored, and source electrodes 384 and 385 and a drain electrode 386 are formed. From the above, the CMOS circuit is fabricated (Fig. 20E).

[0180] In this example, although the width of the first gate electrode of the p-channel TFT is made thin, this step may be omitted.

[0181] In this example, although the resist masks 650 and 670 covering the p-channel TFT are formed in the adding steps of phosphorus, the resist mask 650 and/or the resist mask 670 may be omitted. In this case, since phosphorus is added into the p⁺-type impurity regions 662 and 663, it is necessary to add a lot of boron in view of the concentration of added phosphorus.

[Example 6]

[0182] This example is a modified example of Example 1, in which the sequence of adding steps of phosphorus and boron is changed, and another structure is almost similar to Example 1.

[0183] Fabricating steps of this example will be described with reference to Figs. 21A to 21E. In Figs.

21A to 21E, the same reference numerals as those of Figs. 15A to 15F and Figs. 16A to 16E designate the same structural elements.

[0184] Besides, this example corresponds to a modified example of Example 5, and similarly to Example 5, a first gate electrode of a p-channel TFT is made thin, so that a third gate electrode 373 is formed (Fig. 21A).

[0185] Further, similarly to Example 5, a resist mask 680 covering all the p-channel TFT and a part of an n-channel TFT is formed. Phosphorus is added at a high concentration by an ion doping method using the resist mask 680, so that n-type regions 681 and 682 are formed (Fig. 21B).

[0186] Next, the resist mask 680 is removed and a resist mask 690 covering all the p-channel TFT is newly formed. Phosphorus is added at a low concentration by an ion doping method. The acceleration voltage is set as high as 90 keV so that phosphorus passes through a taper portion of the first gate electrode 371.

[0187] As a result, a channel formation region 691, n⁺-type impurity regions 692 and 693, n⁻-type impurity regions 694 and 695 overlapping with the first gate electrode 371, and n⁻-type impurity regions 696 and 697 not overlapping with the first gate electrode 371 are formed in a self-aligning manner (Fig. 21C).

[0188] Next, after a resist mask 700 covering all the n-channel TFT is formed, boron is added at a high concentration into the semiconductor layer 304 by an ion doping method. The first and third gate electrode 371 and 373 function as masks, so that a channel formation region 701, and p⁺-type impurity regions 702 and 703 functioning as a source region and a drain region are formed in the semiconductor layer 304 in a self-aligning manner (Fig. 21D).

[0189] After the resist mask 700 is removed, a protective film 306 having a thickness of 50 nm and made of silicon oxide is formed, and phosphorus and boron added into the semiconductor layer are activated by a heating treatment. An interlayer insulating film 307 is formed, contact holes are bored, and source electrodes 384 and 385 and a drain electrode 386 are formed. From the above, the CMOS circuit is fabricated (Fig. 21E).

[0190] In this example, although the width of the first gate electrode of the p-channel TFT is made thin, this step may be omitted.

[0191] In this example, although the resist masks 680 and 690 covering the p-channel TFT are formed in the adding steps of phosphorus, the resist mask 680 and/or the resist mask 690 may be omitted. In this case, since phosphorus is added into the p⁺-type impurity regions 702 and 703, it is necessary to add a lot of boron in view of the concentration of added phosphorus.

[0192] As described above, although the fabricating steps of the CMOS circuit have been described in Examples 2 to 6, it is needless to say that the examples

can be applied to fabricating steps of an active matrix substrate in which a pixel portion and a driver circuit are integrated as in Example 1.

[Example 7]

[0193] In this example, an example of a gate electrode having a taper portion shown in Example 1 etc. and a method of forming the gate electrode will be described.

[0194] First, a gate insulating film made of a silicon nitride oxide film is formed, and a metal laminate film is formed thereon by a sputtering method. In this example, a tungsten target with a purity of 6 N or more was used. As a sputtering gas, a single gas of argon (Ar), krypton (Kr), xenon (Xe), etc. or a mixed gas of those may be used. The condition of film formation such as a sputtering power, pressure of a gas, and temperature of a substrate may be suitably controlled by an operator. The metal laminate film has a tungsten nitride film indicated by WN_x ($0 < x < 1$) as a lower layer and has a tungsten film as an upper layer.

[0195] The thus obtained metal laminate film hardly contains impurity elements, and especially an oxygen content can be made 30 ppm or less, and electric resistivity can be made $20 \mu\Omega \cdot \text{cm}$ or less, typically 6 to $15 \mu\Omega \cdot \text{cm}$. The stress of the film can be made -5×10^9 to $5 \times 10^9 \text{ dyn/cm}^2$.

[0196] The silicon nitride oxide film is an insulating film expressed by SiOxNy , and indicates an insulating film containing silicon, oxygen, and nitrogen at a predetermined ratio.

[0197] Next, a resist mask pattern (film thickness: $1.5 \mu\text{m}$) for obtaining a desired gate wiring line pattern is formed.

[0198] Next, in Example 7, an ICP (Inductively Coupled Plasma) etching apparatus using a high density plasma is used to carry out etching for the patterning of the metal laminate film, so that a gate electrode having a taper-shaped section and a gate electrode are formed.

[0199] Here, the plasma generating mechanism of the ICP dry etching apparatus will be described in detail with reference to Fig. 22.

[0200] Fig. 22 is a simplified structural view of an etching chamber. An antenna coil 12 is disposed on a quartz plate 11 at the upper portion of the chamber, and is connected to an RF power source 14 through a matching box 13. An oppositely disposed lower electrode 15 at a substrate side is also connected to an RF power source 17 through a matching box 16.

[0201] When an RF current is applied to the antenna coil 12 above the substrate, the RF current J flows through the antenna coil 12 in an α direction, and a magnetic field B is generated in a Z direction. The relation between the current J and the magnetic field B complies with the following equation.

$$\mu_0 J = \text{rot } B \quad (\mu_0 \text{ is magnetic susceptibility})$$

[0202] In accordance with Faraday's law of electromagnetic induction expressed by the following equation, an induced electric field E is generated in the α direction.

$$-\partial B / \partial t = \text{rot } E$$

[0203] An electron is accelerated by this induced electric field E in the α direction and collides with a gas molecule, so that a plasma is generated. Since the direction of the induced electric field is the α direction, the probability that a charged particle collides with an etching chamber wall or the substrate and loses its electric charge becomes low. Thus, even if the pressure is as low as about 1 Pa, the plasma can be generated at a high density. Since the magnetic field B hardly exists in a downstream portion, a high density plasma region extending in a sheet shape is obtained.

[0204] By adjusting the RF power applied to each of the antenna coil 12 (ICP power is applied) and the lower electrode 15 (bias power is applied) at the substrate side, it is possible to independently control the plasma density and self-bias voltage. It is also possible to apply RF powers of different frequencies according to a film to be etched.

[0205] In order to obtain a high density plasma by the ICP etching apparatus, it is necessary to cause the RF current J flowing through the antenna coil 12 to flow at a low loss, and in order to increase an area, the inductance of the antenna coil 12 must be reduced. For that purpose, as shown in Fig. 23, an ICP etching apparatus of a multi-spiral coil 22 in which an antenna is divided has been developed. In Fig. 23, reference numeral 21 designates a quartz plate, 23 and 26 designate matching boxes, and 24 and 27 designate RF power sources. A lower electrode 25 for holding a substrate 28 is provided at the bottom of a chamber through an insulator 29.

[0206] In this example, among various ICP etching apparatuses, by using especially an ICP etching apparatus of multi-spiral coil system, a wiring line having a desired taper angle θ was formed.

[0207] For the purpose of obtaining a desired taper angle θ , in this example, the bias power density of the ICP etching apparatus is adjusted. Fig. 24 is a view showing the dependency of the taper angle θ upon the bias power. As shown in Fig. 24, the taper angle θ can be controlled in accordance with the bias power density.

[0208] The flow ratio of CF_4 of an etching gas (mixed gas of CF_4 and Cl_2) may be adjusted. Fig. 25 is a view showing the dependency of the taper angle θ upon the CF_4 flow ratio. If the flow ratio of CF_4 is made large, the selection ratio of tungsten to resist becomes large, and the taper angle θ of a wiring line can be made large.

[0209] It is considered that the taper angle θ

depends on the selection ratio of tungsten to resist. Fig. 26 shows the dependency of the taper angle θ upon the selection ratio of tungsten to resist.

[0210] Like this, by using the ICP etching apparatus and by suitably determining the bias power density or reaction gas flow ratio, it is possible to extremely easily obtain a gate electrode and wiring line having a desired taper angle $\theta = 3$ to 60° (preferably 5 to 45° , more preferably 7 to 20°).

[0211] Here, although a W film is shown as an example, when the ICP etching apparatus is used for a generally known heat-resistant conductive material (Ta, Ti, Mo, Cr, Nb, Si, etc.), the end of a pattern can be easily processed as a taper shape.

[0212] Besides, although a mixed gas of CF_4 (carbon tetra fluoride gas) and Cl_2 is employed as an etching gas used for the above dry etching, the gas is not particularly limited, and for example, it is also possible to use a mixed gas of a reaction gas containing fluorine selected from C_2F_6 and C_4F_8 and a gas containing chlorine selected from Cl_2 , SiCl_4 , and BCl_3 .

[0213] When subsequent steps in accordance with Example 1 are carried out, a semiconductor device is completed.

[0214] Incidentally, the structure of this example can be applied to the fabricating steps of the electrode having the taper portion of Examples disclosed in the present specification.

[Example 8]

[0215] In Example 1, although a polycrystalline silicon film crystallized by an excimer laser is used as a semiconductor layer, another crystallizing method will be described in this example.

[0216] A crystallizing process of this example is a crystallizing technique disclosed in Japanese Patent Application Laid-open No. Hei. 7-130652. The crystallizing process will be described with reference to Figs. 27A and 27B.

[0217] First, a silicon oxide film 1002 as an under film is formed on a glass substrate 1001. An amorphous silicon film 1003 is formed on the silicon oxide film 1002. In this example, the silicon oxide film 1002 and the amorphous silicon film 1003 are subsequently formed by a sputtering method. Next, a nickel acetate salt solution containing nickel of 10 ppm in terms of weight is applied to form a nickel containing layer 1004 (Fig. 27A).

[0218] Instead of nickel (Ni), a kind of or plural kinds of elements selected from the group consisting of germanium (Ge), iron (Fe), palladium (Pd), tin (Sn), lead (Pb), cobalt (Co), platinum (Pt), copper (Cu), gold (Au), and silicon (Si) may be used.

[0219] Next, after a dehydrogenating step at 600°C for 1 hour is carried out, a heat treatment at 450 to 1100°C for 4 to 12 hours (in this example, 500°C for 4 hours) is carried out, so that a polysilicon film 1005 is

formed. It is known that the thus obtained crystalline silicon film 1005 has extremely superior crystallinity (Fig. 27B).

[0220] Incidentally, the crystallizing process of this example can be applied to the forming process of the semiconductor layer disclosed in the present specification.

[Example 9]

[0221] This example relates to a crystallizing process different from Example 8, and an example of a case where crystallization is made by using a technique disclosed in Japanese Patent Application Laid-open No. Hei. 8-78329 will be described. The technique disclosed in Japanese Patent Application Laid-open No. Hei. 8-78329 is such that selective crystallization of a semiconductor film is made possible by selectively adding a catalytic element. The case where the same technique is applied to the present invention will be described with reference to Figs. 28A and 28B.

[0222] First, a silicon oxide film 1012 is formed on a glass substrate 1011, and an amorphous silicon film 1013 and a silicon oxide film 1014 are subsequently formed thereon. At this time, the thickness of the silicon oxide film 1014 is made 150 nm.

[0223] Next, the silicon oxide film 1014 is patterned to selectively form opening portions 1015. Thereafter, a nickel acetate salt solution containing nickel of 100 ppm in terms of weight is applied. A formed nickel containing layer 1016 comes to have such a state that it is in contact with the amorphous silicon film 1013 at only the bottoms of the opening portions 1015 (Fig. 28A).

[0224] Next, a heat treatment at 500 to 650°C for 4 to 24 hours (in this example, 550°C for 14 hours) is carried out, so that crystallization of the amorphous silicon film is carried out. In this crystallizing process, a portion with which nickel is in contact is first crystallized, and crystal growth progresses in the direction almost parallel to the substrate. It is crystallographically ascertained that the crystallization progresses in the (111) axis direction.

[0225] The thus formed polysilicon film 1017 is made of a collective of rod-like or needle-like crystals, and each rod-like crystal macroscopically grows with certain directionality. Thus, there is an advantage that crystallinity is uniform.

[0226] Also in the technique disclosed in the above publication, instead of nickel (Ni), a kind of or plural kinds of elements selected from the group consisting of germanium (Ge), iron (Fe), palladium (Pd), tin (Sn), lead (Pb), cobalt (Co), platinum (Pt), copper (Cu), gold (Au), and silicon (Si) may be used.

[0227] A semiconductor film containing crystals (including a polysilicon film and a polysilicon germanium film) is formed by using the technique as described above, and patterning is carried out to form a semiconductor layer made of the semiconductor film

containing crystals. Subsequent steps may comply with Example 1. Of course, a combination with Examples 2 to 7 is also possible.

[0228] In the case where a TFT is fabricated by using a semiconductor film containing crystals, which was crystallized by using the technique of this example, although high field effect mobility (mobility) can be obtained, high reliability has been required because of that. However, when the TFT structure of the present invention is adopted, it becomes possible to fabricate a TFT which utilizes the technique of this example to the utmost.

[Example 10]

[0229] In this example, there is described an example in which a step of removing nickel used for crystallization of a semiconductor shown in Examples 8 and 9 is carried out by using phosphorus after crystallization. As a method for that, this example uses a technique disclosed in Japanese Patent Application Laid-open No. Hei. 10-135468 or No. Hei. 10-135469.

[0230] The technique disclosed in the publications is such that a catalytic element used for crystallization of an amorphous semiconductor film is removed after crystallization by using a gettering function of phosphorus. By using the technique, it is possible to reduce the concentration of a catalytic element in a crystalline semiconductor film to 1×10^{17} atoms/cm³ or less, preferably 1×10^{16} atoms/cm³.

[0231] The structure of this example will be described with reference to Figs. 29A and 29B. Here, an alkali-free glass substrate typified by a 1737 substrate made by Corning Inc. is used. Fig. 29A shows a state where an under film 1022 and a crystalline silicon film 1023 are formed by using the crystallizing technique described in Example 2. A silicon oxide film 1024 having a thickness of 150 nm and used for a mask is formed on the crystalline silicon film 1023. An opening portion is provided by patterning, and a region where the crystalline silicon film is exposed is provided. A step of adding phosphorus is carried out, so that a region 1025 where phosphorus was added into the crystalline silicon film is provided.

[0232] In this state, when a heat treatment at 550 to 1020°C for 5 to 24 hours, for example, at 600°C for 12 hours is carried out in a nitrogen atmosphere, the region 1025 where phosphorus was added into the crystalline silicon film functions as a gettering site, so that the catalytic element remaining in the crystalline silicon film 1023 can be segregated in the region 1025 where phosphorus was added.

[0233] By carrying out etching to remove the silicon oxide film 1024 used for the mask and the region 1025 where phosphorus was added, it is possible to obtain a crystalline silicon film in which the concentration of the catalytic element used in the step of crystallization is reduced to 1×10^{17} atoms/cm³ or less. This crystalline

silicon film can be directly used as the semiconductor layer of the TFT of the present invention described in Example 1.

[Example 11]

[0234] This Example 11 is an example in which Examples 8 or 9 is combined with a technique disclosed in Japanese Patent Application Laid-open No. Hei. 10-135468 or No. Hei. 10-135469.

[0235] The technique disclosed in the publication is such that nickel used for crystallization of a semiconductor described in Examples 3 or 4 is removed by using a gettering function of a halogen element (typically chlorine) after crystallization. By using the technique, it is possible to reduce the concentration of nickel in a semiconductor layer to 1×10^{17} atoms/cm³ or less (preferably 1×10^{16} atoms/cm³ or less).

[0236] The structure of this example will be described with reference to Figs. 30A and 30B. First, a quartz substrate 1031 having high heat resistance is used as a substrate. Of course, a silicon substrate or a ceramic substrate may be used. In the case where the quartz substrate is used, even if a silicon oxide film is not particularly provided as an under film, pollution from the substrate side does not occur.

[0237] Next, a polysilicon film (not shown) is formed by using the crystallizing method of Example 3 or 4, and patterning is carried out to form semiconductor layers 1032 and 1033. Further, a gate insulating film 1034 which covers those semiconductor layers and is made of a silicon oxide film is formed (Fig. 30A).

[0238] After the gate insulating film 1034 is formed, a heat treatment is carried out in an atmosphere containing a halogen element. In this example, a processing atmosphere is made an oxidizing atmosphere in which oxygen and hydrogen chloride are mixed, a processing temperature is made 950°C, and a processing time is made 30 minutes. It is sufficient if the processing temperature is selected between 700 to 1150°C (typically 900 to 1000°C), and the processing time is selected between 10 minutes to 8 hours (typically 30 minutes to 2 hours) (Fig. 30B).

[0239] At this time, nickel becomes volatile nickel chloride and goes out into the processing atmosphere, so that the concentration of nickel in the polysilicon film is reduced. Thus, the concentration of nickel contained in semiconductor layers 1035 and 1036 shown in Fig. 30B is reduced to 1×10^{17} atoms/cm³ or less.

[0240] The semiconductor layer is formed by using this example of the technique as described above, and the subsequent steps may comply with Example 1 or 2. It is known that especially the combination of this example and the crystallizing method of Example 4 can realize a crystalline silicon film with extremely high crystallinity.

(Findings as to crystal structure of a semiconductor layer)

[0241] A semiconductor layer formed in accordance with the above fabricating steps has microscopically a crystal structure in which a plurality of needle-like or rod-like crystals (hereinafter abbreviated to "rod-like crystal") are collected and arranged. This can be easily ascertained by observation with a TEM (Transmission Electron Microscope).

[0242] It is ascertained by using electron beam diffraction and X-ray diffraction that the surface (portion where a channel is formed) of the semiconductor layer has a main orientation plane of {110} plane although some deviation is included in crystal axes. As the result of the applicant's detailed observation for an electron beam diffraction photograph with a spot diameter of about 1.5 μm , it was ascertained that although diffraction spots corresponding to the {110} plane clearly appear, the respective spots have a distribution on concentric circles.

[0243] The present applicant observed crystal grain boundaries formed from contact of the respective rod-like crystals by using an HR-TEM (High Resolution Transmission Electron Microscope), and it was ascertained that crystal lattices have continuity at the crystal grain boundaries. This means that the observed lattice stripes are continuously connected at the crystal grain boundaries, which can be easily ascertained.

[0244] The continuity of the crystal lattice at the crystal grain boundary is caused from the fact that the crystal grain boundary is a grain boundary called "planar boundary". The definition of the planar boundary in the present specification is "Planar boundary" disclosed in "Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988".

[0245] According to the above paper, the planar boundary includes a twin boundary, a specific laminate defect, a specific twist boundary, and the like. This planar boundary has a feature that it is electrically inactive. That is, since the planar boundary does not function as a trap to block the movement of a carrier though it is a crystal grain boundary, it can be regarded as not substantially existing.

[0246] Particularly in the case where a crystal axis (axis vertical to a crystal plane) is a $\langle 110 \rangle$ axis, a {211} twin boundary is also called a coincidence boundary of $\Sigma 3$. The Σ value is a parameter which becomes an index showing the degree of conformity of the coincidence boundary, and it is known that as the value becomes small, the conformity of the grain boundary becomes excellent.

[0247] As the result of the applicant's detailed observation for a polysilicon film obtained by carrying out the present invention with the TEM, it was found that almost all (90% or more, typically 95% or more) crystal

grain boundaries are coincidence boundaries of $\Sigma 3$, that is, {211} twin boundaries.

[0248] In the crystal grain boundary formed between two crystal grains, and in the case where both crystals have a plane orientation of {110}, when an angle formed by lattice stripes corresponding to a {111} plane is θ , it is known that when $\theta = 70.5^\circ$, the boundary becomes a coincidence boundary of $\Sigma 3$.

[0249] In the polysilicon film of this example, the respective lattice stripes of crystal grains adjacent at the crystal grain boundary are continuous at just about 70.5° , and from this, it is concluded that this crystal grain boundary is the {211} twin boundary.

[0250] Although a boundary becomes a coincidence boundary of $\Sigma 9$ when $\theta = 38.9^\circ$, such other crystal grain boundaries also existed.

[0251] Such a coincidence boundary is formed only between crystal grain boundaries of the same plane orientation. That is, since the polysilicon film obtained by carrying out this example has substantially the uniform plane orientation of {110}, such a coincidence boundary can be formed over a wide range.

[0252] Such a crystal structure (correctly, structure of a crystal grain boundary) shows that two different crystal grains are connected to each other with extremely superior conformity at the crystal grain boundary. That is, such a structure is formed that crystal lattices are continuously connected at the crystal grain boundary and it is very hard to form a trap level due to a crystal defect etc. Thus, a semiconductor thin film with such a crystal structure can be regarded as substantially having no crystal grain boundary.

[0253] Besides, it is ascertained by TEM observation that defects existing in crystal grains almost disappear by a heat treatment step at a high temperature of 700 to 1150°C . This is obvious also from the fact that the number of defects is greatly decreased before and after this heat treatment step.

[0254] The difference in the number of defects appears as difference in spin density by electron spin resonance (ESR). At present, it is found that the spin density of a polysilicon film fabricated in accordance with the fabricating steps of this example is 3×10^{17} spins/ cm^3 or less (preferably 5×10^{15} spins/ cm^3 or less). However, since this measured value approximates the detection limit of existing measuring apparatuses, it is expected that an actual spin density is further lower.

[0255] From the above, since the polysilicon film obtained by carrying out this example does not substantially include crystal grains and crystal grain boundaries, the film can be considered as a single crystal silicon film or substantially a single crystal silicon film. The present applicant calls the polysilicon film having such a crystal structure CGS (Continuous Grain Silicon).

[0256] The disclosure of the CGS may be referred to Japanese Patent Application Laid-open No. Hei. 10-294280, Japanese Patent Application No. Hei. 10-

152316, Japanese Patent Application No. Hei. 10-152308 or Japanese Patent Application No. Hei. 10-152305 by the present assignee.

(Findings as to electrical characteristics of a TFT)

[0257] A TFT fabricated in this example shows electrical characteristics comparable to a MOSFET. Data as shown below have been obtained from TFTs experimentally formed by the present applicant.

(1) The subthreshold coefficient as an index showing switching performance (promptness in switching of on/off operation) is as small as 60 to 100 mV/decade (typically 60 to 85 mV/decade) for both an N-channel TFT and a P-channel TFT.

(2) The field effect mobility (μ_{FE}) as an index showing an operation speed of a TFT is as large as 200 to 650 cm^2/Vs (typically 300 to 500 cm^2/Vs) for an N-channel TFT, and 100 to 300 cm^2/Vs (typically 150 to 200 cm^2/Vs) for a P-channel TFT.

(3) The threshold voltage (V_{th}) as an index of a driving voltage of a TFT is as small as -0.5 to 1.5 V for an N-channel TFT and -1.5 to 0.5 V for a P-channel TFT.

[0258] As described above, it has been ascertained that extremely superior switching characteristics and high speed operation characteristics can be realized.

(Findings as to circuit characteristics)

[0259] Next, frequency characteristics by a ring oscillator fabricated by using TFTs formed by carrying out this example will be described. The ring oscillator is a circuit in which odd number stages of inverter circuits made of CMOS structures are connected to form a ring, and is used to obtain a delay time for one stage of the inverter circuit. The structure of the ring oscillator used in the experiment is as follows:

number of stages: 9 stages
thickness of a gate insulating film of a TFT: 30 nm and 50 nm
gate length of a TFT: 0.6 μm

[0260] As the result of the study of an oscillation frequency with this ring oscillator, it was possible to obtain an oscillation frequency of 1.04 GHz at the maximum value. Further, a shift register as one of TEGs of LSI circuits was actually fabricated and its operation frequency was ascertained. As a result, in the shift register circuit in which the thickness of a gate insulating film was 30 nm, the gate length was 0.6 μm , the power source voltage was 5 V, and the number of stages was 50, an output pulse having an operation frequency of 100 MHz was obtained.

[0261] The surprising data of the ring oscillator and

the shift register as described above indicate that the TFT of this example has performance (electrical characteristics) comparable to or superior to a MOSFET.

[Example 12]

[0262] This example also relates to a technique to getter a catalytic element used in a crystallizing step.

[0263] In Example 10, in order to getter the catalytic element in crystallized silicon, it is necessary to form the gettering region 1025 (see Fig. 29A). Since it becomes impossible to form a TFT in the gettering region, integration of circuits is obstructed. This example is a gettering method in which the above problem is resolved, and an n^+ -type impurity region of an n-channel TFT and a p^+ -type impurity region of a p-channel TFT are used as gettering regions.

[0264] In the steps described in the example 1, the n^+ -type impurity regions 313 to 315 and the p^+ -type impurity regions 332 and 333 contain phosphorus with a high concentration of 5×10^{20} atoms/ cm^3 (see Fig. 14A, Fig. 16A). Thus, these regions can be used as gettering regions.

[0265] Thus, in the case where the semiconductor layers 302 to 304 of the TFT are formed of crystalline silicon shown in Example 3 or 4, the activating step of phosphorus or boron has only to be used also as a heating step for gettering. For example, in the activating step (see Fig. 14D, Fig. 16D), it is sufficient if a heat treatment is carried out at a processing temperature of 500 to 650°C (typically 550 to 600°C) for 2 to 24 hours (typically 4 to 12 hours).

[0266] In this heat treatment, nickel remaining in the channel formation regions 311, 312, 325, 331, and 341 of the respective TFTs diffuses toward the foregoing n^+ -type impurity regions and the p^+ -type impurity regions by the action of phosphorus and is captured there.

[0267] Thus, the concentration of nickel (catalyst) in the n^+ -type impurity regions 313 to 315 and the p^+ -type impurity regions 332 and 333 is increased to 1×10^{17} to 1×10^{20} atoms/ cm^3 (typically 1×10^{18} to 5×10^{19} atoms/ cm^3), while the concentration of nickel in the channel formation regions 311, 312, 325, 331, and 341 can be decreased to 2×10^{17} atoms/ cm^3 or less (typically 1×10^{14} to 5×10^{16} atoms/ cm^3).

[0268] In order to obtain the effect of this example, in the n^+ -type impurity regions 313 to 315 and the p^+ -type impurity regions 332 and 333, the concentration of phosphorus or arsenic is made 1×10^{19} atoms/ cm^3 or more (preferably 1×10^{20} to 5×10^{21} atoms/ cm^3).

[Example 13]

[0269] This example is a modified example of the CMOS circuit of Example 1. A structure of a TFT of this example will be described with reference to Figs. 31A to 31D. In Figs. 31A to 31D, the same reference numerals designate the same structural elements. Example 1 or 2

may be applied to fabricating steps of this example, and the detailed description will be omitted.

[0270] Fig. 31A shows a modified example of Example 1 in which a second gate electrode (wiring line) is omitted and a gate electrode (wiring line) is formed of only an electrode (wiring line) having a taper portion.

[0271] An under film 901 made of silicon oxide is formed on the entire surface of a substrate 900. Island-like semiconductor layers of an n-channel TFT and a p-channel TFT are formed on the under film 901. A gate insulating film 905 covering the island-like semiconductor layers is formed on the entire surface of the substrate 900. Further, a protective film 906 made of silicon nitride and an interlayer insulating film 907 are formed to cover the TFTs, and source electrodes 941 and 942 and a drain electrode 943 are formed on the interlayer insulating film 907.

[0272] A gate wiring line (gate electrode) 931 is formed to intersect with the semiconductor layer through the gate insulating film 905. The side of the gate wiring line 931 is formed into a taper shape. Here, this was formed of chromium with a thickness of 250 nm. Further, the width of a portion intersecting with the semiconductor layer of the p-channel TFT is made thin and a second gate electrode 933A is formed.

[0273] Example 1 is applied as a method of adding phosphorus and boron into the semiconductor layers. A channel formation region 911A, n⁺-type impurity regions 912A and 913A, n⁻-type impurity regions 914A and 915A overlapping with the gate electrode 931A, and n⁻-type impurity regions 916A and 917A not overlapping with the gate electrode 931A are formed in the semiconductor layer of the n-channel TFT.

[0274] The concentration of phosphorus in the n⁻-type impurity regions 914A and 915A and the n⁻-type impurity regions 916A and 917A is lower than the n⁻-type impurity regions 912A and 913A. Contact portions between the n⁻-type impurity regions 914A, 915A and the channel formation region 911A exist under the taper portion of the gate electrode 931A, and the concentration of the n⁻-type impurity regions 914A and 915A is decreased toward the channel formation region 911A.

[0275] On the other hand, a channel formation region 921A, p⁺-type impurity regions 922A and 923A, and p⁺-type impurity regions 924A and 925A are formed in the semiconductor layer of the p-channel TFT. The concentration of phosphorus in the p⁺-type impurity regions 924A and 925A is lower than the p⁺-type impurity regions 922A and 923A, and the concentration of boron in the former is equal to the latter.

[0276] Fig. 31B shows a modified example of Example 2 or 3, in which a second electrode is omitted and a gate electrode is formed of only an electrode having a taper portion.

[0277] In Fig. 31B, gate electrodes 931B of both an n-channel TFT and a p-channel TFT are formed into a taper shape. Here, the electrode is formed of chromium

with a thickness of 250 nm.

[0278] Example 2 is applied as a step of adding phosphorus and boron into the semiconductor layers. A channel formation region 911B, n⁺-type impurity regions 912B and 913B, n⁻-type impurity regions 914B and 915B overlapping with the gate electrode 931B, and n⁻-type impurity regions 916B and 917B not overlapping with the gate electrode 931B are formed in the semiconductor layer of the n-channel TFT.

[0279] The concentration of phosphorus in the n⁻-type impurity regions 914B and 915B and the n⁻-type impurity regions 916B and 917B is lowered than that of the n⁺-type impurity regions 912B and 913B. Contact portions between the n⁻-type impurity regions 914B, 915B and the channel formation region 911B exist under the taper portion of the gate electrode 931B, and the concentration of the n⁻-type impurity regions 914B and 915B is decreased toward the channel formation region 911B.

[0280] On the other hand, a channel formation region 921B, and p⁺-type impurity regions 922B and 923B are formed in the semiconductor layer of the p-channel TFT by using the gate electrode 931B as a mask in a self-aligning manner.

[0281] Fig. 31C shows an example in which taper etching of a first gate electrode is omitted in Example 1.

[0282] A gate wiring line is constituted by a first gate wiring line 931C and a second gate wiring line 932C with a width narrower in a channel length direction than the first gate wiring line 931C. In the portion where the first gate wiring line 931C intersects with the semiconductor layer of the p-channel TFT, a third gate electrode 933C the width of which is made thin by using the second gate wiring line 932C as a mask is formed.

[0283] A channel formation region 911C, n⁺-type impurity regions 912C and 913C, n⁻-type impurity regions 914C and 915C overlapping with the gate electrode 931C, and n⁻-type impurity regions 916C and 917C not overlapping with the gate electrode 931C are formed in the semiconductor layer of the n-channel TFT.

[0284] The concentration of phosphorus in the n⁻-type impurity regions 914C and 915C and the n⁻-type impurity regions 916C and 917C is lowered than that of the n⁺-type impurity regions 912C and 913C.

[0285] On the other hand, a channel formation region 921C, p⁺-type impurity regions 922C and 923C, and p⁺-type impurity regions 924C and 925C are formed in the semiconductor layer of the p-channel TFT. The concentration of phosphorus in the p⁺-type impurity regions 924C and 925C is lower than that of the p⁺-type impurity regions 922C and 923C.

[0286] Fig. 31D shows an example in which a fourth gate wiring line covering the surface of a gate wiring line is formed in Example 1.

[0287] In a CMOS circuit, an adding step of boron is carried out in accordance with the steps of Example 1. Next, instead of formation of the protective film 906 made of silicon nitride, a metal film made of chromium

(Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), or alloy containing these elements as its main ingredients, or a conductive material such as silicide is formed and is patterned, so that a fourth gate wiring line 934D is formed. Thereafter, activation may be carried out.

[0288] By this structure, it is possible to obtain a gate wiring line having such a structure that a second gate wiring line 932D is surrounded by the first gate wiring line 931D (including the third gate electrode 933D) and the fourth gate wiring line 934D.

[0289] In this case, a channel formation region 911D, n⁺-type impurity regions 912D and 913D, n⁻-type impurity regions 914D and 915D overlapping with the gate electrode 931D, and n⁻-type impurity regions 916D and 917D not overlapping with the gate electrode 931D are formed in the semiconductor layer of the n-channel TFT. The n⁻-type impurity regions 914D and 915D intersect with the first and fourth gate electrodes, and the n⁻-type impurity regions 916D and 917D do not intersect with the fourth gate electrode 934D.

[0290] The advantage of this structure is especially effective in the case where phosphorus is hardly added into the semiconductor layer under the first gate electrode 931D. As shown in Fig. 31D, even if the n⁻-type impurity regions 914D and 915D hardly overlap with the first gate electrode 931D, the fourth gate electrode 934D can be made to overlap with the n⁻-type impurity region, so that it becomes possible to certainly form the n⁻-type impurity region which overlaps with the gate electrode.

[0291] On the other hand, a channel formation region 921D, p⁺-type impurity regions 922D and 923D, and p⁺-type impurity regions 924D and 925D are formed in the semiconductor layer of the p-channel TFT. The concentration of phosphorus in the p⁺-type impurity regions 924D and 925D is lower than that of the p⁺-type impurity regions 922D and 923D. In this case, the n⁻-type impurity region overlaps with the fourth gate electrode 934D. In the case where there occurs a problem in off-current characteristics or withstand voltage properties, when the fourth gate wiring line 934D is formed, the fourth gate wiring line 934D is not formed in the portion where it intersects with the semiconductor layer of the p-channel TFT.

[Example 14]

[0292] The TFT of the present invention can be applied to not only the liquid crystal display device shown in Example 1 but also any semiconductor circuits. That is, it may be applied to a microprocessor such as a RISC processor or an ASIC processor, or may be applied to any circuits from a signal processing circuit such as a D/A converter to a high-frequency circuit for a portable equipment (portable telephone, PHS, mobile computer).

[0293] Moreover, it is also possible to realize a sem-

iconductor device of a three-dimensional structure in which an interlayer insulating film is formed on a conventional MOSFET and a semiconductor circuit is fabricated thereon by using the TFTs of the present invention. Like this, the present invention can be applied to any semiconductor devices in which LSIs are used at present. That is, the present invention may be applied to a SOI structure (TFT structure using a single crystal semiconductor thin film) such as SIMOX, Smart-Cut (registered trademark of SOITEC Inc.), and ELTRAN (registered trademark of Canon Inc.). Further, the semiconductor circuit of this example may be realized with any construction obtained by combining Examples 1 to 13.

[Example 15]

[0294] A semiconductor device using a TFT formed through carrying out the present invention may be applied to various electro-optical devices and semiconductor circuits. Namely, the present invention may be applicable to all the electronic equipments that incorporate those electro-optical devices and semiconductor circuits as components.

[0295] As such an electronic equipment, a video camera, a digital camera, a projector (rear-type projector or front-type projector), a head mount display (goggle-type display), a navigation system for vehicles, a personal computer, and a portable information terminal (a mobile computer, a cellular phone, or an electronic book, etc.) may be enumerated. Examples of those are shown in Figs. 32A to 33D.

[0296] Fig. 32A shows a personal computer comprising a main body 2001, an image inputting unit 2002, a display device 2003, and a key board 2004. The present invention is applicable to the image inputting unit 2002, the display device 2003, and other signal control circuits.

[0297] Fig. 32B shows a video camera comprising a main body 2101, a display device 2102, a voice input unit 2103, an operation switch 2104, a battery 2105, and an image receiving unit 2106. The present invention is applicable to the display device 2102, the voice input unit 2103, and other signal control circuits.

[0298] Fig. 32C shows a mobile computer comprising a main body 2201, a camera unit 2202, an image receiving unit 2203, an operation switch 2204, and a display device 2205. The present invention is applicable to the display device 2205 and other signal control circuits.

[0299] Fig. 32D shows a goggle-type display comprising a main body 2301, a display device 2302 and an arm portion 2303. The present invention is applicable to the display device 2302 and other signal control circuits.

[0300] Fig. 32E shows a player that employs a recording medium in which programs are recorded (hereinafter referred to as recording medium), and comprises a main body 2401, a display device 2402, a

speaker unit 2403, a recording medium 2404, and an operation switch 2405. Incidentally, this player uses as the recording medium a DVD (digital versatile disc), a CD and the like to serve as a tool for enjoying music or movies, for playing games and for connecting to the Internet. The present invention is applicable to the display device 2402 and other signal control circuits.

[0301] Fig. 32F shows a digital camera comprising a main body 2501, a display device 2502, an eye piece section 2503, an operation switch 2504, and an image receiving unit (not shown). The present invention is applicable to the display device 2502 and other signal control circuits.

[0302] Fig. 33A shows a front-type projector comprising a display device 2601 and a screen 2602. The present invention is applicable to the display device and other signal control circuits.

[0303] Fig. 33B shows a rear-type projector comprising a main body 2701, a display device 2702, a mirror 2703, and a screen 2704. The present invention is applicable to the display device and other signal control circuits.

[0304] Fig. 33C is a diagram showing an example of the structure of the display devices 2601 and 2702 in Figs. 33A and 33B. The display device 2601 or 2702 comprises a light source optical system 2801, mirrors 2802 and 2804 to 2806, a dichroic mirror 2803, a prism 2807, a liquid crystal display device 2808, a phase difference plate 2809 and a projection optical system 2810. The projection optical system 2810 consists of an optical system including a projection lens. This example shows an example of "three plate type", but not particularly limited thereto. For instance, the invention may be applied also to "single plate type". Further, in the light path indicated by an arrow in Fig. 33C, an optical system such as an optical lens, a film having a polarization function, a film for adjusting a phase difference, an IR film may be provided on discretion of a person who carries out the invention.

[0305] Fig. 33D is a diagram showing an example of the structure of the light source optical system 2801 in Fig. 33C. In this example, the light source optical system 2801 comprises a reflector 2811, a light source 2812, lens arrays 2813 and 2814, a polarizing converter element 2815 and a collimator lens 2816. Incidentally, the light source optical system shown in Fig. 33D is an example and not particularly limited thereto. For example, in the light source optical system, an optical system such as an optical lens, a film having a polarization function, a film for adjusting a phase difference, and an IR film may be provided on discretion of a person who carries out the invention.

[0306] As described above, the scope of application of the semiconductor device of the present invention is very wide, and the invention can be applied to electronic equipments of any fields. The semiconductor device of this example can be realized even if any combination of Examples 1 to 14 is used.

[Example 16]

[0307] This example demonstrates a process for producing an active matrix type EL (electroluminescence) display device according to the invention of the present invention.

[0308] Fig. 35A is a top view showing an EL display device, which was produced according to the present invention. In Fig. 35A, there are shown a substrate 4010, a pixel portion 4011, a source side driving circuit 4012, and a gate side driving circuit 4013, each driving circuit connecting to wirings 4014-4016 which reach FPC 4017 leading to external equipment.

[0309] The pixel portion, preferably together with the driving circuit, is enclosed by a covering material 6000, a sealing material (or housing material) 7000, and an end-sealing material (or second sealing material) 7001.

[0310] Fig. 35B is a sectional view showing the structure of the EL display device in this Example. There is shown a substrate 4010, a base film 4021, a TFT 4022 for the driving circuit, and a TFT 4023 for the pixel portion. (The TFT 4022 shown is a CMOS circuit consisting of an n-channel type TFT and a p-channel type TFT. The TFT 4023 shown is the one, which controls current to the EL element.)

[0311] Incidentally, the present invention is used in the TFT 4022 for the driving circuit and the TFT 4023 for the pixel portion.

[0312] Upon completion of TFT 4022 (for the driving circuit) and TFT 4023 (for the pixel portion) according to the invention of the present application, a pixel electrode 4027 is formed on the interlayer insulating film (planarizing film) 4026 made of a resin. This pixel electrode is a transparent conductive film, which is electrically connected to the drain of TFT 4023 for the pixel unit. The transparent conductive film may be formed from a compound (called ITO) of indium oxide and tin oxide or a compound of indium oxide and zinc oxide. On the pixel electrode 4027 is formed an insulating film 4028, in which is formed an opening above the pixel electrode 4027.

[0313] Subsequently, the EL layer 4029 is formed. It may be of single-layer structure or multi-layer structure by freely combining known EL materials such as a hole injection layer, a hole transport layer, a light emitting layer, an electron transport layer, and an electron injection layer. Any known technology may be available for such structure. The EL material is either a low-molecular material or a high-molecular material (polymer). The former may be applied by vapor deposition, and the latter may be applied by a simple method such as spin coating, printing, or ink-jet method.

[0314] In this example, the EL layer is formed by a vapor deposition through a shadow mask. The resulting EL layer permits each pixel to emit light differing in wavelength (red, green, and blue). This realizes the color display. Alternative systems available include the

combination of color conversion layer (CCM) and color filter and the combination of white light emitting layer and color filter. Needless to say, the EL display device may be monochromatic.

[0315] On the EL layer is formed a cathode 4030. Prior to this step, it is desirable to clear moisture and oxygen as much as possible from the interface between the EL layer 4029 and the cathode 4030. This object may be achieved by forming the EL layer 4029 and the cathode 4030 subsequently in a vacuum, or by forming the EL layer 4029 in an inert atmosphere and then forming the cathode 4030 in the same atmosphere without exposing to air. In this Example, the desired film was formed by using a film-forming apparatus of multi-chamber system (cluster tool system).

[0316] The multi-layer structure composed of lithium fluoride film and aluminum film is used in this Example as the cathode 4030. To be concrete, the EL layer 4029 is coated by vapor deposition with a lithium fluoride film (1 nm thick) and an aluminum film (300 nm thick) sequentially. Needless to say, the cathode 4030 may be formed from MgAg electrode which is a known cathode material. Subsequently, the cathode 4030 is connected to a wiring 4016 in the region indicated by 4031. The wiring 4016 to supply a prescribed voltage to the cathode 4030 is connected to the FPC 4017 through an electrically conductive paste material 4032.

[0317] The electrical connection between the cathode 4030 and the wiring 4016 in the region 4031 needs contact holes in the interlayer insulating film 4026 and the insulating film 4028. These contact holes may be formed when the interlayer insulating film 4026 undergoes etching to form the contact hole for the pixel electrode or when the insulating film 4028 undergoes etching to form the opening before the EL layer is formed. When the insulating film 4028 undergoes etching, the interlayer insulating film 4026 may be etched simultaneously. Contact holes of good shape may be formed if the interlayer insulating film 4026 and the insulating film 4028 are made of the same material.

[0318] Then, a passivation film 6003, a filling material 6004 and a covering material 6000 are formed so that these layers cover the EL element.

[0319] Furthermore, the sealing material 7000 is formed inside of the covering material 6000 and the substrate 4010 such as surrounding the EL element, and the end-sealing material 7001 is formed outside of the sealing material 7000.

[0320] The filling material 6004 is formed to cover the EL element and also functions as an adhesive to adhere to the covering material 6000. As the filling material 6004, PVC (polyvinyl chloride), an epoxy resin, a silicon resin, PVB (polyvinyl butyral), or EVA (ethylene-vinyl acetate) can be utilized. It is preferable to form a desiccant in the filling material 6004, since a moisture absorption can be maintained.

[0321] Also, spacers can be contained in the filling material 6004. It is preferable to use spherical spacers,

comprising barium oxide to maintain the moisture absorption in the spacers.

[0322] In the case of that the spaces are contained in the filling material, the passivation film 6003 can relieve the pressure of the spacers. Of course, the other film different from the passivation film, such as an organic resin, can be used for relieving the pressure of the spacers.

[0323] As the covering material 6000, a glass plate, an aluminum plate, a stainless plate, a FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, a polyester film or an acryl film can be used. In a case that PVB or EVA is employed as the filling material 6004, it is preferable to use an aluminum foil with a thickness of some tens of μm sandwiched by a PVF film or a Mylar film.

[0324] It is noted that the covering material 6000 should have a light transparency with accordance to a light emitting direction (a light radiation direction) from the EL element.

[0325] The wiring 4016 is electrically connected to FPC 4017 through the gap between the sealing material 7000 and the end-sealing material 7001, and the substrate 4010. As in the wiring 4016 explained above, other wirings 4014 and 4015 are also electrically connected to FPC 4017 under the sealing material 4018.

[Example 17]

[0326] In this example, another active matrix type EL display device having a different structure from the example 16 is explained, as shown in Figs. 34A and 34B. The same reference numerals in Fig. 36A and 36B as in Figs. 35A and 35B indicate same constitutive elements, so an explanation is omitted.

[0327] Fig. 36A shows a top view of the EL module in this example and Fig. 36B shows a sectional view of A-A' of Fig. 36A.

[0328] According to Example 16, the passivation film 6003 is formed to cover a surface of the EL element.

[0329] The filling material 6004 is formed to cover the EL element and also functions as an adhesive to adhere to the covering material 6000. As the filling material 6004, PVC (polyvinyl chloride), an epoxy resin, a silicon resin, PVB (polyvinyl butyral), or EVA (ethylene-vinyl acetate) can be utilized. It is preferable to form a desiccant in the filling material 6004, since a moisture absorption can be maintained.

[0330] Also, spacers can be contained in the filling material 6004. It is preferable to use spherical spacers comprising barium oxide to maintain the moisture absorption in the spacers.

[0331] In the case of that the spaces are contained in the filling material, the passivation film 6003 can relieve the pressure of the spacers. Of course, the other film different from the passivation film, such as an organic resin, can be used for relieving the pressure of the spacers.

[0332] As the covering material 6000, a glass plate, an aluminum plate, a stainless plate, a FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, a polyester film or an acryl film can be used. In a case that PVB or EVA is employed as the filling material 6004, it is preferable to use an aluminum foil with a thickness of some tens of μm sandwiched by a PVF film or a Mylar film.

[0333] It is noted that the covering material 6000 should have a light transparency with accordance to a light emitting direction (a light radiation direction) from the EL element.

[0334] Next, the covering material 6000 is adhered using the filling material 6004. Then, the flame material 6001 is attached to cover side portions (exposed faces) of the filling material 6004. The flame material 6001 is adhered by the sealing material (acts as an adhesive) 6002. As the sealing material 6002, a light curable resin is preferable. Also, a thermal curable resin can be employed if a heat resistance of the EL layer is admitted. It is preferable for the sealing material 6002 not to pass moisture and oxygen. In addition, it is possible to add a desiccant inside the sealing material 6002.

[0335] The wiring 4016 is electrically connected to FPC 4017 through the gap between the sealing material 6002 and the substrate 4010. As in the wiring 4016 explained above, other wirings 4014 and 4015 are also electrically connected to FPC 4017 under the sealing material 6002.

[Example 18]

[0336] In the active matrix type EL display device having a structure based on the example 16 or 17, the present invention can be used. Although Examples 16 and 17 explain a structure in which a light is radiated toward a bottom surface, an example of the structure of the pixel region in the panel is illustrated in more detail in Example 18. Fig. 37 shows the cross section of the pixel region; Fig. 38A shows the top view thereof; and Fig. 38B shows the circuit structure for the pixel region. In Fig. 37, Fig. 38A and Fig. 38B, the same reference numerals are referred to for the same portions, as being common therefo. There is an example in which a light is radiated toward a top surface described in Example 18. However, needless-to-say, it is possible to fabricate an EL display device applied to the structure of the pixel portion of Example 18 in to Examples 16 and 17.

[0337] In Fig. 37, the switching TFT 3502 formed on the substrate 3501 is NTFT of the invention (cf. Examples 1 to 13). In this Example, it has a double-gate structure, but its structure and fabrication process do not so much differ from the structures and the fabrication processes illustrated hereinabove, and their description is omitted herein. However, the double-gate structure of the switching TFT 3502 has substantially two TFTs as connected in series, and therefore has the advantage of reducing the off-current to pass therethrough. In this

Example, the switching TFT 3502 has such a double-gate structure, but is not limitative. It may have a single-gate structure or a triple-gate structure, or even any other multi-gate structure having more than three gates. As the case may be, the switching TFT 3502 may be PTFT of the invention.

[0338] The current-control TFT 3503 is NTFT of the invention. The drain wiring 3035 in the switching TFT 3502 is electrically connected with the gate electrode 3037 of the current-control TFT, via the wiring 3036 therebetween. Gate electrodes 3039a and 3039b of the switching TFT 3502 are extended from gate wiring 3039. Because the figure would be complicated, Fig. 38A shown only one layer for the gate wiring 3039, the gate electrodes 3037, 3039a and 3039b. In fact, however, the gate wiring and the gate electrodes have two-layered structure as shown in Fig. 38B.

[0339] It is very important that the current-control TFT 3503 has the structure defined in the invention. The current-control TFT is a unit for controlling the quantity of current that passes through the EL device. Therefore, a large quantity of current passes through it, and the unit, current-control TFT has a high risk of thermal degradation and degradation with hot carriers. To this unit, therefore, the structure of the invention is extremely favorable, in which an LDD region is so constructed that the gate electrode overlaps with the drain area in the current-control TFT, via a gate insulating film therebetween.

[0340] In this Example, the current-control TFT 3503 is illustrated to have a single-gate structure, but it may have a multi-gate structure with plural TFTs connected in series. In addition, plural TFTs may be connected in parallel so that the channel forming region is substantially divided into plural sections. In the structure of that type, heat radiation can be effected efficiently. The structure is advantageous for protecting the device with it from thermal deterioration.

[0341] As in Fig. 38A, the wiring to be the gate electrode 3037 in the current-control TFT 3503 overlaps with the drain wiring 3040 therein in the region indicated by 3504, via an insulating film therebetween. In this state, the region indicated by 3504 forms a capacitor. The capacitor 3504 functions to retain the voltage applied to the gate electrode in the current-control TFT 3503. The drain wiring 3040 is connected with the current supply line (power line) 3501, from which a constant voltage is all the time applied to the drain wiring 3040.

[0342] On the switching TFT 3502 and the current-control TFT 3503, a first passivation film 41 is formed. On the film 3041, formed is a planarizing film 3042 of an insulating resin. It is extremely important that the difference in level of the layered portions in TFT is removed through planarization with the planarizing film 3042. This is because the EL layer to be formed on the previously formed layers in the later step is extremely thin, and if there exist a difference in level of the previously

formed layers, the EL device will be often troubled by light emission failure. Accordingly, it is desirable to previously planarize as much as possible the previously formed layers before the formation of the pixel electrode thereon so that the EL layer could be formed on the planarized surface.

[0343] The reference numeral 3043 indicates a pixel electrode (a cathode in the EL device) of an conductive film with high reflectivity. The pixel electrode 3043 is electrically connected with the drain region in the current-control TFT 3503. It is preferable that the pixel electrode 3043 is of a low-resistance conductive film of an aluminum alloy, a copper alloy or a silver alloy, or of a laminate of those films. Needless-to-say, the pixel electrode 3043 may have a laminate structure with any other conductive films.

[0344] In the recess (this corresponds to the pixel) formed between the banks 3044a and 3044b of an insulating film (preferably of a resin), the light-emitting layer 3044 is formed. In the illustrated structure, only one pixel is shown, but plural light-emitting layers could be separately formed in different pixels, corresponding to different colors of R (red), G (green) and B (blue). The organic EL material for the light-emitting layer may be any π -conjugated polymer material. Typical polymer materials usable herein include poly(paraphenylenevinylene) (PVV) materials, polyvinylcarbazole (PVK) materials, polyfluorene materials, etc.

[0345] Various types of PVV-type organic EL materials are known, such as those disclosed in H. Shenk, H. Becker, O. Gelsen, E. Klunge, W. Kreuder, and H. Spreitzer; *Polymers for Light Emitting Diodes*, Euro Display Proceedings, 1999, pp. 33-37 and in Japanese Patent Laid-Open No. 10-92576 (1998). Any of such known materials are usable herein.

[0346] Concretely, cyanopolyphenylenevinylens may be used for red-emitting layers; polyphenylenevinylens may be for green-emitting layers; and polyphenylenevinylens or polyalkylphenylens may be for blue-emitting layers. The thickness of the film for the light-emitting layers may fall between 30 and 150 nm (preferably between 40 and 100 nm).

[0347] These compounds mentioned above are referred to merely for examples of organic EL materials employable herein and are not limitative at all. The light-emitting layer may be combined with a charge transportation layer or a charge injection layer in any desired manner to form the intended EL layer (this is for light emission and for carrier transfer for light emission).

[0348] Specifically, Example 18 is to demonstrate an example of using polymer materials to form light-emitting layers, which, however, is not limitative. Low-molecular organic EL materials may also be used for light-emitting layers. For charge transportation layers and charge injection layers, further employable are inorganic materials such as silicon carbide, etc. Various organic EL materials and inorganic materials for those layers are known, any of which are usable herein.

[0349] In this Example, a hole injection layer 3046 of PEDOT (polythiophene) or PANi (polyaniline) is formed on the light-emitting layer 3045 to give a laminate structure for the EL layer. On the hole injection layer 3046, formed is an anode 3047 of a transparent conductive film. In this Example, the light having been emitted by the light-emitting layer 3045 radiates therefrom in the direction toward the top surface (that is, in the upward direction of TFT). Therefore, in this, the anode must transmit light. For the transparent conductive film for the anode, usable are compounds of indium oxide and tin oxide, and compounds of indium oxide and zinc oxide. However, since the anode is formed after the light-emitting layer and the hole injection layer having poor heat resistance have been formed, it is preferable that the transparent conductive film for the anode is of a material capable of being formed into a film at as low as possible temperatures.

[0350] When the anode 3047 is formed, the EL device 3505 is finished. The EL device 3505 thus fabricated herein indicates a capacitor comprising the pixel electrode (cathode) 3043, the light-emitting layer 3045, the hole injection layer 3046 and the anode 3047. As in Fig. 38A, the region of the pixel electrode 3043 is nearly the same as the area of the pixel. Therefore, in this, the entire pixel functions as the EL device. Accordingly, the light utility efficiency of the EL device fabricated herein is high, and the device can display bright images.

[0351] In this Example, a second passivation film 3048 is formed on the anode 3047. For the second passivation film 3048, preferably used is a silicon nitride film or a silicon nitride oxide film. The object of the second passivation film 3048 is to insulate the EL device from the outward environment. The film 3048 has the function of preventing the organic EL material from being degraded through oxidation and has the function of preventing it from degassing. With the second passivation film 3048 of that type, the reliability of the EL display device is improved.

[0352] As described hereinabove, the EL display panel of the invention fabricated in this Example has a pixel portion for the pixel having the constitution as in Fig. 37, and has the switching TFT through which the off-current to pass is very small to a satisfactory degree, and the current-control TFT resistant to hot cater injection. Accordingly, the EL display panel fabricated herein has high reliability and can display good images.

[0353] The constitution of this Example can be combined with any constitution of Examples 1 to 13 in any desired manner. Incorporating the EL display panel of this Example into the electronic equipments of Example 15 as its display portion is advantageous.

[Example 19]

[0354] This Example is to demonstrate a modification of the EL display panel of Example 18, in which the EL device 3505 in the pixel portion has a reversed struc-

ture. For this Example, referred to is Fig. 39. The constitution of the EL display panel of this Example differs from that illustrated in Fig. 37 only in the EL device portion and the current-control TFT portion. Therefore, the description of the other portions except those different portions is omitted herein.

[0355] In Fig. 39, the current-control TFT 3701 may be PTFT of the invention. For the process of forming it, referred to is that of Example 1 to 13.

[0356] In this Example, the pixel electrode (anode) 3050 is of a transparent conductive film. Concretely, used is an conductive film of a compound of indium oxide and zinc oxide. Needless-to-say, also usable is an conductive film of a compound of indium oxide and tin oxide.

[0357] After the banks 3051a and 3051b of an insulating film have been formed, a light-emitting layer 3052 of polyvinylcarbazole is formed between them in a solution coating method. On the light-emitting layer 3052, formed are an electron injection layer 3053 of acetylacetonatopotassium, and a cathode 3054 of an aluminum alloy. In this case, the cathode 3054 serves also as a passivation film. Thus is fabricated the EL device 3701.

[0358] In this Example, the light having been emitted by the light-emitting layer 3053 radiates in the direction toward the substrate with TFT formed thereon, as in the direction of the arrow illustrated.

[0359] The constitution of this Example can be combined with any constitution of Examples 1 to 13 in any desired manner. Incorporating the EL display panel of this Example into the electronic equipments of Example 15 as its display portion is advantageous.

[Example 20]

[0360] This Example is to demonstrate modifications of the pixel with the circuit structure of Fig. 38B. The modifications are as in Figs. 40A-40C. In this Example illustrated in those Fig. 40A to Fig. 40C, 3801 indicates the source wiring for the switching TFT 3802; 3803 indicates the gate wiring for the switching TFT 3802; 3804 indicates a current-control TFT; 3805 indicates a capacitor; 3806 and 3808 indicate current supply lines; and 3807 indicates an EL device.

[0361] In the example of Fig. 40A, the current supply line 3806 is common to the two pixels. Specifically, this example is characterized in that two pixels are lineal-symmetrically formed with the current supply line 3806 being the center between them. Since the number of current supply lines can be reduced therein, this example is advantageous in that the pixel portion can be much finer and thinner.

[0362] In the example of Fig. 40B, the current supply line 3808 is formed in parallel to the gate wiring 3803. Specifically, in this, the current supply line 3808 is so constructed that it does not overlap with the gate wiring 3803, but is not limitative. Being different from the illustrated case, the two may overlap with each other via

an insulating film therebetween so far as they are of different layers. Since the current supply line 3808 and the gate wiring 3803 may enjoy the common exclusive area therein, this example is advantageous in that the pixel pattern can be much finer and thinner.

[0363] The structure of the example of Fig. 40C is characterized in that the current supply line 3808 is formed in parallel to the gate wirings 3803, like in Fig. 40B, and that two pixels are lineal-symmetrically formed with the current supply line 3808 being the center between them. In this, it is also effective to provide the current supply line 3808 in such a manner that it overlaps with any one of the gate wirings 3803. Since the number of current supply lines can be reduced therein, this example is advantageous in that the pixel pattern can be much finer and thinner.

[0364] The constitution of this Example can be combined with any constitution of Example 1 to 13, 16 and 17 in any desired manner. Incorporating the EL display panel having the pixel structure of this Example into the electronic equipments of Example 15 as its display portion is advantageous.

[Example 21]

[0365] The example of Example 18 illustrated in Fig. 38A and Fig. 38B is provided with the capacitor 3504 which acts to retain the voltage applied to the gate in the current-control TFT 3503. In the example, however, the capacitor 3504 may be omitted.

[0366] In the example of Example 18, the current-control TFT 3503 is NTFT of the invention, as shown in Examples 1 to 13. Therefore, in the example 18, the LDD region is so formed that it overlaps with the gate electrode via the gate insulating film therebetween. In the overlapped region, formed is a parasitic capacitance generally referred to as a gate capacitance. The example of this Example is characterized in that the parasitic capacitance is positively utilized in place of the capacitor 3504.

[0367] The parasitic capacitance in question varies, depending on the area in which the gate electrode overlaps with the LDD region, and is therefore determined according to the length of the LDD region in the overlapped area.

[0368] Also in the examples of Example 20 illustrated in Fig. 40A, Fig. 40B and Fig. 40C, the capacitor 3805 can be omitted.

[0369] The constitution of this Example can be combined with any constitution of Example 1 to 13, 16 to 20 in any desired manner. Incorporating the EL display panel having the pixel structure of this Example into the electronic equipments of Example 15 as its display portion is advantageous.

[0370] Further, needless-to-say, the NTFT and the PTFT in Examples 16-21 are same as an n-channel TFT and a p-channel TFT of the present invention, respectively.

[0371] By carrying out the present invention, the reliability of a TFT can be increased, and especially the reliability of an n-channel TFT can be increased. Thus, it becomes possible to secure the reliability of a channel-type TFT which has high electric characteristics (especially high mobility) and which is required to have severe reliability. At the same time, by forming a CMOS circuit through combination of an n-channel TFT and a p-channel TFT superior in characteristic balance, a semiconductor circuit having high reliability and superior electric characteristics can be formed.

[0372] Moreover, in the present invention, since a catalytic element used for crystallization of a semiconductor can be reduced, a semiconductor device with few unstable factors can be realized. Further, since a step of reducing the catalytic element is carried out at the same time as formation and activation of a source region and a drain region, a throughput is not lowered.

[0373] Moreover, by increasing the reliability of a circuit assembled by the TFTs as described above, it becomes possible to secure the reliability of an electro-optical device, a semiconductor circuit, and further, any semiconductor devices including electronic equipments.

Claims

1. A method of fabricating a semiconductor device, said method comprising the steps of:

forming an insulating film being in contact with a semiconductor layer;
forming a gate electrode intersecting with the semiconductor layer through the insulating film; and
adding an impurity with one conductivity into the semiconductor layer through at least a portion of the gate electrode;
wherein an angle between a side of the gate electrode and the insulating film is in a range of 3 degrees to 60 degrees.

2. A method of fabricating a semiconductor device, said method comprising the steps of:

forming an insulating film being in contact with a semiconductor layer;
forming a gate electrode intersecting with the semiconductor layer through the insulating film;
first adding an impurity with one conductivity into the semiconductor layer through at least a portion of the gate electrode; and
second adding the impurity into the semiconductor layer without passing through the gate electrode;
wherein an angle between a side of the gate electrode and the insulating film is in a range of 3 degrees to 60 degrees.

3. A method of according to claim 2, wherein the impurity is added into the semiconductor layer using a mask covering the gate electrode and having a width wider than the gate electrode in a channel length direction in the second adding step.

4. A method of fabricating a semiconductor device, said method comprising the steps of:

forming an insulating film being in contact with a semiconductor layer;
forming a first conductive film being in contact with the insulating film;
forming a second conductive film being in contact with the first conductive film;
forming a gate electrode by patterning the first conductive film and the second conductive film; wherein the gate electrode includes a first gate electrode and a second gate electrode being formed on the first gate electrode;
wherein the second electrode has a width narrower in a channel length direction than the first gate electrode; and
adding an impurity with one conductivity into the semiconductor layer through at least a portion of the first gate electrode;
wherein an angle between a side of the first gate electrode and the insulating film is in a range of 3 degrees to 60 degrees.

5. A method of fabricating a semiconductor device, said method comprising the steps of:

forming an insulating film being in contact with a semiconductor layer;
forming a first conductive film being in contact with the insulating film;
forming a second conductive film being in contact with the first conductive film;
forming a gate electrode by patterning the first conductive film and the second conductive film; wherein the gate electrode includes a first gate electrode and a second gate electrode being formed on the first gate electrode;
wherein the second gate electrode has a width narrower in a channel length direction than the first gate electrode;
first adding an impurity with one conductivity into the semiconductor layer by through at least a portion of the first gate electrode; and
second adding the impurity into the semiconductor layer without passing through the gate electrode;
wherein an angle between a side of the first gate electrode and the insulating film is in a range of 3 degrees to 60 degrees.

6. A method according to claim 5, wherein the impu-

urity is added into the semiconductor layer using a mask covering the first gate electrode and having a width wider than the first gate electrode in a channel length direction.

7. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer the second semiconductor layer,
forming a second gate wiring on the first gate wiring;
first adding an n-type impurity into the first semiconductor layer by through at least a portion of the first gate wiring;
second adding the n-type impurity into the first semiconductor layer without passing through the first gate wiring; and
third adding a p-type impurity into the second semiconductor layer using the first gate wiring and the second gate wiring as masks;
wherein an angle between a side portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

8. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer and the second semiconductor layer;
forming a second gate wiring on the first gate wiring;
first adding a p-type impurity into the second semiconductor layer using the first gate wiring and the second gate wiring as masks;
second adding an n-type impurity into the first semiconductor layer through at least a portion of the first gate wiring; and
third adding the n-type impurity into the first semiconductor layer without passing through the first gate wiring;

wherein an angle between a side portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

9. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer and the second semiconductor layer;
forming a second gate wiring on the first gate wiring;
first adding a p-type impurity into the second semiconductor layer using the first gate wiring and the second gate wiring as masks;
second adding an n-type impurity into the first semiconductor layer without passing through the first gate wiring; and
third adding the n-type impurity into the first semiconductor layer through at least a portion of the first gate wiring;
wherein an angle between a side of a portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

10. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer and the second semiconductor layer;
forming a second gate wiring on the first gate wiring;
first adding an n-type impurity into the first semiconductor layer through at least of the first gate wiring;
second adding a p-type impurity into the second semiconductor layer using the first gate wiring and the second gate wiring as masks; and
third adding the n-type impurity into the first semiconductor layer without passing through

the first gate wiring;
wherein an angle between a side portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

5

11. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

10

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer and the second semiconductor layer;
forming a second gate wiring on the first gate wiring;
first adding an n-type impurity into the first semiconductor layer without passing through the first gate wiring;
second adding a p-type impurity into the second semiconductor layer using the first gate wiring and the second gate wiring as masks;
and
third adding the n-type impurity into the first semiconductor layer through at least a portion of the first gate wiring;
wherein an angle between a side portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

35

12. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

40

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer and the second semiconductor layer;
forming a second gate wiring on the first gate wiring;
first adding an n-type impurity into the first semiconductor layer without passing through the first gate wiring;
second adding the n-type impurity into the first semiconductor layer through at least a portion of the first gate wiring; and
third adding a p-type impurity into the second

55

semiconductor layer using the first gate wiring and the second gate wiring as masks;
wherein an angle between a side portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

13. A semiconductor device comprising:

a semiconductor island on an insulating surface;
a channel region in the semiconductor island;
at least an LDD region being in contact with the channel region and including a first impurity region and a second impurity region, said first impurity region being in contact with the channel region and said second impurity region being in contact with the first impurity region;
at least a third impurity region being in contact with the second impurity region;
a gate electrode being formed over the semiconductor island with a gate insulating film interposed therebetween and having a first gate electrode and a second electrode being formed on the first gate electrode,
wherein the first gate electrode has at least a taper portion and a flat portion,
wherein the first impurity region is overlapped with the taper portion of the first gate electrode with the gate insulating film interposed therebetween,
wherein the second impurity region is overlapped with neither the first gate electrode nor the second gate electrode.

14. A device according to claim 13, wherein an angle between the taper portion of the first gate electrode and the gate insulating film is in a range of 3 to 60 degrees.

15. A device according to claim 13, wherein the semiconductor island is a crystalline silicon island.

16. A device according to claim 13, wherein the first gate electrode includes at least one selected from the group consisting of chromium (Cr), tantalum (Ta), an n-type silicon containing phosphorus, titanium (Ti), tungsten (W), and molybdenum (Mo) while the second gate electrode includes at least one selected from the group consisting of aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), an n-type silicon containing phosphorus and silicide.

17. A device according to claim 13, wherein the semiconductor device is one selected from the group consisting of a video camera, a digital camera, a

rear-type projector, a front-type projector, a head mount display (a goggle-type display), a navigation system for vehicles, a personal computer, a mobile computer, a cellular phone, and an electronic book.

18. A semiconductor device comprising at least a CMOS transistor including an n-channel thin film transistor and a p-channel thin film transistor,

said n-channel thin film transistor including:

a first semiconductor island on an insulating surface;
 a first channel region in the first semiconductor island;
 at least a first LDD region being contact with the first channel region and including a first impurity region and a second impurity region, said first impurity region being in contact with the channel region and said second impurity region being in contact with the first impurity region;
 at least a third impurity region being in contact with the second impurity region;
 a gate electrode of the n-channel thin film transistor being formed over the first semiconductor island with a gate insulating film interposed therebetween and having a first gate electrode and a second electrode being formed on the first gate electrode, wherein the first gate electrode has at least a taper portion and a flat portion, wherein the first impurity region is overlapped with the taper portion of the first gate electrode with the gate insulating film interposed therebetween, wherein the second impurity region is overlapped with neither the first gate electrode nor the second gate electrode.

said p-channel thin film transistor including:

a second semiconductor island being formed on the insulating surface;
 a second channel region in the second semiconductor island;
 at least a fourth impurity region being formed in contact with the second channel region;
 at least a fifth impurity region being formed in contact with the fourth impurity region;
 a gate electrode of the p-channel thin film transistor being formed over the second channel region with the gate insulating film being interposed therebetween having a third gate electrode and a fourth gate electrode being formed on the third gate electrode,

wherein each of the fourth and fifth impurity regions is overlapped with neither the third gate electrode nor the fourth gate electrode.

19. A device according to claim 18, wherein an angle between the taper portion of the first gate electrode and the gate insulating film is in a range of 3 to 60 degrees.

20. A device according to claim 18, wherein each of the first and second semiconductor islands is a crystalline silicon island.

21. A device according to claim 18, wherein each of the first and third gate electrodes includes at least one selected from the group consisting of chromium (Cr), tantalum (Ta), an n-type silicon containing phosphorus, titanium (Ti), tungsten (W), and molybdenum (Mo) while each of the second and fourth gate electrodes includes at least one selected from the group consisting of aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), an n-type silicon containing phosphorus and silicide.

22. A device according to claim 18, wherein the semiconductor device is one selected from the group consisting of a video camera, a digital camera, a rear-type projector, a front-type projector, a head mount display (a goggle-type display), a navigation system for vehicles, a personal computer, a mobile computer, a cellular phone, and an electronic book.

23. A semiconductor device comprising at least a CMOS transistor including an n-channel thin film transistor and a p-channel thin film transistor,

said n-channel thin film transistor including:

a first semiconductor island on an insulating surface;
 a first channel region in the first semiconductor island;
 at least a first LDD region being contact with the first channel region and including a first impurity region and a second impurity region, said first impurity region being in contact with the channel region and said second impurity region being in contact with the first impurity region;
 at least a third impurity region being in contact with the second impurity region;
 a gate electrode of the n-channel thin film transistor being formed over the first semiconductor island with a gate insulating film interposed therebetween and having a first gate electrode and a second electrode

being formed on the first gate electrode, wherein the first gate electrode has at least a first taper portion and a first flat portion, wherein the first impurity region is overlapped with the first taper portion of the first gate electrode with the gate insulating film interposed therebetween, wherein the second impurity region is overlapped with neither the first gate electrode nor the second gate electrode.

said p-channel thin film transistor including:

a second semiconductor island being formed on the insulating surface;
a second channel region in the second semiconductor island;
at least a fourth impurity region being formed in contact with the second
a gate electrode of the p-channel thin film transistor being formed over the second channel region with the gate insulating film being interposed therebetween having a third gate electrode and a fourth gate electrode being formed on the third gate electrode,
wherein the third gate electrode has at least a second taper portion and a second flat portion,
wherein the fourth impurity region is overlapped with neither the third gate electrode nor the fourth gate electrode.

24. A device according to claim 23, wherein each of angles between the first taper portion of the first gate electrode and the gate insulating film and between the second taper portion of the third gate electrode and the gate insulating film is in a range of 3 to 60 degrees.

25. A device according to claim 23, wherein each of the first and second semiconductor islands is a crystalline silicon island.

26. A device according to claim 23, wherein each of the first and third gate electrodes includes at least one selected from the group consisting of chromium (Cr), tantalum (Ta) an n-type silicon containing phosphorus, titanium (Ti), tungsten (W), and molybdenum (Mo) while each of the second and fourth gate electrodes includes at least one selected from the group consisting of aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), an n-type silicon containing phosphorus and silicide.

27. A device according to claim 23, wherein the semiconductor device is one selected from the group

consisting of a video camera, a digital camera, a rear-type projector, a front-type projector, a head mount display (a goggle-type display), a navigation system for vehicles, a personal computer, a mobile computer, a cellular phone, and an electronic book.

28. A semiconductor device comprising at least a CMOS transistor including an n-channel thin film transistor and a p-channel thin film transistor,

said n-channel thin film transistor including:

a first semiconductor island on an insulating surface;
a first channel region in the first semiconductor island;
at least a first LDD region being contact with the first channel region and including a first impurity region and a second impurity region, said first impurity region being in contact with the channel region and said second impurity region being in contact with the first impurity region;
at least a third impurity region being in contact with the second impurity region;
a gate electrode of the n channel thin film transistor being formed over the first semiconductor island with a gate insulating film interposed therebetween and having a first gate electrode and a second electrode being formed on the first gate electrode, wherein the first gate electrode has at least a taper portion and a flat portion, wherein the first impurity region is overlapped with the taper portion of the first gate electrode with the gate insulating film interposed therebetween, wherein the second impurity region is overlapped with neither the first gate electrode nor the second gate electrode.

said p-channel thin film transistor including:

a second semiconductor island being formed on the insulating surface;
a second channel region in the second semiconductor island;
at least a fourth impurity region being formed in contact with the second
a gate electrode of the p-channel thin film transistor being formed over the second channel region with the gate insulating film being interposed therebetween having a third gate electrode and a fourth gate electrode being formed on the third gate electrode,
wherein the fourth impurity region is overlapped with neither the third gate electrode

nor the fourth gate electrode.

29. A device according to claim 28, wherein an angle between the taper portion of the first gate electrode and the gate insulating film is in a range of 3 to 60 degrees. 5
30. A device according to claim 28, wherein each of the first and second semiconductor islands is a crystalline silicon island. 10
31. A device according to claim 28, wherein each of the first and third gate electrodes includes at least one selected from the group consisting of chromium (Cr), tantalum (Ta) an n-type silicon containing phosphorus, titanium (Ti), tungsten (W), and molybdenum (Mo) while each of the second and fourth gate electrodes includes at least one selected from the group consisting of aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), an n-type silicon containing phosphorus and silicide. 15 20
32. A device according to claim 28, wherein the semiconductor device is one selected from the group consisting of a video camera, a digital camera, a rear-type projector, a front-type projector, a head mount display (a goggle-type display), a navigation system for vehicles, a personal computer, a mobile computer, a cellular phone, and an electronic book. 25 30
33. An electroluminescence display device comprising:
- a pixel portion and a peripheral driving circuit portion over a substrate;
 - at least a first thin film transistor for controlling a current and a second thin film transistor for switching each being formed in the pixel portion;
 - at least a CMOS transistor being formed in the peripheral driving circuit portion;
 - said first thin film transistor comprising:
 - a semiconductor island on an insulating surface;
 - a channel region in the semiconductor island;
 - at least an LDD region being contact with the channel region and including a first impurity region and a second impurity region, said first impurity region being in contact with the channel region and said second impurity region being in contact with the first impurity region;
 - at least a third impurity region being in contact with the second impurity region;
 - a gate electrode being formed over the semiconductor island with a gate insulating

film interposed therebetween and having a first gate electrode and a second electrode being formed on the first gate electrode, wherein the first gate electrode has at least a taper portion and a flat portion, wherein the first impurity region is overlapped with the taper portion of the first gate electrode with the gate insulating film interposed therebetween, wherein the second impurity region is overlapped with neither the first gate electrode nor the second gate electrode,

a pixel electrode being electrically connected to the third impurity region of the first thin film transistor;

a light emitting layer being formed over the pixel electrode;

an electrode being formed over the light emitting layer.

34. A device according to claim 33, wherein an angle between the taper portion of the first gate electrode and the gate insulating film is in a range of 3 to 60 degrees.
35. A device according to claim 33, wherein the semiconductor island is a crystalline silicon island.
36. A device according to claim 33, wherein the first gate electrode includes at least one selected from the group consisting of chromium (Cr), tantalum (Ta) an n-type silicon containing phosphorus, titanium (Ti), tungsten (W), and molybdenum (Mo) while the second gate electrode includes at least one selected from the group consisting of aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), an n-type silicon containing phosphorus and silicide. 35 40
37. The electroluminescence display device of claim 33 in combination with one selected from the group consisting of a video camera, a digital camera, a rear-type projector, a front-type projector, a head mount display (a goggle-type display), a navigation system for vehicles, a personal computer, a mobile computer, a cellular phone, and an electronic book. 45 50
38. A device according to claim 33, wherein the light emitting layer is an EL layer.
39. A device according to claim 33, wherein a drain region of the second thin film transistor is electrically connected to the gate electrode of the first thin film transistor. 55
40. A device according to claim 33, wherein the second

thin film transistor has a multi-gate structure.

41. A device according to claim 33, wherein at least one of the pixel electrode and the electrode is transparent.

5

10

15

20

25

30

35

40

45

50

55

34

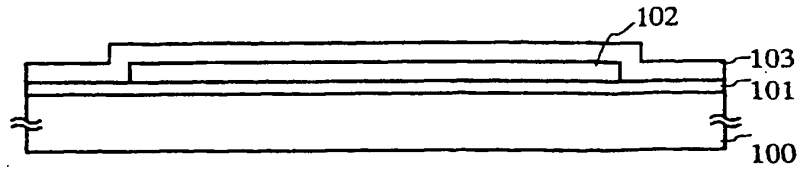


FIG. 1A

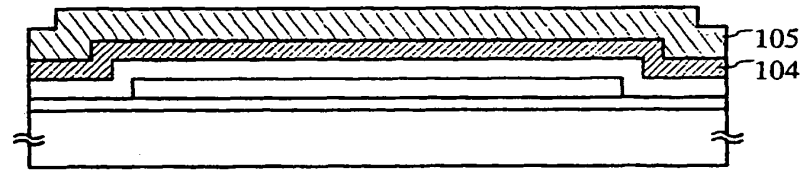


FIG. 1B

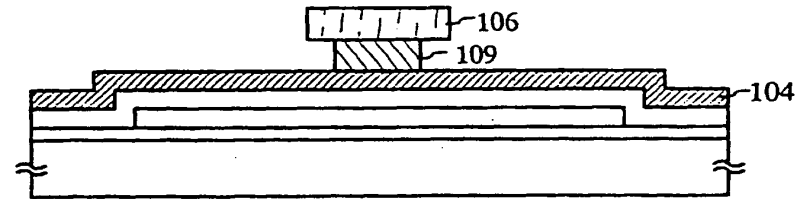


FIG. 1C

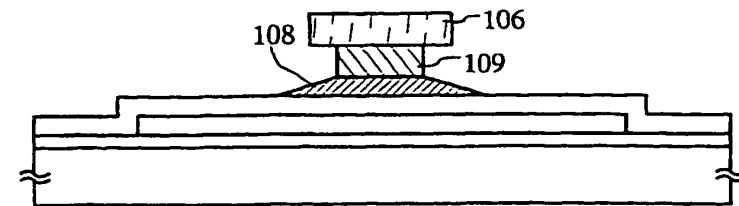


FIG. 1D

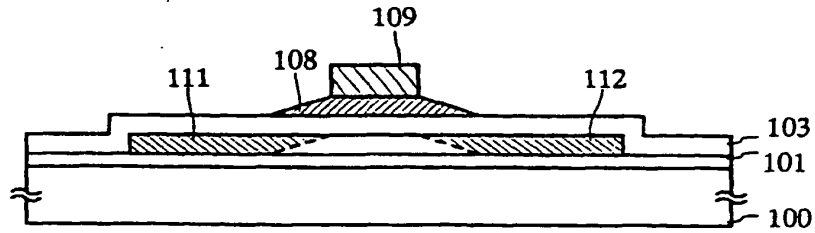


FIG. 2A

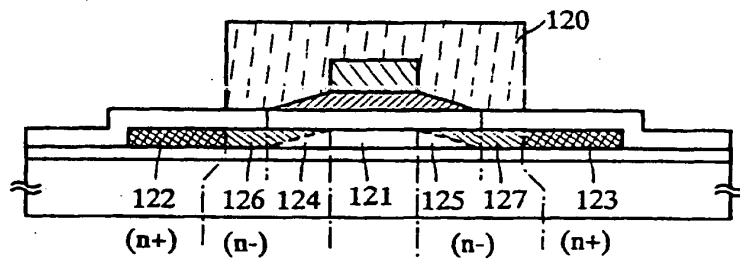


FIG. 2B

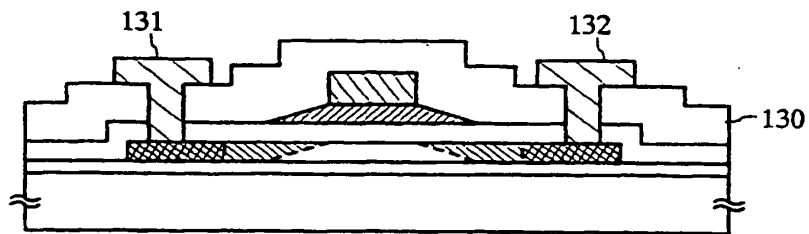


FIG. 2C

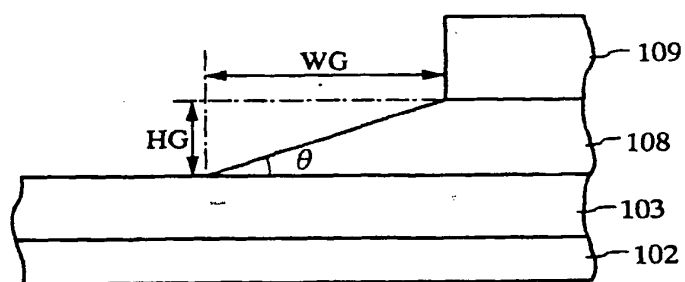
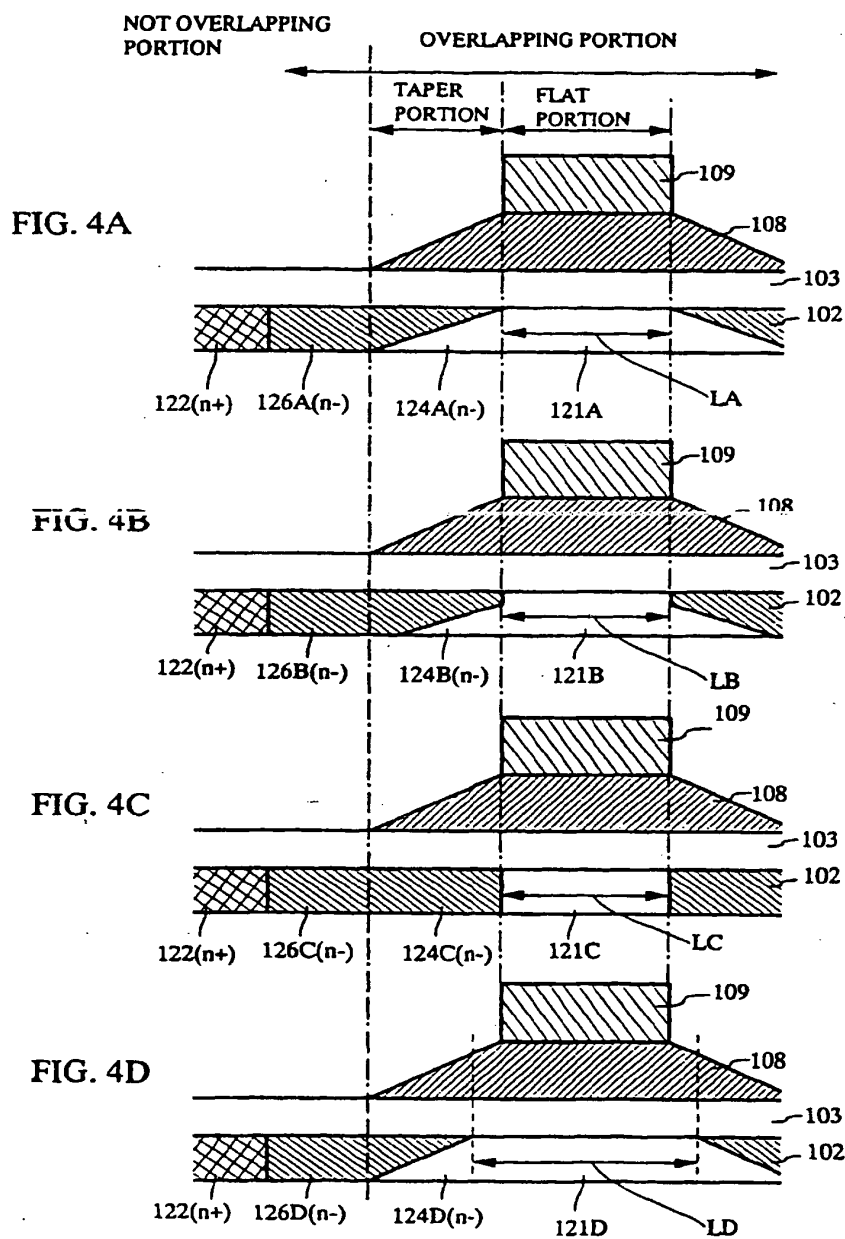


FIG. 3



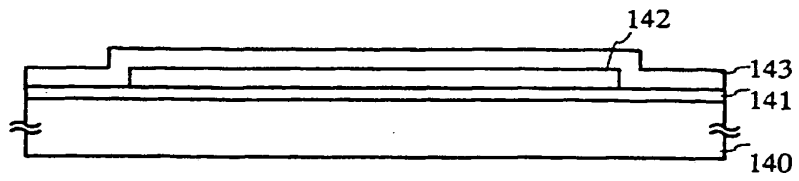


FIG. 5A

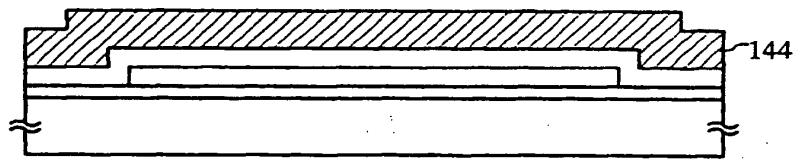


FIG. 5B

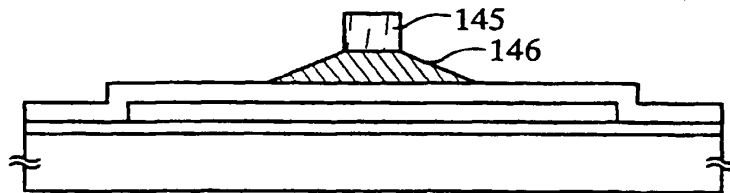


FIG. 5C

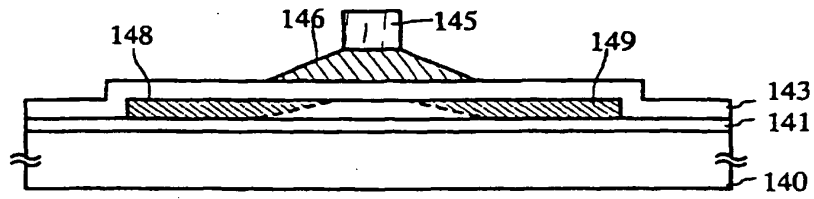


FIG. 6A

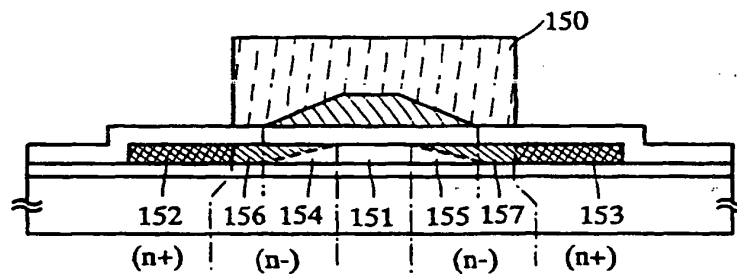


FIG. 6B

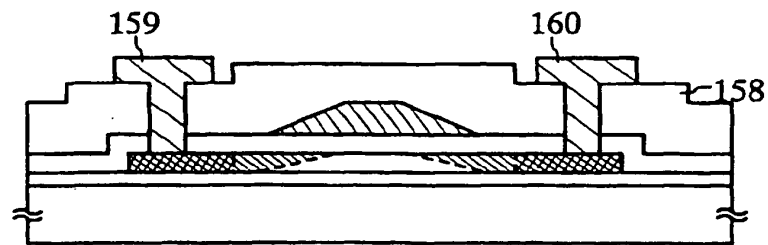


FIG. 6C

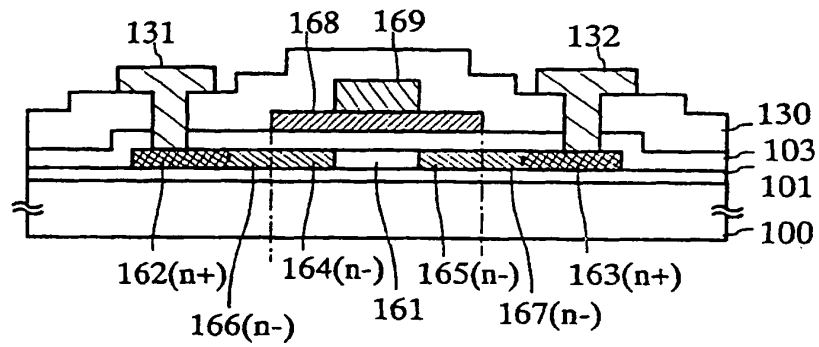


FIG. 7

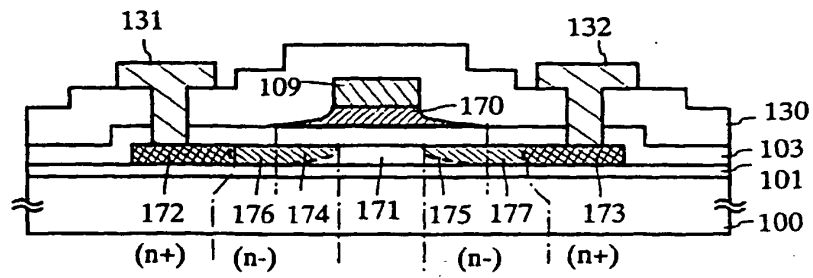


FIG. 8

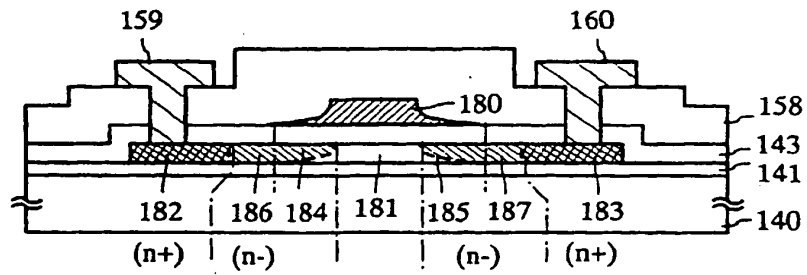


FIG. 9

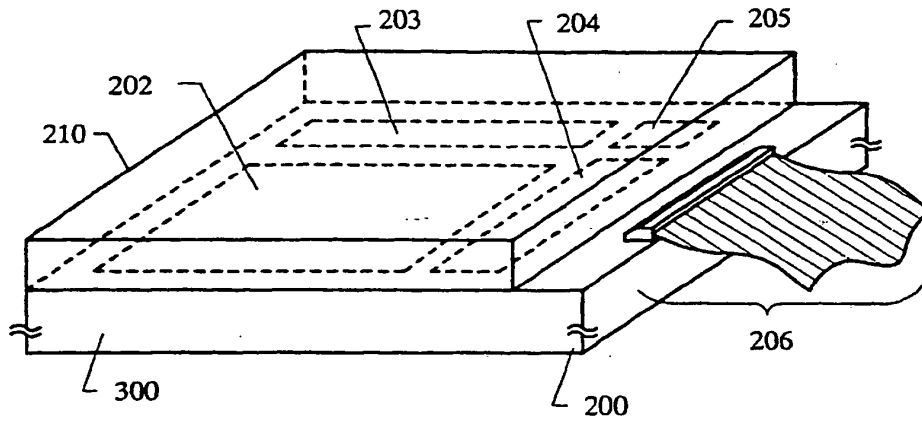


FIG. 10

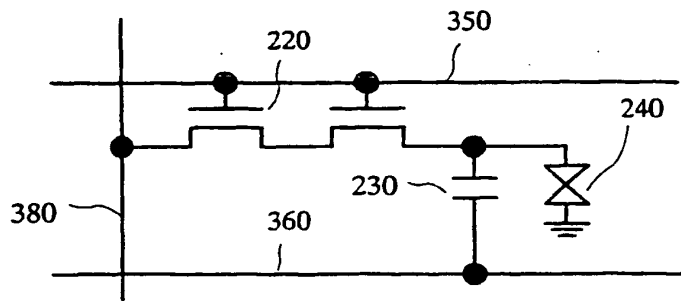


FIG. 11A

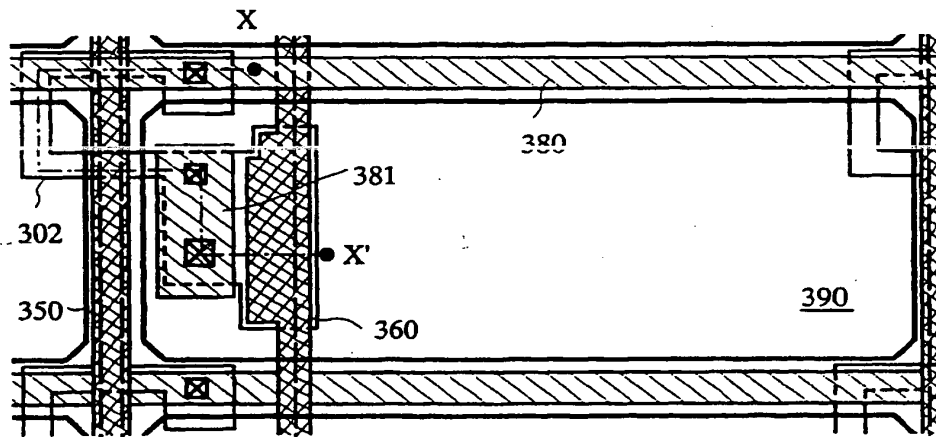


FIG. 11B

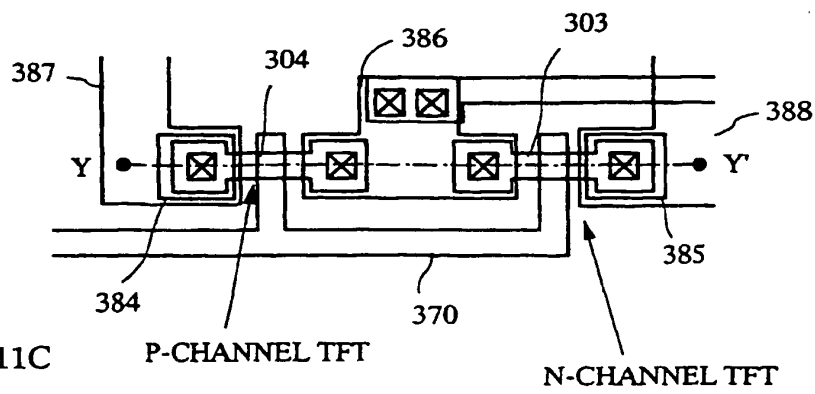


FIG. 11C

P-CHANNEL TFT

N-CHANNEL TFT

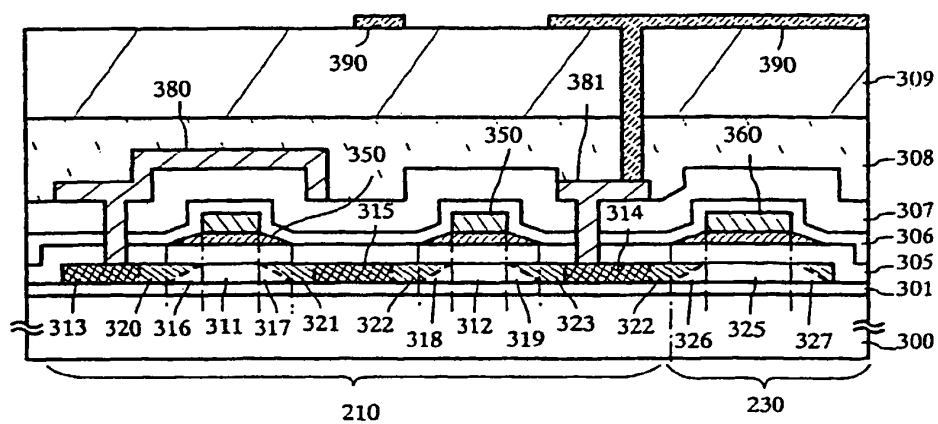


FIG. 12A

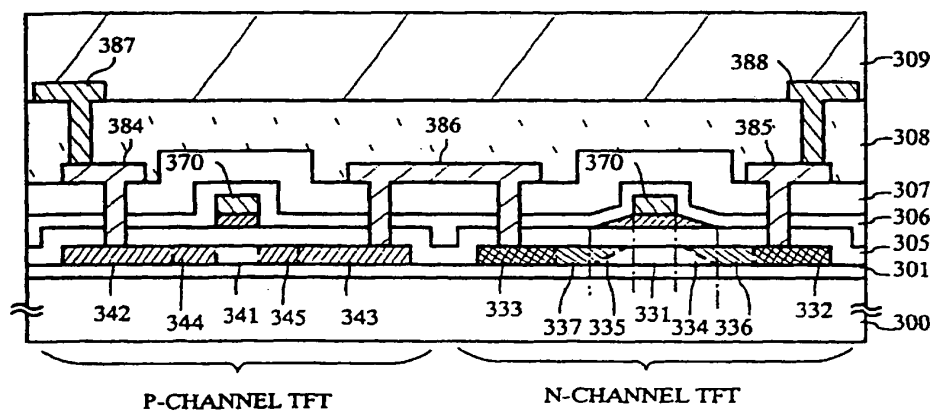


FIG. 12B

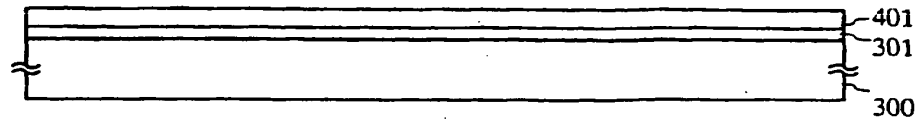


FIG. 13A

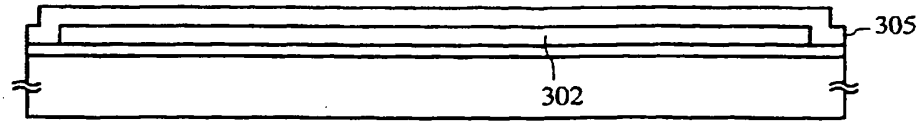


FIG. 13B

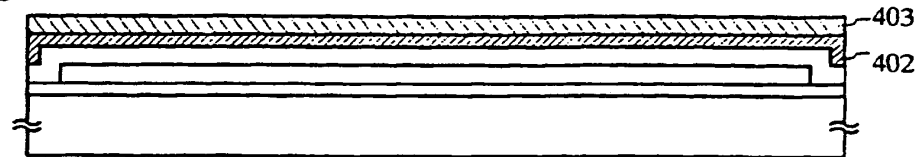


FIG. 13C

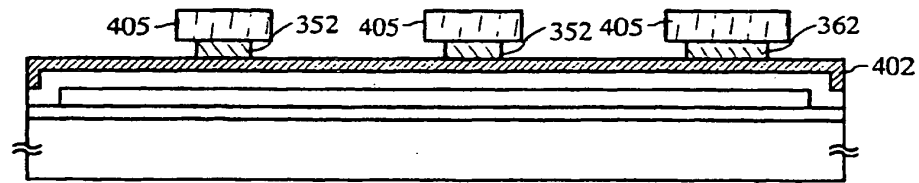


FIG. 13D

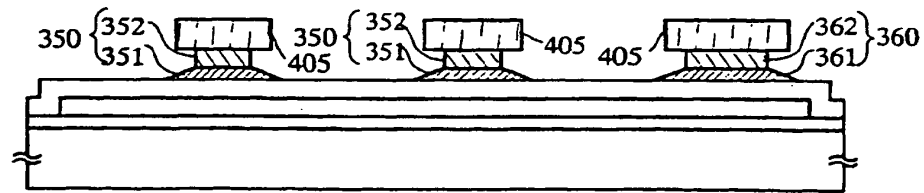


FIG. 13E

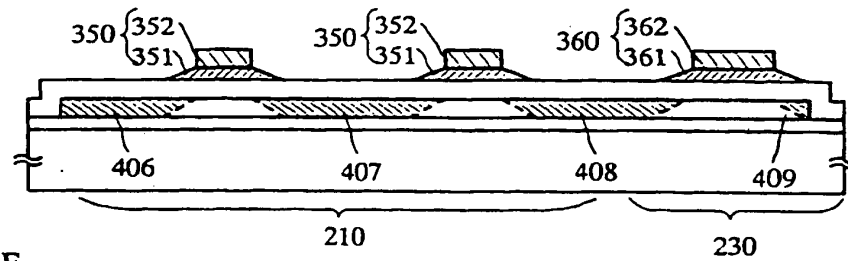


FIG. 13F

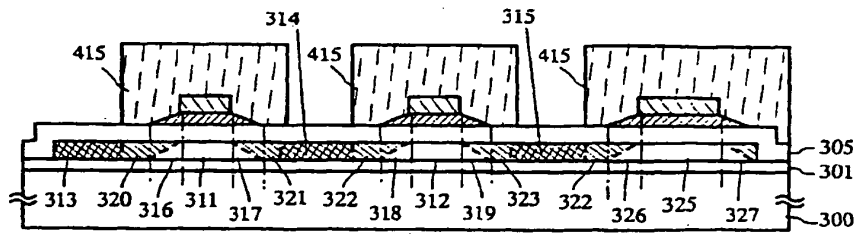


FIG. 14A

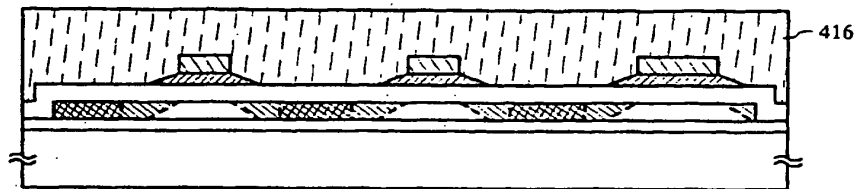


FIG. 14B

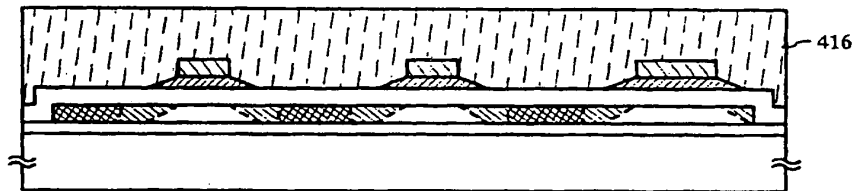


FIG. 14C

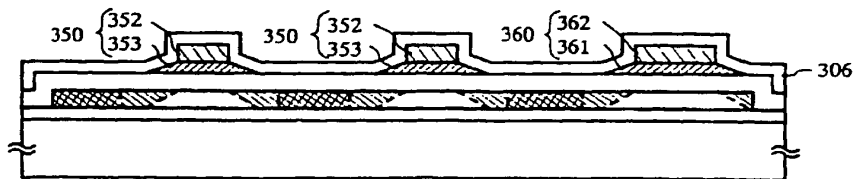


FIG. 14D

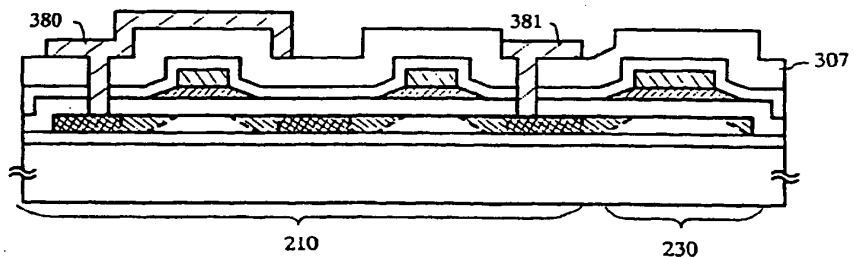


FIG. 14E

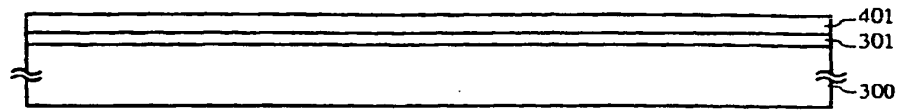


FIG. 15A

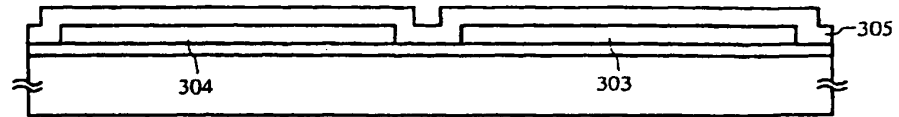


FIG. 15B

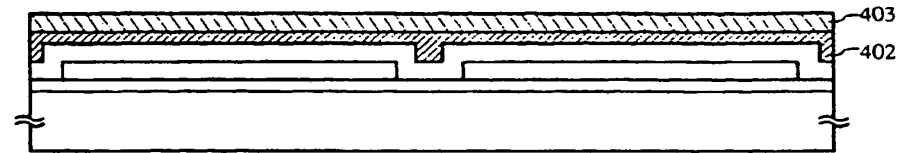


FIG. 15C

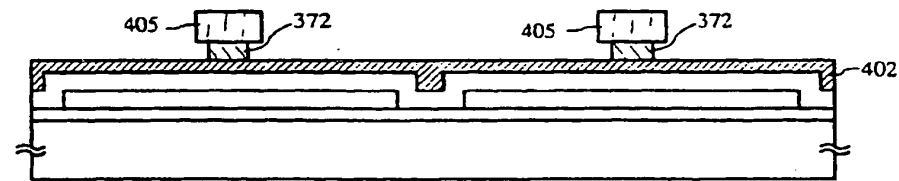


FIG. 15D

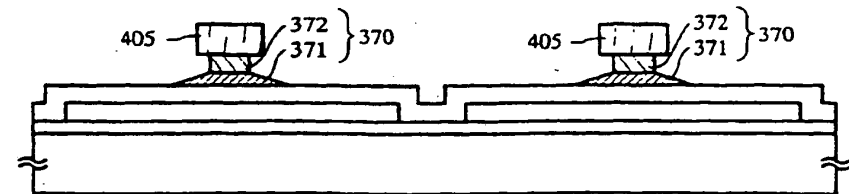


FIG. 15E

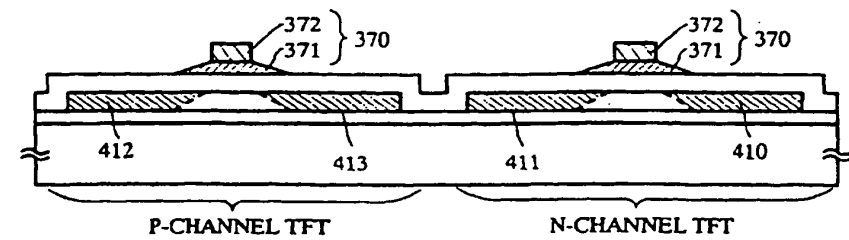


FIG. 15F

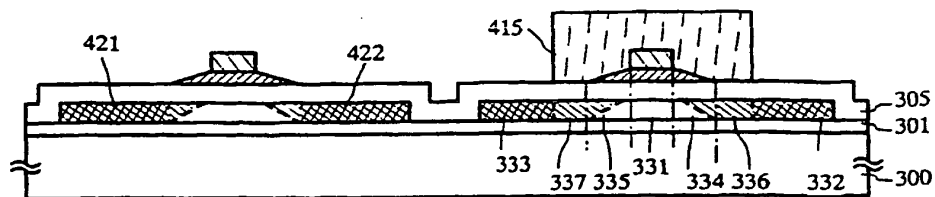


FIG. 16A

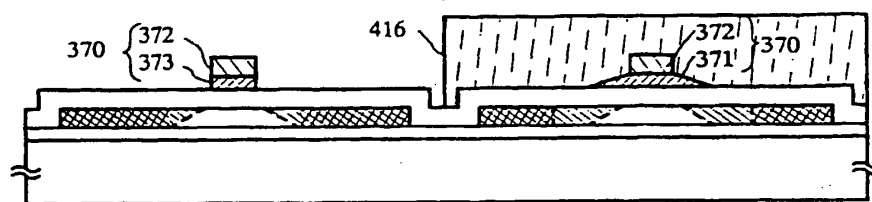


FIG. 16B

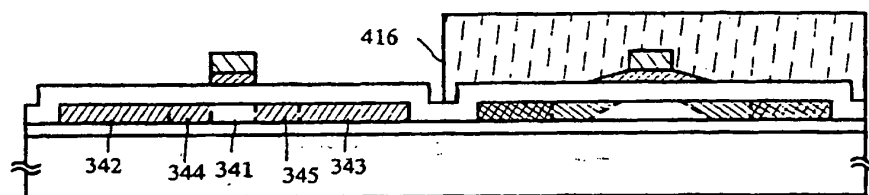


FIG. 16C

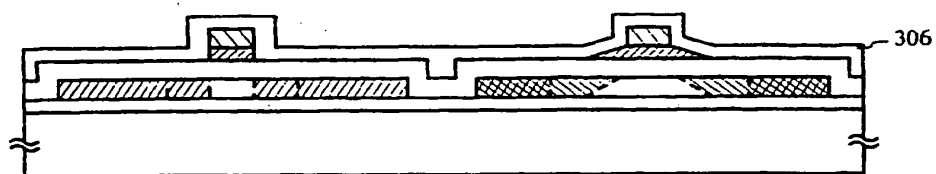


FIG. 16D

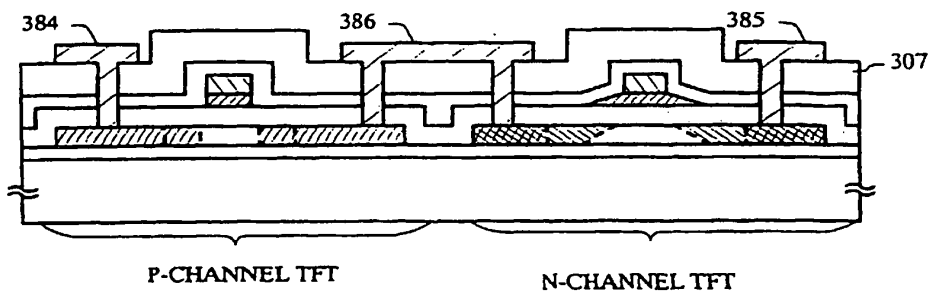


FIG. 16E

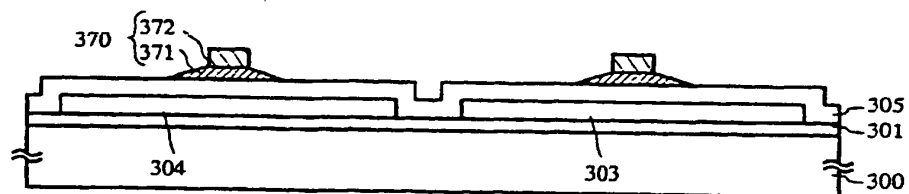


FIG. 17A

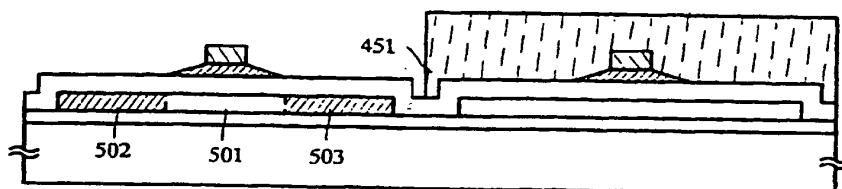


FIG. 17B

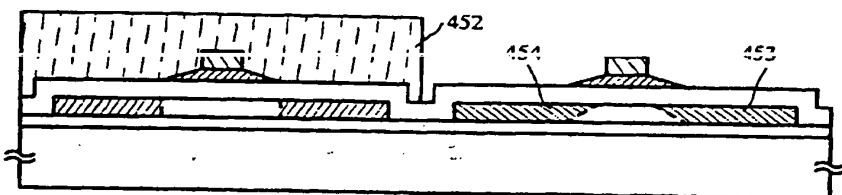


FIG. 17C

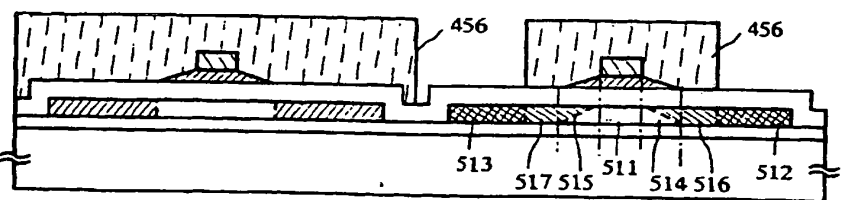


FIG. 17D

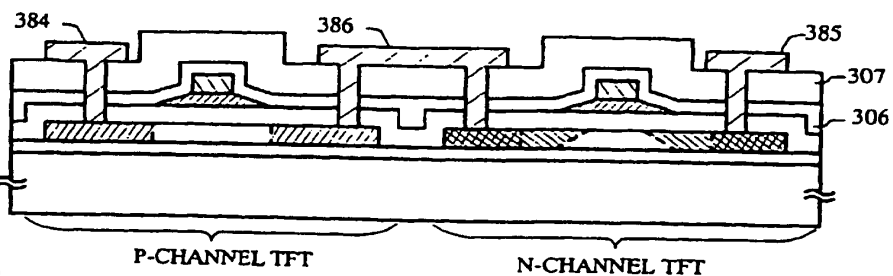


FIG. 17E

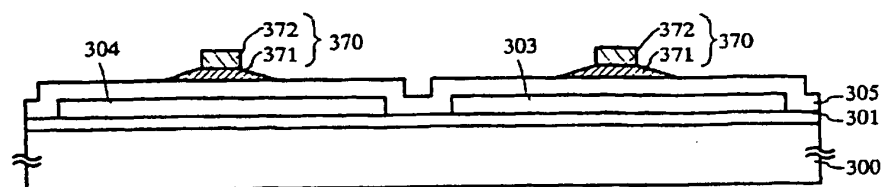


FIG. 18A

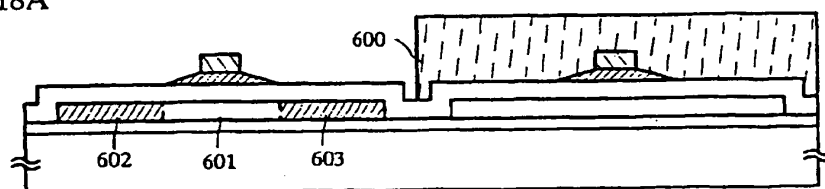


FIG. 18B

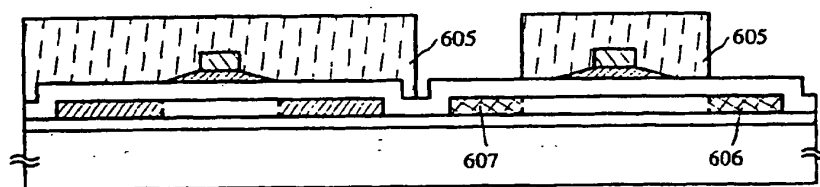


FIG. 18C

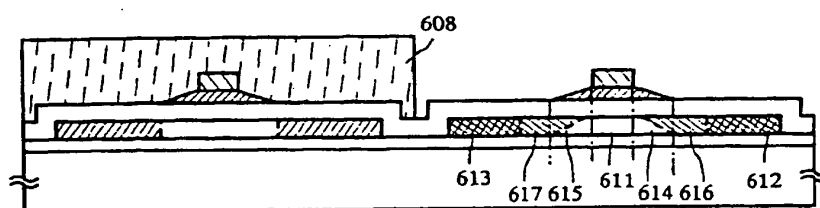


FIG. 18D

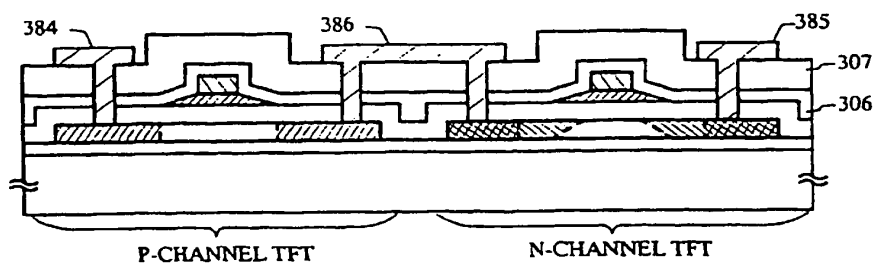


FIG. 18E

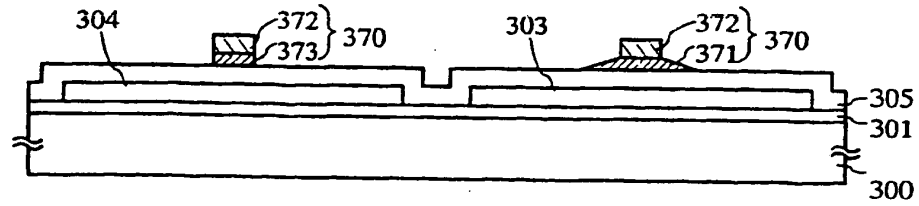


FIG. 19A

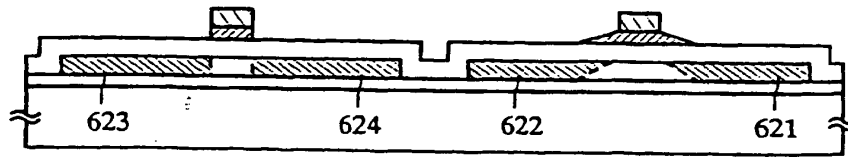


FIG. 19B

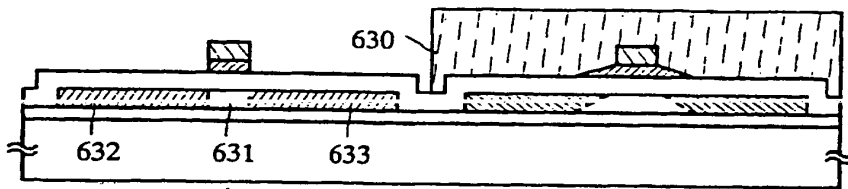


FIG. 19C

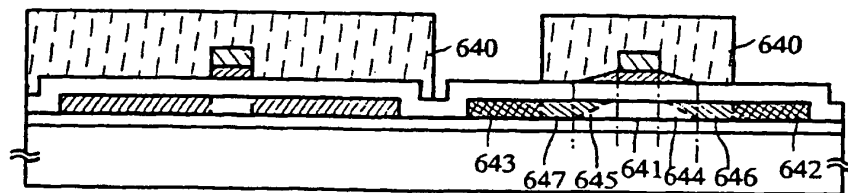


FIG. 19D

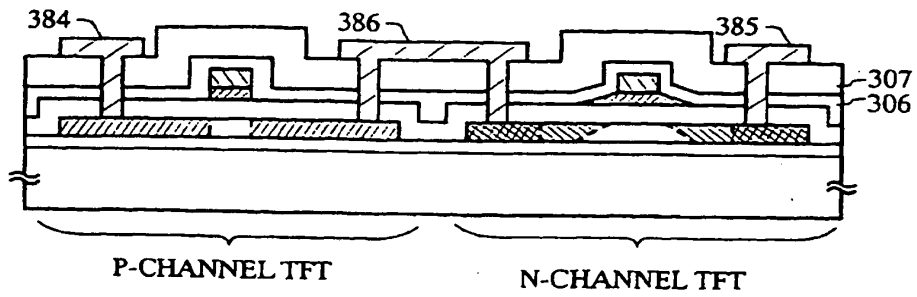


FIG. 19E

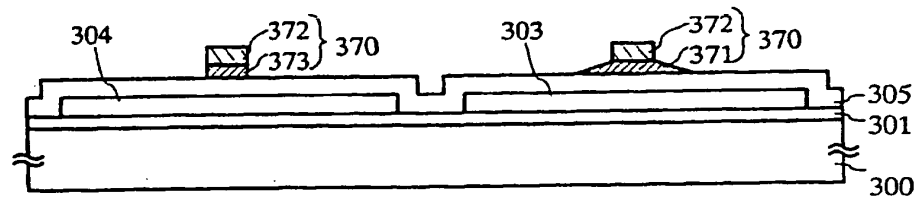


FIG. 20A

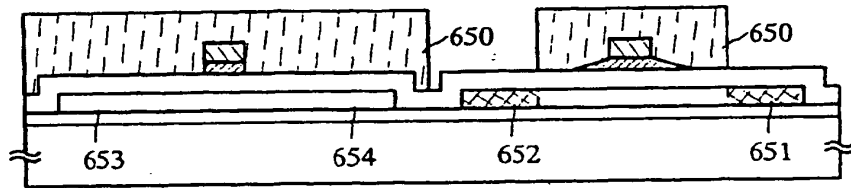


FIG. 20B

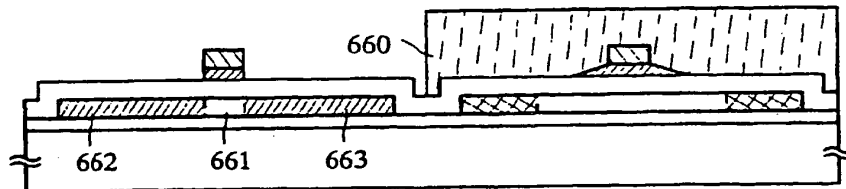


FIG. 20C

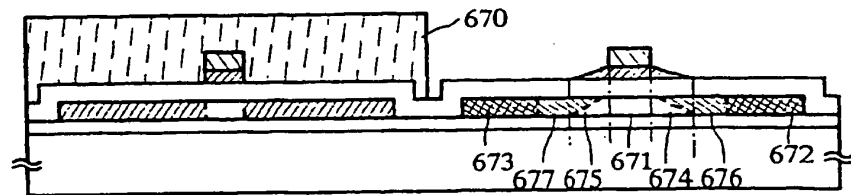


FIG. 20D

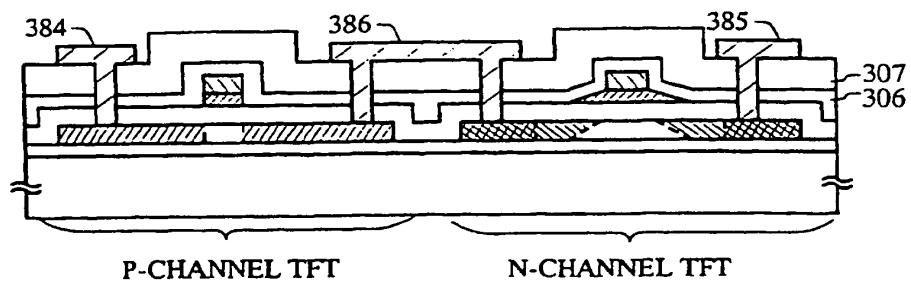


FIG. 20E

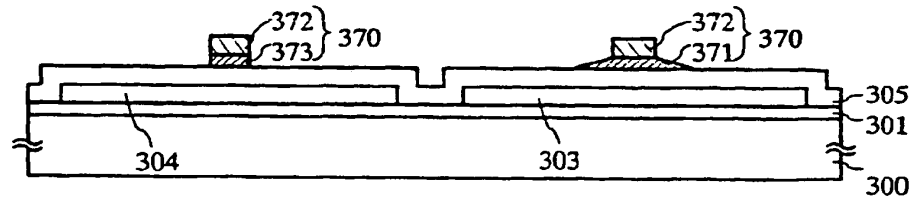


FIG. 21A

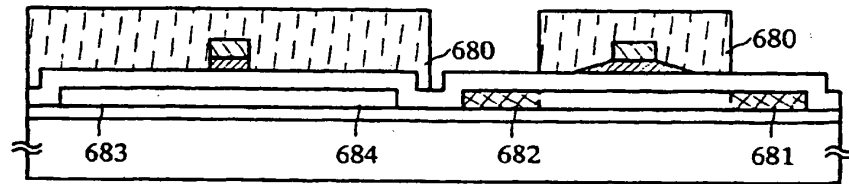


FIG. 21B

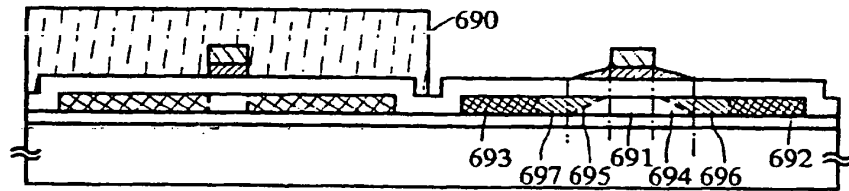


FIG. 21C

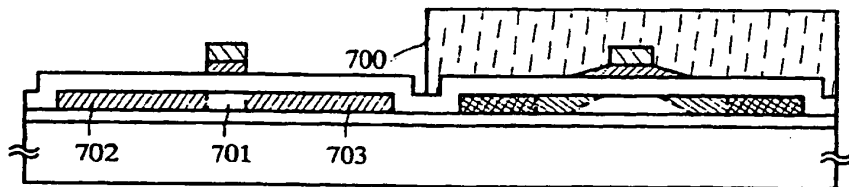


FIG. 21D

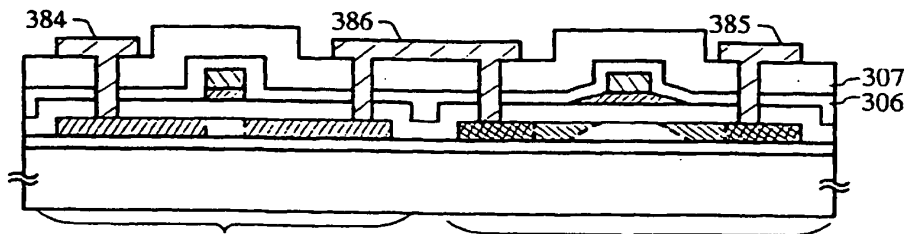


FIG. 21E

P-CHANNEL TFT

N-CHANNEL TFT

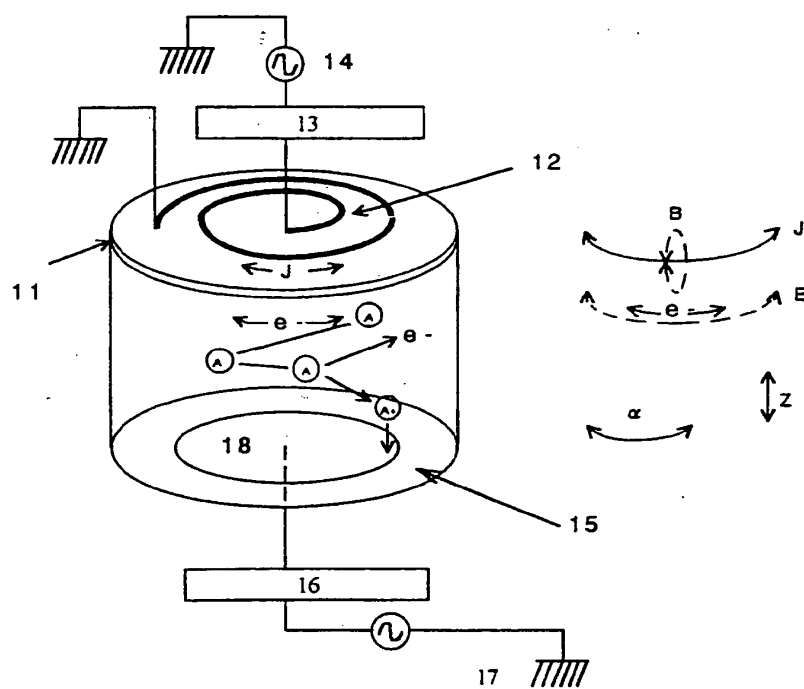


FIG. 22

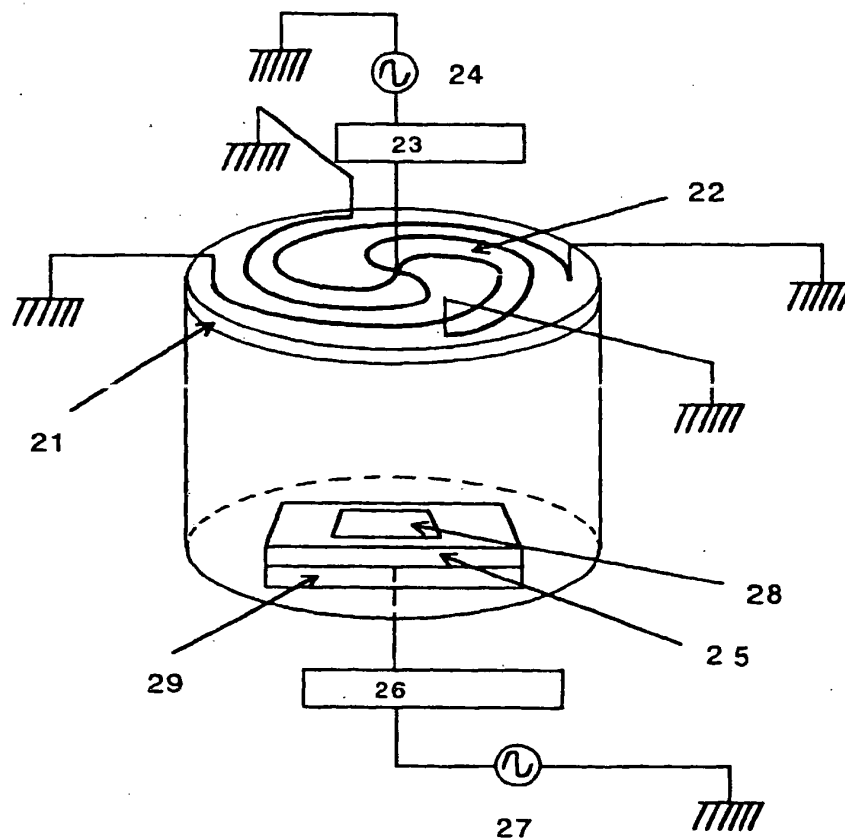


FIG. 23

ICP=500W Pressure=1.0Pa $CF_4/Cl_2=30/30$ sccm

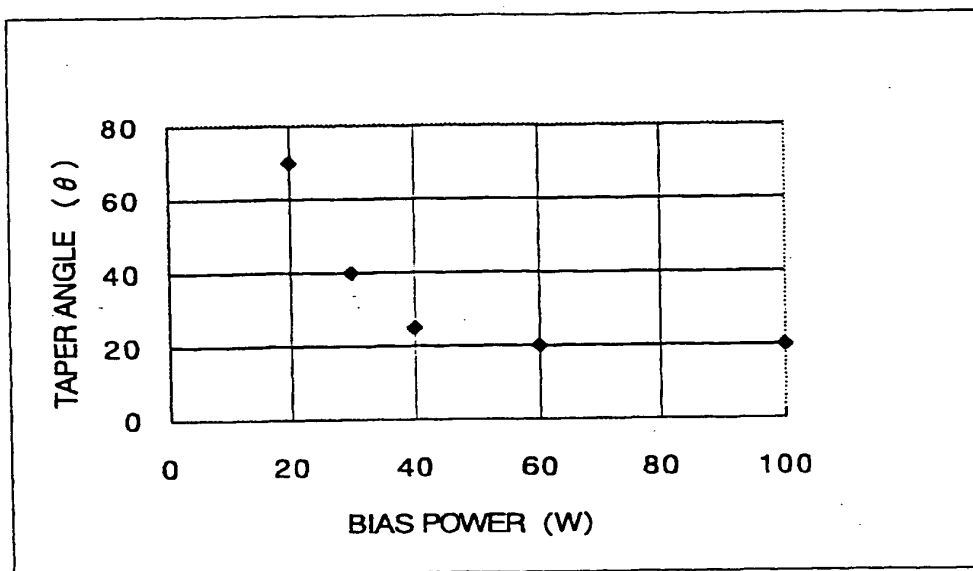


FIG. 24 DEPENDENCY OF TAPER ANGLE θ UPON BIAS POWER

ICP=500W Pressure=1.0PA $\text{CF}_4/\text{Cl}_2=30/30\text{sccm}$

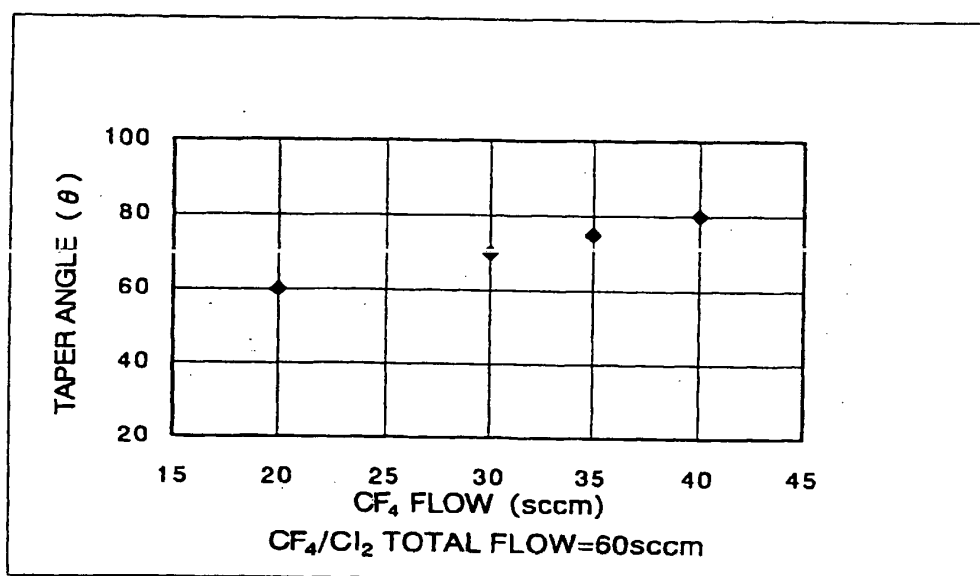


FIG. 25

DEPENDENCY OF TAPER ANGLE θ UPON CF_4 FLOW RATIO

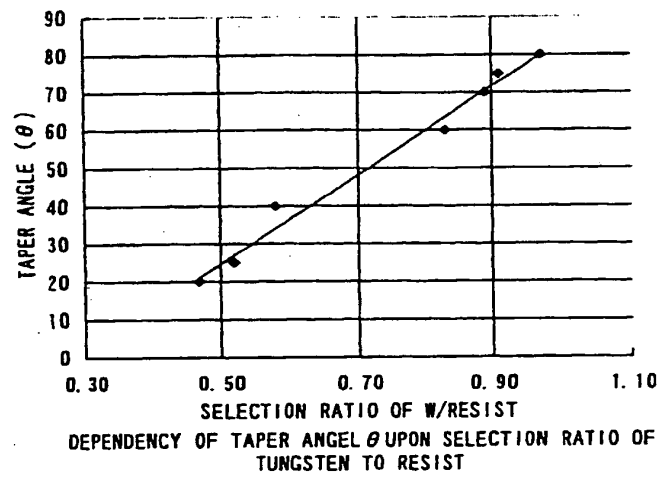


FIG. 26

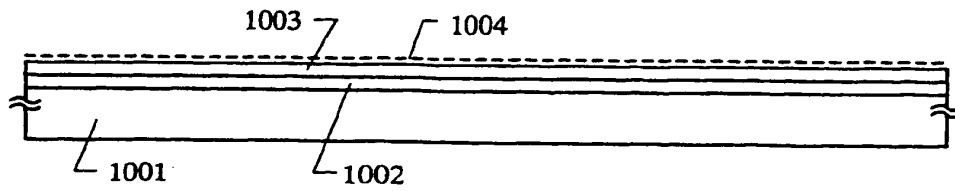


FIG. 27A

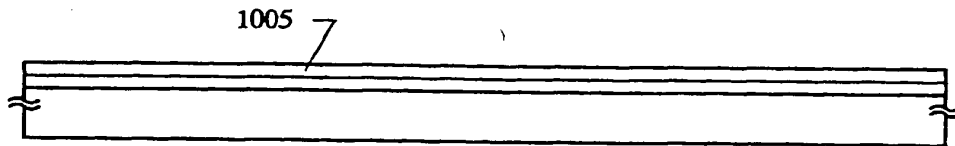


FIG. 27B

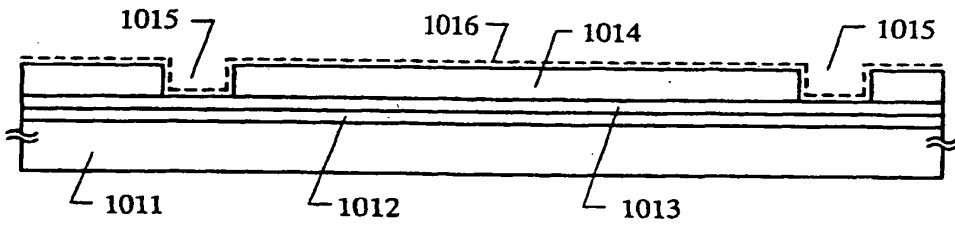


FIG. 28A

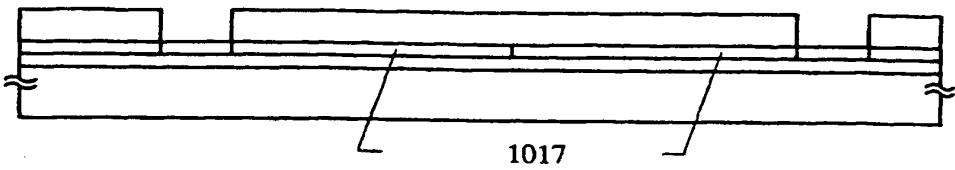


FIG. 28B

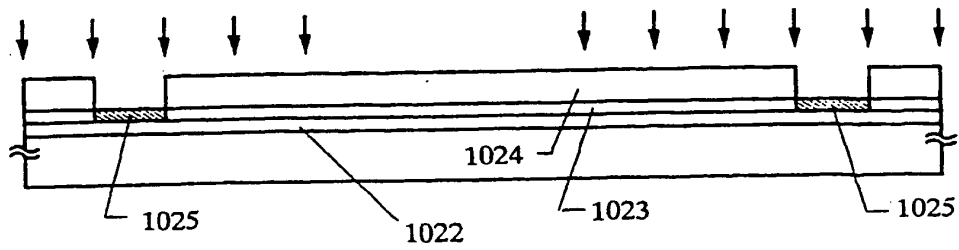


FIG. 29A

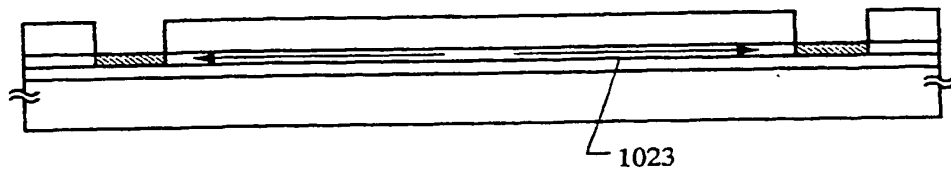


FIG. 29B

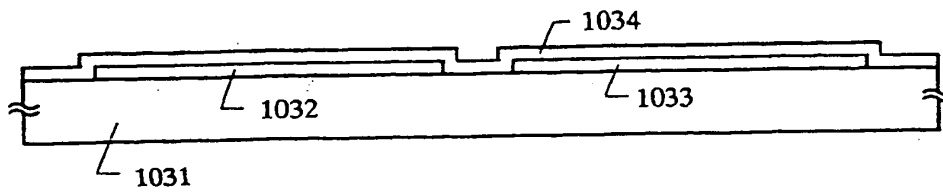


FIG. 30A

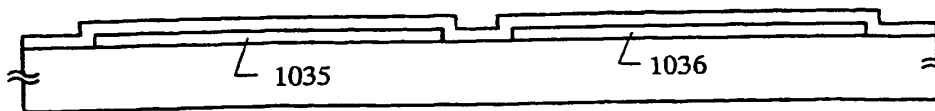


FIG. 30B

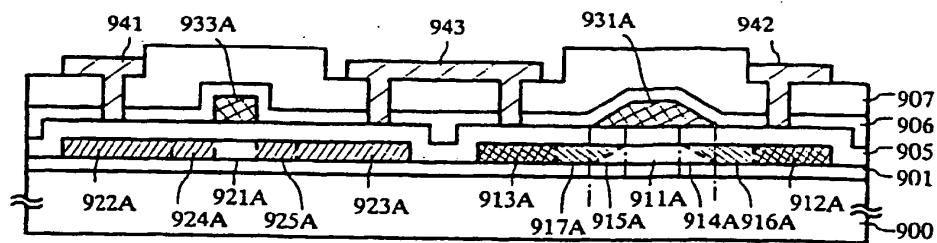


FIG. 31A

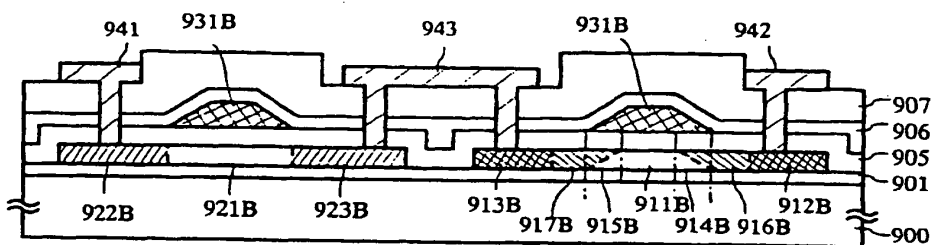


FIG. 31B

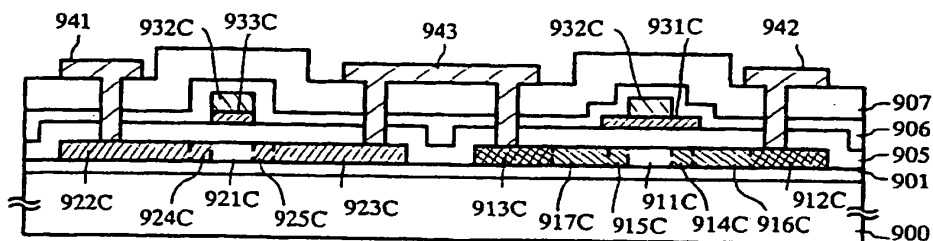


FIG. 31C

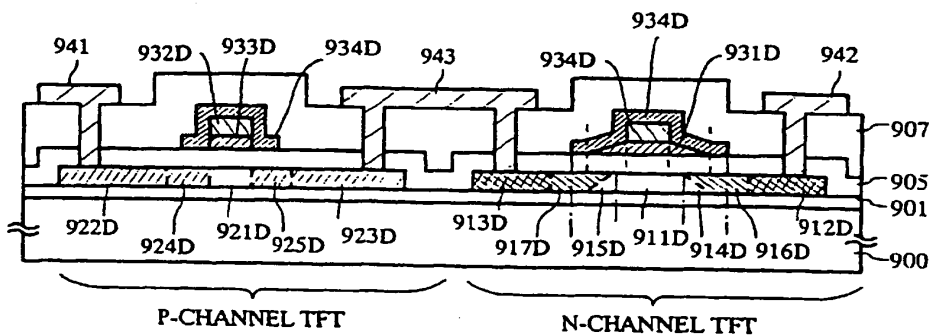


FIG. 31D

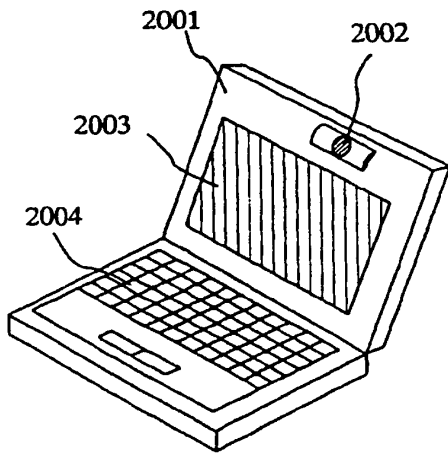


FIG. 32A

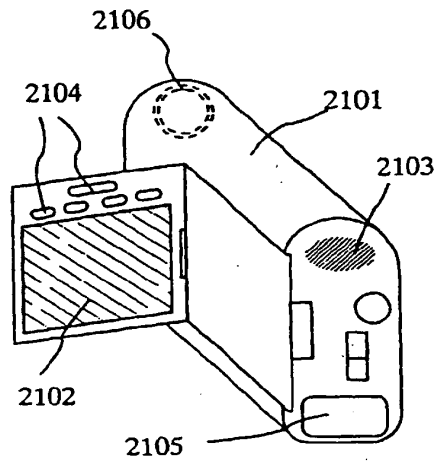


FIG. 32B

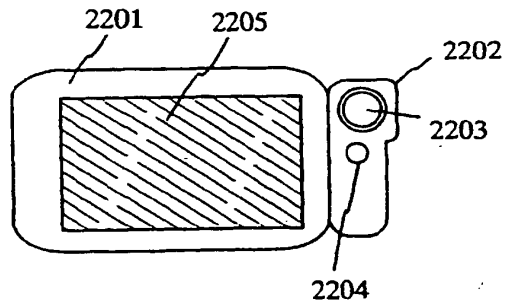


FIG. 32C

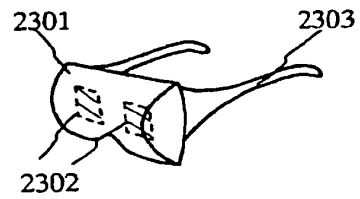


FIG. 32D

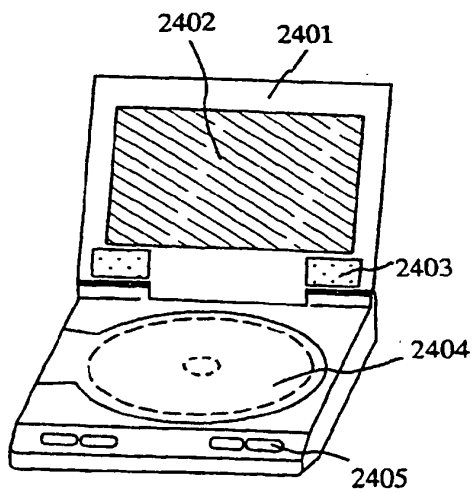


FIG. 32E

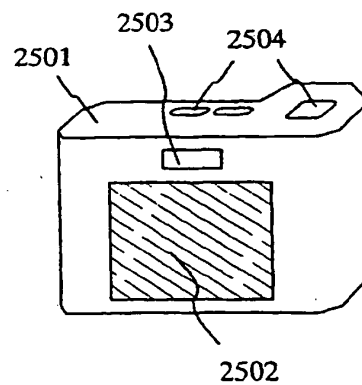


FIG. 32F

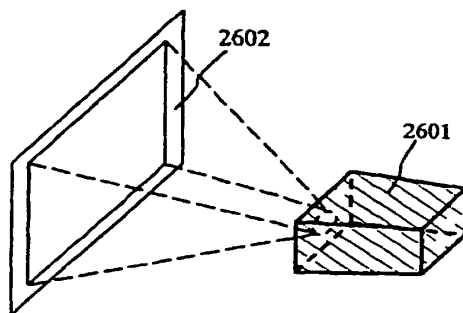


FIG. 33A

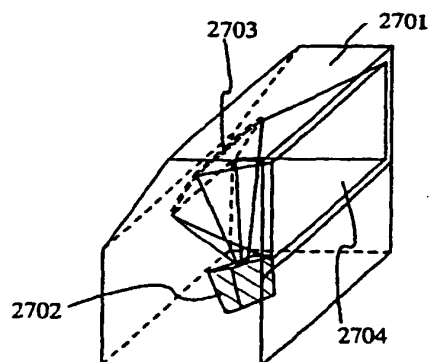


FIG. 33B

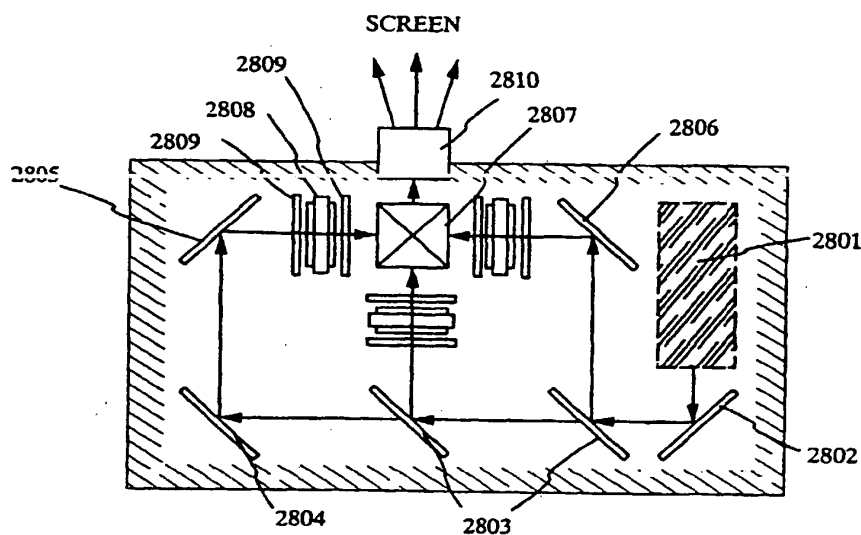


FIG. 33C

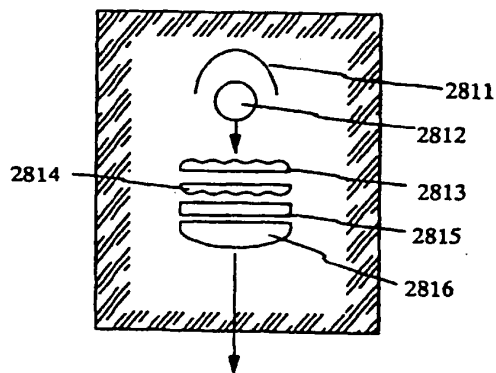


FIG. 33D

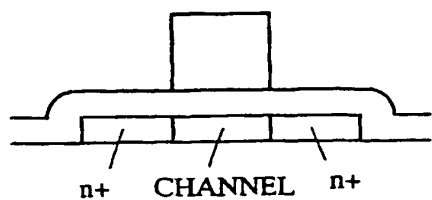


FIG. 34A

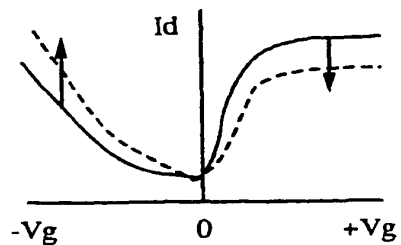


FIG. 34B

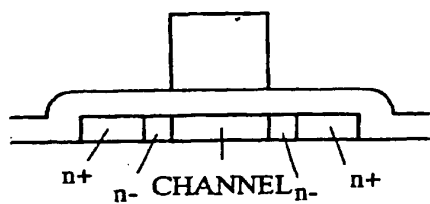


FIG. 34C

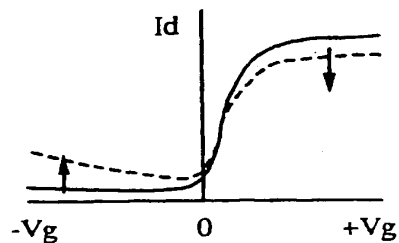


FIG. 34D

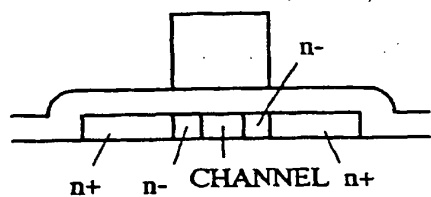


FIG. 34E

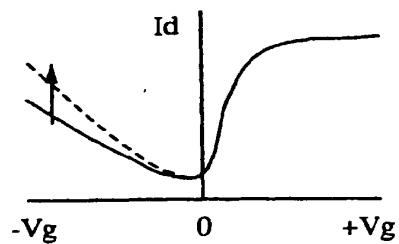


FIG. 34F

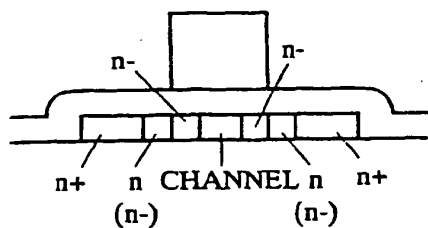


FIG. 34G

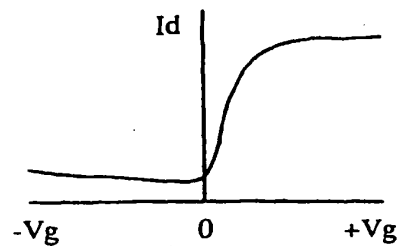


FIG. 34H

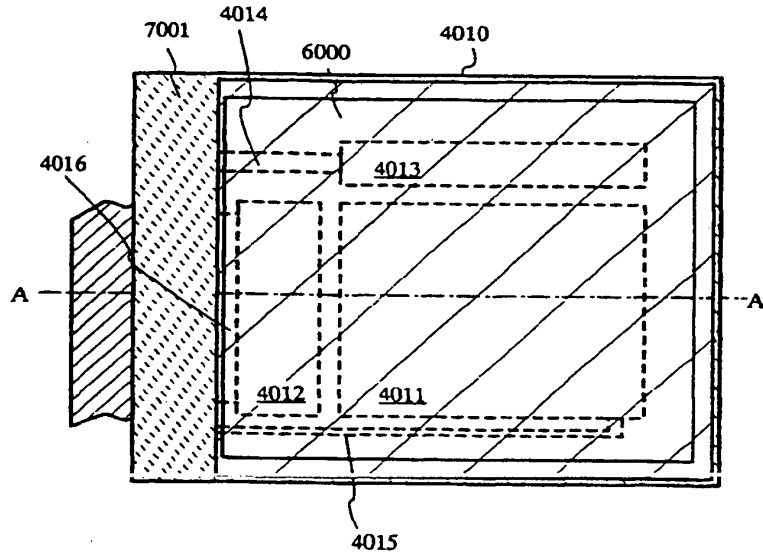


FIG. 35A

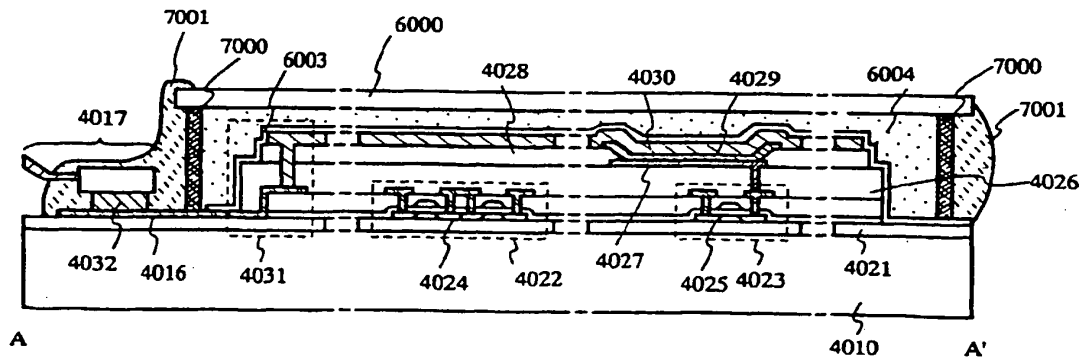


FIG. 35B

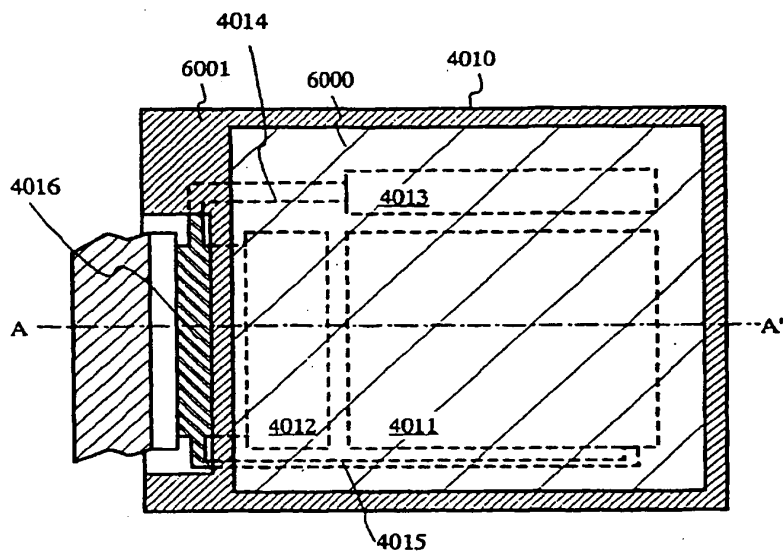


FIG. 36A

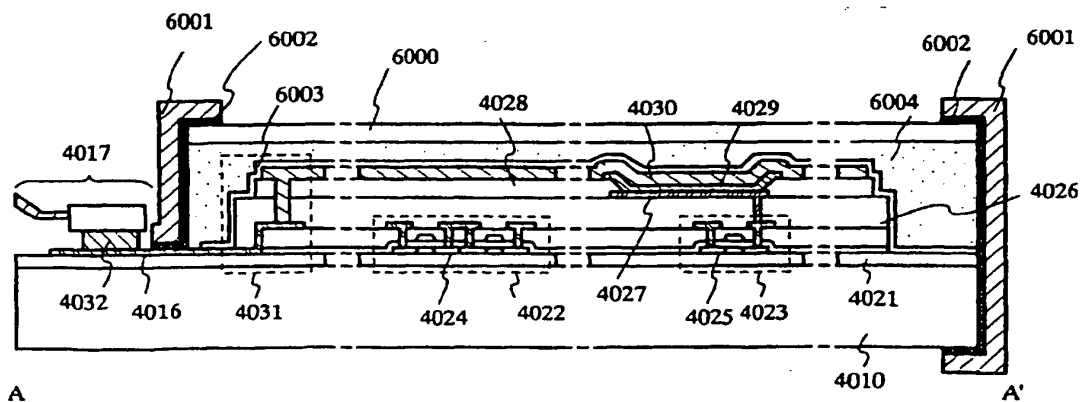


FIG. 36B

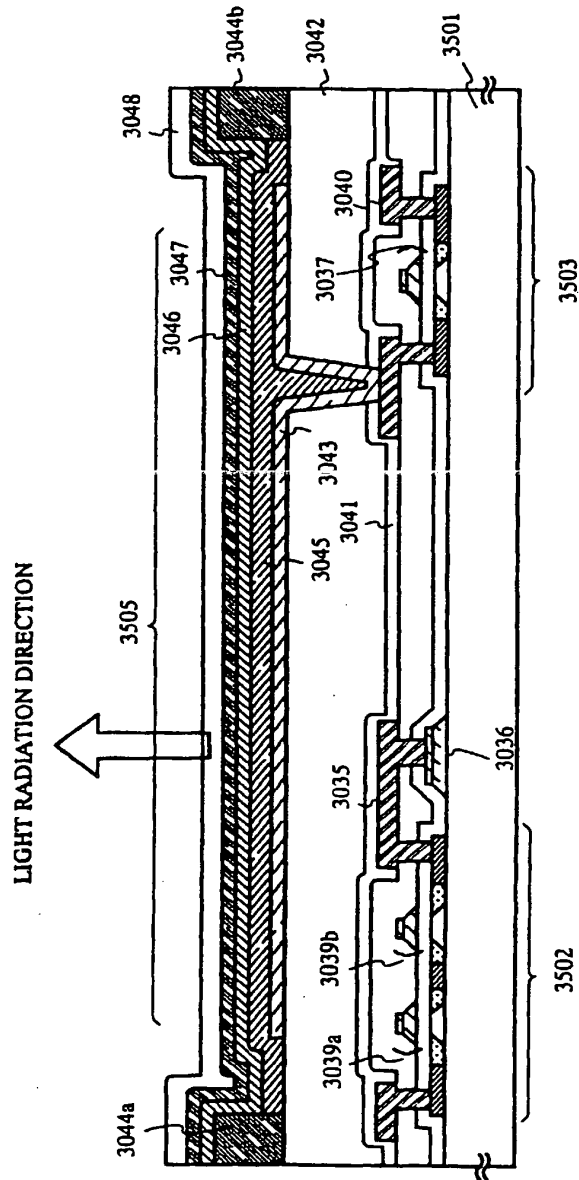


FIG. 37

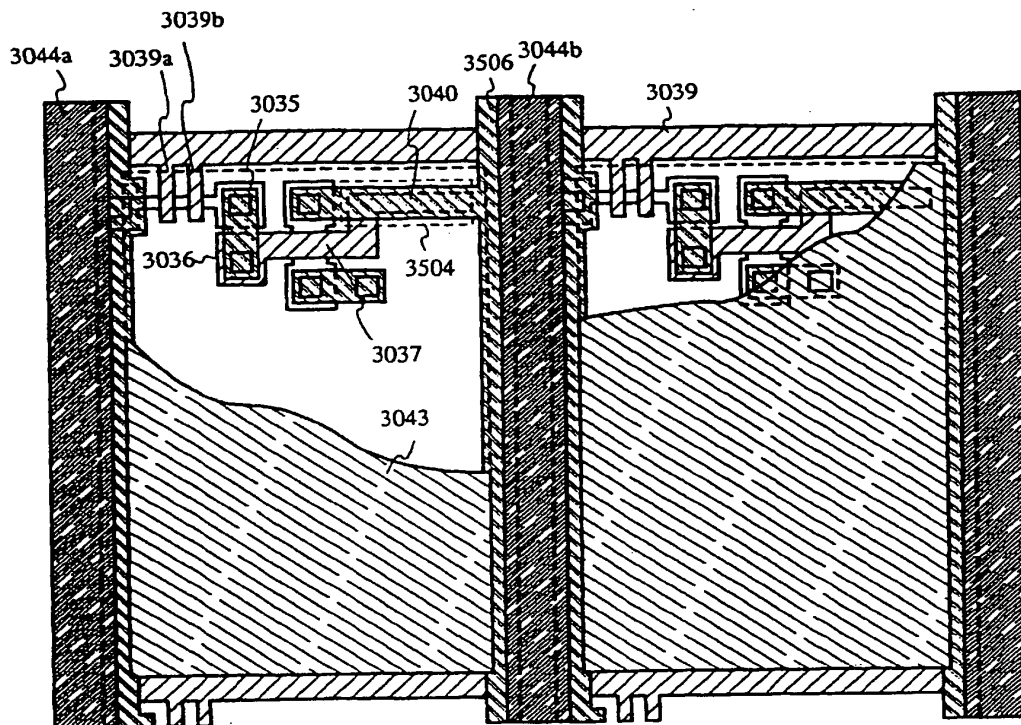


FIG. 38A

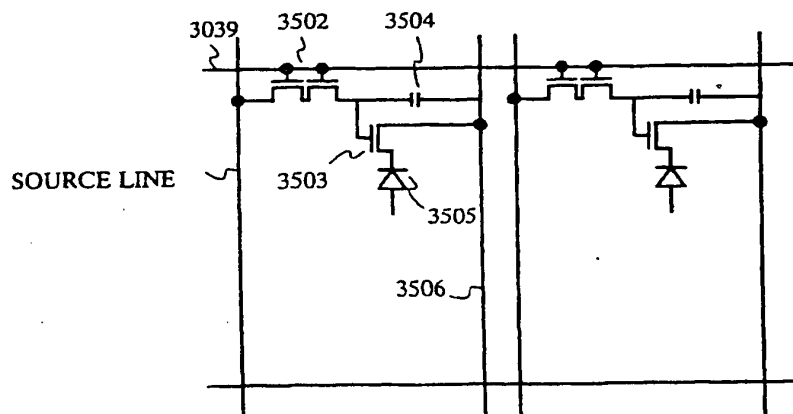


FIG. 38B

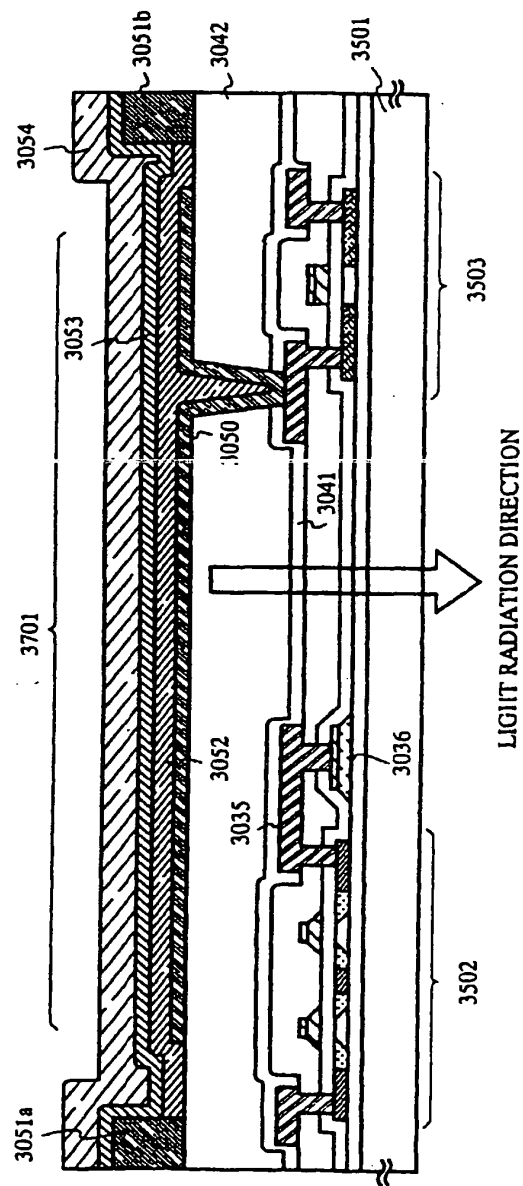


FIG. 39

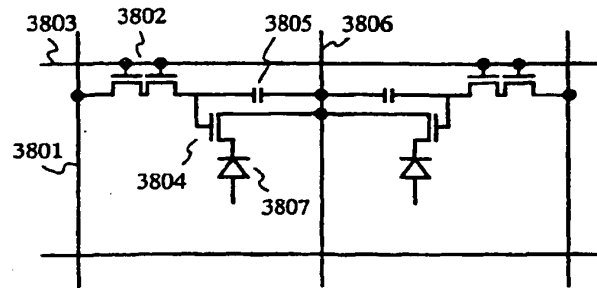


FIG. 40A

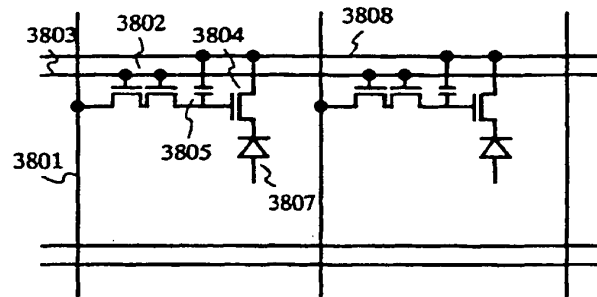


FIG. 40B

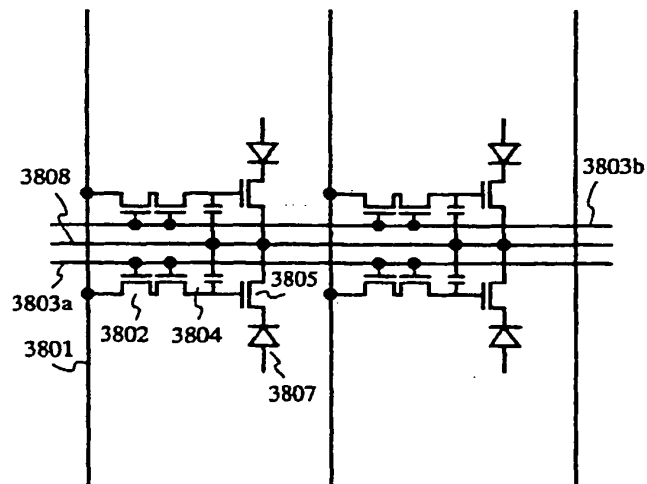


FIG. 40C



(12) **EUROPEAN PATENT APPLICATION**

(88) Date of publication A3:
03.01.2001 Bulletin 2001/01

(51) Int. Cl.⁷: **H01L 21/336**, H01L 21/84,
H01L 21/28, H01L 29/786,
H01L 29/423

(43) Date of publication A2:
24.05.2000 Bulletin 2000/21

(21) Application number: **99122785.1**

(22) Date of filing: **16.11.1999**

(84) Designated Contracting States:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
Designated Extension States:
AL LT LV MK RO SI

(30) Priority: **17.11.1998 JP 32718098**
28.12.1998 JP 37322298
22.07.1999 JP 20695899

(71) Applicant:
SEL SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.
Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(72) Inventor: **Yamazaki, Shunpei**
Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(74) Representative:
Grünecker, Kinkeldey,
Stockmair & Schwanhäusser
Anwaltssozietät
Maximilianstrasse 58
80538 München (DE)

(54) **Method of fabricating a TFT**

(57) There is provided a thin film transistor having improved reliability. A gate electrode includes a first gate electrode having a taper portion and a second gate electrode with a width narrower than the first gate electrode. A semiconductor layer is doped with phosphorus of a low concentration through the first gate electrode. In the semiconductor layer, two kinds of n⁻-type impurity regions are formed between a channel formation region and n⁺-type impurity regions. Some of the n⁻-type impurity regions overlap with a gate electrode, and the other n⁻-type impurity regions do not overlap with the gate electrode. Since the two kinds of n⁻-type impurity regions are formed, an off current can be reduced, and deterioration of characteristics can be suppressed.

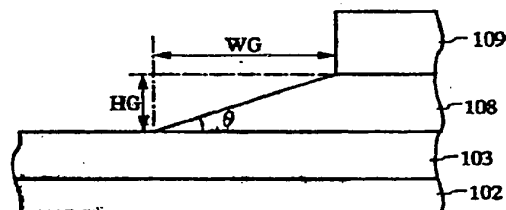


FIG. 3



European Patent
Office

EUROPEAN SEARCH REPORT

Application Number

EP 99 12 2785

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.7)
X	US 5 736 750 A (TAKEMURA YASUHIKO ET AL) 7 April 1998 (1998-04-07) * figure 6 *	1-3	H01L21/336 H01L21/84 H01L21/28 H01L29/786 H01L29/423
A	* column 8, line 40 - column 9, line 17 *	4-41	
X	--- PATENT ABSTRACTS OF JAPAN vol. 1998, no. 09, 31 July 1998 (1998-07-31) -& JP 10 104659 A (TOSHIBA CORP), 24 April 1998 (1998-04-24)	1-3	
A	* abstract; figures 1,4,5,9,14,15 *	4-41	
X	--- US 5 830 787 A (KIM HONG SEUK) 3 November 1998 (1998-11-03) * figures 3,4 *	1,2	
A	* column 2, line 38 - line 54 * * column 3, line 9 - column 5, line 12 *	3-6, 13-15	
X	--- PATENT ABSTRACTS OF JAPAN vol. 1998, no. 14, 31 December 1998 (1998-12-31) -& JP 10 233511 A (TOSHIBA CORP), 2 September 1998 (1998-09-02)	1,4	TECHNICAL FIELDS SEARCHED (Int.Cl.7) H01L
A	* abstract; figures 1-3 *	2,3,5,6, 13-17, 33-37	
X	--- US 5 583 369 A (YAMAZAKI SHUNPEI ET AL) 10 December 1996 (1996-12-10) * figures 8,9,16,17 *	1	
A	* column 17; line 29 - column 20, line 7 * * column 26, line 27 - line 48 *	2-32	
	--- -/--		
The present search report has been drawn up for all claims			
Place of search BERLIN		Date of completion of the search 9 November 2000	Examiner Polesello, P
<p>CATEGORY OF CITED DOCUMENTS</p> <p>X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document</p> <p>T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document</p>			

EPO FORM 1503 03 02 (P0-C01)



European Patent
Office

EUROPEAN SEARCH REPORT

Application Number
EP 99 12 2785

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.7)
X	US 4 394 182 A (MADDOX III ROY L) 19 July 1983 (1983-07-19) * figures 2,3 * * column 2, line 7 - line 24 * * column 3, line 7 - line 27 * * column 3, line 63 - column 4, line 15 * * column 5, line 1 - column 6, line 28 *	1	
A	---	2-15, 18-20, 23-25, 28-30	
A	DATABASE WPI Section E1, Week 199739 Derwent Publications Ltd., London, GB; Class U11, AN 1997-422605 XP002132040 -& JP 09 191111 A (SEMICONDUCTOR ENERGY LAB), 22 July 1997 (1997-07-22) * abstract; figures 1-3,6-11 *	1-41	
A	US 5 528 397 A (MCCLELLAND ROBERT ET AL) 18 June 1996 (1996-06-18) * figures 1-3 * * column 1, line 63 - column 2, line 25 * * column 2, line 40 - column 3, line 14 * * column 4, line 56 - column 7, line 10 *	33-41	
A	US 5 705 424 A (DINGLE BRENDA ET AL) 6 January 1998 (1998-01-06) * figures 1,11-15 * * column 1, line 62 - column 2, line 18 * * column 2, line 34 - line 62 * * column 3, line 49 - column 4, line 7 * * column 6, line 19 - column 9, line 25 *	33-41	TECHNICAL FIELDS SEARCHED (Int.Cl.7)
The present search report has been drawn up for all claims			
Place of search BERLIN		Date of completion of the search 9 November 2000	Examiner Polesello, P
<p>CATEGORY OF CITED DOCUMENTS</p> <p>X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document</p> <p>T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document</p>			

EPO FORM 1503 03 82 (P4/C01)

**ANNEX TO THE EUROPEAN SEARCH REPORT
ON EUROPEAN PATENT APPLICATION NO.**

EP 99 12 2785

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

09-11-2000

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5736750 A	07-04-1998	JP 6216156 A	05-08-1994
		JP 6216157 A	05-08-1994
		US 6114728 A	05-09-2000
		US 5891766 A	06-04-1999
		CN 1093491 A	12-10-1994
		KR 161994 B	01-12-1998
		US 5523257 A	04-06-1996
		CN 1208257 A	17-02-1999
JP 10104659 A	24-04-1998	US 6001714 A	14-12-1999
US 5830787 A	03-11-1998	DE 4409202 A	22-09-1994
		JP 6349856 A	22-12-1994
JP 10233511 A	02-09-1998	NONE	
US 5583369 A	10-12-1996	CN 1085352 A,B	13-04-1994
		CN 1127937 A,B	31-07-1996
		CN 1238555 A	15-12-1999
		CN 1248038 A	22-03-2000
		JP 6089905 A	29-03-1994
		KR 9710652 B	30-06-1997
		US 5946561 A	31-08-1999
		JP 2000058864 A	25-02-2000
		JP 2000082819 A	21-03-2000
		JP 11154750 A	08-06-1999
		JP 11154647 A	08-06-1999
		JP 6296023 A	21-10-1994
		US 5696386 A	09-12-1997
US 4394182 A	19-07-1983	CA 1194613 A	01-10-1985
		CA 1200617 C	11-02-1986
		DE 3237539 A	21-07-1983
		JP 58075871 A	07-05-1983
JP 9191111 A	22-07-1997	US 5949107 A	07-09-1999
US 5528397 A	18-06-1996	US 5362671 A	08-11-1994
		US 5736768 A	07-04-1998
US 5705424 A	06-01-1998	US 5444557 A	22-08-1995
		CA 2186160 A	28-09-1995
		EP 0752121 A	08-01-1997
		JP 9510797 T	28-10-1997
		WO 9525983 A	28-09-1995
		AT 173839 T	15-12-1998

EPO FORM P0459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

**ANNEX TO THE EUROPEAN SEARCH REPORT
ON EUROPEAN PATENT APPLICATION NO.**

EP 99 12 2785

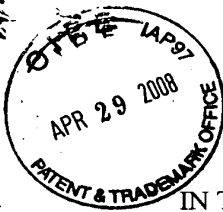
This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

09-11-2000

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5705424 A		DE 69322279 D	07-01-1999
		DE 69322279 T	24-06-1999
		EP 0659282 A	28-06-1995
		EP 0853254 A	15-07-1998
		JP 8501887 T	27-02-1996
		US 5396304 A	07-03-1995
		US 6121950 A	19-09-2000
		WO 9407177 A	31-03-1994
		US 5376979 A	27-12-1994
		US 5751261 A	12-05-1998
		US 5666175 A	09-09-1997
		US 5654811 A	05-08-1997
		US 5713652 A	03-02-1998
		US 6043800 A	28-03-2000
		US 6072445 A	06-06-2000
		US 5743614 A	28-04-1998
		US 5861929 A	19-01-1999

EPO FORM P/459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82



PATENT APPLICATION

2628
\$
SRW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: C. HARRISON

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

SUPPLEMENTAL INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

- ☒ 1. This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection, Notice of Allowance, or other action that closes prosecution (e.g., Quayle Action), but before payment of the Issue Fee. Attached is our Check No. 205135 in the amount of \$180.00 in payment of the fee under 37 CFR §1.17(p). Please credit or debit Deposit Account No. 15-0461 as needed to ensure consideration of the disclosed information.
- ☒ a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement.
37 CFR §1.97(e)(1).
- ☒ 2. One or more reference cited herein was cited in a counterpart foreign application. An English language version of the foreign search report is attached for the Examiner's information. See References 1-7.
- ☒ 3. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

04/30/2008 RNEBHAHT 00000054 150461 10299861

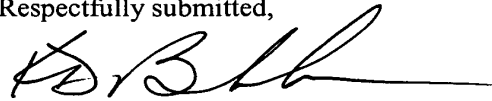
01 FC:1806

180.00 DA

The PTO did not receive the following
listed item(s) A check for 180.00

- ☒ 4. An English language Abstract of one or more non-English language reference is attached. See Reference 1.
- ☒ 5. JP-2000-214800, JP-01-101519 and U.S. Patent No. 6,781,155 are cited in the European Search Report and are not attached as they were previously submitted in the July 10, 2006 Information Disclosure Statement.
- ☒ 6. This is a Supplemental IDS to the IDS filed April 28, 2008 to correct a typographical error in # 2 above.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Kirk D. Berkheimer
Registration No. 59,874

JAO:KDB/mab

Date: April 29, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800
25944 7590 05/21/2008 OLIFF & BERRIDGE, PLC P.O. BOX 320850 ALEXANDRIA, VA 22320-4850			EXAMINER HARRISON, CHANTE E	
			ART UNIT 2628	PAPER NUMBER
			MAIL DATE 05/21/2008	DELIVERY MODE PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Supplemental Notice of Allowability	Application No.	Applicant(s)	
	10/299,861	MATSUEDA, YOJIRO	
	Examiner	Art Unit	
	CHANTE HARRISON	2628	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to IDS submitted 4/29/08.
2. ☒ The allowed claim(s) is/are 8-10,37-39,46-48 and 50-53.
3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) ☒ All b) ☐ Some* c) ☐ None of the:
 1. ☐ Certified copies of the priority documents have been received.
 2. ☐ Certified copies of the priority documents have been received in Application No. _____.
 3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.

THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
 - (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|---|---|
| <ol style="list-style-type: none"> 1. ☐ Notice of References Cited (PTO-892) 2. ☐ Notice of Draftperson's Patent Drawing Review (PTO-948) 3. ☒ Information Disclosure Statements (PTO/SB/08),
Paper No./Mail Date _____ 4. ☐ Examiner's Comment Regarding Requirement for Deposit
of Biological Material | <ol style="list-style-type: none"> 5. ☐ Notice of Informal Patent Application 6. ☐ Interview Summary (PTO-413),
Paper No./Mail Date _____. 7. ☐ Examiner's Amendment/Comment 8. ☐ Examiner's Statement of Reasons for Allowance 9. ☐ Other _____. |
|---|---|

/Chante Harrison/
Primary Examiner, Art Unit 2628



UNITED STATES DEPARTMENT OF COMMERCE
U.S. Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
10299861	11/20/02	MATSUEDA, YOJIRO	114251

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

EXAMINER

CHANTE HARRISON

ART UNIT	PAPER
2628	20080519

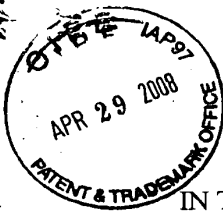
DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

1. The information disclosure statement (IDS) submitted on 4/29/08 was filed after the mailing date of the Notice of Allowance on 4/23/08. The submission is in compliance with the provisions of 37 CFR 1.97. Accordingly, the information disclosure statement is being considered by the examiner.

/Chante Harrison/
Primary Examiner, Art Unit 2628



PATENT APPLICATION

2628
\$
SRW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: C. HARRISON

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

SUPPLEMENTAL INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

- ☒ 1. This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection, Notice of Allowance, or other action that closes prosecution (e.g., Quayle Action), but before payment of the Issue Fee. Attached is our Check No. 205135 in the amount of \$180.00 in payment of the fee under 37 CFR §1.17(p). Please credit or debit Deposit Account No. 15-0461 as needed to ensure consideration of the disclosed information.
- ☒ a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement.
37 CFR §1.97(e)(1).
- ☒ 2. One or more reference cited herein was cited in a counterpart foreign application. An English language version of the foreign search report is attached for the Examiner's information. See References 1-7.
- ☒ 3. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

04/30/2008 RNEBHAHT 00000054 150461 10299861

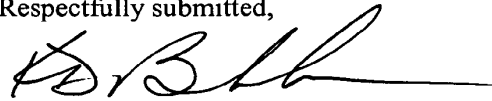
01 FC:1806

180.00 DA

The PTO did not receive the following
listed item(s) A check for 180.00

- ☒ 4. An English language Abstract of one or more non-English language reference is attached. See Reference 1.
- ☒ 5. JP-2000-214800, JP-01-101519 and U.S. Patent No. 6,781,155 are cited in the European Search Report and are not attached as they were previously submitted in the July 10, 2006 Information Disclosure Statement.
- ☒ 6. This is a Supplemental IDS to the IDS filed April 28, 2008 to correct a typographical error in # 2 above.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

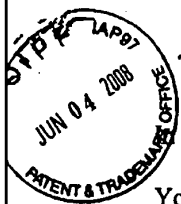
Kirk D. Berkheimer
Registration No. 59,874

JAO:KDB/mab

Date: April 29, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re the Application of

2008 JUN -5 PM 4: 25

ATTN:

Mail Stop 16
Refund Section
Accounting Div.
Office of Finance

Yojiro MATSUEDA

Application No.: 10/299,861

Docket No.: 114251

Filed: November 20, 2002

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND
ELECTRONIC DEVICE

REQUEST FOR REFUND TO DEPOSIT ACCOUNT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

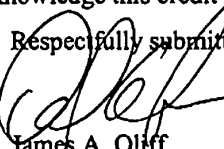
Sir:

Attached hereto is a copy of a Monthly Statement of Deposit Account (dated April 2008) showing a charge of \$180 related to the above-referenced application. This charge is marked with Fee Code 1806, which is the Patent Office Fee for submission of an Information Disclosure Statement.

An Information Disclosure Statement (IDS) was filed on April 28, 2008. A Supplemental IDS was filed on April 29, 2008 to correct a typographical error. The IDS filed on April 28 was submitted with check number 205135 for the \$180 IDS fee. Therefore, no additional IDS fee was required. A copy of the Information Disclosure Statement filed on April 28, 2008 and the PTO stamped receipt are attached.

Accordingly, it is respectfully requested that this charge be credited to Deposit Account No. 15-0461 and that the Patent Office acknowledge this credit in writing.

Respectfully submitted,


James A. Oliff
Registration No. 27,075

Daniel A. Tanner, III
Registration No. 54,734

JAO:DAT/mab
Date: June 4, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**

Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461



Deposit Account Statement

Requested Statement Month: April 2008
Deposit Account Number: 150461
Name: OLIFF & BERRIDGE P L C
Attention: BARBARA WATTS
Street Address 1: 277 SOUTH WASHINGTON STREET
Street Address 2: SUITE 500
City: ALEXANDRIA
State: VA
Zip: 22314
Country: UNITED STATES

DATE	SEQ	POSTING REF TXT	ATTORNEY DOCKET NBR	FEE CODE	AMT
04/30	103	10299861	114251	1806	\$180.00



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: C. HARRISON

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

- ☒ 1. This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection, Notice of Allowance, or other action that closes prosecution (e.g., Quayle Action), but before payment of the Issue Fee. Attached is our Check No. 205135 in the amount of \$180.00 in payment of the fee under 37 CFR §1.17(p). Please credit or debit Deposit Account No. 15-0461 as needed to ensure consideration of the disclosed information.
- ☒ a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement.
37 CFR §1.97(e)(1).
- ☒ 2. One or more reference cited herein was cited in a counterpart foreign application. An English language version of the foreign search report is attached for the Examiner's information. See References 1-6.
- ☒ 3. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

- ☒ 4. An English language Abstract of one or more non-English language-reference is attached. See Reference 1.
- ☒ 5. JP-2000-214800, JP-01-101519 and U.S. Patent No. 6,781,155 are cited in the European Search Report and are not attached as they were previously submitted in the July 10, 2006 Information Disclosure Statement.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kirk D. Berkheimer
Registration No. 59,874

JAO:KDB/mab

Date: April 28, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>

PTO RECEIPT FOR FILING OF PAPERS



Delivery ▶ Mail Room

The following papers have been filed:

IDS WITH CHECK NO. 205135 \$180; PTO FORM-1449; EUROPEAN SEARCH
REPORT; 6 REFERENCES; 1 ABSTRACT

Name of Applicant: Yojiro MATSUEDA

Serial No.: 10/299,861

Attorney File No.: 114251

Title: Active Matrix Substrate, Electro-Optical Device, and Electronic
Device

Sender's Initials: JAO:KDB/mab

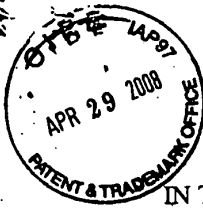
Assignee: SEIKO EPSON CORPORATION

PATENT OFFICE DATE STAMP



4

**COPY TO BE STAMPED BY PATENT OFFICE
AND RETURNED BY MESSENGER**



PATENT APPLICATION

2628
\$
IR

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: C. HARRISON

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

SUPPLEMENTAL INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

- ☒ 1. This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection, Notice of Allowance, or other action that closes prosecution (e.g., Quayle Action), but before payment of the Issue Fee. Attached is our Check No. 205135 in the amount of \$180.00 in payment of the fee under 37 CFR §1.17(p). Please credit or debit Deposit Account No. 15-0461 as needed to ensure consideration of the disclosed information.
- ☒ a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement.
37 CFR §1.97(e)(1).
- ☒ 2. One or more reference cited herein was cited in a counterpart foreign application. An English language version of the foreign search report is attached for the Examiner's information. See References 1-7.
- ☒ 3. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

04/30/2008 RMEBRAHT 00000054 150461 10299861
01 FC:1806 180.00 DA

The PTO did not receive the following
listed item(s) A check for 180.00

Adjustment date: 06/09/2008 HDESTA1
04/30/2008 RMEBRAHT 00000054 150461 10299861
01 FC:1806 180.00 CR



Sheet 1 of 1

Form PTO-1449 (REV. 1/06)		US Dept. of Commerce PATENT & TRADEMARK OFFICE		ATTY DOCKET NO. 114251.01		APPLICATION NO. 11/483,199	
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)				APPLICANT(S) Yojim MATSUEDA			
				FILING DATE July 10, 2006		GROUP 2629	
U.S. PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Name			
Ch	1	5,867,233	2-2-1999	TANAKA			
FOREIGN PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation	
Ch	2	WO 01/18774 A1	3-15-2001	WIPO	x		
Ch	3	WO 01/75853	10-11-2001	WIPO			
Ch	4	JP A 60-128486	7-9-1985	Japan			
Ch	5	EP 1 003 223 A2	5-24-2000	Europe			
OTHER DOCUMENTS							
Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)					
Ch	6	Shang-Li Chen et al.; "Current Programmed Pixel Structures for OLED"; Electronics Research & Service Organization; Hsinchu, Taiwan, October 2001, pp. 399-402.					
Ch	7	Eg.; Takeda et al.; "An As-P(n ⁺ -n) Double Diffused Drain MOSFET for VLSIs"; IEEE Transactions on Electron Devices, IEEE Service Center, Piscataway, NJ, vol. 30, no. 6, June 1983; pp. 652-657.					
EXAMINER				DATE CONSIDERED			
Examiner: <i>[Signature]</i>				5/19/08			
Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

Date: April 28, 2008



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800
25944 7590 07/11/2008 OLIFF & BERRIDGE, PLC P.O. BOX 320850 ALEXANDRIA, VA 22320-4850			EXAMINER HARRISON, CHANTE E	
			ART UNIT 2628	PAPER NUMBER
			MAIL DATE 07/11/2008	DELIVERY MODE PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.



UNITED STATES DEPARTMENT OF COMMERCE
U.S. Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
10299861	11/20/02	MATSUEDA, YOJIRO	114251

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

EXAMINER

CHANTE HARRISON

ART UNIT	PAPER
2628	20080709

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

The information disclosure statement (IDS) submitted on 4/29/08 was filed after the mailing date of the Notice of Allowance on 4/23/08. The submission is in compliance with the provisions of 37 CFR 1.97. Accordingly, the information disclosure statement is being considered by the examiner.

/Chante Harrison/
Primary Examiner, Art Unit 2628

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Application No.: 10/299,861

Filed: November 20, 2002

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-
OPTICAL DEVICE, AND ELECTRONIC
DEVICE



Group Art Unit: 2628

Examiner: C. HARRISON

Docket No.: 114251

MAIL STOP RCE

**LARGE ENTITY REQUEST FOR
CONTINUED EXAMINATION UNDER 37 C.F.R. §1.114**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. §1.114, Applicant(s) hereby request(s) continued examination.

☒ Applicant(s) further request(s) entry and consideration of the attached submission.

The above-identified application was filed on or after June 8, 1995. Thus, entry is proper under 37 C.F.R. §1.114(d).

Attached hereto is our check no. 208093 in the amount of ☒ \$810.00 as payment of the fees set forth in 37 C.F.R. §1.17(e). The Commissioner is hereby authorized to charge any additional fees or credit any overpayment associated with this communication to Deposit Account No. 15-0461.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kirk D. Berkheimer
Registration No. 59,874

JAO:KDB/mab

Date: July 23, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE
AUTHORIZATION
Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

07/24/2008 57FWDIE1 00000028 10299861

01 JUL 2008

810.00 OP



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 10/299,861

Examiner: C. HARRISON

Filed: November 20, 2002

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND
ELECTRONIC DEVICE

AMENDMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In reply to the April 23, 2008 Office Action, and in consideration of the attached

Request for Continued Examination, please consider the following:

Amendments to the Claims as reflected in the listing of claims; and

Remarks.

Amendments to the Claims:

The following listing of claims will replace all prior versions, and listings, of claims in the application:

1-7. (Canceled)

8. (Currently Amended) The electro-optical device according to claim 46, ~~wherein~~ said electro-optical device ~~has~~ having a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

~~a~~ the gate metal layer comprising ~~said second~~ a control terminal of the first transistor, and

~~wherein~~ at least a portion of said plurality of scan lines ~~is~~ being formed in said gate metal layer.

9. (Currently Amended) The electro-optical device according to claim 46, ~~wherein~~ said electro-optical device ~~has~~ having a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

~~a~~ the gate metal layer comprising ~~said second~~ a control terminal of the first transistor; and

~~wherein~~ at least a portion of one data line among said plurality of data lines ~~is~~ being formed in said gate metal layer.

10. (Currently Amended) The electro-optical device according to claim 46, ~~wherein~~ said electro-optical device ~~has~~ having a stacked-layer structure comprising a plurality of layers;

said plurality of layers comprising:

a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

~~a~~ the gate metal layer comprising ~~said second~~ a control terminal of the first transistor; and

~~a source metal layer comprising a source electrode or drain electrode connected to the source or drain of said second transistor;~~

~~wherein~~ at least one portion of at least one data line among said plurality of data lines ~~is~~ being formed in ~~the layer, among one of~~ said source metal layer and said gate metal layer, layer that is closer to said semiconductor layer.

11-36. (Canceled)

37. (Currently Amended) The electro-optical device in accordance with claim 46, ~~comprising the~~ unit circuits comprising transistors, ~~arranged corresponding to intersections of data lines and scan lines; wherein~~ at least the first and second transistors;

a semiconductor film constituting said transistors ~~is~~ being formed in a semiconductor layer;

either said scan lines or said data lines ~~are~~ being formed in a first conducting layer at the intersections of said scan lines and said data lines; and

a portion of said scan lines and said data lines outside said intersections ~~are~~ being formed in a second conducting layer.

38. (Currently Amended) The electro-optical device according to claim 37, ~~wherein~~ said second conducting layer ~~is being~~ positioned between said first conducting layer and said semiconductor layer.

39. (Currently Amended) The electro-optical device according to claim 46, comprising electro-optical elements corresponding to intersections of scan lines and data lines, ~~wherein:~~

a pair of electrodes ~~is being~~ provided to supply power to said electro-optical elements;

at the intersections of said scan lines and said data lines, either said scan lines or said data lines ~~are being~~ formed in a first conducting layer; and

portions of said scan lines and said data lines outside said intersections ~~are being~~ formed in a second conducting layer; ~~and layer,~~

a distance between said second conducting layer ~~is positioned at a and one of~~ said pair of electrodes being greater distance than a distance between said first conducting layer ~~from and the~~ one of said pair of electrodes.

40-45. (Canceled)

46. (Currently Amended) An electro-optical device comprising:

a plurality of data lines;

a plurality of scan lines;

a plurality of unit circuits arranged corresponding to intersections of the plurality of data lines and the plurality of scan lines, each of the unit circuits including:

a first transistor;

an electroluminescence element being connected in series to one of a source and a drain of the first transistor;

a second transistor coupled between a gate of the first transistor and one of the source and the drain of the first transistor, the second transistor having a structure to prevent leakage currents during shutoff, and the polarity of the second transistor being opposite to the polarity of the first transistor;

a holding element coupled to the gate of the first transistor, the holding element holding a control voltage, the first transistor supplying a current based on the control voltage to the electroluminescence element,

~~wherein~~ one of the source and the drain of the second transistor ~~being is~~ coupled to the holding element; and

at least a part of a wiring connecting between the gate of the first transistor and one of a source or a drain of the second transistor and between either of the source or the drain of the first transistor and the other of the source or the drain of the second transistor being formed in a source metal layer formed above a gate metal layer.

47. (Currently Amended) The electro-optical device according to claim 46, ~~wherein~~ the second transistor ~~is being~~ configured as a multi-gate transistor.

48. (Currently Amended) The electro-optical device according to claim 46, ~~wherein~~ the second transistor ~~has having~~ a structure selected from the group consisting of an LDD structure, a GDD structure, and a DDD structure.

49. (Canceled)

50. (Currently Amended) The electro-optical device according to claim 46, ~~wherein~~ the first transistor ~~has having~~ a p-type polarity.

51. (Previously Presented) The electro-optical device according to claim 46, each of the unit circuits including a third transistor coupled in series to the first and the second transistor, a source and a drain of the third transistor connecting each respectively to one of

the first and the second transistors and a gate of the second transistor and a gate of the third transistor being connected to a same corresponding scan line.

52. (Previously Presented) The electro-optical device according to claim 51, each of the unit circuits including a fourth transistor coupled in series to the first transistor, the fourth transistor supplying the current to the electroluminescence element during a light emission period.

53. (Currently Amended) The electro-optical device according to claim 46, further comprising a plurality of power supply lines, one electrode of the holding element is being connected to a corresponding power supply line of the plurality of power supply lines, or the one electrode of the holding element ~~is~~ being a portion of the corresponding power supply line of the plurality of power supply lines.

REMARKS

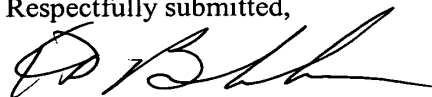
Claims 8-10, 37-39, 46-48 and 50-53 are pending in this application. By this Amendment, claims 8-10, 37-39, 46-48, 50 and 53 are amended. No new matter is added by these amendments. A Request for Continued Examination is attached. Reconsideration of the application based on the above amendments and the following remarks is respectfully requested.

The Applicant amends claims 8-10, 37-39, 46-48, 50 and 53 to clarify the subject matter of the pending claims and to correct informalities. This application remains in condition for allowance for at least the reasons set forth in the December 20, 2007 Amendment, and as acknowledged by the April 23, 2008 Notice of Allowance and Fee(s) Due.

In view of the foregoing, it is respectfully submitted that this application continues to be in condition for allowance. Favorable reconsideration and continued allowance of claims 8-10, 37-39, 46-48 and 50-53 are earnestly solicited.

Should the Examiner believe that anything further would be desirable in order to place this application in even better condition for allowance, the Examiner is invited to contact the undersigned at the telephone number set forth below.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/mab

Attachment:
Request for Continued Examination

Date: July 23, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875					Application or Docket Number 10/299,861		Filing Date 11/20/2002		☐ To be Mailed	
APPLICATION AS FILED – PART I										
(Column 1)			(Column 2)		SMALL ENTITY ☐ OR		OTHER THAN SMALL ENTITY			
FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)	OR	RATE (\$)	FEE (\$)			
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A				
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A				
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A				
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X \$ =		OR	X \$ =				
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X \$ =			X \$ =				
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).									
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))										
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL				
APPLICATION AS AMENDED – PART II										
(Column 1)			(Column 2)		(Column 3)		SMALL ENTITY OR		OTHER THAN SMALL ENTITY	
AMENDMENT	07/23/2008	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	* 13	Minus	** 20	= 0	X \$ =		OR	X \$50=	0
	Independent (37 CFR 1.16(h))	* 1	Minus	***3	= 0	X \$ =		OR	X \$210=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0	
(Column 1)			(Column 2)		(Column 3)		SMALL ENTITY OR		OTHER THAN SMALL ENTITY	
AMENDMENT	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)		
	Total (37 CFR 1.16(i))	*	Minus	**	=	X \$ =		OR	X \$ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$ =		OR	X \$ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE		
<p>* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.</p> <p>** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".</p> <p>*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".</p> <p>The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.</p>										

Legal Instrument Examiner:
/JASON B. EADDY/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

25944 7590 08/18/2008

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

EXAMINER

HARRISON, CHANTE E

ART UNIT

PAPER NUMBER

2628

DATE MAILED: 08/18/2008

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800

TITLE OF INVENTION: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1440	\$300	\$0	\$1740	11/18/2008

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

**Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

25944 7590 08/18/2008

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800

TITLE OF INVENTION: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1440	\$300	\$0	\$1740	11/18/2008

EXAMINER	ART UNIT	CLASS-SUBCLASS
HARRISON, CHANTE E	2628	345-076000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363). ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached. ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.	2. For printing on the patent front page, list (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, 1 _____ (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 _____ 3 _____
---	---

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

- ☐ Issue Fee
☐ Publication Fee (No small entity discount permitted)
☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

- ☐ A check is enclosed.
☐ Payment by credit card. Form PTO-2038 is attached.
☐ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- ☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____

Date _____

Typed or printed name _____

Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800
25944	7590	08/18/2008	EXAMINER	
OLIFF & BERRIDGE, PLC P.O. BOX 320850 ALEXANDRIA, VA 22320-4850			HARRISON, CHANTE E	
			ART UNIT	PAPER NUMBER
			2628	
DATE MAILED: 08/18/2008				

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 56 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 56 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Notice of Allowability	Application No.	Applicant(s)	
	10/299,861	MATSUEDA, YOJIRO	
	Examiner	Art Unit	
	CHANTE HARRISON	2628	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to RCE and amendment filed 7/23/08.
2. ☒ The allowed claim(s) is/are 8-10,37-39,46-48 and 50-53.
3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) ☒ All b) ☐ Some* c) ☐ None of the:
 1. ☐ Certified copies of the priority documents have been received.
 2. ☐ Certified copies of the priority documents have been received in Application No. _____.
 3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.

THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
 - (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|---|---|
| <ol style="list-style-type: none"> 1. ☐ Notice of References Cited (PTO-892) 2. ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948) 3. ☐ Information Disclosure Statements (PTO/SB/08),
Paper No./Mail Date _____ 4. ☐ Examiner's Comment Regarding Requirement for Deposit
of Biological Material | <ol style="list-style-type: none"> 5. ☐ Notice of Informal Patent Application 6. ☐ Interview Summary (PTO-413),
Paper No./Mail Date _____. 7. ☐ Examiner's Amendment/Comment 8. ☐ Examiner's Statement of Reasons for Allowance 9. ☐ Other _____. |
|---|---|

/Chante Harrison/
Primary Examiner, Art Unit 2628

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	312875	matsueda.in. seiko.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:49
L2	21723	345/76-105.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:49
L3	104006	transistor near4 element	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:49
L4	2894	transistor near4 opposite near4 polarity	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:49
L5	14218	transistor near4 leak\$4 near4 current\$2	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:49
L6	67971	(plural\$4 multipl \$6) near4 transistor\$2	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:49
L7	214208	transistor near4 current	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:49

L8	250295	transistor near4 (hold\$4 voltage)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:49
L9	137777	source near4 layer	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:49
L10	9	3 and 4 and 5 and 6 and 7 and 8 and 9	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:50
L11	2	1 and 2 and 10	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:50
L12	2	2 and 10	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:50
L13	484849	(optic\$4 near4 device) (electro near2 optic near2 device)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:50
L14	35	"14" and 2 and 7 and 8 and 4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:51
L15	6	13 and 2 and 7 and 8 and 4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/08/12 07:51

L16	61483	(transistor).clm.	US-PGPUB	OR	ON	2008/08/12 07:51
L17	2289	(leak\$4 near4 current\$2).clm.	US-PGPUB	OR	ON	2008/08/12 07:51
L18	9544	(transistor near4 current).clm.	US-PGPUB	OR	ON	2008/08/12 07:51
L19	14644	(transistor near4 (hold\$4 voltage)).clm.	US-PGPUB	OR	ON	2008/08/12 07:52
L20	12405	(source near4 layer).clm.	US-PGPUB	OR	ON	2008/08/12 07:52
L21	19940	(gate near4 layer).clm.	US-PGPUB	OR	ON	2008/08/12 07:52
L22	19940	(gate near4 layer).clm.	US-PGPUB	OR	ON	2008/08/12 07:52
L23	6576	(transistor near4 (coupl\$4 connect \$4) near4 transistor near4 (source drain)). clm.	US-PGPUB	OR	ON	2008/08/12 07:52
L24	503	16 with 17	US-PGPUB	OR	ON	2008/08/12 07:53
L25	214	18 and 19 and 24	US-PGPUB	OR	ON	2008/08/12 07:53
L26	17	20 and 21 and 24	US-PGPUB	OR	ON	2008/08/12 07:54
L27	219	20 and 21 and "254"	US-PGPUB	OR	ON	2008/08/12 07:54
L28	6	20 and 21 and 25	US-PGPUB	OR	ON	2008/08/12 07:54
L29	2	23 and 28	US-PGPUB	OR	ON	2008/08/12 07:54
L30	24	20 with 21 with 23	US-PGPUB	OR	ON	2008/08/12 07:55
L31	1	28 and 30	US-PGPUB	OR	ON	2008/08/12 07:55
L32	153653	(prevent\$4 avoid \$4).clm.	US-PGPUB	OR	ON	2008/08/12 07:56
L33	207	17 with 32	US-PGPUB	OR	ON	2008/08/12 07:56
L34	145	17 near2 32	US-PGPUB	OR	ON	2008/08/12 07:56
L35	0	18 and 19 and 30 and (33 34)	US-PGPUB	OR	ON	2008/08/12 07:57

8/ 12/ 08 8:00:58 AM

C:\ Documents and Settings\ charrison\ My Documents\ EAST\ Workspaces\ 10-299861.
wsp

<i>Index of Claims</i> 	Application/Control No. 10299861	Applicant(s)/Patent Under Reexamination MATSUEDA, YOJIRO
	Examiner Woods, Eric	Art Unit 2628

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant		☐ CPA		☐ T.D.		☐ R.1.47			
CLAIM		DATE							
Final	Original	03/07/2007	09/12/2007	08/12/2008					
	1	-	-	-					
	2	-	-	-					
	3	-	-	-					
	4	-	-	-					
	5	-	-	-					
	6	-	-	-					
	7	-	-	-					
2	8	✓	✓	=					
3	9	✓	✓	=					
4	10	✓	✓	=					
	11	-	-	-					
	12	-	-	-					
	13	-	-	-					
	14	-	-	-					
	15	-	-	-					
	16	-	-	-					
	17	-	-	-					
	18	-	-	-					
	19	-	-	-					
	20	-	-	-					
	21	-	-	-					
	22	-	-	-					
	23	-	-	-					
	24	-	-	-					
	25	-	-	-					
	26	-	-	-					
	27	-	-	-					
	28	-	-	-					
	29	-	-	-					
	30	-	-	-					
	31	-	-	-					
	32	-	-	-					
	33	-	-	-					
	34	-	-	-					
	35	-	-	-					
	36	-	-	-					

<i>Index of Claims</i> 	Application/Control No. 10299861	Applicant(s)/Patent Under Reexamination MATSUEDA, YOJIRO
	Examiner Woods, Eric	Art Unit 2628

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant
 ☐ CPA
 ☐ T.D.
 ☐ R.1.47

CLAIM		DATE								
Final	Original	03/07/2007	09/12/2007	08/12/2008						
5	37	✓	✓	=						
6	38	✓	✓	=						
7	39	✓	✓	=						
	40	-	-	-						
	41	-	-	-						
	42	-	-	-						
	43	-	-	-						
	44	-	-	-						
	45	-	-	-						
1	46	✓	✓	=						
8	47	✓	✓	=						
9	48	✓	✓	=						
	49	-	-	-						
10	50	✓	✓	=						
11	51	✓	✓	=						
12	52	✓	✓	=						
13	53	✓	✓	=						

Search Notes 	Application/Control No. 10299861	Applicant(s)/Patent Under Reexamination MATSUEDA, YOJIRO
	Examiner Woods, Eric	Art Unit 2628

SEARCHED			
Class	Subclass	Date	Examiner
345	76-79,80-105	9/12/07	EW
345	76-105	8/12/08	ch

SEARCH NOTES		
Search Notes	Date	Examiner
EAST (USPT,USPGPUB,DERWENT,FPRS,EPO,JPO,IBM_TDB)-see attached search history	9/12/07	EW
Update East database text and image search	8/12/08	ch

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
	Interference Search History Printout	8/12/08	ch

PATENT APPLICATION

**FILING UNDER 37 CFR §1.312
EXPEDITED PROCEDURE
TECHNOLOGY CENTER ART UNIT 2628**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

ATTN: OFFICE OF PUBLICATIONS

Yojiro MATSUEDA

Notice of Allowance Mailed 08/18/2008 -
Batch/Confirmation No. 5800

Application No.: 10/299,861

Group Art Unit: 2628

Filed: November 20, 2002

Examiner: C. HARRISON

Docket No.: 114251

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND
ELECTRONIC DEVICE

AMENDMENT AFTER ALLOWANCE UNDER 37 C.F.R. §1.312

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In reply to the August 18, 2008 Notice of Allowance, please consider the following:

Amendments to the Claims as reflected in the listing of claims; and

Remarks.

Amendments to the Claims:

The following listing of claims will replace all prior versions, and listings, of claims in the application:

- 1-7. (Canceled)
8. (Previously Presented) The electro-optical device according to claim 46, said electro-optical device having a stacked-layer structure comprising a plurality of layers;
said plurality of layers comprising:
a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and
the gate metal layer comprising a control terminal of the first transistor, and
at least a portion of said plurality of scan lines being formed in said gate metal layer.
9. (Previously Presented) The electro-optical device according to claim 46, said electro-optical device having a stacked-layer structure comprising a plurality of layers;
said plurality of layers comprising:
a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and
the gate metal layer comprising a control terminal of the first transistor; and
at least a portion of one data line among said plurality of data lines being formed in said gate metal layer.
10. (Previously Presented) The electro-optical device according to claim 46, said electro-optical device having a stacked-layer structure comprising a plurality of layers;
said plurality of layers comprising:
a semiconductor layer, in which a semiconductor film constituting said first transistor and said second transistor is formed; and

the gate metal layer comprising a control terminal of the first transistor;
at least one portion of at least one data line among said plurality of data lines
being formed in one of said source metal layer and said gate metal layer that is closer to said
semiconductor layer.

11-36. (Canceled)

37. (Previously Presented) The electro-optical device in accordance with claim
46, the unit circuits comprising at least the first and second transistors;

a semiconductor film constituting said transistors being formed in a
semiconductor layer;

either said scan lines or said data lines being formed in a first conducting layer
at the intersections of said scan lines and said data lines; and

a portion of said scan lines and said data lines outside said intersections being
formed in a second conducting layer.

38. (Previously Presented) The electro-optical device according to claim 37, said
second conducting layer being positioned between said first conducting layer and said
semiconductor layer.

39. (Previously Presented) The electro-optical device according to claim 46,
comprising electro-optical elements corresponding to intersections of scan lines and data
lines,

a pair of electrodes being provided to supply power to said electro-optical
elements;

at the intersections of said scan lines and said data lines, either said scan lines
or said data lines being formed in a first conducting layer; and

portions of said scan lines and said data lines outside said intersections being
formed in a second conducting layer,

a distance between said second conducting layer and one of said pair of electrodes being greater than a distance between said first conducting layer and the one of said pair of electrodes.

40-45. (Canceled)

46. (Currently Amended) An electro-optical device comprising:

a plurality of data lines;

a plurality of scan lines;

a plurality of unit circuits arranged corresponding to intersections of the plurality of data lines and the plurality of scan lines, each of the unit circuits including:

a first transistor;

an electroluminescence element being connected in series to one of a source and a drain of the first transistor;

a second transistor coupled between a gate of the first transistor and one of the source and the drain of the first transistor, the second transistor having a structure to prevent leakage currents during shutoff, and the ~~polarity of the second transistor being opposite to the polarity of the first transistor~~second transistor being one of an n-type transistor and a p-type transistor;

a holding element coupled to the gate of the first transistor, the holding element holding a control voltage, the first transistor supplying a current based on the control voltage to the electroluminescence element,

one of the source and the drain of the second transistor ~~is coupled~~being coupled to the holding element; and

at least a part of a wiring connecting between the gate of the first transistor and one of a source or a drain of the second transistor and between either of the source or the

drain of the first transistor and the other of the source or the drain of the second transistor being formed in a source metal layer formed above a gate metal layer.

47. (Previously Presented) The electro-optical device according to claim 46, the second transistor being configured as a multi-gate transistor.

48. (Previously Presented) The electro-optical device according to claim 46, the second transistor having a structure selected from the group consisting of an LDD structure, a GDD structure, and a DDD structure.

49. (Canceled)

50. (Previously Presented) The electro-optical device according to claim 46, the first transistor having a p-type polarity.

51. (Previously Presented) The electro-optical device according to claim 46, each of the unit circuits including a third transistor coupled in series to the first and the second transistor, a source and a drain of the third transistor connecting each respectively to one of the first and the second transistors and a gate of the second transistor and a gate of the third transistor being connected to a same corresponding scan line.

52. (Previously Presented) The electro-optical device according to claim 51, each of the unit circuits including a fourth transistor coupled in series to the first transistor, the fourth transistor supplying the current to the electroluminescence element during a light emission period.

53. (Previously Presented) The electro-optical device according to claim 46, further comprising a plurality of power supply lines, one electrode of the holding element being connected to a corresponding power supply line of the plurality of power supply lines, or the one electrode of the holding element being a portion of the corresponding power supply line of the plurality of power supply lines.

REMARKS

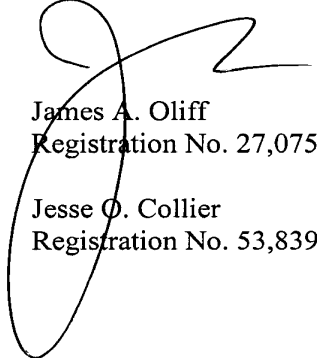
Claims 8–10, 37–39, 46–48 and 50–53 are pending in this application. By this Amendment, claim 46 is amended to correct a minor informality and to more clearly recite a feature. Support for the amendments to claim 46 can be found, for example, at page 29, lines 19–28, of the original specification. No new matter is added.

As discussed with and agreed by Examiner Harrison during a brief telephone conference on October 27, the amendments to claim 46 do not affect the scope of the claim but rather merely embody a correction and clarification of the previously recited features. Therefore, the amendments satisfy the requirements under 37 C.F.R. §1.312 and MPEP §714.16. Applicant respectfully requests entry of the amendments.

An Information Disclosure Statement with Form PTO-1449 was filed in the above-captioned patent application on September 18, 2007. Applicant have not yet received from the Examiner a copy of the Form PTO-1449 initialed to acknowledge that the Examiner has considered the disclosed information. The Examiner is requested to initial and return to the undersigned a copy of the Form PTO-1449. For the convenience of the Examiner, a copy of that form is attached.

In view of the foregoing, entry of the amendments to claim 46 is earnestly solicited.
Should the Examiner believe that anything further is required to enter the amendments, the
Examiner is invited to contact the undersigned at the telephone number set forth below

Respectfully submitted,



James A. Oliff
Registration No. 27,075
Jesse O. Collier
Registration No. 53,839

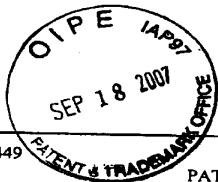
JAO:KRG/jnm

Attachment:
September 18, 2007 PTO 1449

Date: October 31, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)		US Dept. of Commerce PATENT & TRADEMARK OFFICE		ATTY DOCKET NO. 114251		APPLICATION NO. 10/299,861							
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)													
								APPLICANT(S) Yojiro MATSUEDA					
								FILING DATE November 20, 2002				GROUP 2628	
U.S. PATENT DOCUMENTS													
Examiner Initials	Cite No.	Document Number	Date	Name									
	1	2004/012548	1-22-2004	Anzai									
FOREIGN PATENT DOCUMENTS													
Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation							
	2	JP A 2003-323133	11-14-2003	Japan	X	X							
OTHER DOCUMENTS													
Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)											
EXAMINER				DATE CONSIDERED									
Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.													

Date: September 18, 2007

Electronic Acknowledgement Receipt	
EFS ID:	4216134
Application Number:	10299861
International Application Number:	
Confirmation Number:	5800
Title of Invention:	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
First Named Inventor/Applicant Name:	Yojiro Matsueda
Customer Number:	25944
Filer:	James Albert Oliff/Jennifer Mancia
Filer Authorized By:	James Albert Oliff
Attorney Docket Number:	114251
Receipt Date:	31-OCT-2008
Filing Date:	20-NOV-2002
Time Stamp:	17:02:21
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		114251_312AMD_103108.pdf	254223	yes	8
			5410cef83fa0917bf7cd0a9877b9a0e0f784fa6a5		

	Multipart Description/PDF files in .zip description		
	Document Description	Start	End
	Amendment after Notice of Allowance (Rule 312)	1	1
	Claims	2	5
	Applicant Arguments/Remarks Made in an Amendment	6	8
Warnings:			
Information:			
Total Files Size (in bytes):		254223	
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>			

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
 or **Fax** (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

25944 7590 08/18/2008

OLIFF & BERRIDGE, PLC
 P.O. BOX 320850
 ALEXANDRIA, VA 22320-4850



Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800

TITLE OF INVENTION: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
 11/19/2008 FROHAMM1 00000030 10299861

01 FC:1501 1510.00 OP
 02 FC:1504 300.00 OP

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1440 1510	\$300	\$0	\$1740 1810	11/18/2008
EXAMINER	ART UNIT	CLASS-SUBCLASS				
HARRISON, CHANTE E	2628	345-076000				

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
☐ Change of correspondence address (or Change of Correspondence Address Form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.

2. For printing on the patent front page, list
 (1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
 (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
 1 Oliff & Berridge, PLC
 2 _____
 3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY AND STATE OR COUNTRY)

Seiko Epson Corporation

Tokyo, Japan

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

- ☒ Issue Fee
☒ Publication Fee (No small entity discount permitted)
☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

- ☒ A check is enclosed. check# 212213 (\$1,810)
☐ Payment by credit card. Form PTO-2038 is attached.
☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 15-0461 (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- ☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____
 Typed or printed name Jesse O. Collier

Date November 18, 2008
 Registration No. 53,839

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800
25944 7590 11/19/2008 OLIFF & BERRIDGE, PLC P.O. BOX 320850 ALEXANDRIA, VA 22320-4850			EXAMINER HARRISON, CHANTE E	
			ART UNIT 2628	PAPER NUMBER
			MAIL DATE 11/19/2008	DELIVERY MODE PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

	Application No.	Applicant(s)
Response to Rule 312 Communication	10/299,861	MATSUEDA, YOJIRO
	Examiner	Art Unit
	CHANTE HARRISON	2628

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

1. ☒ The amendment filed on 10/31/08 under 37 CFR 1.312 has been considered, and has been:

a) ☐ entered.

b) ☒ entered as directed to matters of form not affecting the scope of the invention.

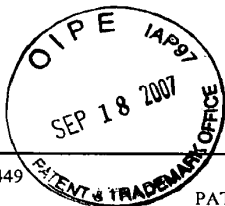
c) ☐ disapproved because the amendment was filed after the payment of the issue fee.

Any amendment filed after the date the issue fee is paid must be accompanied by a petition under 37 CFR 1.313(c)(1) and the required fee to withdraw the application from issue.

d) ☐ disapproved. See explanation below.

e) ☐ entered in part. See explanation below.

/Chante Harrison/
Primary Examiner, Art Unit 2628

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)		US Dept. of Commerce PATENT & TRADEMARK OFFICE		ATTY DOCKET NO. 114251		APPLICATION NO. 10/299,861	
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)				APPLICANT(S) Yojiro MATSUEDA			
				FILING DATE November 20, 2002		GROUP 2628	
U.S. PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Name			
/C.H./	1	2004/012548	1-22-2004	Anzai			
FOREIGN PATENT DOCUMENTS							
Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation	
/C.H./	2	JP A 2003-323133	11-14-2003	Japan	X	X	
OTHER DOCUMENTS							
Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)					
EXAMINER /Chante Harrison/				DATE CONSIDERED 11/07/2008			
Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

Date: September 18, 2007



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	11/20/2002	Yojiro Matsueda	114251	5800
25944 7590 12/23/2008 OLIFF & BERRIDGE, PLC P.O. BOX 320850 ALEXANDRIA, VA 22320-4850			EXAMINER HARRISON, CHANTE E	
			ART UNIT 2628	PAPER NUMBER
			MAIL DATE 12/23/2008	DELIVERY MODE PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.



UNITED STATES DEPARTMENT OF COMMERCE

U.S. Patent and Trademark Office

Address: COMMISSIONER FOR PATENTS

P.O. Box 1450

Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
10299861	11/20/02	MATSUEDA, YOJIRO	114251

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

EXAMINER

CHANTE HARRISON

ART UNIT	PAPER
2628	20081216

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

1. The information disclosure statement (IDS) submitted on 9/18/07 was filed after the mailing date of the final Office action on 3/29/07. The submission is in compliance with the provisions of 37 CFR 1.97. Accordingly, the information disclosure statement is being considered by the examiner.

/Chante Harrison/
Primary Examiner, Art Unit 2628



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/299,861	01/27/2009	7483001	114251	5800

25944 7590 01/07/2009
OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 36 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Yojiro Matsueda, Chino-shi, JAPAN;



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	PATENT NUMBER	GROUP ART UNIT	FILE WRAPPER LOCATION
10/299,861	7483001	2628	9200



Correspondence Address/Fee Address Change

The following fields have been set to Customer Number 27049 on 10/20/2009

- Correspondence Address
- Power of Attorney Address

The address of record for Customer Number 27049 is:

27049
OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850