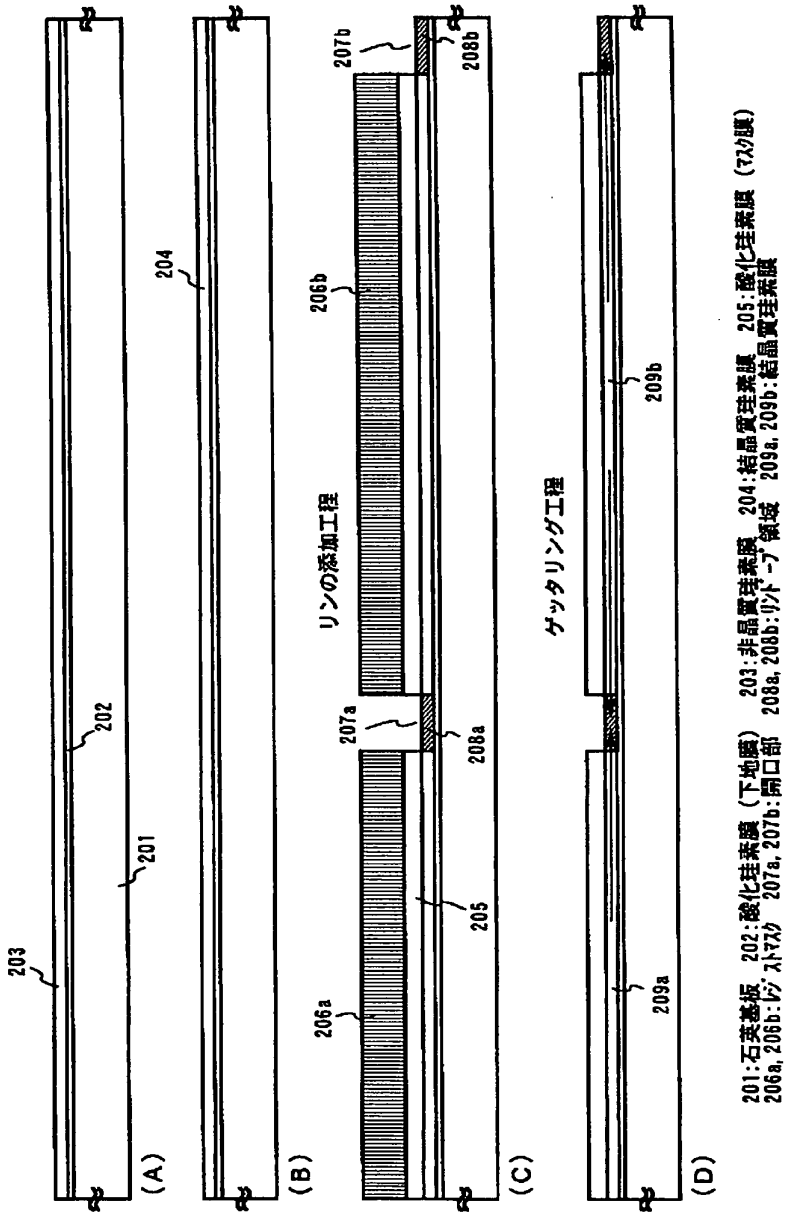
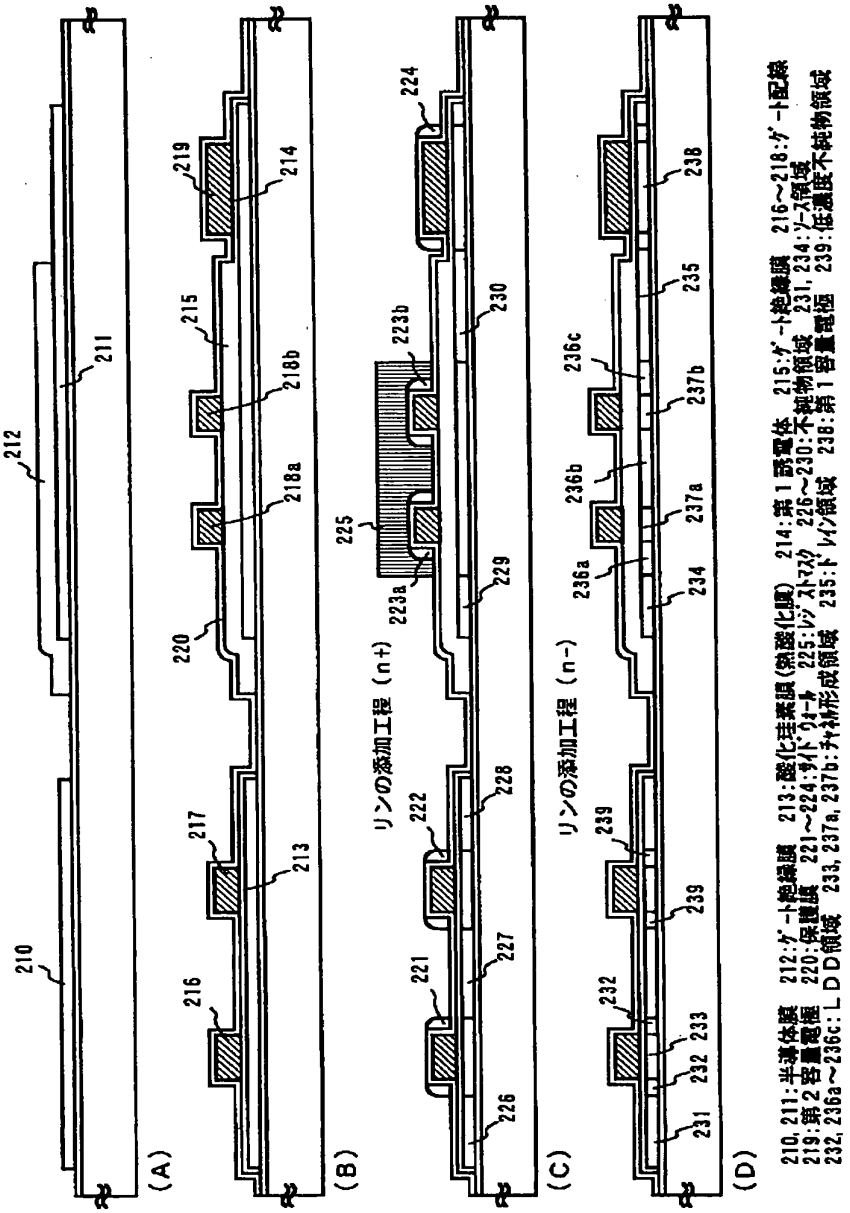
【図2】



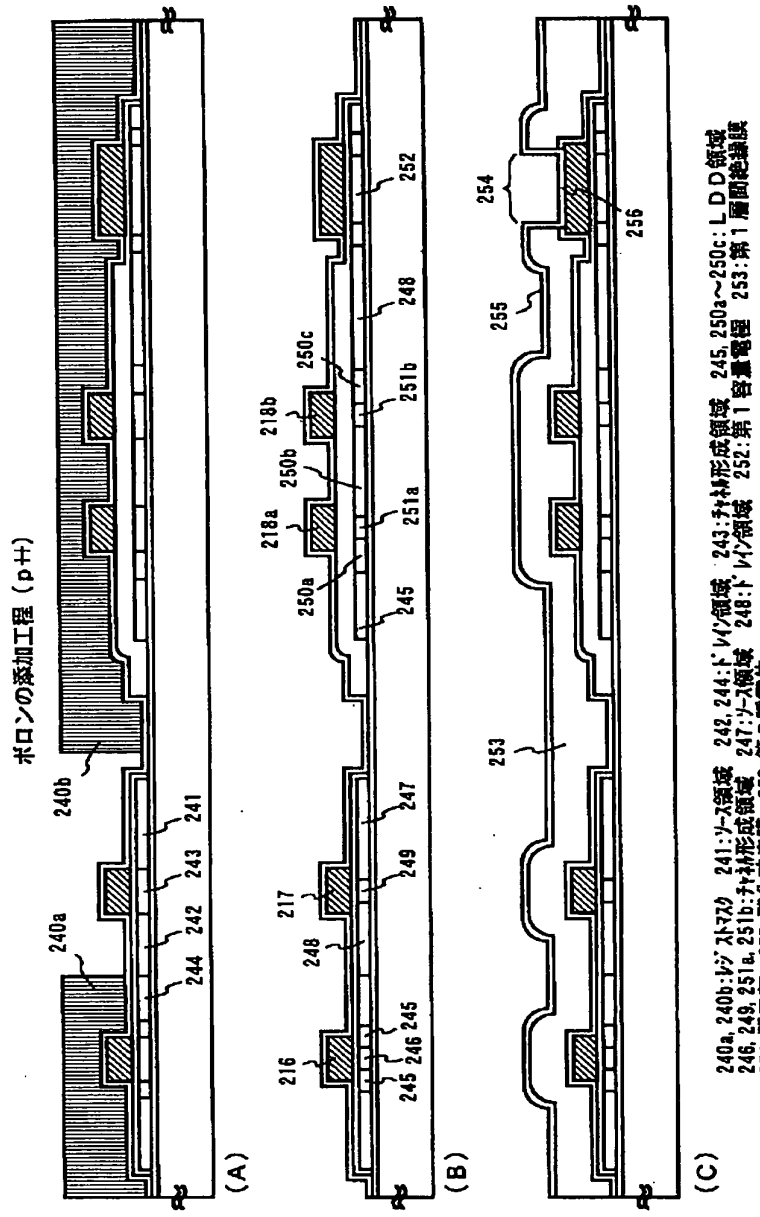
201:石英基板　202:酸化珪素膜（下地膜）　203:非晶質珪素膜　204:結晶質珪素膜　205:酸化珪素膜（マスク膜）
206a, 206b:レジストマスク　207a, 207b:開口部　208a, 208b:リンドープ領域　209a, 209b:結晶質珪素膜

【図3】

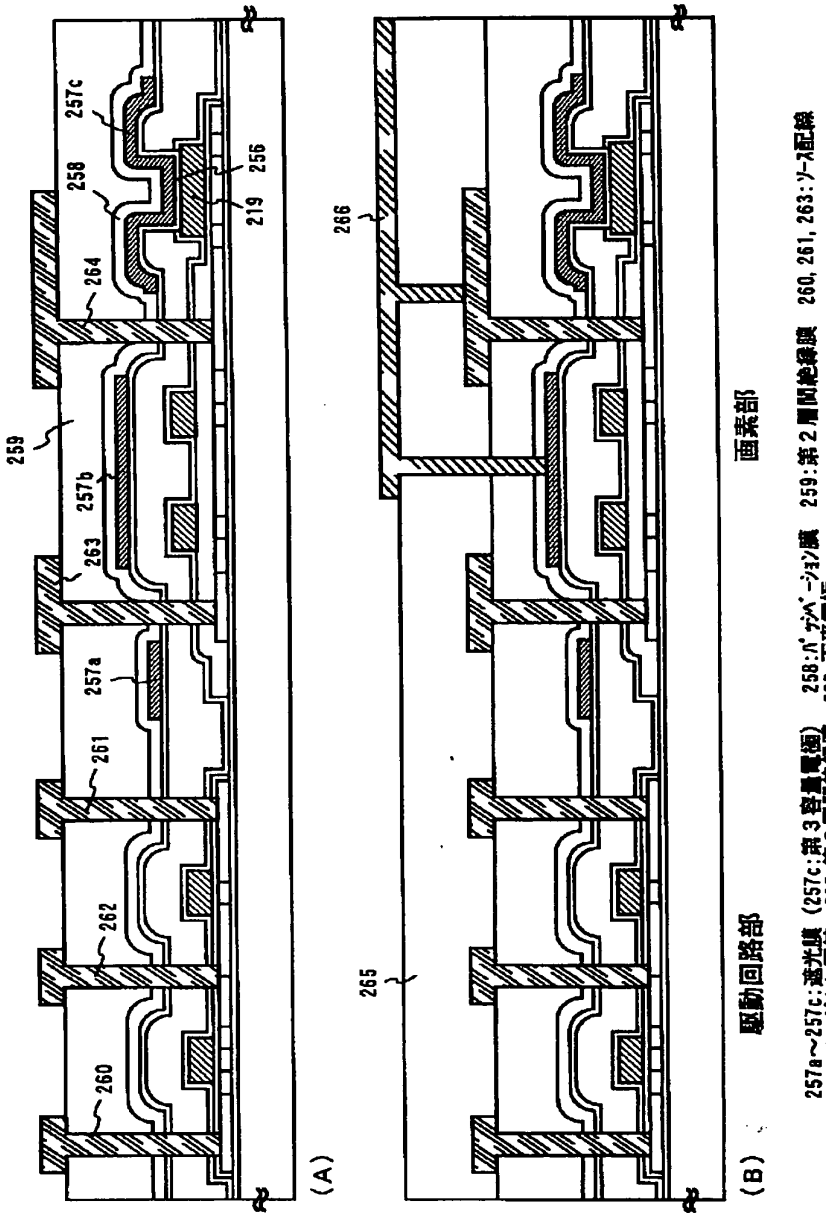


210, 211:半導体膜　212:ゲート絶縁膜　213:酸化珪素膜(熱酸化膜)　214:第1誘電体　215:ゲート絶縁膜　216～218:ゲート配線
219:第2容量電極　220:保護膜　221～224:ダイオード　225:レジストマスク　226～230:不純物領域　231, 234:ソース領域
232, 236a～236c:LDD領域　233, 237a, 237b:チャネル形成領域　235:ドレイン領域　238:第1容量電極　239:低濃度不純物領域

【図4】

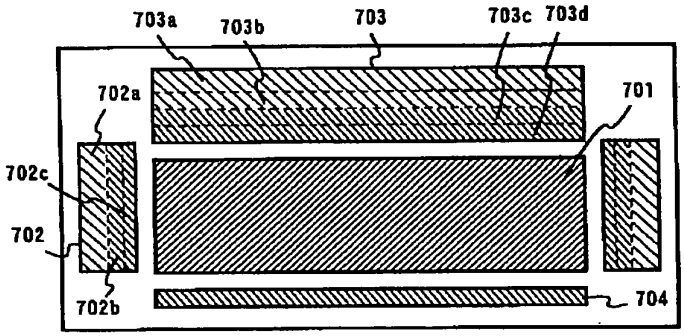

ボロンの添加工程（p+）
240a
240b
241
242
243
244
(A)
216
217
218a
218b
245
246
247
248
249
250a
250b
250c
251a
251b
252
(B)
253
254
255
256
(C)
240a, 240b:レジストマスク 241:ソース領域 242, 244:ドレイン領域 243:チャネル形成領域 245, 250a～250c:LDD領域
246, 249, 251a, 251b:チャネル形成領域 247:ソース領域 248:ドレイン領域 252:第1容量電極 253:第1層間絶縁膜
254:開口部 255:酸化珪素膜 256:第2誘電体

【図5】



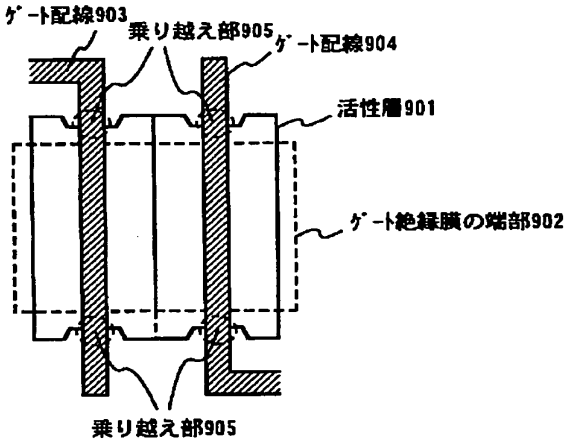
257a～257c:遮光膜 (257c:第3容量電極) 258:パッシベーション膜 259:第2層間絶縁膜 260, 261, 263:ソース配線
262, 264:ドレイン配線 265:第3層間絶縁膜 266:画素電極

【図7】



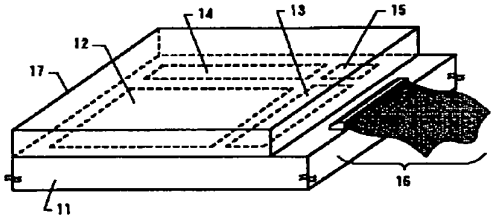
701:画素部　702a, 703a:シフトレジスタ　702b, 703b:レベルシフタ
702c, 703c:バッファ　703d:サンプリング回路　704:プリチャージ回路

【図9】



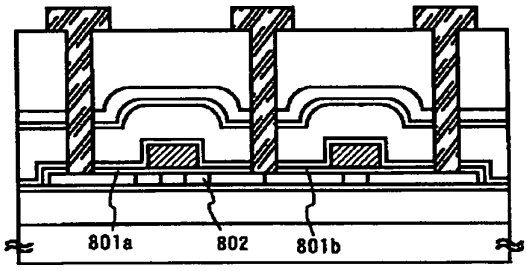
NTFT　PTFT

【図10】

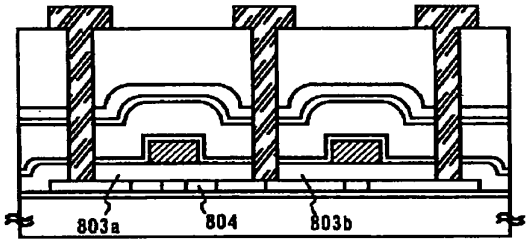


11:基板　12:画素部
13:ソース駆動回路　14:ゲート駆動回路
15:信号処理回路　16:FPC　17:対向基板

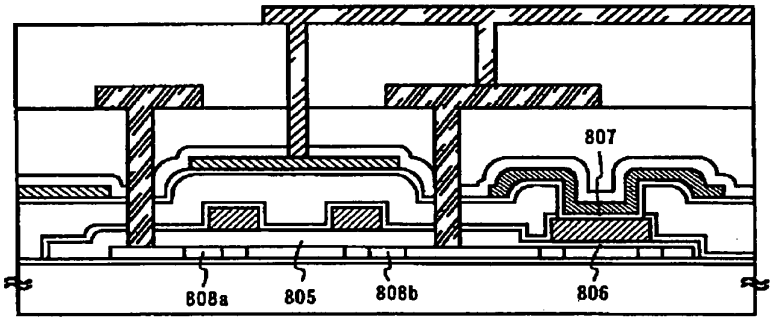
【図8】



(A) ▨ で示した領域の駆動回路

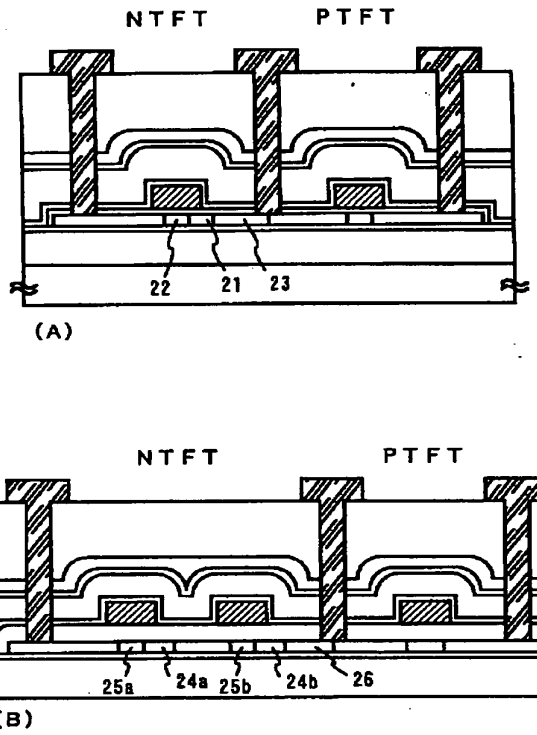


(B) ▨ で示した領域の駆動回路

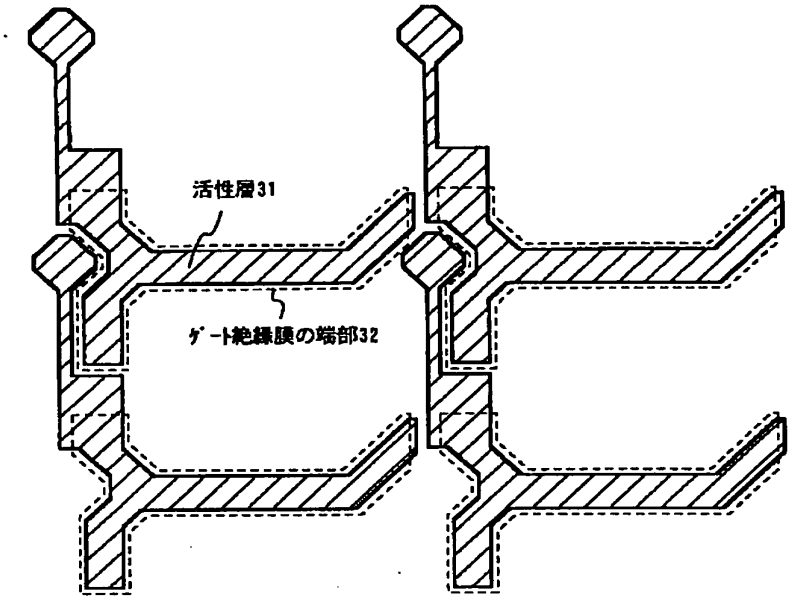


(C) ▨ で示した領域の画素部

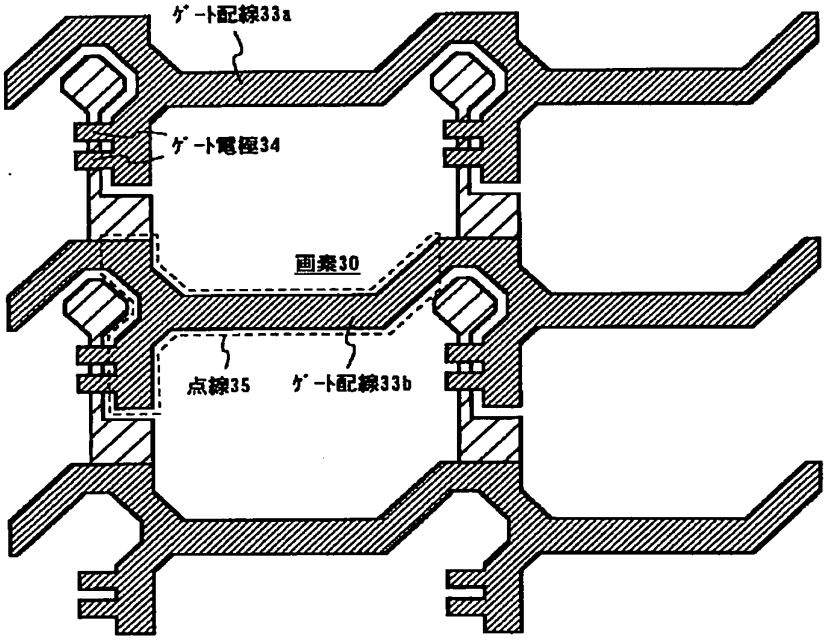
【図11】



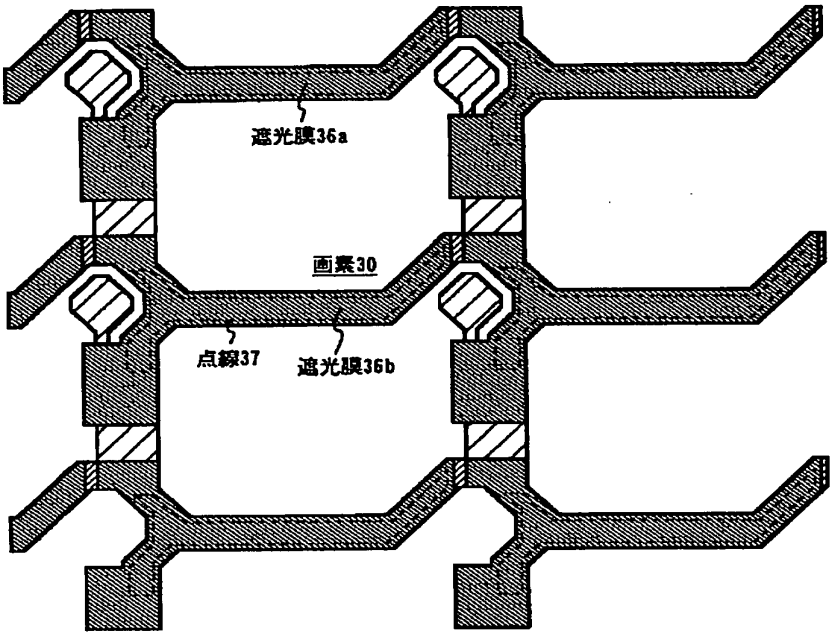
【図12】



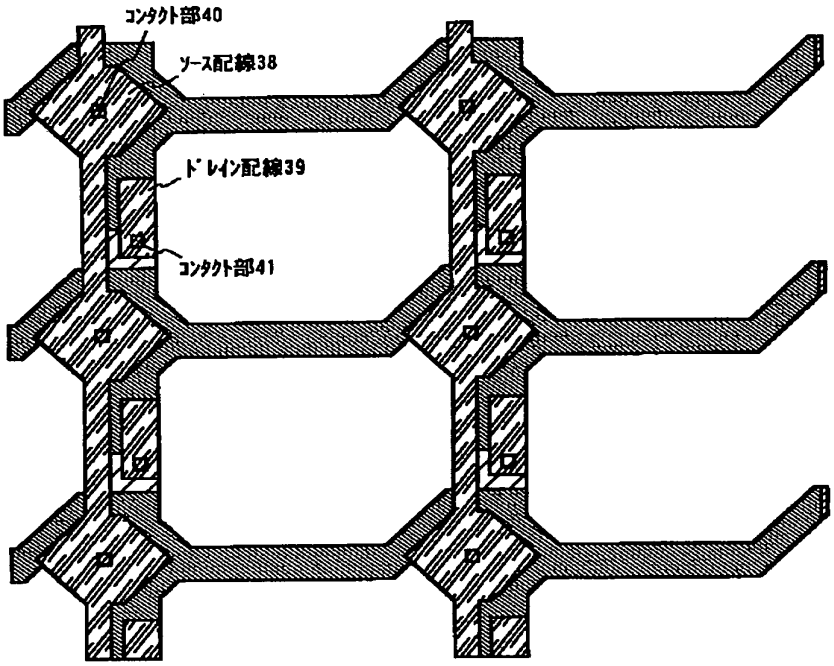
【図13】



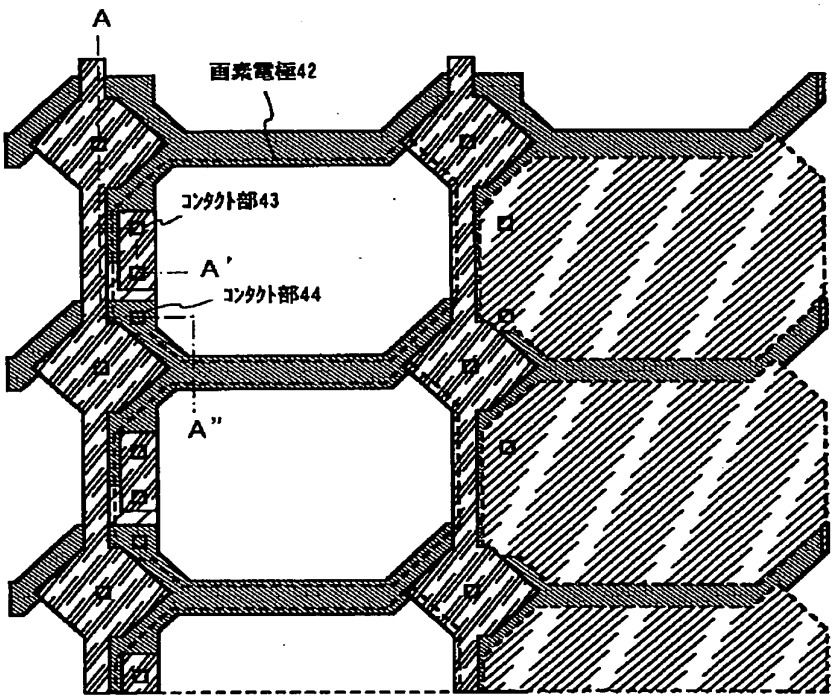
【図14】


遮光膜36a
画素30
点線37
遮光膜36b

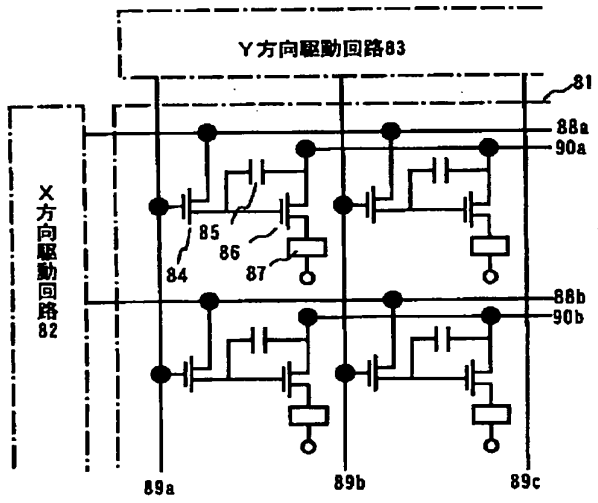
【図15】


コンタクト部40
ソース配線38
ドレイン配線39
コンタクト部41

【図１６】

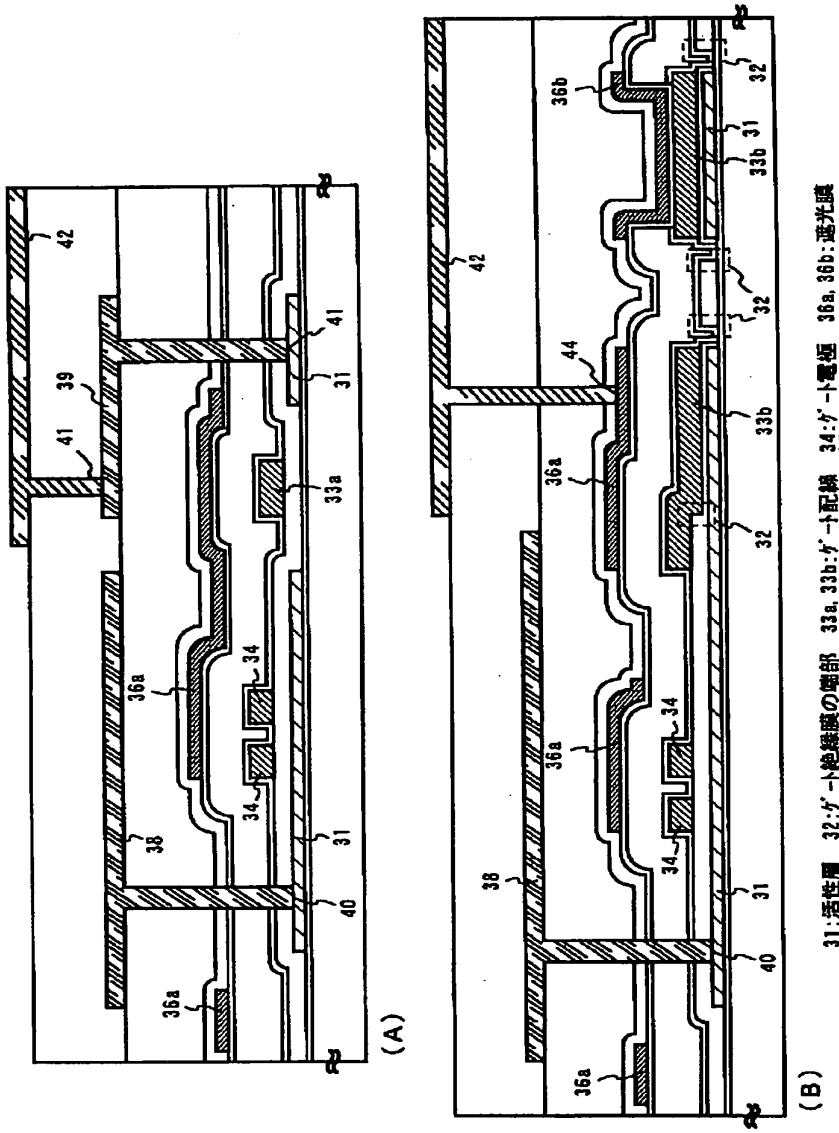


【図１９】

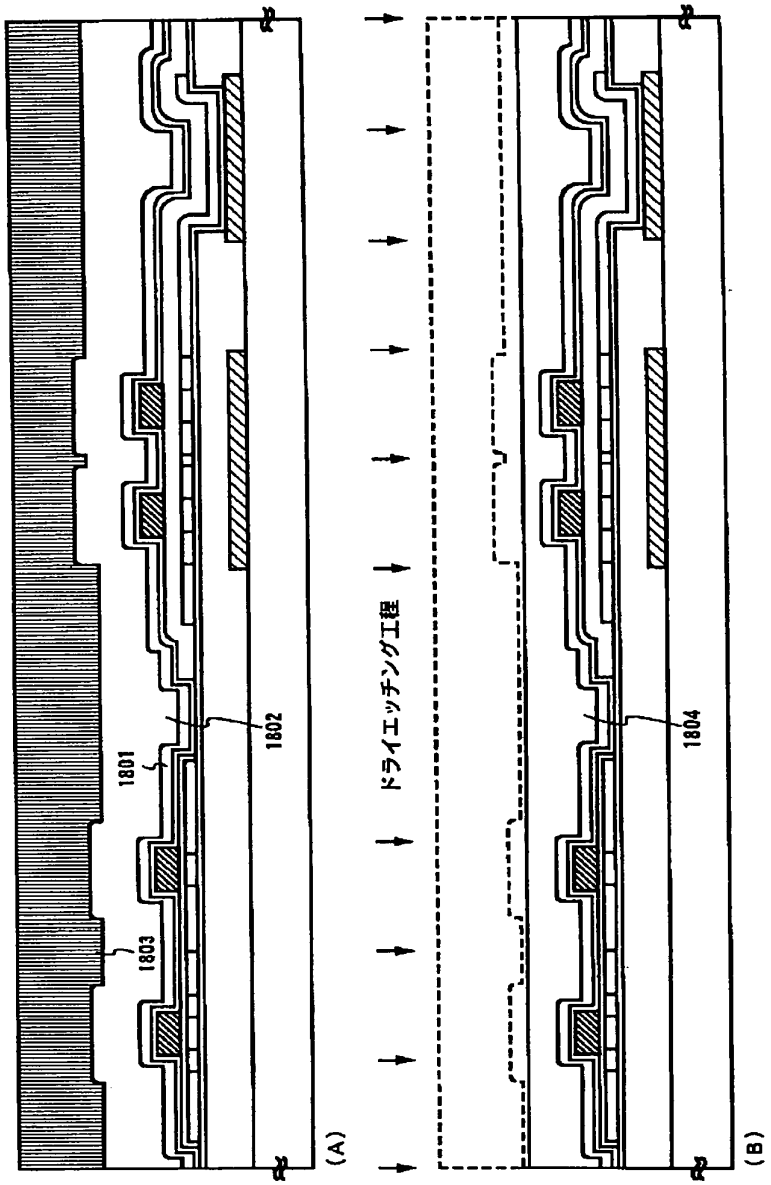


81：画素部　82：Ｘ方向（ソース）駆動回路　83：Ｙ方向（ゲート）駆動回路
84：スイッチング用TFT　85：コンデンサ　86：電流制御用TFT　87：有機EL素子
88a, 88b：Ｘ方向信号線　89a～89c：Ｙ方向信号線　90a, 90b：電源線

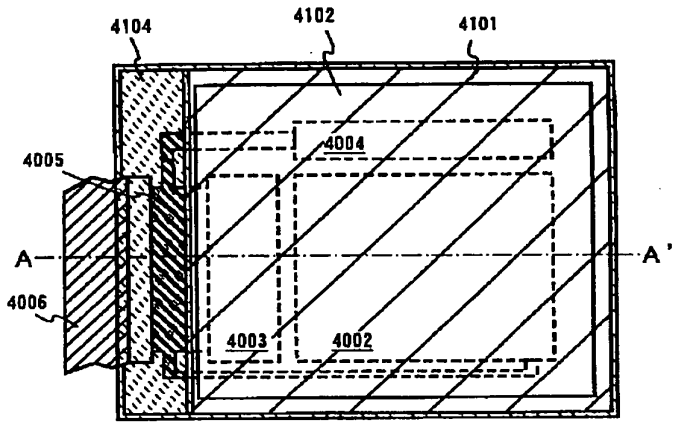
【図17】


(A)
(B)
31:活性層 32:ゲート絶縁膜の端部 33a, 33b:ゲート配線 34:ゲート電極 36a, 36b:遮光膜
38:ソース配線 39:ドレイン配線 40, 41:コンタクト部 42:画素電極

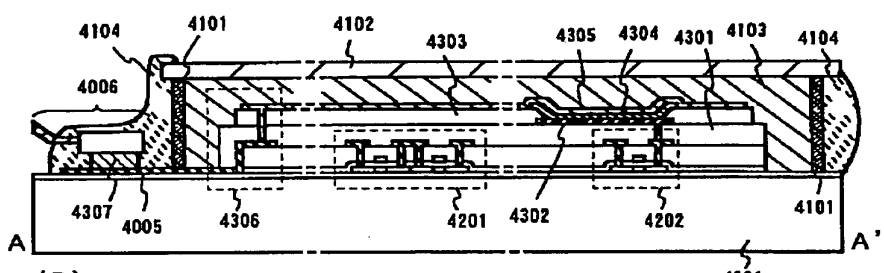
【図18】



【図20】

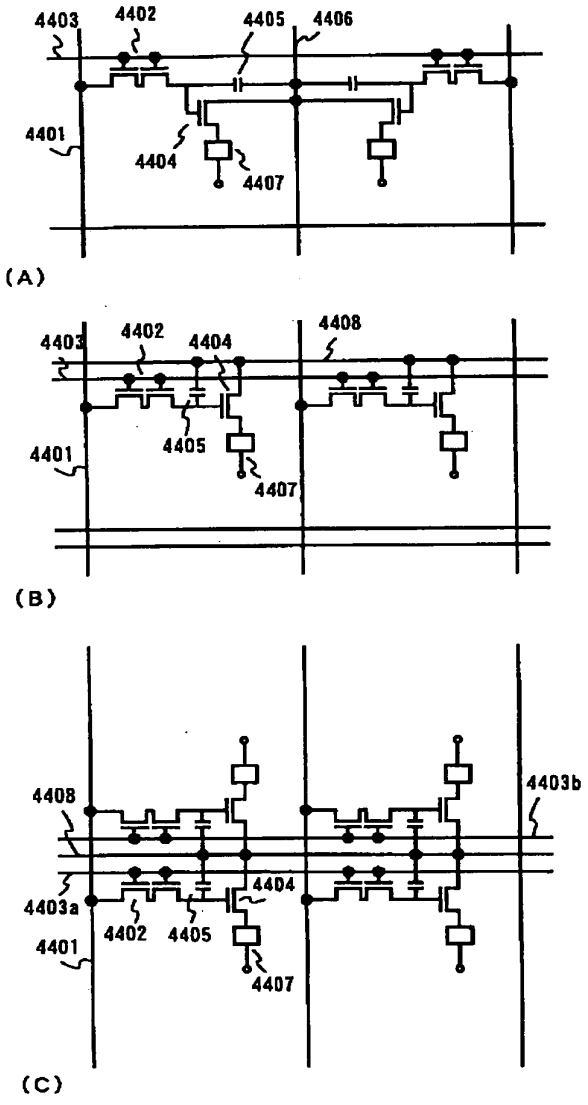

4104
4102
4101
4004
4005
A
A'
4006
4003
4002

(A)

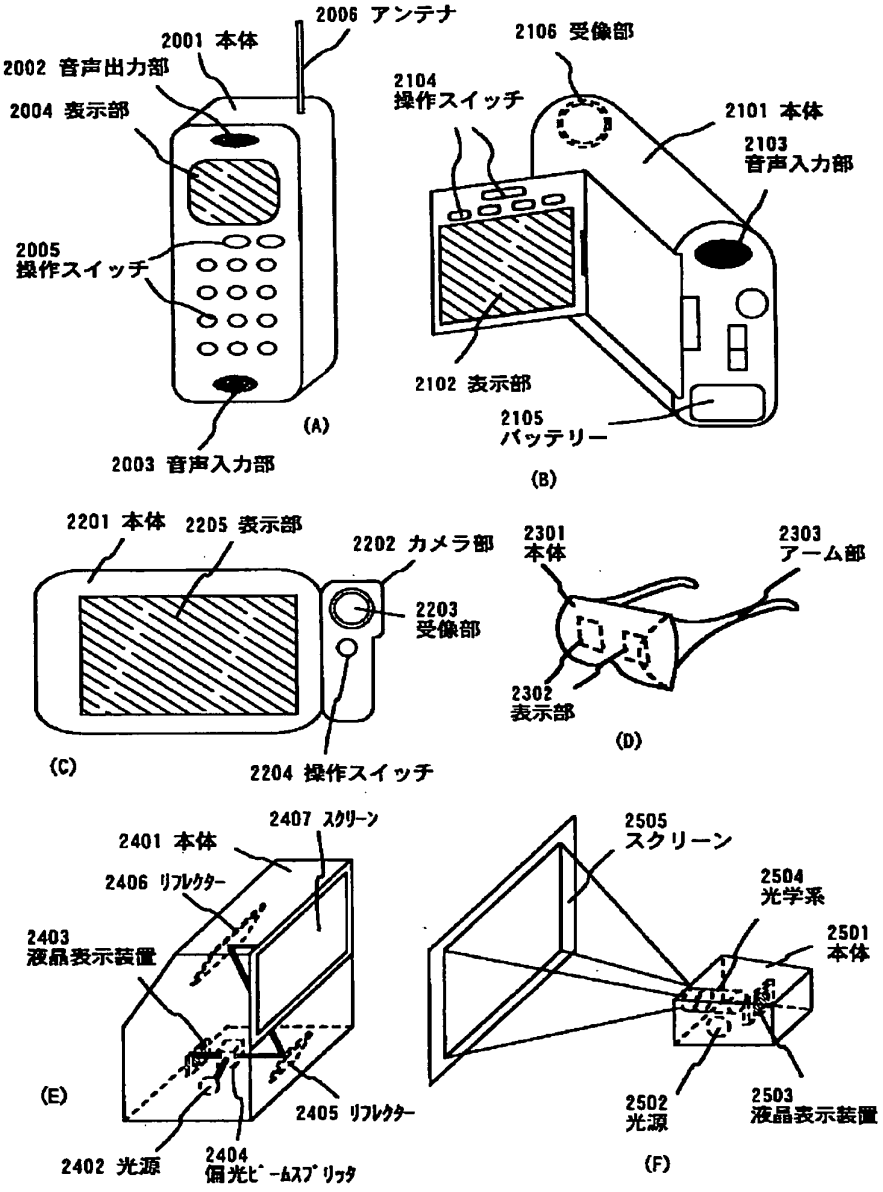

4104
4101
4102
4303
4305
4304
4301
4103
4104
4006
4307
4005
4306
4201
4302
4202
4101
A
A'
4001

(B)

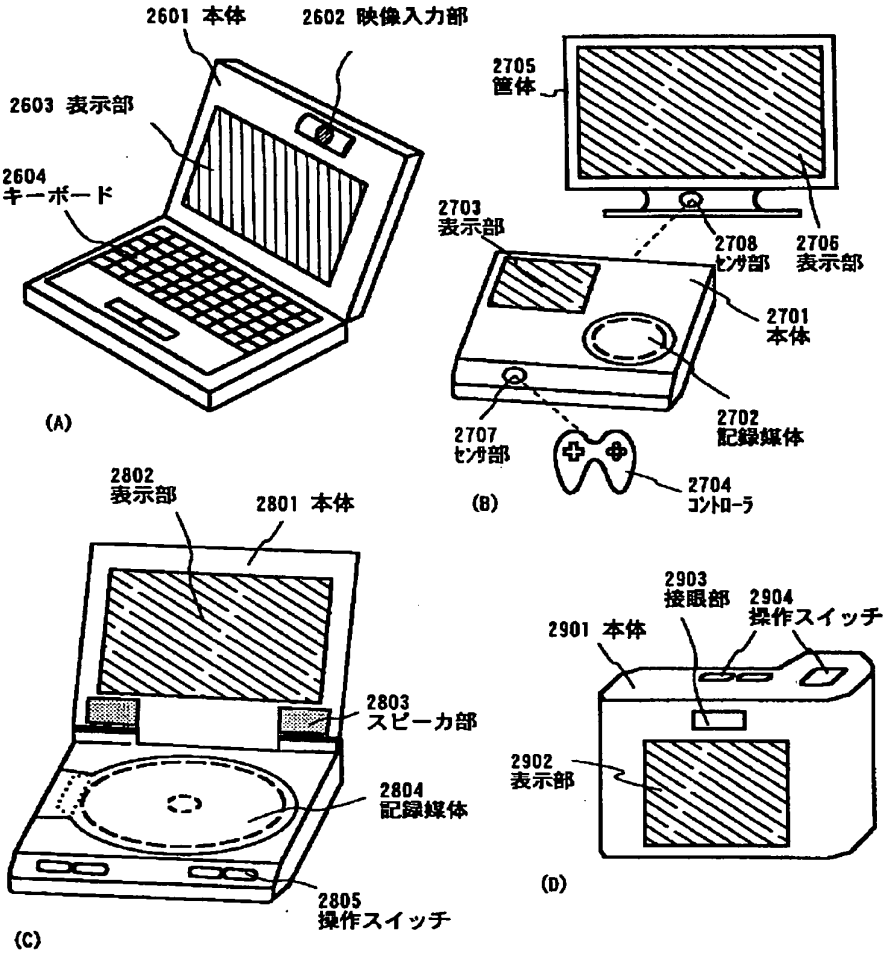
【図21】


4403
4402
4405
4406
4401
4404
4407
(A)
4403
4402
4404
4408
4405
4401
4407
(B)
4408
4403b
4403a
4404
4402
4405
4401
4407
(C)

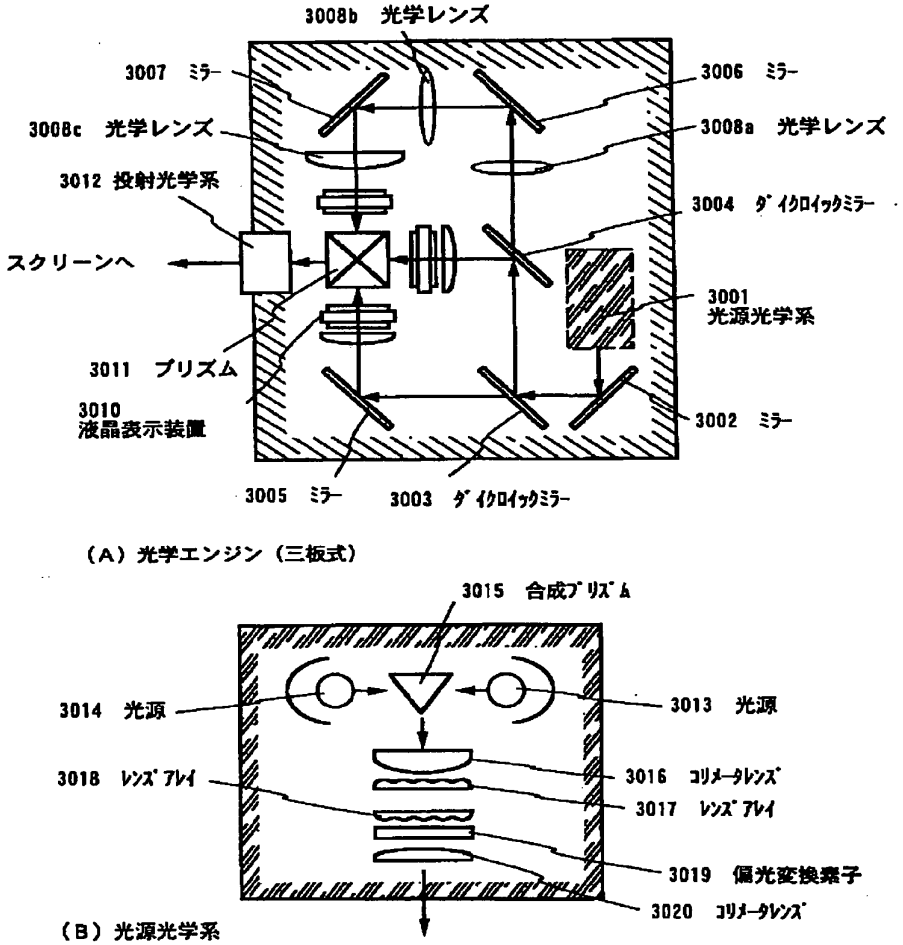
【図22】


2006 アンテナ
2001 本体
2002 音声出力部
2004 表示部
2005
操作スイッチ
2003 音声入力部
(A)
2106 受像部
2104
操作スイッチ
2101 本体
2103
音声入力部
2102 表示部
2105
バッテリー
(B)
2201 本体
2205 表示部
2202 カメラ部
2203
受像部
2204 操作スイッチ
(C)
2301
本体
2303
アーム部
2302
表示部
(D)
2407 スクリーン
2401 本体
2406 リフレクター
2403
液晶表示装置
(E)
2405 リフレクター
2402 光源
2404
偏光ビームスプリッタ
2505
スクリーン
2504
光学系
2501
本体
2502
光源
2503
液晶表示装置
(F)

【図23】


2601 本体
2602 映像入力部
2603 表示部
2604
キーボード
(A)
2705
筐体
2703
表示部
2708
ｾﾝｻ部
2706
表示部
2701
本体
2702
記録媒体
2707
ｾﾝｻ部
2704
ｺﾝﾄﾛｰﾗ
(B)
2802
表示部
2801 本体
2803
スピーカ部
2804
記録媒体
2805
操作スイッチ
(C)
2903
接眼部
2904
操作スイッチ
2901 本体
2902
表示部
(D)

【図24】


3008b 光学レンズ
3007 ミラー
3006 ミラー
3008c 光学レンズ
3008a 光学レンズ
3012 投射光学系
3004 ダイクロイックミラー
スクリーンへ
3001
光源光学系
3011 プリズム
3010
液晶表示装置
3002 ミラー
3005 ミラー
3003 ダイクロイックミラー
（A）光学エンジン（三板式）
3015 合成プリズム
3014 光源
3013 光源
3018 レンズアレイ
3016 コリメータレンズ
3017 レンズアレイ
3019 偏光変換素子
3020 コリメータレンズ
（B）光源光学系

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-267131
(43)Date of publication of application : 29.09.2000

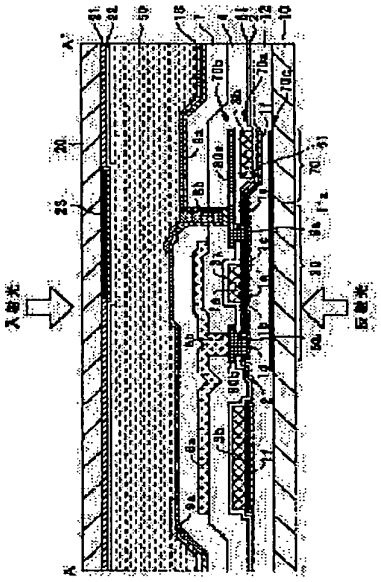
(51)Int.Cl. G02F 1/136
G09F 9/30
H01L 29/786
H01L 21/336

(21)Application number : 11-067168
(22)Date of filing : 12.03.1999

(71)Applicant : SEIKO EPSON CORP
(72)Inventor : MURAIDE MASAO

(54) ELECTRO-OPTICAL DEVICE AND MANUFACTURE THEREOF

(57)Abstract:
PROBLEM TO BE SOLVED: To provide an electro-optical device capable of increasing a numerical aperture of pixels, increasing storage capacitance at the same time and displaying the high quality image, and to provide an easier manufacturing method of such an electro-optical device.
SOLUTION: This electro-optical device is provided with TFTs 30, data lines 6a, scanning lines 3a, capacitance lines 3b, and pixel electrodes 9a on a substrate. The pixel electrodes and the TFTs are connected by two contact holes via a 1st barrier layer 80a. Under the TFTs 30, a 1st conductive shielding film 11a is arranged. 1st storage capacitance 70a is formed of a part of a semiconductor layer and the capacitance lines, 2nd storage capacitance 70b is formed of the capacitance lines and a part of a 1st barrier layer, and 3rd storage capacitance 70c is formed of a part of the semiconductor layer and the 1st shielding film, respectively.



LEGAL STATUS

[Date of request for examination]	16.06.2003
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3711781
[Date of registration]	26.08.2005
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's	

decision of rejection]
[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1] The transistor connected to the substrate at the data line, two or more scanning lines, and two or more of said each data line and said each scanning line, The light-shielding film arranged so that it may be the electro-optic device which has the pixel electrode connected to said transistor, and storage capacitance and may lap with the channel field and flat-surface target of said transistor at least on said substrate, The semi-conductor layer used as the substrate insulator layer formed on said light-shielding film, and the channel field of said transistor formed on this substrate insulator layer and the 1st capacity electrode of said storage capacitance, The gate dielectric film formed on said semi-conductor layer, and the capacity line used as said scanning line formed on said gate dielectric film, and the 2nd capacity electrode of said storage capacitance, The 1st conductive layer which contains the 3rd capacity electrode by which opposite arrangement was carried out through the 1st interlayer insulation film on said 2nd capacity electrode while connecting with said semi-conductor layer, It is the electro-optic device with which it consisted of the same layer as said light-shielding film, said 1st capacity electrode is equipped with the 4th capacity electrode by which opposite arrangement was carried out through said substrate insulator layer, and said substrate insulator layer is characterized by thin-film-izing the 1st capacity electrode and 4th capacity inter-electrode [at least / a part of].
[Claim 2] Said 1st conductive layer is an electro-optic device according to claim 1 characterized by connecting with said pixel electrode through the 2nd contact hole while intervening between said semi-conductor layers and said pixel electrodes and connecting with the drain field of said transistor through the 1st contact hole.
[Claim 3] The electro-optic device according to claim 2 characterized by having further the 2nd conductive layer connected to said data line through the 4th contact hole while intervening between said semi-conductor layers and said data lines and connecting with the source field of said transistor through the 3rd contact hole.
[Claim 4] Said 1st conductive layer and said 2nd conductive layer are an electro-optic device according to claim 3 characterized by consisting of the same film.
[Claim 5] Said light-shielding film is an electro-optic device according to claim 3 or 4 characterized by connecting with the constant potential line which consists of the same film as said data line in the connection field located in the perimeter of the image display field where it has conductivity and each pixel has been arranged.
[Claim 6] Said 1st conductive layer is an electro-optic device given in any 1 term of claims 1-5 characterized by including a refractory metal.
[Claim 7] Said 1st conductive layer is an electro-optic device given in any 1 term of claims 1-6 characterized by being arranged at the side near [data line / said] said substrate.
[Claim 8] At least one of the interlayer insulation films placed between said substrate and said substrate insulator layer list said light-shielding film and said pixel inter-electrode is an electro-optic device given in any 1 term of claims 1-7 characterized by carrying out flattening of the substrate front face of said pixel electrode mostly by becoming depressed and forming at least the part in the non-opening field of

each pixel in a concave.
[Claim 9] It is the manufacture approach of an electro-optic device of manufacturing an electro-optic device according to claim 1. The process which forms said 4th capacity electrode in the location by which opposite arrangement is carried out through said substrate insulator layer at said 1st capacity electrode from the same layer as said light-shielding film at the same time it forms said light-shielding film on said substrate so that it may lap with the channel field and flat-surface target of said transistor at least, and on said light-shielding film The process which forms said substrate insulator layer so that said 1st capacity electrode and said 4th capacity inter-electrode [at least / a part of] may be thin-film-ized, The process which forms said semi-conductor layer so that it may become said channel field and said 1st capacity electrode on said substrate insulator layer, The process which forms said gate dielectric film on said semi-conductor layer, and the process which forms said scanning line and said capacity line on said gate dielectric film, The manufacture approach of the electro-optic device characterized by including the process which forms said 1st conductive layer so that said 3rd capacity electrode may be included, while connecting with said semi-conductor layer.
[Claim 10] The process which is the manufacture approach of an electro-optic device of manufacturing an electro-optic device according to claim 5, and forms said light-shielding film on said substrate, The process which forms said substrate insulator layer by which the part in the part and said connection field of the schedule by which said 3rd storage capacitance is formed on said light-shielding film was thin-film-ized locally, The process which forms said semi-conductor layer on said substrate insulator layer, and the process which forms said gate dielectric film on said semi-conductor layer, The process which forms said scanning line and said capacity line on said gate dielectric film, The process which forms said 1st interlayer insulation film on said scanning line and said capacity line, The process which punctures the 5th contact hole which results in said substrate insulator layer at least to said 1st interlayer insulation film in said connection field, and said gate dielectric film at the same time it punctures said 1st and 3rd contact holes to said 1st interlayer insulation film and said gate dielectric film, The process which forms said 2nd conductive layer so that it may connect with said source field through said 3rd contact hole while forming said 1st conductive layer so that it may connect with said drain field through said 1st contact hole, The process which forms the 2nd interlayer insulation film on said 1st conductive layer and the 2nd conductive layer, The process which punctures the 6th contact hole in said connection field which results in said light-shielding film to said 2nd interlayer insulation film at least at the same time it punctures said 4th contact hole to said 2nd interlayer insulation film, The process which forms said constant potential line so that it may connect with said light-shielding film through said 6th contact hole while forming said data line so that it may connect with said 2nd conductive layer through said 4th contact hole on said 2nd interlayer insulation film, The process which forms the 3rd interlayer insulation film on said data line and said constant potential line, The manufacture approach of the electro-optic device characterized by including the process which punctures said 2nd contact hole to said 2nd interlayer insulation film and 3rd interlayer insulation film, and the process which forms said pixel electrode so that it may connect with said 1st conductive layer through said 2nd contact hole.
[Claim 11] the process at which the process which forms said substrate insulator layer forms the insulator layer of one on said substrate -- this -- the manufacture approach of the electro-optic device according to claim 10 characterized by to include the process which removes the part in the field and said connection field of the schedule in which said 3rd storage capacitance is formed among the insulator layers of 1 by etching, and the process which form other insulator layers on said insulator layer of 1 after the process which removes by said etching.
[Claim 12] the process at which the process which forms said substrate insulator layer forms the insulator layer of one on said substrate -- this -- the manufacture approach of the electro-optic device according to claim 10 characterized by to include the process which removes the part in the field and said connection field of the schedule in which said 3rd storage capacitance is formed among the process which forms other insulator layers on the insulator layer of 1, and these other insulator layers.
[Claim 13] Said insulator layer of 1 is the manufacture approach of the electro-optic device according to claim 12 characterized by a dielectric constant being higher than an insulator layer besides the above.

[Claim 14] Said insulator layer of 1 is the manufacture approach of the electro-optic device according to claim 13 characterized by being a silicon nitride film.
[Claim 15] An insulator layer besides the above is the manufacture approach of the electro-optic device according to claim 13 or 14 characterized by being an oxidation silicone film.
[Claim 16] The manufacture approach of an electro-optic device given in claim 12 characterized by removing by time management at the process which removes an insulator layer besides the above so that it may become desired thickness thru/or any 1 term of 15.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] This invention belongs to the electro-optic device of a active-matrix drive method, and the technical field of the manufacture approach. In order to add especially storage capacitance, while having a capacity line, it is a thin film transistor for a pixel electrode and pixel switching (suitably below Thin Film Transistor:). While calling TFT, it has the conductive layer called the barrier layer for taking an electric flow good, and it belongs to the electro-optic device of the format which prepared the light-shielding film to return light in the TFT bottom used still more suitable for a projector etc., and the technical field of the manufacture approach.
[0002]
[Background of the Invention] Conventionally, if a scan signal is supplied to the gate electrode of TFT through the scanning line in the electro-optic device of the active-matrix drive method by TFT drive, TFT will be made into an ON state and the picture signal supplied to the source field of a semi-conductor layer through the data line will be supplied to a pixel electrode through between the source-drain concerned of TFT. Supply of such a picture signal covers a long time farther than the time amount made into this ON state, and holds the electrical potential difference of each picture signal supplied through TFT since only a short time is extremely performed for every pixel electrode through TFT. Therefore, it is common to each pixel electrode that storage capacitance is added.
[0003]
[Problem(s) to be Solved by the Invention] in this kind of electro-optic device, it becomes very important to increase the storage capacitance which raises a pixel numerical aperture (that is, the pixel opening field which display light penetrates is extended in each pixel to the non-pixel opening field which display light does not penetrate), simultaneously is added to each pixel electrode, a general request called high-definition-izing of a display image being strong, and, for that, making a pixel pitch detailed.
[0004] However, it is fundamentally difficult for a pixel opening field to make storage capacitance. For this reason, the non-pixel opening field which can make storage capacitance the more the more it raises a pixel numerical aperture becomes narrow, or a pixel numerical aperture has the trouble of falling, so that it will carry out, if storage capacitance is increased.
[0005] This invention is made in view of an above-mentioned trouble, while raising a pixel numerical aperture, storage capacitance can be increased, and let it be a technical problem to offer comparatively easily the manufacture approach which can be manufactured for the high-definition electro-optic device in which image display is possible and such a high-definition electro-optic device.
[0006]
[Means for Solving the Problem] The data line of plurality [substrate] in order that the electro-optic device of this invention may solve the above-mentioned technical problem, The transistor connected to the scanning line, and two or more of said each data line and said each scanning line, The light-shielding film arranged so that it may be the electro-optic device which has the pixel electrode connected to said

transistor, and storage capacitance and may lap with the channel field and flat-surface target of said transistor at least on said substrate, The semi-conductor layer used as the substrate insulator layer formed on said light-shielding film, and the channel field of said transistor formed on this substrate insulator layer and the 1st capacity electrode of said storage capacitance, The gate dielectric film formed on said semi-conductor layer, and the capacity line used as said scanning line formed on said gate dielectric film, and the 2nd capacity electrode of said storage capacitance, The 1st conductive layer which contains the 3rd capacity electrode by which opposite arrangement was carried out through the 1st interlayer insulation film on said 2nd capacity electrode while connecting with said semi-conductor layer, It consisted of the same layer as said light-shielding film, said 1st capacity electrode is equipped with the 4th capacity electrode by which opposite arrangement was carried out through said substrate insulator layer, and said substrate insulator layer is characterized by thin-film-izing the 1st capacity electrode and 4th capacity inter-electrode [at least / a part of].

[0007] According to the electro-optic device of this invention, from a semi-conductor layer including a source field, a channel field, and a drain field, and the scanning line containing a gate electrode, the thin film transistor for pixel switching is built for every pixel, the data line is connected to the source field, the 1st conductive layer is relayed to a drain field, and the pixel electrode is connected. And if a scan signal is supplied to a gate electrode through the scanning line and a picture signal is supplied to a source field through the data line at the time of actuation, the thin film transistor for pixel switching will carry out the switching drive of the pixel electrode by supplying a picture signal to a pixel electrode from a drain field via the 1st conductive layer to the supply timing of a scan signal.

[0008] The 1st capacity electrode which consists of a semi-conductor layer especially in this invention, and the 2nd capacity electrode which is a part of capacity line Opposite arrangement is carried out through the insulating thin film containing gate dielectric film, and the 1st storage capacitance is added to the pixel electrode. Opposite arrangement of the 2nd capacity electrode and the 3rd capacity electrode which is a part of 1st conductive layer is carried out through the 1st interlayer insulation film, and the 2nd storage capacitance is added to the pixel electrode. Furthermore, opposite arrangement of the 1st capacity electrode and the 4th capacity electrode which is a part of light-shielding film is carried out through a substrate insulator layer, and the 3rd storage capacitance is added to the pixel electrode. That is, since the 1st to 3rd storage capacitance is added to the pixel electrode connected to the 1st conductive layer, big storage capacitance is added to the pixel electrode. Furthermore, since at least the part by which the substrate insulator layer was pinched by the 1st and 4th capacity inter-electrode at least is thin-film-ized locally, the 3rd storage capacitance concerned in inverse proportion to the thickness of a dielectric film is increasing efficiently. Therefore, the picture signal electrical potential difference supplied to the pixel electrode through a thin film transistor and the 1st conductive layer at the time of the actuation like the above is held by the 3rd storage capacitance with a very high maintenance property from these [1st]. thus, the thing for which big storage capacitance is added to a pixel electrode -- especially, image display high-definition by high contrast becomes possible.

[0009] Moreover, since the configuration by which three storage capacitance was accumulated and parallel connection was carried out in three dimensions into the non-opening field (namely, field through which the light which a thin film transistor, storage capacitance, wiring, etc. are formed in each pixel, and contributes to a display cannot pass) in each pixel restricted very much is adopted, big storage capacitance can be built to the same plane region. That is, storage capacitance can be made to increase, without narrowing the opening field (namely, field through which the light which contributes to a display in each pixel can pass) of each pixel. Thus, by taking a large pixel opening field, bright high-definition image display becomes possible especially.

[0010] Furthermore, it is formed between the semi-conductor layer and the substrate insulator layer, a light-shielding film is seen from a substrate side, and it is that of a wrap about a channel field at least, and since it can prevent incidence, such as return light to a channel field, effectively, it can prevent property degradation of the thin film transistor by generating of optical leak based on the photoelectric effect. Thereby, the high-definition image display from which the cross talk between pixels and the ghost were reduced especially by high contrast becomes possible.

[0011] In addition, since it has a function as the 4th capacity electrode of the 3rd storage capacitance as the light-shielding film was mentioned above with the function which shades a thin film transistor in this way, and a substrate insulator layer has both an original function as substrate film, and a function as a dielectric film (dielectric film especially moreover thin-film-ized) of the 3rd storage capacitance, complication of a laminated structure is not caused.
[0012] Bright high-definition image display becomes possible by high contrast with the electro-optic device of this invention the above result using a comparatively easy configuration.
[0013] In the mode of 1 of the electro-optic device of this invention, said 1st conductive layer intervenes between said semi-conductor layers and said pixel electrodes, and it is connected to said pixel electrode through the 2nd contact hole while connecting with the drain field of said transistor through the 1st contact hole.
[0014] According to this mode, it intervenes between a semi-conductor layer and a pixel electrode, and connects through the drain field and the 1st contact hole of a semi-conductor layer by one side, and the 1st conductive layer is another side and is connected with the pixel electrode through the 2nd contact hole. For this reason, as compared with the case where one contact hole is punctured, the path of a contact hole can be made small from a pixel electrode to a drain field. Therefore, since the hollow and irregularity which are formed in the front face of the 1st conductive layer in the 1st contact hole are also small and end, promoting detailed-ization of a pixel pitch, flattening in the pixel electrode section located in the upper part can be promoted. Furthermore, since the hollow and irregularity which are formed in the front face of the pixel electrode in the 2nd contact hole are also small and end, flattening in this pixel electrode section is promoted. These results, defects, such as disclination in electrooptic material, such as liquid crystal resulting from the hollow and irregularity of a pixel electrode surface, are reduced, and it becomes possible to raise definition, contrast, and brightness further.
[0015] In this mode, it intervenes between said semi-conductor layers and said data lines, and while connecting with the source field of said transistor through the 3rd contact hole, you may have further the 2nd conductive layer connected to said data line through the 4th contact hole.
[0016] Thus, if constituted, it intervenes between a semi-conductor layer and the data line, and connects through the source field and the 3rd contact hole of a semi-conductor layer by one side, and the 2nd conductive layer is another side and is connected with the data line through the 4th contact hole. For this reason, as compared with the case where one contact hole is punctured, the path of a contact hole can be made small from the data line to a source field. Therefore, flattening in the pixel electrode section located above the 3rd and 4th contact holes can be promoted, promoting detailed-ization of a pixel pitch.

[0017] In addition, since the sum total thickness in the laminated structure near the 3rd and 4th contact holes increases by the 2nd conductive layer, reduction also of the hollow on the front face of a substrate of the pixel electrode near the 3rd and 4th contact holes is attained, and the burden of flattening processing is also mitigated.
[0018] These results, defects, such as disclination in electrooptic material, such as liquid crystal resulting from the hollow and irregularity of a pixel electrode surface, are reduced, and it becomes possible to raise definition, contrast, and brightness further.
[0019] Furthermore, protection from light of the source field in near the 3rd and 4th contact holes or a channel field is also attained by forming the 2nd conductive layer from the conductive ingredient of protection-from-light nature. On the other hand, in the manufacture process, in case the 4th contact hole is punctured by etching, etching runs and the 2nd conductive layer is useful to prevention.
[0020] In the mode equipped with this 2nd conductive layer, said 1st conductive layer and said 2nd conductive layer may consist of the same film.
[0021] Since the 1st conductive layer and the 2nd conductive layer consist of the same film, they do not need to make the number of layers in a laminated structure increase superfluously according to this mode. And puncturing of the 1st contact hole and the 3rd contact hole is attained at the same etching process, and they become advantageous on a manufacture process.
[0022] Furthermore, in the mode equipped with these 2nd conductive layer, said light-shielding film has

conductivity and may be connected to the constant potential line which consists of the same film as said data line in the connection field located in the perimeter of the image display field where each pixel has been arranged.
[0023] According to this mode, let a conductive light-shielding film be constant potential by connecting with a constant potential line. For this reason, the property of the thin film transistor formed on it through a substrate insulator layer is not degraded by potential fluctuation in the light-shielding film concerned, and it may function on coincidence good as the 4th capacity electrode of the 3rd storage capacitance. Furthermore, in the manufacture process, since a constant potential line consists of the same film as the data lines, such as for example, aluminum film, since it also becomes possible to puncture the contact hole which connects a conductive light-shielding film and a constant potential line in the connection (that is, it is in boundary region) field located around an image display field at to puncture the 4th contact hole in an image display field and coincidence, it is advantageous on a manufacture process.
[0024] In other modes of the electro-optic device of this invention, said 1st conductive layer contains a refractory metal.
[0025] According to this mode, the 1st conductive layer consists of a metal simple substance which contains at least one of Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb(s) (lead) which are an opaque refractory metal, for example, an alloy, metal silicide, etc. For this reason, a conductive layer is destroyed by high temperature processing, or it can avoid fusing by it.
[0026] In other modes of the electro-optic device of this invention, said 1st conductive layer is arranged at the side near [data line / said] said substrate.
[0027] In this mode, as for the 1st conductive layer, since it is arranged at the side near [data line] a substrate, in order to stop the parasitic capacitance between the data lines, the scanning lines, etc. which cause the voltage drop of the picture signal used as causes, such as a flicker, the thickness of the 2nd interlayer insulation film used as the substrate of the data line in which fixed thickness is required can carry out [thin film]-izing of the 1st interlayer insulation film which intervenes between the 1st conductive layer and the 2nd capacity electrode independently. Therefore, it becomes possible to make the capacity value which is in inverse proportion to the thickness of a dielectric film in the 2nd storage capacitance increase very efficiently. In addition, since the path of the 1st contact hole can be made still smaller by forming the 1st interlayer insulation film thinly in this way, the hollow and irregularity of the 1st conductive layer in the 1st contact hole mentioned above are still smaller, it ends, and flattening in the pixel electrode located in the upper part is promoted further. Therefore, the defect of the electrooptic material resulting from the hollow and irregularity in a pixel electrode is reduced, and final much more high-definition image display becomes possible.
[0028] In other modes of the electro-optic device of this invention, flattening of the substrate front face of said pixel electrode is mostly carried out by at least the part in the non-opening field of each pixel becoming depressed in a concave, and forming at least one of the interlayer insulation films placed between said substrate and said substrate insulator layer list said light-shielding film and said pixel inter-electrode.
[0029] According to this mode, since at least a part [in / in at least one of a substrate, a substrate insulator layer, and interlayer insulation films / the non-opening field of each pixel] becomes depressed in a concave and it is formed, the level difference to other fields of the field where a thin film transistor, the scanning line, a capacity line, etc. are formed in the data line in piles is reduced. Thus, since flattening of the substrate front face of a pixel electrode is carried out mostly, flattening of the pixel electrode can be carried out further, defects, such as disclination in electrooptic material, such as liquid crystal resulting from the hollow and irregularity of a pixel electrode surface, are reduced, and, finally high-definition image display becomes possible.
[0030] In order that the manufacture approach of the 1st electro-optic device of this invention may solve the above-mentioned technical problem It is the manufacture approach of an electro-optic device of manufacturing the electro-optic device of this invention mentioned above. The process which forms said 4th capacity electrode in the location by which opposite arrangement is carried out through said

substrate insulator layer at said 1st capacity electrode from the same layer as said light-shielding film at the same time it forms said light-shielding film on said substrate so that it may lap with the channel field and flat-surface target of said transistor at least, and on said light-shielding film The process which forms said substrate insulator layer so that said 1st capacity electrode and said 4th capacity inter-electrode [at least / a part of] may be thin-film-ized, The process which forms said semi-conductor layer so that it may become said channel field and said 1st capacity electrode on said substrate insulator layer, The process which forms said gate dielectric film on said semi-conductor layer, the process which forms said scanning line and said capacity line on said gate dielectric film, and the process which forms said 1st conductive layer so that said 3rd capacity electrode may be included, while connecting with said semi-conductor layer are included.

[0031] Since according to the manufacture approach of the 1st electro-optic device of this invention a substrate insulator layer is formed so that the 4th capacity electrode can be formed and the 1st capacity electrode and 4th capacity inter-electrode [at least / a part of] may be thin-film-ized after that at the same time it forms a light-shielding film, it is a comparatively small routing counter, and the electro-optic device of this invention mentioned above can be manufactured using a comparatively easy process, and low cost-ization can be promoted.

[0032] In order that the manufacture approach of the 2nd electro-optic device of this invention may solve the above-mentioned technical problem The process which the light-shielding film of this invention mentioned above is the manufacture approach of an electro-optic device of manufacturing the electro-optic device of a mode connected to the constant potential line, and forms said light-shielding film on said substrate, The process which forms said substrate insulator layer by which the part in the part and said connection field of the schedule by which said 3rd storage capacitance is formed on said light-shielding film was thin-film-ized locally, The process which forms said semi-conductor layer on said substrate insulator layer, and the process which forms said gate dielectric film on said semi-conductor layer, The process which forms said scanning line and said capacity line on said gate dielectric film, The process which forms said 1st interlayer insulation film on said scanning line and said capacity line, The process which punctures the 5th contact hole which results in said substrate insulator layer at least to said 1st interlayer insulation film in said connection field, and said gate dielectric film at the same time it punctures said 1st and 3rd contact holes to said 1st interlayer insulation film and said gate dielectric film, The process which forms said 2nd conductive layer so that it may connect with said source field through said 3rd contact hole while forming said 1st conductive layer so that it may connect with said drain field through said 1st contact hole, The process which forms the 2nd interlayer insulation film on said 1st conductive layer and the 2nd conductive layer, The process which punctures the 6th contact hole in said connection field which results in said light-shielding film to said 2nd interlayer insulation film at least at the same time it punctures said 4th contact hole to said 2nd interlayer insulation film, The process which forms said constant potential line so that it may connect with said light-shielding film through said 6th contact hole while forming said data line so that it may connect with said 2nd conductive layer through said 4th contact hole on said 2nd interlayer insulation film, The process which forms the 3rd interlayer insulation film on said data line and said constant potential line, the process which punctures said 2nd contact hole to said 2nd and 3rd interlayer insulation films, and the process which forms said pixel electrode so that it may connect with said 1st conductive layer through said 2nd contact hole are included.

[0033] According to the manufacture approach of the 2nd electro-optic device of this invention, a substrate insulator layer The part in the field and connection field of a schedule in which the 3rd storage capacitance is formed is locally thin-film-ized by coincidence. Furthermore, since the 5th contact hole is punctured by coincidence at the time of the 1st and 3rd contact hole puncturing and the 6th contact hole is punctured by coincidence at the time of the 4th contact hole puncturing Connection between the constant potential line in a boundary region and a conductive light-shielding film can be made to other various processes and coincidence in an image display field. Since the 2nd conductive layer functions as a stopper to etching in the 4th contact hole even if etching in the 4th KONTATO hole is continued until the 6th contact hole is further punctured completely after the 4th contact hole is punctured especially

completely, the thrust omission to the semi-conductor layer which exists caudad can be prevented.
[0034] Since the exclusive process for connecting a conductive light-shielding film to a constant potential line is not needed the above result, it is advantageous on a manufacture process, and it is a comparatively small routing counter, and the electro-optic device which has the light-shielding film fixed to constant potential can be manufactured using a comparatively easy process, and low cost-ization can be promoted.
[0035] the process from which the process which forms said substrate insulator layer forms the insulator layer of one on said substrate in the mode of 1 of the manufacture approach of the 2nd electro-optic device of this invention -- this -- the process which removes the part in the field and said connection field of the schedule in which said 3rd storage capacitance is formed among the insulator layers of 1 by etching, and the process which form other insulator layers on said insulator layer of 1 after the process which removes by said etching include.
[0036] According to this mode, in the process which forms a substrate insulator layer, insulator layers of 1, such as for example, an oxidation silicone film, are first formed on a substrate. next -- this -- the part in the field and connection field of a schedule in which the 3rd storage capacitance is formed among the insulator layers of 1 is removed by etching. Next, other insulator layers, such as silicon nitride films of a different class, such as an oxidation silicone film of the same class as the insulator layer of 1, are formed on this insulator layer of 1. Consequently, it is formed in the field and connection field of a schedule in which the 3rd storage capacitance is formed for the substrate insulator layer part locally thin-film-ized by the same thickness as other insulator layers. Thus, since the thickness of the substrate insulator layer part thin-film-ized locally is controlled not by etching but by thin film formation, it is made very thinly and uniformly.
[0037] or the process from which the process which forms said substrate insulator layer forms the insulator layer of one on said substrate in other modes of the 2nd electro-optic device of this invention -- this -- the process which removes the part in the field and said connection field of the schedule in which said 3rd storage capacitance is formed among the process which forms other insulator layers on the insulator layer of 1, and these other insulator layers is included. In this case, as for said insulator layer of 1, it is desirable that it is a silicon nitride film. moreover -- said -- others -- as for an insulator layer, it is desirable that it is an oxidation silicone film.
[0038] According to this mode, in the process which forms a substrate insulator layer, insulator layers of 1, such as a silicon nitride film, are first formed on a substrate. Next, other insulator layers, such as an oxidation silicone film of a different class from the insulator layer of 1, are formed on this insulator layer of 1. Next, the part in the field and connection field of a schedule in which the 3rd storage capacitance is formed among these other insulator layers is removed by etching. under the present circumstances -- since the etching rate to other insulator layers is removed by etching higher than the etching rate to the insulator layer of 1, even if it makes thickness of the insulator layer of 1 very thin -- etching -- this -- the situation which runs through the insulator layer of 1 can be avoided easily. Consequently, compared with the insulator layer of 1, it is almost the same, or is formed in the field and connection field of a schedule in which the 3rd storage capacitance is formed for the substrate insulator layer part locally thin-film-ized by even thickness thin a little. Thus, since the thickness of the substrate insulator layer part thin-film-ized locally is governed by not etching but thin film formation, it is made very thinly and uniformly.
[0039] In addition, after forming a single insulator layer, the field and connection field of a schedule in which the 3rd storage capacitance is formed are etched, and you may make it the substrate insulator layer part in these fields serve as desired thickness by the time management of the etching concerned at the process which forms a substrate insulator layer.
[0040] In this mode, said insulator layer of 1 may have a dielectric constant higher than an insulator layer besides the above.
[0041] In this case, especially, a dielectric constant is high as an insulating layer of 1, for example, if a silicon nitride film is formed, since the dielectric constant of the dielectric part of the 3rd storage capacitance will be raised, the 3rd storage capacitance can be increased very efficiently.

[0042] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.
[0043]
[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing.
[0044] (The 1st operation gestalt of an electro-optic device) The configuration of the liquid crystal equipment which is the 1st operation gestalt of the electro-optic device by this invention is explained with reference to drawing 4 from drawing 1 . Drawing 1 is equal circuits, such as various components in two or more pixels formed in the shape of [which constitutes the image display field of liquid crystal equipment] a matrix, and wiring, it is the top view in which drawing 2 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, the pixel electrode, the light-shielding film, etc. were formed adjoins each other, and shows the connection of a light-shielding film and a constant potential line, and drawing 4 is the A-A' sectional view of drawing 2 . [in / in drawing 3 / a boundary region] In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 4 .
[0045] In drawing 1 , two or more formation of TFT30 for two or more pixels formed in the shape of [which constitutes the image display field of the liquid crystal equipment in this operation gestalt] a matrix to control pixel electrode 9a is carried out at the shape of a matrix, and data-line 6a to which a picture signal is supplied is electrically connected to the source concerned of TFT30. The picture signals S1, S2, --, Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoin each other. Moreover, scanning-line 3a is electrically connected to the gate of TFT30, and it consists of predetermined timing so that the scan signals G1, G2, --, Gm may be impressed to scanning-line 3a in pulse line sequential at this order. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in liquid crystal through pixel electrode 9a is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later). When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. According to the electrical potential difference impressed when it was in no MARI White mode, passage of this liquid crystal part of incident light is made impossible, if it is in NOMA reeve rack mode, according to the impressed electrical potential difference, passage of this liquid crystal part of incident light will be enabled, and light with the contrast according to a picture signal will carry out outgoing radiation from liquid crystal equipment as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode. For example, as for the electrical potential difference of pixel electrode 9a, only time amount also with triple figures longer than the time amount to which the source electrical potential difference was impressed is held with storage capacitance 70. Thereby, it is improved further and a maintenance property can realize the high liquid crystal equipment of a contrast ratio.
[0046] In drawing 2 , on the TFT array substrate of liquid crystal equipment, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a, scanning-line 3a, and capacity line 3b are prepared respectively along the boundary of pixel electrode 9a in every direction. Pixel electrode 9a relays 1st barrier layer 80a which constitutes an example of the 1st conductive layer formed in the field shown with the slash of a drawing Nakamigi riser, and electrical connection is carried out to the below-mentioned drain field among semi-conductor layer 1a through 1st contact hole 8a and 2nd contact hole 8b. Electrical connection of the data-line 6a is carried out to the below-mentioned source field among semi-conductor layer 1a which relays 2nd barrier layer 80b which constitutes an example of the 2nd conductive layer formed in the field shown with the slash of a drawing Nakamigi riser, and consists of polish recon film etc. through 3rd contact hole 5a and

4th contact hole 5b. Moreover, scanning-line 3a is arranged so that channel field 1a' (field of the slash of drawing Nakamigi going down) may be countered among semi-conductor layer 1a, and scanning-line 3a functions as a gate electrode. Thus, TFT30 by which opposite arrangement of the scanning-line 3a was carried out as a gate electrode is formed in the crossing part of scanning-line 3a and data-line 6a at channel field 1a', respectively.
[0047] Capacity line 3b has the main track section mostly extended in the shape of a straight line along with scanning-line 3a, and the lobe projected to the preceding paragraph side (inside of drawing, facing up) along with data-line 6a from the part which intersects data-line 6a.
[0048] Moreover, 1st light-shielding film 11a is prepared in the field shown by the thick wire in drawing, respectively so that it may pass along scanning-line 3a, capacity line 3b, and the TFT30 bottom. in drawing 2 , the part which intersects data-line 6a more specifically forms 1st light-shielding film 11a in the method of drawing Nakashita broadly, respectively while it is formed in the shape of stripes along with scanning-line 3a -- having -- **** -- this broad part -- every -- TFT -- channel field 1a' is seen from a TFT array substrate side at least, and it is prepared in the wrap location, respectively.
[0049] In drawing 3 , 1st light-shielding film 11a shown in drawing 2 is installed even in a boundary region by the boundary region located around the **** image display field shown in drawing 2 on a TFT array substrate through the bottom of scanning-line 3a and capacity line 3b, and is pulled out as protection-from-light wiring 11b. Moreover, constant potential line 6b formed in the boundary region from the same film as data-line 6a, such as aluminum film, is wired. these -- protection from light -- wiring -- 11 -- b -- constant -- potential -- a line -- six -- b -- the after-mentioned -- like -- image display -- a field -- the -- three -- a contact hole -- five -- a -- the same -- etching -- a process -- puncturing -- having had -- the -- five -- a contact hole -- five -- a -- ' -- once -- an interlayer insulation film -- burying -- having had -- after -- the same -- a location -- further -- the -- four -- a contact hole -- five -- b -- the same -- etching -- a process -- puncturing -- having had -- the -- six -- a contact hole -- five -- b -- ' -- minding -- mutual -- connecting -- having -- **** . Moreover, in the rectangle field surrounded with the broken line which contains 6th contact hole 5b' especially in drawing 3 , the below-mentioned substrate insulator layer becomes depressed in a concave, the hollow 62 is formed, and the substrate insulator layer concerned is relatively formed in fields other than hollow 62 convex (to plane).
[0050] Next, as shown in the sectional view of drawing 4 , liquid crystal equipment is equipped with the TFT array substrate 10 which constitutes an example of the substrate of while it is transparence, and the opposite substrate 20 which it is the transparence by which opposite arrangement is carried out at this, and also constitutes an example of the substrate of a way. The TFT array substrate 10 consists of for example, a quartz substrate, a glass substrate, or a silicon substrate, and the opposite substrate 20 consists of a glass substrate or a quartz substrate. Pixel electrode 9a is prepared in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Pixel electrode 9a consists of transparent conductive thin films, such as for example, ITO (Indium Tin Oxide) film. Moreover, the orientation film 16 consists of organic thin films, such as for example, a polyimide thin film.
[0051] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode (common electrode) 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive thin films, such as for example, ITO film. Moreover, the orientation film 22 consists of organic thin films, such as a polyimide thin film.
[0052] TFT30 for pixel switching which carries out switching control of each pixel electrode 9a is formed in the location which adjoins each pixel electrode 9a at the TFT array substrate 10.
[0053] As further shown in the opposite substrate 20 at drawing 4 , the 2nd light-shielding film 23 called a black mask or a black matrix is formed in the non-opening field of each pixel. For this reason, incident light does not invade into channel field 1a' of semi-conductor layer 1a of TFT30 for pixel switching, low concentration source field 1b, and low concentration drain field 1c from the opposite substrate 20 side. Furthermore, the 2nd light-shielding film 23 has functions, such as color mixture prevention of the color material at the time of forming improvement in contrast, and a color filter.

[0054] Thus, it is constituted, and between the TFT array substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and a counterelectrode 21 may meet, the liquid crystal which is an example of electrooptic material is enclosed with the space surrounded by the below-mentioned sealant, and the liquid crystal layer 50 is formed. The liquid crystal layer 50 takes a predetermined orientation condition with the orientation film 16 and 22 in the condition that the electric field from pixel electrode 9a are not impressed. The liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds. It is the adhesives which consist of a photo-setting resin or thermosetting resin in order that a sealant may stick the TFT array substrate 10 and the opposite substrate 20 around those, and gap material (spacer), such as glass fiber for making distance between both substrates into a predetermined value or a glass bead, is mixed.
[0055] Furthermore, as shown in drawing 4 , in the location which counters TFT30 for pixel switching respectively, 1st light-shielding film 11a is prepared between the TFT array substrate 10 and each TFT30 for pixel switching. 1st light-shielding film 11a consists of a metal simple substance containing at least one of Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb(s) (lead) which are a desirable opaque refractory metal, an alloy, metal silicide, etc. If constituted from such an ingredient, 1st light-shielding film 11a is destroyed by high temperature processing in the formation process of TFT30 for pixel switching performed after the formation process of 1st light-shielding film 11a on the TFT array substrate 10, or it can avoid fusing by it. Since 1st light-shielding film 11a is formed, the situation which carries out incidence to channel field 1a' of TFT30 for pixel switching which the reflected light (return light) from the TFT array substrate 10 side etc. tends to excite to light, low concentration source field 1b, and low concentration drain field 1c can be prevented, and the property of TFT30 for pixel switching does not deteriorate according to generating of the leakage current resulting from light.
[0056] Furthermore, the substrate insulator layer 12 is formed between 1st light-shielding film 11a and two or more TFT30 for pixel switching. The substrate insulator layer 12 is formed in order to insulate electrically semi-conductor layer 1a which constitutes TFT30 for pixel switching from 1st light-shielding film 11a. Furthermore, the substrate insulator layer 12 also has a function as substrate film for TFT30 for pixel switching by being formed all over the TFT array substrate 10. That is, it has the function to prevent degradation of the property of TFT30 for pixel switching with the dry area at the time of polish of the front face of the TFT array substrate 10, the dirt which remains after washing. The substrate insulator layer 12 consists of high insulation glass, such as NSG (non doped silicate glass), PSG (phosphorus silicate glass), BSG (boron silicate glass), and BPSG (boron phosphorus silicate glass), or an oxidation silicone film, a silicon nitride film, etc. The substrate insulator layer 12 can also protect the situation where 1st light-shielding film 11a pollutes the TFT30 grade for pixel switching.
[0057] With this operation gestalt, 1st storage capacitance 70a is built by installing semi-conductor layer 1a from high concentration drain field 1e, considering as the 1f of the 1st capacity electrodes, using as the 2nd capacity electrode a part of capacity line 3b which counters this, and using the insulating thin film 2 as a dielectric film pinched by the 1st capacity electrode and the 2nd capacity inter-electrode. Furthermore, 2nd storage capacitance 70b is built by using a part of this 2nd capacity electrode and 1st barrier layer 80a which counters as the 3rd capacity electrode, and using the 1st interlayer insulation film 81 prepared in the 2nd capacity electrode and the 3rd capacity inter-electrode as a dielectric film. Furthermore, when opposite arrangement is carried out through the substrate insulator layer 12, namely, the 1f of the 1st capacity electrodes and the 4th capacity electrode which is a part of 1st light-shielding film 11a use the substrate insulator layer 12 as dielectric films, 3rd storage capacitance 70c is built.
[0058] Thus, since the storage capacitance 70 which consists of 1st storage capacitance 70a, 2nd storage capacitance 70b, and 3rd storage capacitance 70c is added to pixel electrode 9a connected to 1st barrier layer 80a, as compared with the case where only 1st storage capacitance 70a like the conventional example is added, the, far big storage capacitance 70 can be added to pixel electrode 9a.
[0059] Especially about 3rd storage capacitance 70c, the hollow 61 of the concave which becomes depressed and is formed at the same process like 62 and the after-mentioned explained to the part which constitutes the dielectric film of 3rd storage capacitance 70c pinched by the 4th capacity inter-electrode

which consists of the 1f of the 1st capacity electrodes and 1st light-shielding film 11a by drawing 3 is formed in the substrate insulator layer 12. That is, since the dielectric film part of 3rd storage capacitance 70c is thin-film-ized locally, while being proportional to surface area, the 3rd storage capacitance 70 in inverse proportion to the thickness of a dielectric film is increasing efficiently. In addition, since it has both the function which shades TFT30, and a function as an electrode for storage capacitance electrode formation of 3rd storage capacitance 70c and the substrate insulator layer 12 also has both an original function as substrate film, and a function as a dielectric film of 3rd storage capacitance 70c, 1st light-shielding film 11a does not cause complication of a laminated structure.

[0060] Moreover, about 1st storage capacitance 70a, since the insulating thin film 2 as the dielectric film is exactly gate dielectric film of TFT30 formed on the polish recon film of high temperature oxidation etc., it can be made into the thin insulator layer of high pressure-proofing, and can constitute 1st storage capacitance 70a from small area as mass storage capacitance comparatively.

[0061] Furthermore, since the 1st interlayer insulation film 81 as the dielectric film can be thinly formed like the insulating thin film 2 about 2nd storage capacitance 70b, 2nd storage capacitance 70b can consist of small area as mass storage capacitance comparatively using the field between data-line 6a which adjoin each other as shown in drawing 2 .

[0062] Furthermore, the insulating thin film 2, the 1st interlayer insulation film 81, and the substrate insulator layer 12 which are each dielectric film about 1st storage capacitance 70a, 2nd storage capacitance 70b, and 3rd storage capacitance 70c are all a different dielectric film again in the 2nd interlayer insulation film 4 which intervenes between data-line 6a and scanning-line 3b. Therefore, in order to stop the parasitic capacitance between data-line 6a which causes the voltage drop of the picture signal used as causes, such as a flicker, and scanning-line 3a, the 2nd interlayer insulation film 4 which needs fixed thickness may constitute each [these] dielectric film thinly to a technical limitation independently. For this reason, it becomes possible to make each capacity value in inverse proportion to the thickness of a dielectric film increase very efficiently. What is necessary is just to form a very thin dielectric film with the thickness of about 200nm or 100nm or less thinner than the insulating thin film 2, on condition that defects, such as a film tear, do not arise since unique phenomena, such as the tunnel effect, will not occur if it incidentally constitutes not much thinly like the insulating thin film 2 in TFT30 for pixel switching.

[0063] As explained above, according to this operation gestalt, in the limited non-opening field in each pixel shown in drawing 2 each -- large capacity, since the configuration to which 1st storage capacitance 70a [-izing / a], 2nd storage capacitance 70b, and 3rd storage capacitance 70c were accumulated in three dimensions, and parallel connection was carried out is adopted As compared with the case where only the 1st storage capacitance like the conventional example is prepared in the same Hiranai, far big storage capacitance can be built to the same plane region. Furthermore, the storage capacitance 70 of such a spacial configuration is further increased by using effectively the tooth space which separated from a pixel opening field called the field under data-line 6a, and the field (namely, field in which capacity line 3b was formed) which the disclination of liquid crystal generates along with scanning-line 3a. Therefore, since the picture signal supplied to pixel electrode 9a through TFT30 and 1st barrier layer 80a at the time of actuation of the liquid crystal equipment concerned like the above-mentioned is held by storage capacitance 70 with a very high maintenance property by making storage capacitance 70 increase, without narrowing the opening field of each pixel, image display high-definition by high contrast becomes possible, and, moreover, bright image display becomes possible by the large opening field.

[0064] In drawing 4 TFT30 for pixel switching It has LDD (Lighty Doped Drain) structure. Channel field 1a' of semi-conductor layer 1a in which a channel is formed of the electric field from scanning-line 3a and concerned scanning-line 3a, 1d list of high concentration source fields of low concentration source field 1b of the insulating thin film 2 and data-line 6a which insulate scanning-line 3a and semi-conductor layer 1a, and semi-conductor layer 1a and low concentration drain field 1c, and semi-conductor layer 1a is equipped with high concentration drain field 1e. One to which it corresponds of two or more pixel electrode 9a relays 1st barrier layer 80a to high concentration drain field 1e, and it is

connected to it. Low concentration drain field 1c and high concentration drain field 1e are formed in low concentration source field 1b and 1d list of high concentration source fields to semi-conductor layer 1a like the after-mentioned by doping the impurity ion the object for n molds of predetermined concentration, or for p molds according to whether the channel of n mold or p mold is formed. this operation gestalt -- especially -- data-line 6a -- aluminum etc. -- low -- it consists of protection-from-light nature and conductive thin films, such as metal membrane metallurgy group silicide [****]. [, such as alloy film,]

[0065] 1st contact hole 8a which leads to 3rd contact hole 5a and high concentration drain field 1e which lead to 1d of high concentration source fields is respectively formed in the 1st interlayer insulation film 81 prepared on scanning-line 3a and capacity line 3b.

[0066] On the 1st interlayer insulation film 81, 2nd barrier layer 80b connected to 1d of high concentration source fields through 1st barrier layer 80a and 3rd contact hole 5a which were connected to high concentration drain field 1e through 1st contact hole 8a is formed from the same electric conduction film.

[0067] The 2nd interlayer insulation film 4 is formed on 1st barrier layer 80a and 2nd barrier layer 80b. Electrical connection of the data-line 6a is carried out to 2nd barrier layer 80b through 4th contact hole 5b punctured by the 2nd interlayer insulation film 4.

[0068] Furthermore, on data-line 6a and the 2nd interlayer insulation film 4, the 3rd interlayer insulation film 7 with which 2nd contact hole 8b to 1st barrier layer 80a was formed is formed. Electrical connection of the pixel electrode 9a is carried out to 1st barrier layer 80a through 2nd contact hole 8b. The above-mentioned pixel electrode 9a is prepared in the top face of the 3rd interlayer insulation film 7 constituted in this way.

[0069] Although TFT30 for pixel switching has LDD structure as mentioned above preferably, it may be TFT of the self aryne mold which may have the offset structure which does not drive impurity ion into low concentration source field 1b and low concentration drain field 1c, drives in impurity ion by high concentration by using as a mask the gate electrode which is a part of scanning-line 3a, and forms 1d of high concentration source fields, and high concentration drain field 1e in self align.

[0070] Moreover, although considered as the single gate structure which has arranged one gate electrode 3a which consists of a part of scanning-line 3a of TFT30 for pixel switching among 1d [of high concentration source fields], and high concentration drain field 1e with this operation gestalt, two or more gate electrodes may be arranged among these. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a channel and a source drain field joint can be prevented, and the current at the time of OFF can be reduced. If at least one of these gate electrodes is made into LDD structure or offset structure, the OFF state current can be reduced further and the stable switching element can be obtained.

[0071] Next, 1st barrier layer 80a is explained further.

[0072] As shown in drawing 2 and drawing 4 , 1st barrier layer 80a intervenes between conductor-layer 1a and pixel electrode 9a, and carries out electrical connection of high concentration drain field 1e and the pixel electrode 9a via 1st contact hole 8a and 2nd contact hole 8b.

[0073] For this reason, as compared with the case where one contact hole is punctured, the path of 1st contact hole 8a and 2nd contact hole 8b can be made small, respectively to the drain field of pixel electrode 9a to semi-conductor layer 1a. That is, etching precision must stop the dry etching which can make the path of a contact hole small on the way, and when puncturing one contact hole, in order to fall (for example, in order to prevent the thrust omission in about 50nm very thin semi-conductor layer 1a), it must construct a process so that it may finally puncture to semi-conductor layer 1a by wet etching, so that a contact hole will be punctured deeply, if the selection ratio at the time of etching is low. Or it will be necessary to be based on dry etching, to run and to prepare the polish recon film for prevention separately.

[0074] On the other hand, with this operation gestalt, since what is necessary is just to connect pixel electrode 9a and high concentration drain field 1e by two in-series 1st contact hole the 8a and 2nd contact hole 8b, it becomes possible to puncture these 1st contact hole 8a and 2nd contact hole 8b by dry

etching, respectively. Or it becomes possible to shorten distance punctured by wet etching at least. However, in order to attach some taper to 1st contact hole 8a and 2nd contact hole 8b, respectively, it may dare to be made to perform short-time wet etching after dry etching comparatively. Since the hollow and irregularity which the path of 1st contact hole 8a and 2nd contact hole 8b can be made small, respectively, and are formed in the front face of 1st barrier layer 80a in 1st contact hole 8a are also small and end according to this operation gestalt as mentioned above, flattening in the part of pixel electrode 9a located in the upper part is promoted. Furthermore, since the hollow and irregularity which are formed in the front face of pixel electrode 9a in 2nd contact hole 8b are also small and end, flattening in the part of this pixel electrode 9a is promoted. Furthermore, with this operation gestalt, the path of 2nd contact hole 8a can be made still smaller by forming the 1st interlayer insulation film 81 thinly in this way.

[0075] Next, 2nd barrier layer 80b is explained further.

[0076] As shown in drawing 2 and drawing 4 , 2nd barrier layer 80b is connected to data-line 6a through 4th contact hole 5b while connecting with 1d of high concentration source fields through 3rd contact hole 5a. Therefore, as compared with the case where one contact hole is punctured, the path of a contact hole can be made small from data-line 6a to 1d of high concentration source fields. Therefore, flattening in the pixel electrode 9a part located above 3rd contact hole 5a and 4th contact hole 5b can be promoted, promoting detailed-ization of a pixel pitch. In addition, the sum total thickness in the laminated structure 3rd contact hole 5a and near 4th contact hole 5b increases by 2nd barrier layer 80b. If there was no 2nd barrier layer 80b temporarily here, since the sum total thickness these 3rd contact hole 5a and near 4th contact hole 5b becomes small as compared with the sum total thickness in the field in which data-line 6a of that perimeter, scanning-line 3a, and TFT30 grade were formed in piles (comparatively large), the substrate front face of pixel electrode 9a will become depressed near this, or that flattening processing is needed. However, with this operation gestalt, since the sum total thickness in the laminated structure 3rd contact hole 5a and near 4th contact hole 5b increases by 2nd barrier layer 80b, reduction also of the depression on the front face of a substrate of pixel electrode 9a of the neighborhood is attained, and the burden of flattening processing is also mitigated. These results, defects, such as disclination in the liquid crystal layer 50 resulting from the hollow and irregularity of a pixel electrode 9a front face, are reduced, and it becomes possible to raise definition, contrast, and brightness further.

[0077] Furthermore, protection from light of 3rd contact hole 5a and 1d of high concentration source fields in near 4th contact hole 5b, low concentration source field 1b, and channel field 1a' is also attained by forming 2nd barrier layer 80b from the conductive ingredient of protection-from-light nature. By data-line 6a generally formed from metal membranes, such as aluminum film, although it is possible to shade this neighborhood Since the phenomenon in which aluminum film etc. becomes thin rather than a mask pattern occurs frequently by surroundings lump (halation) of the light in the exposure phase which carries out pattern NINGU of the aluminum film etc. since 2nd barrier layer 80b performs redundancy-protection from light to the light which passes through the sides, such as aluminum film which became thin at that time, (refer to drawing 2), the protection-from-light engine performance in this field is markedly alike, and is raised.

[0078] On the other hand, in the manufacture process like the after-mentioned, in case 4th contact hole 5b is punctured by etching, etching runs and 2nd barrier layer 80b is useful also to prevention.

[0079] In addition, if 1st barrier layer 80a and 2nd barrier layer 80b are formed from the same film like this operation gestalt, since these can be formed in coincidence at the same process and it can carry out puncturing possible [of 1st contact hole 8a and the 3rd contact hole 5a] at the same etching process to the insulating thin film 2 further, it becomes advantageous on a manufacture process. Moreover, in order not to make the number of layers in a laminated structure increase superfluously, equipment dependability also improves.

[0080] As a concrete ingredient of 1st barrier layer 80a and 2nd barrier layer 80b, the metal simple substance containing at least one of Ti, Cr, W, Ta, Mo, and Pb(s) which are an opaque refractory metal, an alloy, metal silicide, etc. are mentioned, for example. If constituted from these, these are destroyed by high temperature processing performed after the formation process of 1st barrier layer 80a and 2nd

barrier layer 80b, or it can avoid fusing by it. Furthermore, since a refractory metal does not corrode even if such a refractory metal and the ITO film which constitutes pixel electrode 9a contact, good electrical connection is obtained through 2nd contact hole 8b between 1st barrier layer 80a and pixel electrode 9a.
[0081] However, 1st barrier layer 80a and 2nd barrier layer 80b may consist of conductive polish recon film. Even in this case, the function to which storage capacitance 70 is made to increase, and a junction function can fully be demonstrated. In this case, since it is especially hard coming to generate the stress by heat etc. between the 1st interlayer insulation film 81, it is useful to crack prevention. Or 1st barrier layer 80a and 2nd barrier layer 80b may consist of same aluminum film as data-line 6a etc.
[0082] Moreover, as for the thickness of 1st barrier layer 80a and 2nd barrier layer 80b, it is desirable to consider for example, as 50nm or more 500nm or less extent. or [that possibility of running at the time of puncturing of 2nd contact hole 8b in a manufacture process and 4th contact hole 5b if there is thickness of about 50nm becomes low, and the irregularity of the front face of pixel electrode 9a will not pose a problem if it is about 500nm] -- or it is because flattening is comparatively easily possible. However, if 1st barrier layer 80a and 2nd barrier layer 80b are constituted from refractory metal film or its alloy film, since the selection ratios in etching with a metal membrane and an interlayer insulation film differ greatly, most possibility by the dry etching like the above-mentioned of running cannot be found.
[0083] As especially the operation gestalt explained above showed to drawing 3 , since it is pulled out as protection-from-light wiring 11b by the boundary region on the TFT array substrate 10 and connects with constant potential line 6b, 1st light-shielding film 11a is fixed to fixed potential. For this reason, the property of TFT30 formed on 1st light-shielding film 11a through the substrate insulator layer 12 is not degraded by potential fluctuation in 1st light-shielding film 11a. In this case, constant sources of potential, such as a negative supply supplied to the circumference circuits (for example, a scanning-line drive circuit, a data-line drive circuit, etc.) for driving the liquid crystal equipment concerned as a constant source of potential and a positive supply, a touch-down power source, the constant source of potential supplied to a counterelectrode 21 are mentioned. Furthermore, since constant potential line 6b consists of the same film as data-line 6a, such as for example, aluminum film, it becomes possible [also puncturing 6th contact hole 5b' in a boundary region to puncturing 4th contact hole 5b in an image display field like the after-mentioned in the manufacture process, and coincidence].
[0084] Although 1st barrier layer 80a and 2nd barrier layer 80b are prepared between data-line 6a and semi-conductor layer 1a, you may make it prepare at least one side in a side far from semi-conductor layer 1a from aluminum film, a refractory metal, etc. rather than data-line 6a with the operation gestalt explained above among 1st barrier layer 80a and 2nd barrier layer 80b. Also in this case, the junction function by each barrier layer is demonstrated good.
[0085] moreover -- a contact hole -- eight -- a -- eight -- b -- five -- a -- five -- b -- five -- a -- ' -- and -- five -- b -- ' -- a flat surface -- a configuration -- a round shape -- a square -- or -- others -- a polygon -- ** -- etc. -- ****** -- although -- a round shape -- especially -- a contact hole -- a perimeter -- an interlayer insulation film -- etc. -- it can set -- a crack -- prevention -- being useful . And in order to obtain good electrical connection, it is desirable to perform wet etching after dry etching and to attach some taper to these contact holes, respectively.
[0086] (Manufacture process in the 1st operation gestalt of an electro-optic device) Next, the manufacture process of the liquid crystal equipment in an operation gestalt with the above configurations is explained with reference to drawing 5 and drawing 6 . In addition, drawing 5 is process drawing in which making each class by the side of the TFT array substrate in each process correspond to the A-A' cross section of drawing 2 like drawing 4 , and showing it, and drawing 6 is process drawing which is made to correspond to the A-A' cross section of drawing 3 , and is shown.
[0087] From each process (1) in the boundary region indicated to be each process (1) in the image display field shown in drawing 5 to (10) to drawing 6 , since (10) is performed to coincidence, respectively, it explains these below in parallel.
[0088] As first shown in the process (1) of drawing 5 and drawing 6 , respectively, the TFT array

substrates 10, such as a quartz substrate, a hard glass substrate, and a silicon substrate, are prepared. Here, preferably, annealing treatment is carried out at inert gas ambient atmospheres, such as N2 (nitrogen), and an about 900-1300-degree C elevated temperature, and it pretreats so that distortion produced in the TFT array substrate 10 in the elevated-temperature process carried out behind may decrease. That is, according to the temperature by which high temperature processing is carried out at the maximum elevated temperature in a manufacture process, the TFT array substrate 10 is heat-treated at the same temperature or the temperature beyond it in advance. and the whole surface of the TFT array substrate 10 processed in this way -- metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pb, -- sputtering -- about 100-500nm thickness -- the light-shielding film of about 200nm thickness is formed preferably. In addition, on a light-shielding film, in order to ease surface reflection, antireflection films, such as polish recon film, may be formed.

[0089] and on the formed this light-shielding film, according to a photolithography process, an etching process, etc., 1st light-shielding film 11a is formed to an image display field, simultaneously (refer to drawing 5) protection-from-light wiring 11b is formed in a boundary region (refer to drawing 6).

[0090] Next, as shown in the process (2) of drawing 5 and drawing 6 , respectively, lower layer insulator layer 12a of the substrate insulator layer 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, an oxidation silicone film, etc. using TEOS gas, TEB gas, TMOP gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on 1st light-shielding film 11a and protection-from-light wiring 11b. The thickness of this lower layer insulator layer 12a may be about 500-2000nm.

[0091] Next, as shown in the process (3) of drawing 5 and drawing 6 , respectively, by wet etching or dry etching, in an image display field, it becomes depressed to the field which is due to form 3rd storage capacitance 70c for every pixel, and 61' is punctured (refer to drawing 5), it becomes depressed in the connection for connecting constant potential line 6b and protection-from-light wiring 11b to coincidence in a boundary region, and 62' is punctured (refer to drawing 6).

[0092] Next, as shown in the process (4) of drawing 5 and drawing 6 , respectively, upper insulator layer 12b of the substrate insulator layer 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, an oxidation silicone film, etc. using TEOS gas, TEB gas, TMOP gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on lower layer insulator layer 12a in which hollow 61' and 62' were formed. Besides, the thickness of layer insulator layer 12b is so good that it is thin as long as a good insulator layer without a defect can be formed, for example, let it be thickness about 500nm or less.

[0093] The substrate insulator layer 12 which consists of two-layer structure of lower layer insulator layer 12a in which it becomes depressed from the above process (2) to an image display field by (4), and 61 is formed in (refer to drawing 2 and drawing 4), and it becomes depressed in a boundary region and 62 is formed (refer to drawing 3), and upper insulator layer 12b is completed.

[0094] Next, as shown in the process (5) of drawing 5 and drawing 6 , respectively, about 450-550 degrees C of amorphous silicon film are preferably formed comparatively on the substrate insulator layer 12 with the reduced pressure CVD (for example, CVD with a pressure of about 20-40Pa) using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc. of about 500 degrees C in a low-temperature environment. Then, in nitrogen-gas-atmosphere mind, at about 600-700 degrees C, preferably, solid phase growth of the polish recon film is carried out by ****** which performs annealing treatment of 4 - 6 hours for about 1 to 10 hours until it becomes the thickness of about 100nm preferably in about 50-200nm thickness. As an approach of carrying out solid phase growth, the annealing treatment using RTA (Rapid Thermal Anneal) is sufficient, and the laser annealing using an excimer laser etc. is sufficient. In addition, the polish recon film may be directly formed with a reduced pressure CVD method etc. without passing through the amorphous silicon film. Or drive silicon ion into the polish recon film deposited with the reduced pressure CVD method etc., once make it amorphous (amorphous-izing), it is made to recrystallize by annealing treatment etc. after that, and the polish recon film may be formed.

[0095] Next, semi-conductor layer 1a which has a predetermined pattern is formed according to a

photolithography process, an etching process, etc. Semi-conductor layer 1a which constitutes TFT30 for pixel switching furthermore, the temperature of about 900-1300 degrees C, and by oxidizing thermally with the temperature of about 1000 degrees C preferably Thermal oxidation silicone film 2a with a comparatively thin thickness of about 30nm is formed. Further Insulator layer 2b which consists of a high-temperature-oxidation silicone film (HTO film) or a silicon nitride film with a reduced pressure CVD method etc. is deposited on the comparatively thin thickness of about 50nm, and the insulating thin film 2 with the multilayer structure containing thermal oxidation silicone film 2a and insulator layer 2b is formed. consequently, the thickness of semi-conductor layer 1a and the 1f of the 1st capacity electrodes -- the thickness of about 30-150nm -- desirable -- the thickness of about 35-50nm -- becoming -- the thickness of the insulating thin film 2 (namely, dielectric film of 1st storage capacitance 70a) -- the thickness of about 20-150nm -- it becomes the thickness of about 30-100nm preferably. Thus, by shortening elevated-temperature thermal oxidation time amount, when using especially an about 8 inches large-sized substrate, the camber by heat can be prevented. However, the insulating thin film 2 with monolayer structure may be formed only by oxidizing the polish recon film thermally.

[0096] Next, after forming a resist layer according to a photolithography process, an etching process, etc. on semi-conductor layer 1a except the 1f of the 1st storage capacitance electrodes, P (Lynn) ion may be doped in about 3x1012/cm2 of doses, and the 1f of the 1st storage capacitance electrodes may be formed into low resistance.

[0097] Next, after removing this resist layer, the polish recon film is deposited with a reduced pressure CVD method etc., thermal diffusion of the P is carried out further, and this polish recon film is electric-conduction-ized. Or the doped silicone film which introduced P ion into membrane formation and coincidence of the polish recon film may be used. The thickness of the polish recon film is preferably deposited on about 300nm in about 100-500nm thickness.

[0098] Next, capacity line 3b is formed according to a photolithography process, an etching process, etc. with scanning-line 3a of the **** predetermined pattern shown in drawing 2 . Scanning-line 3a and capacity line 3b are good also as a multilayer interconnection which could form by metal alloy film, such as refractory metal metallurgy group silicide, and was combined with the polish recon film etc.

[0099] Next, when setting to TFT of an n channel mold with LDD structure TFT30 for pixel switching shown in drawing 4 , in order to form low concentration source field 1b and low concentration drain field 1c in semi-conductor layer 1a first the impurity ion of V group elements, such as P, is doped by low concentration by using as a mask the gate electrode which is a part of scanning-line 3a (for example, P ion -- the dose of one to 3x1013-/cm2). Thereby, semi-conductor layer 1a under scanning-line 3a becomes channel field 1a'. Capacity line 3b and scanning-line 3a are also formed into low resistance by the dope of this impurity ion.

[0100] next, in order to form 1d of high concentration source fields and high concentration drain field 1e which constitute TFT30 for pixel switching, after forming a resist layer on scanning-line 3a with a mask with wide width of face rather than scanning-line 3a, similarly the impurity ion of V group elements, such as P, is doped by high concentration (for example, P ion -- the dose of one to 3x1015-/cm2). Moreover, to semi-conductor layer 1a, when using TFT30 for pixel switching as a p channel mold, in order to form 1d of high concentration source fields, and high concentration drain field 1e in low concentration source field 1b and a low concentration drain field 1c list, the impurity ion of III group elements, such as B, is used and doped. In addition, it is good also as TFT of offset structure, without, for example, performing a low-concentration dope, and it is good also as TFT of a self aryne mold by the ion-implantation technique using P ion, B ion, etc., using as a mask the gate electrode which is a part of scanning-line 3a. Capacity line 3b and scanning-line 3a are also further formed into low resistance by the dope of this impurity ion.

[0101] In addition, in parallel to these component formation processes of TFT30, circumference circuits with the complementary-type structure which consists of an n channel mold TFT and a p channel mold TFT, such as a data-line drive circuit and a scanning-line drive circuit, may be formed in the periphery on the TFT array substrate 10. Thus, if semi-conductor layer 1a which constitutes TFT30 for pixel switching in this operation gestalt is formed by the polish recon film, at the time of formation of TFT30

for pixel switching, it is the same process mostly, and a circumference circuit can be formed and it is advantageous on manufacture.
[0102] And after removing a resist layer, the 1st interlayer insulation film 81 which consists of a high-temperature-oxidation silicone film (HTO film) or a silicon nitride film by the reduced pressure CVD method, a plasma-CVD method, etc. is deposited [capacity line 3b and a scanning-line 3a list] on the insulating thin film 2 at comparatively thin 10nm or more thickness of 200nm or less. However, as mentioned above, the 1st interlayer insulation film 81 may be constituted from multilayers, and can form the 1st interlayer insulation film 81 with various kinds of well-known techniques used for generally forming the gate dielectric film of TFT. Moreover, the 1st interlayer insulation film 81 functions as the 2nd dielectric film between 2nd capacity electrode 3b and the 1st barrier layer 80. And since 2nd storage capacitance 70b becomes large so that the 1st interlayer insulation film 81 is made thin, on condition that defects, such as a film tear, do not arise, if the 1st interlayer insulation film 81 is formed so that it may become a very thin insulator layer with the thickness of 50nm or less thinner than the insulating thin film 2, the effectiveness of this operation gestalt can be increased after all.
[0103] Next, as shown in the process (6) of drawing 5 and drawing 6 , respectively, in an image display field, 3rd contact hole 5a for carrying out electrical connection of the 1d of the high concentration source fields to 1st contact hole 8a for carrying out electrical connection of 1st barrier layer 80a and the high concentration drain field 1e and 2nd barrier layer 80b is punctured by dry etching, such as reactive ion etching and reactant ion beam etching, (refer to drawing 5). In a boundary region, 5th contact hole 5a' is punctured to coincidence (refer to drawing 6). Since such dry etching has high directivity, it can puncture the contact hole of a small path. Or wet etching advantageous to preventing that 1st contact hole 8a and 3rd contact hole 5a run through semi-conductor layer 1a may be used together. This wet etching is effective also from a viewpoint which gives a taper, in order to obtain better electrical connection to 1st contact hole 8a and 3rd contact hole 5a.
[0104] As shown in the process (7) of drawing 5 and drawing 6 , respectively, next, all over 1d of high concentration source fields at which it looks in through high concentration drain field 1e and 3rd contact hole 5a which are looked into through 1st contact hole 8a in 1st interlayer insulation film 81 list Metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pb, is deposited by sputtering etc., and the electric conduction film of about 50-500nm thickness is formed. If there is thickness of about 50nm, there will almost be no possibility of running when puncturing 2nd contact hole 8b and 4th contact hole 5b behind. In addition, on this electric conduction film, in order to ease surface reflection, antireflection films, such as polish recon film, may be formed. Moreover, the electric conduction film may use a doped polysilicon film etc. for stress relaxation.
[0105] And 1st barrier layer 80a and 2nd barrier layer 80b which contain 3rd capacity electrode 80a according to a photolithography process, an etching process, etc. are formed on the electric conduction film formed in this way.
[0106] Next, as shown in the process (8) of drawing 5 and drawing 6 , respectively, the 2nd interlayer insulation film 4 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, an oxidation silicone film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that the whole surface of 1st barrier layer 80a and 2nd barrier layer 80b may be covered in 1st interlayer insulation film 81 list. The thickness of the 2nd interlayer insulation film 4 has desirable about 500-1500nm. If there is 500nm or more of thickness of the 2nd interlayer insulation film 4, the parasitic capacitance between data-line 6a and scanning-line 3a will remain, or will hardly pose a problem.
[0107] And in order to activate semi-conductor layer 1a, after performing about 1000-degree C annealing treatment about 20 minutes, in an image display field, 4th contact hole 5b which results in 2nd barrier layer 80b is punctured to the 2nd interlayer insulation film 4 (refer to drawing 5). 6th contact hole 5b' which results in coincidence in a boundary region at protection-from-light wiring 11b is also punctured to the 2nd interlayer insulation film 4 (refer to drawing 6).
[0108] if 4th contact hole 5b etches only the thickness (for example, about 800nm) of the 2nd interlayer insulation film 4 especially in this process (8) -- the need -- 6th contact hole 5b' needs to etch more

deeply only the thickness (for example, about 800nm+200nm) of the sum total of the 2nd interlayer insulation film 4 and lower layer insulator layer 12a to being enough. Therefore, if it is going to puncture to coincidence the contact hole where depth is different from each other in this way by etching, etching in 4th KONTATO hole 5b will be continued until 6th contact hole 5b' is punctured further completely, after 4th contact hole 5b of the shallower one is punctured completely. However, with this operation gestalt, 2nd barrier layer 80b functions as a stopper to etching in 4th contact hole 5b. For this reason, the thrust omission to that semi-conductor layer 1a that exists caudad can be prevented. That is, if there was no 2nd barrier layer 80b temporarily, while waiting for the completion of puncturing of 6th contact hole 5b', the danger of etching in 4th contact hole 5b advancing, and running through thin semi-conductor layer 1a is. For this reason, while equipment dependability and manufacture effectiveness fall and causing a cost rise, puncturing etching control of the minor diameter using dry etching becomes difficult, and detailed-ization of a pixel pitch becomes difficult. On the other hand, with this operation gestalt, since 2nd barrier layer 80b becomes a stopper to etching at the time of puncturing of 4th contact hole 5b, such a problem is not produced.

[0109] Next, as shown in the process (9) of drawing 5 and drawing 6 , it deposits preferably in about 100-500nm thickness by sputtering etc. on the 2nd interlayer insulation film 4 at about 300nm by making low resistance metal metallurgy group silicide, such as aluminum of protection-from-light nature, etc. into a metal membrane.

[0110] Next, in an image display field, data-line 6a is formed according to a photolithography process, an etching process, etc., and constant potential line 6b is formed in coincidence in a boundary region.

[0111] Next, as shown in the process (10) of drawing 5 and drawing 6 , the 3rd interlayer insulation film 7 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, an oxidation silicone film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that a constant data-line 6a and potential line 6b top may be covered. The thickness of the 3rd interlayer insulation film 7 has desirable about 500-1500nm.

[0112] Next, 2nd contact hole 8b for carrying out electrical connection of pixel electrode 9a and the 1st barrier layer 80a is formed by dry etching, such as reactive ion etching and reactant ion beam etching. Moreover, wet etching may be used in order to make it the shape of a taper.

[0113] Next, all over 1st barrier layer 80a looked into through the 3rd interlayer insulation film 7 and the 2nd contact hole, transparent conductive thin films, such as ITO film, are deposited on the thickness of about 50-200nm by spatter processing etc., and pixel electrode 9a is formed according to a photolithography process, an etching process, etc. after that. In addition, when using the liquid crystal equipment concerned for the liquid crystal equipment of a reflective mold, pixel electrode 9a may be formed from an opaque ingredient with high reflection factors, such as aluminum.

[0114] Next, after applying the coating liquid of the orientation film of a polyimide system on pixel electrode 9a, the orientation film 16 is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0115] On the other hand, about the opposite substrate 20 shown in drawing 4 , a glass substrate etc. is prepared first, and after the 2nd light-shielding film 23 and the 3rd light-shielding film as a frame carry out sputtering of the chromium metal, they are formed through a photolithography process and an etching process. These 2nd light-shielding film 23 and 3rd light-shielding film may form others, carbon, and Ti, such as Cr, nickel, and aluminum, from ingredients, such as resin black distributed to the photoresist. [metallic material] In addition, on the TFT array substrate 10, if data-line 6a, 1st barrier layer 80a, 1st light-shielding film 11a, etc. prescribe a protection-from-light field, the 2nd light-shielding film 23 on the opposite substrate 20 can be excluded.

[0116] Then, a counterelectrode 21 is formed by sputtering etc. all over the opposite substrate 20 by depositing transparent conductive thin films, such as ITO, on the thickness of about 50-200nm. Furthermore, after applying the coating liquid of the orientation film of a polyimide system all over a counterelectrode 21, the orientation film 22 is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0117] Finally, the liquid crystal with which the TFT array substrate 10 and the opposite substrate 20

with which each class was formed as mentioned above are stuck by the sealant (it mentions later) so that the orientation film 16 and 22 may meet, and they come to mix two or more kinds of pneumatic liquid crystals to the space between both substrates by vacuum suction etc. is attracted, and the liquid crystal layer 50 of predetermined thickness is formed.

[0118] Since an exclusive process is not needed the above result for connection with constant potential line 6b of protection-from-light wiring 11b, it is advantageous on a manufacture process, and it is a comparatively small routing counter, and the liquid crystal equipment which has 1st light-shielding film 11a fixed to constant potential can be manufactured using a comparatively easy process, and low cost-ization can be promoted. Furthermore, since the thickness of the part of the substrate insulator layer 12 (namely, dielectric film of 3rd storage capacitance 70c) locally thin-film-ized since the substrate insulator layer 12 of the two-layer structure where became depressed according to the process (4) from the process (2), and 61 and 62 were formed was formed is controlled not by etching but by thin film formation, it is made very thinly and uniformly. Therefore, finally quality will be stable and comparatively mass 3rd storage capacitance 70c can be formed.

[0119] (The 2nd operation gestalt of an electro-optic device) The manufacture process of the liquid crystal equipment which is the 2nd operation gestalt of the electro-optic device by this invention is explained with reference to drawing 7 with the configuration. Drawing 7 is process drawing showing order later on about the cross section corresponding to the A-A' cross section of drawing 2 for the manufacture process of the liquid crystal equipment of the 2nd operation gestalt. In addition, about the same component as the 1st operation gestalt shown in drawing 5 in the 2nd operation gestalt shown in drawing 7 , the same reference mark is attached and the explanation is omitted. Moreover, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 7 .

[0120] The formation processes of the substrate insulator layer 12 in which the 2nd operation gestalt has the hollows 61 and 62 in (4) from a process (2) compared with the 1st operation gestalt differ, and the configurations of the substrate insulator layer 12 in which a configuration top also has two-layer structure differ a little. About other configurations and manufacture processes, it is the same as that of the case of the 1st operation gestalt.

[0121] That is, in drawing 7 , the process (1) of drawing 7 in the 1st operation gestalt and the same process (1) are performed first.

[0122] Next, as shown in the process (2) of drawing 7 , lower layer insulator layer 12a' is formed the whole surface on the TFT array substrate 10 with which 1st light-shielding film 11a of a predetermined pattern and protection-from-light wiring 11b which is not illustrated were formed.

[0123] Next, as shown in the process (3) of drawing 7 , upper insulator layer 12b' is formed all over lower layer insulator layer 12a' up [this].

[0124] Next, as shown in the process (4) of drawing 7 , in an image display field, the field of a schedule in which 3rd storage capacitance 70c is formed among upper insulator layer 12b' is locally punctured by the photolithography and etching. In addition, in the boundary region which can come, simultaneously is not illustrated, the connection field of constant potential line 6b and protection-from-light wiring 11b is locally punctured by etching. Under the present circumstances, since the etching rate to upper insulator layer 12b' is especially removed by etching higher than the etching rate to lower layer insulator layer 12a', even if it makes very thin thickness of lower layer insulator layer 12a', the situation where etching runs through lower layer insulator layer 12a' can be avoided easily. Consequently, compared with lower layer insulator layer 12a', it is almost the same, or is formed in the field and connection field of a schedule in which 3rd storage capacitance 70c is formed for substrate insulator layer 12 part locally thin-film-ized by even thickness thin a little. Thus, since the thickness of substrate insulator layer 12 part (namely, dielectric film of 3rd storage capacitance 70c) thin-film-ized locally is governed by not etching but thin film formation, it is made very thinly and uniformly. Therefore, finally quality will be stable and comparatively mass 3rd storage capacitance 70c can be formed.

[0125] In this case, if lower layer insulator layer 12a' is formed from a silicon nitride film with a high dielectric constant and upper insulator layer 12b' is especially formed from the high oxidation silicone

film of an etching rate, since it will also become to raise the dielectric constant of the dielectric part of 3rd storage capacitance 70c forming hollows 61 and 62 easily, 3rd storage capacitance 70c can be increased very efficiently.
[0126] Next, in drawing 7 , a process (10) is performed from a process (5) to the process (10) of drawing 5 in the 1st operation gestalt, and the same process (5).
[0127] Compared with the 1st operation gestalt, the electro-optic device with which only the interior product layer structures of the substrate insulator layer 12 differ a little is manufactured the above result.

[0128] In addition, after forming a single insulator layer, the field and connection field of a schedule in which 3rd storage capacitance 70c is formed are etched, and you may make it substrate insulator layer 12 part serve as desired thickness by the time management of etching in the manufacture process of the 1st and 2nd operation gestalt mentioned above, although the substrate insulator layer 12 was constituted from two-layer structure of a lower layer insulator layer and the upper insulator layer.
[0129] (The 3rd operation gestalt of an electro-optic device) The configuration of the liquid crystal equipment which is the 3rd operation gestalt of the electro-optic device by this invention is explained with reference to drawing 8 . Drawing 8 is the sectional view of the 3rd operation gestalt corresponding to the A-A' cross section of the top view of drawing 4 in the 1st operation gestalt. In addition, about the same component as the 1st operation gestalt shown in drawing 4 in the 3rd operation gestalt shown in drawing 8 , the same reference mark is attached and the explanation is omitted. Moreover, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 8 .
[0130] In drawing 8 , unlike the 1st operation gestalt, the part to which the top front face counters data-line 6a, scanning-line 3a, and capacity line 3b becomes depressed in a concave, and TFT array substrate 10' is formed with the 3rd operation gestalt. Consequently, flattening also of pixel electrode 9a and the orientation film 16 which are formed through these wiring and interlayer insulation films on TFT array substrate 10' is carried out. About other configurations, it is the same as that of the case of the 1st operation gestalt.
[0131] Therefore, according to the 3rd operation gestalt, the level difference to other fields of the field where scanning-line 3a, TFT30, capacity line 3b, etc. are formed in data-line 6a in piles is reduced. Thus, flattening of the pixel electrode 9a is mostly carried out only by embedding a part of non-opening field [at least] of a pixel, and the disclination (poor orientation) of the liquid crystal layer 50 can be reduced according to the degree of the flattening concerned. Consequently, according to the 3rd operation gestalt, more nearly high-definition image display becomes possible and it also becomes possible to extend a pixel opening field.
[0132] In addition, such TFT array substrate 10' should just etch into the field which should form a concave hollow before the process (1) in the manufacture process of for example, the 1st operation gestalt.
[0133] As mentioned above, with the 3rd operation gestalt, although the slot was formed in the concave for the substrate upwards, wiring and the component section are formed and flattening of the pixel electrode is finally carried out, even if it hollows and forms the 2nd interlayer insulation film 4 or the substrate insulator layer 12 in a concave, the effectiveness of the same flattening is acquired. In this case, what is necessary is just to perform thin film formation and etching by making the insulator layer between each class into the two-layer structure, as an approach of forming the insulator layer between each class in a concave, so that the thick part of a bilayer may be made into a concave soil hand part part for the thin part which consists of a chisel further as a concave hollow part. Or you may make it puncture a concave hollow by etching by making the insulator layer between each class into monolayer structure. Moreover, you may form so that the 3rd interlayer insulation film 7 may be seen from the TFT array substrate 10 side and it may become depressed in a concave. Namely, the top face of the 3rd interlayer insulation film 7 is performed by CMP (Chemical Mechanical Polishing) processing, spin coat processing, the reflow method, etc., or should just carry out flattening using organic [SOG] (Spin On Glass), inorganic [SOG], the polyimide film, etc.

[0134] (The whole electro-optic device configuration) The whole liquid crystal equipment configuration in each operation gestalt constituted as mentioned above is explained with reference to drawing 9 and drawing 10 . In addition, drawing 9 is the top view which looked at the TFT array substrate 10 from the opposite substrate 20 side with each component formed on it, and drawing 10 is the H-H' sectional view of drawing 9 .

[0135] In drawing 9 , on the TFT array substrate 10, the sealant 52 is formed along the edge and the 3rd light-shielding film 53 as a frame which specifies the circumference of the image display field which consists of an ingredient which is the same as the 2nd light-shielding film 23, or is different is formed in parallel to the inside. The data-line drive circuit 101 and the external circuit connection terminal 102 which drive data-line 6a by supplying a picture signal to data-line 6a to predetermined timing are prepared in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 which drives scanning-line 3a is formed along with two sides which adjoin this one side by supplying a scan signal to scanning-line 3a to predetermined timing. If the scan signal delay supplied to scanning-line 3a does not become a problem, the thing only with one side sufficient [the scanning-line drive circuit 104] cannot be overemphasized. Moreover, the data-line drive circuit 101 may be arranged on both sides along the side of an image display field. For example, data-line 6a of an odd number train supplies a picture signal from the data-line drive circuit 101 arranged along one side of an image display field, and you may make it the data line of an even number train supply a picture signal from the data-line drive circuit arranged along the side of the opposite side of said image display field. Thus, if it is made to drive data-line 6a in the shape of a ctenidium, since the occupancy area of the data-line drive circuit 101 is extensible, it becomes possible to constitute a complicated circuit. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of an image display field is formed in one side in which the TFT array substrate 10 remains. Moreover, in at least one place of the corner section of the opposite substrate 20, the flow material 106 for taking an electric flow between the TFT array substrate 10 and the opposite substrate 20 is formed. And as shown in drawing 10 , the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 9 has fixed to the TFT array substrate 10 by the sealant 52 concerned. In addition, on the TFT array substrate 10, the inspection circuit for inspecting the quality of the sampling circuit which impresses a picture signal to two or more data-line 6a to predetermined timing, the precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, and the liquid crystal equipment concerned at the manufacture middle or the time of shipment, a defect, etc. in addition to these data-line drive circuits 101 and scanning-line drive circuit 104 grade etc. may be formed. In addition, according to the gestalt of this operation, the 2nd light-shielding film 23 on the opposite substrate 20 can be formed smaller than the protection-from-light field of the TFT array substrate 10. Moreover, the 2nd light-shielding film 23 can be easily removed by the application of liquid crystal equipment.

[0136] You may make it connect with LSI for a drive mounted on the TAB (Tape Automated Bonding) substrate instead of forming the data-line drive circuit 101 and the scanning-line drive circuit 104 on the TFT array substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10 with each operation gestalt explained with reference to drawing 10 from drawing 1 above. Moreover, according to the exception of modes of operation, such as TN (Twisted Nematic) mode, VA (Vertically Aligned) mode, and PDLC (Polymer Dispersed Liquid Crystal) mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation.

[0137] Since the liquid crystal equipment in each operation gestalt explained above is applied to an electrochromatic display projector, the liquid crystal equipment of three sheets will be respectively used as a light valve for R(red) G(green) B (blue), and incidence of the light of each color respectively

decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each light valve as incident light. Therefore, with each operation gestalt, the color filter is not prepared in the opposite substrate 20. However, the color filter of RGB may be formed in the predetermined field which counters pixel electrode 9a in which the 2nd light-shielding film 23 is not formed on the opposite substrate 20 with the protective coat. Or it is also possible to form a color filter layer in the bottom of pixel electrode 9a which counters RGB on the TFT array substrate 10 by a color resist etc. If it does in this way, the liquid crystal equipment in each operation gestalt is applicable to electrochromatic display equipments, such as electrochromatic display television of direct viewing types other than a liquid crystal projector, or a reflective mold. Furthermore, a micro lens may be formed so that it may correspond 1 pixel on [one] the opposite substrate 20. If it does in this way, bright liquid crystal equipment is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, brighter electrochromatic display equipment is realizable.

[0138] Although [the liquid crystal equipment in each operation gestalt explained above] incidence of the incident light is carried out from the opposite substrate 20 side as usual, since 1st light-shielding film 11a is prepared, incidence of the incident light is carried out from the TFT array substrate 10 side, and it may be made to carry out outgoing radiation from the opposite substrate 20 side. That is, even if it attaches liquid crystal equipment in a liquid crystal projector in this way, it can prevent light carrying out incidence to channel field 1a' of semi-conductor layer 1a, and it is possible to display a high-definition image. Although the polarizing plate with which AR (Anti Reflection) coat was carried out for acid resisting needs to be arranged separately or AR film needed to be stuck here in order to prevent the reflection by the side of the rear face of the TFT array substrate 10 conventionally With each operation gestalt, since [of the front face of the TFT array substrate 10, and semi-conductor layer 1a] 1st light-shielding film 11a is formed between channel field 1a' at least, Such a polarizing plate and AR film by which AR coat was carried out are used, or the need of using the substrate which carried out AR processing of TFT array substrate 10 itself is lost. Therefore, according to each operation gestalt, ingredient cost can be reduced, and a contaminant, a blemish, etc. do not drop the yield at the time of polarizing plate attachment, and it is very advantageous. Moreover, since lightfastness is excellent, even if it uses the bright light source, or it carries out polarization conversion by the polarization beam splitter and it raises efficiency for light utilization, image quality degradation of the cross talk by light etc. is not produced.

[0139] Moreover, although explained as a switching element prepared in each pixel that it was the poly-Si TFT of a forward stagger mold or a coplanar mold, each operation gestalt is effective also to TFT of other formats, such as TFT of a reverse stagger mold, and an amorphous silicon TFT.

[0140] The electro-optic device of this invention is not restricted to each operation gestalt mentioned above, and can be suitably changed in the range which is not contrary to the summary or thought of invention which can be read in a claim and the whole specification, and the electro-optic device accompanied by such modification is also contained in the technical range of this invention.

[Translation done.]

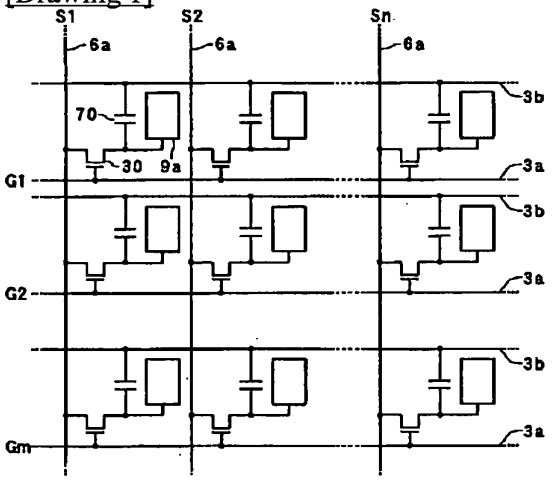
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

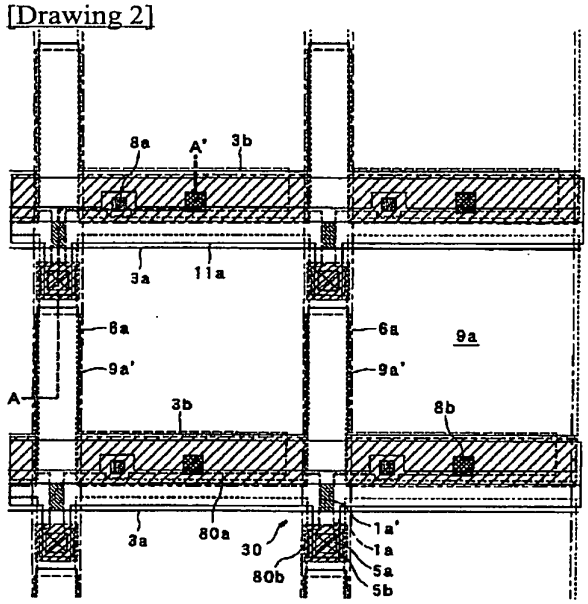
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DRAWINGS

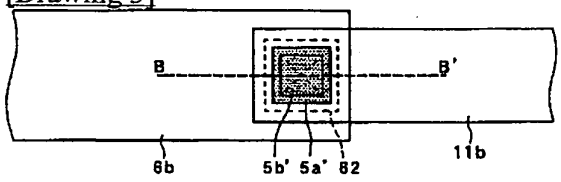
[Drawing 1]



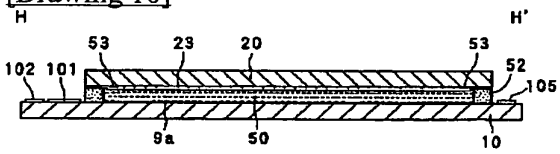
[Drawing 2]



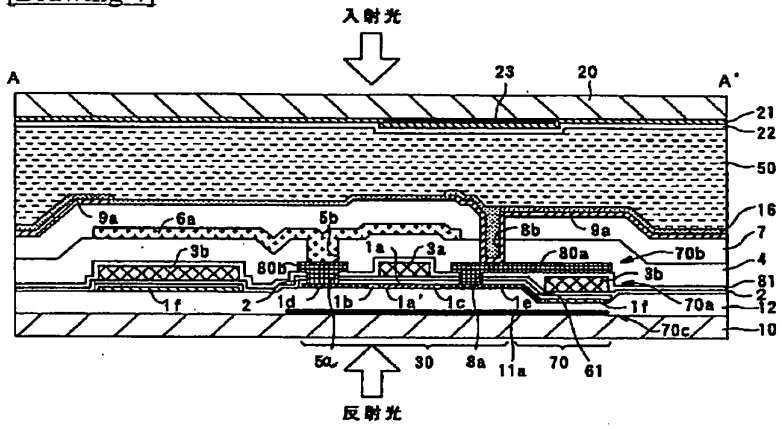
[Drawing 3]



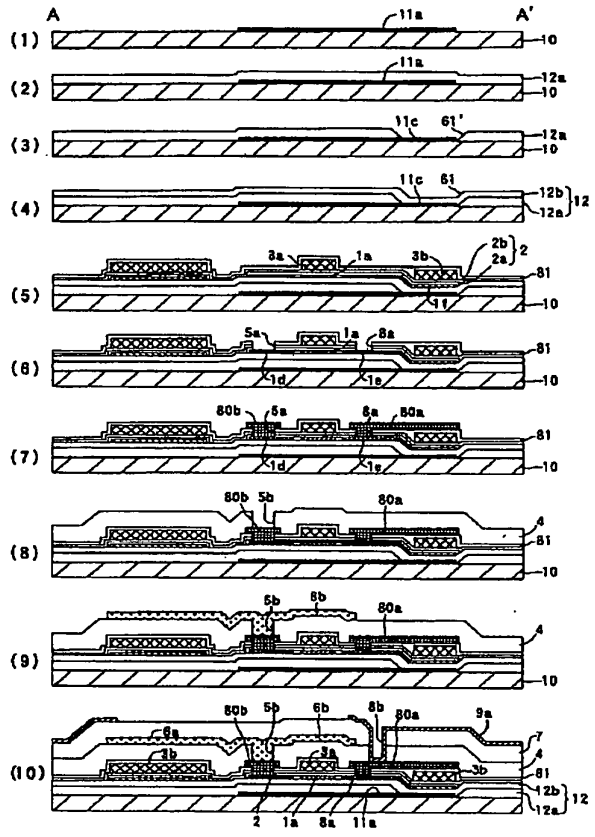
[Drawing 10]



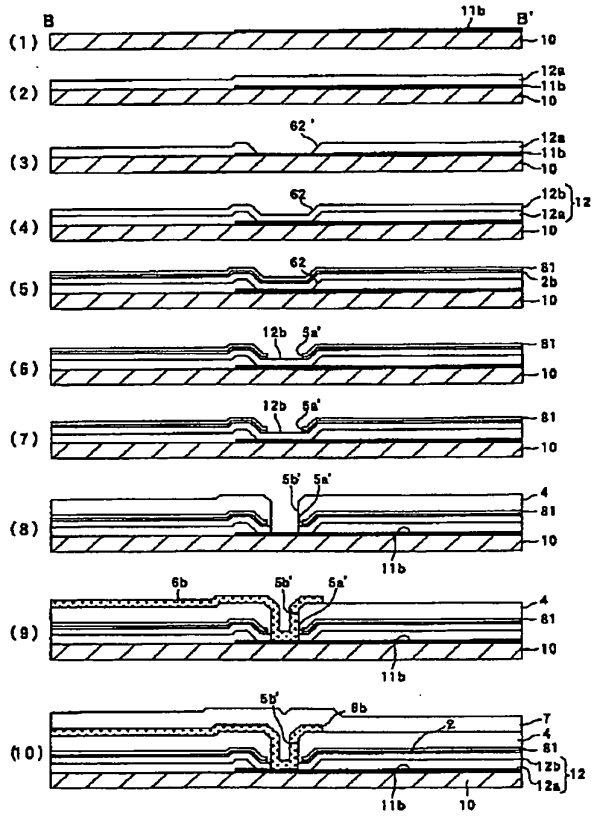
[Drawing 4]



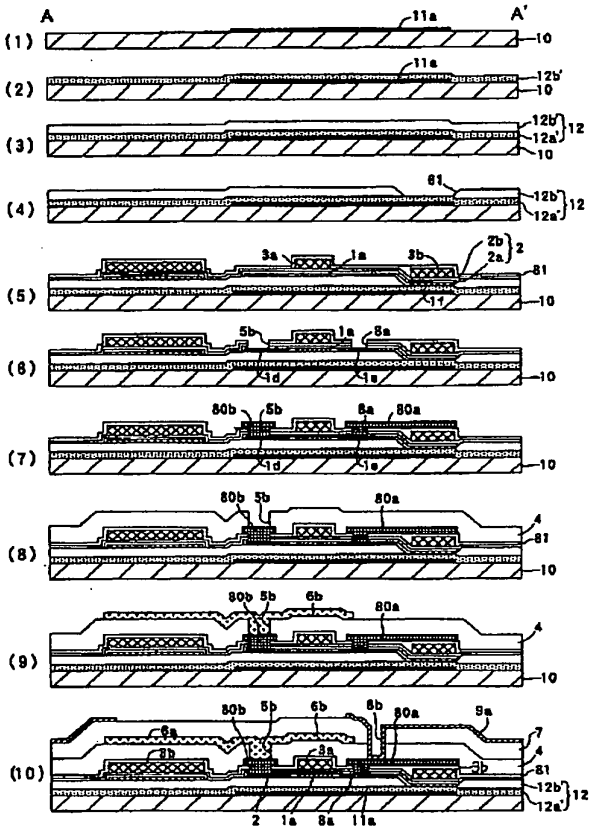
[Drawing 5]


A
A'
(1)
(2)
(3)
(4)
(5)
(6)
(7)
(8)
(9)
(10)
11a
10
12a
11c
61'
61
12b
12
3a
1a
3b
2b
2a
2
81
11
5a
1d
1s
8a
80b
80a
5b
4
8b
6b
9a
7
6a
6b
2
1a
8a
11a

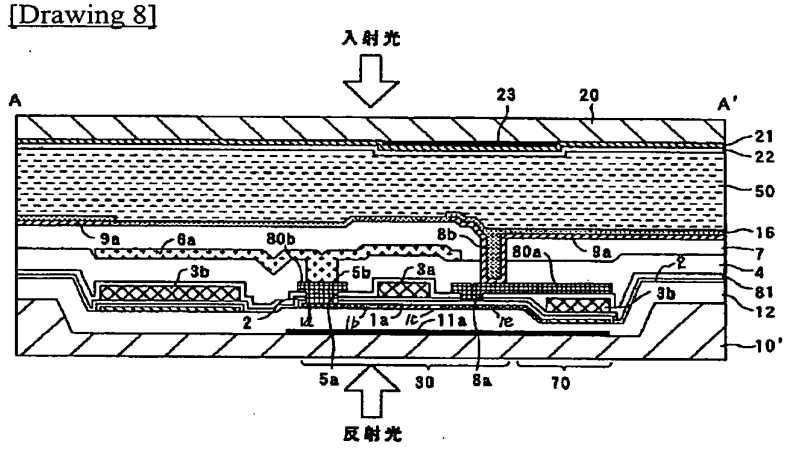
[Drawing 6]


B
B'
11b
(1)
10
(2)
12a
11b
10
(3)
62'
(4)
62
12b
12a
12
(5)
81
2b
(6)
12b
5a'
(7)
(8)
5b'
4
(9)
6b
(10)
8b
2
7
11b

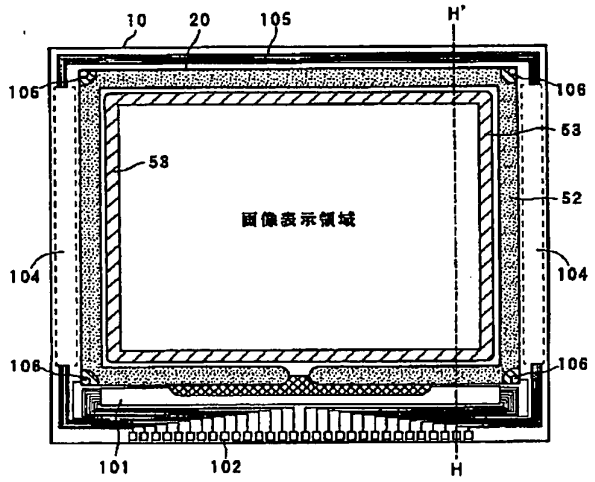
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－267131
（P2000－267131A）
(43)公開日　平成12年９月29日(2000.9.29)

(51)Int.Cl.⁷		識別記号	FI			テーマコード(参考)
Ｇ０２Ｆ	1/136	５００	Ｃ０２Ｆ	1/136	５００	２Ｈ０９２
Ｇ０９Ｆ	9/30	３３８	Ｃ０９Ｆ	9/30	３３８	５Ｃ０９４
Ｈ０１Ｌ	29/786		Ｈ０１Ｌ	29/78	６１６Ｋ	５Ｆ１１０
	21/336					

審査請求　未請求　請求項の数16　ＯＬ　（全 21 頁）

(21)出願番号　特願平11－67168

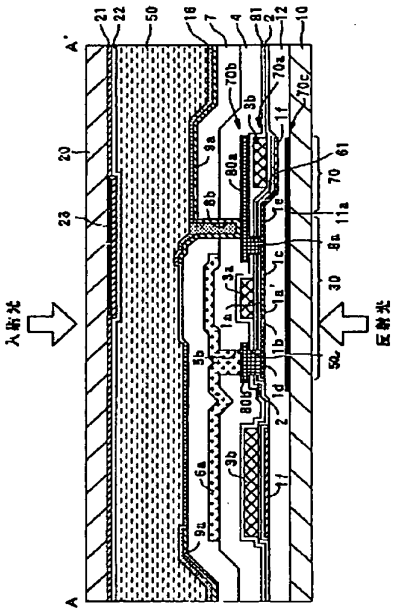
(22)出願日　平成11年３月12日(1999.3.12)

(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(72)発明者　村出　正夫
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(74)代理人　100093388
弁理士　鈴木　喜三郎　（外２名）

最終頁に続く

(54)【発明の名称】　電気光学装置及びその製造方法

(57)【要約】
【課題】　画素電極と画素スイッチング用ＴＦＴとの間の電気的な導通をとるためのバリア層を備えた電気光学装置において、画素開口率を高めると同時に蓄積容量を増大させる。
【解決手段】　電気光学装置は、基板上にＴＦＴ（３０）、データ線（６ａ）、走査線（３ａ）、容量線（３ｂ）及び画素電極（９ａ）を備える。画素電極及びＴＦＴ間は、第１バリア層（８０ａ）を中継して二つのコンタクトホールにより接続される。ＴＦＴの下には、導電性の第１遮光膜（１１ａ）が配置されている。半導体層の一部及び容量線から第１蓄積容量（７０ａ）、容量線及び第１バリア層の一部から第２蓄積容量（７０ｂ）、半導体層の一部及び第１遮光膜の一部から第３蓄積容量（７０ｃ）が夫々構築されている。



【特許請求の範囲】
【請求項１】　基板に複数のデータ線と、複数の走査線と、前記各データ線と前記各走査線に接続されたトランジスタと、前記トランジスタに接続された画素電極と蓄積容量とを有する電気光学装置であって、
前記基板上には少なくとも前記トランジスタのチャネル領域と平面的に重なるように配置された遮光膜と、前記遮光膜上に形成された下地絶縁膜と、該下地絶縁膜上に形成された前記トランジスタのチャネル領域及び前記蓄積容量の第１容量電極となる半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された前記走査線及び前記蓄積容量の第２容量電極となる容量線と、前記半導体層に接続されるとともに前記第２容量電極上に第１層間絶縁膜を介して対向配置された第３容量電極を含む第１導電層と、前記遮光膜と同一層からなり前記第１容量電極に前記下地絶縁膜を介して対向配置された第４容量電極とを備えており、
前記下地絶縁膜は、第１容量電極及び第４容量電極間の少なくとも一部が薄膜化されていることを特徴とする電気光学装置。
【請求項２】　前記第１導電層は、前記半導体層と前記画素電極との間に介在し、前記トランジスタのドレイン領域に第１コンタクトホールを介して接続されると共に前記画素電極に第２コンタクトホールを介して接続されることを特徴とする請求項１に記載の電気光学装置。
【請求項３】　前記半導体層と前記データ線との間に介在し、前記トランジスタのソース領域に第３コンタクトホールを介して接続されると共に前記データ線に第４コンタクトホールを介して接続された第２導電層を更に備えたことを特徴とする請求項２に記載の電気光学装置。
【請求項４】　前記第１導電層と前記第２導電層とは、同一膜からなることを特徴とする請求項３に記載の電気光学装置。
【請求項５】　前記遮光膜は導電性を有し、各画素が配置された画像表示領域の周囲に位置する接続領域において前記データ線と同一膜からなる定電位線に接続されていることを特徴とする請求項３又は４に記載の電気光学装置。
【請求項６】　前記第１導電層は、高融点金属を含むことを特徴とする請求項１から５のいずれか一項に記載の電気光学装置。
【請求項７】　前記第１導電層は、前記データ線よりも前記基板に近い側に配置されていることを特徴とする請求項１から６のいずれか一項に記載の電気光学装置。
【請求項８】　前記基板、前記下地絶縁膜並びに前記遮光膜及び前記画素電極間に介在する層間絶縁膜のうちの少なくとも一つは、各画素の非開口領域における少なくとも一部分が凹状に窪んで形成されることにより、前記画素電極の下地表面がほぼ平坦化されていることを特徴とする請求項１から７のいずれか一項に記載の電気光学装置。
【請求項９】　請求項１に記載の電気光学装置を製造する電気光学装置の製造方法であって、
前記基板上に、少なくとも前記トランジスタのチャネル領域と平面的に重なるように前記遮光膜を形成すると同時に前記遮光膜と同一層から前記第１容量電極に前記下地絶縁膜を介して対向配置される位置に前記第４容量電極を形成する工程と、
前記遮光膜上に、前記第１容量電極及び前記第４容量電極間の少なくとも一部が薄膜化されるように前記下地絶縁膜を形成する工程と、
前記下地絶縁膜上に前記チャネル領域及び前記第１容量電極となるように前記半導体層を形成する工程と、
前記半導体層上に前記ゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に前記走査線及び前記容量線を形成する工程と、
前記半導体層に接続されるとともに前記第３容量電極を含むように前記第１導電層を形成する工程とを含むことを特徴とする電気光学装置の製造方法。
【請求項１０】　請求項５に記載の電気光学装置を製造する電気光学装置の製造方法であって、
前記基板上に前記遮光膜を形成する工程と、
前記遮光膜上に前記第３蓄積容量が形成される予定の部分及び前記接続領域にある部分が局所的に薄膜化された前記下地絶縁膜を形成する工程と、
前記下地絶縁膜上に前記半導体層を形成する工程と、
前記半導体層上に前記ゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に前記走査線及び前記容量線を形成する工程と、
前記走査線及び前記容量線上に前記第１層間絶縁膜を形成する工程と、
前記第１層間絶縁膜及び前記ゲート絶縁膜に対し前記第１及び第３コンタクトホールを開孔すると同時に前記接続領域における前記第１層間絶縁膜及び前記ゲート絶縁膜に対し少なくとも前記下地絶縁膜に至る第５コンタクトホールを開孔する工程と、
前記第１コンタクトホールを介して前記ドレイン領域に接続されるように前記第１導電層を形成すると共に前記第３コンタクトホールを介して前記ソース領域に接続されるように前記第２導電層を形成する工程と、
前記第１導電層及び第２導電層上に第２層間絶縁膜を形成する工程と、
前記第２層間絶縁膜に対し前記第４コンタクトホールを開孔すると同時に前記接続領域における少なくとも前記第２層間絶縁膜に対し前記遮光膜に至る第６コンタクトホールを開孔する工程と、
前記第２層間絶縁膜上に前記第４コンタクトホールを介して前記第２導電層に接続されるように前記データ線を形成すると共に前記第６コンタクトホールを介して前記遮光膜に接続されるように前記定電位線を形成する工程

と、
前記データ線及び前記定電位線上に第３層間絶縁膜を形成する工程と、
前記第２層間絶縁膜及び第３層間絶縁膜に対し前記第２コンタクトホールを開孔する工程と、
前記第２コンタクトホールを介して前記第１導電層に接続されるように前記画素電極を形成する工程とを含むことを特徴とする電気光学装置の製造方法。
【請求項１１】　前記下地絶縁膜を形成する工程は、
前記基板上に一の絶縁膜を形成する工程と、
該一の絶縁膜のうち前記第３蓄積容量が形成される予定の領域及び前記接続領域にある部分をエッチングにより除去する工程と、
前記エッチングにより除去する工程後に、前記一の絶縁膜上に他の絶縁膜を形成する工程とを含むことを特徴とする請求項１０に記載の電気光学装置の製造方法。
【請求項１２】　前記下地絶縁膜を形成する工程は、
前記基板上に一の絶縁膜を形成する工程と、
該一の絶縁膜上に他の絶縁膜を形成する工程と、
該他の絶縁膜のうち前記第３蓄積容量が形成される予定の領域及び前記接続領域にある部分を除去する工程とを含むことを特徴とする請求項１０に記載の電気光学装置の製造方法。
【請求項１３】　前記一の絶縁膜は、前記他の絶縁膜よりも誘電率が高いことを特徴とする請求項１２に記載の電気光学装置の製造方法。
【請求項１４】　前記一の絶縁膜は、窒化シリコン膜であることを特徴とする請求項１３に記載の電気光学装置の製造方法。
【請求項１５】　前記他の絶縁膜は酸化シリコン膜であることを特徴とする請求項１３又は１４に記載の電気光学装置の製造方法。
【請求項１６】　前記他の絶縁膜を除去する工程では、時間管理により、所望の膜厚となるように除去することを特徴とする請求項１２乃至１５のいずれか一項に記載の電気光学装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、アクティブマトリクス駆動方式の電気光学装置及びその製造方法の技術分野に属し、特に蓄積容量を付加するために容量線を備えると共に画素電極と画素スイッチング用の薄膜トランジスタ（Thin Film Transistor:以下適宜、ＴＦＴと称す）との間で電気導通を良好にとるためのバリア層と称される導電層を備え、更にプロジェクタ等に好適に用いられるＴＦＴの下側に戻り光に対する遮光膜を設けた形式の電気光学装置及びその製造方法の技術分野に属する。
【０００２】
【背景技術】従来、ＴＦＴ駆動によるアクティブマトリクス駆動方式の電気光学装置においては、ＴＦＴのゲート電極に走査線を介して走査信号が供給されると、ＴＦＴはオン状態とされ、半導体層のソース領域にデータ線を介して供給される画像信号が当該ＴＦＴのソースードレイン間を介して画素電極に供給される。このような画像信号の供給は、各ＴＦＴを介して画素電極毎に極めて短時間しか行われないので、ＴＦＴを介して供給される画像信号の電圧を、このオン状態とされた時間よりも遥かに長時間に亘って保持する。そのために、各画素電極には蓄積容量が付加されるのが一般的である。
【０００３】
【発明が解決しようとする課題】この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画素ピッチを微細化しつつ、画素開口率を高める（即ち、各画素において、表示光が透過しない非画素開口領域に対して、表示光が透過する画素開口領域を広げる）と同時に各画素電極に対して付加する蓄積容量を増大させることが極めて重要となる。
【０００４】しかしながら、画素開口領域には、蓄積容量を作り込むことは基本的に困難である。このため、画素開口率を高めれば高める程、蓄積容量を作り込むことができる非画素開口領域は狭くなってしまう、或いは蓄積容量を増大させればさせる程、画素開口率は低下してしまうという問題点がある。
【０００５】本発明は上述の問題点に鑑みなされたものであり、画素開口率を高めると同時に蓄積容量を増大させることができ、高品位の画像表示が可能な電気光学装置及びそのような電気光学装置を比較的容易に製造可能な製造方法を提供することを課題とする。
【０００６】
【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、基板に複数のデータ線と、複数の走査線と、前記各データ線と前記各走査線に接続されたトランジスタと、前記トランジスタに接続された画素電極と蓄積容量とを有する電気光学装置であって、前記基板上には少なくとも前記トランジスタのチャネル領域と平面的に重なるように配置された遮光膜と、前記遮光膜上に形成された下地絶縁膜と、該下地絶縁膜上に形成された前記トランジスタのチャネル領域及び前記蓄積容量の第１容量電極となる半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された前記走査線及び前記蓄積容量の第２容量電極となる容量線と、前記半導体層に接続されるとともに前記第２容量電極上に第１層間絶縁膜を介して対向配置された第３容量電極を含む第１導電層と、前記遮光膜と同一層からなり前記第１容量電極に前記下地絶縁膜を介して対向配置された第４容量電極とを備えており、前記下地絶縁膜は、第１容量電極及び第４容量電極間の少なくとも一部が薄膜化されていることを特徴とする。
【０００７】本発明の電気光学装置によれば、ソース領

域、チャネル領域及びドレイン領域を含む半導体層と、ゲート電極を含む走査線とから、画素スイッチング用の薄膜トランジスタが画素毎に構築されており、ソース領域にはデータ線が接続されており、ドレイン領域には第１導電層を中継して画素電極が接続されている。そして動作時に、走査線を介してゲート電極に走査信号が供給され且つデータ線を介してソース領域に画像信号が供給されると、画素スイッチング用の薄膜トランジスタは、ドレイン領域から画像信号を走査信号の供給タイミングで第１導電層を経由して画素電極に供給することにより、画素電極をスイッチング駆動する。

【０００８】本発明では特に、半導体層からなる第１容量電極と容量線の一部である第２容量電極とが、ゲート絶縁膜を含む絶縁薄膜を介して対向配置されて画素電極に対して第１蓄積容量が付加されており、第２容量電極と第１導電層の一部である第３容量電極とが、第１層間絶縁膜を介して対向配置されて画素電極に対して第２蓄積容量が付加されており、更に、第１容量電極と遮光膜の一部である第４容量電極とが、下地絶縁膜を介して対向配置されて画素電極に対して第３蓄積容量が付加されている。即ち、第１導電層に接続された画素電極に対し第１から第３蓄積容量が付加されているので、大きな蓄積容量が画素電極に付加されている。更に下地絶縁膜は、少なくとも第１及び第４容量電極間に挟持された少なくとも一部分が局所的に薄膜化されているため、誘電体膜の膜厚に反比例する当該第３蓄積容量は効率的に増大されている。従って、上記の如き動作時に薄膜トランジスタ及び第１導電層を介して画素電極に供給された画像信号電圧は、これら第１から第３蓄積容量により極めて高い保持特性によって保持される。このように画素電極に対して大きな蓄積容量を付加することにより、特に高コントラストで高品位の画像表示が可能となる。

【０００９】また、各画素における極限られた非開口領域（即ち、各画素において薄膜トランジスタ、蓄積容量、配線等が形成されており、表示に寄与する光が通過不可能な領域）内に立体的に３つの蓄積容量が積み上げられ且つ並列接続された構成を採用しているので、同一平面領域に大きな蓄積容量を構築できる。即ち、各画素の開口領域（即ち、各画素において表示に寄与する光が通過可能な領域）を狭めることなく蓄積容量を増加させることができる。このように画素開口領域を広くとることにより、特に明るく高品位の画像表示が可能となる。

【００１０】更に、遮光膜は、半導体層と下地絶縁膜との間に形成されており、基板側から見て少なくともチャネル領域を覆うので、チャネル領域への戻り光等の入射を効果的に防止できるため、光電効果に基づく光リークの発生による薄膜トランジスタの特性劣化を防ぐことができる。これにより、特に高コントラストで画素間のクロストークやゴーストの低減された高品位の画像表示が可能となる。

【００１１】これに加えて、遮光膜は、このように薄膜トランジスタを遮光する機能と前述したように第３蓄積容量の第４容量電極としての機能を有し、下地絶縁膜は、下地膜としての本来機能と第３蓄積容量の誘電体膜（しかも特に薄膜化された誘電体膜）としての機能との両方を有するので、積層構造の複雑化を招くこともない。

【００１２】以上の結果、本発明の電気光学装置により、比較的簡単な構成を用いて、高コントラストで明るく高品位の画像表示が可能となる。

【００１３】本発明の電気光学装置の一の態様では、前記第１導電層は、前記半導体層と前記画素電極との間に介在し、前記トランジスタのドレイン領域に第１コンタクトホールを介して接続されると共に前記画素電極に第２コンタクトホールを介して接続される。

【００１４】この態様によれば、第１導電層は、半導体層と画素電極との間に介在しており、一方で半導体層のドレイン領域と第１コンタクトホールを介して接続されており、他方で、画素電極と第２コンタクトホールを介して接続されている。このため、画素電極からドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホールの径を小さくできる。従って、画素ピッチの微細化を促進しつつ、第１コンタクトホールにおける第１導電層の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極部分における平坦化を促進できる。更に、第２コンタクトホールにおける画素電極の表面に形成される窪みや凹凸も小さくて済むので、この画素電極部分における平坦化が促進される。これらの結果、画素電極表面の窪みや凹凸に起因する液晶等の電気光学物質におけるディスクリネーション等の不良が低減され、精細度、コントラスト及び明るさを一層高めることが可能となる。

【００１５】この態様では、前記半導体層と前記データ線との間に介在し、前記トランジスタのソース領域に第３コンタクトホールを介して接続されると共に前記データ線に第４コンタクトホールを介して接続された第２導電層を更に備えてよい。

【００１６】このように構成すれば、第２導電層は、半導体層とデータ線との間に介在しており、一方で半導体層のソース領域と第３コンタクトホールを介して接続されており、他方で、データ線と第４コンタクトホールを介して接続されている。このため、データ線からソース領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホールの径を小さくできる。従って、画素ピッチの微細化を促進しつつ、第３及び第４コンタクトホールの上方に位置する画素電極部分における平坦化を促進できる。

【００１７】加えて、第２導電層により第３及び第４コンタクトホール付近の積層構造における合計膜厚が増すので、第３及び第４コンタクトホール付近の画素電極の

下地表面の窪みも低減可能となり、平坦化処理の負担も軽減される。

【００１８】これらの結果、画素電極表面の窪みや凹凸に起因する液晶等の電気光学物質におけるディスクリネーション等の不良が低減され、精細度、コントラスト及び明るさを一層高めることが可能となる。

【００１９】更に、第２導電層を遮光性の導電性材料から形成することにより、第３及び第４コンタクトホール付近におけるソース領域やチャネル領域の遮光も可能となる。他方、その製造プロセスにおいて、第４コンタクトホールをエッチングにより開孔する際に、第２導電層がエッチングの突き抜け防止に役立つ。

【００２０】この第２導電層を備えた態様では、前記第１導電層と前記第２導電層とは、同一膜からなってよい。

【００２１】この態様によれば、第１導電層と第２導電層とは、同一膜からなるので、積層構造における層数を不必要に増加させないで済む。そして、第１コンタクトホールと第３コンタクトホールとは、同一エッチング工程で開孔可能となり製造プロセス上有利となる。

【００２２】更にこれらの第２導電層を備えた態様では、前記遮光膜は導電性を有し、各画素が配置された画像表示領域の周囲に位置する接続領域において前記データ線と同一膜からなる定電位線に接続されてよい。

【００２３】この態様によれば、導電性の遮光膜は、定電位線に接続されることにより定電位とされる。このため、下地絶縁膜を介してその上に形成される薄膜トランジスタの特性を、当該遮光膜における電位変動により劣化させることはなく、同時に第３蓄積容量の第４容量電極として良好に機能し得る。更に定電位線は、例えばＡｌ膜等のデータ線と同一膜からなるため、その製造プロセスにおいて、画像表示領域で第４コンタクトホールを開孔するのと同時に画像表示領域の周辺に位置する（即ち、周辺領域内にある）接続領域で導電性遮光膜と定電位線とを接続するコンタクトホールを開孔することも可能となるので製造プロセス上有利である。

【００２４】本発明の電気光学装置の他の態様では、前記第１導電層は、高融点金属を含む。

【００２５】この態様によれば、第１導電層は、例えば不透明な高融点金属であるＴｉ（チタン）、Ｃｒ（クロム）、Ｗ（タングステン）、Ｔａ（タンタル）、Ｍｏ（モリブデン）及びＰｂ（鉛）のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このため、高温処理により、導電層が破壊されたり溶融しないようにできる。

【００２６】本発明の電気光学装置の他の態様では、前記第１導電層は、前記データ線よりも前記基板に近い側に配置されている。

【００２７】この態様では、第１導電層は、データ線よりも基板に近い側に配置されているので、フリッカ等の原因となる画像信号の電圧降下を引き起こすデータ線と走査線等との間の寄生容量を抑えるために、一定の厚みが要求されるデータ線の下地となる第２層間絶縁膜の厚みとは無関係に、第１導電層と第２容量電極との間に介在する第１層間絶縁膜を薄膜化できる。よって第２蓄積容量において誘電体膜の厚みに反比例する容量値を極めて効率的に増加させることが可能となる。加えて、このように第１層間絶縁膜を薄く形成することにより、第１コンタクトホールの径を更に小さく出来るので、前述した第１コンタクトホールにおける第１導電層の窪みや凹凸が更に小さくて済み、その上方に位置する画素電極における平坦化が更に促進される。従って、画素電極における窪みや凹凸に起因した電気光学物質の不良が低減され、最終的には一層高品位の画像表示が可能となる。

【００２８】本発明の電気光学装置の他の態様では、前記基板、前記下地絶縁膜並びに前記遮光膜及び前記画素電極間に介在する層間絶縁膜のうちの少なくとも一つは、各画素の非開口領域における少なくとも一部分が凹状に窪んで形成されることにより、前記画素電極の下地表面がほぼ平坦化されている。

【００２９】この態様によれば、基板、下地絶縁膜、層間絶縁膜のうちの少なくとも一つは、各画素の非開口領域における少なくとも一部分が凹状に窪んで形成されているので、データ線に重ねて薄膜トランジスタ、走査線、容量線等が形成される領域の他の領域に対する段差が低減される。このようにして画素電極の下地表面がほぼ平坦化されているので、画素電極をより一層平坦化でき、画素電極表面の窪みや凹凸に起因する液晶等の電気光学物質におけるディスクリネーション等の不良が低減され、最終的には高品位の画像表示が可能となる。

【００３０】本発明の第１の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の電気光学装置を製造する電気光学装置の製造方法であって、前記基板上に、少なくとも前記トランジスタのチャネル領域と平面的に重なるように前記遮光膜を形成すると同時に前記遮光膜と同一層から前記第１容量電極に前記下地絶縁膜を介して対向配置される位置に前記第４容量電極を形成する工程と、前記遮光膜上に、前記第１容量電極及び前記第４容量電極間の少なくとも一部が薄膜化されるように前記下地絶縁膜を形成する工程と、前記下地絶縁膜上に前記チャネル領域及び前記第１容量電極となるように前記半導体層を形成する工程と、前記半導体層上に前記ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記走査線及び前記容量線を形成する工程と、前記半導体層に接続されるとともに前記第３容量電極を含むように前記第１導電層を形成する工程とを含む。

【００３１】本発明の第１の電気光学装置の製造方法によれば、遮光膜を形成すると同時に第４容量電極を形成でき、その後第１容量電極及び第４容量電極間の少なくとも一部が薄膜化されるように下地絶縁膜を形成するの

で、上述した本発明の電気光学装置を、比較的少ない工程数で且つ比較的簡単な工程を用いて製造でき、低コスト化を促進できる。

【００３２】本発明の第２の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の遮光膜が定電位線に接続された態様の電気光学装置を製造する電気光学装置の製造方法であって、前記基板上に前記遮光膜を形成する工程と、前記遮光膜上に前記第３蓄積容量が形成される予定の部分及び前記接続領域にある部分が局所的に薄膜化された前記下地絶縁膜を形成する工程と、前記下地絶縁膜上に前記半導体層を形成する工程と、前記半導体層上に前記ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記走査線及び前記容量線を形成する工程と、前記走査線及び前記容量線上に前記第１層間絶縁膜を形成する工程と、前記第１層間絶縁膜及び前記ゲート絶縁膜に対し前記第１及び第３コンタクトホールを開孔すると同時に前記接続領域における前記第１層間絶縁膜及び前記ゲート絶縁膜に対し少なくとも前記下地絶縁膜に至る第５コンタクトホールを開孔する工程と、前記第１コンタクトホールを介して前記ドレイン領域に接続されるように前記第１導電層を形成すると共に前記第３コンタクトホールを介して前記ソース領域に接続されるように前記第２導電層を形成する工程と、前記第１導電層及び第２導電層上に第２層間絶縁膜を形成する工程と、前記第２層間絶縁膜に対し前記第４コンタクトホールを開孔すると同時に前記接続領域における少なくとも前記第２層間絶縁膜に対し前記遮光膜に至る第６コンタクトホールを開孔する工程と、前記第２層間絶縁膜上に前記第４コンタクトホールを介して前記第２導電層に接続されるように前記データ線を形成すると共に前記第６コンタクトホールを介して前記遮光膜に接続されるように前記定電位線を形成する工程と、前記データ線及び前記定電位線上に第３層間絶縁膜を形成する工程と、前記第２及び第３層間絶縁膜に対し前記第２コンタクトホールを開孔する工程と、前記第２コンタクトホールを介して前記第１導電層に接続されるように前記画素電極を形成する工程とを含む。

【００３３】本発明の第２の電気光学装置の製造方法によれば、下地絶縁膜は、第３蓄積容量が形成される予定の領域及び接続領域にある部分が同時に局所的に薄膜化され、更に、第１及び第３コンタクトホール開孔時に同時に第５コンタクトホールが開孔され、第４コンタクトホール開孔時に同時に第６コンタクトホールが開孔されるので、周辺領域における定電位線と導電性の遮光膜との接続は、画像表示領域における他の各種工程と同時に行うことができる。特に、第４コンタクトホールが完全に開孔された後に更に第６コンタクトホールが完全に開孔されるまで第４コンタトホールにおけるエッチングが継続されても、第２導電層が第４コンタクトホールにおけるエッチングに対するストッパとして機能するので、その下方にある半導体層への突き抜けを防止できる。

【００３４】以上の結果、導電性の遮光膜を定電位線に接続するための専用工程は必要とされないので、製造プロセス上有利であり、定電位に固定される遮光膜を有する電気光学装置を、比較的少ない工程数で且つ比較的簡単な工程を用いて製造でき、低コスト化を促進できる。

【００３５】本発明の第２の電気光学装置の製造方法の一の態様では、前記下地絶縁膜を形成する工程は、前記基板上に一の絶縁膜を形成する工程と、該一の絶縁膜のうち前記第３蓄積容量が形成される予定の領域及び前記接続領域にある部分をエッチングにより除去する工程と、前記エッチングにより除去する工程後に、前記一の絶縁膜上に他の絶縁膜を形成する工程とを含む。

【００３６】この態様によれば、下地絶縁膜を形成する工程において、先ず基板上に、例えば酸化シリコン膜等の一の絶縁膜が形成される。次に、該一の絶縁膜のうち第３蓄積容量が形成される予定の領域及び接続領域にある部分がエッチングにより除去される。次に、この一の絶縁膜上に、例えば一の絶縁膜と同一種類の酸化シリコン膜等或いは異なる種類の窒化シリコン膜等の他の絶縁膜が形成される。この結果、他の絶縁膜と同じ膜厚に局所的に薄膜化された下地絶縁膜部分が第３蓄積容量が形成される予定の領域及び接続領域に形成される。このように局所的に薄膜化された下地絶縁膜部分の膜厚は、エッチングではなく薄膜形成により制御されるので、非常に薄く且つ一定にできる。

【００３７】或いは、本発明の第２の電気光学装置の他の態様では、前記下地絶縁膜を形成する工程は、前記基板上に一の絶縁膜を形成する工程と、該一の絶縁膜上に他の絶縁膜を形成する工程と、該他の絶縁膜のうち前記第３蓄積容量が形成される予定の領域及び前記接続領域にある部分を除去する工程とを含む。この場合、前記一の絶縁膜は、窒化シリコン膜であることが好ましい。また、　前記他の絶縁膜は酸化シリコン膜であることが好ましい。

【００３８】この態様によれば、下地絶縁膜を形成する工程において、先ず基板上に、例えば窒化シリコン膜等の一の絶縁膜が形成される。次に、この一の絶縁膜上に、例えば一の絶縁膜と異なる種類の酸化シリコン膜等の他の絶縁膜が形成される。次に、該他の絶縁膜のうち第３蓄積容量が形成される予定の領域及び接続領域にある部分がエッチングにより除去される。この際、他の絶縁膜に対するエッチングレートが一の絶縁膜に対するエッチングレートよりも高いエッチングにより除去されるので、一の絶縁膜の膜厚を非常に薄くしてもエッチングが該一の絶縁膜を突き抜ける事態を容易に回避し得る。この結果、一の絶縁膜と比べて殆ど同じか若干薄い膜厚にまで局所的に薄膜化された下地絶縁膜部分が第３蓄積容量が形成される予定の領域及び接続領域に形成される。このように局所的に薄膜化された下地絶縁膜部分の

膜厚は、エッチングではなく薄膜形成により支配されるので、非常に薄く且つ一定にできる。

【００３９】尚、下地絶縁膜を形成する工程では、単一の絶縁膜を形成した後、第３蓄積容量が形成される予定の領域及び接続領域をエッチングして、当該エッチングの時間管理により、これらの領域における下地絶縁膜部分が所望の膜厚となるようにしてもよい。

【００４０】この態様では、前記一の絶縁膜は、前記他の絶縁膜よりも誘電率が高くてよい。

【００４１】この場合特に、一の絶縁層として誘電率の高い、例えば窒化シリコン膜を形成すれば、第３蓄積容量の誘電体部分の誘電率を高めることになるので、非常に効率的に第３蓄積容量を増大できる。

【００４２】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【００４３】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【００４４】（電気光学装置の第１実施形態）本発明による電気光学装置の第１実施形態である液晶装置の構成について、図１から図４を参照して説明する。図１は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路であり、図２は、データ線、走査線、画素電極、遮光膜等が形成されたＴＦＴアレイ基板の相隣接する複数の画素群の平面図であり、図３は、周辺領域における遮光膜と定電位線との接続部を示す平面図であり、図４は、図２のＡ－Ａ’断面図である。尚、図４においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【００４５】図１において、本実施形態における液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極９ａを制御するためのＴＦＴ３０がマトリクス状に複数形成されており、画像信号が供給されるデータ線６ａが当該ＴＦＴ３０のソースに電気的に接続されている。データ線６ａに書き込む画像信号Ｓ１、Ｓ２、…、Ｓｎは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線６ａ同士に対して、グループ毎に供給するようにしても良い。また、ＴＦＴ３０のゲートに走査線３ａが電気的に接続されており、所定のタイミングで、走査線３ａにパルス的に走査信号Ｇ１、Ｇ２、…、Ｇｍを、この順に線順次で印加するように構成されている。画素電極９ａは、ＴＦＴ３０のドレインに電気的に接続されており、スイッチング素子であるＴＦＴ３０を一定期間だけそのスイッチを閉じることにより、データ線６ａから供給される画像信号Ｓ１、Ｓ２、…、Ｓｎを所定のタイミングで書き込む。画素電極９ａを介して液晶に書き込まれた所定レベルの画像信号Ｓ１、Ｓ２、…、Ｓｎは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極９ａと対向電極との間に形成される液晶容量と並列に蓄積容量７０を付加する。例えば、画素電極９ａの電圧は、ソース電圧が印加された時間よりも３桁も長い時間だけ蓄積容量７０により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。

【００４６】図２において、液晶装置のＴＦＴアレイ基板上には、マトリクス状に複数の透明な画素電極９ａ（点線部９ａ’により輪郭が示されている）が設けられており、画素電極９ａの縦横の境界に各々沿ってデータ線６ａ、走査線３ａ及び容量線３ｂが設けられている。画素電極９ａは、図中右上がりの斜線で示した領域に形成された第１導電層の一例を構成する第１バリア層８０ａを中継して、第１コンタクトホール８ａ及び第２コンタクトホール８ｂを介して半導体層１ａのうち後述のドレイン領域に電気接続されている。データ線６ａは、図中右上がりの斜線で示した領域に形成された第２導電層の一例を構成する第２バリア層８０ｂを中継して第３コンタクトホール５ａ及び第４コンタクトホール５ｂを介してポリシリコン膜等からなる半導体層１ａのうち後述のソース領域に電気接続されている。また、半導体層１ａのうちチャネル領域１ａ’（図中右下りの斜線の領域）に対向するように走査線３ａが配置されており、走査線３ａはゲート電極として機能する。このように、走査線３ａとデータ線６ａとの交差する個所には夫々、チャネル領域１ａ’に走査線３ａがゲート電極として対向配置されたＴＦＴ３０が設けられている。

【００４７】容量線３ｂは、走査線３ａに沿ってほぼ直線状に伸びる本線部と、データ線６ａと交差する箇所からデータ線６ａに沿って前段側（図中、上向き）に突出した突出部とを有する。

【００４８】また、図中太線で示した領域には夫々、走査線３ａ、容量線３ｂ及びＴＦＴ３０の下側を通るように、第１遮光膜１１ａが設けられている。より具体的には図２において、第1遮光膜１１ａは夫々、走査線３ａに沿って縞状に形成されていると共に、データ線６ａと交差する箇所が図中下方に幅広に形成されており、この幅広の部分により各ＴＦＴの少なくともチャネル領域１ａ’をＴＦＴアレイ基板側から見て夫々覆う位置に設けられている。

【００４９】図３において、ＴＦＴアレイ基板上の図２

に示した如き画像表示領域の周辺に位置する周辺領域には、図2に示した第1遮光膜11aが、走査線3a及び容量線3bの下を通って周辺領域にまで延設され、遮光配線11bとして引き出されている。また、周辺領域には、A1膜等のデータ線6aと同一膜から形成された定電位線6bが配線されている。これら遮光配線11bと定電位線6bとは、後述の如く画像表示領域の第3コンタクトホール5aと同一エッチング工程で開孔された第5コンタクトホール5a'が一旦層間絶縁膜により埋められた後、同一位置に更に第4コンタクトホール5bと同一エッチング工程で開孔された第6コンタクトホール5b'を介して、相互に接続されている。また、図3において特に、第6コンタクトホール5b'を含む破線で囲まれた矩形領域においては、後述の下地絶縁膜が凹状に窪んで、窪み62が形成されており、窪み62以外の領域においては、当該下地絶縁膜が相対的に凸状に（平面状に）形成されている。

【0050】次に図4の断面図に示すように、液晶装置は、透明な一方の基板の一例を構成するTFTアレイ基板10と、これに対向配置される透明な他方の基板の一例を構成する対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板やガラス基板やシリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO（Indium Tin Oxide）膜などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0051】他方、対向基板20には、その全面に渡って対向電極（共通電極）21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0052】TFTアレイ基板10には、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0053】対向基板20には、更に図4に示すように、各画素の非開口領域に、ブラックマスク或いはブラックマトリクスと称される第2遮光膜23が設けられている。このため、対向基板20の側から入射光が画素スイッチング用TFT30の半導体層1aのチャネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入することはない。更に、第2遮光膜23は、コントラストの向上、カラーフィルタを形成した場合における色材の混色防止などの機能を有する。

【0054】このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレイ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のギャップ材（スペーサ）が混入されている。

【0055】更に図4に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレイ基板10と各画素スイッチング用TFT30との間には、第1遮光膜11aが設けられている。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）及びPb（鉛）のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFTアレイ基板10上の第1遮光膜11aの形成工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようにできる。第1遮光膜11aが形成されているので、TFTアレイ基板10の側からの反射光（戻り光）等が光に対して励起しやすい画素スイッチング用TFT30のチャネル領域1a'や低濃度ソース領域1b、低濃度ドレイン領域1cに入射する事態を未然に防ぐことができ、光に起因したリーク電流の発生により画素スイッチング用TFT30の特性が劣化することはない。

【0056】更に、第1遮光膜11aと複数の画素スイッチング用TFT30との間には、下地絶縁膜12が設けられている。下地絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電気的に絶縁するために設けられるものである。更に、下地絶縁膜12は、TFTアレイ基板10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能をも有する。即ち、TFTアレイ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。下地絶縁膜12は、例えば、NSG（ノンドープトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。下地絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

【００５７】本実施形態では、半導体層１ａを高濃度ドレイン領域１ｅから延設して第１容量電極１ｆとし、これに対向する容量線３ｂの一部を第２容量電極とし、絶縁薄膜２を第１容量電極及び第２容量電極間に挟持された誘電体膜として利用することにより、第１蓄積容量７０ａが構築されている。更に、この第２容量電極と対向する第１バリア層８０ａの一部を第３容量電極とし、第２容量電極及び第３容量電極間に設けられる第１層間絶縁膜８１を誘電体膜として利用することにより、第２蓄積容量７０ｂが構築されている。更に、第１容量電極１ｆと第１遮光膜１１ａの一部である第４容量電極とが、下地絶縁膜１２を介して対向配置されて、即ち下地絶縁膜１２を誘電体膜として利用することにより、第３蓄積容量７０ｃが構築される。

【００５８】このように、第１バリア層８０ａに接続された画素電極９ａに対し、第１蓄積容量７０ａ、第２蓄積容量７０ｂ及び第３蓄積容量７０ｃからなる蓄積容量７０が付加されているので、従来例の如き第１蓄積容量７０ａのみが付加される場合と比較して、遥かに大きな蓄積容量７０を画素電極９ａに付加できる。

【００５９】特に第３蓄積容量７０ｃについては、下地絶縁膜１２には、第１容量電極１ｆ及び第１遮光膜１１ａからなる第４容量電極間に挟持された第３蓄積容量７０ｃの誘電体膜を構成する部分に、図３で説明した窪み６２と後述の如く同一工程で形成される凹状の窪み６１が形成されている。即ち、第３蓄積容量７０ｃの誘電体膜部分が、局所的に薄膜化されているので、表面積に比例すると共に誘電体膜の膜厚に反比例する第３蓄積容量７０は効率的に増大されている。これに加えて、第１遮光膜１１ａは、ＴＦＴ３０を遮光する機能と第３蓄積容量７０ｃの蓄積容量電極形成のための電極としての機能との両方を有し、下地絶縁膜１２も下地膜としての本来機能と第３蓄積容量７０ｃの誘電体膜としての機能との両方を有するので、積層構造の複雑化を招くこともない。

【００６０】また第１蓄積容量７０ａについては、その誘電体膜としての絶縁薄膜２は、高温酸化等によりポリシリコン膜上に形成されるＴＦＴ３０のゲート絶縁膜に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、第１蓄積容量７０ａは比較的小面積で大容量の蓄積容量として構成できる。

【００６１】更に第２蓄積容量７０ｂについては、その誘電体膜としての第１層間絶縁膜８１は絶縁薄膜２と同様に薄く形成することが可能なので、図２に示したように相隣接するデータ線６ａ間の領域を利用して、第２蓄積容量７０ｂは比較的小面積で大容量の蓄積容量として構成できる。

【００６２】更にまた、第１蓄積容量７０ａ、第２蓄積容量７０ｂ及び第３蓄積容量７０ｃについて、各々の誘電体膜である絶縁薄膜２、第１層間絶縁膜８１及び下地絶縁膜１２は、いずれも、データ線６ａと走査線３ｂとの間に介在する第２層間絶縁膜４とは異なる誘電体膜である。従って、フリッカ等の原因となる画像信号の電圧降下を引き起こすデータ線６ａ及び走査線３ａ間の寄生容量を抑えるために、一定の厚みが必要な第２層間絶縁膜４とは無関係に、これら各誘電体膜を技術的な限界まで薄く構成してもよい。このため、誘電体膜の厚みに反比例する各容量値を極めて効率的に増加させることが可能となる。因みに、画素スイッチング用ＴＦＴ３０における絶縁薄膜２のように余り薄く構成するとトンネル効果等の特異現象が発生することもないので、膜破れなどの欠陥が生じないことを条件に、例えば２００ｎｍ程度或いは絶縁薄膜２よりも薄い１００ｎｍ以下の厚みを持つ極薄い誘電体膜を形成すればよい。

【００６３】以上説明したように、本実施形態によれば、図２に示した各画素における限られた非開口領域内に、夫々が大容量化可能な第１蓄積容量７０ａ、第２蓄積容量７０ｂ及び第３蓄積容量７０ｃが立体的に積み上げられ且つ並列接続された構成を採用しているので、従来例の如き第１蓄積容量のみが同一平内に設けられる場合と比較して、同一平面領域に遥かに大きな蓄積容量を構築できる。更に、データ線６ａ下の領域や走査線３ａに沿って液晶のディスクリネーションが発生する領域（即ち、容量線３ｂが形成された領域）という画素開口領域を外れたスペースを有効に利用することで、このような立体構造の蓄積容量７０をより一層増大させている。従って、各画素の開口領域を狭めることなく蓄積容量７０を増加させることにより、前述の如き当該液晶装置の動作時には、ＴＦＴ３０及び第１バリア層８０ａを介して画素電極９ａに供給された画像信号は、蓄積容量７０により極めて高い保持特性によって保持されるので、高コントラストで高品位の画像表示が可能となり、しかも広い開口領域により明るい画像表示が可能となる。

【００６４】図４において、画素スイッチング用ＴＦＴ３０は、ＬＤＤ（Lighty Doped Drain）構造を有しており、走査線３ａ、当該走査線３ａからの電界によりチャネルが形成される半導体層１ａのチャネル領域１ａ’、走査線３ａと半導体層１ａとを絶縁する絶縁薄膜２、データ線６ａ、半導体層１ａの低濃度ソース領域１ｂ及び低濃度ドレイン領域１ｃ、半導体層１ａの高濃度ソース領域１ｄ並びに高濃度ドレイン領域１ｅを備えている。高濃度ドレイン領域１ｅには、複数の画素電極９ａのうちの対応する一つが第１バリア層８０ａを中継して接続されている。低濃度ソース領域１ｂ及び高濃度ソース領域１ｄ並びに低濃度ドレイン領域１ｃ及び高濃度ドレイン領域１ｅは後述のように、半導体層１ａに対し、ｎ型又はｐ型のチャネルを形成するかに応じて所定濃度のｎ型用又はｐ型用の不純物イオンをドープすることにより形成されている。本実施形態では特にデータ線６ａは、

Ａｌ等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性且つ導電性の薄膜から構成されている。

【００６５】走査線３ａ及び容量線３ｂ上に設けられた第１層間絶縁膜８１には、高濃度ソース領域１ｄへ通じる第３コンタクトホール５ａ及び高濃度ドレイン領域１ｅへ通じる第１コンタクトホール８ａが各々形成されている。

【００６６】第１層間絶縁膜８１上には、第１コンタクトホール８ａを介して高濃度ドレイン領域１ｅに接続された第１バリア層８０ａ及び第３コンタクトホール５ａを介して高濃度ソース領域１ｄに接続された第２バリア層８０ｂが同一の導電膜から形成されている。

【００６７】第１バリア層８０ａ及び第２バリア層８０ｂ上には、第２層間絶縁膜４が形成されている。データ線６ａは、第２層間絶縁膜４に開孔された第４コンタクトホール５ｂを介して第２バリア層８０ｂに電気接続されている。

【００６８】更に、データ線６ａ及び第２層間絶縁膜４の上には、第１バリア層８０ａへの第２コンタクトホール８ｂが形成された第３層間絶縁膜７が形成されている。第２コンタクトホール８ｂを介して、画素電極９ａは第１バリア層８０ａに電気接続されている。前述の画素電極９ａは、このように構成された第３層間絶縁膜７の上面に設けられている。

【００６９】画素スイッチング用ＴＦＴ３０は、好ましくは上述のようにＬＤＤ構造を持つが、低濃度ソース領域１ｂ及び低濃度ドレイン領域１ｃに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、走査線３ａの一部であるゲート電極をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース領域１ｄ及び高濃度ドレイン領域１ｅを形成するセルフアライン型のＴＦＴであってもよい。

【００７０】また本実施形態では、画素スイッチング用ＴＦＴ３０の走査線３ａの一部からなるゲート電極３ａを高濃度ソース領域１ｄ及び高濃度ドレイン領域１ｅ間に１個のみ配置したシングルゲート構造としたが、これらの間に２個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でＴＦＴを構成すれば、チャネルとソース・ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも１個をＬＤＤ構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【００７１】次に第１バリア層８０ａについて更に説明する。

【００７２】図２及び図４に示すように、第１バリア層８０ａは、導体層１ａと画素電極９ａとの間に介在しており、高濃度ドレイン領域１ｅと画素電極９ａとを第１コンタクトホール８ａ及び第２コンタクトホール８ｂを経由して電気接続する。

【００７３】このため、画素電極９ａから半導体層１ａのドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、第１コンタクトホール８ａ及び第２コンタクトホール８ｂの径を夫々小さくできる。即ち、一つのコンタクトホールを開孔する場合には、エッチング時の選択比が低いとコンタクトホールを深く開孔する程エッチング精度は落ちるため、例えば５０ｎｍ程度の非常に薄い半導体層１ａにおける突き抜けを防止するためには、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウエットエッチングで半導体層１ａまで開孔するように工程を組まねばならない。或いは、ドライエッチングによる突き抜け防止用のポリシリコン膜を別途設けたりする必要が生じてしまうのである。

【００７４】これに対して本実施形態では、画素電極９ａ及び高濃度ドレイン領域１ｅを２つの直列な第１コンタクトホール８ａ及び第２コンタクトホール８ｂにより接続すればよいので、これら第１コンタクトホール８ａ及び第２コンタクトホール８ｂを夫々、ドライエッチングにより開孔することが可能となるのである。或いは、少なくともウエットエッチングにより開孔する距離を短くすることが可能となるのである。但し、第1コンタクトホール８ａ及び第２コンタクトホール８ｂに夫々、若干のテーパを付けるために、ドライエッチング後に敢えて比較的短時間のウエットエッチングを行うようにしてもよい。以上のように本実施形態によれば、第１コンタクトホール８ａ及び第２コンタクトホール８ｂの径を夫々小さくでき、第１コンタクトホール８ａにおける第１バリア層８０ａの表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極９ａの部分における平坦化が促進される。更に、第２コンタクトホール８ｂにおける画素電極９ａの表面に形成される窪みや凹凸も小さくて済むので、この画素電極９ａの部分における平坦化が促進される。更に本実施形態では、このように第１層間絶縁膜８１を薄く形成することにより、第２コンタクトホール８ａの径を更に小さく出来る。

【００７５】次に第２バリア層８０ｂについて更に説明する。

【００７６】図２及び図４に示すように、第２バリア層８０ｂは、高濃度ソース領域１ｄに第３コンタクトホール５ａを介して接続されると共にデータ線６ａに第４コンタクトホール５ｂを介して接続されている。従って、データ線６ａから高濃度ソース領域１ｄまで一つのコンタクトホールを開孔する場合と比較して、コンタクトホールの径を小さくできる。従って、画素ピッチの微細化を促進しつつ、第３コンタクトホール５ａ及び第４コンタクトホール５ｂの上方に位置する画素電極９ａ部分における平坦化を促進できる。加えて、第２バリア層８０ｂにより第３コンタクトホール５ａ及び第４コンタクト

ホール５ｂ付近の積層構造における合計膜厚が増す。ここで仮に第２バリア層８０ｂがなかったとすれば、これら第３コンタクトホール５ａ及び第４コンタクトホール５ｂ付近の合計膜厚が、その周囲のデータ線６ａ、走査線３ａ、ＴＦＴ３０等が重ねて形成された領域における（比較的大きい）合計膜厚と比較して小さくなるため、この付近で画素電極９ａの下地表面が窪んでしまうか、或いはその平坦化処理が必要になる。しかるに本実施形態では、第２バリア層８０ｂにより第３コンタクトホール５ａ及び第４コンタクトホール５ｂ付近の積層構造における合計膜厚が増すので、その付近の画素電極９ａの下地表面の凹みも低減可能となり、平坦化処理の負担も軽減される。これらの結果、画素電極９ａ表面の窪みや凹凸に起因する液晶層５０におけるディスクリネーション等の不良が低減され、精細度、コントラスト及び明るさを一層高めることが可能となる。

【００７７】更に、第２バリア層８０ｂを遮光性の導電性材料から形成することにより、第３コンタクトホール５ａ及び第４コンタクトホール５ｂ付近における高濃度ソース領域１ｄ、低濃度ソース領域１ｂ、チャネル領域１ａ’の遮光も可能となる。一般にはＡｌ膜等の金属膜から形成されるデータ線６ａにより、この付近の遮光を行うことが可能であるが、Ａｌ膜等をパターンニングする露光段階における光の回り込み（ハレーション）等により、マスクパターンよりもＡｌ膜等が細る現象が頻発するので、その際細ったＡｌ膜等の脇を通り抜けてくる光に対して（図２参照）、第２バリア層８０ｂが冗長的な遮光を行うので、この領域における遮光性能が格段に高められる。

【００７８】他方、後述の如き製造プロセスにおいて、第４コンタクトホール５ｂをエッチングにより開孔する際に、第２バリア層８０ｂがエッチングの突き抜け防止にも役立つ。

【００７９】尚、本実施形態の如く、第１バリア層８０ａと第２バリア層８０ｂとを同一膜から形成すれば、同一工程でこれらを同時に形成でき、更に第１コンタクトホール８ａと第３コンタクトホール５ａとを絶縁薄膜２に対して同一エッチング工程で開孔可能できるので、製造プロセス上有利となる。また、積層構造における層数を不必要に増加させないで済むため装置信頼性も向上する。

【００８０】第１バリア層８０ａ及び第２バリア層８０ｂの具体的な材料としては、例えば不透明な高融点金属であるＴｉ、Ｃｒ、Ｗ、Ｔａ、Ｍｏ及びＰｂのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等が挙げられる。これらから構成すれば、第１バリア層８０ａ及び第２バリア層８０ｂの形成工程の後に行われる高温処理により、これらが破壊されたり溶融しないようにできる。更に、このような高融点金属と画素電極９ａを構成するＩＴＯ膜とが接触しても高融点金属が腐食することはないため、第２コンタクトホール８ｂを介して第１バリア層８０ａ及び画素電極９ａ間で良好な電気接続が得られる。

【００８１】但し、第１バリア層８０ａ及び第２バリア層８０ｂは、導電性のポリシリコン膜から構成してもよい。この場合でも、蓄積容量７０を増加させる機能及び中継機能は十分に発揮し得る。この場合には特に、第１層間絶縁膜８１との間で熱等によるストレスが発生しにくくなるので、クラック防止に役立つ。或いは、第１バリア層８０ａ及び第２バリア層８０ｂは、データ線６ａと同一のＡｌ膜等から構成してもよい。

【００８２】また、第１バリア層８０ａ及び第２バリア層８０ｂの膜厚は、例えば５０ｎｍ以上５００ｎｍ以下程度とするのが好ましい。５０ｎｍ程度の厚みがあれば、製造プロセスにおける第２コンタクトホール８ｂ及び第４コンタクトホール５ｂの開孔時に突き抜ける可能性は低くなり、また５００ｎｍ程度であれば画素電極９ａの表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。但し、第１バリア層８０ａ及び第２バリア層８０ｂは高融点金属膜やその合金膜から構成すれば、金属膜と層間絶縁膜とのエッチングにおける選択比が大きく異なるため、前述の如きドライエッチングによる突き抜けの可能性は殆ど無い。

【００８３】以上説明した実施形態では特に、図３に示したように、第１遮光膜１１ａは、ＴＦＴアレイ基板１０上の周辺領域に遮光配線１１ｂとして引き出されて、定電位線６ｂに接続されているので、一定電位に固定される。このため、下地絶縁膜１２を介して第１遮光膜１１ａ上に形成されるＴＦＴ３０の特性を、第１遮光膜１１ａにおける電位変動により劣化させることはない。この場合、定電位源としては、当該液晶装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極２１に供給される定電位源等が挙げられる。更に定電位線６ｂは、例えばＡｌ膜等のデータ線６ａと同一膜からなるため、その製造プロセスにおいて後述の如く、画像表示領域において第４コンタクトホール５ｂを開孔するのと同時に周辺領域において第６コンタクトホール５ｂ’を開孔することも可能となる。

【００８４】以上説明した実施形態では、データ線６ａと半導体層１ａとの間に第１バリア層８０ａ及び第２バリア層８０ｂが設けられているが、データ線６ａよりも半導体層１ａから遠い側にＡｌ膜、高融点金属等から第１バリア層８０ａ及び第２バリア層８０ｂのうち少なくとも一方を設けるようにしてもよい。この場合にも、各バリア層による中継機能は良好に発揮される。

【００８５】また、コンタクトホール８ａ、８ｂ、５ａ、５ｂ、５ａ’及び５ｂ’の平面形状は、円形や四角形或いはその他の多角形状等でもよいが、円形は特にコンタクトホールの周囲の層間絶縁膜等におけるクラック

防止に役立つ。そして、良好な電気接続を得るために、ドライエッチング後にウエットエッチングを行って、これらのコンタクトホールに夫々若干のテーパをつけることが好ましい。

【００８６】（電気光学装置の第１実施形態における製造プロセス）次に、以上のような構成を持つ実施形態における液晶装置の製造プロセスについて、図５及び図６を参照して説明する。尚、図５は各工程におけるＴＦＴアレイ基板側の各層を、図４と同様に図２のＡ－Ａ'断面に対応させて示す工程図であり、図６は、図３のＡ－Ａ'断面に対応させて示す工程図である。

【００８７】図５に示した画像表示領域における各工程（１）から（１０）と、図６に示した周辺領域における各工程（１）から（１０）とは、夫々同時に行われるので、これらを並行して以下に説明する。

【００８８】先ず図５及び図６の工程（１）に夫々示すように、石英基板、ハードガラス基板、シリコン基板等のＴＦＴアレイ基板１０を用意する。ここで、好ましくはN_2（窒素）等の不活性ガス雰囲気且つ約９００～１３００℃の高温でアニール処理し、後に実施される高温プロセスにおけるＴＦＴアレイ基板１０に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にＴＦＴアレイ基板１０を同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理されたＴＦＴアレイ基板１０の全面に、Ｔｉ、Ｃｒ、Ｗ、Ｔａ、Ｍｏ及びＰｂ等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、１００～５００ｎｍ程度の膜厚、好ましくは約２００ｎｍの膜厚の遮光膜を形成する。尚、遮光膜上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

【００８９】そして、該形成された遮光膜上にフォトリソグラフィ工程及びエッチング工程等により、画像表示領域に第１遮光膜１１ａを形成する（図５参照）と同時に周辺領域に遮光配線１１ｂを形成する（図６参照）。

【００９０】次に図５及び図６の工程（２）に夫々示すように、第１遮光膜１１ａ及び遮光配線１１ｂの上に、例えば、常圧又は減圧ＣＶＤ法等によりＴＥＯＳガス、ＴＥＢガス、ＴＭＯＰガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜１２の下層絶縁膜１２ａを形成する。この下層絶縁膜１２ａの膜厚は、例えば、約５００～２０００ｎｍとする。

【００９１】次に図５及び図６の工程（３）に夫々示すように、ウエットエッチング又はドライエッチングにより、画像表示領域においては、画素毎に第３蓄積容量７０ｃを形成する予定の領域に窪み６１'を開孔し（図５参照）、同時に周辺領域においては、定電位線６ｂと遮光配線１１ｂとを接続するための接続部に窪み６２'を開孔する（図６参照）。

【００９２】次に図５及び図６の工程（４）に夫々示すように、窪み６１'及び６２'が形成された下層絶縁膜１２ａの上に、例えば、常圧又は減圧ＣＶＤ法等によりＴＥＯＳガス、ＴＥＢガス、ＴＭＯＰガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜１２の上層絶縁膜１２ｂを形成する。この上層絶縁膜１２ｂの膜厚は、欠陥のない良質な絶縁膜が形成できる限りにおいて薄い程よく、例えば約５００ｎｍ以下の膜厚とされる。

【００９３】以上の工程（２）から（４）により、画像表示領域に窪み６１が形成されており（図２及び図４参照）、且つ周辺領域に窪み６２の形成されている（図３参照）、下層絶縁膜１２ａ及び上層絶縁膜１２ｂの２層構造からなる下地絶縁膜１２が完成する。

【００９４】次に、図５及び図６の工程（５）に夫々示すように、下地絶縁膜１２の上に、約４５０～５５０℃、好ましくは約５００℃の比較的低温環境中で、流量約４００～６００ｃｃ／ｍｉｎのモノシランガス、ジシランガス等を用いた減圧ＣＶＤ（例えば、圧力約２０～４０ＰａのＣＶＤ）により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約６００～７００℃にて約１～１０時間、好ましくは、４～６時間のアニール処理を施すことにより、ポリシリコン膜を約５０～２００ｎｍの厚さ、好ましくは約１００ｎｍの厚さとなるまで固相成長させる。固相成長させる方法としては、ＲＴＡ（Rapid Thermal Anneal)を使ったアニール処理でも良いし、エキシマレーザー等を用いたレーザーアニールでも良い。尚、アモルファスシリコン膜を経ないで、減圧ＣＶＤ法等によりポリシリコン膜を直接形成しても良い。或いは、減圧ＣＶＤ法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化（アモルファス化）し、その後アニール処理等により再結晶化させてポリシリコン膜を形成しても良い。

【００９５】次に、フォトリソグラフィ工程、エッチング工程等により、所定パターンを有する半導体層１ａを形成する。更に、画素スイッチング用ＴＦＴ３０を構成する半導体層１ａを約９００～１３００℃の温度、好ましくは約１０００℃の温度により熱酸化することにより、約３０ｎｍの比較的薄い厚さの熱酸化シリコン膜２ａを形成し、更に、減圧ＣＶＤ法等により高温酸化シリコン膜（ＨＴＯ膜）や窒化シリコン膜からなる絶縁膜２ｂを約５０ｎｍの比較的薄い厚さに堆積し、熱酸化シリコン膜２ａ及び絶縁膜２ｂを含む多層構造を持つ絶縁薄膜２を形成する。この結果、半導体層１ａ及び第１容量電極１ｆの厚さは、約３０～１５０ｎｍの厚さ、好ましくは約３５～５０ｎｍの厚さとなり、絶縁薄膜２（即ち、第１蓄積容量７０ａの誘電体膜）の厚さは、約２０～１５０ｎｍの厚さ、好ましくは約３０～１００ｎｍの厚さとなる。このように高温熱酸化時間を短くすること

により、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン膜を熱酸化することのみにより、単一層構造を持つ絶縁薄膜2を形成してもよい。

【0096】次に、フォトリソグラフィ工程、エッチング工程等によりレジスト層を第1蓄積容量電極1fを除く半導体層1a上に形成した後、例えばP（リン）イオンをドーズ量約3×10^{12}／cm^2でドープして、第1蓄積容量電極1fを低抵抗化しても良い。

【0097】次に、このレジスト層を除去した後、減圧CVD法等によりポリシリコン膜を堆積し、更にPを熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをポリシリコン膜の成膜と同時に導入したドープトシリコン膜を用いてもよい。ポリシリコン膜の膜厚は、約100～500nmの厚さ、好ましくは約300nmに堆積する。

【0098】次に、フォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。走査線3a及び容量線3bは、高融点金属や金属シリサイド等の金属合金膜で形成しても良いし、ポリシリコン膜等と組み合わせた多層配線としても良い。

【0099】次に、図4に示した画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aの一部であるゲート電極をマスクとして、PなどのV族元素の不純物イオンを低濃度で（例えば、Pイオンを$1\sim3\times10^{13}$／cm^2のドーズ量にて）ドープする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。この不純物イオンのドープにより容量線3b及び走査線3aも低抵抗化される。

【0100】次に、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層を走査線3a上に形成した後、同じくPなどのV族元素の不純物イオンを高濃度で（例えば、Pイオンを$1\sim3\times10^{15}$／cm^2のドーズ量にて）ドープする。また、画素スイッチング用TFT30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素の不純物イオンを用いてドープする。尚、例えば、低濃度のドープを行わずに、オフセット構造のTFTとしてもよく、走査線3aの一部であるゲート電極をマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。この不純物イオンのドープにより容量線3b及び走査線3aも更に低抵抗化される。

【0101】尚、これらのTFT30の素子形成工程と並行して、nチャネル型TFT及びpチャネル型TFTから構成される相補型構造を持つデータ線駆動回路、走査線駆動回路等の周辺回路をTFTアレイ基板10上の周辺部に形成してもよい。このように、本実施形態において画素スイッチング用TFT30を構成する半導体層1aをポリシリコン膜で形成すれば、画素スイッチング用TFT30の形成時にほぼ同一工程で、周辺回路を形成することができ、製造上有利である。

【0102】そして、レジスト層を除去した後、容量線3b及び走査線3a並びに絶縁薄膜2上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜（HTO膜）や窒化シリコン膜からなる第1層間絶縁膜81を10nm以上200nm以下の比較的薄い厚さに堆積する。但し、前述のように、第1層間絶縁膜81は、多層膜から構成してもよいし、一般にTFTのゲート絶縁膜を形成するのに用いられる各種の公知技術により、第1層間絶縁膜81を形成可能である。また、第1層間絶縁膜81は、第2容量電極3bと第1バリア層80の間で、第2誘電体膜として機能する。そして、第1層間絶縁膜81を薄くする程、第2蓄積容量70bは大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、絶縁薄膜2よりも薄い50nm以下の厚みを持つ極薄い絶縁膜となるように第1層間絶縁膜81を形成すると本実施形態の効果を増大させることができる。

【0103】次に図5及び図6の工程（6）に夫々示すように、画像表示領域においては、第1バリア層80aと高濃度ドレイン領域1eとを電気接続するための第1コンタクトホール8a及び第2バリア層80bと高濃度ソース領域1dとを電気接続するための第3コンタクトホール5aを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより開孔する（図5参照）。同時に周辺領域においては、第5コンタクトホール5a'を開孔する（図6参照）。このようなドライエッチングは、指向性が高いため、小さな径のコンタクトホールを開孔可能である。或いは、第1コンタクトホール8a及び第3コンタクトホール5aが半導体層1aを突き抜けるのを防止するのに有利なウエットエッチングを併用してもよい。このウエットエッチングは、第1コンタクトホール8a及び第3コンタクトホール5aに対し、より良好な電気接続を得るためにテーパを付与する観点からも有効である。

【0104】次に図5及び図6の工程（7）に夫々示すように、第1層間絶縁膜81並びに第1コンタクトホール8aを介して覗く高濃度ドレイン領域1e及び第3コンタクトホール5aを介して覗く高濃度ソース領域1dの全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜をスパッタリング等により堆積して、50～500nm程度の膜厚の導電膜を形成する。50nm程度の厚みがあれば、後に第2コンタクトホール8b及び第4コンタクトホール5bを開

孔する時に突き抜ける可能性は殆どない。尚、この導電膜上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。また、導電膜は応力緩和のためにドープトポリシリコン膜等を用いても良い。

【０１０５】そして、このように形成された導電膜上にフォトリソグラフィ工程及びエッチング工程等により第３容量電極８０ａを含む第１バリア層８０ａ及び第２バリア層８０ｂを形成する。

【０１０６】次に図５及び図６の工程（８）に夫々示すように、第１層間絶縁膜８１並びに第１バリア層８０ａ及び第２バリア層８０ｂの全面を覆うように、例えば、常圧又は減圧ＣＶＤ法やＴＥＯＳガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第２層間絶縁膜４を形成する。第２層間絶縁膜４の膜厚は、約５００～１５００ｎｍが好ましい。第２層間絶縁膜４の膜厚が５００ｎｍ以上あれば、データ線６ａ及び走査線３ａ間における寄生容量は余り又は殆ど問題とならない。

【０１０７】そして、半導体層１ａを活性化するために約１０００℃のアニール処理を２０分程度行った後、画像表示領域において、第２バリア層８０ｂに至る第４コンタクトホール５ｂを第２層間絶縁膜４に開孔する（図５参照）。同時に周辺領域において、遮光配線１１ｂに至る第６コンタクトホール５ｂ’をも第２層間絶縁膜４に開孔する（図６参照）。

【０１０８】この工程（８）においては特に、第４コンタクトホール５ｂは、第２層間絶縁膜４の厚み（例えば、８００ｎｍ程度）だけエッチングすれば必要十分であるのに対し、第６コンタクトホール５ｂ’は、第２層間絶縁膜４と下層絶縁膜１２ａとの合計の厚み（例えば、８００ｎｍ＋２００ｎｍ程度）だけ、より深くエッチングする必要がある。従って、このように深度の相異なるコンタクトホールを同時にエッチングで開孔しようとすれば、浅い方の第４コンタクトホール５ｂが完全に開孔された後に、更に第６コンタクトホール５ｂ’が完全に開孔されるまで、第４コンタトホール５ｂにおけるエッチングが継続される。しかるに本実施形態では、第２バリア層８０ｂが第４コンタクトホール５ｂにおけるエッチングに対するストッパとして機能する。このため、その下方にある半導体層１ａへの突き抜けを防止できる。即ち、仮に第２バリア層８０ｂがなかったとすれば、第６コンタクトホール５ｂ’の開孔完了を待つ間に、第４コンタクトホール５ｂにおけるエッチングが進行して薄い半導体層１ａを突き抜ける危険性がある。このため、装置信頼性及び製造効率が低下して、コスト上昇を招くと共に、ドライエッチングを用いた小径の開孔エッチング制御が困難となり、画素ピッチの微細化が困難となる。これに対して、本実施形態では、第２バリア層８０ｂが第４コンタクトホール５ｂの開孔時にエッチングに対するストッパとなるので、このような問題は生じないのである。

【０１０９】次に、図５及び図６の工程（９）に示すように、第２層間絶縁膜４の上に、スパッタリング等により、遮光性のＡｌ等の低抵抗金属や金属シリサイド等を金属膜として、約１００～５００ｎｍの厚さ、好ましくは約３００ｎｍに堆積する。

【０１１０】次に、画像表示領域において、フォトリソグラフィ工程、エッチング工程等によりデータ線６ａを形成し、同時に周辺領域において、定電位線６ｂを形成する。

【０１１１】次に図５及び図６の工程（１０）に示すように、データ線６ａや定電位線６ｂ上を覆うように、例えば、常圧又は減圧ＣＶＤ法やＴＥＯＳガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第３層間絶縁膜７を形成する。第３層間絶縁膜７の膜厚は、約５００～１５００ｎｍが好ましい。

【０１１２】次に、画素電極９ａと第１バリア層８０ａとを電気接続するための第２コンタクトホール８ｂを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。また、テーパ状にするためにウェットエッチングを用いても良い。

【０１１３】次に、第３層間絶縁膜７及び第２コンタクトホールから覗く第１バリア層８０ａの全面に、スパッタ処理等により、ＩＴＯ膜等の透明導電性薄膜を、約５０～２００ｎｍの厚さに堆積し、その後、フォトリソグラフィ工程、エッチング工程等により、画素電極９ａを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Ａｌ等の反射率の高い不透明な材料から画素電極９ａを形成してもよい。

【０１１４】次に、画素電極９ａの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜１６が形成される。

【０１１５】他方、図４に示した対向基板２０については、ガラス基板等が先ず用意され、第２遮光膜２３及び額縁としての第３遮光膜が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。これらの第２遮光膜２３及び第３遮光膜は、Ｃｒ、Ｎｉ、Ａｌなどの金属材料の他、カーボンやＴｉをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。尚、ＴＦＴアレイ基板１０上で、データ線６ａ、第１バリア層８０ａ、第１遮光膜１１ａ等で遮光領域を規定すれば、対向基板２０上の第２遮光膜２３を省くことができる。

【０１１６】その後、対向基板２０の全面にスパッタリング等により、ＩＴＯ等の透明導電性薄膜を、約５０～２００ｎｍの厚さに堆積することにより、対向電極２１を形成する。更に、対向電極２１の全面にポリイミド系

の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜２２が形成される。

【０１１７】最後に、上述のように各層が形成されたＴＦＴアレイ基板１０と対向基板２０とは、配向膜１６及び２２が対面するようにシール材（後述する）により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層５０が形成される。

【０１１８】以上の結果、遮光配線１１ｂを定電位線６ｂに接続のために専用工程は必要とされないので、製造プロセス上有利であり、定電位に固定される第１遮光膜１１ａを有する液晶装置を、比較的少ない工程数で且つ比較的簡単な工程を用いて製造でき、低コスト化を促進できる。更に、工程（２）から工程（４）により窪み６１及び６２が形成された２層構造の下地絶縁膜１２を形成するので、局所的に薄膜化された下地絶縁膜１２（即ち、第３蓄積容量７０ｃの誘電体膜）の部分の膜厚は、エッチングではなく薄膜形成により制御されるので、非常に薄く且つ一定にできる。従って、最終的には品質が安定しており比較的大容量の第３蓄積容量７０ｃを形成できることになる。

【０１１９】（電気光学装置の第２実施形態）本発明による電気光学装置の第２実施形態である液晶装置の製造プロセスについて、その構成と共に図７を参照して説明する。図７は、第２実施形態の液晶装置の製造プロセスを図２のＡ－Ａ’断面に対応する断面について順を追って示す工程図である。尚、図７に示した第２実施形態において図５に示した第1実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図７においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【０１２０】第２実施形態は、第１実施形態と比べて、工程（２）から（４）における窪み６１及び６２を持つ下地絶縁膜１２の形成工程が異なり、構成上も２層構造を持つ下地絶縁膜１２の構成が若干異なる。その他の構成及び製造プロセスについては第１実施形態の場合と同様である。

【０１２１】即ち図７において先ず、第１実施形態における図７の工程（１）と同様の工程（１）が行われる。

【０１２２】次に、図７の工程（２）に示すように、所定パターンの第１遮光膜１１ａ及び図示しない遮光配線１１ｂが形成されたＴＦＴアレイ基板１０上の全面に、下層絶縁膜１２ａ’を形成する。

【０１２３】次に、図７の工程（３）に示すように、この下層絶縁膜１２ａ’上の全面に上層絶縁膜１２ｂ’を形成する。

【０１２４】次に、図７の工程（４）に示すように、画像表示領域においては、上層絶縁膜１２ｂ’のうち第３蓄積容量７０ｃが形成される予定の領域を、フォトリソグラフィ及びエッチングにより局所的に開孔する。尚、これと同時に、図示しない周辺領域においては、定電位線６ｂと遮光配線１１ｂとの接続領域をエッチングにより局所的に開孔する。この際特に、上層絶縁膜１２ｂ’に対するエッチングレートが下層絶縁膜１２ａ’に対するエッチングレートよりも高いエッチングにより除去されるので、下層絶縁膜１２ａ’の膜厚を非常に薄くしてもエッチングが下層絶縁膜１２ａ’を突き抜ける事態を容易に回避し得る。この結果、下層絶縁膜１２ａ’と比べて殆ど同じか若干薄い膜厚にまで局所的に薄膜化された下地絶縁膜１２部分が第３蓄積容量７０ｃが形成される予定の領域及び接続領域に形成される。このように局所的に薄膜化された下地絶縁膜１２部分（即ち、第３蓄積容量７０ｃの誘電体膜）の膜厚は、エッチングではなく薄膜形成により支配されるので、非常に薄く且つ一定にできる。従って、最終的には品質が安定しており比較的大容量の第３蓄積容量７０ｃを形成できることになる。

【０１２５】この場合特に、下層絶縁膜１２ａ’を誘電率の高い窒化シリコン膜から形成し、上層絶縁膜１２ｂ’をエッチングレートの高い酸化シリコン膜から形成すれば、窪み６１及び６２を容易に形成しつつ、第３蓄積容量７０ｃの誘電体部分の誘電率を高めることもなるので、非常に効率的に第３蓄積容量７０ｃを増大できる。

【０１２６】次に、図７において、第１実施形態における図５の工程（５）から工程（１０）と同様の工程（５）から工程（１０）が行われる。

【０１２７】以上の結果、第１実施形態と比べて、下地絶縁膜１２の内部積層構造のみが若干異なる電気光学装置が製造される。

【０１２８】尚、上述した第１及び第２実施形態の製造プロセスでは、下地絶縁膜１２を下層絶縁膜と上層絶縁膜との２層構造から構成したが、単一の絶縁膜を形成した後、エッチングの時間管理により、第３蓄積容量７０ｃが形成される予定の領域及び接続領域をエッチングして、下地絶縁膜１２部分が所望の膜厚となるようにしてもよい。

【０１２９】（電気光学装置の第３実施形態）本発明による電気光学装置の第３実施形態である液晶装置の構成について、図８を参照して説明する。図８は、第１実施形態における図４の平面図のＡ－Ａ’断面に対応する第３実施形態の断面図である。尚、図８に示した第３実施形態において図４に示した第１実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図８においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【０１３０】図８において、第３実施形態では第１実施

形態とは異なり、ＴＦＴアレイ基板１０'は、その上側表面が、データ線６ａ、走査線３ａ及び容量線３ｂに対向する部分が凹状に窪んで形成されている。この結果、ＴＦＴアレイ基板１０'上にこれらの配線や層間絶縁膜を介して形成される画素電極９ａ及び配向膜１６も平坦化されている。その他の構成については第１実施形態の場合と同様である。

【０１３１】従って、第３実施形態によれば、データ線６ａに重ねて走査線３ａ、ＴＦＴ３０、容量線３ｂ等が形成される領域の他の領域に対する段差が低減される。このようにして画素の非開口領域の少なくとも一部分を埋め込むだけで画素電極９ａがほぼ平坦化され、当該平坦化の度合いに応じて液晶層５０のディスクリネーション（配向不良）を低減できる。この結果、第３実施形態によれば、より高品位の画像表示が可能となり、画素開口領域を広げることも可能となる。

【０１３２】尚、このようなＴＦＴアレイ基板１０'は、例えば、第１実施形態の製造プロセスにおける工程（１）の前に、凹状の窪みを形成すべき領域にエッチングを施せばよい。

【０１３３】上述のように第３実施形態では、基板を凹状に溝を形成した上に配線や素子部を形成して最終的に画素電極を平坦化しているが、第２層間絶縁膜４又は下地絶縁膜１２を凹状に窪めて形成しても同様の平坦化の効果が得られる。この場合、各層間絶縁膜を凹状に形成する方法としては、各層間絶縁膜を二層構造として、一層のみからなる薄い部分を凹状の窪み部分として二層の厚い部分を凹状の土手部分とするように薄膜形成及びエッチングを行なえばよい。或いは、各層間絶縁膜を単一層構造として、エッチングにより凹状の窪みを開孔するようにしてもよい。また、第３層間絶縁膜７をＴＦＴアレイ基板１０側から見て凹状に窪むように形成してもよい。即ち、第３層間絶縁膜７の上面をＣＭＰ（Chemical Mechanical Polishing）処理、スピンコート処理、リフロー法等により行ったり、有機ＳＯＧ（Spin On Glass)、無機ＳＯＧ、ポリイミド膜等を利用して平坦化すればよい。

【０１３４】（電気光学装置の全体構成）以上のように構成された各実施形態における液晶装置の全体構成を図９及び図１０を参照して説明する。尚、図９は、ＴＦＴアレイ基板１０をその上に形成された各構成要素と共に対向基板２０の側から見た平面図であり、図１０は、図９のＨ－Ｈ'断面図である。

【０１３５】図９において、ＴＦＴアレイ基板１０の上には、シール材５２がその縁に沿って設けられており、その内側に並行して、例えば第２遮光膜２３と同じ或いは異なる材料から成る画像表示領域の周辺を規定する額縁としての第３遮光膜５３が設けられている。シール材５２の外側の領域には、データ線６ａに画像信号を所定タイミングで供給することによりデータ線６ａを駆動するデータ線駆動回路１０１及び外部回路接続端子１０２がＴＦＴアレイ基板１０の一辺に沿って設けられており、走査線３ａに走査信号を所定タイミングで供給することにより走査線３ａを駆動する走査線駆動回路１０４が、この一辺に隣接する２辺に沿って設けられている。走査線３ａに供給される走査信号遅延が問題にならないのならば、走査線駆動回路１０４は片側だけでも良いことは言うまでもない。また、データ線駆動回路１０１を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線６ａは画像表示領域の一方の辺に沿って配設されたデータ線駆動回路１０１から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線６ａを櫛歯状に駆動するようにすれば、データ線駆動回路１０１の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にＴＦＴアレイ基板１０の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路１０４間をつなぐための複数の配線１０５が設けられている。また、対向基板２０のコーナー部の少なくとも１箇所においては、ＴＦＴアレイ基板１０と対向基板２０との間で電気的な導通をとるための導通材１０６が設けられている。そして、図１０に示すように、図９に示したシール材５２とほぼ同じ輪郭を持つ対向基板２０が当該シール材５２によりＴＦＴアレイ基板１０に固着されている。尚、ＴＦＴアレイ基板１０上には、これらのデータ線駆動回路１０１、走査線駆動回路１０４等に加えて、複数のデータ線６ａに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線６ａに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。尚、本実施の形態によれば、対向基板２０上の第２遮光膜２３はＴＦＴアレイ基板１０の遮光領域よりも小さく形成することができる。また、液晶装置の用途により、第２遮光膜２３は容易に取り除くことができる。

【０１３６】以上図１から図１０を参照して説明した各実施形態では、データ線駆動回路１０１及び走査線駆動回路１０４をＴＦＴアレイ基板１０の上に設ける代わりに、例えばＴＡＢ（Tape Automated Bonding)基板上に実装された駆動用ＬＳＩに、ＴＦＴアレイ基板１０の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。また、対向基板２０の投射光が入射する側及びＴＦＴアレイ基板１０の出射光が出射する側には各々、例えば、ＴＮ（Twisted Nematic）モード、ＶＡ(Vertically Aligned)モード、ＰＤＬＣ(Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差

フィルム、偏光板などが所定の方向で配置される。

【0137】以上説明した各実施形態における液晶装置は、カラー液晶プロジェクタに適用されるため、3枚の液晶装置がR（赤）G（緑）B（青）用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施形態における液晶装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【0138】以上説明した各実施形態における液晶装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように液晶装置を液晶プロジェクタに取り付けても、半導体層1aのチャネル領域1a'に光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側での反射を防止するために、反射防止用のAR（Anti Reflection)被膜された偏光板を別途配置したり、ARフィルムを貼り付ける必要があったが、各実施形態では、TFTアレイ基板10の表面と半導体層1aの少なくともチャネル領域1a'との間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要が無くなる。従って、各実施形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0139】また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。

【0140】本発明の電気光学装置は、上述した各実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴なう電気光学装置もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】電気光学装置の第1実施形態である液晶装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】第1実施形態の液晶装置におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】第1実施形態の液晶装置の周辺領域における遮光配線と定電位線との接続部を示す平面図である。

【図4】図2のA－A'断面図である。

【図5】第1実施形態の液晶装置の製造プロセスを図2のA－A'断面について順を追って示す工程図である。

【図6】第1実施形態の液晶装置の製造プロセスを図3のB－B'断面について順を追って示す工程図である。

【図7】第2実施形態の液晶装置の製造プロセスを図2のA－A'断面に対応する断面について順を追って示す工程図である。

【図8】電気光学装置の第3実施形態である液晶装置の断面図である。

【図9】各実施形態の液晶装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

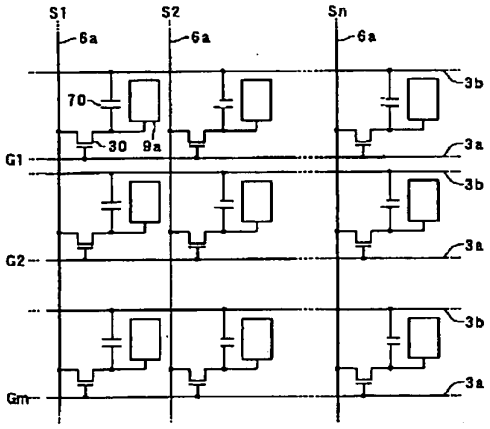
【図10】図12のH－H'断面図である。

【符号の説明】

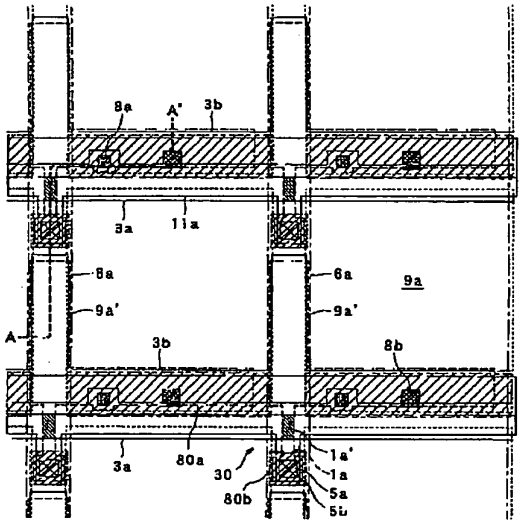
1a…半導体層
1a'…チャネル領域
1b…低濃度ソース領域
1c…低濃度ドレイン領域
1d…高濃度ソース領域
1e…高濃度ドレイン領域
1f…第1容量電極
2…絶縁薄膜
3a…走査線
3b…容量線
4…第2層間絶縁膜
5a…第3コンタクトホール
5a'…第5コンタクトホール
5b…第4コンタクトホール
5b'…第6コンタクトホール
6a…データ線

６ｂ…定電位線
７…第３層間絶縁膜
８ａ…第１コンタクトホール
８ｂ…第２コンタクトホール
９ａ…画素電極
１０…ＴＦＴアレイ基板
１１ａ…第１遮光膜
１１ｂ…遮光配線
１２…下地絶縁膜
１６…配向膜
２０…対向基板
２１…対向電極
２２…配向膜
２３…第２遮光膜
３０…画素スイッチング用ＴＦＴ
５０…液晶層
５２…シール材
５３…第３遮光膜
６１、６２…窪み
７０…蓄積容量
７０ａ…第１蓄積容量
７０ｂ…第２蓄積容量
７０ｃ…第３蓄積容量
８０ａ…第１バリア層
８０ｂ…第２バリア層
８１…第１層間絶縁膜
１０１…データ線駆動回路
１０４…走査線駆動回路

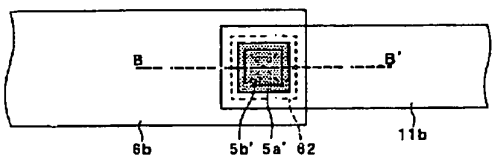
【図１】



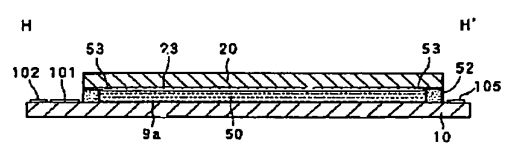
【図２】



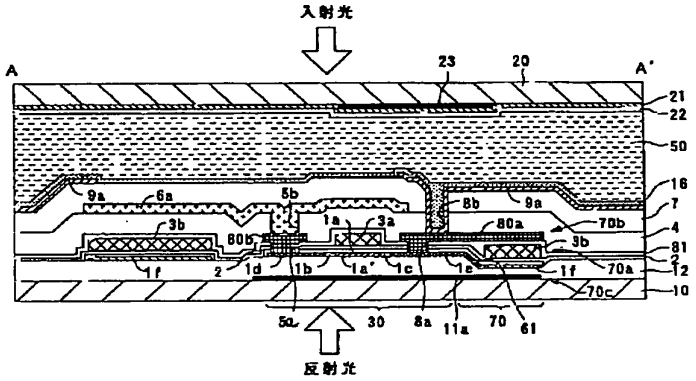
【図３】



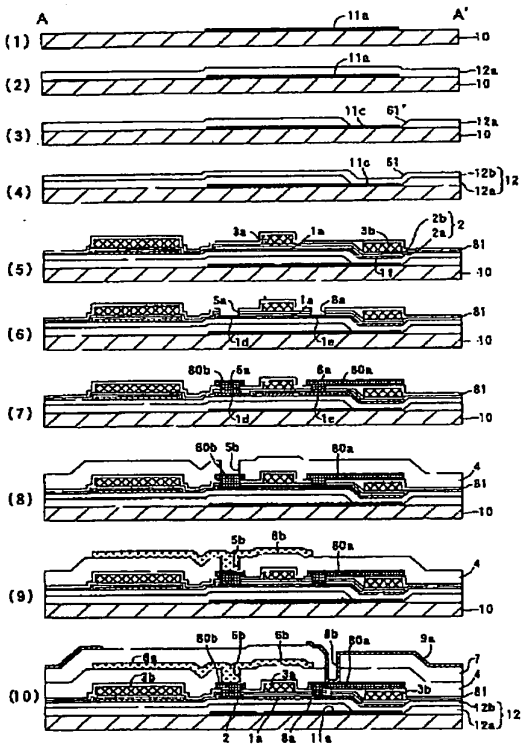
【図１０】



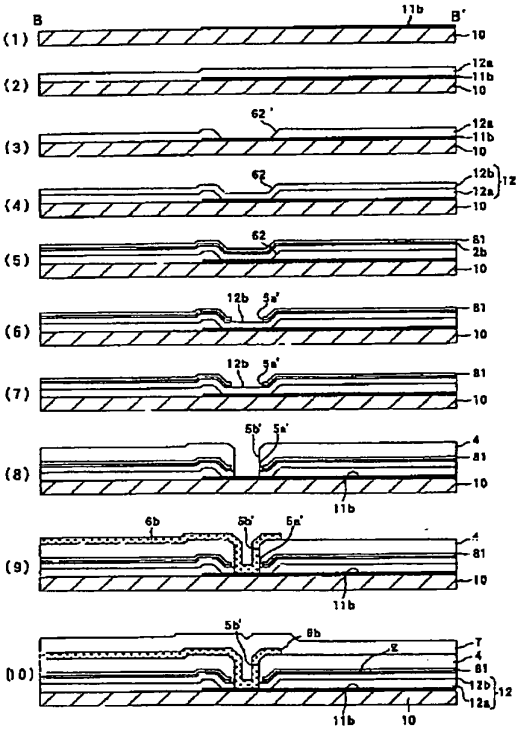
【図4】


入射光
A
A'
23
20
21
22
50
16
7
4
81
2
12
10
反射光
30
70
61

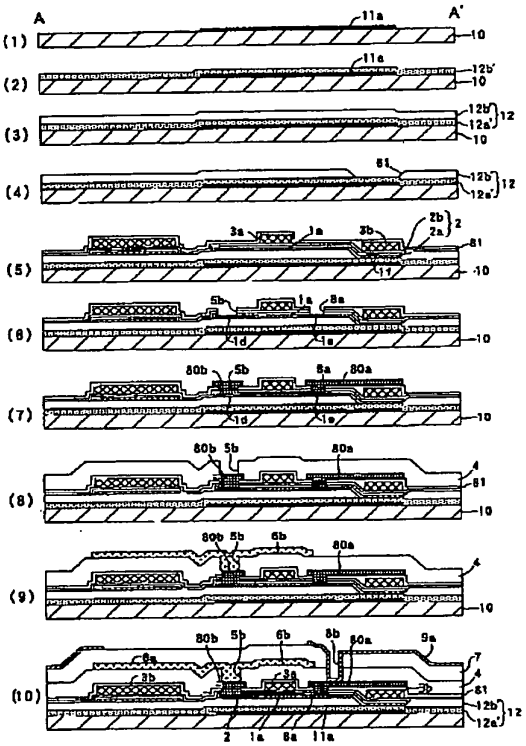
【図5】


A
A'
(1)
(2)
(3)
(4)
(5)
(6)
(7)
(8)
(9)
(10)

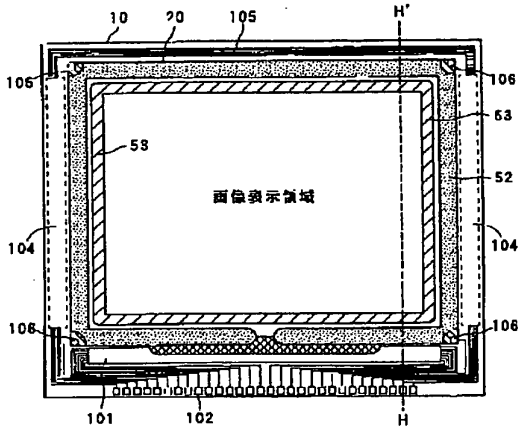
【図6】


B
B'
(1)
(2)
(3)
(4)
(5)
(6)
(7)
(8)
(9)
(10)

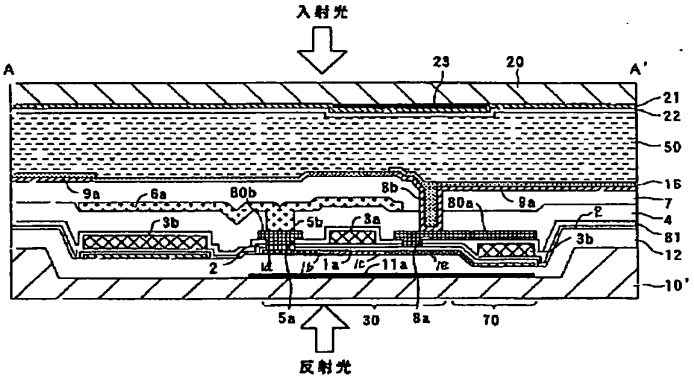
【図7】


A
A'
(1)
(2)
(3)
(4)
(5)
(6)
(7)
(8)
(9)
(10)
11a
12b'
12a'
12
81
3a
1a
3b
2b
2a
2
5b
8a
1d
1e
80b
80a
4
6b
8b
9a
7
6a
3b
2
1a
8a
11a

【図9】


10
20
105
H'
106
53
52
画像表示領域
104
101
102
H

【図8】


入射光
A
A'
23
20
21
22
50
16
9a
6a
80b
8b
80a
7
4
81
12
3b
5b
3a
2
1a
11a
10'
5a
30
8a
70
反射光

フロントページの続き

Fターム(参考) 2H092 JA25 JA46 JB05 JB07 JB52
JB56 JB64 JB66 JB69 KA04
KA07 KA10 KB22 KB25 MA07
MA27 NA01 NA21 PA09 RA05
5C094 AA00 AA06 AA10 AA25 BA03
BA43 CA19 DA15 DB04 EA04
EA10 EB02 FA01 FA02 FB02
FB12 FB16 GB10
5F110 AA06 AA18 AA21 BB04 CC02
DD02 DD03 DD05 DD12 DD13
DD14 DD17 DD24 DD25 EE05
EE06 EE09 FF02 FF03 FF09
FF23 FF32 GG02 GG13 GG24
GG25 GG47 HJ01 HJ04 HJ13
HJ23 HL02 HL03 HL04 HL05
HL06 HL08 HL23 HM03 HM14
HM15 HM17 NN03 NN04 NN22
NN23 NN24 NN27 NN35 NN40
NN42 NN44 NN45 NN46 NN47
NN72 PP02 PP03 PP10 PP13
PP33 QQ05 QQ11

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-137241
(43)Date of publication of application : 16.05.2000

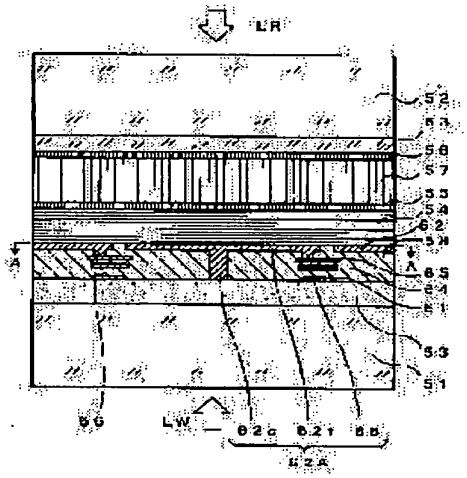
(51)Int.Cl. G02F 1/135
G09F 9/35

(21)Application number : 10-310935
(22)Date of filing : 30.10.1998

(71)Applicant : SONY CORP
(72)Inventor : NAKAJIMA HIDEHARU

(54) OPTICAL WRITE TYPE LIQUID CRYSTAL LIGHT VALVE DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide an optical write type liquid crystal light valve device which is capable of stabilizing coupling capacitance between pixel electrodes and auxiliary electrodes and improving productivity while realizing a high sensitivity and a high resolution.
SOLUTION: This optical write type liquid crystal light valve device has transparent substrates 51, 52, a photoconductive layer 53, electrodes 61 which are arranged by being brought into contact with this layer 53, electrodes 62 insulated with the electrodes 61, an optical reflection layer 54, a liquid crystal layer 57 and an electrode 63 and electrodes 64 are formed between the electrodes 62 and the electrodes 61 and, moreover, electrodes 65 are formed between the electrodes 62 and the electrodes 64 and the electrodes 61, the electrodes 64 and the electrodes 65 are arranged at positions opposing to intervals between divided electrode parts of the electrodes 62.



LEGAL STATUS

[Date of request for examination] 06.07.2005
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1] The 1st and 2nd transparence substrates, a photoconductive layer, and the 1st electrode arranged in contact with the above-mentioned photoconductive layer, It is formed in a same the 1st electrode of the above, and the above-mentioned photoconductive layer side, and has the 1st electrode of the above, the 2nd insulated electrode, an optical reflecting layer, a liquid crystal layer, and the 3rd electrode at least. The 2nd electrode of the above It consists of the division polar zone divided into two or more polar zone. Between the 2nd electrode of the above, and the 1st electrode of the above The 1st electrode of the above and the 4th insulated electrode are formed. Between the 2nd electrode of the above, and the 4th electrode of the above It is mold liquid crystal light valve equipment write-in [optical] which the 4th electrode of the above and the 5th electrode which constitutes capacity are formed, and is characterized by having arranged the 1st electrode of the above, the 4th electrode, and the 5th electrode in the location where the part counters between the above-mentioned division polar zone of the 2nd electrode of the above at least.
[Claim 2] Mold liquid crystal light valve equipment [according to claim 1] write-in [optical] characterized by making width of face of the 5th electrode of the above into width of face larger than the width of face of the direction of a shorter side of the 4th electrode of the above.
[Claim 3] Mold liquid crystal light valve equipment [according to claim 1] write-in [optical] characterized by making width of face of the 5th electrode of the above into width of face narrower than the width of face of the direction of a shorter side of the 4th electrode of the above.
[Claim 4] Mold liquid crystal light valve equipment [according to claim 1] write-in [optical] characterized by making the 5th electrode of the above into the width of face of abbreviation identitas in self align with the width of face of the 4th electrode of the above.
[Claim 5] Mold liquid crystal light valve equipment [according to claim 1] write-in [optical] with which the 5th electrode of the above is characterized by the thing of the 4th electrode of the above formed so that a part of flank and upper part might be countered at least.
[Claim 6] Mold liquid crystal light valve equipment [according to claim 2] write-in [optical] characterized by what the contact section of the 5th electrode of the above and the 2nd electrode of the above was formed for of the same contact section as the contact section of the 2nd electrode of the above, and the above-mentioned photoconductive layer.
[Claim 7] Mold liquid crystal light valve equipment [according to claim 5] write-in [optical] characterized by what the contact section of the 5th electrode of the above and the 2nd electrode of the above was formed for of the same contact section as the contact section of the 2nd electrode of the above, and the above-mentioned photoconductive layer.
[Claim 8] Mold liquid crystal light valve equipment [according to claim 1] write-in [optical] characterized by connecting the 2nd electrode of the above, and the above-mentioned photoconductive layer through the buffer layer of the same ingredient as the 1st electrode of the above, and thickness.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] This invention is concerned with mold liquid crystal light valve equipment write-in [optical], and aims at improvement of sensibility to a write-in light in mold liquid crystal light valve equipment write-in [optical], and improvement in spatial resolution.
[0002]
[Description of the Prior Art] Liquid crystal light valve equipment (it is called Following LCLV) is an optical-optical image transformation machine. A light valve is equipment accomplished so that an optical image might be read to real time by the light from other light sources and this could be outputted in response to light with optical low reinforcement.
[0003] LCLV is used as the object for military affairs, and application to the big screen for commerce. for example, Rodney D Sterling of a fuse (Hughes) ** -- "Video-Rate Liquid Crystal Light-Valve Using an Amorphous Silicon Photo Detector", and SID, '90 Digest, Paper No.17A 2 and PP 327-329 (1990) Announced LCLV As that outline block diagram is shown in drawing 16 , a transparent electrode 2 is formed on the 1st transparent glass substrate 1, and it is thick on this and are continuous to it. The homogeneous amorphous silicon (henceforth a-Si) photoconductive layer 3 is formed, the laminating of the dielectric mirror 5 as the optical filter layer 4 and optical reflecting layers, such as CdTe, is further carried out on this, an orientation layer 6 is formed in this front face, and it changes. On the other hand, the 2nd transparent glass substrate 7 is prepared, and a transparent electrode 8 and an orientation layer 9 are similarly formed on this. And the side in which the orientation layers 6 and 9 were formed is carried out inside, these 1st and 2nd glass substrates 1 and 7 hold spacing of about several micrometers, and counter, in between [these], liquid crystal is poured in, the liquid crystal layer 10 is formed, and LCLV is constituted.
[0004] This LCLV is made into an optical image observation-side, and the 2nd glass substrate 7 side irradiates the read-out light LR by polarization from this 2nd glass substrate 7 side perpendicularly to this glass substrate 7. At this time, read-out light passes a transparent electrode 7 and the liquid crystal layer 10, it is reflected by the dielectric mirror 5, and it passes the liquid crystal layer 10 and a glass substrate 7 again, is emitted outside, and can observe this. On the other hand, if it writes in from the 1st glass substrate 1 side and Light LW is irradiated, impressing alternating voltage AC between both the transparent electrodes 2 and 8 where this read-out light LR is irradiated, this write-in light LW will penetrate the 1st glass substrate 1 and transparent electrode 2, and will be irradiated by the photoconductive layer 3, a photoconductive layer 3 will be activated in this exposure section, and an electronic-electron hole pair will occur. By this, the electrostatic capacity of a photoconductive layer 3 increases according to the pattern according to the exposure pattern of the write-in light LW, and reinforcement, resistance falls, and the electrical potential difference whose liquid crystal layer is pinched increases. A spatial change of this electrical potential difference turns into change of bearing of a liquid crystal molecule, the above-mentioned read-out light LR which passes a liquid crystal layer is made to cause a birefringence and the rotatory polarization, and bearing (Polarization) of polarization of

the read-out light LR is modulated. Therefore, the read-out light finally emitted from the 2nd glass substrate 7 is observable as quantity of light change by passing a polarizing plate. That is, the optical image according to the pattern, i.e., the optical image, of the write-in light LW is observable from the 2nd glass substrate 7 side.

[0005] In addition, the optical filter layer 4 is arranged between the dielectric mirror 5, i.e., a light reflex layer, and a photoconductive layer 3, and a slight read-out light which has passed this light reflex layer by this is also absorbed by this optical filter layer 4. This read-out light arrives at a photoconductive layer 3, and a photoconductive layer is activated, and it is arranged in order to avoid generating elephants other than a write-in light, i.e., generating of a noise.

[0006] By the way, in order to obtain high sensibility, I want to maximum-ize the electrical potential difference impressed to a liquid crystal layer according to the change in resistance of a photoconductive layer 3 in LCLV mentioned above. This maximum-ization is attained when the impedance of the photoconductive layer 3 equivalent to which light has not been, and the impedance of the liquid crystal layer 10 fulfill the following conditions. That condition is carrying out to an equivalent capacity of a photoconductive layer 3, the same capacity [in / in the impedance by the parallel circuit of a bulk resistor / the liquid crystal layer 10], and the impedance by the parallel circuit of resistance mostly more than an EQC (the relation in which balance can take this condition below is called). And implementation of the relation which can take this balance is specifically supposed that thickness of the photoconductive layer 3 by a-Si is thick-film-ized to about 30 micrometers.

[0007] Thus, when needing the thick film which amounts to 30 micrometers tends to set up the relation which can take balance of the impedance of the photoconductive layer 3 mentioned above and the liquid crystal layer 10, the dielectric constant of the photoconductive layer 3 by the a-Si film is based on it being higher than the dielectric constant of the liquid crystal layer 10. However, if the photoconductive layer by the a-Si layer is used as the thick film which amounts to 30 micrometers in this way, it will write in and will become easy to diffuse the charge which was mentioned above and which was generated in the photoconductive layer to an adjoining field by the incidence of light.

[0008] That is, in an a-Si photoconductive layer, although the photoconductive layer will consider as the configuration which has high resistance in extent which can prevent longitudinal direction diffusion of the charge generated by optical exposure in ideal LCLV, if the thickness also amounts to about 30 micrometers, sufficient high resistance will not be obtained, but it will become easy to produce diffusion of a lateral (the direction of a field) charge, and the fall of contrast spatial as a result and the fall of resolution will be caused.

[0009] In order to avoid such un-arranging, the attempt which adds a dopant in the a-Si layer which constitutes a photoconductive layer, and gathers resistivity was made. Since this has the property to generate n mold dopant by birth, in this film when the a-Si film is formed, it is based on the approach of offsetting this by doping the boron of p mold dopant. However, by this approach, the effectiveness of addition of a dopant is very large, and as a realistic activity, it is very difficult to dope correctly p mold dopant for setting it as the resistivity made into the purpose, since generating of n mold dopant is different for every membrane formation of a-Si, and increase of a manufacturing cost and the fall of the yield are brought about.

[0010] Then, the proposal by the block construction which separates a photoconductive layer completely for every pixel is made (U.S. Pat. No. 5076670). Although this separation is based on pattern etching by the photolithography, as mentioned above, as for carrying out pattern etching of the thick photoconductive layer by which that thickness amounts to 30 micrometers, the patternizing with working hours not only becoming long but clear becomes difficult. Furthermore, although an insulating material will be embedded at Mizouchi between the separated photoconductive layers, the activity whose aspect ratio (the ratio of depth-of-flute d and width of face w, d/w) of this embeds an insulating material in a high slot is difficult, and causes cost quantity, and a problem is in dependability.

[0011] Moreover, as the outline sectional view is shown in drawing 17 , on both sides of a photoconductive layer 3, it counters with a transparent electrode 2, and the structure which forms alternatively the conductive layer 11 of the low resistivity in a high reflection factor, and forms an

insulating layer 12 between the adjacent conductive layers 11 is proposed (in drawing 17 , the same sign is given to drawing 16 and a corresponding part, and duplication explanation is omitted). In this case, there is effectiveness which reads, reflects light and does not carry out incidence to a photoconductive layer 3 of passing the dielectric mirror 5, without having the effectiveness which promotes recovery of the charge generated in the photoconductive layer 3 by the conductive layer 11, and forming the optical filter layer 4 in drawing 16 . However, there was no change in the situation that thick-film-ization of a photoconductive layer 3 is needed in order to reduction-ize capacity of a photoconductive layer 3 since the opposed face product of the conductive layer 11 which counters on both sides of a photoconductive layer 3 when based on this structure, and a transparent electrode 2 is size.

[0012] Moreover, although the structure (U.S. Pat. No. 4913531) which separates a part and does not only carry out separation between components completely by the isolation insulating-layer field between the components of a photoconductive layer from a viewpoint which prevents diffusion of the charge between pixels is proposed Although the effectiveness of decreasing some diffusion to the component field where the charge generated in the photoconductive layer by write-in light adjoins is expectable only by this approach, it has come to solve the problem of a fall of superficial resolution completely. Moreover, about the photoconductive layer of a thick film being required, the problem still remains.

[0013]

[Problem(s) to be Solved by the Invention] The mold liquid crystal light valve equipment write-in [optical] proposed previously is shown in drawing 18 in order to aim at solution of many problems mentioned above. As shown in drawing 18 , it has the 1st and 2nd respectively transparent substrates 21 and 22, a photoconductive layer 23, the 1st electrode 31 and the 2nd electrode 32 that contacted this photoconductive layer 23, respectively and were formed in it, the optical reflecting layer 24, the liquid crystal layer 27, and the 3rd electrode 33, and is constituted.

[0014] The 2nd electrode 32 consists of division polar-zone 32A divided into two or more polar zone, and each division polar-zone 32A has been arranged almost along the direction of a field of the liquid crystal layer 27, i.e., it consists of contact section 32c with 32f of counterelectrode sections which constitute a counterelectrode with the 3rd electrode 33 on both sides of the liquid crystal layer 27, and the photoconductive layer 23 perpendicularly prolonged from this. Division polar-zone 32A is formed in the shape of [which was formed in the direction which extends perpendicularly] a cross section of T characters from the center the contact section 32c of whose is 32f of counterelectrode sections.

[0015] And in each division polar-zone 32A of the 2nd electrode 32, the touch area of contact section 32c with the photoconductive layer 23 is enough selected from the area of 32f of counterelectrode sections by smallness.

[0016] Moreover, between 32f of counterelectrode sections of the 2nd electrode 32, the part carries out the right pair of the 1st electrode 31, and it is formed.

[0017] And the 2nd electrode 32 can make capacity concerning a photoconductive layer 23 smallness substantially by having separated 32f of the counterelectrode section from the photoconductive layer 23 as much as possible.

[0018] Therefore, thickness of the photoconductive layer 23 which sets up the balance relation of the impedance mentioned above can be thin-film-ized to about 1-2 micrometers which is thickness thin for example, required for absorption of the write-in light LW to this photoconductive layer 23.

[0019] Furthermore, in addition to this, the measures which enlarge seemingly capacity by the side of the liquid crystal layer 27 can also be taken. That is, as shown in drawing 19 , the structure which has arranged the 1st electrode 31 and 2nd electrode 32 on 1 principal-plane 23S of the opposite side is taken in the substrate 21 of a photoconductive layer 23.

[0020] In this structure, the capacity by which substantial opposite distance is applied by this to the large next door photoconductive layer 23 serves as smallness from becoming the direction where opposite through the photoconductive layer 23 of the 1st electrode 31 and the 2nd electrode 32 meets in the direction of a field of a photoconductive layer 23 to a photoconductive layer 23 by juxtaposing the 1st electrode 31 and contact section 32c of the 2nd electrode 32.

[0021] By newly carrying out arrangement formation of the 3rd electrode 33 and the 4th electrode 34

made into electric same electric potential between the arrangement side of 32f of counterelectrode sections of the 2nd electrode 32, and a photoconductive layer 23, as furthermore shown in drawing 20 The capacity formed between the 1st electrode 31 formed in the capacity formed on both sides of the usual liquid crystal layer 27 through the layer insulation layer 42 and the 4th electrode 34 can be added, and the capacity concerning the liquid crystal layer 27 can be made to increase substantially.
[0022] Therefore, it becomes possible by making the capacity by the side of the liquid crystal layer 27 increase seemingly to balance completely liquid crystal layer 27 and photoconductive layer 23 both impedance to the photoconductive layer 23 side capacity which increases by making a photoconductive layer 23 thin-film-ize.
[0023] By using an above-mentioned means, it becomes possible to make the electrical potential difference impressed to the liquid crystal layer 27 according to the change in resistance of the photoconductive layer 23 which consists of a-Si by incident light maximum-ize.
[0024] However, in the configuration shown in this drawing 20 , also when above-mentioned physical relationship shifts, it is necessary to form, in order to make it these electrodes 32 and the opposed face product between 34 not vary between devices, also when the physical relationship of the 2nd electrode 32 and the 4th electrode 34 shifts as the 2nd electrode 32 surely overlaps to the 4th electrode 34. That is, it is necessary to consider width of face of the 4th electrode 34 as width-of-face + doubling gap required for the width-of-face + capacity formation between the width-of-face = 2nd electrode 32 of the 4th electrode 34.
[0025] Although it will be necessary to expand the width of face of the 1st lower layer electrode 31 on the other hand in order that the 4th electrode 34 may not counter a photoconductive layer 23 directly if it is going to make large width of face of the 4th electrode 34 so that the 2nd electrode 32 may overlap to the 4th electrode 34, a charge generating field becomes small by this, and sensibility falls.
[0026] That is, if overlap is taken so that the doubling gap with the 2nd electrode 32 and the 4th electrode 34 may be permitted completely, it can be said that the problem to which the sensibility of a LCLV device falls is generated.
[0027] However, when the width of face for doubling gap with the 4th above-mentioned electrode 34 cannot be taken enough conversely, dispersion in the capacity between two electrodes 32 and 34 is produced, the yield of a product is lowered or problems, like image quality varies are produced.
[0028] So that-izing of the electrical potential difference impressed to a liquid crystal layer even if it aims at solution of many problems mentioned above in this invention and thin-film-izes a photoconductive layer to about 1-2 micrometers can be carried out [maximum] While dispersion stabilizes a joint capacity of a pixel electrode and an auxiliary electrode required in order to balance the capacity by the side of a photoconductive layer and a liquid crystal layer few The mold liquid crystal light valve equipment write-in [optical] which enabled it to improve productivity, such as reduction of the difficulty of a manufacture process and a manufacturing cost, is offered realizing high sensibility and high resolution.
[0029]
[Means for Solving the Problem] The mold liquid crystal light valve equipment of this invention write-in / optical The 1st and 2nd transparence substrates, a photoconductive layer, and the 1st electrode arranged in contact with a photoconductive layer, The 2nd electrode which was formed in the same this 1st electrode and a photoconductive layer side, and was insulated with the 1st electrode, Have an optical reflecting layer, a liquid crystal layer, and the 3rd electrode at least, and the 2nd electrode consists of the division polar zone divided into two or more polar zone. The 1st electrode and the 4th insulated electrode are formed between this 2nd electrode and 1st electrode. Furthermore, the 4th electrode and the 5th electrode which constitutes capacity are formed between the 2nd electrode and the 4th electrode, and the 1st electrode, 4th electrode, and 5th electrode are arranged in the location where the part counters between the division polar zone of the 2nd electrode at least.
[0030] According to the configuration of above-mentioned this invention, even if it doubles in the 4th electrode and 5th electrode and produces gap by arranging the 4th electrode and the 5th electrode which constitutes capacity between the 2nd electrode and the 4th electrode, the opposed face product of these

4th electrodes and the 5th electrode can be secured, and each stable interelectrode capacity can be secured.
[0031]
[Embodiment of the Invention] The 1st electrode with which this invention has been arranged in contact with the 1st and 2nd transparence substrates, a photoconductive layer, and a photoconductive layer, The 2nd electrode which was formed in the same the 1st electrode and a photoconductive layer side, and was insulated with the 1st electrode, Have an optical reflecting layer, a liquid crystal layer, and the 3rd electrode at least, and the 2nd electrode consists of the division polar zone divided into two or more polar zone. The 1st electrode and the 4th insulated electrode are formed between the 2nd electrode and the 1st electrode. The 4th electrode and the 5th electrode which constitutes capacity are formed between the 2nd electrode and the 4th electrode, and the 1st electrode, 4th electrode, and 5th electrode are mold liquid crystal light valve equipment write-in [optical] arranged in the location where the part counters between the division polar zone of the 2nd electrode at least.
[0032] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the width of face of the 5th electrode considers this invention as the configuration made into width of face larger than the width of face of the direction of a shorter side of the 4th electrode.
[0033] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the width of face of the 5th electrode considers this invention as the configuration made into width of face narrower than the width of face of the direction of a shorter side of the 4th electrode.
[0034] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the 5th electrode considers this invention as the configuration made into the width of face of abbreviation identitas in self align with the width of face of the 4th electrode.
[0035] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the 5th electrode considers this invention as the configuration of the 4th electrode formed so that a part of flank and upper part might be countered at least.
[0036] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the contact section of the 5th electrode and the 2nd electrode considers this invention as the configuration formed of the same contact section as the contact section of the 2nd electrode and a photoconductive layer.
[0037] Moreover, in the above-mentioned mold liquid crystal light valve equipment write-in [optical], the 2nd electrode and photoconductive layer consider this invention as the configuration connected through the buffer layer of the same ingredient as the 1st electrode, and thickness.
[0038] Drawing 1 shows the outline sectional view of the important section of the gestalt of 1 operation of the mold liquid crystal light valve equipment of this invention write-in [optical]. Moreover, drawing 2 shows the outline top view of the pixel field of the mold liquid crystal light valve equipment of drawing 1 write-in [optical].
[0039] Also in the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical], the 1st transparence substrate 51 and the 2nd transparence substrate 52 which consist of a glass substrate, for example are prepared. The transparence in the 1st transparence substrate 51 and the 2nd transparence substrate 52 is that transparence, i.e., high permeability, is shown to the write-in light LW about the 1st transparence substrate 51, and it cannot be overemphasized that transparence, i.e., high permeability, is shown to the read-out light LR about the 2nd transparence substrate 52.
[0040] A photoconductive layer 53 is formed in one principal plane of the 1st transparence substrate 51. On this And the 1st electrode 61, For example, the 2nd electrode 62 which division polar-zone 62A divided into two or more polar zone for every pixel is arranged, and changes is formed. After carrying out flattening of the front face by the chemical mechanical grinding method, further, on it, the reflecting layer 54 by the dielectric mirror configuration is formed, and the orientation layer 55 by which the orientation of liquid crystal is made on the front face is formed.
[0041] Moreover, the 3rd electrode 63 includes one principal plane of the 2nd transparence substrate 52 throughout the liquid crystal layer 57, and is extensively formed in it, and the orientation layer 56 by which the orientation of liquid crystal is made similarly is formed in the front face.

[0042] And each orientation layer [of the 1st transparence substrate 51 and the 2nd transparence substrate 52] 55 and 56 side is made to counter mutually, spacing between both is held at predetermined spacing by mediation of a glass bead (not shown), a perimeter is closed, flat space is formed between both the transparence substrate 51 and 52, liquid crystal is poured in here and the liquid crystal layer 57 is formed.
[0043] a photoconductive layer 53 -- the 1st transparence substrate 51 top -- all-out -- for example, an a-Si layer -- sputtering or CVD (chemical vapor growth) -- it forms by forming membranes by law etc.
[0044] The 1st electrode 61 forms metal layers, such as Cr, W, and aluminum, by vacuum evaporationo, sputtering, etc. on a photoconductive layer 53, and forms them for example, in the grid-like pattern which drilled two or more openings with necessary spacing by the photolithography.
[0045] Like the configuration shown in drawing 19 and drawing 20 , by forming this 1st electrode 61 on the photoconductive layer 53, the diffusion to the contiguity pixel field of the carrier generated in the photoconductive layer 53 by the incidence of the write-in light LW can be prevented, and the fall of the contrast between pixels can be prevented.
[0046] And the 2nd electrode 62 is formed on a photoconductive layer 53. The 2nd electrode 62 is formed with the metal which has protection-from-light nature to a write-in light and read-out light, such as aluminum, Cr, and W.
[0047] Division polar-zone 62A of the 2nd electrode 62 has contact section 62c as a part of the direction of a laminating of each class, i.e., the perpendicular direction in drawing, has 62f of counterelectrode sections as a part of the direction of the principal plane of each class, i.e., the drawing Nakamizu common direction, and is constituted. The end of contact section 62c is connected to the photoconductive layer 53.
[0048] Between division polar-zone 62A of the 2nd electrode 62, between the 2nd electrode 62 and a photoconductive layer 53, the layer insulation layers 58, such as SiO2 and SiN, are formed, and the 1st electrode 61 and 2nd electrode 62 are insulated by this layer insulation layer 58.
[0049] And the optical reflecting layer 54 is extensively formed on the 2nd electrode 62. The so-called dielectric mirror by the usual multilayer structure can constitute this optical reflecting layer 54, and it can also depend the orientation layer 55 formed on this on the usual configuration.
[0050] Moreover, the 3rd electrode 63 formed in one principal plane of the 2nd transparence substrate 52 is formed of transparent electrode layers, such as ITO (indium stannic acid ghost), like usual, and can also depend the orientation layer 56 formed on this on the usual configuration.
[0051] Furthermore, like the configuration shown in drawing 20 , the 3rd electrode 63 and the 4th electrode 64 of same electric potential counter with the 2nd electrode 62, and arrangement formation is carried out. This 4th electrode 64 is insulated in the 1st electrode 61 and 2nd electrode 62 by the layer insulation layer 58. Moreover, the 4th electrode 64 is formed in width of face larger than the 1st electrode 61.
[0052] Especially in the gestalt of this operation, the 4th electrode 64 is countered and arrangement formation of the 5th electrode 65 which forms opposite capacity with the 4th electrode 64 is carried out at the 2nd electrode 62 side. This 5th electrode 65 is formed in larger width of face than the width of face of the 4th electrode 64, i.e., the width of face of the direction of a shorter side of the 4th electrode 64 used as the grid-like pattern from drawing 2 . Moreover, the 5th electrode 65 counters 62f of counterelectrode sections of division polar-zone 62A of the 2nd two electrode 62, and between them, among those is connected to 62f of one counterelectrode sections through contact 66. That is, the 5th electrode 65 is arranged and connected one [at a time] to each division polar-zone 62A.
[0053] And as shown in drawing 2 , between them [division polar-zone 62A (62f of counterelectrode sections) and between them] corresponding to two pixels which adjoin the lengthwise direction in drawing superficially, the 5th electrode 65 counters and is formed. Moreover, in this case, the pattern of the 5th electrode 65 is not continuously formed like the pattern of the 1st electrode 61 or the 4th electrode 64, but is formed in the divided pattern.
[0054] Furthermore, it considers as the width of face which widened width of face of the 5th electrode 65 more than the alignment gap part of these electrodes 64 and 65 to the width of face of the 4th

electrode 64 preferably. Thereby, even if there is an alignment gap, the 4th electrode 64 comes to counter the 5th electrode 65 covering full. Therefore, the capacity of the 2nd electrode 62 and the 4th electrode 64 which are formed with the 4th electrode 64 and 5th electrode 65 can be stabilized.
[0055] It considers as the width of face which similarly was wide by the alignment gap and carried out width of face of the 4th electrode 64 to the width of face of the 1st electrode 61 preferably.
[0056] Formation of the 4th electrode 64 and the 5th electrode 65 can form ingredients, such as a metal which constitutes an electrode extensively on the layer insulation layer 58, respectively, and can be performed by making this into a desired pattern by regist patterning and etching.
[0057] Moreover, in the gestalt of this operation, formation of the 2nd electrode 62 is performed as follows. After forming a metal etc. after carrying out flattening of the front face of the layer insulation layer 58 so that opening of the contact hole to a photoconductive layer 53 and the contact hole to the 5th electrode 65 may be carried out to coincidence and these contact holes may be filled for example, regist patterning and etching are performed and the 2nd electrode 62 is formed.
[0058] By according to the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical], making the 4th electrode 64 and the 5th electrode 65 which forms capacity counter the 4th electrode 64, and carrying out arrangement formation It can control that the opposed face product which constitutes capacity by doubling gap of two electrodes changes a lot as compared with the case where capacity is formed by the opposite section of division polar-zone 62A of the 2nd electrode, and the 4th electrode 64 as shown in drawing 20 , and variation arises in capacity for every component.
[0059] Furthermore, by making width of face of the 5th electrode 65 into width of face larger than the width of face of the direction of a shorter side of the 4th electrode 64, even if there is doubling gap, as an opposed face product does not change, the variation in capacity can be reduced.
[0060] With the gestalt of above-mentioned operation, although it was the configuration which formed the 5th electrode 65 in larger width of face than the width of face of the 4th electrode 64, it can consider as the configuration formed in width of face smaller than the width of face of the 4th electrode 64. That case is shown below.
[0061] The outline sectional view of the important section of the gestalt of other operations of the mold liquid crystal light valve equipment of this invention write-in [optical] is shown in drawing 3 . The 5th electrode 65 is formed in width of face smaller than the width of face (width of face of the direction of a shorter side) of the 4th electrode 64 with the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical]. Moreover, the 1st electrode 61 is formed in larger width of face than the width of face of the 4th electrode 64. That is, the width of face of an electrode is constituted so that it may become the width of face of the width-of-face > 5th electrode 65 of the width-of-face > 4th electrode 64 of the 1st electrode 61.
[0062] Furthermore, the width of face of each electrodes 61, 64, and 65 is set up so that it may have a difference more than the alignment gap part between each electrodes 61 and 64, and 64 and 65 preferably. That is, with the gestalt of this operation, that width of face decreases conversely differ greatly to increasing the part which expected alignment gap, and its width of face as the gestalt of previous operation faces to the 5th electrode 65 from the 1st electrode 61.
[0063] In addition, in drawing 3 , the same sign is given to other drawing 1 and a corresponding part, and duplication explanation is omitted.
[0064] Also in the gestalt of this operation, it has the effectiveness of making the capacity by the side of the liquid crystal layer 57 increasing by forming the 4th electrode 64 like the gestalt of previous operation, and the effectiveness that change of the opposed face product of these two electrodes 64 and 65 decreases, and the variation in capacity is controlled by forming the 5th electrode 65 by the doubling gap between the 4th electrode 64 and the 5th electrode 65.
[0065] And even if it doubles between the 4th electrode 64 and the 5th electrode 65 and there is gap as mentioned above by forming the width of face of the 5th electrode 65 narrowly more than the doubling gap part of these electrodes 64 and 65 rather than the width of face of the 4th electrode 64, it will surely counter with the 4th electrode 64 at full [of the 5th electrode 65]. therefore, Sae Haba of the 5th

electrode 65 -- if it controls correctly -- inter-electrode capacity variation -- in addition -- being alike -- it was the key factor of variation with a big capacity conventionally only according to the variation in the thickness of the inter-electrode layer insulation layer 58, and the factor of gap can be eliminated.
[0066] In addition, the capacity formed with the 4th electrode 64 and 5th electrode 65 is prescribed by the 5th electrode 65 with the gestalt of this operation to being prescribed by the 4th electrode 64 with the gestalt of previous operation.
[0067] And the outline sectional view of drawing 4 - drawing 5 explains the production process of the mold liquid crystal light valve equipment of drawing 3 write-in [optical]. This production process shows a suitable production process, in order to eliminate the variation in the capacity by doubling gap of three above-mentioned electrodes 61, 64, and 65.
[0068] First, as shown in drawing 4 A, continuation formation of the 1st electrode 61, the insulator layer 58 of the upper layer, the 4th electrode 64, the insulator layer 58 of the upper layer, and the 5th electrode 65 is carried out on the photoconductive layer 53 formed on the 1st transparence substrate 51 which consists of glass etc., and patterning and etching by the resist 59 are performed to the 5th electrode 65. The resist 59 on the 5th electrode 65 is removed after this.
[0069] Next, as shown in drawing 4 B, the 5th patternized electrode 65 is covered, a resist 59 is formed, and patterning corresponding to the pattern of a request of the 4th electrode 64 is performed to this resist 59. At this time, even if the pattern of the resist 59 of the 4th electrode 64 has the alignment gap in the case of patterning, it is formed on the 5th electrode 65 more widely (more than a pattern gap part) than Haba of the 5th electrode 65 so that the 5th electrode 65 may be covered with a resist 59.
[0070] And as shown in drawing 4 C, the 4th electrode 64 and the insulator layer 58 on it are etched with this resist mask 59. A resist 59 is removed after this.
[0071] Next, as shown in drawing 5 D, the 4th electrode 64 and 5th electrode 65 which were patternized are covered, a resist 59 is formed, and patterning corresponding to the pattern of a request of the 1st electrode 61 is performed to this resist 59. At this time, even if the pattern of the resist 59 of the 1st electrode 61 has the alignment gap in the case of patterning, it is formed on the 4th electrode 64 more widely (more than a pattern gap part) than Haba of the 4th electrode 64 so that the 4th electrode 64 may be covered with a resist 59.
[0072] And as shown in drawing 5 E, the 1st electrode 61 and the insulator layer 58 on it are etched with this resist mask 59. A resist 59 is removed after this. The electrodes 61, 64, and 65 which are three as which width of face was specified as mentioned above by this are formed.
[0073] After a next process covers three electrodes 61, 64, and 65, forms the layer insulation layer 58 and performs flattening of that front face, as opening of the contact hole to a photoconductive layer 53 and the contact hole to the 5th electrode 65 is carried out to the layer insulation layer 58 at coincidence and it is shown in drawing 5 F, it forms a metal etc. and forms the 2nd electrode 62 so that these contact holes may be filled.
[0074] The mold liquid crystal light valve equipment write-in [optical] shown in drawing 3 can be manufactured like the conventional production process after that.
[0075] Next, the outline sectional view of the important section of the gestalt of the operation of further others of the mold liquid crystal light valve equipment of this invention write-in [optical] is shown in drawing 6 . Moreover, drawing 7 shows the outline top view of the pixel field of the mold liquid crystal light valve equipment of drawing 6 write-in [optical]. With the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical], it is the configuration which formed the 5th electrode 65 and 4th electrode 64 in the width of face of abbreviation identitas in self align.
[0076] In addition, the 1st electrode 61 is formed in width of face larger than these 4th electrodes 64 and the 5th electrode 65. Since other configurations are the same as that of the gestalt of operation shown in the gestalt and drawing 3 of operation which were shown in drawing 1 , they attach the same sign and omit duplication explanation.
[0077] Since according to the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical] the 5th electrode 65 and 4th electrode 64 are formed in the width of face of abbreviation identitas in self align, and these electrodes 64 and 65 counter covering full [both] and

become fixed [an opposed face product], the capacity between two electrodes becomes fixed.
[0078] Next, the outline sectional view of drawing 8 - drawing 11 explains the production process of the mold liquid crystal light valve equipment write-in [optical] shown in this drawing 6 and drawing 7 . This production process shows a suitable production process, in order to make two above-mentioned electrodes 64 and 65 into abbreviation same width of face in self align and to make capacity regularity. Drawing 8 - drawing 11 show the sectional view (drawing 8 A - drawing 11 A) in X-X' in the top view of drawing 7 , and the sectional view (drawing 8 B - drawing 11 B) in Y-Y' in each drawing, respectively.
[0079] As shown in drawing 8 A and drawing 8 B, continuation formation of the 1st electrode 61, the insulator layer 58 of the upper layer, the 4th electrode 64, the insulator layer 58 of the upper layer, and the 5th electrode 65 is carried out on the photoconductive layer 53 formed on the 1st transparence substrate 51 which consists of glass etc., and patterning and etching by the resist 59 are performed to the 5th electrode 65. At this time, as shown in drawing 8 B, in the direction of Y-Y', the 4th electrode 64 and 5th electrode are etched with the same resist mask 59, and it forms in the width of face of abbreviation identitas in self align.
[0080] Next, in the direction of X-X', as shown in drawing 9 A, in order to make the 5th electrode 65 into predetermined die length, patterning and etching by the resist 59 are performed. At this time, the pattern by the resist 59 is made larger than Haba of the 5th electrode 65 and the 4th electrode 64 in the direction of Y-Y' shown in drawing 9 B.
[0081] Then, the resist 59 on the 5th electrode 65 is once removed. And as shown in drawing 10 A and drawing 10 B, a front face is covered, a resist 59 is formed and the 1st electrode 61 which etched with the resist mask 59 which has the width of face of the 1st electrode 61, and was specified to predetermined width of face is formed in the direction of Y-Y' shown in drawing 10 B.
[0082] In addition, as a next process, as shown in drawing 11 A and drawing 11 B After forming the layer insulation layer 58 extensively and performing flattening of the front face of this layer insulation layer 58, Opening of the contact hole to a photoconductive layer 53 and the contact hole to the 5th electrode 65 is carried out to coincidence, these contact holes are covered, the ingredient of the 2nd electrode 62 is formed, flattening of the front face is carried out, and the 2nd electrode 62 is formed.
[0083] The mold liquid crystal light valve equipment write-in [optical] shown in drawing 3 can be manufactured like the conventional production process after that.
[0084] If the processing pattern of the 4th electrode 64 and the 5th electrode 65 which were shown in drawing 8 B which specifies the width of face of the 4th electrode 64 and the 5th electrode 65, and the processing pattern of the 5th electrode 65 shown in drawing 9 A which specifies the die length of the 5th electrode 65 are correctly controlled by the above-mentioned production process, the opposed face product of two electrodes 64 and 65 can be made regularity. Since the factor of the doubling gap which occupied the key factor of the variation in capacity conventionally can be eliminated by this and it becomes only the variation in the thickness of two electrodes 64 and the insulator layer 58 between 65, the variation in capacity can be reduced sharply.
[0085] Next, the outline sectional view of the important section of the gestalt of another operation of the mold liquid crystal light valve equipment of this invention write-in [optical] is shown in drawing 12 . It is the configuration which formed the 5th electrode 65 with the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical] so that the 4th upper part and flank of an electrode might be covered.
[0086] The 1st electrode 61 is formed in width of face larger than the 5th electrode 65 in the gestalt of this operation. Since other configurations are the same as that of the gestalt of operation shown in drawing 3 , they attach the same sign and omit duplication explanation.
[0087] According to the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical], the 5th electrode 65 has countered the upper part of the 4th electrode 64, and a part of flank by the 5th electrode's 65 covering the 4th flank and upper part of an electrode 64, and forming it.
[0088] Thereby, even if there is makeshift gap with the 5th electrode 65 and the 4th electrode 64, the opposed face product of two electrodes 64 and 65 does not change. Therefore, the problem on which

capacity is changed by doubling gap with the 5th electrode 65 and the 4th electrode 64 is not produced.
[0089] In the gestalt of this operation, formation of the 5th electrode 65 is performed as follows, for example. First, the ingredient of the 4th electrode 64 is extensively formed on an insulator layer 58, regist patterning and etching are performed to a predetermined pattern, and the 4th electrode 64 is formed. This 4th electrode 64 is covered, a thin insulator layer is formed, and the ingredient of the all-out 5th electrode 65 is formed on this thin insulator layer. At this time, it is formed so that near the 4th electrode 64 top may become high. And regist patterning and etching can be performed to a predetermined pattern, and the 5th electrode 65 which covered the 4th flank and upper part of an electrode can be formed.
[0090] Next, the outline sectional view of the important section of the gestalt of still more nearly another operation of the mold liquid crystal light valve equipment of this invention write-in [optical] is shown in drawing 13 . It is the configuration formed by the same contact section 67 combining the contact section of the 5th electrode 65 and the 2nd electrode 62, and and [a photoconductive layer 53, / 2nd / 62], and the contact section with the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical].
[0091] In addition, in the gestalt of this operation, like the gestalt of operation shown in drawing 1 , the relation of Haba of the 1st electrode 61, the 4th electrode 64, and the 5th electrode 65 is formed so that the more nearly upper electrode may serve as large Haba. Since other configurations are the same as that of the gestalt of operation shown in drawing 1 , they attach the same sign and omit duplication explanation.
[0092] According to the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical], since it was made to make it serve a double purpose in the contact section 67 same in this way, the contact section becomes one place and area which the contact section occupies as compared with the case where the contact section is prepared in two separate places can be lessened.
[0093] Since it is necessary to secure the area which the two contact sections occupy, and to take the distance between the two contact sections when the contact section is prepared in two separate places, when it is going to reduce pixel size towards high-definition-izing, preparing the two contact sections is restrained. That is, by making it serve a double purpose in the same contact section 67, it is wide opened from this constraint and has the advantage to which contraction of pixel size becomes easy.
[0094] Moreover, the gestalt which transformed the configuration of drawing 13 into drawing 14 is shown. In the case of this drawing 14 , the configuration which formed the 5th electrode 65 of a wrap for the flank and the upper part of the 4th electrode 64 which were shown in drawing 12 is applied to the configuration which makes the contact shown in drawing 13 serve a double purpose, and it has the same effectiveness as the configuration of above-mentioned drawing 13 .
[0095] In addition, in case width of face (width of face of the direction of a shorter side) of the 1st electrode 61 is made narrower than Haba of the 5th electrode 65 and opening of the contact hole is carried out, it is made not to hit the 1st electrode 61 in the configuration shown in the configuration shown in drawing 13 , and drawing 14 , in order to make it the contact section 67 and the 1st electrode 61 not short-circuit.
[0096] In the configuration shown in the configuration shown in drawing 13 , and drawing 14 , in case formation of the above-mentioned contact section 67 carries out opening of the contact hole to the layer insulation layer 58, opening of it is carried out beside the 5th electrode 65. Moreover, opening of the contact hole is carried out also to the part on the 5th electrode 65. And the ingredient of the 2nd electrode 62 is formed so that a contact hole may be filled, and the 2nd electrode 62 and contact section 67 which processed surface flattening etc. and consisted of division polar-zone 62A are formed. Thereby, the contact section 67 is connected also to the part on the 5th electrode 65, and contact to the 2nd electrode 62 and the 5th electrode 65 can be taken certainly.
[0097] Next, the outline sectional view of the important section of the gestalt of operation of others of the mold liquid crystal light valve equipment of this invention write-in [optical] is shown in drawing 15 . It is the configuration of it having not been direct and having connected the end of contact section 62c of division polar-zone 62A of the 2nd electrode 62 to the photoconductive layer 53 through the

buffer film 60 with the mold liquid crystal light valve equipment of the gestalt of this operation write-in [optical]. This buffer film 60 is formed in the same thickness with the same ingredient as the 1st electrode 61.
[0098] In case the buffer film 60 carries out pattern etching of the layer of the ingredient of the 1st electrode 61, it can perform patterning of a resist so that the pattern of the buffer film 60 may also remain besides the pattern of the 1st electrode 61, and can form it by etching using this resist mask.
[0099] Since other configurations are the same as that of the gestalt of operation shown in drawing 1 , they attach the same sign and omit duplication explanation.
[0100] When carrying out opening of the contact hole for taking contact for the 2nd electrode 62 to a photoconductive layer 53 and a photoconductive layer 53 is put to direct etching, it may become the cause by which the front face of a photoconductive layer 53 is ruined, and a contact property becomes unstable.
[0101] Then, since a photoconductive layer 53 and the 2nd electrode 62 were connected through the buffer film 60 as mentioned above and the buffer film 60 currently formed beforehand is etched with the gestalt of this operation in case opening of the contact hole is carried out, the contact property protected and stabilized [that the front face of a photoconductive layer 53 is put to etching, and a surface state gets worse and] can be acquired.
[0102] If still more nearly required, it is possible to select each ingredient so that the buffer film 60 of the same ingredient as the 1st electrode 61 and the 2nd electrode 62 may be connected with metal-metal contact of congener etc., and the contact stabilized very easily can be obtained in this case compared with the case where a photoconductive layer 53 and the 2nd electrode 62 are contacted directly.
[0103] This buffer film 60 can be applied also to the configuration shown in a gestalt, and drawing 19 and drawing 20 of each operation shown in drawing 1 , drawing 3 , drawing 6 and drawing 12 - drawing 14 , and can acquire the contact property stabilized similarly.
[0104] The mold liquid crystal light valve equipment of this invention write-in [optical] is not limited to the gestalt of above-mentioned operation, and, in addition to this, various configurations can take it in the range which does not deviate from the summary of this invention.
[0105]
[Effect of the Invention] Since according to the mold liquid crystal light valve equipment write-in [optical] by above-mentioned this invention fluctuation of an inter-electrode capacity by doubling gap of an electrode is lost and the capacity balance of a liquid crystal layer and a photoconductive layer is kept stable, dispersion in the property as the threshold, i.e., the liquid crystal light valve equipment, of liquid crystal is decreased, and the yield in manufacture is improved sharply.
[0106] Furthermore, since it becomes unnecessary to take widely in order to control the effect of the doubling gap by the 1st electrode on a photoconductive layer, improvement in sensibility can be aimed at.
[0107] moreover, when width of face of the 5th electrode is made into the same Haba in self align with width of face narrower than the direction of a shorter side of the 4th electrode, width of face larger than the direction of a shorter side of the 4th electrode, or the 4th electrode Since one electrode of the 4th electrode and the 5th electrode can be made to counter with the electrode of another side covering full, respectively, even if it produces doubling gap, it becomes impossible for an opposed face product to change, and, thereby, dispersion in capacity can be controlled.
[0108] Moreover, when the same contact section constitutes the contact section of the 5th electrode and the 2nd electrode, and the contact section of the 2nd electrode and a photoconductive layer, it becomes easy to be able to reduce the area which the contact section occupies, to reduce pixel size, and to attain high definition-ization.
[0109] Moreover, when the 2nd electrode and photoconductive layer consider as the configuration connected through the buffer layer of the same ingredient as the 1st electrode, and thickness, in case opening of the contact hole is carried out, the contact property protected and stabilized [that the front face of a photoconductive layer is put to etching, and a surface state gets worse and] can be acquired.

[Translation done.]

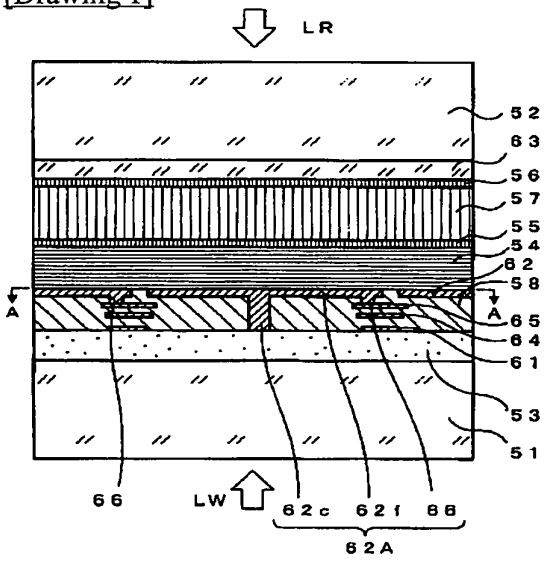
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

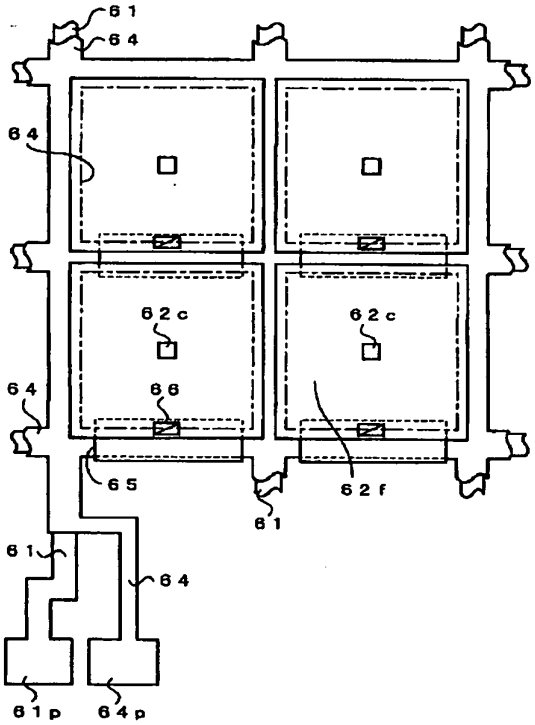
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DRAWINGS

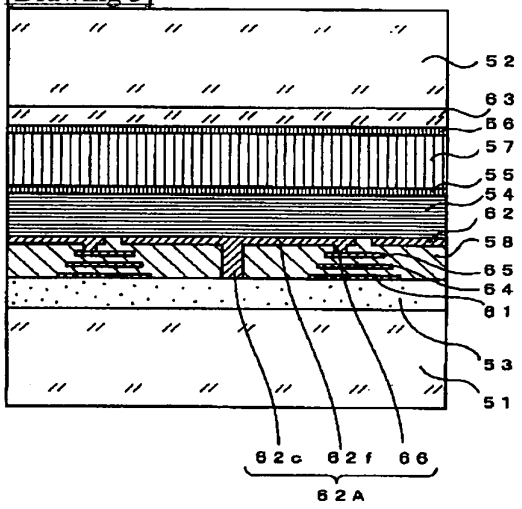
[Drawing 1]



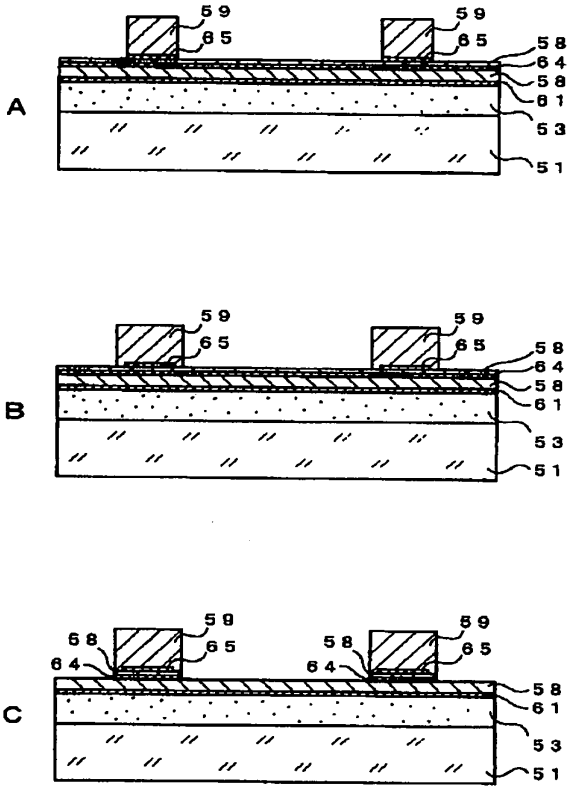
[Drawing 2]



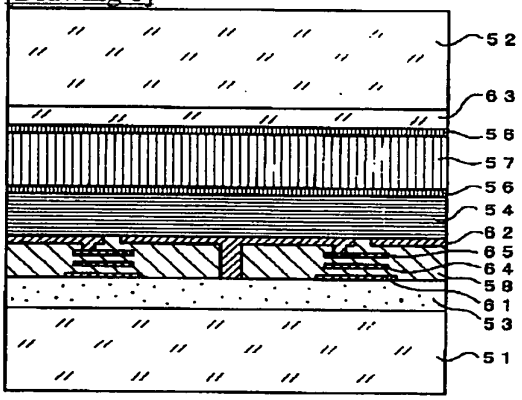
[Drawing 3]



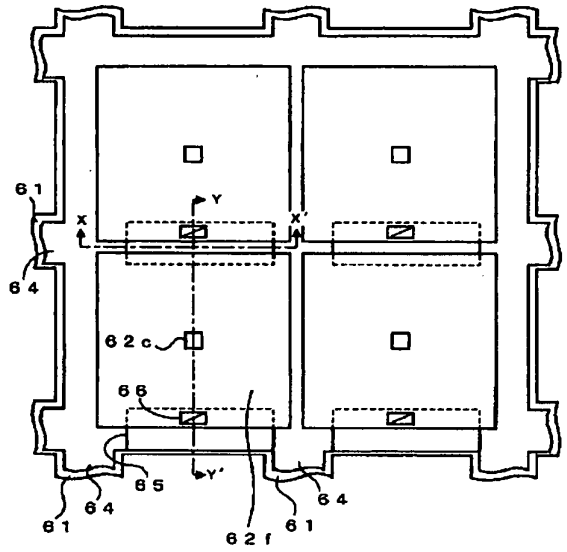
[Drawing 4]



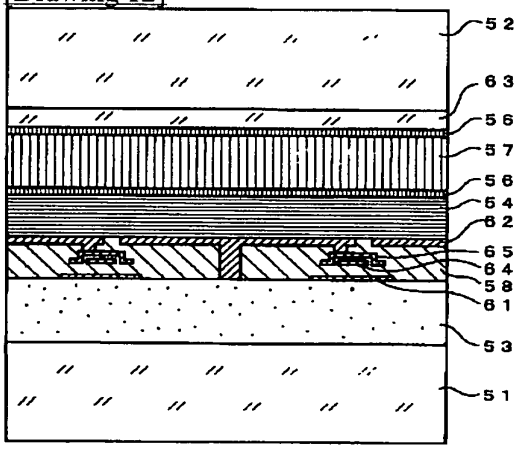
[Drawing 6]



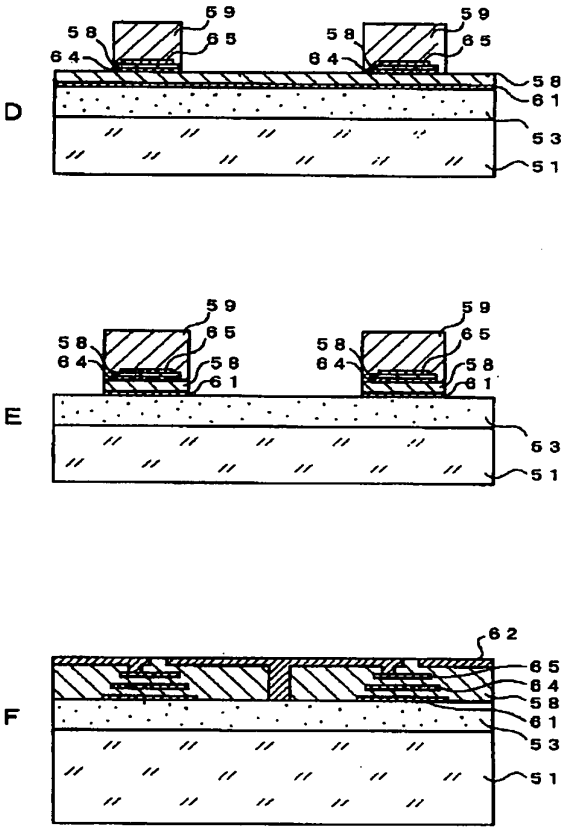
[Drawing 7]



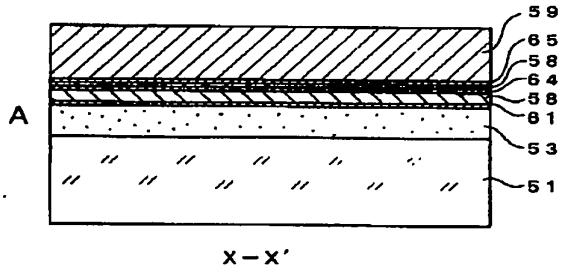
[Drawing 12]

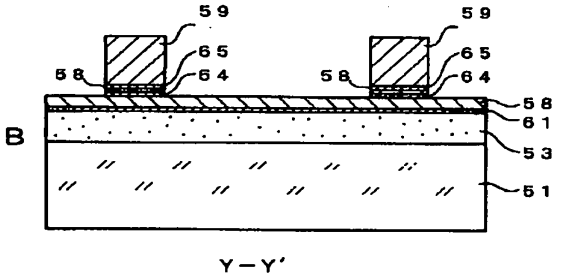


[Drawing 5]

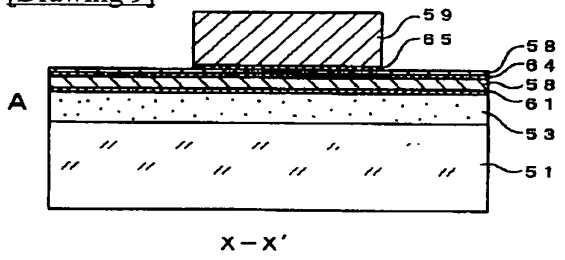


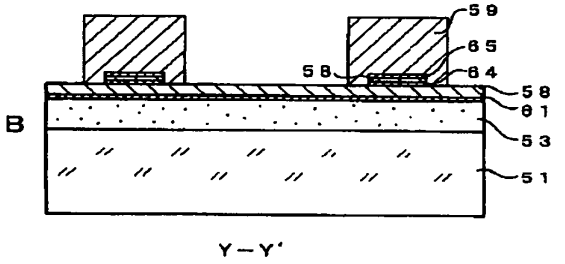
[Drawing 8]


59
65
58
64
58
61
53
51
A
X－X'

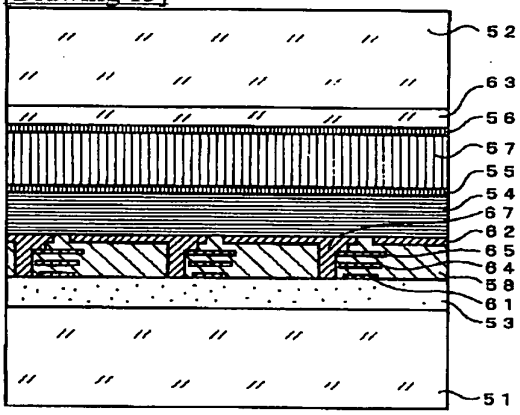

59
59
65
65
58
58
64
64
58
61
53
51
B
Y－Y'

[Drawing 9]

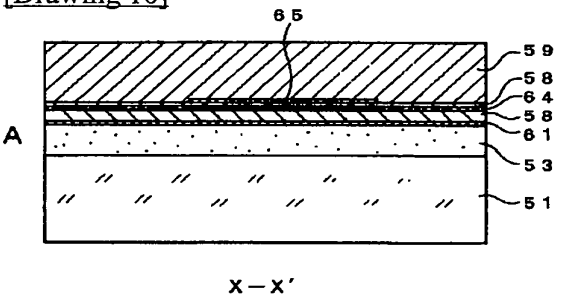

59
65
58
64
58
61
53
51
A
X－X'

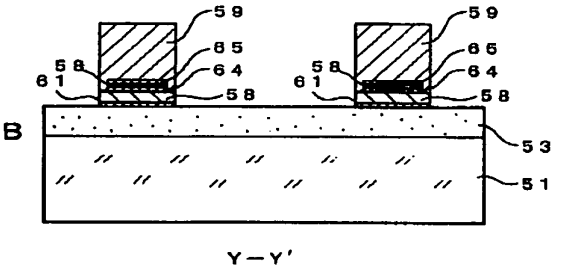

59
65
58
64
58
61
53
51
B
Y－Y'

[Drawing 13]

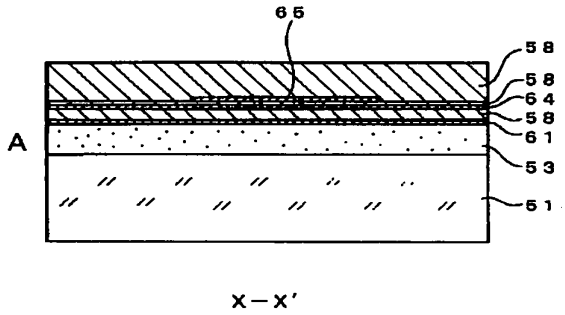


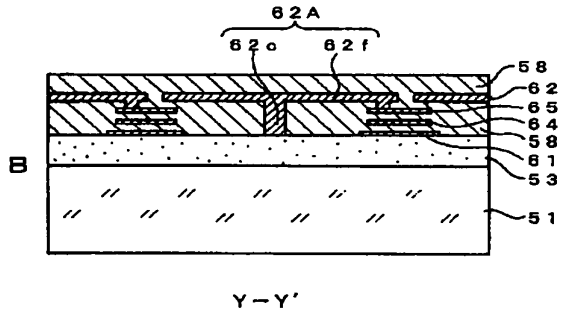
[Drawing 10]



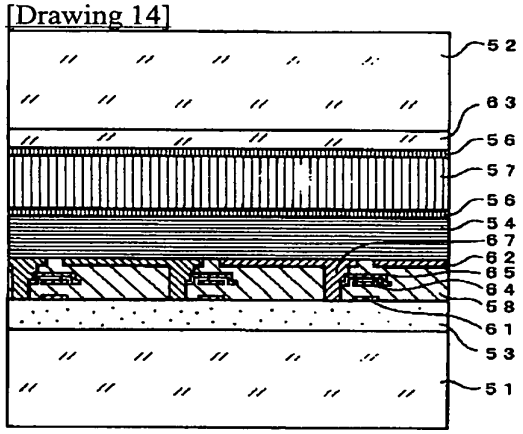


[Drawing 11]

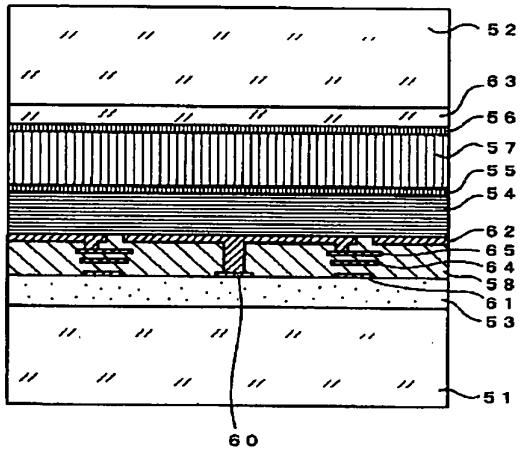




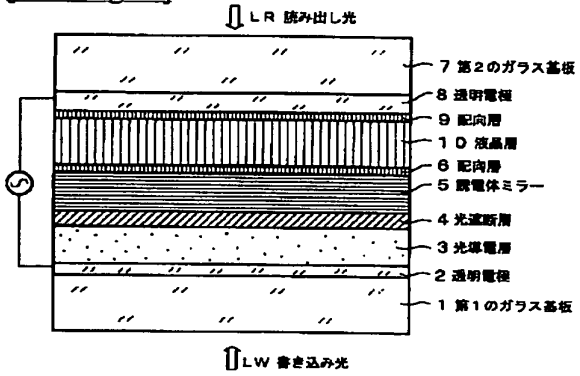
[Drawing 14]



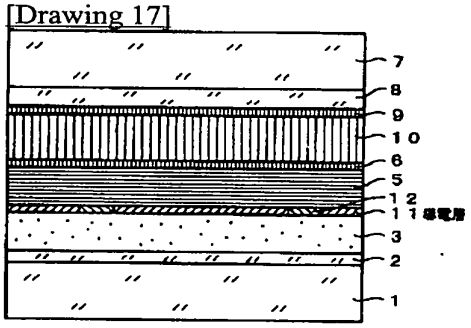
[Drawing 15]



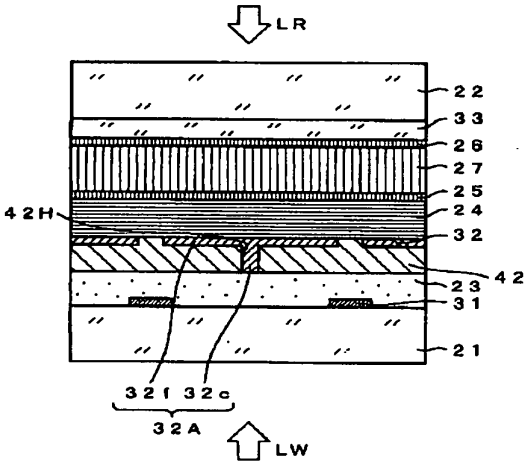
[Drawing 16]



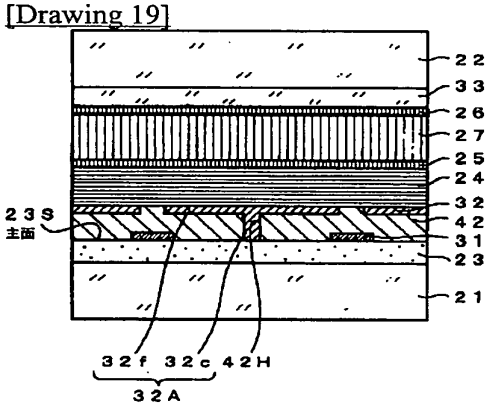
[Drawing 17]



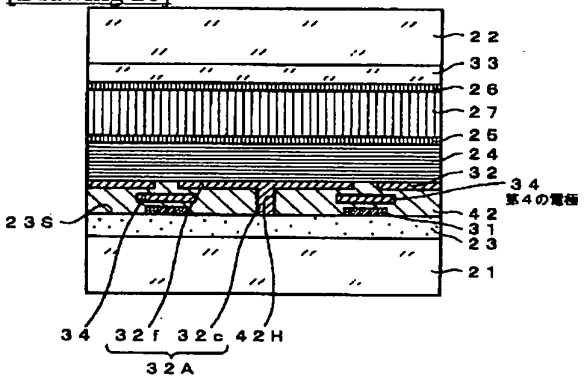
[Drawing 18]



[Drawing 19]



[Drawing 20]



[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－137241
（P2000－137241A）
(43)公開日　平成12年５月16日(2000.5.16)

(51)Int.Cl.'		識別記号	FI			テーマコード'(参考)
Ｇ０２Ｆ	1/135		Ｃ０２Ｆ	1/135		２Ｈ０９２
Ｇ０９Ｆ	9/35	３０５	Ｃ０９Ｆ	9/35	３０５	５Ｃ０９４

審査請求　未請求　請求項の数８　ＯＬ　（全 15 頁）

(21)出願番号　特願平10－310935

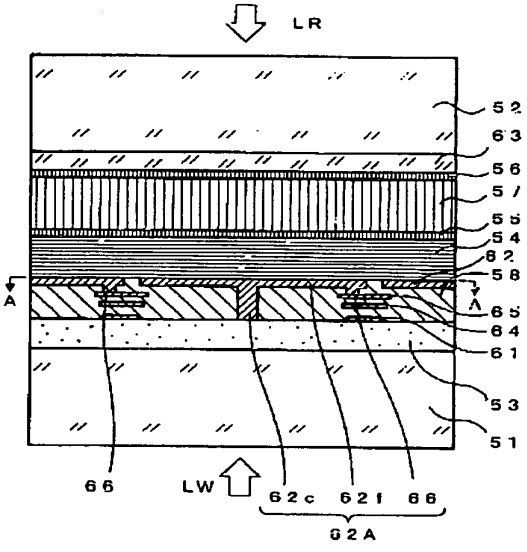
(22)出願日　平成10年10月30日(1998.10.30)

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番35号
(72)発明者　中嶋　英晴
東京都品川区北品川６丁目７番35号　ソニー株式会社内
(74)代理人　100080883
弁理士　松隈　秀盛

最終頁に続く

(54)【発明の名称】　光書き込み型液晶ライトバルブ装置

(57)【要約】　（修正有）
【課題】　画素電極と補助電極の結合容量を、安定化させると共に、高い感度と高い解像度を実現しながら、生産性を改善できるようにした光書き込み型液晶ライトバルブ装置を提供する。
【解決手段】　透明基板５１，５２と、光導電層５３と、これに接して配置された電極６１と、電極６１と絶縁された電極６２と、光学反射層５４と、液晶層５７と、電極６３とを有し、電極６２と電極６１との間に電極６４が形成され、さらに電極６２と電極６４との間に電極６５が形成され、電極６１および電極６４および電極６５は、電極６２の分割電極部間に対向する位置に配置された光書き込み型液晶ライトバルブ装置を構成する。



【特許請求の範囲】
【請求項１】　第１および第２の透明基板と、
光導電層と、
上記光導電層に接して配置された第１の電極と、
上記第１の電極と上記光導電層の同一側に形成され、上記第１の電極と絶縁された第２の電極と、
光学反射層と、
液晶層と、
第３の電極とを少なくとも有し、
上記第２の電極は、複数の電極部に分割された分割電極部より成り、
上記第２の電極と上記第１の電極との間に、上記第１の電極と絶縁された第４の電極が形成され、
上記第２の電極と上記第４の電極との間に、上記第４の電極と容量を構成する第５の電極が形成され、
上記第１の電極および第４の電極および第５の電極は、少なくともその一部が、上記第２の電極の上記分割電極部間に対向する位置に配置されたことを特徴とする光書き込み型液晶ライトバルブ装置。
【請求項２】　上記第５の電極の幅が、上記第４の電極の短辺方向の幅より広い幅とされたことを特徴とする請求項１に記載の光書き込み型液晶ライトバルブ装置。
【請求項３】　上記第５の電極の幅が、上記第４の電極の短辺方向の幅より狭い幅とされたことを特徴とする請求項１に記載の光書き込み型液晶ライトバルブ装置。
【請求項４】　上記第５の電極が、上記第４の電極の幅と自己整合的に略同一の幅とされたことを特徴とする請求項１に記載の光書き込み型液晶ライトバルブ装置。
【請求項５】　上記第５の電極が、上記第４の電極の少なくとも側部と上部の一部に対向するように形成されたことを特徴とする請求項１に記載の光書き込み型液晶ライトバルブ装置。
【請求項６】　上記第５の電極と上記第２の電極とのコンタクト部が、上記第２の電極と上記光導電層とのコンタクト部と同一のコンタクト部により形成されたことを特徴とする請求項２に記載の光書き込み型液晶ライトバルブ装置。
【請求項７】　上記第５の電極と上記第２の電極とのコンタクト部が、上記第２の電極と上記光導電層とのコンタクト部と同一のコンタクト部により形成されたことを特徴とする請求項５に記載の光書き込み型液晶ライトバルブ装置。
【請求項８】　上記第２の電極と上記光導電層とが、上記第１の電極と同一の材料および膜厚のバッファ層を介して接続されていることを特徴とする請求項１に記載の光書き込み型液晶ライトバルブ装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、光書き込み型液晶ライトバルブ装置に関わり、光書き込み型液晶ライトバルブ装置における書き込み光に対する感度の向上、空間的な解像力の向上を図るものである。
【０００２】
【従来の技術】液晶ライトバルブ装置（以下ＬＣＬＶという）は、光学－光学画像変換機である。ライトバルブとは、光強度の低い光を受けて、これを他の光源からの光により光学像をリアルタイムに読み出し、出力することができるように成された装置である。
【０００３】ＬＣＬＶは、軍事用、商業用の大画面への応用として利用されてきた。例えばヒューズ(Hughes)のRodney D Sterling らによって" Video-Rate Liquid Crystal Light-Valve Using an Amorphous Silicon Photo Detector "，SID，'90 Digest，Paper No.17A 2，PP327-329(1990) で発表されたＬＣＬＶは、図１６にその概略構成図を示すように、透明な第１のガラス基板１上に透明電極２が形成され、この上に、厚く、連続的で、均質なアモルファスシリコン（以下ａ－Ｓｉという）光導電層３が形成され、更にこの上にＣｄＴｅ等の光遮断層４、および光学反射層としての誘電体ミラー５が積層され、この表面に配向層６が形成されて成る。一方、透明な第２のガラス基板７が用意され、この上に、同様に透明電極８および配向層９が形成される。そして、これら第１および第２のガラス基板１および７が、その配向層６および９が形成された側を内側にして数μｍ程度の間隔を保持して対向され、これら間に液晶が注入されて液晶層１０が形成されてＬＣＬＶを構成している。
【０００４】このＬＣＬＶは、第２のガラス基板７側が、光学像の観察側とされ、この第２のガラス基板７側から、このガラス基板７に対して垂直に偏光による読み出し光ＬＲを照射する。このとき、読み出し光は、透明電極７および液晶層１０を通過して誘電体ミラー５によって反射され、再び液晶層１０、ガラス基板７を通過して、外部に放出され、これを観察することができる。これに対し、この読み出し光ＬＲを照射した状態で、両透明電極２および８間に交流電圧ＡＣを印加しながら、第１のガラス基板１側から書き込み光ＬＷを照射すると、この書き込み光ＬＷが、第１のガラス基板１および透明電極２を透過して光導電層３に照射され、この照射部において、光導電層３が活性化され、電子－正孔対が発生する。これによって、書き込み光ＬＷの照射パターンに応じたパターンと、強度に応じて光導電層３の静電容量が増加し、抵抗値が低下し、液晶層を挟む電圧が増加する。この電圧の空間的な変化は、液晶分子の方位の変化となり、液晶層を通過する前述の読み出し光ＬＲに複屈折や旋光を起こさせ、読み出し光ＬＲの偏光の方位（Polarization）が変調される。従って、最終的に第２のガラス基板７から放出される読み出し光を、偏光板に通過させることにより、光量変化として観察することができる。即ち、書き込み光ＬＷのパターン、即ち光学像に応

じた光学像を第２のガラス基板７側から観察することができる。

【０００５】なお、光遮断層４は、誘電体ミラー５即ち光反射層と、光導電層３との間に配置され、これによってこの光反射層を通過してしまった僅かな読み出し光をも、この光遮断層４によって吸収して、この読み出し光が光導電層３に到来し、光導電層を活性化させて、書き込み光以外の象を発生させること、即ちノイズの発生を回避するために配置されるものである。

【０００６】ところで、上述したＬＣＬＶにおいて、高い感度を得るには、光導電層３の抵抗値変化に応じて液晶層に印加される電圧を極大化したい。この極大化は、光の当たっていない光導電層３のインピーダンスと、液晶層１０のインピーダンスとが、次の条件を満たすときに達成される。その条件とは、光導電層３の等価的な容量とバルク抵抗の並列回路によるインピーダンスが、液晶層１０における同様の容量と抵抗の並列回路によるインピーダンスとほぼ同等以上にすることである（この条件を、以下釣り合いがとれる関係と称する）。そして、この釣り合いがとれる関係の実現は、具体的にはａ－Ｓｉによる光導電層３の膜厚を、約３０μｍに厚膜化することとされている。

【０００７】このように３０μｍに及ぶ厚膜を必要とするのは、上述した光導電層３と液晶層１０のインピーダンスの釣り合いがとれる関係を設定しようとしたときに、ａ－Ｓｉ膜による光導電層３の誘電率が、液晶層１０の誘電率より高いことに因る。ところが、このように、ａ－Ｓｉ層による光導電層を３０μｍに及ぶ厚膜にすると、上述した書き込み光の入射により、光導電層で発生した電荷が隣接領域に拡散しやすくなる。

【０００８】すなわち、理想的なＬＣＬＶでは、その光導電層が、光照射によって発生した電荷の横方向拡散を阻止できる程度に高抵抗を有する構成とすることになるが、ａ－Ｓｉ光導電層において、その膜厚が約３０μｍにも及ぶと、充分な高抵抗が得られず、横方向（面方向）の電荷の拡散が生じ易くなり、結果として空間的なコントラストの低下、解像度の低下を来す。

【０００９】このような不都合を回避するために、光導電層を構成するａ－Ｓｉ層にドーパントを添加して抵抗率を上げる試みがなされた。これは、ａ－Ｓｉ膜を成膜すると、この膜中には生来ｎ型ドーパントを発生する性質があることから、これをｐ型ドーパントの例えばボロンをドーピングすることによって相殺するという方法によるものである。しかしながら、この方法では、ドーパントの添加の効果が極めて大きく、またｎ型ドーパントの発生は、ａ－Ｓｉの成膜毎に相違することから、目的とする抵抗率に設定するためのｐ型ドーパントのドーピングを正確に行うことは、現実的な作業としては極めて困難であり、製造コストの増大、歩留まりの低下をもたらす。

【００１０】そこで、光導電層を、画素毎に完全に分離する分割構造による提案がなされている（米国特許第５０７６６７０号）。この分離は、例えばフォトリソグラフィによるパターンエッチングによるが、上述したように、その厚さが３０μｍに及ぶ厚い光導電層を、パターンエッチングすることは、作業時間が長くなるのみならず、鮮明なパターン化が難しくなる。さらに、分離された光導電層間の溝内には、絶縁材を埋め込むことになるが、このアスペクト比（溝の深さｄと幅ｗの比、ｄ／ｗ）が高い溝に絶縁材を埋め込む作業は困難で、コスト高を来たし、また信頼性に問題がある。

【００１１】また、図１７にその概略断面図を示すように、光導電層３を挟んで透明電極２と対向して、高反射率で低抵抗率の導電層１１を選択的に形成し、隣り合う導電層１１間に絶縁層１２を形成する構造が提案されている（図１７において、図１６と対応する部分には同一符号を付して重複説明を省略する）。この場合、導電層１１によって光導電層３中に発生した電荷の回収を促進する効果を有し、また図１６における光遮断層４を設けずに、誘電体ミラー５を通過してくる読み出し光を反射して光導電層３に入射させない効果がある。しかしながら、この構造による場合においても、光導電層３を挟んで対向する導電層１１と、透明電極２との対向面積が大であることから、光導電層３の容量を低減化するには、光導電層３の厚膜化が必要になるという状況に変わりはなかった。

【００１２】また、画素間の電荷の拡散を防止する観点から、単に光導電層の素子間の素子分離絶縁層領域によって一部を分離し、完全には素子間分離をしない構造（米国特許第４９１３５３１号）が提案されているが、この方法だけでは、書き込み光によって光導電層に発生した電荷の隣接する素子領域への拡散を、多少減少させる効果を期待できるが、平面的な解像度の低下の問題を完全に解消するには至っていない。また、厚膜の光導電層が必要であるということについては依然として問題が残っている。

【００１３】

【発明が解決しようとする課題】上述した諸問題の解決を図る目的で、先に提案した光書き込み型液晶ライトバルブ装置を図１８に示す。図１８に示すように、それぞれ透明な第１および第２の基板２１および２２と、光導電層２３と、この光導電層２３にそれぞれ接触して形成された第１の電極３１および第２の電極３２と、光学反射層２４と、液晶層２７と、第３の電極３３を有して構成される。

【００１４】第２の電極３２は、複数の電極部に分割された分割電極部３２Ａより成り、各分割電極部３２Ａは、液晶層２７の面方向にほぼ沿って配置した、即ち液晶層２７を挟んで第３の電極３３との対向電極を構成する対向電極部３２ｆとこれより垂直方向に延びる光導電

層２３との接触部３２ｃとから構成される。分割電極部３２Ａは、その接触部３２ｃが対向電極部３２ｆの中央から垂直方向に延びる方向に形成された断面Ｔ字状に形成されている。

【００１５】そして、第２の電極３２の各分割電極部３２Ａにおいて、その光導電層２３との接触部３２ｃの接触面積が、対向電極部３２ｆの面積より充分小に選定されている。

【００１６】また、第１の電極３１は、第２の電極３２の対向電極部３２ｆ間に、その一部が正対して形成されている。

【００１７】そして、第２の電極３２は、その対向電極部３２ｆを光導電層２３からできるだけ離していることにより、実質的に光導電層２３に係わる容量を小とすることができる。

【００１８】従って、上述したインピーダンスの釣り合い関係を設定する光導電層２３の厚さを薄く、例えばこの光導電層２３に対する書き込み光ＬＷの吸収に必要な膜厚である１～２μｍ程度まで薄膜化することができる。

【００１９】さらにこれに加えて、液晶層２７側の容量を見かけ上大きくする対策をとることもできる。即ち図１９に示すように、光導電層２３の基板２１とは反対側の一主面２３Ｓ上に、第１の電極３１および第２の電極３２を配置した構造をとる。

【００２０】この構造においては、光導電層２３に対して、第１の電極３１と、第２の電極３２の接触部３２ｃとが並置されていることにより、第１の電極３１および第２の電極３２の光導電層２３を介しての対向が光導電層２３の面方向に沿う方向となることから、これにより実質的対向距離が大となり光導電層２３に係る容量は小となる。

【００２１】さらに図２０に示すように、第２の電極３２の対向電極部３２ｆの配置面と、光導電層２３との間に第３の電極３３と電気的同電位とされた第４の電極３４を新たに配置形成することにより、通常の液晶層２７を挟んで形成される容量に、層間絶縁層４２を介して形成される第１の電極３１及び第４の電極３４間に形成される容量が加わり、実質的に液晶層２７に係わる容量を増加させることができる。

【００２２】従って、光導電層２３を薄膜化させることにより増大する光導電層２３側容量に対して、液晶層２７側の容量を見かけ上増加させることにより、液晶層２７、光導電層２３両者のインピーダンスを完全に釣り合わせることが可能となる。

【００２３】上述の手段を用いることにより、入射光によるａ－Ｓｉからなる光導電層２３の抵抗値変化に応じて液晶層２７に印加される電圧を極大化させることが可能となる。

【００２４】しかしながら、この図２０に示した構成において、第２の電極３２と第４の電極３４との位置関係がずれた場合にも、これらの電極３２，３４間の対向面積がデバイス間でばらつくことがないようにするためには、上述の位置関係がずれた場合にも必ず第２の電極３２が第４の電極３４に対してオーバーラップしているように形成する必要がある。即ち、第４の電極３４の幅を、第４の電極３４の幅＝第２の電極３２間の幅＋容量形成に必要な幅＋合わせズレとする必要がある。

【００２５】一方、第２の電極３２が第４の電極３４に対してオーバーラップするように第４の電極３４の幅を広くしようとすると、第４の電極３４が光導電層２３に直接対向しないために下層の第１の電極３１の幅を広げる必要が生じるが、これにより電荷発生領域が小さくなり感度が低下する。

【００２６】即ち、第２の電極３２と第４の電極３４との合わせズレを完全に許容するようにオーバーラップをとると、ＬＣＬＶデバイスの感度が低下する問題が発生するといえる。

【００２７】しかし、逆に第４の電極３４が上述の合わせズレ分の幅を充分取れない場合には、両電極３２，３４間の容量のばらつきを生じ、製品の歩留まりを下げたり、画質がばらつく等の問題を生じる。

【００２８】本発明においては、上述した諸問題の解決を図り、光導電層を１～２μｍ程度まで薄膜化しても液晶層に印加される電圧が極大化できるように、光導電層側と液晶層側の容量を釣り合わせるために必要な画素電極と補助電極の結合容量を、ばらつきが少なく安定化させると共に、高い感度と高い解像度を実現しながら、製造プロセスの難易度および製造コストの低減等の生産性を改善できるようにした光書き込み型液晶ライトバルブ装置を提供するものである。

【００２９】

【課題を解決するための手段】本発明の光書き込み型液晶ライトバルブ装置は、第１および第２の透明基板と、光導電層と、光導電層に接して配置された第１の電極と、この第１の電極と光導電層の同一側に形成され第１の電極と絶縁された第２の電極と、光学反射層と、液晶層と、第３の電極とを少なくとも有し、第２の電極は複数の電極部に分割された分割電極部より成り、この第２の電極と第１の電極との間に第１の電極と絶縁された第４の電極が形成され、さらに第２の電極と第４の電極との間に第４の電極と容量を構成する第５の電極が形成され、第１の電極および第４の電極および第５の電極は、少なくともその一部が第２の電極の分割電極部間に対向する位置に配置されたものである。

【００３０】上述の本発明の構成によれば、第４の電極と容量を構成する第５の電極を第２の電極と第４の電極との間に配置することにより、第４の電極と第５の電極において合わせズレを生じても、これら第４の電極と第５の電極の対向面積を確保することができ、安定した各

電極間容量が確保できる。

【0031】

【発明の実施の形態】本発明は、第1および第2の透明基板と、光導電層と、光導電層に接して配置された第1の電極と、第1の電極と光導電層の同一側に形成され第1の電極と絶縁された第2の電極と、光学反射層と、液晶層と、第3の電極とを少なくとも有し、第2の電極は複数の電極部に分割された分割電極部より成り、第2の電極と第1の電極との間に第1の電極と絶縁された第4の電極が形成され、第2の電極と第4の電極との間に第4の電極と容量を構成する第5の電極が形成され、第1の電極および第4の電極および第5の電極は、少なくともその一部が第2の電極の分割電極部間に対向する位置に配置された光書き込み型液晶ライトバルブ装置である。

【0032】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第5の電極の幅が第4の電極の短辺方向の幅より広い幅とされた構成とする。

【0033】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第5の電極の幅が第4の電極の短辺方向の幅より狭い幅とされた構成とする。

【0034】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第5の電極が第4の電極の幅と自己整合的に略同一の幅とされた構成とする。

【0035】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第5の電極が、第4の電極の少なくとも側部と上部の一部に対向するように形成された構成とする。

【0036】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第5の電極と第2の電極とのコンタクト部が、第2の電極と光導電層とのコンタクト部と同一のコンタクト部により形成された構成とする。

【0037】また本発明は、上記光書き込み型液晶ライトバルブ装置において、第2の電極と光導電層とが、第1の電極と同一の材料および膜厚のバッファ層を介して接続されている構成とする。

【0038】図1は本発明の光書き込み型液晶ライトバルブ装置の一実施の形態の要部の概略断面図を示す。また、図2は図1の光書き込み型液晶ライトバルブ装置の画素領域の概略平面図を示す。

【0039】本実施の形態の光書き込み型液晶ライトバルブ装置においても、例えばガラス基板よりなる第1の透明基板51および第2の透明基板52が用意される。第1の透明基板51および第2の透明基板52における透明とは、第1の透明基板51については、書き込み光LWに対して透明、即ち高い透過率を示すことであり、第2の透明基板52については、読み出し光LRに対して透明、すなわち高い透過率を示すことはいうまでもない。

【0040】そして、第1の透明基板51の一主面に、光導電層53が形成され、この上に第1の電極61と、例えば各画素毎に複数の電極部に分割された分割電極部62Aが配列されて成る第2の電極62が形成され、表面を化学的機械的研磨法により平坦化した後、更にその上に例えば誘電体ミラー構成による反射層54が形成され、その表面に液晶の配向がなされる配向層55が形成される。

【0041】また、第2の透明基板52の一主面には、第3の電極63が液晶層57の全域に渡って全面的に形成され、その表面に、同様に液晶の配向がなされる配向層56が形成される。

【0042】そして、第1の透明基板51および第2の透明基板52の各配向層55および56側を互いに対向させ、両者間の間隔を例えばガラスビーズ（図示せず）の介在によって所定の間隔に保持し、周囲を封止して、両透明基板51および52間に扁平空間を形成して、ここに液晶を注入し、液晶層57を形成する。

【0043】光導電層53は、第1の透明基板51上に、全面的に例えばa－Si層をスパッタリング、あるいはCVD（化学的気相成長）法等によって成膜することによって形成する。

【0044】第1の電極61は、光導電層53上に、蒸着、スパッタリング等によってCr，W，Al等の金属層を形成し、フォトリソグラフィによって複数の開口部を所要の間隔をもって穿設した例えば格子状パターンに形成する。

【0045】図19および図20に示した構成と同様に、この第1の電極61が光導電層53上に形成されていることにより、書き込み光LWの入射により光導電層53中に発生したキャリアの隣接画素領域への拡散を防止して、画素間のコントラストの低下を防止することができる。

【0046】そして、光導電層53上に第2の電極62を形成する。第2の電極62は、例えばAl，Cr，W等の書き込み光および読み出し光に対して遮光性を有する金属等により形成される。

【0047】第2の電極62の分割電極部62Aは、各層の積層方向すなわち図中垂直方向の部分としてコンタクト部62cを有し、各層の主面の方向すなわち図中水平方向の部分として対向電極部62fを有して構成される。コンタクト部62cの一端は光導電層53に接続されている。

【0048】第2の電極62の分割電極部62A間と、第2の電極62と光導電層53との間には、例えばSiO_2、SiN等の層間絶縁層58が形成され、この層間絶縁層58により第1の電極61と第2の電極62とが絶縁されている。

【0049】そして、第2の電極62上に全面的に光学反射層54を形成する。この光学反射層54は、通常の多層構造によるいわゆる誘電体ミラーによって構成する

ことができ、この上に形成する配向層５５も、通常の構成によることができる。

【００５０】また、第２の透明基板５２の一主面に形成される第３の電極６３は、通常のようにＩＴＯ（インジウム錫酸化物）等の透明電極層によって形成され、そして、この上に形成される配向層５６も通常の構成によることができる。

【００５１】さらに、図２０に示した構成と同様に、第３の電極６３と同電位の第４の電極６４が、第２の電極６２と対向して配置形成される。この第４の電極６４は、層間絶縁層５８により第１の電極６１および第２の電極６２とは絶縁される。また、第４の電極６４は、第１の電極６１より広い幅に形成される。

【００５２】本実施の形態においては、特に第４の電極６４との対向容量を形成する第５の電極６５を、第４の電極６４に対向して第２の電極６２側に配置形成する。この第５の電極６５は、第４の電極６４の幅、すなわち図２より格子状パターンとされた第４の電極６４の短辺方向の幅より大きい幅に形成されている。また、第５の電極６５は、２つの第２の電極６２の分割電極部６２Ａの対向電極部６２ｆおよびその間に対向し、そのうち一方の対向電極部６２ｆにコンタクト６６を介して接続されている。すなわち、各分割電極部６２Ａに対して１つずつ第５の電極６５が配置かつ接続されている。

【００５３】そして、第５の電極６５は、図２に示すように、平面的には例えば図中縦方向に隣接する２つの画素に対応する分割電極部６２Ａ（対向電極部６２ｆ）およびその間に対向して形成されている。また、この場合第５の電極６５のパターンは、第１の電極６１や第４の電極６４のパターンのように連続して形成されず、分割されたパターンに形成されている。

【００５４】さらに、好ましくは第５の電極６５の幅を、第４の電極６４の幅に対して、これらの電極６４および６５のアライメントずれ分以上広くした幅とする。これにより、アライメントずれがあっても、第４の電極６４が全幅にわたって第５の電極６５に対向するようになる。従って、第４の電極６４および第５の電極６５によって形成される第２電極６２と第４電極６４との容量を安定化することができる。

【００５５】同様に、好ましくは第４の電極６４の幅を第１の電極６１の幅に対してアライメントずれ分広くした幅とする。

【００５６】第４の電極６４および第５の電極６５の形成は、それぞれ層間絶縁層５８上に全面的に電極を構成する金属等の材料を成膜し、これをレジストパターニングとエッチングによって所望のパターンにすることによって行うことができる。

【００５７】また、本実施の形態においては、第２の電極６２の形成は、次のように行われる。層間絶縁層５８の表面を平坦化した後に、光導電層５３に対するコンタクトホールと第５の電極６５に対するコンタクトホールとを同時に開口し、これらのコンタクトホールを埋めるように例えば金属等を成膜した後、レジストパターニングとエッチングを行って第２の電極６２を形成する。

【００５８】本実施の形態の光書き込み型液晶ライトバルブ装置によれば、第４の電極６４と容量を形成する第５の電極６５を第４の電極６４に対向させて配置形成することにより、図２０に示したように第２の電極の分割電極部６２Ａと第４の電極６４との対向部により容量を形成する場合と比較して、２つの電極の合わせズレによって容量を構成する対向面積が大きく変化して素子ごとに容量にバラツキが生じることを抑制することができる。

【００５９】さらに、第５の電極６５の幅を第４の電極６４の短辺方向の幅より広い幅とすることによって、合わせズレがあっても対向面積が変わらないようにして容量のバラツキを低減することができる。

【００６０】上述の実施の形態では、第５の電極６５を、第４の電極６４の幅より大きい幅に形成した構成であったが、第４の電極６４の幅より小さい幅に形成した構成とすることができる。その場合を次に示す。

【００６１】図３に本発明の光書き込み型液晶ライトバルブ装置の他の実施の形態の要部の概略断面図を示す。本実施の形態の光書き込み型液晶ライトバルブ装置では、第５の電極６５を第４の電極６４の幅（短辺方向の幅）より小さい幅に形成する。また、第１の電極６１を第４の電極６４の幅より大きい幅に形成する。すなわち電極の幅を、第１の電極６１の幅＞第４の電極６４の幅＞第５の電極６５の幅となるように構成する。

【００６２】さらに、好ましくは各電極６１と６４，６４と６５間のアライメントズレ分以上の差を有するように各電極６１，６４，６５の幅を設定する。すなわち先の実施の形態が第１の電極６１から第５の電極６５に向かうにつれてアライメントズレを見込んだ分、その幅を増やしていくのに対して、本実施の形態では、逆に幅が減っていくことが大きく異なる。

【００６３】尚、図３において、その他の図１と対応する部分には同一符号を付して重複説明を省略する。

【００６４】本実施の形態においても、先の実施の形態と同様に、第４の電極６４を設けることにより液晶層５７側の容量を増加させる効果、および第５の電極６５を設けることにより第４の電極６４と第５の電極６５間の合わせズレによってもこれら両電極６４，６５の対向面積の変化が少なくなり容量のバラツキが抑制される効果を有する。

【００６５】そして、上述のように第５の電極６５の幅を、第４の電極６４の幅よりもこれらの電極６４，６５の合わせズレ分以上狭く形成することにより、第４の電極６４と第５の電極６５間で合わせズレがあっても、必ず第５の電極６５の全幅で第４の電極６４と対向するこ

とになる。従って、第５の電極６５の幅さえ正確に制御すれば、電極間の容量バラツキは、この他には電極間の層間絶縁層５８の厚さのバラツキのみによることとなり、従来容量の大きなバラツキの主要因であった合わせズレの要因を排除することができる。

【００６６】尚、第４の電極６４と第５の電極６５により形成される容量は、先の実施の形態では第４の電極６４によって規定されているのに対して、本実施の形態では第５の電極６５によって規定される。

【００６７】そして、図４～図５の概略断面図により、図３の光書き込み型液晶ライトバルブ装置の製造工程を説明する。この製造工程は、上述の３つの電極６１，６４，６５の合わせズレによる容量のバラツキを排除するために好適な製造工程を示す。

【００６８】まず、図４Ａに示すように、例えばガラス等からなる第１の透明基板５１上に形成された光導電層５３上に第１の電極６１、その上層の絶縁膜５８、第４の電極６４、その上層の絶縁膜５８、第５の電極６５を連続形成し、第５の電極６５に対してレジスト５９によるパターニングおよびエッチングを行う。この後第５の電極６５上のレジスト５９を除去する。

【００６９】次に、図４Ｂに示すように、パターン化された第５の電極６５を覆ってレジスト５９を形成し、このレジスト５９に対して第４の電極６４の所望のパターンに対応するパターニングを行う。このとき、第４の電極６４のレジスト５９のパターンは、パターニングの際のアライメントズレがあっても第５の電極６５がレジスト５９に覆われるように、第５の電極６５上においては第５の電極６５の幅より（パターンズレ分以上）広く形成する。

【００７０】そして、図４Ｃに示すように、このレジストマスク５９で第４の電極６４およびその上の絶縁膜５８をエッチングする。この後レジスト５９を除去する。

【００７１】次に、図５Ｄに示すように、パターン化された第４の電極６４および第５の電極６５を覆ってレジスト５９を形成し、このレジスト５９に対して第１の電極６１の所望のパターンに対応するパターニングを行う。このとき、第１の電極６１のレジスト５９のパターンは、パターニングの際のアライメントズレがあっても第４の電極６４がレジスト５９に覆われるように、第４の電極６４上においては第４の電極６４の幅より（パターンズレ分以上）広く形成する。

【００７２】そして、図５Ｅに示すように、このレジストマスク５９で第１の電極６１およびその上の絶縁膜５８をエッチングする。この後レジスト５９を除去する。これにより前述のように幅が規定された３つの電極６１，６４，６５が形成される。

【００７３】この後の工程は、３つの電極６１，６４，６５を覆って層間絶縁層５８を形成してその表面の平坦化を行った後、層間絶縁層５８に光導電層５３に対するコンタクトホールと第５の電極６５に対するコンタクトホールを同時に開口し、図５Ｆに示すように、これらのコンタクトホールを埋めるように金属等を成膜して第２の電極６２を形成する。

【００７４】その後は従来の製造工程と同様にして、図３に示した光書き込み型液晶ライトバルブ装置を製造することができる。

【００７５】次に、図６に本発明の光書き込み型液晶ライトバルブ装置のさらに他の実施の形態の要部の概略断面図を示す。また、図７は図６の光書き込み型液晶ライトバルブ装置の画素領域の概略平面図を示す。本実施の形態の光書き込み型液晶ライトバルブ装置では、第５の電極６５および第４の電極６４を、自己整合的に略同一の幅に形成した構成である。

【００７６】尚、第１の電極６１は、これら第４の電極６４および第５の電極６５より広い幅に形成している。その他の構成は、図１に示した実施の形態および図３に示した実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【００７７】本実施の形態の光書き込み型液晶ライトバルブ装置によれば、第５の電極６５および第４の電極６４を自己整合的に略同一の幅に形成しているので、これらの電極６４，６５が共に全幅にわたって対向し、対向面積が一定となるため、両電極間の容量が一定になる。

【００７８】次に、図８～図１１の概略断面図により、この図６および図７に示す光書き込み型液晶ライトバルブ装置の製造工程を説明する。この製造工程は、上述の２つの電極６４，６５を自己整合的に略同一幅にして容量を一定にするために好適な製造工程を示す。図８～図１１では、各図において、図７の平面図におけるＸ－Ｘ′における断面図（図８Ａ～図１１Ａ）およびＹ－Ｙ′における断面図（図８Ｂ～図１１Ｂ）をそれぞれ示す。

【００７９】図８Ａおよび図８Ｂに示すように、例えばガラス等からなる第１の透明基板５１上に形成された光導電層５３上に第１の電極６１、その上層の絶縁膜５８、第４の電極６４、その上層の絶縁膜５８、第５の電極６５を連続形成し、第５の電極６５に対してレジスト５９によるパターニングおよびエッチングを行う。このとき、図８Ｂに示すように、Ｙ－Ｙ′方向では、第４の電極６４と第５の電極とを同じレジストマスク５９によりエッチングして、自己整合的に略同一の幅に形成する。

【００８０】次に、図９Ａに示すように、Ｘ－Ｘ′方向では、第５の電極６５を所定の長さにするために、レジスト５９によるパターニングおよびエッチングを行う。このとき、図９Ｂに示すＹ－Ｙ′方向においては、第５の電極６５および第４の電極６４の幅よりレジスト５９によるパターンを広くしておく。

【００８１】この後、いったん第５の電極６５上のレジ

スト５９を除去する。そして、図１０Ａおよび図１０Ｂに示すように、表面を覆ってレジスト５９を形成し、図１０Ｂに示すＹ－Ｙ′方向においては、第１の電極６１の幅を有するレジストマスク５９によりエッチングを行って所定の幅に規定された第１の電極６１を形成する。

【００８２】尚、この後の工程としては、図１１Ａおよび図１１Ｂに示すように、全面的に層間絶縁層５８を形成し、この層間絶縁層５８の表面の平坦化を行った後、光導電層５３に対するコンタクトホールと第５の電極６５に対するコンタクトホールとを同時に開口し、これらのコンタクトホールを覆って第２の電極６２の材料を成膜し、表面を平坦化して第２の電極６２を形成する。

【００８３】その後は従来の製造工程と同様にして、図３に示した光書き込み型液晶ライトバルブ装置を製造することができる。

【００８４】上述の製造工程により、第４の電極６４および第５の電極６５の幅を規定する図８Ｂに示した第４の電極６４および第５の電極６５の加工パターンと、第５の電極６５の長さを規定する図９Ａに示した第５の電極６５の加工パターンとを正確に制御すれば、２つの電極６４，６５の対向面積を一定にすることができる。これにより、従来容量のバラツキの主要因を占めていた合わせズレの要因を排除することができ、両電極６４，６５間の絶縁膜５８の膜厚のバラツキのみとなるので、容量のバラツキを大幅に低減することができる。

【００８５】次に、図１２に本発明の光書き込み型液晶ライトバルブ装置の別の実施の形態の要部の概略断面図を示す。本実施の形態の光書き込み型液晶ライトバルブ装置では、第５の電極６５を第４の電極の上部および側部を覆うように形成した構成である。

【００８６】本実施の形態において、第１の電極６１は、第５の電極６５より広い幅に形成している。その他の構成は、図３に示した実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【００８７】本実施の形態の光書き込み型液晶ライトバルブ装置によれば、第５の電極６５が第４の電極６４の側部および上部を覆って形成されていることにより、第５の電極６５が、第４の電極６４の上部および側部の一部に対向している。

【００８８】これにより、第５の電極６５と第４の電極６４との間に合わせズレがあっても、両電極６４，６５の対向面積が変化しない。従って、第５の電極６５と第４の電極６４との合わせズレにより容量が変動する問題を生じない。

【００８９】本実施の形態において、第５電極６５の形成は、例えば次のように行う。まず、絶縁膜５８上に第４の電極６４の材料を全面的に形成し、所定のパターンにレジストパターニングおよびエッチングを行って第４の電極６４を形成する。この第４の電極６４を覆って薄い絶縁膜を形成し、この薄い絶縁膜上に全面的第５の電極６５の材料を成膜する。このとき、第４の電極６４上付近が高くなるように形成される。そして、所定のパターンにレジストパターニングおよびエッチングを行って、第４の電極の側部および上部を覆った第５の電極６５を形成することができる。

【００９０】次に、図１３に本発明の光書き込み型液晶ライトバルブ装置のさらに別の実施の形態の要部の概略断面図を示す。本実施の形態の光書き込み型液晶ライトバルブ装置では、第５の電極６５と第２の電極６２とのコンタクト部と、光導電層５３と第２の電極６２とのコンタクト部とを兼用する同一のコンタクト部６７により形成した構成である。

【００９１】尚、本実施の形態においては、図１に示した実施の形態と同様に第１の電極６１と第４の電極６４と第５の電極６５の幅の関係を、上層の電極ほど広い幅となるように形成している。その他の構成は、図１に示した実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【００９２】本実施の形態の光書き込み型液晶ライトバルブ装置によれば、このように同一のコンタクト部６７で兼用するようにしたので、コンタクト部が１箇所になり、別々の２箇所にコンタクト部を設けた場合と比較してコンタクト部の占める面積を少なくすることができる。

【００９３】コンタクト部を別々の２箇所に設けた場合には、２つのコンタクト部の占める面積を確保し、また２つのコンタクト部の間の距離をとる必要があるため、高画質化に向けて画素サイズを縮小しようとするときに２つのコンタクト部を設けることが制約となる。すなわち同一のコンタクト部６７で兼用することにより、この制約から開放され、画素サイズの縮小が容易になる利点を有する。

【００９４】また、図１４に図１３の構成を変形した形態を示す。この図１４の場合は、図１３に示したコンタクトを兼用する構成に、図１２に示した第４電極６４の側部および上部を覆う第５の電極６５を形成した構成を適用したものであり、上述の図１３の構成と同様の効果を有する。

【００９５】尚、図１３に示した構成および図１４に示した構成においては、コンタクト部６７と第１の電極６１とが短絡しないようにするために、第１の電極６１の幅（短辺方向の幅）は第５の電極６５の幅より狭くして、コンタクトホールを開口する際に第１の電極６１に当たらないようにする。

【００９６】図１３に示した構成および図１４に示した構成において、上述のコンタクト部６７の形成は、層間絶縁層５８にコンタクトホールを開口する際に、第５の電極６５の横に開口させる。また、第５の電極６５上の一部にもコンタクトホールを開口する。そして、コンタクトホールを埋めるように第２の電極６２の材料を成膜

し、表面の平坦化等の加工を行って分割電極部６２Ａから構成された第２の電極６２とコンタクト部６７とを形成する。これにより、第５の電極６５上の一部にもコンタクト部６７が接続され、第２の電極６２と第５の電極６５とのコンタクトを確実にとることができる。

【００９７】次に、図１５に本発明の光書き込み型液晶ライトバルブ装置のその他の実施の形態の要部の概略断面図を示す。本実施の形態の光書き込み型液晶ライトバルブ装置では、第２の電極６２の分割電極部６２Ａのコンタクト部６２ｃの一端を、直接でなくバッファ膜６０を介して光導電層５３に接続させた構成である。このバッファ膜６０は、第１の電極６１と同一の材料で同じ厚さに形成されている。

【００９８】バッファ膜６０は、第１の電極６１の材料の層をパターンエッチングする際に、第１の電極６１のパターンの他にバッファ膜６０のパターンも残るようにレジストのパターニングを行い、このレジストマスクを用いてエッチングすることにより形成することができる。

【００９９】その他の構成は、図１に示した実施の形態と同様であるので、同一符号を付して重複説明を省略する。

【０１００】第２の電極６２を光導電層５３に対してコンタクトをとるためのコンタクトホールを開口するときに、光導電層５３を直接エッチングに曝すと、光導電層５３の表面が荒れてコンタクト特性が不安定となる原因となることがある。

【０１０１】そこで、本実施の形態では、上述のようにバッファ膜６０を介して光導電層５３と第２の電極６２とを接続するようにしたので、コンタクトホールを開口する際には予め形成してあるバッファ膜６０がエッチングされるため、光導電層５３の表面がエッチングに曝され表面状態が悪化することを防ぎ、安定したコンタクト特性を得ることができる。

【０１０２】さらに必要であれば、第１の電極６１と同一材料のバッファ膜６０と、第２の電極６２とを同種等のメタル－メタルコンタクトによって接続するようにそれぞれの材料を選定することが可能であり、この場合は、光導電層５３と第２の電極６２とを直接コンタクトさせた場合に比べて、非常に容易に安定したコンタクトを得ることができる。

【０１０３】このバッファ膜６０は、図１・図３・図６・図１２～図１４に示した各実施の形態や、図１９および図２０に示した構成にも適用することができ、同様に安定したコンタクト特性を得ることができる。

【０１０４】本発明の光書き込み型液晶ライトバルブ装置は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【０１０５】

【発明の効果】上述の本発明による光書き込み型液晶ライトバルブ装置によれば、電極の合わせズレによる電極間の容量の変動がなくなるため、液晶層と光導電層との容量バランスが常に安定的に保たれるために、液晶の閾値即ち液晶ライトバルブ装置としての特性のばらつきが少なくなり、製造における歩留まりが大幅に改善される。

【０１０６】さらに、光導電層上の第１の電極を、合わせズレの影響を抑制するために広くとる必要がなくなるので、感度の向上を図ることができる。

【０１０７】また、第５の電極の幅を、第４の電極の短辺方向より狭い幅、または第４の電極の短辺方向より広い幅、あるいは第４の電極と自己整合的に同一幅としたときには、それぞれ第４の電極と第５の電極の一方の電極を全幅にわたって他方の電極と対向させることができるため、合わせズレを生じても対向面積が変化しなくなり、これにより容量のばらつきを抑制することができる。

【０１０８】また、第５の電極と第２の電極とのコンタクト部と、第２の電極と光導電層とのコンタクト部とを、同一のコンタクト部により構成したときには、コンタクト部の占める面積を低減することができ、画素サイズを縮小して高画質化を図ることが容易になる。

【０１０９】また、第２の電極と光導電層とが、第１の電極と同一の材料および膜厚のバッファ層を介して接続されている構成としたときには、コンタクトホールを開口する際に光導電層の表面がエッチングに曝され表面状態が悪化することを防ぎ、安定したコンタクト特性を得ることができる。

【図面の簡単な説明】

【図１】本発明による光書き込み型液晶ライトバルブ装置の一実施の形態の要部の概略断面図である。

【図２】図１の光書き込み型液晶ライトバルブ装置の画素領域の概略平面図である。

【図３】本発明による光書き込み型液晶ライトバルブ装置の他の実施の形態の要部の概略断面図である。

【図４】Ａ～Ｃ　図２の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。

【図５】Ｄ～Ｆ　図２の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。

【図６】本発明による光書き込み型液晶ライトバルブ装置のさらに他の実施の形態の要部の概略断面図である。

【図７】図１の光書き込み型液晶ライトバルブ装置の画素領域の概略平面図である。

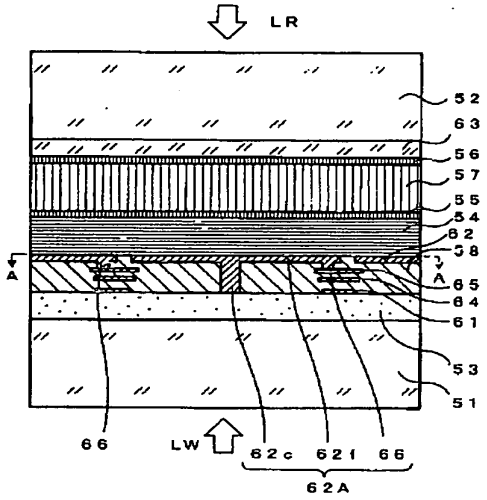
【図８】Ａ、Ｂ　図６の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。

【図９】Ａ、Ｂ　図６の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。

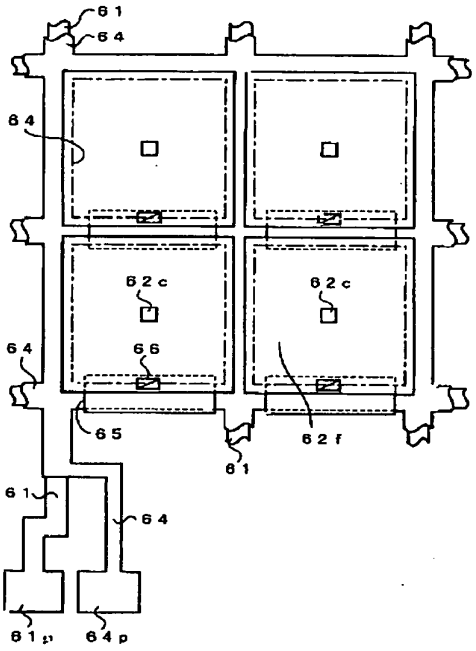
【図１０】Ａ、Ｂ　図６の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。

【図１１】Ａ、Ｂ　図６の光書き込み型液晶ライトバルブ装置の製造工程を示す概略断面図である。
【図１２】本発明による光書き込み型液晶ライトバルブ装置の別の実施の形態の要部の概略断面図である。
【図１３】本発明による光書き込み型液晶ライトバルブ装置のさらに別の実施の形態の要部の概略断面図である。
【図１４】図１３の光書き込み型液晶ライトバルブ装置を一部変形した形態の要部の概略断面図である。
【図１５】本発明による光書き込み型液晶ライトバルブ装置のその他の実施の形態の要部の概略断面図である。
【図１６】従来の光書き込み型液晶ライトバルブ装置の要部の概略断面図である。
【図１７】従来の光書き込み型液晶ライトバルブ装置の要部の概略断面図である。
【図１８】先に提案した光書き込み型液晶ライトバルブ装置の要部の概略断面図である。
【図１９】先に提案した光書き込み型液晶ライトバルブ装置の要部の概略断面図である。
【図２０】先に提案した光書き込み型液晶ライトバルブ装置の要部の概略断面図である。
【符号の説明】
１…第１のガラス基板、２，８…透明電極、３…光導電層、４…光遮断層、５…誘電体ミラー、６，９…配向層、７…第２のガラス基板、１０…液晶層、１１…導電層、１２…絶縁層、２１…第１の透明基板、２２…第２の透明基板、２３…光導電層、２４…反射層、２５，２６…配向層、２７…液晶層、２８…絶縁層、３１…第１の電極、３２…第２の電極、３２Ａ…分割電極部、３３…第３の電極、３４…第４の電極、５１…第１の透明基板、５２…第２の透明基板、５３…光導電層、５４…光反射層、５５，５６…配向層、５７…液晶層、５８…層間絶縁層、５９…レジスト、６０…バッファ膜、６１…第１の電極、６２…第２の電極、６２Ａ…分割電極部、６２ｃ…コンタクト部、６２ｆ…対向電極部、６３…第３の電極、６４…第４の電極、６５…第５の電極、６６，６７…コンタクト部、ＬＷ…書き込み光、ＬＲ…読み出し光

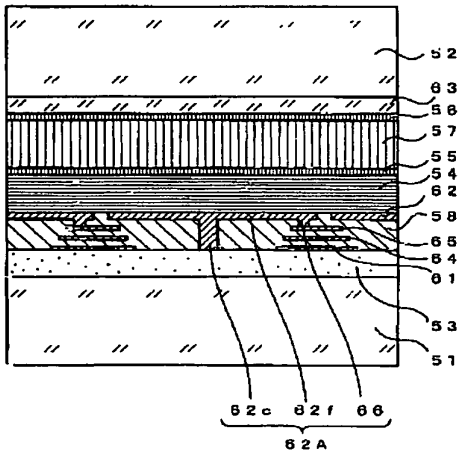
【図１】



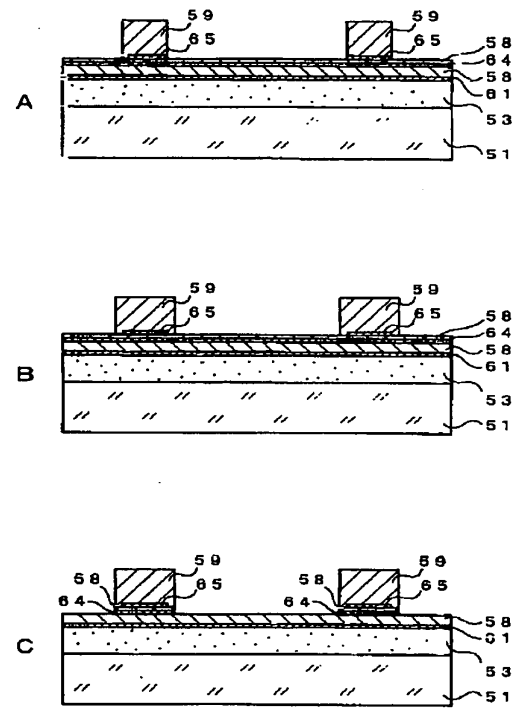
【図２】



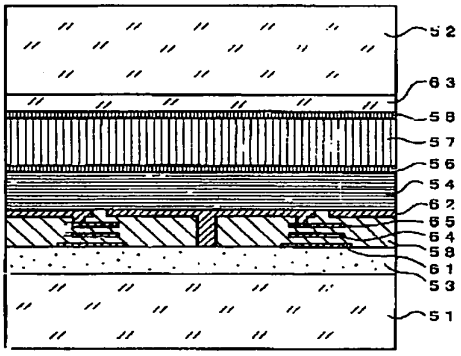
【図3】



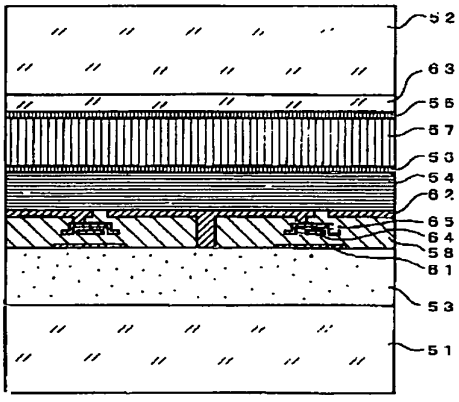
【図4】



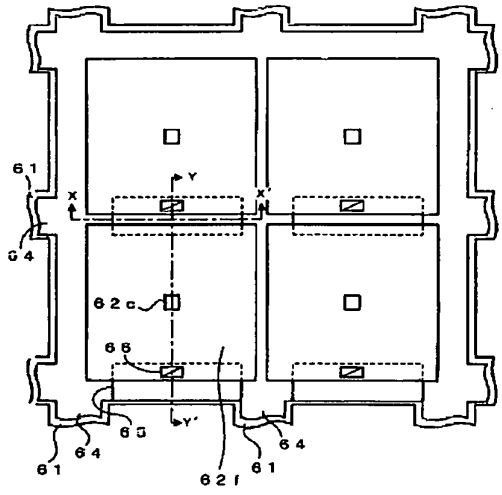
【図6】



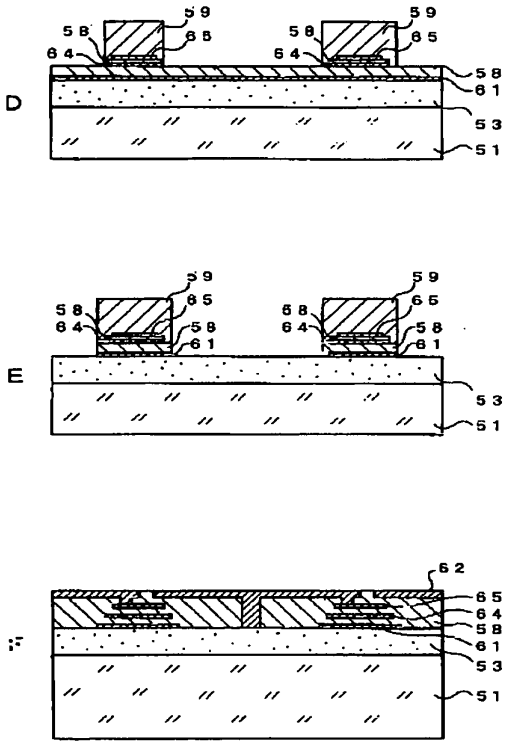
【図12】



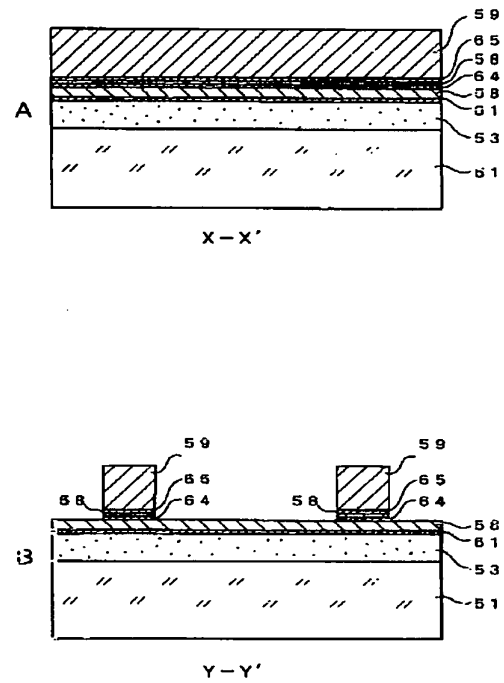
【図7】



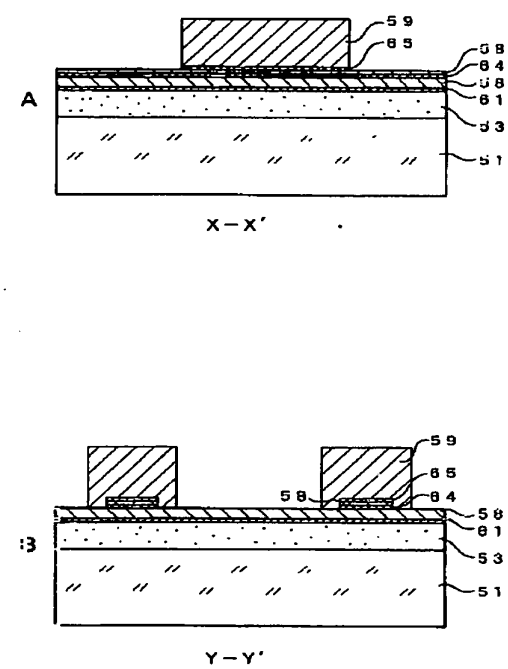
【図5】


D
E
F
59
58
65
64
61
53
51
62

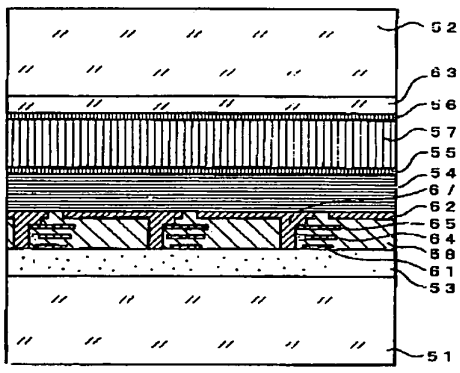
【図8】


A
B
59
65
58
64
61
53
51
X−X'
Y−Y'

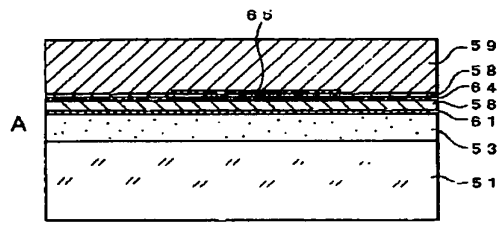
【図9】


A
B
59
65
58
64
61
53
51
X−X'
Y−Y'

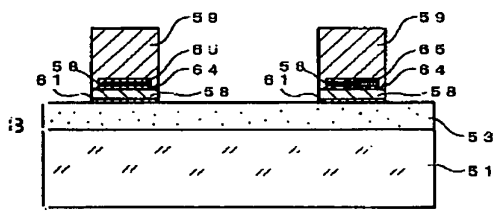
【図13】


52
63
56
57
55
54
67
62
65
64
58
61
53
51

【図10】

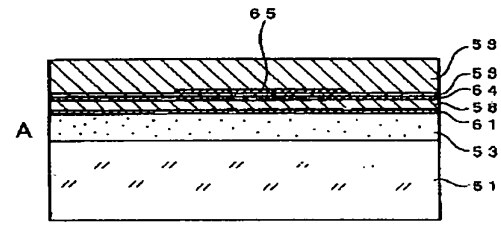


X−X'

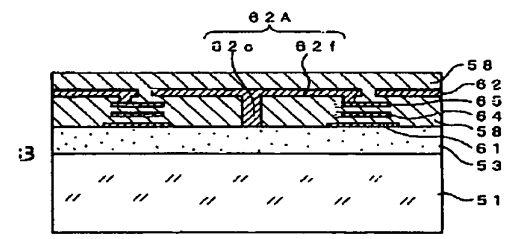


Y−Y'

【図11】

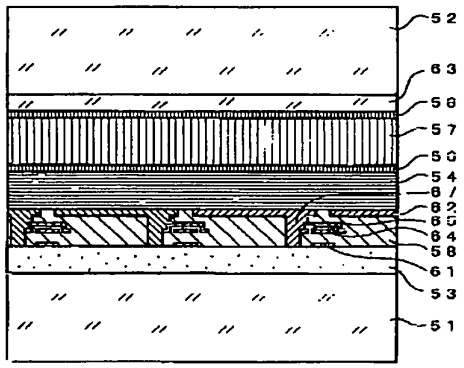


X−X'

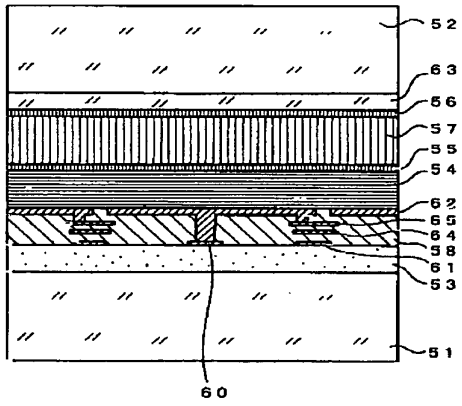


Y−Y'

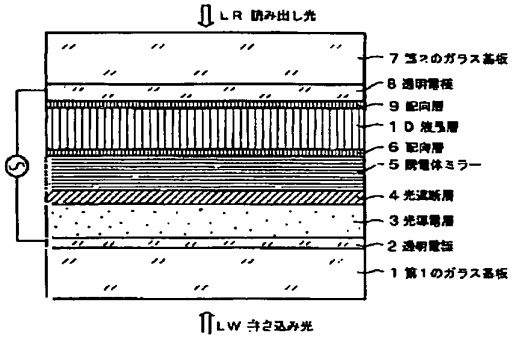
【図14】



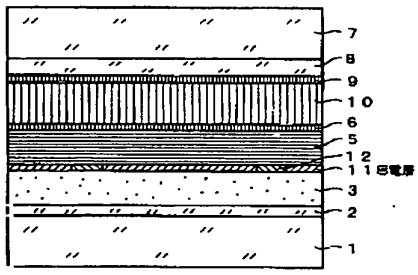
【図15】



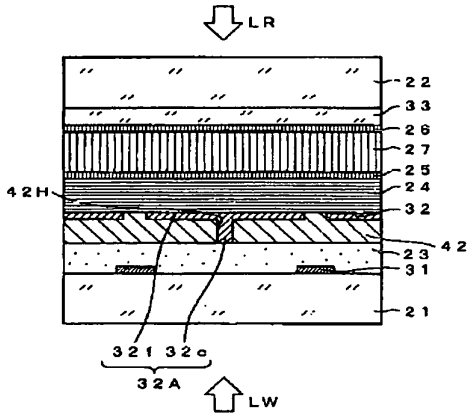
【図16】



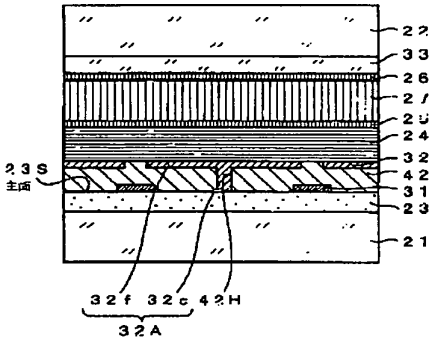
【図17】



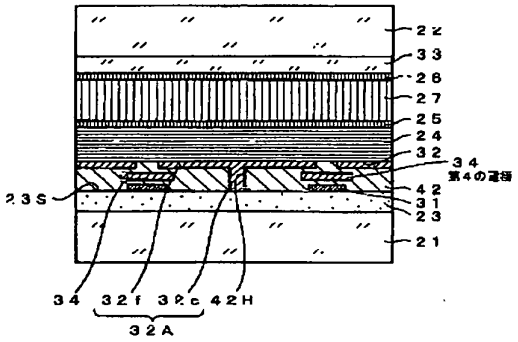
【図18】



【図19】



【図20】



フロントページの続き

Fターム(参考) 2H092 JA46 KA05 KA07 KB13 KB14
KB25 LA03 LA05 LA06 LA12
MA05 MA07 MA14 MA15 MA16
MA18 MA20 MA41 NA01 NA13
NA24 NA25 NA27 NA29 PA07
PA12
5C094 AA03 AA05 AA13 AA42 AA43
AA48 AA53 AA55 BA43 CA18
DA13 DB04 EA05 EA06 EA10
EB02 ED11 ED14 ED15 FA01
FA02 FB12 FB16 FB20 GA01

OIPE IAP97
SEP 18 2007
PATENT & TRADEMARK OFFICE

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2628

Application No.: 11/483,109

Filed: July 10, 2006

Docket No.: 114251.01

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed (a) within three months of the U.S. filing date of this non-CPA application, OR (b) before the mailing date of a first Office Action on the merits in the present application. No certification or fee is required.

☒ 2. Each item of information contained in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart application, and this communication was not received by any individual designated in §1.56(c) more than thirty days prior to the filing of this Information Disclosure Statement.

☒ 3. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

☒ 4. An English language Abstract of one or more non-English language reference is attached. See Reference 2.

☒ 5. A computer-generated English language translation of one or more Japanese Patent Publication cited herein has been obtained from the website of the Japanese Patent Office ([http://www.jpo.go.jp]), and is attached, but has not been reviewed for accuracy. See Reference 2.

☒ 6. Reference 1 corresponds to reference 2.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/mab

Date: September 18, 2007

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

SEP 18 2007
IAP97
PATENT & TRADEMARK OFFICE

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT(S) Yojiro MATSUEDA	
		FILING DATE July 10, 2006	GROUP 2628

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1	2004/012548	1-22-2004	Anzai

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	2	JP A 2003-323133	11-14-2003	Japan	X	X

OTHER DOCUMENTS

Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)

EXAMINER	DATE CONSIDERED

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: September 18, 2007

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-323133

(43)Date of publication of application : 14.11.2003

(51)Int.Cl. G09F 9/30
H05B 33/14

(21)Application number : 2002-128008

(22)Date of filing : 30.04.2002

(71)Applicant : SANYO ELECTRIC CO LTD

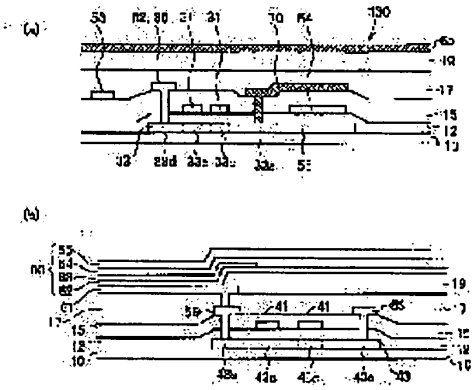
(72)Inventor : ANZAI KATSUYA

(54) ELECTROLUMINESCENCE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve display quality and extend a life of an organic EL element by reducing a holding capacitance forming area for holding a video signal supplied to a gate of a driving transistor in an EL display device.

SOLUTION: On a source 33s of a TFT 30 serving also as a 1st capacitance electrode layer 55, a 2nd capacitance electrode layer 54 is formed via a gate insulating film 12. The 2nd capacitance electrode layer 54 is the same layer as the gate electrode 31 and formed through the same process. On the 2nd capacitance electrode layer 54, a 3rd capacitance layer 70 is extendedly arranged via an interlayer insulating electrode film 15. The 3rd capacitance electrode layer 70 is formed in the same layer as a drain electrode 36 and a drain signal line 52. The 3rd capacitance layer 70 is connected to the source 33s of the TFT 30.



LEGAL STATUS

[Date of request for examination] 22.04.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1] It has two or more picture element parts. Each picture element part An electroluminescent element, The transistor for actuation which drives said electroluminescent element, A drain signal line and the transistor for pixel selection which switches according to a gate signal and supplies the video signal from said drain signal line to the gate of said transistor for actuation, It is a electroluminescence display possessing the retention volume for holding the video signal supplied to the gate of said transistor for actuation. Said retention volume The 2nd capacity electrode layer formed through the 1st insulator layer on the source of said transistor for pixel selection which served as the 1st capacity electrode layer, The electroluminescence display characterized by having the 3rd capacity electrode layer which was connected to said source and installed through the 2nd insulator layer on said 2nd capacity electrode layer.
[Claim 2] Said 2nd capacity electrode layer is a electroluminescence display according to claim 1 characterized by being formed in the same layer as the gate of said transistor for pixel selection.
[Claim 3] Said 1st insulator layer is a electroluminescence display according to claim 1 characterized by being formed by the same film as the gate dielectric film of said transistor for pixel selection.
[Claim 4] Said 3rd capacity electrode layer is a electroluminescence display according to claim 1 characterized by being formed in the same layer as said drain signal line.
[Claim 5] Said 2nd insulator layer is a electroluminescence display according to claim 1 characterized by being formed by the same film as the gate of said transistor for pixel selection, and the interlayer insulation film between said drain signal lines.
[Claim 6] The electroluminescent element in which it has two or more picture element parts, and each picture element part has an anode plate layer, a luminous layer, and catholyte, The transistor for actuation which drives said electroluminescent element, A drain signal line and the transistor for pixel selection which switches according to a gate signal and supplies the video signal from said drain signal line to the gate of said transistor for actuation, It is the electroluminescence display equipped with the retention volume for holding the video signal supplied to the gate of said transistor for actuation. Said retention volume The 2nd capacity electrode layer formed through the 1st insulator layer on the source of said transistor for pixel selection which served as the 1st capacity electrode layer, The 3rd capacity electrode layer which was connected to said source and installed through the 2nd insulator layer on said 2nd capacity electrode layer, it connects with said 3rd capacity electrode layer -- having -- this -- the electroluminescence display characterized by providing the 4th capacity electrode layer installed through the 3rd insulator layer on the 3rd capacity electrode layer, and the 5th capacity electrode layer installed through the 4th insulator layer on said 4th capacity electrode layer.
[Claim 7] Said 2nd capacity electrode layer is a electroluminescence display according to claim 5 characterized by being formed in the same layer as the gate of said transistor for pixel selection.
[Claim 8] Said 1st insulator layer is a electroluminescence display according to claim 6 characterized by being formed by the same film as the gate dielectric film of said transistor for pixel selection.
[Claim 9] Said 3rd capacity electrode layer is a electroluminescence display according to claim 6

characterized by being formed in the same layer as said drain signal line.
[Claim 10] Said 2nd insulator layer is a electroluminescence display according to claim 6 characterized by being formed by the same film as the gate of said transistor for pixel selection, and the interlayer insulation film between said drain signal lines.
[Claim 11] Said 4th capacity electrode layer is a electroluminescence display according to claim 6 characterized by being formed in the same layer as said anode plate layer.
[Claim 12] Said 3rd insulator layer is a electroluminescence display according to claim 6 characterized by being formed by the same film as the 1st flattening insulator layer.
[Claim 13] Said 5th capacity electrode layer is a electroluminescence display according to claim 6 characterized by being formed in the same layer as said catholyte.
[Claim 14] Said 4th insulator layer is a electroluminescence display according to claim 6 characterized by being formed by the same film as the 2nd flattening insulator layer.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] Especially this invention relates to the electroluminescence display which has the retention volume for holding the video signal supplied to the gate of the transistor for actuation about a electroluminescence display.
[0002]
[Description of the Prior Art] In recent years, researches and developments of EL display equipped with the thin film transistor ("TFT" is called below Thin Film Transistor:.) as a switching element which it is observed [switching element] as a display which EL display using an electroluminescence ("EL" is called below Electro Luminescence:.) component replaces with CRT or LCD, for example, makes the EL element drive are also furthered. The representative circuit schematic of 1 pixel of an organic electroluminescence display is shown in drawing 4 . The gate signal line 51 which supplies a gate signal Gn, and the drain signal line 52 which supplies the drain signal Dm, i.e., a video signal, cross mutually.
[0003] TFT30 for choosing 40 pixel TFT which drives an organic EL device 60 and this organic EL device 60 near the crossing of both those signal lines is arranged.
[0004] Positive supply voltage PVdd is supplied to drain 43d of TFT40 for organic EL device actuation. Moreover, it connects with the anode 61 of an organic EL device 60 source 43s.
[0005] Moreover, a video signal Dm is supplied by supplying a gate signal Gn and connecting the drain signal line 52 to drain 33d by connecting the gate signal line 51 to the gate 31 of TFT30 for pixel selection. It connects with the gate 41 of the above TFT40 source 33s of TFT30. Here, a gate signal Gn is outputted from a non-illustrated gate driver circuit. A video signal Dm is outputted from a non-illustrated drain driver circuit.
[0006] Moreover, an organic EL device 60 consists of the light emitting device layer 63 formed between the anode 61, the cathode 65, and this anode 61 and a cathode 65. Negative supply voltage valve flow coefficient is supplied to the cathode 65.
[0007] Moreover, retention volume 130 is connected to the gate 41 of TFT40. That is, one electrode of retention volume 130 is connected to the gate 41, and the electrode of another side is connected to the retention volume electrode 131. By holding the charge according to a video signal Dm, retention volume 130 is formed in order to hold the video signal of 1 field period and a display pixel.
[0008] It is as follows when actuation of EL display of a configuration of having mentioned above is explained. If a gate signal Gn is set to a 1 level period and high level, TFT30 turns on. Then, a video signal Dm lets TFT30 pass from the drain signal line 52, and it is impressed by the gate 41 of TFT40. And according to the video signal Dm supplied to the gate 41, the conductance of TFT40 changes, the actuation current according to it lets TFT40 pass, an organic EL device 60 is supplied, and an organic EL device 60 lights up.
[0009] The cross-section structure of the above-mentioned retention volume 130 is shown in drawing 5 . TFT30 is formed on the insulating substrate 10. TFT30 has the gate 31 formed on drain 33d and gate-dielectric-film top 12 source 33s. And on source 33s of TFT30, the retention volume electrode 131 is

formed through gate dielectric film 12. The fixed electrical potential difference is impressed to the retention volume electrode 131.
[0010] Thus, since the potential of the gate of the transistor 40 for actuation which controls the amount of currents which determines the brightness of an organic EL device 60 was fixed conventionally, retention volume 130 was formed for every pixel.
[0011]
[Problem(s) to be Solved by the Invention] Display grace will be affected if the drop voltage of the video signal Dm supplied to a pixel is large. So, in order to stop this drop voltage, it is necessary to enlarge capacity value of retention volume 130 to some extent. That is, it is necessary to enlarge area of retention volume 30.
[0012] By the way, a top emission mold and a bottom product emission mold are shown in an organic electroluminescence indicating equipment. In a top emission mold, the light which emitted light from the organic EL device 60 is injected in the insulating substrate 10 from the organic EL device 60, i.e., panel top face, side of an opposite hand. On the other hand, in a bottom product emission mold, the light which emitted light from the organic EL device 60 is injected from the insulating substrate 10 side.
[0013] With the organic electroluminescence indicating equipment of a top emission mold, even if it enlarges area of retention volume 130, although it is satisfactory, with a bottom product emission mold, the formation part of retention volume will work as a blind, and a numerical aperture will decrease. For this reason, in order to obtain required brightness, the current supplied to an organic EL device compared with the case where allowances are in a numerical aperture needed to be made to increase, and there was a problem that the life of an organic EL device will become short as a result.
[0014]
[Means for Solving the Problem] This invention has two or more picture element parts. Then, each picture element part An electroluminescent element and the transistor for actuation which drives said electroluminescent element, A drain signal line and the transistor for pixel selection which switches according to a gate signal and supplies the video signal from said drain signal line to the gate of said transistor for actuation, It is a electroluminescence display possessing the retention volume for holding the video signal supplied to the gate of said transistor for actuation. Said retention volume The 2nd capacity electrode layer formed through the 1st insulator layer on the source of said transistor for pixel selection which served as the 1st capacity electrode layer, It connects with said source and is characterized by having the 3rd capacity electrode layer installed through the 2nd insulator layer on said 2nd capacity electrode layer.
[0015] According to this invention, since retention volume is formed in the capacity electrode layer of multilayer structure, the formation area of retention volume is reducible. Moreover, capacity value which retention volume has can be enlarged, without causing decline in a numerical aperture.
[0016]
[Embodiment of the Invention] Next, the 1st operation gestalt of this invention is explained. The top view showing the picture element part of an organic electroluminescence display in drawing 1 is shown, the sectional view which met drawing 2 (a) at the A-A line in drawing 1 is shown, and the sectional view which met drawing 2 (b) at the B-B line in drawing 1 is shown. In addition, the equal circuit of the picture element part concerned is the same as what was shown in drawing 4 .
[0017] As shown in drawing 1 and drawing 2 , the picture element part 115 is formed in the field surrounded by the gate signal line 51 and the drain signal line 52. And two or more picture element parts 115 are arranged in the shape of a matrix, and constitute the viewing area.
[0018] TFT30 for pixel selection which controls the timing which supplies a current to the organic EL device 60 which is a spontaneous light corpuscle child, and this organic EL device 60 in this picture element part 115, TFT40 for organic EL device actuation which supplies a current to an organic EL device 60, and retention volume 130 are arranged. In addition, the organic EL device 60 consists of the light emitting device layer which consists of an anode (anode plate) layer 61 and luminescent material, and the cathode (cathode) layer 65.
[0019] That is, TFT30 for pixel selection is formed near the intersection of both the signal lines 51 and

52. Source 33s of TFT30, while serving as the 1st capacity electrode layer 55, it connects with the gate 41 of TFT40 for organic EL device actuation. On source 33s of TFT30, the 2nd capacity electrode layer 54 is formed through gate dielectric film 12. The 2nd capacity electrode layer 54 consists of chromium, molybdenum, etc., and is arranged in parallel to the gate signal line 51. Furthermore, on the 2nd capacity electrode layer 54, the 3rd capacity electrode layer 70 is formed through the interlayer insulation film 15.

[0020] Moreover, it connects with the anode layer 61 of an organic EL device 60 source 43s of TFT40 for organic EL device actuation, and connects with the actuation power-source line 53 which is the current source supplied to an organic EL device 60 drain 43d of another side.

[0021] As shown in drawing 2 , on the substrates 10, such as a substrate which has the substrate or conductivity which consists of glass, synthetic resin, etc., or a semi-conductor substrate, an organic electroluminescence display carries out laminating formation, and changes TFT and an organic EL device at order. However, in using the substrate and semi-conductor substrate which have conductivity as substrates 10, insulator layers, such as SiO2 and SiN, were formed upwards on these substrates 10, and it forms TFT 30 and 40 and an organic EL device. It is the so-called top gate structure where which TFT has a gate electrode above an active layer through gate dielectric film.

[0022] Next, the structure of TFT30 for pixel selection and retention volume 139 is explained to a detail. As shown in drawing 2 (a), on the insulating substrate 10 which consists of quartz glass, alkali free glass, etc., an amorphous silicone film (the "a-Si film" is called hereafter.) is formed with a CVD method etc., and irradiate a laser beam, and the a-Si film is made it to carry out melting recrystallization, consider as a polycrystal silicone film (the "p-Si film" is called hereafter.), and let this be an active layer 33. Moreover, the monolayer or layered product of SiO2 film and an SiN film is formed as gate dielectric film 12.

[0023] Furthermore, on it, it has the gate signal line 51 which served as the gate electrode 31 which consists of refractory metals, such as Cr and Mo, and the drain signal line 52 which consists of aluminum, and the actuation power-source line 53 which is the actuation power source of an organic EL device, and consists of aluminum is arranged.

[0024] And the interlayer insulation film 15 by which the laminating was carried out is formed in the order of SiO2 film, an SiN film, and SiO2 film the whole surface on gate dielectric film 12 and an active layer 33, the drain electrode 36 filled up with metals, such as aluminum, is formed in the contact hole prepared corresponding to drain 33d, and the 1st flattening insulator layer 17 which changes from organic resin to the whole surface further, and makes a front face flat is formed.

[0025] Next, the structure of retention volume 130 is explained. It serves as the 1st capacity electrode layer 55 source 33s of TFT30. On source 33s of TFT30 used also [layer / 55 / 1st / capacity electrode], the 2nd capacity electrode layer 54 is formed through gate dielectric film 12. The 2nd capacity electrode layer 54 consists of refractory metals, such as Cr and Mo, is the same layer as the gate electrode 31, and is formed at the same process. On the 2nd capacity electrode layer 54, the 3rd capacity electrode layer 70 is installed through the interlayer insulation film 15. The 3rd capacity electrode layer 70 is the same layer as the drain electrode 36 and the drain signal line 52, and is formed at the same process. Moreover, the 3rd capacity electrode layer 70 is connected with source 33s of TFT30 through the contact hole.

[0026] That is, since retention volume 139 has multilayer structure whose 2nd capacity electrode layer 54 was pinched through the insulator layer by the 1st capacity electrode layer 55 and the 3rd capacity electrode layer 70, it can form a big capacity in little occupancy area.

[0027] Moreover, it is possible by installing the cathode layer 65 on the 3rd capacity electrode layer 70 through the 1st flattening insulator layer 17 and the 2nd flattening insulator layer 19 to obtain a still bigger capacity.

[0028] Next, TFT40 for organic EL device actuation is explained. As shown in drawing 2 (b), on the insulating substrate 10 which consists of quartz glass, alkali free glass, etc., the gate electrode 41 which consists of refractory metals, such as the active layer 43 and gate dielectric film 12 irradiate a laser beam and it comes [polycrystal]-izing [gate dielectric film], and Cr, Mo, is formed in the a-Si film in order, and source 43s and drain 43d is prepared at that active layer 43 at the both sides of channel 43c and this

channel 43c. And the interlayer insulation film 15 by which the laminating was carried out to the order of SiO2 film, an SiN film, and SiO2 film is formed the whole surface on gate dielectric film 12 and an active layer 43, and the actuation power-source line 53 which filled up the contact hole prepared corresponding to drain 43d with metals, such as aluminum, and was connected to the actuation power source is formed. Moreover, the contact hole prepared corresponding to source 43s is filled up with metals, such as aluminum, and the source electrode 56 is formed in it.

[0029] Furthermore, the whole surface is equipped with the 1st flattening insulator layer 17 which consists of organic resin and makes a front face flat. And a contact hole is formed in the location corresponding to the source electrode 56 of that 1st flattening insulator layer 17, and the anode layer 61 of the transparent electrode which consists of ITO connected with the source electrode 56 through this contact hole, i.e., an organic EL device, is formed on the 1st flattening insulator layer 17. Separation formation of this anode layer 61 is carried out for every picture element part at island shape. Although the 2nd flattening insulator layer 19 is further formed on the 1st flattening insulator layer 17, the 2nd flattening insulator layer 19 is removed about the anode layer 61 top.

[0030] The anode layer 61 to which an organic EL device 60 changes from transparent electrodes, such as ITO (Indium Tin Oxide), the 1st hole transporting bed which consists of MTDATA (4 and 4-bis(3-methylphenylphenylamino) biphenyl), The hole transporting bed 62 and the Quinacridone (Quinacridone) derivative which consist of the 2nd hole transporting bed which consists of TPD (4, 4, and 4-tris(3-methylphenylphenylamino) triphenylanine) The luminous layer 63 which consists of included Bebq2 (10-[benzoh] quinolinol-beryllium complex) and the electron transport layer 64 which consists of Bebq2, a magnesium indium alloy, or aluminum, Or the cathode layer 65 which consists of an aluminum alloy is the structure by which laminating formation was carried out in this sequence.

[0031] The hole poured in from the anode layer 61 and the electron poured in from the cathode layer 65 recombine an organic EL device 60 inside a luminous layer, it excites the organic molecule which forms a luminous layer, and an exciton produces it. Light is emitted from a luminous layer in the process in which this exciton carries out radiation deactivation, and from the transparent anode layer 61, this light is emitted to the exterior through a transparence insulating substrate, and emits light.

[0032] Next, the 2nd operation gestalt of this invention is explained. Drawing 3 shows the sectional view of a picture element part, and the sectional view where drawing 3 (a) met the A-A line in drawing 1 , and drawing 3 (b) support the sectional view which met the B-B line in drawing 1 . In addition, the equal circuit of the picture element part concerned is the same as what was shown in drawing 3 also about this operation gestalt.

[0033] With the 1st operation gestalt, although retention volume 139 is the multilayer structure whose 2nd capacity electrode layer 54 was pinched through the insulator layer by the 1st capacity electrode layer 55 and the 3rd capacity electrode layer 70, in this operation gestalt, it attains the further multilayering and aims at the increment in the capacity value per unit area.

[0034] In addition to the above-mentioned configuration, with this operation gestalt, the 4th capacity electrode layer 71 is further installed through the 1st flattening insulator layer 17 on the 3rd capacity electrode layer 70. The 4th capacity electrode layer 71 is the same layer as the anode layer 61, and is formed at the same process.

[0035] Moreover, the cathode layer 65 is further installed through the 2nd flattening insulator layer 19 on the 4th capacity electrode layer 71. This cathode layer 65 functions as 5th capacity electrode layer.

[0036] Although capacity is formed between the 3rd capacity electrode layer 70 and the cathode layer 65 with the 1st operation gestalt, the capacity insulator layer is the 1st flattening insulator layer 17 and the 2nd flattening insulator layer 19. On the other hand, with this operation gestalt, capacity is formed between the 4th capacity electrode layer 71 and the cathode layer 65. Since the capacity insulator layer is only the 2nd flattening insulator layer 19, the capacity inter-electrode capacity insulator layer which counters can become thin as compared with the 1st operation gestalt, and it can make the part capacity value increase.

[0037]

[Effect of the Invention] Since the retention volume for holding the video signal supplied to the gate of

the transistor for actuation is formed in the capacity electrode layer of multilayer structure according to the electroluminescence indicating equipment of this invention, the formation area of retention volume is reducible. Moreover, without causing decline in a numerical aperture, big retention volume can be secured and improvement in display grace can be aimed at.

[0038] Moreover, since decline in a numerical aperture is not caused, it is not necessary to make the current supplied to an organic EL device increase, and life-ization of an organic EL device can be attained as the result.

[Translation done.]

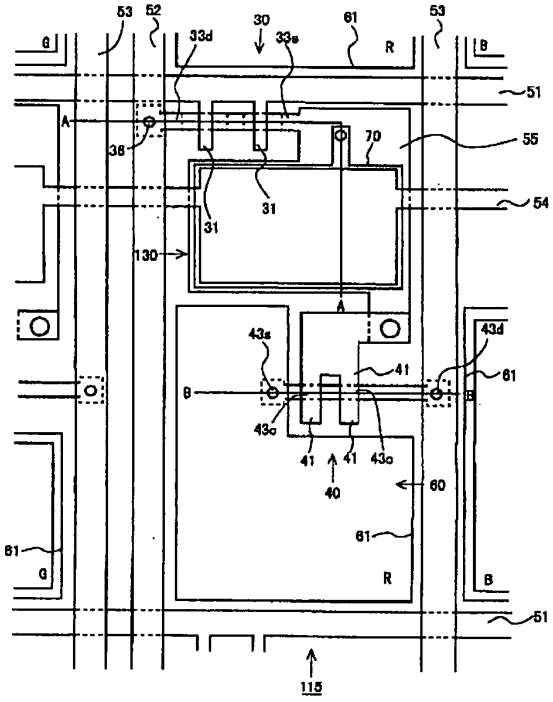
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

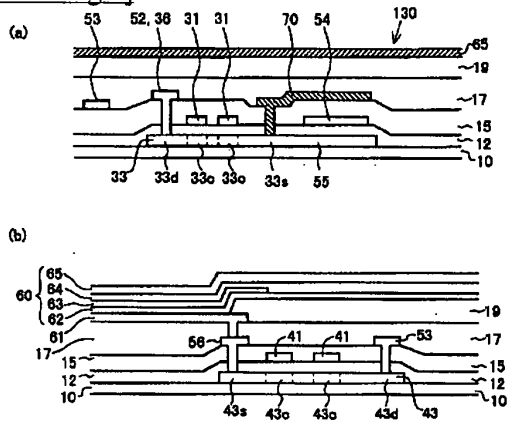
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DRAWINGS

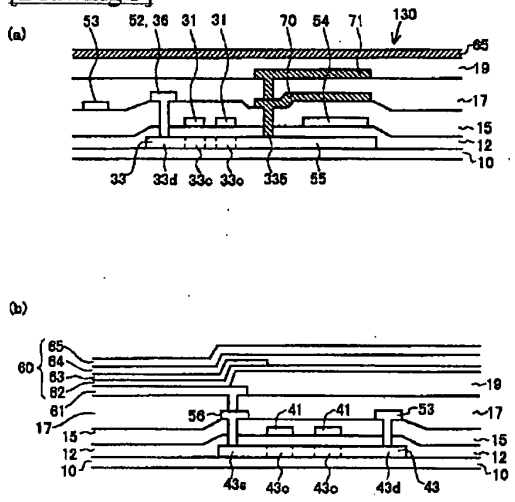
[Drawing 1]



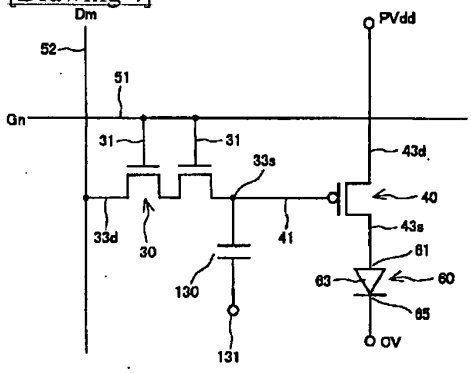
[Drawing 2]



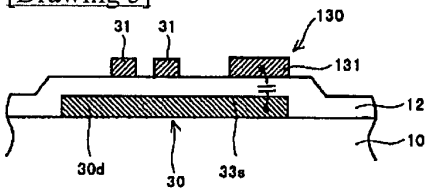
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2003－323133
（P2003－323133A）
(43)公開日　平成15年11月14日(2003.11.14)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード(参考)
Ｇ０９Ｆ　9/30	３３８	Ｇ０９Ｆ　9/30	３３８	３Ｋ００７
	３３６		３３６	５Ｃ０９４
	３６５		３６５Ｚ	
Ｈ０５Ｂ　33/14		Ｈ０５Ｂ　33/14	Ａ	

審査請求　未請求　請求項の数14　ＯＬ　（全　６　頁）

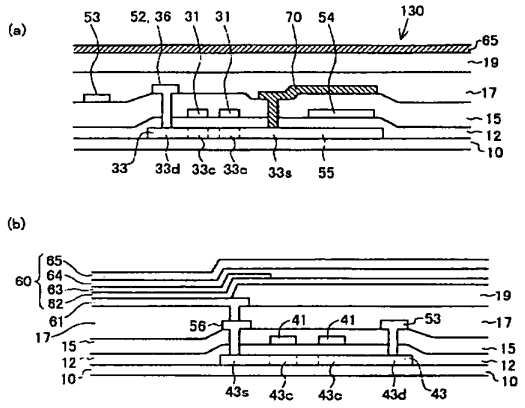
(21)出願番号　特願2002－128008(P2002－128008)
(22)出願日　平成14年４月30日(2002.4.30)

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(72)発明者　安齋　勝矢
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内
(74)代理人　100107906
弁理士　須藤　克彦　（外１名）

Ｆターム(参考)　3K007 AB02 AB03 AB11 AB17 DB03 GA00
5C094 AA07 AA31 BA03 BA27 CA19 DA13 DA15 DB04 FA02 FB02 FB15 FB19 HA08

(54)【発明の名称】　エレクトロルミネッセンス表示装置

(57)【要約】
【課題】ＥＬ表示装置において、駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量の形成面積を縮小し、表示品位の向上と有機ＥＬ素子の寿命延長を図る。
【解決手段】第１の容量電極層５５と兼用されたＴＦＴ３０のソース３３ｓ上には、ゲート絶縁膜１２を介して第２の容量電極層５４が設けられている。第２の容量電極層５４は、ゲート電極３１と同一の層で、同一工程で形成されている。第２の容量電極層５４上には、層間絶縁膜１５を介して、第３の容量電極層７０が延設されている。第３の容量電極層７０は、ドレイン電極３６、ドレイン信号線５２と同一の層で形成されている。第３の容量電極層７０はＴＦＴ３０のソース３３ｓと接続されている。



1

【特許請求の範囲】

【請求項１】　複数の画素部を有し、各画素部は、エレクトロルミネッセンス素子と、前記エレクトロルミネッセンス素子を駆動する駆動用トランジスタと、ドレイン信号線と、ゲート信号に応じてスイッチングし、前記駆動用トランジスタのゲートに前記ドレイン信号線からのビデオ信号を供給する画素選択用トランジスタと、前記駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量と、を具備するエレクトロルミネッセンス表示装置であって、

前記保持容量は、第１の容量電極層を兼ねた前記画素選択用トランジスタのソース上に、第１の絶縁膜を介して形成された第２の容量電極層と、前記ソースに接続され、前記第２の容量電極層上に第２の絶縁膜を介して延設された第３の容量電極層と、を有することを特徴とするエレクトロルミネッセンス表示装置。

【請求項２】　前記第２の容量電極層は、前記画素選択用トランジスタのゲートと同一の層で形成されていることを特徴とする請求項１記載のエレクトロルミネッセンス表示装置。

【請求項３】　前記第１の絶縁膜は、前記画素選択用トランジスタのゲート絶縁膜と同一の膜で形成されていることを特徴とする請求項１記載のエレクトロルミネッセンス表示装置。

【請求項４】　前記第３の容量電極層は、前記ドレイン信号線と同一の層で形成されていることを特徴とする請求項１記載のエレクトロルミネッセンス表示装置。

【請求項５】　前記第２の絶縁膜は、前記画素選択用トランジスタのゲートと前記ドレイン信号線間の層間絶縁膜と同一の膜で形成されていることを特徴とする請求項１記載のエレクトロルミネッセンス表示装置。

【請求項６】　複数の画素部を有し、各画素部は、陽極層、発光層及び陰極層を有するエレクトロルミネッセンス素子と、前記エレクトロルミネッセンス素子を駆動する駆動用トランジスタと、ドレイン信号線と、ゲート信号に応じてスイッチングし、前記駆動用トランジスタのゲートに前記ドレイン信号線からのビデオ信号を供給する画素選択用トランジスタと、前記駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量と、を備えたエレクトロルミネッセンス表示装置であって、

前記保持容量は、第１の容量電極層を兼ねた前記画素選択用トランジスタのソース上に、第１の絶縁膜を介して形成された第２の容量電極層と、前記ソースに接続され前記第２の容量電極層上に第２の絶縁膜を介して延設された第３の容量電極層と、前記第３の容量電極層に接続され該第３の容量電極層上に第３の絶縁膜を介して延設された第４の容量電極層と、前記第４の容量電極層上に第４の絶縁膜を介して延設された第５の容量電極層と、を具備することを特徴とするエレクトロルミネッセンス表示装置。

2

【請求項７】　前記第２の容量電極層は、前記画素選択用トランジスタのゲートと同一の層で形成されていることを特徴とする請求項５記載のエレクトロルミネッセンス表示装置。

【請求項８】　前記第１の絶縁膜は、前記画素選択用トランジスタのゲート絶縁膜と同一の膜で形成されていることを特徴とする請求項６記載のエレクトロルミネッセンス表示装置。

【請求項９】　前記第３の容量電極層は、前記ドレイン信号線と同一の層で形成されていることを特徴とする請求項６記載のエレクトロルミネッセンス表示装置。

【請求項１０】　前記第２の絶縁膜は、前記画素選択用トランジスタのゲートと前記ドレイン信号線間の層間絶縁膜と同一の膜で形成されていることを特徴とする請求項６記載のエレクトロルミネッセンス表示装置。

【請求項１１】　前記第４の容量電極層は、前記陽極層と同一の層で形成されていることを特徴とする請求項６記載のエレクトロルミネッセンス表示装置。

【請求項１２】　前記第３の絶縁膜は、第１平坦化絶縁膜と同一の膜で形成されていることを特徴とする請求項６記載のエレクトロルミネッセンス表示装置。

【請求項１３】　前記第５の容量電極層は、前記陰極層と同一の層で形成されていることを特徴とする請求項６記載のエレクトロルミネッセンス表示装置。

【請求項１４】　前記第４の絶縁膜は、第２平坦化絶縁膜と同一の膜で形成されていることを特徴とする請求項６記載のエレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、エレクトロルミネッセンス表示装置に関し、特に、駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量を有するエレクトロルミネッセンス表示装置に関する。

【０００２】

【従来の技術】近年、エレクトロルミネッセンス（Electro Luminescence：以下、「ＥＬ」と称する。）素子を用いたＥＬ表示装置が、ＣＲＴやＬＣＤに代わる表示装置として注目されており、例えば、そのＥＬ素子を駆動させるスイッチング素子として薄膜トランジスタ（Thin Film Transistor：以下、「ＴＦＴ」と称する。）を備えたＥＬ表示装置の研究開発も進められている。図４に有機ＥＬ表示装置の一画素の等価回路図を示す。ゲート信号Gnを供給するゲート信号線５１と、ドレイン信号、すなわち、ビデオ信号Dmを供給するドレイン信号線５２とが互いに交差している。

【０００３】それらの両信号線の交差点付近には、有機ＥＬ素子６０及びこの有機ＥＬ素子６０を駆動するＴＦＴ４０、画素を選択するためのＴＦＴ３０が配置されて

いる。

【０００４】有機ＥＬ素子駆動用のＴＦＴ４０のドレイン４３ｄには、正電源電圧ＰＶｄｄが供給されている。また、ソース４３ｓは有機ＥＬ素子６０のアノード６１に接続されている。

【０００５】また、画素選択用のＴＦＴ３０のゲート３１にはゲート信号線５１が接続されることによりゲート信号Gnが供給され、ドレイン３３ｄにはドレイン信号線５２が接続されることにより、ビデオ信号Dmが供給される。ＴＦＴ３０のソース３３ｓは上記ＴＦＴ４０のゲート４１に接続されている。ここで、ゲート信号Gnは不図示のゲートドライバ回路から出力される。ビデオ信号Dmは不図示のドレインドライバ回路から出力される。

【０００６】また、有機ＥＬ素子６０は、アノード６１、カソード６５、このアノード６１とカソード６５の間に形成された発光素子層６３から成る。カソード６５には、負電源電圧ＣＶが供給されている。

【０００７】また、ＴＦＴ４０のゲート４１には保持容量１３０が接続されている。すなわち、保持容量１３０の一方の電極はゲート４１に接続され、他方の電極は保持容量電極１３１に接続されている。保持容量１３０はビデオ信号Dmに応じた電荷を保持することにより、１フィールド期間、表示画素のビデオ信号を保持するために設けられている。

【０００８】上述した構成のＥＬ表示装置の動作を説明すると以下の通りである。ゲート信号Gnが一水平期間、ハイレベルになると、ＴＦＴ３０がオンする。すると、ドレイン信号線５２からビデオ信号DmがＴＦＴ３０を通して、ＴＦＴ４０のゲート４１に印加される。そして、ゲート４１に供給されたビデオ信号Dmに応じて、ＴＦＴ４０のコンダクタンスが変化し、それに応じた駆動電流がＴＦＴ４０を通して、有機ＥＬ素子６０に供給され、有機ＥＬ素子６０が点灯する。

【０００９】図５に、上述の保持容量１３０の断面構造を示す。絶縁性基板１０上に、ＴＦＴ３０が形成されている。ＴＦＴ３０は、ソース３３ｓ、ドレイン３３ｄ及びゲート絶縁膜上１２上に形成されたゲート３１とを有している。そして、ＴＦＴ３０のソース３３ｓ上にはゲート絶縁膜１２を介して保持容量電極１３１が形成されている。保持容量電極１３１には一定電圧が印加されている。

【００１０】このように、従来、有機ＥＬ素子６０の輝度を決定する電流量を制御する駆動用トランジスタ４０のゲートの電位を固定するために、各画素毎に保持容量１３０を形成していた。

【００１１】

【発明が解決しようとする課題】画素に供給されるビデオ信号Dmのドロップ電圧量が大きいと表示品位に影響が出てしまう。そこで、このドロップ電圧量を抑えるためには、保持容量１３０の容量値をある程度大きくする必要がある。すなわち、保持容量３０の面積を大きくする必要がある。

【００１２】ところで、有機ＥＬ表示装置には、トップエミッション型とボトムエミッション型がある。トップエミッション型では、有機ＥＬ素子６０から発光された光は、絶縁性基板１０とは反対側の有機ＥＬ素子６０の側、すなわちパネル上面側から射出される。一方、ボトムエミッション型では、有機ＥＬ素子６０から発光された光は、絶縁性基板１０の側から射出される。

【００１３】保持容量１３０の面積を大きくしても、トップエミッション型の有機ＥＬ表示装置では問題ないが、ボトムエミッション型では保持容量の形成部分はブラインドとして働き、開口率が減少してしまう。このため、必要な輝度を得るために、開口率に余裕がある場合に比べて有機ＥＬ素子に供給する電流を増加させる必要があり、結果として有機ＥＬ素子の寿命が短くなってしまうという問題があった。

【００１４】

【課題を解決するための手段】そこで、本発明は、複数の画素部を有し、各画素部は、エレクトロルミネッセンス素子と、前記エレクトロルミネッセンス素子を駆動する駆動用トランジスタと、ドレイン信号線と、ゲート信号に応じてスイッチングし、前記駆動用トランジスタのゲートに前記ドレイン信号線からのビデオ信号を供給する画素選択用トランジスタと、前記駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量と、を具備するエレクトロルミネッセンス表示装置であって、前記保持容量は、第１の容量電極層を兼ねた前記画素選択用トランジスタのソース上に、第１の絶縁膜を介して形成された第２の容量電極層と、前記ソースに接続され、前記第２の容量電極層上に第２の絶縁膜を介して延設された第３の容量電極層と、を有することを特徴とするものである。

【００１５】本発明によれば、保持容量を多層構造の容量電極層で形成しているので、保持容量の形成面積を縮小することができる。また、開口率の低下を招くことなく、保持容量が有する容量値を大きくすることができる。

【００１６】

【発明の実施の形態】次に、本発明の第１の実施形態について説明する。図１に有機ＥＬ表示装置の画素部を示す平面図を示し、図２（ａ）に図１中のＡ－Ａ線に沿った断面図を示し、図２（ｂ）に図１中のＢ－Ｂ線に沿った断面図を示す。なお、当該画素部の等価回路は図４に示したものと同じである。

【００１７】図１及び図２に示すように、ゲート信号線５１とドレイン信号線５２とに囲まれた領域に画素部１１５が形成されている。そして、複数の画素部１１５がマトリクス状に配置され、表示領域を構成している。

5

【００１８】この画素部１１５には、自発光素子である有機ＥＬ素子６０と、この有機ＥＬ素子６０に電流を供給するタイミングを制御する画素選択用ＴＦＴ３０と、有機ＥＬ素子６０に電流を供給する有機ＥＬ素子駆動用ＴＦＴ４０と、保持容量１３０とが配置されている。なお、有機ＥＬ素子６０は、アノード（陽極）層６１と発光材料からなる発光素子層と、カソード（陰極）層６５とから成っている。

【００１９】即ち、両信号線５１，５２の交点付近には画素選択用ＴＦＴ３０が設けられている。ＴＦＴ３０のソース３３ｓは第１の容量電極層５５を兼ねるとともに、有機ＥＬ素子駆動用ＴＦＴ４０のゲート４１に接続されている。ＴＦＴ３０のソース３３ｓ上には、ゲート絶縁膜１２を介して第２の容量電極層５４が設けられている。第２の容量電極層５４は、クロムやモリブデン等から成っており、ゲート信号線５１と並行して配置されている。さらに、第２の容量電極層５４上には、層間絶縁膜１５を介して、第３の容量電極層７０が形成されている。

【００２０】また、有機ＥＬ素子駆動用のＴＦＴ４０のソース４３ｓは有機ＥＬ素子６０のアノード層６１に接続され、他方のドレイン４３ｄは有機ＥＬ素子６０に供給される電流源である駆動電源線５３に接続されている。

【００２１】図２に示すように、有機ＥＬ表示装置は、ガラスや合成樹脂などから成る基板又は導電性を有する基板あるいは半導体基板等の基板１０上に、ＴＦＴ及び有機ＥＬ素子を順に積層形成して成る。ただし、基板１０として導電性を有する基板及び半導体基板を用いる場合には、これらの基板１０上にSiO_2やＳｉＮなどの絶縁膜を形成した上にＴＦＴ３０，４０及び有機ＥＬ素子を形成する。いずれのＴＦＴともに、ゲート電極がゲート絶縁膜を介して能動層の上方にあるいわゆるトップゲート構造である。

【００２２】次に、画素選択用ＴＦＴ３０、及び保持容量１３９の構造について詳細に説明する。図２（ａ）に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板１０上に、非晶質シリコン膜（以下、「ａ－Ｓｉ膜」と称する。）をＣＶＤ法等にて成膜し、そのａ－Ｓｉ膜にレーザ光を照射して溶融再結晶化させて多結晶シリコン膜（以下、「ｐ－Ｓｉ膜」と称する。）とし、これを能動層３３とする。その上に、SiO_2膜、ＳｉＮ膜の単層あるいは積層体をゲート絶縁膜１２として形成する。

【００２３】更にその上に、Ｃｒ、Ｍｏなどの高融点金属からなるゲート電極３１を兼ねたゲート信号線５１、及びＡｌから成るドレイン信号線５２を備えており、有機ＥＬ素子の駆動電源でありＡｌから成る駆動電源線５３が配置されている。

【００２４】そして、ゲート絶縁膜１２及び能動層３３上の全面には、SiO_2膜、ＳｉＮ膜及びSiO_2膜の順に積層された層間絶縁膜１５が形成されており、ドレイン３３ｄに対応して設けたコンタクトホールにＡｌ等の金属を充填したドレイン電極３６が設けられ、更に全面に有機樹脂から成り表面を平坦にする第１平坦化絶縁膜１７が形成されている。

6

【００２５】次に保持容量１３０の構造について説明する。ＴＦＴ３０のソース３３ｓは第１の容量電極層５５を兼ねている。第１の容量電極層５５と兼用されたＴＦＴ３０のソース３３ｓ上には、ゲート絶縁膜１２を介して第２の容量電極層５４が設けられている。第２の容量電極層５４は、Ｃｒ、Ｍｏなどの高融点金属から成り、ゲート電極３１と同一の層で、同一工程で形成されている。第２の容量電極層５４上には、層間絶縁膜１５を介して、第３の容量電極層７０が延設されている。第３の容量電極層７０は、ドレイン電極３６、ドレイン信号線５２と同一の層で、同一工程で形成されている。また、第３の容量電極層７０はコンタクトホールを介してＴＦＴ３０のソース３３ｓと接続されている。

【００２６】即ち、保持容量１３９は、第２の容量電極層５４を、絶縁膜を介して、第１の容量電極層５５、第３の容量電極層７０によって挟んだ多層構造となっているため、少ない占有面積で大きな容量を形成することができる。

【００２７】また、第３の容量電極層７０上に、第１平坦化絶縁膜１７、第２平坦化絶縁膜１９を介して、カソード層６５を延設することにより、更に大きな容量を得ることが可能である。

【００２８】次に、有機ＥＬ素子駆動用ＴＦＴ４０について説明する。図２（ｂ）に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板１０上に、ａ－Ｓｉ膜にレーザ光を照射して多結晶化してなる能動層４３、ゲート絶縁膜１２、及びＣｒ、Ｍｏなどの高融点金属からなるゲート電極４１が順に形成されており、その能動層４３には、チャネル４３ｃと、このチャネル４３ｃの両側にソース４３ｓ及びドレイン４３ｄが設けられている。そして、ゲート絶縁膜１２及び能動層４３上の全面に、SiO_2膜、ＳｉＮ膜及びSiO_2膜の順に積層された層間絶縁膜１５を形成し、ドレイン４３ｄに対応して設けたコンタクトホールにＡｌ等の金属を充填して駆動電源に接続された駆動電源線５３が設けられている。また、ソース４３ｓに対応して設けたコンタクトホールにＡｌ等の金属を充填してソース電極５６が設けられている。

【００２９】更に全面に例えば有機樹脂から成り表面を平坦にする第１平坦化絶縁膜１７を備えている。そして、その第１平坦化絶縁膜１７のソース電極５６に対応した位置にコンタクトホールを形成し、このコンタクトホールを介してソース電極５６と接続されたＩＴＯから成る透明電極、即ち有機ＥＬ素子のアノード層６１が第

１平坦化絶縁膜１７上に設けられている。このアノード層６１は各画素部ごとに島状に分離形成されている。第１平坦化絶縁膜１７上には、更に第２平坦化絶縁膜１９が設けられているが、アノード層６１上については、第２平坦化絶縁膜１９は除去されている。

【００３０】有機ＥＬ素子６０は、ＩＴＯ（Indium Tin Oxide）等の透明電極から成るアノード層６１、ＭＴＤＡＴＡ（4,4-bis(3-methylphenylphenylamino)biphenyl）から成る第１ホール輸送層、ＴＰＤ（4,4,4-tris(3-methylphenylphenylamino)triphenylanine）からなる第２ホール輸送層から成るホール輸送層６２、キナクリドン（Quinacridone）誘導体を含むＢｅｂｑ2（10-ベンゾ〔ｈ〕キノリノールーベリリウム錯体）から成る発光層６３、及びＢｅｂｑ2から成る電子輸送層６４、マグネシウム・インジウム合金もしくはアルミニウム、もしくはアルミニウム合金から成るカソード層６５が、この順番で積層形成された構造である。

【００３１】有機ＥＬ素子６０は、アノード層６１から注入されたホールと、カソード層６５から注入された電子とが発光層の内部で再結合し、発光層を形成する有機分子を励起して励起子が生じる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明なアノード層６１から透明絶縁基板を介して外部へ放出されて発光する。

【００３２】次に、本発明の第２の実施形態について説明する。図３は、画素部の断面図を示しており、図３（ａ）は、図１中のＡ－Ａ線に沿った断面図、図３（ｂ）は、図１中のＢ－Ｂ線に沿った断面図に対応している。なお、本実施形態についても当該画素部の等価回路は図３に示したものと同じである。

【００３３】第１の実施形態では、保持容量１３９は、第２の容量電極層５４を、絶縁膜を介して、第１の容量電極層５５、第３の容量電極層７０によって挟んだ多層構造であるが、本実施形態では更なる多層化を図り、単位面積当たりの容量値の増加を図ったものである。

【００３４】本実施形態では、上記構成に加えて、第３の容量電極層７０上に、更に第１平坦化絶縁膜１７を介して第４の容量電極層７１が延設されている。第４の容量電極層７１は、アノード層６１と同一の層で、同一工程で形成されている。

【００３５】また、第４の容量電極層７１上に、更に第２平坦化絶縁膜１９を介して、カソード層６５が延設されている。このカソード層６５は、第５の容量電極層として機能するものである。

【００３６】第１の実施形態では、第３の容量電極層７０とカソード層６５との間に容量が形成されているが、

その容量絶縁膜は、第１平坦化絶縁膜１７及び第２平坦化絶縁膜１９である。これに対して、本実施形態では、第４の容量電極層７１とカソード層６５との間に容量が形成される。その容量絶縁膜は第２平坦化絶縁膜１９のみであるから、対向する容量電極間の容量絶縁膜が第１の実施形態に比して薄くなり、その分容量値を増加させることができる。

【００３７】

【発明の効果】本発明のエレクトロルミネセンス表示装置によれば、駆動用トランジスタのゲートに供給されるビデオ信号を保持するための保持容量を多層構造の容量電極層で形成しているので、保持容量の形成面積を縮小することができる。また、開口率の低下を招くことなく、大きな保持容量を確保し、表示品位の向上を図ることができる。

【００３８】また、開口率の低下を招くことがないので、有機ＥＬ素子に供給する電流を増加させる必要がなく、その結果として有機ＥＬ素子の寿命化を図ることができる。

【図面の簡単な説明】

【図１】本発明の実施形態に係る有機ＥＬ表示装置の画素部を示す平面図である。

【図２】本発明の実施形態に係る有機ＥＬ表示装置の画素部を示す断面図である。

【図３】本発明の実施形態に係る有機ＥＬ表示装置の画素部を示す断面図である。

【図４】有機ＥＬ表示装置の一画素の等価回路図である。

【図５】保持容量の構造を示す断面図である。

【符号の説明】

１０　絶縁性基板　　１２　ゲート絶縁膜　　１５　層間絶縁膜

１７　第１平坦化絶縁膜　　１９　第２平坦化絶縁膜

３０　画素選択用ＴＦＴ　　３１　ゲート電極　　３３ｓ　ソース

３３ｄ　ドレイン　　４０　有機ＥＬ素子駆動用ＴＦＴ

４１　ゲート電極　　４３ｓ　ソース　　５１　ゲート信号線

５２　ドレイン信号線　　５４　第２の容量電極層

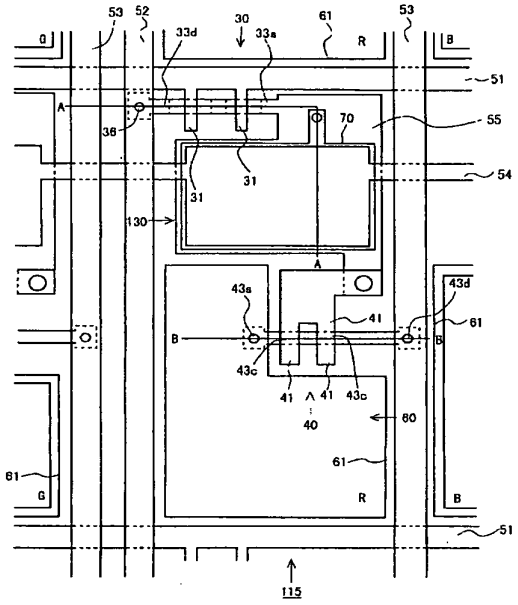
６０　有機ＥＬ素子

６１　アノード　　６２　ホール輸送層　　６３　発光素子層

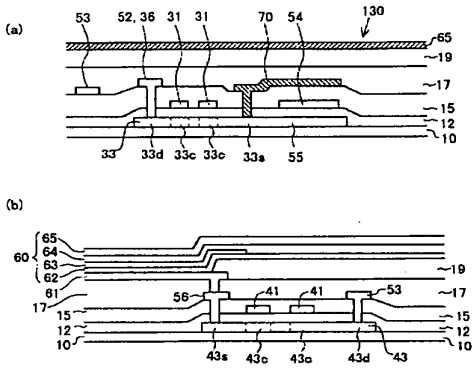
６４　電子輸送層　　６５　カソード層　　７０　第３の容量電極層

７１　第４の容量電極層

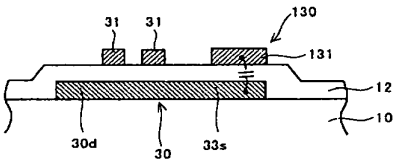
【図１】


53
52
33d
30
33s
61
53
G
R
B
51
A
36
70
55
54
31
31
130
A
43s
43d
41
61
B
B
43c
41
41
43c
40
60
61
61
G
R
B
51
115

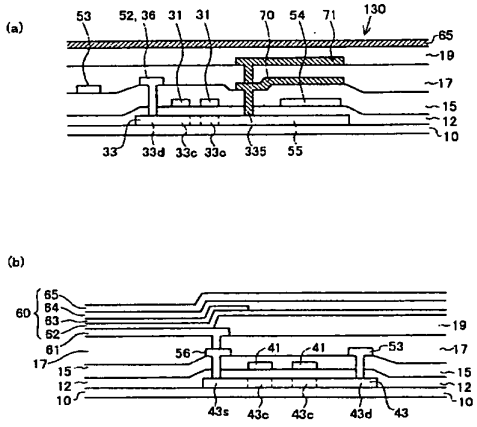
【図２】


(a)
53
52, 36
31
31
70
54
130
65
19
17
15
12
10
33
33d
33c
33c
33s
55
(b)
60
65
64
63
62
61
17
19
17
15
12
10
56
41
41
53
43s
43c
43c
43d
43

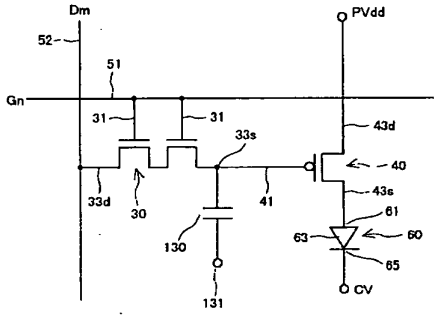
【図５】


31
31
130
131
12
10
30d
30
33s

【図３】


(a)
53
52, 36
31
31
70
54
71
130
65
19
17
15
12
10
33
33d
33c
33c
335
55
(b)
60
65
64
63
62
61
17
19
17
15
12
10
56
41
41
53
43s
43c
43c
43d
43

【図４】


Dm
PVdd
52
51
Gn
31
31
43d
33s
40
43s
33d
30
41
61
63
60
65
130
131
CV

OIPE IAP97
FEB 04 2008
PATENT & TRADEMARK OFFICE

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2629

Application No.: 11/483,109

Examiner: R. HJERPE

Filed: July 10, 2006

Docket No.: 114251.01

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed (a) within three months of the U.S. filing date of this non-CPA application, OR (b) before the mailing date of a first Office Action on the merits in the present application. No certification or fee is required.

☒ 2. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

☒ 3. An English language Abstract of one or more non-English language reference is attached. See Reference 5.

☒ 4. A computer-generated English language translation of one or more Japanese Patent Publication cited herein has been obtained from the website of the Japanese Patent Office ([http://www.jpo.go.jp]), and is attached, but has not been reviewed for accuracy. See Reference 5.

☒ 5. References 1-4 correspond to reference 5.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/axl

Date: February 4, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT Yojiro MATSUEDA	
		FILING DATE July 10, 2006	GROUP 2629

OIPE FEB 04 2008 PATENT & TRADEMARK OFFICE

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1.	6,661,180 B2	12/09/2003	Koyama
	2.	6,914,390 B2	07/05/2005	Koyama
	3.	7,106,006 B2	09/12/2006	Koyama
	4.	2007/0007527 A1	01/11/2007	Koyama

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	5.	JP-A-2002-351357	12/06/2002	Japan	X	X

OTHER DOCUMENTS

Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)

EXAMINER	DATE CONSIDERED

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: February 4, 2008

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-351357
(43)Date of publication of application : 06.12.2002

(51)Int.Cl. G09F 9/30
G09G 3/20
G09G 3/30
H05B 33/14

(21)Application number : 2002-075625
(22)Date of filing : 19.03.2002

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
(72)Inventor : KOYAMA JUN

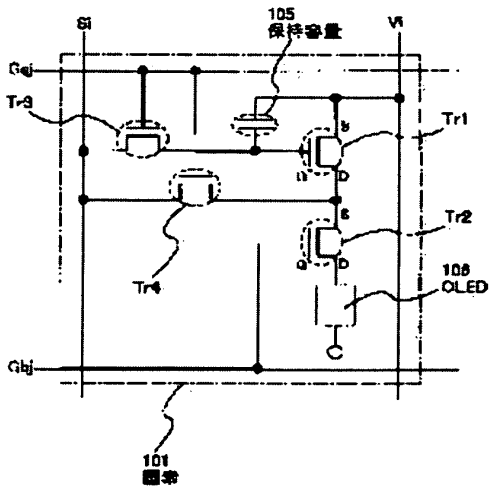
(30)Priority
Priority number : 2001081779 Priority date : 22.03.2001 Priority country : JP

(54) LIGHT-EMITTING DEVICE, DRIVING METHOD FOR THE SAME, AND ELECTRONIC INSTRUMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a light-emitting device which can obtain constant brightness without being affected by deterioration in an organic light-emitting layer or a temperature change and display a desired color display.

SOLUTION: Lowering in OLED(organic light emitting diode) brightness due to the deterioration is reduced by making the OLED emit light while keeping constant an electric current flowing through the OLED instead of making the OLED emit light while keeping constant an OLED driving voltage. That is, the change in the OLED brightness caused by the deterioration of the OLED is prevented by controlling the OLED brightness based on the electric current not on the voltage. Specifically, the drain electric current Id of a transistor for supplying an electric current is controlled in a signal line drive circuit, thereby the drain electric current ID is kept constant without relying on the value of a load-resistor.



* NOTICES

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
A light emitting device, a power source wire, a signal wire, and a scanning line.
Are the above the luminescent device which it had and a gate electrode of said 3rd and 4th transistors, It is connected to said both scanning lines, and the source region and a drain area of said 3rd transistor, One side is connected to said signal wire, and another side is connected to a gate electrode of said 1st transistor, and the source region and a drain area of said 4th transistor, One side is connected to said signal wire, and another side is connected to a drain area of said 1st transistor, The source region of said 1st transistor is connected to said power source wire, and the source region and a drain area of said 2nd transistor are connected to a picture element electrode which a drain area of said 1st transistor and said light emitting device have, respectively.

[Claim 2]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
A light emitting device, a power source wire, a signal wire, the 1st scanning line, and the 2nd scanning line.
Are the above the luminescent device which it had and a gate electrode of said 3rd and 4th transistors, It is connected to said 1st scanning line both, and the source region and a drain area of said 3rd transistor, One side is connected to said signal wire, and another side is connected to a gate electrode of said 1st transistor, and the source region and a drain area of said 4th transistor, One side is connected to said signal wire, and another side is connected to a drain area of said 1st transistor, The source region of said 1st transistor is

connected to said power source wire, and the source region and a drain area of said 2nd transistor, It is connected to a drain area of said 1st transistor, and a picture element electrode which said light emitting device has, respectively, and a gate electrode of said 2nd transistor is connected to said 2nd scanning line.

[Claim 3]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
A light emitting device, a power source wire, a signal wire, and a scanning line.
Are the above the luminescent device which it had and a gate electrode of said 2nd, 3rd, and 4th transistors, It is connected to said both scanning lines, and the source region and a drain area of said 3rd transistor, One side is connected to said signal wire, and another side is connected to a gate electrode of said 1st transistor, and the source region and a drain area of said 4th transistor, One side is connected to said signal wire, and another side is connected to a drain area of said 1st transistor, The source region of said 1st transistor is connected to said power source wire, and the source region and a drain area of said 2nd transistor are connected to a picture element electrode which a drain area of said 1st transistor and said light emitting device have, respectively.

[Claim 4]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
The 5th transistor, a light emitting device, a power source wire, a signal wire, the 1st scanning line, and the 2nd scanning line.
Are the above the luminescent device which it had and a gate electrode of said 2nd, 3rd, and 4th transistors, It is connected to said 1st scanning line both, and the source region and a drain area of said 3rd transistor, One side is connected to said signal wire, and another side is connected to a gate electrode of said 1st transistor, and the source region and a drain area of said 4th transistor, One side is connected to said signal wire, and another side is connected to a drain area of said 1st transistor, The source region of said 1st transistor is connected to said power source wire, and the source region and a drain area of said 2nd transistor, It is connected to a drain area of said 1st transistor, and a picture element electrode which said light emitting device has, respectively, and a gate electrode of said 5th transistor, It is connected to said 2nd scanning line, and one side is connected to said power source wire, and another side is connected to a gate electrode of said 1st transistor for the source region and a drain area of said 5th transistor.

[Claim 5]A luminescent device characterized by the polarity of said 3rd and 4th transistors

and said 2nd transistor being reverse in claim 3 or claim 4.
[Claim 6]A luminescent device characterized by the polarity of said 3rd transistor and said 4th transistor being the same in any 1 paragraph of claim 1 thru/or claim 5.
[Claim 7]A luminescent device characterized by the polarity of said 1st transistor and said 2nd transistor being the same in any 1 paragraph of claim 1 thru/or claim 6.
[Claim 8]Electronic equipment using said luminescent device in any 1 paragraph of claim 1 thru/or claim 7.
[Claim 9]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
A light emitting device, a power source wire, a signal wire, and a scanning line.
Luminosity of said light emitting device is controlled by being a drive method of a luminescent device provided with the above, and controlling a size of drain current of said 1st transistor by an analog video signal.

[Claim 10]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
A light emitting device, a power source wire, a signal wire, the 1st scanning line, and the 2nd scanning line.
Luminosity of said light emitting device is controlled by being a drive method of a luminescent device provided with the above, and controlling a size of drain current of said 1st transistor by an analog video signal.

[Claim 11]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
A light emitting device, a power source wire, a signal wire, and a scanning line.
Luminosity of said light emitting device is controlled by being a drive method of a luminescent device provided with the above, and controlling a size of drain current of said 1st transistor by an analog video signal.

[Claim 12]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
The 5th transistor, a light emitting device, a power source wire, a signal wire, the 1st

scanning line, and the 2nd scanning line.
Luminosity of said light emitting device is controlled by being a drive method of a luminescent device provided with the above, and controlling a size of drain current of said 1st transistor by an analog video signal.

[Claim 13]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
A light emitting device, a power source wire, a signal wire, and a scanning line.
In [are a drive method of a luminescent device provided with the above, and said 3rd transistor and said 4th transistor are turned on, and said 2nd transistor is come by off, and] said 2nd period, Based on information which said 3rd transistor and said 4th transistor are come by off, said 2nd transistor is turned on, and each bit of said corresponding digital video signal has, existence of luminescence of said light emitting device in said 1st period is controlled.

[Claim 14]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
A light emitting device, a power source wire, a signal wire, the 1st scanning line, and the 2nd scanning line.
In [are a drive method of a luminescent device provided with the above, and said 3rd transistor and said 4th transistor are turned on, and said 2nd transistor is come by off, and] said 2nd period, Based on information which said 3rd transistor and said 4th transistor are come by off, said 2nd transistor is turned on, and each bit of said corresponding digital video signal has, existence of luminescence of said light emitting device in said 1st period is controlled.

[Claim 15]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
A light emitting device, a power source wire, a signal wire, and a scanning line.
In [are a drive method of a luminescent device provided with the above, and said 3rd transistor and said 4th transistor are turned on, and said 2nd transistor is come by off, and] said 2nd period, Based on information which said 3rd transistor and said 4th transistor are come by off, said 2nd transistor is turned on, and each bit of said corresponding digital video signal has, existence of luminescence of said light emitting device in said 1st period

is controlled.

[Claim 16]The 1st transistor.
The 2nd transistor.
The 3rd transistor.
The 4th transistor.
The 5th transistor, a light emitting device, a power source wire, a signal wire, the 1st scanning line, and the 2nd scanning line.
In [are a drive method of a luminescent device provided with the above, and one, said 2nd transistor, and said 5th transistor are come by off / of said 3rd transistor and said 4th transistor /, and] said 2nd period, Said 3rd transistor and said 4th transistor are come by off, said 2nd transistor is turned on, said 5th transistor is come by off, and said 3rd [the] and said 4th transistor are off in said 3rd period, Based on information which one and said 5th transistor are turned on by said 2nd transistor, and each bit of said corresponding digital video signal has, existence of luminescence of said light emitting device in said 1st period is controlled.

[Translation done.]

* NOTICES

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1]The upper surface block diagram of the luminescent device of this invention.
[Drawing 2]The circuit diagram of the pixel of the luminescent device of this invention.
[Drawing 3]The schematic diagram of the pixel in a drive.
[Drawing 4]The figure showing the timing to which the write-in period in the analog driving method and a display period appear.
[Drawing 5]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.
[Drawing 6]The schematic diagram of the pixel in a drive.
[Drawing 7]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.
[Drawing 8]The circuit diagram of the pixel of the luminescent device of this invention.
[Drawing 9]The circuit diagram of the pixel of the luminescent device of this invention.
[Drawing 10]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.
[Drawing 11]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.
[Drawing 12]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.
[Drawing 13]The figure showing the timing to which the write-in period in the digital driving method and a display period appear.
[Drawing 14]The figure showing the manufacturing method of the luminescent device of this invention.
[Drawing 15]The figure showing the manufacturing method of the luminescent device of this invention.
[Drawing 16]The figure showing the manufacturing method of the luminescent device of this invention.
[Drawing 17]The plan of the pixel of the luminescent device of this invention.

[Drawing 18]The sectional view of the pixel of the luminescent device of this invention.
[Drawing 19]The plan of the pixel of the luminescent device of this invention.
[Drawing 20]The block diagram of a signal line driving circuit.
[Drawing 21]The detail view of the signal line driving circuit in the digital driving method.
[Drawing 22]The circuit diagram of the current setting circuit in the digital driving method.
[Drawing 23]The block diagram of the 1st scanning line driving circuit.
[Drawing 24]The detail view of the signal line driving circuit in the digital driving method.
[Drawing 25]The outline view and sectional view of a luminescent device of this invention.
[Drawing 26]The figure of the electronic equipment using the luminescent device of this invention.
[Drawing 27]The figure showing the volt ampere characteristic of OLED.

[Translation done.]

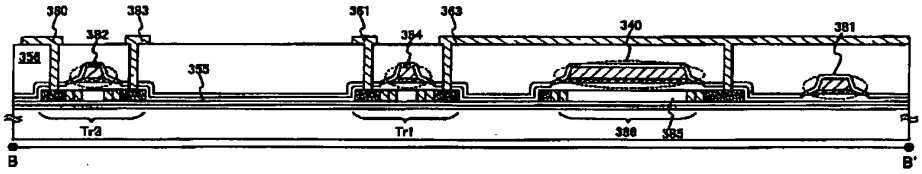
* NOTICES

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

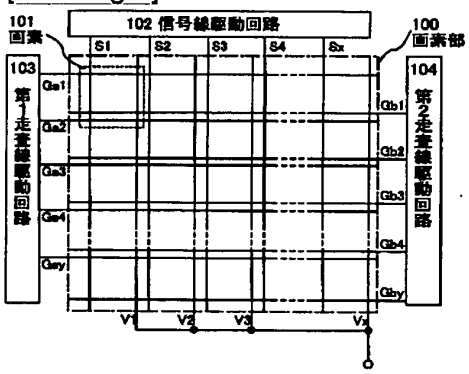
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DRAWINGS

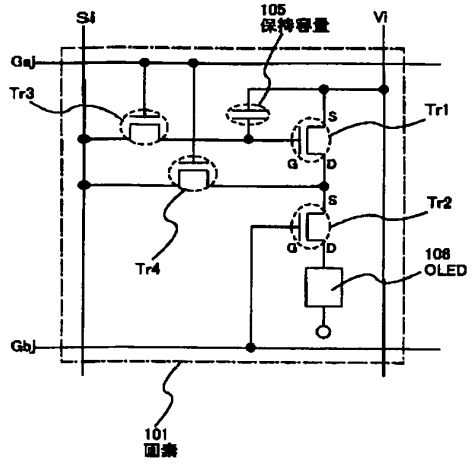
[Drawing 18]



[Drawing 1]

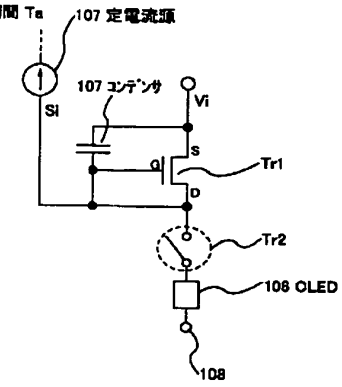


[Drawing 2]

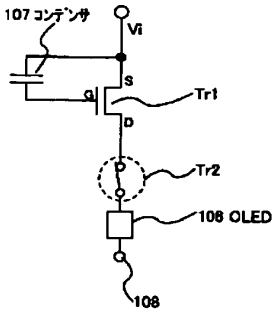


[Drawing 3]

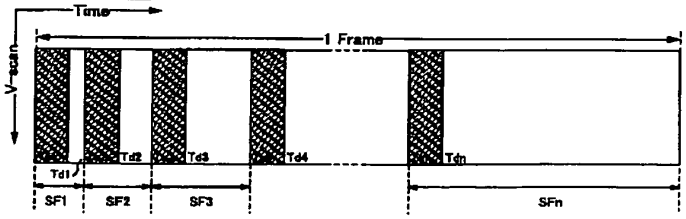
(A)書き込み期間 Ta



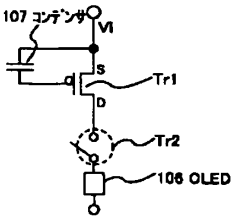
(B)表示期間 Td



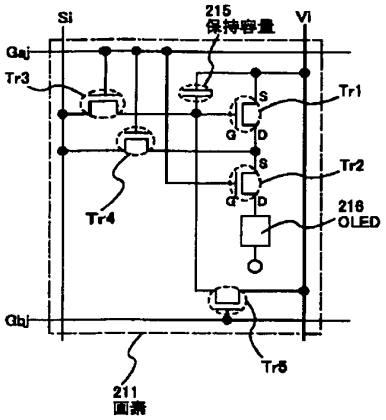
[Drawing 5]



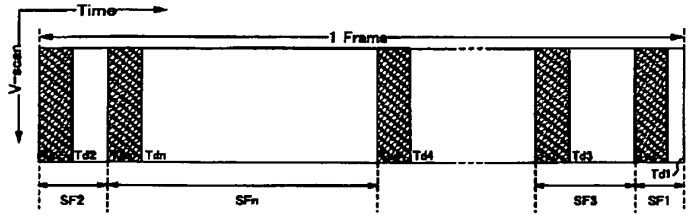
[Drawing 6]
非表示期間Te(Ga非選択、Gb非選択)



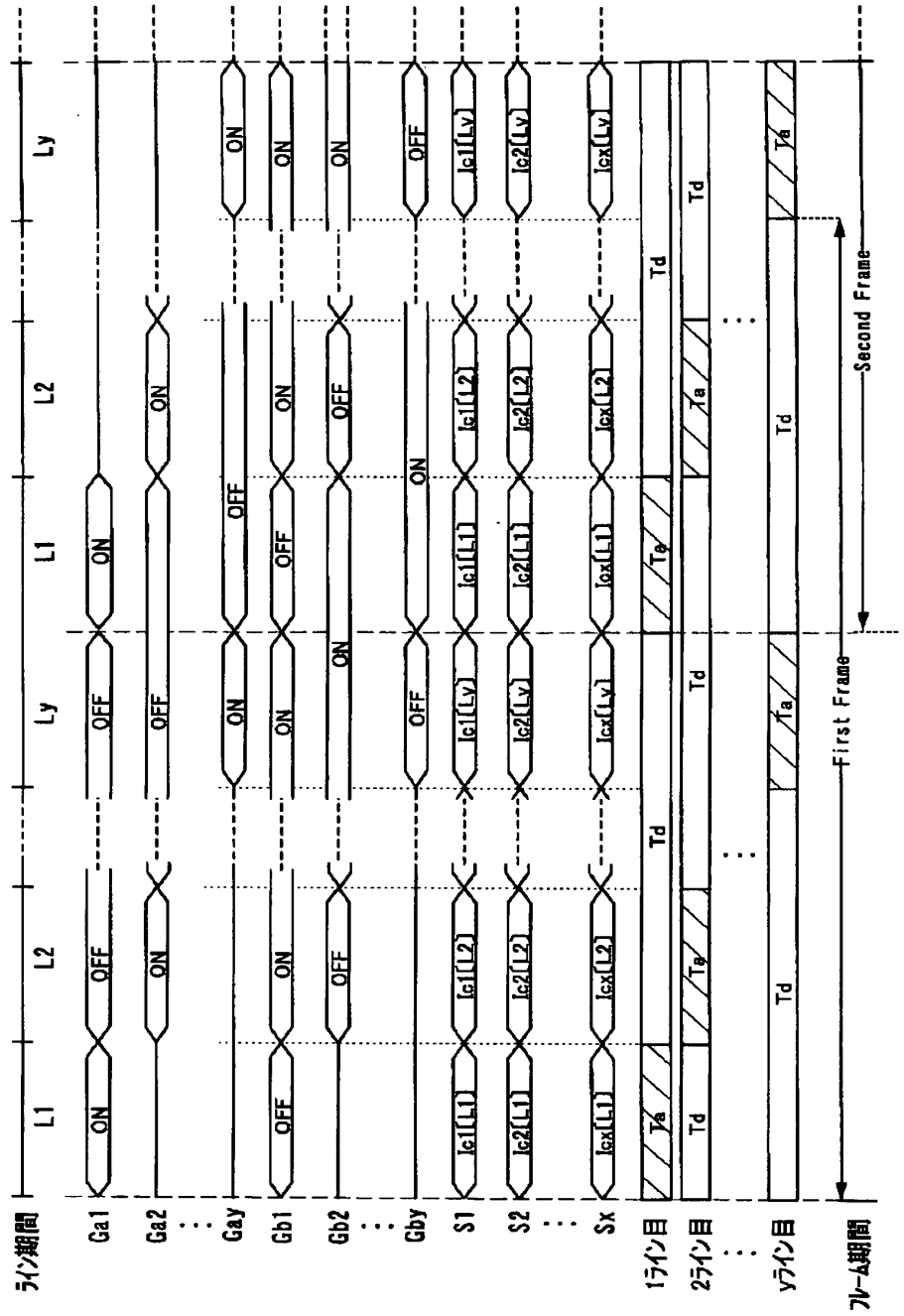
[Drawing 9]



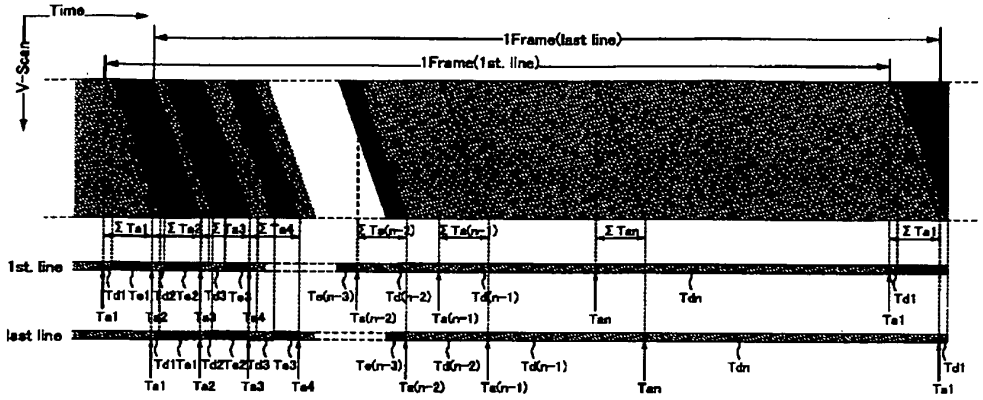
[Drawing 10]



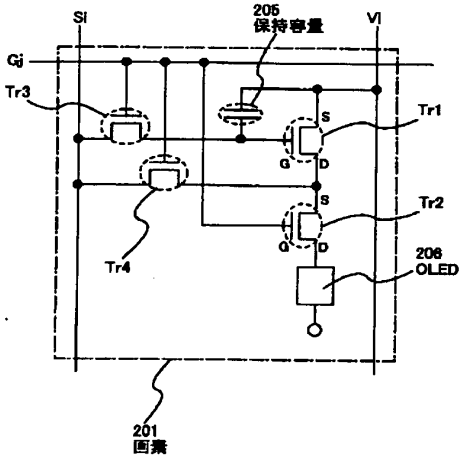
[Drawing 4]


ライン期間
L1
L2
Ly
Ga1
Ga2
Gay
Gb1
Gb2
Gby
S1
S2
Sx
1ライン目
2ライン目
yライン目
フレーム期間
ON
OFF
Ic1[L1]
Ic1[L2]
Ic1[Ly]
Ic2[L1]
Ic2[L2]
Ic2[Ly]
Icx[L1]
Icx[L2]
Icx[Ly]
Ta
Td
First Frame
Second Frame

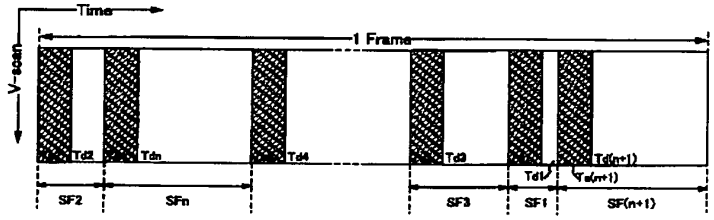
[Drawing 7]



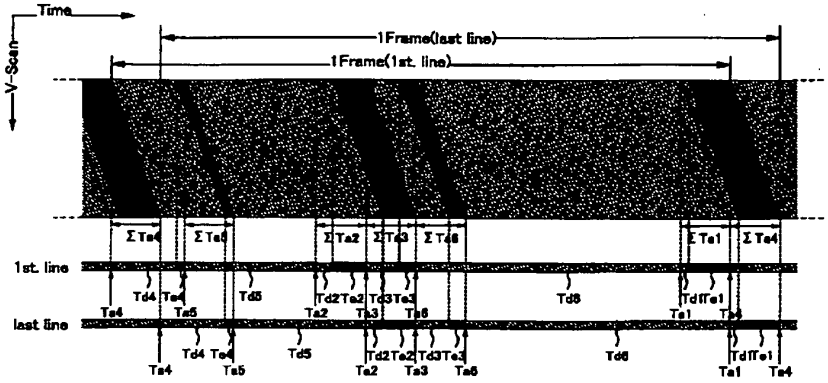
[Drawing 8]



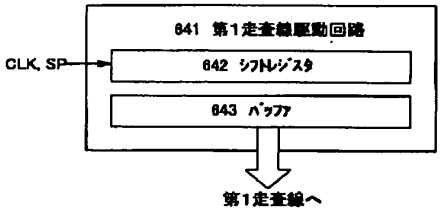
[Drawing 11]



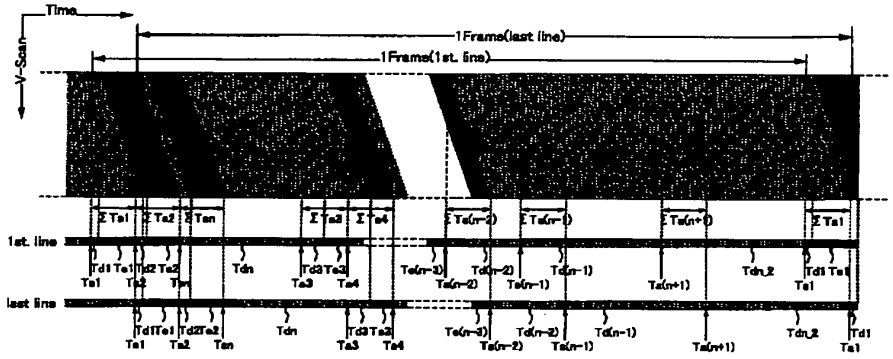
[Drawing 12]



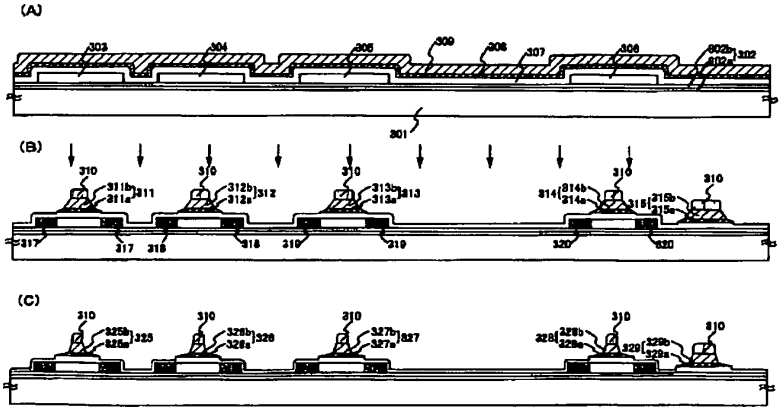
[Drawing 23]



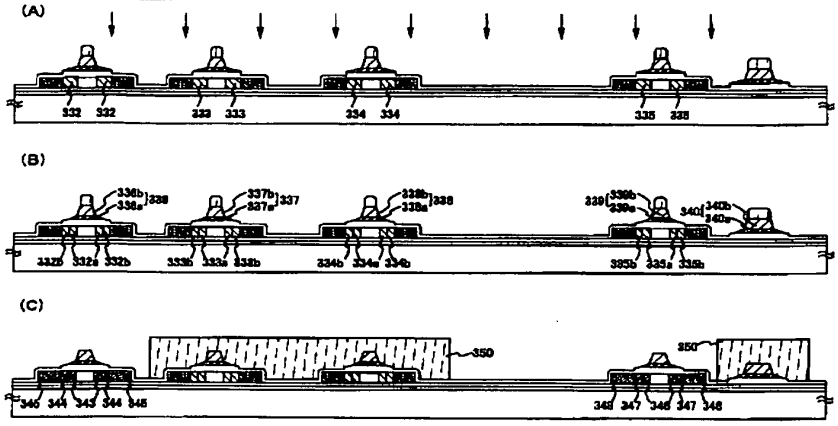
[Drawing 13]



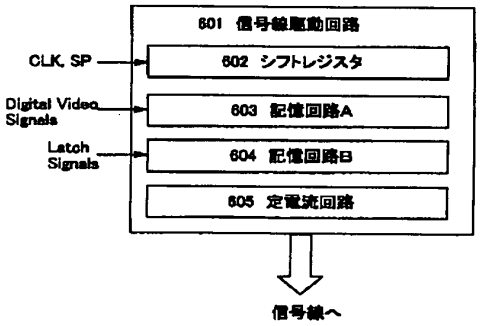
[Drawing 14]



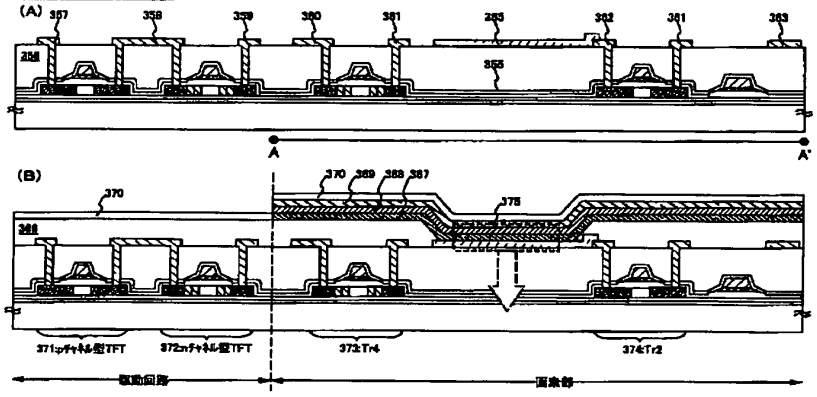
[Drawing 15]



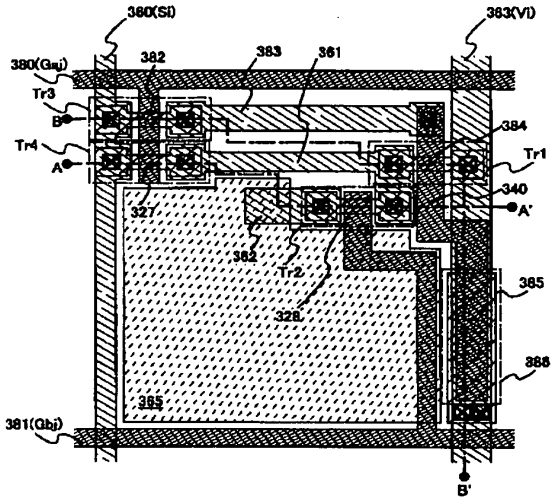
[Drawing 20]



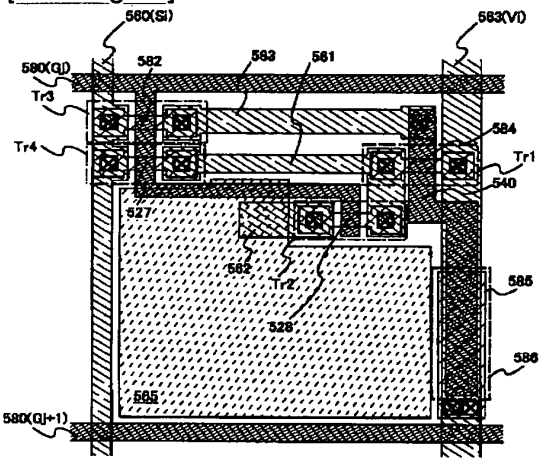
[Drawing 16]



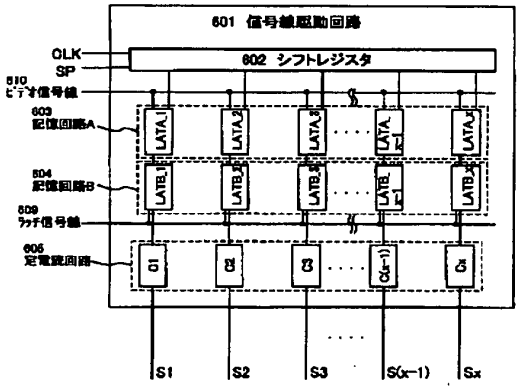
[Drawing 17]



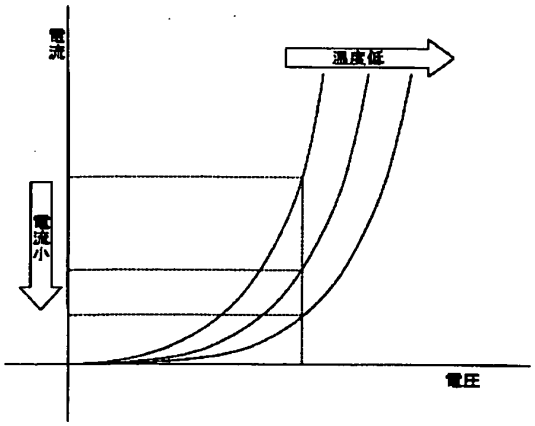
[Drawing 19]



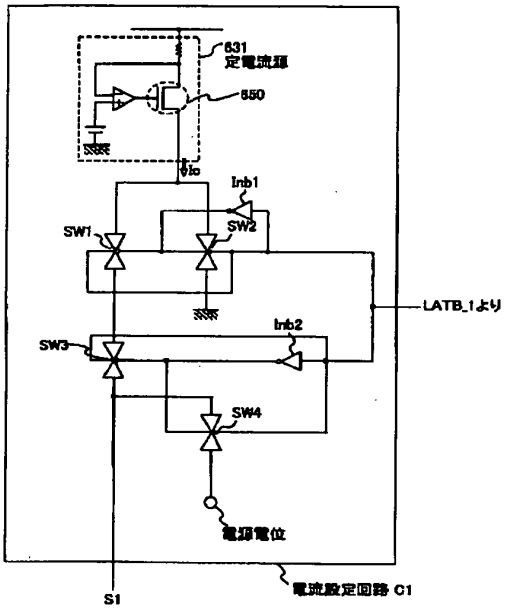
[Drawing 21]



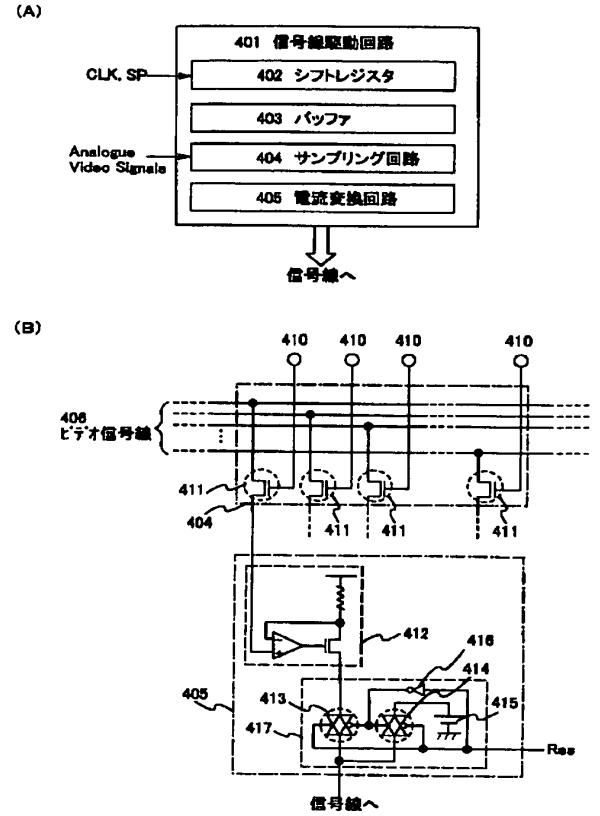
[Drawing 27]



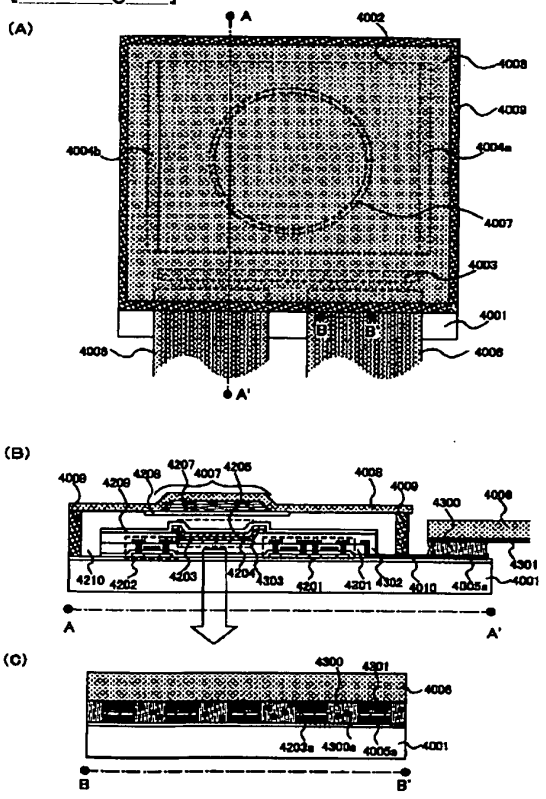
[Drawing 22]



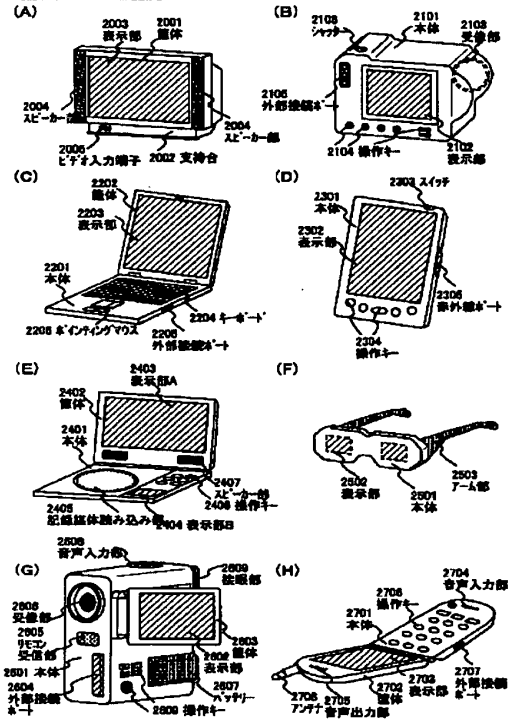
[Drawing 24]


(A)
401 信号線駆動回路
CLK, SP
402 シフトレジスタ
403 バッファ
Analogue Video Signals
404 サンプリング回路
405 電流変換回路
信号線へ
(B)
410
406 ビデオ信号線
411
404
412
416
414
405
413
415
417
Res
信号線へ

[Drawing 25]


(A)
A
4002
4008
4009
4004b
4004a
4007
4003
4001
B
B'
4006
A'
(B)
4008
4209
4208
4207
4007
4205
4008
4009
4300
4006
4301
4001
4210
4202
4203
4204
4303
4201
4201
4302
4010
4005a
A
A'
(C)
4300
4301
4006
4203a
4300a
4005a
4001
B
B'

[Drawing 26]



[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2002－351357
（P2002－351357A）
(43)公開日　平成14年12月6日(2002.12.6)

(51)Int.Cl.'	識別記号	ＦＩ		テーマコード'（参考）
Ｇ０９Ｆ　9/30	３３８	Ｇ０９Ｆ　9/30	３３８	３Ｋ００７
	３６５		３６５Ｚ	５Ｃ０８０
Ｇ０９Ｇ　3/20	６２１	Ｇ０９Ｇ　3/20	６２１Ａ	５Ｃ０９４
	６２４		６２４Ｂ	
	６４１		６４１Ｄ	

審査請求　未請求　請求項の数16　ＯＬ　（全 32 頁）　最終頁に続く

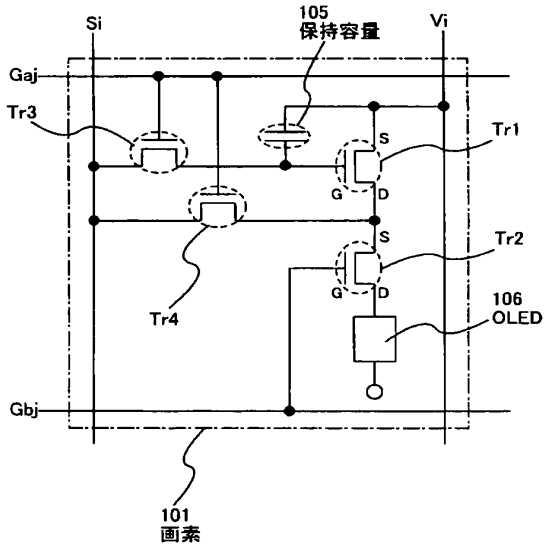
(21)出願番号　特願2002－75625(P2002－75625)
(22)出願日　平成14年３月19日(2002.3.19)
(31)優先権主張番号　特願2001－81779(P2001－81779)
(32)優先日　平成13年３月22日(2001.3.22)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者　小山　潤
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】　発光装置、その駆動方法及び電子機器

(57)【要約】
【課題】　有機発光層の劣化や温度変化に左右されずに一定の輝度を得ることができ、さらに所望のカラー表示を行うことが可能な発光装置を提供することを課題とする
【解決手段】　ＯＬＥＤ駆動電圧を一定に保ってＯＬＥＤを発光させるのではなく、ＯＬＥＤに流れる電流を一定に保ってＯＬＥＤを発光させることで、劣化によるＯＬＥＤの輝度の低下を小さくする。すなわち、ＯＬＥＤの輝度を電圧によって制御するのではなく、電流によって制御することで、ＯＬＥＤの劣化によるＯＬＥＤの輝度の変化を防ぐ。具体的には、ＯＬＥＤに電流を供給するトランジスタのドレイン電流Ｉｄを、信号線駆動回路において制御することで、負荷抵抗の値によらずドレイン電流Ｉｄを一定に保つ。



1

【特許請求の範囲】
【請求項１】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置であって、
前記第３及び第４のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、
前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、
前記第１のトランジスタのソース領域は前記電源線に接続されており、
前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されていることを特徴とする発光装置。
【請求項２】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、発光素子と、電源線と、信号線と、第１走査線と、第２走査線とを有する発光装置であって、
前記第３及び第４のトランジスタのゲート電極は、共に前記第１走査線に接続されており、
前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、
前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、
前記第１のトランジスタのソース領域は前記電源線に接続されており、
前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
前記第２のトランジスタのゲート電極は前記第２走査線に接続されていることを特徴とする発光装置。
【請求項３】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置であって、
前記第２、第３及び第４のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、
前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、

2

前記第１のトランジスタのソース領域は前記電源線に接続されており、
前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されていることを特徴とする発光装置。
【請求項４】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、発光素子と、電源線と、信号線と、第１走査線と、第２走査線とを有する発光装置であって、
前記第２、第３及び第４のトランジスタのゲート電極は、共に前記第１走査線に接続されており、
前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、
前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、
前記第１のトランジスタのソース領域は前記電源線に接続されており、
前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
前記第５のトランジスタのゲート電極は、前記第２走査線に接続されており、
前記第５のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第１のトランジスタのゲート電極に接続されていることを特徴とする発光装置。
【請求項５】請求項３または請求項４において、前記第３及び第４のトランジスタと、前記第２のトランジスタの極性が逆であることを特徴とする発光装置。
【請求項６】請求項１乃至請求項５のいずれか１項において、前記第３のトランジスタと前記第４のトランジスタの極性が同じであることを特徴とする発光装置。
【請求項７】請求項１乃至請求項６のいずれか１項において、前記第１のトランジスタと、前記第２のトランジスタの極性が同じであることを特徴とする発光装置。
【請求項８】請求項１乃至請求項７のいずれか１項において、前記発光装置を用いることを特徴とする電子機器。
【請求項９】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、
前記第３及び第４のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトラン

ジスタのゲート電極に接続されており、
前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、
前記第１のトランジスタのソース領域は前記電源線に接続されており、
前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
１フレーム期間内に、前記第３のトランジスタ及び前記第４のトランジスタがオンになる第１の期間と、前記第３のトランジスタ及び前記第４のトランジスタがオフになる第２の期間とが設けられており、
前記第２のトランジスタは前記第１の期間においてオフ、前記第２の期間においてオンになっており前記第１の期間において、前記第１のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。
【請求項１０】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、発光素子と、電源線と、信号線と、第１走査線と、第２走査線とを有する発光装置の駆動方法であって、
前記第３及び第４のトランジスタのゲート電極は、共に前記第１走査線に接続されており、
前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、
前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、
前記第１のトランジスタのソース領域は前記電源線に接続されており、
前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
前記第２のトランジスタのゲート電極は前記第２走査線に接続されており、
１フレーム期間内に、前記第３のトランジスタ及び前記第４のトランジスタがオンになる第１の期間と、前記第３のトランジスタ及び前記第４のトランジスタがオフになる第２の期間とが設けられており、
前記第２のトランジスタは前記第１の期間においてオフ、前記第２の期間においてオンになっており前記第１の期間において、前記第１のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。
【請求項１１】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタ

と、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、
前記第２、第３及び第４のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、
前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、
前記第１のトランジスタのソース領域は前記電源線に接続されており、
前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
１フレーム期間内に、前記第３のトランジスタ及び前記第４のトランジスタがオンになる第１の期間と、前記第３のトランジスタ及び前記第４のトランジスタがオフになる第２の期間とが設けられており、
前記第２のトランジスタは前記第１の期間においてオフ、前記第２の期間においてオンになっており前記第１の期間において、前記第１のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。
【請求項１２】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、発光素子と、電源線と、信号線と、第１走査線と、第２走査線とを有する発光装置の駆動方法であって、
前記第２、第３及び第４のトランジスタのゲート電極は、共に前記第１走査線に接続されており、
前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、
前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、
前記第１のトランジスタのソース領域は前記電源線に接続されており、
前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
前記第５のトランジスタのゲート電極は、前記第２走査線に接続されており、
前記第５のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、
１フレーム期間内に、前記第３及び前記第４のトランジスタがオンで、なおかつ前記第５のトランジスタがオフ

になる第１の期間と、
前記第３及び前記第４のトランジスタがオフで、なおかつ前記第５のトランジスタがオフになる第２の期間と、
前記第３及び前記第４のトランジスタがオフで、なおかつ前記第５のトランジスタがオンになる第３の期間と、
が設けられており、
前記第２のトランジスタは前記第１の期間においてオフ、前記第２の期間においてオン、前記第３の期間においてオンになっており前記第１の期間において、前記第１のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。
【請求項１３】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、
前記第３及び第４のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、
前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、
前記第１のトランジスタのソース領域は前記電源線に接続されており、
前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
１フレーム期間内に、デジタルビデオ信号の各ビットに対応した第１の期間及び第２の期間が設けられており、
前記第１の期間において、前記第３のトランジスタ及び前記第４のトランジスタがオン、前記第２のトランジスタがオフになり、
前記第２の期間において、前記第３のトランジスタ及び前記第４のトランジスタがオフ、前記第２のトランジスタがオンになり、
対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第１の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。
【請求項１４】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、発光素子と、電源線と、信号線と、第１走査線と、第２走査線とを有する発光装置の駆動方法であって、
前記第３及び第４のトランジスタのゲート電極は、共に前記第１走査線に接続されており、
前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、

前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、
前記第１のトランジスタのソース領域は前記電源線に接続されており、
前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
前記第２のトランジスタのゲート電極は前記第２走査線に接続されており、
１フレーム期間内に、デジタルビデオ信号の各ビットに対応した第１の期間及び第２の期間が設けられており、
前記第１の期間において、前記第３のトランジスタ及び前記第４のトランジスタがオン、前記第２のトランジスタがオフになり、
前記第２の期間において、前記第３のトランジスタ及び前記第４のトランジスタがオフ、前記第２のトランジスタがオンになり、
対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第１の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。
【請求項１５】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、
前記第２、第３及び第４のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、
前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、
前記第１のトランジスタのソース領域は前記電源線に接続されており、
前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
１フレーム期間内に、デジタルビデオ信号の各ビットに対応した第１の期間及び第２の期間が設けられており、
前記第１の期間において、前記第３のトランジスタ及び前記第４のトランジスタがオン、前記第２のトランジスタがオフになり、
前記第２の期間において、前記第３のトランジスタ及び前記第４のトランジスタがオフ、前記第２のトランジスタがオンになり、
対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第１の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動

方法。

【請求項１６】第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、発光素子と、電源線と、信号線と、第１走査線と、第２走査線とを有する発光装置の駆動方法であって、

前記第２、第３及び第４のトランジスタのゲート電極は、共に前記第１走査線に接続されており、

前記第３のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、

前記第４のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第１のトランジスタのドレイン領域に接続されており、

前記第１のトランジスタのソース領域は前記電源線に接続されており、

前記第２のトランジスタのソース領域とドレイン領域は、前記第１のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、

前記第５のトランジスタのゲート電極は、前記第２走査線に接続されており、

前記第５のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第１のトランジスタのゲート電極に接続されており、

１フレーム期間内に、デジタルビデオ信号の各ビットに対応した第１の期間、第２の期間及び第３の期間が設けられており、

前記第１の期間において、前記第３のトランジスタ及び前記第４のトランジスタがオン、前記第２のトランジスタ及び前記第５のトランジスタがオフになり、前記第２の期間において、前記第３のトランジスタ及び前記第４のトランジスタがオフ、前記第２のトランジスタがオン、前記第５のトランジスタがオフになり、

前記第３の期間において、前記第３及び前記第４のトランジスタがオフで、前記第２のトランジスタがオン及び前記第５のトランジスタがオンになり、

対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第１の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、基板上に形成された発光素子、例えばＯＬＥＤ（Organic Light Emitting Diode）を、該基板とカバー材の間に封入したＯＬＥＤパネルに関する。また、該ＯＬＥＤパネルにコントローラを含むＩＣ等を実装した、ＯＬＥＤモジュールに関する。なお本明細書において、ＯＬＥＤパネル及びＯＬＥＤモジュールを共に発光装置と総称する。本発明はさらに、発光装置の駆動方法と、該発光装置を用いた電子機

器に関する。

【０００２】

【従来の技術】ＯＬＥＤは自ら発光するため視認性が高く、液晶表示装置（ＬＣＤ）で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年ＯＬＥＤを用いた発光装置は、ＣＲＴやＬＣＤに代わる表示装置として注目されている。

【０００３】ＯＬＥＤは、電場を加えることで発生するルミネッセンス（Electroluminescence）が得られる有機化合物（有機発光材料）を含む層（以下、有機発光層と記す）と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【０００４】なお、本明細書では、ＯＬＥＤの陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にＯＬＥＤは、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【０００５】

【発明が解決しようとする課題】発光装置を実用化する上で問題となっているのが、有機発光材料の劣化に伴う、ＯＬＥＤの輝度の低下であった。

【０００６】有機発光材料は水分、酸素、光、熱に弱く、これらのものによって劣化が促進される。具体的には、発光装置を駆動するデバイスの構造、有機発光材料の特性、電極の材料、作製工程における条件、発光装置の駆動方法等により、その劣化の速度が左右される。

【０００７】有機発光層にかかる電圧が一定であっても、有機発光層が劣化するとＯＬＥＤの輝度は低下し、表示する画像は不鮮明になる。なお本明細書において、一対の電極から有機発光層に印加する電圧をＯＬＥＤ駆動電圧（Ｖｅｌ）と定義する。

【０００８】また、Ｒ（赤）、Ｇ（緑）、Ｂ（青）に対応した三種類のＯＬＥＤを用いたカラー化表示方式において、有機発光層を構成する有機発光材料は、ＯＬＥＤの対応する色によって異なる。そのため、ＯＬＥＤの有機発光層が、対応する色ごとに異なる速度で劣化することがある。この場合、時間が経つにつれ、ＯＬＥＤの輝度が色ごとに異なってしまい、発光装置に所望の色を有する画像を表示することができなくなる。

【０００９】また、有機発光層の温度は、外気温やＯＬＥＤパネル自身が発する熱等に左右されるが、一般的に

ＯＬＥＤは温度によって流れる電流の値が変化する。図２７に、有機発光層の温度を変化させたときの、ＯＬＥＤの電圧電流特性の変化を示す。電圧が一定のとき、有機発光層の温度が高くなると、ＯＬＥＤ駆動電流は大きくなる。そしてＯＬＥＤ駆動電流とＯＬＥＤの輝度は比例関係にあるため、ＯＬＥＤ駆動電流が大きければ大きいほど、ＯＬＥＤの輝度は高くなる。このように、有機発光層の温度によってＯＬＥＤの輝度が変化するため、所望の階調を表示することが難しく、温度の上昇に伴って発光装置の消費電流が大きくなる。

【００１０】さらに、一般的に、有機発光材料の種類によって温度変化におけるＯＬＥＤ駆動電流の変化の度合いが異なるため、カラー表示において各色のＯＬＥＤの輝度が温度によってバラバラに変化することが起こりうる。各色の輝度のバランスが崩れると、所望の色を表示することができない。

【００１１】本発明は上述したことに鑑み、有機発光層の劣化や温度変化に左右されずに一定の輝度を得ることができ、さらに所望のカラー表示を行うことが可能な発光装置を提供することを課題とする。

【００１２】

【課題を解決するための手段】本発明者は、ＯＬＥＤ駆動電圧を一定に保って発光させるのと、ＯＬＥＤに流れる電流を一定に保って発光させるのとでは、後者の方が、劣化によるＯＬＥＤの輝度の低下が小さいことに着目した。なお本明細書において、ＯＬＥＤに流れる電流をＯＬＥＤ駆動電流（Ｉｅｌ）と呼ぶ。そして、ＯＬＥＤの輝度を電圧によって制御するのではなく、電流によって制御することで、ＯＬＥＤの劣化によるＯＬＥＤの輝度の変化を防ぐことができるのではないかと考えた。

【００１３】具体的に本発明では、各画素に設けたトランジスタのドレイン電流Ｉｄを、信号線駆動回路において制御する。トランジスタのドレイン電流Ｉｄを、信号線駆動回路において制御するので、ドレイン電流Ｉｄは負荷抵抗の値によらずに一定になる。

【００１４】ドレイン電流Ｉｄが流れると、トランジスタのゲート電極とドレイン領域間に電圧が生じる。そして、該電圧を維持したまま、トランジスタのドレイン電流が単数または複数の回路素子を間に介してＯＬＥＤに流れるようにする。なおドレイン電流Ｉｄは、トランジスタが飽和領域において動作するような大きさである。

【００１５】上記構成によって、ＯＬＥＤに流れるＯＬＥＤ駆動電流の値は、負荷抵抗の値によらず信号線駆動回路によって制御されることになる。言い換えると、トランジスタの特性の違いや、ＯＬＥＤの劣化等に左右されずに、ＯＬＥＤ駆動電流を所望の値に制御することが可能になる。

【００１６】本発明では、上記構成により、有機発光層が劣化してもＯＬＥＤの輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。また、各色毎に対応したＯＬＥＤを用いたカラー表示の発光装置の場合、ＯＬＥＤの有機発光層が、対応する色ごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【００１７】また、有機発光層の温度が外気温やＯＬＥＤパネル自身が発する熱等に左右されても、ＯＬＥＤ駆動電流を所望の値に制御することができる。よって、ＯＬＥＤ駆動電流とＯＬＥＤの輝度は比例するので、ＯＬＥＤの輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。また、カラー表示の発光装置の場合、温度変化に左右されずに各色のＯＬＥＤの輝度の変化を抑えることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【００１８】さらに、一般的に、有機発光材料の種類によって温度変化におけるＯＬＥＤ駆動電流の変化の度合いが異なるため、カラー表示において各色のＯＬＥＤの輝度が温度によってバラバラに変化することが起こりうる。しかし本発明の発光装置では、温度変化に左右されずに所望の輝度を得ることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【００１９】また一般的な発光装置は、各画素に電流を供給する配線自体が抵抗を有するため、配線の長さによってその電位が多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素において、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素のＯＬＥＤにそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が変化すると、それに伴って該所定の画素に供給される電流が変化し、結果的に階調数も変化する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、ＯＬＥＤ電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【００２０】なお、本発明の発光装置において、画素に用いるトランジスタは単結晶シリコンを用いて形成されたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良い。

【００２１】なお本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

【００２２】

11　　12

【発明の実施の形態】（実施の形態１）図１に本発明のＯＬＥＤパネルの構成を、ブロック図で示す。１００は画素部であり、複数の画素１０１がマトリクス状に形成されている。また１０２は信号線駆動回路、１０３は第１走査線駆動回路、１０４は第２走査線駆動回路である。

【００２３】なお図１では信号線駆動回路１０２と、第１走査線駆動回路１０３と、第２走査線駆動回路１０４が、画素部１００と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路１０２と第１走査線駆動回路１０３と、第２走査線駆動回路１０４が画素部１００と異なる基板上に形成され、ＦＰＣ等を介して、画素部１００と接続されていても良い。また、図１では信号線駆動回路１０２、第１走査線駆動回路１０３及び第２走査線駆動回路１０４は１つづつ設けられているが、本発明はこの構成に限定されない。信号線駆動回路１０２と第１走査線駆動回路１０３と第２走査線駆動回路１０４の数は設計者が任意に設定することができる。

【００２４】なお本明細書において接続とは、電気的な接続を意味する。

【００２５】また図１では、画素部１００に信号線Ｓ１～Ｓｘ、電源線Ｖ１～Ｖｘ、第１走査線Ｇａ１～Ｇａｙ、第２走査線Ｇｂ１～Ｇｂｙが設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。第１走査線と第２走査線の数は必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【００２６】電源線Ｖ１～Ｖｘは所定の電位に保たれている。なお図１ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線Ｖ１～Ｖｘの電位の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【００２７】図２に、図１で示した画素１０１の詳しい構成を示す。図２に示す画素１０１は、信号線Ｓｉ（Ｓ１～Ｓｘのうちの１つ）、第１走査線Ｇａｊ（Ｇａ１～Ｇａｙのうちの１つ）、第２走査線Ｇｂｊ（Ｇｂ１～Ｇｂｙのうちの１つ）及び電源線Ｖｉ（Ｖ１～Ｖｘのうちの１つ）を有している。

【００２８】また画素１０１は、トランジスタＴｒ１（電流制御用トランジスタまたは第１のトランジスタ）、トランジスタＴｒ２（駆動用トランジスタまたは第２のトランジスタ）、トランジスタＴｒ３（第１スイッチング用トランジスタまたは第３のトランジスタ）、トランジスタＴｒ４（第２スイッチング用トランジスタまたは第４のトランジスタ）、ＯＬＥＤ１０６及び保持容量１０５を有している。

【００２９】トランジスタＴｒ３とトランジスタＴｒ４のゲート電極は、共に第１走査線Ｇａｊに接続されている。

【００３０】トランジスタＴｒ３のソース領域とドレイン領域は、一方は信号線Ｓｉに、もう一方はトランジスタＴｒ１のゲート電極に接続されている。またトランジスタＴｒ４のソース領域とドレイン領域は、一方は信号線Ｓｉに、もう一方はトランジスタＴｒ１のドレイン領域に接続されている。

【００３１】トランジスタＴｒ１のソース領域は電源線Ｖｉに接続されており、ドレイン領域はトランジスタＴｒ２のソース領域に接続されている。トランジスタＴｒ２のゲート電極は第２走査線Ｇｂｊに接続されている。トランジスタＴｒ２のドレイン領域は、ＯＬＥＤ１０６が有する画素電極に接続されている。

【００３２】ＯＬＥＤ１０６は陽極と陰極を有しており、本明細書では、陽極を画素電極（第１の電極）として用いる場合は陰極を対向電極（第２の電極）と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【００３３】対向電極の電位は、一定の高さに保たれている。

【００３４】なお、トランジスタＴｒ３とトランジスタＴｒ４は、ｎチャネル型トランジスタとｐチャネル型トランジスタのどちらでも良い。ただし、トランジスタＴｒ３とトランジスタＴｒ４の極性は同じである。

【００３５】また、トランジスタＴｒ１とＴｒ２は、ｎチャネル型トランジスタとｐチャネル型トランジスタのどちらでも良い。ただし、トランジスタＴｒ１とＴｒ２の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタＴｒ１とＴｒ２はｐチャネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタＴｒ１とＴｒ２はｎチャネル型トランジスタである。

【００３６】保持容量１０５はトランジスタＴｒ１のゲート電極と電源線Ｖｉとの間に形成されている。保持容量１０５はトランジスタＴｒ１のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【００３７】（実施の形態２）次に、図２に示した発光装置の駆動について、図３を用いて説明する。本実施の形態では、図２に示した発光装置の各画素の動作を、書き込み期間Ｔａと表示期間Ｔｄとに分けて説明する。

【００３８】書き込み期間Ｔａでは、第１走査線Ｇａｊが選択される。第１走査線Ｇａｊが選択されると、第１走査線Ｇａｊにゲート電極が接続されたトランジスタＴｒ３及びＴｒ４がオンになる。なお書き込み期間Ｔａでは、第２走査線Ｇｂｊは選択されておらず、Ｔｒ２はオフになっている。

【００３９】そして、信号線駆動回路１０２に入力され

るビデオ信号の電位に基づき、信号線Ｓ１～Ｓｘと電源線Ｖ１～Ｖｘの間に、それぞれ一定の電流Ｉｃが流れる。なお本明細書において電流Ｉｃを信号電流と呼ぶ。

【００４０】図３（Ａ）に、書き込み期間Ｔａにおいて、信号線Ｓｉに一定の電流Ｉｃが流れた場合の、画素１０１の概略図を示す。１０７は信号線駆動回路１０２が有する定電流源を意味する。また、１０８は対向電極に電位を与える電源への接続用の端子である。

【００４１】書き込み期間Ｔａにおいて、トランジスタＴｒ３及びＴｒ４はオンの状態にあるので、信号線Ｓｉに一定の電流Ｉｃが流れると、一定の電流Ｉｃはトランジスタ Ｔｒ１のソース領域とドレイン領域の間に流れる。このとき電流Ｉｃは、トランジスタＴｒ１が飽和領域で動作するように、定電流源１０７においてその大きさが制御されている。

【００４２】飽和領域において、V_{GS}はゲート電極とソース領域間の電位差（ゲート電圧）、μをトランジスタの移動度、C_0を単位面積あたりのゲート容量、Ｗ／Ｌをチャネル形成領域のチャネル幅Ｗとチャネル長Ｌの比、V_{TH}を閾値、μを移動度、トランジスタＴｒ１のドレイン電流をＩｄとすると、以下の式１が成り立つ。

【００４３】

【式１】$Id = \mu C_0 W/L (V_{GS} - V_{TH})^2/2$

【００４４】式１においてμ、C_0、Ｗ／Ｌ、V_{TH}は全て個々のトランジスタによって決まる固定の値である。またトランジスタＴｒ１のドレイン電流Ｉｄは、定電流源１０７によってＩｄ＝Ｉｃに保たれている。よって式１からわかるように、トランジスタＴｒ１のゲート電圧V_{GS}は信号電流Ｉｃの値によって定まる。

【００４５】書き込み期間Ｔａが終了すると、表示期間Ｔｄが開始される。表示期間Ｔｄでは第１走査線Ｇａｊは選択されておらず、第２走査線Ｇｂｊが選択される。

【００４６】図３（Ｂ）に、表示期間Ｔｄにおける画素の概略図を示す。トランジスタＴｒ３及びトランジスタＴｒ４はオフになっている。また、トランジスタＴｒ２はオンになっている。

【００４７】表示期間Ｔｄでは、トランジスタＴｒ１は、書き込み期間Ｔａにおいて定められたV_{GS}がそのまま維持されている。そのため、トランジスタＴｒ１のドレイン電流Ｉｄの値は信号電流Ｉｃと同じ値に維持されたままである。また、トランジスタＴｒ２はオンになっているので、ドレイン電流ＩｄはトランジスタＴｒ２を介してＯＬＥＤ１０６に流れる。よって、表示期間Ｔｄでは、該信号電流Ｉｃと同じ大きさのＯＬＥＤ駆動電流がＯＬＥＤ１０６に流れ、かつ該ＯＬＥＤ駆動電流の大きさに見合った輝度で、ＯＬＥＤ１０６が発光する。

【００４８】全ての画素において書き込み期間Ｔａと表示期間Ｔｄとが出現する。そしてその出現するタイミングは、各ラインの画素毎に異なっている。なお本明細書では、画素部が有する複数の画素のうち、同じ第１走査線または同じ第２走査線を有する全ての画素を、同じラインの画素と呼ぶ。

【００４９】そしてアナログのビデオ信号を用いた駆動方法（アナログ駆動法）の場合、アナログのビデオ信号によってＩｃの大きさが定められ、該Ｉｃの大きさに見合った輝度でＯＬＥＤ１０６が発光することで、階調が表示される。この場合、全ての画素において１つの書き込み期間Ｔａと１つの表示期間Ｔｄが出現することで、１つの画像が表示される。いずれか１つの画素において書き込み期間Ｔａが開始されてから、全ての画素において表示期間Ｔｄが終了するまでの期間をフレーム期間と呼ぶ。連続するフレーム期間は互いに重なっている。

【００５０】図４に、アナログ駆動法におけるタイミングチャートの一例を示す。１フレーム期間はｙ個のライン期間を有しており、各ライン期間において各第１走査線が選択されている。各ライン期間において、各信号線に所定の信号電流Ｉｃ（Ｉｃ１～Ｉｃｘ）が流れる。図４ではライン期間Ｌｊ（ｊ＝１～ｙ）において各信号線に流れる信号電流の値を、Ｉｃ１〔Ｌｊ〕～Ｉｃｘ〔Ｌｊ〕と表している。

【００５１】書き込み期間Ｔａと表示期間Ｔｄの開始されるタイミングは、各ラインの画素ごとにずれており、各ラインの画素の書き込み期間の出現するタイミングは重ならない。

【００５２】一方デジタルのビデオ信号を用いた時間階調の駆動方法（デジタル駆動法）の場合、各画素において１フレーム期間中に書き込み期間Ｔａと表示期間Ｔｄが繰り返し出現することで、１つの画像を表示することが可能である。ｎビットのビデオ信号によって画像を表示する場合、少なくとも各ビットに対応したｎ個の書き込み期間と、ｎ個の表示期間とが１フレーム期間内に設けられる。ｎ個の書き込み期間（Ｔａ１～Ｔａｎ）と、ｎ個の表示期間（Ｔｄ１～Ｔｄｎ）は、ビデオ信号の各ビットに対応している。

【００５３】図５に１フレーム期間において、ｎ個の書き込み期間（Ｔａ１～Ｔａｎ）とｎ個の表示期間（Ｔｄ１～Ｔｄｎ）が出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第１走査線の位置を示している。

【００５４】書き込み期間Ｔａｍ（ｍは１～ｎの任意の数）の次には、同じビット数に対応する表示期間、この場合Ｔｄｍが出現する。書き込み期間Ｔａと表示期間Ｔｄとを合わせてサブフレーム期間ＳＦと呼ぶ。ｍビット目に対応している書き込み期間Ｔａｍと表示期間Ｔｄｍとを有するサブフレーム期間はＳＦｍとなる。

【００５５】表示期間Ｔｄ１～Ｔｄｎの長さは、$Td1 : Td2 : \cdots : Tdn = 2^0 : 2^1 : \cdots : 2^{n-1}$を満たす。

【００５６】なお、表示上での画質向上のため、表示期間の長いサブフレーム期間を、幾つかに分割しても良

い。具体的な分割の仕方については、特開２００２-０２３６９６号、特願２００１－２５７１６３号において開示されているので、参照することが可能である。

【００５７】図５に示した駆動法では、１フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【００５８】本発明では、上記構成により、有機発光層が劣化してもＯＬＥＤの輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。また、各色毎に対応したＯＬＥＤを用いたカラー表示の発光装置の場合、ＯＬＥＤの有機発光層が、対応する色ごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【００５９】また、有機発光層の温度が外気温やＯＬＥＤパネル自身が発する熱等に左右されても、ＯＬＥＤ駆動電流を所望の値に制御することができる。よって、ＯＬＥＤ駆動電流とＯＬＥＤの輝度は比例するので、ＯＬＥＤの輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。また、カラー表示の発光装置の場合、温度変化に左右されずに各色のＯＬＥＤの輝度の変化を抑えることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【００６０】さらに、一般的に、有機発光材料の種類によって温度変化におけるＯＬＥＤ駆動電流の変化の度合いが異なるため、カラー表示において各色のＯＬＥＤの輝度が温度によってバラバラに変化することが起こりうる。しかし本発明の発光装置では、温度変化に左右されずに所望の輝度を得ることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【００６１】また一般的な発光装置は、各画素に電流を供給する配線自体が抵抗を有するため、配線の長さによってその電位が多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素において、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素のＯＬＥＤにそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が変化すると、それに伴って該所定の画素に供給される電流が変化し、結果的に階調数も変化する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、ＯＬＥＤ電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【００６２】（実施の形態３）本実施の形態では、図２に示した発光装置の駆動の、実施の形態２とは異なる例

について、図６を用いて説明する。本実施の形態では、図２に示した発光装置の各画素の動作を、書き込み期間Ｔａと、表示期間Ｔｄと、非表示期間Ｔｅとに分けて説明する。なお、書き込み期間Ｔａと表示期間Ｔｄにおける画素の動作は、実施の形態２において既に説明してあるので、ここでは非表示期間Ｔｅにおける画素の動作について説明する。

【００６３】非表示期間Ｔｅは、表示期間Ｔｄが終了した後、表示期間Ｔｄが出現する前に出現する。非表示期間Ｔｄでは、第１走査線Ｇａｊ及び第２走査線Ｇｂｊは選択されていない。

【００６４】図６に、非表示期間Ｔｅにおける画素の概略図を示す。トランジスタＴｒ３及びトランジスタＴｒ４はオフになっている。また、トランジスタＴｒ２もオフになっている。よって、ＯＬＥＤ１０６にＯＬＥＤ駆動電流は流れず、ＯＬＥＤ１０６は発光しない。

【００６５】非表示期間Ｔｅは、必ずしも全ての表示期間Ｔｄの後に出現するわけではない。ただし、全ラインの画素の書き込み期間が終了する前に、１ライン目の画素の表示期間が終了するような場合、該表示期間の後に非表示期間が出現する。

【００６６】本実施の形態の駆動方法は、主にデジタルのビデオ信号による駆動において用いられる。デジタルのビデオ信号を用いた時間階調の駆動方法（デジタル駆動法）では、各画素において１フレーム期間中に書き込み期間Ｔａと表示期間Ｔｄが繰り返し出現することで、１つの画像を表示することが可能である。ｎビットのビデオ信号によって画像を表示する場合、少なくともｎ個の書き込み期間と、ｎ個の表示期間とが１フレーム期間内に設けられる。ｎ個の書き込み期間（Ｔａ１～Ｔａｎ）と、ｎ個の表示期間（Ｔｄ１～Ｔｄｎ）は、ビデオ信号の各ビットに対応している。

【００６７】図７に１フレーム期間において、ｎ個の書き込み期間（Ｔａ１～Ｔａｎ）とｎ個の表示期間（Ｔｄ１～Ｔｄｎ）と、ｌ個の非表示期間（Ｔｅ１～Ｔｅｌ）が出現するタイミングを示す。なお、説明を簡単にするために、本実施の形態ではｌ＝ｎ－３の場合について説明する。横軸は時間を示しており、縦軸は画素が有する第１走査線の位置を示している。また、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間Ｔａ１～Ｔａｎの開始されるタイミングを矢印で示した。また、各ビットごとに、１ライン目の画素の書き込み期間が開始されてから、ｙライン目の画素の書き込み期間が終了するまでの期間を、ΣＴａ１～ΣＴａｎで示す。

【００６８】書き込み期間Ｔａ１において、１ライン目の画素から順に、１ビット目のデジタルビデオ信号によりトランジスタＴｒ１のドレイン電流が制御される。そして次に表示期間Ｔｄ１が開始されると、１ライン目の画素から順に、トランジスタＴｒ３及びＴｒ４がオフに

なり、トランジスタＴｒ２がオンになることで、ドレイン電流がＯＬＥＤ１０６に流れる。よって、ＯＬＥＤ１０６が発光または非発光の状態になる。

【００６９】そして次に、非表示期間Ｔｅ１が開始され、１ライン目の画素から順に、トランジスタＴｒ３及びＴｒ４がオフのままで、トランジスタＴｒ２がオフの状態になる。よって、ＯＬＥＤ１０６にドレイン電流が流れなくなり、ＯＬＥＤ１０６がオフの状態になる。

【００７０】そして、次に書き込み期間Ｔａ２が開始され、上述した動作が非表示期間Ｔｅ（ｎ－３）が終了するまで繰り返される。

【００７１】非表示期間Ｔｅ（ｎ－３）が終了すると、書き込み期間Ｔａ（ｎ－２）が開始され、１ライン目の画素から順に、（ｎ－２）ビット目のデジタルビデオ信号によりトランジスタＴｒ１のドレイン電流が制御される。そして次に表示期間Ｔｄ（ｎ－２）が開始されると、１ライン目の画素から順に、トランジスタＴｒ３及びＴｒ４がオフになり、トランジスタＴｒ２がオンになることで、ドレイン電流がＯＬＥＤ１０６に流れる。よって、ＯＬＥＤ１０６が発光または非発光の状態になる。

【００７２】そして次に、書き込み期間Ｔａ（ｎ－１）が開始され、上述した動作が表示期間Ｔｄｎが終了するまで繰り返される。

【００７３】１ライン目の画素においてＴｄｎが終了した後、１フレーム期間が終了し、再び１ライン目の画素において、次のフレーム期間の書き込み期間Ｔａ１が開始される。そして上述した動作が再び繰り返される。１フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【００７４】全ての画素において表示期間Ｔｄｎが終了すると、１つの画像を表示することができる。

【００７５】なお、表示期間の長さをＴｄ１：Ｔｄ２：Ｔｄ３：…：Ｔｄ（ｎ－１）：Ｔｄｎ＝2^0：2^1：2^2：…：$2^{(n-2)}$：$2^{(n-1)}$とする。この表示期間の組み合わせで2^n階調のうち所望の階調表示を行うことができる。

【００７６】

【実施例】以下に、本発明の実施例について説明する。

【００７７】（実施例１）本実施例では、本発明の発光装置の、図２とは異なる画素の構成について説明する。

【００７８】本実施例の発光装置が有するＯＬＥＤパネルは、図１に示したＯＬＥＤパネルとは異なり、第２走査線駆動回路を有していない。なお本実施例では、以下、第１走査線駆動回路を単に走査線駆動回路と呼ぶ。

【００７９】本実施例のＯＬＥＤパネルは、複数の画素がマトリクス状に形成されている画素部と、信号線駆動回路と、走査線駆動回路を有している。

【００８０】信号線駆動回路と、走査線駆動回路は、画素部と同じ基板上に形成されていても良いし、それぞれ異なる基板上に形成され、ＦＰＣ等を介して画素部と接続されていても良い。また、信号線駆動回路と走査線駆動回路の数は、設計者が任意に設定することができる。

【００８１】そして、画素部には、信号線Ｓ１～Ｓｘ、電源線Ｖ１～Ｖｘ、走査線Ｇ１～Ｇｙが設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【００８２】電源線Ｖ１～Ｖｘは所定の電位に保たれている。電源線Ｖ１～Ｖｘの電位の高さは全て同じでなくとも良い。

【００８３】図８に、本実施例の画素の詳しい構成を示す。図８に示す画素２０１は、信号線Ｓｉ（Ｓ１～Ｓｘのうちの１つ）、走査線Ｇｊ（Ｇ１～Ｇｙのうちの１つ）及び電源線Ｖｉ（Ｖ１～Ｖｘのうちの１つ）を有している。

【００８４】また画素２０１は、トランジスタＴｒ１（電流制御用トランジスタまたは第１のトランジスタ）、トランジスタＴｒ２（駆動用トランジスタまたは第２のトランジスタ）、トランジスタＴｒ３（第１スイッチング用トランジスタまたは第３のトランジスタ）、トランジスタＴｒ４（第２スイッチング用トランジスタまたは第４のトランジスタ）、ＯＬＥＤ２０６及び保持容量２０５を有している。

【００８５】トランジスタＴｒ３とトランジスタＴｒ４のゲート電極は、共に走査線Ｇｊに接続されている。

【００８６】トランジスタＴｒ３のソース領域とドレイン領域は、一方は信号線Ｓｉに、もう一方はトランジスタＴｒ１のゲート電極に接続されている。またトランジスタＴｒ４のソース領域とドレイン領域は、一方は信号線Ｓｉに、もう一方はトランジスタＴｒ１のドレイン領域に接続されている。

【００８７】トランジスタＴｒ１のソース領域は電源線Ｖｉに接続されており、ドレイン領域はトランジスタＴｒ２のソース領域に接続されている。トランジスタＴｒ２のゲート電極は走査線Ｇｊに接続されている。トランジスタＴｒ２のドレイン領域は、ＯＬＥＤ２０６が有する画素電極に接続されている。

【００８８】ＯＬＥＤ２０６は陽極と陰極を有している。

【００８９】対向電極の電位は、一定の高さに保たれている。

【００９０】なお、トランジスタＴｒ３とＴｒ４は、ｎチャネル型トランジスタとｐチャネル型トランジスタのどちらでも良い。ただし、トランジスタＴｒ３とトランジスタＴｒ４の極性は同じである。

【００９１】また、トランジスタＴｒ１とＴｒ２は、トランジスタＴｒ３とＴｒ４と逆の極性を有している。したがって、トランジスタＴｒ３及びＴｒ４がオンのと

き、Ｔｒ２はオフであり、逆にトランジスタＴｒ３及びＴｒ４がオフのとき、Ｔｒ２はオンである。

【００９２】そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタＴｒ１とＴｒ２はｐチャネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタＴｒ１とＴｒ２はｎチャネル型トランジスタである。

【００９３】保持容量２０５はトランジスタＴｒ１のゲート電極と電源線Ｖｉとの間に形成されている。保持容量２０５はトランジスタＴｒ１のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【００９４】図８に示した画素は、実施の形態２で示した駆動方法で動作する。すなわち、図３に示したように、その動作は書き込み期間と表示期間に分けて説明することが可能である。なお、各画素の詳しい動作の仕方については実施の形態２を参照することができるので、ここでは省略する。

【００９５】（実施例２）本実施例では、本発明の発光装置の、図２、図８とは異なる画素の構成について説明する。

【００９６】本実施例の発光装置が有するＯＬＥＤパネルは、図１に示したＯＬＥＤパネルと同じく、複数の画素がマトリクス状に形成されている画素部と、信号線駆動回路と、第１走査線駆動回路と、第２走査線駆動回路とを有している。

【００９７】信号線駆動回路と、第１走査線駆動回路と、第２走査線駆動回路は、画素部と同じ基板上に形成されていても良いし、それぞれ異なる基板上に形成され、ＦＰＣ等を介して画素部と接続されていても良い。また、信号線駆動回路と、第１走査線駆動回路と、第２走査線駆動回路の数は、設計者が任意に設定することができる。

【００９８】そして、画素部には、信号線Ｓ１～Ｓｘ、電源線Ｖ１～Ｖｘ、第１走査線Ｇａ１～Ｇａｙ、第２走査線Ｇｂ１～Ｇｂｙが設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。また、第１走査線と第２走査線の数も必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【００９９】電源線Ｖ１～Ｖｘは所定の電位に保たれている。電源線Ｖ１～Ｖｘの電位の高さは全て同じでなくとも良い。

【０１００】図９に、本実施例の画素の詳しい構成を示す。図９に示す画素２１１は、信号線Ｓｉ（Ｓ１～Ｓｘのうちの１つ）、第１走査線Ｇａｊ（Ｇａ１～Ｇａｙのうちの１つ）、第２走査線Ｇｂｊ（Ｇｂ１～Ｇｂｙのうちの１つ）及び電源線Ｖｉ（Ｖ１～Ｖｘのうちの１つ）を有している。

【０１０１】また画素２１１は、トランジスタＴｒ１（電流制御用トランジスタまたは第１のトランジスタ）、トランジスタＴｒ２（駆動用トランジスタまたは第２のトランジスタ）、トランジスタＴｒ３（第１スイッチング用トランジスタまたは第３のトランジスタ）、トランジスタＴｒ４（第２スイッチング用トランジスタまたは第４のトランジスタ）、トランジスタＴｒ５（消去用トランジスタまたは第５のトランジスタ）、ＯＬＥＤ２１６及び保持容量２１５を有している。

【０１０２】トランジスタＴｒ３とトランジスタＴｒ４のゲート電極は、共に第１走査線Ｇａｊに接続されている。

【０１０３】トランジスタＴｒ３のソース領域とドレイン領域は、一方は信号線Ｓｉに、もう一方はトランジスタＴｒ１のゲート電極に接続されている。またトランジスタＴｒ４のソース領域とドレイン領域は、一方は信号線Ｓｉに、もう一方はトランジスタＴｒ１のドレイン領域に接続されている。

【０１０４】トランジスタＴｒ１のソース領域は電源線Ｖｉに接続されており、ドレイン領域はトランジスタＴｒ２のソース領域に接続されている。トランジスタＴｒ２のゲート電極は第１走査線Ｇａｊに接続されている。トランジスタＴｒ２のドレイン領域は、ＯＬＥＤ２１６が有する画素電極に接続されている。

【０１０５】トランジスタＴｒ５のゲート電極は第２走査線Ｇｂｊに接続されている。また、トランジスタＴｒ５のソース領域とドレイン領域は、一方は電源線Ｖｉに、もう一方はトランジスタＴｒ１のゲート電極に接続されている。

【０１０６】ＯＬＥＤ２１６は陽極と陰極を有している。

【０１０７】対向電極の電位は、一定の高さに保たれている。

【０１０８】なお、トランジスタＴｒ３とＴｒ４は、ｎチャネル型トランジスタとｐチャネル型トランジスタのどちらでも良い。ただし、トランジスタＴｒ３とトランジスタＴｒ４の極性は同じである。

【０１０９】また、トランジスタＴｒ１とＴｒ２は、トランジスタＴｒ３とＴｒ４と逆の極性を有している。したがって、トランジスタＴｒ３及びＴｒ４がオンのとき、Ｔｒ２はオフであり、逆にトランジスタＴｒ３及びＴｒ４がオフのとき、Ｔｒ２はオンである。

【０１１０】そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタＴｒ１とＴｒ２はｐチャネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタＴｒ１とＴｒ２はｎチャネル型トランジスタである。

【０１１１】保持容量２１５はトランジスタＴｒ１のゲ

ート電極と電源線Ｖｉとの間に形成されている。保持容量２１５はトランジスタＴｒ１のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【０１１２】図９に示した画素は、実施の形態３で示した駆動方法で動作する。ただし、図９に示した画素の場合、非表示期間における画素の動作は、図６に示したものとは異なる。図９に示した画素の場合、非表示期間においてトランジスタＴｒ５がオンになることで、Ｔｒ１のゲート電圧が０に近くなり、Ｔｒ１はオフになる。そして、トランジスタＴｒ２はオンになっており、しかしＴｒ１はオフなので、ＯＬＥＤ２１６にＯＬＥＤ駆動電流は流れず、ＯＬＥＤ２１６はオフになる。よって、その動作は書き込み期間と表示期間と非表示期間に分けて説明することが可能である。なお、詳しい駆動のタイミングについては実施の形態３を参照することができるので、ここでは省略する。

【０１１３】（実施例３）本実施例では、実施の形態２において示した駆動方法における、サブフレーム期間ＳＦ１～ＳＦｎの出現する順序について説明する。

【０１１４】図１０に、１フレーム期間において、ｎ個の書き込み期間（Ｔａ１～Ｔａｎ）とｎ個の表示期間（Ｔｄ１～Ｔｄｎ）とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第１走査線の位置を示している。各画素の詳しい動作については実施の形態２を参照すれば良いので、ここでは省略する。

【０１１５】本実施例の駆動方法では、１フレーム期間中で１番長い表示期間を有するサブフレーム期間（本実施例ではＳＦｎ）を、１フレーム期間の最初及び最後に設けない。言い換えると、１フレーム期間中で１番長い表示期間を有するサブフレーム期間の前後に、同じフレーム期間に含まれる他のサブフレーム期間が出現するような構成を有している。

【０１１６】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【０１１７】なお本実施例の構成はｎ≧３の場合において有効である。また、本実施例は実施例１と自由に組み合わせて実施することが可能である。

【０１１８】（実施例４）本実施例では、実施例３とは異なる駆動方法の一例について説明する。

【０１１９】図１１に、１フレーム期間において、ｎ＋１個の書き込み期間（Ｔａ１～Ｔａ（ｎ＋１））とｎ＋１個の表示期間（Ｔｄ１～Ｔｄ（ｎ＋１））とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第１走査線の位置を示している。各画素の詳しい動作については実施の形態２を参照すれば良いので、ここでは省略する。

【０１２０】本実施例ではｎビットのデジタルビデオ信号に対応して、１フレーム期間内にｎ＋１のサブフレーム期間ＳＦ１～ＳＦ（ｎ＋１）が設けられる。そしてサブフレーム期間ＳＦ１～ＳＦ（ｎ＋１）は、ｎ＋１個の書き込み期間（Ｔａ１～Ｔａ（ｎ＋１））と、ｎ＋１個の表示期間（Ｔｄ１～Ｔｄ（ｎ＋１））とを有している。

【０１２１】書き込み期間Ｔａｍ（ｍは１～ｎ＋１の任意の数）と表示期間Ｔｄｍとを有するサブフレーム期間はＳＦｍとなる。書き込み期間Ｔａｍの次には、同じビット数に対応する表示期間、この場合Ｔｄｍが出現する。

【０１２２】サブフレーム期間ＳＦ１～ＳＦｎ－１は、１～（ｎ－１）ビットのデジタルビデオ信号の各ビットに対応している。サブフレーム期間ＳＦｎ及びＳＦ（ｎ＋１）はｎビット目のデジタルビデオ信号に対応している。

【０１２３】また本実施例では、同じビットのデジタルビデオ信号に対応するサブフレーム期間ＳＦｎとＳＦ（ｎ＋１）は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応するサブフレーム期間ＳＦｎとＳＦ（ｎ＋１）の間に、他のサブフレーム期間が設けられている。

【０１２４】１フレーム期間中に書き込み期間Ｔａと表示期間Ｔｄとが繰り返し出現することで、１つの画像を表示することが可能である。

【０１２５】表示期間Ｔｄ１～Ｔｄ（ｎ＋１）の長さは、Ｔｄ１：Ｔｄ２：…：（Ｔｄｎ＋Ｔｄ（ｎ＋１））＝2^0：2^1：…：2^{n-1} を満たす。

【０１２６】本発明の駆動方法では、１フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【０１２７】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、図５及び図１０に示した駆動方法に比べて、人間の目に認識されずらくすることができる。

【０１２８】なお本実施例では、同じビットに対応するサブフレーム期間が２つある場合について説明したが、本発明はこれに限定されない。１フレーム期間内に同じビットに対応するサブフレーム期間が３つ以上設けられていても良い。

【０１２９】また、本実施例では最上位ビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けても良い。また、対応するサブフレーム期間が複数設けられたビットは１つだけに限られず、いくつかのビットのそれぞれに複数のサブフレーム期間が対応するような構成にしても良い。

【０１３０】なお本実施例の構成はｎ≧２の場合におい

て有効である。また、本実施例は実施例１、３と自由に組み合わせて実施することが可能である。

【０１３１】（実施例５）本実施例では、実施の形態３に示した駆動方法において、の出現する順序について説明する。ただし本実施例ではｎ＝６、ｌ＝５の場合について説明する。なお、本実施例では本発明の駆動方法の一例について説明しており、対応するデジタルビデオ信号のビット数ｎやｌの値については、本発明は本実施例の構成に限定されない。なお本実施例の構成はデジタルビデオ信号のビット数が３以上の場合において有効である。

【０１３２】図１２に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第１走査線及び第２走査線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間Ｔａ１～Ｔａ６の開始されるタイミングを矢印で示した。また、対応するビットごとに、１ライン目の画素の書き込み期間が開始されてから、ｙライン目の画素の書き込み期間が終了するまでの期間（ΣＴａ１～ΣＴａ６）を矢印で示す。

【０１３３】また、画素の詳しい動作については、実施の形態３を参照することができるので、ここでは説明を省略する。

【０１３４】はじめに１ライン目の画素において、書き込み期間Ｔａ４が開始される。書き込み期間Ｔａ４が開始されると、４ビット目のデジタルビデオ信号が１ライン目の画素に入力される。

【０１３５】そして、１ライン目の画素において書き込み期間Ｔａ４が終了すると、次に２ライン目以降の画素においても、順に書き込み期間Ｔａ４が開始される。そして１ライン目の画素の場合と同様に、各ラインの画素に４ビット目のデジタルビデオ信号が入力される。

【０１３６】一方、２ライン目以降の画素において書き込み期間Ｔａ４が開始されるのと同時並行して、１ライン目の画素において表示期間Ｔｄ４が開始される。表示期間Ｔｄ４が開始されると、４ビット目のデジタルビデオ信号によって１ライン目の画素が表示を行う。

【０１３７】そして、１ライン目の画素において表示期間Ｔｄ４が開始された後、２ライン目以降の画素においても順に書き込み期間Ｔａ４が終了し、表示期間Ｔｄ４が開始される。そして、４ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【０１３８】一方、２ライン目以降のラインの画素において表示期間Ｔｄ４が開始した後、１ライン目の画素において表示期間Ｔｄ４が終了し、非表示期間Ｔｅ４が開始される。なお、２ライン目以降のラインの画素において表示期間Ｔｄ４が開始されるのと同時並行して、１ライン目の画素において表示期間Ｔｄ４が終了し、非表示期間Ｔｅ４が開始されても良い。

【０１３９】非表示期間Ｔｅ４が開始されると、１ライン目の画素が表示を行わなくなる。

【０１４０】次に、１ライン目の画素において非表示期間Ｔｅ４が開始された後、２ライン目以降の画素においても順に表示期間Ｔｄ４が終了し、非表示期間Ｔｅ４が開始される。よって、各ラインの画素が表示を行わなくなる。

【０１４１】一方、２ライン目以降のラインの画素において非表示期間Ｔｅ４が開始されるのと同時並行、もしくは全ての画素において非表示期間Ｔｅ４が開始された後に、１ライン目の画素において書き込み期間Ｔａ５が開始される。

【０１４２】１ライン目の画素において書き込み期間Ｔａ５が開始されると、５ビット目のデジタルビデオ信号が１ライン目の画素に入力される。そして、１ライン目の画素において書き込み期間Ｔａ５が終了すると、２ライン目以降の画素においても、順に書き込み期間Ｔａ５が開始される。

【０１４３】一方、１ライン目の画素において書き込み期間Ｔａ５が終了した後、２ライン目以降のラインの画素において書き込み期間Ｔａ５が開始されるのと同時並行して、１ライン目の画素において表示期間Ｔｄ５が開始される。表示期間Ｔｄ５においても、表示期間Ｔｄ５と同様に、５ビット目のデジタルビデオ信号によって画素が表示を行う。

【０１４４】そして、１ライン目の画素において表示期間Ｔｄ５が開始された後、２ライン目以降の画素においても、順に書き込み期間Ｔａ５が終了し、表示期間Ｔｄ５が開始される。

【０１４５】次に、全てのラインの画素において表示期間Ｔｄ５が開始された後、１ライン目の画素において表示期間Ｔｄ５が終了し、書き込み期間Ｔａ２が開始される。

【０１４６】１ライン目の画素において書き込み期間Ｔａ２が開始されると、２ビット目のデジタルビデオ信号が１ライン目の画素に入力される。

【０１４７】そして、１ライン目の画素において書き込み期間Ｔａ２が終了すると、次に２ライン目以降の画素においても、順に書き込み期間Ｔａ２が開始される。そして１ライン目の画素の場合と同様に、各ラインの画素に２ビット目のデジタルビデオ信号が入力される。

【０１４８】一方、２ライン目以降の画素において書き込み期間Ｔａ２が開始されるのと同時並行して、１ライン目の画素において表示期間Ｔｄ２が開始される。表示期間Ｔｄ２が開始されると、２ビット目のデジタルビデオ信号によって１ライン目の画素が表示を行う。

【０１４９】そして、１ライン目の画素において表示期間Ｔｄ２が開始された後、２ライン目以降の画素においても順に書き込み期間Ｔａ２が終了し、表示期間Ｔｄ２

が開始される。そして、２ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【０１５０】一方、２ライン目以降のラインの画素において表示期間Ｔｄ２が開始されるのと同時並行して、１ライン目の画素において表示期間Ｔｄ２が終了し、非表示期間Ｔｅ２が開始される。

【０１５１】非表示期間Ｔｅ２が開始されると、１ライン目の画素が表示を行わなくなる。

【０１５２】次に、１ライン目の画素において非表示期間Ｔｅ２が開始された後、２ライン目以降の画素においても順に表示期間Ｔｄ２が終了し、非表示期間Ｔｅ２が開始される。よって、各ラインの画素が表示を行わなくなる。

【０１５３】一方、２ライン目以降のラインの画素において非表示期間Ｔｅ２が開始されるのと同時並行、もしくは全ての画素において非表示期間Ｔｅ２が開始された後に、１ライン目の画素において書き込み期間Ｔａ３が開始される。

【０１５４】上述した動作は１～６の全てのビットのデジタルビデオ信号が画素に入力される前まで繰り返し行われ、各ラインの画素ごとに、書き込み期間Ｔａと、表示期間Ｔｄと、非表示期間Ｔｅとが繰り返し出現する。

【０１５５】１ライン目の画素において全ての表示期間Ｔｄ１～Ｔｄ６が終了した後、１ライン目の画素において１フレーム期間が終了し、再び次のフレーム期間の最初の書き込み期間（本実施例ではＴａ４）が開始される。また１ライン目の画素において１フレーム期間が終了した後、２ライン目以降の画素においても１フレーム期間が終了し、再び次のフレーム期間の書き込み期間Ｔａ４が開始される。

【０１５６】そして上述した動作が再び繰り返される。１フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【０１５７】全てのラインの画素において１フレーム期間が終了すると１つの画像を表示することができる。

【０１５８】本実施例では、表示期間の長さをＴｄ１：Ｔｄ２：…：Ｔｄ５：Ｔｄ６＝2^0：2^1：…：2^4：2^5とする。この表示期間の組み合わせで2^6階調のうち所望の階調表示を行うことができる。

【０１５９】１フレーム期間中にＯＬＥＤが発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、本実施例の場合は、全部の表示期間で画素が発光した場合の輝度を１００％とすると、Ｔｄ１とＴｄ２において画素が発光した場合には５％の輝度が表現でき、Ｔｄ３とＴｄ５を選択した場合には３２％の輝度が表現できる。

【０１６０】なお、各ラインの画素の書き込み期間は互いに重ならないので、ｙライン目の画素における書き込み期間が終了した後に、１ライン目の画素における書き込み期間が開始されるようにする。

【０１６１】また本実施例では、各ラインの画素の表示期間Ｔｄ５の長さは、１ライン目の画素の書き込み期間Ｔａ５が開始されてから、ｙライン目の画素の書き込み期間Ｔａ５が終了するまでの期間（ΣＴａ５）より、長いことが肝要である。

【０１６２】また表示期間Ｔｄ１～Ｔｄ６は、どのような順序で出現させても良い。例えば１フレーム期間中において、Ｔｄ１の次にＴｄ３、Ｔｄ５、Ｔｄ２、…という順序で表示期間を出現させることも可能である。ただし、各ラインの画素における書き込み期間が、互いに重ならないようにすることが必要である。

【０１６３】本発明の駆動方法では、１ライン目の画素の書き込み期間Ｔａが開始されてから、ｙライン目の画素の書き込み期間Ｔａが終了するまでの期間、言い換えると全ての画素に１ビット分のデジタルビデオ信号を書き込む期間より、各ラインの画素の表示期間の長さを短くすることができる。よって、デジタルビデオ信号のビット数が増加しても、下位ビットに対応する表示期間の長さを短くすることができるので、画面をちらつかせることなく高精細な画像を表示することが可能である。

【０１６４】また、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるＥＬ材料を有するＯＬＥＤを設けた場合でも、温度によって各色のＯＬＥＤの輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【０１６５】なお本実施例の駆動方法では、１フレーム期間中で１番長い表示期間（本実施例ではＴｄ６）を、１フレーム期間の最初及び最後に設けない。言い換えると、１フレーム期間中で１番長い表示期間の前後に、同じフレーム期間に含まれる他の表示期間が出現するような構成にしている。

【０１６６】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【０１６７】また、本実施例は実施例２と自由に組み合わせて実施することが可能である。

【０１６８】（実施例６）本実施例では、ｎビットのデジタルビデオ信号を用いた、実施例５とは異なる駆動方法の一例について説明する。ただし本実施例では１＝ｎ－２の場合について説明する。

【０１６９】本実施例の駆動方法では、同じ最上位ビットのデジタルビデオ信号に対応する表示期間Ｔｄｎと表示期間Ｔｄ（ｎ＋１）を有している。そして、表示期間Ｔｄｎと表示期間Ｔｄ（ｎ＋１）のそれぞれに対応して、書き込み期間Ｔａｎと書き込み期間Ｔａ（ｎ＋１）とが設けられている。

【０１７０】なお本実施例では、同じビットのデジタル

ビデオ信号に対応する表示期間Ｔｄｎと Ｔｄ（ｎ＋１）は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応する表示期間Ｔｄｎと Ｔｄ（ｎ＋１）の間に、他の表示期間が設けられている。

【０１７１】図１３に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第１走査線及び第２走査線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間Ｔａ１～Ｔａ（ｎ＋１）の開始されるタイミングを矢印で示した。また、対応するビットごとに、１ライン目の画素の書き込み期間が開始されてから、ｙライン目の画素の書き込み期間が終了するまでの期間（ΣＴａ１～ΣＴａ（ｎ＋１））を矢印で示す。

【０１７２】また、画素の詳しい動作については、実施の形態の場合と同じであるので、ここでは説明を省略する。

【０１７３】表示期間Ｔｄ１～Ｔｄ（ｎ＋１）の長さは、Ｔｄ１：Ｔｄ２：…：Ｔｄ（ｎ－１）：（Ｔｄｎ＋Ｔｄ（ｎ＋１））＝2^0：2^1：…：2^{n-1} を満たす。

【０１７４】１フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【０１７５】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、実施例２の場合に比べて人間の目に認識されずらくすることができる。

【０１７６】なお本実施例では、同じビットに対応する表示期間が２つある場合について説明したが、本発明はこれに限定されない。１フレーム期間内に同じビットに対応する表示期間が３つ以上設けられていても良い。

【０１７７】また、本実施例では最上位ビットのデジタルビデオ信号に対応する表示期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応する表示期間を複数設けても良い。また、対応する表示期間が複数設けられたビットは１つだけに限られず、いくつかのビットのそれぞれに複数の表示期間が対応するような構成にしても良い。

【０１７８】なお本実施例の構成はｎ≧２の場合において有効である。また、本実施例は実施例２または５と自由に組み合わせて実施することが可能である。

【０１７９】（実施例７）本実施例では、本発明の発光装置の作製方法について説明する。なお、本実施例では、図２に示した画素の作製方法を例にとって説明する。また本実施例では、画素が有するトランジスタＴｒ２、Ｔｒ４の断面図のみ示すが、トランジスタＴｒ１及びＴｒ３も本実施例の作製方法を参照して作ることが可能である。またその他画素が有するトランジスタ（例えば図９に示す画素ではトランジスタＴｒ５）も、同様に形成することが可能である。さらに本実施例では、画素部の周辺に設けられる駆動回路（信号線駆動回路、第１走査線駆動回路、第２走査線駆動回路）が有するＴＦＴを、画素部のＴＦＴと同一基板上に同時に形成する例を示す。

【０１８０】まず、図１４（Ａ）に示すように、コーニング社の＃７０５９ガラスや＃１７３７ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板３０１上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜３０２を形成する。例えば、プラズマＣＶＤ法でSiH_4、NH_3、N_2Oから作製される酸化窒化シリコン膜３０２ａを１０～２００[ｎｍ]（好ましくは５０～１００[ｎｍ]）形成し、同様にSiH_4、N_2Oから作製される酸化窒化水素化シリコン膜３０２ｂを５０～２００[ｎｍ]（好ましくは１００～１５０[ｎｍ]）の厚さに積層形成する。本実施例では下地膜３０２を２層構造として示したが、前記絶縁膜の単層膜または２層以上積層させた構造として形成しても良い。

【０１８１】島状半導体層３０３～３０６は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層３０３～３０６の厚さは２５～８０[ｎｍ]（好ましくは３０～６０[ｎｍ]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（ＳｉＧｅ）合金などで形成すると良い。

【０１８２】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやＹＡＧレーザー、YVO_4レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数３００[Ｈｚ]とし、レーザーエネルギー密度を１００～４００[ｍＪ／ｃｍ^2](代表的には２００～３００[ｍＪ／ｃｍ^2])とする。また、ＹＡＧレーザーを用いる場合にはその第２高調波を用いパルス発振周波数３０～３００[ｋＨｚ]とし、レーザーエネルギー密度を３００～６００[ｍＪ／ｃｍ^2](代表的には３５０～５００[ｍＪ／ｃｍ^2])とすると良い。そして幅１００～１０００[μｍ]、例えば４００[μｍ]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を５０～９０[%]として行う。

【０１８３】次いで、島状半導体層３０３～３０６を覆うゲート絶縁膜３０７を形成する。ゲート絶縁膜３０７はプラズマＣＶＤ法またはスパッタ法を用い、厚さを４０～１５０[ｎｍ]としてシリコンを含む絶縁膜で形成す

る。本実施例では、１２０[ｎｍ]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマＣＶＤ法でＴＥＯＳ（Tetraethyl Orthosilicate）とO_2とを混合し、反応圧力４０[Ｐａ]、基板温度３００～４００[℃]とし、高周波（１３．５６[ＭＨｚ]）、電力密度０．５～０．８[Ｗ／ｃｍ^2]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後４００～５００[℃]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【０１８４】そして、ゲート絶縁膜３０７上にゲート電極を形成するための第１の導電膜３０８と第２の導電膜３０９とを形成する。本実施例では、第１の導電膜３０８をＴａで５０～１００[ｎｍ]の厚さに形成し、第２の導電膜３０９をＷで１００～３００[ｎｍ]の厚さに形成する。

【０１８５】Ｔａ膜はスパッタ法で、Ｔａのターゲットをアルゴンでスパッタすることにより形成する。この場合、Ａｒに適量のＸｅやＫｒを加えると、Ｔａ膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のＴａ膜の抵抗率は２０[μΩｃｍ]程度でありゲート電極に使用することが出来るが、β相のＴａ膜の抵抗率は１８０[μΩｃｍ]程度でありゲート電極とするには不向きである。α相のＴａ膜を形成するために、Ｔａのα相に近い結晶構造をもつ窒化タンタルを１０～５０[ｎｍ]程度の厚さでＴａの下地に形成しておくとα相のＴａ膜を容易に得ることが出来る。

【０１８６】Ｗ膜を形成する場合には、Ｗをターゲットとしたスパッタ法で形成する。その他に６フッ化タングステン（WF_6）を用いる熱ＣＶＤ法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、Ｗ膜の抵抗率は２０[μΩｃｍ]以下にすることが望ましい。Ｗ膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、Ｗ中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度９９．９９９９[％]または純度９９．９９[％]のＷターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してＷ膜を形成することにより、抵抗率９～２０[μΩｃｍ]を実現することが出来る。

【０１８７】なお、本実施例では、第１の導電膜３０８をＴａ、第２の導電膜３０９をＷとしたが、特に限定されず、いずれもＴａ、Ｗ、Ｔｉ、Ｍｏ、Ａｌ、Ｃｕなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第１の導電膜３０８を窒化タンタル（ＴａＮ）で形成し、第２の導電膜３０９をＷとする組み合わせ、第１の導電膜３０８を窒化タンタル（ＴａＮ）で形成し、第２の導電膜３０９をＡｌとする組み合わせ、第１の導電膜３０８を窒化タンタル（ＴａＮ）で形成し、第２の導電膜３０９をＣｕとする組み合わせが挙げられる。（図１４（Ａ））

【０１８８】次に、レジストによるマスク３１０を形成し、電極及び配線を形成するための第１のエッチング処理を行う。本実施例ではＩＣＰ（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF_4とCl_2を混合し、１[Ｐａ]の圧力でコイル型の電極に５００[Ｗ]のＲＦ（１３．５６[ＭＨｚ]）電力を投入してプラズマを生成して行う。基板側（試料ステージ）にも１００[Ｗ]のＲＦ（１３．５６[ＭＨｚ]）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF_4とCl_2を混合した場合にはＷ膜及びＴａ膜とも同程度にエッチングされる。

【０１８９】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第１の導電層及び第２の導電層の端部がテーパー形状となる。テーパー部の角度は１５～４５°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、１０～２０[％]程度の割合でエッチング時間を増加させると良い。Ｗ膜に対する酸化窒化シリコン膜の選択比は２～４（代表的には３）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は２０～５０[ｎｍ]程度エッチングされることになる。こうして、第１のエッチング処理により第１の導電層と第２の導電層から成る第１の形状の導電層３１１～３１５（第１の導電層３１１ａ～３１５ａと第２の導電層３１１ｂ～３１５ｂ）を形成する。このとき、ゲート絶縁膜３０７においては、第１の形状の導電層３１１～３１５で覆われない領域は２０～５０[ｎｍ]程度エッチングされ薄くなった領域が形成される。また、マスク３１０も上記エッチングにより表面がエッチングされた。

【０１９０】そして、第１のドーピング処理を行いｎ型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を1×10^{13}～5×10^{14}[ａｔｏｍｓ／ｃｍ^2]とし、加速電圧を６０～１００[ｋｅＶ]として行う。ｎ型を付与する不純物元素として１５族に属する元素、典型的にはリン（Ｐ）または砒素（Ａｓ）を用いるが、ここではリン（Ｐ）を用いる。この場合、導電層３１１～３１４がｎ型を付与する不純物元素に対するマスクとなり、自己整合的に第１の不純物領域３１７～３２０が形成される。第１の不純物領域３１７～３２０には1×10^{20}～1×10^{21}[ａｔｏｍｓ／ｃｍ^3]の濃度範囲でｎ型を付与する不純物元素を添加

する。（図１４（Ｂ））

【０１９１】次に、図１４（Ｃ）に示すように、レジストマスク３１０は除去しないまま、第２のエッチング処理を行う。エッチングガスにＣＦ$_4$とＣｌ$_2$とＯ$_2$とを用い、Ｗ膜を選択的にエッチングする。この時、第２のエッチング処理により第２の形状の導電層３２５～３２９（第１の導電層３２５ａ～３２９ａと第２の導電層３２５ｂ～３２９ｂ）を形成する。このとき、ゲート絶縁膜３０７においては、第２の形状の導電層３２５～３２９で覆われない領域はさらに２０～５０[ｎｍ]程度エッチングされ薄くなった領域が形成される。

【０１９２】Ｗ膜やＴａ膜のＣＦ$_4$とＣｌ$_2$の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。ＷとＴａのフッ化物と塩化物の蒸気圧を比較すると、Ｗのフッ化物であるＷＦ$_6$が極端に高く、その他のＷＣｌ$_5$、ＴａＦ$_5$、ＴａＣｌ$_5$は同程度である。従って、ＣＦ$_4$とＣｌ$_2$の混合ガスではＷ膜及びＴａ膜共にエッチングされる。しかし、この混合ガスに適量のＯ$_2$を添加するとＣＦ$_4$とＯ$_2$が反応してＣＯとＦになり、Ｆラジカルまたはイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いＷ膜のエッチング速度が増大する。一方、ＴａはＦが増大しても相対的にエッチング速度の増加は少ない。また、ＴａはＷに比較して酸化されやすいので、Ｏ$_2$を添加することでＴａの表面が酸化される。Ｔａの酸化物はフッ素や塩素と反応しないためさらにＴａ膜のエッチング速度は低下する。従って、Ｗ膜とＴａ膜とのエッチング速度に差を作ることが可能となりＷ膜のエッチング速度をＴａ膜よりも大きくすることが可能となる。

【０１９３】そして、図１５（Ａ）に示すように第２のドーピング処理を行う。この場合、第１のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてｎ型を付与する不純物元素をドーピングする。例えば、加速電圧を７０～１２０[ｋｅＶ]とし、１×１０^{13}[ａｔｏｍｓ／ｃｍ^2]のドーズ量で行い、図１４（Ｂ）で島状半導体層に形成された第１の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第２の形状の導電層３２５～３２８を不純物元素に対するマスクとして用い、第１の導電層３２５ａ～３２８ａの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第３の不純物領域３３２～３３５が形成される。この第３の不純物領域３３２～３３５に添加されたリン（Ｐ）の濃度は、第１の導電層３２５ａ～３２８ａのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第１の導電層３２５ａ～３２８ａのテーパー部と重なる半導体層において、第１の導電層３２５ａ～３２８ａのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【０１９４】図１５（Ｂ）に示すように第３のエッチング処理を行う。エッチングガスにＣＨＦ$_6$を用い、反応性イオンエッチング法（ＲＩＥ法）を用いて行う。第３のエッチング処理により、第１の導電層３２５ａ～３２９ａのテーパー部を部分的にエッチングして、第１の導電層が半導体層と重なる領域が縮小される。第３のエッチング処理によって、第３の形状の導電層３３６～３４０（第１の導電層３３６ａ～３４０ａと第２の導電層３３６ｂ～３４０ｂ）を形成する。このとき、ゲート絶縁膜３０７においては、第３の形状の導電層３３６～３４０で覆われない領域はさらに２０～５０[ｎｍ]程度エッチングされ薄くなった領域が形成される。

【０１９５】第３のエッチング処理によって、第３の不純物領域３３２～３３５においては、第１の導電層３３６ａ～３３９ａと重なる第３の不純物領域３３２ａ～３３５ａと、第１の不純物領域と第３の不純物領域との間の第２の不純物領域３３２ｂ～３３５ｂとが形成される。

【０１９６】そして、図１５（Ｃ）に示すように、ｐチャネル型ＴＦＴを形成する島状半導体層３０３、３０６に第1の導電型とは逆の導電型の第４の不純物領域３４３～３４８を形成する。第３の形状の導電層３３６ｂ、３３９ｂを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、ｎチャネル型ＴＦＴを形成する島状半導体層３０４、３０５および第３の形状の導電層３４０は、レジストマスク３５０で全面を被覆しておく。不純物領域３４３～３４８にはそれぞれ異なる濃度でリンが添加されているが、ジボラン（Ｂ$_2$Ｈ$_6$）を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が２×１０^{20}～２×１０^{21}[ａｔｏｍｓ／ｃｍ^3]となるようにする。

【０１９７】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第３の形状の導電層３３６～３３９がゲート電極として機能する。また、第３の形状の導電層３４０はゲート配線として機能する。

【０１９８】レジストマスク３５０を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（ＲＴＡ法）を適用することが出来る。熱アニール法では酸素濃度が１[ppm]以下、好ましくは０．１[ppm]以下の窒素雰囲気中で４００～７００[℃]、代表的には５００～６００[℃]で行うものであり、本実施例では５００[℃]で４時間の熱処理を行う。ただし、第３の形状の導電層３３６～３４０に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。なお、第３の形状の導電層３４０はゲー

ト配線であり、その一部はトランジスタＴｒ１（図示せず）のゲート電極として機能しており、なおかつトランジスタＴｒ３（図示せず）のソース領域もしくはドレイン領域に接続されている。

【０１９９】さらに、３～１００[%]の水素を含む雰囲気中で、３００～４５０[℃]で１～１２時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【０２００】次いで、図１６（Ａ）に示すように、第１の層間絶縁膜３５５を酸化窒化シリコン膜から１００～２００[ｎｍ]の厚さで形成する。その上に有機絶縁物材料から成る第２の層間絶縁膜３５６を形成した後、第１の層間絶縁膜３５５、第２の層間絶縁膜３５６、およびゲート絶縁膜３０７に対してコンタクトホールを形成し、接続配線３５７～３６３をパターニング形成する。なお３６３は電源線であり、３６０は信号線である。

【０２０１】第２の層間絶縁膜３５６としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、ＢＣＢ（ベンゾシクロブテン）等を使用することが出来る。特に、第２の層間絶縁膜３５６は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではＴＦＴによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは１～５[μｍ]（さらに好ましくは２～４[μｍ]）とすれば良い。

【０２０２】コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、ｎ型の不純物領域３１７～３１９またはｐ型の不純物領域３４５、３４８に達するコンタクトホール、ゲート配線３４０に達するコンタクトホール、容量配線（図示せず）に達するコンタクトホール（図示せず）をそれぞれ形成する。

【０２０３】また、接続配線３５７～３６３として、Ｔｉ膜を１００[ｎｍ]、Ｔｉを含むアルミニウム膜を３００[ｎｍ]、Ｔｉ膜１５０[ｎｍ]をスパッタ法で連続形成した３層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

【０２０４】次に、接続配線（ドレイン配線）３６２に接する画素電極３６５をパターニング形成する。なお、接続配線にはソース配線とドレイン配線とが含まれる。ソース配線とは、活性層のソース領域に接続された配線であり、ドレイン配線とはドレイン領域に接続された配線を意味する。

【０２０５】また、本実施例では、画素電極３６５としてＩＴＯ膜を１１０[ｎｍ]の厚さに形成し、パターニングを行った。画素電極３６５を接続配線３６２と接するように配置することでコンタクトを取っている。また、酸化インジウムに２～２０[%]の酸化亜鉛（ＺｎＯ）を混合した透明導電膜を用いても良い。この画素電極３６５がＯＬＥＤの陽極となる。（図１６（Ａ））

【０２０６】次に、図１６（Ｂ）に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を５００[ｎｍ]の厚さに形成し、画素電極３６５に対応する位置に開口部を形成して、バンクとして機能する第３の層間絶縁膜３６６を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【０２０７】次に、有機発光層３６７および陰極（ＭｇＡｇ電極）３６８を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機発光層３６７の膜厚は８０～２００[ｎｍ]（典型的には１００～１２０[ｎｍ]）、陰極３６８の厚さは１８０～３００[ｎｍ]（典型的には２００～２５０[ｎｍ]）とすれば良い。

【０２０８】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、有機発光層および陰極を形成する。但し、有機発光層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に有機発光層を形成するのが好ましい。

【０２０９】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機発光層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機発光層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の有機発光層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【０２１０】ここではＲＧＢに対応した３種類のＯＬＥＤを形成する方式を用いたが、白色発光のＯＬＥＤとカラーフィルタを組み合わせた方式、青色または青緑発光のＯＬＥＤと蛍光体（蛍光性の色変換層：ＣＣＭ）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してＲＧＢに対応したＯＬＥＤを重ねる方式などを用いても良い。

【０２１１】なお、有機発光層３６７としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる４層構造を有機発光層とすれば良い。

【０２１２】次に陰極３６８を形成する。なお本実施例では陰極３６８としてＭｇＡｇを用いたが、本発明はこれに限定されない。陰極３６８として他の公知の材料を用いても良い。

【０２１３】画素電極３６５と、有機発光層３６７と、陰極３６８とが重なっている部分が、ＯＬＥＤ３７５に相当する。

【０２１４】また、次に保護電極３６９を蒸着法により形成する。保護電極３６９は、大気開放せずに陰極３６８と連続して形成しても良い。保護電極３６９は有機発光層３６７を水分や酸素から保護するのに有効である

【０２１５】また、保護電極３６９は陰極３６８の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機発光層３６７、陰極３６８は非常に水分に弱いので、保護電極３６９までを大気解放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【０２１６】最後に、窒化珪素膜でなるパッシベーション膜３７０を３００[ｎｍ]の厚さに形成する。パッシベーション膜３７０を形成しておくことで、有機発光層３６７を水分等から保護することができ、ＯＬＥＤの信頼性をさらに高めることが出来る。なおパッシベーション膜３７０は必ずしも設ける必要はない。

【０２１７】こうして図１６（Ｂ）に示すような構造の発光装置が完成する。３７１は駆動回路部のｐチャネル型ＴＦＴ、３７２は駆動回路部のｎチャネル型ＴＦＴ、３７３はトランジスタＴｒ４、３７４はトランジスタＴｒ２を意味している。

【０２１８】ところで、本実施例の発光装置は、画素部だけでなく駆動回路にも最適な構造のＴＦＴを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてＮｉ等の金属触媒を添加し、結晶性を高めることも可能である。それによって、信号線駆動回路の駆動周波数を１０[ＭＨｚ]以上にすることが可能である。

【０２１９】なお、実際には図１６（Ｂ）の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとＯＬＥＤの信頼性が向上する。

【０２２０】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタを取り付ける。

【０２２１】また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【０２２２】本実施例は、実施例１～６と自由に組み合わせて実施することが可能である。

【０２２３】（実施例８）本実施例では、実施例２において形成した画素の上面図について説明する。図１７に本実施例の画素の上面図を示す。なお図１７は、図１６（Ａ）の工程が終了した時点における、画素の上面図に相当する。図１７では、層間絶縁膜やゲート絶縁膜などの各種絶縁膜は、配線や半導体層の位置を明確にするために省略した。また、同じ層に形成される配線は同じハッチで示す。

【０２２４】図１７の、破線Ａ－Ａ’における断面図が、図１６（Ａ）のＡ－Ａ’の部分に相当する。図１８に、図１７の破線Ｂ－Ｂ’における断面図を示す。

【０２２５】図１７に示す画素は、信号線として機能する接続配線３６０（Ｓｉ）と、第１走査線３８０（Ｇａｊ）と、第２走査線３８１（Ｇｂｊ）と、電源線３６３（Ｖｉ）を１つづつ有している。そして、第１走査線３８０の一部である３８２、３２７は、それぞれトランジスタＴｒ３と、Ｔｒ４のゲート電極に相当する。

【０２２６】トランジスタＴｒ３のソース領域とドレイン領域は、一方は信号線３６０に接続されており、もう一方は接続配線３８３を介してゲート配線３４０に接続されている。ゲート配線３４０の一部３８４はトランジスタＴｒ１のゲート電極として機能している。

【０２２７】また、トランジスタＴｒ４のソース領域とドレイン領域は、一方は信号線３６０に接続されており、もう一方は接続配線３６１を介してトランジスタＴｒ１のドレイン領域及びトランジスタＴｒ２のソース領域に接続されている。

【０２２８】トランジスタＴｒ１のソース領域は電源線３６３に接続されている。また、トランジスタＴｒ２のドレイン領域は接続配線３６２を介して画素電極３６５に接続されている。

【０２２９】第２走査線３８１の一部である３２８は、トランジスタＴｒ２のゲート電極として機能している。

【０２３０】電源線３６３は、第１及び第２層間絶縁膜を間に挟んで、ゲート配線３４０と重なっている。ゲート配線３４０は、ゲート絶縁膜（図示せず）を間に挟んで、半導体膜に不純物を添加することで形成された容量配線３８５と重なっている。電源線３６３と容量配線３８５とは、コンタクトホールを介して接続されている。なお、ゲート配線３４０と容量配線３８５がゲート絶縁膜を間に挟んで重なっている部分が、保持容量３８６に相当する。さらに、電源線３６３が第１及び第２層間絶縁膜を間に挟んでゲート配線３４０と重なっている部分も保持容量として用いても良い。

【０２３１】この電源線３６３の上を、各画素を区切る隔壁（バンク）の下に形成することによって、開口率を落とすことなく保持容量および電源線を形成することができる。

【０２３２】本実施例で示した画素の上面図は、本発明の構成のほんの一例に過ぎず、図１７に示した画素の上面図は、本実施例で示した構成に限定されない。なお本

実施例は、実施例１～７と自由に組み合わせて実施することが可能である。

【０２３３】（実施例９）本実施例では、図８に示した画素の上面図について説明する。図１９に本実施例の画素の上面図を示す。なお図１７は、画素電極の形成が終了し、有機発光層を成膜する前の段階における、画素の上面図に相当する。図１９では、層間絶縁膜やゲート絶縁膜などの各種絶縁膜は、配線や半導体層の位置を明確にするために省略した。また、同じ層に形成される配線は同じハッチで示す。

【０２３４】図１９に示す画素は、信号線として機能する接続配線５６０（Ｓｉ）と、走査線５８０（Ｇｊ）と、電源線５６３（Ｖｉ）を１つづつ有している。そして、走査線５８０の一部である５８２、５２７、５２８は、それぞれトランジスタＴｒ３と、Ｔｒ４と、Ｔｒ２のゲート電極に相当する。

【０２３５】トランジスタＴｒ３のソース領域とドレイン領域は、一方は信号線５６０に接続されており、もう一方は接続配線５８３を介してゲート配線５４０に接続されている。ゲート配線５４０の一部５８４はトランジスタＴｒ１のゲート電極として機能している。

【０２３６】また、トランジスタＴｒ４のソース領域とドレイン領域は、一方は信号線５６０に接続されており、もう一方は接続配線５６１を介してトランジスタＴｒ１のドレイン領域及びトランジスタＴｒ２のソース領域に接続されている。

【０２３７】トランジスタＴｒ１のソース領域は電源線５６３に接続されている。また、トランジスタＴｒ２のドレイン領域は接続配線５６２を介して画素電極５６５に接続されている。

【０２３８】電源線５６３は、第１及び第２層間絶縁膜を間に挟んで、ゲート配線５４０と重なっている。ゲート配線５４０は、ゲート絶縁膜（図示せず）を間に挟んで、半導体膜に不純物を添加することで形成された容量配線５８５と重なっている。電源線５６３と容量配線５８５とは、コンタクトホールを介して接続されている。なお、ゲート配線５４０と容量配線５８５がゲート絶縁膜を間に挟んで重なっている部分が、保持容量５８６に相当する。さらに、電源線５６３が第１及び第２層間絶縁膜を間に挟んでゲート配線５４０と重なっている部分も保持容量として用いても良い。

【０２３９】この電源線５６３の上を、各画素を区切る隔壁（バンク）の下に形成することによって、開口率を落とすことなく保持容量および電源線を形成することができる。

【０２４０】本実施例で示した画素の上面図は、本発明の構成のほんの一例に過ぎず、図１９に示した画素の上面図は、本実施例で示した構成に限定されない。なお本実施例は、実施例１～７と自由に組み合わせて実施することが可能である。

【０２４１】（実施例１０）本実施例では、デジタルビデオ信号を用いて駆動する本発明の発光装置が有する駆動回路（信号線駆動回路及び第１走査線駆動回路）の構成について説明する。

【０２４２】図２０に信号線駆動回路６０１の構成をブロック図で示す。６０２はシフトレジスタ、６０３は記憶回路Ａ、６０４は記憶回路Ｂ、６０５は定電流回路である。

【０２４３】シフトレジスタ６０２にはクロック信号ＣＬＫと、スタートパルス信号ＳＰが入力されている。また記憶回路Ａ６０３にはデジタルビデオ信号（Ｄｉｇｉｔａｌ　Ｖｉｄｅｏ　Ｓｉｇｎａｌｓ）が入力されており、記憶回路Ｂ６０４にはラッチ信号（Ｌａｔｃｈ　Ｓｉｇｎａｌｓ）が入力されている。定電流回路６０５から出力される一定の信号電流Ｉｃは信号線へ入力される。

【０２４４】図２１に信号線駆動回路６０１のより詳しい構成を示す。

【０２４５】シフトレジスタ６０２に所定の配線からクロック信号ＣＬＫとスタートパルス信号ＳＰとが入力されることによって、タイミング信号が生成される。タイミング信号は記憶回路Ａ６０３が有する複数のラッチＡ（ＬＡＴＡ＿１～ＬＡＴＡ＿ｘ）にそれぞれ入力される。なおこのときシフトレジスタ６０２において生成されたタイミング信号を、バッファ等で緩衝増幅してから、記憶回路Ａ６０３が有する複数のラッチＡ（ＬＡＴＡ＿１～ＬＡＴＡ＿ｘ）にそれぞれ入力するような構成にしても良い。

【０２４６】記憶回路Ａ６０３にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号線６１０に入力される１ビット分のデジタルビデオ信号が、順に複数のラッチＡ（ＬＡＴＡ＿１～ＬＡＴＡ＿ｘ）のそれぞれに書き込まれ、保持される。

【０２４７】なお、本実施例では記憶回路Ａ６０３にデジタルビデオ信号を取り込む際に、記憶回路Ａ６０３が有する複数のラッチＡ（ＬＡＴＡ＿１～ＬＡＴＡ＿ｘ）に、順にデジタルビデオ信号を入力しているが、本発明はこの構成に限定されない。記憶回路Ａ６０３が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば４つのステージごとにラッチをグループに分けた場合、４分割で分割駆動すると言う。

【０２４８】記憶回路Ａ６０３の全てのステージのラッチへの、デジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【０２４９】１ライン期間が終了すると、記憶回路Ｂ６

０４が有する複数のラッチＢ（ＬＡＴＢ＿１～ＬＡＴＢ＿ｘ）に、ラッチ信号線６０９を介してラッチシグナル（Latch Signal）が供給される。この瞬間、記憶回路Ａ６０３が有する複数のラッチＡ（ＬＡＴＡ＿１～ＬＡＴＡ＿ｘ）に保持されているデジタルビデオ信号は、記憶回路Ｂ６０４が有する複数のラッチＢ（ＬＡＴＢ＿１～ＬＡＴＢ＿ｘ）に一斉に書き込まれ、保持される。

【０２５０】デジタルビデオ信号を記憶回路Ｂ６０４に送出し終えた記憶回路Ａ６０３には、シフトレジスタ６０２からのタイミング信号に基づき、次の１ビット分のデジタルビデオ信号の書き込みが順次行われる。

【０２５１】この２順目の１ライン期間中には、記憶回路Ｂ６０４に書き込まれ、保持されているデジタルビデオ信号が定電流回路６０５に入力される。

【０２５２】定電流回路６０５は複数の電流設定回路（Ｃ１～Ｃｘ）を有している。電流設定回路（Ｃ１～Ｃｘ）のそれぞれにデジタルビデオ信号が入力されると、該デジタルビデオ信号が有する１または０の情報によって、信号線に一定の電流Ｉｃが流れるか、または信号線に電源線Ｖ１～Ｖｘの電位が与えられるか、いずれか一方が選択される。

【０２５３】図２２に電流設定回路Ｃ１の具体的な構成の一例を示す。なお電流設定回路Ｃ２～Ｃｘも同じ構成を有する。

【０２５４】電流設定回路Ｃ１は定電流源６３１と、４つのトランスミッションゲートＳＷ１～ＳＷ４と、２つのインバーターＩｎｂ１、Ｉｎｂ２とを有している。なお、定電流源６３１が有するトランジスタ６５０の極性は、画素が有するトランジスタＴｒ１及びＴｒ２の極性と同じである。

【０２５５】記憶回路Ｂ６０４が有するＬＡＴＢ＿１から出力されたデジタルビデオ信号によって、ＳＷ１～ＳＷ４のスイッチングが制御される。なおＳＷ１及びＳＷ３に入力されるデジタルビデオ信号と、ＳＷ２及びＳＷ４に入力されるデジタルビデオ信号は、Ｉｎｂ１、Ｉｎｂ２によって反転している。そのためＳＷ１及びＳＷ３がオンのときはＳＷ２及びＳＷ４はオフ、ＳＷ１及びＳＷ３がオフのときはＳＷ２及びＳＷ４はオンとなっている。

【０２５６】ＳＷ１及びＳＷ３がオンのとき、定電流源６３１から０ではない所定の値の電流ＩｃがＳＷ１及びＳＷ３を介して信号線Ｓ１に入力される。

【０２５７】逆にＳＷ２及びＳＷ４がオンのときは、定電流源６３１からの電流ＩｃはＳＷ２を介してグラウンドに落とされる。またＳＷ４を介して電源線Ｖ１～Ｖｘの電源電位が信号線Ｓ１に与えられ、Ｉｃ≒０となる。

【０２５８】再び図２１を参照して、前記の動作が、１ライン期間内に、定電流回路６０５が有する全ての電流設定回路（Ｃ１～Ｃｘ）において同時に行われる。よって、デジタルビデオ信号により、全ての信号線に入力される信号電流Ｉｃの値が選択される。

【０２５９】次に、第１走査線駆動回路の構成について説明する。

【０２６０】図２３は第１走査線駆動回路６４１の構成を示すブロック図である。

【０２６１】第１走査線駆動回路６４１は、それぞれシフトレジスタ６４２、バッファ６４３を有している。また場合によってはレベルシフタを有していても良い。

【０２６２】第１走査線駆動回路６４１において、シフトレジスタ６４２にクロックＣＬＫ及びスタートパルス信号ＳＰが入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファ６４３において緩衝増幅され、対応する走査線に供給される。

【０２６３】走査線には、１ライン分の画素の第１スイッチング用トランジスタ及び第２スイッチング用トランジスタのゲート電極が接続されている。そして、１ライン分の画素の第１スイッチング用トランジスタ及び第２スイッチング用トランジスタを一斉にＯＮにしなくてはならないので、バッファ６４３は大きな電流を流すことが可能なものが用いられる。

【０２６４】本発明において用いられる駆動回路は、本実施例で示した構成に限定されない。さらに、本実施例で示した定電流回路は、図２２に示した構成に限定されない。本発明で用いられる定電流回路は、信号電流Ｉｃが取りうる２値のいずれか一方をデジタルビデオ信号によって選択し、選択された値を有する信号電流を信号線に流すことができれば、どのような構成を有していても良い。

【０２６５】また、第２走査線駆動回路も第１走査線駆動回路と同じ構成を有していても良い。

【０２６６】本実施例の構成は、実施例１～９と自由に組み合わせて実施することが可能である。

【０２６７】（実施例１１）本実施例では、アナログのビデオ信号で駆動する本発明の発光装置が有する信号線駆動回路の構成について説明する。なお走査線駆動回路の構成は、図２３において示した構成を用いることができるので、ここでは説明を省略する。

【０２６８】図２４（Ａ）に本実施例の信号線駆動回路４０１のブロック図を示す。４０２はシフトレジスタ、４０３はバッファ、４０４はサンプリング回路、４０５は電流変換回路を示している。

【０２６９】シフトレジスタ４０２には、クロック信号（ＣＬＫ）、スタートパルス信号（ＳＰ）が入力されている。シフトレジスタ４０２にクロック信号（ＣＬＫ）とスタートパルス信号（ＳＰ）が入力されると、タイミング信号が生成される。

【０２７０】生成されたタイミング信号は、バッファ４０３において増幅または緩衝増幅されて、サンプリング回路４０４に入力される。なお、バッファの代わりにレ

ベルシフタを設けて、タイミング信号を増幅しても良い。また、バッファとレベルシフタを両方設けていても良い。

【０２７１】図２４（Ｂ）にサンプリング回路４０４、電流変換回路４０５の具体的な構成を示す。なおサンプリング回路４０４は、端子４１０においてバッファ４０３と接続されている。

【０２７２】サンプリング回路４０４には、複数のスイッチ４１１が設けられている。そしてサンプリング回路４０４には、ビデオ信号線４０６からアナログビデオ信号が入力されており、スイッチ４１１はタイミング信号に同期して、該アナログビデオ信号をサンプリングし、後段の電流変換回路４０５に入力する。なお図２４（Ｂ）では、電流変換回路４０５はサンプリング回路４０４が有するスイッチ４１１の１つに接続されている電流変換回路だけを示しているが、各スイッチ４１１の後段に、図２４（Ｂ）に示したような電流変換回路４０５が接続されているものとする。

【０２７３】なお本実施例では、スイッチ４１１にトランジスタを１つだけ用いているが、スイッチ４１１はタイミング信号に同期してアナログビデオ信号をサンプリングできるスイッチであれば良く、本実施例の構成に限定されない。

【０２７４】サンプリングされたアナログビデオ信号は、電流変換回路４０５が有する電流出力回路４１２に入力される。電流出力回路４１２は、入力されたビデオ信号の電圧に見合った値の電流（信号電流）を出力する。なお図２４ではアンプ及びトランジスタを用いて電流出力回路を形成しているが、本発明はこの構成に限定されず、入力された信号の電圧に見合った値の電流を出力することができる回路であれば良い。

【０２７５】該信号電流は、同じく電流変換回路４０５が有するリセット回路４１７に入力される。リセット回路４０６は、２つのアナログスイッチ４１３、４１４と、インバーター４１６と、電源４１５を有している。

【０２７６】アナログスイッチ４１４にはリセット信号（Ｒｅｓ）が入力されており、アナログスイッチ４１３には、インバーター４１６によって反転されたリセット信号（Ｒｅｓ）が入力されている。そしてアナログスイッチ４１３とアナログスイッチ４１４は、反転したリセット信号とリセット信号にそれぞれ同期して動作しており、一方がオンのとき片一方がオフになっている。

【０２７７】そして、アナログスイッチ４１３がオンのときに信号電流は対応する信号線に入力される。逆に、アナログスイッチ４１４がオンのときに電源４１５の電位が信号線に与えられ、信号線がリセットされる。なお、電源４１５の電位は、画素に設けられた電源線の電位とほぼ同じ高さであることが望ましく、信号線がリセットされているときに信号線にながれる電流が０に近ければ近いほど良い。

【０２７８】なお信号線は、帰線期間中にリセットするのが望ましい。しかし、画像を表示している期間以外であるならば、必要に応じて帰線期間以外の期間にリセットすることも可能である。

【０２７９】なお、本発明の発光装置を駆動する信号線駆動回路及び第１走査線駆動回路は、本実施例で示す構成に限定されない。本実施例の構成は、実施例１～実施例１０に示した構成と自由に組み合わせて実施することが可能である。

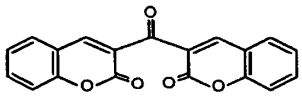
【０２８０】（実施例１２）本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、ＯＬＥＤの低消費電力化、長寿命化、および軽量化が可能になる。

【０２８１】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【０２８２】上記の論文により報告された有機発光材料（クマリン色素）の分子式を以下に示す。

【０２８３】

【化１】

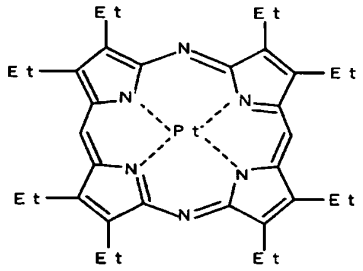


【０２８４】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson,S.R.Forrest, Nature 395 (1998) p.151.)

【０２８５】上記の論文により報告された有機発光材料（Ｐｔ錯体）の分子式を以下に示す。

【０２８６】

【化２】

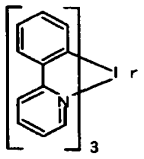


【０２８７】(M.A.Baldo, S.Lamansky, P.E.Burrrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura,T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys..38 (12B) (1999) L1502.)

【０２８８】上記の論文により報告された有機発光材料（Ｉｒ錯体）の分子式を以下に示す。

【０２８９】

【化３】



【０２９０】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より３～４倍の高い外部発光量子効率の実現が可能となる。

【０２９１】なお、本実施例の構成は、実施例１～実施例１１のいずれの構成とも自由に組み合わせて実施することが可能である。

【０２９２】（実施例１３）本実施例では、本発明の発光装置の封止の様子について、図２５を用いて説明する。

【０２９３】図２５は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図２５（Ｂ）は、図２５（Ａ）のＡ－Ａ’における断面図、図２５（Ｃ）は図２５（Ａ）のＢ－Ｂ’における断面図である。

【０２９４】基板４００１上に設けられた画素部４００２と、信号線駆動回路４００３と、第１及び第２の第１走査線駆動回路４００４ａ、ｂとを囲むようにして、シール材４００９が設けられている。また画素部４００２と、信号線駆動回路４００３と、第１及び第２の第１走査線駆動回路４００４ａ、ｂとの上にシーリング材４００８が設けられている。よって画素部４００２と、信号線駆動回路４００３と、第１及び第２の第１走査線駆動回路４００４ａ、ｂとは、基板４００１とシール材４００９とシーリング材４００８とによって、充填材４２１０で密封されている。

【０２９５】また基板４００１上に設けられた画素部４００２と、信号線駆動回路４００３と、第１及び第２の第１走査線駆動回路４００４ａ、ｂとは、複数のＴＦＴを有している。図２５（Ｂ）では代表的に、下地膜４０１０上に形成された、信号線駆動回路４００３に含まれる駆動ＴＦＴ（但し、ここではｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを図示する）４２０１及び画素部４００２に含まれるトランジスタＴｒ２　４２０２を図示した。

【０２９６】本実施例では、駆動ＴＦＴ４２０１には公知の方法で作製されたｐチャネル型ＴＦＴまたはｎチャネル型ＴＦＴが用いられ、トランジスタＴｒ２　４２０２には公知の方法で作製されたｐチャネル型ＴＦＴが用いられる。また、画素部４００２には保持容量（図示せず）が設けられる。

【０２９７】駆動ＴＦＴ４２０１及びトランジスタＴｒ２　４２０２上には層間絶縁膜（平坦化膜）４３０１が形成され、その上にトランジスタＴｒ２　４２０２のドレインと電気的に接続する画素電極（陽極）４２０３が形成される。画素電極４２０３としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【０２９８】そして、画素電極４２０３の上には絶縁膜４３０２が形成され、絶縁膜４３０２は画素電極４２０３の上に開口部が形成されている。この開口部において、画素電極４２０３の上には有機発光層４２０４が形成される。有機発光層４２０４は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【０２９９】有機発光層４２０４の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【０３００】有機発光層４２０４の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極４２０５が形成される。また、陰極４２０５と有機発光層４２０４の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層４２０４を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極４２０５を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極４２０５は所定の電圧が与えられている。

【０３０１】以上のようにして、画素電極（陽極）４２０３、有機発光層４２０４及び陰極４２０５からなるＯＬＥＤ４３０３が形成される。そしてＯＬＥＤ４３０３を覆うように、絶縁膜４３０２上に保護膜４２０９が形成されている。保護膜４２０９は、ＯＬＥＤ４３０３に酸素や水分等が入り込むのを防ぐのに効果的である。

【０３０２】４００５ａは電源線に接続された引き回し配線であり、トランジスタＴｒ２４２０２のソース領域に電気的に接続されている。引き回し配線４００５ａはシール材４００９と基板４００１との間を通り、異方導電性フィルム４３００を介してＦＰＣ４００６が有するＦＰＣ用配線４２０６に電気的に接続される。

【０３０３】シーリング材４００８としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、ＦＲＰ

（Ｆｉｂｅｒｇｌａｓｓ－Ｒｅｉｎｆｏｒｃｅｄ　Ｐｌａｓｔｉｃｓ）板、ＰＶＦ（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをＰＶＦフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【０３０４】但し、ＯＬＥＤからの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【０３０５】また、充填材４２１０としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、ＰＶＣ（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【０３０６】また充填材４２１０を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材４００８の基板４００１側の面に凹部４００７を設けて吸湿性物質または酸素を吸着しうる物質４２０７を配置する。そして、吸湿性物質または酸素を吸着しうる物質４２０７が飛び散らないように、凹部カバー材４２０８によって吸湿性物質または酸素を吸着しうる物質４２０７は凹部４００７に保持されている。なお凹部カバー材４２０８は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質４２０７は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質４２０７を設けることで、ＯＬＥＤ４３０３の劣化を抑制できる。

【０３０７】図２５（Ｃ）に示すように、画素電極４２０３が形成されると同時に、引き回し配線４００５ａ上に接するように導電性膜４２０３ａが形成される。

【０３０８】また、異方導電性フィルム４３００は導電性フィラー４３００ａを有している。基板４００１とＦＰＣ４００６とを熱圧着することで、基板４００１上の導電性膜４２０３ａとＦＰＣ４００６上のＦＰＣ用配線４２０６とが、導電性フィラー４３００ａによって電気的に接続される。

【０３０９】本実施例の構成は、実施例１～実施例１２に示した構成と自由に組み合わせて実施することが可能である。

【０３１０】（実施例１４）ＯＬＥＤを用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【０３１１】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図２６に示す。

【０３１２】図２６（Ａ）はＯＬＥＤ表示装置であり、筐体２００１、支持台２００２、表示部２００３、スピーカー部２００４、ビデオ入力端子２００５等を含む。本発明の発光装置は表示部２００３に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、ＯＬＥＤ表示装置は、パソコン用、ＴＶ放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【０３１３】図２６（Ｂ）はデジタルスチルカメラであり、本体２１０１、表示部２１０２、受像部２１０３、操作キー２１０４、外部接続ポート２１０５、シャッター２１０６等を含む。本発明の発光装置は表示部２１０２に用いることができる。

【０３１４】図２６（Ｃ）はノート型パーソナルコンピュータであり、本体２２０１、筐体２２０２、表示部２２０３、キーボード２２０４、外部接続ポート２２０５、ポインティングマウス２２０６等を含む。本発明の発光装置は表示部２２０３に用いることができる。

【０３１５】図２６（Ｄ）はモバイルコンピュータであり、本体２３０１、表示部２３０２、スイッチ２３０３、操作キー２３０４、赤外線ポート２３０５等を含む。本発明の発光装置は表示部２３０２に用いることができる。

【０３１６】図２６（Ｅ）は記録媒体を備えた携帯型の画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２４０１、筐体２４０２、表示部Ａ２４０３、表示部Ｂ２４０４、記録媒体（ＤＶＤ等）読み込み部２４０５、操作キー２４０６、スピーカー部２４０７等を含む。表示部Ａ２４０３は主として画像情報を表示し、表示部Ｂ２４０４は主として文字情報を表示するが、本発明の発光装置はこれら表示部Ａ２４０３、Ｂ２４０４に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【０３１７】図２６（Ｆ）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体２５０１、表示部２５０２、アーム部２５０３を含む。本発明の発光装置は表示部２５０２に用いることができる。

【０３１８】図２６（Ｇ）はビデオカメラであり、本体２６０１、表示部２６０２、筐体２６０３、外部接続ポート２６０４、リモコン受信部２６０５、受像部２６０６、バッテリー２６０７、音声入力部２６０８、操作キー２６０９等を含む。本発明の発光装置は表示部２６０２に用いることができる。

【０３１９】ここで図２６（Ｈ）は携帯電話であり、本体２７０１、筐体２７０２、表示部２７０３、音声入力部２７０４、音声出力部２７０５、操作キー２７０６、外部接続ポート２７０７、アンテナ２７０８等を含む。本発明の発光装置は表示部２７０３に用いることができる。なお、表示部２７０３は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【０３２０】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【０３２１】また、上記電子機器はインターネットやＣＡＴＶ（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【０３２２】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【０３２３】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例１～１３に示したいずれの構成の発光装置を用いても良い。

【０３２４】

【発明の効果】

【０３２５】上述した構成によって、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なる有機発光材料を有するＯＬＥＤを設けた場合でも、温度によって各色のＯＬＥＤの輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【図面の簡単な説明】

【図１】　本発明の発光装置の上面ブロック図。

【図２】　本発明の発光装置の画素の回路図。

【図３】　駆動における画素の概略図。

【図４】　アナログ駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図５】　デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図６】　駆動における画素の概略図。

【図７】　デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図８】　本発明の発光装置の画素の回路図。

【図９】　本発明の発光装置の画素の回路図。

【図１０】　デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図１１】　デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図１２】　デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図１３】　デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図１４】　本発明の発光装置の作製方法を示す図。

【図１５】　本発明の発光装置の作製方法を示す図。

【図１６】　本発明の発光装置の作製方法を示す図。

【図１７】　本発明の発光装置の画素の上面図。

【図１８】　本発明の発光装置の画素の断面図。

【図１９】　本発明の発光装置の画素の上面図。

【図２０】　信号線駆動回路のブロック図。

【図２１】　デジタル駆動法における信号線駆動回路の詳細図。

【図２２】　デジタル駆動法における電流設定回路の回路図。

【図２３】　第１走査線駆動回路のブロック図。

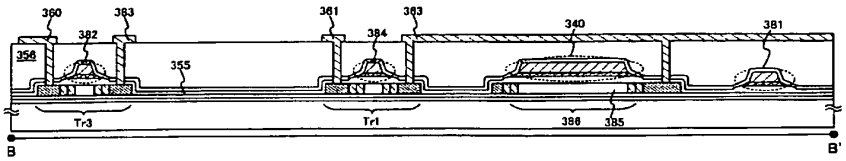
【図２４】　デジタル駆動法における信号線駆動回路の詳細図。

【図２５】　本発明の発光装置の外観図及び断面図。

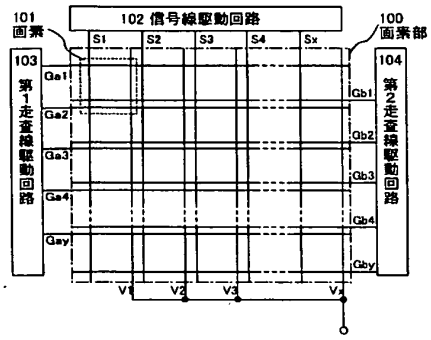
【図２６】　本発明の発光装置を用いた電子機器の図。

【図２７】　ＯＬＥＤの電圧電流特性を示す図。

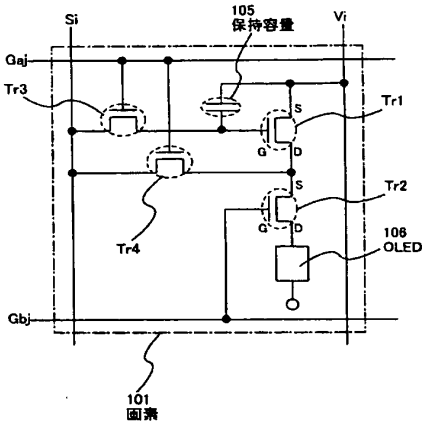
【図１８】



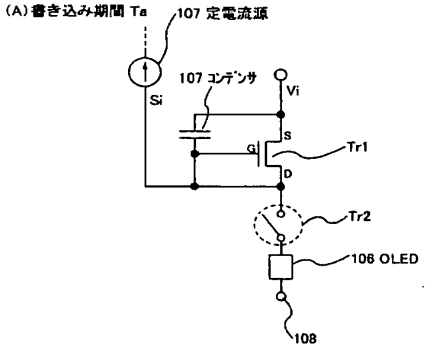
【図１】



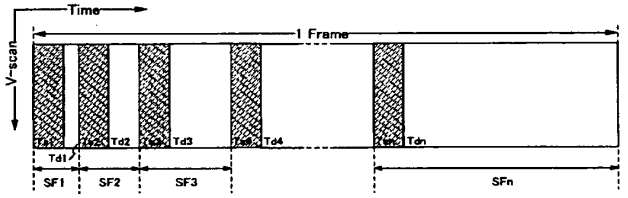
【図２】



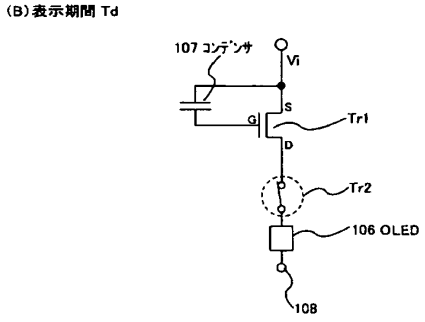
【図３】



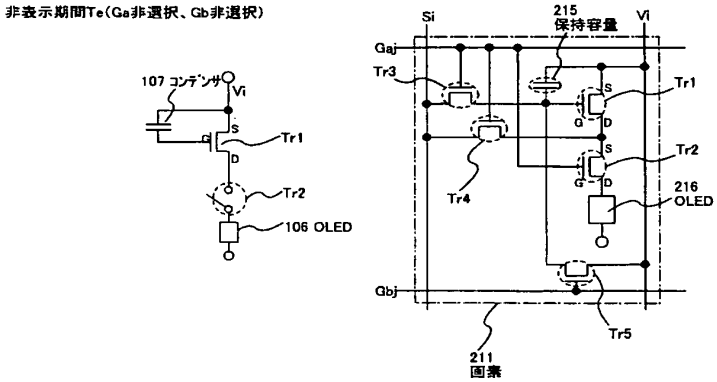
【図５】



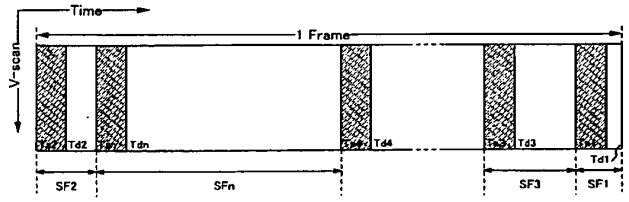
【図６】



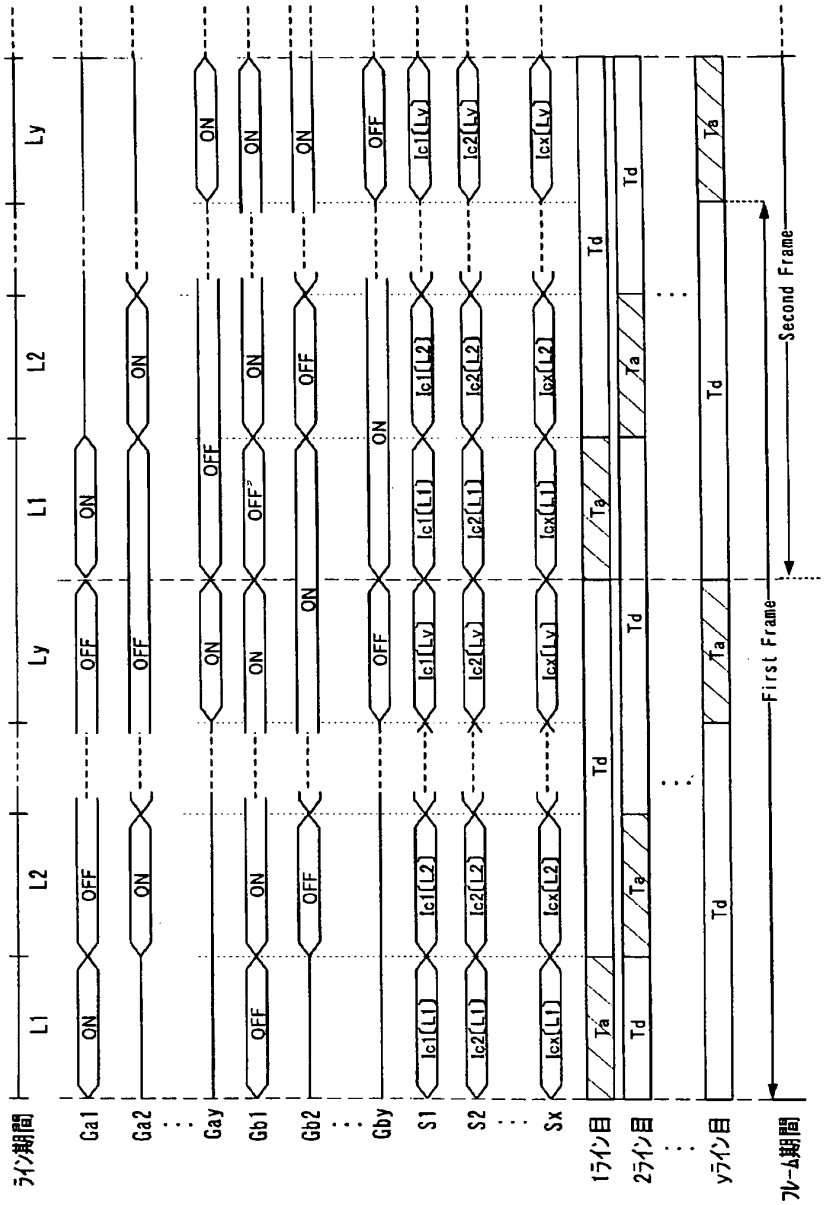
【図９】



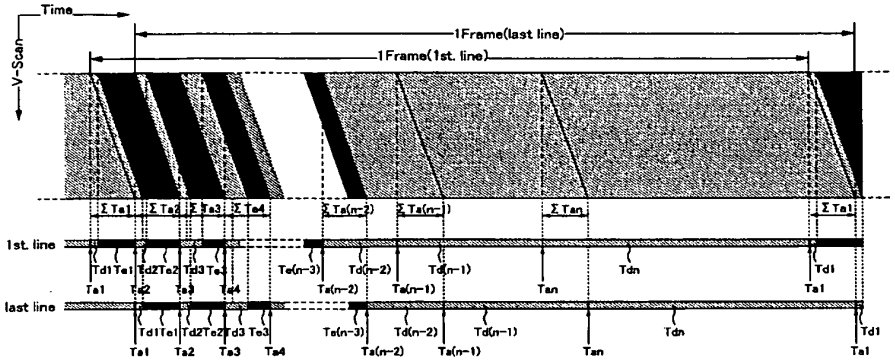
【図１０】



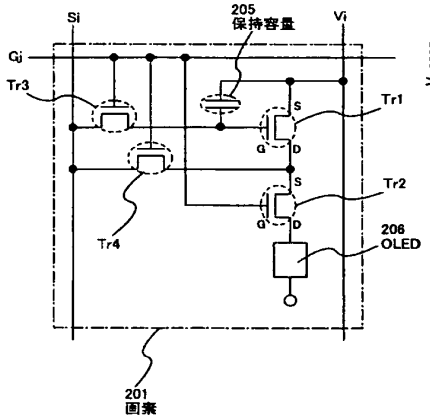
【図４】


ライン期間
L1
L2
Ly
Ga1
Ga2
Gay
Gb1
Gb2
Gby
S1
S2
Sx
1ライン目
2ライン目
yライン目
フレーム期間
ON
OFF
Ic1[L1]
Ic1[L2]
Ic1[Ly]
Ic2[L1]
Ic2[L2]
Ic2[Ly]
Icx[L1]
Icx[L2]
Icx[Ly]
Ta
Td
First Frame
Second Frame

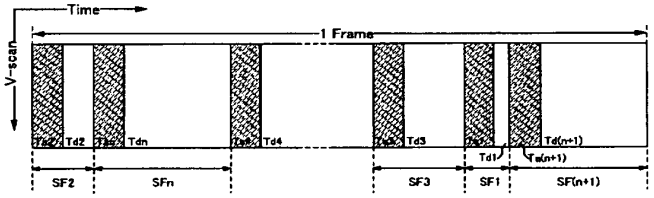
【図７】



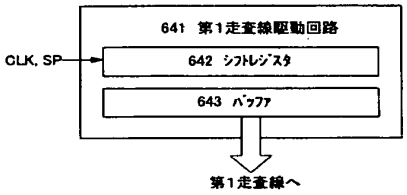
【図８】



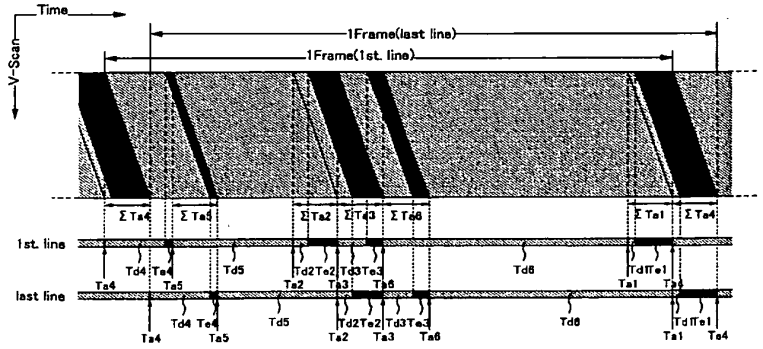
【図１１】



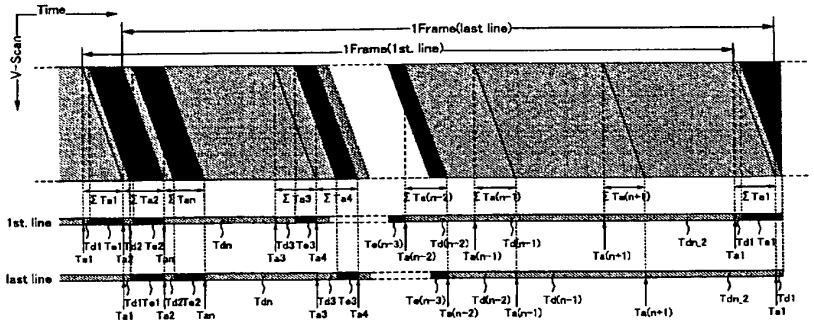
【図２３】



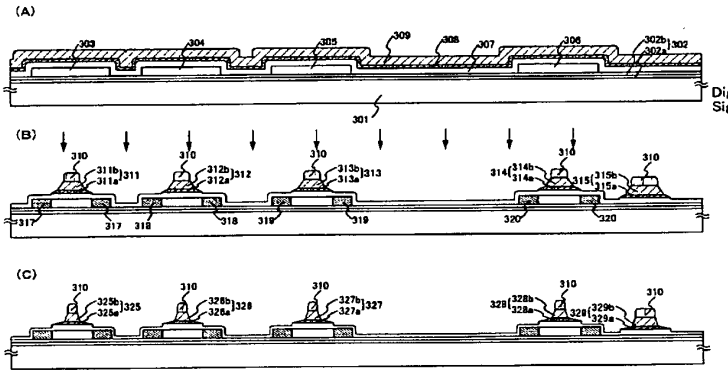
【図１２】



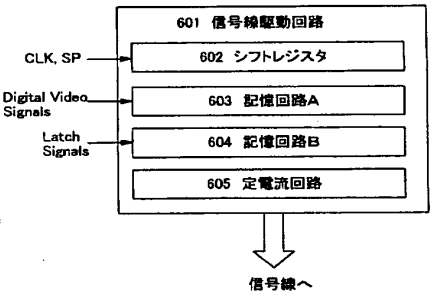
【図１３】



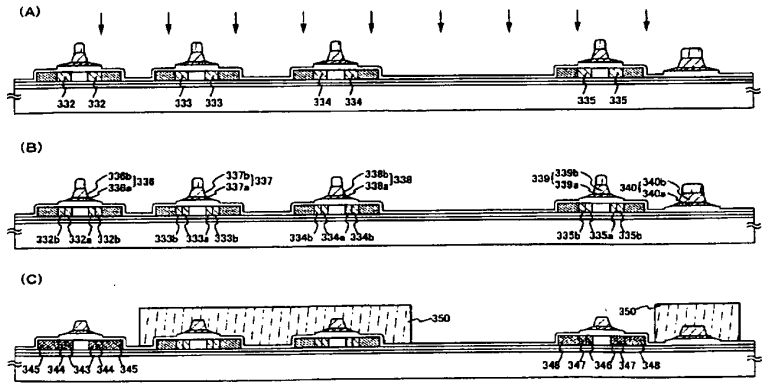
【図１４】



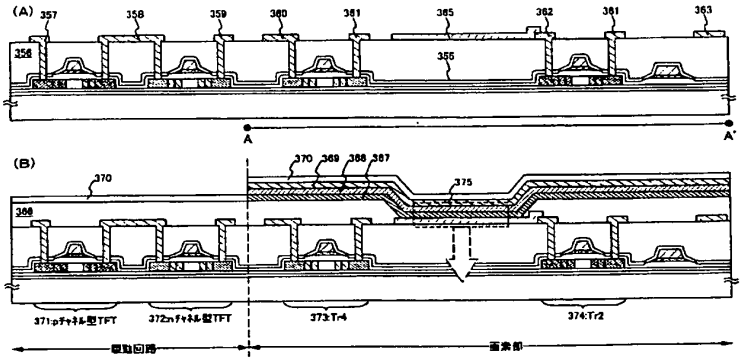
【図２０】



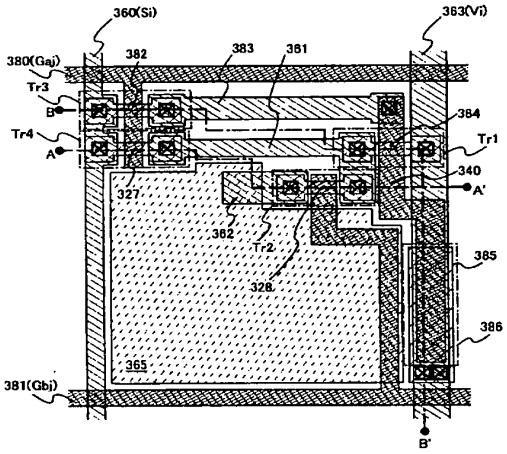
【図１５】



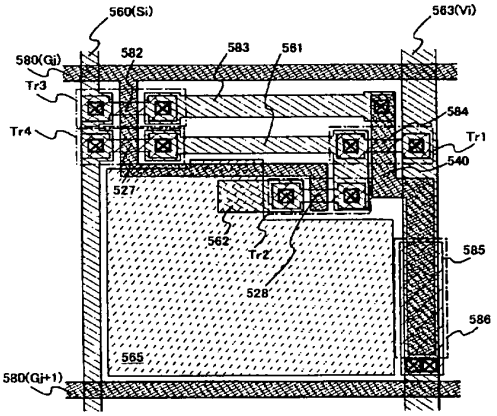
【図１６】



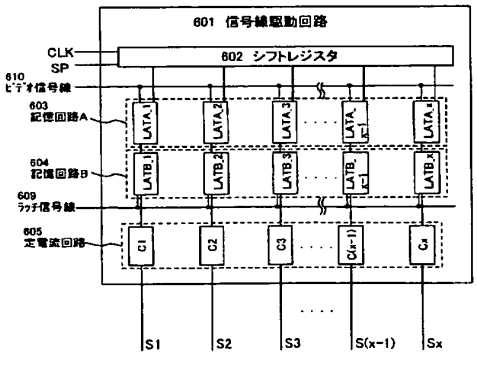
【図１７】



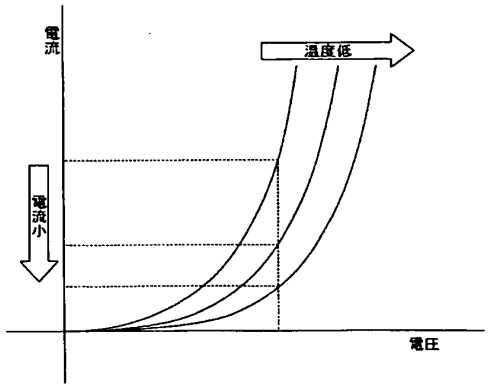
【図１９】



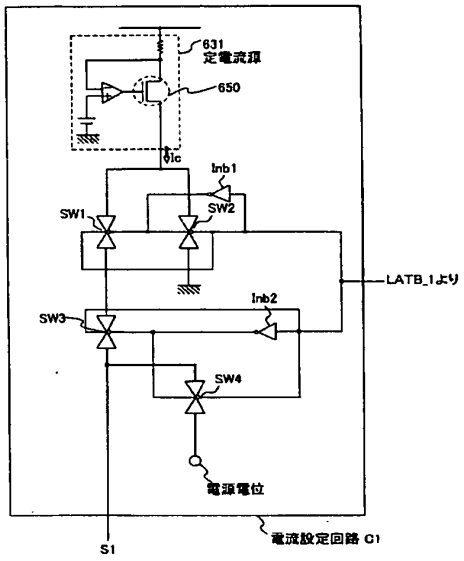
【図２１】



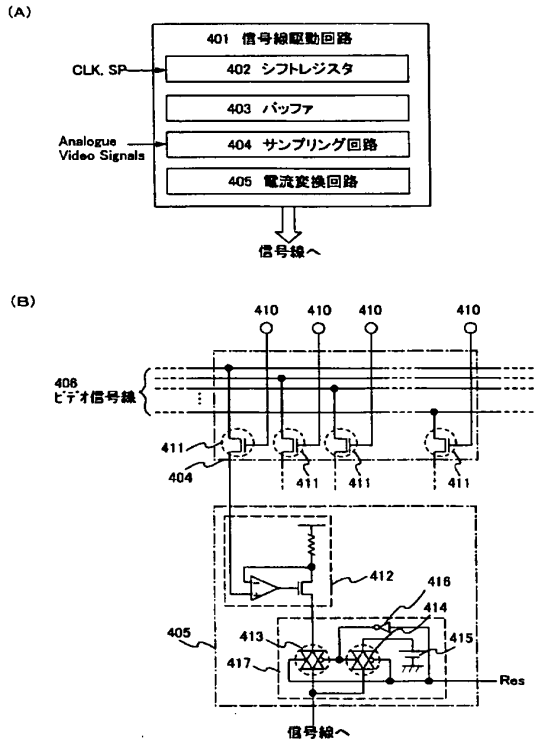
【図２７】



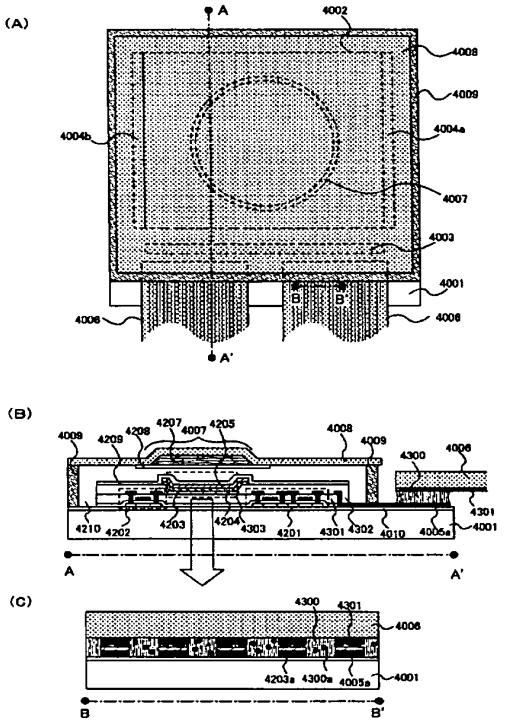
【図２２】


631
定電流源
650
Iref
Inb1
SW1
SW2
LATB_1より
Inb2
SW3
SW4
電源電位
S1
電流設定回路 C1

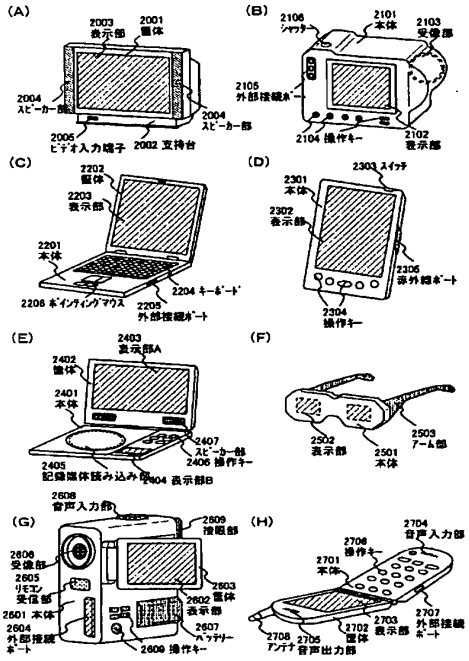
【図２４】


(A)
401 信号線駆動回路
CLK, SP
402 シフトレジスタ
403 バッファ
Analogue
Video Signals
404 サンプリング回路
405 電流変換回路
信号線へ
(B)
410
410
410
410
406
ビデオ信号線
411
404
411
411
411
412
416
414
405
413
415
417
Res
信号線へ

【図２５】



【図２６】



フロントページの続き

(51) Int.Cl.⁷		識別記号	F I		テーマコード（参考）
Ｇ０９Ｇ	3/20		Ｇ０９Ｇ	3/20	６４１Ｅ
		６４２			６４２Ｃ
	3/30			3/30	Ｋ
Ｈ０５Ｂ	33/14		Ｈ０５Ｂ	33/14	Ａ

Ｆターム(参考)　3K007 AB04 AB11 AB17 BB05 DB03
EA01 GA04
5C080 AA06 BB05 CC03 DD03 FF12
JJ02 JJ03 JJ04 JJ05 JJ06
KK02 KK07 KK43 KK47
5C094 AA07 AA08 BA03 BA27 CA19
CA24 DA09 EA04 EA05 FB01
FB16 HA08

USPTO IAP97
APR 28 2008
PATENT & TRADEMARK OFFICE

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT(S) Yojiro MATSUEDA	
		FILING DATE July 10, 2006	GROUP 2629

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1	5,867,233	2-2-1999	TANAKA

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	2	WO 01/18774 A1	3-15-2001	WIPO	x	
	3	WO 01/75853	10-11-2001	WIPO		
	4	JP A 60-128486	7-9-1985	Japan		
	5	EP 1 003 223 A2	5-24-2000	Europe		

OTHER DOCUMENTS

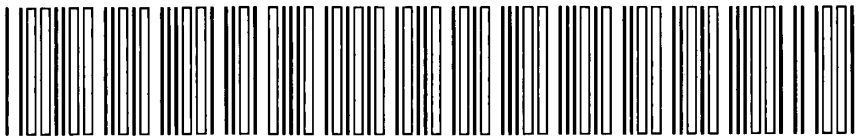
Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)
	6	Shang-Li Chen et al.; "Current Programmed Pixel Structures for OLED"; Electronics Research & Service Organization; Hsinchu, Taiwan; October 2001, pp. 399-402.
	7	Eiji Takeda et al.; "An As-P(n^+-n^-) Double Diffused Drain MOSFET for VLSI's"; IEEE Transactions on Electron Devices, IEEE Service Center; Piscataway, NJ; vol. 30; no. 6; June 1983; pp. 652-657.

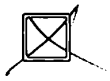
EXAMINER	DATE CONSIDERED

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: April 28, 2008

IDS REFERENCES





(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2001 年3 月15 日 (15.03.2001)

PCT

(10) 国際公開番号
WO 01/18774 A1

(51) 国際特許分類[7]: G09F 9/30, G02F 1/1345, 1101L 29/78, 21/768

(21) 国際出願番号: PCT/JP00/06173

(22) 国際出願日: 2000 年9 月8 日 (08.09.2000)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願平11/254385 1999 年9 月8 日 (08.09.1999) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 小川一文 (OGAWA, Kazufumi) [JP/JP]; 〒630-8101 奈良県奈良市育山2-3-50 Nara (JP).

(74) 代理人: 大前 要 (OHMAE, Kaname): 〒540-0037 大阪府大阪市中央区内平野町2-3-14 ライオンズビル大手前2階 Osaka (JP).

(81) 指定国 (国内): CN, KR, US.

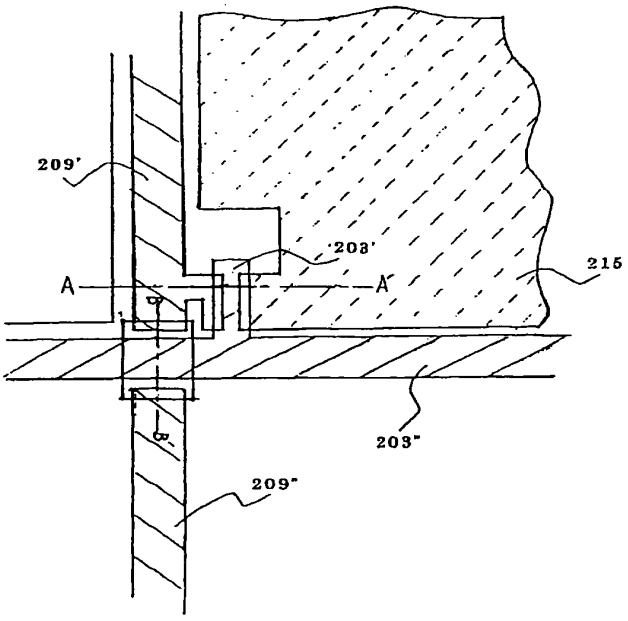
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類:
国際調査報告書

２文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: ELECTRIC CIRCUIT BOARD, TFT ARRAY SUBSTRATE USING THE SAME, AND LIQUID CRYSTAL DISPLAY

(54) 発明の名称: 電気回路基板及びこれを用いたTFTアレイ基板及び液晶表示装置



(57) Abstract: A TFT array substrate used for a liquid-crystal display panel is disclosed of which the manufacturing process is simplified and the manufacturing cost is reduced by reducing the number of masks used in manufacturing the TFT array substrate. A gate wiring metal film, a gate insulating film, a semiconductor film, and a contact electrode metal film are formed on a substrate surface. The contact electrode metal film, the semiconductor film, the gate insulating film, and the gate wiring metal film are sequentially etched by photolithography using a first pattern, and the gate wiring and a part of the side of the gate wiring metal film pattern which is to serve as a gate electrode are oxidized. A transparent conductive film is formed. The transparent conductive film, the contact electrode metal film, and a part of the semiconductor film are sequentially etched by photolithography using a second pattern.

[続葉有]

WO 01/18774 A1

3NSDOCID: <WO_____0118774A1_I_>

(57) 要約:

液晶表示パネルにおいて使用されるＴＦＴアレイ基板の製造において、マスク枚数を低減し、すなわち製造工程を簡略化し製造コストを低減したＴＦＴアレイ基板を提供する。

基板表面に、ゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成し、フォトリソ法でコンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングし、ゲート配線及びゲート電極となる部分のゲート配線金属膜パターンの側面を酸化し、透明導電性膜を形成し、フォトリソ法で透明導電性膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする。

BNSDOCID: <WO_ _ ____0118774A1_I_>

明　細　書

電気回路基板及びこれを用いたＴＦＴアレイ基板及び液晶表示装置

技　術　分　野

本発明は、他用途に適用可能な電気回路基板の新規な構造、及びこれを応用したＴＦＴアレイ基板並びにこのＴＦＴアレイ基板を用いた液晶表示装置とそれらの製造方法に関する。

背　景　技　術

従来、カラー液晶表示装置用のＴＦＴ（Thin Film Transistor）アレイ基板の製造には、５～９枚のホトマスクが使用されているが、ホトマスクの使用枚数が多いとそれだけ製造工程数が多くなり、製造が煩雑になるので、製造コストの低減を図り難い。

他方、ダイオードアレイ基板の製造プロセスにおいては、ホトマスクの使用枚数を２枚にまで減らすことのできる技術が提案されている（特表昭６２－５０２３６１号公報）。しかし、ダイオードアレイ基板はＴＦＴ（Thin Film Transistor）アレイ基板に比較し性能が劣るため、カラーテレビジョン用には適さない。

発　明　の　開　示

このようなことから、本発明はＴＦＴアレイ基板の製造方法において、ホトマスクの使用枚数を減らすことのできる新規な構造を提供することを主な目的とする。

（１）この目的を達成するための第一の本発明は、半導体集積回路等に利用することのできる電気回路基板構造に関する。第１の本発

3NSDOCID: <WO_____0118774A1_I_>

明は次のように構成されている。

絶縁性基板上の同一平面内に同一の導電性金属膜よりそれぞれ形成された、X配線と、前記X配線と交差し交差部分が前記X配線により切断されX配線と離隔されたY断続配線と、を有し、前記X配線の側面および上面が、絶縁性膜で覆われ、前記絶縁性膜で覆われたX配線により切断され離隔されたY断続配線同士が、前記絶縁性膜上に形成されたY断続配線接続電極により電気的に接続された電気回路基板。

この構成であると、独立的に通電できるX線・Y線交差型の電気回路を極めて薄い平面内に組み込むことができ、またそれゆえにこの電気回路を多層に集積することもできる。したがって、この構成は半導体デバイスとの相性が極めて良く、この構成を採用することにより、半導体回路等の集積度を顕著に高めることができる。

この構成においては、少なくとも前記X配線の側面の絶縁性膜を、前記導電性金属膜が酸化されてなる金属酸化膜とすることができ、さらに前記金属酸化膜を、陽極酸化法で形成された陽極酸化膜とすることができる。陽極酸化膜であると、薄い皮膜でもって良好な絶縁性が得られるので、好ましい。

上記構成の電気回路基板は、次の製造方法により生産性よく製造することができる。すなわち、絶縁性基板上に導電性金属膜層を堆積する第一の工程と、前記導電性金属膜層をエッチングし、X配線と、前記X配線に交差し交差部分が前記X配線により切断されX配線と離隔されたY断続配線とを同一平面内に同時に形成する第二の工程と、前記第二の工程の後、前記X配線の側面と上面を酸化し、当該側面と上面を絶縁性の金属酸化膜で被覆する第三の工程と、前記第三の工程の後、少なくとも前記交差部分を覆うように導電性膜

INSDOCID: <WO_____0118774A1_I_>

層を堆積し、前記X配線により切断され離隔されたY断続配線同士を電気接続する第四の工程と、を備えた電気回路基板の製造方法により製造することができる。

この製造方法において、前記第二の工程におけるX配線の酸化を陽極酸化法で行うことができる。陽極酸化法であると、X配線のみを選択的にかつ効率よく酸化することができる。

上記構成の電気回路基板は、次の製造方法によっても生産性よく製造することができる。すなわち、絶縁性基板上に少なくとも導電性金属膜層と絶縁性膜層を順次堆積する第一の工程と、前記絶縁性膜層と前記導電性金属膜層とを含む層をエッチングし、同一平面内に、X配線と、前記X配線に交差し交差部分において前記X配線により切断されX配線と離隔されたY断続配線と、を同一平面内に同時に形成する第二の工程と、前記第二の工程の後、前記X配線の側面を酸化し、当該側面を絶縁性の金属酸化膜で被覆する第三の工程と、前記第三の工程の後、少なくとも前記交差部分を覆うように導電性膜層を堆積し、前記X配線により切断され離隔されたY断続配線同士を電気接続する第四の工程と、を備えた電気回路基板の製造方法により製造することができる。

この製造方法においても、前記第二の工程におけるX配線の側面の酸化を陽極酸化法で行うことができる。

（２）第二の発明は、上記電気回路を応用したボトムゲート型ＴＦＴアレイ基板に関し、下記のように構成されている。

基板上に直接またはアンダーコート膜層を介して形成され、かつ側面が絶縁性膜で覆われたゲート電極と、前記ゲート電極上に積層されたゲート絶縁膜と、

前記ゲート絶縁膜上に積層された、ソース領域とドレイン領域と

BNSDOCID: <WO_ _ _ _0118774A1_I_>

両領域に挟まれたチャネル領域とを有する半導体膜と、前記半導体膜のソース領域上に積層されたソースコンタクト電極と、前記半導体膜のドレイン領域上に積層されたドレインコンタクト電極と、前記ドレインコンタクト電極を介して前記半導体膜のドレイン領域に接続された画素電極と、前記ゲート電極に接続され、側面と上面が絶縁性膜で覆われたゲート配線と、前記ゲート配線と同一平面内に形成され、同一平面内で前記ゲート配線と交差し、当該交差部において前記ゲート配線で切断され離隔された形状のソース断続配線と、ゲート配線で切断され離隔されたソース断続配線同士を、ゲート配線の上方を経由して電気接続するソース線接続電極と、を有する。

この構成であると、信頼性に優れたボトムゲート型ＴＦＴアレイ基板を提供できる。

この構成においては、前記画素電極と前記ソース線接続電極とを、同質の透明導電膜材料で構成することができる。

また、前記ソース断続配線が、ソース断続配線、ゲート絶縁膜、半導体膜、コンタクト金属膜、透明導電膜の各膜からなる５層構造のソース断続配線区画パターンの最下層に位置し、前記ゲート配線が、ゲート配線、ゲート絶縁膜、半導体膜、コンタクト金属膜、透明導電膜からなる５層構造のゲート配線区画パターンの最下層に位置し、かつ前記ソース断続配線と前記ゲート配線とが、前記基板上の同一平面内に存在している構成とすることができる。

また、少なくとも前記ゲート配線の側面の絶縁性膜が、前記導電性金属膜の酸化膜からなるものとすることができる。

また、前記酸化膜が、陽極酸化法で形成された陽極酸化膜である、とすることができる。

また、前記半導体膜が、ｉ型アモルファスシリコン層とｎ型モルフ

NSDOCID: <WO_____ _0118774A1 I >

ァスシリコン層の２層構造である、構成とすることができる。

また、前記透明導電膜材料に代えて、光反射性の導電膜材料を用いることもでき、これにより反射型のボトムゲート型ＴＦＴアレイ基板を構成することができる。

以上のボトムゲート型ＴＦＴアレイ基板は下記構成の製造方法により生産性よく製造することができる。

すなわち、少なくとも絶縁性基板表面に、ゲート電極とゲート配線とソース断続配線とを形成するためのG-S金属膜層と、ゲート絶縁膜層と、半導体膜層と、コンタクト金属膜層とを順次堆積する（A）工程と、前記(A)工程の後、第１のレジストパターンを用いたフォトリソグラフィ法で、前記各層を前記絶縁性基板表面に達するまでエッチングし、ゲート電極とこの上に順次積層されたゲート金属膜とゲート絶縁膜と半導体膜とコンタクト金属膜を含むゲート電極区画パターンと、前記ゲート電極に接続されたゲート配線とこの上に順次積層されたゲート金属膜とゲート絶縁膜と半導体膜とコンタクト金属膜を含むゲート配線区画パターンと、前記ゲート配線との交差部で切断され離隔されたソース断続線とこの上に順次積層されたゲート金属膜とゲート絶縁膜と半導体膜とコンタクト金属膜を含むソース断続線区画パターンと、を形成する（Ｂ）工程と、前記（Ｂ）工程の後ゲート電極区画パターン上のコンタクト金属膜部分を前記半導体膜面に到達するまでエッチングして前記半導体膜上にチ、前記ゲート電極およびゲート配線の側面を酸化して電気絶縁性の金属酸化膜を生成させる（Ｃ）工程と、前記（Ｃ）工程の後、前記コンタクト金属膜の上から基板全面に透明導電膜層を堆積し、少なくとも前記ソース断続配線相互が導電膜を介して電気的に接続されるようにする（Ｅ）工程と、前記（Ｅ）工程の後、第２のレジストパタ

3NSDOCID: <WO_____ 0118774A1_I_>

ーンを用いたフォトリソグラフィ法で、前記透明導電膜層を所定のパターンにエッチングし画素電極を形成するとともに、更にこのエッチングにより露出させたチャネル領域を形成する（Ｆ）工程と、を備えたボトムゲート型ＴＦＴアレイ基板の製造方法により製造することができる。

この製造方法において、前記ゲート配線の側面の酸化を陽極酸化法で行うことができる。

また、前記半導体膜層が、ｎ型モルファスシリコン層とｉ型アモルファスシリコン層との２層構造であり、前記（Ｆ）工程におけるゲート電極区画パターン上のコンタクト金属膜部分のエッチングが、コンタクト金属膜の一部とこれに続くｎ型モルファスシリコン層の一部分をｉ型アモルファスシリコン層に到達するまで行うエッチングである、とすることができる。

また、前記（Ｅ）工程における前記透明透明導電膜層に代えて、光反射性の導電膜層を積層することができる。

（３）第三の発明は、ボトムゲート型ＴＦＴアレイ基板を用いた液晶表示装置に関する発明であり、下記のように構成されている。

基板上に直接またはアンダーコート膜層を介して形成され、かつ側面が絶縁性膜で覆われたゲート電極と、前記ゲート電極上に積層されたゲート絶縁膜と、前記ゲート絶縁膜上に積層された、ソース領域とドレイン領域と両領域に挟まれたチャネル領域とを有する半導体膜と、前記半導体膜のソース領域上に積層されたソースコンタクト電極と、前記半導体膜のドレイン領域上に積層されたドレインコンタクト電極と、前記ドレインコンタクト電極を介して前記半導体膜のドレイン領域に接続された画素電極と、前記ゲート電極に接続され、側面と上面が絶縁性膜で覆われたゲート配線と、前記ゲー

NSDOCID: <WO 0118774A1_I_>

ト配線と同一平面内に形成され、同一平面内で前記ゲート配線と交差し、当該交差部において前記ゲート配線で切断され離隔されーーた形状のソース断続配線と、ゲート配線で切断されたソース断続配線同士を、ゲート配線の上方を経由して電気接続するソース線接続電極と、を有するボトムゲート型ＴＦＴアレイ基板と、対向基板と、をＴＦＴの形成された面を内側にして所定のギャップで対向させ、当該ギャップの間に液晶を保持させた液晶表示装置。

この構成に更に下記を付加することができる。すなわち、前記ＦＴアレイ基板の表面が保護膜で保護されている、構成とすることができ、さらに前記保護膜が、シリカ膜または窒化珪素膜である、とすることができる。

また、前記画素電極が、透明金属膜で構成されている、とすることができる。

また、前記画素電極が、光反射性金属膜で構成されている、とすることができる。

（４）第四の発明（態様２４－３０）は、ボトム型ＴＦＴアレイ基板に関し、次のように構成されている。

（態様２４）

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と反射画素金属電極群を備えたボトムゲート型ＴＦＴアレイ基板であって、少なくともゲート電極およびゲート配線の側面が酸化されており、反射画素金属電極がコンタクト金属電極と他の金属電極膜との２層構造でありコンタクト金属電極を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および金属電極の２層を介してＴＦＴのソース領域に接続されていることを特徴とするボトムゲート型ＴＦＴアレイ基板。

INSDOCID: <WO____0118774A1_I_>

（態様２５）

態様２４のボトムゲート型ＴＦＴアレイ基板において、反射画素金属電極群がアルミニウムまたはアルミニウム系の合金である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様２６）

態様２４のボトムゲート型ＴＦＴアレイ基板において、

ソース断続配線の一部がコンタクト電極金属膜とアルミニウム系の金属電極膜の２層構造となっている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様２７）

態様２４のボトムゲート型ＴＦＴアレイ基板において、

ゲート電極金属とコンタクト金属電極との間にゲート絶縁膜と半導体膜が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様２８）

態様２４のボトムゲート型ＴＦＴアレイ基板において、

ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト金属電極および金属電極の２層を介して交差接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様２９）

態様２４のボトムゲート型ＴＦＴアレイ基板において、

半導体膜の一部がｉ型層とn^+型層の２層構造である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様３０）

態様２４のボトムゲート型ＴＦＴアレイ基板において、

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形

NSDOCID: <WO____ 0118774A1_I_>

成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（５）第五の発明（態様３１－３５）は、次のように構成されている。

（態様３１）

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンでエッチングする工程と、を含むことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様３２）

態様３１のボトムゲート型ＴＦＴアレイ基板の製造方法において、金属電極膜としてアルミニウムまたはアルミニウム系の合金膜を形成する、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様３３）

態様３１のボトムゲート型ＴＦＴアレイ基板の製造方法において、絶縁性基板表面とゲート配線金属膜の間にシリカ系のアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様３４）

態様３１のボトムゲート型ＴＦＴアレイ基板の製造方法において、少なくともゲート配線金属膜としてアルミニウム系の合金膜を形

NSDOCID: <WO_____0118774A1_I_>

成する、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様３５）

態様３１のボトムゲート型ＴＦＴアレイ基板の製造方法において、

酸化する工程に中性溶液中で陽極酸化法を用いる、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（５）第五の発明（態様３６－３８）は、次のように構成されている。

（態様３６）

少なくともゲート電極およびゲート配線側面が酸化されており、反射画素金属電極がコンタクト金属電極と他の金属電極膜との２層構造でありコンタクト金属電極を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および金属電極の２層を介してＴＦＴのソース領域に接続されているボトムゲート型ＴＦＴアレイ基板のアレイ側と対向透明電極が形成されたカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜を介して液晶が挟まれている、ことを特徴とする液晶表示装置。

（態様３７）

態様３６の液晶表示装置において、

少なくともＴＦＴアレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

（態様３８）

態様３７の液晶表示装置において、

保護膜が無機物である、ことを特徴とする液晶表示装置。

（５）第六の発明（態様３９－４０）は、次のように構成されてい

INSDOCID: <WO_____0118774A1_I_>

る。

（態様３９）

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンでエッチングする工程とによりボトムゲート型ＴＦＴアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、対向透明電極が形成されカラーフィルター基板の対向電極側表面に配向膜を形成する工程と前記２つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第１と第２の基板の間に所定の液晶を注入する工程と、を含むことを特徴とした液晶表示装置の製造方法。

（態様４０）

態様３９の液晶表示装置の製造方法において、

ボトムゲート型ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記ＴＦＴアレイの一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

（態様４１）

態様３９の液晶表示装置の製造方法において、

金属電極およびコンタクト金属電極が同一材質で一層で形成されている、ことを特徴とする液晶表示装置の製造方法。

（７）第五の発明（態様４２－４７）は、次のように構成されてい

BNSDOCID: <WO_____0118774A1_I_>

る。

（態様４２）

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画素金属電極群を備えたＴＦＴアレイ基板であって、

少なくともゲート電極およびゲート配線側面および第１の櫛形画素電極側面が酸化されており、第２の櫛形画素金属電極がコンタクト電極金属を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してＴＦＴのソース領域に接続されていることを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様４３）

態様４２のボトムゲート型ＴＦＴアレイ基板において

ゲート電極側面および第１の櫛形画素電極側面の酸化膜が陽極酸化膜である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様４４）

態様４２のボトムゲート型ＴＦＴアレイ基板において

ソース断続配線の一部および第１の櫛形画素電極がゲート配線金属膜と半導体膜とコンタクト電極金属膜と金属電極膜の５層構造となっている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様４５）

態様４２のボトムゲート型ＴＦＴアレイ基板において

半導体膜と櫛形電極の接続にコンタクト電極金属が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様４６）

態様４２のボトムゲート型ＴＦＴアレイ基板において

ソース断続配線がゲート配線および第１の櫛形電極により切断さ

SDOCID: <WO_____0118774A1_I_>

れておりゲート配線および第１の櫛形電極上でコンタクト電極金属と金属電極を介して交差接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様４７）

態様４２のボトムゲート型ＴＦＴアレイ基板において

半導体膜の一部がｉ型層とｎ型層の２層構造である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様４８）

態様４２のボトムゲート型ＴＦＴアレイ基板において

絶縁性基板表面とゲート配線金属膜の問にアンダーコート膜が形成され（５）

ている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（８）第八の発明（態様４９－５３）は、次のように構成されている。

（態様４９）

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極及び第１の櫛形画素電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程とを含むことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様５０）

NSDOCID: <WO_____0118774A1_I_>

態様４９のボトムゲート型ＴＦＴアレイ基板の製造方法においてゲート配線及びゲート電極及び第１の櫛形画素電極となる部分を同時にエッチングする、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様５１）

態様４９のボトムゲート型ＴＦＴアレイ基板の製造方法において絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様５２）

態様４９のボトムゲート型ＴＦＴアレイ基板の製造方法において少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成する、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様５３）

態様４９のボトムゲート型ＴＦＴアレイ基板の製造方法において酸化する工程に陽極酸化法を用いる、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（９）第九の発明（態様５４－５６）は、次のように構成されている。

（態様５４）

少なくともゲート電極およびゲート配線側面および第１の櫛形電極側面が酸化されており、第２の櫛形画素金属電極がコンタクト電極金属を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してＴＦＴのソース領域に接続されているボトムゲート型ＴＦＴアレイ基板基板の電

NSDOCID: <WO_____0118774A1_I_>

極側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜として液晶が挟まれていることを特徴とする液晶表示装置。

（態様５５）

態様５４の液晶表示装置において

少なくともＴＦＴアレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

（態様５６）

態様５５の液晶表示装置において

保護膜が無機物である、ことを特徴とする液晶表示装置。

（１０）第１０の発明（態様５７－５８）は、次のように構成されている。

（態様５７）

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極及び第１の櫛形画素電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程とによりボトムゲート型ＴＦＴアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板の表面に配向膜を形成する工程と前記２つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第１と第２の基板の間に所定の液晶を注入する工

INSDOCID: <WO_ _ _ _ 0118774A1_I_>

程を含むことを特徴とした液晶表示装置の製造方法。

（態様５８）

態様５７の液晶表示装置の製造方法において

ボトムゲート型ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記ＴＦＴアレイの一部を保護膜で被う工程と、この保護膜をマスクに、金属電極膜とコンタクト電極金属膜と半導体膜とゲート絶縁膜とをエッチングしてゲート配線端子を露出させる工程を含む、ことを特徴とする液晶表示装置の製造方法。

（態様５９）

態様５８の液晶表示装置の製造方法において

ボトムゲート型ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記ＴＦＴアレイの一部を保護膜で被い、この保護膜をマスクにエッチングしてゲート配線端子を露出させると、保護膜として、シリカ膜またはチッ化珪素膜を形成する、ことを特徴とする液晶表示装置の製造方法。

（１１）第１１の発明（態様６０－６６）は、次のように構成されている。

（態様６０）

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画素金属電極群を備えたＴＦＴアレイ基板であって、

少なくともゲート電極およびゲート配線側面が酸化されており、櫛形反射画素金属電極がコンタクト金属電極と他の金属電極膜との２層構造でありコンタクト金属電極を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および金属電極の２層を介してＴＦＴのソース領域に接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様６１）

態様６０のボトムゲート型ＴＦＴアレイ基板において

ゲート電極にアルミニウム系の金属を用い、側面の絶縁膜が陽極酸化膜である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様６２）

態様６０のボトムゲート型ＴＦＴアレイ基板において

ソース断続配線の一部がゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜と金属電極膜の５層構造となっている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様６３）

態様６０のボトムゲート型ＴＦＴアレイ基板において

ソース電極および櫛形電極と半導体膜の間にコンタクト金属電極を形成しておく、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様６４）

態様６０のボトムゲート型ＴＦＴアレイ基板において

ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト金属電極および金属電極の２層を介して交差接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様６５）

態様６０のボトムゲート型ＴＦＴアレイ基板において

半導体膜の一部がｉ型層とｎ型層の２層構造である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様６６）

態様６０のボトムゲート型ＴＦＴアレイ基板において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形

3NSDOCID: <WO_____0118774A1 I >

成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（１２）第１２の発明（態様６７－７１）は、次のように構成されている。

（態様６７）

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極および第１の櫛形電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンでエッチングする工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様６８）

態様６７のボトムゲート型ＴＦＴアレイ基板の製造方法において半導体膜がｉ型層とｎ型層の２層構造であり、ｎ型層の一部をｉ型層に達すまでエッチングする、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様６９）

態様６７のボトムゲート型ＴＦＴアレイ基板の製造方法において絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様７０）

態様６７のボトムゲート型ＴＦＴアレイ基板の製造方法において

BNSDOCID: <WO 011877 4A1 | >

少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成する、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様７１）

態様６７のボトムゲート型ＴＦＴアレイ基板の製造方法において酸化する工程に陽極酸化法を用いる、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（１３）第１３の発明（態様７２－７４）は、次のように構成されている。

（態様７２）

少なくともゲート電極およびゲート配線側面が酸化されており、第１の櫛形画素金属電極がコンタクト金属電極と他の金属電極膜との２層構造でありコンタクト金属電極を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および金属電極の２層を介してＴＦＴのソース領域に接続されているボトムゲート型ＴＦＴアレイ基板のアレイ側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜を介して液晶が挟まれている、ことを特徴とする液晶表示装置。

（態様７３）

態様７２の液晶表示装置において

少なくともＴＦＴアレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

（態様７４）

態様７２の液晶表示装置において

保護膜が無機物である、ことを特徴とする液晶表示装置。

BNSDOCID: <WO 0118774A1 I >

（１４）第１４の発明（態様７５－７７）は、次のように構成されている。

（態様７５）

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極および第１の櫛形電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンでエッチングする工程とによりボトムゲート型ＴＦＴアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板の対向電極側表面に配向膜を形成する工程と前記２つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第１と第２の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

（態様７６）

態様７５の液晶表示装置の製造方法において

ボトムゲート型ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記ＴＦＴアレイの一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

（態様７７）

態様７５の液晶表示装置の製造方法において

金属電極およびコンタクト金属電極が同一材質で一層で形成されている、ことを特徴とする液晶表示装置の製造方法。

3NSDOCID: <WO_____011877 4A1_I_>

（１５）第１５の発明（態様７８－８４）は、次のように構成されている。

（態様７８）

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画素電極群を備えたＴＦＴアレイ基板であって、

少なくともゲート電極およびゲート配線側面が酸化されており、第１の櫛形画素極がコンタクト電極金属を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してＴＦＴのソース領域に接続されており、さらに絶縁膜を介して第２の櫛形の対向電極が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様７９）

態様７８のボトムゲート型ＴＦＴアレイ基板において

ゲート電極側面の酸化膜が陽極酸化膜である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様８０）

態様７８のボトムゲート型ＴＦＴアレイ基板において

ソース断続配線の一部がゲート配線金属膜と半導体膜とコンタクト電極金属膜と金属電極膜の５層構造となっている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様８１）

態様７８のボトムゲート型ＴＦＴアレイ基板において

半導体膜とソース及びドレーン電極の間にコンタクト電極金属が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様８２）

INSDOCID: <WO_____0118774A1_I_>

態様７８のボトムゲート型ＴＦＴアレイ基板において

ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト電極金属と金属電極を介して交差接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様８３）

態様７８のボトムゲート型ＴＦＴアレイ基板において

半導体膜の一部がｉ型層とｎ型層の２層構造である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様８４）

態様７８のボトムゲート型ＴＦＴアレイ基板において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（１６）第１６の発明（態様８５－８９）は、次のように構成されている。

（態様８５）

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程と、さらに、絶縁膜を介して第２の櫛形対向電極を第３のパターンで形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

INSDOCID: <WO_____0118774A1_I_>

（態様８６）

態様８５のボトムゲート型ＴＦＴアレイ基板の製造方法において半導体膜がｉ型層とｎ型層の２層構造であり、ｎ型層の一部をエッチングする、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様８７）

態様８５のボトムゲート型ＴＦＴアレイ基板の製造方法において絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様８８）

態様８５のボトムゲート型ＴＦＴアレイ基板の製造方法において少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成する、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（態様８９）

態様８５のボトムゲート型ＴＦＴアレイ基板の製造方法において酸化する工程に陽極酸化法を用いる、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（１７）第１７の発明（態様９０－９２）は、次のように構成されている。

（態様９０）

少なくともゲート電極およびゲート配線側面が酸化されており、第１の櫛形画素金属電極がコンタクト電極金属を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してＴＦＴのソース領域に接続されており、

NSDOCID: <WO 0118774A1 I >

さらに絶縁膜を介して第２の櫛形の対向電極が形成されているボトムゲート型ＴＦＴアレイ基板の電極側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜として液晶が挟まれている、ことを特徴とする液晶表示装置。

（態様９１）

態様９０の液晶表示装置において

少なくともＴＦＴアレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

（態様９２）

態様９１の液晶表示装置において

保護膜が無機物である、ことを特徴とする液晶表示装置。

（１８）第１８の発明（態様９３－９５）は、次のように構成されている。

（態様９３）

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程と、保護膜を介して第２の櫛形の対向電極を第３のパターンで形成する工程とによりボトムゲートＴＦＴアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板のカラーフ

INSDOCID: <WO 0118774A1 I >

ィルター側表面に配向膜を形成する工程と前記２つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第１と第２の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

（態様９４）

態様９３の液晶表示装置の製造方法において

第２の櫛形対向電極形成後、少なくとも前記第２の櫛形対向電極の一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

（態様９５）

態様９３の液晶表示装置の製造方法において

保護膜として、シリカ膜またはチッ化珪素膜を形成する、ことを特徴とする液晶表示装置の製造方法。

（１９）第１９の発明（態様９６－９７）は、次のように構成されている。

（態様９６）

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画素電極群を備えたＴＦＴアレイ基板であって、

少なくともゲート電極およびゲート配線側面が酸化されており、第１の櫛形画素金属電極がコンタクト電極金属との２層構造でＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してＴＦＴのソース領域に接続されており、さらに絶縁膜を介して第２の櫛形の対向電極が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（態様９７）

態様９６のボトムゲート型ＴＦＴアレイ基板において

INSDOCID: <WO 0118774A1 >

少なくともソース断続配線が金属電極とコンタクト電極金属との２層構造で接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

（２０）第２０の発明（態様９８）は、次のように構成されている。

（態様９８）

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜と金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程と、さらに、絶縁膜を介して第２の櫛形対向電極を第３のパターンで形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

（２１）第２１の発明（態様９９）は、次のように構成されている。

（態様９９）

少なくともゲート電極およびゲート配線側面が酸化されており、第１の櫛形画素極がコンタクト電極金属と２層構造でＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してＴＦＴのソース領域に接続されており、さらに絶縁膜を介して第２の櫛形の対向電極が形成されているボトムゲート型ＴＦＴアレイ基板の電極側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜として液晶が挟まれている、ことを特徴とする液晶表示装置。

EDOCID: <WO_____0118774A1 I_>

（２２）第２２の発明（態様１００－１０１）は、次のように構成されている。

（態様１００）

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜と金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程と、さらに、絶縁膜を介して第２の櫛形対向電極を第３のパターンで形成する工程とによりボトムゲートＴＦＴアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板のカラーフィルター側表面に配向膜を形成する工程と前記２つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第１と第２の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

（態様１０１）

態様１００の液晶表示装置の製造方法において

少なくとも前記第２の櫛形対向電極の一部を保護膜で被う工程を含む．ことを特徴とする液晶表示装置の製造方法。

図面の簡単な説明

図１は、本発明の実施例１－１の電気回路基板を製造工程を説明す

3NSDOCID: <WO_____.0118774A1_I_>

るための断面概念図である。

図２は、本発明の実施例１－１において、第一のレジストパターンでエッジングした後の基板面の状態を示す平面図である。

図３は、本発明の実施例１－１において、基板全面に導電性膜層を堆積した様子を示す平面図である。

図４は、本発明の実施例１－１において、基板上の導電性膜層を所定のパターン（Ｙ断続配線接続電極）に加工した様子を示す平面図である。

図５は、本発明の実施例２－１におけるＴＦＴアレイの製造工程を説明する工程断面概念図である。

図６は本発明の実施例２－１におけるＴＦＴアレイの製造工程を説明する工程断面概念図である。

図７は、図６(b)を上方から見た平面模式図である。

図８は、本発明の実施例２－１におけるＴＦＴアレイの製造工程を説明する工程断面概念図である。

図９は、本発明の実施例２－１におけるＴＦＴアレイの製造工程を説明する工程断面概念図である。

図１０は、本発明の実施例２－１におけるＴＦＴアレイの製造工程を説明する工程断面概念図である。

図１１は、本発明の実施例２－１におけるＴＦＴアレイの製造工程を説明する工程断面概念図である。

図１２は、実施例２－１におけるＴＦＴアレイ基板の平面模式図である。

図１３は、本発明の実施例２－２における液晶表示装置を説明する断面概念図である。

図１４は、本発明の実施例２－３におけるＴＦＴアレイの製造工程

NSDOCID: <WO_____0118774A1_I_>

を説明するための図である。

図１５は、本発明の実施例２－３におけるＴＦＴアレイの製造工程を説明するための図である。

図１６は、本発明の実施例２－３におけるＴＦＴアレイの製造工程を説明するための図である。

図１７は、本発明の実施例２－３におけるＴＦＴアレイの製造工程を説明するための図である。

図１８は、本発明の実施例２－３におけるＴＦＴアレイの製造工程を説明するための図である。

図１９は、本発明の実施例２－３におけるＴＦＴアレイの製造工程を説明するための図である。

図２０は、本発明の実施例２－３におけるＴＦＴアレイの製造工程を説明するための図である。

図２１は、本発明の実施例４における液晶表示装置を説明する断面概念図である。

図２２は、本発明の実施例５におけるＴＦＴの断面概念図である。

図２３は、本発明の実施例２－７におけるＴＦＴの断面概念図である。

図２４は、本発明の実施例２－９におけるＴＦＴの断面概念図である。

図２５は、本発明の実施例２－１１におけるＴＦＴの断面概念図である。

図２６は、本発明の実施例２－１のＴＦＴアレイ基板の全体図である。

BNSDOCID: <WO_____0118774A1_I_>

発明を実施するための最良の形態

以下、実施例に基づいて本発明の内容を具体的に説明する。

（実施例１－１）

予め良く洗浄された透明ガラス基板（絶縁性基板）１０１を準備し、アンダーコート膜層１０２としてのシリカ（SiO_2）膜層をＣＶＤ法で０．４ミクロンの厚さに堆積した。続いてＸ配線およびＹ断続配線形成用の金属膜層１０３として、Ａｌ－Ｚｒ（９７：３）合金膜層をスパッタリング法を用いて２００ｎｍ程度の膜厚まで蒸着形成した。更に続いて、絶縁膜層層１０４として、プラズマＣＶＤ法を用いてSiN_x膜を１５０ｎｍ堆積した（図１）。

次いで、第一のレジストパターン１０５（図１）を用いたフォトリソグラフィ法で、絶縁膜層１０４の上からアンダーコート膜層１０２に達するまでエッチングを行い、Ｘ配線１０６と、Ｘ配線との交差部がＸ配線で切断されかつＸ配線とＹ断続配線との間に隙間が形成された形状のＹ断続配線１０７とを基板上にパターン状に形成した（図２）。

この後、基板全体を硼酸アンモニアを用いたｐＨ約７の電解液に浸漬し基板の外周よりＸ配線のみに通電する方法（陽極酸化法）でＸ配線の側面を酸化し、側面に絶縁性の金属酸化膜１０６'（主成分Al_2O_3）を形成した。

次いで、例えばインジウム錫酸化物（ＩＴＯ）からなる導電性膜層１０８を、Ｘ配線とＹ断続配線との隙間が埋まるようにして絶縁性膜層１０４の上から基板全面に堆積した（図３）。この後、第二のレジストパターンを用いて図４に示すように絶縁膜上の不要な導電膜をエッチングし、Ｙ断続配線接続電極１０９を形成した。このエ

INSDOCID: <WO 0118774A1_I_>

ッチングにより、並行に配列された隣のＹ断続配線との間の導通が断たれ、かつＸＹ交差部でＸ配線により切断されたＹ断続配線同士の導通（接続）がＹ断続配線接続電極１０９により図られる構造の実施例１－１にかる電気回路基板を完成させた。

（実施例１－２）

実施例１－２では絶縁膜層１０４を堆積することなく、金属膜層１０３の上から前記第一のレジストパターン１０５を用いて、金属膜層１０３をアンダーコート膜層１０２に達するまでエッチングし、絶縁膜が積層されていないＸ配線およびＹ断続配線を作製した。

この後、上記実施例１－１と同様にして陽極酸化法を用いて、Ｘ配線の酸化を行い、Ｘ配線の側面および上面をAl_2O_3を主成分とする酸化膜で被覆した。なお、上記実施例１－１と同様な方法により、Ｘ配線の側面と上面が酸化されるのは、実施例１－２では、実施例1－１の場合と異なり、金属膜層１０３を絶縁膜層層１０４で覆わなかったからである。

次いで、この基板全面に導電性膜層（例えばＩＴＯ、Ａｌなどを使用）を堆積し、しかる後に実施例１－１と同様にして第二のレジストパターンを用いて、不要な導電膜層をエッチングにより除去した。これにより並行に配列された隣のＹ断続配線との間の導通がなく、ＸＹ交差部で切断されたＹ断続配線同士が導電性膜で接続された実施例１－２にかかる電気回路基板が完成した。

なお、実施例１－１および１－２では、陽極酸化法を用いて金属膜表面を酸化したが、この方法であると、Ｘ配線のみに選択的に金属酸化膜からなる絶縁膜を形成することができるので、生産性に優れる。

また上記図４では、Ｙ断続配線に沿った帯状の接続電極となした

3NSDOCID: <WO_____0118774A1_I_>

が、これに限られるものではなく、例えば前記第二のレジストパターンの形状を変えることにより、X配線とY断続配線の交差部分のみを覆う四角形状や丸形状の接続電極パターンとしてもよい。

（実施例２－１）

予め良く洗浄された透明ガラス基板（絶縁性基板）２０１を準備し、アンダーコート膜層２０２としてシリカ（SiO_2）膜をＣＶＤ法で０．４ミクロンの厚さに堆積した。その後ゲート電極及びゲート配線、並びにソース断続配線用のG-S金属膜層２０３としてＡｌ－Ｚｒ（９７：３）合金膜をスパッタリング法を用いて２００ｎｍ程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜層２０４としてプラズマＣＶＤ法を用いてSiN_x膜を１５０ｎｍを積層した。次いで半導体膜層２９９として、不純物を含まないアモルファスシリコン（ｉ型ａ－Ｓｉ）膜２０５を５０ｎｍと、ｎ型不純物を含むアモルファスシリコン（ｎ＋ａ－Ｓｉ）膜２０６を５０ｎｍ連続で堆積し、最後にコンタクト金属膜層２０７として、Ｔｉ金属膜をスパッタリング法を用いて１００ｎｍ程度の膜厚まで蒸着形成した後、通常の方法で第１回目のホトリソグラフィ法用の第１のレジストパターン２０８を形成した（図５）。

この後、コンタクト金属膜層２０７（Ｔｉ金属膜）、ｎ＋ａ－Ｓｉ膜層２０６、ｉ型ａ－Ｓｉ膜層２０５、ゲート絶縁膜層２０４（SiN_x膜）、およびG-S金属膜層２０３（Ａｌ－Ｚｒ膜）を順次エッチングし、ゲート電極２０３'あるいはゲート配線２０３"、ソース断続配線２０９'・２０９"、ゲート絶縁膜２０４'、半導体膜２９９（２０５'と２０６'）およびコンタクト金属膜２０７'が積層された第１のパターン２１０を形成した（図６）。

ここで、図６（ｂ）を上方からみた平面模式図を図７に示す。図

\SDOCID: <WO 0118774A1 I >

７により明らかになるように、ゲート配線２０３''は図面の手前から奥の方に延びており、ソース断続配線２０９'・２０９''は２０３''と直交する方向(図面の左右方向)に延びている。そして、ソース断続配線２０９'・２０９''は、両者の間をゲート配線２０３''が横断することにより分断されており、ゲート配線２０３''とソース断続配線２０９'・２０９''の間には一定の隙間が形成されている。この隙間は、好ましくは各層の合計厚み（エッチング深さ）と同程度の寸法とする。

なお、図６（ｂ）は、図７のＸ－Ｙ線断面図である。

次に、前記ゲート電極２０３'及びゲート配線２０３"を硼酸アンモニウムを用いたＰＨ約７の電解液中で選択的に陽極酸化してパターンの側面にAl_2O_3を主成分とする絶縁膜２１１を形成した（図８）。

この後、基板全面にインジュウム錫酸化膜（ＩＴＯ）よりなる透明導電性膜２１２をスパッタリング法を用いて１００ｎｍ程度の膜厚まで蒸着形成した（図９）。

この透明導電性膜２１２は、ドレーン領域に接続する画素透明電極２１５と、ソース領域に接続するとともに、分断されたソース断続配線同士を接続する(ソース断続配線接続電極)ためのものである。

次いで、常法により、第２回目のホトリソグラフィ法用の第２のレジストパターン２０８'（図１０）を形成した。次いで、前記透明導電性膜２１２、コンタクト金属膜２０７'、及びゲート電極上のｎ＋ａ－Ｓｉ膜２０６'の一部をｉ型-ａ－Ｓｉ膜２０５'に到達するまで順次エッチング除去して、ソース領域２１３とソース断続配線２０９'とをコンタクト電極２０７'と透明導電膜２１４とで接続するとともに、画素透明電極２１５をコンタクト電極２０７'を介してド

INSDOCID: <WO_____0118774A1_I_>

レーン領域２１６に接続した（図１１）。

これにより、分断されているソース断続配線２０９'・２０９"は、ゲート配線２０３"上の透明導電性膜２１４'及びコンタクト金属膜２０７'を介して接続される（図１１）。

最後に、印刷焼成法を用いて基板の周辺をのぞき、ＴＦＴを被うようにシリカ保護膜層２１７を３００ｎｍ形成し、その後、このシリカ保護膜パターンをマスクに外部駆動回路と接続する周辺部分の積層層よりｉ型ａ－Ｓｉ膜２０５、ゲート絶縁膜層２０４（SiN_x膜）をエッチング除去し、ゲートＧ-Ｓ金属膜２０３を露出させた（図２６参照）。これにより透過型液晶表示装置に使用可能なＴＦＴアレイ基板２１８（図２６）が作製できた。

図１２は、この実施例で作製したＴＦＴアレイ基板２１８主要部を拡大した平面模式図である。ここで、図１１(a)は、図１２におけるA-A'線断面部分であり、図１１(b)は、図１８におけるＢ－Ｂ線断面部分である。

以上に説明した本実施例によれば、ゲート配線とソース断続配線とを同一平面内に同時に形成し、ゲート配線の側面は陽極酸化により選択的に酸化し絶縁化する。そして、ゲート配線で分断されたソース断続配線は、ゲート配線の上に積層されたコンタクト金属膜および透明導電膜を介して接続される。よって、ソース断続配線抵抗が大幅に高くなることはない。また、この構造によると、ＴＦＴアレイ表面の段差を十分に小さくできる。

また、ＴＦＴアレイ基板の製造に用いるホトマスクは、従来の方法では５～７枚必要であったが、この実施例の方法によると２枚でよい。したがって、この実施例の方法によると、ＴＦＴアレイ基板の製造コストを大幅に削減できる。

NSDOCID: <WO ... 0118774A1_I_>

更に、基板への積層に際し，G-S金属膜層とゲート絶縁膜層と半導体膜層とを連続して堆積することにより、チャネル部界面の汚染の少ない高信頼性ボトムゲート型ＴＦＴアレイ基板を製造できる。

また、酸化法としては、ｐＨ７の電解液を用いた陽極酸化法を用いると、ゲート電極とこれに接続されたゲート配線の側面のみを効率良く選択的に酸化できる。しかもまた、この方法によるとピンホールのない良質の酸化膜を形成できるので、ゲートリークの少ない配線を実現することができる。

さらに、この実験例では、ソース断続配線がG-S金属膜と半導体膜とコンタクト金属膜と導電性膜の５層構造となっているので、全体としてソース断続配線抵抗が小さくなる。

更にまた、この実施例では、G-S金属膜（ゲート電極、ゲート配線、ソース断続配線）とコンタクト金属膜（コンタクト電極）との間にゲート絶縁膜と半導体膜が堆積されているので、漏電が生じにくい。

更にまた、この実施例では、半導体膜がｉ型層とｎ型層の２層構造にしてあるので、ソース及びドレーンのコンタクト抵抗を小さくできる。

更にまた、絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜層を配置したので、基板からの不純物拡散が防止される。

更にまた、上記実施例では、透過型のＴＦＴアレイ基板を作製したが、透明導電性膜に代えて、ＡｌまたはＡｌ合金等の反射率の高い金属膜を用いることにより反射型液晶表示装置に使用できる反射型のＦＴアレイ基板を作製することができる。

（実施例２－２）

次に、上記実施例２－１を用いて作成したＴＦＴアレイ基板を

BNSDOCID: <WO_____0118774A1_I_>

用いて、実際に液晶表示デバイスを製造した場合の製造プロセスについて図１３を用いて説明する。

まず、実施例２－１と同様の２枚マスクを用いて製造されたＴＦＴアレイ基板、すなわちマトリックス状に載置された第１の電極群２２１とこの電極を駆動するトランジスター群２２２を有する第１のＴＦＴアレイ基板２２３、および第１の電極群と対向するように載置したカラーフィルター群２２４と第２の電極２２５を有するカラーフィルター基板２２６上に、それぞれ通常の方法でポリイミド樹脂を塗布・硬化しラビングを行い液晶配向膜２２７を作製した。

次に、前記第１と第２の基板２２３、２２６を電極が対向するように位置合わせしてスペーサー２２８と接着剤２２９でおよそ５ミクロンのギャップで配向方向が９０度ねじれたセルを作成した。その後、前記第１と第２の基板に前記ＴＮ液晶２３０を注入した後、偏光板２３１、２３２をクロスニコルに組み合わせて表示装置を完成した。

この様なデバイスは、バックライト２３３を全面に照射しながら、ビデオ信号を用いて各々のトランジスタを駆動することで矢印Ａの方向に映像を表示できた。　このとき、ボトムゲート型ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記ＴＦＴアレイーを保護膜で被う工程を行うと信頼性の高い液晶表示装置を製造できた。

また、保護膜として、無機物であるシリカ膜またはチッ化珪素膜を用いると、さらに信頼性の高い液晶表示装置を製造できた。

さらに、透明導電性膜の代わりに金属電極膜を形成したＴＦＴアレイ基板を用いると反射型液晶表示装置を製造できた。

WSDOCID: <WO_____0118774A1_I_>

（実施例２－３）

実施例２－１と同様にして良く洗浄された透明ガラス基板２０１を準備し、アンダーコート膜層２０２としてのシリカ（SiO_2）膜を０．４ミクロンＣＶＤ法堆積した。その後ゲート電極およびゲート配線、並びにソース断続配線用のG-S金属膜層２０３としてのＡｌ－Ｚｒ（９７：３）合金膜をスパッタリング法を用いて２００ｎｍ程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜層２０４としてプラズマＣＶＤ法を用いてSiN_x膜を１５０ｎｍと、半導体膜として不純物を含まないアモルファスシリコン（ｉ型ａ－Ｓｉ）膜層２０５を２００ｎｍ、さらにｎ型不純物を含むアモルファスシリコン（ｎ＋ａ－Ｓｉ）膜層２０６を５０ｎｍ連続で堆積した。

なお、ここでは、ｎ＋ａ－Ｓｉ膜層２０６の上にコンタクト金属膜を堆積させないので、この点で前記実施例２－１と相違する。

次いで常法により第１回目のホトリソグラフィ法用の第１のレジストパターン２０８を形成した（図１４）。

その後、ｎ＋ａ－Ｓｉ膜層２０６、ｉ型ａ－Ｓｉ膜層２０５、ゲート絶縁膜層２０４（SiN_x膜）、およびG-S金属膜層２０３（Ａｌ－Ｔａ膜）を順次エッチングし、ゲート電極２０３'ゲート配線２０３"、ソース断続配線２０９'、ゲート絶縁膜２０４'、および半導体膜（２０５'＋２０６'）が積層された第１のパターン２４０を形成した（図１５）。

次に、前記ゲート電極２０３'及びゲート配線２０３"を電解液中で陽極酸化してこれらの側面にAl_2O_3を主成分とする絶縁膜２１１を形成（図１６）した後、ドレーン領域に接続した画素金属電極、およびソース領域に接続したソース断続配線同士を接続するコンタクト電極金属膜（Ｔｉ）２４１とアルミニウム膜（Ａｌ）よりなる

BNSDOCID: <WO 0118774A1 I >

金属電極膜２４２をスパッタリング法を用いてそれぞれ５０ｎｍと１００ｎｍ程度の膜厚まで蒸着形成した（図１７）。

その後、通常の方法で第２回目のホトリソグラフィ法用の第２のレジストパターン２０８'を形成した（図１８）後、前記金属電極膜２４２、コンタクト電極金属膜（Ｔｉ）２４１及びゲート電極上のｎ＋ａ－Ｓｉ膜２０６'の一部を順次エッチング除去してソース領域２１３とソース断続配線２０９'をコンタクト電極金属膜（Ｔｉ）２４１と金属電極膜パターン２４２'で接続するとともに、画素金属電極膜２４３をドレーン領域２１６と接続形成する（図１９）。このとき、予め切断され分断されているソース断続配線は２０９'はゲート配線２０３"上でコンタクト電極金属膜（Ｔｉ）２４１'と金属電極膜パターン２４２'で接続された（図１９右）。

最後に、印刷焼成法を用いて基板の外周を除き、ＴＦＴを被うように保護膜２１７を３００ｎｍ形成し；その後、このシリカ保護膜パターンをマスクに駆動回路と接続する部分のゲート電極金属上の酸化膜をエッチング除去すると画素部に反射型画素金属電極を有するＴＦＴアレイ基板２４５を作成できた（図２０）。

本実施例によれば、ソース断続配線がコンタクト金属電極および金属電極の２層を介して接続されているので、ソース断続配線を極めて低抵抗にできた。

また、反射画素金属電極にアルミニウムまたはアルミニウム系の合金（Ａｌ－Ｚｒ、Ａｇ－Ｐｄ－Ｃｕ合金等）を用いることにより、反射性能に優れたＴＦＴアレイ基板を製造できた。

また、絶縁性基板表面とゲート配線金属膜の間にゾルゲル法を用いてシリカ系のアンダーコート膜を蒸着形成することにより基板ひずみを吸収できた。

XXCID: <WO 0118774A1 I >

また、ゲート配線金属膜として、アルミニウム系の合金膜を形成すると、配線表面に凸凹が少ないＴＦＴアレイ基板を製造できた。

さらに、酸化する工程に中性溶液中で陽極酸化法を用いることによりゲート絶縁性に優れたＴＦＴアレイ基板を製造できた。

このとき、ゲート電極側面の酸化膜が中性陽極酸化膜であると信頼性が高いをＴＦＴアレイ基板を製造できた。

また、ソース断続配線の一部がゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜と金属電極膜の５層構造にするとソース断続配線の抵抗を低抵抗化できた。

さらに、ゲート電極金属とコンタクト金属電極との間にチッ化シリコン系のゲート絶縁膜と半導体膜を形成しておくと安定性に優れたＴＦＴアレイ基板を製造できた。

また、ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト金属電極および金属電極の２層を介して交差接続しておくと、ＴＦＴアレイ基板表面段差を小さくできた。

さらにまた、半導体膜の一部がｉ型層とｎ＋型層の２層構造にしておくとソース、ドレーンのコンタクト抵抗を小さくできた。

また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されていると信頼性の高いＴＦＴアレイ基板を製造できた。

（実施例２－４）

次に、実施例２－３で得られたＴＦＴアレイ基板を用いて、実際に液晶表示装置を製造した場合の製造プロセスについて図２１を用いて説明する。

まず、実施例２－３と同様の２枚マスクを用いて製造されたＴＦＴアレイ基板、すなわちマトリックス状に載置された第１の電極群３２１とこの電極を駆動するトランジスター群３２２を有する第１

BNSDOCID: <WO__ _____0118774A1_I_>

のＴＦＴアレイ基板３２３上および第１の電極群と対向するように載置したカラーフィルター群３２４と第２の電極３２５を有するカラーフィルター基板３２６上に、それぞれ通常の方法でポリイミド樹脂を塗布・硬化しラビングを行い液晶配向膜３２７を作製した。

次に、前記第１と第２の基板３２３、３２６を電極が対向するように位置合わせしてスペーサー３２８と接着剤３２９でおよそ５ミクロンのギャップでセルを作成した。さらに、前記第１と第２の基板の間に前記ＴＮ液晶３３０を注入した後、偏光板３３１をカラーフィルター側セル表面に組み合わせて反射型液晶表示素子を完成した。

この様なデバイスは、ビデオ信号を用いて各々のトランジスタを駆動することで矢印Ａの方向に映像を表示できた。

（実施例２－５）

実施例２－１と同様に、予め良く洗浄された透明ガラス基板２０１を準備し、アンダーコート膜層２０２としてシリカ（SiO_2）膜を０．４ミクロンＣＶＤ法で堆積した。その後ゲート電極及びゲート配線、並びにソース断続配線用のG･S金属膜層２０３としてＡｌ－Ｚｒ（９７：３）合金をスパッタリング法を用いて２００ｎｍ程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜層２０４としてプラズマＣＶＤ法を用いてSiN_x膜を１５０ｎｍと、半導体膜として不純物を含まないアモルファスシリコン（ｉ型ａ－Ｓｉ）膜層２０５を５０ｎｍ、さらにｎ型不純物を含むアモルファスシリコン（ｎ＋ａ－Ｓｉ）膜層２０６を５０ｎｍ連続で堆積し、最後にコンタクト金属膜層２０７として、Ｔｉ金属膜をスパッタリング法を用いて１００ｎｍ程度の膜厚まで蒸着形成した。その後、通常の方法で第１の櫛形画素電極を含む第１回目のホトリソグラフィ法用の第

INSDOCID: <WO_____0118774A1_I_>

１のレジストパターンを形成した。

その後、Ｔｉ金属膜２０７、ｎ＋ａ－Ｓｉ膜層２０６、ｉ型ａ－Ｓｉ膜層２０５、ゲート絶縁膜層（ＳｉＮｘ膜）２０４、およびＧ・Ｓ金属膜層（Ａｌ－Ｚｒ膜）２０３を順次エッチングし、ゲート電極２０３'あるいはゲート配線２０３"、ソース断続配線２０９'、ゲート絶縁膜層２０４'および半導体膜（２０５'）が積層された第１の櫛形画素金属電極２５１を含む第１のパターンを形成した。

次に、前記ゲート電極２０３'、ゲート配線２０３"、および第１の櫛形画素金属電極２５１を硼酸アンモニアを用いｐＨ７付近の電解液中で陽極酸化してパターンの側面にＡｌ$_2$Ｏ$_3$を主成分とする絶縁膜２１１を形成した。

さらに、ドレーン領域に接続した第２の櫛形画素金属電極およびソース領域に接続し、切断されたソース断続配線を接続する金属（Ａｌ）電極膜をスパッタリング法を用いて１００ｎｍ程度の膜厚まで蒸着形成した。

その後、通常の方法で第２回目のホトリソグラフィ法用の第２のレジストパターンを形成した後、前記金属電極膜２１２'、コンタクト電極２０７'、及びゲート電極上のｎ＋ａ－Ｓｉ膜２０６'の一部をｉ型・ａ－Ｓｉ膜に到達するまで順次エッチング除去してソース領域２１３とソース断続配線２０９'をコンタクト電極７と金属電極２１４'で接続するとともに、第２の櫛形画素金属電極２５２をコンタクト電極金属２０７'を介してドレーン領域２１６と接続形成した。

このとき、予め切断されているソース断続配線は２０９"、２０９"'はゲート配線２０３"上でコンタクト電極金属７'を介して金属電極膜パターン２１４'で接続された。

3NSDOCID: <WO ___ . 0118774A1 I_>

最後に、印刷焼成法を用いてＴＦＴを被うようにシリカ保護膜２１７を３００ｎｍ形成し、その後、このシリカ保護膜パターンをマスクに外部駆動回路と接続する部分のゲート電極金属上のｉ型ａ－Ｓｉ膜２０５、ＳｉＮｘ膜２０４をエッチング除去するとインプレーンスイッチング（ＩＰＳ）型液晶表示装置に使用可能なＴＦＴアレイ基板２５３を作成できた（図２２）。

このとき、ゲート配線及びゲート電極及び第１の櫛形画素電極となる部分を同時にエッチングすると、マスクを増やすことなくＩＰＳ型ＴＦＴアレイ基板を製造できた。

また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を行うと安定性に優れたＴＦＴアレイ基板を製造できた。

さらに、ゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成するとチャネル部の汚染を防止できた。

また、酸化する工程で、中性電解溶液中で陽極酸化するとゲート電極側面および第１の櫛形画素電極側面のみを選択的に酸化絶縁できた。

また、ソース断続配線の一部および第１の櫛形画素電極をゲート配線金属膜と半導体膜とコンタクト電極金属膜と金属電極膜の５層構造にしておくとソース断続配線抵抗が少ないＴＦＴアレイ基板を提供できた。

さらに、半導体膜と櫛形電極の接続にコンタクト電極金属を形成しておくと、ドレーンコンタクト抵抗の小さなＴＦＴアレイ基板を提供できた。

また、ソース断続配線がゲート配線および第１の櫛形電極により切断されておりゲート配線および第１の櫛形電極上でコンタクト電

極金属と金属電極を介して交差接続しておくと表面段差が少ないＴＦＴアレイ基板を提供できた。

また、半導体膜の一部がｉ型層とｎ型層の２層構造にしておくと、さらにコンタクト抵抗の小さなＴＦＴアレイ基板を提供できた。

また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成しておくと、基板から移動してくる不純物拡散を防止できて、信頼性の高いＴＦＴアレイ基板を提供できた。

（実施例２－６）

次に、上記ＴＦＴアレイ基板を用いて実際にＩＰＳ型液晶表示デバイスを製造しようとする場合の製造プロセスについて説明する。

まず、実施例２－５と同様の２枚マスクを用いて製造されたＩＰＳ用ＴＦＴアレイ基板、すなわちマトリックス状に載置された第１の櫛形電極群とこの電極を駆動するトランジスター群を有する第１のＴＦＴアレイ基板、および第１の電極群と対向するように載置したカラーフィルター群を有するカラーフィルター基板上に、それぞれ通常の方法で☆釈亟斉梹ｗ脂を塗布・硬化し☆陵樟ｘ#を行い液晶配向膜を作製した。

次に、前記第１と第２の基板を配向膜が対向するように位置合わせしてスペーサーと接着剤でおよそ５ミクロンのギャップでセルを作成した。その後、前記第１と第２の基板にネマティック液晶を注入した後、偏光板をクロスニコルに組み合わせて表示素子を完成した（図は図１９の第２の電極２２５を除いただけなので省略）。

この様なデバイスは、バックライトを裏面から照射しながら、ビデオ信号を用いて各々のトランジスタを駆動することで映像を表示できた。このとき、視野角は、コントラスト１０で、上下左右１６０°の広視野角が達成できた。

3NSDOCID: <WO_____0118774A1_I_>

このとき、ＩＰＳ型ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記ＴＦＴアレイ基板の一部を保護膜で被う工程を行うと信頼性の高い液晶表示装置を製造できた。

このとき、ボトムゲート型ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記ＴＦＴアレイ基板の一部を保護膜で被い、この保護膜をマスクに、金属電極膜とコンタクト電極金属膜と半導体膜とゲート絶縁膜とをエッチングしてゲート配線端子をを露出させると、低コストで液晶表示装置を製造できた。

また、保護膜として、シリカ膜またはチッ化珪素膜等の無機物を形成すると信頼性に優れた液晶表示装置を製造できた。

（実施例２－７）

実施例２－３と同様に、予め良く洗浄された透明ガラス基板２０１を準備し、アンダーコート膜層２０２としてシリカ（SiO_2）膜を０．４ミクロンＣＶＤ法堆積した。その後ゲート電極及びゲート配線、並びにソース断続配線用のG-S金属膜層２０３としてＡｌ－Ｚｒ（９７：３）合金をスパッタリング法を用いて２００ｎｍ程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜としてプラズマＣＶＤ法を用いてSiN_x膜４を１５０ｎｍと、半導体膜として不純物を含まないアモルファスシリコン（ｉ型ａ－Ｓｉ）膜２０５を２００ｎｍ、さらにｎ型不純物を含むアモルファスシリコン（ｎ＋ａ－Ｓｉ）膜２０６を５０ｎｍ連続で堆積し、通常の方法で第１の櫛形画素電極を有する第１回目のホトリソグラフィ法用の第１のレジストパターン２０８を形成した。

その後、ｎ＋ａ－Ｓｉ膜２０６、ｉ型ａ－Ｓｉ膜２０５、SiN_x膜２０４、およびＡｌ－Ｔａ膜２０３を順次エッチングし、ゲート電極２０３'あるいはゲート配線２０３"、ソース断続配線２０９'、

ゲート絶縁膜層２０４'、および半導体膜（２０５'）が積層された第１の櫛形画素電極２６１を有する第１のパターンを形成した。

次に、前記ゲート電極２０３'、ゲート配線２０３"および第１の櫛形画素電極２６１を硼酸アンモニウム電解液中で陽極酸化してパターンの側面にAl_2O_3を主成分とする絶縁膜２１１を形成した。

さらに、ドレーン領域に接続した第２の櫛形画素金属電極、およびソース領域に接続し切断されたソース断続配線を接続するコンタクト電極金属（Ｔｉ）膜２４１とアルミニウム膜（Ａｌ）よりなる金属電極膜２４２をスパッタリング法を用いてそれぞれ５０ｎｍと１００ｎｍ程度の膜厚まで蒸着形成した。

その後、通常の方法で第２の櫛形画素金属電極を有する第２回目のホトリソグラフィ法用の第２のレジストパターンを形成した後、前記金属電極膜２４２、コンタクト電極金属（Ｔｉ）４１及びゲート電極上のｎ＋ａ－Ｓｉ膜２０６'の一部を順次エッチング除去してソース領域２１３とソース断続配線２０９'をコンタクト電極金属（Ｔｉ）膜２４１'と金属電極膜パターン２４２'で接続するとともに、第２の櫛形画素金属電極２６２コンタクト金属電極を介してドレーン領域２１６と接続形成する。

このとき、予め切断されているソース断続配線は２０９'はゲート配線２０３"上でコンタクト電極金属（Ｔｉ）膜パターン２４１'と金属電極膜パターン２４２'で接続された。

最後に、印刷焼成法を用いてＴＦＴを被うように保護膜２１７を３００ｎｍ形成し、その後、このシリカ保護膜パターンをマスクに駆動回路と接続する部分のゲート電極金属上の酸化膜をエッチング除去すると画素部に第２の櫛形画素金属電極を有するＴＦＴアレイ基板２６３を作成できた（図２３）。

BNSDOCID: <WO 0118774A1 >

このとき、半導体膜をｉ型層とｎ型層の２層構造とし、ｎ型層の一部をｉ型層に達すまでエッチングするとホトマスクを増やすことなく低コストでＴＦＴアレイ基板を製造できた。

また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成すると基板から発生する不純物拡散を防止でき、信頼性の高いＴＦＴアレイ基板を製造できた。

さらに、ゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成するとチャネル部の汚染を最小限に防止でき、Ｖｔの安定したＴＦＴアレイ基板を製造できた。

また、酸化する工程に中性溶液で陽極酸化を行うとピンホールが少なく、リーク電流が少ないＴＦＴアレイ基板を製造できた。

さらにまた、ゾルゲル法を用いてＴＦＴアレイ基板の一部をシリカやシリカ含有無機物質よりなる保護膜で被っておくと信頼性の高いＴＦＴアレイ基板を製造できた。

（実施例２－８）

次に、上記ＴＦＴアレイ基板を用いて実際に液晶表示デバイスを製造しようとする場合の製造プロセスについて説明する。

まず、実施例２－７と同様の２枚マスクを用いて製造されたＩＰＳ用ＴＦＴアレイ基板、すなわちマトリックス状に載置された第１の櫛形電極群とこの電極を駆動するトランジスター群を有する第１のＴＦＴアレイ基板上および第１の電極群と対向するように載置したカラーフィルター群を有するカラーフィルター基板上に、それぞれ通常の方法でポリイミド樹脂を塗布・硬化しラビングを行い液晶配向膜を作製した。

次に、前記第１と第２の基板を配向膜が対向するように位置合わせしてスペーサーと接着剤でおよそ４ミクロンのギャップでセルを

作成した。さらに、前記第１と第２の基板の間に前記ネマチック液晶を注入した後、２枚の偏光板をクロスニコルに組み合わせて表示素子を完成した。

この様なデバイスは、バックライトを裏面から照射しながら、ビデオ信号を用いて各々のトランジスタを駆動することで映像を表示できた。このとき、視野角は、コントラスト１０で、上下左右１６０°の広視野角が達成できた。

このとき、ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記ＴＦＴアレイ基板の一部をシリカなど保護膜で被う工程を行うと、信頼性の高い液晶表示装置を製造できた。

また、金属電極およびコンタクト金属電極を同一材質で一層で形成すると、工程をより簡略化できた。

（実施例２－９）

実施例２－１と同様に、予め良く洗浄された透明ガラス基板１を準備し、アンダーコート膜層２０２としてシリカ（SiO_2）膜を０．４ミクロンＣＶＤ法で堆積した。その後ゲート電極及びゲート配線、並びにソース断続配線用の G-S 金属膜層２０３としてＡｌ－Ｚｒ（９７：３）合金をスパッタリング法を用いて２００ｎｍ程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜層２０４としてプラズマＣＶＤ法を用いてSiN_x膜を１５０ｎｍと、半導体膜として不純物を含まないアモルファスシリコン（ｉ型ａ－Ｓｉ）膜２０５を５０ｎｍ、さらにｎ型不純物を含むアモルファスシリコン（ｎ＋ａ－Ｓｉ）膜２０６を５０ｎｍ連続で堆積し、最後にコンタクト金属膜層２０７として、Ｔｉ金属膜をスパッタリング法を用いて１００ｎｍ程度の膜厚まで蒸着形成した後、通常の方法で第１回目のホトリソグラフィ法用の第１のレジストパターン２０８を形成した。

BNSDOCID: <WO_____0118774A1_I_>

その後、Ｔｉ金属膜２０７、ｎ＋ａ－Ｓｉ膜２０６、ｉ型ａ－Ｓｉ膜２０５、SiN_x膜２０４、およびＡｌ－Ｚｒ膜２０３を順次エッチングし、ゲート電極２０３'あるいはゲート配線２０３"、ソース断続配線２０９'、ゲート絶縁膜層２０４'、半導体膜（２０５'と２０６'）およびコンタクト電極金属２０７'が積層された第１のパターン２１０を形成した。

次に、前記ゲート電極３'及びゲート配線３"を硼酸アンモニアを用いｐＨ７付近の電解液中で陽極酸化してパターンの側面にAl_2O_3を主成分とする絶縁膜２１１を形成した。

さらに、ドレーン領域に接続した第１の櫛形画素金属電極およびソース領域に接続し、切断されたソース断続配線を接続する金属電極膜をスパッタリング法を用いて１００ｎｍ程度の膜厚まで蒸着形成した。

その後、通常の方法で第１の櫛形電極パターンを持つ第２回目のホトリソグラフィ法用の第２のレジストパターンを形成した後、前記透明導電性膜２１２、コンタクト電極２０７'、及びゲート電極上のｎ＋ａ－Ｓｉ膜２０６'の一部をｉ型ａ－Ｓｉ膜に到達するまで順次エッチング除去してソース領域２１３とソース断続配線２０９'をコンタクト電極２０７'と金属電極２１４"で接続するとともに、第１の櫛形画素金属電極７１をコンタクト電極金属２０７'を介してドレーン領域２１６と接続形成する。

このとき、予め切断されているソース断続配線は２０９"、２０９"'はゲート配線２０３"上でコンタクト電極金属２０７'を介して金属電極２１４"で接続された。

次に、ゾルゲル法を用いてＴＦＴを被うようにシリカ保護膜２１７を３００ｎｍ印刷・焼成形成し、その後、このシリカ保護膜パタ

ISDOCID: <WO_____0118774A1 I_>

ーンをマスクに外部駆動回路と接続する部分のゲート電極金属上のｉ型ａ－Ｓｉ膜２０５、ＳｉＮｘ膜２０４をエッチング除去した。

その後、全面にＡｌ－Ｚｒ合金を１５０ｎｍの膜厚で蒸着形成し、第２の櫛形電極パターンを有するホトマスクを用いて第２の櫛形画素金属電極２７２を形成しＩＰＳ用透過型液晶表示装置に使用可能なＴＦＴアレイ基板２７３をホトマスク３枚で作成できた（図２４）。

このとき、半導体膜がｉ型層とｎ型層の２層構造であり、ｎ型層の一部をｉ型層に達するまでエッチングするとＴＦＴの工程を簡略化できた。

また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成すると特性の安定したＴＦＴアレイ基板を製造できた。

さらに、少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成するとチャネル界面の汚染を防止できた。

また、酸化する工程に陽極酸化法を用いるとピンホールが少ない絶縁膜を作成できゲートリークが少ないＴＦＴアレイ基板を製造できた。

このとき、ゲート電極側面の酸化膜を陽極酸化膜で形成しておくとリーク特性の優れたＴＦＴアレイ基板を製造できた。

また、ソース断続配線の一部をゲート配線金属膜と半導体膜とコンタクト電極金属膜と金属電極膜の５層構造にしておくと、ソース断続配線抵抗を小さくできて、特性ばらつきの少ないＴＦＴアレイ基板を製造できた。

さらに、半導体膜とソース及びドレーン電極の間にコンタクト電極金属を形成されていると内部抵抗の少ないＴＦＴアレイ基板を製造できた。

また、ソース断続配線がゲート配線により切断されておりゲート

BNSDOCID: <WO__ ___0118774A1 I >

配線上でコンタクト電極金属と金属電極を介して交差接続するとソース断続配線抵抗の小さなＴＦＴアレイ基板を製造できた。

また、半導体膜の一部をｉ型層とｎ型層の２層構造にしておくとｎ型不純物拡散工程を省略できた。

また、絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されていると基板からのひずみの影響を少なくできた。

（実施例２－１０）

次に、上記実施例２－９を用いて作成したＴＦＴアレイ基板を用いて、実際に液晶表示デバイスを製造した場合の製造プロセスについて説明する。

まず、実施例２－９と同様の２枚マスクを用いて製造されたＴＦＴアレイ基板、すなわちマトリックス状に載置された第１の電極群２２１とこの電極を駆動するトランジスター群２２を有する第１のＴＦＴアレイ基板２２３、および第１、第２の櫛形電極群と対向するように載置したカラーフィルター群２２４を有するカラーフィルター基板２２６上に、それぞれ通常の方法でポリイミド樹脂を塗布・硬化しラビングを行い液晶配向膜２２７を作製した。

次に、前記第１と第２の基板２２３、２２６を電極が対向するように位置合わせしてスペーサー２２８と接着剤２２９でおよそ５ミクロンのギャップで配向方向が９０度ねじれたセルを作成した。その後、前記第１と第２の基板に前記ＴＮ液晶２３０を注入した後、偏光板２３１、２３２をクロスニコルに組み合わせて表示素子を完成した（本図は図２１と同様なため省略した）。

この様なデバイスは、バックライトを裏面から照射しながら、ビデオ信号を用いて各々のトランジスタを駆動することで映像を表示できた。このとき、視野角は、コントラスト２１０で、上下左右１

NSDOCID: <WO 0118774A1 I >

６０°の広視野角が達成できた。

このとき、ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記ＴＦＴアレイ基板の一部をシリカなど保護膜で被う工程を行うと、信頼性の高い液晶表示装置を製造できた。

（実施例２－１１）

実施例２－８と同様に、予め良く洗浄された透明ガラス基板１を準備し、アンダーコート膜層２０２としてシリカ（SiO_2）膜を０．４ミクロンＣＶＤ法で堆積した。その後ゲート電極及びゲート配線、並びにソース断続配線用の G-S 金属膜層２０３としてＡｌ－Ｚｒ（９７：３）合金をスパッタリング法を用いて２００ｎｍ程度の膜厚まで蒸着形成した。その後、ゲート絶縁膜層４としてプラズマＣＶＤ法を用いてSiN_x膜を１５０ｎｍと、半導体膜として不純物を含まないアモルファスシリコン（ｉ型ａ－Ｓｉ）膜２０５を５０ｎｍ、さらにｎ型不純物を含むアモルファスシリコン（ｎ＋ａ－Ｓｉ）膜２０６を５０ｎｍ連続で堆積し、通常の方法で第１回目のホトリソグラフィ法用の第１のレジストパターン２０８を形成した。

その後、ｎ＋ａ－Ｓｉ膜２０６、ｉ型ａ－Ｓｉ膜２０５、SiN_x膜２０４、およびＡｌ－Ｚｒ膜２０３を順次エッチングし、ゲート電極２０３'あるいはゲート配線２０３"、ソース断続配線２０９'、ゲート絶縁膜層２０４'、および半導体膜（２０５'と２０６'）が積層された第１のパターン２１０を形成した。

次に、前記ゲート電極２０３'及びゲート配線２０３"を硼酸アンモニアを用いｐＨ７付近の電解液中で陽極酸化してパターンの側面にAl_2O_3を主成分とする絶縁膜２１１を形成した。

さらに、ドレーン領域に接続した第１の櫛形画素金属電極およびソース領域に接続し、切断されたソース断続配線を接続するコンタ

BNSDOCID: <WO_____0118774A1_I_>

クト金属膜層２０７として、Ｔｉ金属膜をスパッタリング法を用いて１００ｎｍ程度の膜厚まで蒸着形成した後、金属電極膜としてをスパッタリング法を用いてＡｌ－Ｚｒ膜を１００ｎｍ程度の膜厚まで蒸着形成した。

その後、通常の方法で第１の櫛形電極パターンを持つ第２回目のホトリソグラフィ法用の第２のレジストパターンを形成した後、前記透明導電性膜１２、コンタクト電極７'、及びゲート電極上のｎ＋ａ－Ｓｉ膜６'の一部をｉ型ａ－Ｓｉ膜に到達するまで順次エッチング除去してソース領域１３とソース断続配線 209'をコンタクト電極２０７'と金属電極１４"で接続するとともに、第１の櫛形画素金属電極８１をコンタクト電極金属７'を介してドレーン領域１６と接続形成する。

このとき、予め切断されているソース断続配線は９"、９"'はゲート配線３"上でコンタクト電極金属７'と金属電極１４"の２層構造で接続された。

次に、ゾルゲル法を用いてＴＦＴを被うようにシリカ保護膜１７を３００ｎｍ印刷・焼成形成し、その後、このシリカ保護膜パターンをマスクに外部駆動回路と接続する部分のゲート電極金属上のｉ型ａ－Ｓｉ膜５、SiN_x膜４をエッチング除去した。

最後に、もう一度全面にＡｌ－Ｚｒ合金を１５０ｎｍの膜厚で蒸着形成し、第２の櫛形電極パターンを有するホトマスクを用いて第２の櫛形画素金属電極８２を形成しＩＰＳ用透過型液晶表示装置に使用可能なＴＦＴアレイ基板８３をホトマスク３枚で作成できた（図２５）。

このことにより、少なくともソース断続配線が金属電極とコンタクト電極金属との２層構造で接続されているのでソース断続配線抵

INSDOCID: <WO_____0118774A1_I_>

抗を小さくできて、画像表示特性に優れたＴＦＴアレイ基板を製造できた。

（実施例２－１２）

次に、上記実施例２－１１を用いて作成したＴＦＴアレイ基板を用いて、実際に液晶表示デバイスを製造した場合の製造プロセスについて説明する。

まず、実施例２－９と同様の２枚マスクを用いて製造されたＴＦＴアレイ基板、すなわちマトリックス状に載置された第１の電極群２２１とこの電極を駆動するトランジスター群２２２を有する第１のＴＦＴアレイ基板２２３、および第１、第２の櫛形電極群と対向するように載置したカラーフィルター群２２４を有するカラーフィルター基板２２６上に、それぞれ通常の方法でポリイミド樹脂を塗布・硬化しラビングを行い液晶配向膜２２７を作製した。

次に、前記第１と第２の基板２２３、２２６を電極が対向するように位置合わせしてスペーサー２２８と接着剤２２９でおよそ５ミクロンのギャップで配向方向が９０度ねじれたセルを作成した。その後、前記第１と第２の基板に前記ＴＮ液晶２３０を注入した後、偏光板２３１、２３２をクロスニコルに組み合わせて表示素子を完成した。

この様なデバイスは、バックライトを裏面から照射しながら、ビデオ信号を用いて各々のトランジスタを駆動することで映像を表示できた。このとき、視野角は、コントラスト１０で、上下左右１６０°の広視野角が達成できた。

このとき、ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記ＴＦＴアレイ基板の一部をシリカなど保護膜で被う工程を行うと、信頼性の高い液晶表示装置を製造できた（本図

BNSDOCID: <WO_____0118774A1_I_>

は図２１と同様なため省略した）。

産業上の利用可能性

以上説明した通り、本発明によれば、平面交差型のＸ・Ｙ配線を有する電気回路基板を極めて生産性よく製造することができる。このような電気回路基板は広汎な電子デバイス用途において使用することができる。また、このような電気回路基板を応用した本発明にかかるＴＦＴアレイ基板は、ホトマスク２枚で製造することができるので、ＴＦＴアレイ基板の製造コストを大幅に低減させることができる。更にこのようなＴＦＴアレイ基板を用いることにより、液晶表示装置をより安価に提供できるという効果を生む。よって、本発明の産業上の意義は大きい。

WSDOCID: <WO 0118774A1 I >

請求の範囲

1.

絶縁性基板上の同一平面内に同一の導電性金属膜よりそれぞれ形成された、X配線と、前記X配線と交差し交差部分が前記X配線により切断されX配線と離隔されたY断続配線と、を有し、

前記X配線の側面および上面が、絶縁性膜で覆われ、

前記絶縁性膜で覆われたX配線により切断され離隔されたY断続配線同士が、前記絶縁性膜上に形成されたY断続配線接続電極により電気的に接続されている、

ことを特徴とする電気回路基板。

2.

請求項1の電気回路基板において、

少なくとも前記X配線の側面の絶縁性膜は、前記導電性金属膜が酸化されてなる金属酸化膜である、ことを特徴とする電気回路基板。

3.

請求項2の電気回路基板において、

前記金属酸化膜は、陽極酸化法で形成された陽極酸化膜である、ことを特徴とする電気回路基板。

4.

絶縁性基板上に導電性金属膜層を堆積する第一の工程と、

前記導電性金属膜層をエッチングし、X配線と、前記X配線に交差し交差部分が前記X配線により切断されX配線と離隔されたY断続配線とを同一平面内に同時に形成する第二の工程と、

前記第二の工程の後、前記X配線の側面と上面を酸化し、当該側面と上面を絶縁性の金属酸化膜で被覆する第三の工程と、

前記第三の工程の後、少なくとも前記交差部分を覆うように導電

BNSDOCID: <WO_____0118774A1_I_>

性膜層を堆積し、前記X配線により切断され離隔されたY断続配線同士を電気接続する第四の工程と、

を備えた電気回路基板の製造方法。

5.

請求項4の電気回路基板の製造方法において、

前記第二の工程におけるX配線の酸化を陽極酸化法で行う、ことを特徴とする電気回路基板の製造方法。

6.

絶縁性基板上に少なくとも導電性金属膜層と絶縁性膜層を順次堆積する第一の工程と、

前記絶縁性膜層と前記導電性金属膜層とを含む層をエッチングし、同一平面内に、X配線と、前記X配線に交差し交差部分において前記X配線により切断されX配線と離隔されたY断続配線と、を同一平面内に同時に形成する第二の工程と、

前記第二の工程の後、前記X配線の側面を酸化し、当該側面を絶縁性の金属酸化膜で被覆する第三の工程と、

前記第三の工程の後、少なくとも前記交差部分を覆うように導電性膜層を堆積し、前記X配線により切断され離隔されたY断続配線同士を電気接続する第四の工程と、

を備えた電気回路基板の製造方法。

7.

請求項6の電気回路基板の製造方法において、

前記第二の工程におけるX配線の側面の酸化を陽極酸化法で行う、ことを特徴とする電気回路基板の製造方法。

NSDOCID: <WO 0118774A1 I_>

8．

基板上に直接またはアンダーコート膜層を介して形成され、かつ側面が絶縁性膜で覆われたゲート電極と、

前記ゲート電極上に積層されたゲート絶縁膜と、

前記ゲート絶縁膜上に積層された、ソース領域とドレイン領域と両領域に挟まれたチャネル領域とを有する半導体膜と、

前記半導体膜のソース領域上に積層されたソースコンタクト電極と、

前記半導体膜のドレイン領域上に積層されたドレインコンタクト電極と、

前記ドレインコンタクト電極を介して前記半導体膜のドレイン領域に接続された画素電極と、

前記ゲート電極に接続され、側面と上面が絶縁性膜で覆われたゲート配線と、

前記ゲート配線と同一平面内に形成され、同一平面内で前記ゲート配線と交差し、当該交差部において前記ゲート配線で切断され離隔された形状のソース断続配線と、

ゲート配線で切断され離隔されたソース断続配線同士を、ゲート配線の上方を経由して電気接続するソース線接続電極と、

を有するボトムゲート型ＴＦＴアレイ基板。

9．

前記画素電極と前記ソース線接続電極とが、同質の透明導電膜材料で構成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

10．

請求項9のボトムゲート型ＴＦＴアレイ基板において、

3NSDOCID: <WO_____0118774A1_I_>

前記ソース断続配線は、ソース断続配線、ゲート絶縁膜、半導体膜、コンタクト金属膜、透明導電膜の各膜からなる５層構造のソース断続配線区画パターンの最下層に位置し、

前記ゲート配線は、ゲート配線、ゲート絶縁膜、半導体膜、コンタクト金属膜、透明導電膜からなる５層構造のゲート配線区画パターンの最下層に位置し、

かつ前記ソース断続配線と前記ゲート配線とは、前記基板上の同一平面内に存在している、

ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

１１．

請求項１０のボトムゲート型ＴＦＴアレイ基板において、

少なくとも前記ゲート配線の側面の絶縁性膜は、前記導電性金属膜の酸化膜からなる、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

１２．

請求項１１のボトムゲート型ＴＦＴアレイ基板において、

前記酸化膜は、陽極酸化法で形成された陽極酸化膜である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

１３．

請求項１１のボトムゲート型ＴＦＴアレイ基板において、

半導体膜が、ｉ型アモルファスシリコン層とｎ型アモルファスシリコン層の２層構造である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

１４．

請求項９のボトムゲート型ＴＦＴアレイ基板において、

前記透明導電膜材料に代えて、光反射性の導電膜材料が用いられ

NSDOCID: <WO 0118774A1 | >

ている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

１５．

少なくとも絶縁性基板表面に、ゲート電極とゲート配線とソース断続配線とを形成するためのＧ-Ｓ金属膜層と、ゲート絶縁膜層と、半導体膜層と、コンタクト金属膜層とを順次堆積する（Ａ）工程と、

前記(A)工程の後、第１のレジストパターンを用いたフォトリソグラフィ法で、前記各層を前記絶縁性基板表面に達するまでエッチングし、ゲート電極とこの上に順次積層されたゲート金属膜とゲート絶縁膜と半導体膜とコンタクト金属膜を含むゲート電極区画パターンと、前記ゲート電極に接続されたゲート配線とこの上に順次積層されたゲート金属膜とゲート絶縁膜と半導体膜とコンタクト金属膜を含むゲート配線区画パターンと、前記ゲート配線との交差部で切断され離隔されたソース断続線とこの上に順次積層されたゲート金属膜とゲート絶縁膜と半導体膜とコンタクト金属膜を含むソース断続線区画パターンと、を形成する（Ｂ）工程と、

前記（Ｂ）工程の後、ゲート電極区画パターン上のコンタクト金属膜部分を前記半導体膜面に到達するまでエッチングして前記半導体膜上に、前記ゲート電極およびゲート配線の側面を酸化して電気絶縁性の金属酸化膜を生成させる（Ｃ）工程と、

前記（Ｃ）工程の後、前記コンタクト金属膜の上から基板全面に透明導電膜層を堆積し、少なくとも前記ソース断続配線相互が導電膜を介して電気的に接続されるようにする（Ｅ）工程と、

前記（Ｅ）工程の後、第２のレジストパターンを用いたフォトリソグラフィ法で、前記透明導電膜層を所定のパターンにエッチングし画素電極を形成するとともに、更にこのエッチングにより露出させたチャネル領域を形成する（Ｆ）工程と、

DOCID: <WO_____0118774A1_I_>

を備えたボトムゲート型ＴＦＴアレイ基板の製造方法。

１６．

請求項項１５のボトムゲート型ＴＦＴアレイ基板の製造方法において、

前記ゲート配線の側面の酸化を陽極酸化法で行う、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

１７．

請求項１５のボトムゲート型ＴＦＴアレイ基板の製造方法において、

前記半導体膜層が、ｎ型アモルファスシリコン層とｉ型アモルファスシリコン層との２層構造であり、前記（Ｆ）工程におけるゲート電極区画パターン上のコンタクト金属膜部分のエッチングが、コンタクト金属膜の一部とこれに続くｎ型アモルファスシリコン層の一部分をｉ型アモルファスシリコン層に到達するまで行うエッチングである、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

１８．

請求項１５のボトムゲート型ＴＦＴアレイ基板の製造方法において、

前記（Ｅ）工程における前記透明導電膜層に代えて、光反射性の導電膜層を積層する、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

１９．

基板上に直接またはアンダーコート膜層を介して形成され、かつ側面が絶縁性膜で覆われたゲート電極と、前記ゲート電極上に積層されたゲート絶縁膜と、前記ゲート絶縁膜上に積層された、ソース

領域とドレイン領域と両領域に挟まれたチャネル領域とを有する半導体膜と、前記半導体膜のソース領域上に積層されたソースコンタクト電極と、前記半導体膜のドレイン領域上に積層されたドレインコンタクト電極と、前記ドレインコンタクト電極を介して前記半導体膜のドレイン領域に接続された画素電極と、前記ゲート電極に接続され、側面と上面が絶縁性膜で覆われたゲート配線と、前記ゲート配線と同一平面内に形成され、同一平面内で前記ゲート配線と交差し、当該交差部において前記ゲート配線で切断され離隔された形状のソース断続配線と、

ゲート配線で切断されたソース断続配線同士を、ゲート配線の上方を経由して電気接続するソース線接続電極と、を有するボトムゲート型ＴＦＴアレイ基板と、

対向基板と、をＴＦＴの形成された面を内側にして所定のギャップで対向させ、当該ギャップの間に液晶を保持させた液晶表示装置。

２０．

請求項１９の液晶表示装置において、

ＴＦＴアレイ基板の表面が保護膜で保護されている、ことを特徴とする液晶表示装置。

２１．

請求項２０の液晶表示装置において、

前記保護膜が、シリカ膜または窒化珪素膜である、ことを特徴とする液晶表示装置。

２２．

請求項１９の液晶表示装置において、

前記画素電極が、透明金属膜で構成されている、ことを特徴とす

WSDOCID: <WO_____0118774A1_I_>

る液晶表示装置。

２３．

請求項１９の液晶表示装置において、

前記画素電極が、光反射性金属膜で構成されている、ことを特徴とする液晶表示装置。

２４．

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と反射画素金属電極群を備えたボトムゲート型ＴＦＴアレイ基板であって、

少なくともゲート電極およびゲート配線の側面が酸化されており、反射画素金属電極がコンタクト金属電極と他の金属電極膜との２層構造でありコンタクト金属電極を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および金属電極の２層を介してＴＦＴのソース領域に接続されていることを特徴とするボトムゲート型ＴＦＴアレイ基板。

２５．

請求項２４のボトムゲート型ＴＦＴアレイ基板において、

反射画素金属電極群がアルミニウムまたはアルミニウム系の合金である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

２６．

請求項２４のボトムゲート型ＴＦＴアレイ基板において、

ソース断続配線の一部がコンタクト電極金属膜とアルミニウム系の金属電極膜の２層構造となっている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

２７．

請求項２４のボトムゲート型ＴＦＴアレイ基板において、

ゲート電極金属とコンタクト金属電極との間にゲート絶縁膜と半

導体膜が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

２８．

請求項２４のボトムゲート型ＴＦＴアレイ基板において、

ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト金属電極および金属電極の２層を介して交差接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

２９．

請求項２４のボトムゲート型ＴＦＴアレイ基板において、

半導体膜の一部がｉ型層とｎ＋型層の２層構造である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

３０．

請求項２４のボトムゲート型ＴＦＴアレイ基板において、

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

３１．

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンでエッチングする工程と、を含むことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

SDOCID: <WO____0118774A1_I_>

３２．

請求項３１のボトムゲート型ＴＦＴアレイ基板の製造方法において、

金属電極膜としてアルミニウムまたはアルミニウム系の合金膜を形成する、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

３３．

請求項３１のボトムゲート型ＴＦＴアレイ基板の製造方法において、

絶縁性基板表面とゲート配線金属膜の間にシリカ系のアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

３４．

請求項３１のボトムゲート型ＴＦＴアレイ基板の製造方法において、

少なくともゲート配線金属膜としてアルミニウム系の合金膜を形成する、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

３５．

請求項３１のボトムゲート型ＴＦＴアレイ基板の製造方法において、

酸化する工程に中性溶液中で陽極酸化法を用いる、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

３６．

少なくともゲート電極およびゲート配線側面が酸化されており、反射画素金属電極がコンタクト金属電極と他の金属電極膜との２層

構造でありコンタクト金属電極を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および金属電極の２層を介してＴＦＴのソース領域に接続されているボトムゲート型ＴＦＴアレイ基板のアレイ側と対向透明電極が形成されたカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜を介して液晶が挟まれている、ことを特徴とする液晶表示装置。

３７．

請求項３６の液晶表示装置において、

少なくともＴＦＴアレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

３８．

請求項３７の液晶表示装置において、

保護膜が無機物である、ことを特徴とする液晶表示装置。

３９．

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンでエッチングする工程とによりボトムゲート型ＴＦＴアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、対向透明電極が形成されカラーフィルター基板の対向電極側表面に配向膜を形成する工程と前記２つの配向膜をそれぞ

ISDOCID: <WO_____0118774A1_I_>

れ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第１と第２の基板の間に所定の液晶を注入する工程と、を含むことを特徴とした液晶表示装置の製造方法。

４０．

請求項３９の液晶表示装置の製造方法において、

ボトムゲート型ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記ＴＦＴアレイの一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

４１．

請求項３９の液晶表示装置の製造方法において、

金属電極およびコンタクト金属電極が同一材質で一層で形成されている、ことを特徴とする液晶表示装置の製造方法。

４２．

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画素金属電極群を備えたＴＦＴアレイ基板であって、

少なくともゲート電極およびゲート配線側面および第１の櫛形画素電極側面が酸化されており、第２の櫛形画素金属電極がコンタクト電極金属を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してＴＦＴのソース領域に接続されていることを特徴とするボトムゲート型ＴＦＴアレイ基板。

４３．

請求項４２のボトムゲート型ＴＦＴアレイ基板において

ゲート電極側面および第１の櫛形画素電極側面の酸化膜が陽極酸化膜である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

４４．

請求項４２のボトムゲート型ＴＦＴアレイ基板において

ソース断続配線の一部および第１の櫛形画素電極がゲート配線金属膜と半導体膜とコンタクト電極金属膜と金属電極膜の５層構造となっている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

４５．

請求項４２のボトムゲート型ＴＦＴアレイ基板において

半導体膜と櫛形電極の接続にコンタクト電極金属が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

４６．

請求項４２のボトムゲート型ＴＦＴアレイ基板において

ソース断続配線がゲート配線および第１の櫛形電極により切断されておりゲート配線および第１の櫛形電極上でコンタクト電極金属と金属電極を介して交差接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

４７．

請求項４２のボトムゲート型ＴＦＴアレイ基板において

半導体膜の一部がｉ型層とｎ型層の２層構造である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

４８．

請求項４２のボトムゲート型ＴＦＴアレイ基板において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

４９．

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグ

3NSDOCID: <WO__ 0118774A1 I >

ラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極及び第１の櫛形画素電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程とを含むことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

５０．

請求項４９のボトムゲート型ＴＦＴアレイ基板の製造方法において

ゲート配線及びゲート電極及び第１の櫛形画素電極となる部分を同時にエッチングする、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

５１．

請求項４９のボトムゲート型ＴＦＴアレイ基板の製造方法において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

５２．

請求項４９のボトムゲート型ＴＦＴアレイ基板の製造方法において

少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成する、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

５３．

請求項４９のボトムゲート型ＴＦＴアレイ基板の製造方法において

酸化する工程に陽極酸化法を用いる、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

５４．

少なくともゲート電極およびゲート配線側面および第１の櫛形電極側面が酸化されており、第２の櫛形画素金属電極がコンタクト電極金属を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してＴＦＴのソース領域に接続されているボトムゲート型ＴＦＴアレイ基板基板の電極側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜として液晶が挟まれている、ことを特徴とする液晶表示装置。

５５．

請求項５４の液晶表示装置において

少なくともＴＦＴアレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

５６．

請求項５５の液晶表示装置において

保護膜が無機物である、ことを特徴とする液晶表示装置。

５７．

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする

3NSDOCID: <WO 0118774A1 I >

工程と、ゲート配線及びゲート電極及び第１の櫛形画素電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程とによりボトムゲート型ＴＦＴアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板の表面に配向膜を形成する工程と前記２つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第１と第２の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

５８．

請求項５７の液晶表示装置の製造方法において

ボトムゲート型ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記ＴＦＴアレイの一部を保護膜で被う工程と、この保護膜をマスクに、金属電極膜とコンタクト電極金属膜と半導体膜とゲート絶縁膜とをエッチングしてゲート配線端子を露出させる工程を含む、ことを特徴とする液晶表示装置の製造方法。

５９．

請求項５８の液晶表示装置の製造方法において

ボトムゲート型ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に、少なくとも前記ＴＦＴアレイの一部を保護膜で被い、この保護膜をマスクにエッチングしてゲート配線端子を露出させると、保護膜として、シリカ膜またはチッ化珪素膜を形成する、ことを特徴とする液晶表示装置の製造方法。

６０．

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画

素金属電極群を備えたＴＦＴアレイ基板であって、

少なくともゲート電極およびゲート配線側面が酸化されており、櫛形反射画素金属電極がコンタクト金属電極と他の金属電極膜との２層構造でありコンタクト金属電極を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および金属電極の２層を介してＴＦＴのソース領域に接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

６１．

請求項６０のボトムゲート型ＴＦＴアレイ基板において

ゲート電極にアルミニウム系の金属を用い、側面の絶縁膜が陽極酸化膜である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

６２．

請求項６０のボトムゲート型ＴＦＴアレイ基板において

ソース断続配線の一部がゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜と金属電極膜の５層構造となっている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

６３．

請求項６０のボトムゲート型ＴＦＴアレイ基板において

ソース電極および櫛形電極と半導体膜の間にコンタクト金属電極を形成しておく、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

６４．

請求項６０のボトムゲート型ＴＦＴアレイ基板において

ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト金属電極および金属電極の２層を介して交差接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

INSDOCID: <WO 0118774A1 I >

６５．

請求項６０のボトムゲート型ＴＦＴアレイ基板において

半導体膜の一部がｉ型層とｎ型層の２層構造である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

６６．

請求項６０のボトムゲート型ＴＦＴアレイ基板において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

６７．

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極および第１の櫛形電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンでエッチングする工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

６８．

請求項６７のボトムゲート型ＴＦＴアレイ基板の製造方法において

半導体膜がｉ型層とｎ型層の２層構造であり、ｎ型層の一部をｉ型層に達するまでエッチングする、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

６９．

請求項６７のボトムゲート型ＴＦＴアレイ基板の製造方法において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

７０．

請求項６７のボトムゲート型ＴＦＴアレイ基板の製造方法において

少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成する、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

７１．

請求項６７のボトムゲート型ＴＦＴアレイ基板の製造方法において

酸化する工程に陽極酸化法を用いる、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

７２．

少なくともゲート電極およびゲート配線側面が酸化されており、第１の櫛形画素金属電極がコンタクト金属電極と他の金属電極膜との２層構造でありコンタクト金属電極を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト金属電極および金属電極の２層を介してＴＦＴのソース領域に接続されているボトムゲート型ＴＦＴアレイ基板のアレイ側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜を介して液晶が挟まれている、ことを特徴とする液晶表示装置。

７３．

請求項７２の液晶表示装置において

少なくともＴＦＴアレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

７４．

請求項７２の液晶表示装置において

保護膜が無機物である、ことを特徴とする液晶表示装置。

７５．

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極および第１の櫛形電極となる部分のゲート配線金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜および金属電極膜とを形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンでエッチングする工程とによりボトムゲート型ＴＦＴアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板の対向電極側表面に配向膜を形成する工程と前記２つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第１と第２の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

７６．

請求項７５の液晶表示装置の製造方法において

ボトムゲート型ＴＦＴアレイ基板を製造する工程の後、配向膜形成の前に少なくとも前記ＴＦＴアレイの一部を保護膜で被う工程を

含む、ことを特徴とする液晶表示装置の製造方法。

77.

請求項75の液晶表示装置の製造方法において

金属電極およびコンタクト金属電極が同一材質で一層で形成されている、ことを特徴とする液晶表示装置の製造方法。

78.

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画素電極群を備えたTFTアレイ基板であって、

少なくともゲート電極およびゲート配線側面が酸化されており、第1の櫛形画素極がコンタクト電極金属を介してTFTのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してTFTのソース領域に接続されており、さらに絶縁膜を介して第2の櫛形の対向電極が形成されている、ことを特徴とするボトムゲート型TFTアレイ基板。

79.

請求項78のボトムゲート型TFTアレイ基板において

ゲート電極側面の酸化膜が陽極酸化膜である、ことを特徴とするボトムゲート型TFTアレイ基板。

80.

請求項78のボトムゲート型TFTアレイ基板において

ソース断続配線の一部がゲート配線金属膜と半導体膜とコンタクト電極金属膜と金属電極膜の5層構造となっている、ことを特徴とするボトムゲート型TFTアレイ基板。

81.

請求項78のボトムゲート型TFTアレイ基板において

半導体膜とソース及びドレーン電極の間にコンタクト電極金属が

形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

８２．

請求項７８のボトムゲート型ＴＦＴアレイ基板において

ソース断続配線がゲート配線により切断されておりゲート配線上でコンタクト電極金属と金属電極を介して交差接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

８３．

請求項７８のボトムゲート型ＴＦＴアレイ基板において

半導体膜の一部がｉ型層とｎ型層の２層構造である、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

８４．

請求項７８のボトムゲート型ＴＦＴアレイ基板において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

８５．

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程と、さらに、絶縁膜を介して第２の櫛形対向電極を第３のパターンで形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製

造方法。

８６．

請求項８５のボトムゲート型ＴＦＴアレイ基板の製造方法において

半導体膜がｉ型層とｎ型層の２層構造であり、ｎ型層の一部をエッチングする、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

８７．

請求項８５のボトムゲート型ＴＦＴアレイ基板の製造方法において

絶縁性基板表面とゲート配線金属膜の間にアンダーコート膜を形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

８８．

請求項８５のボトムゲート型ＴＦＴアレイ基板の製造方法において

少なくともゲート配線金属膜とゲート絶縁膜と半導体膜を連続して形成する、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

８９．

請求項８５のボトムゲート型ＴＦＴアレイ基板の製造方法において

酸化する工程に陽極酸化法を用いる、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

９０．

少なくともゲート電極およびゲート配線側面が酸化されており、

第１の櫛形画素金属電極がコンタクト電極金属を介してＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してＴＦＴのソース領域に接続されており、さらに絶縁膜を介して第２の櫛形の対向電極が形成されているボトムゲート型ＴＦＴアレイ基板の電極側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜として液晶が挟まれている、ことを特徴とする液晶表示装置。

９１．

請求項９０の液晶表示装置において

少なくともＴＦＴアレイの一部が保護膜で被われている、ことを特徴とする液晶表示装置。

９２．

請求項９１の液晶表示装置において

保護膜が無機物である、ことを特徴とする液晶表示装置。

９３．

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜とコンタクト電極金属膜を形成する工程と、フォトリソグラフィ法を用いて前記コンタクト電極金属膜と半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程と、保護膜を介して第２の櫛形の対向電極を第３のパターンで形成する工程とによりボトムゲートＴＦＴアレイ基板を製造する工程と、さらにそ

の上に配向膜を形成する工程と、カラーフィルター基板のカラーフィルター側表面に配向膜を形成する工程と前記２つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第１と第２の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

９４．

請求項９３の液晶表示装置の製造方法において

第２の櫛形対向電極形成後、少なくとも前記第２の櫛形対向電極の一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

９５．

請求項９３の液晶表示装置の製造方法において

保護膜として、シリカ膜またはチッ化珪素膜を形成する、ことを特徴とする液晶表示装置の製造方法。

９６．

ソース断続配線とゲート配線とゲート絶縁膜と半導体膜と櫛形画素電極群を備えたＴＦＴアレイ基板であって、

少なくともゲート電極およびゲート配線側面が酸化されており、第１の櫛形画素金属電極がコンタクト電極金属との２層構造でＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してＴＦＴのソース領域に接続されており、さらに絶縁膜を介して第２の櫛形の対向電極が形成されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

９７．

請求項９６のボトムゲート型ＴＦＴアレイ基板において

少なくともソース断続配線が金属電極とコンタクト電極金属との

2層構造で接続されている、ことを特徴とするボトムゲート型ＴＦＴアレイ基板。

９８．

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜と金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程と、さらに、絶縁膜を介して第２の櫛形対向電極を第３のパターンで形成する工程を含む、ことを特徴とするボトムゲート型ＴＦＴアレイ基板の製造方法。

９９．

少なくともゲート電極およびゲート配線側面が酸化されており、第１の櫛形画素極がコンタクト電極金属と２層構造でＴＦＴのドレーン領域に接続されており、ソース断続配線がコンタクト電極金属および金属電極を介してＴＦＴのソース領域に接続されており、さらに絶縁膜を介して第２の櫛形の対向電極が形成されているボトムゲート型ＴＦＴアレイ基板の電極側とカラーフィルター基板のカラーフィルター側が対向するように所定の間隙を保ちつつ張り合わされており、前記間隙に配向膜として液晶が挟まれている、ことを特徴とする液晶表示装置。

１００．

少なくとも絶縁性基板表面にゲート配線金属膜とゲート絶縁膜と半導体膜を形成する工程と、フォトリソグラフィ法を用いて前記半

導体膜とゲート絶縁膜とゲート配線金属膜とを第１のパターンで順次エッチングする工程と、ゲート配線及びゲート電極となる部分の金属膜パターンの側面を酸化する工程と、コンタクト電極金属膜と金属電極膜を形成する工程と、フォトリソグラフィ法を用いて前記金属電極膜とコンタクト電極金属膜と半導体膜の一部を第２のパターンで順次エッチングする工程と、さらに、絶縁膜を介して第２の櫛形対向電極を第３のパターンで形成する工程とによりボトムゲートＴＦＴアレイ基板を製造する工程と、さらにその上に配向膜を形成する工程と、カラーフィルター基板のカラーフィルター側表面に配向膜を形成する工程と前記２つの配向膜をそれぞれ内側にして所定の間隙を保ちつつ位置合わせして周辺を接着固定する工程と、前記第１と第２の基板の間に所定の液晶を注入する工程を含む、ことを特徴とした液晶表示装置の製造方法。

１０１．

請求項１００の液晶表示装置の製造方法において

少なくとも前記第２の櫛形対向電極の一部を保護膜で被う工程を含む、ことを特徴とする液晶表示装置の製造方法。

図 1

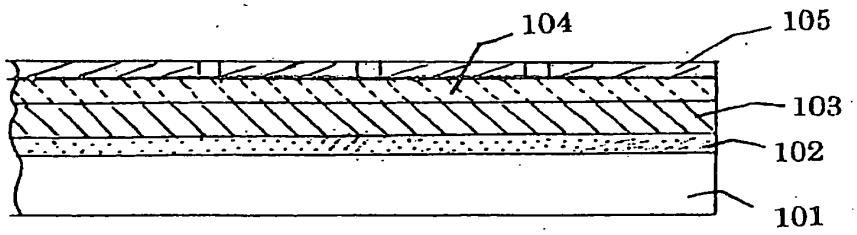


図 2

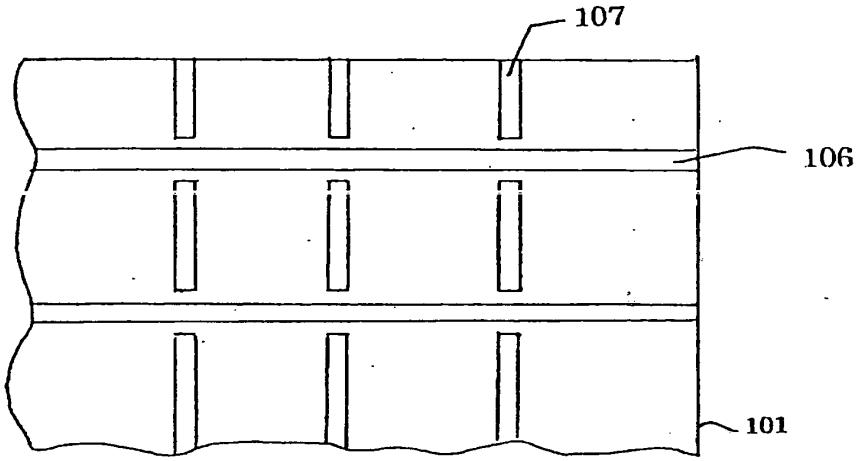


図3

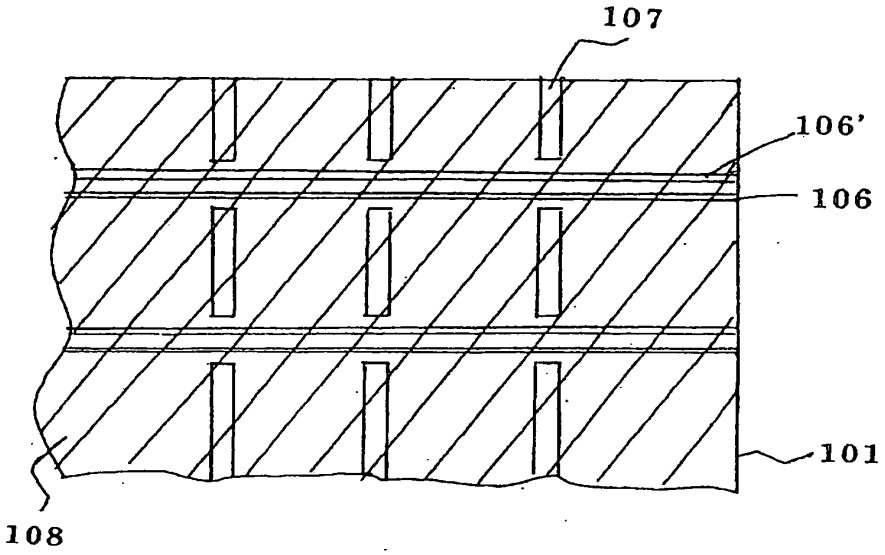


図4

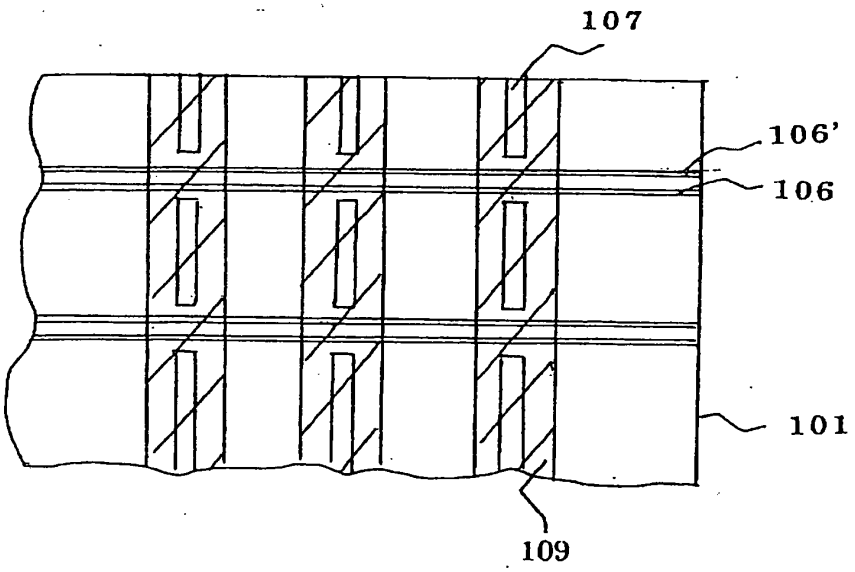


図5

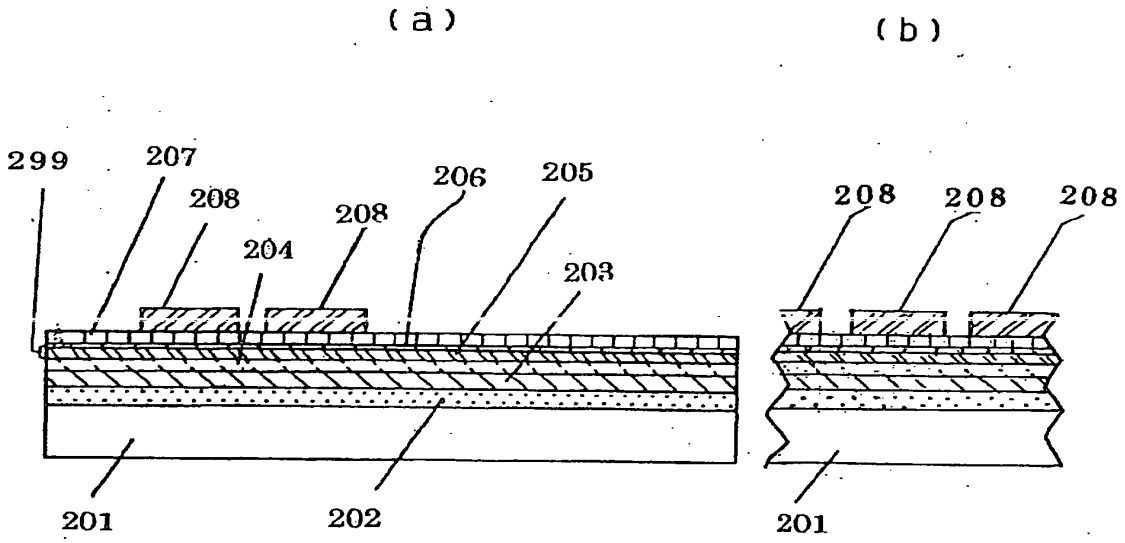
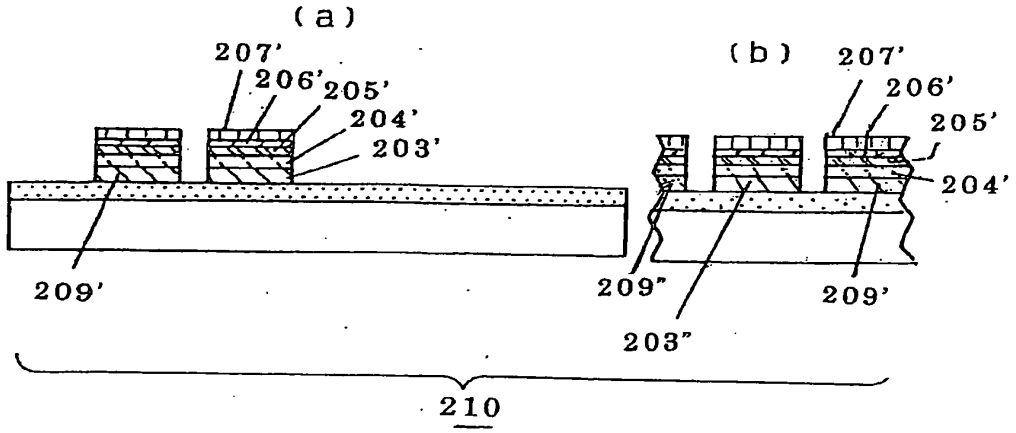


図6



NSDOCID: <WO 01187741 I >

図 7

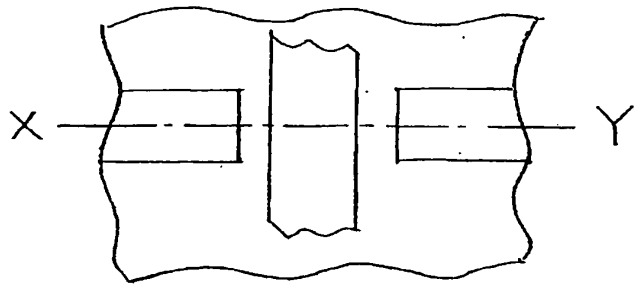


図 8

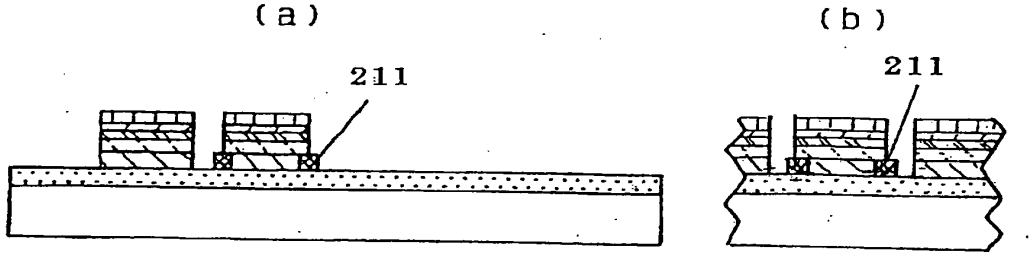


図 9

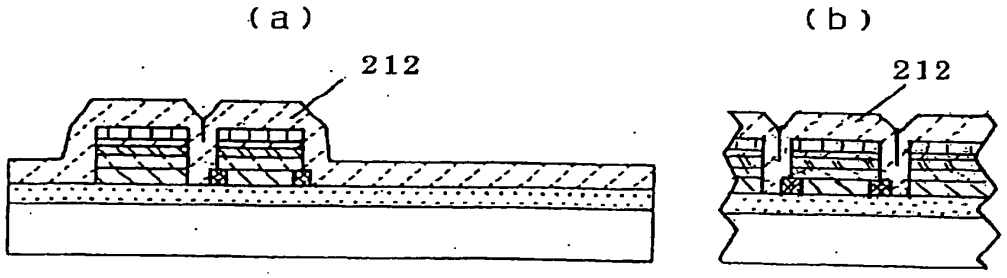


図１０

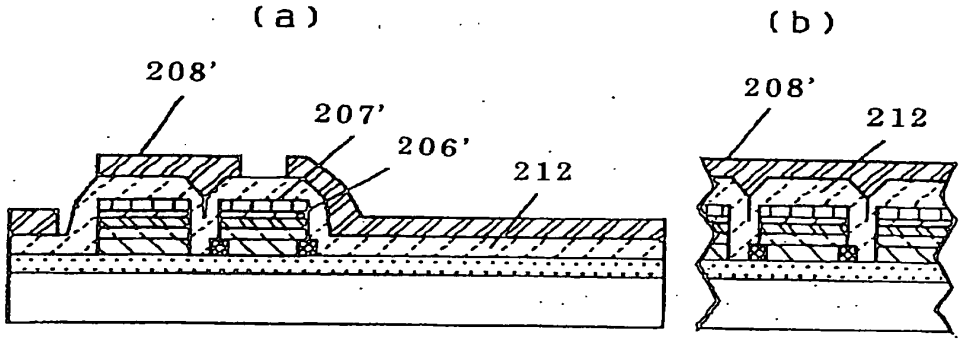
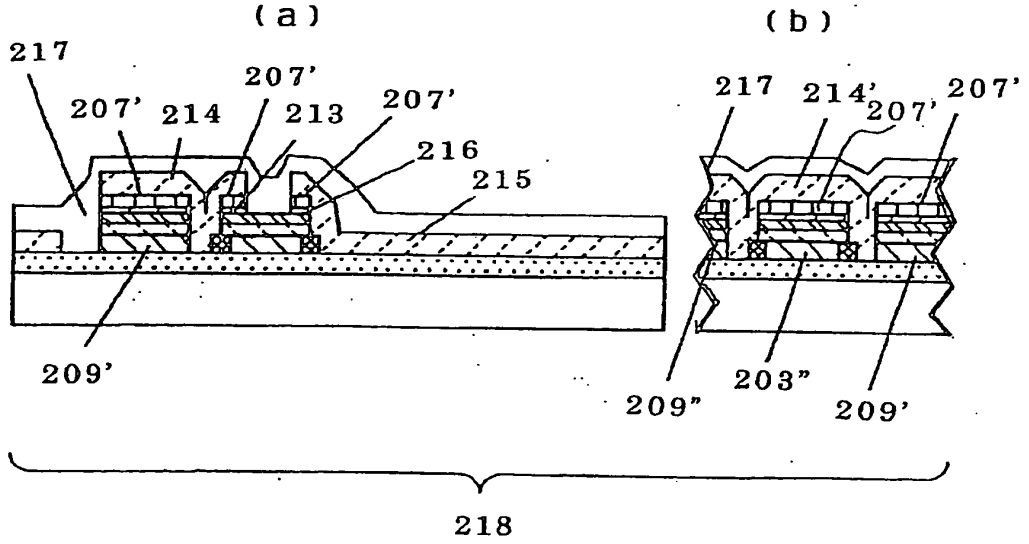
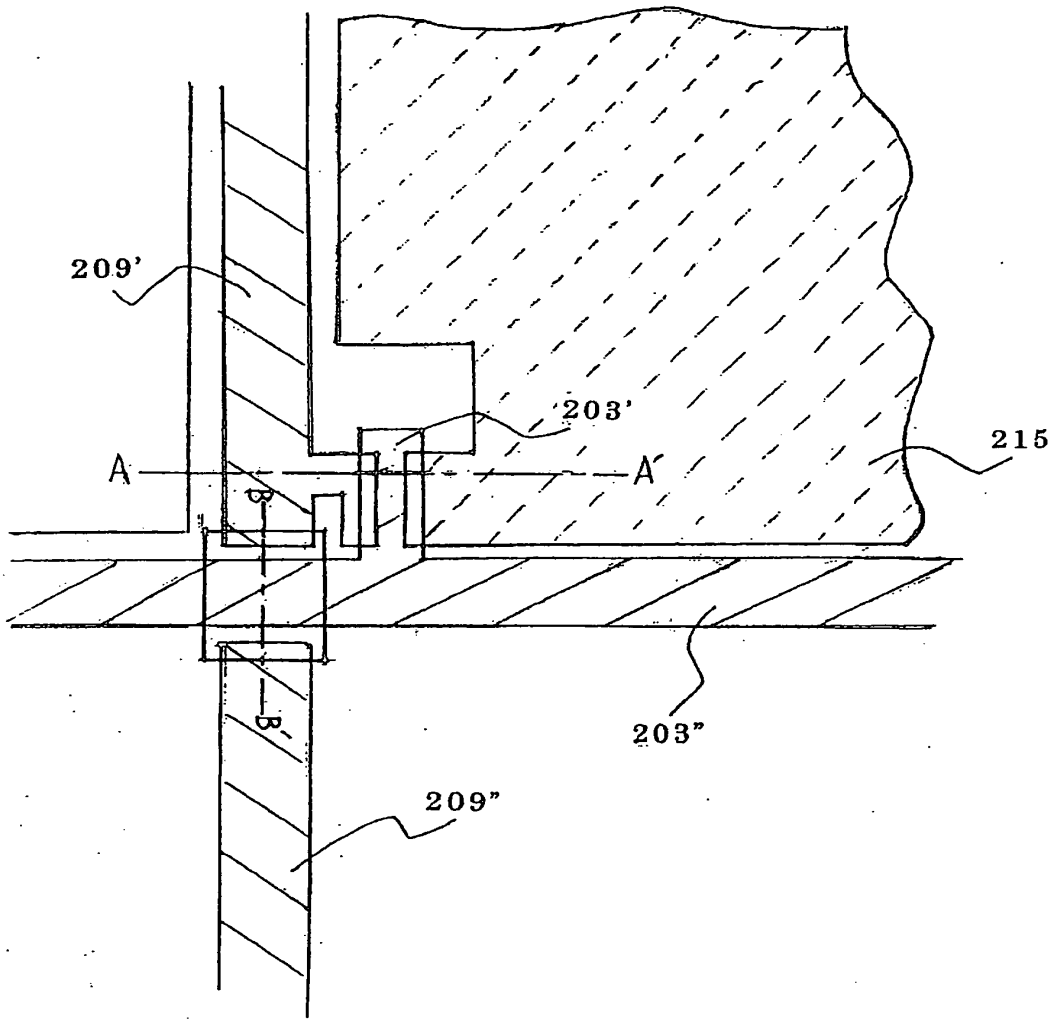


図１１



SDOCID: <WO _____0118774A1_I_>

図１２



BNSDOCID: <WO 0118774A1 | >

図１３

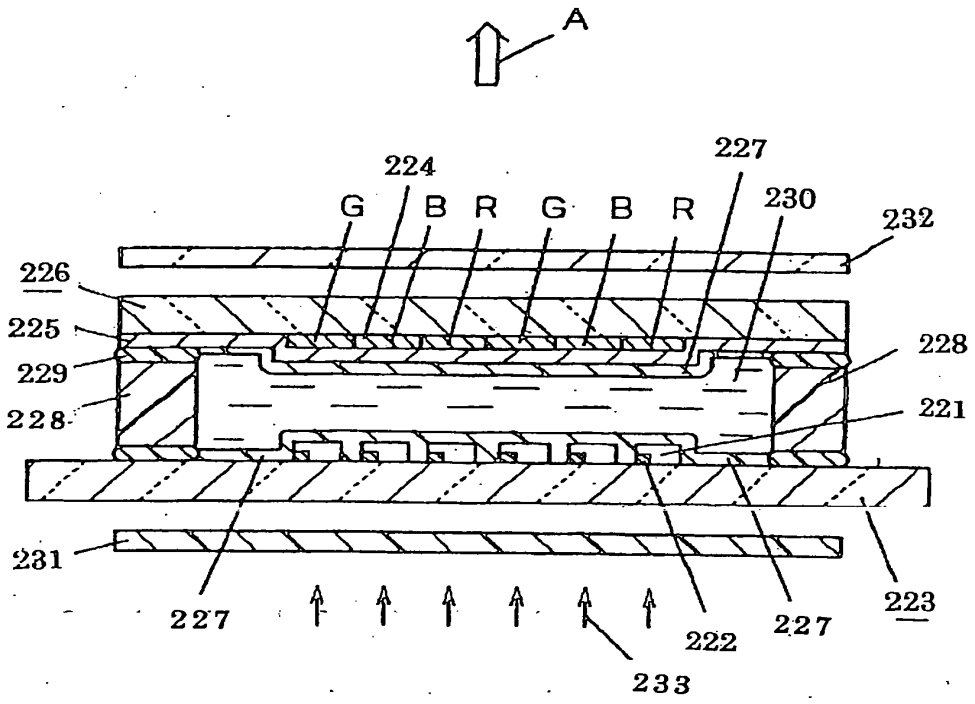
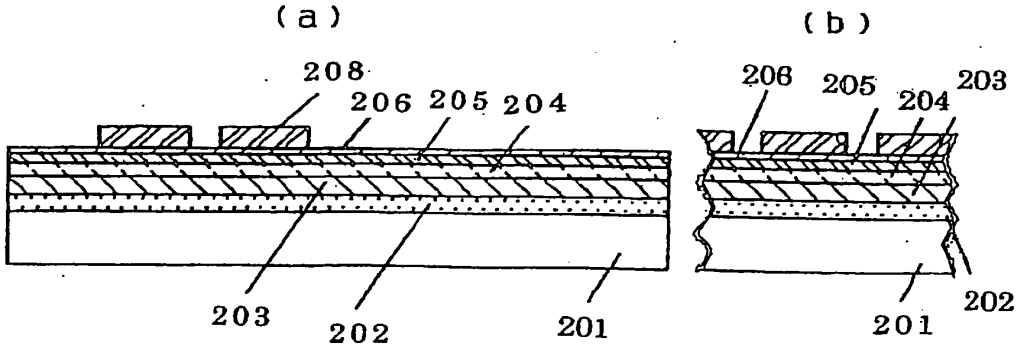


図１４



\SDOCID: <WO_____0118774A1_I_>

図１５

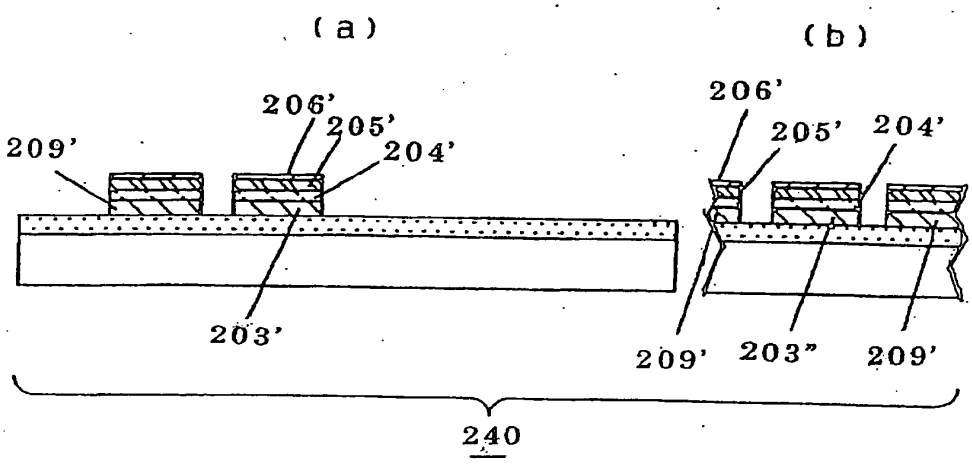
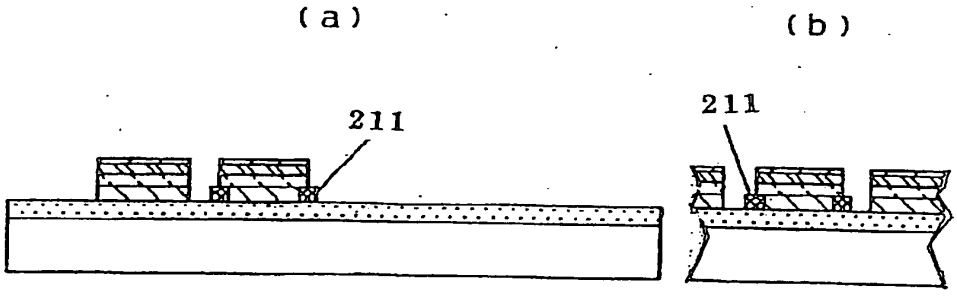


図１６



BNSDOCID: <WO 0118774A1 I >

図１７

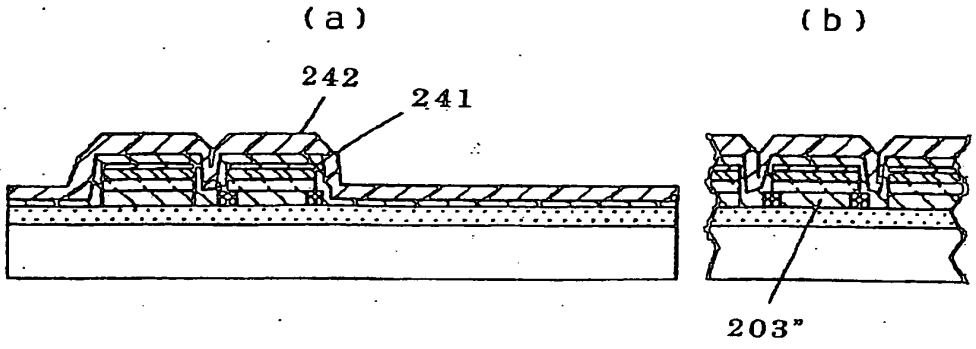
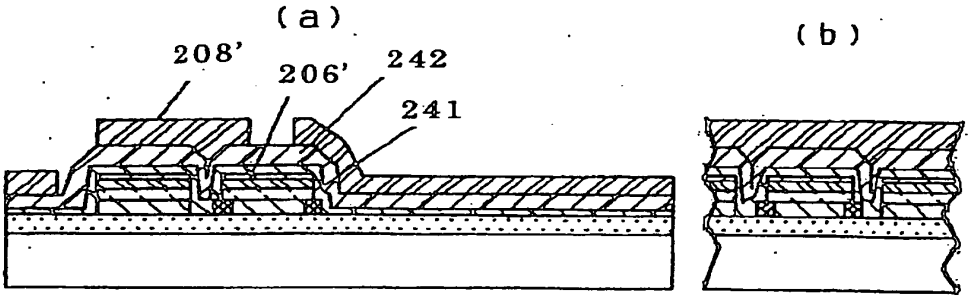


図１８



INSDOCID: <WO_____ 0118774A1_I_>

図１９

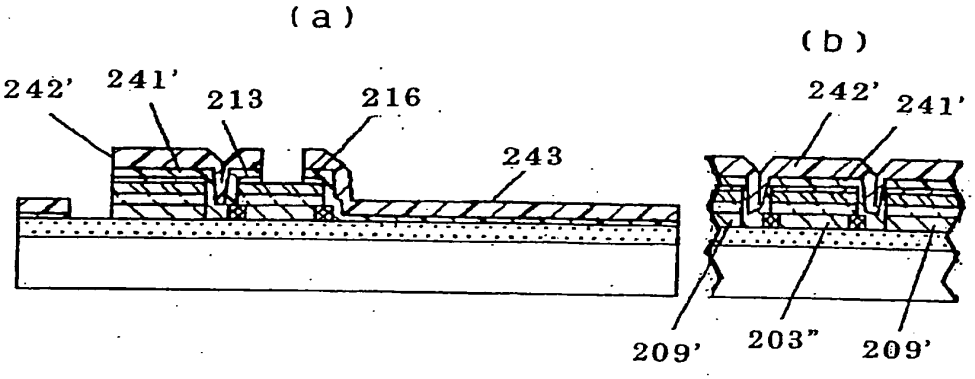
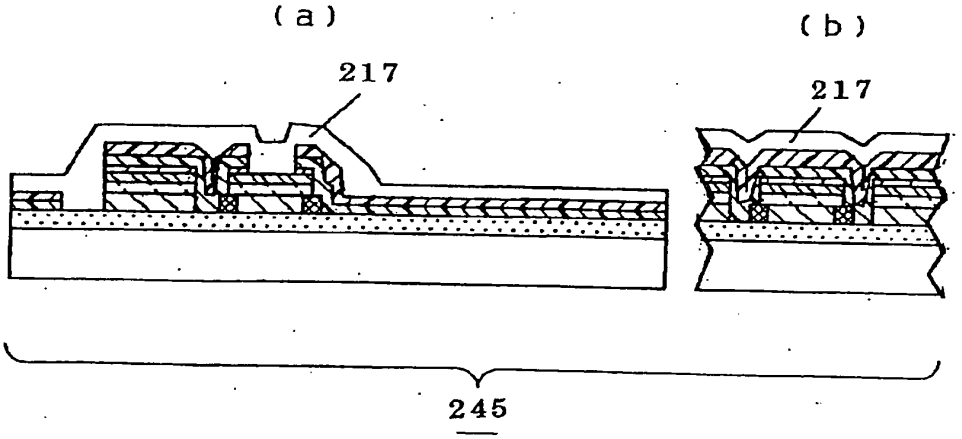


図 20



BNSDOCID: <WO 0118774A1 | >

図 21

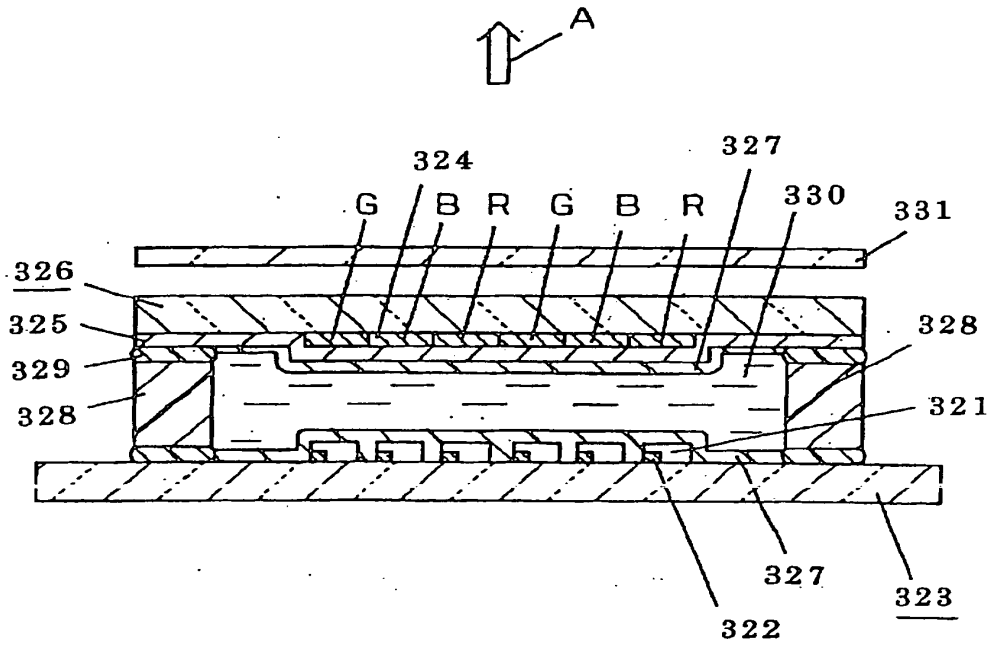
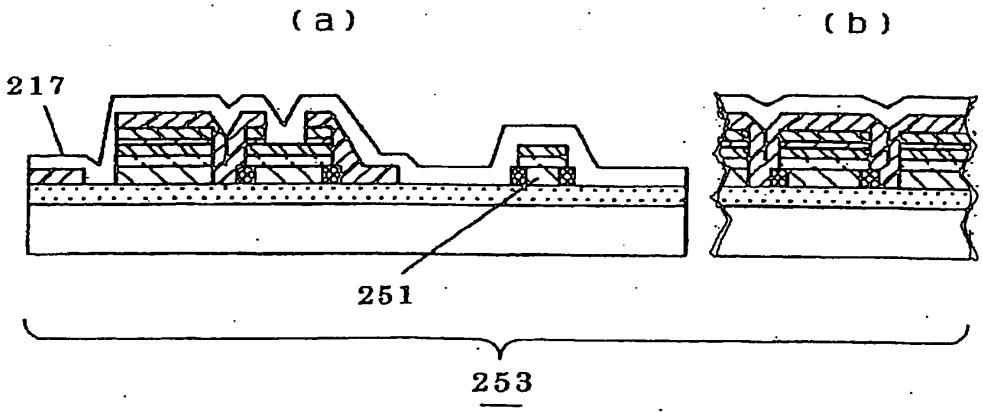


図 22



INSDOCID: <WO_____0118774A1_I_>

図 23

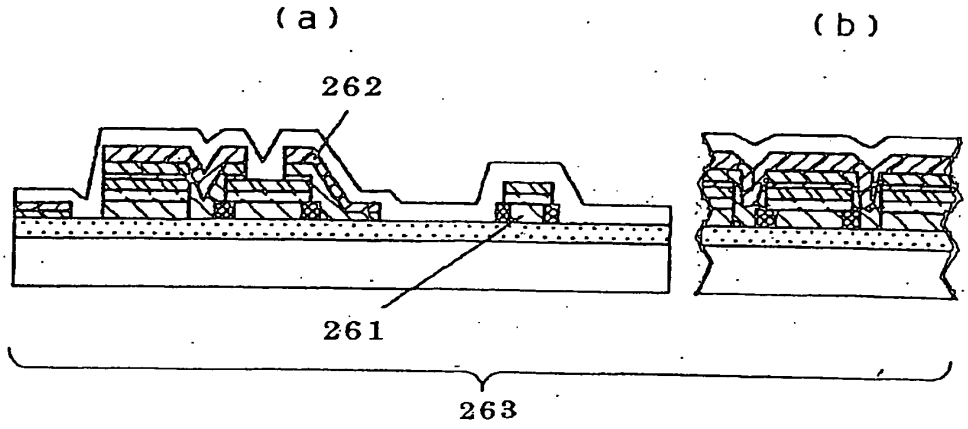
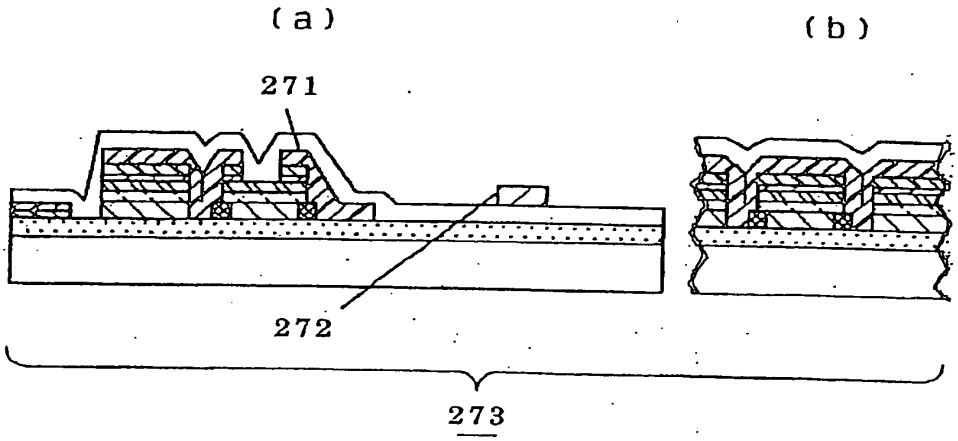
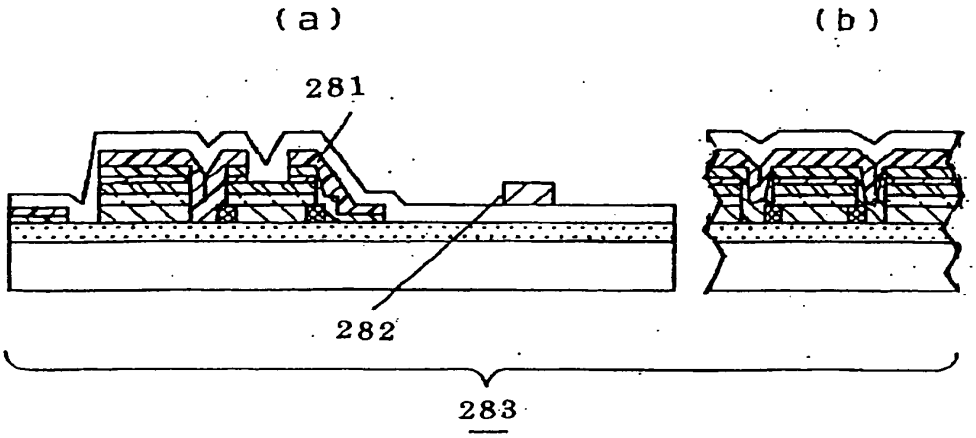


図 24



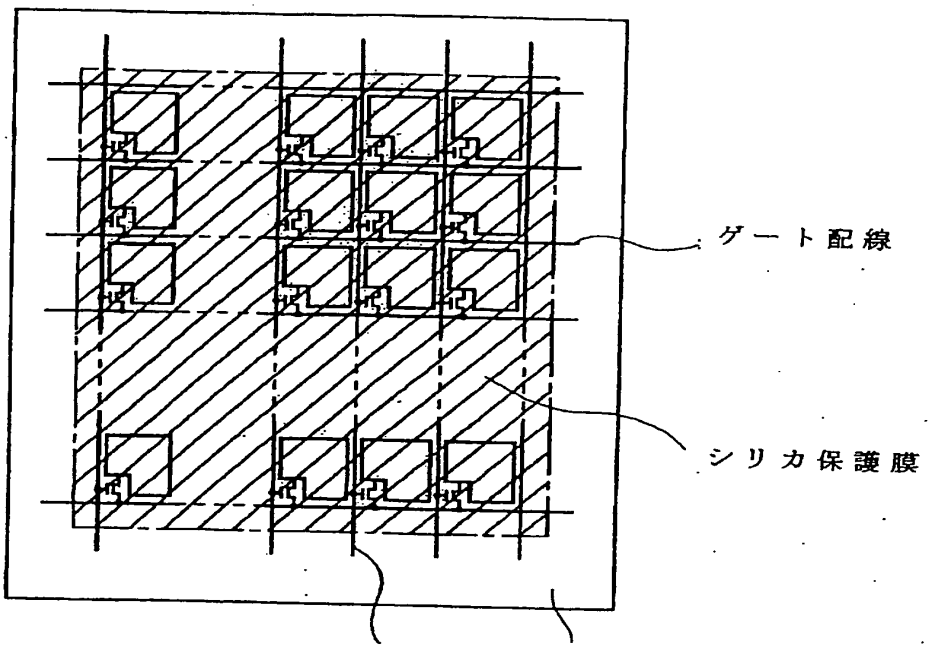
BNSDOCID: <WO 0118774A1 I >

図 25



3NSDOCID: <WO _____0118774A1_I_>

図 26



BNSDOCID: <WO 0118774A1 I >

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP00/06173

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G09F9/30, G02F1/1345, H01L29/78, H01L21/768

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G09F9/30, G02F1/1345, H01L29/78, H01L21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 10-48651, A (Furontetsuku K.K.), 20 February, 1998 (20.02.98) (Family: none)	1,8,9,14, 19-23 2-7,10-13,15-1 8,24-101
X A	JP, 4-280231, A (Oki Electric Industry Co., Ltd.), 06 October, 1992 (06.10.92) (Family: none)	1,8,9,14, 19-23 2-7,10-13,15-1 8,24-101
X A	JP, 2-170135, A (NEC Corporation), 29 June, 1990 (29.06.90) (Family: none)	1,8,9,14, 19-23 2-7,10-13,15-1 8,24-101
X A	JP, 60-128486, A (Nippon Soken Inc.), 09 July, 1985 (09.07.85) (Family: none)	1,8,9,14, 19-23 2-7,10-13,15-1 8,24-101
X	JP, 1-101519, A (Seiko Epson Corporation), 19 April, 1989 (19.04.89) (Family: none)	1,8,9,14, 19-23

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 December, 2000 (07.12.00)	19 December, 2000 (19.12.00)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

3NSDOCID: <WO_____0118774A1_I_>

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP00/06173

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A		2-7,10-13,15-18,24-101
X	JP, 9-265113, A (NEC Corporation), 07 October, 1997 (07.10.97)	1,8,9,14,19-23
A	& US, 5867233, A	2-7,10-13,15-18,24-101

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

BNSDOCID: <WO.. _____ 0118774A1 I >

国際調査報告	国際出願番号　PCT／JP00／06173

A.　発明の属する分野の分類（国際特許分類（IPC））

Int. Cl' G09F9／30, G02F1／1345, H01L29／78, H01L21／768

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl' G09F9／30, G02F1／1345, H01L29／78, H01L21／768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926－1996年
日本国公開実用新案公報	1971－2000年
日本国登録実用新案公報	1994－2000年
日本国実用新案登録公報	1996－2000年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは　その関連する箇所の表示	関連する請求の範囲の番号
X A	JP, 10－48651, A（株式会社フロンテック）, 20. 2月. 1998（20. 02. 98）　（ファミリーなし）	1, 8, 9, 14, 19-23 2-7, 10-13, 15-18, 24-101
X A	JP, 4－280231, A（沖電気工業株式会社）, 6. 10月. 1992（06. 10. 92）　（ファミリーなし）	1, 8, 9, 14, 19-23 2-7, 10-13, 15-18, 24-101

☒ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
07. 12. 00	19.12.00

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	
日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	柿崎　拓	3X　9235
	電話番号　03－3581－1101　内線　3371	

様式PCT／ISA／210（第2ページ）（1998年7月）

NSDOCID: <WO_____.0118774A1_I_>

国際調査報告	国際出願番号 PCT／JP00／06173

C（続き）． 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X A	JP，2－170135，A（日本電気株式会社），29．6月．1990（29．06．90） （ファミリーなし）	1，8，9，14，19－23 2－7，10－13，15－18，24－101
X A	JP，60－128486，A（株式会社日本自動車部品総合研究所），9．7月．1985（09．07．85） （ファミリーなし）	1，8，9，14，19－23 2－7，10－13，15－18，24－101
X A	JP，1－101519，A（セイコーエプソン株式会社），19．4月．1989（19．04．89） （ファミリーなし）	1，8，9，14，19－23 2－7，10－13，15－18，24－101
X A	JP，9－265113，A（日本電気株式会社），7．10月．1997（07．10．97） & US，5867233，A	1，8，9，14，19－23 2－7，10－13，15－18，24－101

様式PCT／ISA／210（第2ページの続き）（1998年7月）

BNSDOCID: <WO_____0118774A1_I_>

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
11 October 2001 (11.10.2001)

PCT

(10) International Publication Number
WO 01/75853 A1

(51) International Patent Classification[7]: G09G 3/32

(21) International Application Number: PCT/GB01/01460

(22) International Filing Date: 30 March 2001 (30.03.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
0007879.0 31 March 2000 (31.03.2000) GB

(71) Applicant *(for all designated States except US)*: SEIKO EPSON CORPORATION [JP/JP]; 4-1, Nishishinjuku 2-chome, Shinjuku-ku, Tokyo 163-0811 (JP).

(72) Inventor; and

(75) Inventor/Applicant *(for US only)*: TAM, Simon [GB/GB]; Epson Cambridge Laboratory, 8c King's Parade, Cambridge CB2 1SJ (GB).

(74) Agent: STURT, Clifford, Mark; Miller Sturt Kenyon, 9 John Street, London WC1N 2ES (GB).

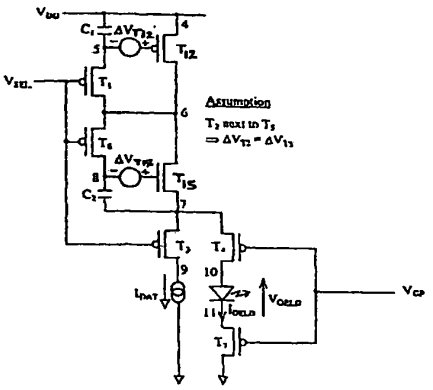
(81) Designated States *(national)*: JP, US.

(84) Designated States *(regional)*: European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

Published:
— *with international search report*

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: ORGANIC ELECTROLUMINESCENT DEVICE COMPENSATED PIXEL DRIVER CIRCUIT



(57) Abstract: A compensated pixel driver circuit comprises a p-channel transistor and an n-channel transistor connected as a complementary pair of transistors to provide analog control of the drive current for an organic electroluminescent device (OELD). The transistors, being of opposite channel, compensate for any variation in threshold voltage ΔV_T and therefore provide a drive current to the OELD which is relatively independent of ΔV_T. The complementary pair of transistors can be applied to either voltage driving or current driving pixel driver circuits.

WO 01/75853 A1

INSDOCID: <WO_____ 0175853A1_I_>

Organic ElectroLuminescent Device
Compensated Pixel Driver Circuit

The present invention relates to an organic electroluminescent device and particularly to a compensated pixel driver circuit thereof.

An organic electroluminescent device (OELD) consists of a light emitting polymer (LEP) layer sandwiched between an anode layer and a cathode layer. Electrically, this device operates like a diode. Optically, it emits light when forward biased and the intensity of the emission increases with the forward bias current. It is possible to construct a display panel with a matrix of OELDs fabricated on a transparent substrate and with one of the electrode layers being transparent. It is also possible to integrate the driving circuit on the same panel by using low temperature polysilicon thin film transistor (TFT) technology.

In a basic analog driving scheme for an active matrix OELD display, a minimum of two transistors are required per pixel. Such a driving scheme is illustrated in Figure 1. Transistor T_1 is provided to address the pixel and transistor T_2 is provided to convert a data voltage signal V_{Data} into current which drives the OELD at a designated brightness. The data signal is stored by a storage capacitor $C_{storage}$ when the pixel is not addressed. Although p-channel TFTs are shown in the figure, the same principle can also be applied for a circuit utilising n-channel TFTs.

There are problems associated with TFT analog circuits and OELDs do not act like perfect diodes. The LEP material does, however, have relatively uniform characteristics. Due to the nature of the TFT fabrication technique, spatial variation of the TFT characteristics exists over the extent of the display panel. One of the most important considerations in a TFT analog circuit is the variation of threshold voltage, ΔV_T, from

device to device. The effect of such variation in an OELD display, exacerbated by the non perfect diode behaviour, is the non-uniform pixel brightness over the display area of the panel, which seriously affects the image quality. Therefore, a built-in compensation circuit is required.

A simple threshold voltage variation compensation, current driven, circuit has been proposed. The current driven circuit, also known as the current programmed threshold voltage compensation circuit, is illustrated in figure 2. In this circuit, transistor T_1 is provided for addressing the pixel. Transistor T_2 operates as an analog current control to provide the driving current to the OELD. Transistor T_3 connects between the drain and gate of transistor T_2 and toggles transistor T_2 to act either as a diode or in a saturation mode. Transistor T_4 acts as a switch in response to an applied waveform V_{GP}. Either Transistor T_1 or transistor T_4 can be ON at any one time. Initially, at time t_0 shown in the timing diagram of Figure 2, transistors T_1 and T_3 are OFF, and transistor T_4 is ON. When transistor T_4 is OFF, transistors T_1 and T_3 are ON, and a current I_{DAT} of known value is allowed to flow into the OELD, through transistor T_2. This is the programming stage because the threshold voltage of transistor T_2 is measured with transistor T_3 turned ON which shorts the drain and gate of transistor T_2. Hence transistor T_2 operates as a diode while the programming current is allowed to flow through transistors T_1 and T_2 and into the OELD. The detected threshold voltage of transistor T_2 is stored by a capacitor C_1 connected between the gate and source terminals of transistor T_2 when transistors T_3 and T_1 are switched OFF. Transistor T_4 is then turned ON by driving waveform V_{GP} and the current through the OELD is now provided by supply V_{DD}. If the slope of the output

INSDOCID: <WO_____0175853A1_I_>

characteristics for transistor T_2 were flat, the reproduced current would be the same as the programmed current for any threshold voltage of T_2 detected and stored in capacitor C_1. However, by turning ON transistor T_4, the drain-source voltage of transistor T_2 is pulled up, so a flat output characteristic will maintain the reproduced current at the same level as the programmed current. Note that ΔV_{T2} shown in figure 2 is imaginary, not real. It has been used solely to represent the threshold voltage of transistor T_2.

A constant current is provided, in theory, during a subsequent active programming stage, which is signified by the time interval t_2 to t_5 in the timing diagram shown in figure 2. The reproduction stage starts at time t_6.

The circuit of Figure 2 does provide an improvement over the circuit shown in Figure 1 but variations in the threshold value of the control transistor are not fully compensated and variations in image brightness over the display area of the panel remain.

The present invention seeks to provide, therefore, an improved compensated pixel driver circuit in which variations in the threshold voltages of the pixel driver transistor can be further compensated, thereby providing a more uniform pixel brightness over the display area of the panel and, therefore, improved image quality.

According to a first aspect of the present invention there is provided a compensated pixel driver circuit for an electroluminescent device, the circuit comprising an n-channel transistor and a complementary p-channel transistor connected so as to operatively control, in combination, the current supplied to the electroluminescent device.

Preferably, the compensated pixel driver circuit also comprises respective storage capacitors for the n-channel and p-channel transistors and respective switching means

connected so as to establish when operative respective paths to the n-channel and p-channel transistors for respective data voltage pulses.

Advantageously, the compensated pixel driver circuit may also comprise respective storage capacitors for storing a respective operating voltage of the n-channel and the p-channel transistors during a programming stage, a first switching means connected so as to establish when operative a first current path from a source of current data signals through the n-channel and p-channel transistors and the electroluminescent device during the programming stage, and a second switching means connected to establish when operative a second current path through the n-channel and p-channel transistors and the electroluminescent device during a reproduction stage.

In a further embodiment, the first switching means and the source of current data signals are connected so as to provide when operative a current source for the electroluminescent device

In an alternative embodiment, the first switching means the source of current data signals are connected so as to provide when operative a current sink for the electroluminescent device.

According to a second aspect of the present invention there is also provided a method of compensating the supply current to an electroluminescent device comprising providing an n-channel transistor and a p-channel transistor connected so as to operatively control, in combination, the supply current to the electroluminescent device.

Preferably, the method further comprises providing respective storage capacitors for the n-channel and p-channel transistors and respective switching means connected so as to establish when operative respective paths to the n-channel and p-channel transistors for

respective data voltage pulses thereby to establish, when operative, a voltage driver circuit for the electroluminescent device.

Advantageously, the method may comprise providing a programming stage during which the n-channel and p-channel transistors are operated in a first mode and wherein a current path from a source of current data signals is established through the n-channel and the p-channel transistors and the electroluminescent device and wherein a respective operating voltage of the n-channel transistor and the p-channel transistor is stored in respective storage capacitors, and a reproduction stage wherein a second mode and a second current path is established through the n-channel transistor and the p-channel transistor and the electroluminescent device.

According to a third aspect of the present invention, there is also provided an organic electroluminescent display device comprising a compensated pixel driver circuit as claimed in any one of claims 1 to 11.

The present invention will now be described by way of further example only, with reference to the accompanying drawings in which:-

Fig. 1 shows a conventional OELD pixel driver circuit using two transistors;

Fig. 2 shows a known current programmed OELD driver circuit with threshold voltage compensation;

Fig. 3 illustrates the concept of a compensated pixel driver circuit including a complementary pair of driver transistors for providing threshold voltage compensation in accordance with the present invention;

Fig. 4 shows plots of characteristics for the complementary driver transistors illustrated in Fig. 3 for various levels of threshold voltages;

NSDOCID: <WO 0175853A1 I >

Fig. 5 shows a compensated pixel driver circuit arranged to operate as a voltage driver circuit in accordance with a first embodiment of the present invention.

Fig. 6 shows a compensated pixel driver circuit arranged to operate as a current programmed driver circuit in accordance with a second embodiment of the present invention;

Fig. 7 shows a compensated current programmed driver circuit in accordance with a third embodiment of the present invention, and

Figs 8 to 11 show SPICE simulation results for the circuit illustrated in Fig. 6.

The concept of a compensated pixel driver circuit according to the present invention is illustrated in Fig. 3. An OELD device is coupled between two transistors T_{11} and T_{12} which operate, in combination, as an analog current control for the current flowing through the OELD. Transistor T_{11} is a p-channel transistor and transistor T_{15} is an n-channel transistor which act therefore, in combination, as a complementary pair for analog control of the current through the OELD.

As mentioned previously, one of the most important parameters in a TFT analog circuit design is the threshold voltage V_T. Any variation, ΔV_T within a circuit has a significant effect on the overall circuit performance. Variations in the threshold voltage can be viewed as a rigid horizontal shift of the source to drain current versus the gate to source voltage characteristic for the transistor concerned and are caused by the interface charge at the gate of the transistor.

It has been realised with the present invention that in an array of TFT devices, in view of the fabrication techniques employed, neighbouring or relatively close TFT's have a high probability of exhibiting the same or an almost similar value of threshold voltage ΔV_T. Furthermore, it has been realised that as the effects of the same ΔV_T on p-channel and n-

channel TFT's are complementary, compensation for variations in threshold voltage ΔV_T can be achieved by employing a pair of TFT's, one p-channel TFT and one n-channel TFT, to provide analog control of the driving current flowing to the OELD. The driving current can, therefore, be provided independently of any variation of the threshold voltage. Such a concept is illustrated in figure 3.

Figure 4 illustrates the variation in drain current, that is the current flowing through the OELD shown in figure 3, for various levels of threshold voltage ΔV_T, ΔV_{T1}, ΔV_{T2} for the transistors T_{11} and T_{12}. Voltages V_1, V_2 and V_D are respectively the voltages appearing across transistor T_{11}, T_{12} and the OELD from a voltage source V_{DD}. Assuming that the transistors T_{11} and T_{12} have the same threshold voltage and assuming that $\Delta V_T = O$, then the current flowing through the OELD is given by cross-over point A for the characteristics for the p-channel transistor T_{11} and the n-channel transistor T_{12} shown in figure 4. This is shown by value I_0.

Assuming now that the threshold voltage of the p-channel and n-channel transistors changes to ΔV_{T1}, the OELD current I_1 is then determined by crossover point B. Likewise, for a variation in threshold voltage to ΔV_2, the OELD current I_2 is given by crossover point C. It can be seen from figure 4 that even with the variations in the threshold voltage there is minimal variation in the current flowing through the OELD.

Figure 5 shows a compensated pixel driver circuit configured as a voltage driver circuit. The circuit comprises p-channel transistor T_{12} and n-channel transistor T_{15} acting as a complementary pair to provide, in combination, an analog current control for the OELD. The circuit includes respective storage capacitors C_{12} and C_{15} and respective switching transistors T_A and T_B coupled to the gates of transistors T_{12} and T_{15}. When transistors T_A and

T_B are switched ON data voltage signals V_1 and V_2 are stored respectively in storage capacitors C_{12} and C_{15} when the pixel is not addressed. The transistors T_A and T_B function as pass gates under the selective control of addressing signals ϕ_1 and ϕ_2 applied to the gates of transistors T_A and T_B.

Figure 6 shows a compensated driver circuit according to the present invention configured as a current programmed OELD driver circuit. As with the voltage driver circuit, p-channel transistor T_{12} and n-channel transistor T_{15} are coupled so as to function as an analog current control for the OELD. Respective storage capacitors C_1, C_2 and respective switching transistors T_1 and T_6 are provided for transistors T_{12} and T_{15}. The driving waveforms for the circuit are also shown in figure 6. Either transistors T_1, T_3 and T_6, or transistor T_4 can be ON at any one time. Transistors T_1 and T_6 connect respectively between the drain and gate of transistors T_{12} and T_{15} and switch in response to applied waveform V_{SEL} to toggle transistors T_{12} and T_{15} to act either as diodes or as transistors in saturation mode. Transistor T_3 is also connected to receive waveform V_{SEL}. Transistors T_1 and T_6 are both p-channel transistors to ensure that the signals fed through these transistors are at the same magnitude. This is to ensure that any spike currents through the OELD during transitions of the waveform V_{SEL} are kept to a minimum.

The circuit shown in figure 6 operates in a similar manner to known current programmed pixel driver circuits in that a programming stage and a display stage are provided in each display period but with the added benefit that the drive current to the OELD is controlled by the complementary opposite channel transistors T_{12} and T_{15}. Referring to the driving waveforms shown in figure 6, a display period for the driver circuit extends from time t_0 to time t_6. Initially, transistor T_4 is ON and transistors T_1, T_3 and T_6 are OFF. Transistor T_4 is turned OFF at time t_1 by the waveform V_{GP} and transistors T_1, T_3

and T_6 are turned ON at time t_3 by the waveform V_{SEL}. With transistors T_1 and T_6 turned ON, the p-channel transistor T_{12} and the complementary n-channel transistor T_{15} act in a first mode as diodes. The driving waveform for the frame period concerned is available from the current source I_{DAT} at time t_2 and this is passed by the transistor T_3 when it switches on at time t_3. The detected threshold voltages of transistors T_{12} and T_{15} are stored in capacitors C_1 and C_2. These are shown as imaginary voltage sources ΔV_{T12} and ΔV_{T15} in figure 6.

Transistors T_1, T_3 and T_6 are then switched OFF at time t_4 and transistor T_4 is switched ON at time t_5 and the current through the OELD is then provided from the source VDD under the control of the p-channel and n-channel transistors T_{12} and T_{15} operating in a second mode, i.e. as transistors in saturation mode. It will be appreciated that as the current through the OELD is controlled by the complementary p-channel and n-channel transistors T_{12} and T_{15}, any variation in threshold voltage in one of the transistors will be compensated by the other opposite channel transistor, as described previously with respect to figure 4.

In the current programmed driver circuit shown in figure 6, the switching transistor T_3 is coupled to the p-channel transistor T_{12}, with the source of the driving waveform I_{DAT} operating as a current source. However, the switching transistor T_3 may as an alternative be coupled to the n-channel transistor T_{15} as shown in figure 7, whereby I_{DAT} operates as a current sink. In all other respects the operation of the circuit shown in figure 7 is the same as for the circuit shown in figure 6.

Figures 8 to 11 show a SPICE simulation of an improved compensated pixel driver circuit according to the present invention.

NSDOCID: <WO_____0175853A1_I_>

Referring to figure 8, this shows the driving waveforms I_{DAT}, V_{GP}, V_{SEL} and three values of threshold voltage, namely -1volt, 0volts and +1volt used for the purposes of simulation to show the compensating effect provided by the combination of the p-channel and n-channel transistors for controlling the current through the OELD. From figure 8, it can be seen that, initially the threshold voltage ΔV_T was set at -1volt, increasing to 0volts at 0.3×10^{-4} seconds and increasing again to +1volt at 0.6×10^{-4} seconds. However, it can be seen from figure 9 that even with such variations in the threshold voltage the driving current through the OELD remains relatively unchanged.

The relative stability in the driving current through the OELD can be more clearly seen in figure 10, which shows a magnified version of the response plots shown in figure 9.

It can be seen from figure 10 that, using a value of 0 volts as a base for the threshold voltage ΔV_T, that if the threshold voltage ΔV_T changes to -1volts there is a change of approximately 1.2% in the drive current through the OELD and if the threshold voltage ΔV_T is changed to +1volt, there is a reduction in drive current of approximately 1.7% compared to the drive current when the threshold voltage ΔV_T is 0 volts. The variation of drive current of 8.7% is shown for reference purposes only as such a variation can be compensated by gamma correction, which is well known in this art and will not therefore be described in relation to the present invention.

Figure 11 shows that for levels of I_{DAT} ranging from 0.2μA to 1.0μA, the improved control of the OELD drive current is maintained by the use of the p-channel and opposite n-channel transistors in accordance with the present invention.

It will be appreciated from the above description that the use of a p-channel transistor and an opposite n-channel transistor to provide, in combination, analog control of

the drive current through an electroluminescent device provides improved compensation for the effects which would otherwise occur with variations in the threshold voltage of a single p-channel or n-channel transistor.

Preferably, the TFT n-channel and p-channel transistors are fabricated as neighbouring or adjacent transistors during the fabrication of an OELD display so as to maximise the probability of the complementary p-channel and n-channel transistors having the same value of threshold voltage ΔV_T. The p-channel and n-channel transistors may be further matched by comparison of their output characteristics.

The improved compensated pixel driver circuit of the present invention may be used in display devices incorporated in many types of equipment such as mobile displays e.g. mobile phones, laptop personal computers, DVD players, cameras, field equipment; portable displays such as desktop computers, CCTV or photo albums; or industrial displays such as control room equipment displays.

The aforegoing description has been given by way of example only and it will be appreciated by a person skilled in the art that modifications can be made without departing from the scope of the present invention.

CLAIMS

1. A compensated pixel driver circuit for an electroluminescent device, the circuit comprising an n-channel transistor and a complementary p-channel transistor connected so as to operatively control, in combination, the current supplied to the electroluminescent device.

2. A compensated pixel driver circuit as claimed in claim 1, wherein the complementary n-channel and p-channel transistors comprise polysilicon thin film transistors.

3. A compensated pixel driver circuit as claimed in claim 2, wherein the complementary n-channel and p-channel transistors are spatially arranged in close proximity to each other for providing a complementary pair of n-channel and p-channel transistors having approximately equal threshold voltages.

4. A compensated pixel driver circuit as claimed in any one of claims 1 to 3 connected so as to establish when operative a voltage driver circuit comprising respective storage capacitors for the n-channel and p-channel transistors and respective switching means connected so as to establish when operative respective paths to the n-channel and p-channel transistors for respective data voltage pulses.

INSDOCID: <WO_____0175853A1_I_>

5. A compensated pixel driver circuit as claimed in any one of claims 1 to 3 comprising respective storage capacitors for storing a respective operating voltage of the n-channel and the p-channel transistors during a programming stage, a first switching means connected so as to establish when operative a first current path from a source of current data signals through the n-channel and p-channel transistors and the electroluminescent device during the programming stage, and a second switching means connected to establish when operative a second current path through the n-channel and p-channel transistors and the electroluminescent device during a reproduction stage.

6. A compensated pixel driver circuit as claimed in claim 5, wherein the first switching means and the source of current data signals are connected so as to provide when operative a current source for the electroluminescent device.

7. A compensated pixel driver circuit as claimed in claim 5, wherein the first switching means and the source of current data signals are connected so as to provide when operative a current sink for the electroluminescent device.

8. A compensated pixel driver circuit as claimed in any one of claims 5 to 7, further comprising respective further switching means respectively connected to bias the n-channel transistor and the p-channel transistor to act as diodes during the programming stage.

9. A compensated pixel driver circuit as claimed in claim 8, wherein the respective further switching means comprise p-channel transistors.

INSDOCID: <WO_____0175853A1_I_>

10. A compensated pixel driver circuit as claimed in any one of claims 5 to 9, wherein the circuit is implemented with polysilicon thin film transistors.

11. A compensated pixel driver circuit as claimed in claim 4, wherein the circuit is implemented using polysilicon thin film transistors.

12. A method of compensating the supply current to an electroluminescent device comprising providing an n-channel transistor and a p-channel transistor connected so as to operatively control, in combination, the supply current to the electroluminescent device.

13. A method as claimed in claim 11, comprising the further step of providing the n-channel transistor and the p-channel transistor as polysilicon thin film transistors.

14. A method as claimed in claim 12 comprising the further step of spatially arranging the n-channel and p-channel polysilicon thin film transistors in close proximity to each other.

15. A method as claimed in any one of claims 12 to 14 comprising providing respective storage capacitors for the n-channel and p-channel transistors and respective switching means connected so as to establish when operative respective paths to the n-channel and p-channel transistors for respective data voltage pulses thereby to establish, when operative, a voltage driver circuit for the electroluminescent device.

16. A method as claimed in any one of claims 12 to 14 comprising providing a programming stage during which the n-channel and p-channel transistors are operated in a first mode and wherein a current path from a source of current data signals is established through the n-channel and the p-channel transistors and the electroluminescent device and wherein a respective operating voltage of the n-channel transistor and the p-channel transistor is stored in respective storage capacitors, and a reproduction stage wherein a second mode and a second current path is established through the n-channel transistor and the p-channel transistor and the electroluminescent device.

17. A method as claimed in claim 15, wherein the first mode comprises operating the n-channel and p-channel transistors as diodes.

18. An organic electroluminescent display device comprising a compensated pixel driver circuit as claimed in any one of claims 1 to 11.

\SDOCID: <WO___ __0175853A1_I_>

Fig.1.

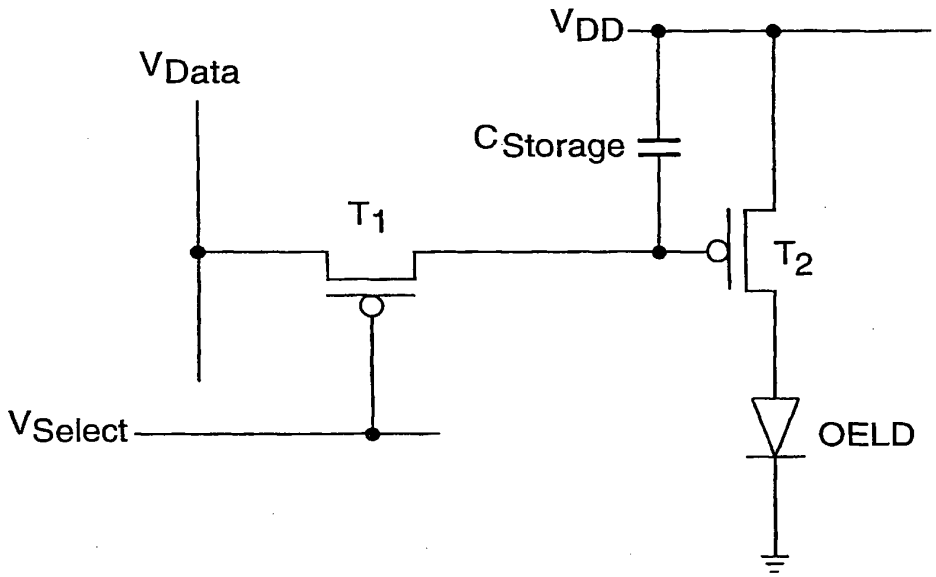
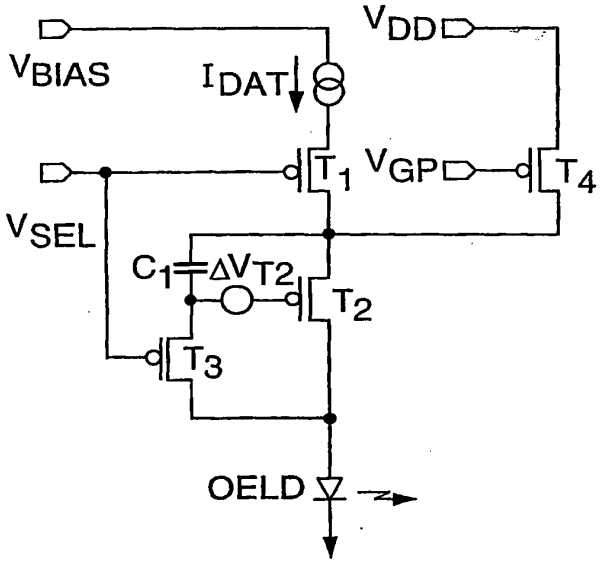

VDD
VData
CStorage
T1
T2
VSelect
OELD

Fig.2.


VDD
VBIAS
IDAT
T1
VGP
T4
VSEL
C1
ΔVT2
T2
T3
OELD

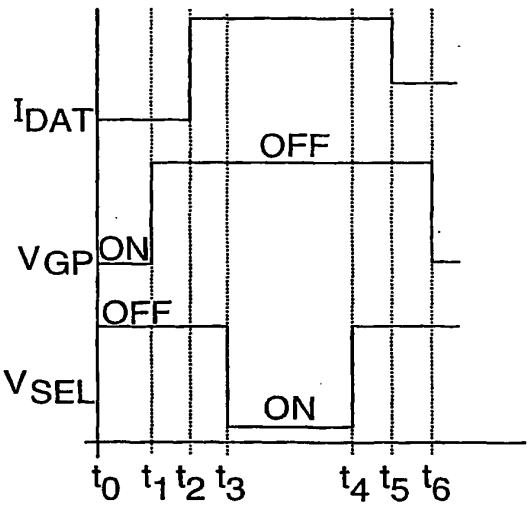

IDAT
OFF
VGP
ON
OFF
VSEL
ON
t0 t1 t2 t3 t4 t5 t6

Fig.3.

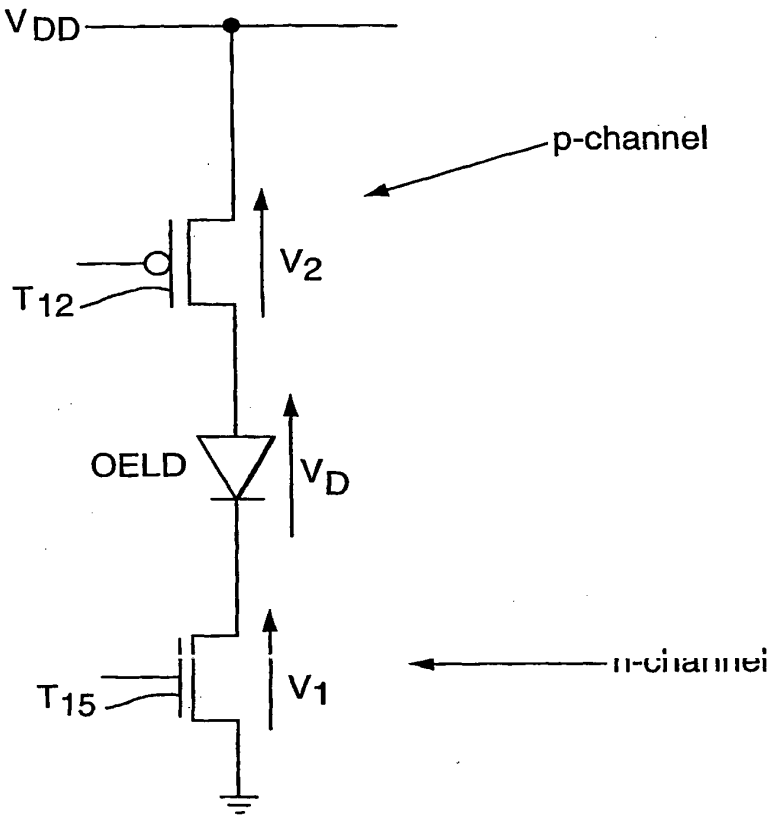
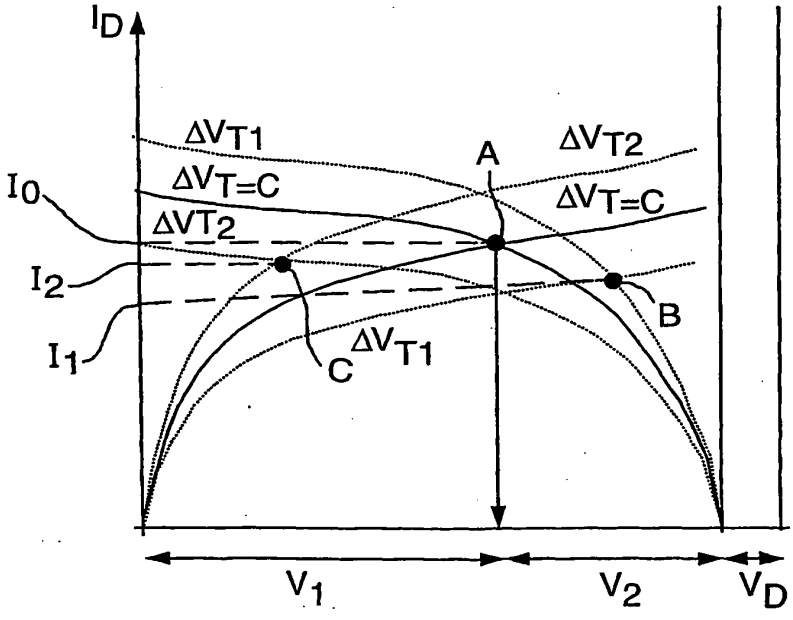
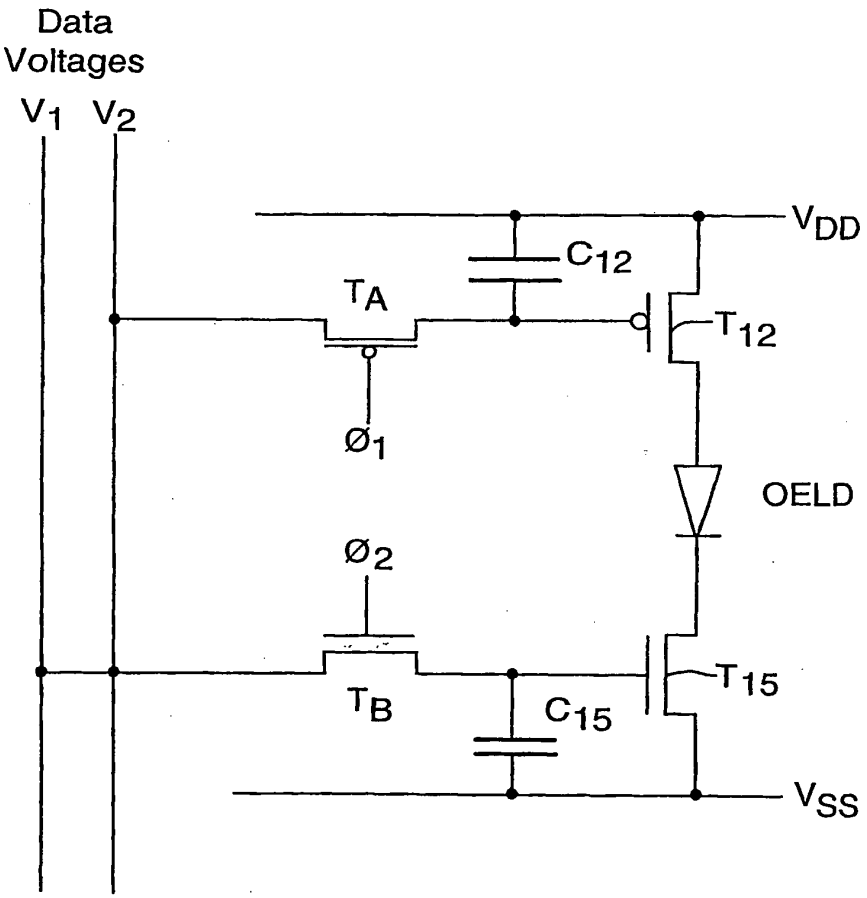


Fig.4.



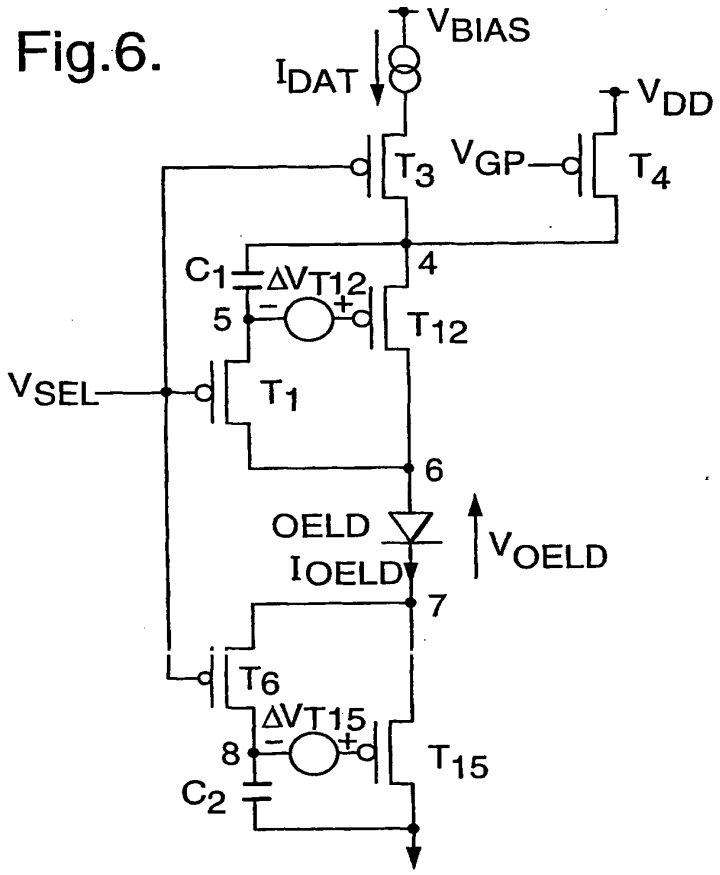
3NSDOCID: <WO_____0175853A1_I_>

Fig.5.



BNSDOCID: <WO_____0175853A1_I_>

Fig.6.


VBIAS
IDAT
VDD
T3
VGP
T4
C1
ΔVT12
4
5
T12
VSEL
T1
6
OELD
VOELD
IOELD
7
T6
ΔVT15
8
T15
C2

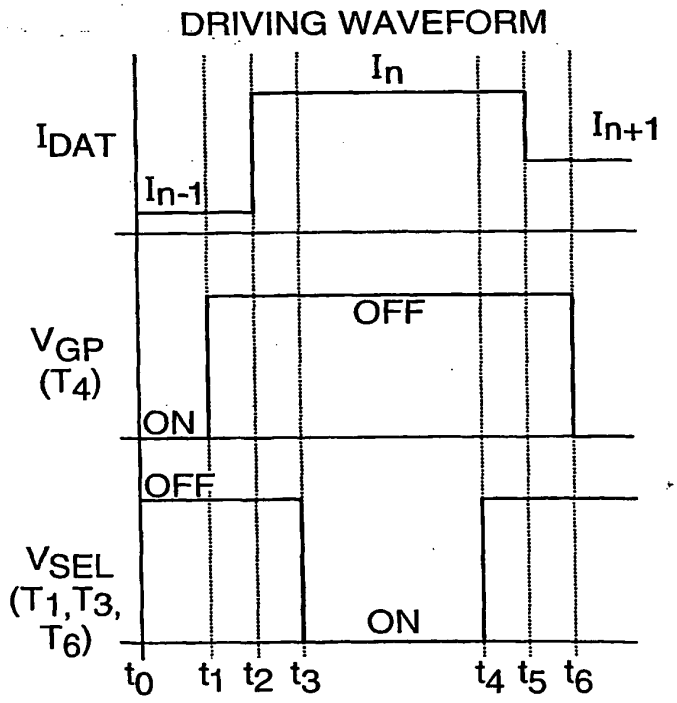
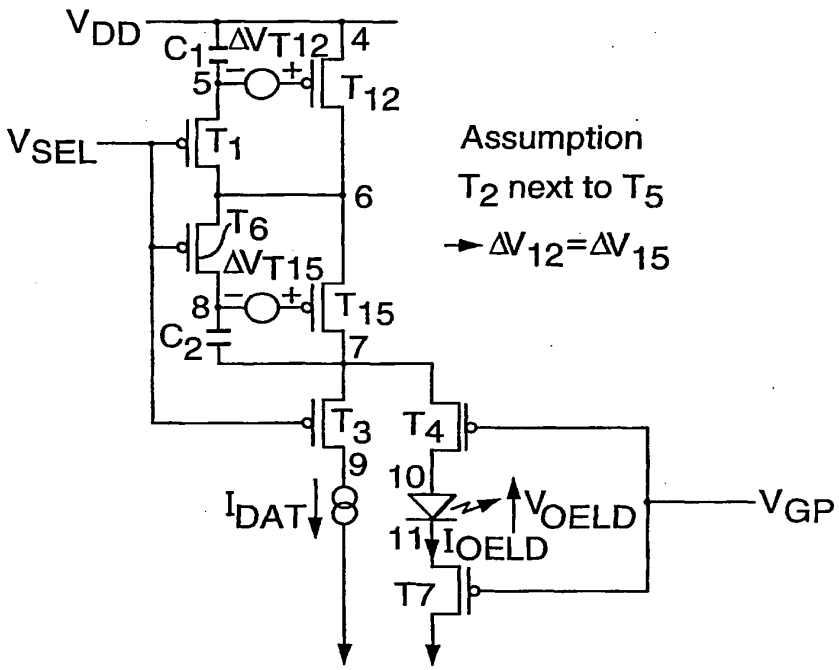

DRIVING WAVEFORM
In
IDAT
In+1
In-1
OFF
VGP
(T4)
ON
OFF
VSEL
(T1,T3,
T6)
ON
t0 t1 t2 t3 t4 t5 t6

Fig.7.


VDD
C1
ΔVT12
4
5
T12
VSEL
T1
Assumption
T2 next to T5
6
T6
ΔVT15
ΔV12=ΔV15
8
T15
C2
7
T3
T4
9
10
IDAT
VOELD
VGP
11
IOELD
T7

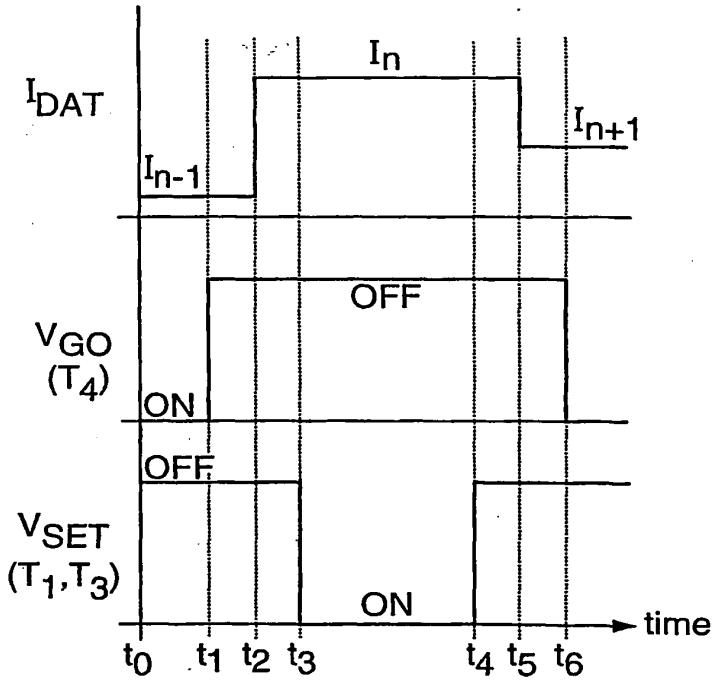

IDAT
In
In+1
In-1
OFF
VGO
(T4)
ON
OFF
VSET
(T1,T3)
ON
time
t0
t1
t2
t3
t4
t5
t6

Fig.8. SPICE Simulation Result (V_{DD} =12.5V, I_{DAT}=IμA)

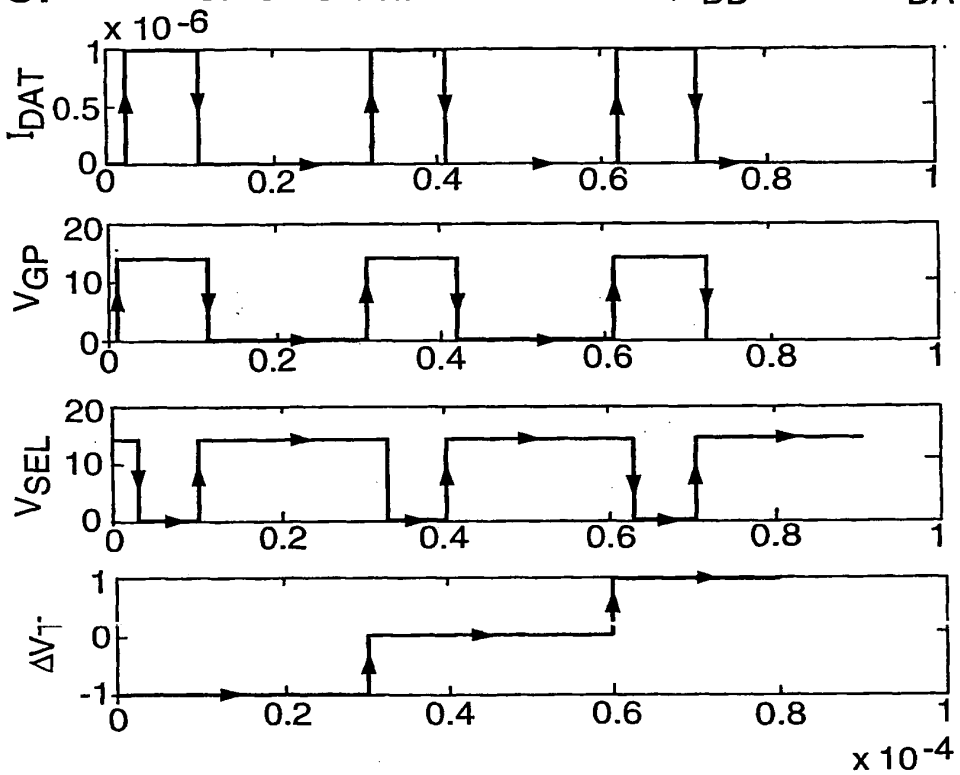
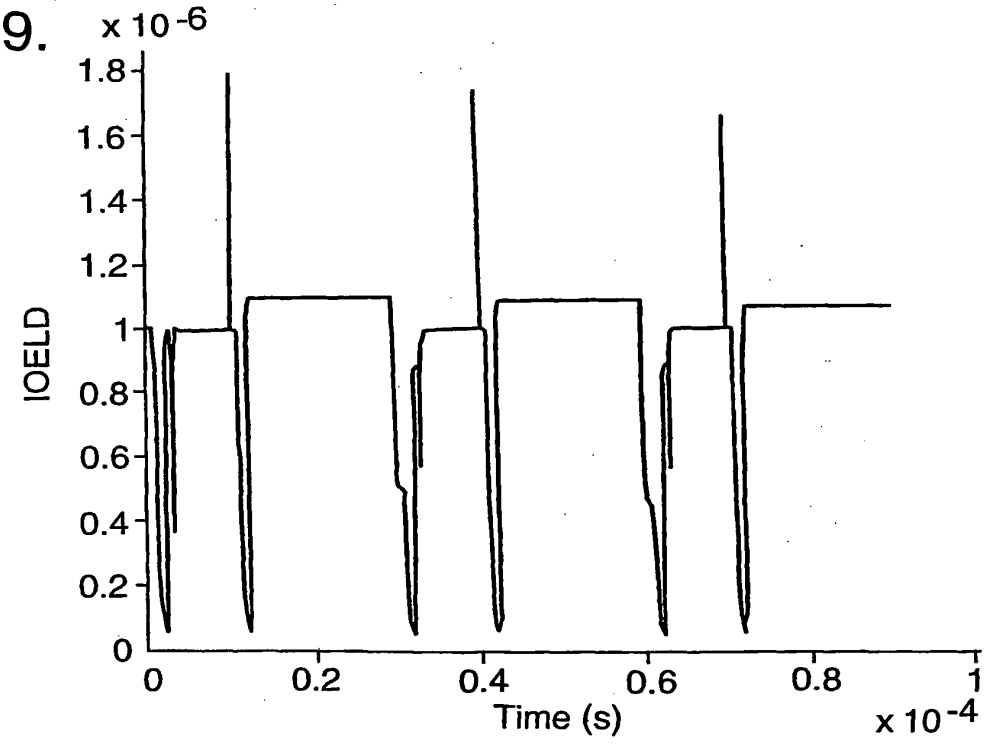


Fig.9.



3NSDOCID: <WO 0175853A1 I >

Fig.10.

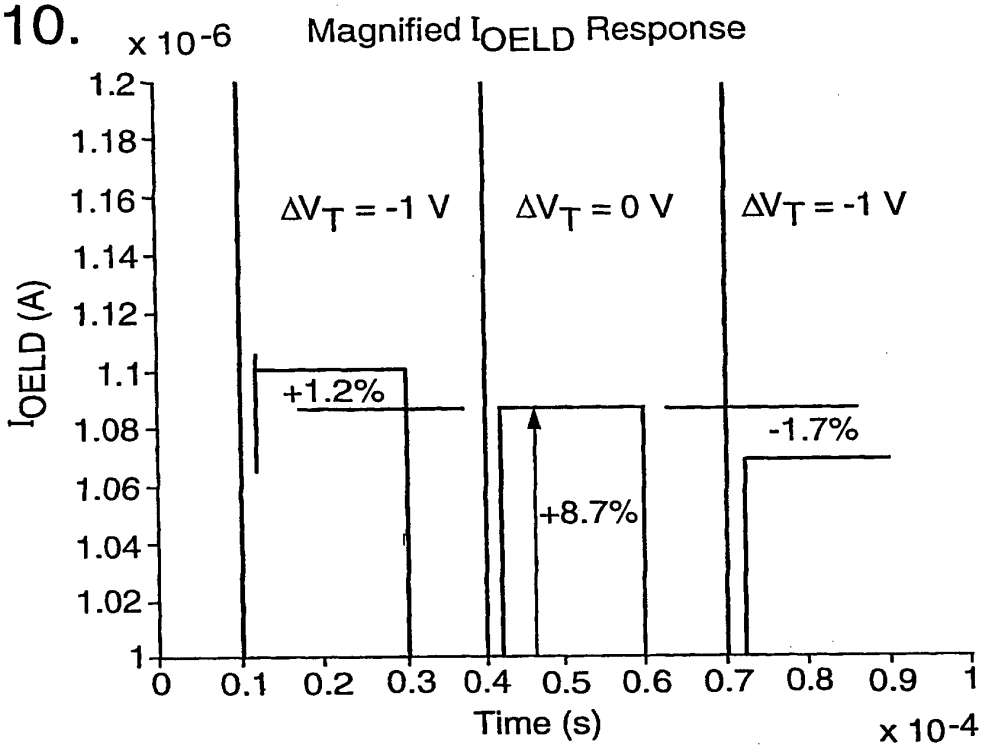
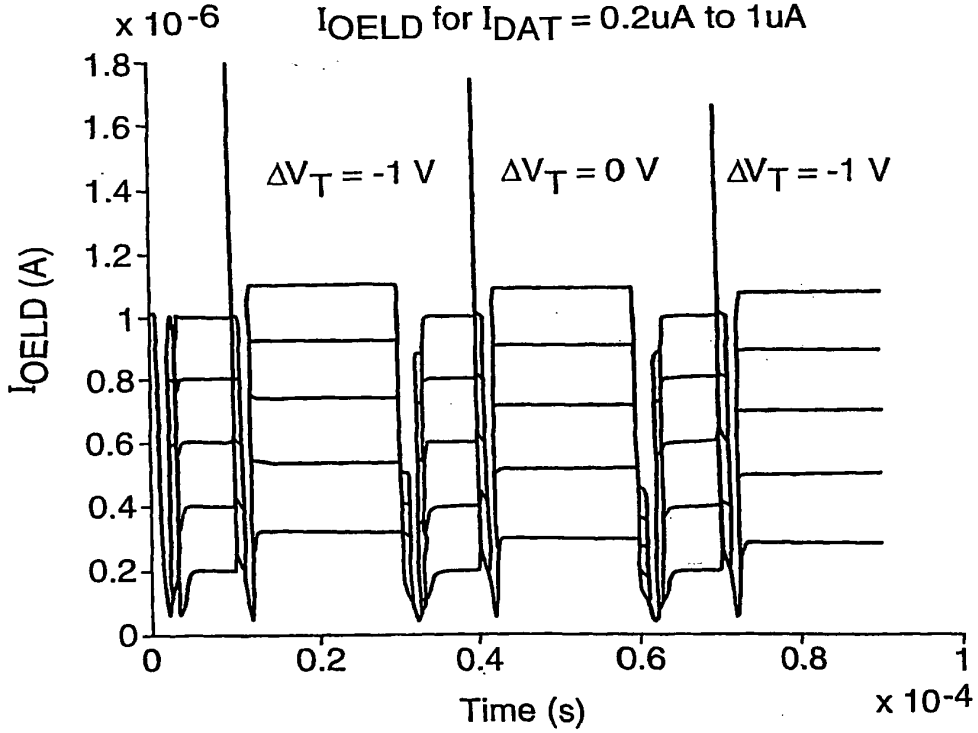

x 10-6
Magnified IOELD Response
1.2
1.18
1.16
1.14
1.12
1.1
1.08
1.06
1.04
1.02
1
IOELD (A)
ΔVT = -1 V
ΔVT = 0 V
ΔVT = -1 V
+1.2%
+8.7%
-1.7%
0 0.1 0.2 0.3 0.4 0.5 0.6 0.7 0.8 0.9 1
Time (s)
x 10-4

Fig.11.


x 10-6
IOELD for IDAT = 0.2uA to 1uA
1.8
1.6
1.4
1.2
1
0.8
0.6
0.4
0.2
0
IOELD (A)
ΔVT = -1 V
ΔVT = 0 V
ΔVT = -1 V
0 0.2 0.4 0.6 0.8 1
Time (s)
x 10-4

INTERNATIONAL SEARCH REPORT

ıational Application No
ı ı/GB 01/01460

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G09G3/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 923 067 A (SEIKO EPSON CORP) 16 June 1999 (1999-06-16)	1-3, 12-14
A	abstract; figures 11,12 column 36, line 41 -column 37, line 58	4,10,11, 15
X	WO 99 52095 A (FED CORP ;MALAVIYA SHASHI (US)) 14 October 1999 (1999-10-14) abstract; figures 6,7 page 12, line 7 -page 14, line 6	1,12
A	WO 98 48403 A (SARNOFF CORP) 29 October 1998 (1998-10-29) abstract; figure 2	1-3,5, 15,16

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
9 July 2001	17/07/2001

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Van Roost, L

Form PCT/ISA/210 (second sheet) (July 1992)

INSDOCID: <WO_____0175853A1_I_>

INTERNATIONAL SEARCH REPORT

National Application No
PCT/GB 01/01460

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0923067 A	16-06-1999	WO 9840871 A	17-09-1998
WO 9952095 A	14-10-1999	EP 1072032 A	31-01-2001
WO 9848403 A	29-10-1998	US 6229506 B EP 0978114 A	08-05-2001 09-02-2000

Form PCT/ISA/210 (patent family annex) (July 1992)

⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　昭60－128486

⑤Int.Cl.⁴	識別記号	庁内整理番号	④公開 昭和60年(1985)7月9日
G 09 F 9/30		6615－5C	
H 01 L 27/12		8122－5F	
29/78		8422－5F	審査請求 未請求 発明の数 1 （全5頁）

⑤④発明の名称　表示装置

②①特　願　昭58－236096

②②出　願　昭58(1983)12月16日

⑦②発明者　佐藤　進　西尾市下羽角町岩谷14番地　株式会社日本自動車部品総合研究所内

⑦②発明者　中村　武宏　西尾市下羽角町岩谷14番地　株式会社日本自動車部品総合研究所内

⑦②発明者　堅田　満孝　西尾市下羽角町岩谷14番地　株式会社日本自動車部品総合研究所内

⑦②発明者　服部　正　西尾市下羽角町岩谷14番地　株式会社日本自動車部品総合研究所内

⑦①出願人　株式会社日本自動車部品総合研究所　西尾市下羽角町岩谷14番地

⑦④代理人　弁理士 青木　朗　外4名

明　細　書

1. 発明の名称

表示装置

2. 特許請求の範囲

薄膜トランジスタをスイッチ素子とするアクティブマトリックス方式表示装置において、画素電極，ゲートバスおよびドレインバスを透明導電層で構成し、トランジスタのチャンネル部を該透明導電層に接続した半導体層で構成し、該透明導電層と該半導体層からなる積層体を透明絶縁層で挟持し、該透明絶縁層の外側にコンタクトホールを介して該ゲートバスと接続した不透明ゲート電極を形成し、かつ、該ゲートバスと該ドレインバスの間の電気的絶縁を達成するために、該ゲートバスと該ドレインバスのいずれか一方をそれらの交差部において該透明絶縁層の外側に形成した不透明ブリッジ電極を介して導通させたことを特徴とする表示装置。

3. 発明の詳細な説明

技術分野

本発明は表示装置、特に薄膜トランジスタアレイによるアクティブマトリックス方式表示装置に係る。

従来技術

液晶表示装置などにおいて精細な画像を表示するために、スイッチ素子をマトリックス状に配列したアレイを用いて、液晶等を直接にスイッチ駆動する方法が最近注目されるようになっている。そのスイッチ素子として薄膜トランジスタ(TFT)を用いるとき、特に透過方式の場合、表示特性を向上させる為に画素電極はもとよりゲートバス，データバスも導電性透明電極とすることは公知である。一方、半導体部の光導電特性によるＴＦＴのオフ（ＯＦＦ）抵抗の低下を防ぐためには、ゲート部を不透明電極とし、ライトシールドとすることが有効であることも公知である。

そこで、これら両方の要求を同時に満足させるためには、ゲートラインを２種類の材料で構成し、半導体と直なるゲート電極部には不透明材料を用い、ゲートバス部は透明材料とし、そしてその上

BNSDOCID: <JP　3601284864A　>

に絶縁層を介して半導体層および透明導電層（画素電極，ソース，ドレイン，ドレインバス）を形成すればよい。しかし、この場合、ゲートラインの形成において工程数が1工程増加する。また、ゲートラインを構成する2種類の材料を連続してパターニングする際、両材料のエッチング特性を考慮する必要がある（例えば、金属によるゲート電極をパターニングした後、酸化錫等の透明導電層をパターニングするためにエッチング液として酸を用いると、ゲート電極もエッチングされてしまう）などの問題がある。

発明の目的

本発明は、上記の如き事情に鑑み、工程を複雑にすることなく、透過特性の向上とライトシールド効果の2つの要求を満足する、ＴＦＴをスイッチ素子とするアクティブマトリックス方式表示装置の新しい構成を提供することを目的とする。

発明の構成

上記目的を達成する本発明による薄膜トランジスタをスイッチ素子とするアクティブマトリックス方式表示装置は、画素電極，ゲートバスおよびドレインバスを透明導電層で構成し、トランジスタのチャンネル部を該透明導電層に接続した半導体層で構成し、該透明導電層と該半導体層からなる積層体を透明絶縁層で挟持し、該透明絶縁層の外側にコンタクトホールを介して該ゲートバスと接続した不透明ゲート電極を形成し、かつ、該ゲートバスと該ドレインバスの間の電気的絶縁を達成するために、該ゲートバスと該ドレインバスのいずれか一方をそれらの交差部において該透明絶縁層の外側に形成した不透明ブリッジ電極を介して接続したことを特徴とする。

この構成により、透明導電膜の加工が1度で済み、工程が簡単化され、また、2種類のゲートラインのエッチングも透明絶縁層が介在しているのでエッチングが容易になる。

発明の実施例

第1図～第4図は、本発明による表示装置の1画素周辺の工程順の平面図および断面図である。第1b，2b，3b図および第1c，2c，3c図は、それぞれ、第1a，2a，3a図の線分Ｂ－ＢおよびＣ－Ｃに沿う断面図である。

第1a，1b，1c図を参照すると、コーニング7059（コーニング社の引上げ法による板ガラスの商品名）等のガラス基板1上にニクロム等の導電性不透明材料を厚さ100～200nm程度に蒸着し、周知のフォトリソグラフィ技術等により、パターニングし、ゲート電極2およびブリッジ電極3を形成する。第2a，2b，2c図を参照すると、その上に窒化珪素（Si_3N_4）、酸化珪素（SiO_2）等の透明な電気絶縁性薄膜4をＣＶＤ法等により全面に厚さ100～150nm程度被着する。次いで、アモルファス（あるいはポリ）シリコン半導体をＣＶＤ法等により全面に厚さ300nm程度に被着し、パターニングすることによりスイッチング・トランジスタのチャンネル領域となる半導体層8を形成する。この透明絶縁膜4にはゲート電極用6およびブリッジ電極用7のコンタクトホールを形成する。

第3a，3b，3c図を参照すると、ＩＴＯ（Indium Tin Oxide）、酸化錫等の透明導電材料を厚さ200nm程度にスパッタリング被着し、パターニングし、ゲートバス9，ドレインバス10，画素電極11を形成する（ソース，ドレイン電極部を含む）。このエッチングでは、透明導電材料の下側に透明絶縁層4が存在するので、透明導電材料と不透明導電性材料層（ゲート電極2およびブリッジ電極3）とのエッチング特性を考慮する必要がなく、パターニングが容易である。ゲートバス9はコンタクトホール6を介してゲート電極2と接続される。また、ゲートバス9はドレインバス10と透明導電性材料の層では交差することなく、しかもゲートバス自体の導通を保つために、ゲートバス9の透明導電性材料層はドレインバス10と交差する位置で切断され、コンタクトホール7を介し、そしてブリッジ電極3を介して導通するようになっている。

こうして作成されるＴＦＴの構成はガラス基板1上にマトリックス状に配列されている。第4a図および第4b図は上記のＴＦＴを液晶パネルに

NSDOCID: <JP_____360128486A_!_>

組込んだ場合の第1a図の線分B－BおよびC－Cに沿った断面図である。上記TFTの透明導電性材料層9，10，11のパターニングの後、再びSiO_2等の透明電気絶縁性薄膜12を全面に厚さ100～300nm 程度に被着する。次いで、ゲート部をニクロムあるいはアルミニウム等の不透明膜で覆い、オプティカルシールド13とする。このオプティカルシールド13は導電性材料である必要はなく、塗料，カーボンブラック等を塗布してもよい。このように半導体層8はゲート電極2およびオプティカルシールド13によって上下両方からオプティカルシールドされているので、透過光，反射光とも遮断される。

オプティカルシールド13および透明絶縁膜12の上は液晶を配向させるためのポリマ配向膜14で全面に覆われている。液晶層15をはさんで対向側は、ガラス基板16の内面に全面の透明導電膜よりなる対向電極17と、更に内面に全面のポリマ配向膜18が形成されている。こうして、両方の基板の間に液晶が封入されている。

液晶表示装置の基本的動作は、周知のように、ゲートおよびドレインのバイアス変化に伴うTFTのON－OFFに対応して、画素電極11と対向電極（共通電極）17の間の電圧が変化し、液晶の配向が変化するものである。ここで、ゲート部のアモルファスシリコン等の半導体層はその電気伝導度が光の照射によってある程度変化する性質があるので、光の存在でTFTのOFF抵抗が減少するという問題があり、その対策としてゲート部の半導体層をオプティカルシールドすることを検討してきたわけである。

そして、従来、ゲート部の半導体層をオプティカルシールドし、かつゲートバスおよびドレインバスを透明材料で構成するためには、例えば、(1)不透明ゲート電極、(2)透明ゲートバス、(3)透明絶縁膜、(4)半導体層、(5)透明な画素電極およびドレインバスの層の5層構成が少なくとも必要であったものが、本発明により、(1)不透明なゲート電極およびブリッジ電極の層、(2)透明絶縁膜、(3)半導体層、(4)透明な画素電極、ゲートバスおよびドレインバスの層の4層による構成が可能になる。すなわち、工程数が1工程以上少なくできる。

第5図は本発明の別の実施例を示す。この実施例は前記実施例のゲート電極とブリッジ電極とを一体に構成し（図の21）、ゲートバス22との導通をコンタクトホール7および23を介して取るものである。その他は前記実施例と同様であり、図中の参照数字も同じ部分は同じ数字で示した。この実施例は、ゲート電極とブリッジ電極が分離されている必要がないことを示すものである。

第5図はもう1つの実施例を示し、第6図は第5図の線分VIB－VIBに沿った断面図である。この実施例は最初の実施例の上部オプティカルシールド13を形成するニクロム層をゲート電極およびブリッジ電極として利用するものである。最初の実施例と同様の部分は同じ参照数字で示すと、ガラス基板1の上にゲート部のみに下方オプティカルシールド31を例えばニクロム等不透明材料で形成する。次いで、SiO_2等の透明絶縁膜4を全面に被着し、その上に透明導電性層をパターニングして画素電極11，ゲートバス32およびドレインバス33を形成し、更にその上にアモルファスシリコン等の半導体層8を形成する。第2の透明絶縁膜（SiO_2等）12を全面に被着し、コンタクトホール34，35を開口した後、ニクロム等の不透明導電性膜をパターニングしてゲート電極36およびブリッジ電極37を形成する。その上にポリマ配向膜14を全面に形成し、以下最初の実施例と同様にする。こうすることによって、最初の実施例と等価な構成が得られる。すなわち、ゲート電極およびブリッジ電極は透明導電性膜の下方でも上方でもよく、さらにそれらは上下両方に分離して形成されてもよいのである（但し、上下両方に分離すると、ライトシールド層はゲート電極とブリッジ電極を形成するために両方とも必ず導電性である必要があり、かつそれらとコンタクトをとるために上下両方の透明絶縁膜にコンタクトホールを形成する必要が生じる）。

さらに、この実施例ではゲートバス32ではなくドレインバス33をブリッジ電極37を介して

導通させている。ゲートバスとドレインバスの交差部でそれらのうちいずれをブリッジ電極を介して導通させるかは、どの実施例においても任意であり、更に同一装置のマトリックスの位置によって変えてもよい。

また、オプティカルシールドは上下両方に形成することが一般的に好ましく、特に透過型ではそうであるが、反射型では上方だけにオプティカルシールドを形成してもよい。

以上の実施例では、本発明によるマトリックス状スイッチ素子（ＴＦＴ）を液晶表示パネル（ＬＣＤパネル）に組み込んだ例を示したが、エレクトロルミネッセントパネル（ＥＬパネル）等への応用も可能であり、本発明は光の照射があるマトリックス状駆動回路一般に適用できるものである。

発明の効果

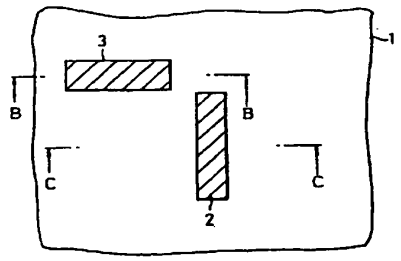
以上の説明から明らかなように、本発明により、ＴＦＴをスイッチ素子とするアクティブマトリックス表示装置において、オプティカルシールドによりＴＦＴのＯＦＦ抵抗の低下を防止しかつゲートバスおよびドレインバスを透明材料にして表示特性を高め、しかもその製造工程を簡単にすることが可能になる。

4. 図面の簡単な説明

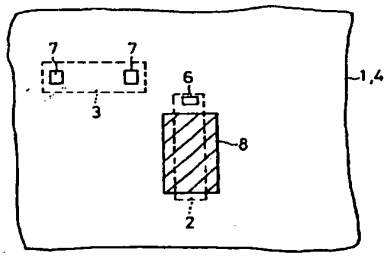
第１ａ，２ａ，３ａ図は本発明の実施例の表示装置の工程順の平面図、第１ｂ，２ｂ，３ｂ，４ａ図はその線分Ｂ－Ｂに沿った断面図、第１ｃ，２ｃ，３ｃ，４ｂ図はその線分Ｃ－Ｃに沿った断面図、第５図は第２の実施例の平面図、第６ａ図は第３の実施例の平面図、第６ｂ図はその線分ＶＩＢ－ＶＩＢに沿った断面図である。

１，１６……ガラス基板、２……ゲート電極（不透明）、３……ブリッジ電極（不透明）、４，１２……透明絶縁膜、５，７……コンタクトホール、８……半導体層、９……ゲートバス、１０……ドレインバス、１１……画素電極、１３……ライトシールド（不透明）、１４，１９……ポリマ配向膜（透明）、１５……液晶、１７……対向電極（透明）。

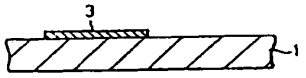
第 1a 図



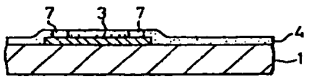
第 2a 図



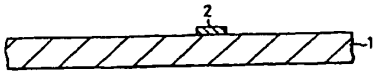
第 1b 図



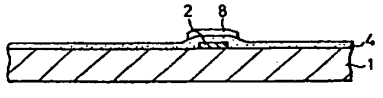
第 2b 図



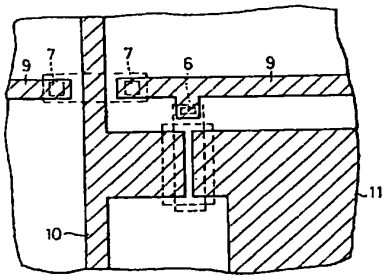
第 1c 図



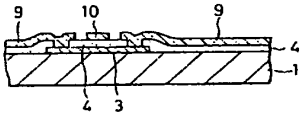
第 2c 図



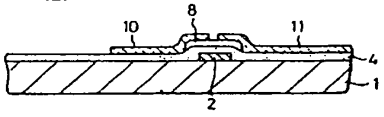
第 3a 図



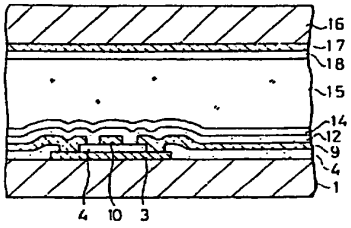
第 3b 図



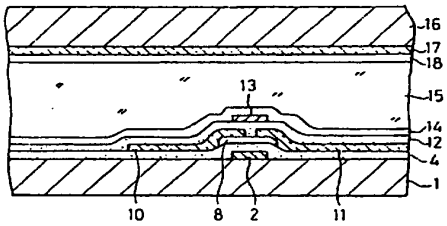
第 3c 図



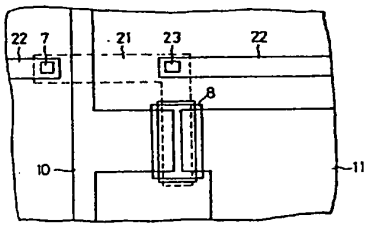
第 4a 図



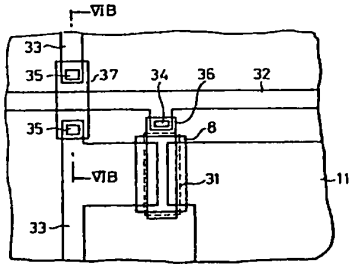
第 4b 図



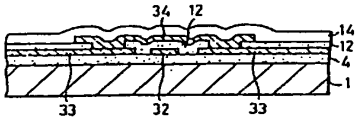
第 5 図



第 6a 図



第 6b 図



(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 1 003 223 A2

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
24.05.2000 Bulletin 2000/21

(51) Int. Cl.[7]: **H01L 29/786**, H01L 21/331, H01L 21/8238, H01L 27/092

(21) Application number: **99122785.1**

(22) Date of filing: **16.11.1999**

(84) Designated Contracting States:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE
Designated Extension States:
AL LT LV MK RO SI

(30) Priority: **17.11.1998 JP 32718098**
28.12.1998 JP 37322298
22.07.1999 JP 20695899

(71) Applicant:
SEL SEMICONDUCTOR ENERGY LABORATORY CO., LTD.
Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(72) Inventor: **Yamazaki, Shunpei**
Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(74) Representative:
Grünecker, Kinkeldey,
Stockmair & Schwanhäusser
Anwaltssozietät
Maximilianstrasse 58
80538 München (DE)

(54) Method of fabricating a TFT

(57) There is provided a thin film transistor having improved reliability. A gate electrode includes a first gate electrode having a taper portion and a second gate electrode with a width narrower than the first gate electrode. A semiconductor layer is doped with phosphorus of a low concentration through the first gate electrode. In the semiconductor layer, two kinds of n^--type impurity regions are formed between a channel formation region and n^+-type impurity regions. Some of the n^--type impurity regions overlap with a gate electrode, and the other n^--type impurity regions do not overlap with the gate electrode. Since the two kinds of n^--type impurity regions are formed, an off current can be reduced, and deterioration of characteristics can be suppressed.

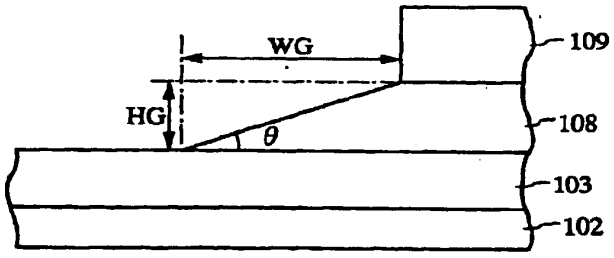


FIG. 3

EP 1 003 223 A2

Printed by Xerox (UK) Business Services
2.16.7 (HRS)/3.6

Description

BACKGROUND OF THE INVENTION

1. Field of the Invention

[0001] The present invention relates to a thin film transistor (hereinafter referred to as a "TFT") and a semiconductor device including a circuit constituted by thin film transistors. The present invention also relates to, as the semiconductor device, an electro-optical device typified by, for example, a liquid crystal panel, and an electronic equipment including such an electro-optical device as a part. Incidentally, the term "semiconductor device" in this specification indicates any devices functioning by using semiconductor characteristics, and an electro-optical device, a semiconductor circuit, and an electronic equipment are also semiconductor devices.

2. Description of the Related Art

[0002] In recent years, attention has been paid to an active matrix type liquid crystal display device in which its circuit is constituted by TFT's using polysilicon films. This device controls an electric field applied to a liquid crystal in a matrix state by a plurality of pixels arranged in a matrix form, and realizes an image display with high fineness.

[0003] In such an active matrix type liquid crystal display device, as the resolution becomes high fineness like XGA or SXGA, the number of pixels alone comes to exceed one million. A driver circuit for driving all the pixels is formed of very complicated and numerous TFT's.

[0004] The specification required for an actual liquid crystal display device (also called a liquid crystal panel) is severe, and in order that all pixels normally operate, high reliability must be secured for both the pixels and the driver. Particularly, if an abnormality occurs in the driver circuit, there occurs a bad state called a linear defect in which all pixels of one column (or one row) are destroyed.

[0005] However, a TFT using a polysilicon film is generally considered to be inferior in reliability to a MOSFET (transistor formed on a single crystal semiconductor substrate) used for an LSI or the like. Such a view becomes strong that it is difficult to form an LSI circuit by TFTs unless this weak point is overcome.

[0006] As a structure for improving the reliability of a TFT, GOLD (Gate Overlapped Light-doped Drain), LATID (Large-Tilt-Angle Implanted Drain), and the like are known. The feature of these structures is that an LDD region and a gate electrode overlap with each other, and by doing so, it becomes possible to reduce an impurity concentration of the LDD region, an effect of relieving an electric field becomes large, and hot carrier resistance becomes high.

[0007] For example, in "M. Hatano, H. Akimoto, and T. Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997", a TFT with the GOLD structure is realized by using a side wall formed of silicon.

[0008] However, the GOLD structure disclosed in the paper has a problem that an off current (current flowing when a TFT is in an off state) becomes large as compared with a normal LDD structure, and a countermeasure for that has been required.

SUMMARY OF THE INVENTION

[0009] An object of the present invention is to provide a TFT in which the defect of a GOLD structure TFT is removed, an off current is reduced, and hot carrier resistance is high. Another object of the invention is to realize a highly reliable semiconductor device including a semiconductor circuit which is formed of such TFTs.

[0010] In order to achieve the foregoing objects, a thin film transistor of the present invention includes an n-type or p-type first impurity region functioning as a source region or drain region in a semiconductor layer in which a channel is formed, and two kinds of impurity regions (second and third impurity regions) disposed between the channel and the first impurity region and having the same conductivity as the first impurity region. These second and third impurity regions have a concentration of an impurity, which determines the conductivity, lower than that of the first impurity region and function as high resistance regions.

[0011] The second impurity region is a low concentration impurity region which overlaps with a gate electrode through a gate insulating film, and has a function to increase hot carrier resistance. On the other hand, the third impurity region is a low concentration impurity region which does not overlap with the gate electrode, and has a function to prevent an off current from increasing.

[0012] Incidentally, the gate electrode is an electrode intersecting with the semiconductor layer through the gate insulating film, and is an electrode to form a depletion layer by applying an electric field to the semiconductor layer. In gate wiring lines, its portion intersecting with the semiconductor layer through the gate insulating film is the gate electrode.

[0013] Further, in the gate electrode of the present invention, the thickness of the periphery of the gate electrode is linearly decreased from its center flat portion toward the outside. Since the impurity to give the conductivity is added into the second impurity region through a taper portion of the gate electrode, the gradient of the concentration reflects the slant (change in the thickness) of the side of the gate electrode. That is, the concentration of the impurity added into the second impurity region increases from the channel formation region toward the first region.

[0014] In the present invention, in another structure of the gate electrode, a first gate electrode being in contact with a gate insulating film and a second gate elec-

trode formed on the first gate electrode are laminated to each other. In this structure, an angle formed between the side of the first gate electrode and the gate insulating film is from 3 degrees to 60 degrees, and a taper shape is formed. On the other hand, the width of the second gate electrode in the channel length direction is shorter than the first gate electrode.

[0015] Also in a thin film transistor including the above laminate type gate electrode, the concentration distribution of the impurity in the second impurity region reflects the change in the film thickness of the first gate electrode, and its impurity concentration increases from the channel formation region toward the first region.

[0016] Since the thin film transistor of the present invention includes the two kinds of low concentration impurity regions in the semiconductor layer, it has reliability comparable to or superior to a MOSFET.

BRIEF DESCRIPTION OF THE DRAWINGS

[0017]

Figs. 1A to 1D are sectional views showing fabricating steps of a TFT of the present invention (embodiment mode 1);
Figs. 2A to 2C are sectional views showing fabricating steps of a TFT of the present invention (embodiment mode 1);
Fig. 3 is a partial sectional view of a gate electrode (embodiment Mode 1);
Figs. 4A to 4D are partial sectional views of semiconductor layers (embodiment mode 1);
Figs. 5A to 5C are sectional views showing fabricating steps of a TFT of the present invention (embodiment mode 2);
Figs. 6A to 6C are sectional views showing fabricating steps of a TFT of the present invention (embodiment mode 2);
Fig. 7 is a sectional view of a TFT of the present invention (embodiment mode 3);
Fig. 8 is a sectional view of a TFT of the present invention (embodiment mode 4);
Fig. 9 is a sectional view of a TFT of the present invention (embodiment mode 4);
Fig. 10 is a view showing the outline of a liquid crystal display device of the present invention (example 1);
Figs. 11A to 11C are top views showing a pixel portion and a CMOS circuit of the present invention (example 1);
Figs. 12A and 12B are sectional views of an active matrix substrate of the present invention (example 1);
Figs. 13A to 13F are sectional views showing fabricating steps of a pixel portion of the present invention (example 1);
Figs. 14A to 14E are sectional views showing fabricating steps of the pixel portion of the present invention (example 1);
Figs. 15A to 15F are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 1);
Figs. 16A to 16E are sectional views showing fabricating steps of the CMOS circuit of the present invention (example 1);
Figs. 17A to 17E are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 2);
Figs. 18A to 18E are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 3);
Figs. 19A to 19E are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 4);
Figs. 20A to 20E are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 5);
Figs. 21A to 21E are sectional views showing fabricating steps of a CMOS circuit of the present invention (example 6);
Fig. 22 is a view showing a plasma generating mechanism of an ICP etching apparatus (example 7);
Fig. 23 is a conceptual view of an ICP etching apparatus of a multi-spiral coil system (example 7);
Fig. 24 is a characteristic view of bias power versus taper angle θ (example 7);
Fig. 25 is a characteristic view of CF_4 flow rate versus taper angle θ (example 7);
Fig. 26 is a characteristic view of (W/resist) selection ratio versus taper angle θ (example 7);
Figs. 27A and 27B are views showing fabricating steps of a crystalline silicon film of the present invention (example 8);
Figs. 28A and 28B are views showing fabricating steps of a crystalline silicon film of the present invention (example 9);
Figs. 29A and 29B are views showing fabricating steps of a crystalline silicon film of the present invention (example 10);
Figs. 30A and 30B are views showing fabricating steps of a crystalline silicon film of the present invention (example 11);
Figs. 31A to 31D are views showing fabricating steps of a CMOS circuit of the present invention (example 13);
Figs. 32A to 32F are views showing examples of electronic equipments of the present invention (example 15);
Figs. 33A to 33D are views showing examples of electronic equipments of the present invention (example 15);
Figs. 34A to 34H are characteristic views of gate voltage - drain current of a TFT;
Figs. 35A to 35B are views showing a structure of an active matrix type EL display panel (example

16);

Figs. 36A to 36B are views showing a structure of an active matrix type EL display panel (example 17);

Fig. 37 is a view showing a cross section of a pixel portion in the an active matrix type EL display panel (example 18);

Figs. 38A to 38B are views showing a structure of the pixel portion in an active matrix type EL display panel and a circuit structure for the pixel portion, respectively (example 18);

Fig. 39 is a view showing a structure of a pixel portion in an active matrix type EL display panel (example 19);

Figs. 40A-40C are views showing circuit structures for pixel portions in active matrix type EL display panels (example 20).

DETAILED DESCRIPTION OF THE INVENTION

[0018] First, the advantages of the present invention as compared with a conventional TFT will be described with reference to Figs. 34A to 34H.

[0019] The feature of the present invention is that two kinds of low concentration impurity regions of a second impurity region (gate overlap type LDD region) and a third impurity region (gate non-overlap type LDD region) are formed in a semiconductor layer.

[0020] Fig. 34A is a schematic view of an n-channel TFT without an LDD region, and Fig. 34B is a view showing its electrical characteristics (characteristics of gate voltage Vg versus drain current Id). Similarly, Figs. 34C and 34D show a case of a normal LDD structure, Figs. 34E and 34F show a case of a so-called GOLD structure, and Figs. 34G and 34H show a case of an n-channel TFT of the present invention.

[0021] In the drawings, reference character "n^+" designates a source region or drain region, "channel" designates a channel formation region, and "n^-" designates a low concentration impurity region having an impurity concentration lower than the region "n^+". The reference character "Id" designates a drain current and "Vg" designates a gate voltage.

[0022] As shown in Figs. 34A and 34B, in the case where an LDD does not exist, an off current (drain current when a TFT is in an off state) is high, and an on current (drain current when the TFT is in an on state) and the off current are apt to deteriorate.

[0023] On the other hand, by forming a gate non-overlap type LDD, the off current can be considerably suppressed, and deterioration of both the on current and the off current can be suppressed. However, the deterioration of the on current is not completely suppressed (Figs. 34C and 34D).

[0024] The TFT structure shown in Figs. 34E and 34F (GOLD structure) has only an overlap type LDD in which an LDD region overlaps with a gate electrode, and this structure is such that importance is attached to the suppression of deterioration of an on current in the conventional LDD structure.

[0025] In this case, although the deterioration of the on current can be sufficiently suppressed, this structure has a problem that the off current is slightly higher than the normal non-overlap type LDD structure. The paper disclosed in the prior art adopts this structure, and on the premise of the recognition of this problem that the off current is high, the present invention is a result obtained after searching for a structure to solve this problem.

[0026] As shown in Figs. 34G and 34H, the structure of the present invention is such that an LDD region (second impurity region) which is made to overlap with a gate electrode and an LDD region (third impurity region) which does not overlap with the gate electrode are formed in a semiconductor layer. By adopting this structure, it becomes possible to reduce the off current while the effect of suppressing the deterioration of the on current is maintained.

[0027] The present applicant has presumed the reason why the off current becomes high in the case of the structure as shown in Figs. 34E and 34F as follows: When an n-channel TFT is in an off state, a negative voltage of minus several tens volts is applied to a gate electrode. If a positive voltage of plus several tens volts is applied to a drain region in that state, a very large electric field is formed at a drain side end of a gate insulating film.

[0028] At this time, holes are induced in the LDD region, and a current path through minority caters and connecting the drain region, the LDD region, and the channel formation region is formed. It is expected that this current path causes the increase of the off current.

[0029] The present applicant has considered that in order to cut off such a current path on the way, it is necessary to form another resistor, that is, a third impurity region of an LDD region at a position where it does not overlap with the gate electrode. The present invention relates to a thin film transistor having such a structure and a circuit using this thin film transistor.

[Embodiment Mode of the Invention]

[0030] Embodiment modes of the present invention will be described with reference to Figs. 1A to 7.

[Embodiment Mode 1]

[0031] In this embodiment mode, the present invention is applied to a TFT. Fabricating steps in this embodiment mode will be described with reference to Figs. 1A to 4D.

[0032] First, an under film 101 is formed on the entire surface of a substrate 100, and an island-like semiconductor layer 102 is formed on the under film 101. An insulating film 103 which becomes a gate insulating film is formed on the entire surface of the sub-

strate 100 to cover the semiconductor layer 102 (Fig. 1A).

[0033] As the substrate 100, a glass substrate, a quartz substrate, a crystalline glass substrate, a stainless substrate, or a resin substrate of polyethylene terephthalate (PFT) etc. may be used.

[0034] The under film 101 is a film for preventing an impurity such as a sodium ion from diffusing from the substrate to the semiconductor layer 102 and for increasing the adhesion of a semiconductor film formed on the substrate 100. As the under film 101, a single-layer or multi-layer film of an inorganic insulating film such as a silicon oxide film, a silicon nitride film, and a silicon nitride oxide film.

[0035] As a method of forming the under film 101, it is possible to use not only a CVD method or a sputtering method, but also a method of forming a silicon oxide film by forming and thermally oxidizing an amorphous silicon film in the case where a heat-resistant substrate such as a quartz substrate is used.

[0036] As the under film 101, it is possible to use not only the above inorganic insulating film, but also a multi-layer film in which the above inorganic insulating film as an upper layer is laminated on a lower layer of a conductive film of metal or alloy such as silicide of tungsten silicide etc., chromium, titanium, titanium nitride, and aluminum nitride.

[0037] The material and crystallinity of the semiconductor layer 102 may be suitably selected according to characteristics required for the TFT. It is possible to use amorphous silicon, amorphous silicon germanium, amorphous germanium, or crystalline silicon, crystalline germanium, or crystalline silicon germanium, which is obtained by crystallizing the amorphous semiconductor with laser irradiation or heating treatment. The thickness of the semiconductor layer 102 may be made 10 to 150 nm.

[0038] The insulating film 103 is a film for making a gate insulating film of the TFT, and is a single-layer film or a multi-layer film of an inorganic film of silicon oxide, silicon nitride, or silicon nitride oxide. For example, in the case of making a laminate film, a two-layer film of a silicon nitride oxide film and a silicon oxide film, a laminate film of a silicon nitride film sandwiched between silicon oxide films, or the like may be used.

[0039] As a method of forming the insulating film 103, a chemical vapor deposition method (CVD) such as a plasma CVD method or ECRCVD method, or a physical vapor deposition method (PVD) such as a sputtering method may be used.

[0040] A first conductive film 104 and a second conductive film 105 for making a gate electrode (gate wiring line) are formed on the insulating film 103 (Fig. 1B).

[0041] The first conductive film 104 makes a first gate electrode (first gate wiring line) 108 having a taper portion. Thus, it is desirable to use a material in which taper etching can be easily carried out. For example, a material containing chromium (Cr) or tantalum (Ta) as its main ingredient (composition ratio is 50 % or more), or n-type silicon containing phosphorus is typically used. Besides, a material containing titanium (Ti), tungsten (W), molybdenum (Mo), or the like as its main ingredient may be used. Besides, it is possible to use not only a single-layer film of the material but also a multi-layer film, for example, a three-layer film of tantalum nitride (TaN) films and a tantalum film sandwiched between them.

[0042] The second conductive film 105 is a film for making a second gate electrode (second gate wiring line) 109, and it may be formed of a material containing aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo) as its main ingredient (composition ratio is 50 % or more), or a material such as n-type silicon containing phosphorus or silicide. However, it is necessary to select such materials that there is an etching selection ratio in mutual patterning of the first conductive film and the second conductive film.

[0043] For example, as the first conductive film 104/the second conductive film 105, it is possible to select the combination of n-type Si/Ta, n-type Si/Ta-Mo alloy, Ta/Al, Ti/Al, WN/W, TaN/Ta, etc. As another index of selection of materials, it is desirable that the second conductive film 105 has resistivity as low as possible, and is made of a material having sheet resistance lower than, at least, the first conductive film 104. This is because contact is made between the second gate wiring line and an upper layer wiring line in order to connect the gate wiring line to the upper layer wiring line. The thickness of the first conductive film 104 is made 10 to 400 nm, the thickness of the second conductive film is made 10 to 400 nm, and the total of the thicknesses is made 200 to 500 nm.

[0044] Next, a resist mask 106 is formed on the second conductive film 105. The second conductive film 105 is etched by using the resist mask 106 to form a second gate electrode 109. As etching, isotropic wet etching may be used. If an etching selection ratio can be secured with respect to the first conductive film 104, dry etching may be used (Fig. 1C).

[0045] The first conductive film 104 is anisotropically etched (so-called taper etching) by using the same resist mask 106 to form a first gate electrode (first gate wiring line) 108. A new resist mask may be formed for this etching.

[0046] By this etching, as shown in Fig. 3, a taper angle θ between a side of the gate electrode 108 and the gate insulating film 103 is made from 3 degrees to 60 degrees. This taper angle θ is made preferably from 5 degrees to 45 degrees, more preferably from 7 degrees to 20 degrees. The smaller the angle θ is, the smaller the change in the thickness of the taper portion of the gate electrode 108 is, and correspondingly to this, it is possible to moderate the change of concentration of an n-type or p-type impurity in a portion of the semiconductor layer which intersects with the taper portion.

[0047] As shown in Fig. 3, the taper angle θ is defined as tan θ = HG/WG using the width WG of the taper portion and the thickness HG.

[0048] The resist mask 106 is removed and an impurity of predetermined conductivity (n-type or p-type) is added into the semiconductor layer 102 by using the gate electrodes 108 and 109 as masks. As a method of the addition, an ion implantation method or an ion doping method may be used. The n-type impurity is an impurity which becomes a donor, is an element in group 15 with respect to silicon or germanium, and is typically phosphorus (P) or arsenic (As). The p-type impurity is an impurity which becomes an acceptor, is an element in group 13 with respect to silicon or germanium, and is typically boron (B).

[0049] Here, phosphorus is added by the ion doping method to form n^--type impurity regions 111 and 112. In this adding step, the concentration distribution of the n-type impurity in n^--type second impurity regions 124 and 125, and n^--type third impurity regions 126 and 127 is determined. In this specification, the term n^--type indicates that the concentration of an impurity which becomes a donor is lower than n^+ type, and the sheet resistance is higher (Fig. 2A).

[0050] Since phosphorus is added into the n^--type impurity regions 111 and 112 through the taper portion of the first gate electrode 108, the concentration gradient reflects the change in the thickness of the taper portion of the first gate electrode 108 as shown in the drawing. That is, in the concentration distribution of phosphorus in the depth direction, when attention is paid to a depth where the concentration has an arbitrary value, the gradient of the concentration becomes a profile reflecting the slant of the taper portion of the gate electrode.

[0051] Further, as described later, the concentration gradient of the n^--type impurity regions 111 and 112 depends on also an acceleration voltage at the time of doping. In the present invention, for the purpose of making phosphorus pass through the taper portion of the first gate electrode 108 and the insulating film 103, it is necessary to set the acceleration voltage of doping as high as 40 to 100 keV. If this acceleration voltage is selected, phosphorus can pass through the portion with a thickness of 100 nm or less of the taper portion of the gate electrode 108.

[0052] In Fig. 2A, although the regions overlapping with the first electrode 108 in the n^--type impurity regions 111 and 112 are respectively shown by a hatching portion and a blank portion, this does not indicate that phosphorus is not added into the blank portion, but as described above, this is intended to make it possible to intuitively understand that the concentration distribution of phosphorus in this region reflects the thickness of the taper portion of the first gate electrode 108. The same thing can be said of the other drawings in this specification.

[0053] Next, a resist mask 120 covering the gate electrodes 108 and 109 is formed. The length of the third impurity region is determined by this mask 120. Phosphorus as an n-type impurity is again added into the semiconductor layer 102 by the ion doping method through the resist mask 120 (Fig. 2B).

[0054] Phosphorus is selectively added into the n^--type impurity regions 111 and 112 not covered with the resist mask 120, so that n^+-type first impurity regions 122 and 123 are formed. Since a region 121 covered with the second gate electrode 109 is not added with phosphorus in the adding steps of Figs. 2A and 2B, it becomes a channel formation region.

[0055] In the n^--type impurity regions 111 and 112, regions which were not added with phosphorus in the adding step of Fig. 2B become low concentration impurity regions 124 to 127 which have resistance higher than source/drain regions.

[0056] The regions 124 and 125 overlapping with the first gate electrode 108 become the n^--type second impurity region, and the regions not overlapping with the first electrode 108 become the n^--type third impurity regions 126 and 127.

[0057] Incidentally, prior to the adding step of Fig. 2B, the surface of the semiconductor layer 102 may be exposed by etching the insulating film 103 with the gate wiring line as a mask.

[0058] As shown in Figs. 4A to 4D, the second impurity region 124 is classified into four types. For the purpose of distinguishing these, Fig. 4 is divided into Figs. 4A to 4D, and reference numerals 121 and 124 are added with indices A-D Although not shown in Figs. 4A to 4D, the other second impurity region 125 symmetrically formed with respect to the gate electrode 109 is also similar to the region 124.

[0059] As shown in Fig. 4A, the concentration of phosphorus in a second impurity region 124A is in inverse proportion to the change of the thickness of the taper portion of the first gate electrode 108, and it is almost linearly decreased from the third impurity region 126 toward a channel formation region 121A. That is, in the case where the concentration of phosphorus in the second impurity region 124A is averaged in the depth direction, the averaged concentration of phosphorus increases from the channel formation region 121A toward the third impurity region 126A.

[0060] In this case, in the third impurity region 126A, the averaged concentration of phosphorus in the thickness direction becomes almost uniform in the region 126A. Since phosphorus is not absolutely added into the semiconductor layer covered with the second gate electrode 109, this region becomes the channel formation region 121A, and a channel length LA becomes the width of the second gate electrode 109 in the channel length direction.

[0061] In the phosphorus adding step of Fig. 2A, in the case of making an acceleration voltage higher than the case of Fig. 4A, as shown in Fig. 4B, phosphorus is added also into a connection portion of a second impu-

INSDOCID: <EP 1003223A2 I >

rity region 124B to a channel formation region 121B. Also in this case, the channel formation region 121B is a region covered with the second gate electrode 109, and a channel length LB becomes the width of the second gate electrode 109 in the channel length direction. Even if the acceleration voltage is the same as the case of Fig. 4A, also in the case where the taper angle is small or the thickness of the taper portion is thin, the second impurity region 124B can be formed.

[0062] In the case of further increasing the acceleration voltage, as shown in Fig. 4C, the concentration of phosphorus averaged in the thickness direction can also be made uniform in a second impurity region 124C. In this case, a channel length LC becomes the width of the second gate electrode 109 in the channel length direction.

[0063] When the acceleration voltage is made smaller than the case of Fig 4A in the phosphorus adding step of Fig. 2A, as shown in Fig. 4D, since phosphorus can pass through only a thin portion of the taper portion of the first gate electrode 108, a second impurity region 124D becomes narrower than that in Fig. 4A.

[0064] In the second impurity region 124D, similarly to Fig. 4A, the averaged concentration of phosphorus in the depth direction is gradually decreased from a third impurity region 126D toward a channel formation region 121D. However, the case of Fig. 4D is different from Fig. 4A, that is, the connection portion between the second impurity region 124D and the channel formation region 121D exists under the taper portion of the first gate electrode 108. Thus, a channel length LD becomes wider than the width of the second gate electrode 109 in the channel length direction.

[0065] Even if the acceleration voltage is the same as Fig. 4A, also in the case where the taper angle is large or the film of the first gate electrode 108 is thick, the second impurity region 124D of Fig. 4D can be formed.

[0066] As described above, when the impurity is added by the plasma doping method, in the taper portion of the first gate electrode 108, the impurity can pass through the portion with a thickness of 100 nm or less to form the second impurity region 124, so that the channel length and the length of the second impurity region can be controlled by adjusting the thickness of the first conductive film 104 (thickness of a portion where the thickness of the first gate electrode 108 becomes maximum) and the taper angle θ.

[0067] Here, the length (in the channel length direction) of the first impurity regions 122 and 123 is 2 to 20 μm (typically 3 to 10 μm). The concentration of the impurity (in this case, phosphorus) to give the conductivity to the semiconductor layer is 1×10^{19} to 1×10^{21} atoms/cm^3 (typically 1×10^{20} to 5×10^{20} atoms/cm^3). The first impurity regions 122 and 123 are respectively low resistance regions to electrically connect a source wiring line or drain wiring line with the TFT, and become a source region or drain region.

[0068] The length of the second impurity regions 124 and 125 is 0.1 to 1 μm (typically 0.1 to 0.5 μm, preferably 0.1 to 0.2 μm), and the concentration of phosphorus is 1×10^{15} to 1×10^{17} atoms/cm^3 (typically 5×10^{15} to 5×10^{16} atoms/cm^3, preferably 1×10^{16} to 2×10^{16} atoms/cm^3). Since the impurity is added through the first gate electrode 108, the concentration of phosphorus becomes lower than the first and third impurity regions.

[0069] The length of the third impurity regions 126 and 127 is 0.5 to 2 μm (typically 1 to 1.5 μm), and the concentration of phosphorus is 1×10^{16} to 1×10^{19} atoms/cm^3 (typically 1×10^{17} to 5×10^{18} atoms/cm^3, preferably 5×10^{17} to 1×10^{18} atoms/cm^3).

[0070] The channel formation region 121 is made of an intrinsic semiconductor layer, and is a region which does not contain an impurity (phosphorus) added into the first impurity region or a region which contains boron with a concentration of 1×10^{15} to 5×10^{18} atoms/cm^3. Boron is an impurity for controlling threshold voltage or for preventing punch through, and other elements may be used if the same effect is obtained. Also in that case, its concentration is made the same as boron.

[0071] Although the low concentration impurity region (third impurity regions 126, 127) not overlapping with the gate electrode is formed between the first impurity regions 122, 123 and the second impurity regions 124, 125, two or more impurity regions where impurity concentration is different from each other may be formed in this portion. In the present invention, at least one impurity region with impurity (phosphorus) concentration lower than the first impurity regions 122, 123, that is, at least one impurity region with resistance higher than the first impurity regions 122, 123 has only to exist at least between the first impurity regions 122, 123 and the second impurity regions 124, 125. Of course, it is also important that this impurity region (third impurity region) with high resistance does not overlap with the gate electrode.

[0072] After the first impurity regions 122 and 123 are formed, the resist mask 120 is removed. Phosphorus added into the semiconductor layer 102 is activated by a heat treatment. As the activation step, not only the heat treatment but also light annealing by laser or infrared lamp light may be carried out.

[0073] Next, an interlayer insulating film 130 made of silicon oxide or the like is formed. Contact holes reaching the first impurity regions 122 and 123, and the second gate wiring line 109 are formed in the gate insulating film 103 and the interlayer insulating film 130. A source electrode 131, a drain electrode 132, and a not-shown lead electrode for the gate wiring line are formed.

[Embodiment Mode 2]

[0074] Fabricating steps of a TFT of this embodiment mode 2 will be described with reference to Figs. 5A to 5C and Figs. 6A to 6C. This embodiment mode is

BNSDOCID: <EP_____1003223A2 I >

a modified example of the embodiment mode 1, in which the structure of a gate electrode (gate wiring line) is modified, and another main structure is the same as the embodiment mode 1.

[0075] Although the gate electrode in the embodiment mode 1 has such a structure that two gate electrodes with different widths are laminated, in this embodiment mode, the upper second electrode is omitted, and the gate electrode is formed of only a first gate electrode having a taper portion.

[0076] First, an under film 141 is formed on the entire surface of a substrate 140, and an island-like semiconductor layer 142 is formed on the under film 141. An insulating film 143 which becomes a gate insulating film is formed on the entire surface of the substrate 140 to cover the semiconductor layer 142 (Fig. 5A).

[0077] A conductive film 144 for making a gate electrode (gate wiring line) is formed on the gate insulating film 143. It is desirable that this conductive film 144 is made of a material in which taper etching can be easily carried out. For example, a material containing chromium (Cr) or tantalum (Ta) as its main ingredient (composition ratio is 50 % or more), or n-type silicon containing phosphorus is typically used. A material containing titanium (Ti), tungsten (W), molybdenum (Mo), etc. as its main ingredient may also be used. Besides, it is possible to use not only a single layer film of these materials but also a multi-layer film. For example, it is possible to use a three-layer film made of tantalum nitride (TaN) films and a tantalum film sandwiched between them. The thickness of the conductive film 144 is made 200 to 500 nm (Fig. 5B).

[0078] Next, a resist mask 145 is formed on the conductive film 144. The conductive film is etched by using the mask 145 to form a gate electrode (gate wiring line) 146 (Fig. 5C).

[0079] By this etching, as shown in Fig. 3, a taper angle θ between a side of the gate electrode 146 and the gate insulating film is made from 3 degrees to 60 degrees. This taper angle θ is preferably from 5 degrees to 45 degrees, more preferably from 7 degrees to 20 degrees.

[0080] An impurity of predetermined conductivity (n-type or p-type) is added into the semiconductor layer 142 in the state where the resist mask 145 exists. Here, phosphorus is added by an ion doping method to form n^--type impurity regions 148 and 149. In this adding step, the concentration distribution of n^--type second impurity regions 154 and 155, and n^--type third impurity regions 156 and 157 is determined. Although described later, a region covered with the resist mask 145 becomes a channel formation region 151 (Fig. 6A).

[0081] Since a second gate electrode does not exist, this adding step requires a mask to prevent phosphorus from being added into a region where a channel of the semiconductor layer 142 is formed. Although the resist mask 145 used for etching of the conductive film 144 was used as such a mask, a mask for addition of an impurity may be newly formed.

[0082] Next, the resist mask 145 is removed, and a resist mask 150 covering the gate electrode 146 is formed. Since phosphorus as an n-type impurity is again added into the semiconductor layer 142 by the ion doping method through the resist mask 150, the length of the third impurity region is determined by the resist mask 150. Prior to this adding step, the surface of the semiconductor layer 142 may be exposed by etching the insulating film 143 using the gate wiring line 146 as a mask (Fig. 6B).

[0083] As shown in Fig. 6B, phosphorus is selectively added into portions of the n^--type impurity regions 148 and 149 which are not covered with the resist mask 150, so that n^+-type first impurity regions 152 and 153 are formed.

[0084] The state of Fig. 6A is maintained in conductivity and resistance value of the region covered with the resist mask 150. Thus, the region 151 previously covered with the resist mask 145 becomes the channel formation region. The (overlap) regions overlapping with the gate electrode 146 become the n^--type second impurity regions 154 and 155, and the regions not overlapping with the gate electrode 146 become the n^--type third impurity regions 156 and 157. The second and third impurity regions 154 to 157 are low concentration impurity regions with resistance higher than the first impurity regions 152 and 153.

[0085] Similarly to the embodiment mode 1, also in this embodiment mode 2, the second impurity regions 154 and 155 can be respectively classified into the four types shown in Figs. 4A to 4D. With respect to the channel formation region 151 and the first to third impurity regions 152 to 157, the length in the channel length direction and the impurity concentration are the same as the embodiment mode 1. However, in this embodiment mode, instead of the gate electrode 109 of the embodiment mode 1, the channel length is determined by the resist mask 145 used in the adding step of Fig. 6A.

[0086] Since the gate electrode of the embodiment mode 1 has the laminate structure of the electrodes with different shapes, even if the thickness of the first gate electrode 108 is made thin, it is possible to reduce the resistance by thickening the second gate electrode 109. However, since the gate electrode 146 of this embodiment mode is a single-layer electrode having a taper portion, the thickness becomes larger than the first gate electrode 108.

[0087] Since the width WG (see Fig. 3) of the taper portion has a limit in view of the width of the gate electrode, it is most practical that the concentration distribution of the impurity in the second impurity regions 154 and 155 is made the type shown in Fig. 4D.

[0088] Although one low concentration impurity region (third impurity regions 156, 157) not overlapping with the gate electrode is formed in a portion between

the first impurity regions 152, 153 and the second impurity regions 154, 155, two or more impurity regions where impurity concentration is different from each other may be formed in this portion. In the present invention, at least one impurity region with an impurity (phosphorus) concentration lower than and with resistance higher than the first impurity regions 152, 153 has only to exist at least between the first impurity regions 152, 153 and the second impurity regions 154, 155.

[0089] After the first impurity regions 152 and 153 are formed, the resist mask 150 is removed. Phosphorus added into the semiconductor layer 142 is activated by a heat treatment. As the activation step, not only the heat treatment but also light annealing by laser or infrared lamp light may be carried out. However, in order to activate phosphorus in the second impurity regions 154 and 155, since they overlap with the gate electrode 146, the heat treatment is indispensable.

[0090] Next, an interlayer insulating film 158 made of silicon oxide or the like is formed. Contact holes reaching the first impurity regions 152 and 153 and the second gate wiring line 146 are formed in the gate insulating film 143 and the interlayer insulating film 158. A source electrode 159, a drain electrode 160, and a not-shown lead electrode for the gate wiring line 146 are formed.

[Embodiment Mode 3]

[0091] Fabricating step of a TFT of this embodiment mode will be described with reference to Fig. 7. This embodiment mode is also a modified example of the embodiment mode 1, in which the structure of a gate electrode (gate wiring line) is modified, and another main structure is the same as the embodiment mode 1. Incidentally, in Fig. 7, the same reference numerals as Figs. 1 and 2 designate the same structural elements.

[0092] Similarly to the embodiment mode 1, although a gate electrode of this embodiment mode 3 has such a structure that a first gate electrode 168 and a second gate electrode 169 are laminated to each other, this embodiment mode is an example in which a side of the first gate electrode 168 is not made taper-shaped. In this embodiment mode, the portion of the first gate electrode 168 extending from the side of the second gate electrode 169 to the outside also has an almost constant film thickness.

[0093] A channel formation region 161, n^+-type first impurity regions 162 and 163, n^--type second impurity regions 164 and 165, and n^--type third impurity regions 166 and 167 are formed in a semiconductor layer through addition of phosphorus similar to the embodiment mode 1.

[0094] In this embodiment mode, since the thickness of the first gate electrode 168 is made constant, the impurity concentration in the second impurity regions 164 and 165 hardly has a gradient.

[Embodiment Mode 4]

[0095] This embodiment mode is a modified example of the embodiment mode 1 and the embodiment mode 2. In the embodiment modes 1 and 2, the thickness of the taper portion of the gate electrode changes almost linearly. In this embodiment mode, the thickness of a taper portion is nonlinearly changed.

[0096] Fig. 8 shows a modified example of a TFT of the embodiment mode 1. In Fig. 8, the same reference numerals as those of Figs. 2A to 2C designate the same structural elements. As shown in Fig. 8, the thickness of a taper portion of a first gate electrode 170 (gate wiring line) is nonlinearly changed. A channel formation region 171, n^+-type first impurity regions 172 and 173, n^--type second impurity regions 174 and 175, and n^--type third impurity regions 176 and 177 are formed in a semiconductor layer through addition of phosphorus similar to the embodiment mode 1.

[0097] Fig. 9 shows a modified example of a TFT of the embodiment mode 2. In Fig. 9, the same reference numerals as those of Figs. 6A to 6C designate the same structural elements. As shown in Fig. 9, the thickness of a taper portion of a gate electrode 180 (wiring line) is nonlinearly changed. A channel formation region 181, n^+-type first impurity regions 182 and 183, n^--type second impurity regions 184 and 185, and n^--type third impurity regions 186 and 187 are formed in a semiconductor layer through addition of phosphorus similar to the embodiment mode 1.

[0098] As shown in the sectional views of Figs. 8 and 9, the thickness of a portion of the gate electrodes 170, 180 which are slightly shifted from a portion where its thickness is constant is made extremely thin, so that an impurity which becomes a donor or acceptor is made to easily pass through the gate electrodes 170, 180.

[0099] In order to form the taper portion as shown in the drawings at the gate electrodes 170, 180, a conductive film has only to be etched through combination of anisotropic etching and isotropic etching.

[0100] Incidentally, it is needless to say that the structure of the TFT disclosed in the embodiment modes 1 to 4 can be applied to all examples of the present invention described below.

[Examples]

[0101] Examples of the present invention will be described with reference to Figs. 10 to 25.

[Example 1]

[0102] Example 1 is an example in which the present invention is applied to an active matrix type liquid crystal display device.

[0103] Fig. 10 is a schematic structural view of an active matrix type liquid crystal display panel of this example. The liquid crystal panel has such a structure

BNSDOCID: <EP 1003223A2 I >

that a liquid crystal is held between an active matrix substrate and an opposite substrate, and can display a picture on the panel by applying voltage corresponding to picture data to the liquid crystal through electrodes formed on the active matrix substrate and the opposite substrate.

[0104] In an active matrix substrate 200, a pixel portion 202 using TFTs as switching elements, and a gate driver circuit 203 and a source driver circuit 204 for driving the pixel portion 202 are formed on a glass substrate 300. The driver circuits 203 and 204 are respectively connected to the pixel portion 202 through a source wiring line and a drain wiring line.

[0105] Further, a signal processing circuit 205 for processing signals inputted to the driver circuits 203 and 204, and external terminals for inputting electric power and control signals to the driver circuits 202 and 203 and the signal processing circuit 205 are formed on the glass substrate 300, and an FPC 206 is connected to the external terminals.

[0106] In the opposite substrate 210, a transparent conductive film such as an ITO film is formed on the entire surface of a glass substrate. The transparent conductive film is an opposite electrode to a pixel electrode of the pixel portion 202, and the liquid crystal material is driven by an electric field formed between the pixel electrode and the opposite electrode. Further, if necessary, an orientation film and a color filter are formed on the opposite substrate 210.

[0107] Fig. 11A shows an equivalent circuit of one pixel of the pixel portion, Fig. 11B is a top view of the pixel portion 202. Fig. 11C is a top view of a CMOS circuit constituting the driver circuits 202 and 203.

[0108] Figs. 12A and 12B are sectional views of the active matrix substrate. Fig. 12A is a sectional view of the pixel portion 202, and corresponds to a section taken along chain line X-X' of Fig. 11B. Fig. 12B is a sectional view of the CMOS circuit, and corresponds to a section taken along chain line Y-Y' of Fig. 11C. As shown in Figs. 12A and 12B, a pixel TFT and a thin film transistor of the CMOS circuit are simultaneously formed on the same glass substrate 300.

[0109] In the pixel portion 202, a gate wiring line 350 is formed for every row, and a source wiring line 380 is formed for every column. A pixel TFT 220 is formed in the vicinity of an intersecting portion of the gate wiring line 350 and the source wiring line 380. A source region of the pixel TFT 220 is connected with the source wiring line 380, and a drain region is connected with two capacitors of a liquid crystal cell 240 and a storage capacity 230.

[0110] The liquid crystal cell 240 is a capacitor having a pair of electrodes of a pixel electrode 390 and a transparent electrode of the opposite substrate 210 and a dielectric of the liquid crystal, and is electrically connected to the pixel TFT 220 through the pixel electrode 390. The storage capacity 230 is a capacitor having a pair of electrodes of a common wiring line 360 and a channel region formed in a semiconductor layer of the pixel TFT 220, and a dielectric of a gate insulating film.

[0111] Fabricating steps of the active matrix substrate of this example will be described with reference to Figs. 13A to Figs. 16E. Figs. 13A to 13F and Figs. 14A to 14E are sectional views showing fabricating steps of the pixel portion, and Figs. 15A to 15F and Figs. 16A to 16E are sectional views showing fabricating steps of the CMOS circuit.

[0112] A glass substrate 300 is prepared. In this example, a substrate of 1737 glass made by Corning Inc. is used. A silicon oxide film with a thickness of 200 nm is formed as an under film 301 on the surface of the glass substrate 300 by a plasma CVD method and using a TEOS gas as a raw material. The under film 301 is heated at 400°C for 4 hours.

[0113] An amorphous silicon film with a thickness of 500 nm is formed on the under film 301 by a PECVD method using SiH_4 diluted with H_2 gas. Next, the amorphous silicon film is heated at 450°C for 1 hour so that a dehydrogenating process is carried out. The concentration of hydrogen atoms in the amorphous silicon film is made 5 atomic % or less, preferably 1 atomic % or less. The amorphous silicon film after the dehydrogenating process is irradiated with excimer laser light so that a crystalline (polycrystal) silicon film 401 is formed. The condition of the laser crystallization is such that an XeCl excimer laser is used as a laser light source, laser light is shaped into a linear beam by an optical system, a pulse frequency is made 30 Hz, an overlap ratio is made 96 %, and a laser energy density is made 359 mJ/cm^2 (Fig. 13A, Fig. 15A).

[0114] As the method of forming the amorphous silicon film, other than the PECVD method, an LPCVD method or a sputtering method may be used. As the laser for crystallizing the amorphous silicon, other than a pulse oscillation type layer such as an excimer laser, a continuous-wave laser such as an Ar laser may be used. Besides, a lamp annealing step using a halogen lamp or mercury lamp, or a heat treatment step at 600°C or more may be used instead of the laser crystallization.

[0115] Next, a not-shown photoresist pattern is formed by using a photolithography step, and the crystalline silicon film 401 is patterned into island shapes by using this photoresist pattern, so that semiconductor layers 302, 303, and 304 are formed. A silicon nitride oxide film is formed as a gate insulating film 305 to cover the semiconductor layers 302, 303 and 304. The method of film formation is made the PECVD, and SiH_4 and NO_2 are used as a raw material gas. The thickness of the silicon nitride oxide film is made 120 nm (Fig. 13B, Fig. 15B).

[0116] A laminate film of an n-type silicon film 402 containing phosphorus and a molybdenum-tungsten alloy (Mo-W) film 403 is formed on the gate insulating film 305 by a sputtering method. The thickness of the silicon film 402 is made 200 nm, and the thickness of

JSDOCID: <EP_____1003223A2_I_>

the Mo-W film 403 is made 250 nm. In a target material for the Mo-W film 403, a composition ratio of Mo to W is made 1:1 (Fig. 13C, Fig. 15C).

[0117] A resist mask 405 is formed on the Mo-W film 403. The Mo-W film 403 is etched by wet etching using the resist mask 405 to form a gate wiring line of the pixel TFT, a common wiring line, a second gate wiring line 352 as an upper wiring line of a gate wiring line of the CMOS circuit, a second common wiring line 362, and a second gate wiring line 372 (Fig. 13D, Fig. 15D).

[0118] By using the resist mask 405 again, anisotropic etching using a chlorine-based gas is carried out to etch the n-type silicon film 402, so that a first gate wiring line 351, a second common wiring line 361, and a first gate wiring line 371 are formed. At this time, an angle (taper angle) between a side of each of the wiring lines 351, 361, and 371 and the gate insulating film 305 is made 20 degrees, and a taper portion is formed at a side portion (Fig. 13E, Fig. 15E).

[0119] After the resist mask 405 is removed, phosphorus is added into the semiconductor layers 302 to 304 by an ion doping method using the wiring lines 350, 360, and 370 as masks, so that n^--type regions 406 to 413 are formed in a self-aligning manner. In this adding step of phosphorus, since phosphorus is added through the taper portions of the first electrodes 351, 361, and 371 (portions outside the sides of the second electrodes 352, 362, and 372) and the gate insulating film 305, an acceleration voltage is set rather high and is made 90 keV.

[0120] Since the concentration of phosphorus in the n^--type impurity regions 406 to 413 determine the concentration of phosphorus in the n^--type low concentration impurity regions of the final TFT's, the dose amount is made low so that in the n^--type impurity regions 406 to 413, the concentration of phosphorus in the regions which do not intersect with the electrodes 350, 360, and 370 becomes 1×10^{18} atom/cm^3. Phosphine diluted with hydrogen is used as a doping gas.

[0121] Next, resist masks 415 covering the electrodes 350, 360, and 370 are formed. The length of the n^--type low concentration impurity regions which do not overlap with the first electrodes 351, 361, and 371 is determined by the length of the resist masks 415 extending outside from the sides of the first electrodes 351, 361, and 371 of the respective electrodes. Here, the resist mask is not formed on the semiconductor layer 304 of the CMOS circuit.

[0122] Phosphorus is added by an ion doping method using the resist masks 415. Also in this adding step, phosphine diluted with hydrogen is used as a doping gas. In order to enable phosphorus to pass through the gate insulating film 305, an acceleration voltage is set as high as 80 keV, and the dose amount is set so that the concentration of phosphorus in the n^+-type impurity regions 313 to 315, 332, 333, 421, and 422 formed in this step becomes 5×10^{20} atoms/cm^3.

[0123] In the pixel portion 202, phosphorus is selectively added into the n^--type impurity regions 406 to 409 of the semiconductor layer 302, so that the n^+-type impurity regions 313 to 315 are formed. Regions of the n^--type impurity regions 406 to 409 where phosphorus was not added function as high resistance regions, and are defined as the n^--type impurity regions 316 to 319, 326, and 327 overlapping with the first gate electrode 351 and the first common electrode, and the n^--type impurity regions 320 to 323 not overlapping with the first gate electrode 351 and the first common electrode 361. Further, regions 311, 312, and 325 where phosphorus was not added in the two phosphorus adding steps are defined as channel formation regions (Fig. 14A).

[0124] The concentration of phosphorus in the n^--type impurity regions 316 to 319 is lower than the n^--type impurity regions 320 to 323, and the concentration of phosphorus decreases from the n^--type impurity regions 320 to 323 toward the channel formation regions 311 and 312.

[0125] In the CMOS circuit, phosphorus is selectively added also into the n^--type impurity regions 410 and 411 of the semiconductor layer 303 of the n-channel TFT, so that the n^+-type impurity regions 332 and 333 are formed. On the other hand, in the n^--type impurity regions 410 and 411, regions where phosphorus was not added function as high resistance regions, and are defined as the n^--type impurity regions 334 and 335 which overlap with the first gate electrode 371, and the n^--type impurity regions 336 and 337 which do not overlap with the first gate electrode 371. The region 331 where phosphorus was not added in the two phosphorus adding steps is defined as the channel formation region.

[0126] The concentration of phosphorus in the n^--type impurity regions 334 and 335 is lower than the n^--type impurity regions 336 and 337, and the concentration of phosphorus decreases from the n^--type impurity regions 336 and 337 toward the channel formation region 331.

[0127] In the semiconductor layer 304 of the p-channel TFT, phosphorus is hardly added into the portion on which the gate electrode 370 exist, and n^+-type regions 421 and 422 are formed in the portion on which the gate electrode 370 does not exist. An n^--type impurity region remains in the under portion of the first gate electrode 371 (Fig. 16A).

[0128] After the resist mask 415 is removed, a resist mask 416 covering the n-channel TFT is formed. The first gate electrode 371 at the side of the semiconductor layer 305 is made thin by etching using the second gate electrode 372 of the p-channel TFT as a mask, so that a third gate electrode 373 is formed (Fig. 14B, Fig. 16B).

[0129] A taper angle θ between a side of the third gate electrode 373 and the gate insulating film 305 becomes 75 degrees. The taper angle of the third electrode 373 is made from 60 degrees to 90 degrees, more preferably from 70 degrees to 85 degrees.

[0130] Boron is added into the semiconductor layer 304 by an ion doping method in the state where the resist mask 416 is made to remain. The gate electrodes 371 and 373 function as masks, and a channel formation region 341, p^+-type impurity regions 342 and 343, and p^+-type impurity regions 344 and 345 are formed in a self-aligning manner. Incidentally, the resist mask 416 may be removed and instead thereof, a new resist mask may be formed (Fig. 14C, Fig. 16C).

[0131] In the adding step of boron, an acceleration voltage is set at 80 keV, and the dose amount is set so that the concentration of boron in the p^+-type impurity regions 342 to 345 becomes 3×10^{21} atoms/cm^3. Since diborane diluted with hydrogen is used as doping gas, although the concentration of boron in the p^+-type impurity regions 344 and 345 is the same as the p+-type impurity regions 342 and 343, the concentration of phosphorus in the former is lower than that of the latter. The concentration distribution of the p^+-type impurity regions 344 and 345 corresponds to the change in the film thickness of the taper portion of the first gate electrode 371, and decreases toward the channel formation region 341.

[0132] After the resist mask 416 is removed, phosphorus and boron added into the semiconductor layer are activated by heating at 500°C. Prior to the heat treatment, a protective film 306 made of silicon oxide with a thickness of 50 nm is formed so as to prevent oxidation of the gate wiring line 350, the common electrode 360, and the gate wiring line 370 (Fig. 14C, Fig. 16C).

[0133] Next as an interlayer insulating film 307, a silicon nitride film with a thickness of 20 nm and a silicon oxide film with a thickness of 900 nm are formed and laminated by the PECVD method. Contact holes reaching the n^+-type impurity regions 313 to 315, the n^+-type impurity regions 332 and 333, the p^+-type impurity regions 342 and 343, and the second gate wiring line 372 are formed in the interlayer insulating film 307, the protective film 306, and the gate insulating film 305.

[0134] A laminate film of titanium (150 nm)/aluminum (500 nm)/titanium (100 nm) is formed on the interlayer insulating film 307 by a sputtering method, and is patterned to form a source wiring line 380, a drain electrode 381, source electrodes 384 and 385, and a drain electrode 386. From the above, the circuits 203 to 205 mainly constituted by the CMOS circuit, and the pixel portion 202 provided with the pixel TFT 220 and the storage capacity 230 are formed on the same glass substrate 300 (Fig. 14E, Fig. 16E).

[0135] In order to complete the active matrix substrate, a leveling film 308 is further formed on the entire surface of the substrate 300. Here, acryl is applied by a spin coating method, and is fired to form an acryl film with a thickness of 1 μm. Contact holes for the source electrodes 384 and 385 of the CMOS circuit are bored in the leveling film 308. A titanium film with a thickness of 200 nm is formed by a sputtering method, and is patterned to form source wiring lines 387 and 388.

[0136] Next, in the same manner as the first leveling film 308, an acryl film with a thickness of 0.5 μm is formed as a second leveling film 309. A contact hole for the drain electrode 381 is formed in the flattened films 308 and 309. An ITO film is formed by a sputtering method, and is patterned to form a pixel electrode 390 connected to the drain electrode 381 (Fig. 12A, Fig. 12B).

[0137] In this example, although a low concentration impurity region functioning as a high resistance region is not formed for the p-channel TFT, since the p-channel TFT originally has high reliability even if a high resistance region is not provided, there is no problem. Rather, an on current can be gained in a case where a high resistance region is not formed, and balance with the characteristic of the n-channel TFT can be kept, which is convenient.

[Example 2]

[0138] This example is a modified example of Example 1, in which the sequence of adding steps of phosphorus and boron are changed and others are the same as Example 1. Fabricating steps of this example will be described with reference to Figs. 17A to 17E. In Figs. 17A to 17E, the same reference numerals as those of Figs. 15A to 15F and 16A to 16E designate the same structural elements.

[0139] Although boron is added after phosphorus is added into the semiconductor layer in Example 1, boron is first added in this Example 2.

[0140] Although fabricating steps of a CMOS circuit will be described in this example, it is needless to say that this example can be applied to fabricating steps of an active matrix substrate in which a pixel portion and a driver circuit are integrated as in Example 1.

[0141] The structure of Fig. 15E is obtained in accordance with the steps shown in Example 1. Next, a resist mask 405 is removed. Fig. 17A shows this state.

[0142] Next, a resist mask 451 covering an n-channel TFT is formed. Boron is added into a semiconductor layer 304 by an ion doping method using the resist mask 451. Gate electrodes 371 and 372 function as masks, and a channel formation region 501, p^+-type impurity regions 502 and 503 functioning as a source region and a drain region are formed in the semiconductor layer 304 in a self-aligning manner.

[0143] An acceleration voltage is made 80 keV, and the dose amount is set so that the concentration of boron in the p^+-type impurity regions 502 and 503 becomes 3×10^{20} atoms/cm^3. Here, it is expected that the p^+-type impurity regions 502 and 503 slightly overlap with a lower portion because of rounding of boron at the time of doping and a small thickness of a side of the gate electrode 370 (Fig. 17B).

[0144] After the resist mask 451 is removed, a resist mask 452 covering the p-channel TFT is formed. Phosphorus is added into the semiconductor layer 303

3NSDOCID: <EP ____1003223A2 I >

by an ion doping method, so that n^--type regions 453 and 454 are formed in a self-aligning manner. An acceleration voltage is made 90 keV, and the dose amount is set so that the concentration of phosphorus in the n^--type impurity regions 453 and 454 becomes 1×10^{18} atoms/cm^3. Phosphine diluted with hydrogen is used as a doping gas (Fig. 17C).

[0145] Next, the resist mask 452 is removed, and a resist mask 456 covering all the p-channel TFT and a part of the n-channel TFT is newly formed. In the n-channel TFT, the length of the mask 456 extending from the side of the first gate electrode 371 to the outside determines the length of an n^--type impurity region which does not overlap with the first gate electrode 371.

[0146] Phosphorus is added by an ion doping method using the resist mask 456. Also in this adding step, phosphine diluted with hydrogen is used as a doping gas.

[0147] In the CMOS circuit, phosphorus is selectively added into the n^--type impurity regions 453 and 454 of the semiconductor layer 303 of the n-channel TFT, so that n^+-type impurity regions 512 and 513 are formed. In this step, in order to make phosphorus pass through the gate insulating film 305, the acceleration voltage is made as high as 80 keV. The dose amount is set so that the concentration of phosphorus in the n^+-type impurity regions 512 and 513 becomes 5×10^{20} atoms/cm^3.

[0148] On the other hand, in the n^--type impurity regions 453 and 454, regions where phosphorus was not added function as high resistance regions, and are defined as n^--type impurity regions 514 and 515 overlapping with the first gate electrode 371 and n^--type impurity regions 516 and 517 not overlapping with the first gate electrode 371. A region 511 where phosphorus was not added in the two phosphorus adding steps is defined as a channel formation region (Fig. 17D).

[0149] Also in this example, the concentration of phosphorus in the n^--type impurity regions 514 and 515 overlapping with the gate electrode 371 is lower than the n^--type impurity regions 516 and 517 (and the n^+-type impurity regions 512 and 513), and the concentration of phosphorus becomes low toward the channel formation region 511.

[0150] After the resist mask 456 is removed, a protective film 306 having a thickness of 50 nm and made of silicon oxide is formed, and phosphorus and boron added into the semiconductor layer are activated by a heat treatment. An interlayer insulating film 307 is formed, contact holes are bored, and source electrodes 384 and 385 and a drain electrode 386 are formed. From the above, the CMOS circuit is fabricated (Fig. 17E).

[0151] In this example, it is possible to omit the step of thinning the first gate electrode of the p-channel TFT. Incidentally, prior to the adding step of boron of Fig. 17B, it is also possible to add a step in which the first gate electrode 371 of the p-channel TFT is etched by using the second gate electrode 372 as a mask to form a third gate electrode 373.

[Example 3]

[0152] Also in this example, similarly to Example 2, fabricating steps in which the sequence of adding steps of phosphorus and boron is changed will be described. The fabricating steps of this example will be described with reference to Figs. 18A to 18E. In Figs. 18A to 18E, the same reference numerals as those of Figs. 15A to 15F and 16A to 16E designate the same structural elements.

[0153] This example also corresponds to a modified example of Example 2. In Example 2, in the fabrication of the n-channel TFT, boron is added after phosphorus is added at a low concentration. However, this example is an example in which boron is first added at a high concentration.

[0154] The structure of Fig. 15E is obtained in accordance with the steps shown in Example 1. Next, a resist mask 405 is removed. Fig. 18A shows this state.

[0155] Next, a resist mask 600 covering an n-channel TFT is formed. Boron is added into a semiconductor layer 304 by an ion doping method using the resist mask 600. Gate electrodes 371 and 372 function as masks, and a channel formation region 601 and p^+-type impurity regions 602 and 603 functioning as a source region and a drain region are formed in the semiconductor layer 304 in a self-aligning manner. The acceleration voltage of doping is made 80 keV, and the dose amount is set so that the concentration of boron of the p^+-type impurity regions 602 and 603 become 2×10^{20} atoms/cm^3.

[0156] A resist mask 605 covering all the p-channel TFT and a part of the n-channel TFT is formed. Phosphorus is added by an ion doping method using the resist mask 605. Also in this adding step, phosphine diluted with hydrogen is used as a doping gas. Phosphorus is selectively added into the semiconductor layer 303 of the n-channel TFT, and n^+-type impurity regions 606 and 607 are formed. In this step, in order to make phosphorus pass through the gate insulating film 305, the acceleration voltage is made as high as 80 keV (Fig. 18C).

[0157] After the resist mask 605 is removed, a resist mask 608 covering the p-channel TFT is formed. Phosphorus is added into the semiconductor layer 303 by an ion doping method. The gate electrode 370 functions as a mask, so that a channel formation region 611, n^--type impurity regions 614 and 615, and n^--type impurity regions 616 and 617 are formed in a self-aligning manner.

[0158] The n^+-type impurity regions 612 and 613 function as source/drain regions, and the resistance is reduced by making the concentration of phosphorus 5×10^{20} atoms/cm^3. The concentration of phosphorus in the n^--type impurity regions 614 to 617 is made lower

3NSDOCID: <EP _____ 1003223A2_I_>

than the n^+-type impurity regions 612 and 613 and the resistance is made high. The concentration of phosphorus in the n^--type impurity regions 616 and 617 not overlapping with the first gate electrode 371 is made 1 x 10^{18} atoms/cm^3 (Fig. 18D).

[0159] After the resist mask 608 is removed, a protective film 306 having a thickness of 50 nm and made of silicon oxide is formed, and phosphorus and boron added into the semiconductor layer are activated by a heat treatment. An interlayer insulating film 307 is formed, contact holes are bored, and source electrodes 384 and 385 and a drain electrode 386 are formed. From the above, the CMOS circuit is fabricated (Fig. 18E).

[0160] In this example, although the resist masks 605 and 606 covering the p-channel TFT are formed in the adding steps of phosphorus, the resist mask 605 and/or the resist mask 608 may be omitted. In this case, since phosphorus is added into the p^+-type impurity regions 602 and 603, it is necessary to add a lot of boron in view of the concentration of added phosphorus.

[Example 4]

[0161] This example is also a modified example of Example 1, in which the sequence of adding steps of phosphorus and boron is changed, and the main structure is the same as Example 1.

[0162] Fabricating steps of this example will be described with reference to Figs. 19A to 19E. In Figs. 19A to 19E, the same reference numerals as those of Figs. 15A to 15F and 16A to 16E designate the same structural elements.

[0163] The structure of Fig. 15E is obtained in accordance with the steps shown in Example 1. Next, a resist mask 405 is removed. Then a resist mask covering at least a portion functioning as a gate electrode of an n-channel TFT is formed in a gate wiring line 370. A first gate electrode (wiring line) 371 is etched by using a second gate electrode (wiring line) 372 as an etching mask to form a third gate electrode.

[0164] That is, at least in the first gate wiring line 371, the width of a portion overlapping with the semiconductor layer 304 of the p-channel TFT is made thin, so that the third gate electrode 373 is formed (Fig. 19A).

[0165] Phosphorus is added at a low concentration into the semiconductor layers 303 and 304 by an ion doping method. The first to third gate electrodes 371 to 373 function as masks, so that n^--type regions 621 to 624 are formed in a self-aligning manner (Fig. 19B).

[0166] Next, a resist mask 630 covering the n-channel TFT is formed. Boron is added at a high concentration to the semiconductor layer 304 by an ion doping method using the resist mask 630. The first and third gate electrodes 371 and 373 function as masks, so that a channel formation region 631, and p^+-type impurity regions 632 and 633 functioning as a source region and a drain region are formed in the semiconductor layer 304 in a self-aligning manner (Fig. 19C).

[0167] Next, the resist mask 630 is removed, and a resist mask 640 covering all the p-channel TFT and a part of the n-channel TFT is newly formed. Phosphorus is added at a high concentration by an ion doping method using the resist mask 640. Phosphorus is selectively added into the n^--type impurity regions 621 and 622 of the semiconductor layer 303 of the n-channel TFT, so that n^+-type impurity regions 642 and 643 are formed. Further, regions covered with the resist mask 640 are defined as a channel formation region 641, n^--type impurity regions 644 and 645 overlapping with the first gate electrode 371, and n^--type impurity regions 646 and 647 not overlapping with the first gate electrode 371 (Fig. 19D).

[0168] Also in this example, the concentration of phosphorus in the n^--type impurity regions 644 and 645 overlapping with the gate electrode 371 is lower than the n^--type impurity regions 646 and 647 (and the n^+-type impurity regions 642 and 643), and the concentration of phosphorus becomes low toward the channel formation region 641.

[0169] After the resist mask 640 is removed, a protective film 306 having a thickness of 50 nm and made of silicon oxide is formed, and phosphorus and boron added into the semiconductor layer are activated by a heat treatment. An interlayer insulating film 307 is formed, contact holes are bored, and source electrodes 384 and 385 and a drain electrode 386 are formed. From the above, the CMOS circuit is fabricated (Fig. 19E).

[0170] In this example, although the width of the first gate electrode of the p-channel TFT is made thin, this step may be omitted.

[0171] In this example, although the resist masks 630 and 640 covering the p-channel TFT are formed in the adding steps of phosphorus, the resist mask 630 and/or the resist mask 640 may be omitted. In this case, since phosphorus is added into the p^+-type impurity regions 632 and 633, it is necessary to add a lot of boron in view of the concentration of added phosphorus.

[Example 5]

[0172] This example is a modified example of Example 1, in which the sequence of adding steps of phosphorus and boron is changed. Its main structure is the same as Example 1.

[0173] Fabricating steps of this example will be described with reference to Figs. 20A to 20E. In Figs. 20A to 20E, the same reference numerals as those of Figs. 15A to 15F and Figs. 16A to 16E designate the same structural elements.

[0174] Besides, this example corresponds to a modified example of Example 4, and similarly to Example 4, a first gate electrode of a p-channel TFT is made

EPNSDOCID: <EP 1003223A2 | >

thin so that a third gate electrode 373 is formed (Fig. 20A).

[0175] Next, a resist mask 650 covering all the p-channel TFT and a part of an n-channel TFT is formed. Phosphorus is added at a high concentration by an ion doping method using the resist mask 650, so that n-type regions 651 and 652 are formed (Fig. 20B).

[0176] Next, a resist mask 660 covering the n-channel TFT is formed. Boron is added at a high concentration into the semiconductor layer 304 by an ion doping method using the resist mask 660. The first and third gate electrodes 371 and 373 function as masks, so that a channel formation region 661, and p^+-type impurity regions 662 and 663 functioning as a source region and a drain region are formed in the semiconductor layer 304 in a self-aligning manner (Fig. 20C).

[0177] Next, the resist mask 660 is removed, and a resist mask 670 covering all the p-channel TFT is newly formed. Phosphorus is added at a low concentration by an ion doping method. The acceleration voltage is set as high as 90 keV so that phosphorus passes through a taper portion of the first gate electrode 371.

[0178] As a result, a channel formation region 671, n^+-type impurity regions 672 and 673, n^--type impurity regions 674 and 675 overlapping with the first gate electrode 371, n^--type impurity regions 676 and 677 not overlapping with the first gate electrode 371 are formed in the semiconductor layer 303 of the n-channel TFT in a self-aligning manner (Fig. 20D).

[0179] After the resist mask 670 is removed, a protective film 306 having a thickness of 50 nm and made of silicon oxide is formed, and phosphorus and boron added into the semiconductor layer are activated by a heat treatment. An interlayer insulating film 307 is formed, contact holes are bored, and source electrodes 384 and 385 and a drain electrode 386 are formed. From the above, the CMOS circuit is fabricated (Fig. 20E).

[0180] In this example, although the width of the first gate electrode of the p-channel TFT is made thin, this step may be omitted.

[0181] In this example, although the resist masks 650 and 670 covering the p-channel TFT are formed in the adding steps of phosphorus, the resist mask 650 and/or the resist mask 670 may be omitted. In this case, since phosphorus is added into the p^+-type impurity regions 662 and 663, it is necessary to add a lot of boron in view of the concentration of added phosphorus.

[Example 6]

[0182] This example is a modified example of Example 1, in which the sequence of adding steps of phosphorus and boron is changed, and another structure is almost similar to Example 1.

[0183] Fabricating steps of this example will be described with reference to Figs. 21A to 21E. In Figs. 21A to 21E, the same reference numerals as those of Figs. 15A to 15F and Figs. 16A to 16E designate the same structural elements.

[0184] Besides, this example corresponds to a modified example of Example 5, and similarly to Example 5, a first gate electrode of a p-channel TFT is made thin, so that a third gate electrode 373 is formed (Fig. 21A).

[0185] Further, similarly to Example 5, a resist mask 680 covering all the p-channel TFT and a part of an n-channel TFT is formed. Phosphorus is added at a high concentration by an ion doping method using the resist mask 680, so that n-type regions 681 and 682 are formed (Fig. 21B).

[0186] Next, the resist mask 680 is removed and a resist mask 690 covering all the p-channel TFT is newly formed. Phosphorus is added at a low concentration by an ion doping method. The acceleration voltage is set as high as 90 keV so that phosphorus passes through a taper portion of the first gate electrode 371.

[0187] As a result, a channel formation region 691, n^+-type impurity regions 692 and 693, n^--type impurity regions 694 and 675 overlapping with the first gate electrode 371, and n^--type impurity regions 696 and 697 not overlapping with the first gate electrode 371 are formed in a self-aligning manner (Fig. 21C).

[0188] Next, after a resist mask 700 covering all the n-channel TFT is formed, boron is added at a high concentration into the semiconductor layer 304 by an ion doping method. The first and third gate electrode 371 and 373 function as masks, so that a channel formation region 701, and p^+-type impurity regions 702 and 703 functioning as a source region and a drain region are formed in the semiconductor layer 304 in a self-aligning manner (Fig. 21D).

[0189] After the resist mask 700 is removed, a protective film 306 having a thickness of 50 nm and made of silicon oxide is formed, and phosphorus and boron added into the semiconductor layer are activated by a heating treatment. An interlayer insulating film 307 is formed, contact holes are bored, and source electrodes 384 and 385 and a drain electrode 386 are formed. From the above, the CMOS circuit is fabricated (Fig. 21E).

[0190] In this example, although the width of the first gate electrode of the p-channel TFT is made thin, this step may be omitted.

[0191] In this example, although the resist masks 680 and 690 covering the p-channel TFT are formed in the adding steps of phosphorus, the resist mask 680 and/or the resist mask 690 may be omitted. In this case, since phosphorus is added into the p^+-type impurity regions 702 and 703, it is necessary to add a lot of boron in view of the concentration of added phosphorus.

[0192] As described above, although the fabricating steps of the CMOS circuit have been described in Examples 2 to 6, it is needless to say that the examples

BNSDOCID: <EP_____1003223A2_I_>

can be applied to fabricating steps of an active matrix substrate in which a pixel portion and a driver circuit are integrated as in Example 1.

[Example 7]

[0193] In this example, an example of a gate electrode having a taper portion shown in Example 1 etc. and a method of forming the gate electrode will be described.

[0194] First, a gate insulating film made of a silicon nitride oxide film is formed, and a metal laminate film is formed thereon by a sputtering method. In this example, a tungsten target with a purity of 6 N or more was used. As a sputtering gas, a single gas of argon (Ar), krypton (Kr), xenon (Xe), etc. or a mixed gas of those may be used. The condition of film formation such as a sputtering power, pressure of a gas, and temperature of a substrate may be suitably controlled by an operator. The metal laminate film has a tungsten nitride film indicated by WNx ($0 < x < 1$) as a lower layer and has a tungsten film as an upper layer.

[0195] The thus obtained metal laminate film hardly contains impurity elements, and especially an oxygen content can be made 30 ppm or less, and electric resistivity can be made 20 $\mu\Omega \cdot$ cm or less, typically 6 to 15 $\mu\Omega \cdot$ cm. The stress of the film can be made -5×10^9 to 5×10^9 dyn/cm^2.

[0196] The silicon nitride oxide film is an insulating film expressed by SiOxNy, and indicates an insulating film containing silicon, oxygen, and nitrogen at a predetermined ratio.

[0197] Next, a resist mask pattern (film thickness: 1.5 μm) for obtaining a desired gate wiring line pattern is formed.

[0198] Next, in Example 7, an ICP (Inductively Coupled Plasma) etching apparatus using a high density plasma is used to carry out etching for the patterning of the metal laminate film, so that a gate electrode having a taper-shaped section and a gate electrode are formed.

[0199] Here, the plasma generating mechanism of the ICP dry etching apparatus will be described in detail with reference to Fig. 22.

[0200] Fig. 22 is a simplified structural view of an etching chamber. An antenna coil 12 is disposed on a quartz plate 11 at the upper portion of the chamber, and is connected to an RF power source 14 through a matching box 13. An oppositely disposed lower electrode 15 at a substrate side is also connected to an RF power source 17 through a matching box 16.

[0201] When an RF current is applied to the antenna coil 12 above the substrate, the RF current J flows through the antenna coil 12 in an α direction, and a magnetic field B is generated in a Z direction. The relation between the current J and the magnetic field B complies with the following equation.

$$\mu_0 J = \text{rot } B \quad (\mu_0 \text{ is magnetic susceptibility})$$

[0202] In accordance with Faraday's law of electromagnetic induction expressed by the following equation, an induced electric field E is generated in the α direction.

$$-\partial B/\partial t = \text{rot } E$$

[0203] An electron is accelerated by this induced electric field E in the α direction and collides with a gas molecule, so that a plasma is generated. Since the direction of the induced electric field is the α direction, the probability that a charged particle collides with an etching chamber wall or the substrate and loses its electric charge becomes low. Thus, even if the pressure is as low as about 1 Pa, the plasma can be generated at a high density. Since the magnetic field B hardly exists in a downstream portion, a high density plasma region extending in a sheet shape is obtained.

[0204] By adjusting the RF power applied to each of the antenna coil 12 (ICP power is applied) and the lower electrode 15 (bias power is applied) at the substrate side, it is possible to independently control the plasma density and self-bias voltage. It is also possible to apply RF powers of different frequencies according to a film to be etched.

[0205] In order to obtain a high density plasma by the ICP etching apparatus, it is necessary to cause the RF current J flowing through the antenna coil 12 to flow at a low loss, and in order to increase an area, the inductance of the antenna coil 12 must be reduced. For that purpose, as shown in Fig. 23, an ICP etching apparatus of a multi-spiral coil 22 in which an antenna is divided has been developed. In Fig. 23, reference numeral 21 designates a quartz plate, 23 and 26 designate matching boxes, and 24 and 27 designate RF power sources. A lower electrode 25 for holding a substrate 28 is provided at the bottom of a chamber through an insulator 29.

[0206] In this example, among various ICP etching apparatuses, by using especially an ICP etching apparatus of multi-spiral coil system, a wiring line having a desired taper angle θ was formed.

[0207] For the purpose of obtaining a desired taper angle θ, in this example, the bias power density of the ICP etching apparatus is adjusted. Fig. 24 is a view showing the dependency of the taper angle θ upon the bias power. As shown in Fig. 24, the taper angle θ can be controlled in accordance with the bias power density.

[0208] The flow ratio of CF_4 of an etching gas (mixed gas of CF_4 and Cl_2) may be adjusted. Fig. 25 is a view showing the dependency of the taper angle θ upon the CF_4 flow ratio. If the flow ratio of CF_4 is made large, the selection ratio of tungsten to resist becomes large, and the taper angle θ of a wiring line can be made large.

[0209] It is considered that the taper angle θ

BNSDOCID: <EP____ ____ 1003223A2_I_>

depends on the selection ratio of tungsten to resist. Fig. 26 shows the dependency of the taper angle θ upon the selection ratio of tungsten to resist.

[0210] Like this, by using the ICP etching apparatus and by suitably determining the bias power density or reaction gas flow ratio, it is possible to extremely easily obtain a gate electrode and wiring line having a desired taper angle θ = 3 to 60° (preferably 5 to 45°, more preferably 7 to 20°).

[0211] Here, although a W film is shown as an example, when the ICP etching apparatus is used for a generally known heat-resistant conductive material (Ta, Ti, Mo, Cr, Nb, Si, etc.), the end of a pattern can be easily processed as a taper shape.

[0212] Besides, although a mixed gas of CF_4 (carbon tetra fluoride gas) and Cl_2 is employed as an etching gas used for the above dry etching, the gas is not particularly limited, and for example, it is also possible to use a mixed gas of a reaction gas containing fluorine selected from C_2F_6 and C_4F_8 and a gas containing chlorine selected from Cl_2, $SiCl_4$, and BCl_3.

[0213] When subsequent steps in accordance with Example 1 are carried out, a semiconductor device is completed.

[0214] Incidentally, the structure of this example can be applied to the fabricating steps of the electrode having the taper portion of Examples disclosed in the present specification.

[Example 8]

[0215] In Example 1, although a polycrystalline silicon film crystallized by an excimer laser is used as a semiconductor layer, another crystallizing method will be described in this example.

[0216] A crystallizing process of this example is a crystallizing technique disclosed in Japanese Patent Application Laid-open No. Hei. 7-130652. The crystallizing process will be described with reference to Figs. 27A and 27B.

[0217] First, a silicon oxide film 1002 as an under film is formed on a glass substrate 1001. An amorphous silicon film 1003 is formed on the silicon oxide film 1002. In this example, the silicon oxide film 1002 and the amorphous silicon film 1003 are subsequently formed by a sputtering method. Next, a nickel acetate salt solution containing nickel of 10 ppm in terms of weight is applied to form a nickel containing layer 1004 (Fig. 27A).

[0218] Instead of nickel (Ni), a kind of or plural kinds of elements selected from the group consisting of germanium (Ge), iron (Fe), palladium (Pd), tin (Sn), lead (Pb), cobalt (Co), platinum (Pt), copper (Cu), gold (Au), and silicon (Si) may be used.

[0219] Next, after a dehydrogenating step at 600°C for 1 hour is carried out, a heat treatment at 450 to 1100°C for 4 to 12 hours (in this example, 500°C for 4 hours) is carried out, so that a polysilicon film 1005 is formed. It is known that the thus obtained crystalline silicon film 1005 has extremely superior crystallinity (Fig. 27B).

[0220] Incidentally, the crystallizing process of this example can be applied to the forming process of the semiconductor layer disclosed in the present specification.

[Example 9]

[0221] This example relates to a crystallizing process different from Example 8, and an example of a case where crystallization is made by using a technique disclosed in Japanese Patent Application Laid-open No. Hei. 8-78329 will be described. The technique disclosed in Japanese Patent Application Laid-open No. Hei. 8-78329 is such that selective crystallization of a semiconductor film is made possible by selectively adding a catalytic element. The case where the same technique is applied to the present invention will be described with reference to Figs. 28A and 28B.

[0222] First, a silicon oxide film 1012 is formed on a glass substrate 1011, and an amorphous silicon film 1013 and a silicon oxide film 1014 are subsequently formed thereon. At this time, the thickness of the silicon oxide film 1014 is made 150 nm.

[0223] Next, the silicon oxide film 1014 is patterned to selectively form opening portions 1015. Thereafter, a nickel acetate salt solution containing nickel of 100 ppm in terms of weight is applied. A formed nickel containing layer 1016 comes to have such a state that it is in contact with the amorphous silicon film 1013 at only the bottoms of the opening portions 1015 (Fig. 28A).

[0224] Next, a heat treatment at 500 to 650°C for 4 to 24 hours (in this example, 550°C for 14 hours) is carried out, so that crystallization of the amorphous silicon film is carried out. In this crystallizing process, a portion with which nickel is in contact is first crystallized, and crystal growth progresses in the direction almost parallel to the substrate. It is crystallographically ascertained that the crystallization progresses in the ⟨111⟩ axis direction.

[0225] The thus formed polysilicon film 1017 is made of a collective of rod-like or needle-like crystals, and each rod-like crystal macroscopically grows with certain directionality. Thus, there is an advantage that crystallinity is uniform.

[0226] Also in the technique disclosed in the above publication, instead of nickel (Ni), a kind of or plural kinds of elements selected from the group consisting of germanium (Ge), iron (Fe), palladium (Pd), tin (Sn), lead (Pb), cobalt (Co), platinum (Pt), copper (Cu), gold (Au), and silicon (Si) may be used.

[0227] A semiconductor film containing crystals (including a polysilicon film and a polysilicon germanium film) is formed by using the technique as described above, and patterning is carried out to form a semiconductor layer made of the semiconductor film

3NSDOCID: <EP___ .___1003223A2_I_>

containing crystals. Subsequent steps may comply with Example 1. Of course, a combination with Examples 2 to 7 is also possible.

[0228] In the case where a TFT is fabricated by using a semiconductor film containing crystals, which was crystallized by using the technique of this example, although high field effect mobility (mobility) can be obtained, high reliability has been required because of that. However, when the TFT structure of the present invention is adopted, it becomes possible to fabricate a TFT which utilizes the technique of this example to the utmost.

[Example 10]

[0229] In this example, there is described an example in which a step of removing nickel used for crystallization of a semiconductor shown in Examples 8 and 9 is carried out by using phosphorus after crystallization. As a method for that, this example uses a technique disclosed in Japanese Patent Application Laid-open No. Hei. 10-135468 or No. Hei. 10-135469.

[0230] The technique disclosed in the publications is such that a catalytic element used for crystallization of an amorphous semiconductor film is removed after crystallization by using a gettering function of phosphorus. By using the technique, it is possible to reduce the concentration of a catalytic element in a crystalline semiconductor film to 1×10^{17} atoms/cm^3 or less, preferably 1×10^{16} atms/cm^3.

[0231] The structure of this example will be described with reference to Figs. 29A and 29B. Here, an alkali-free glass substrate typified by a 1737 substrate made by Corning Inc. is used. Fig. 29A shows a state where an under film 1022 and a crystalline silicon film 1023 are formed by using the crystallizing technique described in Example 2. A silicon oxide film 1024 having a thickness of 150 nm and used for a mask is formed on the crystalline silicon film 1023. An opening portion is provided by patterning, and a region where the crystalline silicon film is exposed is provided. A step of adding phosphorus is carried out, so that a region 1025 where phosphorus was added into the crystalline silicon film is provided.

[0232] In this state, when a heat treatment at 550 to 1020°C for 5 to 24 hours, for example, at 600°C for 12 hours is carried out in a nitrogen atmosphere, the region 1025 where phosphorus was added into the crystalline silicon film functions as a gettering site, so that the catalytic element remaining in the crystalline silicon film 1023 can be segregated in the region 1025 where phosphorus was added.

[0233] By carrying out etching to remove the silicon oxide film 1024 used for the mask and the region 1025 where phosphorus was added, it is possible to obtain a crystalline silicon film in which the concentration of the catalytic element used in the step of crystallization is reduced to 1×10^{17} atoms/cm^3 or less. This crystalline silicon film can be directly used as the semiconductor layer of the TFT of the present invention described in Example 1.

[Example 11]

[0234] This Example 11 is an example in which Examples 8 or 9 is combined with a technique disclosed in Japanese Patent Application Laid-open No. Hei. 10-135468 or No. Hei. 10-135469.

[0235] The technique disclosed in the publication is such that nickel used for crystallization of a semiconductor described in Examples 3 or 4 is removed by using a gettering function of a halogen element (typically chlorine) after crystallization. By using the technique, it is possible to reduce the concentration of nickel in a semiconductor layer to 1×10^{17} atoms/cm^3 or less (preferably 1×10^{16} atoms/cm^3 or less).

[0236] The structure of this example will be described with reference to Figs. 30A and 30B. First, a quartz substrate 1031 having high heat resistance is used as a substrate. Of course, a silicon substrate or a ceramic substrate may be used. In the case where the quartz substrate is used, even if a silicon oxide film is not particularly provided as an under film, pollution from the substrate side does not occur.

[0237] Next, a polysilicon film (not shown) is formed by using the crystallizing method of Example 3 or 4, and patterning is carried out to form semiconductor layers 1032 and 1033. Further, a gate insulating film 1034 which covers those semiconductor layers and is made of a silicon oxide film is formed (Fig. 30A).

[0238] After the gate insulating film 1034 is formed, a heat treatment is carried out in an atmosphere containing a halogen element. In this example, a processing atmosphere is made an oxidizing atmosphere in which oxygen and hydrogen chloride are mixed, a processing temperature is made 950°C, and a processing time is made 30 minutes. It is sufficient if the processing temperature is selected between 700 to 1150°C (typically 900 to 1000°C), and the processing time is selected between 10 minutes to 8 hours (typically 30 minutes to 2 hours) (Fig. 30B).

[0239] At this time, nickel becomes volatile nickel chloride and goes out into the processing atmosphere, so that the concentration of nickel in the polysilicon film is reduced. Thus, the concentration of nickel contained in semiconductor layers 1035 and 1036 shown in Fig. 30B is reduced to 1×10^{17} atoms/cm^3 or less.

[0240] The semiconductor layer is formed by using this example of the technique as described above, and the subsequent steps may comply with Example 1 or 2. It is known that especially the combination of this example and the crystallizing method of Example 4 can realize a crystalline silicon film with extremely high crystallinity.

(Findings as to crystal structure of a semiconductor layer)

[0241] A semiconductor layer formed in accordance with the above fabricating steps has microscopically a crystal structure in which a plurality of needle-like or rod-like crystals (hereinafter abbreviated to "rod-like crystal") are collected and arranged. This can be easily ascertained by observation with a TEM (Transmission Electron Microscope).

[0242] It is ascertained by using electron beam diffraction and X-ray diffraction that the surface (portion where a channel is formed) of the semiconductor layer has a main orientation plane of {110} plane although some deviation is included in crystal axes. As the result of the applicant's detailed observation for an electron beam diffraction photograph with a spot diameter of about 1.5 μm, it was ascertained that although diffraction spots corresponding to the {110} plane clearly appear, the respective spots have a distribution on concentric circles.

[0243] The present applicant observed crystal grain boundaries formed from contact of the respective rod-like crystals by using an HR-TEM (High Resolution Transmission Electron Microscope), and it was ascertained that crystal lattices have continuity at the crystal grain boundaries. This means that the observed lattice stripes are continuously connected at the crystal grain boundaries, which can be easily ascertained.

[0244] The continuity of the crystal lattice at the crystal grain boundary is caused from the fact that the crystal grain boundary is a grain boundary called "planar boundary". The definition of the planar boundary in the present specification is "Planar boundary" disclosed in "Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988".

[0245] According to the above paper, the planar boundary includes a twin boundary, a specific laminate defect, a specific twist boundary, and the like. This planar boundary has a feature that it is electrically inactive. That is, since the planar boundary does not function as a trap to block the movement of a carrier though it is a crystal grain boundary, it can be regarded as not substantially existing.

[0246] Particularly in the case where a crystal axis (axis vertical to a crystal plane) is a ⟨110⟩ axis, a {211} twin boundary is also called a coincidence boundary of Σ3. The Σ value is a parameter which becomes an index showing the degree of conformity of the coincidence boundary, and it is known that as the value becomes small, the conformity of the grain boundary becomes excellent.

[0247] As the result of the applicant's detailed observation for a polysilicon film obtained by carrying out the present invention with the TEM, it was found that almost all (90% or more, typically 95% or more) crystal grain boundaries are coincidence boundaries of Σ3, that is, {211} twin boundaries.

[0248] In the crystal grain boundary formed between two crystal grains, and in the case where both crystals have a plane orientation of {110}, when an angle formed by lattice stripes corresponding to a {111} plane is θ, it is known that when $\theta = 70.5°$, the boundary becomes a coincidence boundary of Σ3.

[0249] In the polysilicon film of this example, the respective lattice stripes of crystal grains adjacent at the crystal grain boundary are continuous at just about 70.5°, and from this, it is concluded that this crystal grain boundary is the {211} twin boundary.

[0250] Although a boundary becomes a coincidence boundary of Σ9 when $\theta = 38.9°$, such other crystal grain boundaries also existed.

[0251] Such a coincidence boundary is formed only between crystal grain boundaries of the same plane orientation. That is, since the polysilicon film obtained by carrying out this example has substantially the uniform plane orientation of {110}, such a coincidence boundary can be formed over a wide range.

[0252] Such a crystal structure (correctly, structure of a crystal grain boundary) shows that two different crystal grains are connected to each other with extremely superior conformity at the crystal grain boundary. That is, such a structure is formed that crystal lattices are continuously connected at the crystal grain boundary and it is very hard to form a trap level due to a crystal defect etc. Thus, a semiconductor thin film with such a crystal structure can be regarded as substantially having no crystal grain boundary.

[0253] Besides, it is ascertained by TEM observation that defects existing in crystal grains almost disappear by a heat treatment step at a high temperature of 700 to 1150°C. This is obvious also from the fact that the number of defects is greatly decreased before and after this heat treatment step.

[0254] The difference in the number of defects appears as difference in spin density by electron spin resonance (ESR). At present, it is found that the spin density of a polysilicon film fabricated in accordance with the fabricating steps of this example is 3×10^{17} spins/cm^3 or less (preferably 5×10^{15} spins/cm^3 or less). However, since this measured value approximates the detection limit of existing measuring apparatuses, it is expected that an actual spin density is further lower.

[0255] From the above, since the polysilicon film obtained by carrying out this example does not substantially include crystal grains and crystal grain boundaries, the film can be considered as a single crystal silicon film or substantially a single crystal silicon film. The present applicant calls the polysilicon film having such a crystal structure CGS (Continuous Grain Silicon).

[0256] The disclosure of the CGS may be referred to Japanese Patent Application Laid-open No. Hei. 10-294280, Japanese Patent Application No. Hei. 10-

BNSDOCID: <EP___.___1003223A2_I_>

152316, Japanese Patent Application No. Hei. 10-152308 or Japanese Patent Application No. Hei. 10-152305 by the present assignee.

(Findings as to electrical characteristics of a TFT)

[0257] A TFT fabricated in this example shows electrical characteristics comparable to a MOSFET. Data as shown below have been obtained from TFTs experimentally formed by the present applicant.

(1) The subthreshold coefficient as an index showing switching performance (promptness in switching of on/off operation) is as small as 60 to 100 mV/decade (typically 60 to 85 mV/decade) for both an N-channel TFT and a P-channel TFT.
(2) The field effect mobility (μFE) as an index showing an operation speed of a TFT is as large as 200 to 650 cm^2/Vs (typically 300 to 500 cm^2/Vs) for an N-channel TFT, and 100 to 300 cm^2/Vs (typically 150 to 200 cm^2/Vs) for a P-channel TFT.
(3) The threshold voltage (Vth) as an index of a driving voltage of a TFT is as small as -0.5 to 1.5 V for an N-channel TFT and -1.5 to 0.5 V for a P-channel TFT.

[0258] As described above, it has been ascertained that extremely superior switching characteristics and high speed operation characteristics can be realized.

(Findings as to circuit characteristics)

[0259] Next, frequency characteristics by a ring oscillator fabricated by using TFTs formed by carrying out this example will be described. The ring oscillator is a circuit in which odd number stages of inverter circuits made of CMOS structures are connected to form a ring, and is used to obtain a delay time for one stage of the inverter circuit. The structure of the ring oscillator used in the experiment is as follows:

number of stages: 9 stages
thickness of a gate insulating film of a TFT: 30 nm and 50 nm
gate length of a TFT: 0.6 μm

[0260] As the result of the study of an oscillation frequency with this ring oscillator, it was possible to obtain an oscillation frequency of 1.04 GHz at the maximum value. Further, a shift register as one of TEGs of LSI circuits was actually fabricated and its operation frequency was ascertained. As a result, in the shift register circuit in which the thickness of a gate insulating film was 30 nm, the gate length was 0.6 μm, the power source voltage was 5 V, and the number of stages was 50, an output pulse having an operation frequency of 100 MHZ was obtained.

[0261] The surprising data of the ring oscillator and the shift register as described above indicate that the TFT of this example has performance (electrical characteristics) comparable to or superior to a MOSFET.

[Example 12]

[0262] This example also relates to a technique to getter a catalytic element used in a crystallizing step.

[0263] In Example 10, in order to getter the catalytic element in crystallized silicon, it is necessary to form the gettering region 1025 (see Fig. 29A). Since it becomes impossible to form a TFT in the gettering region, integration of circuits is obstructed. This example is a gettering method in which the above problem is resolved, and an n^+-type impurity region of an n-channel TFT and a p^+-type impurity region of a p-channel TFT are used as gettering regions.

[0264] In the steps described in the example 1, the n^+-type impurity regions 313 to 315 and the p^+-type impurity regions 332 and 333 contain phosphorus with a high concentration of 5×10^{20} $atoms/cm^3$ (see Fig. 14A, Fig. 16A). Thus, these regions can be used as gettering regions.

[0265] Thus, in the case where the semiconductor layers 302 to 304 of the TFT are formed of crystalline silicon shown in Example 3 or 4, the activating step of phosphorus or born has only to be used also as a heating step for gettering. For example, in the activating step (see Fig. 14D, Fig. 16D), it is sufficient if a heat treatment is carried out at a processing temperature of 500 to 650°C (typically 550 to 600°C) for 2 to 24 hours (typically 4 to 12 hours).

[0266] In this heat treatment, nickel remaining in the channel formation regions 311, 312, 325, 331, and 341 of the respective TFTs diffuses toward the foregoing n^+-type impurity regions and the p^+-type impurity regions by the action of phosphorus and is captured there.

[0267] Thus, the concentration of nickel (catalyst) in the n^+-type impurity regions 313 to 315 and the p^+-type impurity regions 332 and 333 is increased to 1×10^{17} to 1×10^{20} $atoms/cm^3$ (typically 1×10^{18} to 5×10^{19} $atoms/cm^3$), while the concentration of nickel in the channel formation regions 311, 312, 325, 331, and 341 can be decreased to 2×10^{17} $atoms/cm^3$ or less (typically 1×10^{14} to 5×10^{16} $atoms/cm^3$).

[0268] In order to obtain the effect of this example, in the n^+-type impurity regions 313 to 315 and the p^+-type impurity regions 332 and 333, the concentration of phosphorus or arsenic is made 1×10^{19} $atoms/cm^3$ or more (preferably 1×10^{20} to 5×10^{21} $atoms/cm^3$).

[Example 13]

[0269] This example is a modified example of the CMOS circuit of Example 1. A structure of a TFT of this example will be described with reference to Figs. 31A to 31D. In Figs. 31A to 31D, the same reference numerals designate the same structural elements. Example 1 or 2

3NSDOCID: <EP_____1003223A2_I_>

may be applied to fabricating steps of this example, and the detailed description will be omitted.

[0270] Fig. 31A shows a modified example of Example 1 in which a second gate electrode (wiring line) is omitted and a gate electrode (wiring line) is formed of only an electrode (wiring line) having a taper portion.

[0271] An under film 901 made of silicon oxide is formed on the entire surface of a substrate 900. Island-like semiconductor layers of an n-channel TFT and a p-channel TFT are formed on the under film 901. A gate insulating film 905 covering the island-like semiconductor layers is formed on the entire surface of the substrate 900. Further, a protective film 906 made of silicon nitride and an interlayer insulating film 907 are formed to cover the TFTs, and source electrodes 941 and 942 and a drain electrode 943 are formed on the interlayer insulating film 907.

[0272] A gate wiring line (gate electrode) 931 is formed to intersect with the semiconductor layer through the gate insulating film 905. The side of the gate wiring line 931 is formed into a taper shape. Here, this was formed of chromium with a thickness of 250 nm. Further, the width of a portion intersecting with the semiconductor layer of the p-channel TFT is made thin and a second gate electrode 933A is formed.

[0273] Example 1 is applied as a method of adding phosphorus and boron into the semiconductor layers. A channel formation region 911A, n^+-type impurity regions 912A and 913A, n^--type impurity regions 914A and 915A overlapping with the gate electrode 931A, and n^--type impurity regions 916A and 917A not overlapping with the gate electrode 931A are formed in the semiconductor layer of the n-channel TFT.

[0274] The concentration of phosphorus in the n^--type impurity regions 914A and 915A and the n^--type impurity regions 916A and 917A is lower than the n^+-type impurity regions 912A and 913A. Contact portions between the n^--type impurity regions 914A, 915A and the channel formation region 911A exist under the taper portion of the gate electrode 931A, and the concentration of the n^--type impurity regions 914A and 915A is decreased toward the channel formation region 911A.

[0275] On the other hand, a channel formation region 921A, p^+-type impurity regions 922A and 923A, and p^+-type impurity regions 924A and 925A are formed in the semiconductor layer of the p-channel TFT. The concentration of phosphorus in the p^+-type impurity regions 924A and 925A is lower than the p^+-type impurity regions 922A and 923A, and the concentration of boron in the former is equal to the latter.

[0276] Fig. 31B shows a modified example of Example 2 or 3, in which a second electrode is omitted and a gate electrode is formed of only an electrode having a taper portion.

[0277] In Fig. 31B, gate electrodes 931B of both an n-channel TFT and a p-channel TFT are formed into a taper shape. Here, the electrode is formed of chromium with a thickness of 250 nm.

[0278] Example 2 is applied as a step of adding phosphorus and boron into the semiconductor layers. A channel formation region 911B, n^+-type impurity regions 912B and 913B, n^--type impurity regions 914B and 915B overlapping with the gate electrode 931B, and n^--type impurity regions 916B and 917B not overlapping with the gate electrode 931B are formed in the semiconductor layer of the n-channel TFT.

[0279] The concentration of phosphorus in the n^--type impurity regions 914B and 915B and the n^--type impurity regions 916B and 917B is lowered than that of the n^+-type impurity regions 912B and 913B. Contact portions between the n^--type impurity regions 914B, 915B and the channel formation region 911B exist under the taper portion of the gate electrode 931B, and the concentration of the n^--type impurity regions 914B and 915B is decreased toward the channel formation region 911B.

[0280] On the other hand, a channel formation region 921B, and p^+-type impurity regions 922B and 923B are formed in the semiconductor layer of the p-channel TFT by using the gate electrode 931B as a mask in a self-aligning manner.

[0281] Fig. 31C shows an example in which taper etching of a first gate electrode is omitted in Example 1.

[0282] A gate wiring line is constituted by a first gate wiring line 931C and a second gate wiring line 932C with a width narrower in a channel length direction than the first gate wiring line 931C. In the portion where the first gate wiring line 931C intersects with the semiconductor layer of the p-channel TFT, a third gate electrode 933C the width of which is made thin by using the second gate wiring line 932C as a mask is formed.

[0283] A channel formation region 911C, n^+-type impurity regions 912C and 913C, n^--type impurity regions 914C and 915C overlapping with the gate electrode 931C, and n^--type impurity regions 916C and 917C not overlapping with the gate electrode 931C are formed in the semiconductor layer of the n-channel TFT.

[0284] The concentration of phosphorus in the n^--type impurity regions 914C and 915C and the n^--type impurity regions 916C and 917C is lowered than that of the n^+-type impurity regions 912C and 913C.

[0285] On the other hand, a channel formation region 921C, p^+-type impurity regions 922C and 923C, and p^+-type impurity regions 924C and 925C are formed in the semiconductor layer of the p-channel TFT. The concentration of phosphorus in the p^+-type impurity regions 924C and 925C is lower than that of the p^+-type impurity regions 922C and 923C.

[0286] Fig. 31D shows an example in which a fourth gate wiring line covering the surface of a gate wiring line is formed in Example 1.

[0287] In a CMOS circuit, an adding step of boron is carried out in accordance with the steps of Example 1. Next, instead of formation of the protective film 906 made of silicon nitride, a metal film made of chromium

NSDOCID: <EP__ ___ 1003223A2_I_>

(Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), or alloy containing these elements as its main ingredients, or a conductive material such as silicide is formed and is patterned, so that a fourth gate wiring line 934D is formed. Thereafter, activation may be carried out.

[0288] By this structure, it is possible to obtain a gate wiring line having such a structure that a second gate wiring line 932D is surrounded by the first gate wiring line 931D (including the third gate electrode 933D) and the fourth gate wiring line 934D.

[0289] In this case, a channel formation region 911D, n^+-type impurity regions 912D and 913D, n^--type impurity regions 914D and 915D overlapping with the gate electrode 931D, and n^--type impurity regions 916D and 917D not overlapping with the gate electrode 931D are formed in the semiconductor layer of the n-channel TFT. The n^--type impurity regions 914D and 915D intersect with the first and fourth gate electrodes, and the n^--type impurity regions 916D and 917D do not intersect with the fourth gate electrode 934D.

[0290] The advantage of this structure is especially effective in the case where phosphorus is hardly added into the semiconductor layer under the first gate electrode 931D. As shown in Fig. 31D, even if the n^--type impurity regions 914D and 915D hardly overlap with the first gate electrode 931D, the fourth gate electrode 934D can be made to overlap with the n^--type impurity region, so that it becomes possible to certainly form the n^--type impurity region which overlaps with the gate electrode.

[0291] On the other hand, a channel formation region 921D, p^+-type impurity regions 922D and 923D, and p^+-type impurity regions 924D and 925D are formed in the semiconductor layer of the p-channel TFT. The concentration of phosphorus in the p^+-type impurity regions 924D and 925D is lower than that of the p^+-type impurity regions 922D and 923D. In this case, the n^--type impurity region overlaps with the fourth gate electrode 934D. In the case where there occurs a problem in off-current characteristics or withstand voltage properties, when the fourth gate wiring line 934D is formed, the fourth gate wiring line 934D is not formed in the portion where it intersects with the semiconductor layer of the p-channel TFT.

[Example 14]

[0292] The TFT of the present invention can be applied to not only the liquid crystal display device shown in Example 1 but also any semiconductor circuits. That is, it maybe applied to a microprocessor such as a RISC processor or an ASIC processor, or may be applied to any circuits from a signal processing circuit such as a D/A converter to a high frequency circuit for a portable equipment (portable telephone, PHS, mobile computer).

[0293] Moreover, it is also possible to realize a semiconductor device of a three-dimensional structure in which an interlayer insulating film is formed on a conventional MOSFET and a semiconductor circuit is fabricated thereon by using the TFTs of the present invention. Like this, the present invention can be applied to any semiconductor devices in which LSIs are used at present. That is, the present invention may be applied to a SOI structure (TFT structure using a single crystal semiconductor thin film) such as SIMOX, Smart-Cut (registered trademark of SOITEC Inc.), and ELTRAN (registered trademark of Canon Inc.). Further, the semiconductor circuit of this example may be realized with any construction obtained by combining Examples 1 to 13.

[Example 15]

[0294] A semiconductor device using a TFT formed through carrying out the present invention may be applied to various electro-optical devices and semiconductor circuits. Namely, the present invention may be applicable to all the electronic equipments that incorporate those electro-optical devices and semiconductor circuits as components.

[0295] As such an electronic equipment, a video camera, a digital camera, a projector (rear-type projector or front-type projector), a head mount display (goggle-type display), a navigation system for vehicles, a personal computer, and a portable information terminal (a mobile computer, a cellular phone, or an electronic book, etc.) may be enumerated. Examples of those are shown in Figs. 32A to 33D.

[0296] Fig. 32A shows a personal computer comprising a main body 2001, an image inputting unit 2002, a display device 2003, and a key board 2004. The present invention is applicable to the image inputting unit 2002, the display device 2003, and other signal control circuits.

[0297] Fig. 32B shows a video camera comprising a main body 2101, a display device 2102, a voice input unit 2103, an operation switch 2104, a battery 2105, and an image receiving unit 2106. The present invention is applicable to the display device 2102, the voice input unit 2103, and other signal control circuits.

[0298] Fig. 32C shows a mobile computer comprising a main body 2201, a camera unit 2202, an image receiving unit 2203, an operation switch 2204, and a display device 2205. The present invention is applicable to the display device 2205 and other signal control circuits.

[0299] Fig. 32D shows a goggle-type display comprising a main body 2301, a display device 2302 and an arm portion 2303. The present invention is applicable to the display device 2302 and other signal control circuits.

[0300] Fig. 32E shows a player that employs a recoding medium in which programs are recorded (hereinafter referred to as recording medium), and comprises a main body 2401, a display device 2402, a

INSDOCID: <EP_____1003223A2_I_>

speaker unit 2403, a recording medium 2404, and an operation switch 2405. Incidentally, this player uses as the recoding medium a DVD (digital versatile disc), a CD and the like to serve as a tool for enjoying music or movies, for playing games and for connecting to the Internet. The present invention is applicable to the display device 2402 and other signal control circuits.

[0301] Fig. 32F shows a digital camera comprising a main body 2501, a display device 2502, an eye piece section 2503, an operation switch 2504, and an image receiving unit (not shown). The present invention is applicable to the display device 2502 and other signal control circuits.

[0302] Fig. 33A shows a front-type projector comprising a display device 2601 and a screen 2602. The present invention is applicable to the display device and other signal control circuits.

[0303] Fig. 33B shows a rear-type projector comprising a main body 2701, a display device 2702, a mirror 2703, and a screen 2704. The present invention is applicable to the display device and other signal control circuits.

[0304] Fig. 33C is a diagram showing an example of the structure of the display devices 2601 and 2702 in Figs. 33A and 33B. The display device 2601 or 2702 comprises a light source optical system 2801, mirrors 2802 and 2804 to 2806, a dichroic mirror 2803, a prism 2807, a liquid crystal display device 2808, a phase difference plate 2809 and a projection optical system 2810. The projection optical system 2810 consists of an optical system including a projection lens. This example shows an example of "three plate type", but not particularly limited thereto. For instance, the invention may be applied also to "single plate type". Further, in the light path indicated by an arrow in Fig. 33C, an optical system such as an optical lens, a film having a polarization function, a film for adjusting a phase difference, an IR film may be provided on discretion of a person who carries out the invention.

[0305] Fig. 33D is a diagram showing an example of the structure of the light source optical system 2801 in Fig. 33C. In this example, the light source optical system 2801 comprises a reflector 2811, a light source 2812, lens arrays 2813 and 2814, a polarizing converter element 2815 and a collimator lens 2816. Incidentally, the light source optical system shown in Fig. 33D is an example and not particularly limited thereto. For example, in the light source optical system, an optical system such as an optical lens, a film having a polarization function, a film for adjusting a phase difference, and an IR film may be provided on discretion of a person who carries out the invention.

[0306] As described above, the scope of application of the semiconductor device of the present invention is very wide, and the invention can be applied to electronic equipments of any fields. The semiconductor device of this example can be realized even if any combination of Examples 1 to 14 is used.

[Example 16]

[0307] This example demonstrates a process for producing an active matrix type EL (electroluminescence) display device according to the invention of the present invention.

[0308] Fig. 35A is a top view showing an EL display device, which was produced according to the present invention. In Fig. 35A, there are shown a substrate 4010, a pixel portion 4011, a source side driving circuit 4012, and agate side driving circuit 4013, each driving circuit connecting to wirings 4014-4016 which reach FPC 4017 leading to external equipment.

[0309] The pixel portion, preferably together with the driving circuit, is enclosed by a covering material 6000, a sealing material (or housing material) 7000, and an end-sealing material (or second sealing material) 7001.

[0310] Fig. 35B is a sectional view showing the structure of the EL display device in this Example. There is shown a substrate 4010, a base film 4021, a TFT 4022 for the driving circuit, and a TFT 4023 for the pixel portion. (The TFT 4022 shown is a CMOS circuit consisting of an n-channel type TFT and a p-channel type TFT. The TFT 4023 shown is the one, which controls current to the EL element.)

[0311] Incidentally, the present invention is used in the TFT 4022 for the driving circuit and the TFT 4023 for the pixel portion.

[0312] Upon completion of TFT 4022 (for the driving circuit) and TFT 4023 (for the pixel portion) according to the invention of the present application, a pixel electrode 4027 is formed on the interlayer insulating film (planarizing film) 4026 made of a resin. This pixel electrode is a transparent conductive film, which is electrically connected to the drain of TFT 4023 for the pixel unit. The transparent conductive film may be formed from a compound (called ITO) of indium oxide and tin oxide or a compound of indium oxide and zinc oxide. On the pixel electrode 4027 is formed an insulating film 4028, in which is formed an opening above the pixel electrode 4027.

[0313] Subsequently, the EL layer 4029 is formed. It may be of single-layer structure or multi-layer structure by freely combining known EL materials such as a hole injection layer, a hole transport layer, a light emitting layer, an electron transport layer, and an electron injection layer. Any known technology may be available for such structure. The EL material is either a low-molecular material or a high-molecular material (polymer). The former may be applied by vapor deposition, and the latter may be applied by a simple method such as spin coating, printing, or ink-jet method.

[0314] In this example, the EL layer is formed by a vapor deposition through a shadow mask. The resulting EL layer permits each pixel to emit light differing in wavelength (red, green, and blue). This realizes the color display. Alternative systems available include the

BNSDOCID: <EP_____ 1003223A2_I_>

combination of color conversion layer (CCM) and color filter and the combination of white light emitting layer and color filter. Needless to say, the EL display device may be monochromatic.

[0315] On the EL layer is formed a cathode 4030. Prior to this step, it is desirable to clear moisture and oxygen as much as possible from the interface between the EL layer 4029 and the cathode 4030. This object may be achieved by forming the EL layer 4029 and the cathode 4030 subsequently in a vacuum, or by forming the EL layer 4029 in an inert atmosphere and then forming the cathode 4030 in the same atmosphere without exposing to air. In this Example, the desired film was formed by using a film-forming apparatus of multi-chamber system (cluster tool system).

[0316] The multi-layer structure composed of lithium fluoride film and aluminum film is used in this Example as the cathode 4030. To be concrete, the EL layer 4029 is coated by vapor deposition with a lithium fluoride film (1 nm thick) and an aluminum film (300 nm thick) sequentially. Needless to say, the cathode 4030 may be formed from MgAg electrode which is a known cathode material. Subsequently, the cathode 4030 is connected to a wiring 4016 in the region indicated by 4031. The wiring 4016 to supply a prescribed voltage to the cathode 4030 is connected to the FPC 4017 through an electrically conductive paste material 4032.

[0317] The electrical connection between the cathode 4030 and the wiring 4016 in the region 4031 needs contact holes in the interlayer insulating film 4026 and the insulating film 4028. These contact holes may be formed when the interlayer insulating film 4026 undergoes etching to form the contact hole for the pixel electrode or when the insulating film 4028 undergoes etching to form the opening before the EL layer is formed. When the insulating film 4028 undergoes etching, the interlayer insulating film 4026 may be etched simultaneously. Contact holes of good shape may be formed if the interlayer insulating film 4026 and the insulating film 4028 are made of the same material.

[0318] Then, a passivation film 6003, a filling material 6004 and a covering material 6000 are formed so that these layers cover the EL element.

[0319] Furthermore, the sealing material 7000 is formed inside of the covering material 6000 and the substrate 4010 such as surrounding the EL element, and the end-sealing material 7001 is formed outside of the sealing material 7000.

[0320] The filling material 6004 is formed to cover the EL element and also functions as an adhesive to adhere to the covering material 6000. As the filling material 6004, PVC (polyvinyl chloride), an epoxy resin, a silicon resin, PVB (polyvinyl butyral), or EVA (ethylen-vinyl acetate) can be utilized. It is preferable to form a desiccant in the filling material 6004, since a moisture absorption can be maintained.

[0321] Also, spacers can be contained in the filling material 6004. It is preferable to use spherical spacers comprising barium oxide to maintain the moisture absorption in the spacers.

[0322] In the case of that the spaces are contained in the filling material, the passivation film 6003 can relieve the pressure of the spacers. Of course, the other film different from the passivation film, such as an organic resin, can be used for relieving the pressure of the spacers.

[0323] As the covering material 6000, a glass plate, an aluminum plate, a stainless plate, a FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, a polyester film or an acryl film can be used. In a case that PVB or EVA is employed as the filling material 6004, it is preferable to use an aluminum foil with a thickness of some tens of μm sandwiched by a PVF film or a Mylar film.

[0324] It is noted that the covering material 6000 should have a light transparency with accordance to a light emitting direction (a light radiation direction) from the EL element.

[0325] The wiring 4016 is electrically connected to FPC 4017 through the gap between the sealing material 7000 and the end-sealing material 7001, and the substrate 4010. As in the wiring 4016 explained above, other wirings 4014 and 4015 are also electrically connected to FPC 4017 under the sealing material 4018.

[Example 17]

[0326] In this example, another active matrix type EL display device having a different structure from the example 16 is explained, as shown in Figs. 34A and 34B. The same reference numerals in Fig. 36A and 36B as in Figs. 35A and 35B indicate same constitutive elements, so an explanation is omitted.

[0327] Fig. 36A shows a top view of the EL module in this example and Fig. 36B shows a sectional view of A-A' of Fig. 36A.

[0328] According to Example 16, the passivation film 6003 is formed to cover a surface of the EL element.

[0329] The filling material 6004 is formed to cover the EL element and also functions as an adhesive to adhere to the covering material 6000. As the filling material 6004, PVC (polyvinyl chloride), an epoxy resin, a silicon resin, PVB (polyvinyl butyral), or EVA (ethylen-vinyl acetate) can be utilized. It is preferable to form a desiccant in the filling material 6004, since a moisture absorption can be maintained.

[0330] Also, spacers can be contained in the filling material 6004. It is preferable to use spherical spacers comprising barium oxide to maintain the moisture absorption in the spacers.

[0331] In the case of that the spaces are contained in the filling material, the passivation film 6003 can relieve the pressure of the spacers. Of course, the other film different from the passivation film, such as an organic resin, can be used for relieving the pressure of the spacers.

NSDOCID: <EP 1003223A2_I_>

[0332] As the covering material 6000, a glass plate, an aluminum plate, a stainless plate, a FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, a polyester film or an acryl film can be used. In a case that PVB or EVA is employed as the filling material 6004, it is preferable to use an aluminum foil with a thickness of some tens of μm sandwiched by a PVF film or a Mylar film.

[0333] It is noted that the covering material 6000 should have a light transparency with accordance to a light emitting direction (a light radiation direction) from the EL element.

[0334] Next, the covering material 6000 is adhered using the filling material 6004. Then, the flame material 6001 is attached to cover side portions (exposed faces) of the filling material 6004. The flame material 6001 is adhered by the sealing material (acts as an adhesive) 6002. As the sealing material 6002, a light curable resin is preferable. Also, a thermal curable resin can be employed if a heat resistance of the EL layer is admitted. It is preferable for the sealing material 6002 not to pass moisture and oxygen. In addition, it is possible to add a desiccant inside the sealing material 6002.

[0335] The wiring 4016 is electrically connected to FPC 4017 through the gap between the sealing material 6002 and the substrate 4010. As in the wiring 4016 explained above, other wirings 4014 and 4015 are also electrically connected to FPC 4017 under the sealing material 6002.

[Example 18]

[0336] In the active matrix type EL display device having a structure based on the example 16 or 17, the present invention can be used. Although Examples 16 and 17 explain a structure in which a light is radiated toward a bottom surface, an example of the structure of the pixel region in the panel is illustrated in more detail in Example 18. Fig. 37 shows the cross section of the pixel region; Fig. 38A shows the top view thereof; and Fig. 38B shows the circuit structure for the pixel region. In Fig. 37, Fig. 38A and Fig. 38B, the same reference numerals are referred to for the same portions, as being common thereto. There is an example in which a light is radiated toward a top surface described in Example 18. However, needless-to-say, it is possible to fabricate an EL display device applied to the structure of the pixel portion of Example 18 in to Examples 16 and 17.

[0337] In Fig. 37, the switching TFT 3502 formed on the substrate 3501 is NTFT of the invention (cf. Examples 1 to 13). In this Example, it has a double-gate structure, but its structure and fabrication process do not so much differ from the structures and the fabrication processes illustrated hereinabove, and their description is omitted herein. However, the double-gate structure of the switching TFT 3502 has substantially two TFTs as connected in series, and therefore has the advantage of reducing the off-current to pass therethrough. In this Example, the switching TFT 3502 has such a double-gate structure, but is not limitative. It may have a single-gate structure or a triple-gate structure, or even any other multi-gate structure having more than three gates. As the case may be, the switching TFT 3502 may be PTFT of the invention.

[0338] The current-control TFT 3503 is NTFT of the invention. The drain wiring 3035 in the switching TFT 3502 is electrically connected with the gate electrode 3037 of the current-control TFT, via the wiring 3036 therebetween. Gate electrodes 3039a and 3039b of the switching TFT 3502 are extended from gate wiring 3039. Because the figure would be complicated, Fig. 38A shown only one layer for the gate wiring 3039, the gate electrodes 3037, 3039a and 3039b. In fact, however, the gate wiring and the gate electrodes have two-layered structure as shown in Fig. 38B.

[0339] It is very important that the current-control TFT 3503 has the structure defined in the invention. The current-control TFT is a unit for controlling the quantity of current that passes through the EL device. Therefore, a large quantity of current passes through it, and the unit, current-control TFT has a high risk of thermal degradation and degradation with hot carriers. To this unit, therefore, the structure of the invention is extremely favorable, in which an LDD region is so constructed that the gate electrode overlaps with the drain area in the current-control TFT, via a gate insulating film therebetween.

[0340] In this Example, the current-control TFT 3503 is illustrated to have a single-gate structure, but it may have a multi-gate structure with plural TFTs connected in series. In addition, plural TFTs may be connected in parallel so that the channel forming region is substantially divided into plural sections. In the structure of that type, heat radiation can be effected efficiently. The structure is advantageous for protecting the device with it from thermal deterioration.

[0341] As in Fig. 38A, the wiring to be the gate electrode 3037 in the current-control TFT 3503 overlaps with the drain wiring 3040 therein in the region indicated by 3504, via an insulating film therebetween. In this state, the region indicated by 3504 forms a capacitor. The capacitor 3504 functions to retain the voltage applied to the gate electrode in the current-control TFT 3503. The drain wiring 3040 is connected with the current supply line (power line) 3501, from which a constant voltage is all the time applied to the drain wiring 3040.

[0342] On the switching TFT 3502 and the current-control TFT 3503, a first passivation film 41 is formed. On the film 3041, formed is a planarizing film 3042 of an insulating resin. It is extremely important that the difference in level of the layered portions in TFT is removed through planarization with the planarizing film 3042. This is because the EL layer to be formed on the previously formed layers in the later step is extremely thin, and if there exist a difference in level of the previously

formed layers, the EL device will be often troubled by light emission failure. Accordingly, it is desirable to previously planarize as much as possible the previously formed layers before the formation of the pixel electrode thereon so that the EL layer could be formed on the planarized surface.

[0343] The reference numeral 3043 indicates a pixel electrode (a cathode in the EL device) of an conductive film with high reflectivity. The pixel electrode 3043 is electrically connected with the drain region in the current-control TFT 3503. It is preferable that the pixel electrode 3043 is of a low-resistance conductive film of an aluminum alloy, a copper alloy or a silver alloy, or of a laminate of those films. Needless-to-say, the pixel electrode 3043 may have a laminate structure with any other conductive films.

[0344] In the recess (this corresponds to the pixel) formed between the banks 3044a and 3044b of an insulating film (preferably of a resin), the light-emitting layer 3044 is formed. In the illustrated structure, only one pixel is shown, but plural light-emitting layers could be separately formed in different pixels, corresponding to different colors of R (red), G (green) and B (blue). The organic EL material for the light-emitting layer may be any π-conjugated polymer material. Typical polymer materials usable herein include polyparaphenylenevinylene (PVV) materials, polyvinylcarbazole (PVK) materials, polyfluorene materials, etc.

[0345] Various types of PVV-type organic EL materials are known, such as those disclosed in H. Shenk, H. Becker, O. Gelsen, E. Klunge, W. Kreuder, and H. Spreitzer; Polymers for Light Emitting Diodes, Euro Display Proceedings, 1999, pp. 33-37 and in Japanese Patent Laid-Open No. 10-92576 (1998). Any of such known materials are usable herein.

[0346] Concretely, cyanopolyphenylenevinylenes may be used for red-emitting layers; polyphenylenevinylenes may be for green-emitting layers; and polyphenylenevinylenes or polyalkylphenylenes may be for blue-emitting layers. The thickness of the film for the light-emitting layers may fall between 30 and 150 nm (preferably between 40 and 100 nm).

[0347] These compounds mentioned above are referred to merely for examples of organic EL materials employable herein and are not limitative at all. The light-emitting layer may be combined with a charge transportation layer or a charge injection layer in any desired manner to form the intended EL layer (this is for light emission and for carrier transfer for light emission).

[0348] Specifically, Example 18 is to demonstrate an example of using polymer materials to form light-emitting layers, which, however, is not limitative. Low-molecular organic EL materials may also be used for light-emitting layers. For charge transportation layers and charge injection layers, further employable are inorganic materials such as silicon carbide, etc. Various organic EL materials and inorganic materials for those layers are known, any of which are usable herein.

[0349] In this Example, a hole injection layer 3046 of PEDOT (polythiophene) or PAni (polyaniline) is formed on the light-emitting layer 3045 to give a laminate structure for the EL layer. On the hole injection layer 3046, formed is an anode 3047 of a transparent conductive film. In this Example, the light having been emitted by the light-emitting layer 3045 radiates therefrom in the direction toward the top surface (that is, in the upward direction of TFT). Therefore, in this, the anode must transmit light. For the transparent conductive film for the anode, usable are compounds of indium oxide and tin oxide, and compounds of indium oxide and zinc oxide. However, since the anode is formed after the light-emitting layer and the hole injection layer having poor heat resistance have been formed, it is preferable that the transparent conductive film for the anode is of a material capable of being formed into a film at as low as possible temperatures.

[0350] When the anode 3047 is formed, the EL device 3505 is finished. The EL device 3505 thus fabricated herein indicates a capacitor comprising the pixel electrode (cathode) 3043, the light-emitting layer 3045, the hole injection layer 3046 and the anode 3047. As in Fig. 38A, the region of the pixel electrode 3043 is nearly the same as the area of the pixel. Therefore, in this, the entire pixel functions as the EL device. Accordingly, the light utility efficiency of the EL device fabricated herein is high, and the device can display bright images.

[0351] In this Example, a second passivation film 3048 is formed on the anode 3047. For the second passivation film 3048, preferably used is a silicon nitride film or a silicon nitride oxide film. The object of the second passivation film 3048 is to insulate the EL device from the outward environment. The film 3048 has the function of preventing the organic EL material from being degraded through oxidation and has the function of preventing it from degassing. With the second passivation film 3048 of that type, the reliability of the EL display device is improved.

[0352] As described hereinabove, the EL display panel of the invention fabricated in this Example has a pixel portion for the pixel having the constitution as in Fig. 37, and has the switching TFT through which the off-current to pass is very small to a satisfactory degree, and the current-control TFT resistant to hot cater injection. Accordingly, the EL display panel fabricated herein has high reliability and can display good images.

[0353] The constitution of this Example can be combined with any constitution of Examples 1 to 13 in any desired manner. Incorporating the EL display panel of this Example into the electronic equipments of Example 15 as its display portion is advantageous.

[Example 19]

[0354] This Example is to demonstrate a modification of the EL display panel of Example 18, in which the EL device 3505 in the pixel portion has a reversed struc-

ture. For this Example, referred to is Fig. 39. The constitution of the EL display panel of this Example differs from that illustrated in Fig. 37 only in the EL device portion and the current-control TFT portion. Therefore, the description of the other portions except those different portions is omitted herein.

[0355] In Fig. 39, the current-control TFT 3701 may be PTFT of the invention. For the process of forming it, referred to is that of Example 1 to 13.

[0356] In this Example, the pixel electrode (anode) 3050 is of a transparent conductive film. Concretely, used is an conductive film of a compound of indium oxide and zinc oxide. Needless-to-say, also usable is an conductive film of a compound of indium oxide and tin oxide.

[0357] After the banks 3051a and 3051b of an insulating film have been formed, a light-emitting layer 3052 of polyvinylcarbazole is formed between them in a solution coating method. On the light-emitting layer 3052, formed are an electron injection layer 3053 of acetylacetonatopotassium, and a cathode 3054 of an aluminum alloy. In this case, the cathode 3054 serves also as a passivation film. Thus is fabricated the EL device 3701.

[0358] In this Example, the light having been emitted by the light-emitting layer 3053 radiates in the direction toward the substrate with TFT formed thereon, as in the direction of the arrow illustrated.

[0359] The constitution of this Example can be combined with any constitution of Examples 1 to 13 in any desired manner. Incorporating the EL display panel of this Example into the electronic equipments of Example 15 as its display portion is advantageous.

[Example 20]

[0360] This Example is to demonstrate modifications of the pixel with the circuit structure of Fig. 38B. The modifications are as in Figs. 40A-40C. In this Example illustrated in those Fig. 40A to Fig. 40C, 3801 indicates the source wiring for the switching TFT 3802; 3803 indicates the gate wiring for the switching TFT 3802; 3804 indicates a current-control TFT; 3805 indicates a capacitor; 3806 and 3808 indicate current supply lines; and 3807 indicates an EL device.

[0361] In the example of Fig. 40A, the current supply line 3806 is common to the two pixels. Specifically, this example is characterized in that two pixels are lineal-symmetrically formed with the current supply line 3806 being the center between them. Since the number of current supply lines can be reduced therein, this example is advantageous in that the pixel portion can be much finer and thinner.

[0362] In the example of Fig. 40B, the current supply line 3808 is formed in parallel to the gate wiring 3803. Specifically, in this, the current supply line 3808 is so constructed that it does not overlap with the gate wiring 3803, but is not limitative. Being different from the illustrated case, the two may overlap with each other via an insulating film therebetween so far as they are of different layers. Since the current supply line 3808 and the gate wiring 3803 may enjoy the common exclusive area therein, this example is advantageous in that the pixel pattern can be much finer and thinner.

[0363] The structure of the example of Fig. 40C is characterized in that the current supply line 3808 is formed in parallel to the gate wirings 3803, like in Fig. 40B, and that two pixels are lineal-symmetrically formed with the current supply line 3808 being the center between them. In this, it is also effective to provide the current supply line 3808 in such a manner that it overlaps with any one of the gate wirings 3803. Since the number of current supply lines can be reduced therein, this example is advantageous in that the pixel pattern can be much finer and thinner.

[0364] The constitution of this Example can be combined with any constitution of Example 1 to 13, 16 and 17 in any desired manner. Incorporating the EL display panel having the pixel structure of this Example into the electronic equipments of Example 15 as its display portion is advantageous.

[Example 21]

[0365] The example of Example 18 illustrated in Fig. 38A and Fig. 38B is provided with the capacitor 3504 which acts to retain the voltage applied to the gate in the current-control TFT 3503. In the example, however, the capacitor 3504 may be omitted.

[0366] In the example of Example 18, the current-control TFT 3503 is NTFT of the invention, as shown in Examples 1 to 13. Therefore, in the example 18, the LDD region is so formed that it overlaps with the gate electrode via the gate insulating film therebetween. In the overlapped region, formed is a parasitic capacitance generally referred to as a gate capacitance. The example of this Example is characterized in that the parasitic capacitance is positively utilized in place of the capacitor 3504.

[0367] The parasitic capacitance in question varies, depending on the area in which the gate electrode overlaps with the LDD region, and is therefore determined according to the length of the LDD region in the overlapped area.

[0368] Also in the examples of Example 20 illustrated in Fig. 40A, Fig. 40B and Fig. 40C, the capacitor 3805 can be omitted.

[0369] The constitution of this Example can be combined with any constitution of Example 1 to 13, 16 to 20 in any desired manner. Incorporating the EL display panel having the pixel structure of this Example into the electronic equipments of Example 15 as its display portion is advantageous.

[0370] Further, needless-to-say, the NTFT and the PTFT in Examples 16-21 are same as an n-channel TFT and a p-channel TFT of the present invention, respectively.

NSDOCID: <EP___ ___1003223A2_I_>

[0371] By carrying out the present invention, the reliability of a TFT can be increased, and especially the reliability of an n-channel TFT can be increased. Thus, it becomes possible to secure the reliability of a channel-type TFT which has high electric characteristics (especially high mobility) and which is required to have severe reliability. At the same time, by forming a CMOS circuit through combination of an n-channel TFT and a p-channel TFT superior in characteristic balance, a semiconductor circuit having high reliability and superior electric characteristics can be formed.

[0372] Moreover, in the present invention, since a catalytic element used for crystallization of a semiconductor can be reduced, a semiconductor device with few unstable factors can be realized. Further, since a step of reducing the catalytic element is carried out at the same time as formation and activation of a source region and a drain region, a throughput is not lowered.

[0373] Moreover, by increasing the reliability of a circuit assembled by the TFTs as described above, it becomes possible to secure the reliability of an electro-optical device, a semiconductor circuit, and further, any semiconductor devices including electronic equipments.

Claims

1. A method of fabricating a semiconductor device, said method comprising the steps of:

   forming an insulating film being in contact with a semiconductor layer;
   forming a gate electrode intersecting with the semiconductor layer through the insulating film; and
   adding an impurity with one conductivity into the semiconductor layer through at least a portion of the gate electrode;
   wherein an angle between a side of the gate electrode and the insulating film is in a range of 3 degrees to 60 degrees.

2. A method of fabricating a semiconductor device, said method comprising the steps of:

   forming an insulating film being in contact with a semiconductor layer;
   forming a gate electrode intersecting with the semiconductor layer through the insulating film;
   first adding an impurity with one conductivity into the semiconductor layer through at least a portion of the gate electrode; and
   second adding the impurity into the semiconductor layer without passing through the gate electrode;
   wherein an angle between a side of the gate electrode and the insulating film is in a range of 3 degrees to 60 degrees.

3. A method of according to claim 2, wherein the impurity is added into the semiconductor layer using a mask covering the gate electrode and having a width wider than the gate electrode in a channel length direction in the second adding step.

4. A method of fabricating a semiconductor device, said method comprising the steps of:

   forming an insulating film being in contact with a semiconductor layer;
   forming a first conductive film being in contact with the insulating film;
   forming a second conductive film being in contact with the first conductive film;
   forming a gate electrode by patterning the first conductive film and the second conductive film;
   wherein the gate electrode includes a first gate electrode and a second gate electrode being formed on the first gate electrode;
   wherein the second electrode has a width narrower in a channel length direction than the first gate electrode; and
   adding an impurity with one conductivity into the semiconductor layer through at least a portion of the first gate electrode;
   wherein an angle between a side of the first gate electrode and the insulating film is in a range of 3 degrees to 60 degrees.

5. A method of fabricating a semiconductor device, said method comprising the steps of:

   forming an insulating film being in contact with a semiconductor layer;
   forming a first conductive film being in contact with the insulating film;
   forming a second conductive film being in contact with the first conductive film;
   forming a gate electrode by patterning the first conductive film and the second conductive film;
   wherein the gate electrode includes a first gate electrode and a second gate electrode being formed on the first gate electrode;
   wherein the second gate electrode has a width narrower in a channel length direction than the first gate electrode;
   first adding an impurity with one conductivity into the semiconductor layer by through at least a portion of the first gate electrode; and
   second adding the impurity into the semiconductor layer without passing through the gate electrode;
   wherein an angle between a side of the first gate electrode and the insulating film is in a range of 3 degrees to 60 degrees.

6. A method according to claim 5, wherein the impu-

INSDOCID: <EP 1003223A2 I >

rity is added into the semiconductor layer using a mask covering the first gate electrode and having a width wider than the first gate electrode in a channel length direction.

7. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer the second semiconductor layer,
forming a second gate wiring on the first gate wiring;
first adding an n-type impurity into the first semiconductor layer by through at least a portion of the first gate wiring;
second adding the n-type impurity into the first semiconductor layer without passing through the first gate wiring; and
third adding a p-type impurity into the second semiconductor layer using the first gate wiring and the second gate wiring as masks;
wherein an angle between a side portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

8. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer and the second semiconductor layer;
forming a second gate wiring on the first gate wiring;
first adding a p-type impurity into the second semiconductor layer using the first gate wiring and the second gate wiring as masks;
second adding an n-type impurity into the first semiconductor layer through at least a portion of the first gate wiring; and
third adding the n-type impurity into the first semiconductor layer without passing through the first gate wiring;
wherein an angle between a side portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

9. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer and the second semiconductor layer;
forming a second gate wiring on the first gate wiring;
first adding a p-type impurity into the second semiconductor layer using the first gate wiring and the second gate wiring as masks;
second adding an n-type impurity into the first semiconductor layer without passing through the first gate wiring; and
third adding the n-type impurity into the first semiconductor layer through at least a portion of the first gate wiring;
wherein an angle between a side of a portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

10. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer and the second semiconductor layer;
forming a second gate wiring on the first gate wiring;
first adding an n-type impurity into the first semiconductor layer through at least of the first gate wiring;
second adding a p-type impurity into the second semiconductor layer using the first gate wiring and the second gate wiring as masks; and
third adding the n-type impurity into the first semiconductor layer without passing through

BNSDOCID: <EP_____1003223A2 I >

the first gate wiring;
wherein an angle between a side portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

11. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer and the second semiconductor layer;
forming a second gate wiring on the first gate wiring;
first adding an n-type impurity into the first semiconductor layer without passing through the first gate wiring;
second adding a p-type impurity into the second semiconductor layer using the first gate wiring and the second gate wiring as masks; and
third adding the n-type impurity into the first semiconductor layer through at least a portion of the first gate wiring;
wherein an angle between a side portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

12. A method of fabricating a semiconductor device including a CMOS circuit having an n-channel thin film transistor and a p-channel thin film transistor, said method comprising the steps of:

forming a first semiconductor layer and a second semiconductor layer;
forming an insulating film being in contact with the first semiconductor layer and the second semiconductor layer;
forming a first gate wiring intersecting with the first semiconductor layer and the second semiconductor layer;
forming a second gate wiring on the first gate wiring;
first adding an n-type impurity into the first semiconductor layer without passing through the first gate wiring;
second adding the n-type impurity into the first semiconductor layer through at least a portion of the first gate wiring; and
third adding a p-type impurity into the second semiconductor layer using the first gate wiring and the second gate wiring as masks;
wherein an angle between a side portion intersecting with the first semiconductor layer and the insulating film is in a range of 3 degrees to 60 degrees.

13. A semiconductor device comprising:

a semiconductor island on an insulating surface;
a channel region in the semiconductor island;
at least an LDD region being contact with the channel region and including a first impurity region and a second impurity region, said first impurity region being in contact with the channel region and said second impurity region being in contact with the first impurity region;
at least a third impurity region being in contact with the second impurity region;
a gate electrode being formed over the semiconductor island with a gate insulating film interposed therebetween and having a first gate electrode and a second electrode being formed on the first gate electrode,
wherein the first gate electrode has at least a taper portion and a flat portion,
wherein the first impurity region is over lapped with the taper portion of the first gate electrode with the gate insulating film interposed therebetween,
wherein the second impurity region is overlapped with neither the first gate electrode nor the second gate electrode.

14. A device according to claim 13, wherein an angle between the taper portion of the first gate electrode and the gate insulating film is in a range of 3 to 60 degrees.

15. A device according to claim 13, wherein the semiconductor island is a crystalline silicon island.

16. A device according to claim 13, wherein the first gate electrode includes at least one selected from the group consisting of chromium (Cr), tantalum (Ta) an n-type silicon containing phosphorus, titanium (Ti), tungsten (W), and molybdenum (Mo) while the second gate electrode includes at least one selected from the group consisting of aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), an n-type silicon containing phosphorus and silicide.

17. A device according to claim 13, wherein the semiconductor device is one selected from the group consisting of a video camera, a digital camera, a

rear-type projector, a front-type projector, a head mount display (a goggle-type display), a navigation system for vehicles, a personal computer, a mobile computer, a cellular phone, and an electronic book.

18. A semiconductor device comprising at least a CMOS transistor including an n-channel thin film transistor and a p-channel thin film transistor,

said n-channel thin film transistor including:

a first semiconductor island on an insulating surface;
a first channel region in the first semiconductor island;
at least a first LDD region being contact with the first channel region and including a first impurity region and a second impurity region, said first impurity region being in contact with the channel region and said second impurity region being in contact with the first impurity region;
at least a third impurity region being in contact with the second impurity region;
a gate electrode of the n-channel thin film transistor being formed over the first semiconductor island with a gate insulating film interposed therebetween and having a first gate electrode and a second electrode being formed on the first gate electrode,
wherein the first gate electrode has at least a taper portion and a flat portion,
wherein the first impurity region is overlapped with the taper portion of the first gate electrode with the gate insulating film interposed therebetween,
wherein the second impurity region is overlapped with neither the first gate electrode nor the second gate electrode.

said p-channel thin film transistor including:

a second semiconductor island being formed on the insulating surface;
a second channel region in the second semiconductor island;
at least a fourth impurity region being formed in contact with the second channel region;
at least a fifth impurity region being formed in contact with the fourth impurity region;
a gate electrode of the p-channel thin film transistor being formed over the second channel region with the gate insulating film being interposed therebetween having a third gate electrode and a fourth gate electrode being formed on the third gate electrode,
wherein each of the fourth and fifth impurity regions is overlapped with neither the third gate electrode nor the fourth gate electrode.

19. A device according to claim 18, wherein an angle between the taper portion of the first gate electrode and the gate insulating film is in a range of 3 to 60 degrees.

20. A device according to claim 18, wherein each of the first and second semiconductor islands is a crystalline silicon island.

21. A device according to claim 18, wherein each of the first and third gate electrodes includes at least one selected from the group consisting of chromium (Cr), tantalum (Ta) an n-type silicon containing phosphorus, titanium (Ti), tungsten (W), and molybdenum (Mo) while each of the second and fourth gate electrodes includes at least one selected from the group consisting of aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), an n-type silicon containing phosphorus and silicide.

22. A device according to claim 18, wherein the semiconductor device is one selected from the group consisting of a video camera, a digital camera, a rear-type projector, a front-type projector, a head mount display (a goggle-type display), a navigation system for vehicles, a personal computer, a mobile computer, a cellular phone, and an electronic book.

23. A semiconductor device comprising at least a CMOS transistor including an n-channel thin film transistor and a p-channel thin film transistor,

said n-channel thin film transistor including:

a first semiconductor island on an insulating surface;
a first channel region in the first semiconductor island;
at least a first LDD region being contact with the first channel region and including a first impurity region and a second impurity region, said first impurity region being in contact with the channel region and said second impurity region being in contact with the first impurity region;
at least a third impurity region being in contact with the second impurity region;
a gate electrode of the n-channel thin film transistor being formed over the first semiconductor island with a gate insulating film interposed therebetween and having a first gate electrode and a second electrode

3NSDOCID: <EP 1003223A2_I. >

being formed on the first gate electrode,
wherein the first gate electrode has at least a first taper portion and a first flat portion,
wherein the first impurity region is overlapped with the first taper portion of the first gate electrode with the gate insulating film interposed therebetween,
wherein the second impurity region is overlapped with neither the first gate electrode nor the second gate electrode.

said p-channel thin film transistor including:

a second semiconductor island being formed on the insulating surface;
a second channel region in the second semiconductor island;
at least a fourth impurity region being formed in contact with the second
a gate electrode of the p-channel thin film transistor being formed over the second channel region with the gate insulating film being interposed therebetween having a third gate electrode and a fourth gate electrode being formed on the third gate electrode,
wherein the third gate electrode has at least a second taper portion and a second flat portion,
wherein the fourth impurity region is overlapped with neither the third gate electrode nor the fourth gate electrode.

24. A device according to claim 23, wherein each of angles between the first taper portion of the first gate electrode and the gate insulating film and between the second taper portion of the third gate electrode and the gate insulating film is in a range of 3 to 60 degrees.

25. A device according to claim 23, wherein each of the first and second semiconductor islands is a crystalline silicon island.

26. A device according to claim 23, wherein each of the first and third gate electrodes includes at least one selected from the group consisting of chromium (Cr), tantalum (Ta) an n-type silicon containing phosphorus, titanium (Ti), tungsten (W), and molybdenum (Mo) while each of the second and fourth gate electrodes includes at least one selected from the group consisting of aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), an n-type silicon containing phosphorus and silicide.

27. A device according to claim 23, wherein the semiconductor device is one selected from the group consisting of a video camera, a digital camera, a rear-type projector, a front-type projector, a head mount display (a goggle-type display), a navigation system for vehicles, a personal computer, a mobile computer, a cellular phone, and an electronic book.

28. A semiconductor device comprising at least a CMOS transistor including an n-channel thin film transistor and a p-channel thin film transistor,

said n-channel thin film transistor including:

a first semiconductor island on an insulating surface;
a first channel region in the first semiconductor island;
at least a first LDD region being contact with the first channel region and including a first impurity region and a second impurity region, said first impurity region being in contact with the channel region and said second impurity region being in contact with the first impurity region;
at least a third impurity region being in contact with the second impurity region;
a gate electrode of the n-channel thin film transistor being formed over the first semiconductor island with a gate insulating film interposed therebetween and having a first gate electrode and a second electrode being formed on the first gate electrode,
wherein the first gate electrode has at least a taper portion and a flat portion,
wherein the first impurity region is overlapped with the taper portion of the first gate electrode with the gate insulating film interposed therebetween,
wherein the second impurity region is overlapped with neither the first gate electrode nor the second gate electrode.

said p-channel thin film transistor including:

a second semiconductor island being formed on the insulating surface;
a second channel region in the second semiconductor island;
at least a fourth impurity region being formed in contact with the second
a gate electrode of the p-channel thin film transistor being formed over the second channel region with the gate insulating film being interposed therebetween having a third gate electrode and a fourth gate electrode being formed on the third gate electrode,
wherein the fourth impurity region is overlapped with neither the third gate electrode

EPNSDOCID: <EP 1003223A2 I >

nor the fourth gate electrode.

29. A device according to claim 28, wherein an angle between the taper portion of the first gate electrode and the gate insulating film is in a range of 3 to 60 degrees.

30. A device according to claim 28, wherein each of the first and second semiconductor islands is a crystalline silicon island.

31. A device according to claim 28, wherein each of the first and third gate electrodes includes at least one selected from the group consisting of chromium (Cr), tantalum (Ta) an n-type silicon containing phosphorus, titanium (Ti), tungsten (W), and molybdenum (Mo) while each of the second and fourth gate electrodes includes at least one selected from the group consisting of aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), an n-type silicon containing phosphorus and silicide.

32. A device according to claim 28, wherein the semiconductor device is one selected from the group consisting of a video camera, a digital camera, a rear-type projector, a front-type projector, a head mount display (a goggle-type display), a navigation system for vehicles, a personal computer, a mobile computer, a cellular phone, and an electronic book.

33. An electroluminescence display device comprising:

a pixel portion and a peripheral driving circuit portion over a substrate;
at least a first thin film transistor for controlling a current and a second thin film transistor for switching each being formed in the pixel portion;
at least a CMOS transistor being formed in the peripheral driving circuit portion;
said first thin film transistor comprising:

a semiconductor island on an insulating surface;
a channel region in the semiconductor island;
at least an LDD region being contact with the channel region and including a first impurity region and a second impurity region, said first impurity region being in contact with the channel region and said second impurity region being in contact with the first impurity region;
at least a third impurity region being in contact with the second impurity region;
a gate electrode being formed over the semiconductor island with a gate insulating film interposed therebetween and having a first gate electrode and a second electrode being formed on the first gate electrode,
wherein the first gate electrode has at least a taper portion and a flat portion,
wherein the first impurity region is overlapped with the taper portion of the first gate electrode with the gate insulating film interposed therebetween,
wherein the second impurity region is overlapped with neither the first gate electrode nor the second gate electrode,

a pixel electrode being electrically connected to the third impurity region of the first thin film transistor;
a light emitting layer being formed over the pixel electrode;
an electrode being formed over the light emitting layer.

34. A device according to claim 33, wherein an angle between the taper portion of the first gate electrode and the gate insulating film is in a range of 3 to 60 degrees.

35. A device according to claim 33, wherein the semiconductor island is a crystalline silicon island.

36. A device according to claim 33, wherein the first gate electrode includes at least one selected from the group consisting of chromium (Cr), tantalum (Ta) an n-type silicon containing phosphorus, titanium (Ti), tungsten (W), and molybdenum (Mo) while the second gate electrode includes at least one selected from the group consisting of aluminum (Al), copper (Cu), chromium (Cr), tantalum (Ta), titanium (Ti), tungsten (W), or molybdenum (Mo), an n-type silicon containing phosphorus and silicide.

37. The electroluminescence display device of claim 33 in combination with one selected from the group consisting of a video camera, a digital camera, a rear-type projector, a front-type projector, a head mount display (a goggle-type display), a navigation system for vehicles, a personal computer, a mobile computer, a cellular phone, and an electronic book.

38. A device according to claim 33, wherein the light emitting layer is an EL layer.

39. A device according to claim 33, wherein a drain region of the second thin film transistor is electrically connected to the gate electrode of the first thin film transistor.

40. A device according to claim 33, wherein the second

BNSDOCID: <EP_____1003223A2_I_>

thin film transistor has a multi-gate structure.

41. A device according to claim 33, wherein at least one of the pixel electrode and the electrode is transparent.

NSDOCID: <EP_____1003223A2_I_>

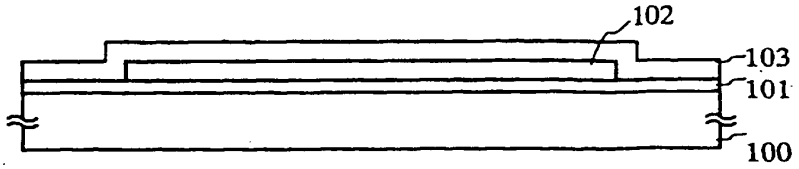


FIG. 1A

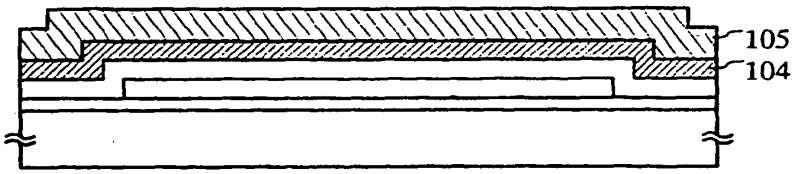


FIG. 1B

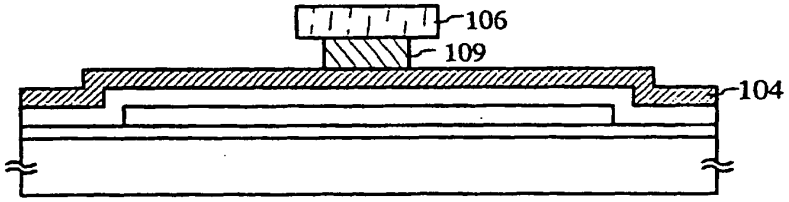


FIG. 1C

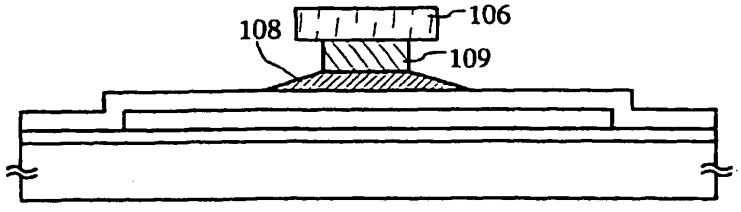


FIG. 1D

BNSDOCID: <EP 1003223A2 I >

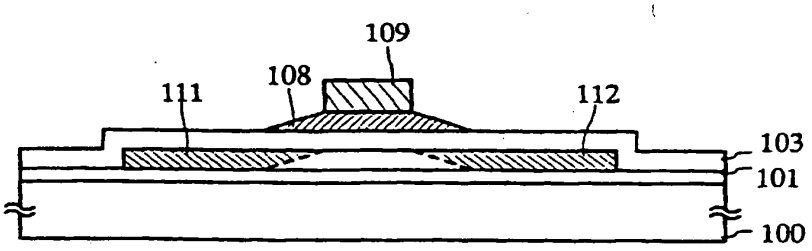


FIG. 2A

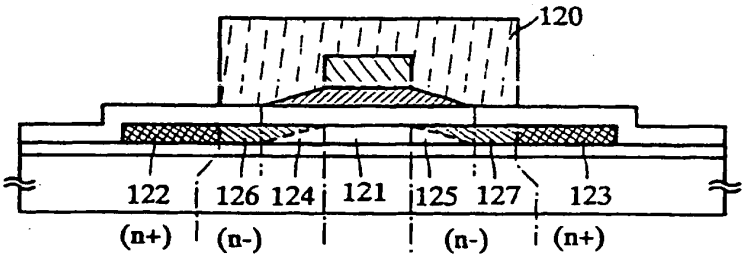


FIG. 2B

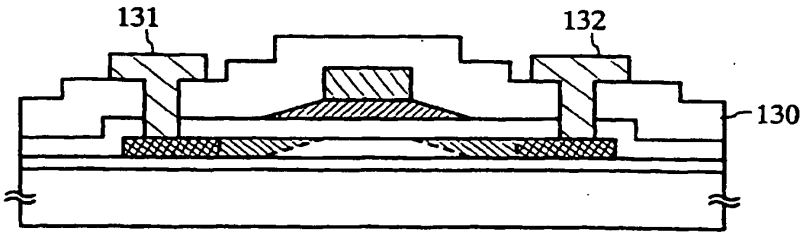


FIG. 2C

INSDOCID: <EP____ _1003223A2 I >

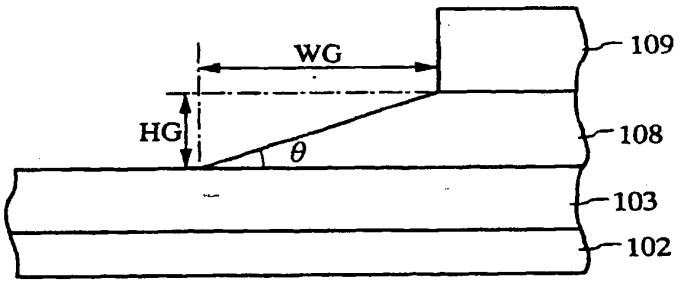


FIG. 3

BNSDOCID: <EP_____ .1003223A2 1 >

FIG. 4A

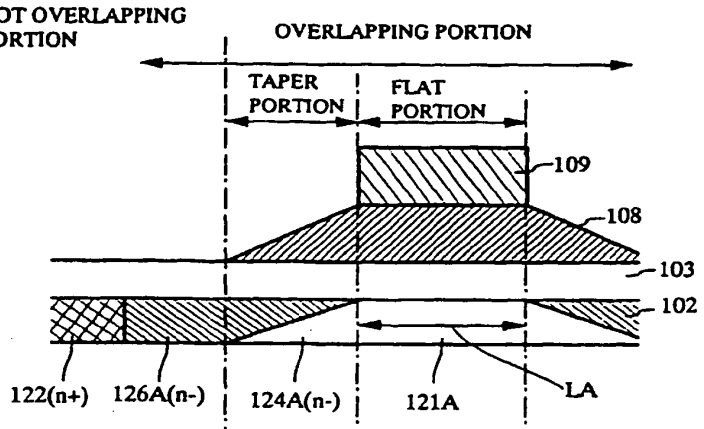


FIG. 4B

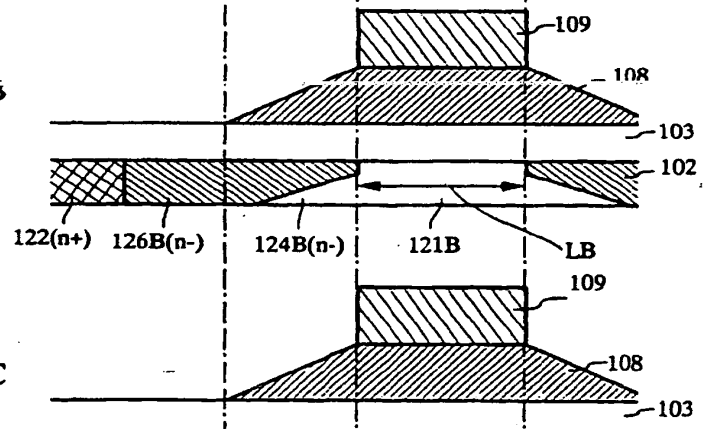


FIG. 4C

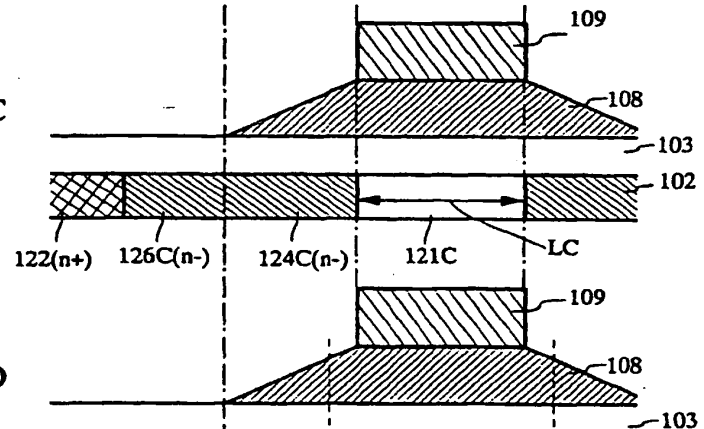
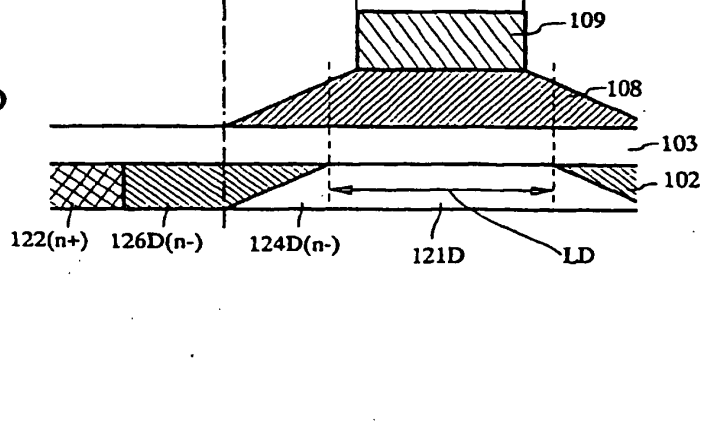


FIG. 4D



NSDOCID: <EP 1003223A2_I >

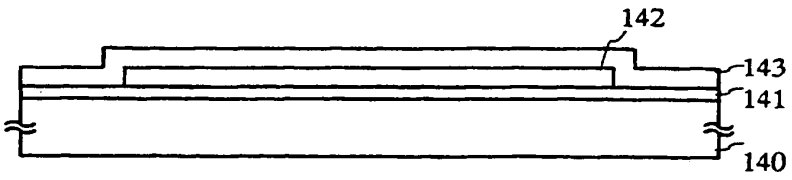


FIG. 5A

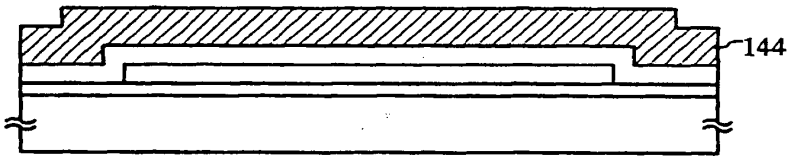


FIG. 5B

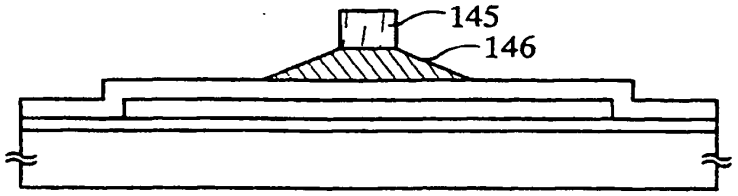


FIG. 5C

EPNSDOCID: <EP 1003223A2 I >

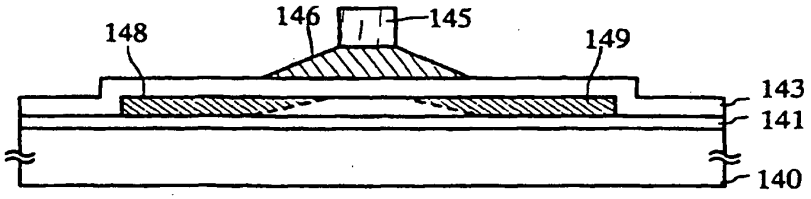


FIG. 6A

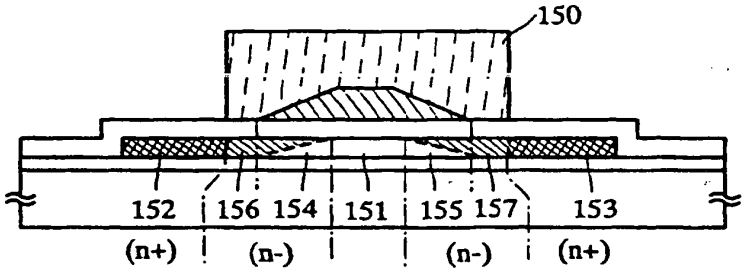


FIG. 6B

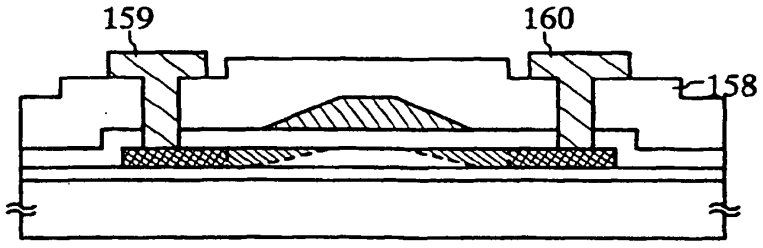


FIG. 6C

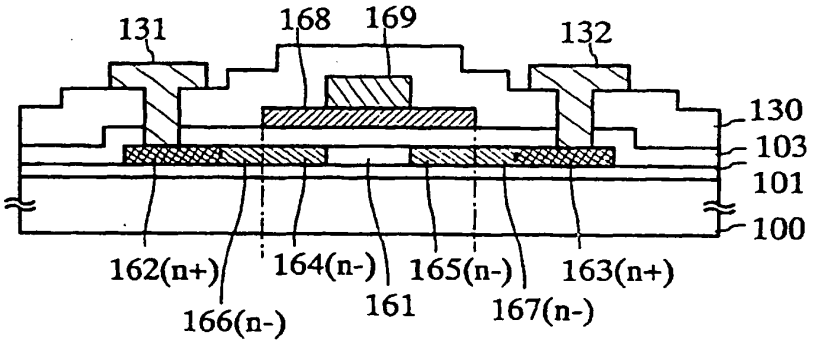


FIG. 7

BNSDOCID: <FP 1003223A2 I >

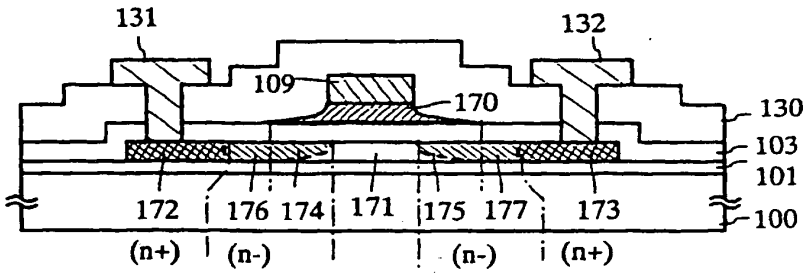

131
132
109
170
130
103
101
172
176
174
171
175
177
173
100
(n+)
(n-)
(n-)
(n+)

FIG. 8

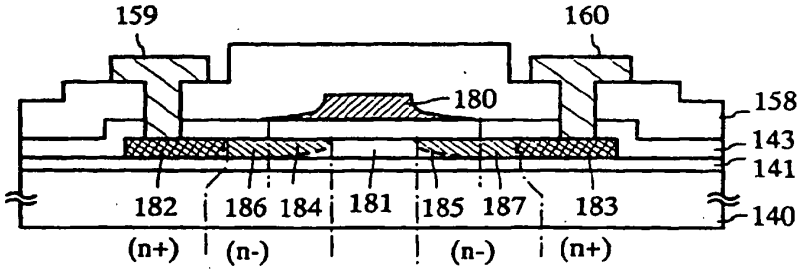

159
160
180
158
143
141
182
186
184
181
185
187
183
140
(n+)
(n-)
(n-)
(n+)

FIG. 9

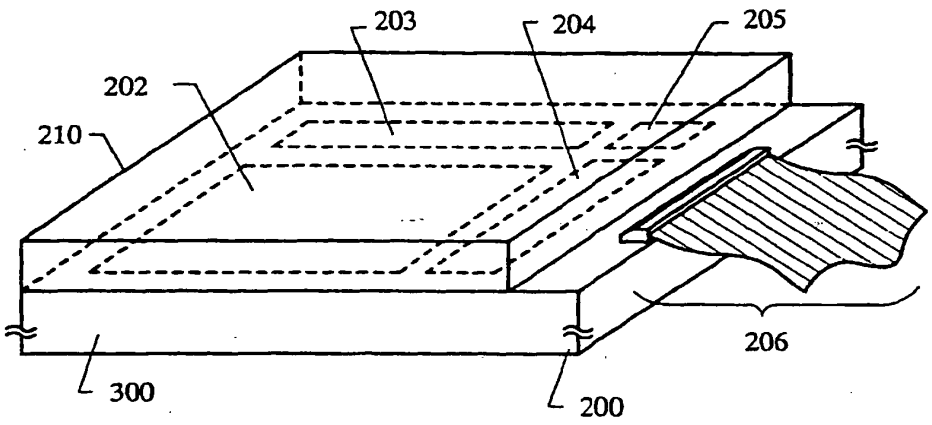


FIG. 10

BNSDOCID: <EP 1003223A2 >

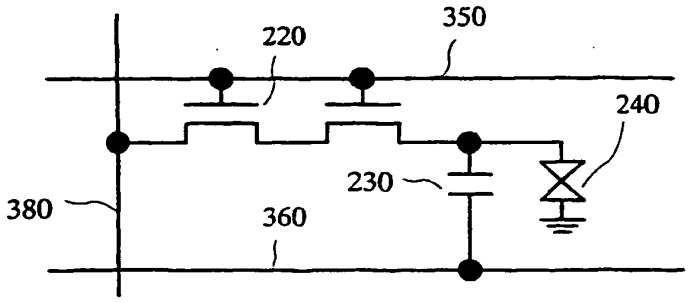


FIG. 11A

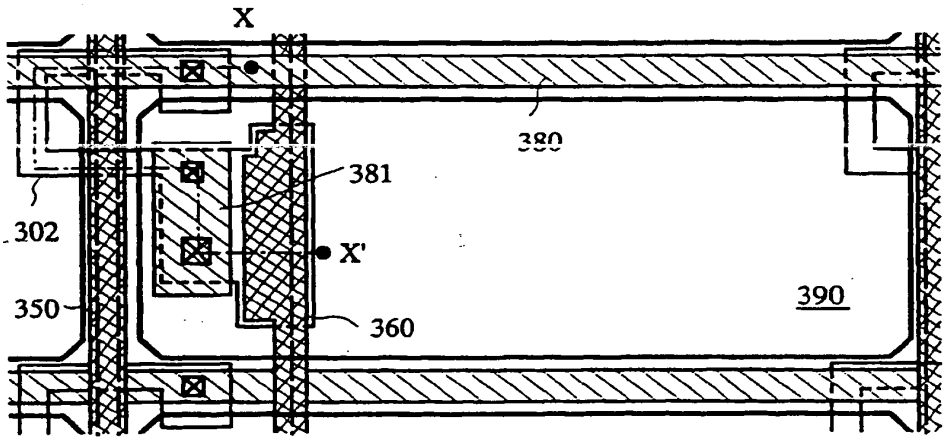


FIG. 11B

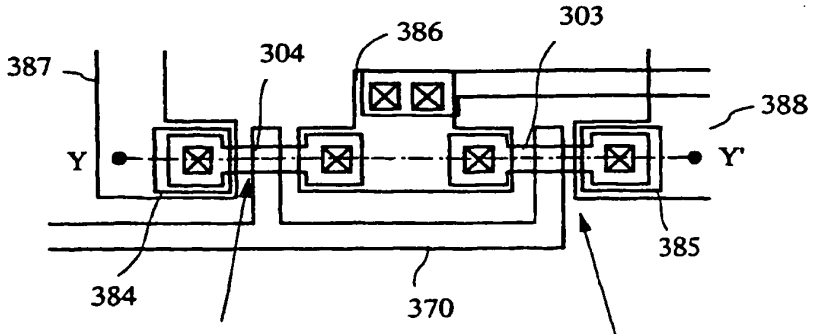


FIG. 11C

BNSDOCID: <EP 1003223A2 I >

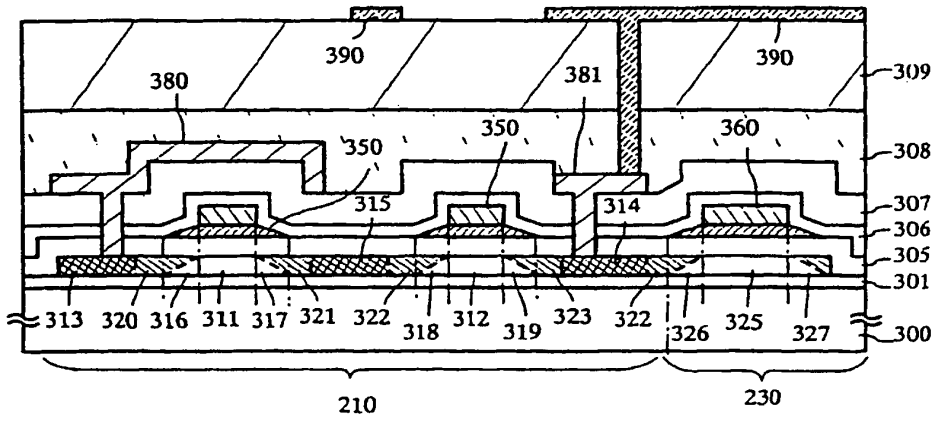


FIG. 12A

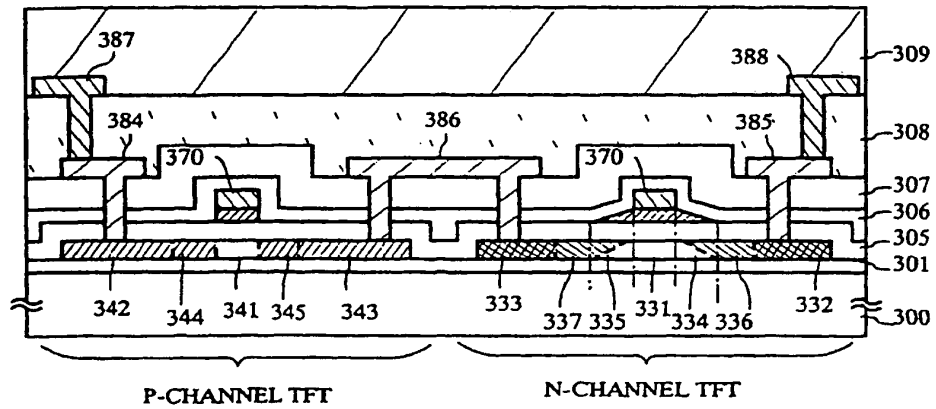


FIG. 12B

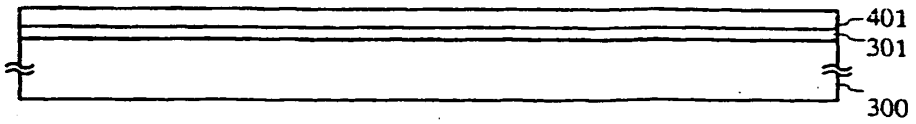


FIG. 13A

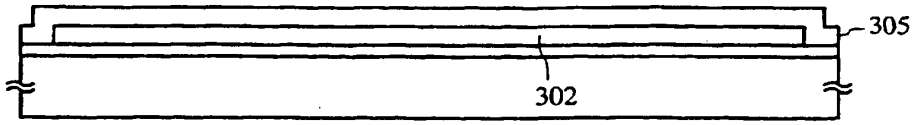


FIG. 13B

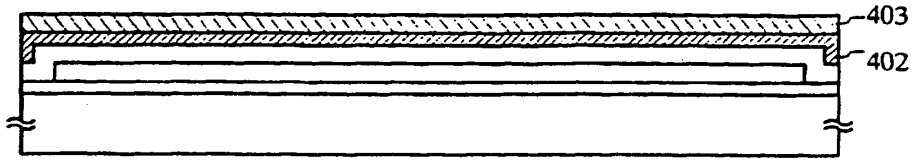


FIG. 13C

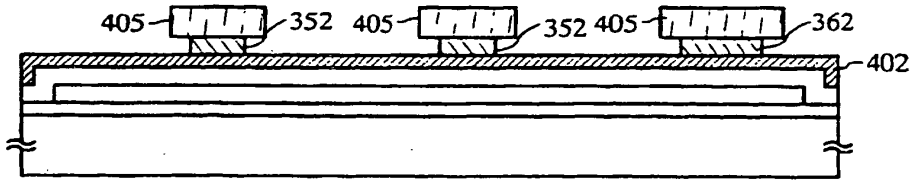


FIG. 13D

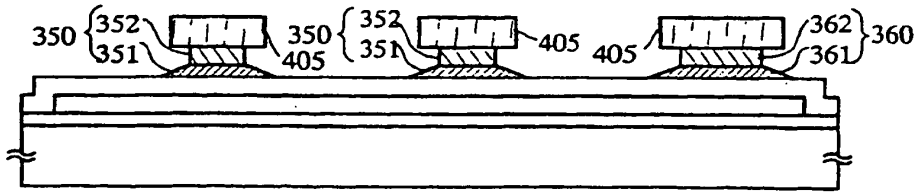


FIG. 13E

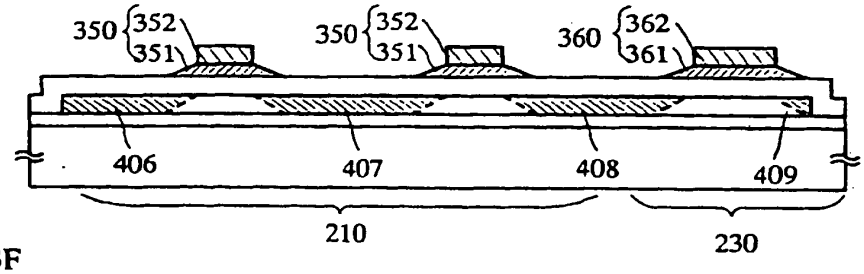


FIG. 13F

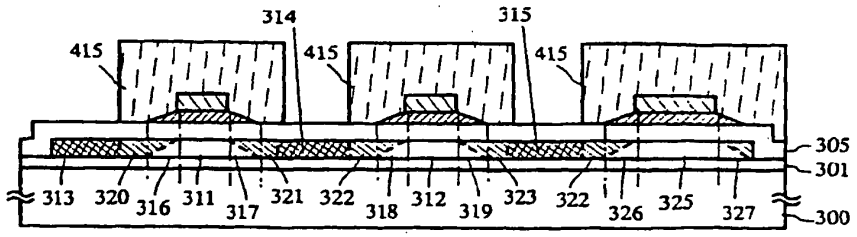


FIG. 14A

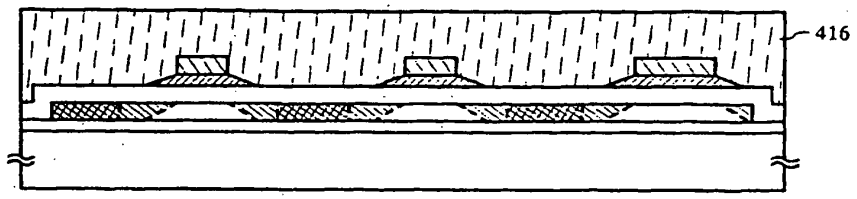


FIG. 14B

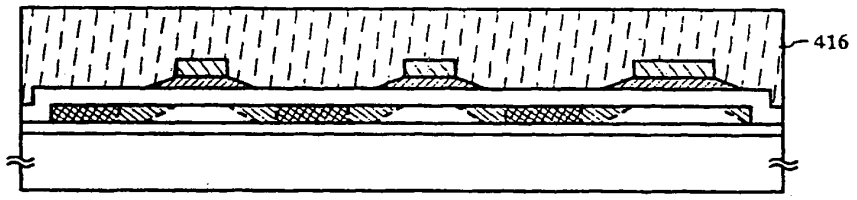


FIG. 14C

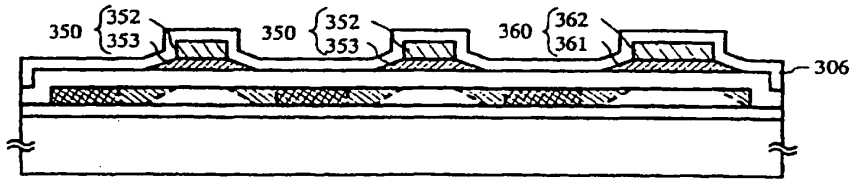


FIG. 14D

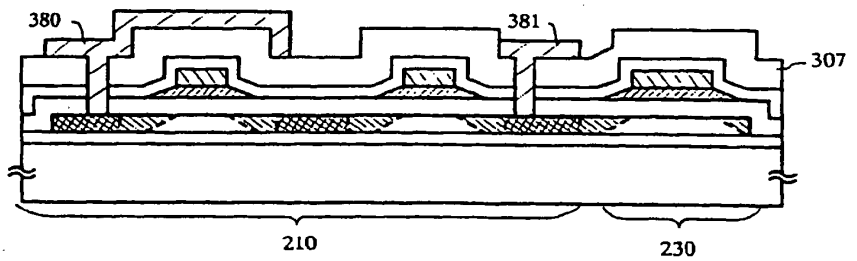


FIG. 14E

BNSDOCID: <EP 1003223A2 >

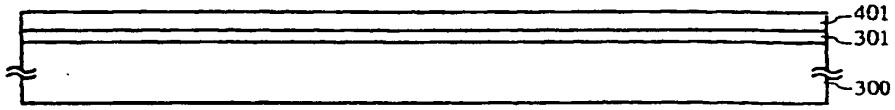


FIG. 15A

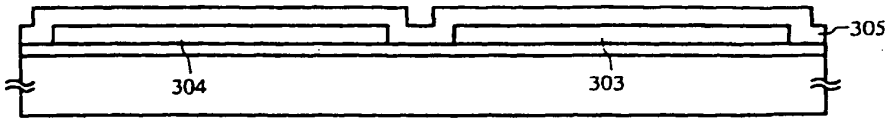


FIG. 15B

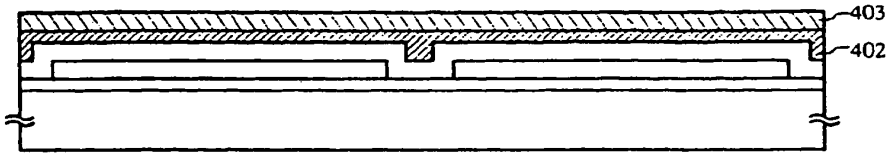


FIG. 15C

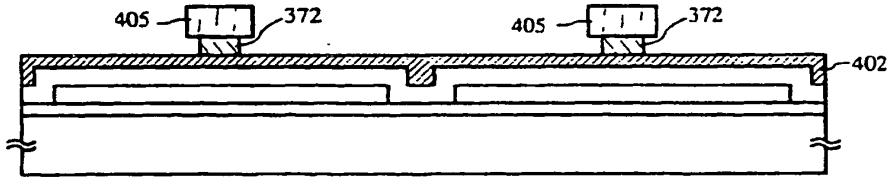


FIG. 15D

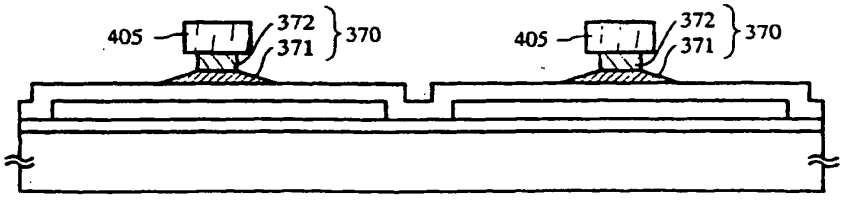


FIG. 15E

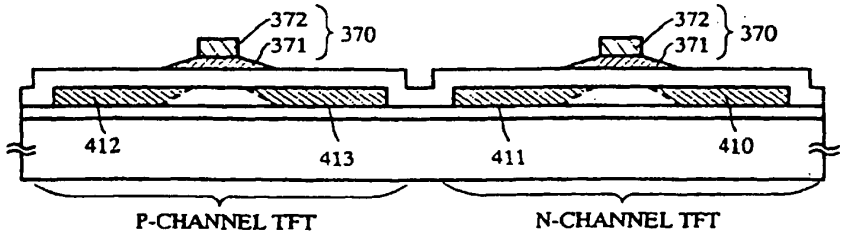


FIG. 15F

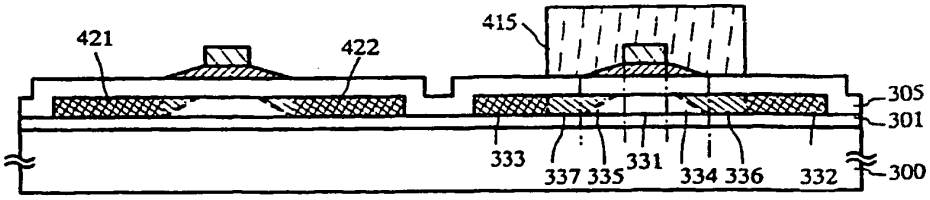


FIG. 16A

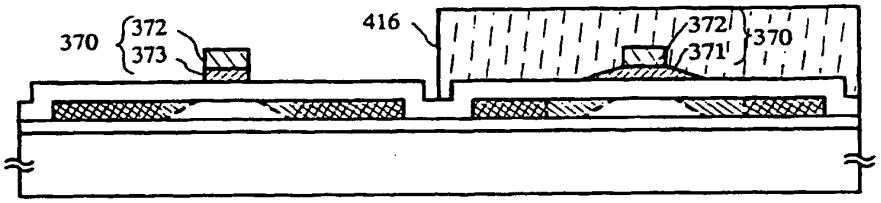


FIG. 16B

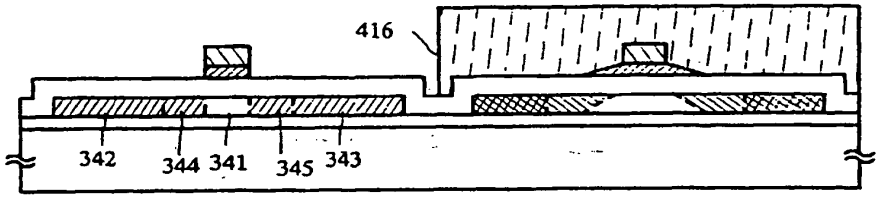


FIG. 16C

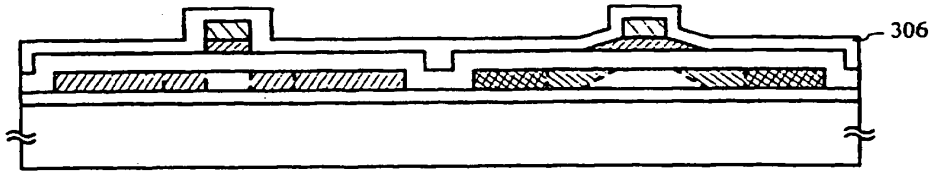


FIG. 16D

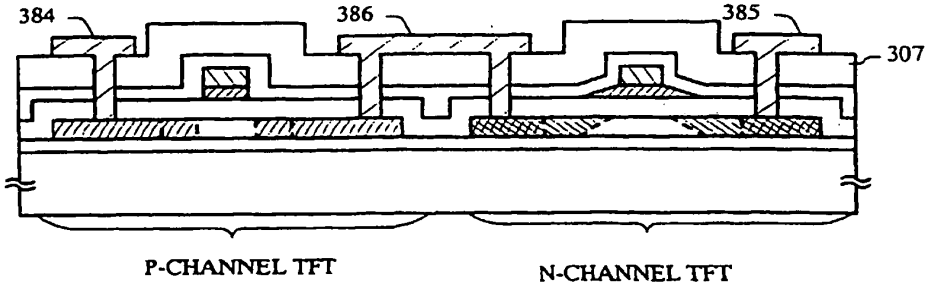


FIG. 16E

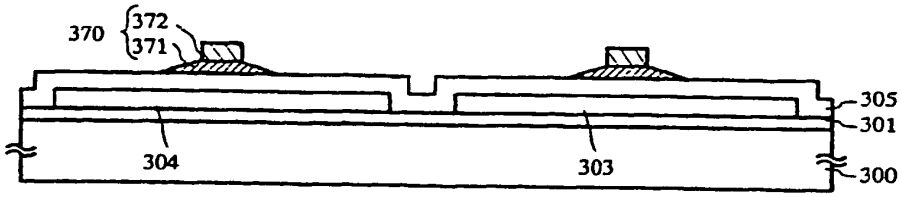


FIG. 17A

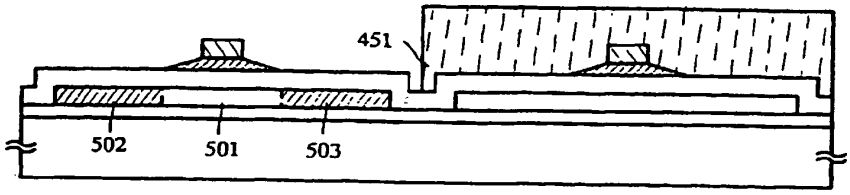


FIG. 17B

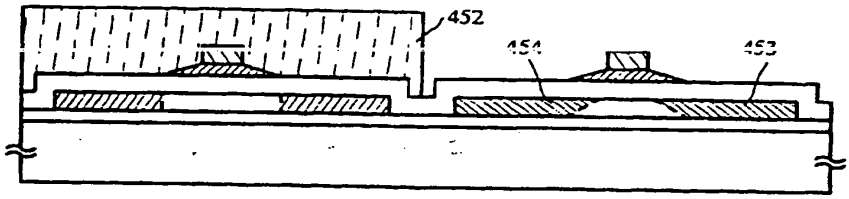


FIG. 17C

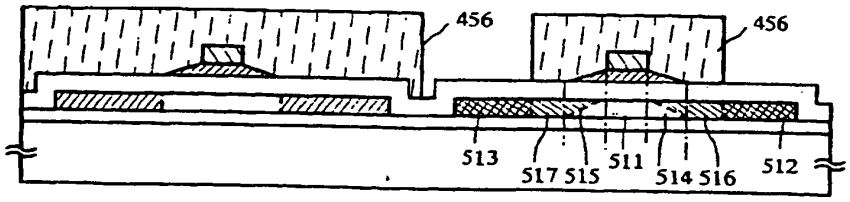


FIG. 17D

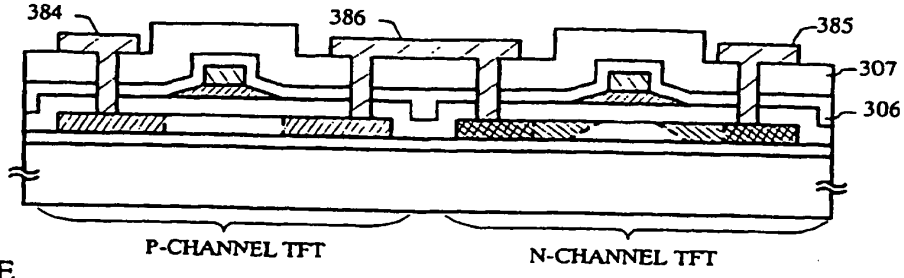


FIG. 17E

EDOCID: <EP_____1003223A2_I >

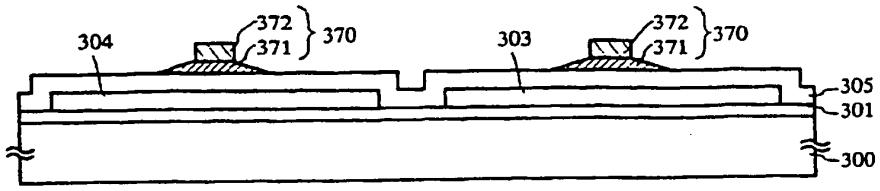


FIG. 18A

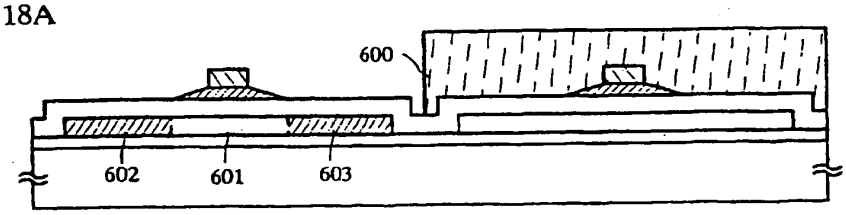


FIG. 18B

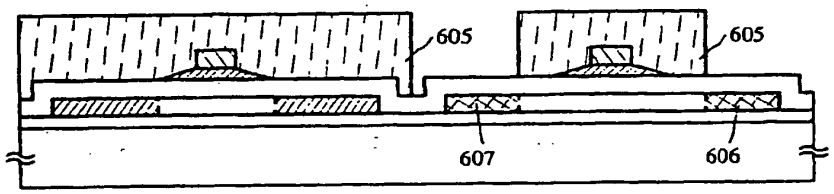


FIG. 18C

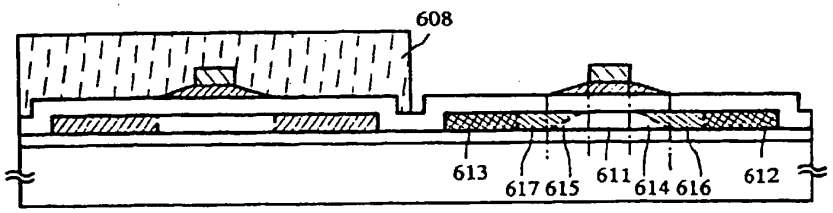


FIG. 18D

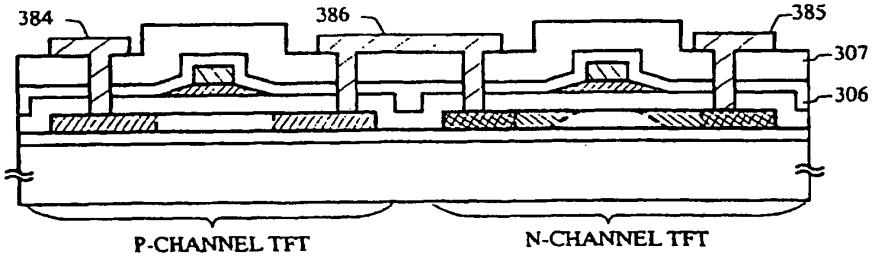


FIG. 18E

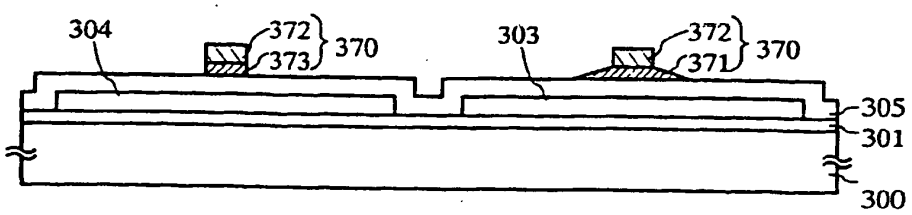


FIG. 19A

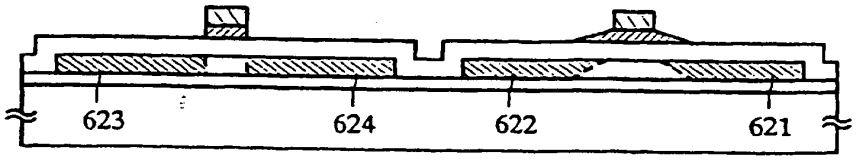


FIG. 19B

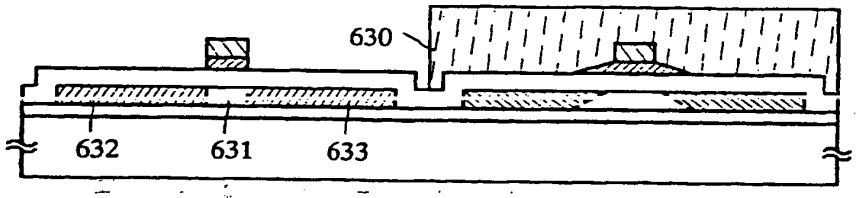


FIG. 19C

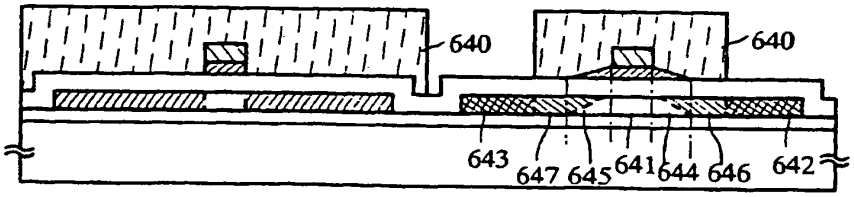


FIG. 19D

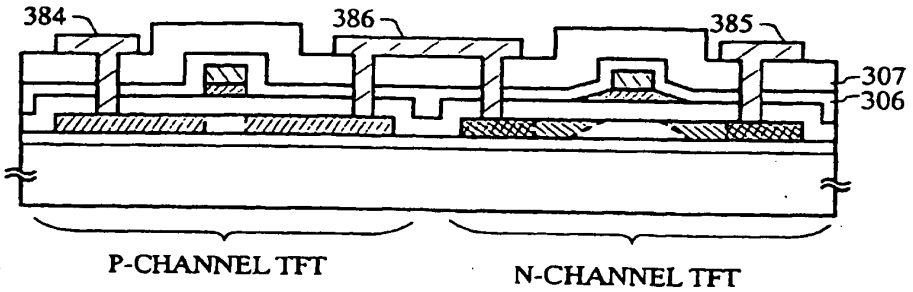


FIG. 19E

ISDOCID: <EP__ . ___1003223A2_I_>

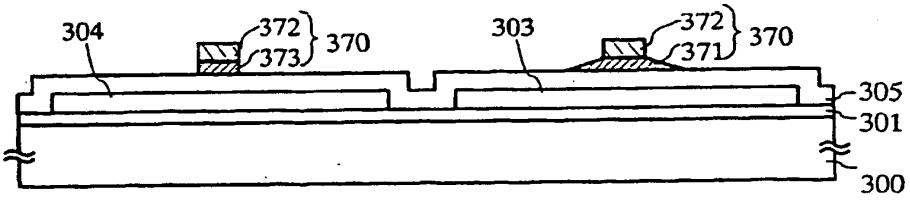


FIG. 20A

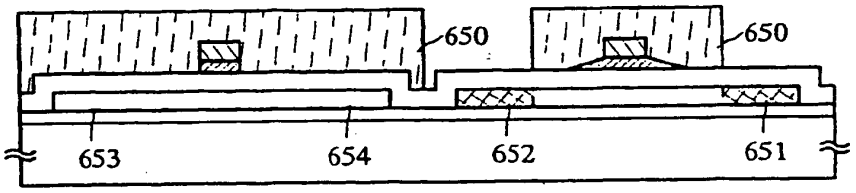


FIG. 20B

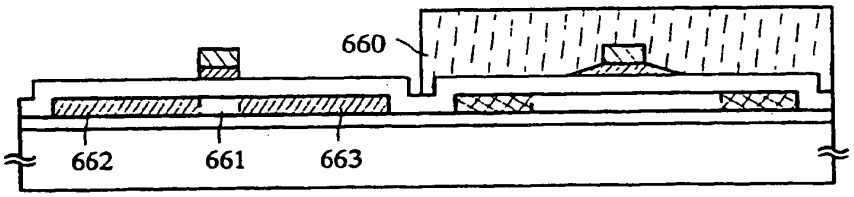


FIG. 20C

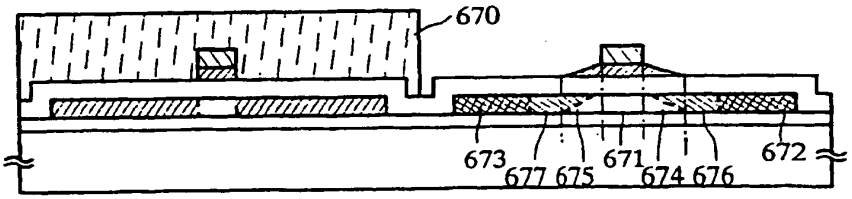


FIG. 20D

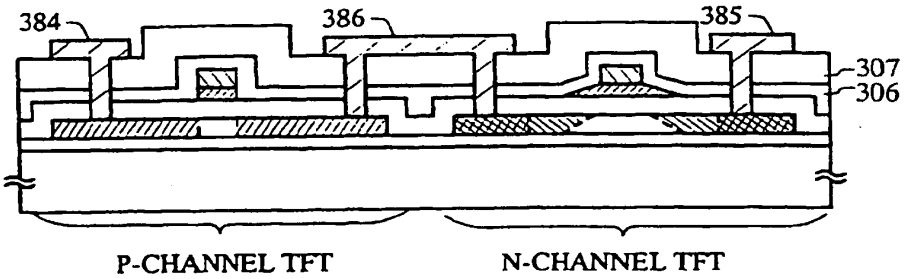


FIG. 20E

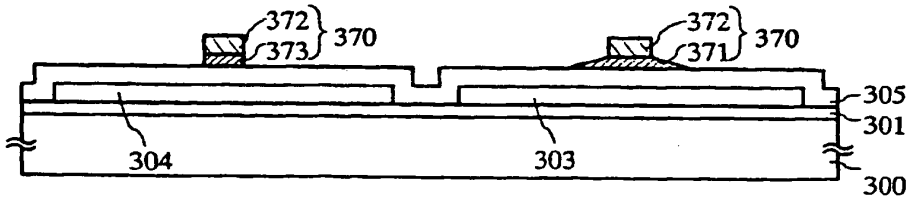


FIG. 21A

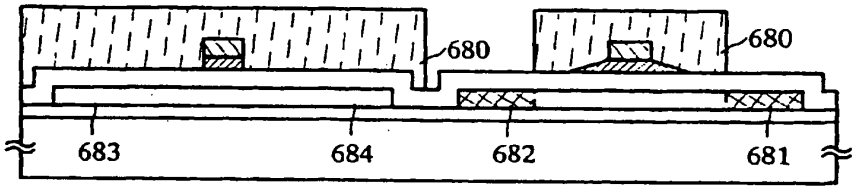


FIG. 21B

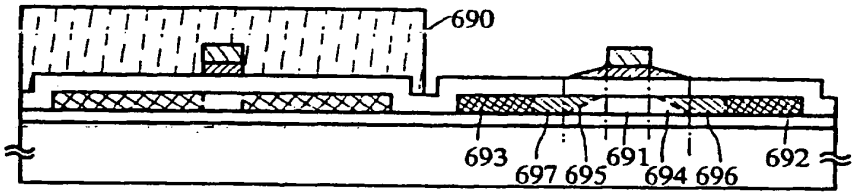


FIG. 21C

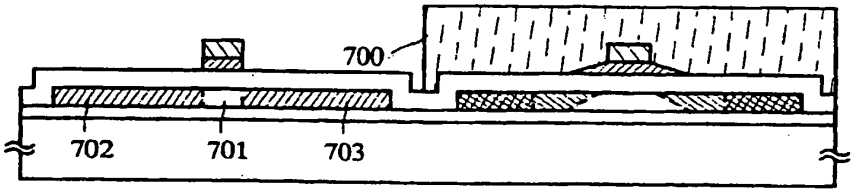


FIG. 21D

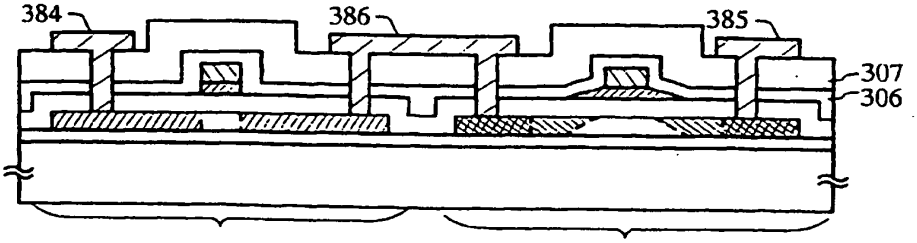


FIG. 21E P-CHANNEL TFT N-CHANNEL TFT

VSDOCID: <EP_____1003223A2 I >

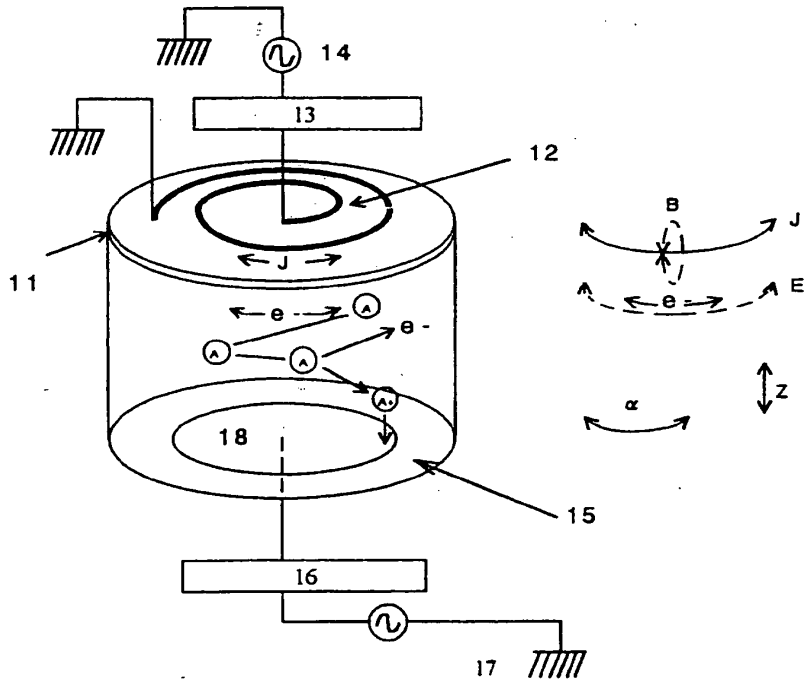


FIG. 22

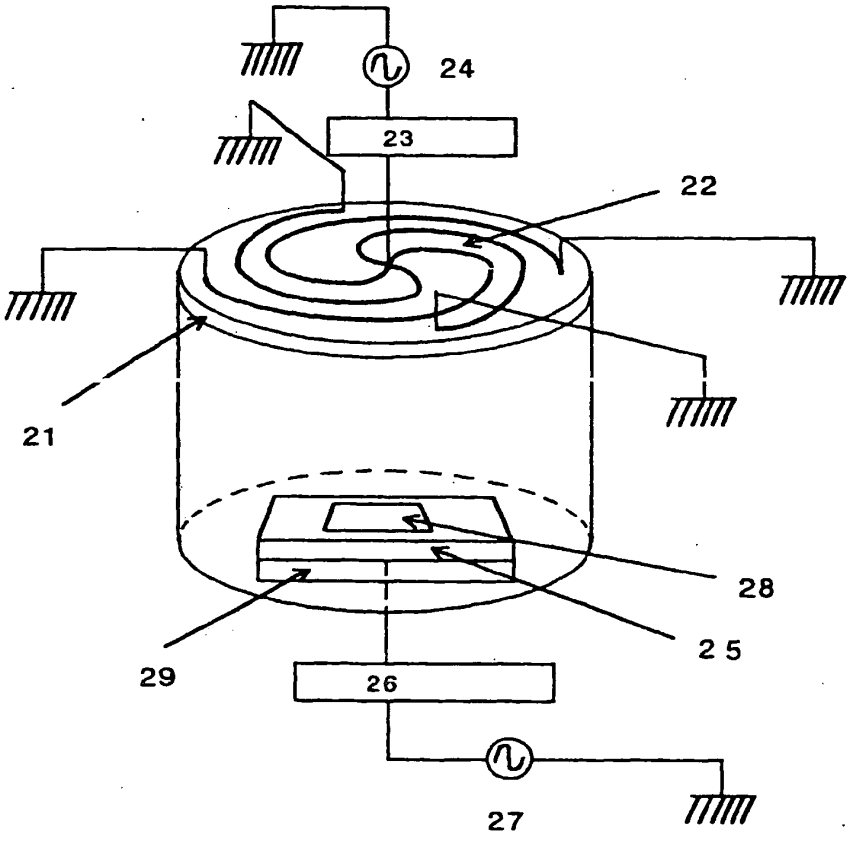


FIG. 23

ICP=500W Pressure=1.0Pa CF_4/Cl_2=30/30sccm

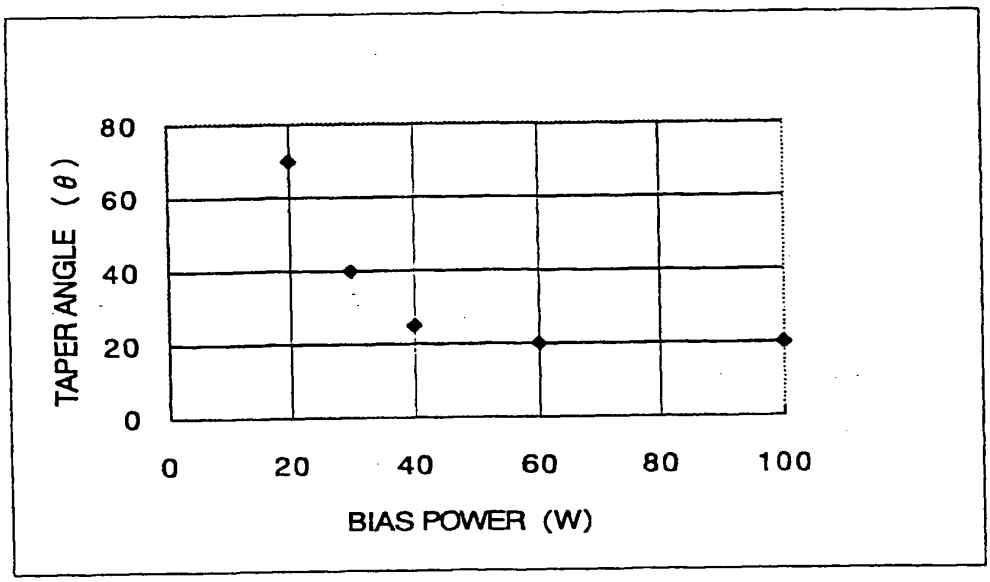


FIG. 24 DEPENDENCY OF TAPER ANGLE θ UPON BIAS POWER

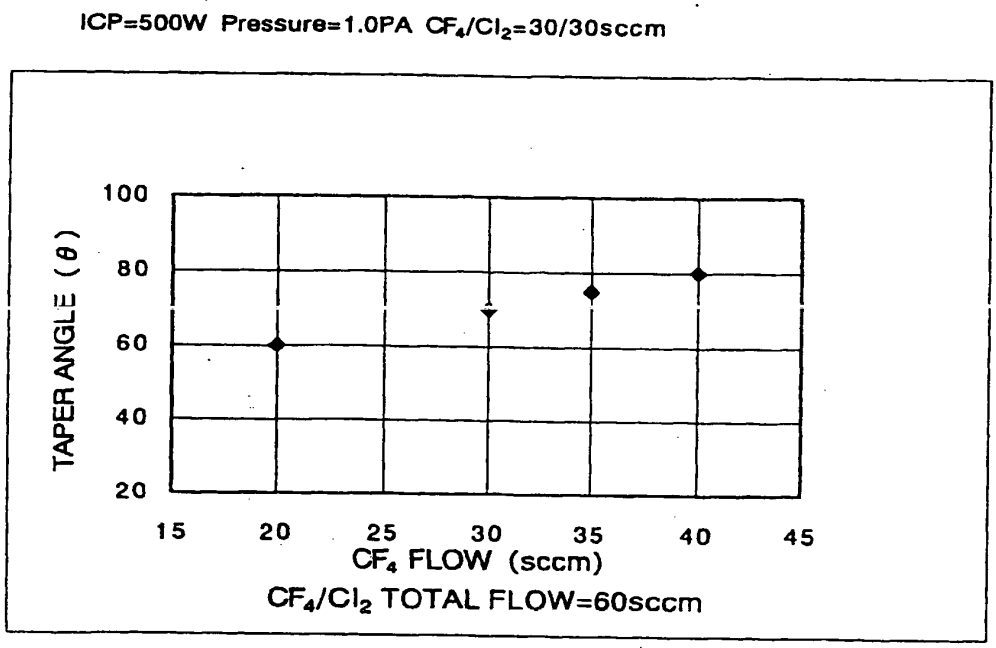
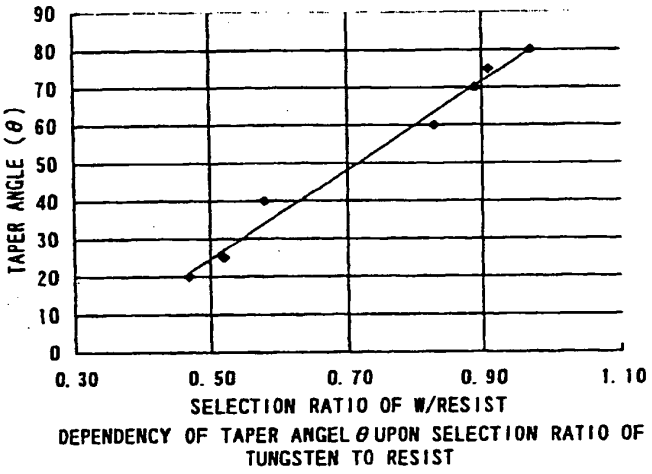


FIG. 25

DEPENDENCY OF TAPER ANGLE θ UPON CF_4 FLOW RATIO

NSDOCID: <EP_. __ __1003223A2_I_>



DEPENDENCY OF TAPER ANGEL θ UPON SELECTION RATIO OF TUNGSTEN TO RESIST

FIG. 26

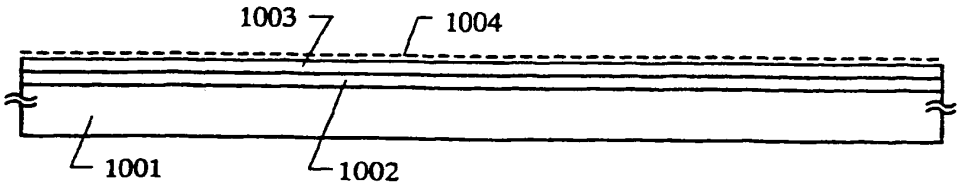


FIG. 27A

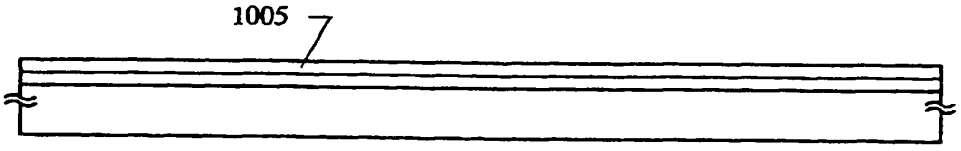


FIG. 27B

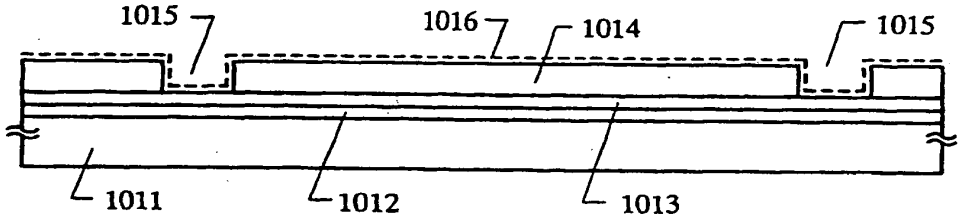


FIG. 28A

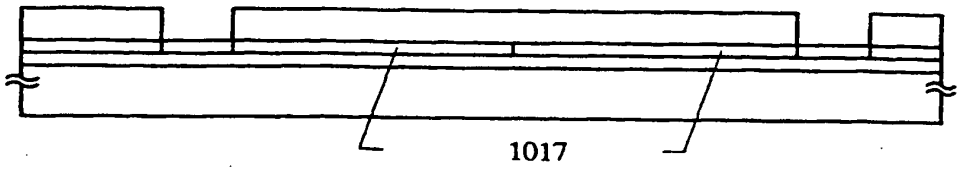


FIG. 28B

NSDOCID: <EP_____1003223A2_I_>

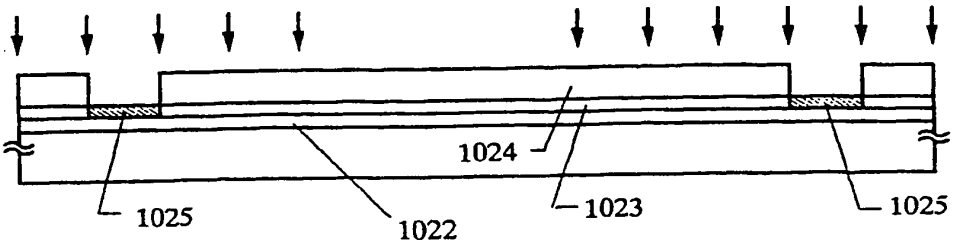


FIG. 29A

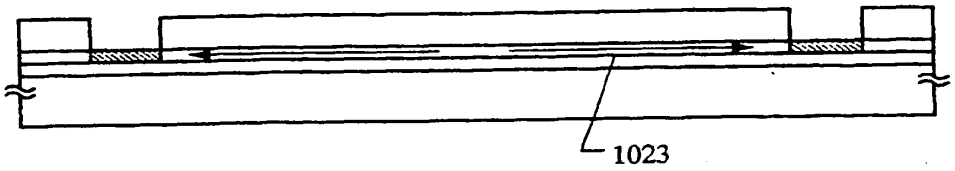


FIG. 29B

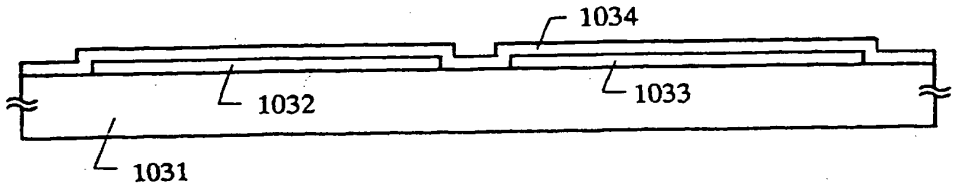


FIG. 30A

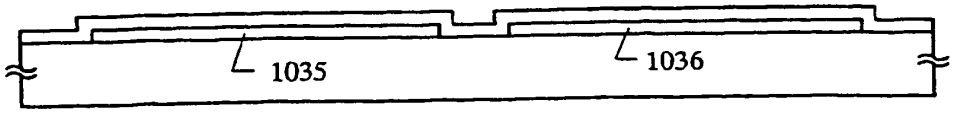


FIG. 30B

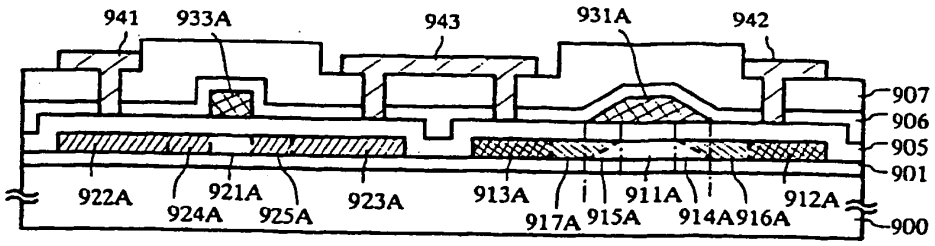


FIG. 31A

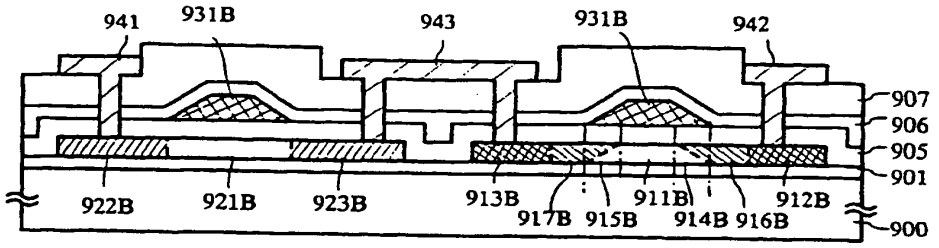


FIG. 31B

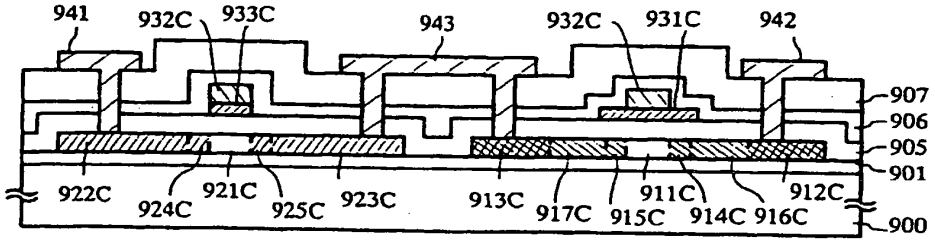


FIG. 31C

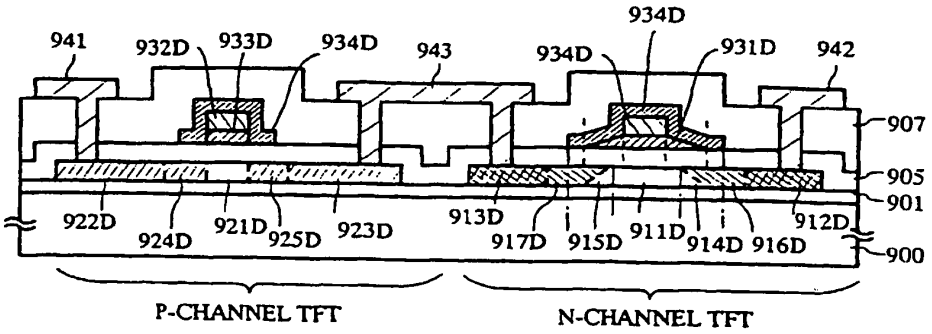


FIG. 31D

SDOCID: <EP_____1003223A2_I_>

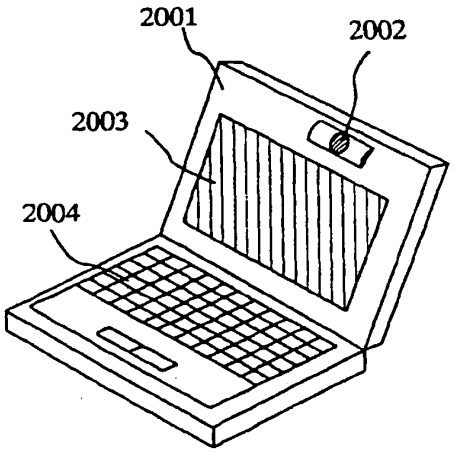


FIG. 32A

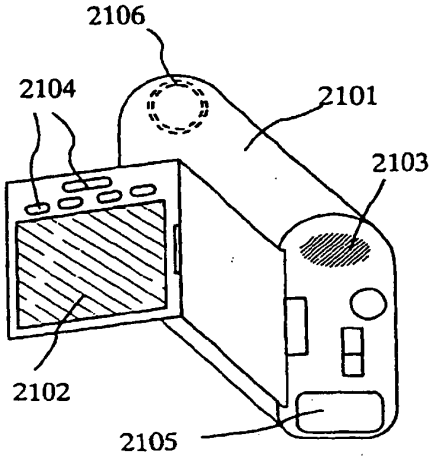


FIG. 32B

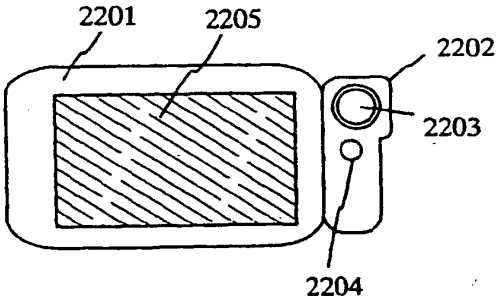


FIG. 32C

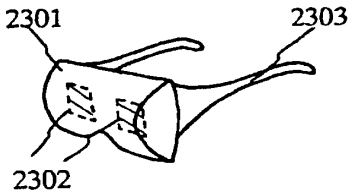


FIG. 32D

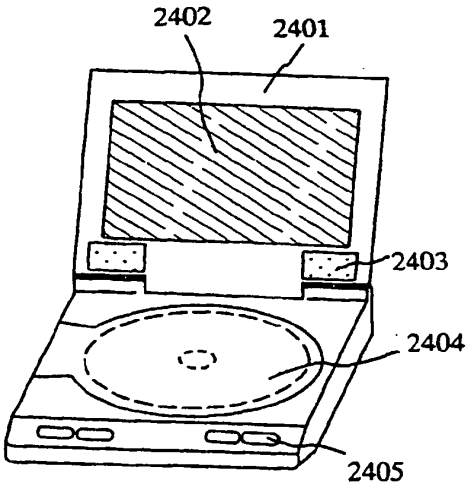


FIG. 32E

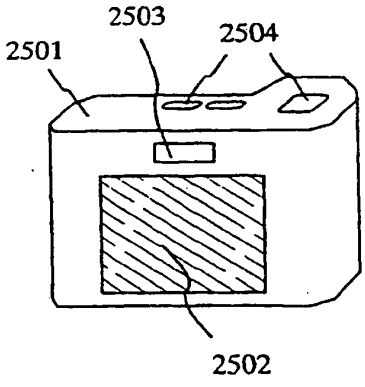


FIG. 32F

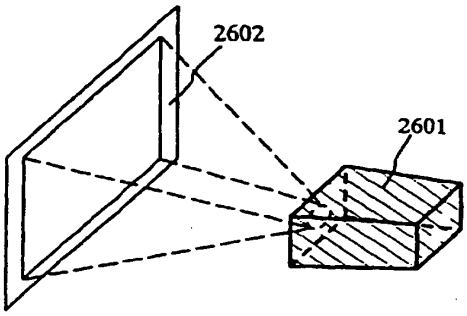


FIG. 33A

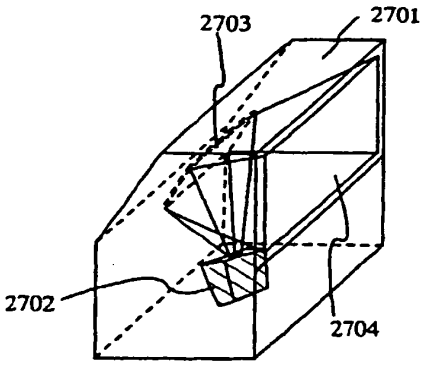


FIG. 33B

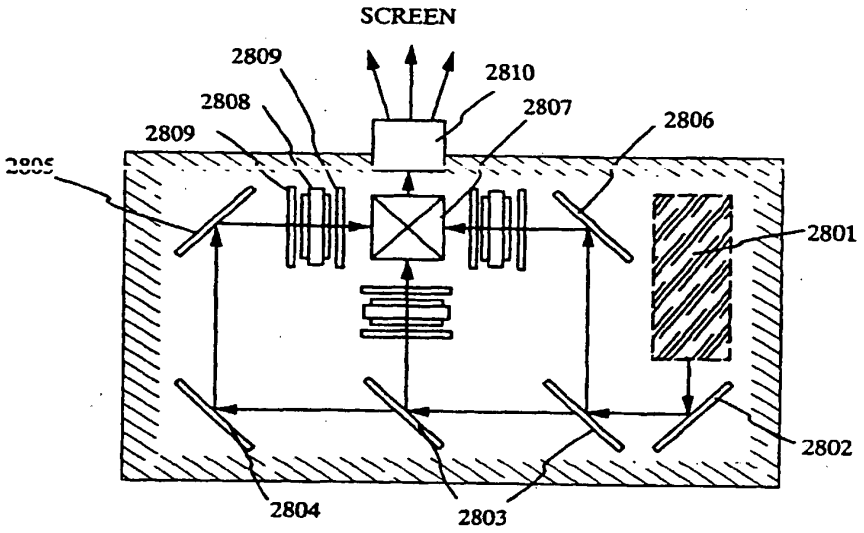


FIG. 33C

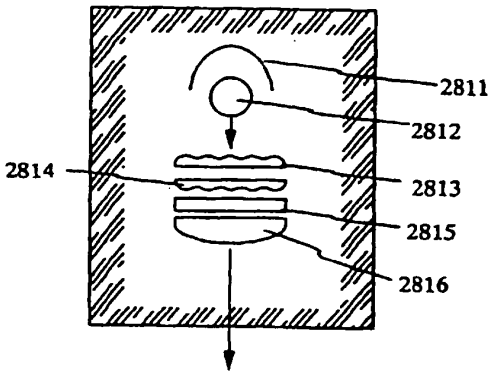


FIG. 33D

SDOCID: <EP_____1003223A2_I.>

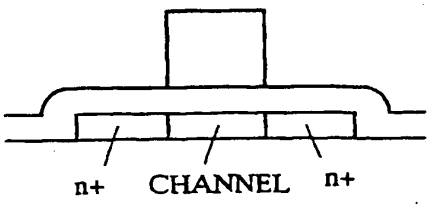


FIG. 34A

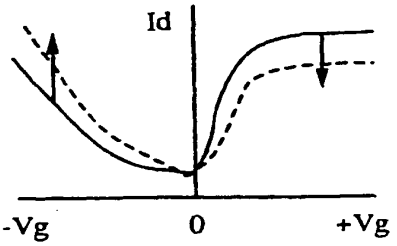


FIG. 34B

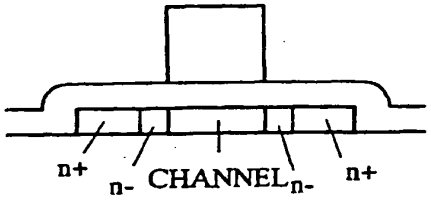


FIG. 34C

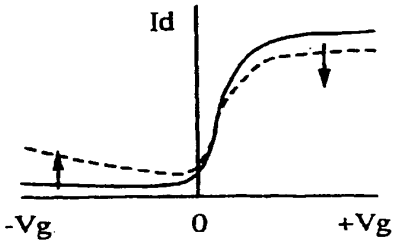


FIG. 34D

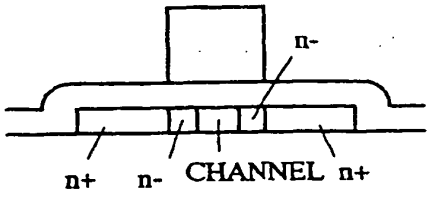


FIG. 34E

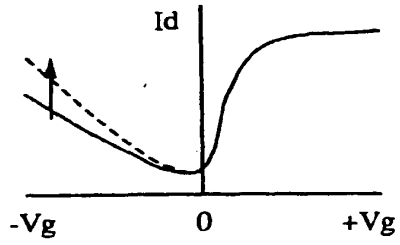


FIG. 34F

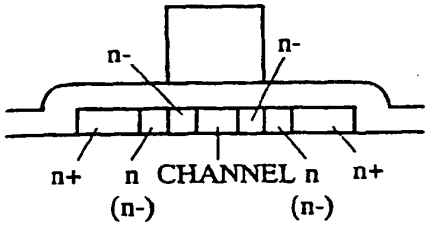


FIG. 34G

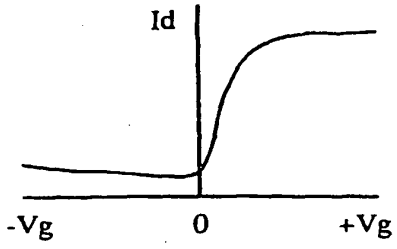


FIG. 34H

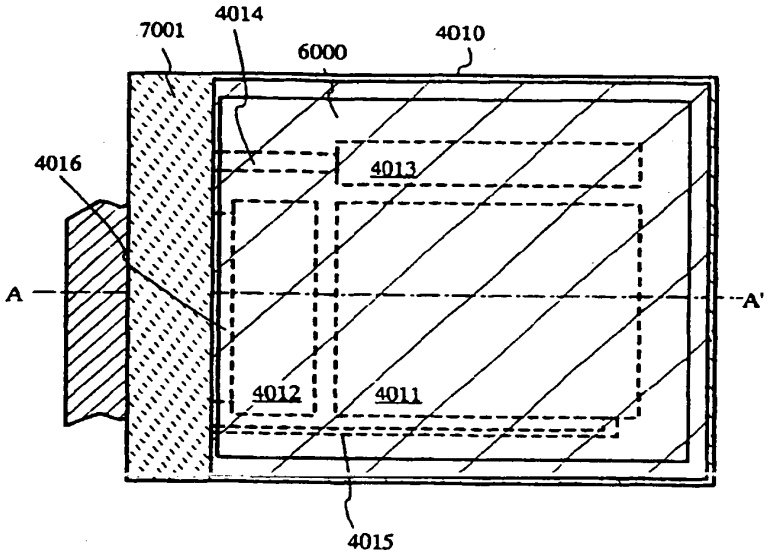


FIG. 35A

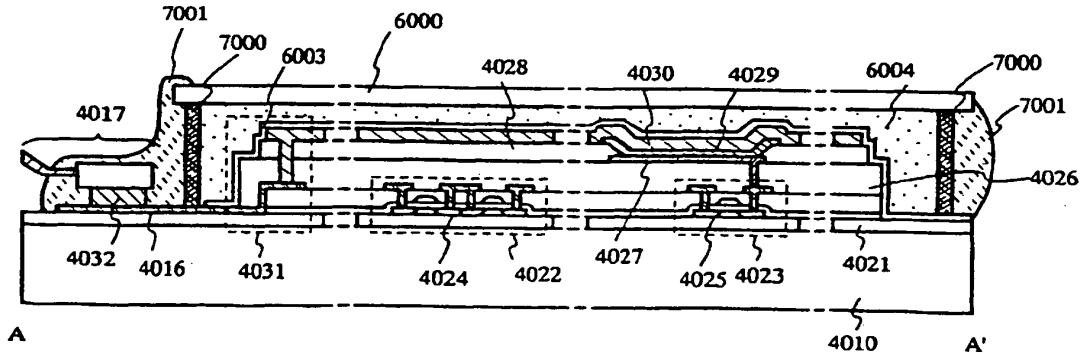


FIG. 35B

NSDOCID: <EP... 1003223A2 I >

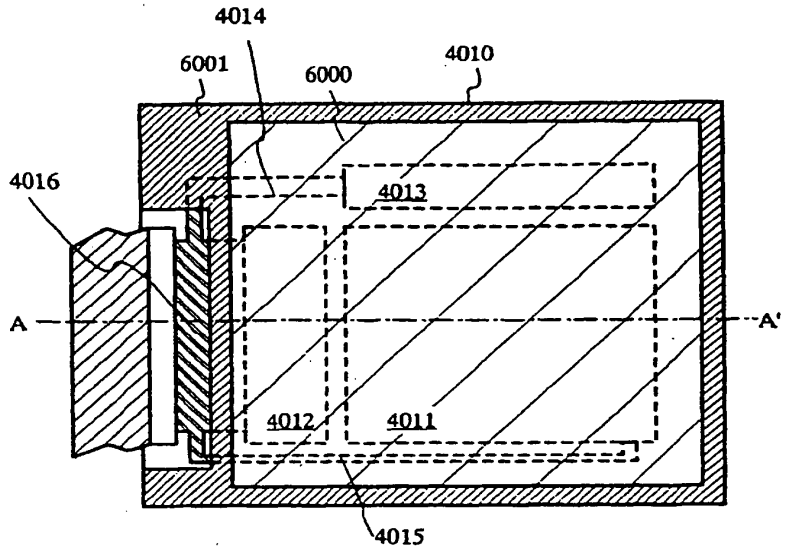


FIG. 36A

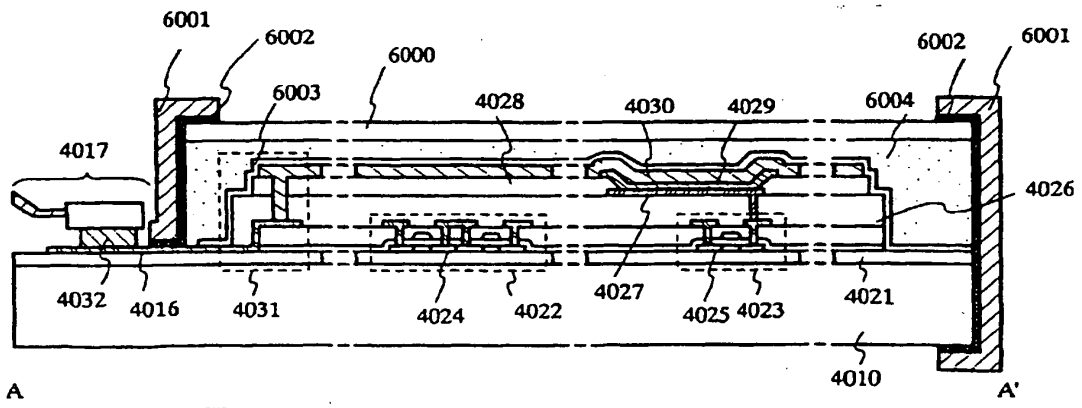


FIG. 36B

BNSDOCID: <EP____ _ _1003223A2_I_>

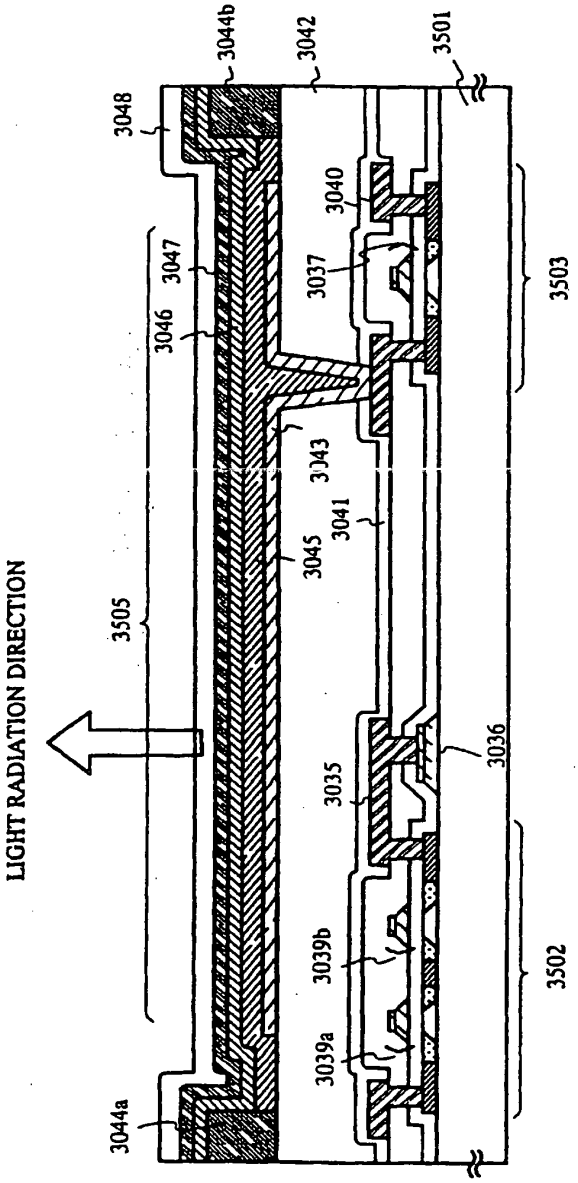


FIG. 37

ISDOCID: <EP_ ___.1003223A2 I >

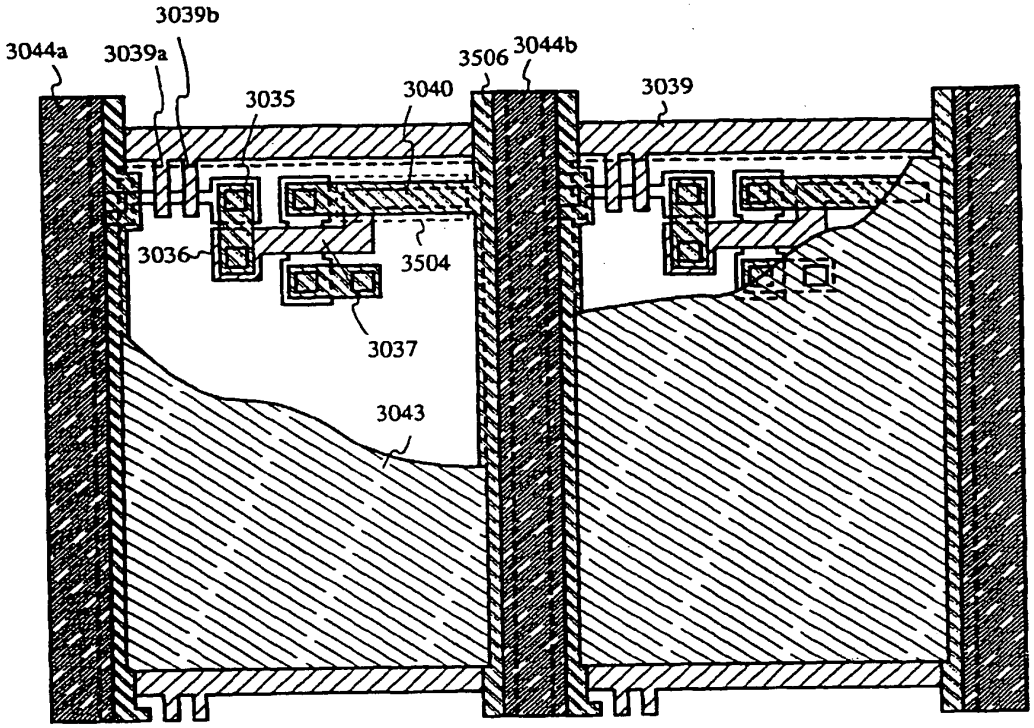


FIG. 38A

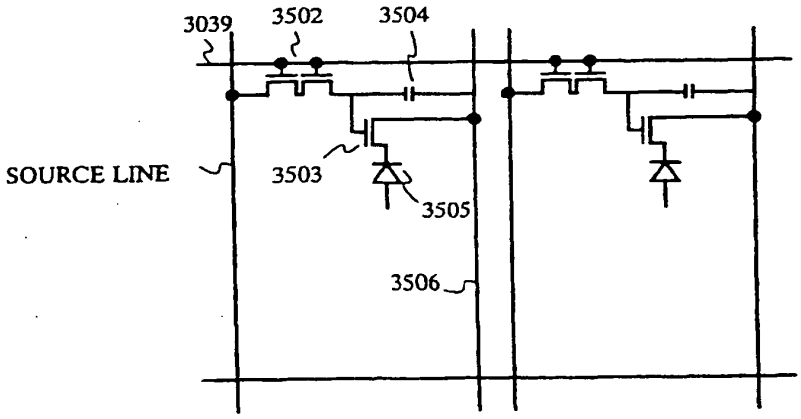


FIG. 38B

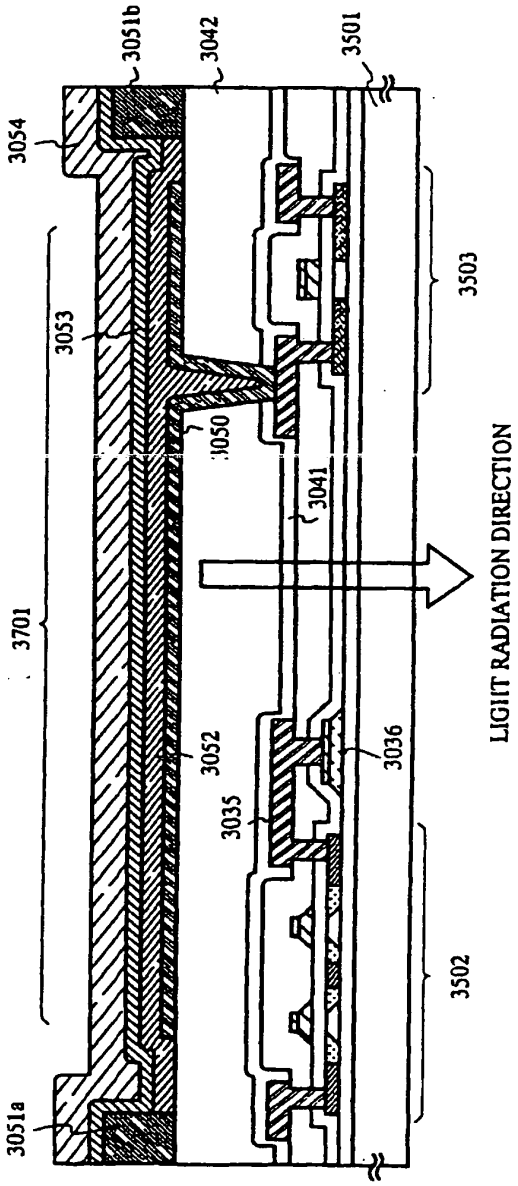


FIG. 39

SDOCID: <EP_____1003223A2_I_>

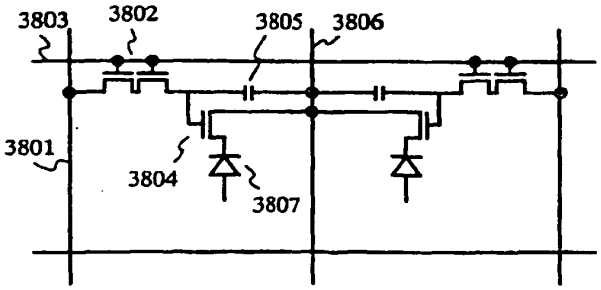


FIG. 40A

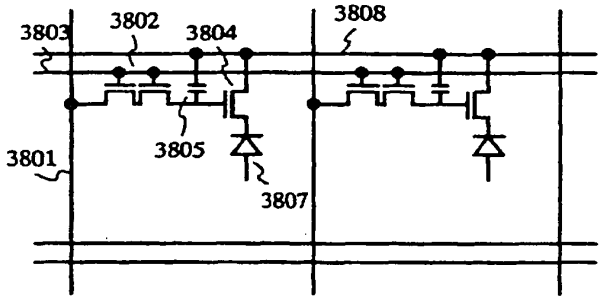


FIG. 40B

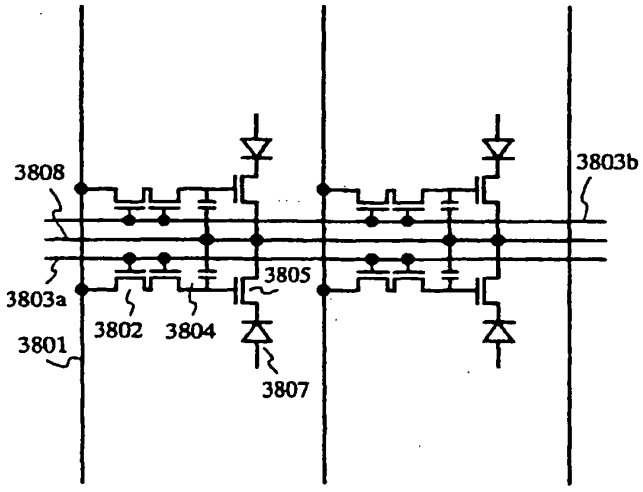


FIG. 40C

BNSDOCID: <EP 1003223A2 I >

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 1 003 223 A3

(12) EUROPEAN PATENT APPLICATION

(88) Date of publication A3:
03.01.2001 Bulletin 2001/01

(43) Date of publication A2:
24.05.2000 Bulletin 2000/21

(21) Application number: **99122785.1**

(22) Date of filing: **16.11.1999**

(51) Int. Cl.[7]: **H01L 21/336**, H01L 21/84, H01L 21/28, H01L 29/786, H01L 29/423

(84) Designated Contracting States:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE
Designated Extension States:
AL LT LV MK RO SI

(30) Priority: **17.11.1998 JP 32718098**
28.12.1998 JP 37322298
22.07.1999 JP 20695899

(71) Applicant:
SEL SEMICONDUCTOR ENERGY LABORATORY CO., LTD.
Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(72) Inventor: **Yamazaki, Shunpei**
Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(74) Representative:
Grünecker, Kinkeldey,
Stockmair & Schwanhäusser
Anwaltssozietät
Maximilianstrasse 58
80538 München (DE)

(54) Method of fabricating a TFT

(57) There is provided a thin film transistor having improved reliability. A gate electrode includes a first gate electrode having a taper portion and a second gate electrode with a width narrower than the first gate electrode. A semiconductor layer is doped with phosphorus of a low concentration through the first gate electrode. In the semiconductor layer, two kinds of n^--type impurity regions are formed between a channel formation region and n^+-type impurity regions. Some of the n^--type impurity regions overlap with a gate electrode, and the other n^--type impurity regions do not overlap with the gate electrode. Since the two kinds of n^--type impurity regions are formed, an off current can be reduced, and deterioration of characteristics can be suppressed.

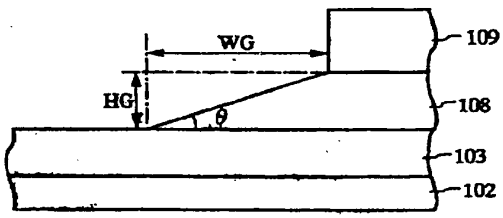


FIG. 3

EP 1 003 223 A3

Printed by Xerox (UK) Business Services
2.16.7 (HRS)/3.6

BNSDOCID: <EP 1003223A3 I >

European Patent Office

EUROPEAN SEARCH REPORT

Application Number
EP 99 12 2785

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.7)
X	US 5 736 750 A (TAKEMURA YASUHIKO ET AL) 7 April 1998 (1998-04-07) * figure 6 * * column 8, line 40 - column 9, line 17 *	1-3	H01L21/336 H01L21/84 H01L21/28 H01L29/786
A		4-41	H01L29/423

X	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 09, 31 July 1998 (1998-07-31) -& JP 10 104659 A (TOSHIBA CORP), 24 April 1998 (1998-04-24)	1-3	
A	* abstract; figures 1,4,5,9,14,15 *	4-41	

X	US 5 830 787 A (KIM HONG SEUK) 3 November 1998 (1998-11-03) * figures 3,4 * * column 2, line 38 - line 54 * * column 3, line 9 - column 5, line 12 *	1,2	
A		3-6, 13-15	
	---		TECHNICAL FIELDS SEARCHED (Int.Cl.7)
X	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 14, 31 December 1998 (1998-12-31) -& JP 10 233511 A (TOSHIBA CORP), 2 September 1998 (1998-09-02)	1,4	H01L
A	* abstract; figures 1-3 *	2,3,5,6, 13-17, 33-37	

X	US 5 583 369 A (YAMAZAKI SHUNPEI ET AL) 10 December 1996 (1996-12-10) * figures 8,9,16,17 * * column 17, line 29 - column 20, line 7 * * column 26, line 27 - line 48 *	1	
A		2-32	

	-/--		

The present search report has been drawn up for all claims

Place of search	Date of completion of the search	Examiner
BERLIN	9 November 2000	Polesello, P

CATEGORY OF CITED DOCUMENTS

X : particularly relevant if taken alone
Y : particularly relevant if combined with another document of the same category
A : technological background
O : non-written disclosure
P : intermediate document

T : theory or principle underlying the invention
E : earlier patent document, but published on, or after the filing date
D : document cited in the application
L : document cited for other reasons

& : member of the same patent family, corresponding document

EPO FORM 1503 03.82 (P04C01)

NSDOCID: <EP_____1003223A3_I_>

European Patent Office

EUROPEAN SEARCH REPORT

Application Number
EP 99 12 2785

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.7)
X	US 4 394 182 A (MADDOX III ROY L) 19 July 1983 (1983-07-19) * figures 2,3 * * column 2, line 7 - line 24 * * column 3, line 7 - line 27 * * column 3, line 63 - column 4, line 15 * * column 5, line 1 - column 6, line 28 *	1	
A		2-15, 18-20, 23-25, 28-30	

A	DATABASE WPI Section EI, Week 199739 Derwent Publications Ltd., London, GB; Class U11, AN 1997-422605 XP002132040 -& JP 09 191111 A (SEMICONDUCTOR ENERGY LAB), 22 July 1997 (1997-07-22) * abstract; figures 1-3,6-11 *	1-41	
	---		TECHNICAL FIELDS SEARCHED (Int.Cl.7)
A	US 5 528 397 A (MCCLELLAND ROBERT ET AL) 18 June 1996 (1996-06-18) * figures 1-3 * * column 1, line 63 - column 2, line 25 * * column 2, line 40 - column 3, line 14 * * column 4, line 56 - column 7, line 10 *	33-41	

A	US 5 705 424 A (DINGLE BRENDA ET AL) 6 January 1998 (1998-01-06) * figures 1,11-15 * * column 1, line 62 - column 2, line 18 * * column 2, line 34 - line 62 * * column 3, line 49 - column 4, line 7 * * column 6, line 19 - column 9, line 25 *	33-41	

The present search report has been drawn up for all claims

Place of search	Date of completion of the search	Examiner
BERLIN	9 November 2000	Polesello, P

CATEGORY OF CITED DOCUMENTS

X : particularly relevant if taken alone
Y : particularly relevant if combined with another document of the same category
A : technological background
O : non-written disclosure
P : intermediate document

T : theory or principle underlying the invention
E : earlier patent document, but published on, or after the filing date
D : document cited in the application
L : document cited for other reasons

& : member of the same patent family, corresponding document

EPO FORM 1503 03.82 (P04C01)

BNSDOCID: <EP 1003223A3 I >

ANNEX TO THE EUROPEAN SEARCH REPORT ON EUROPEAN PATENT APPLICATION NO. EP 99 12 2785

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report. The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

09-11-2000

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5736750 A	07-04-1998	JP 6216156 A	05-08-1994
		JP 6216157 A	05-08-1994
		US 6114728 A	05-09-2000
		US 5891766 A	06-04-1999
		CN 1093491 A	12-10-1994
		KR 161994 B	01-12-1998
		US 5523257 A	04-06-1996
		CN 1208257 A	17-02-1999
JP 10104659 A	24-04-1998	US 6001714 A	14-12-1999
US 5830787 A	03-11-1998	DE 4409202 A	22-09-1994
		JP 6349856 A	22-12-1994
JP 10233511 A	02-09-1998	NONE	
US 5583369 A	10-12-1996	CN 1085352 A,B	13-04-1994
		CN 1127937 A,B	31-07-1996
		CN 1238555 A	15-12-1999
		CN 1248038 A	22-03-2000
		JP 6089905 A	29-03-1994
		KR 9710652 B	30-06-1997
		US 5946561 A	31-08-1999
		JP 2000058864 A	25-02-2000
		JP 2000082819 A	21-03-2000
		JP 11154750 A	08-06-1999
		JP 11154647 A	08-06-1999
		JP 6296023 A	21-10-1994
		US 5696386 A	09-12-1997
US 4394182 A	19-07-1983	CA 1194613 A	01-10-1985
		CA 1200617 C	11-02-1986
		DE 3237539 A	21-07-1983
		JP 58075871 A	07-05-1983
JP 9191111 A	22-07-1997	US 5949107 A	07-09-1999
US 5528397 A	18-06-1996	US 5362671 A	08-11-1994
		US 5736768 A	07-04-1998
US 5705424 A	06-01-1998	US 5444557 A	22-08-1995
		CA 2186160 A	28-09-1995
		EP 0752121 A	08-01-1997
		JP 9510797 T	28-10-1997
		WO 9525983 A	28-09-1995
		AT 173839 T	15-12-1998

EPO FORM P0459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

BNSDOCID: <EP 1003223A3 I >

ANNEX TO THE EUROPEAN SEARCH REPORT ON EUROPEAN PATENT APPLICATION NO. EP 99 12 2785

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report. The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

09-11-2000

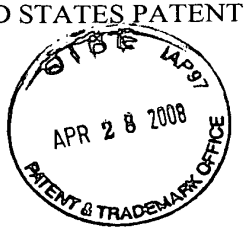
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5705424 A		DE 69322279 D	07-01-1999
		DE 69322279 T	24-06-1999
		EP 0659282 A	28-06-1995
		EP 0853254 A	15-07-1998
		JP 8501887 T	27-02-1996
		US 5396304 A	07-03-1995
		US 6121950 A	19-09-2000
		WO 9407177 A	31-03-1994
		US 5376979 A	27-12-1994
		US 5751261 A	12-05-1998
		US 5666175 A	09-09-1997
		US 5654811 A	05-08-1997
		US 5713652 A	03-02-1998
		US 6043800 A	28-03-2000
		US 6072445 A	06-06-2000
		US 5743614 A	28-04-1998
		US 5861929 A	19-01-1999

EPO FORM P3459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

BNSDOCID: <EP_____1003223A3_I_>

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re the Application of

Yojiro MATSUEDA

Application No.: 11/483,109

Filed: July 10, 2006

Group Art Unit: 2629

Examiner: R. HJERPE

Docket No.: 114251.01

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed (a) within three months of the U.S. filing date of this non-CPA application, OR (b) before the mailing date of a first Office Action on the merits in the present application. No certification or fee is required.

☒ 2. One or more reference cited herein was cited in a counterpart foreign application. An English language version of the foreign search report is attached for the Examiner's information. See References 1-6.

☒ 3. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

☒ 4. An English language Abstract of one or more non-English language reference is attached. See Reference 1.

☒ 5. JP-2000-214800, JP-01-101519 and U.S. Patent No. 6,781,155 are cited in the European Search Report and are not attached as they were previously submitted in the July 10, 2006 Information Disclosure Statement.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/mab
Date: April 28, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Application No.: 11/483,109

Filed: July 10, 2006

Group Art Unit: 2629

Examiner: R. HJERPE

Docket No.: 114251.01

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

SUPPLEMENTAL INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed (a) within three months of the U.S. filing date of this non-CPA application, OR (b) before the mailing date of a first Office Action on the merits in the present application. No certification or fee is required.

☒ 2. One or more reference cited herein was cited in a counterpart foreign application. An English language version of the foreign search report is attached for the Examiner's information. See References 1-7.

☒ 3. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

☒ 4. An English language Abstract of one or more non-English language reference is attached. See Reference 1.

☒ 5. JP-2000-214800, JP-01-101519 and U.S. Patent No. 6,781,155 are cited in the European Search Report and are not attached as they were previously submitted in the July 10, 2006 Information Disclosure Statement.

☒ 6. This is a Supplemental IDS to the IDS filed April 28, 2008 to correct a typographical error in # 2.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kirk D. Berkhimer
Registration No. 59,874

JAO:KDB/mab

Date: April 29, 2008

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry;
Charge any fee due to our Deposit Account No. 15-0461

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	PATENT NUMBER	GROUP ART UNIT	FILE WRAPPER LOCATION
11/483,109		2629	

OC000000038385900

Correspondence Address/Fee Address Change

The following fields have been set to Customer Number 27049 on 10/20/2009

- **Correspondence Address**
- **Power of Attorney Address**

The address of record for Customer Number 27049 is:

27049
OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

PART 1 - ATTORNEY/APPLICANT COPY
page 1 of 1

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/483,109	07/10/2006	Yojiro Matsueda	114251.01	6342

27049 7590 02/04/2010

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

EXAMINER	
BOLOTIN, DMITRIY	
ART UNIT	PAPER NUMBER
2629	

NOTIFICATION DATE	DELIVERY MODE
02/04/2010	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

OfficeAction27049@oliff.com
jarmstrong@oliff.com

Office Action Summary	Application No.	Applicant(s)	
	11/483,109	MATSUEDA, YOJIRO	
	Examiner	Art Unit	
	Dmitriy Bolotin	2629	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☐ Responsive to communication(s) filed on _____.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) 1-7 is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) 1-7 is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on 10 July 2006 is/are: a)☐ accepted or b)☒ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☐ Certified copies of the priority documents have been received.

2.☒ Certified copies of the priority documents have been received in Application No. 10/299,861.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date See Continuation Sheet.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

Continuation of Attachment(s) 3). Information Disclosure Statement(s) (PTO/SB/08), Paper No(s)/Mail Date :07/10/2006, 03/06/2007, 03/27/2007, 05/15/2007, 06/21/2007, 09/18/2007, 02/04/2008, 04/28/2008.

DETAILED ACTION

It would be of great assistance to the Office if all incoming papers pertaining to a filed application carried the following items:

1. Application number (checked for accuracy, including series code and serial no.).
2. Group art unit number (copied from most recent Office communication).
3. Filing date.
4. Name of the examiner who prepared the most recent Office action.
5. Title of invention.
6. Confirmation number (See MPEP § 503).

Drawings

1. The drawings are objected to under 37 CFR 1.83(a). The drawings must show every feature of the invention specified in the claims. Therefore, the "***light-emitting portion***" which "***has a polygonal shape having n vertices (where n is an integer greater than or equal to 4)***" must be shown or the feature(s) canceled from the claim(s). No new matter should be entered.

Corrected drawing sheets in compliance with 37 CFR 1.121(d) are required in reply to the Office action to avoid abandonment of the application. Any amended replacement drawing sheet should include all of the figures appearing on the immediate prior version of the sheet, even if only one figure is being amended. The figure or figure number of an amended drawing should not be labeled as "amended." If a drawing figure is to be canceled, the appropriate figure must be removed from the replacement sheet, and where necessary, the remaining figures must be renumbered and appropriate changes made to the brief description of the several views of the drawings for

consistency. Additional replacement sheets may be necessary to show the renumbering of the remaining figures. Each drawing sheet submitted after the filing date of an application must be labeled in the top margin as either “Replacement Sheet” or “New Sheet” pursuant to 37 CFR 1.121(d). If the changes are not accepted by the examiner, the applicant will be notified and informed of any required corrective action in the next Office action. The objection to the drawings will not be held in abeyance.

Claim Rejections - 35 USC § 112

1. The following is a quotation of the second paragraph of 35 U.S.C. 112:

> The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the applicant regards as his invention.

2. **Claim 1** recites the limitation "***the* boundaries of a polygon circumscribing the electro-optical element**" in lines 6 – 7 of the claim. There is insufficient antecedent basis for this limitation in the claim.

3. **Claim 3** recites the limitation "***said* plurality of formed boundary portions**" in lines 1 – 2 of the claim. There is insufficient antecedent basis for this limitation in the claim.

Claim Rejections - 35 USC § 102

4. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

5. **Claims 1 – 5 and 7** are rejected under 35 U.S.C. 102(b) as being anticipated by Yap et al. (US 6,307,528).

As to **claim 1**, Yap discloses an electro-optical device (organic light-emitting display, TITLE), comprising electro-optical elements (OLED element of fig. 3a) and peripheral circuitry which drives said electro-optical elements (the wall 64 of fig. 3a comprising driving circuitry, col. 7, lines 30 – 48), wherein said electro-optical elements are formed such that a boundary of the electro-optical elements has, at least, a prescribed curvature (circular area 63 of fig. 3b); and at least one portion of said peripheral circuitry (capacitor 44 of fig. 3a) is formed in the region surrounded by the boundary having the specified curvature (circular area 63 of fig. 3b) and by the boundaries of a polygon circumscribing the electro-optical element (pixel electrode 62 of fig. 3a and 3b).

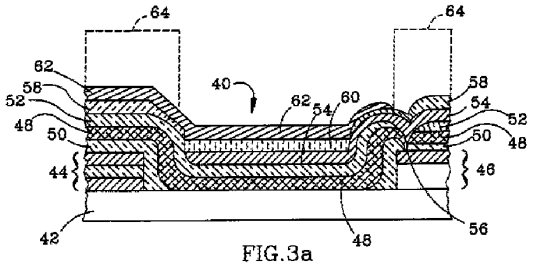


FIG.3a

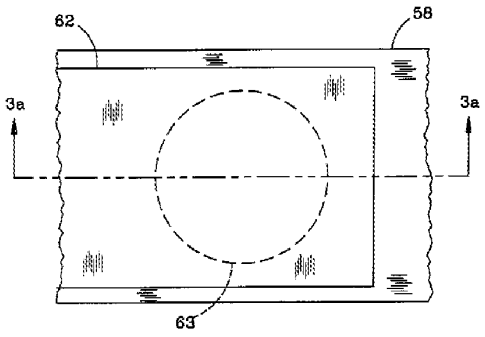


FIG.3b

As to **claim 2** (dependent on 1), Yap discloses the electro-optical device, wherein a plurality of boundary portions having said prescribed curvature are formed (as shown in fig. 3b bellow, there are 4 boundary portions).

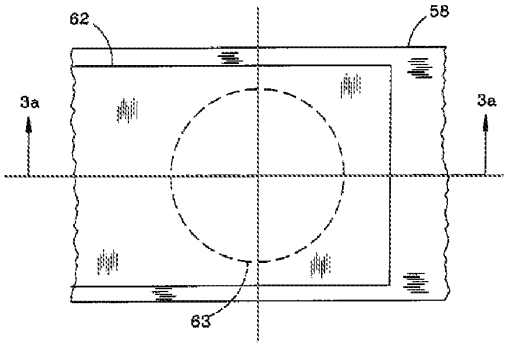


FIG.3b

As to **claim 3** (dependent on 1), Yap discloses the electro-optical device, wherein said plurality of formed boundary portions are arranged substantially symmetrically with respect to a center line passing through the geometric center of said electro-optical

element (as shown in fig. 3b above, boundary portions are arranged symmetrically with respect to the lines going trough the center of light emitting element).

As to **claim 4**, Yap discloses an electro-optical device (organic light-emitting display, TITLE), comprising a light-emitting portion (organic layer 60 of fig. 3a) and a peripheral circuit which controls the current supplied to said light-emitting portion (capacitor 44 and transistor 46 of fig. 3a), by means of a pixel electrode (pixel electrode 54 of fig. 3a), wherein: the area of said light-emitting portion (circular area 63 of fig. 3b) is smaller than the area of said pixel electrode (area defined by electrode 54 of fig. 3a which includes circular area 63 shown in fig. 3b); and, the shape of said light-emitting portion and the shape of said pixel electrode are different (as shown in fig. 3a, the pixel electrode extends far beyond light emitting area).

As to **claim 5**, Yap discloses an electro-optical device (organic light-emitting display, TITLE), comprising a light-emitting portion (organic layer 60 of fig. 3a) and a peripheral circuit which controls the current supplied to said light-emitting portion (capacitor 44 and transistor 46 of fig. 3a), by means of a pixel electrode (pixel electrode 62 of fig. 3a), wherein: the area of said light-emitting portion (circular area 63 of fig. 3b) is smaller than the area of said pixel electrode (area defined by electrode 62 which includes circular area 63 shown in fig. 3b); and, the shape of said light-emitting portion is a shape having a curvature (circular area 63 of fig. 3b), and the shape of said pixel electrode is a polygonal shape (area defined by electrode 62 of fig. 3b).

As to **claim 7** (dependent on 4), Yap discloses the electro-optical device, wherein the entire region of said light-emitting portion (60 of fig. 3a) is formed on said pixel electrode (pixel electrode 54 of fig. 4), and a contact region for connection of said peripheral circuit and said pixel electrode is provided in a portion of said pixel electrode in which said light-emitting portion is not formed (as shown in fig. 3a, pixel electrode 54 is in contact with transistor 46 in the area where organic light-emitting area 60 is not formed).

Claim Rejections - 35 USC § 103

6. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

7. **Claim 6** is rejected under 35 U.S.C. 103(a) as being unpatentable over Yap.

As to **claim 6**, Yap discloses an electro-optical device (organic light-emitting display, TITLE), comprising a light-emitting portion (organic layer 60 of fig. 3a) and a peripheral circuit which controls the current supplied to said light-emitting portion (capacitor 44 and transistor 46 of fig. 3a), by means of a pixel electrode (pixel electrode 62 of fig. 3a), wherein: the area of said light-emitting portion (circular area 63 of fig. 3b) is smaller than the area of said pixel electrode (area defined by electrode 62 which includes circular area 63 shown in fig. 3b); said pixel electrode has a polygonal shape

having m vertices (where m is an integer greater than or equal to 3) (electrode 62 is rectangular of fig. 3, having 4 vertices).

Yap does not explicitly disclose said light-emitting portion has a polygonal shape having n vertices (where n is an integer greater than or equal to 4); and, the relation n>m obtains.

However, it would have been obvious to one of ordinary skill in the art at the time of the invention to modify the shape of light emitting portion to have a shape that comprises more than 4 vertices, as a design choice alternative, since Yap discloses that other pixel shapes are possible and similarly created (col. 7, lines 1 - 10).

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Dmitriy Bolotin whose telephone number is (571)270-5873. The examiner can normally be reached on Monday-Friday, 8:00 AM - 5:00 PM EST.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Amare Mengistu can be reached on (571)272-7674. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/D. B./
Examiner, Art Unit 2629

/Amare Mengistu/
Supervisory Patent Examiner, Art Unit 2629

Notice of References Cited	Application/Control No. 11/483,109	Applicant(s)/Patent Under Reexamination MATSUEDA, YOJIRO	
	Examiner Dmitriy Bolotin	Art Unit 2629	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-6,307,528	10-2001	Yap, Daniel	345/45
*	B	US-6,225,750	05-2001	Kimura, Mutsumi	315/169.3
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11483109	MATSUEDA, YOJIRO
	Examiner	Art Unit
	Dmitriy Bolotin	2629

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	01/28/2010								
	1	✓								
	2	✓								
	3	✓								
	4	✓								
	5	✓								
	6	✓								
	7	✓								

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11483109	MATSUEDA, YOJIRO
	Examiner	Art Unit
	Dmitriy Bolotin	2629

SEARCHED			
Class	Subclass	Date	Examiner
345	30-45,55,82,83	01/28/2010	DB

SEARCH NOTES		
Search Notes	Date	Examiner
Google	01/28/2010	DB
EAST	01/28/2010	DB

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

/Dmitriy Bolotin/ Examiner.Art Unit 2629	

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 6342

SERIAL NUMBER	FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
11/483,109	07/10/2006 RULE	345	2629	114251.01

APPLICANTS
Yojiro Matsueda, Chino-shi, JAPAN;

**** CONTINUING DATA ***************************
This application is a DIV of 10/299,861 11/20/2002 PAT 7,483,001

**** FOREIGN APPLICATIONS ***************************
JAPAN 2001-356007 11/21/2001
JAPAN 2001-371403 12/05/2001
JAPAN 2001/371410 12/05/2001

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
08/02/2006

Foreign Priority claimed	35 USC 119(a-d) conditions met	Verified and Acknowledged	Met after Allowance	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
☑ Yes ☐ No	☑ Yes ☐ No	/DMITRIY BOLOTIN/ Examiner's Signature	☐ Initials	JAPAN	15	7	4

ADDRESS
OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850
UNITED STATES

TITLE
Active matrix substrate, electro-optical device, and electronic device

FILING FEE RECEIVED		
1200	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

BIB (Rev. 05/07).

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	3455	345/45,82,83,55.ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 13:56
L2	1477	1 and @ad<"20011121"	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 13:56
L3	224	2 and organic	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 13:57
L4	82	2 and oled	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 13:57
L5	13	3 and (shape with light emitting)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 13:59
L7	3343	345/30-45.ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:02
L8	2142	7 and @ad<"20011121"	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:02
L9	37	8 and (shape with light emitting)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:02
L10	35	9 not 5	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:02
L11	3645	(organic light emitting) and @ad<"20011121"	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:17
L12	131	11 and (shape with (light emitting))	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:18
L13	22	11 and (shape with (light emitting near2 (area or portion)))	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:18
L14	0	11 and (pentagon with (light emitting near2 (area or portion)))	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:19
L15	0	11 and (pentagon$4 with (light emitting near2 (area or portion)))	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:20

L16	0	11 and (hexagon$4 with (light emitting near2 (area or portion)))	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:20
L17	0	11 and (polygon$4 with (light emitting near2 (area or portion)))	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:20
L18	2	11 and (pentagon$4 with (light emitting))	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:20
L19	0	11 and (hexagon$4 with (light emitting))	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:21
L20	9	11 and (polygon$4 with (light emitting))	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 14:21
S1	5	"10299861"	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 12:30
S2	6	transistor with (variable gate width)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 13:25
S3	0	transistor with (uneven gate width)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 13:26
S4	83	transistor with (var$6 gate width)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 13:26
S5	626	transistor with ((circular or annular) with gate)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 13:34
S6	244	transistor with ((circular or annular) near2 gate)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 13:35
S7	166	transistor with ((circular or annular) near gate)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 13:35
S8	163	transistor with ((circular or annular) adj gate)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 13:35
S9	121	S8 and "257".clas.	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 13:36

S10	25	("20050116295" | "3615934" | "3624466" | "4238757" | "4288806" | "4322680" | "4777019" | "4881109" | "5034192" | "5140393" | "5304836" | "5309085" | "5431883" | "5445920" | "5466348" | "5543024" | "5668392" | "5846708" | "5965925" | "6140687" | "6203981" | "6274915" | "6699667" | "6740911" | "6864178").PN.	US-PGPUB; USPAT; USOCR	ADJ	ON	2010/01/27 14:01
S11	3	(parasitic capacitance) same (transistor with ((circular or annular) with gate))	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 14:12
S12	46	(gate with source with capacitance) and (transistor with ((circular or annular) with gate))	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 14:12
S13	7	("20020187573" | "20030136958" | "20050056847" | "20060086937" | "5003356" | "6897482" | "7170088").PN.	US-PGPUB; USPAT; USOCR	ADJ	ON	2010/01/27 14:18
S14	9	("20010015438" | "20040012018" | "20050247928" | "5886757" | "6300988" | "6344662" | "6617182" | "6897482" | "6924854").PN.	US-PGPUB; USPAT; USOCR	ADJ	ON	2010/01/27 14:21
S15	5	("5886757").URPN.	USPAT	ADJ	ON	2010/01/27 14:26
S16	9	("20010015438" | "20040012018" | "20050247928" | "5886757" | "6300988" | "6344662" | "6617182" | "6897482" | "6924854").PN.	US-PGPUB; USPAT; USOCR	ADJ	ON	2010/01/27 14:29
S17	0	(("same" or identical) with (IV or current) with (linear transistor)) and (transistor with (circular or annular) with gate)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 14:40

S18	0	(("same" or identical) with (IV or current) with (linear near transistor)) and (transistor with (circular or annular) with gate)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 14:41
S19	0	(("same" or identical) with (IV or current) with ((linear or regular) near transistor)) and (transistor with (circular or annular) with gate)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 14:41
S20	0	(("same" or identical) with (IV or current) with ((linear or regular) near3 transistor)) and (transistor with (circular or annular) with gate)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 14:41
S21	0	(("same" or identical) with (IV or current) with ((linear or regular or straight) near3 transistor)) and (transistor with (circular or annular) with gate)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 14:41
S22	0	(("same" or identical) with (characteris$5) with ((linear or regular or straight) near3 transistor)) and (transistor with (circular or annular) with gate)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 14:41
S23	187	oled with circular	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 15:26
S24	191	oled with (circular or annular)	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 15:26
S25	48	("20010014493" | "20010019327" | "20010026835" | "20010040565" | "20020000614" | "20020008822" | "20020067323" | "20020154253" | "20040012548" | "20040207615" | "20070007527" | "5867233" | "6100119" | "6153893" | "6373454" | "6468839" | "6515428" |	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/27 15:30

		"6661180" | "6781155" | "6794675" | "6859193" | "6914390" | "6952244" | "7106006" | "RE35827"). PN.				
S26	1	"11483109"	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 12:27
S27	0	"08986966"	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 12:35
S28	0	"8986966"	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 12:35
S29	27	Yap and OLEd	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 12:35
S30	2	Yap.in. and OLEd	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 12:36
S31	55	Yap.in. and light emitting	US-PGPUB; USPAT; EPO; JPO; DERWENT	ADJ	ON	2010/01/28 12:37

EAST Search History (Interference)

< This search history is empty>

1/28/2010 2:50:06 PM
C:\Documents and Settings\dbolotin\My Documents\EAST\Workspaces\11483109.wsp

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT Yojiro MATSUEDA	
		FILING DATE July 10, 2006	GROUP 2629

OIPE FEB 04 2008 PATENT & TRADEMARK OFFICE

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
/D.B./	1.	6,661,180 B2	12/09/2003	Koyama
/D.B./	2.	6,914,390 B2	07/05/2005	Koyama
/D.B./	3.	7,106,006 B2	09/12/2006	Koyama
/D.B./	4.	2007/0007527 A1	01/11/2007	Koyama

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
/D.B./	5.	JP-A-2002-351357	12/06/2002	Japan	X	X

OTHER DOCUMENTS

Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)

EXAMINER	/Dmitriy Bolotin/	DATE CONSIDERED 01/28/2010

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: February 4, 2008

OIPE IAP97 MAR 06 2007 PATENT & TRADEMARK OFFICE

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT(S) Yojiro MATSUEDA	
		FILING DATE July 10, 2006	GROUP 2628

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
/D.B./	1	CN 1291786A	04/18/2001	CHINA		
/D.B./	2	CN 1242924A	01/26/2000	CHINA		
/D.B./	3	JP-A-2001-185354	07/06/2001	JAPAN	XX	XX
/D.B./	4	JP-A-11-074073	03/16/1999	JAPAN	XX	XX

OTHER DOCUMENTS

Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)

EXAMINER	/Dmitriy Bolotin/	DATE CONSIDERED 01/28/2010

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: March 6, 2007

OIPE IAP87 MAR 27 2007 PATENT & TRADEMARK OFFICE

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT(S) Yojiro MATSUEDA	
		FILING DATE July 10, 2006	GROUP 2628

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
/D.B./	1	WO 01/06484 A1	01/25/2001	WIPO	XX	

OTHER DOCUMENTS

Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)

EXAMINER	/Dmitriy Bolotin/	DATE CONSIDERED	01/28/2010

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: March 27, 2007

USPTO IAP97 APR 28 2008 PATENT & TRADEMARK OFFICE

Sheet 1 of 1

Form PTO-1449 (REV. 1/06) US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)	APPLICANT(S) Yojiro MATSUEDA	
	FILING DATE July 10, 2006	GROUP 2629

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
/D.B./	1	5,867,233	2-2-1999	TANAKA

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
/D.B./	2	WO 01/18774 A1	3-15-2001	WIPO	x	
/D.B./	3	WO 01/75853	10-11-2001	WIPO		
/D.B./	4	JP A 60-128486	7-9-1985	Japan		
/D.B./	5	EP 1 003 223 A2	5-24-2000	Europe		

OTHER DOCUMENTS

Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)
/D.B./	6	Shang-Li Chen et al.; "Current Programmed Pixel Structures for OLED"; Electronics Research & Service Organization; Hsinchu, Taiwan; October 2001, pp. 399-402.
/D.B./	7	Eiji Takeda et al.; "An As-P(n^+-n^-) Double Diffused Drain MOSFET for VLSI's"; IEEE Transactions on Electron Devices, IEEE Service Center; Piscataway, NJ; vol. 30; no. 6; June 1983; pp. 652-657.

EXAMINER /Dmitriy Bolotin/	DATE CONSIDERED 01/28/2010

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: April 28, 2008

OIPE IAP44 MAY 15 2007 PATENT & TRADEMARK OFFICE

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT(S) Yojiro MATSUEDA	
		FILING DATE July 10, 2006	GROUP 2628

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
/D.B./	1	6,859,193 B1	2/22/2005	Yumoto

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation

OTHER DOCUMENTS

Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)

EXAMINER	/Dmitriy Bolotin/	DATE CONSIDERED	01/28/2010

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: May 15, 2007

OIPE IAP97 JUN 21 2007 PATENT & TRADEMARK OFFICE

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT(S) Yojiro MATSUEDA	
		FILING DATE July 10, 2006	GROUP 2628

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
/D.B./	1	JP A 2000-284722	10-13-2000	JAPAN	X	X
/D.B./	2	JP A 2000-267131	9-29-2000	JAPAN	X	X
/D.B./	3	JP A 2000-137241	5-16-2000	JAPAN	X	X

OTHER DOCUMENTS

Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)

EXAMINER	/Dmitriy Bolotin/	DATE CONSIDERED	01/28/2010

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: June 21, 2007

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	New U.S. Patent Application
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT Yojiro MATSUEDA	
		FILING DATE July 10, 2006	

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1	2001/0019327	09/2001	Kim et al.
	2	6,794,675	09/21/2004	Suzuki et al.
	3	RE35,827	06/1998	Gualandris et al.
	4	6,781,155 B1	08/2004	Yamada, Tsutomu
	5	2001/0026835	10/2001	Tanaka, Koichiro
	6	2001/0040565	11/2001	Koyama, Jun
	7	2002/0008822	01/2002	Maeda, Akitoshi
	8	2002/0067323	06/2002	Bird et al.
	9	2004/0207615	10/2004	Yumoto, Akira

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	10	KR 1994-0009134	10/01/1994	Korea		
	11	KR 2001-0014528 A	02/26/2001	Korea		
	12	WO 98/36407	08/20/1998	WIPO		
	13	JP A 2000-214800	08/04/2000	Japan		
	14	JP A 2001-13893	01/19/2001	Japan		
	15	JP A 2000-284727	10/13/2000	Japan		
	16	JP A 11-65487	03/05/1999	Japan		
	17	JP A 1-101519	04/19/1989	Japan		
	18	JP A 2-170135	06/29/1990	Japan		

EXAMINER	/Dmitriy Bolotin/	DATE CONSIDERED	01/28/2010

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: July 10, 2006

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /D.B./

OIPE IAP97 SEP 18 2007 PATENT & TRADEMARK OFFICE

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT(S) Yojiro MATSUEDA	
		FILING DATE July 10, 2006	GROUP 2628

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
/D.B./	1	2004/012548	1-22-2004	Anzai

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
/D.B./	2	JP A 2003-323133	11-14-2003	Japan	X	X

OTHER DOCUMENTS

Examiner Initials	Cite No.	(Including Author, Title, Date, Pertinent Pages, etc.)

EXAMINER	/Dmitriy Bolotin/	DATE CONSIDERED	01/28/2010

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: September 18, 2007

OPAP
APR 09 2010
PATENT & TRADEMARK OFFICE

Form PTO-1449 (REV. 1/06) US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)	APPLICANT(S) Yojiro MATSUEDA	
	FILING DATE July 10, 2006	GROUP 2629

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1	2001/0026125 A1	10/04/2001	Yamazaki et al.
	2	6,094,248	07/25/2000	Hayashi
	3	5,684,365	11/04/1997	Tang et al.
	4	6,509,688 B1	01/21/2003	Bae et al.

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation

OTHER DOCUMENTS

Examiner Initials	Cite No.	Including name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

EXAMINER	DATE CONSIDERED

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: April 9, 2010

OPAP
APR 09 2010
PATENT & TRADEMARK OFFICE

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2629

Application No.: 11/483,109

Examiner: D. BOLOTIN

Filed: July 10, 2006

Docket No.: 114251.01

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection, Notice of Allowance or other action that closes prosecution (e.g., Quayle Action).

☒ a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(1).

☒ 2. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Andy N. Kim
Registration No. 61,050

JAO:ANK/mcp

Date: April 9, 2010

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry of this filing; Charge any fee due to our Deposit Account No. 15-0461

OPAP IAP24
MAY 03 2010
PATENT & TRADEMARK OFFICE

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2629

Application No.: 11/483,109

Examiner: D. BOLOTIN

Filed: July 10, 2006

Docket No.: 114251.01

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

AMENDMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In reply to the February 4, 2010 Office Action, please consider the following:

Amendments to the Claims as reflected in the listing of claims; and

Remarks.

Amendments to the Claims:

The following listing of claims will replace all prior versions, and listings, of claims in the application:

1-7. (Canceled)

8. (New) An electro-optical device, comprising:

a light-emitting portion; and

a circuit that supplies a current to the light-emitting portion via a pixel electrode,

an area of the light-emitting portion being smaller than an area of the pixel electrode, and

a corner portion of the pixel electrode being positioned outside the light-emitting portion, and

a contact hole being provided in the corner portion of the pixel electrode.

9. (New) The electro-optical device according to claim 8, a shape of the light-emitting portion being an oblong planar shape and a shape of the pixel electrode being a polygonal shape.

10. (New) The electro-optical device according to claim 8, a shape of the light-emitting portion being a shape having a curvature, and a shape of the pixel electrode being a polygonal shape.

11. (New) The electro-optical device according to claim 8, at least one portion of the circuit being provided in a region surrounded by a boundary of the light-emitting portion and a boundary of the pixel electrode.

12. (New) The electro-optical device according to claim 11,

at least one portion of the boundary of the light-emitting portion having a prescribed curvature.

13. (New) The electro-optical device according to claim 8, the circuit comprising:

a first transistor connected between a power supply line and the pixel electrode, and the contact hole being provided to electrically connect the pixel electrode and the first transistor.

14. (New) The electro-optical device according to claim 13, the circuit comprising:

a second transistor connected between the first transistor and the pixel electrode, and the second transistor being connected to the pixel electrode via the contact hole.

15. (New) The electro-optical device according to claim 14, comprising:

a first layer that connects a semiconductor layer for the second transistor and the pixel electrode, the first layer being formed from the same layer as that for the power supply line,

the first layer and the pixel electrode being connected by the contact hole.

16. (New) The electro-optical device according to claim 8, comprising:

a first transistor having a first conductivity type;

a second transistor having a second conductivity type; and

a holding capacitance,

a source of the first transistor being connected to a power supply line,

a gate of the first transistor being electrically connected to a data line,

a drain of the first transistor being electrically connected to a drain of the second transistor,

a source of the second transistor being connected to the pixel electrode; and

a first capacitance electrode of the holding capacitance being electrically connected to the power supply line, and a second capacitance electrode of the holding capacitance being electrically connected to the gate of the first transistor.

17. (New) An electro-optical device, comprising:

a light-emitting portion; and

a peripheral circuit that controls a current supplied to the light-emitting portion, by means of a pixel electrode,

an area of the light-emitting portion being smaller than an area of the pixel electrode,

a shape of the light-emitting portion and a shape of the pixel electrode being different; and

a plurality of contact holes being provided in portions of the pixel electrode in which the light-emitting portion is not formed and in corners of the pixel electrode, the contact holes being provided in positions that are symmetrical with respect to a center line passing through the center of the light-emitting portion.

18. (New) An electronic device comprising the electro-optical device according to claim 8.

19. (New) An electronic device comprising the electro-optical device according to claim 17.

REMARKS

Claims 8-19 are pending in this application. By this Amendment, claims 1-7 are canceled without prejudice to or disclaimer of the subject matter recited therein. Claims 8-19 are added. No new matter is added. Reconsideration of the application based on the above amendments and the following remarks is respectfully requested.

I. Objections To Drawings

The Office Action objects to the drawings for failing to show every feature of the invention specified in the claims. Specifically, the Office Action indicates that the "light-emitting portion" which "has a polygonal shape having n vertices (where n is an integer greater than or equal to 4)," as recited in claim 6, must be shown or the feature canceled from the claims.

By this Amendment, claim 6 is canceled. Accordingly, withdrawal of the objection to the drawings is respectfully requested.

II. 35 U.S.C. §112 Rejection

The Office Action rejects claims 1 and 3 under 35 U.S.C. §112, second paragraph, for being indefinite.

By this Amendment, claims 1 and 3 are canceled. Accordingly, withdrawal of the rejections under 35 U.S.C. §112 is respectfully requested.

III. The Claims Define Patentable Subject Matter

The Office Action rejects claims 1-5 and 7 under 35 U.S.C. §102(b) over Yap (U.S. Patent No. 6,307,528); and rejects claim 6 under 35 U.S.C. §103(a) over Yap. The rejections are respectfully traversed.

Yap does not disclose and would not have rendered obvious at least a contact hole being provided in the corner of the pixel electrode, as recited in independent claim 8, and similarly recited in independent claim 17.

Yap discloses a structure of pixel 40 including a wall 64 which surrounds its light-emitting region and extends above its upper electrode 62. *See* Fig. 3a of Yap. The wall 64 is comprised of a drive circuitry such as capacitor 44 and transistor 46. As shown in Fig. 3a of Yap, there is no contact hole in the structure of pixel 40. Yap also does not disclose and would not have rendered obvious all of the features recited in the dependent claims.

In view of the above, claims 8-19 are allowable. Reconsideration and withdrawal of the rejections and allowance of new claims are respectfully requested.

IV. Conclusion

In view of the foregoing, it is respectfully submitted that this application is in condition for allowance. Favorable reconsideration and prompt allowance of claims 8-19 are earnestly solicited.

Should the Examiner believe that anything further would be desirable in order to place this application in even better condition for allowance, the Examiner is invited to contact the undersigned at the telephone number set forth below.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Andy N. Kim
Registration No. 61,050

JAO:ANK/jqw

Date: May 3, 2010

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry of this filing; Charge any fee due to our Deposit Account No. 15-0461

OPAP
MAY 06 2010
PATENT & TRADEMARK OFFICE

Form PTO-1449 (REV. 1/06) US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.01	APPLICATION NO. 11/483,109
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)	APPLICANT(S) Yojiro MATSUEDA	
	FILING DATE July 10, 2006	GROUP 2629

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1	6,548,960 B2	04/15/03	Inukai
	2	6,756,740 B2	06/29/04	Inukai
	3	6,690,033 B2	02/10/04	Yamazaki et al.
	4	2004/0135181 A1	07/15/04	Yamazaki et al.
	5	2002/0000614 A1	01/03/02	Chen et al.
	6	2002/0154253 A1	10/24/02	Cairns et al.
	7	2001/0014493 A1	08/16/01	Inoue et al.
	8	6,100,119	08/08/00	Jang et al.
	9	6,515,482 B1	02/04/03	Yeh et al.
	10	6,952,244 B2	10/04/05	Cairns et al.
	11	6,468,839 B2	10/22/02	Inoue et al.
	12	6,153,893	11/28/00	Inoue et al.
	13	6,373,454 B1	8/16/02	Knapp et al.

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	14	JP-A-2001-242827	09/07/01	Japan		
	15	JP-A-2001-318628	11/16/01	Japan		

OTHER DOCUMENTS

Examiner Initials	Cite No.	Including name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

EXAMINER	DATE CONSIDERED

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: May 6, 2010

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報（Ａ）**　(11)特許出願公開番号
特開2001－242827
（P2001－242827A）
(43)公開日　平成13年９月７日(2001.9.7)

(51)Int.Cl.⁷		識別記号	FI		テーマコード（参考）
Ｇ０９Ｇ	3/30		Ｇ０９Ｇ	3/30	Ｊ
					Ｋ
	3/20	６２４		3/20	６２４Ｂ
		６４１			６４１Ｅ
		６８０			６８０Ｖ

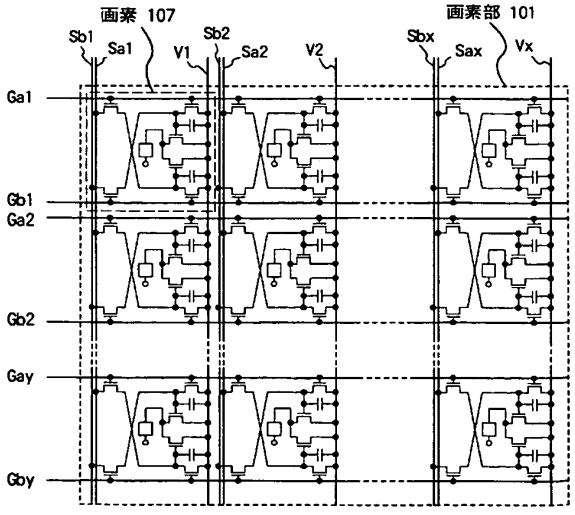
審査請求　未請求　請求項の数27　ＯＬ　（全 45 頁）　最終頁に続く

(21)出願番号　特願2000－388114(P2000－388114)
(22)出願日　平成12年12月21日(2000.12.21)
(31)優先権主張番号　特願平11－365824
(32)優先日　平成11年12月24日(1999.12.24)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者　犬飼　和隆
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

(54)【発明の名称】　電子装置

(57)【要約】
【課題】　発光素子の発光量のばらつきを抑え、高い階調数を実現することが可能な電気光学装置を提供する。
【解決手段】　発光素子の発光は、一対の駆動用ＴＦＴによって制御され、一対の駆動用ＴＦＴの一方は、一対のスイッチング用ＴＦＴの一方と、一対の消去用ＴＦＴの一方とによって制御され、一対の駆動用ＴＦＴの残る一方は、一対のスイッチング用ＴＦＴの残る一方と、一対の消去用ＴＦＴの残る一方とによって制御され、発光素子の発光する時間を制御することで階調表示を行うことを特徴とする電子装置。



1

【特許請求の範囲】
【請求項１】一対のソース信号線駆動回路と、一対のゲート信号線駆動回路と、画素部とを有する電子装置であって、
前記画素部は複数の画素を有しており、
前記複数の画素は、発光素子と、一対の駆動用ＴＦＴと、一対のスイッチング用ＴＦＴと、一対の消去用ＴＦＴとをそれぞれ有し、
前記発光素子の発光は、前記一対の駆動用ＴＦＴによって制御され、
前記一対の駆動用ＴＦＴの一方は、前記一対のスイッチング用ＴＦＴの一方と、前記一対の消去用ＴＦＴの一方とによって制御され、
前記一対の駆動用ＴＦＴの残る一方は、前記一対のスイッチング用ＴＦＴの残る一方と、前記一対の消去用ＴＦＴの残る一方とによって制御され、
前記発光素子の発光する時間を制御することで階調表示を行うことを特徴とする電子装置。
【請求項２】第１のソース信号線駆動回路と、第２のソース信号線駆動回路と、第１のゲート信号線駆動回路と、第２のゲート信号線駆動回路と、画素部と、前記第１のソース信号線駆動回路に接続された複数の第１のソース信号線と、前記第２のソース信号線駆動回路に接続された複数の第２のソース信号線と、前記第１のゲート信号線駆動回路に接続された複数の第１のゲート信号線と、前記第２のゲート信号線駆動回路に接続された複数の第２のゲート信号線と、電源供給線とを有する電子装置であって、
前記画素部は複数の画素を有しており、
前記複数の画素は、第１のスイッチング用ＴＦＴと、第２のスイッチング用ＴＦＴと、第１の消去用ＴＦＴと、第２の消去用ＴＦＴと、第１の駆動用ＴＦＴと、第２の駆動用ＴＦＴと、発光素子とをそれぞれ有し、
前記第１のスイッチング用ＴＦＴが有するゲート電極は、前記第１のゲート信号線と接続されており、
前記第２のスイッチング用ＴＦＴが有するゲート電極は、前記第２のゲート信号線と接続されており、
前記第１のスイッチング用ＴＦＴが有するソース領域とドレイン領域は、一方は前記第１のソース信号線と、もう一方は前記第１の駆動用ＴＦＴが有するゲート電極と接続されており、
前記第２のスイッチング用ＴＦＴが有するソース領域とドレイン領域は、一方は前記第２のソース信号線と、もう一方は前記第２の駆動用ＴＦＴが有するゲート電極と接続されており、
前記第１の消去用ＴＦＴが有するゲート電極は、前記第１のゲート信号線と接続されており、
前記第２の消去用ＴＦＴが有するゲート電極は、前記第２のゲート信号線と接続されており、
前記第１の消去用ＴＦＴが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記第２の駆動用ＴＦＴが有するゲート電極と接続されており、
前記第２の消去用ＴＦＴが有するソース領域とドレイン領域は、一方は前記第１の駆動用ＴＦＴが有するゲート電極と接続されており、
前記第１の駆動用ＴＦＴが有するソース領域とドレイン領域はそれぞれ、一方は前記電源供給線に、もう一方は前記発光素子に接続されており、
前記第２の駆動用ＴＦＴが有するソース領域とドレイン領域はそれぞれ、一方は前記電源供給線に、もう一方は前記発光素子に接続されていることを特徴とする電子装置。
【請求項３】請求項２において、前記第１のスイッチング用ＴＦＴと前記第１の消去用ＴＦＴは、同時にオンの状態またはオフの状態に切り替わり、
前記第２のスイッチング用ＴＦＴと前記第２の消去用ＴＦＴは、同時にオンの状態またはオフの状態に切り替わることを特徴とする電子装置。
【請求項４】請求項２または請求項３において、前記第１の駆動用ＴＦＴ及び前記第２の駆動用ＴＦＴはそれぞれ、前記各駆動用ＴＦＴが有するゲート電極に前記電源供給線の電位が与えられるとオフの状態になることを特徴とする電子装置。
【請求項５】請求項２乃至請求項４のいずれか１項において、１フレーム期間内にｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎとｎ個の表示期間Ｔｒ１、Ｔｒ２、･･･、Ｔｒｎとが設けられており、
前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎはこの順序で出現し、
前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、･･･、Ｔｒｎはこの順序で出現し、
前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎのそれぞれが開始されてから、前記ｎ個の各書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎの次の書き込み期間が開始されるまでの期間が、表示期間Ｔｒ１、Ｔｒ２、･･･、Ｔｒｎであり、
前記書き込み期間Ｔａｎの次に出現する書き込み期間は次のフレーム期間において最初に出現する書き込み期間Ｔａ１’であり、
前記表示期間Ｔｒｎの次に出現する表示期間は次のフレーム期間において最初に出現する表示期間Ｔｒ１’であり、
前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎは、ｉ個の書き込み期間（ｉは０以上ｎ以下の整数）と（ｎ－ｉ）個の書き込み期間とに分けられ、
前記ｉ個の書き込み期間においてそれぞれ、前記第１のソース信号線駆動回路から前記第１のソース信号線を介して、デジタルデータ信号が前記複数の画素の全てに入力され、
前記（ｎ－ｉ）個の書き込み期間においてそれぞれ、前

記第２のソース信号線駆動回路から前記第２のソース信号線を介して、デジタルデータ信号が前記複数の画素の全てに入力され、
前記ｉ個の書き込み期間においてそれぞれ、前記ｉ個の各書き込み期間以前に前記第２のソース信号線駆動回路から入力された前記デジタルデータ信号が前記複数の画素の全てにおいて消去され、
前記（ｎ－ｉ）個の書き込み期間においてそれぞれ、前記（ｎ－ｉ）個の各書き込み期間以前に前記第１のソース信号線駆動回路から入力された前記デジタルデータ信号が前記複数の画素の全てにおいて消去され、前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎのそれぞれと、前記ｎ個の各書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎの次の書き込み期間Ｔａ２、Ｔａ３･･･、Ｔａ１’とからなる２つのとなりあう書き込み期間の組（Ｔａ１、Ｔａ２）、（Ｔａ２、Ｔａ３）、･･･、（Ｔａ（ｎ－１）、Ｔａｎ）、（Ｔａｎ、Ｔａ１’）は、ｊ個のとなりあう書き込み期間の組（ｊは０以上（ｎ－１）以下の整数）と（ｎ－ｊ）個のとなりあう書き込み期間の組とに分けられ、
前記ｊ個のとなりあう書き込み期間の組のそれぞれにおいて、２つの書き込み期間は互いに一部重なり、
前記（ｎ－ｊ）個のとなりあう書き込み期間の組のそれぞれにおいて、２つの書き込み期間は互いに重ならず、
前記ｊ個のとなりあう書き込み期間の組それぞれにおいて、一方の書き込み期間は、前記第１のソース信号線駆動回路からデジタルデータ信号が前記複数の画素の全てに入力され、残る一方の書き込み期間は、前記第２のソース信号線駆動回路からデジタルデータ信号が前記複数の画素の全てに入力され、前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎにおいてそれぞれ、前記複数の画素がそれぞれ有する前記発光素子は、前記複数の画素に入力された前記デジタルデータ信号に基づいて、発光状態となるか非発光状態となるかを選択され、
前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、…、Ｔｒｎにおいてそれぞれ、前記複数の画素がそれぞれ有する前記発光素子は、前記デジタルデータ信号に基づいて、それぞれ発光状態または非発光状態となり、
前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、…、Ｔｒｎのうちのｍ個の表示期間（ｍは０以上ｎ以下の整数）においてそれぞれ、前記複数の画素がそれぞれ有する前記発光素子の全てが非発光状態となり、
前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、…、Ｔｒｎのそれぞれと、前記ｎ個の各表示期間Ｔｒ１、Ｔｒ２、･･･、Ｔｒｎの次の書き込み期間Ｔｒ２、Ｔｒ３、･･･、Ｔｒ１’とからなる２つのとなりあう書き込み期間の長さの和Ｔｒ１+Ｔｒ２、Ｔｒ２+Ｔｒ３、…、Ｔｒｎ+Ｔｒ１’はそれぞれ、前記書き込み期間Ｔａ１、Ｔａ２、…、Ｔａｎの長さ以上であることを特徴とする電子装置。

【請求項６】請求項５において、前記（ｎ－ｍ）個の表示期間の長さの比が、ｋ個の期間Ｔ１、Ｔ２、･･･、Ｔｋ（ｋは１以上（ｎ－ｍ）以下の整数）を（ｎ－ｍ－ｋ）回分割した結果できる（ｎ－ｍ）個の期間の長さの比と一致し、
前記ｋ個の期間Ｔ１、Ｔ２、･･･、Ｔｋの長さの比は、短い順に並べた場合、$2^0 : 2^1 : \cdots : 2^{(k-1)}$ で表されることを特徴とする電子装置。
【請求項７】請求項５または請求項６において、前記ｎ個のとなりあう書き込み期間の組（Ｔａ１、Ｔａ２）、（Ｔａ２、Ｔａ３）、･･･、（Ｔａｎ、Ｔａ１’）のうち少なくとも１つのとなりあう書き込み期間の組は、２つの書き込み期間が互いに一部重なることを特徴とする電子装置。
【請求項８】請求項５乃至請求項７のいずれか１項において、前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、…、Ｔｒｎのうち少なくとも１つの表示期間において、前記複数の画素がそれぞれ有する前記発光素子の全てが非発光状態となることを特徴とする電子装置。
【請求項９】請求項５乃至請求項７のいずれか１項において、前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、…、Ｔｒｎにおいて、前記複数の画素がそれぞれ有する前記発光素子の全てが非発光状態となる表示期間がないことを特徴とする電子装置。
【請求項１０】請求項５乃至請求項９のいずれか１項において、前記ｉ個の書き込み期間の長さは全て同じであり、
前記（ｎ－ｉ）個の書き込み期間の長さは全て同じであることを特徴とする電子装置。
【請求項１１】請求項５乃至請求項９のいずれか１項において、前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎの長さは全て同じであることを特徴とする電子装置。
【請求項１２】請求項５乃至請求項１１のいずれか１項において、前記ｉ個の書き込み期間と前記（ｎ－ｉ）個の書き込み期間は、交互に出現することを特徴とする電子装置。
【請求項１３】請求項５乃至請求項１２のいずれか１項において、前記（ｎ－ｍ）個の表示期間の長さの比は、短い順に並べた場合、$2^0 : 2^1 : \cdots : 2^{(n-m-1)}$ で表されることを特徴とする電子装置。
【請求項１４】請求項１乃至請求項１３のいずれか１項において、前記一対のソース信号線駆動回路と、前記一対のゲート信号線駆動回路とは、前記画素部と同一の基板上にＴＦＴを用いて形成され、前記一対のソース信号線駆動回路の駆動周波数は１０ＭＨｚ以上であることを特徴とする電子装置。
【請求項１５】請求項１乃至請求項１４のいずれか１項において、前記発光素子は、画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた有機化合

5

物層とを有することを特徴とする電子装置。

【請求項１６】請求項２乃至請求項１４のいずれか１項において、前記発光素子は、画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた有機化合物層とを有し、

前記対向電極は一定の電位に保たれ、

前記電源供給線は一定の電位に保たれることを特徴とする電子装置。

【請求項１７】請求項１５または請求項１６において、前記有機化合物層は低分子系有機物質またはポリマー系有機物質であることを特徴とする電子装置。

【請求項１８】請求項１７において、前記低分子系有機物質は、Alq_3（トリス－８－キノリライト－アルミニウム）またはＴＰＤ（トリフェニルアミン誘導体）を含むことを特徴とする電子装置。

【請求項１９】請求項１７において、前記ポリマー系有機物質は、ＰＰＶ（ポリフェニレンビニレン）、ＰＶＫ（ポリビニルカルバゾール）またはポリカーボネートを含むことを特徴とする電子装置。

【請求項２０】請求項１乃至請求項１９のいずれか１項に記載の前記電子装置を用いることを特徴とする表示装置。

【請求項２１】請求項１乃至請求項１９のいずれか１項に記載の前記電子装置を用いることを特徴とするビデオカメラ。

【請求項２２】請求項１乃至請求項１９のいずれか１項に記載の前記電子装置を用いることを特徴とする頭部取り付け型の表示装置。

【請求項２３】請求項１乃至請求項１９のいずれか１項に記載の前記電子装置を用いることを特徴とするＤＶＤプレーヤー。

【請求項２４】請求項１乃至請求項１９のいずれか１項に記載の前記電子装置を用いることを特徴とするヘッドマウントディスプレイ。

【請求項２５】請求項１乃至請求項１９のいずれか１項に記載の前記電子装置を用いることを特徴とするパーソナルコンピュータ。

【請求項２６】請求項１乃至請求項１９のいずれか１項に記載の前記電子装置を用いることを特徴とする携帯電話。

【請求項２７】請求項１乃至請求項１９のいずれか１項に記載の前記電子装置を用いることを特徴とするカーオーディオ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

【０００２】本願発明は発光素子を基板上に作り込んで形成された自発光型のディスプレイ（電子装置）に関する。特に半導体素子（半導体薄膜を用いた素子）を用いた自発光型のディスプレイ（電子装置）に関する。また、自発光型のディスプレイを表示部に用いた電子機器に関する。

6

【０００３】

【従来の技術】近年、基板上にＴＦＴを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたＴＦＴは、従来のアモルファスシリコン膜を用いたＴＦＴよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【０００４】このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【０００５】そしてさらに、発光素子を有したアクティブマトリクス型のディスプレイの研究が活発化している。発光素子を有したディスプレイは、液晶ディスプレイと異なり、自発光型である（以下、自発光型のディスプレイ、または自発光型ディスプレイと呼ぶ）。

【０００６】発光素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られる有機化合物を含む層（以下、有機化合物層と記す）と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置では、どちらの発光を用いていても良い。なお、本明細書において発光素子が発光することを、発光素子が駆動すると呼ぶ。

【０００７】本明細書では、陽極と陰極の間に設けられた全ての層を有機化合物層と定義する。有機化合物層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に発光素子は、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【０００８】なお、自発光型のディスプレイは有機ＥＬディスプレイ（ＯＥＬＤ：Organic ELDisplay）又は有機ライトエミッティングデバイス（ＯＬＥＤ：Organic LightEmitting Devices）などと呼ばれることもある。

【０００９】自発光型のディスプレイの駆動方法として、アナログ方式の駆動方法（アナログ駆動）が挙げられる。自発光型のディスプレイのアナログ駆動について、図１８及び図１９を用いて説明する。

【００１０】図１８にアナログ駆動の自発光型ディスプレイの画素部の構造を示す。ゲート信号線駆動回路からのゲート信号を入力するゲート信号線（Ｇ１～Ｇｙ）

は、各画素が有するスイッチング用ＴＦＴ１８０１のゲート電極に接続されている。また各画素の有するスイッチング用ＴＦＴ１８０１のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線（データ信号線ともいう）（Ｓ１～Ｓｘ）に、もう一方が各画素が有する駆動用ＴＦＴ１８０４のゲート電極及び各画素が有するコンデンサ１８０８にそれぞれ接続されている。

【００１１】各画素が有する駆動用ＴＦＴ１８０４のソース領域とドレイン領域はそれぞれ、一方は電源供給線（Ｖ１～Ｖｘ）に、もう一方は発光素子１８０６に接続されている。電源供給線（Ｖ１～Ｖｘ）の電位を電源電位と呼ぶ。また電源供給線（Ｖ１～Ｖｘ）は、各画素が有するコンデンサ１８０８に接続されている。

【００１２】発光素子１８０６は陽極と、陰極と、陽極と陰極との間に設けられた有機化合物層とを有する。発光素子１８０６の陽極が駆動用ＴＦＴ１８０４のソース領域またはドレイン領域と接続している場合、発光素子１８０６の陽極が画素電極、陰極が対向電極となる。逆に発光素子１８０６の陰極が駆動用ＴＦＴ１８０４のソース領域またはドレイン領域と接続している場合、発光素子１８０６の陽極が対向電極、陰極が画素電極となる。

【００１３】なお本明細書において、対向電極の電位を対向電位と呼ぶ。画素電極の電位と対向電極の電位の電位差が発光素子の駆動電圧であり、この駆動電圧が有機化合物層にかかる。

【００１４】図１８に示した自発光型のディスプレイを、アナログ方式で駆動させた場合のタイミングチャートを図１９に示す。１つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を１ライン期間（Ｌ）と呼ぶ。また１つの画像が表示されてから次の画像が表示されるまでの期間が１フレーム期間（Ｆ）に相当する。図１８に示した自発光型のディスプレイの場合、ゲート信号線はｙ本あるので、１フレーム期間中にｙ個のライン期間（Ｌ１～Ｌｙ）が設けられている。

【００１５】解像度が高くなるにつれて１フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならなくなる。

【００１６】まず電源電圧線（Ｖ１～Ｖｘ）は一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、発光素子が発光する程度に電源電位との間に電位差を有している。

【００１７】第１のライン期間（Ｌ１）においてゲート信号線Ｇ１にはゲート信号線駆動回路からのゲート信号が入力される。そして、ソース信号線（Ｓ１～Ｓｘ）に順にアナログのビデオ信号が入力される。ゲート信号線Ｇ１に接続された全てのスイッチング用ＴＦＴはオンの

状態になるので、ソース信号線に入力されたアナログのビデオ信号は、スイッチング用ＴＦＴを介して駆動用ＴＦＴのゲート電極に入力される。

【００１８】駆動用ＴＦＴのチャネル形成領域を流れる電流の量は、そのゲート電極に入力される信号の電位の高さ（電圧）によって制御される。よって、発光素子の画素電極にかかる電位は、駆動用ＴＦＴのゲート電極に入力されたアナログのビデオ信号の電位の高さによって決まる。そして発光素子はアナログのビデオ信号の電位に制御されて発光を行う。

【００１９】上述した動作を繰り返し、ソース信号線（Ｓ１～Ｓｘ）へのアナログのビデオ信号の入力が終了すると、第１のライン期間（Ｌ１）が終了する。そして次に第２のライン期間（Ｌ２）となりゲート信号線Ｇ２にゲート信号が入力される。そして第１のライン期間（Ｌ１）と同様にソース信号線（Ｓ１～Ｓｘ）に順にアナログのビデオ信号が入力される。

【００２０】そして全てのゲート信号線（Ｇ１～Ｇｙ）にゲート信号が入力されると、全てのライン期間（Ｌ１～Ｌｙ）が終了する。全てのライン期間（Ｌ１～Ｌｙ）が終了すると、１フレーム期間が終了する。１フレーム期間中において全ての画素が表示を行い、１つの画像が形成される。

【００２１】以上のように、アナログのビデオ信号によって発光素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ駆動方法と呼ばれる駆動方式であり、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

【００２２】

【発明が解決しようとする課題】発光素子に供給される電流量が駆動用ＴＦＴのゲート電圧によって制御される様子を、図２０（Ａ）、（Ｂ）を用いて詳しく説明する。

【００２３】図２０（Ａ）は発光素子の電流電圧特性を示すグラフである。発光素子はあるしきい値を越えた電圧を加えると、加えられた電圧の変化に対して指数関数的に電流が変化する。

【００２４】また図２０（Ｂ）は、発光素子に流れる電流量を評価するためのグラフであり、△Ｖ、V_{EL}、Ｖｄｓ及びＶｇｓはそれぞれ、電源電位と対向電位の差、発光素子にかかる電圧（駆動電圧と呼ぶ）、駆動用ＴＦＴのソース、ドレイン間にかかる電圧（ドレイン電圧と呼ぶ）、駆動用ＴＦＴのゲート、ソース間にかかる電圧（ゲート電圧と呼ぶ）を表す。図２０（Ｂ）は、発光素子の電流電圧特性と、いくつかのゲート電圧に対する駆動用ＴＦＴの電流電圧特性を△Ｖ／２を軸に折り返した曲線と、からなる。駆動用ＴＦＴと発光素子は直列につながれており、各ゲート電圧に対して、駆動用ＴＦＴと発光素子に流れる電流量は、図２０（Ｂ）に示したグラ

フの交点によって知ることができる。任意のゲート電圧に対しても、同様にして、駆動用ＴＦＴと発光素子に流れる電流を知ることができる。

【００２５】スイッチング用ＴＦＴがオンの状態になりアナログのビデオ信号が画素内に入力されると、アナログのビデオ信号の電位が駆動用ＴＦＴのゲート電極に与えられる。このとき、図２０（Ｂ）に示した電流電圧特性に従って、ゲート電圧に対して発光素子に流れる電流が１対１で決まる。即ち、駆動用ＴＦＴのゲート電極に入力されるアナログのビデオ信号の電圧に対応して、発光素子に流れる電流が定まり、その電流量に対応した発光量で前記発光素子が発光する。

【００２６】以上のように、ビデオ信号によって発光素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

【００２７】しかしながら、上記アナログ駆動はＴＦＴの特性バラツキに非常に弱いという欠点がある。例えば、同じ階調を表示する複数の画素において、各画素が有するスイッチング用ＴＦＴの電流電圧特性が異なる場合を想定する。この場合、各スイッチング用ＴＦＴに流れる電流は異なるものとなり、電流のバラツキの程度にもよるが、各画素の駆動用ＴＦＴには異なるゲート電圧がかかることになる。その結果、各発光素子に対して異なる電流が流れ（図２０（Ｂ））、各発光素子の発光量が異なり、同じ階調表示を行えなくなる。

【００２８】また、駆動用ＴＦＴの電流電圧特性にバラツキがあれば、各画素の駆動用ＴＦＴに等しいゲート電圧がかかったとしても、図２０（Ｂ）に示した駆動用ＴＦＴの電流電圧特性は変化し、発光素子に流れる電流量は異なったものとなる。さらに、発光素子に流れる電流量はゲート電圧の変化に対して指数的に変化するため（図２０（Ａ））、駆動用ＴＦＴの電流電圧特性が僅かでも変化すれば、発光素子に流れる電流は大きく異なるといった事態が生じうる。その結果、駆動用ＴＦＴの電流電圧特性に僅かなバラツキがあれば、同じ電圧の信号を入力しても発光素子の発光量が隣接画素で大きく異なってしまう。

【００２９】実際には、スイッチング用ＴＦＴと駆動用ＴＦＴとの、両者のバラツキの相乗効果となるので条件的にはさらに厳しい。このように、アナログ駆動はＴＦＴの特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型の自発光型ディスプレイの階調表示における障害となっていた。

【００３０】本願発明は上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型の自発光型ディスプレイを提供することを課題とする。そして、そのようなアクティブマトリクス型の自発光型ディスプレイを表示用ディスプレイとして具備する高性能な電子機器（電子デバイス）を提供することを課題とする。

【００３１】

【課題を解決するための手段】本願発明者は、アナログ駆動の問題は、アナログのビデオ信号によってゲート電圧を制御し、またゲート電圧によって発光素子に流れる電流量を制御することに起因すると考えた。

【００３２】従来のアナログ駆動の場合、ゲート電圧が変化すると発光素子に流れる電流が急激に変化するため、発光素子に流れる電流量はＴＦＴの特性のバラツキの影響を受けやすくなるという問題点が生じる。言い換えると、ＴＦＴの特性のバラツキによって、複数の画素に等しいアナログのビデオ信号が入力されても駆動用ＴＦＴのゲート電圧が異なり、また仮に、駆動用ＴＦＴのゲート電圧が等しくても発光素子に流れる電流は大きく異なるという不具合が生じるのである。そしてその結果、所望の階調が得られないという問題が生じる。

【００３３】そこで本願発明者は、発光素子の発する光の量の制御を、アナログのビデオ信号を用いて発光素子に流れる電流量を制御するのではなく、発光素子が発光する時間の制御によって行うことを考えた。この場合、ビデオ信号にはデジタル信号（デジタルデータ信号という）が用いられ、駆動用ＴＦＴ及び発光素子の状態はそれぞれ、オンまたはオフ及び、発光または非発光という２つ状態をとる。このように本願発明では発光素子の発する光の量を時間で制御し、階調表示を行う。発光素子の発光時間を制御することで階調表示を行う駆動方法を時分割方式の駆動方法と呼ぶ。なお時分割方式の駆動方法によって行われる階調表示を時分割階調表示と呼ぶ。

【００３４】上記構成によって本願発明では、ＴＦＴの特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よってＴＦＴの特性のバラツキによって、同じ電圧の信号を入力しても発光素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【００３５】具体的には以下のように時分割階調表示を行う。ここではｎビットのデジタルデータ信号により2^n階調の表示を行う場合について説明する。なお、本願発明の自発光型のディスプレイは、ソース信号線駆動回路およびゲート信号線駆動回路をそれぞれ一対有する。

【００３６】まず、１フレーム期間をｎ個の表示期間（Ｔｒ１～Ｔｒｎ）に分割する。ここで、表示領域の全画素にｎビットのデジタルデータ信号を入力し表示する期間を１フレーム期間と呼び、１フレーム期間をさらに分割した領域を表示期間（Ｔｒ１～Ｔｒｎ）と呼ぶ。

【００３７】通常の自発光型のディスプレイでは１秒間に６０以上のフレーム期間を設けることが好ましい。１秒間に表示される画像の数が６０より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【００３８】各表示期間（Ｔｒ１～Ｔｒｎ）はそれぞれ、１フレーム期間内のｎ個の書き込み期間（Ｔａ１～

Ｔａｎ）においてそれぞれ入力された、ｎビットのデジタルデータ信号のうちの１ビット分のデジタルデータ信号に基づいて、表示を行う。最初に出現する書き込み期間をＴａ１と呼び、以下出現する順にＴａ２、Ｔａ３、…、Ｔａｎと呼ぶ。対応する表示期間も、従って、Ｔｒ１～Ｔｒｎの順に出現する。なお、各書き込み期間（Ｔａ１～Ｔａｎ）において、一対あるソース信号線駆動回路およびゲート信号線駆動回路は、それぞれどちらか一方が用いられる。

【００３９】また、各画素は発光素子を有し、前記発光素子は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる。陽極と陰極の一方は画素電極と呼ばれ、ＴＦＴのソース領域またはドレイン領域と接続している。陽極と陰極のもう一方は対向電極と呼ばれ、配線を通じて所定の電位（対向電位）が与えられている。

【００４０】本願発明において、対向電位と電源電位はそれぞれ常に一定の大きさに保たれている。また対向電位と電源電位は、電源電位が画素電極に与えられたときに発光素子が発光する程度の電位差を有する。なお、電源電位とは、発光素子の画素電極と接続するＴＦＴがオンの状態のときに画素電極に与えられる電位である。

【００４１】各書き込み期間において画素に入力されたデジタルデータ信号は、前記画素の有する発光素子の状態（発光または非発光）を選択する。発光状態を選択するデジタルデータ信号が画素に入力された場合、デジタルデータ信号が入力されると同時に、その画素の有する発光素子の画素電極には電源電位が与えられ、発光素子は発光する。一方、非発光状態を選択するデジタルデータ信号が画素に入力された場合、デジタルデータ信号が入力されると同時に、その画素の有する発光素子の画素電極は電源電位を与える配線（電源供給線という）と電気的に切り離され、発光素子は発光しない。また、画素に入力されたデジタルデータ信号は、次のデジタルデータ信号が入力されるまで保持される。言い換えると、各画素に次のデジタルデータ信号が入力されるまで、その画素の有する発光素子は発光または非発光の状態を保持する。

【００４２】その結果、表示期間（Ｔｒ１～Ｔｒｎ）は、対応する書き込み期間（Ｔａ１～Ｔａｎ）が開始され、デジタルデータ信号が入力されると同時に開始される。そして次の書き込み期間が開始され、新しいデジタルデータ信号が入力されると同時に終了する。また同時に次の表示期間が開始する。つまり、表示期間（Ｔｒ１～Ｔｒｎ）はそれぞれ、書き込み期間（Ｔａ１～Ｔａｎ）が開始される時間差によってその期間が定められる。

【００４３】そして、各書き込み期間（Ｔａ１～Ｔａｎ）において、各ビットのデジタルデータ信号が画素に入力された結果、ｎ個の表示期間（Ｔｒ１～Ｔｒｎ）が順に連続して出現する。ｎビット目のデジタルデータ信号は、再び１ビット目のデジタルデータ信号が入力されるまで画素に保持される。再び１ビット目のデジタルデータ信号が画素に入力されると、表示期間Ｔｒｎは終了し、同時にフレーム期間が終了する。

【００４４】表示期間（Ｔｒ１～Ｔｒｎ）の長さは、表示期間（Ｔｒ１～Ｔｒｎ）を短い順に並べた場合に、長さの比が$2^0:2^1:2^2:\cdots:2^{(n-2)}:2^{(n-1)}$となるように設定する。この表示期間の組み合わせで$2^n$階調のうち所望の階調表示を行うことができる。

【００４５】１フレーム期間中に発光素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調が決まる。例えば、ｎ＝８とし、表示期間を短い順に出現させた場合を考える。全部の表示期間で画素が発光した場合の輝度を１００％とすると、Ｔｒ１とＴｒ２において画素が発光した場合には１％の輝度が表現でき、Ｔｒ３とＴｒ５とＴｒ８を選択した場合には６０％の輝度が表現できる。

【００４６】なお、本願発明では、書き込み期間においても画素を表示させることが可能である。そのため、１フレーム期間における表示期間の長さの総和の割合（デューティー比）として高い値を実現することができる。

【００４７】また、本願発明の自発光型のディスプレイは一対のゲート信号線駆動回路と一対のソース信号線駆動回路を有するため、となりあう２つの書き込み期間において、それぞれ異なるソース信号線駆動回路およびゲート信号線駆動回路を用いることによって、となりあう２つの書き込み期間を互いに一部重ねることが可能である。具体的には例えば、書き込み期間Ｔａ２を書き込み期間Ｔａ１の終了する前に開始することが可能である。そして、となりあう２つの書き込み期間を互いに一部重ねることによって、表示期間を対応する書き込み期間よりも短く設定することが可能となり、非常に短い表示期間を設定することが可能となる。その結果、高い階調数を実現することが可能となる。

【００４８】なお、本願発明では、となりあう表示期間の長さの和Ｔｒ１＋Ｔｒ２、Ｔｒ２＋Ｔｒ３、…、Ｔｒｎ＋（次のフレームの最初の表示期間Ｔｒ１）がそれぞれ、対応する書き込み期間Ｔａ１、Ｔａ２、…、Ｔａｎの長さ以上であることが必要である。また当然であるが、同じゲート信号線駆動回路を用いる書き込み期間の長さの和が１フレーム期間よりも短いことが必要である。

【００４９】また、前記電源電位と前記対向電位は、本願発明の自発光型のディスプレイに、外付けのＩＣ等により設けられた電源によって与えられる。現在の典型的な自発光型のディスプレイでは、画素の発光する面積あたりの発光量が２００ｃｄ／m^2の場合、画素部の面積あたりの電流が数ｍＡ／ｃm^2程度必要となる。そのため、画面サイズが大きくなると、前記ＩＣ等に設けられ

た電源から与えられる電位の高さを外付けのスイッチによって制御することが困難になる。本願発明においては、電源電位と対向電位は常に一定に保たれており、ＩＣに設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

【００５０】以下に、本願発明の構成を示す。

【００５１】一対のソース信号線駆動回路と、一対のゲート信号線駆動回路と、画素部とを有する電子装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、発光素子と、一対の駆動用ＴＦＴと、一対のスイッチング用ＴＦＴと、一対の消去用ＴＦＴとをそれぞれ有し、前記発光素子の発光は、前記一対の駆動用ＴＦＴによって制御され、前記一対の駆動用ＴＦＴの一方は、前記一対のスイッチング用ＴＦＴの一方と、前記一対の消去用ＴＦＴの一方とによって制御され、前記一対の駆動用ＴＦＴの残る一方は、前記一対のスイッチング用ＴＦＴの残る一方と、前記一対の消去用ＴＦＴの残る一方とによって制御され、前記発光素子の発光する時間を制御することで階調表示を行うことを特徴とする電子装置が提供される。

【００５２】第１のソース信号線駆動回路と、第２のソース信号線駆動回路と、第１のゲート信号線駆動回路と、第２のゲート信号線駆動回路と、画素部と、前記第１のソース信号線駆動回路に接続された複数の第１のソース信号線と、前記第２のソース信号線駆動回路に接続された複数の第２のソース信号線と、前記第１のゲート信号線駆動回路に接続された複数の第１のゲート信号線と、前記第２のゲート信号線駆動回路に接続された複数の第２のゲート信号線と、電源供給線とを有する電子装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、第１のスイッチング用ＴＦＴと、第２のスイッチング用ＴＦＴと、第１の消去用ＴＦＴと、第２の消去用ＴＦＴと、第１の駆動用ＴＦＴと、第２の駆動用ＴＦＴと、発光素子とをそれぞれ有し、前記第１のスイッチング用ＴＦＴが有するゲート電極は、前記第１のゲート信号線と接続されており、前記第２のスイッチング用ＴＦＴが有するゲート電極は、前記第２のゲート信号線と接続されており、前記第１のスイッチング用ＴＦＴが有するソース領域とドレイン領域は、一方は前記第１のソース信号線と、もう一方は前記第１の駆動用ＴＦＴが有するゲート電極と接続されており、前記第２のスイッチング用ＴＦＴが有するソース領域とドレイン領域は、一方は前記第２のソース信号線と、もう一方は前記第２の駆動用ＴＦＴが有するゲート電極と接続されており、前記第１の消去用ＴＦＴが有するゲート電極は、前記第１のゲート信号線と接続されており、前記第２の消去用ＴＦＴが有するゲート電極は、前記第２のゲート信号線と接続されており、前記第１の消去用ＴＦＴが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記第２の駆動用ＴＦＴが有するゲート電極と接続されており、前記第２の消去用ＴＦＴが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記第１の駆動用ＴＦＴが有するゲート電極と接続されており、前記第１の駆動用ＴＦＴが有するソース領域とドレイン領域はそれぞれ、一方は前記電源供給線に、もう一方は前記発光素子に接続されており、前記第２の駆動用ＴＦＴが有するソース領域とドレイン領域はそれぞれ、一方は前記電源供給線に、もう一方は前記発光素子に接続されていることを特徴とする電子装置が提供される。

【００５３】前記第１のスイッチング用ＴＦＴと前記第１の消去用ＴＦＴは、同時にオンの状態またはオフの状態に切り替わっても良く

前記第２のスイッチング用ＴＦＴと前記第２の消去用ＴＦＴは、同時にオンの状態またはオフの状態に切り替わっても良い。

【００５４】前記第１の駆動用ＴＦＴ及び前記第２の駆動用ＴＦＴはそれぞれ、前記各駆動用ＴＦＴが有するゲート電極に前記電源供給線の電位が与えられるとオフの状態になっても良い。

【００５５】前記電子装置であって、かつ、１フレーム期間内にｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎとｎ個の表示期間Ｔｒ１、Ｔｒ２、･･･、Ｔｒｎとが設けられており、前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎはこの順序で出現し、前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、･･･、Ｔｒｎはこの順序で出現し、前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎのそれぞれが開始されてから、前記ｎ個の各書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎの次の書き込み期間が開始されるまでの期間が、表示期間Ｔｒ１、Ｔｒ２、…、Ｔｒｎであり、前記書き込み期間Ｔａｎの次に出現する書き込み期間は次のフレーム期間において最初に出現する書き込み期間Ｔａ１’であり、前記表示期間Ｔｒｎの次に出現する表示期間は次のフレーム期間において最初に出現する表示期間Ｔｒ１’であり、前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎは、ｉ個の書き込み期間（ｉは０以上ｎ以下の整数）と（ｎ－ｉ）個の書き込み期間とに分けられ、前記ｉ個の書き込み期間においてそれぞれ、前記第１のソース信号線駆動回路から前記第１のソース信号線を介して、デジタルデータ信号が前記複数の画素の全てに入力され、前記（ｎ－ｉ）個の書き込み期間においてそれぞれ、前記第２のソース信号線駆動回路から前記第２のソース信号線を介して、デジタルデータ信号が前記複数の画素の全てに入力され、前記ｉ個の書き込み期間においてそれぞれ、前記ｉ個の各書き込み期間以前に前記第２のソース信号線駆動回路から入力された前記デジタルデータ信号が前記複数の画素の全てにおいて消去され、前記（ｎ－ｉ）個の書き込み期間においてそれぞれ、前記（ｎ－ｉ）個の

各書き込み期間以前に前記第１のソース信号線駆動回路から入力された前記デジタルデータ信号が前記複数の画素の全てにおいて消去され、前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎのそれぞれと、前記ｎ個の各書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎの次の書き込み期間Ｔａ２、Ｔａ３･･･、Ｔａ１’とからなる２つのとなりあう書き込み期間の組（Ｔａ１、Ｔａ２）、（Ｔａ２、Ｔａ３）、･･･、（Ｔａ（ｎ－１）、Ｔａｎ）、（Ｔａｎ、Ｔａ１’）は、ｊ個のとなりあう書き込み期間の組（ｊは０以上（ｎ－１）以下の整数）と（ｎ－ｊ）個のとなりあう書き込み期間の組とに分けられ、前記ｊ個のとなりあう書き込み期間の組のそれぞれにおいて、２つの書き込み期間は互いに一部重なり、前記（ｎ－ｊ）個のとなりあう書き込み期間の組のそれぞれにおいて、２つの書き込み期間は互いに重ならず、前記ｊ個のとなりあう書き込み期間の組それぞれにおいて、一方の書き込み期間は、前記第１のソース信号線駆動回路からデジタルデータ信号が前記複数の画素の全てに入力され、残る一方の書き込み期間は、前記第２のソース信号線駆動回路からデジタルデータ信号が前記複数の画素の全てに入力され、前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎにおいてそれぞれ、前記複数の画素がそれぞれ有する前記発光素子は、前記複数の画素に入力された前記デジタルデータ信号に基づいて、発光状態となるか非発光状態となるかを選択され、前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、…、Ｔｒｎにおいてそれぞれ、前記複数の画素がそれぞれ有する前記発光素子は、前記デジタルデータ信号に基づいて、それぞれ発光状態または非発光状態となり、前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、…、Ｔｒｎのうちのｍ個の表示期間（ｍは０以上ｎ以下の整数）においてそれぞれ、前記複数の画素がそれぞれ有する前記発光素子の全てが非発光状態となり、前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、…、Ｔｒｎのそれぞれと、前記ｎ個の各表示期間Ｔｒ１、Ｔｒ２、･･･、Ｔｒｎの次の書き込み期間Ｔｒ２、Ｔｒ３、･･･、Ｔｒ１’とからなる２つのとなりあう書き込み期間の長さの和Ｔｒ１+Ｔｒ２、Ｔｒ２+Ｔｒ３、…、Ｔｒｎ+Ｔｒ１’はそれぞれ、前記書き込み期間Ｔａ１、Ｔａ２、…、Ｔａｎの長さ以上であることを特徴とする電子装置が提供される。

【００５６】前記（ｎ－ｍ）個の表示期間の長さの比が、ｋ個の期間Ｔ１、Ｔ２、･･･、Ｔｋ（ｋは１以上（ｎ－ｍ）以下の整数）を（ｎ－ｍ－ｋ）回分割した結果できる（ｎ－ｍ）個の期間の長さの比と一致し、前記ｋ個の期間Ｔ１、Ｔ２、･･･、Ｔｋの長さの比は、短い順に並べた場合、$2^0 : 2^1 : \cdots : 2^{(k-1)}$ で表されても良い。

【００５７】前記ｎ個のとなりあう書き込み期間の組（Ｔａ１、Ｔａ２）、（Ｔａ２、Ｔａ３）、･･･、（Ｔａｎ、Ｔａ１’）のうち少なくとも１つのとなりあう書き込み期間の組は、２つの書き込み期間が互いに一部重なっても良い。

【００５８】前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、…、Ｔｒｎのうち少なくとも１つの表示期間において、前記複数の画素がそれぞれ有する前記発光素子の全てが非発光状態となっても良い。

【００５９】前記ｎ個の表示期間Ｔｒ１、Ｔｒ２、…、Ｔｒｎにおいて、前記複数の画素がそれぞれ有する前記発光素子の全てが非発光状態となる表示期間がなくても良い。

【００６０】前記ｉ個の書き込み期間の長さは全て同じであり、前記（ｎ－ｉ）個の書き込み期間の長さは全て同じであっても良い。

【００６１】前記ｎ個の書き込み期間Ｔａ１、Ｔａ２、･･･、Ｔａｎの長さは全て同じであっても良い。

【００６２】前記ｉ個の書き込み期間と前記（ｎ－ｉ）個の書き込み期間は、交互に出現しても良い。

【００６３】前記（ｎ－ｍ）個の表示期間の長さの比は、短い順に並べた場合、$2^0 : 2^1 : \cdots : 2^{(n-m-1)}$ で表されても良い。

【００６４】前記ソース信号線駆動回路は、前記画素部と同一の基板上にＴＦＴを用いて形成され、その駆動周波数は１０ＭＨｚ以上であっても良い。

【００６５】前記発光素子は、画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた有機化合物層とを有していても良い。

【００６６】前記対向電極は一定の電位に保たれ、前記電源供給線は一定の電位に保たれていても良い。

【００６７】前記有機化合物層は低分子系有機物質またはポリマー系有機物質であっても良い。

【００６８】前記低分子系有機物質は、Alq_3（トリス－８－キノリライトーアルミニウム）またはＴＰＤ（トリフェニルアミン誘導体）を含んでいても良い。

【００６９】前記ポリマー系有機物質は、ＰＰＶ（ポリフェニレンビニレン）、ＰＶＫ（ポリビニルカルバゾール）またはポリカーボネートを含んでいても良い。

【００７０】前記電子装置を用いることを特徴とする表示装置が提供される。

【００７１】前記電子装置を用いることを特徴とするビデオカメラが提供される。

【００７２】前記電子装置を用いることを特徴とする頭部取り付け型の表示装置が提供される。

【００７３】前記電子装置を用いることを特徴とするＤＶＤプレーヤーが提供される。

【００７４】前記電子装置を用いることを特徴とするヘッドマウントディスプレイが提供される。

【００７５】前記電子装置を用いることを特徴とするパーソナルコンピュータが提供される。

【００７６】前記電子装置を用いることを特徴とする携帯電話が提供される。

【００７７】前記電子装置を用いることを特徴とするカーオーディオが提供される。

【００７８】

【発明の実施の形態】以下に、本願発明の自発光型ディスプレイの構造及びその駆動方法について説明する。ここではｎビットのデジタルデータ信号により2^n階調の表示を行う場合について説明する。

【００７９】図１に本願発明の自発光型ディスプレイのブロック図の一例を示す。図１の自発光型のディスプレイは、基板上に形成されたＴＦＴによって画素部１０１、画素部の周辺に配置された一対のソース信号線駆動回路（１０２、１０４）、および一対のゲート信号線駆動回路（１０３、１０５）を有している。

【００８０】最初に、ソース信号線駆動回路の構成と動作について簡単に説明する。図１に示すように、第１のソース信号線駆動回路１０２はシフトレジスタ１０２ａ、ラッチ（Ａ）１０２ｂ、ラッチ（Ｂ）１０２ｃ等を有し、第２のソース信号線駆動回路１０４はシフトレジスタ１０４ａ、ラッチ（Ａ）１０４ｂ、ラッチ（Ｂ）１０４ｃ等を有している。

【００８１】まず、第１のソース信号線駆動回路１０２において、シフトレジスタ１０２ａにクロック信号（ＣＬＫ）およびスタートパルス（ＳＰ）が入力されると、シフトレジスタ１０２ａは、これらのクロック信号（ＣＬＫ）およびスタートパルス（ＳＰ）に基づきタイミング信号を順に発生させ、バッファ等（図示せず）を通して後段の回路へタイミング信号を順次供給する。同様に、第２のソース信号線駆動回路１０４において、シフトレジスタ１０４ａにクロック信号（ＣＬＫ）およびスタートパルス（ＳＰ）が入力されると、シフトレジスタ１０４ａは、これらのクロック信号（ＣＬＫ）およびスタートパルス（ＳＰ）に基づきタイミング信号を順に発生させ、バッファ等（図示せず）を通して後段の回路へタイミング信号を順次供給する。一対のソース信号線駆動回路（１０２、１０４）に入力されるクロック信号（ＣＬＫ）及びスタートパルス（ＳＰ）は、共通であっても良いし、別々であっても良い。

【００８２】一対のソース信号線駆動回路（１０２、１０４）においてそれぞれ、シフトレジスタ（１０２ａ、１０４ａ）からのタイミング信号は、バッファ等によって電流増幅される。バッファは、様々な負荷容量（寄生容量を含む）によって生ずる、タイミング信号の立ち上がりまたは立ち下がりの”鈍り”を防ぐために設けられる。

【００８３】第１のソース信号線駆動回路１０２において、バッファによって電流増幅されたタイミング信号は、ラッチ（Ａ）１０２ｂに供給される。ラッチ（Ａ）１０２ｂは、ｎビットデジタルデータ信号（n-bit digital data signals）を処理する複数のステージのラッチを有している。ラッチ（Ａ）１０２ｂは、前記タイミング信号が入力されると、時分割階調データ信号発生回路１０６から供給されるｎビットデジタルデータ信号を順次取り込み、保持する。

【００８４】ラッチ（Ａ）１０２ｂの全てのステージのラッチにデジタルデータ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ（Ａ）１０２ｂ中で一番左側のステージのラッチにデジタルデータ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルデータ信号の書き込みが終了する時点までの時間間隔がライン期間である。

【００８５】なお、ラッチ（Ａ）１０２ｂがデジタルデータ信号を取り込む際は、ラッチ（Ａ）１０２ｂが有する複数のステージのラッチに、順にデジタルデータ信号が入力される。しかし本願発明はこの構成に限定されない。一対のソース信号線駆動回路１０２及び１０４のいずれか一方または両方において、ラッチ（Ａ）が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルデータ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば４つのステージごとにラッチをグループ分けした場合、４分割で分割駆動すると言う。

【００８６】１ライン期間が終了すると、ラッチ（Ｂ）１０２ｃにラッチシグナル（LatchSignal）が供給される。この瞬間、ラッチ（Ａ）１０２ｂに書き込まれ保持されているデジタルデータ信号は、ラッチ（Ｂ）１０２ｃに一斉に送出され、ラッチ（Ｂ）１０２ｃの全ステージのラッチに書き込まれ、保持される。

【００８７】デジタルデータ信号をラッチ（Ｂ）１０２ｃに送出し終えたラッチ（Ａ）１０２ｂは、シフトレジスタ１０２ａからのタイミング信号に基づき、再び時分割階調データ信号発生回路１０６から供給されるデジタルデータ信号を順次取り込み、保持する。

【００８８】この２順目のライン期間中には、ラッチ（Ｂ）１０２ｂに書き込まれ、保持されているデジタルデータ信号がソース信号線に入力される。

【００８９】第２のソース信号線駆動回路１０４においても、第１のソース信号線駆動回路１０２において行われる手続きと同様な手続きが行われる。まず、バッファによって電流増幅されたタイミング信号は、ラッチ（Ａ）１０４ｂに供給される。そしてラッチ（Ａ）１０４は、前記タイミング信号が入力されると、時分割階調データ信号発生回路１０６から供給されるｎビットデジタルデータ信号を順次取り込み、保持する。なお、ラッチ（Ａ）１０４ｂがデジタルデータ信号を取り込む際は、ラッチ（Ａ）１０４ｂが有する複数のステージのラッチに、順にデジタルデータ信号が入力されても良いし、ラッチ（Ａ）が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルデータ信号を入力する、いわゆる分割駆動

を行っても良い。１ライン期間が終了すると、ラッチ（Ｂ）１０４ｃにラッチシグナル（Latch Signal）が供給される。この瞬間、ラッチ（Ａ）１０４ｂに書き込まれ保持されているデジタルデータ信号は、ラッチ（Ｂ）１０４ｃに一斉に送出され、ラッチ（Ｂ）１０４ｃの全ステージのラッチに書き込まれ、保持される。デジタルデータ信号をラッチ（Ｂ）１０４ｃに送出し終えたラッチ（Ａ）１０４ｂは、シフトレジスタ１０４ａからのタイミング信号に基づき、再び時分割階調データ信号発生回路１０６から供給されるデジタルデータ信号を順次取り込み、保持する。この２順目のライン期間中には、ラッチ（Ｂ）１０４ｂに書き込まれ、保持されているデジタルデータ信号がソース信号線に入力される。

【００９０】なお、本実施の形態においては、一対のソース信号線駆動回路（１０２、１０４）はそれぞれ、ラッチ（Ａ）（１０２ｂ、１０４ｂ）、ラッチ（Ｂ）（１０２ｃ、１０４ｃ）を有しており、ラッチに保持されているデジタルデータ信号は一斉にソース信号線に入力される（線順次の駆動という）が、本願発明はこの構成に限定されない。一対のソース信号線駆動回路１０２及び１０４のいずれか一方または両方において、ラッチ（Ａ）とラッチ（Ｂ）の代わりに、ｎビットデジタルデータ信号を処理する複数のステージのトランスミッションゲートを設けてもよい。この場合、各ステージのトランスミッションゲートはシフトレジスタ、時分割階調データ信号発生回路１０６及びソース信号線と接続されている。そして各ステージのトランスミッションゲートにシフトレジスタからのタイミング信号が入力されると、時分割階調データ信号発生回路１０６から供給されるデジタルデータ信号は、前記トランスミッションゲートを介してソース信号線に入力される。シフトレジスタからのタイミング信号は順に各ステージのトランスミッションゲートに入力され、その結果、デジタルデータ信号は順に各ステージのトランスミッションゲートに接続するソース信号線に入力される。全てのステージのトランスミッションゲートにシフトレジスタからのタイミング信号が入力され、ソース信号線へのデジタルデータ信号の入力が終了すると、各ステージのトランスミッションゲートは再び、シフトレジスタからのタイミング信号に基づき、時分割階調データ信号発生回路１０６から供給されるデジタルデータ信号をソース信号線へ伝える。このようにラッチ（Ａ）とラッチ（Ｂ）の代わりに、複数のステージのトランスミッションゲートを設けた場合、デジタルデータ信号は、順次ソース信号線へ入力される、いわゆる点順次の駆動となる。なお、シフトレジスタとトランスミッションゲートの間に、レベルシフタ、バッファ等を有していても良い。

【００９１】一方、第１のゲート信号線駆動回路１０３及び第２のゲート信号線駆動回路１０５は、それぞれシフトレジスタ、バッファ（いずれも図示せず）等を有している。なお、第１のゲート信号線駆動回路１０３及び第２のゲート信号線駆動回路１０５は、レベルシフタを有していても良い。

【００９２】一対のゲート信号線駆動回路１０３及び１０５ではそれぞれ、シフトレジスタ（図示せず）からのタイミング信号がバッファ（図示せず）に供給され、対応するゲート信号線（走査線とも呼ぶ）に供給される。ゲート信号線には、１ライン分の画素ＴＦＴのゲート電極が接続されており、１ライン分全ての画素ＴＦＴを同時にオンの状態にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【００９３】時分割階調データ信号発生回路１０６においては、アナログまたはデジタルのビデオ信号（画像情報を含む信号）が時分割階調を行うためのデジタルデータ信号（Digital Data Signals）に変換され、ラッチ（Ａ）１０２ｂおよび１０４ｂに入力される。またこの時分割階調データ信号発生回路１０６は、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路でもある。

【００９４】この時分割階調データ信号発生回路１０６は、本願発明の自発光型ディスプレイの外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が本願発明の自発光型のディスプレイに入力される構成となる。この場合、本願発明の自発光型のディスプレイを表示部として有する電子機器は、本願発明の自発光型のディスプレイと時分割階調データ信号発生回路を別の部品として含むことになる。

【００９５】また、時分割階調データ信号発生回路１０６をＩＣチップなどの形で本願発明の自発光型のディスプレイに実装しても良い。その場合、そのＩＣチップで形成されたデジタルデータ信号が本願発明の自発光型のディスプレイに入力される構成となる。この場合、本願発明の自発光型のディスプレイを表示部として有する電子機器は、時分割階調データ信号発生回路を含むＩＣチップを実装した本願発明の自発光型のディスプレイを部品として含むことになる。

【００９６】また最終的には、時分割階調データ信号発生回路１０６を画素部１０１、一対のソース信号線駆動回路（１０２、１０４）、及び一対のゲート信号線駆動回路（１０３、１０５）と同一の基板上にＴＦＴを用いて形成しうる。この場合、自発光型のディスプレイに画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。この場合の時分割階調データ信号発生回路はポリシリコン膜を活性層とするＴＦＴで形成しても良い。また、この場合、本願発明の自発光型のディスプレイを表示部として有する電子機器は、時分割階調データ信号発生回路が自発光型のディスプレイ自体に内蔵されており、電子機器の小型化を図ることが可能である。

【００９７】画素部１０１の拡大図を図２に示す。画素

部１０１には、第１のソース信号線駆動回路１０２を構成するラッチ（Ｂ）１０２ｃに接続されたソース信号線（Ｓａ１～Ｓａｘ）、第２のソース信号線駆動回路１０４を構成するラッチ（Ｂ）１０４ｃに接続されたソース信号線（Ｓｂ１～Ｓｂｘ）、ＦＰＣを介して自発光型ディスプレイの外部の電源に接続された電源供給線（Ｖ１～Ｖｘ）、第１のゲート信号線駆動回路１０３に接続されたゲート信号線（Ｇａ１～Ｇａｙ）、第２のゲート信号線駆動回路１０５に接続されたゲート信号線（Ｇｂ１～Ｇｂｙ）が設けられている。

【００９８】画素部１０１は、画素１０７がマトリクス状に配列してなっており、画素１０７は、ソース信号線（Ｓａ１、Ｓｂ１）と、電源供給線（Ｖ１）と、ゲート信号線（Ｇａ１、Ｇｂ１）とを備えている。

【００９９】画素１０７の拡大図を図３に示す。図３において、１１３ａ及び１１３ｂはスイッチング用ＴＦＴである。スイッチング用ＴＦＴ１１３ａ及び１１３ｂのゲート電極は、ゲート信号線Ｇａ及びＧｂにそれぞれ接続されている。スイッチング用ＴＦＴ１１３ａのソース領域とドレイン領域は、一方がソース信号線Ｓａに、もう一方が駆動用ＴＦＴ１０８ａのゲート電極、各画素が有するコンデンサ１１２ａ及び消去用ＴＦＴ１０９ｂのソース領域又はドレイン領域にそれぞれ接続されている。また、スイッチング用ＴＦＴ１１３ｂのソース領域とドレイン領域は、一方がソース信号線Ｓｂに、もう一方が駆動用ＴＦＴ１０８ｂのゲート電極、各画素が有するコンデンサ１１２ｂ及び消去用ＴＦＴ１０９ａのソース領域又はドレイン領域にそれぞれ接続されている。

【０１００】コンデンサ１１２ａ及び１１２ｂはそれぞれ、スイッチング用ＴＦＴ１１３ａ及び１１３ｂが非選択状態（オフの状態）にある時、駆動用ＴＦＴ１０８ａ及び１０８ｂのゲート電圧を保持するために設けられている。なお、本実施の形態ではコンデンサ１１２ａ及び１１２ｂを設ける構成を示したが、本願発明はこの構成に限定されず、コンデンサ１１２ａ及び１１２ｂのいずれか一方または両方を設けなくても良い。

【０１０１】また消去用ＴＦＴ１０９ａ及び１０９ｂのソース領域とドレイン領域のうち、スイッチング用ＴＦＴ１１３ｂまたは１１３ａのソース領域またはドレイン領域に接続されていない方は、電源供給線Ｖに接続されている。そして消去用ＴＦＴ１０９ａ及び１０９ｂのゲート電極は、ゲート信号線Ｇａ及びＧｂにそれぞれ接続されている。

【０１０２】また、駆動用ＴＦＴ１０８ａ及び１０８ｂのソース領域とドレイン領域は、一方が電源供給線Ｖに接続され、もう一方は発光素子１１０に接続される。電源供給線Ｖはコンデンサ１１２ａ及び１１２ｂに接続されている。

【０１０３】発光素子１１０は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる。陽極が

駆動用ＴＦＴ１０８ａ及び１０８ｂのソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が駆動用ＴＦＴ１０８ａ及び１０８ｂのソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【０１０４】発光素子１１０の対向電極には対向電位が与えられている。また電源供給線Ｖは電源電位が与えられている。対向電位と電源電位はそれぞれ常に一定の大きさに保たれている。また対向電位と電源電位は、電源電位が画素電極に与えられたときに発光素子が発光する程度の電位差を有する。電源電位と対向電位は、本願発明の自発光型のディスプレイに、外付けのＩＣ等により設けられた電源によって与えられる。

【０１０５】現在の典型的な自発光型のディスプレイには、画素の発光する面積あたりの発光量が２００ｃｄ／ｍ²の場合、画素部の面積あたりの電流が数ｍＡ／ｃｍ²程度必要となる。そのため特に画面サイズが大きくなると、ＩＣに設けられた電源から与えられる電位の高さを外付けのスイッチによって制御することが困難になる。本願発明においては、電源電位と対向電位は常に一定に保たれており、ＩＣに設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

【０１０６】そして本願発明において、駆動用ＴＦＴ１０８ａ及び１０８ｂはそれぞれ、ゲート電極に電源電位が与えられたときにオフの状態となることが必要である。

【０１０７】スイッチング用ＴＦＴ（１１３ａ、１１３ｂ）、駆動用ＴＦＴ（１０８ａ、１０８ｂ）、消去用ＴＦＴ（１０９ａ、１０９ｂ）は、ｎチャネル型ＴＦＴでもｐチャネル型ＴＦＴでもどちらでも用いることができる。またスイッチング用ＴＦＴ（１１３ａ、１１３ｂ）、駆動用ＴＦＴ（１０８ａ、１０８ｂ）、消去用ＴＦＴ（１０９ａ、１０９ｂ）は、シングルゲート構造ではなく、ダブルゲート構造やそれ以上のゲート本数を持つ、いわゆるマルチゲート構造を有していても良い。

【０１０８】次に上述した構成を有する本願発明の自発光型ディスプレイの駆動方法について、図４を用いて説明する。ここでは駆動方法の一例として、2^n階調の表示方式について説明する。なお説明には、図１～図３の記号を用いる。

【０１０９】はじめにゲート信号線Ｇａ１に、第１のゲート信号線駆動回路１０３からゲート信号が入力される。その結果、ゲート信号線Ｇａ１に接続されている全ての画素（１ライン目の画素）のスイッチング用ＴＦＴ１１３ａおよび消去用ＴＦＴ１０９ａがオンの状態になる。

【０１１０】そして同時に、ソース信号線（Ｓａ１～Ｓａｘ）に第１のソース信号線駆動回路１０２のラッチ（Ｂ）１０２ｃから、１ビット目のデジタルデータ信号

が入力される。デジタルデータ信号はスイッチング用ＴＦＴ１１３ａを介して駆動用ＴＦＴ１０８ａのゲート電極に入力される。デジタルデータ信号は「０」または「１」の情報を有している。「０」と「１」のデジタルデータ信号は、一方がＨｉ、一方がＬｏの電圧を有する信号である。

【０１１１】また同時に、電源供給線（Ｖ１～Ｖｘ）の電源電位が消去用ＴＦＴ１０９ａを介して駆動用ＴＦＴ１０８ｂのゲート電極に与えられる。その結果、駆動用ＴＦＴ１０８ｂはオフの状態となる。

【０１１２】本実施の形態では、デジタルデータ信号が「０」の情報を有していた場合、駆動用ＴＦＴ１０８ａはオフの状態となる。一方、駆動用ＴＦＴ１０８ｂもオフの状態であるから、発光素子１１０の画素電極には電源電位は与えられない。その結果、「０」の情報を有するデジタルデータ信号が入力された画素が有する発光素子１１０は発光しない。

【０１１３】逆に、「１」の情報を有していた場合、駆動用ＴＦＴ１０８ａはオンの状態となる。従って、駆動用ＴＦＴ１０８ｂの状態（オンまたはオフ）にかかわらず、発光素子１１０の画素電極には電源電位が与えられる。その結果、「１」の情報を有するデジタルデータ信号が入力された画素が有する発光素子１１０は発光する。

【０１１４】このように、１ライン目の画素にデジタルデータ信号が入力されると同時に、発光素子１１０が発光、または非発光を行い、１ライン目の画素は表示を行う。

【０１１５】Ｇａ１へのゲート信号の入力が終了すると同時に、ゲート信号線Ｇａ２に第１のゲート信号線駆動回路１０３からゲート信号が入力される。そしてゲート信号線Ｇａ２に接続されている全ての画素のスイッチング用ＴＦＴ１１３ａおよび消去用ＴＦＴ１０９ａがオンの状態になり、２ライン目の画素にソース信号線（Ｓａ１～Ｓａｘ）から１ビット目のデジタルデータ信号が入力される。そして同時に、２ライン目の画素が有する発光素子の発光、非発光が選択され、２ライン目の画素は表示を行う。

【０１１６】そして順に、ゲート信号線（Ｇａ３～Ｇａｙ）にゲート信号が入力されていく。全てのゲート信号線（Ｇａ１～Ｇａｙ）が選択され、全てのラインの画素に１ビット目のデジタルデータ信号が入力されるまでの期間が書き込み期間Ｔａ１である。

【０１１７】書き込み期間Ｔａ１において、それぞれのラインの画素は、１ビット目のデジタルデータ信号が入力されると同時に表示を行う。またそれぞれのラインの画素に入力された１ビット目のデジタルデータ信号は、次のデジタルデータ信号、すなわち、書き込み期間Ｔａ２において入力される２ビット目のデジタルデータ信号が入力されるまで保持される。画素が１ビット目のデジタルデータ信号に基づいて表示を行っている期間を表示期間Ｔｒ１と呼ぶ。１ライン目、２ライン目およびｙライン目の画素の表示期間Ｔｒ１を図４に示す。各ラインの表示期間Ｔｒ１が開始されるタイミングはそれぞれ時間差を有している。

【０１１８】次に、書き込み期間Ｔａ１が終了する前に書き込み期間Ｔａ２が開始される。言い換えると、１ビット目のデジタルデータ信号が全てのラインの画素に入力される前に、第２のゲート信号線駆動回路１０５からゲート信号線Ｇｂ１へゲート信号が入力される。この場合、画素への１ビット目のデジタルデータ信号の入力と並行して、２ビット目のデジタルデータ信号の入力が行われることになる。また書き込み期間Ｔａ２では、一対のゲート信号線駆動回路のうち、書き込み期間Ｔａ１において用いられる第１のゲート信号線駆動回路１０３と異なる、第２のゲート信号線駆動回路１０５が用いられる。なお、本実施の形態（図４）においては、書き込み期間Ｔａ２は書き込み期間Ｔａ１が終了する前に開始されるが、本願発明はこれに限定されない。すなわち、書き込み期間Ｔａ２は書き込み期間Ｔａ１が終了する前に開始される場合も、書き込み期間Ｔａ１が終了した後に開始される場合も全く同じ駆動方法をとることができる。

【０１１９】ゲート信号線Ｇｂ１にゲート信号が入力されると、ゲート信号線Ｇｂ１に接続されている全ての画素（１ライン目の画素）のスイッチング用ＴＦＴ１１３ｂおよび消去用ＴＦＴ１０９ｂがオンの状態になる。そして同時に、ソース信号線（Ｓｂ１～Ｓｂｘ）に第２のソース信号線駆動回路１０４のラッチ（Ｂ）１０４ｃから、２ビット目のデジタルデータ信号が入力される。デジタルデータ信号はスイッチング用ＴＦＴ１１３ｂを介して駆動用ＴＦＴ１０８ｂのゲート電極に入力される。デジタルデータ信号は「０」または「１」の情報を有しており、「０」と「１」のデジタルデータ信号は、一方がＨｉ、一方がＬｏの電圧を有する信号である。また電源供給線（Ｖ１～Ｖｘ）の電源電位が消去用ＴＦＴ１０９ｂを介して駆動用ＴＦＴ１０８ａのゲート電極に与えられる。その結果、駆動用ＴＦＴ１０８ａはオフの状態となる。

【０１２０】そして書き込み期間Ｔａ１と同様に、１ライン目の画素にデジタルデータ信号が入力されると同時に、発光素子１１０の発光、または非発光が選択され、１ライン目の画素は表示を行う。

【０１２１】そして順に、ゲート信号線（Ｇｂ２～Ｇｂｙ）にゲート信号が入力されていく。全てのゲート信号線（Ｇｂ１～Ｇｂｙ）が選択され、全てのラインの画素に２ビット目のデジタルデータ信号が入力されるまでの期間を書き込み期間Ｔａ２と呼ぶ。

【０１２２】書き込み期間Ｔａ２において、それぞれのラインの画素に２ビット目のデジタルデータ信号が入力

されると、保持されていた１ビット目のデジタルデータ信号は２ビット目のデジタルデータ信号に書き換えられ、それぞれのラインの画素は表示を行う。すなわち、表示期間Ｔｒ１が終了し、表示期間Ｔｒ２となる。またそれぞれのラインの画素において、２ビット目のデジタルデータ信号は、次のデジタルデータ信号、すなわち、書き込み期間Ｔａ３において入力される３ビット目のデジタルデータ信号が入力されるまで保持される。各ラインの表示期間Ｔｒ２が開始されるタイミングはそれぞれ時間差を有している（図４）。

【０１２３】そして同様に、次の書き込み期間Ｔａ３が開始される。本実施の形態（図４）では、書き込み期間Ｔａ２が終了する前に書き込み期間Ｔａ３が開始される。そして書き込み期間Ｔａ３では、一対のゲート信号線駆動回路のうち、書き込み期間Ｔａ２において用いられる第２のゲート信号線駆動回路１０５と異なる、第１のゲート信号線駆動回路１０３が用いられる。なお、書き込み期間Ｔａ３は書き込み期間Ｔａ２が終了後に開始される場合も全く同じ駆動方法をとることができる。そして同様に、順に全てのゲート信号線（Ｇａ１～Ｇａｙ）が選択され、３ビット目のデジタルデータ信号が全ての画素に入力される。全てのラインの画素に３ビット目のデジタルデータ信号が入力し終わるまでの期間を、書き込み期間Ｔａ３と呼ぶ。

【０１２４】書き込み期間Ｔａ３において、それぞれのラインの画素に３ビット目のデジタルデータ信号が入力されると、保持されていた２ビット目のデジタルデータ信号は３ビット目のデジタルデータ信号に書き換えられ、それぞれのラインの画素は表示を行う。すなわち、表示期間Ｔｒ２が終了し、表示期間Ｔｒ３となる。またそれぞれのラインの画素において、３ビット目のデジタルデータ信号は、次の書き込み期間Ｔａ４において４ビット目のデジタルデータ信号が入力されるまで保持される。各ラインの表示期間Ｔｒ３が開始されるタイミングはそれぞれ時間差を有している。

【０１２５】上述した動作はｎビット目のデジタルデータ信号が画素に入力されるまで繰り返し行われ、その結果、表示期間（Ｔｒ１～Ｔｒｎ）が順に連続して出現する（図４）。ｎビット目のデジタルデータ信号は、再び１ビット目のデジタルデータ信号が入力されるまで画素に保持される。再び１ビット目のデジタルデータ信号が画素に入力されると、表示期間Ｔｒｎは終了し、同時にフレーム期間が終了する。全ての表示期間（Ｔｒ１～Ｔｒｎ）が終了すると、１つの画像を表示することができる。本願発明の駆動方法において、１つの画像を表示する期間を１フレーム期間（Ｆ）と呼ぶ。表示期間（Ｔｒ１～Ｔｒｎ）はそれぞれ、対応する書き込み期間（Ｔａ１～Ｔａｎ）が開始されてから、その次の書き込み期間が開始されるまでの期間である。このように表示期間（Ｔｒ１～Ｔｒｎ）はそれぞれ、書き込み期間（Ｔａ１～Ｔａｎ）が開始される時間差によってその期間が定められる。

【０１２６】そして１フレーム期間終了後は、再びゲート信号線Ｇａ１に、第１のゲート信号線駆動回路１０３からゲート信号が入力される。その結果、１ビット目のデジタルデータ信号が画素に入力され、１ライン目の画素が再び表示期間Ｔｒ１となる。そして再び上述した動作を繰り返す。

【０１２７】通常の自発光型のディスプレイでは１秒間に６０以上のフレーム期間を設けることが好ましい。１秒間に表示される画像の数が６０より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【０１２８】表示期間（Ｔｒ１～Ｔｒｎ）の長さは、表示期間（Ｔｒ１～Ｔｒｎ）を短い順に並べた場合に、長さの比が$2^0:2^1:2^2:\cdots:2^{(n-2)}:2^{(n-1)}$となるように設定する。この表示期間の組み合わせで$2^n$階調のうち所望の階調表示を行うことができる。本実施の形態（図４）において、表示期間（Ｔｒ１～Ｔｒｎ）（ｎは偶数とする）を短い順に並べると、Ｔｒ（ｎ－１）、Ｔｒ（ｎ－３）、Ｔｒ（ｎ－５）、…、Ｔｒ１、Ｔｒ２、Ｔｒ４、Ｔｒ６、…、Ｔｒｎとなる。すなわち、本実施の形態（図４）では、表示期間（Ｔｒ１～Ｔｒｎ）の比を、Ｔｒ（ｎ－１）：Ｔｒ（ｎ－３）：Ｔｒ（ｎ－５）：…：Ｔｒ１：Ｔｒ２：Ｔｒ４：Ｔｒ６：…：Ｔｒｎ＝$2^0:2^1:2^2:\cdots:2^{(n/2-1)}:2^{n/2}:2^{(n/2+1)}:2^{(n/2+2)}):\cdots:2^{(n-1)}$となるように設定する。

【０１２９】１フレーム期間中に発光素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調が決まる。例えば、ｎ＝８のとき、つまり、表示期間（Ｔｒ１～Ｔｒ８）の長さの比が、Ｔｒ１：Ｔｒ２：Ｔｒ３：Ｔｒ４：Ｔｒ５：Ｔｒ６：Ｔｒ７：Ｔｒ８＝$2^3:2^4:2^2:2^5:2^1:2^6:2^0:2^7$となる場合を考える。この場合、全部の表示期間で画素が発光した場合の輝度を１００％とすると、Ｔｒ４とＴｒ５において画素が発光した場合には１３％の輝度が表現でき、Ｔｒ２とＴｒ３とＴｒ８を選択した場合には５８％の輝度が表現できる。

【０１３０】本願発明は上記構成によって、ＴＦＴの特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よってＴＦＴの特性のバラツキによって、同じ電圧の信号を入力しても発光素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【０１３１】なお、同じゲート信号線駆動回路を用いる書き込み期間はそれぞれ同じ長さである。本実施の形態（図４）では、書き込み期間（Ｔａ１～Ｔａｎ）を一対のゲート信号線駆動回路を用いて交互に行っているため、Ｔａ１＝Ｔａ３＝…＝Ｔａ（ｎ－１）および、Ｔａ

２＝Ｔａ４＝…＝Ｔａｎが成り立つ。異なるゲート信号線駆動回路を用いる書き込み期間の長さは、同じであっても異なっていてもよい。一対のゲート信号線駆動回路が、同じ駆動回路構造を有し、共通のクロック信号（ＣＬＫ）およびスタートパルス（ＳＰ）を用いる場合、異なるゲート信号線駆動回路を用いる書き込み期間の長さは等しい。一方、一対のゲート信号線駆動回路が、異なる駆動回路構造（異なる分割数等）を有する場合、または、異なるクロック信号（ＣＬＫ）およびスタートパルス（ＳＰ）を用いる場合、異なるゲート信号線駆動回路を用いる書き込み期間の長さは異なりうる。

【０１３２】なお、本願発明では、となりあう表示期間の長さの和Ｔｒ１＋Ｔｒ２、Ｔｒ２＋Ｔｒ３、…、Ｔｒｎ＋（次のフレームの最初の表示期間Ｔｒ１）がそれぞれ、対応する書き込み期間Ｔａ１、Ｔａ２、…、Ｔａｎの長さ以上であることが必要である。例えば、本実施の形態（図４）において書き込み期間を全て一定（Ｔａ）とした場合、となりあう表示期間の長さの和のうち最小の値を取るＴｒ２＋Ｔｒ３が書き込み期間Ｔａの長さ以上であることが必要である。具体的にｎ＝８とすると、表示期間の和Ｔｒ２＋Ｔｒ３は（１フレーム期間）×（2^4+2^2）／（$2^0+2^1+\cdots+2^7$）となるため、書き込み期間Ｔａの長さは（１フレーム期間）×２０／２５５以下であることが必要となる。また、同じゲート信号線駆動回路を用いる書き込み期間の長さの和が１フレーム期間よりも短いことが必要である。

【０１３３】また説明を簡便にするために、本実施の形態（図４）ではｎを偶数としているが、本願発明はこれに限定されないのは言うまでもない。

【０１３４】また本実施の形態（図４）においては、書き込み期間Ｔａ２およびＴａ３はそれぞれ、書き込み期間Ｔａ１およびＴａ２が終了する前に開始されるが、本願発明はこれに限定されない。本願発明においては、となりあう書き込み期間は一部重なっても、重ならなくてもよい。となりあう書き込み期間が重なるか否かは、表示期間（Ｔｒ１～Ｔｒｎ）の長さを設定した結果、書き込み期間（Ｔａ１～Ｔａｎ）の長さとの兼ね合いで決まる。

【０１３５】また説明を簡便にするために、本実施の形態（図４）では、書き込み期間（Ｔａ１～Ｔａｎ）において、一対のゲート信号線駆動回路を交互に用いているが、本願発明はこれに限定されない。本願発明において、となりあう書き込み期間が重ならない場合、その２つの書き込み期間において用いられるゲート信号線駆動回路は、同じであっても異なっても良い。一方、本願発明において、となりあう書き込み期間が重なる場合、その２つの書き込み期間において用いられるゲート信号線駆動回路は異なるものであることが必要である。

【０１３６】また、本願発明では、2^n階調表示に必要なｎビットのデジタルデータ信号の他に、全ての画素において発光素子が非発光を選択するデジタルデータ信号（本実施の形態では、全て「０」の情報を有するデジタルデータ信号）を用いた書き込み期間を追加することによって、全ての画素が発光を行わない表示期間を設けることができる。前記書き込み期間および表示期間をそれぞれ、非発光の書き込み期間および非発光の表示期間と呼ぶ。従来のアナログ駆動の場合、自発光型のディスプレイに全白の画像を表示させると、常に発光素子が発光することになり、有機化合物層の劣化を早める原因となり得る。本願発明では非発光の表示期間を設けることによって、有機化合物層の劣化をある程度抑えることができる。

【０１３７】非発光の表示期間をｍ個設ける場合、表示期間（Ｔｒ１～Ｔｒ（ｎ＋ｍ））は、ｍ個の非発光の表示期間と2^n階調表示に必要なｎ個の表示期間から成る（実施例３及び実施例４を参照）。また、表示期間（Ｔｒ１～Ｔｒ（ｎ＋ｍ））に対応して、書き込み期間（Ｔａ１～Ｔａ（ｎ＋ｍ））は、ｍ個の非発光の書き込み期間と2^n階調表示に必要なｎ個の書き込み期間から成る。この場合、非発光の表示期間は、表示期間（Ｔｒ１～Ｔｒ（ｎ＋ｍ））のどこに出現しても構わない。また、全ての表示期間（Ｔｒ１～Ｔｒ（ｎ＋ｍ））と全ての書き込み期間（Ｔａ１～Ｔａ（ｎ＋ｍ））について、となりあう表示期間の長さの和Ｔｒｉ＋Ｔｒｊが、先に出現する表示期間Ｔｒｉに対応する書き込み期間Ｔａｉの長さ以上であることを満たす範囲で、非発光の表示期間を自由に設定しても構わない。

【０１３８】本願発明では、表示期間と書き込み期間は一部重なっている。言い換えると、書き込み期間においても画素を表示させることが可能である。そのため、１フレーム期間における表示期間の長さの総和の割合（デューティー比）として高い値を実現することができる。特に、本実施の形態（図４）のように非発光の表示期間を設けない場合、デューティー比は１００％となる。もちろん、非発光の表示期間を適度に設けることによって、１００％以下の任意のデューティー比を実現することができる。

【０１３９】また本願発明では、それぞれ一対のゲート信号線駆動回路とソース信号線駆動回路を設けるため、異なるゲート信号線駆動回路とソース信号線駆動回路の組を用いることによって、となりあう書き込み期間を一部重ねることが可能となる。これにより、表示期間を対応する書き込み期間よりも短く設定することが可能となり、非常に短い表示期間を設定することが可能となる。その結果、高い階調数を実現することが可能となる。

【０１４０】本願発明では、表示期間（Ｔｒ１～Ｔｒｎ）の長さを、表示期間（Ｔｒ１～Ｔｒｎ）を短い順に並べた場合に、長さの比が$2^0:2^1:2^2:\cdots:2^{(n-2)}:2^{(n-1)}$となる範囲で自由に設定することができる。また、非発光の表示期間はどこに出現させても構

わない。ただし、となりあう表示期間の長さの和Ｔｒｉ＋Ｔｒｊ（ｉとｊは１以上ｎ以下の異なる整数）が、先に出現する表示期間Ｔｒｉに対応する書き込み期間Ｔａｉの長さ以上であるという制約のために、設定することのできる表示期間の最小値は、出現する表示期間の長さの順序に依存する。

【０１４１】簡単な例として、ｎ＝８のとき、つまり２５６階調表示方式において、表示期間を短い順に出現させた場合と本実施の形態（図４）とを比較する。それぞれの例において、書き込み期間は全て同じ長さとし、また非発光の表示期間を設けない場合（ｍ＝０の場合）を考える。表示期間を短い順に出現させた場合、表示期間の比を出現する順に書くと、$2^0:2^1:2^2:2^3:2^4:2^5:2^6:2^7$となり、となりあう表示期間の和が最小となるのは最初の２つの表示期間である。一方、本実施の形態（図４）では、表示期間の比を出現する順に書くと、$2^3:2^4:2^2:2^5:2^1:2^6:2^0:2^7$となり、２つ目と３つ目の表示期間の和が最小となる。従って、両方の例を比較すると、となりあう表示期間の和の最小値は、本実施の形態（図４）の方が、表示時間を短い順に出現させた場合より$(2^4+2^2)/(2^0+2^1)$倍、すなわち、３／２０倍小さく設定することができる。そして、短い表示期間を設定することによって、高い階調数を実現することができる。

【０１４２】本願発明では、このように表示期間（Ｔｒ１～Ｔｒ（ｎ＋ｍ））の長さの出現する順序によって、設定することのできる表示期間の最小値が変わってくる。そして、表示期間（Ｔｒ１～Ｔｒｎ）の長さの順序を最適化することにより、より短い表示期間を設定することが可能となり、その結果、より高い階調数を実現することが可能となる。

【０１４３】また本願発明において、表示期間（Ｔｒ１～Ｔｒｎ）のうち、書き込み期間より十分長い表示期間を適度に分割し、その順序を最適化することにより、さらに短い表示期間を実現することができる場合がある（実施例２を参照）。表示期間を分割した場合、分割された表示期間をそれぞれ実現するための書き込み期間を設ける。また、それぞれの書き込み期間において入力されるデジタルデータ信号は、分割前の表示期間を実現するために入力されるデジタルデータ信号と同じものを用いる。

【０１４４】なお、上述した本願発明の構成は自発光型のディスプレイへの適用だけに限らず、他の電子素子を用いた装置に適用することも可能である。また応答時間が数１０μｓｅｃ程度以下の、高速応答する液晶が開発された場合には、液晶ディスプレイに適用することも可能である。

【０１４５】

【実施例】　以下に、本願発明の実施例を説明する。

【０１４６】（実施例１）本実施例では、本願発明の自

発光型のディスプレイにおいて、６ビットのデジタルデータ信号により６４階調の表示を行う場合について説明する。なお本実施例の自発光型のディスプレイは、図１～図３に示した構造を有する。また説明には図８を用いる。

【０１４７】はじめに、ゲート信号線Ｇａ１に第１のゲート信号線駆動回路１０３からゲート信号が入力され、ゲート信号線Ｇａ１に接続されている全ての画素（１ライン目の画素）のスイッチング用ＴＦＴ１１３ａおよび消去用ＴＦＴ１０９ａがオンの状態になる。

【０１４８】同時に、ソース信号線（Ｓａ１～Ｓａｘ）に第１のソース信号線駆動回路１０２を構成するラッチ（Ｂ）１０２ｃから、１ビット目のデジタルデータ信号が入力され、スイッチング用ＴＦＴ１１３ａを介して駆動用ＴＦＴ１０８ａのゲート電極に入力される。デジタルデータ信号は「０」または「１」の情報を有している。また同時に、電源供給線（Ｖ１～Ｖｘ）の電源電位が消去用ＴＦＴ１０９ａを介して駆動用ＴＦＴ１０８ｂのゲート電極に与えられる。その結果、駆動用ＴＦＴ１０８ｂはオフの状態となる。

【０１４９】本実施例では、デジタルデータ信号が「０」の情報を有していた場合、駆動用ＴＦＴ１０８ａはオフの状態となる。一方、駆動用ＴＦＴ１０８ｂもオフの状態であるから、発光素子１１０の画素電極には電源電位は与えられない。その結果、「０」の情報を有するデジタルデータ信号が入力された画素が有する発光素子１１０は発光しない。

【０１５０】逆に、「１」の情報を有していた場合、駆動用ＴＦＴ１０８ａはオンの状態となる。従って、駆動用ＴＦＴ１０８ｂの状態（オンまたはオフ）にかかわらず、発光素子１１０の画素電極には電源電位が与えられる。その結果、「１」の情報を有するデジタルデータ信号が入力された画素が有する発光素子１１０は発光する。

【０１５１】このように１ライン目の画素は、デジタルデータ信号が入力されると同時に、発光素子１１０が発光、または非発光を行い、表示期間Ｔｒ１となる。図８では説明を簡便にするために、特に１ライン目の画素の表示期間のみを示す。

【０１５２】次にＧａ１へのゲート信号の入力が終了すると同時に、ゲート信号線Ｇａ２に、第１のゲート信号線駆動回路１０３からゲート信号が入力される。そしてゲート信号線Ｇａ２に接続されている全ての画素のスイッチング用ＴＦＴ１１３ａおよび消去用ＴＦＴ１０９ａがオンの状態になり、２ライン目の画素にソース信号線（Ｓａ１～Ｓａｘ）から１ビット目のデジタルデータ信号が入力される。そして１ライン目と同様に、発光素子１１０が発光または非発光を行い、表示期間Ｔｒ１となる。

【０１５３】そして順に、全てのゲート信号線（Ｇａ３

～Ｇａｙ）にゲート信号が入力されていく。全てのゲート信号線（Ｇａ１～Ｇａｙ）が選択され、全てのラインの画素に１ビット目のデジタルデータ信号が入力されるまでの期間が書き込み期間Ｔａ１である。

【０１５４】一方、全てのラインの画素に１ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間Ｔａ１が終了する前に、画素への１ビット目のデジタルデータ信号の入力と並行して、第２のゲート信号線駆動回路１０５からのゲート信号線Ｇｂ１へのゲート信号の入力が行われる。この場合、書き込み期間Ｔａ２では、書き込み期間Ｔａ１において用いられる第１のゲート信号線駆動回路１０３とは異なる、第２のゲート信号線駆動回路１０５が用いられる。なお、本実施例においては、書き込み期間Ｔａ１とＴａ２が一部重なっているが、本願発明はこれに限定されない。書き込み期間Ｔａ１とＴａ２が重ならない場合においても全く同じ駆動方法をとることができる。

【０１５５】ゲート信号線Ｇｂ１にゲート信号が入力されると、ゲート信号線Ｇｂ１に接続されている全ての画素（１ライン目の画素）のスイッチング用ＴＦＴ１１３ｂおよび消去用ＴＦＴ１０９ｂがオンの状態になる。そして同時に、ソース信号線（Ｓｂ１～Ｓｂｘ）に第２のソース信号線駆動回路１０４のラッチ（Ｂ）１０４ｃから、２ビット目のデジタルデータ信号が入力される。デジタルデータ信号はスイッチング用ＴＦＴ１１３ｂを介して駆動用ＴＦＴ１０８ｂのゲート電極に入力される。また同時に電源供給線（Ｖ１～Ｖｘ）の電源電位が消去用ＴＦＴ１０９ｂを介して駆動用ＴＦＴ１０８ａのゲート電極に与えられる。その結果、駆動用ＴＦＴ１０８ａはオフの状態となる。

【０１５６】そして書き込み期間Ｔａ１と同様に、１ライン目の画素にデジタルデータ信号が入力されると同時に、発光素子１１０の発光、または非発光が選択され、１ライン目の画素は表示を行う。

【０１５７】そして順に、ゲート信号線（Ｇｂ２～Ｇｂｙ）にゲート信号が入力されていく。全てのゲート信号線（Ｇｂ１～Ｇｂｙ）が選択され、全てのラインの画素に２ビット目のデジタルデータ信号が入力されるまでの期間を書き込み期間Ｔａ２と呼ぶ。

【０１５８】書き込み期間Ｔａ２において、それぞれのラインの画素に２ビット目のデジタルデータ信号が入力されると、保持されていた１ビット目のデジタルデータ信号は２ビット目のデジタルデータ信号に書き換えられ、それぞれのラインの画素は表示を行う。すなわち、表示期間Ｔｒ１が終了し、表示期間Ｔｒ２となる。またそれぞれのラインの画素において、２ビット目のデジタルデータ信号は、次のデジタルデータ信号、すなわち、書き込み期間Ｔａ３において入力される３ビット目のデジタルデータ信号が入力されるまで保持される（図８）。

【０１５９】一方、全てのラインの画素に２ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間Ｔａ２が終了する前に、画素への１ビット目のデジタルデータ信号の入力と並行して、再び第１のゲート信号線駆動回路１０３からゲート信号線Ｇａ１へのゲート信号の入力が行われる。この場合、書き込み期間Ｔａ３では、書き込み期間Ｔａ２において用いられる第２のゲート信号線駆動回路１０５とは異なる、第１のゲート信号線駆動回路１０３が用いられる。なお、本実施例においては、書き込み期間Ｔａ２とＴａ３が一部重なっているが、本願発明はこれに限定されない。書き込み期間Ｔａ２とＴａ３が重ならない場合においても全く同じ駆動方法をとることができる。そして同様に、順に全てのゲート信号線（Ｇａ１～Ｇａｙ）が選択され、３ビット目のデジタルデータ信号が全ての画素に入力される。全てのラインの画素に３ビット目のデジタルデータ信号が入力し終わるまでの期間を、書き込み期間Ｔａ３と呼ぶ。

【０１６０】書き込み期間Ｔａ３において、それぞれのラインの画素に３ビット目のデジタルデータ信号が入力されると、保持されていた２ビット目のデジタルデータ信号は３ビット目のデジタルデータ信号に書き換えられ、それぞれのラインの画素は表示を行う。すなわち、表示期間Ｔｒ２が終了し、表示期間Ｔｒ３となる。またそれぞれのラインの画素に入力された３ビット目のデジタルデータ信号は、次の書き込み期間Ｔａ４において４ビット目のデジタルデータ信号が入力されるまで保持される。

【０１６１】上述した動作は６ビット目のデジタルデータ信号が画素に入力されるまで繰り返し行われ、その結果、表示期間（Ｔｒ１～Ｔｒ６）が順に連続して出現する（図８）。６ビット目のデジタルデータ信号は、再び１ビット目のデジタルデータ信号が入力されるまで画素に保持される。再び１ビット目のデジタルデータ信号が画素に入力されると、表示期間Ｔｒ６は終了し、同時にフレーム期間が終了する。全ての表示期間（Ｔｒ１～Ｔｒ６）が終了すると、１つの画像を表示することができる。表示期間（Ｔｒ１～Ｔｒ６）はそれぞれ、対応する書き込み期間（Ｔａ１～Ｔａ６）が開始されてから、その次の書き込み期間が開始されるまでの期間である。このように表示期間（Ｔｒ１～Ｔｒ６）はそれぞれ、書き込み期間（Ｔａ１～Ｔａ６）が開始される時間差によってその期間が設定される。

【０１６２】そして１フレーム期間終了後は、再びゲート信号線Ｇａ１に、第１のゲート信号線駆動回路１０３からゲート信号が入力される。その結果、１ビット目のデジタルデータ信号が画素に入力され、１ライン目の画素が再び表示期間Ｔｒ１となる。そして再び上述した動作を繰り返す。

【０１６３】表示期間Ｔｒの長さは、表示期間（Ｔｒ１

～Ｔｒ６）を短い順に並べた場合に、長さの比が2^0：2^1：2^2：…：$2^{(n-2)}$：$2^{(n-1)}$となるように設定すればよい本実施例では、特に、Ｔｒ１：Ｔｒ２：Ｔｒ３：Ｔｒ４：Ｔｒ５：Ｔｒ６＝2^2：2^3：2^1：2^4：2^0：2^5となるように設定する。この表示期間の組み合わせで６４階調のうち所望の階調表示を行うことができる。

【０１６４】１フレーム期間中に発光素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を１００％とすると、Ｔｒ３とＴｒ５において画素が発光した場合には５％の輝度が表現でき、Ｔｒ１とＴｒ４を選択した場合には３２％の輝度が表現できる。

【０１６５】なお、同じゲート信号線駆動回路を用いる書き込み期間はそれぞれ同じ長さである。本実施例では、書き込み期間（Ｔａ１～Ｔａ６）を一対のゲート信号線駆動回路を用いて交互に行っているため、Ｔａ１＝Ｔａ３＝Ｔａ５および、Ｔａ２＝Ｔａ４＝Ｔａ６が成り立つ。

【０１６６】また、本願発明では、となりあう表示期間の長さの和Ｔｒ１＋Ｔｒ２、Ｔｒ２＋Ｔｒ３、…、Ｔｒ６＋（次のフレームの最初の表示期間Ｔｒ１）がそれぞれ、対応する書き込み期間Ｔａ１、Ｔａ２、…、Ｔａ６の長さ以上であることが必要である。例えば、本実施例において書き込み期間を全て一定（Ｔａ）とした場合、となりあう表示期間の長さの和のうち最小の値を取るＴｒ２＋Ｔｒ３が書き込み期間Ｔａの長さ以上であることが必要である。具体的には、表示期間の和Ｔｒ２+Ｔｒ３は（１フレーム期間）×（８＋２）／（2^0＋2^1＋…＋2^5）となるため、書き込み期間Ｔａの長さは（１フレーム期間）×１０／６３以下であることが必要となる。また、同じゲート信号線駆動回路を用いる書き込み期間の長さの和が１フレーム期間よりも短いことが必要である。

【０１６７】また説明を簡便にするために、本実施例では、書き込み期間（Ｔａ１～Ｔａ６）において、一対のゲート信号線駆動回路を交互に用いているが、本願発明はこれに限定されない。本願発明において、となりあう書き込み期間が重ならない場合、その２つの書き込み期間において用いられるゲート信号線駆動回路は、同じであっても異なっても良い。一方、本願発明において、となりあう書き込み期間が重なる場合、その２つの書き込み期間において用いられるゲート信号線駆動回路は異なるものであることが必要である。

【０１６８】また逆に、本実施例では、書き込み期間（Ｔａ１～Ｔａ６）において、一対の駆動回路を交互に用いているため、となりあう書き込み期間が互いに一部重なっているかどうかは重要ではない。となりあう書き込み期間が互いに一部重なっている場合と、重なっていない場合のいずれの場合においても、全く同じ駆動方法

をとることが可能である。

【０１６９】また、本実施例において、６４階調表示に必要な６ビットのデジタルデータ信号の他にそれぞれ、全ての画素において発光素子が非発光を選択するデジタルデータ信号（本実施例では、全て「０」の情報を有するデジタルデータ信号）を用いた書き込み期間を追加することによって、全ての画素が発光を行わない表示期間を設けてもよい。前記書き込み期間および表示期間をそれぞれ、非発光の書き込み期間および非発光の表示期間と呼ぶ。従来のアナログ駆動の場合、自発光型のディスプレイに全白の画像を表示させると、常に発光素子が発光することになり、有機化合物層の劣化を早める原因となり得る。本願発明では非発光の表示期間を設けることによって、有機化合物層の劣化をある程度抑えることができる。

【０１７０】本願発明では、表示期間と書き込み期間は一部重なっている。言い換えると、書き込み期間においても画素を表示させることが可能である。そのため、１フレーム期間における表示期間の長さの総和の割合（デューティー比）として高い値を実現することができる。特に、本実施例のように非発光の表示期間を設けない場合、デューティー比は１００％となる。もちろん、非発光の表示期間を適度に設けることによって、１００％以下の任意のデューティー比を実現することができる。

【０１７１】（実施例２）次に本願明における駆動方式の別の実施例として、２５６階調表示方式の一例を説明する。説明には図９を用いる。

【０１７２】本実施例において、自発光型のディスプレイは、図１～図３に示した構造を有する。また、本実施例における駆動方法のうち、実施の形態または実施例１で既に説明した部分については、説明を簡略化する。

【０１７３】まず、ゲート信号線Ｇａ１に、第１のゲート信号線駆動回路１０３からゲート信号が入力され、１ライン目の画素にデジタルデータ信号が入力される。そして同時に、発光素子１１０が発光、または非発光を行い、表示期間Ｔｒ１となる。図９では、特に１ライン目の画素の表示期間についてのみ示す。そして順に、ゲート信号線（Ｇａ２～Ｇａｙ）にゲート信号が入力され、同時に表示を行う。全てのゲート信号線（Ｇａ１～Ｇａｙ）が選択され、全てのラインの画素に１ビット目のデジタルデータ信号が入力されるまでの期間が書き込み期間Ｔａ１である。

【０１７４】一方、全てのラインの画素に１ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間Ｔａ１が終了する前に、画素への１ビット目のデジタルデータ信号の入力と並行して、第２のゲート信号線駆動回路１０５からのゲート信号線Ｇｂ１へのゲート信号の入力が行われる。そして１ライン目の画素は、デジタルデータ信号が入力されると同時に、発光素子１１０の発光、または非発光を行い、表示を行う。すなわ

ち、表示期間Ｔｒ１は終了し、表示期間Ｔｒ２となる（図９）。そして順に、ゲート信号線（Ｇｂ２～Ｇｂｙ）にゲート信号が入力され、表示を行う。全てのラインの画素に２ビット目のデジタルデータ信号が入力されるまでの期間を書き込み期間Ｔａ２と呼ぶ。なお、本実施例では、書き込み期間Ｔａ１とＴａ２が一部重なっているが、本願発明はこれに限定されない。書き込み期間Ｔａ１とＴａ２が重ならない場合においても全く同じ駆動方法をとることが可能である。

【０１７５】一方、全てのラインの画素に２ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間Ｔａ２が終了する前に、画素への２ビット目のデジタルデータ信号の入力と並行して、再び第１のゲート信号線駆動回路１０３からゲート信号線Ｇａ１へのゲート信号の入力が行われる。そして１ライン目の画素は、デジタルデータ信号が入力されると同時に、発光素子１１０の発光、または非発光を行い、表示を行う。すなわち、表示期間Ｔｒ２は終了し、表示期間Ｔｒ３となる（図９）。そして順に、ゲート信号線（Ｇａ２～Ｇａｙ）にゲート信号が入力され、表示を行う。全てのラインの画素に３ビット目のデジタルデータ信号が入力し終わるまでの期間を、書き込み期間Ｔａ３と呼ぶ。なお、本実施例では、書き込み期間Ｔａ２とＴａ３が一部重なっているが、本願発明はこれに限定されない。書き込み期間Ｔａ２とＴａ３が重ならない場合においても全く同じ駆動方法をとることが可能である。

【０１７６】上述した動作は１０ビット目のデジタルデータ信号が画素に入力されるまで繰り返し行われる。その結果、表示期間（Ｔｒ１～Ｔｒ１０）が順に連続して出現する（図９）。１０ビット目のデジタルデータ信号は、再び１ビット目のデジタルデータ信号が入力されるまで画素に保持される。再び１ビット目のデジタルデータ信号が画素に入力されると、表示期間Ｔｒ１０は終了し、同時にフレーム期間が終了する。全ての表示期間（Ｔｒ１～Ｔｒ１０）が終了すると、１つの画像を表示することができる。本願発明の駆動方法において、１つの画像を表示する期間を１フレーム期間（Ｆ）と呼ぶ。表示期間（Ｔｒ１～Ｔｒ１０）はそれぞれ、対応する書き込み期間（Ｔａ１～Ｔａ１０）が開始されてから、その次の書き込み期間（Ｔａ２～Ｔａ１０及び次のフレームの最初の書き込み期間Ｔａ１）が開始されるまでの期間である。このように表示期間（Ｔｒ１～Ｔｒ１０）はそれぞれ、書き込み期間（Ｔａ１～Ｔａ１０）が開始される時間差によってその期間が定められる。

【０１７７】そして１フレーム期間終了後は、再びゲート信号線Ｇａ１に、第１のゲート信号線駆動回路１０３からゲート信号が入力される。その結果、１ビット目のデジタルデータ信号が画素に入力され、１ライン目の画素が再び表示期間Ｔｒ１となる。そして再び上述した動作を繰り返す。

【０１７８】本実施例では、表示期間（Ｔｒ１～Ｔｒ１０）の長さの比を、Ｔｒ１：Ｔｒ２：Ｔｒ３：Ｔｒ４：Ｔｒ５：（Ｔｒ６＋Ｔｒ８＋Ｔｒ１０）：Ｔｒ７：Ｔｒ９＝2^4：2^5：2^3：2^6：2^2：2^7：2^1：2^0となるように設定する。また、表示期間Ｔｒ６、Ｔｒ８、Ｔｒ１０の長さの比は、Ｔｒ６：Ｔｒ８：Ｔｒ１０＝１：１：２となるように設定する。また、書き込み期間Ｔａ６、Ｔａ８、Ｔａ１０において入力されるデジタルデータ、すなわち６ビット目、８ビット目、１０ビット目のデジタルデータは、全て同じであることが必要である。言い換えると、表示期間Ｔｒ６、Ｔｒ８及びＴｒ１０において、同じ画素の有する発光素子は同じ状態（発光または非発光）であることが必要である。このように設定することによって、２５６階調のうち所望の階調表示を行うことができる。

【０１７９】１フレーム期間中に発光素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を１００％とすると、Ｔｒ４とＴｒ６とＴｒ８とＴｒ１０とにおいて画素が発光した場合には７５％の輝度が表現でき、Ｔｒ２とＴｒ３とＴｒ９とを選択した場合には１６％の輝度が表現できる。

【０１８０】なお、本願発明では、となりあう表示期間の長さの和Ｔｒ１＋Ｔｒ２、Ｔｒ２＋Ｔｒ３、…、Ｔｒ１０＋（次のフレームの最初の表示期間Ｔｒ１）がそれぞれ、対応する書き込み期間Ｔａ１、Ｔａ２、…、Ｔａ１０の長さ以上であることが必要である。例えば、本実施例において書き込み期間を全て一定（Ｔａ）とした場合、となりあう表示期間の長さの和のうち最小の値を取るＴｒ８＋Ｔｒ９が書き込み期間Ｔａの長さ以上であることが必要である。具体的には、表示期間の和Ｔｒ８＋Ｔｒ９は（１フレーム期間）×（３２＋１）／（2^0＋2^1＋…＋2^7）となるため、書き込み期間Ｔａの長さは（１フレーム期間）×３３／２５５以下であることが必要となる。これを実施の形態において示した例（表示期間の和の最小値は２０／２５５）と比較すると、となりあう表示期間の和の最小値を２０／３３倍小さく設定することができる。その結果、より高い階調数を実現することが可能となる。

【０１８１】このように、2^n階調表示に必要なｎ個の表示期間のうち、書き込み期間より十分長い表示期間を適度に分割し、その順序を最適化することにより、さらに短い表示期間を実現できる場合がある。本実施例においては、２５６階調表示に必要な８つの表示期間のうち、最も長い表示期間を、長さの比が１：１：２となるように３つに分割し、図９に示す順序とする。これにより、書き込み期間Ｔａの長さが（１フレーム期間）×３３／２５５以下を満たす範囲で、短い表示期間を設定することが可能となる。この場合、３つに分割された表示