Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	New U.S. Patent Application
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT Yojiro MATSUEDA	
		FILING DATE November 2, 2010	

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1	2001/0019327	09/2001	Kim et al.
	2	6,794,675	09/21/2004	Suzuki et al.
	3	RE35,827	06/1998	Gualandris et al.
	4	6,781,155 B1	08/2004	Yamada, Tsutomu
	5	2001/0026835	10/2001	Tanaka, Koichiro
	6	2001/0040565	11/2001	Koyama, Jun
	7	2002/0008822	01/2002	Maeda, Akitoshi
	8	2002/0067323	06/2002	Bird et al.
	9	2004/0207615	10/2004	Yumoto, Akira

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	10	KR 1994-0009134	10/01/1994	Korea		
	11	KR 2001-0014528 A	02/26/2001	Korea		
	12	WO 98/36407	08/20/1998	WIPO		
	13	JP A 2000-214800	08/04/2000	Japan		
	14	JP A 2001-13893	01/19/2001	Japan		
	15	JP A 2000-284727	10/13/2000	Japan		
	16	JP A 11-65487	03/05/1999	Japan		
	17	JP A 1-101519	04/19/1989	Japan		
	18	JP A 2-170135	06/29/1990	Japan		

EXAMINER	DATE CONSIDERED

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: November 2, 2010

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	APPLICATION NO. New U.S. Patent Application
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT Yojiro MATSUEDA	
		FILING DATE November 2, 2010	GROUP

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	19	6,859,193 B1	02/22/2005	Yumoto
	20	2004/012548	01/22/2004	Anzai
	21	6,661,182 B2	12/09/2003	Koyama
	22	6,914,390 B2	07/05/2005	Koyama
	23	7,106,006 B2	09/12/2006	Koyama
	24	2007/0007527 A1	01/11/2007	Koyama
	25	5,867,233	02/02/1999	Tanaka
	26	6,307,528	10/2001	Yap
	27	6,225,750	05/2001	Kimura

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	28	CN 1291786A	04/18/2001	China		
	29	CN 1242924A	01/26/2000	China		
	30	JP-A-2001-185354	07/06/2001	Japan	X	X
	31	JP-A-11-074073	03/16/1999	Japan	X	X
	32	WO 01/06484 A1	01/25/2001	WIPO	X	
	33	JP-A-2000-284722	10/13/2000	Japan	X	X
	34	JP-A-2000-267131	09/29/2000	Japan	X	X
	35	JP-A-2000-137241	05/16/2000	Japan	X	X
	36	JP-A-2003-323133	11/14/2003	Japan	X	X
	37	JP-A-2002-351357	12/06/2002	Japan	X	X
	38	WO 01/18774 A1	03/15/2001	WIPO	X	
	39	WO 01/75853	10/11/2001	WIPO		
	40	JP-A-60-128486	07/09/1985	Japan		
	41	EP 1 003 223 A2	05/24/2000	Europe		

EXAMINER	DATE CONSIDERED

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: November 2, 2010

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	APPLICATION NO. New U.S. Patent Application
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT Yojiro MATSUEDA	
		FILING DATE November 2, 2010	GROUP

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	42	2001/0026125 A1	10/04/2001	Yamazaki et al.
	43	6,094,248	07/25/2000	Hayashi
	44	5,684,365	11/04/1997	Tang et al.
	45	6,509,688 B1	01/21/2003	Bae et al.
	46	6,657,230	12/2003	Murade
	47	6,515,428	02/2003	Yeh et al.
	48	6,548,960 B2	04/15/03	Inukai
	49	6,756,740 B2	06/29/04	Inukai
	50	6,690,033 B2	02/10/04	Yamazaki et al.
	51	2004/0135181 A1	07/15/04	Yamazaki et al.
	52	2002/0000614 A1	01/03/02	Chen et al.
	53	2002/0154253 A1	10/24/02	Cairns et al.
	54	2001/0014493 A1	08/16/01	Inoue et al.
	55	6,100,119	08/08/00	Jang et al.
	56	6,515,482 B1	02/04/03	Yeh et al.
	57	6,952,244 B2	10/04/05	Cairns et al.
	58	6,468,839 B2	10/22/02	Inoue et al.
	59	6,153,893	11/28/00	Inoue et al.
	60	6,373,454 B1	8/16/02	Knapp et al.

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	61	JP-A-2001-242827	09/07/2001	Japan		
	62	JP-A-2001-318628	11/16/2001	Japan		

OTHER DOCUMENTS

Examiner Initials	Cite No.	Including name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
	63	Shang-Li Chen et al.; "Current Programmed Pixel Structures for OLED"; Electronics Research & Service Organization; Hsinchu, Taiwan; October 2001, pp. 399-402.
	64	Eiji Takeda et al.; "An As-P(n^+-n^-) Double Diffused Drain MOSFET for VLSI's"; IEEE Transactions on Electron Devices, IEEE Service Center; Piscataway, NJ; vol. 30; no. 6; June 1983; pp. 652-657.

EXAMINER	DATE CONSIDERED

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: November 2, 2010

Electronic Patent Application Fee Transmittal	
Application Number:	
Filing Date:	
Title of Invention:	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
First Named Inventor/Applicant Name:	Yojiro MATSUEDA
Filer:	James Albert Oliff/Irene Sorto
Attorney Docket Number:	114251.03
Filed as Large Entity	

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Utility application filing	1011	1	330	330
Utility Search Fee	1111	1	540	540
Utility Examination Fee	1311	1	220	220
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1090**

Electronic Acknowledgement Receipt	
EFS ID:	8752577
Application Number:	12917885
International Application Number:	
Confirmation Number:	2374
Title of Invention:	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
First Named Inventor/Applicant Name:	Yojiro MATSUEDA
Customer Number:	25944
Filer:	James Albert Oliff/Irene Sorto
Filer Authorized By:	James Albert Oliff
Attorney Docket Number:	114251.03
Receipt Date:	02-NOV-2010
Filing Date:	
Time Stamp:	15:34:48
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1090
RAM confirmation Number	1849
Deposit Account	150461
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)

1	Application Data Sheet	110210-ADS.pdf	919150 133e1dd1df795323c75edc95c258232194a8d4a8	no	5
Warnings:					
Information:					
2	Transmittal of New Application	110210-AppTrans.pdf	124419 d179d09d84ba527a662b1163e82c906835c382f9	no	3
Warnings:					
Information:					
3		110210-Spec.pdf	2612902 8e7b0fbb1cbc32ca1022e80a73d5d0acd551cac7	yes	75

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Specification	1	55
	Claims	56	57
	Abstract	58	58
	Specification	59	60
	Drawings-only black and white line drawings	61	75

Warnings:					
Information:					
4	Oath or Declaration filed	110210-Dec.pdf	283788 6a0e4c1b5452bddefccc16aa68e255572007d544	no	4
Warnings:					
Information:					
5		110210-IDS.pdf	181880 7fbd5a350cf081f2b139932f08331e19b3e5c7a8	yes	5

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Transmittal Letter	1	2
	Information Disclosure Statement (IDS) Filed (SB/08)	3	5

Warnings:					
Information:					

6	Fee Worksheet (PTO-875)	fee-info.pdf	33022 461e42250720bd4c3f6f4a7e3eee420312260664	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	4155161	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/14 (08-05)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	114251.03
	Application Number	
Title of Invention	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Applicant Information:

Applicant 1 Remove

Applicant Authority ◉ Inventor ○ Legal Representative under 35 U.S.C. 117 ○ Party of Interest under 35 U.S.C. 118

Prefix	Given Name	Middle Name	Family Name	Suffix
	Yojiro		MATSUEDA	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Chino-shi	Country Of Residence[i]	JP
Citizenship under 37 CFR 1.41(b)[i]	JP		

Mailing Address of Applicant:

Address 1	c/o Seiko Epson Corporation		
Address 2	3-5, Owa 3-chome		
City	Suwa-shi, Nagano-ken	State/Province	
Postal Code	392-8502	Country[i]	JP

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	25944		
Email Address	email@oliff.com	Add Email	Remove Email

Application Information:

Title of the Invention	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE		
Attorney Docket Number	114251.03	Small Entity Status Claimed	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Suggested Class (if any)		Sub Class (if any)	
Suggested Technology Center (if any)			
Total Number of Drawing Sheets (if any)	15	Suggested Figure for Publication (if any)	

PTO/SB/14 (08-05)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	114251.03
	Application Number	
Title of Invention	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE	

Publication Information:
☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)
☐ Request Not to Publish. I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application has not been and will not be the subject of an application filed in another country, or under a multilateral agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Enter either Customer Number or complete the Representative Name section below. If both sections are completed the Customer Number will be used for the Representative Information during processing.

Please Select One: ○ Customer Number ◉ US Patent Practitioner ○ US Representative (37 CFR 11.9)

Prefix	**Given Name**	Middle Name	**Family Name**	Suffix	
	James	A.	Oliff		Remove
Registration Number	27075				
Prefix	**Given Name**	Middle Name	**Family Name**	Suffix	
	William	P.	Berridge		Remove
Registration Number	30024				
Prefix	**Given Name**	Middle Name	**Family Name**	Suffix	
	Kirk	M.	Hudson		Remove
Registration Number	27562				
Prefix	**Given Name**	Middle Name	**Family Name**	Suffix	
	Thomas	J.	Pardini		Remove
Registration Number	30411				
Prefix	**Given Name**	Middle Name	**Family Name**	Suffix	
	Edward	P.	Walker		Remove
Registration Number	31450				
Prefix	**Given Name**	Middle Name	**Family Name**	Suffix	
	Mario	A.	Costantino		Remove
Registration Number	33565				

Additional Representative Information blocks may be generated within this form by selecting the **Add** button. Add

PTO/SB/14 (08-05)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	114251.03
	Application Number	
Title of Invention	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE	

Domestic Priority Information:

This section allows for the applicant to claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c). Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78(a)(2) or CFR 1.78(a)(4), and need not otherwise be made part of the specification.

Prior Application Status	Pending		Remove
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)
	Continuation of	11483109	2006-07-10

Prior Application Status	Patented				Remove
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)	Patent Number	Issue Date (YYYY-MM-DD)
11483109	Division of	10299861	2002-11-20	7483001	2009-01-27

Additional Domestic Priority Data may be generated within this form by selecting the **Add** button. Add

Foreign Priority Information:

This section allows for the applicant to claim benefit of foreign priority and to identify any prior foreign application for which priority is not claimed. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(a).

			Remove
Application Number	Country [i]	Parent Filing Date (YYYY-MM-DD)	Priority Claimed
2001-356007	JP	2001-11-21	(•) Yes ( ) No

			Remove
Application Number	Country [i]	Parent Filing Date (YYYY-MM-DD)	Priority Claimed
2001-371403	JP	2001-12-05	(•) Yes ( ) No

			Remove
Application Number	Country [i]	Parent Filing Date (YYYY-MM-DD)	Priority Claimed
2001-371410	JP	2001-12-05	(•) Yes ( ) No

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button. Add

Assignee Information:

Providing this information in the application data sheet does not substitute for compliance with any requirement of part 3 of Title 37 of the CFR to have an assignment recorded in the Office.

Assignee 1 Remove

If the Assignee is an Organization check here. ☒

Organization Name	Seiko Epson Corporation

PTO/SB/14 (08-05)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	114251.03
	Application Number	
Title of Invention	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE	

Mailing Address Information:			
Address 1	4-1, Nishi-shinjuku 2-chome, Shinjuku-ku		
Address 2			
City	Tokyo	**State/Province**	
Country [i]	JP	Postal Code	
Phone Number		Fax Number	
Email Address			
Additional Assignee Data may be generated within this form by selecting the **Add** button.		Add	

Signature:

A signature of the applicant or representative is required in accordance with 37 CFR 1.33 and 10.18. Please see 37 CFR 1.4(d) for the form of the signature.					
Signature	/Andy Kim/			Date (YYYY-MM-DD)	2010-11-02
First Name	Andy	Last Name	Kim	Registration Number	61050

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

OLIFF & BERRIDGE, PLC
Telephone: (703) 836-6400
Facsimile: (703) 836-2787

Attorney Docket No.: 114251.03

Date: November 2, 2010

Customer Number: 25944

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CONTINUING APPLICATION TRANSMITTAL
RULE 1.53(b)

Sir:

Transmitted herewith for filing under 37 C.F.R. §1.53(b) is a

☒ Continuation ☐ Divisional ☐ Continuation-in-Part

application of prior pending Application No. 11/483,109, filed July 10, 2006, which is a Continuation of Application No. 10/299,861 filed November 20, 2002.

For (Title): ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

By (Inventors): Yojiro MATSUEDA

1. ☒ A Declaration of the inventor(s) is attached. The attached Declaration is:

   ☒ a. A copy of the Declaration from the parent application. (Used with the same or fewer inventors and (a) a copy of the prior application or (b) a revised, reformatted or edited version of the prior application that does not contain new matter.)

   ☐ b. A new Declaration. (Used with the same, fewer or additional inventors and (a) a copy of the prior application, (b) a revised, reformatted or edited version of the prior application that does not contain new matter, or (c) a new specification.)

   ☐ The Declaration is a combined English-language/foreign-language Declaration. On information and belief, the English-language portions of the Declaration are accurate translations of the foreign-language portions.

2. ☒ A Power of Attorney is attached. The attached Power of Attorney is:

   ☒ a. A copy of the Power of Attorney from the parent application.

   ☐ b. A new Power of Attorney.

   ☐ The Power of Attorney is a General Power of Attorney.

   A Transmittal of Power of Attorney and Statement Under 37 C.F.R. §3.73(b) is attached, and

   A copy of the Assignment ☐ is attached to the Transmittal or ☐ was recorded at Reel _____ Frame _____.

   ☐ The Power of Attorney is a Specific Power of Attorney for this application.

   A Transmittal of Power of Attorney and Statement Under 37 C.F.R. §3.73(b) is attached, and

   A copy of the Assignment ☐ is attached to the Transmittal or ☐ was recorded at Reel _____ Frame _____.

   ☒ The Power of Attorney is in a combined Declaration/Power of Attorney.

   ☒ a. The Power of Attorney identifies no more than ten attorneys.

☐ b. The Power of Attorney identifies more than ten attorneys, and a separate Designation of Attorneys for Power of Attorney is filed herewith.

☐ c. The Power of Attorney is to the attorneys associated with a Customer Number.

3. ☒ The fees due upon filing are being paid electronically with this filing. The Commissioner is hereby authorized to charge any additional fee (or credit any overpayment) associated for this filing to Deposit Account No. 15-0461.

4. ☒ Application Data Sheet is attached.

5. ☒ Formal drawings (Figs. 1-15F) are attached.

☐ Use Figure for front page of Publication.

6. ☒ Priority of foreign applications Nos. 2001-356007 filed November 21, 2001 in Japan, 2001-371403 filed December 5, 2001 in Japan and 2001-371410 filed December 5, 2001 in Japan are claimed under 35 U.S.C. §119 and/or §365(b).

☒ The certified copy was filed in prior Application No. 10/299,861 on February 13, 2003.

☐ An electronic copy of the above foreign application(s) was received by the PTO in prior Application No. _____.

☐ A certified copy of the above foreign application(s) is filed herewith.

☐ A copy of the priority document was transmitted by the International Bureau in prior Application No. _____.

☐ An electronic copy of the above foreign application should be automatically retrieved by the PTO in accordance with the electronic priority document exchange service.

7. ☐ Priority of U.S. Provisional Application(s) No. _____ filed _____ is claimed under 35 U.S.C. §119.

(A Preliminary Amendment is attached to reflect the claim of benefit in the specification if not already present.)

8. ☒ The prior application is assigned of record to Seiko Epson Corporation, Tokyo, Japan and recorded at Reel 013428, Frame 0987.

9. ☐ This application is filed by fewer than all the inventors named in the prior application (37 C.F.R §1.53(b)(1)). Delete the following inventor(s) named in the prior application:

_____ _____

_____ _____

10. ☐ A Preliminary Amendment is attached. The Preliminary Amendment amends the specification to reflect the continuation data. Claims added by this Amendment are properly numbered consecutively beginning with the number next following the highest numbered claim in the application and claims canceled are identified in the listing of claims.

11. ☒ An Information Disclosure Statement is attached.

12. ☐ Small entity status:

☐ a. Entitlement to small entity status is asserted.

☐ b. Small entity status is no longer claimed.

13. ☐ Other: _____

14. ☐ As also indicated in the attached Request, this application is NOT to be published under 35 U.S.C. 122(b). The undersigned attorney or agent hereby certifies that the invention disclosed in this application has not and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication of applications 18 months after filing.

15. ☒ The claims in this continuing application differ from the claims in the parent application(s). As to each claim or claim term in this continuing application that is broader than any claim or claim term in any parent application, any previous disclaimer of claim scope made during prosecution of any parent application is rescinded. The Examiner is requested to consider such broader claims and/or claim terms in view of all of the prior art without any previous disclaimers.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Andy N. Kim
Registration No. 61,050

JAO:ANK/ils

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461

ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

BACKGROUND OF THE INVENTION

This is a Continuation of Application No. 11/483,109 filed July 10, 2006, which is a Divisional of Application No. 10/299,861 filed November 20, 2002. The entire disclosure of the prior application is hereby incorporated by reference herein in its entirety.

1. Field of the Invention

This invention relates to an active matrix substrate suitable for electro-optical devices, an electro-optical device, and electronic device.

2. Description of the Related Art

The active matrix driving method is one method of driving electro-optical devices comprising liquid crystal elements, organic electroluminescence (EL) elements, electrophoretic elements, electronic emission elements, and similar. In an electro-optical device driven by the active matrix driving method, a plurality of pixels are arranged in a matrix on the display panel. Each of the plurality of pixels comprises a pixel circuit, in turn comprising an electro-optical element and a driving transistor which supplies driving power to the electro-optical element. Each of the plurality of pixel circuits is arranged to correspond to the intersection of a data line and a scan line (see, for example, patent reference 1: Internationally disclosed pamphlet no. WO98/36407).

In order to precisely control brightness in an electro-optical device, the amount of power supplied to electro-optical elements must be precisely controlled.

In particular, because organic EL elements are current-driving type electro-optical elements, the brightness is directly affected by the current. Hence there is a need to precisely supply the desired current to organic EL elements; and in addition to optimizing the driving circuit and driving method, the pixel layout must also be optimized. Problems encountered in actual pixel layouts include, for example, contact between pixel electrodes and peripheral circuitry, stability of holding capacitances, and transistor turn-off currents.

The present invention was devised in light of the above circumstances, and has as an object the provision of an active matrix substrate, electro-optical device, and electronic device comprising an optimal pixel layout for the stable driving of electro-optical elements.

SUMMARY OF THE INVENTION

In order to resolve the above problems, a first active matrix substrate of this invention is an active matrix substrate comprising peripheral circuitry to supply a current to electro-optical elements provided in each pixel according to the electro-optical element; each peripheral circuit comprises a holding element to hold a control voltage, a first active element, connected to the holding element, to supply a current to the electro-optical element based on the control voltage, and a second active element, connected to the holding element, to control the charging and discharging of the holding element; and the above second active element has a structure which prevents leakage currents during shutoff.

Here "electro-optical element" refers to general elements which emit light, or change a status of light in response to external light, due to electrical action, and comprises both elements which themselves emit light, and elements which control the transmission of external light. For example, electro-optical elements include liquid crystal elements, electrophoretic elements, EL elements, and electron emission elements which emit light by causing electrons generated through application of an electric field to strike an emission plate.

"Peripheral circuits" refers to the aggregation of circuit elements which drive each pixel in an active-matrix type electro-optical device, and comprises, for example, TFTs (thin film transistors) or similar.

"Active matrix substrate" refers to general substrates on which is mounted peripheral circuitry, regardless of whether electro-optical elements are formed or not.

There is no particular restriction on "active elements", which may include, for example, TFTs and other transistors and diodes, or similar.

Here "holding element" refers to, for example, capacitors, memory, and other elements which hold electrical signals.

Normally, when an active element is in the non-conducting state, whereas ideally there should be no current flowing, a current, albeit slight, may flow; an active element having a "structure to prevent leakage currents during shutoff" refers to an active element configured with the object of preventing the occurrence of such a current (leakage current).

An example of such an element is a multi-gate type active element. A multi-gate type active element is an active element which functions as a single element, but strictly speaking comprises a plurality of active elements connected in series, configured to function similarly to a device with control terminals connected together.

In configuring a multi-gate type active element, the semiconductor layer may be in a curved shape, as in an embodiment described below, or the gate shape may be curved.

The second active element may be a transistor with a structure selected from the group consisting of an LDD structure, GDD structure, or DDD structure. Here "LDD" is an abbreviation of "Lightly Doped Drain"; "GDD" is an abbreviation of "Graded Diffused Drain"; and "DDD" is an abbreviation of "Double Diffused Drain". In a transistor having these structures, in order to limit the adverse effects of hot electrons and similar during fine MOSFET fabrication, the maximum electric field near the drain is weakened. For example, in such transistors the drain region of the transistor is lightly doped with impurities to relax the electric field in regions where impurity diffusion is performed and between silicon substrates; for example, n-type regions may be formed using self-alignment.

In such transistors, because the source-drain resistance while the transistor is turned off is extremely high and leakage currents are reduced, electric charge accumulated in the holding element is not released, and the electric potential applied to a control terminal can be maintained at a constant level.

A second active matrix substrate of this invention is an active matrix substrate comprising a plurality of unit circuits, arranged to correspond to the intersections of a plurality of data lines and a plurality of scan lines. Each of the above plurality of unit circuits comprises a first transistor, which comprises a first control terminal, first terminal, and second terminal; a holding element, connected to the above first control terminal, comprising a first electrode and a second electrode; and a second transistor, comprising a third terminal, a fourth terminal, and a second control terminal, wherein the above third terminal and the above fourth terminal are respectively connected to the above first terminal and to the above first electrode; and the above second transistor has a multi-gate structure.

In the above active matrix substrate, in place of a multi-gate structure, the above second transistor may be a transistor with a structure selected from an LDD structure, GDD structure, or DDD structure.

By adopting a multi-gate structure and an LDD structure, GDD structure, or DDD structure, the leakage current when the second transistor is in the turned-off state can be reduced, so that the electric charge accumulated in the holding element can be maintained for a long period of time.

In the above active matrix substrate, it is preferable that the above first transistor and the above second transistor have different conduction types. In this case, it is preferable that the semiconductor film constituting the above first transistor and the semiconductor film constituting the above second transistor be separated.

For example, it is preferable that the above first transistor by p-type, and that the above second transistor be n-type.

The above active matrix substrate may further comprise a third transistor, comprising a fifth terminal, a sixth terminal, and a third control terminal, with the above third control terminal connected to one scan line among the above plurality of scan lines, and the above fifth terminal connected to one data line among the above plurality of data lines.

The above sixth terminal may be connected to the above third terminal and to the above first terminal.

In the above active matrix substrate, the above active matrix substrate may have a stacked-layer structure comprising a plurality of layers; the above plurality of layers may comprise a semiconductor layer, in which is formed a semiconductor film constituting the above first and second transistors, and a gate metal layer, in which are formed the above second control terminals; and in the above gate metal layer there may be formed at least one portion of at least one scan line among the above plurality of scan lines.

By this means, the above second control terminal and at least one portion of the scan line can be formed in the same process, so that manufacturing processes can be shortened.

In the above active matrix substrate, the above active matrix substrate may have a stacked-layer structure comprising a plurality of layers; the above plurality of layers may comprise a semiconductor layer, in which is formed a semiconductor

film constituting the above first and second transistors, and a gate metal layer, in which are formed the above second control terminals; and in the above gate metal layer there may be formed at least one portion of at least one data line among the above plurality of data lines.

By this means, the above second control terminal and at least one portion of the data line can be formed in the same process, so that manufacturing processes can be shortened.

In the above active matrix substrate, the above active matrix substrate may have a stacked-layer structure comprising a plurality of layers; the above plurality of layers may comprise a semiconductor layer, in which is formed a semiconductor film constituting the above first and second transistors, a gate metal layer, in which are formed the above second control terminals, and a source metal layer, in which is formed a source electrode or drain electrode connected to the source or to the drain of the above second transistor; and at least one portion of at least one data line among the above plurality of data lines may be formed in the layer closer to the above semiconductor layer among the above source metal layer and the above gate metal layer.

By this means, when an electro-optical device is formed in which electro-optical elements are arranged above the active matrix substrate, at least one portion of a data line can be separated from the electrodes of electro-optical elements, so that operation delays due to stray capacitances occurring between electrodes and data lines can be reduced.

A third active matrix substrate of this invention comprises unit circuits, comprising transistors, as well as data lines and scan lines, and has a stacked-layer structure comprising a plurality of layers; the above plurality of layers comprises a semiconductor layer, in which is formed a semiconductor film constituting transistors, and a gate metal layer, in which are formed the gate terminals of the above transistors; and at lease one portion of either the above scan lines, or the above data lines, or both, is formed in the above gate metal layer.

By this means, transistor gate terminals and at least one portion of the scan lines or data lines can be manufactured by the same process, so that manufacturing processes can be shortened.

A fourth active matrix substrate of this invention comprises unit circuits, comprising transistors, as well as data lines and scan lines, and has a stacked-layer structure comprising a plurality of layers; the above plurality of layers comprises a semiconductor layer, in which is formed a semiconductor film constituting transistors, a gate metal layer, in which are formed the gate terminals of the above transistors, and a source metal layer in which are formed the source electrodes or drain electrodes which are connected to the sources or drains of the above transistors; and at lease one portion of either the above scan lines, or the above data lines, or both, is formed in the layer, among the above gate metal layer and the above source metal layer, which is closer to the above semiconductor layer.

In the above active matrix substrate, when an electro-optical device is formed in which electro-optical elements are arranged above the active matrix

substrate, at least one portion of data lines or scan lines can be separated from the electrodes of electro-optical elements, so that delays in signal supply due to stray capacitances occurring between electrodes and data lines or scan lines can be suppressed.

In the above active matrix substrate, it is preferable that a unit circuit comprise a first transistor, comprising a first control terminal, a first terminal, and a second terminal; a holding element, connected to the above first control terminal, and comprising a first electrode and a second electrode; and a second transistor, comprising a third terminal, a fourth terminal, and a second control terminal, wherein the above third terminal and the above fourth terminal are respectively connected to the above first terminal and to the above first electrode; and that the unit circuit have at least a structure selected from an LDD structure, GDD structure, DDD structure, or multi-gate structure.

The LDD structure, GDD structure, DDD structure, and multi-gate structure are appropriate structures for suppressing current leaks, and so by employing such a configuration, the electric charge accumulated in the holding element can be maintained for long periods of time.

A first electro-optical device of this invention comprises the above active matrix substrate, and electro-optical elements.

A second electro-optical device of this invention comprises peripheral circuits to supply current to electro-optical elements provided for each pixel, corresponding to the above electro-optical elements; each of the above peripheral

circuits comprises a light emission-controlling active element to supply current to the above electro-optical element during the light emission period, a holding element to hold a control voltage, a first active element the gate terminal of which is connected to the above holding element and which supplies a current based on the above control voltage applied to the gate terminal to the above electro-optical element, via the above light emission-controlling active element, a current-controlling active element which passes a constant current (or a data current) via the above first active element during the selection period, and a second active element connected between the above current-controlling active element and the above holding element, which charges the above holding element during the above selection period and which stores the above control voltage; and the above second active element comprises a structure to prevent leakage currents during shutoff.

As the above structure to prevent leakage currents, similarly to the case of the above active matrix substrates, for example, an LDD structure, GDD structure, DDD structure, or multi-gate structure can be adopted.

In the above electro-optical device, as the above first active element and the above second active element, it is preferable that, for example, a transistor be used. In this case, it is preferable that the transistors have different conduction types. For example, it is preferable that the above first active element be p-type, and that the above second active element be n-type.

Corresponding to this, a configuration may be adopted comprising a first driver circuit which supplies negative-logic data signals to the first active element,

and a second driver circuit which supplies positive-logic scan signals to the second active element.

In the above electro-optical device, a configuration may be adopted comprising data lines which supply data signals to first active elements, and scan lines, intersecting the data lines, which supply scan signals to second active elements.

In the above electro-optical device, it is preferable that either the data lines or the scan lines be wired by means of the metal layer, among the source metal layer and the gate metal layer which comprise the first active elements and second active elements, which is separated from the common electrodes of the electro-optical elements. This is because if the metal layer which is more distant from the common electrodes is used, the stray capacitance arising between the signal lines and the common electrodes can be reduced.

Specifically, the scan lines may for example be wired using the gate metal layer which forms the gate terminals of the second active elements.

In the above electro-optical device, it is preferable that, among the plurality of active elements, the plurality of active elements having the same polarity be formed continuously and in planar fashion in the same semiconductor layer. This is because, if the semiconductor layer is thus made continuous, the area used for wiring can be reduced, and the aperture ratio can be increased.

At this time, connection points between a plurality of active elements having the same polarity comprise common contact holes, and wiring is performed from

contact holes to active elements having a polarity differing from these active elements. This is because when the polarity is different, normal wiring must be performed. By this means, contact holes can be made common, and the area of occupation of connection portions in the entire area of the driving circuit can be reduced.

In one embodiment described below, a plurality of active elements having the same polarity comprises second active elements, light emission-controlling active elements, and current-controlling active elements; however, the present invention is of course not limited thereto.

As the gate terminals of the above second active elements and the above current-controlling active elements, common scan lines may be used; in this case, with respect to common gate terminal connections, by using scan lines without modification the wiring area can be reduced and the aperture ratio can be raised.

However, if the above second active elements and the above current-controlling active elements are not driven with the same timing, then of course different signal lines can be used as the respective gate terminals.

A third electro-optical device of this invention comprises electro-optical elements, and peripheral circuitry driving the above electro-optical elements; the above electro-optical elements are formed such that the boundaries of the electro-optical elements have at least a prescribed curvature , and at least a portion of the peripheral circuits is formed in the region surrounded by the boundaries having at

least the prescribed curvature and by polygonal boundaries circumscribing the electro-optical elements.

A shape having a "prescribed curvature" is particularly effective when electro-optical elements are formed using liquid materials; in this case, it is desirable that the prescribed curvature be set according to the viscosity and surface tension of the liquid material, and according to the material of the layer below the electro-optical elements. However, even in cases where the electro-optical elements are formed by evaporation deposition or other means without using liquid materials, there is the advantageous result that short-circuits are prevented.

It is preferable that a plurality of boundary portions having this prescribed curvature be formed. It is also preferable that the plurality of boundary portions thus formed be arranged essentially symmetrically with respect to a center line passing through the geometric center of the electro-optical element.

For example, a portion of the peripheral circuit formed in this region is a contact hole comprised by wiring of the peripheral circuit. It is preferable that this contact hole be of polygonal shape compatible with the shape of the region. A contact hole comprised by the wiring of the peripheral circuit is, for example, a contact hole which supplies current to at least one of the electrodes of the electro-optical element. It is preferable that there be a plurality of contact holes, arranged essentially symmetrically with respect to a center line passing through the geometric center point of the above electro-optical element.

When using a liquid material to form electro-optical elements, by providing an affinity-controlling layer which adjusts the affinity for the liquid material near the boundaries of electro-optical elements, the film thickness of the functional layer constituting the electro-optical elements can be controlled, and flatness can be improved. Also, by making the affinity for the liquid material of, at least, the walls of the bank layer different from that of the above affinity-controlling layer, the effectiveness may be further increased. For example, by making the affinity for the liquid material of the walls of the bank layer lower than that of the affinity-controlling layer, the film formed by the liquid material no longer adheres to the walls of the bank layer, and the flatness of the film formed by the liquid material is further improved.

This affinity-controlling layer may be formed so as to have a staircase-shape on the inside of the electro-optical elements with respect to the walls formed by the bank layer.

Here a "bank" is a partition member to partition pixel regions. A bank is also effective for securing a distance from cathodes or common electrodes and data lines, scan lines, or other wiring which supplies signals. By securing a sufficient distance, the parasitic capacitance is reduced, and delays when supplying signals can be suppressed.

In general, data signals are greatly affected by stray capacitances of scan signals, which can cause operation delays, and so a sufficient distance must be secured between data signals and common electrodes or cathodes.

It is preferable that, in boundary portions having a prescribed curvature, at least one of the electrodes constituting the electro-optical element be patterned according to the shape of the boundary portion. This is because, by patterning electrodes in a manner compatible with the curvature, at least a portion of the peripheral circuit can be arranged more easily. For example, at least a portion of the peripheral circuit is a contact region to enable connection between the peripheral circuit and the above electrode.

A fourth electro-optical device of this invention comprises a light-emitting portion, and a peripheral circuit which controls the current supplied to the above light-emitting portion via a pixel electrode; the area of the above light-emitting portion is smaller than the area of the above pixel electrode, and the shape of the above light-emitting portion is different from the shape of the above pixel electrode.

A fifth electro-optical device of this invention comprises a light-emitting portion, and a peripheral circuit which controls the current supplied to the above light-emitting portion via a pixel electrode; the area of the above light-emitting portion is smaller than the area of the above pixel electrode; the shape of the above light-emitting portion is a shape having a curvature, and the shape of the above pixel electrode is polygonal.

A sixth electro-optical device of this invention comprises a light-emitting portion, and a peripheral circuit which controls the current supplied to the above light-emitting portion via a pixel electrode; the area of the above light-emitting portion is smaller than the area of the above pixel electrode; the above light-

emitting portion has a polygonal shape having n vertices (where n is an integer equal to 4 or greater); the above pixel electrode has a polygonal shape having m vertices (where m is an integer equal to 3 or greater); and the relation n>m obtains.

In the above electro-optical device, the light-emitting portion has a shape having a curvature, or has a polygonal shape with four or more vertices, so that short-circuits in the edge portions of light-emitting portion can be prevented. And when forming light-emitting portions using a liquid material, the liquid material can be made to extend thoroughly to the edge portions of light-emitting portions, so that a uniform film can be formed.

In the above electro-optical device, it is preferable that the entire region of the above light-emitting portion be formed on the above pixel electrode, and that a contact region for connection to the above peripheral circuit and to the above pixel electrode be provided in the portion of the above pixel electrode where the above light-emitting portion is not formed.

A seventh electro-optical device of this invention comprises an electro-optical element, a holding capacitance which regulates the current supplied to the above electro-optical element, and an active element which supplies a current according to the voltage recorded in the holding capacitance; a first electrode constituting the holding capacitance is formed by patterning a portion of a metal layer which forms a power supply line supplying current to the electro-optical element.

An eighth electro-optical device of this invention is configured to enable the supply of current to an electro-optical element by an active element according to the voltage recorded in a holding capacitance, and comprises a first metal layer connected to a power supply, and a second metal layer patterned to comprise a portion of a control terminal of an active element; a first electrode constituting the holding capacitance is formed by patterning a portion of the first metal layer.

Here "layer" comprises, in addition to a metal layer, a layer which affects formation of the holding capacitance, such as for example a semiconductor layer.

A second electrode constituting the holding capacitance is formed by patterning a portion of the metal layer which forms the control terminal of the active element.

In the above electro-optical device, the above first electrode may be a portion of the power supply line, and a portion of the metal layer forming the control terminal of the active element in a portion of the power supply line may be overlapped in patterning to form the above second electrode. By means of this configuration, there is no need in particular to provide wiring to connect the holding capacitance and the active element, so that the aperture ratio can be increased.

It is preferable that a semiconductor layer be comprised, overlapping electrodes constituting the holding capacitance and formed in the shape of the electrodes. This semiconductor layer may for example have impurities introduced. The semiconductor layer may be doped with impurities to metallize or to lower the resistance.

It is preferable that the holding capacitance be formed in a region other than the region in which the electro-optical element and active element are formed, so that the aperture ratio is raised. For example, each of the layers comprising the electrodes of the holding capacitance may be formed on a polygon, such as for example a pentagon, corresponding to the shape of the region other than the region in which are formed the electro-optical element and active element.

In the above electro-optical device, it is preferable that, of the layers comprising the holding capacitance electrodes, the region occupied by the layer positioned on the lower side be formed to be greater than the region occupied by the layer positioned on the upper side.

In the above electro-optical device, the region occupied by the layer positioned on the lower side is formed by patterning into a shape such that, even if the greatest possible position shift that can occur during formation of the layer positioned on the upper side occurs, the region of the layer positioned on the upper side is contained within the region of the layer positioned on the lower side.

In the above electro-optical device, it is preferable that a bank layer be further comprised in order to isolate neighboring electro-optical elements, and that the holding capacitance be formed under the bank layer.

In addition, an affinity-controlling layer may be further comprised, within the bank layer or below the bank layer, in order to control the affinity of the liquid material during formation of electro-optical elements.

The overlap region in which is formed the holding capacitance may be provided in a region in which at least one among the first metal layer and the second metal layer is formed in a power supply wiring pattern.

It is further preferable that the wiring pattern formed by the second metal layer be positioned at a prescribed distance or greater from at least one among the two electrodes connected to the electro-optical element. By means of this configuration, unwanted capacitance can be reduced.

A fifth active matrix of this invention is an active matrix substrate comprising pixel electrodes and paths positioned corresponding to the intersections of data lines and scan lines; the above pixel electrodes are connected to a power supply line via at least one transistor; a holding element connected to the gate of the above one or more transistors is provided; and a first electrode constituting the above holding element is connected to the above power supply line.

A sixth active matrix substrate of this invention is an active matrix substrate comprising pixel electrodes and paths positioned corresponding to the intersections of data lines and scan lines; the above pixel electrodes are connected to a power supply line via at least one transistor; a holding element connected to the gate of the above one or more transistors is provided; and a first electrode constituting the above holding element is a portion of the above power supply line.

In the above active matrix substrate, a second electrode constituting the above holding element is the gate of the above one or more transistors.

A seventh active matrix substrate of this invention is an active matrix substrate comprising unit circuits each comprising a transistor, corresponding to the intersections of scan lines and data lines; a semiconductor film constituting the above transistors is formed in a semiconductor layer; at the intersections of the above scan lines and the above data lines, either the above scan line or the above data line is formed in a first conducting layer; and the portions of the above scan line and the above data line other than at the above intersection are formed in a second conducting layer. In this active matrix substrate, it is preferable that the above second conducting layer be positioned between the above first conducting layer and the above semiconductor layer.

By combining the above active matrix substrate with electro-optical elements, an electro-optical device can be configured.

A ninth electro-optical device of this invention is an electro-optical device comprising electro-optical elements corresponding to the intersections of scan lines and data lines; either the above scan lines or the above data lines are formed in a first conducting layer at the intersections of the above scan lines and the above data lines, together with a pair of electrodes which supply power to the above electro-optical element; the portions of the above scan lines and the above data lines other than in the above intersections are formed in a second conducting layer; and the above second conducting layer is positioned at a greater distance than the above first conducting layer from one of the above pair of electrodes.

Here, the above electro-optical elements may be electroluminescence (EL) elements. "Electroluminescence elements" refer in general to elements, whether employing an organic or an inorganic (such as Zn:S) light-emitting material, which utilize electroluminescence phenomena in which the application of an electric field causes holes injected from an anode and electrons injected from a cathode to recombine, so that the recombination energy causes the light-emitting material to emit light. As the layer structure enclosed between the electroluminescence element, in addition to a light-emitting layer comprising light-emitting material, a hole transport layer or an electron transport layer, or both, may also be comprised. Specifically, as layer structures, in addition to a cathode/light-emitting layer/anode structure, a cathode/light-emitting layer/hole transport layer/anode, cathode/electron transport layer/light-emitting layer/anode, cathode/electron transport layer/light-emitting layer/hole transport layer/anode, or similar may be adopted.

The above active matrix substrates may also be employed in electronic device. Here there is no particular restriction on "electronic device", which includes a device comprising a display device comprising an active matrix substrate, such as for example portable telephones, video cameras, personal computers, head-mounted displays, rear- or front-projectors, and also fax machines with display functions, the viewfinder of digital cameras, portable TV sets, DSP devices, PDAs, electronic organizers, and similar.

BRIEF DESCRIPTION OF THE DRAWINGS

21

Fig. 1 is an overall drawing of a display panel of this embodiment;

Fig. 2 is a plane view of a pixel region in embodiment 1;

Fig. 3 shows plane views of a pixel region in embodiment 1; Fig. 3A is a cross-section along A-A in Fig. 2, Fig. 3B is a cross-section along B-B in Fig. 2, and Fig. 3C is a cross-section along C-C in Fig. 2;

Fig. 4 shows examples of modification of the boundary shape of the light-emitting portion; Fig. 4A shows the case of a circular light-emitting portion, Fig. 4B shows the case of a light-emitting portion having a curved portion symmetrical about a center line, and Fig. 4C shows the case of a light-emitting region having a curved portion asymmetrical about a center line;

Fig. 5 is a circuit diagram of a pixel region in embodiment 1;

Fig. 6 is a drawing explaining the alignment of a metal layer in embodiment 1;

Fig. 7 is a drawing explaining processing to separate gate metal in embodiment 1;

Fig. 8 is a plane view of a pixel region in embodiment 2;

Fig. 9 shows cross-sectional views of a pixel region in embodiment 2; Fig. 9A is a cross-section along A-A in Fig. 8, Fig. 9B is a cross-section along B-B in Fig. 8, and Fig. 9C is a cross-section along C-C in Fig. 8;

Fig. 10 is a plane view of a pixel region in embodiment 3;

Fig. 11 shows cross-sectional views of a pixel region in embodiment 3; Fig. 10A is a cross-section along A-A in Fig. 10, and Fig. 10B is a cross-section along B-B in Fig. 10;

Fig. 12 is a plane view of a pixel region in embodiment 4;

Fig. 13 shows cross-sectional views of a pixel region in embodiment 4; Fig. 13A is a cross-section along A-A in Fig. 12, and Fig. 13B is a cross-section along B-B in Fig. 12;

Fig. 14 is a connection diagram for a display panel in embodiment 5; and,

Fig. 15 shows examples of electronic device in embodiment 5, showing examples of application of a display panel of this invention to a portable telephone in Fig. 15A, to a camcorder in Fig. 15B, to a portable personal computer in Fig. 15C, to a head-mounted display in Fig. 15D, to a rear projector in Fig. 15E, and to a front projector in Fig. 15F.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

Next, preferred embodiments of the invention are explained, referring to the drawings as examples. The following embodiments are no more than examples of embodiments of this invention, and do not limit the scope of application.

Embodiment 1

This embodiment of the invention relates to a display panel which is an electro-optical device employing EL elements as electro-optical elements. Fig. 1 is an overall drawing of a display panel comprising an active matrix panel, comprising EL elements.

As shown in Fig. 1, the display panel 1 is configured by positioning a display region 11 and driver regions 14 and 15 on a glass substrate 16. A cathode 12 is formed over the entirety of the display region 11, and is connected to the cathode lead electrode 13. Pixel regions 10 are arranged in a matrix in the display region 11. In the case of a color display, the pixel regions 10 are configured to enable emission of primary colors (for example, the three primary colors red, blue, green) taken as necessary for color display; a combination of pixel regions emitting light of each primary color becomes one pixel element. For example, the driver region 15 positioned in the column direction of the display region 11 outputs a write control line Vsel and a light emission control line Vgp; and the driver region 14 positioned in the row direction of the display region 11 outputs, in addition to the power supply line Vdd, data current signals to the data line Idata. By controlling the light-emission state in each pixel region 10 by means of driver circuits, not shown, formed in the driver regions 14 and 15, an arbitrary image can be displayed in the display region 11.

Fig. 2 shows a plane view which explains the wiring pattern in one pixel region and the periphery. In Fig. 2, the patterns can be seen in the semiconductor layer 102, which is particularly important and is shown in Fig. 3, in the gate metal layer 104, source metal layer 106, and anode layer 110.

As shown in Fig. 2, the light-emitting portion OLED and peripheral circuitry to drive this portion are all positioned in the region enclosed by the power supply line Vdd and the data line Idata. The power supply line Vdd is positioned at a distance

from the data line Idata, with the light-emitting portion OLED intervening. The peripheral circuit comprises a transistor T1 as a first active element, a transistor T2 as a second active element, a transistor T3 as a current-controlling active element, a transistor T4 as a light emission-controlling active element, and a holding capacitor C as a holding element. No restrictions in particular are placed on the conduction types of the transistors T1 to T4, but in this embodiment, the conduction type of transistor T1 is p type, and that of all the other transistors is n type.

The source of the transistor T1 is connected to the power supply line Vdd, and the drain is connected to the drain side of transistor T4. The source of transistor T4 is connected to the anode of the light-emitting portion OLED. The holding capacitor C is formed between the power supply line Vdd and the gate of transistor T1. The source of transistor T2 is connected to the holding capacitor C and to the gate of transistor T1, and the drain is connected to the drain of transistor T3 and between transistors T1 and T4. The source of transistor T3 is connected to the data line Idata, and the gate is connected, in common with the gate of transistor T2, to the write-control line Vsel.

Fig. 3 shows cross-sections to explain the layer structure in each of the cross-sectional planes shown in Fig. 2. Fig. 3A, Fig. 3B, and Fig. 3C show the layer structure in the A-A cross-sectional plane, B-B cross-sectional plane, and C-C cross-sectional plane, respectively.

As shown in Fig. 3A, the pixel region 10 is configured by stacking, on the glass substrate 100 (the glass substrate 16 in Fig. 1), an underlayer protection film

101, semiconductor layer 102, gate insulating film 103, gate metal layer 104, first interlaminar insulating film 105, source metal layer 106, second interlaminar insulating film 107, bank layer 108, and cathode layer 109 (the cathode 12 in Fig. 1). Further, as shown in Fig. 3B and Fig. 3C, the electric field light-emitting portion OLED is configured by stacking an anode layer 110, hole transport layer 111, and light-emitting layer 112.

As the glass substrate 100, because the EL elements of this embodiment emit light on the substrate side and it is necessary that light be transmitted, soda lime glass, low-expansion glass, quartz glass, and other non-alkaline glasses are employed. However, when an optically transmissive material is used as the cathode layer 109 and EL elements are configured such that light is emitted from the cathode side, it is also possible to use metal or other conductive materials, as well as silicon carbide (SiC), alumina (Al_2O_3), aluminum nitride (AlN), and other non-transparent insulating materials.

As the underlayer protective film 101, silicon oxide film (SiO_x: $0<x\leq2$), silicon nitride film (Si_3N_x: $0<x\leq4$), and other insulating materials can be used. The underlayer protective film is formed in order to prevent sodium (Na) and other mobile ions contained in the glass substrate from penetrating into the semiconductor layer and exerting adverse effects on impurity control in the semiconductor layer.

After first washing the substrate 100 with deionized water and alcohol or another organic solvent, the underlayer protection layer 101 is formed on the

substrate by atmospheric-pressure chemical vapor deposition (APCVD), low-pressure chemical vapor deposition (LPCVD), plasma-enhanced chemical vapor deposition (PECVD), or another CVD method, or by sputtering.

As the semiconductor layer 102, in addition to a group IV single-element semiconductor layer of silicon (Si), germanium (Ge) or similar, a complex with a group IV element, such as silicon germanium (Si_xGe_{1-x}: $0<x<1$), silicon carbide (Si_xC_{1-x}: $0<x<1$), or germanium carbide (Ge_xC_{1-x}: $0<x<1$), as well as a compound of group III and group V elements such as gallium arsenide (GaAs) and indium antimonide (InSb), a compound of group II and group VI elements such as cadmium selenide (CdSe), or other different complex compounds such as silicon germanium gallium arsenide ($Si_xGe_yGa_zAs_z$: $x+y+z=1$), can be employed.

The semiconductor layer 102 is formed by first depositing silicon or similar by, for example, the APCVD, LPCVD, PECVD or other CVD method, or by sputtering, evaporation deposition, or other PVD method, and then irradiating with laser light to induce a polycrystalline structure. As the laser light, the fundamental and higher harmonics of an excimer laser, argon ion laser, or YAG laser are used as appropriate. For example, when a polycrystalline structure is induced in silicon, polysilicon is obtained. This polycrystalline semiconductor layer 102 is patterned so as to be compatible with the element shapes of the holding capacitance C and each of the TFTs (thin film transistors) T1 to T4. For example, by performing reactive ion etching using a mixture of CF_4 and oxygen gases, a semiconductor layer in an amorphous state can be patterned into an island morphology compatible

with element shapes. After patterning, for example, a gate metal layer is formed, and then the gate metal layer is used as a mask to introduce impurities into the semiconductor layer. Specifically, phosphorus (P), arsenic (As), antimony (Sb), or other donor elements are added for each element to obtain n-type semiconductor layer, and boron (B), aluminum (Al), gallium (Ga), indium (In), and other acceptor elements are added to obtain p-type semiconductor layer. In this embodiment, impurities are introduced such that the semiconductor layer constituting the holding capacitor C are n-type semiconductor layer. When TFTs with an LDD structure are employed and the threshold voltage of the TFTs is to be adjusted, channel doping to introduce impurities in low concentrations is performed.

As the gate insulating film 103, for example, a silicon dioxide film is formed using tetraethyl orthosilicate (TEOS) as the raw material. The gate insulating film 103 is formed by, for example, plasma CVD in a microwave-discharge plasma, ECR plasma, or other oxygen or nitrogen atmosphere.

As the gate metal layer 104, a conductive material such as, for example, tantalum (Ta), tungsten (W), chromium (Cr), or aluminum (Al) is used. The gate metal layer 104 is formed by first depositing a film by sputtering or other means, and then patterning into the shape of a gate electrode.

As the first interlaminar insulating film 105, silicon oxide, silicon nitride, or some other insulating film can be used. The first interlaminar insulating film is formed by sputtering or similar, and, for example, contact holes are then formed in order to form TFT source and drain electrodes.

As the source metal layer 106, in addition to aluminum (Al), for example, tantalum, molybdenum, titanium, tungsten, or some other conductive material can be used. The source metal layer is formed by using sputtering or another method to uniformly layer a conductive material, and then patterning according to the electrode shape.

As the second interlaminar insulating film 107, silicon oxide, silicon nitride, or some other insulating film can be used. The second interlaminar insulating film is formed by sputtering or other means, and then, for example, contact holes h1 and h2 for the anode layer 110 are formed.

As the anode layer 110, for example, indium tin oxide (ITO) alloy or some other optically transmissive conducting material can be used. When there is no need for optical transmission properties, tin oxide (NESA), gold, silver, platinum, copper, or another material can be used as the anode layer. After using sputtering or some other method to form the anode layer, patterning is performed according to the shape of the light-emitting portion OLED. No restrictions in particular are placed on the shape of the anode layer (or the pixel electrodes), but it is desirable that the area be larger than that of the light-emitting portion OLED. Through such a configuration, a contact region for electrical connection of a peripheral circuit or pixel circuit with the pixel electrodes can be provided in a region other than the light-emitting portion of the pixel electrodes. Through such a configuration, the flatness of, at least, the light-emitting portion can be improved.

As the bank layer 108, silicon oxide, silicon nitride, polyimide, or some other insulating material can be employed. The bank layer is formed by deposition using sputtering or a similar method, after which an aperture portion is provided in a position corresponding to the light-emitting portion OLED.

As the hole transport layer 111, for example, N, N'-diphenyl-N,N'-bis-(3-methylphenyl)-(1,1'-biphenyl)-4,4'-diamine (TPDA) is used. The hole transport layer is deposited in the aperture portion provided in the bank layer 109, using a metal mask or similar.

As the light-emitting layer 112, for example, tris-(8-quinolinol) aluminum (Alq_3) or another arbitrary light-emitting material is used. The light-emitting layer can be formed by evaporation deposition using a metal mask or silicon mask; however, an ink jet method may be employed to arrange a solvent comprising the light-emitting material in the aperture portion, after which the solvent component is caused to evaporate.

As the cathode layer 109, a material the energy level of which enables use as the cathode of an EL element, such as aluminum or an alloy of aluminum with another element (such as lithium), or calcium or similar, is used. The cathode layer is formed using a metal mask or similar, and is patterned by photolithography or using a shadow mask method.

In this embodiment, pixel electrodes are anodes and the common electrode is a cathode; however, a configuration may be employed in which the pixel electrodes are cathodes and the common electrode is a anode. Typically, cathode

materials are often metals, but when the pixel electrodes are cathodes, the light emitted by the light-emitting portion OLED is then emitted on the side opposite the substrate 100. Of course, even when the pixel electrodes are anodes and the common electrode is a cathode, by using a transparent material as the cathode material, or by making the film thickness sufficiently thin that light is transmitted, light can be emitted on the side opposite the substrate 100.

Below, several features regarding wiring patterns in this embodiment are explained in sequence.

Planar Shape of the Light-Emitting Portion

One method of manufacture of EL elements involves using an ink jet method to discharge a liquid material comprising a light-emitting material, carrier transport material or carrier blocking material into an aperture portion, followed by drying, to form the light-emission layer. In this manufacturing method, it is important that the discharged liquid material extend uniformly to all areas of the aperture portion. If the liquid material does not extend uniformly, the thickness of the light-emitting layer after film deposition is uneven, the intensity of light emitted within the light-emitting region is uneven, and the image quality of the display panel is diminished. If for example it is supposed that the planar shape of the aperture portion is square, then under the influence of the surface tension and viscosity of the liquid material, the height of the surface of the liquid material discharged into the corners of the aperture portion will differ from other areas. Hence there is the possibility that for a

light-emitting portion with such a shape, the thickness of the light-emitting layer after film formation will be uneven.

On the other hand, there is a need to increase the brightness of the display panel, and so there are requests to increase insofar as possible the size of the region in which light is emitted, that is, the light-emitting portion, and to reduce insofar as possible the region occupied by peripheral circuitry, that is, to raise the aperture ratio. The pattern layout cannot be designed considering only the ease of manufacture.

In order to satisfy all these requests, in this embodiment the boundaries of the light-emitting portion are formed so as to have at least a prescribed curvature, and at least a portion of the peripheral circuit is formed in the region surrounded by these boundaries having the prescribed curvature and the boundaries of a polygon circumscribing the boundaries of this light-emitting portion.

Based on Fig. 4, a specific concept is explained. Figs. 4A, 4B and 4C show, partially or entirely, the planar shape of a light-emitting portion to which the concept of this invention is applied. Fig. 4A is the case in which the boundary of the light-emitting portion is circular, that is, the entire boundary has a fixed curvature R. A portion of the peripheral circuit is provided within the region, indicated by shading, enclosed by this circle and by a polygon circumscribing the circle, that is, the square shown by a broken line. The light-emitting portion of this circle is regarded as having an ideal shape for rendering uniform the film thickness of the light-emitting portion, insofar as the shape is symmetrical about any center line passing

through the center. However, as shown in Fig. 4A, effective utilization of the shaded portion is necessary in order to improve the aperture ratio of the light-emitting portion.

Fig. 4B is an example in which this invention is applied to the corners of a rectangular shape; in this example, the boundaries of the light-emitting portion are provided with a fixed curvature R. In this example, the circumscribing polygon is a rectangle, shown by a broken line; the shaded regions surrounded by the boundaries of the light-emitting portion and the boundaries of the rectangle are the regions in which a portion of, or the entirety of, the peripheral circuit is provided. The present embodiment pertains to this example; as the curvature R is increased, an oblong planar shape for the light-emitting portion results, such as in this embodiment. In this example also, the shape is symmetrical laterally and vertically about a center line passing through the center of the light-emitting portion, and moreover the curvature of the corner portions is equal to or greater than a fixed value, so that a light-emitting portion with uniform film thickness can be formed.

Fig. 4C is an example in which the curvature of the corner portions is set to be unequal with respect to a center line. The curvature R1 of the corner portion on the left side facing the drawing is smaller than the curvature R2 of the corner portion on the right side.

In this example, the circumscribing polygon is a rectangle, shown by a broken line, and the shaded regions surrounded by the boundaries of the light-emitting portion and the boundaries of the rectangle are regions in which a portion

of or the entirety of the peripheral circuit is provided. Even when the curvature is unequal in this way, by setting the minimum curvature to be greater than or equal to a constant value, a light-emitting portion with uniform film thickness can be formed. Because the minimum curvature is affected by the viscosity and surface tension of the discharged solution, and by the water repellence or liquid repellence (affinity to water or to liquids) of the discharge surface, the minimum curvature should be determined by experiment for each set of conditions.

In this embodiment, a light-emitting portion with a rectangular planar shape, such as shown in Fig. 2, is adopted. And, a portion of the peripheral circuit, namely, the contact holes h1 and h2 (see Fig. 3B), is formed within the region surrounded by the boundaries of the light-emitting layer and the boundaries of the rectangle (not shown) circumscribing the boundaries of the light-emitting portion. In this embodiment, the regions indicated by shading in Fig. 4B which normally are wasted space are used for these contact holes, and this satisfy demands for effective use of space.

In addition to contact holes, any other elements of the peripheral circuit, such as for example transistors and capacitors, may be formed in the regions surrounded by the boundaries of the light-emitting portion and the boundaries of a polygon circumscribing the light-emitting portion. Moreover, it is not necessary to include the entirety of an independently functioning element in these regions; a portion of an element or contact, that is, a portion of the peripheral circuit, may be

included in the region. In other words, it is essential that placement be performed so as to make effective use of space.

In cases where a liquid material is not used to form the light-emitting portion, even when, for example, evaporation deposition or similar is used to form the light-emitting portion, by employing a shape in which the edge portions of the light-emitting portion have a curvature, there is the enduring advantage that the danger of short-circuits between the pixel electrode at the edge portions of the light-emitting portion OLED and the common electrode is reduced.

Strictly speaking, a curvature can be represented as a collection of fine straight lines, and so the shape of the light-emitting portion can be interpreted as a polygon having more numerous vertices than the shape of the pixel electrode.

Contact Holes for the Light-Emitting Portion

In an EL element, provision of a contact hole in a region surrounded by the boundaries of the light-emitting portion and the boundaries of a polygon circumscribing the light-emitting portion, as shown in Fig. 2, is significant. In other words, by providing a comparatively large contact hole in this region, the region can be used effectively, and sufficient current can be supplied to the light-emitting portion.

It is further preferable that a plurality of contact holes be provided. That is, in the EL element, a certain amount of current in the light-emitting layer must be passed uniformly to the entirety of the light-emitting portion. If a contact hole used for connection to an anode directly supplying current is provided in an eccentric

position, the supply of current may be uneven. An uneven supply of current appears as irregularities in the intensity of light emission.

If, as in this embodiment, a plurality of contact holes are provided in positions which are symmetrical with respect to a center line passing through the center of the light-emitting portion, then this problem can be resolved. That is, as shown in Fig. 2, in this embodiment a plurality of comparatively large contact holes are provided in regions provided symmetrically with respect to a prescribed center line passing through the center of the light-emitting portion. By providing these contact holes in symmetrical regions, the demand for uniform film deposition in the light-emitting portion, as well as the demand that current supplied to the light-emitting portion be uniform, can both be satisfied.

Alignment of Metal Layers

Depending on the EL element driving method, the stability of the current supplied to the light-emitting portion may be affected by fluctuations in the holding capacitance. In this embodiment also, it is undesirable for the capacitance value of the holding capacitor C to fluctuation either from one pixel to another, or from one display panel to another. However, when stacking metal layers in a process to manufacture a display panel, there may occur shifts from planned positions. Because the numerical area of overlapping metal layers determines the holding capacitance, shifts in position give rise to fluctuations or scattering in capacitance values, and there are cases in which capacitance values of holding capacitances may cause fluctuations either among pixel regions, or among display panels.

Hence in this embodiment, in the vicinity of overlapping regions forming the holding capacitor C, among the plurality of layers related to formation of the holding capacitor C, that is, among the source metal layer 106, gate metal layer 104, and semiconductor layer 102, the occupied region or width of a layer positioned on the lower side (relative to the source metal layer, the gate metal layer and semiconductor layer) is formed to be larger than the occupied region or width of the layer positioned on the upper side (relative to the semiconductor layer, the gate metal layer and source metal layer; relative to the gate metal layer, the source metal layer).

This feature can be seen in the plane view of Fig. 2, but is explained in greater detail referring to the A-A cross-section shown in Fig. 6. As shown in Fig. 6, if the width of the source metal layer 106 is d1, the width of the gate metal layer 104 is d2, and the width of the semiconductor layer 102 is d3, then the relation d3>d2>d1 obtains. The lower the layer, the larger is the pattern shape.

The extent to which [the pattern shape] should be increased will vary depending on the precision of the manufacturing processes and the pattern density. As one approach, patterns should be formed for each layer such that, when forming layers positioned on the upper side, even when the maximum possible shift in position occurs, the region in the layer positioned on the upper side will be contained within the region in the layer positioned on the lower side. In this embodiment also, the differences d3-d2 and d2-d1 are designed to be equal to or greater than predicted position shifts in manufacturing processes.

Formation of Separations between Gate Metal Layers

EL elements comprise a common electrode; the common electrode is formed over the entirety of the display region. In this embodiment also, a cathode 13 (cathode layer 109) is formed over the entirety of the display region 11 as shown in Fig. 1 as the common electrode for the light-emitting portion OLED. However, if the common electrode is formed over the entirety, there is the problem that a capacitance occurs with the gate metal layer connected to the gates of transistors. If such stray capacitance appears, lags occur in transistor operation, and operation with the timing of the design cannot be guaranteed.

Hence in this embodiment, the wiring pattern formed by the gate metal layer is positioned with a separation of at least a prescribed distance from at least one among the electrodes of the light-emitting layer. A problem due to low impedance arises due to the distance between the cathode layer 109 which is the common electrode and the gate metal layer 104. Also, the cathode layer 109 is a small distance from the lower side in the light-emitting portion OLED, so that the distance from the gate metal layer in the vicinity of the light-emitting portion poses a problem. Hence in this embodiment, as shown in Fig. 7 (equivalent to the C-C cross-section in Fig. 2), patterns are formed such that, near the light-emitting portion, the distance d1 in the depth direction between the cathode layer 109 and the gate metal layer 104 and the distance d2 in the plane are both equal to or greater than a prescribed distance.

Here the prescribed distance will change variously depending on the area of the gate metal layer and the dielectric constants of intervening layers, and so cannot be specified generally; however, it is preferable that patterning should be at as great a distance as possible, within the range allowed by the area of pixel regions and other.

Wiring to supply data signals, scan signals, and other electrical signals must be laid out in consideration of operation delays caused by stray capacitances. In this embodiment, the data lines Idata and scan lines Vsel use the gate metal layer 104 which is at a greater distance from the cathode 109 which is a common electrode, and at the intersections between data lines Idata and scan lines Vsel, data lines Idata are formed in the source metal layer 106, but the portions of data lines Idata outside intersections and the scan lines Vsel are formed in the gate metal layer 104.

When it is necessary to further reduce the stray capacitances to which data lines Idata contribute, the entirety of the data lines Idata may be formed in the conducting layer which is at the greatest distance from the common electrode. To give an explanation corresponding to this embodiment, at the intersections between data lines Idata and scan lines Vsel, scan lines Vsel are formed in the source metal layer 106, and the entirety of data lines Idata as well as the portion of scan lines Vsel outside intersections may be formed in the gate metal layer 104.

In order to remove signals lines such as scan lines and data lines farther from the common electrode and from pixel electrodes, a conducting layer may be

formed in the same layer as the semiconductor layer 102; and, if a so-called bottom-gate configuration for transistors is employed, then the conducting layer may be provided below the semiconductor layer, and this conducting layer can be used for wiring of signal lines.

Operation of Peripheral Circuits

Next, the operation of the peripheral circuit of an EL element of this embodiment is explained. Fig. 5 shows a circuit diagram for one pixel circuit constituting the pixel region 10.

1) The circuit of this embodiment has a circuit configuration which operates through the supply of current data as data signals. Pixel display begins with the selection of the write control line Vsel as a data writing operation, putting the transistors T2 and T3 into the turned-on state.

2) When the transistors T2 and T3 are put into the conducting state, the transistor T1 reaches a steady state after a prescribed time, and electric charge accumulates in the holding capacitor C according to the data current Cdata.

3) As light emission action, the write control line Vsel is put into the unselected state, the transistors T2 and T3 are turned off, and after stopping supply of the data current Cdata, the light emission control line Vgp is selected. As a result, the transistor T4 is turned on, and a current corresponding to the potential difference Vgs between the voltage stored in the holding capacitor C and the power supply voltage Vdd is supplied to the light-emitting portion OLED via the transistors T1 and T4, so that light is emitted from the light-emitting layer.

Improvement of Current Maintenance Performance in Peripheral Circuits

Below, features of this embodiment in the peripheral circuitry are explained.

In the prior art, no consideration in particular has been paid to active elements controlling the charging and discharging of holding capacitances. In miniaturized FETs, when the gate voltage is below the threshold, the drain current also depends on the drain voltage. That is, the injection current in the source-drain channel increases as an exponential function of the gate voltage, and leakage currents occur. For example, when a leakage current occurs in transistor T2 shown in Fig. 5, the cross-terminal voltage Vgs of the holding capacitor C deviates from the value corresponding to the supplied data signal, and the drain current of the transistor T1 which takes this voltage as a control voltage for input to its gate fluctuates. This fluctuation appears as a change in brightness in the light-emitting portion OLED, so that light emission at a stable brightness can no longer be guaranteed.

Hence in this embodiment, as shown in Fig. 1 and Fig. 5, transistor T2 which is an active element directly connected to the holding capacitor C is an active element with multiple control terminals, that is, a multi-gate type transistor. Using such a transistor, as indicated by the arrow in Fig. 5, is for practical purposes equivalent to directly connecting a plurality of transistors, and the leakage current is greatly suppressed. A current corresponding to the supplied data signal is reliably supplied to the light-emitting portion OLED.

As the transistor T2, instead of, or in addition to, a multi-gate type structure, an LDD, GDD, or DDD structure can also be employed. By employing such a structure, the leakage current can be reduced, and adverse effects due to hot electrons when a FET is miniaturized are suppressed, so that element reliability is enhanced.

In this embodiment, in consideration of the polarity of control signals, transistor T1 and transistor T2 have opposite polarities, that is, transistor T1 is a p-type FET, and transistors T2 to T4 are n-type FETs. However, whether to use a p-type or an n-type [transistor] can be decided arbitrarily according to the polarity and other details of signals which are to be used, and no restrictions apply.

Moreover, the placement of elements is not limited to that of Fig. 5. For example, the electrical potential relationships of the holding capacitor, transistor T1, and light-emitting portion OLED can be reversed. In this case, it is desirable that the common electrode of the light-emitting portion be an anode, and that the polarities of each of the transistors (whether n-type or p-type) be reversed.

Reduction of Peripheral Circuit Space

As explained above, in order to increase the brightness or aperture ratio in a display device, it is demanded that the region occupied by peripheral circuitry be decreased as much as possible. To this end, in this embodiment a wiring pattern is formed such that at least one active element among the plurality of transistors and other active elements is connected to another active element by the same contact hole. Specifically, as shown in Fig. 2, transistors T2, T3, and T4 are interconnected

by the same contact hole h3. In this way, the layout is optimized such that there are more numerous common connection points or contacts in a circuit, and by arranging elements such that portions which are common contact points are connected by the same connection points, the number of contact holes can be reduced and the area occupied by the peripheral circuitry is reduced due to these contact holes.

Embodiment 2

Fig. 8 shows a plane view explaining one pixel region and the wiring pattern in the vicinity thereof for an EL element of embodiment 2 of this invention. Fig. 9 shows cross-sectional views which explain the layer structure in cross-sections of Fig. 8. Fig. 9A shows the layer structure in a cross-section along the A-A plane, Fig. 9B is a cross-section along B-B, and Fig. 9C is a cross-section along C-C. In these drawings, similarly to embodiment 1, the patterns of the principal semiconductor layer 102, gate metal layer 104, source metal layer 106, and anode layer 110 are shown.

The configuration of the EL element in embodiment 2 is, except for the existence of an affinity-controlling film 113 which forms a step shape, similar to the EL element of embodiment 1. Hence components similar to those of embodiment 1 are assigned the same symbols in the drawings, and explanations are omitted.

Below, features of this embodiment are described.

Affinity-Controlling Layer

As shown in Fig. 9C, the light-emitting portion OLED in embodiment 2 comprises an affinity-controlling layer 113, between the second interlaminar insulating film 107 and the bank layer 108. This affinity-controlling layer 113 need not be formed over the entire pixel region, but when forming a light-emitting portion OLED using a liquid material, should preferably be provided at least near the boundaries of the light-emitting portion. The affinity-controlling layer 113 must have an affinity for the liquid material used in forming the light-emitting portion. In this embodiment, the bank layer 108 forms a wall near the boundary of the light-emitting portion; a material is selected which exhibits no affinity for the liquid material used when forming the light-emitting layer 110, and [the bank layer] is stacked on top of the affinity-controlling layer 113. Consequently the affinity-controlling layer 113 forms a step shape Step on the inside of the light-emitting portion in the wall formed by the bank layer, as shown in Fig. 8 and Fig. 9C.

The material of the affinity-controlling layer 113 is determined according to the kind of properties of the liquid material which is used to fill the light-emitting region by the ink jet method. For example, if the liquid material comprises a liquid such as water which is highly polar, it is desirable that the affinity-controlling layer have polar bases, at least in the portion making contact with the liquid material or on the surface. Conversely, if the liquid material comprises a nonpolar liquid, it is desirable that the affinity-controlling layer have nonpolar bases, at least in the portion making contact with the liquid material or on the surface. Also, the extent of

the affinity of the affinity-controlling layer is determined by the surface tension of the liquid material which fills the light-emitting region.

For example, even if a material which chemically has a weak affinity for water is used as an affinity-controlling layer, if the liquid material comprises large quantities of a solvent with a surface tension lower than that of water, the surface tension of the liquid material will be lower than that of water, and so the affinity-controlling layer will exhibit affinity for the liquid. Hence the type of material to use in the affinity-controlling layer is changed variously according to the liquid material to be used.

It is preferable that the affinity-controlling layer 113 comprise an inorganic compound or organic compound which in turn comprises one among Al, Ta or another metal, silicon oxide, silicon nitride, amorphous silicon, polysilicon, polyimide, an organic compound with fluoride bonds, or a photoresist. If insulating properties are necessary, the affinity-controlling layer comprises a nonmetallic compound. The affinity of these materials is determined by differences in the contact angle with respect to the liquid material. That is, the degree of affinity or absence of affinity is determined in relative and not absolute terms. The degree of affinity can also be adjusted through surface treatment methods.

It is preferable that the bank layer 108 comprise a material with weaker affinity than the affinity-controlling layer 113. This is because, by making the affinity of the bank layer weaker than that of the affinity-controlling layer, the absence of affinity of the bank layer can repel the liquid material to prevent flowing of the liquid

material into neighboring pixel regions and avoid short-circuits. Also, the absence of affinity of the bank layer prevents liquid material from being drawn excessively toward the bank layer side so that a concave-shape film is formed.

Thus in this embodiment, an affinity-controlling layer with an affinity for the liquid material is provided near the boundaries of the light-emitting portion, so that a light-emitting layer of uniform film thickness can be formed.

In this way, according to this embodiment, an affinity-controlling layer with affinity for the liquid material is provided near the boundaries of the light-emitting portion, so that the uniformity of the thickness of the hole injection layer, light-emitting layer, and other layers constituting the light-emitting portion is improved.

In this embodiment, the affinity-controlling layer 113 is formed in a step shape; but when the thickness of the layer cross-section can be made sufficiently great, walls without a step shape, that is, a single wall without a step with the bank layer, may be formed.

Other advantageous results of embodiment 2 are similar to those of embodiment 1, and an explanation is omitted.

Embodiment 3

Fig. 10 shows a plane view which explains one pixel region and the peripheral wiring pattern for an EL element in embodiment 3. Fig. 11 shows cross-sectional views explaining the layer structure in cross-sections indicated in Fig. 10. Fig. 11A and Fig. 11B show the layer structures in the cross-sections along A-A and B-B respectively in Fig. 10. In these drawings, similarly to embodiment 1,

patterns in the principal semiconductor layer 202, gate metal layer 204, source metal layer 206, and anode layer 210 can be seen.

In the pattern shape of the EL element in embodiment 3, the width of the pixel region 20 is smaller than the width of the pixel region 10 in embodiment 1. However, the circuit configuration is similar to that of embodiment 1 (see Fig. 5), and the materials forming each layer are also similar to embodiment 1, and so components which are the same as in embodiment 1 are assigned the same symbols in the drawings, and explanations are omitted. The glass substrate 100, underlayer protection film 101, semiconductor layer 102, gate insulating film 103, gate metal layer 104, first interlaminar insulating film 105, source metal layer 106, second interlaminar insulating film 107, bank layer 108, cathode layer 109, anode layer 110, hole transport layer 111, and light-emitting layer 112 in embodiment 1 correspond, respectively, to the glass substrate 200, underlayer protection film 201, semiconductor layer 202, gate insulating film 203, gate metal layer 204, first interlaminar insulating film 205, source metal layer 206, second interlaminar insulating film 207, bank layer 208, cathode layer 209, anode layer 210, hole transport layer 211, and light-emitting layer 212 in embodiment 3. Also, the transistors T1 to T4 in embodiment 1 correspond respectively to the transistors T11 to T14 in embodiment 3, and the contact holes h1 to h3 in embodiment 1 correspond respectively to the contact holes h11 to h13 in embodiment 3.

Below, features of the wiring pattern in this embodiment are explained.

Holding Capacitor Under the Power Supply Line

In embodiment 1, the holding capacitor C was positioned between the power supply line Vdd and the data line Idata, outside the light-emitting portion (in the upper portion of the light-emitting portion in Fig. 2). However, when the area of the pixel region is comparatively small as in this embodiment, that is, when the pixel density is high, it is not possible to secure sufficient element space for occupation by the holding capacitor.

Hence in this embodiment, the holding capacitor C is formed in the region in which at least one among a first metal layer (for example, the source metal layer 206) or a second layer forms a power supply wiring pattern. Specifically, as shown in Fig. 10, the holding capacitor C is formed by stacking a gate metal layer 204 in parallel below the power supply line Vdd (source metal layer 206) positioned on the side of the light-emitting portion OLED.

The holding capacitor C is formed by causing an overlapping region to occur among the plurality of layers (for example, the source metal layer 206, gate metal layer 204, and semiconductor layer 202) relating to formation of the holding capacitor C, similarly to the holding capacitor explained in embodiment 1; near the overlapping region in which the holding capacitor C is formed, the region occupied by the layer positioned on the lower side among the plurality of layers is formed to be larger than the region occupied by layers positioned on the upper side. Specifically, as shown in Fig. 11B, if the width of the source metal layer 206 is d11, the width of the gate metal layer 204 is d12, and the width of the semiconductor

layer 202 is d13, then the relation d13 > d12 > d11 obtains. The lower the layer, the larger the pattern shape is made.

The extent to which the size is increased will depend on the precision of the manufacturing processes and the pattern density. As one approach, patterns should be formed for each layer such that, when forming layers positioned on the upper side, even when the maximum possible shift in position occurs, the region in the layer positioned on the upper side will be contained within the region in the layer positioned on the lower side. In this embodiment also, the differences d13-d12 and d12-d11 are designed to be equal to or greater than predicted position shifts in manufacturing processes.

Holding Capacitor Below the Bank Layer

It is preferable that the above-described holding capacitor be formed below the bank layer 208, in order to isolate the above-described neighboring light-emitting portion. That is, because the bank layer is necessary for pixel separation, by superposing the wiring region for the power supply line and the overlapping region for the holding capacitor, the area occupied by the peripheral circuit can be greatly reduced, and a sufficient aperture ratio can be secured.

Reduction of Peripheral Circuit Space

Similarly to embodiment 1, in embodiment 2 a wiring pattern is fabricated such that at least one active element among a plurality of transistors and other active elements is connected to another active element by the same contact hole. Specifically, as shown in Fig. 10, the transistors T12, T13 and T14 are

interconnected by the same contact hole h13. In this way, by designing the circuit such that there are numerous common contact points in the circuit, and arranging elements such that portions which are common contact points are connected by the same connection points, the number of contact holes can be reduced, and the occupied area of the peripheral circuit used for contact holes can be decreased.

Other features, such as for example the planar shape of the light-emitting portion, separation from the electrodes of the gate metal layer, peripheral circuit operation, and improvement of the current maintenance performance of the peripheral circuit, are similar to those of embodiment 1, and an explanation is omitted.

Embodiment 4

Fig. 12 shows a plane view which explains one pixel region and the peripheral wiring pattern for an EL element in embodiment 3 of this invention. Fig. 13 shows cross-sectional views which explain the layer structure at cross-sections indicated in Fig. 12. Fig. 13A and Fig. 13B show the layer structure at cross-sections A-A and B-B respectively in Fig. 12. As in embodiment 3, in these drawings the patterns of the principal semiconductor layer 202, gate metal layer 204, source metal layer 206, and anode layer 210 can be seen.

Except for the existence of an affinity-controlling film 213 forming a step shape, the configuration of the EL element of embodiment 4 is the same as the EL element of embodiment 3. Hence the same symbols in drawings are assigned to components which are the same as in embodiment 3, and an explanation is omitted.

Features of this embodiment are explained below.

Affinity-Controlling Layer

As shown in Fig. 13B, the light-emitting portion OLED in embodiment 4 comprises an affinity-controlling layer 213 between the second interlaminar insulating film 207 and the bank layer 208. This affinity-controlling layer 213 need not be formed over the entire pixel region, but must be provided, at least, near the boundaries of the light-emitting portion. The affinity-controlling layer 213 must have affinity with the liquid material used in forming the light-emitting portion. In this embodiment, the bank layer 208 forms walls near the boundaries of the light-emitting portion; a material which exhibits a lack of affinity with the liquid material used when forming the light-emitting layer 212 or hole injection layer 211 is selected, and is stacked on top of the affinity-controlling layer 213. Consequently the affinity-controlling layer 213 forms a step shape on the inside of the light-emitting portion with respect to the wall formed by the bank layer, as shown in Fig. 12 and Fig. 13B.

The material of the affinity-controlling layer 113 is determined according to the properties of the liquid material with which the light-emitting region is filled using the ink jet method. For example, if the liquid material comprises a liquid such as water which is highly polar, it is desirable that the affinity-controlling layer have polar bases, at least in the portion making contact with the liquid material or on the surface. Conversely, if the liquid material comprises a nonpolar liquid, it is desirable that the affinity-controlling layer have nonpolar bases, at least in the portion making

contact with the liquid material or on the surface. Also, the extent of the affinity of the affinity-controlling layer is determined by the surface tension of the liquid material which fills the light-emitting region.

For example, even if a material which chemically has a weak affinity for water is used as an affinity-controlling layer, if the liquid material comprises large quantities of a solvent with a surface tension lower than that of water, the surface tension of the liquid material will be lower than that of water, and so the affinity-controlling layer will exhibit affinity for the liquid. Hence the type of material to use in the affinity-controlling layer is changed variously according to the liquid material to be used.

It is preferable that the affinity-controlling layer 213 comprise an inorganic compound or organic compound which in turn comprises one among Al, Ta or another metal, silicon oxide, silicon nitride, amorphous silicon, polysilicon, polyimide, an organic compound with fluoride bonds, or a photoresist. If insulating properties are necessary, the affinity-controlling layer comprises a nonmetallic compound. The affinity of these materials is determined by differences in the contact angle with respect to the liquid material. That is, the degree of affinity or absence of affinity is determined in relative and not absolute terms. The degree of affinity can also be adjusted through surface treatment methods.

It is preferable that the bank layer 108 comprise a material with weaker affinity than the affinity-controlling layer 113. This is because, by making the affinity of the bank layer weaker than that of the affinity-controlling layer, the absence of

affinity of the bank layer can repel the liquid material to prevent flowing of the liquid material into neighboring pixel regions and avoid short-circuits. Also, the absence of affinity of the bank layer prevents liquid material from being drawn excessively toward the bank layer side so that a concave-shape film is formed.

Thus in this embodiment, an affinity-controlling layer with an affinity for the liquid material is provided near the boundaries of the light-emitting portion, so that the uniformity of the thickness of the hole injection layer, light-emitting layer, and other layers constituting the light-emitting portion can be improved.

According to this embodiment, a bank layer forming a wall near the boundaries of the light-emitting portion exhibits a lack of affinity with the liquid material, so that short-circuits with the neighboring pixel regions can be prevented.

In this embodiment, the affinity-controlling layer 213 is formed in a step shape; but when the thickness of the layer cross-section can be made sufficiently great, walls without a step shape, that is, a single wall without a step with the bank layer, may be formed.

Other advantageous results of embodiment 4 are similar to those of embodiment 1, and an explanation is omitted.

Embodiment 5

This embodiment relates to a display panel which is an electro-optical device having EL elements which are electro-optical elements explained in the above embodiments, and electronic device comprising such a display panel.

Fig. 14 shows a connection diagram for a display panel 1 of this embodiment. As indicated in Fig. 1, in display panel 1, pixel regions are arranged in the display region 11. As pixel regions, the pixel regions 10 of embodiment 1 or embodiment 2, or the pixel regions 20 of embodiments 3 or 4 may be employed. Control signals are supplied to each pixel region from the driver region 14, via the light-emission control lines Vgp and write-control lines Vsel. Data signals and a power supply voltage are supplied to each pixel region from the driver region 15, via data lines Idata and power supply lines Vdd.

The display panel 1 of this embodiment can be employed in various electronic device. Fig. 15 shows examples of electronic device which can employ the display panel 1.

Fig. 15A is an example of application to a portable telephone set; the portable telephone 30 comprises an antenna portion 31, voice output portion 32, voice input portion 33, operation portion 34, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as the display portion.

Fig. 15B is an example of application to a camcorder; the camcorder 40 comprises an imaging portion 41, operation portion 42, audio input portion 43, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as a viewfinder or display portion.

Fig. 15C is an example of application to a portable personal computer; the computer 50 comprises a camera portion 51, operation portion 52, and a display

panel 1 of this invention. Thus a display panel of this invention can be utilized as a display portion.

Fig. 15D is an example of application to a head-mounted display; the head-mounted display 60 comprises a band 61, optical system housing portion 62, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as an image display source.

Fig. 15E is an example of application to a rear projector; the projector 70 comprises a housing 71, light source 72, synthetic optical system 73, mirror 74, mirror 75, screen 76, and a display panel 1 of this invention. Thus a display panel of this invention can be utilized as an image display source.

Fig. 15F is an example of application to a front projector; the projector 80 comprises a housing 82, optical system 81, and a display panel 1 of this invention, and is capable of displaying images on a screen 83. Thus a display panel of this invention can be utilized as an image display source.

Electro-optical devices of this invention are not limited to the above examples, but extend to all electronic device to which active-matrix type display devices can be applied. For example, in addition to the above, utilization in fax machines with display functions, in the viewfinders of digital cameras, in portable TV sets, in DSP devices, in PDAs, in electronic organizers, in electro-optical bulletin boards, in displays for advertising and announcements, and in other areas is possible.

What Is Claimed Is:

1. An electro-optical device comprising:

a data line;

a control line; and

a unit circuit arranged corresponding to an intersection of the data line and the control line, the unit circuit comprising:

a first transistor;

an electro-optical element electrically connected to one of a source or a drain of the first transistor;

a second transistor connected between the one of the source or the drain and a gate of the first transistor; and

a holding element that is connected to the gate of the first transistor and holds a gate voltage of the first transistor according to a data signal,

the first transistor supplying a current based on the gate voltage to the electro-optical element, and

the second transistor having a multi-gate structure.

2. The electro-optical device according to claim 1, wherein the first transistor and the second transistor have opposite polarities.

3. The electro-optical device according to claim 1,

wherein at least a portion of wiring between the first transistor and the second transistor is formed in a metal layer which is different from a semiconductor layer in which the first transistor and the second transistor are formed, and

wherein the metal layer is a layer different from a gate metal layer in which a gate of the second transistor is formed, and the wiring between the first transistor and the second transistor is provided through a contact hole.

4. The electro-optical device according to claim 2,

wherein at least a portion of wiring between the first transistor and the second transistor is formed in a metal layer which is different from a semiconductor layer in which the first transistor and the second transistor are formed, and

wherein the metal layer is a layer different from a gate metal layer in which a gate of the second transistor is formed, and the wiring between the first transistor and the second transistor is provided through a contact hole.

5. The electro-optical device according to claim 1,

wherein the unit circuit further comprises a third transistor connected between the holding element and the data line, and

wherein the second transistor and the third transistor are controlled according to a common control signal.

6. An electronic device comprising an electro-optical device according to claim 1.

7. An electronic device comprising an electro-optical device according to claim 2.

8. An electronic device comprising an electro-optical device according to claim 3.

9. An electronic device comprising an electro-optical device according to claim 4.

10. An electronic device comprising an electro-optical device according to claim 5.

ABSTRACT OF THE DISCLOSURE

An active matrix substrate is provided which does not cause reductions in the brightness of electroluminescence elements, and which comprises appropriate peripheral circuitry occupying a small area. The active matrix substrate comprises peripheral circuits to supply current to EL elements provided for each pixel, and corresponding to EL elements, and further comprises a holding element (C) which holds a control voltage, a first active element (T1) connected to the holding element (C) and which supplies current to a light-emitting portion (OLED) based on a control voltage, and a second active element (T2) connected to the holding element (C) and which controls the charging and discharging of the holding element. In particular, the second active element (T2) is configured as a multiple-control-terminal type active element. As a result, there are no fluctuations in the programmed current.

FIG. 1

13 CATHODE LEAD ELECTRODE

12 CATHODE

1 DISPLAY PANEL

10 PIXEL REGION

11 DISPLAY REGION

14 DRIVER REGION

15 DRIVER REGION

16 GLASS SUBSTRATE

FIG. 2

SEMICONDUCTOR LAYER

GATE METAL LAYER

SOURCE METAL LAYER

ANODE LAYER

FIG. 8

SEMICONDUCTOR LAYER

GATE METAL LAYER

SOURCE METAL LAYER

ANODE LAYER

FIG. 10

SEMICONDUCTOR LAYER

GATE METAL LAYER

SOURCE METAL LAYER

ANODE LAYER

FIG. 12

SEMICONDUCTOR LAYER

GATE METAL LAYER

SOURCE METAL LAYER

ANODE LAYER

Fig. 1

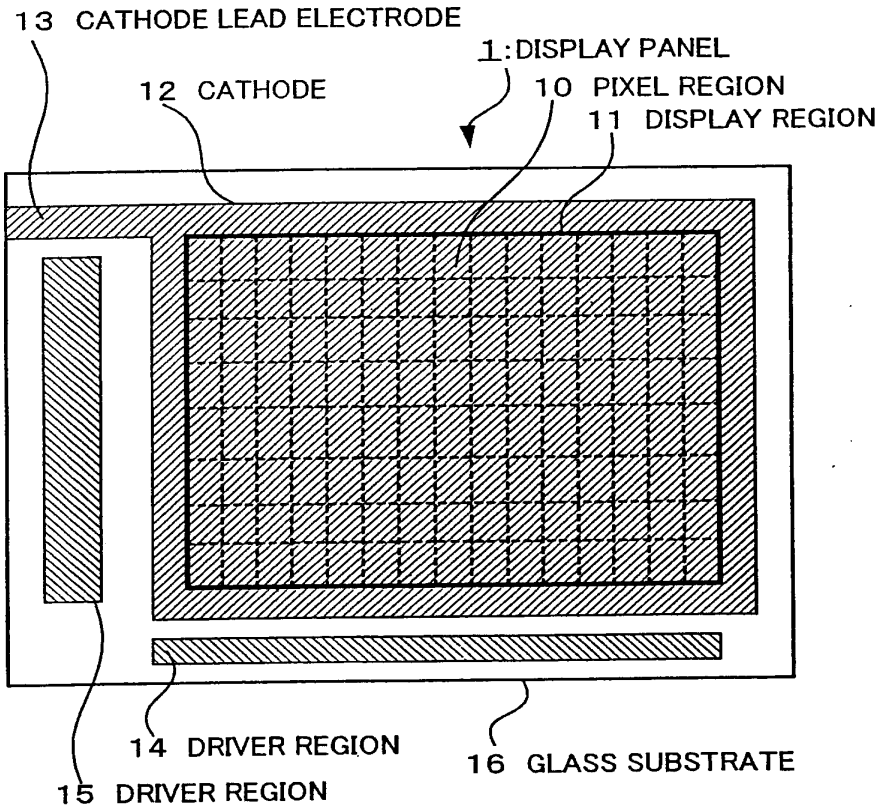

13 CATHODE LEAD ELECTRODE
1: DISPLAY PANEL
12 CATHODE
10 PIXEL REGION
11 DISPLAY REGION
14 DRIVER REGION
16 GLASS SUBSTRATE
15 DRIVER REGION

Fig.2

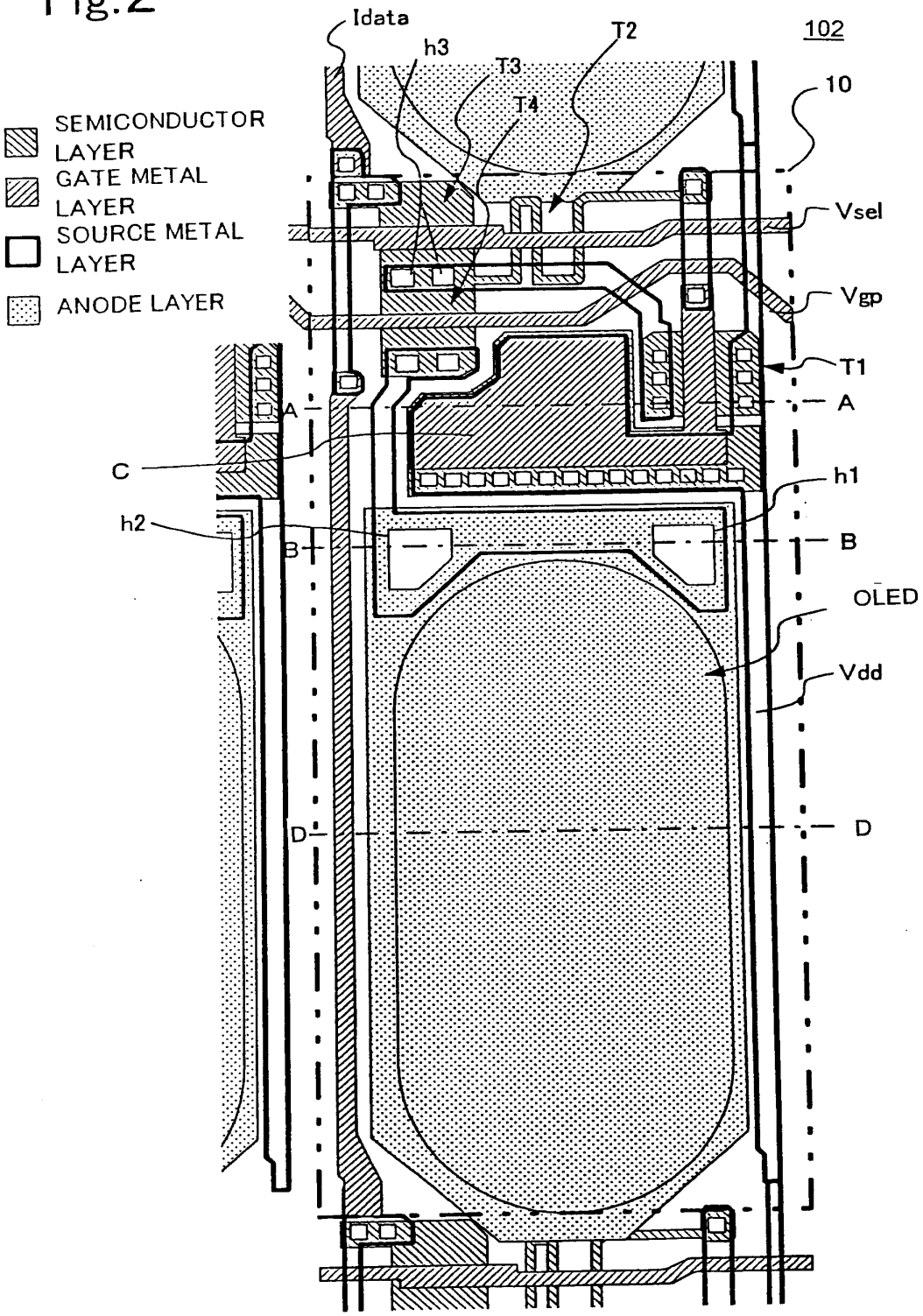

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
h3
T3
T2
T4
102
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
D
D

Fig.3A

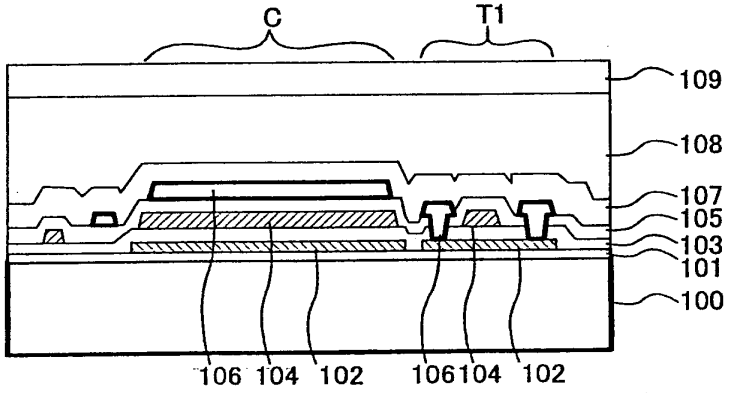


Fig.3B

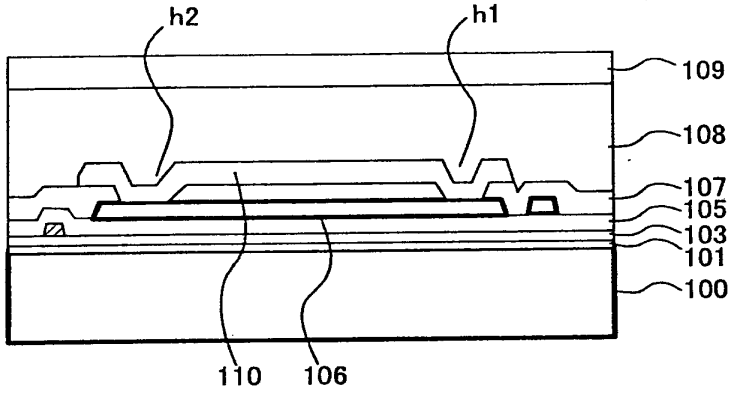
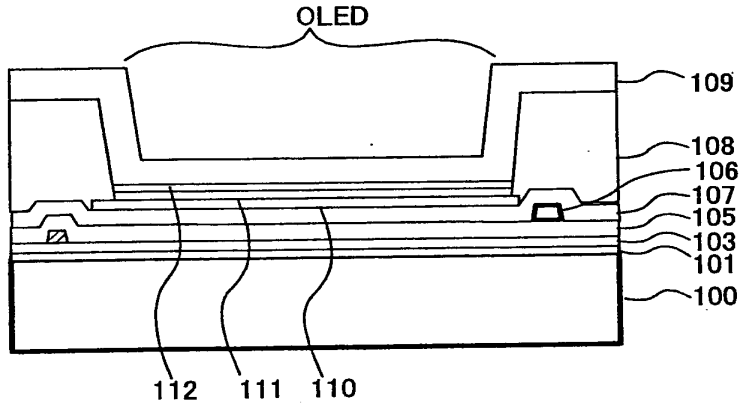


Fig.3C



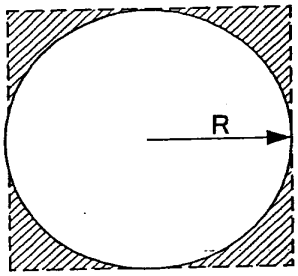


Fig.4A

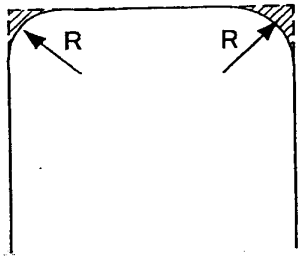


Fig.4B

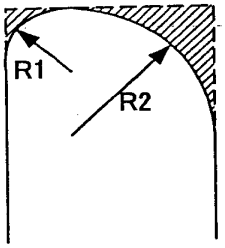


Fig.4C

Fig.5

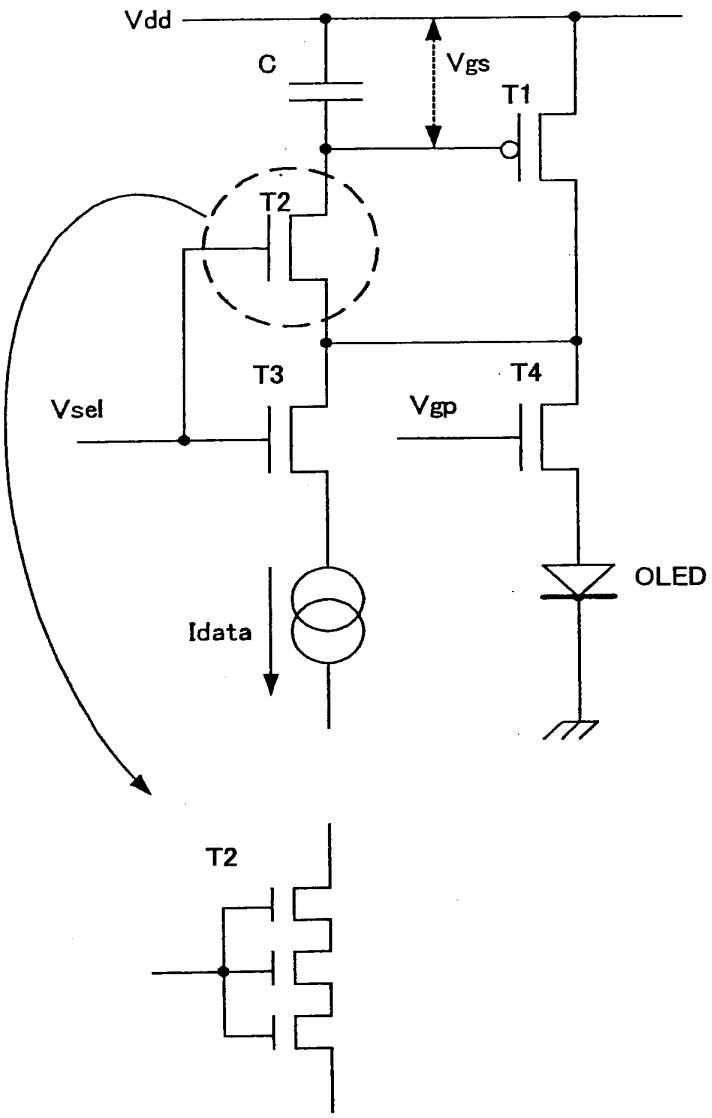


Fig.6

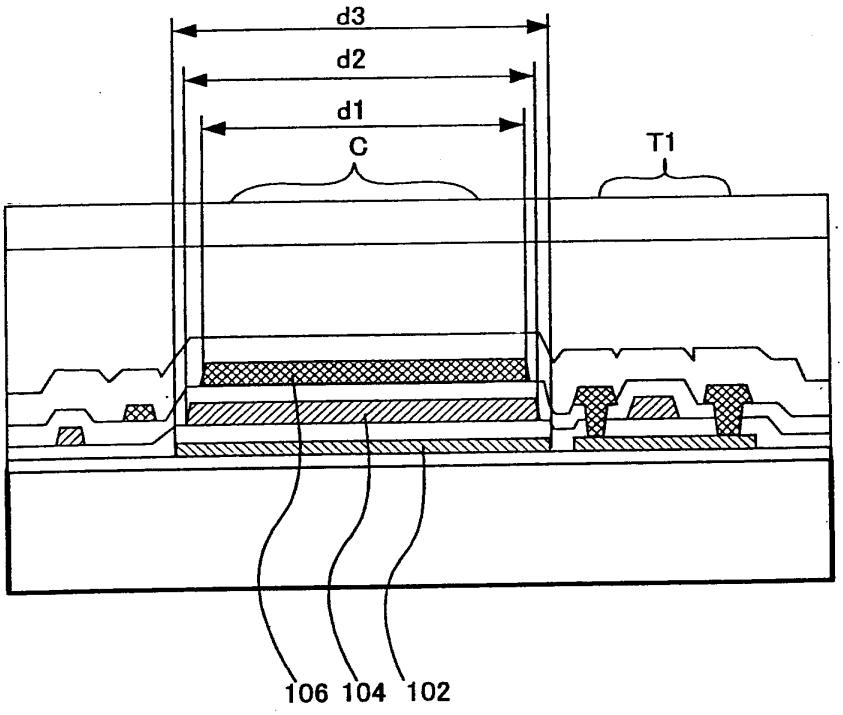


Fig. 7

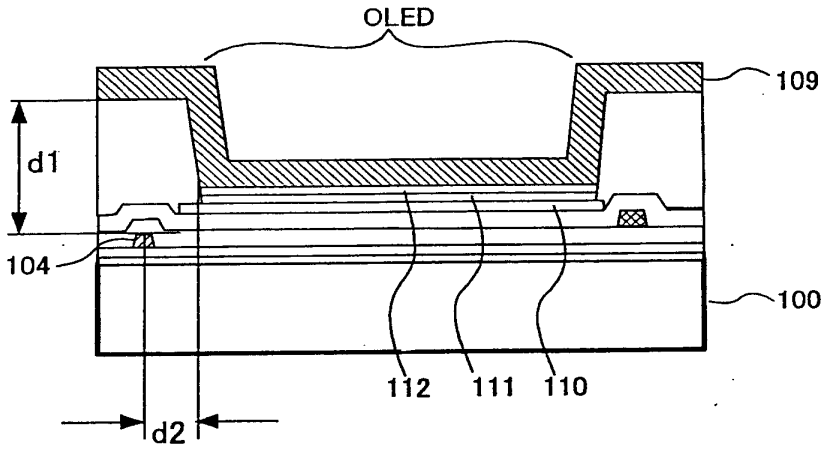


Fig.8

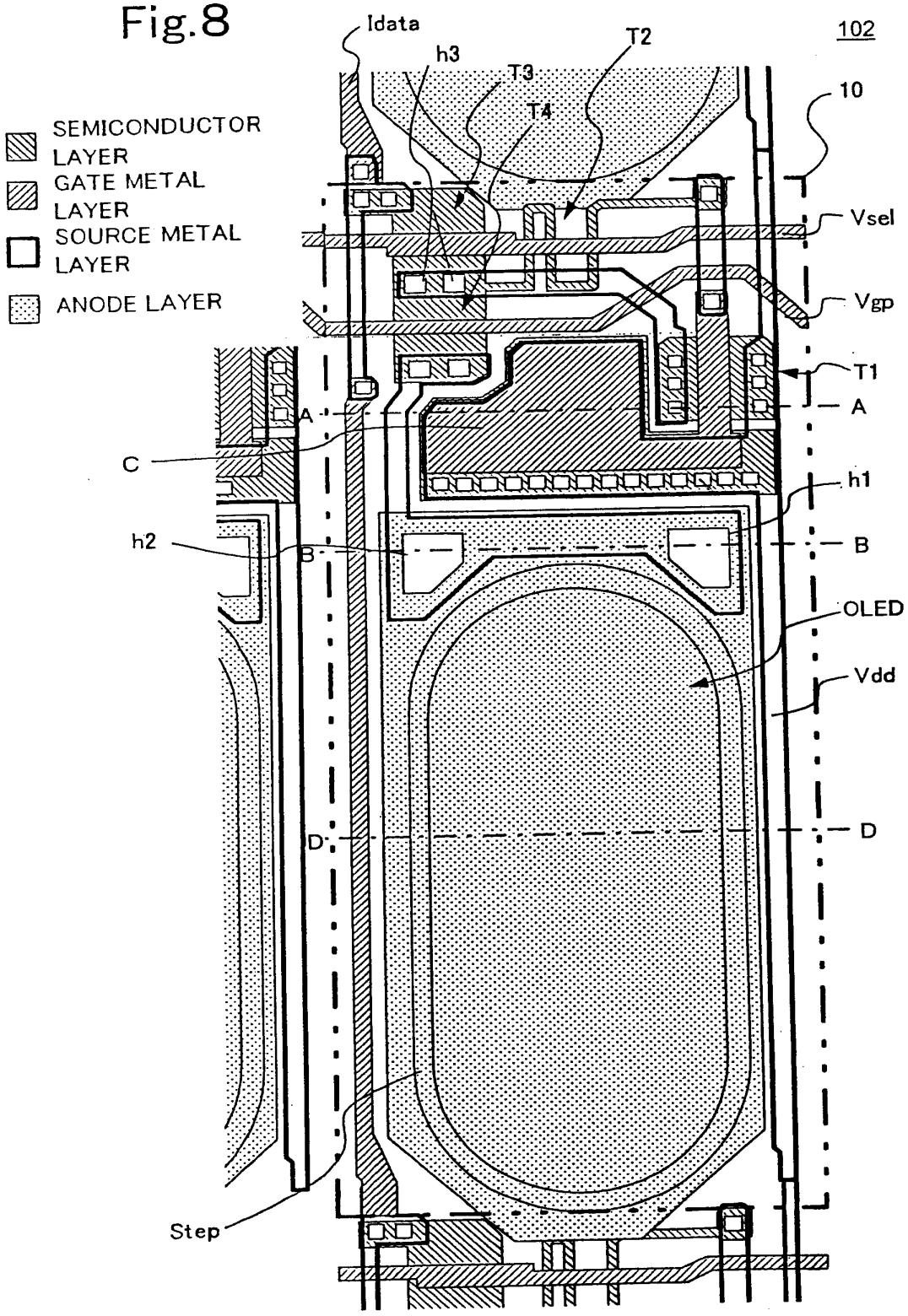

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
h3
T3
T2
T4
102
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
D
D
Step

Fig.9A

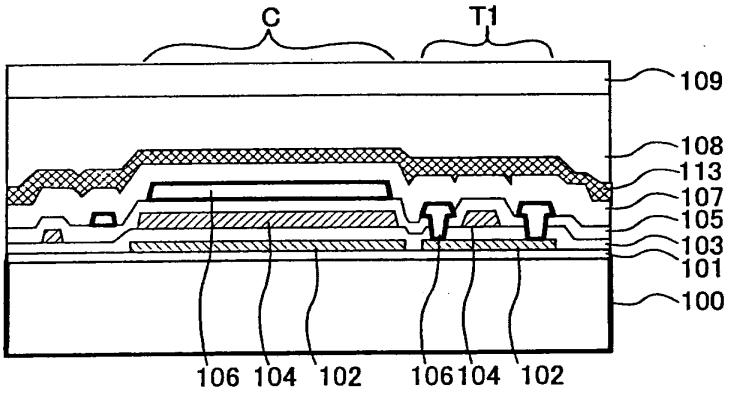


Fig.9B

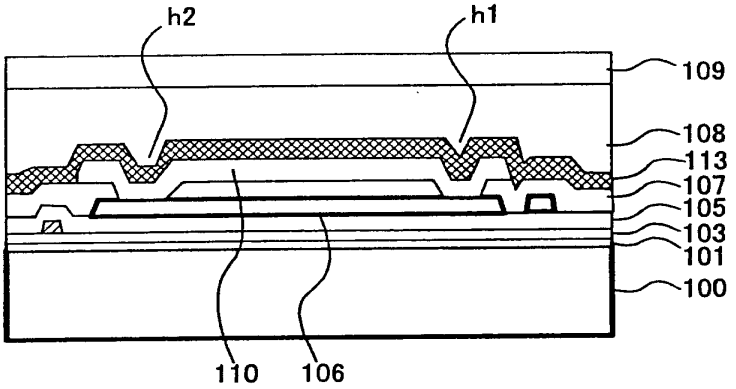


Fig.9C

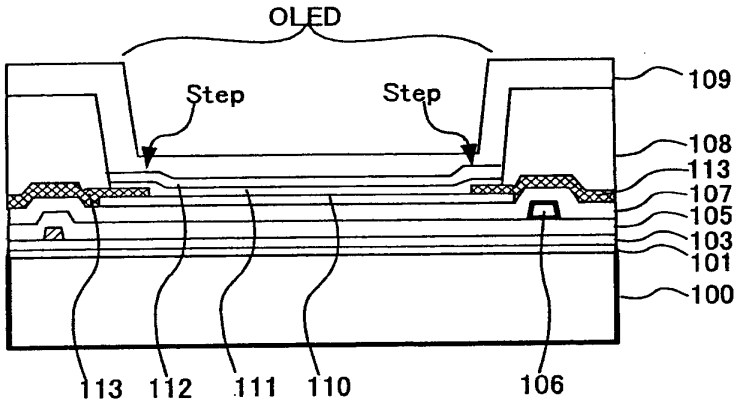


Fig.10

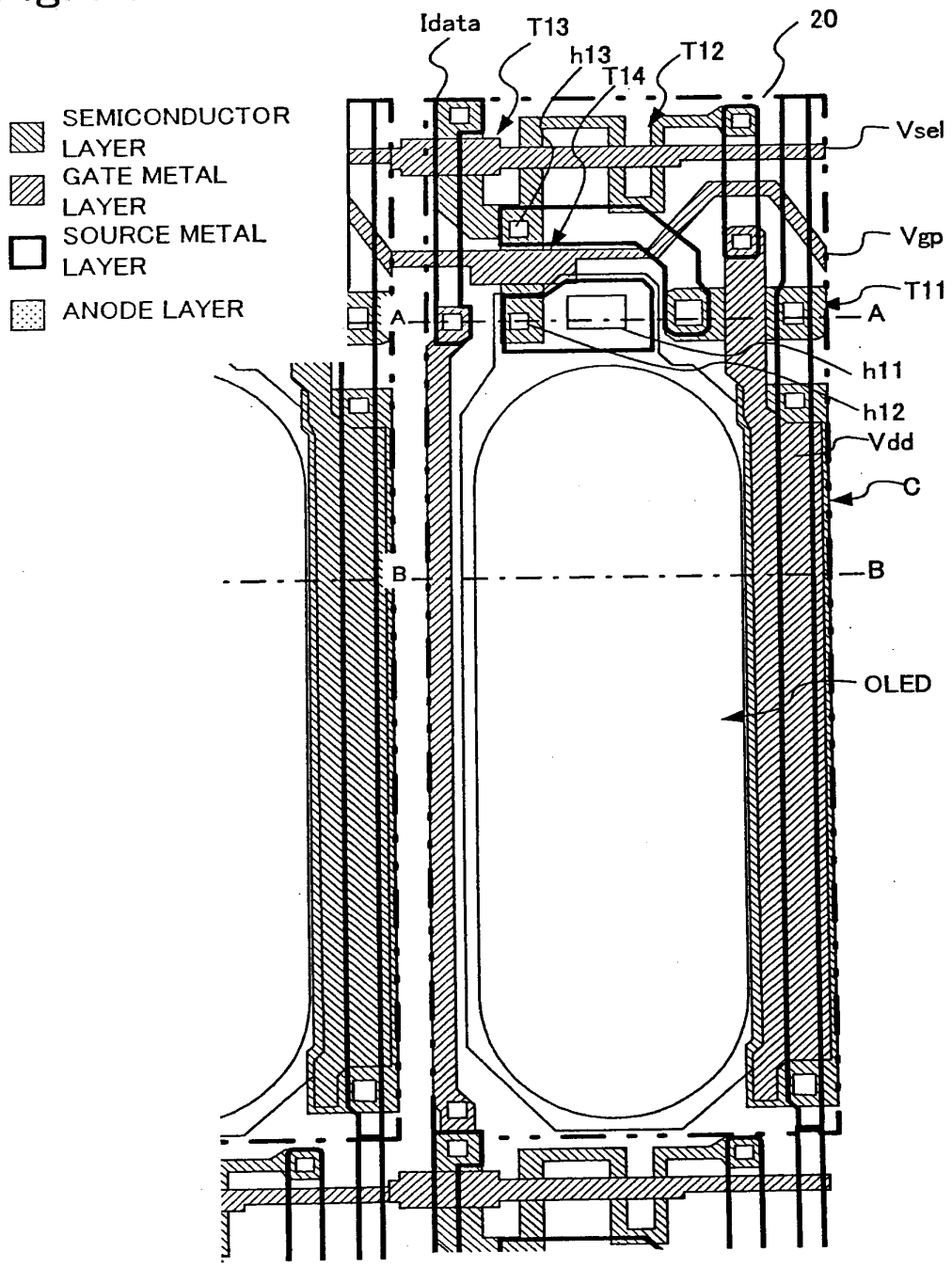

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED

Fig.11A

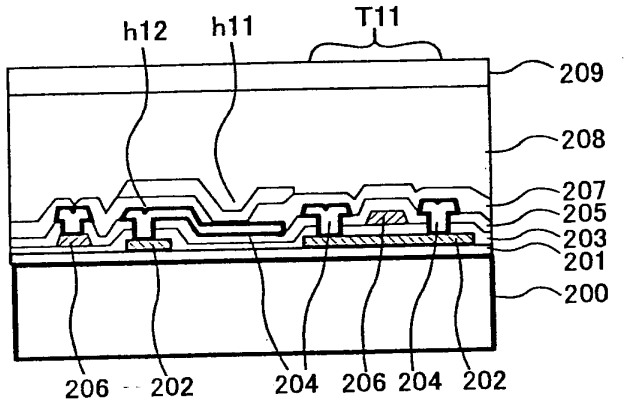


Fig.11B

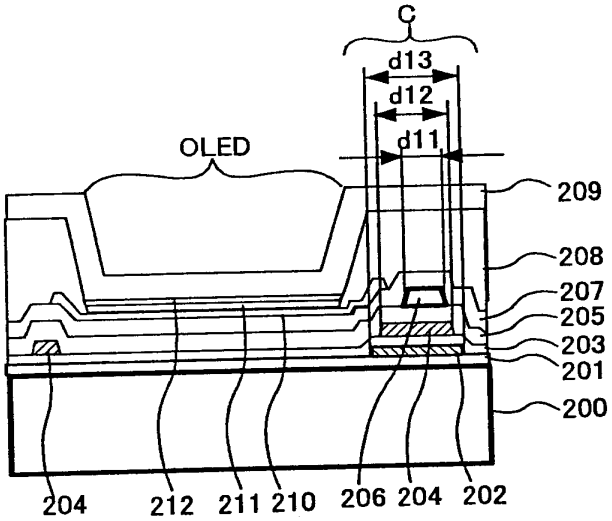


Fig.12

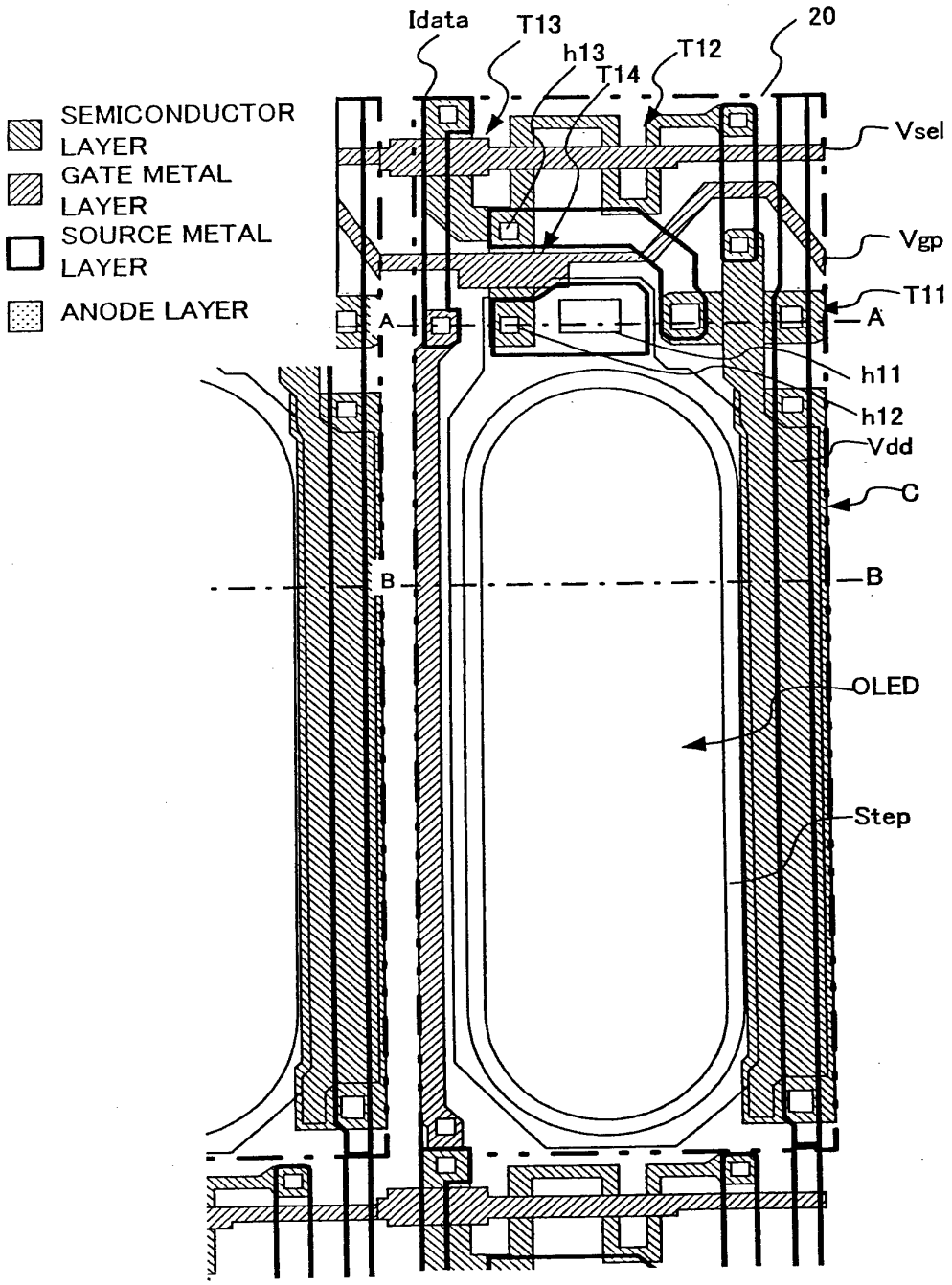

SEMICONDUCTOR LAYER
GATE METAL LAYER
SOURCE METAL LAYER
ANODE LAYER
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A'
h11
h12
Vdd
C
B
B
OLED
Step

Fig.13A

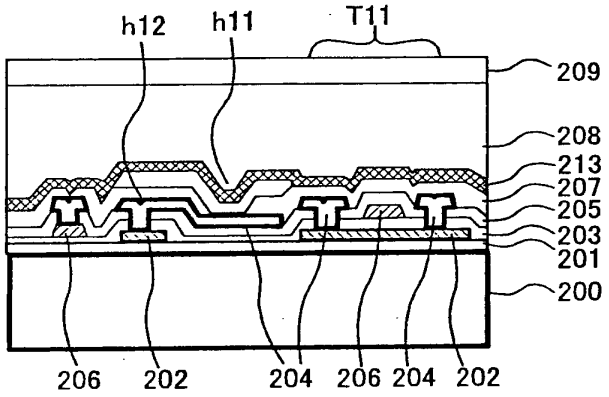


Fig.13B

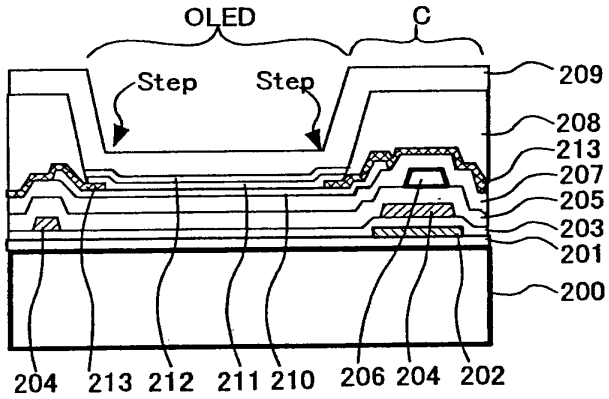
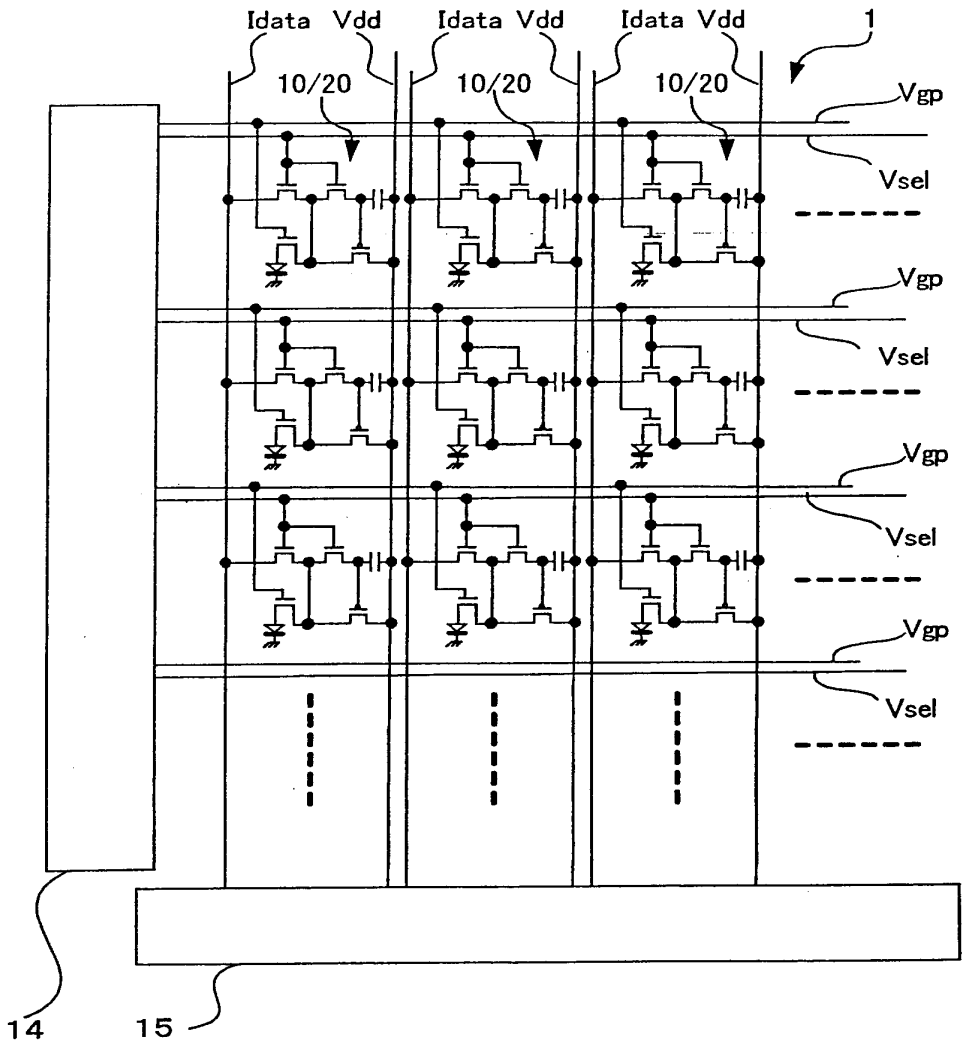


Fig.14


Idata
Vdd
Idata
Vdd
Idata
Vdd
1
10/20
10/20
10/20
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
14
15

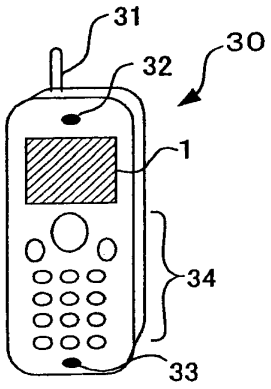


Fig.15A

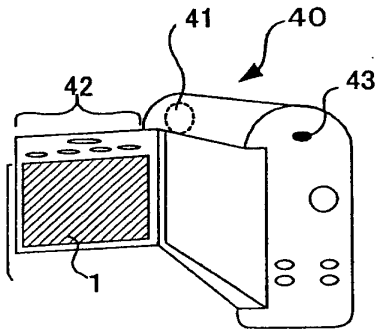


Fig.15B

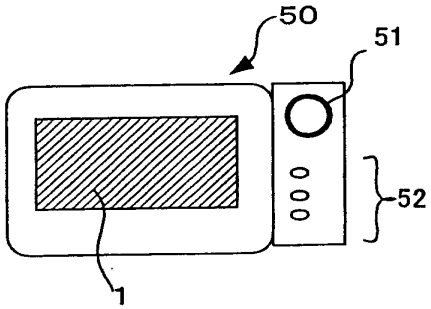


Fig.15C

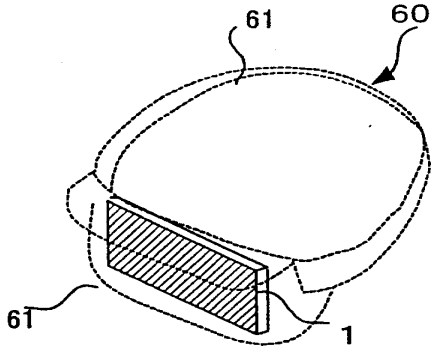


Fig.15D

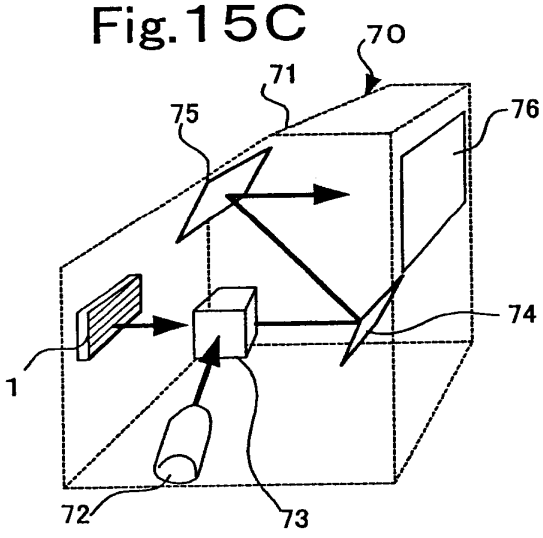


Fig.15E

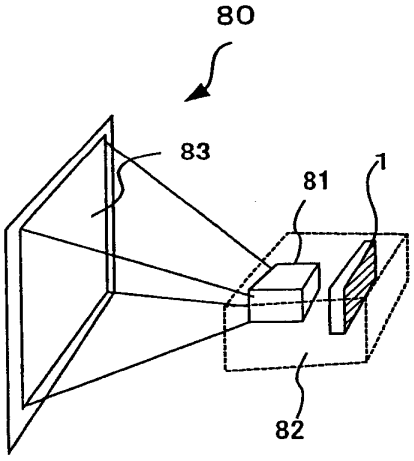


Fig.15F

PTO/SB/105 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

Seiko Epson Ref. No.: F007728US00 Attorney's Ref. No.: 114251

Declaration and Power of Attorney For Patent Application

特許出願宣言書及び委任状

Japanese Language Declaration

日本語宣言書

下記の氏名の発明者として、私は以下の通り宣言します。	As a below named inventor, I hereby declare that:
私の住所、私書箱、国籍は、下記の私の氏名の後に記載された通りです。	My residence, post office address and citizenship are as stated next to my name.
下記の名称の発明に関して請求範囲に記載され、特許出願している発明内容について、私が最初かつ唯一の発明者（下記の氏名が一つの場合）もしくは最初かつ共同発明者であると（下記の名称が複数の場合）信じています。	I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled
アクティブマトリクス基板、電気光学装置および電子機器	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
上記発明の明細書（下記の欄で×印がついていない場合は、本書に添付）は、	the specification of which is attached hereto unless the following box is checked:
☒ 2002年11月20日に提出され、米国出願番号または特許協定条約 国際出願番号を 10/299,861 とし、（該当する場合） _____ に訂正されました。	☒ was filed on November 20, 2002 as United States Application Number or PCT International Application Number 10/299,861 and was amended on _____ (if applicable).
私は、特許請求範囲を含む上記訂正後の明細書を検討し、内容を理解していることをここに表明します。	I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.
私は、連邦規則法典第37編第1条56項に定義されるとおり、特許資格の有無について重要な情報を開示する義務があることを認めます。	I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56.

Burden Hour Statement: This form is estimated to take 0.4 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office. Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner of Patents and Trademarks. Washington, DC 20231.

PTO/SB/106 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

Japanese Language Declaration
(日本語宣言書)

私は、米国法典第３５編１１９条（ａ）-（ｄ)項又は３６５条（ｂ)項に基き下記の、米国以外の国の少なくとも１ヶ国を指定している特許協力条約３６５条(ａ)項に基づく国際出願、又は外国での特許出願もしくは発明者証の出願についての外国優先権をここに主張するとともに、優先権を主張している、本出願の前に出願された特許または発明者証の外国出願を以下に、枠内をマークすることで、示しています。

I hereby claim foreign priority under Title 35, United States Code, Section 119 (a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below, by checking the box, any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application(s)
外国での先行出願

(Number) (番号)	(Country) (国名)	(Day/Month/Year Filed) (出願年月日)	Priority Not Claimed 優先権主張なし
2001-356007	Japan	21/November/2001	☐
2001-371403	Japan	05/December/2001	☐

私は、第３５編米国法典１１９条(ｅ)項に基いて下記の米国特許出願規定に記載された権利をここに主張いたします。

I hereby claim the benefit under Title 35, United States Code, Section 119 (e) of any United States provisional application(s) listed below.

(Application No.) (出願番号)	(Filing Date) (出願日)	(Application No.) (出願番号)	(Filing Date) (出願日)

私は下記の米国法典第３５編１２０条に基いて下記の米国特許出願に記載された権利、又は米国を指定している特許協力条約３６５条(ｃ)に基づく権利をここに主張します。また、本出願の各請求範囲の内容が米国法典第３５編１１２条第１項又は特許協力条約で規定された方法で先行する米国特許出願に開示されていない限り、その先行米国出願書提出日以降で本出願書の日本国内または特許協力条約国際提出日までの期間中に入手された、連邦規則法典第３７編１条５６項で定義された特許資格の有無に関する重要な情報について開示義務があることを認識しています。

I hereby claim the benefit under Title 35, United States Code, Section 120 of any United States application(s), or 365 (c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code, Section 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of application:

(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況：特許許可済、係属中、放棄済)

私は、私自身の知識に基づいて本宣言書中で私が行なう表明が真実であり、かつ私が入手した情報と私の信じるところに基づく表明が全て真実であると信じていること、さらに故意になされた虚偽の表明及びそれと同等の行為は米国法典第１８編第１００１条に基づき、罰金または拘禁、もしくはその両方により処罰されること、そしてそのような故意による虚偽の声明を行なえば、出願した、又は既に許可された特許の有効性が失われることを認識し、よってここに上記のごとく宣誓を致します。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

PTO/SB/106 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

Japanese Language Declaration
(日本語宣言書)

私は、米国法典第３５編１１９条（ａ）-（ｄ）項又は３６５条（ｂ）項に基き下記の、米国以外の国の少なくとも１ヶ国を指定している特許協力条約３６５条（ａ）項に基づく国際出願、又は外国での特許出願もしくは発明者証の出願についての外国優先権をここに主張するとともに、優先権を主張している、本出願の前に出願された特許または発明者証の外国出願を以下に、枠内をマークすることで、示しています。

I hereby claim foreign priority under Title 35, United States Code, Section 119 (a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below, by checking the box, any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application(s) 外国での先行出願			Priority Not Claimed 優先権主張なし
2001-371410 (Number) (番号)	Japan (Country) (国名)	05/December/2001 (Day/Month/Year Filed) (出願年月日)	☐
			☐
(Number) (番号)	(Country) (国名)	(Day/Month/Year Filed) (出願年月日)	

私は、第３５編米国法典１１９条（ｅ）項に基いて下記の米国特許出願規定に記載された権利をここに主張いたします。

I hereby claim the benefit under Title 35, United States Code, Section 119 (e) of any United States provisional application(s) listed below.

(Application No.) (出願番号)	(Filing Date) (出願日)	(Application No.) (出願番号)	(Filing Date) (出願日)

私は下記の米国法典第３５編１２０条に基いて下記の米国特許出願に記載された権利、又は米国を指定している特許協力条約３６５条（ｃ）に基づく権利をここに主張します。また、本出願の各請求範囲の内容が米国法典第３５編１１２条第１項又は特許協力条約で規定された方法で先行する米国特許出願に開示されていない限り、その先行米国出願書提出日以降で本出願書の日本国内または特許協力条約国際提出日までの期間中に入手された、連邦規則法典第３７編１条５６項で定義された特許資格の有無に関する重要な情報について開示義務があることを認識しています。

I hereby claim the benefit under Title 35, United States Code, Section 120 of any United States application(s), or 365 (c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code, Section 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of application:

(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況：特許許可済、係属中、放棄済)
(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況：特許許可済、係属中、放棄済)

私は、私自身の知識に基づいて本宣言書中で私が行なう表明が真実であり、かつ私が入手した情報と私の信じるところに基づく表明が全て真実であると信じていること、さらに故意になされた虚偽の表明及びそれと同等の行為は米国法典第１８編第１００１条に基づき、罰金または拘禁、もしくはその両方により処罰されること、そしてそのような故意による虚偽の声明を行なえば、出願した、又は既に許可された特許の有効性が失われることを認識し、よってここに上記のごとく宣誓を致します。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

PTO/SB/106 (8-96)
Approved for use through 9/30/98 OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

Japanese Language Declaration
(日本語宣言書)

委任状： 私は、下記の発明者として、本出願に関する一切の手続きを米特許商標局に対して遂行する弁理士または代理人として、下記の者を指名いたします。（弁護士、または代理人の氏名及び登録番号を明記のこと）

James A. Oliff, (Reg. 27,075)
William P. Berridge, (Reg. 30,024)
Kirk M. Hudson, (Reg. 27,562)
Thomas J. Pardini, (Reg. 30,411)
Edward P. Walker, (Reg. 31,450)
Robert A. Miller, (Reg. 32,771)
Mario A. Costantino, (Reg. 33,565)
Caroline D. Dennison, (Reg.34,494)

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorney(s) and/or agent(s) to prosecute this application and transact all business in the Patent and Trademark Office connected therewith. *(list name and registration number)*

James A. Oliff, (Reg. 27,075)
William P. Berridge, (Reg. 30,024)
Kirk M. Hudson, (Reg. 27,562)
Thomas J. Pardini, (Reg. 30,411)
Edward P. Walker, (Reg. 31,450)
Robert A. Miller, (Reg. 32,771)
Mario A. Costantino, (Reg. 33,565)
Caroline D. Dennison, (Reg.34,494)

書類送付先：
OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320

Send Correspondence to:
OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320

直接電話連絡先： （名前及び電話番号）
OLIFF & BERRIDGE, PLC
(703) 836-6400

Direct Telephone Calls to: *(name and telephone number)*
OLIFF & BERRIDGE, PLC
(703) 836-6400

唯一または第一発明者名
松枝 洋二郎

Full name of sole or first inventor
Yojiro MATSUEDA

発明者の署名 日付
松枝洋二郎 2003年1月16日

Inventor's signature Date
Yojiro Matsueda January 16, 2003

住所
日本国, 長野県, 諏訪市

Residence
Chino-shi, Nagano-ken, Japan

国籍
日本

Citizenship
Japan

私書箱
392-8502 日本国長野県諏訪市大和3丁目3番5号
セイコーエプソン株式会社内

Post Office Address
c/o Seiko Epson Corporation
3-5, Owa 3-chome, Suwa-shi, Nagano-ken 392-8502 Japan

第二共同発明者

Full name of second joint inventor, if any

第二共同発明者の署名 日付

Second inventor's signature Date

住所
日本国, _____, _____

Residence
_____, _____, Japan

国籍

Citizenship

私書箱

Post Office Address

(第三以降の共同発明者についても同様に記載し、署名をすること)

(Supply similar information and signature for third and subsequent joint inventors.)

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit:

Application No.: New U.S. Patent Application

Examiner:

Filed: November 2, 2010

Docket No.: 114251.03

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed (a) within three months of the U.S. filing date of this non-CPA application, OR (b) before the mailing date of a first Office Action on the merits in the present application. No certification or fee is required.

☒ 2. One or more reference cited herein was cited by or submitted to the Office in parent Application No. 11/483,109, filed July 10, 2006, which is relied upon for an earlier filing date under 35 U.S.C. §120. Thus, no copy of any such reference is attached. 37 CFR §1.98(d). See References 1-64. It is also understood that the Examiner will consider in this application all of the information that has been considered by the Office in the parent application(s), including the Office Actions and other papers issued in such application(s). See MPEP §609.02. Thus no copies of them are attached.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Andy N. Kim
Registration No. 61,050

JAO:ANK/ils

Date: November 2, 2010

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry of this filing; Charge any fee due to our Deposit Account No. 15-0461

PTO/SB/06 (12-04)

Date: **11/02/10**

Approved for use through 7/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 12/917,885

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY FEE ($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	**330**
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	**540**
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	**220**
TOTAL CLAIMS (37 CFR 1.16(i))	**10** minus 20 =		x$26		OR	x$52	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	**1** minus 3 =	*	x$110			x$220	
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $270 ($135 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR						
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))			195			390	
			TOTAL			TOTAL	**1090**

* If the difference in column 1 is less than zero, enter "0" in column 2.

APPLICATION AS AMENDED – PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDI-TIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDI-TIONAL FEE ($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					N/A		OR	N/A	
						TOTAL ADD'T FEE		OR	TOTAL ADD'T FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDI-TIONAL FEE ($)	OR	RATE ($)	ADDI-TIONAL FEE ($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					N/A		OR	N/A	
						TOTAL ADD'T FEE		OR	TOTAL ADD'T FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
12/917,885	11/02/2010	2811	1090	114251.03	10	1

CONFIRMATION NO. 2374

25944
OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

FILING RECEIPT

OC000000044487453

Date Mailed: 11/17/2010

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Yojiro MATSUEDA, Chino-shi, JAPAN;

Assignment For Published Patent Application

SEIKO EPSON CORPORATION, Tokyo, JAPAN

Power of Attorney:

James Oliff--27075
Kirk Hudson--27562
William Berridge--30024
Thomas Pardini--30411
Edward Walker--31450
Robert Miller--32771
Mario Costantino--33565

Domestic Priority data as claimed by applicant

This application is a CON of 11/483,109 07/10/2006
which is a DIV of 10/299,861 11/20/2002 PAT 7,483,001

Foreign Applications

JAPAN 2001-356007 11/21/2001
JAPAN 2001-371403 12/05/2001
JAPAN 2001-371410 12/05/2001

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 11/15/2010

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 12/917,885**

Projected Publication Date: 02/24/2011

Non-Publication Request: No

Early Publication Request: No

Title

ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

Preliminary Class

257

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００１年１１月２１日
出願番号 Application Number:	特願２００１－３５６００７
パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号 The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is	ＪＰ２００１－３５６００７
出願人 Applicant(s):	セイコーエプソン株式会社

２０１０年１１月１８日

特許庁長官
Commissioner,
Japan Patent Office

岩井良行

【書類名】特許願

【整理番号】J0087274

【あて先】特許庁長官殿

【国際特許分類】

H05B 33/04

H05B 33/10

G09F 9/30

【発明者】

【住所又は居所】長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

【氏名】松枝　洋二郎

【特許出願人】

【識別番号】000002369

【氏名又は名称】セイコーエプソン株式会社

【代理人】

【識別番号】100079108

【弁理士】

【氏名又は名称】稲葉　良幸

【選任した代理人】

【識別番号】100080953

【弁理士】

【氏名又は名称】田中　克郎

【選任した代理人】

【識別番号】100093861

【弁理士】

【氏名又は名称】大賀　眞司

【手数料の表示】

【予納台帳番号】011903

【納付金額】21,000

【提出物件の目録】

【物件名】明細書　1

【物件名】図面　1

【物件名】要約書　1

【包括委任状番号】9808570

【プルーフの要否】要

【書類名】　　明細書

【発明の名称】　　回路基板、電気光学装置および電子機器

【特許請求の範囲】

【請求項１】　画素毎に設けられた電気光学素子に電流を供給するための周辺回路を前記電気光学素子に対応して備える回路基板であって、

各前記周辺回路は、

制御電圧を保持するための保持素子と、

前記保持素子に接続され前記制御電圧に基づいた電流を前記電気光学素子に供給するための第１の能動素子と、

前記保持素子に接続され前記保持素子の充放電を制御する第２の能動素子と、を備え、

前記第２の能動素子は、遮断時における漏れ電流防止構造を備えている回路基板。

【請求項２】　前記第２の能動素子は、マルチゲート型の能動素子として構成されている請求項１に記載の回路基板。

【請求項３】　少なくとも前記第２の能動素子は、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる組から選択される一の構造を備えるトランジスタである請求項１に記載の回路基板。

【請求項４】　前記第１の能動素子と前記第２の能動素子とは、互いに逆極性の能動素子である請求項１に記載の回路基板。

【請求項５】　前記第１の能動素子と前記第２の能動素子とは、互いに分離された半導体層を備えている請求項４に記載の回路基板。

【請求項６】　前記第１の能動素子はＰ型トランジスタであり、前記第２の能動素子はＮ型トランジスタである請求項４に記載の回路基板。

【請求項７】　前記第１の能動素子に負論理のデータ信号を供給する第１のドライバ回路と、

前記第２の能動素子に正論理の走査信号を供給する第２のドライバ回路と、を備える請求項６に記載の回路基板。

【請求項８】　前記第１の能動素子にデータ信号を供給するデータ線と、

前記データ線と交差し前記第２の能動素子に走査信号を供給する走査線と、を備える請求項１に記載の回路基板。

【請求項９】　前記走査線は、前記第２の能動素子のゲート端子を形成するゲートメタル層により配線されている請求項８に記載の回路基板。

【請求項１０】　前記データ線または前記走査線のいずれか一方は、前記第１の能動素子および前記第２の能動素子を構成するソースメタル層およびゲートメタル層のうち前記発光部の共通電極から離間している方のメタル層により配線されている請求項８に記載の回路基板。

【請求項１１】　請求項１乃至１０のいずれか一項に記載の回路基板と、前記電気光学素子と、を備えた電気光学装置。

【請求項１２】　前記電気光学素子は、エレクトロルミネッセンス素子である請求項１１に記載の電気光学装置。

【請求項１３】　画素毎に設けられた電気光学素子に電流を供給するための周辺回路を前記電気光学素子に対応して備える回路基板であって、

各前記周辺回路は、

発光期間において前記電気光学素子に電流を供給するための発光制御能動素子と、

制御電圧を保持するための保持素子と、

ゲート端子が前記保持素子に接続され当該ゲート端子に印加された前記制御電圧に基づいた電流を前記発光制御能動素子経由で前記電気光学素子に供給するための第１の能動素子と、

選択期間において前記第１の能動素子経由で定電流を流す定電流制御能動素子と、

前記定電流制御能動素子と前記保持素子との間に接続され、前記選択期間において前記保持素子に充電させて前記制御電圧を記憶させる第２の能動素子と、を備え、

前記第２の能動素子は、遮断時における漏れ電流防止構造を備えている回路基板。

【請求項１４】　前記第２の能動素子は、マルチゲート型の能動素子として

構成されている請求項１３に記載の回路基板。

【請求項１５】　少なくとも前記第２の能動素子は、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる組から選択される一の構造を備えるトランジスタである請求項１３に記載の回路基板。

【請求項１６】　前記第１の能動素子と前記第２の能動素子とは、互いに逆極性の能動素子である請求項１３に記載の回路基板。

【請求項１７】　前記第１の能動素子と前記第２の能動素子とは、互いに分離された半導体層を備えている請求項１６に記載の回路基板。

【請求項１８】　前記第１の能動素子はＰ型トランジスタであり、前記第２の能動素子はＮ型トランジスタである請求項１６に記載の回路基板。

【請求項１９】　前記第１の能動素子に負論理のデータ信号を供給する第１のドライバ回路と、

前記第２の能動素子に正論理の走査信号を供給する第２のドライバ回路と、を備える請求項１８に記載の回路基板。

【請求項２０】　前記第１の能動素子にデータ信号を供給するデータ線と、

前記データ線と交差し前記第２の能動素子に走査信号を供給する走査線と、を備える請求項１３に記載の回路基板。

【請求項２１】　前記走査線は、前記第２の能動素子のゲート端子を形成するゲートメタル層により配線されている請求項２０に記載の回路基板。

【請求項２２】　前記データ線または前記走査線のいずれか一方は、前記第１の能動素子および前記第２の能動素子を構成するソースメタル層およびゲートメタル層のうち前記電気光学素子の共通電極から離間している方のメタル層により配線されている請求項２０に記載の回路基板。

【請求項２３】　複数の前記能動素子のうち、同一極性を有する複数の前記能動素子が同一の半導体層で平面的に連続形成されている請求項１３に記載の回路基板。

【請求項２４】　前記同一極性を有する複数の能動素子間の接続点に共通のコンタクトホールを備え、当該コンタクトホールからこれら能動素子と異なる極性を有する能動素子へ配線されている請求項２３に記載の回路基板。

【請求項２５】　前記同一極性を有する複数の能動素子は、前記第２の能動素子、前記発光制御能動素子、および前記定電流制御能動素子である請求項２３に記載の回路基板。

【請求項２６】　前記第２の能動素子および前記定電流制御能動素子は、共通の走査線がそれぞれの能動素子のゲート端子となっている請求項２５に記載の回路基板。

【請求項２７】　前記第１の能動素子は、前記走査線と前記電気光学素子との間に配置されている請求項２６に記載の回路基板。

【請求項２８】　請求項１３乃至１７のいずれか一項に記載の回路基板と、前記電気光学素子と、を備えた電気光学装置。

【請求項２９】　前記電気光学素子は、エレクトロルミネッセンス素子である請求項２８に記載の電気光学装置。

【請求項３０】　請求項１１または２８のいずれかに記載の電気光学装置を備えた電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は電気光学装置に関し、特にアクティブマトリクス型電気光学装置に関する。

【０００２】

【従来の技術】

電気的作用によって発光したり光の状態を変えたりする電気光学素子のうち、近年注目されているものにＥＬ（Electro-Luminescence）素子がある。ＥＬ素子は、発光性物質を挟んだ陽極と陰極との間に電界を印加すると、陽極から注入された正孔と陰極から注入された電子とが再結合する際に再結合エネルギーにより発光性物質が発光するという、エレクトロルミネッセンス現象を利用するものである。表示パネルなどの電気光学装置に適用するＥＬ素子は、画素を構成するＥＬ素子ごとに独立して発光制御する必要があるため、ＥＬ素子を駆動させるための能動素子として、例えば薄膜トランジスタ（Thin Film Transistor：以下「T

ＦＴ」という。）とＥＬ素子とを組み合わせて画素領域が構成されている。

【０００３】

従来、ＥＬ素子の層構造については数多くの研究がされていた。例えば、発光性物質が設けられる画素要素の層構造については、特開２００１－１６７８８０号において、発光色素をインクジェット法により塗布するＥＬ素子の製造方法が開示されている。

【０００４】

また、ＥＬ素子の駆動に適する周辺回路に関しては、例えば、「アクティブ型有機ＥＬディスプレイ」（2001 FPD Technology Outlook, pp747-762）に、有機ＥＬ素子を利用したフラットパネルディスプレイにおけるアクティブマトリクス駆動法についての考察が記載されている。この文献には、画素ごとの輝度のばらつきを解消するために複数のトランジスタを用いる回路が開示されている。この回路によれば、ＥＬ素子に電流を供給する第１のトランジスタにはそのゲート端子に電圧を記憶するための保持容量が接続されている。第２のトランジスタは、この保持容量に所定の期間充電可能なように接続されている。第２のトランジスタを開閉することによって保持容量に一定の電圧が保持された後は、第１のトランジスタのゲート電圧が一定に保たれるため、ＥＬ素子にも一定の安定した電流が供給される。複数トランジスタによる周辺回路を用いれば、安定した電流を供給可能になるため、輝度のばらつきが少ないＥＬ素子を提供できる旨が開示されている。

【０００５】

【発明が解決しようとする課題】

しかしながら、トランジスタはオフ状態でも僅かながら漏れ電流があるため、保持容量の電位が変動する可能性があった。保持容量のわずかな電圧の差はそのままＥＬ素子の駆動電流の変動につながるおそれがある。他方、表示装置としては明るい画像を提供する必要があるため、駆動回路などの周辺回路の領域に比べて画素領域をなるべく広く確保する必要がある。そのため、漏れ電流を防止可能だからといって多数の能動素子を使用した回路を採用することはできない。

【０００６】

そこで、本願発明は、ＥＬ素子等の電気光学素子の輝度の低下を生じさせることがなく、かつ、占有面積の少ない好適な周辺回路を備えた回路基板、電気光学装置、および電子機器を提供することを目的とするものである。

【０００７】

【課題を解決するための手段】

上記課題を解決するために、第１の発明に係る回路基板は、画素毎に設けられた電気光学素子に電流を供給するための周辺回路を電気光学素子に対応して備える回路基板であって、各周辺回路は、制御電圧を保持するための保持素子と、保持素子に接続されこの制御電圧に基づいた電流を電気光学素子に供給するための第１の能動素子と、保持素子に接続され保持素子の充放電を制御する第２の能動素子と、を備え、前記第２の能動素子は、遮断時における漏れ電流防止構造を備えている。

【０００８】

ここで、「電気光学素子」は、電気的作用によって発光するあるいは外部からの光の状態を変化させる素子一般をいい、自ら光を発するものと外部からの光の通過を制御するもの双方を含む。例えば、電気光学素子には、液晶素子、電気泳動素子、ＥＬ素子、電界の印加により発生した電子を発光板に当てて発光させる電子放出素子が含まれる。

【０００９】

「周辺回路」はアクティブマトリックス型等の電気光学装置において各画素の発光に関与する回路素子の集合体をいい、例えばＴＦＴ等で構成されるものである。

【００１０】

「回路基板」とは、周辺回路を搭載した基板一般をいい、電気光学素子が形成されているか否かを問わない。

【００１１】

「能動素子」には限定はないが、例えばＴＦＴなどの小型素子であることが好ましい。

【００１２】

「保持素子」とは、放電されない限り一定の電圧を出力可能な素子、例えばコンデンサ等の保持容量をいう。

【００１３】

「遮断時における漏れ電流防止構造」とは、通常、能動素子が非導通状態において、理想的には流れるべきでない電流が僅かながら流れることがあるが、このような電流（漏れ電流）が生ずることを防止することを目的として構成された特殊な構造の能動素子をいう。

【００１４】

このような素子としては、例えば、マルチゲート型の能動素子が挙げられる。マルチゲート型の能動素子とは、一素子として機能するものの、厳密には複数の能動素子が直列接続されそれらの制御端子同士が接続されたものと同様に機能する構成の能動素子をいう。

【００１５】

また、第２の能動素子としては、ＬＤＤ構造、ＧＤＤ構造、およびＤＤＤ構造からなる組から選択される一の構造を備えるトランジスタであってもよい。ここで、「ＬＤＤ」とはLight Doped Drainの略であり、「ＧＤＤ」とはGraded Diffused Drainの略であり、「ＤＤＤ」とはDouble Diffused Drainの略である。これらの構造を有するトランジスタは、ＭＯＳ　ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限するため、ドレイン付近の最大電界を弱めるためのものである。例えば、不純物拡散を行った領域およびシリコン基板間の電界を緩和するためトランジスタのドレイン領域に軽く不純物をドーピングして、例えばｎ－領域を自己整合的に形成したトランジスタである。

【００１６】

これらのような素子では、接続端子、例えば能動素子（ＴＦＴなど）のソースやドレインから見たその素子のオフ時の抵抗値が非常に高くなり、漏れ電流が少なくなるため、保持素子の電位を一定に保つことができるのである。このため、能動素子の駆動電圧および消費電力を低減できる。

【００１７】

同様な作用を持つ第２の発明に係る回路基板は、画素毎に設けられた電気光学

素子に電流を供給するための周辺回路を電気光学素子に対応して備える回路基板であって、各周辺回路は、発光期間において電気光学素子に電流を供給するための発光制御能動素子と、制御電圧を保持するための保持素子と、制御端子がこの保持素子に接続され当該制御端子に印加された制御電圧に基づいた電流を発光制御能動素子経由で電気光学素子に供給するための第１の能動素子と、選択期間において第１の能動素子経由で定電流を流す定電流制御能動素子と、定電流制御能動素子と保持素子との間に接続され、選択期間において保持素子に充電させて制御電圧を記憶させる第２の能動素子と、を備え、前記第２の能動素子は、遮断時における漏れ電流防止構造を備えた能動素子として構成されているものである。

【００１８】

上記第１および第２の発明において、第１の能動素子と第２の能動素子とは、互いに逆極性の能動素子であることは好ましい。

【００１９】

互いに逆極性の能動素子にした場合、第１の能動素子と第２の能動素子とは、互いに分離された半導体層を備えていることになる。

【００２０】

このような能動素子の組み合わせとしては、例えば、第１の能動素子はＰ型トランジスタであり、第２の能動素子はＮ型トランジスタである構成が考えられる。第１の能動素子は高電位側となり負論理の信号で駆動可能になる一方、第２の能動素子は正論理で駆動でき、ＴＦＴ等の能動素子の電圧マージンを適正にとることができる。つまり、能動素子の駆動電圧および消費電力を低減できる。

【００２１】

このような極性にした場合、第１の能動素子に負論理のデータ信号を供給する第１のドライバ回路と、第２の能動素子に正論理の走査信号を供給する第２のドライバ回路と、を備えるように回路基板を構成できる。

【００２２】

本発明では、第１の能動素子にデータ信号を供給するデータ線と、データ線と交差し第２の能動素子に走査信号を供給する走査線と、を備えるように構成できる。このように構成すると走査線により直接第２の能動素子を駆動することがで

き、配線の引き回しやコンタクトホールなどを使用することなく周辺回路の占有面積を削減でき、開口率を上げることが可能である。

【００２３】

具体的には、例えば走査線は、第２の能動素子のゲート端子を形成するゲートメタル層により配線されていることが考えられる。

【００２４】

また、本発明では、データ線または走査線のいずれか一方は、第１の能動素子および第２の能動素子を構成するソースメタル層およびゲートメタル層のうち電気光学素子の共通電極から離間している方のメタル層により配線されていることが好ましい。共通電極と離れているメタル層を利用すればその信号線と共通電極との間で発生する容量を減らすことができるからである。

【００２５】

また第２の発明については、複数の能動素子のうち、同一極性を有する複数の能動素子が同一の半導体層で平面的に連続形成されていることが好ましい。このように半導体層を連続させれば配線に使用する面積を抑え開口率を上げることができるからである。

【００２６】

このとき、同一極性を有する複数の能動素子間の接続点に共通のコンタクトホールを備え、当該コンタクトホールからこれら能動素子と異なる極性を有する能動素子へ配線されている。極性が異なる場合には、通常の配線を行う必要があるからである。また、このようにすれば、コンタクトホールを共有化することにより、駆動回路の全体面積に占める接続部分の占有面積を少なくすることができる。

【００２７】

具体的には、第２の発明において、同一極性を有する複数の能動素子は、第２の能動素子、発光制御能動素子、および定電流制御能動素子である。

【００２８】

ここで第２の能動素子および定電流制御能動素子は、共通の走査線がそれぞれの能動素子のゲート端子となっていることが好ましい。共通のゲート端子接続に

ついては走査線をそのまま利用することによって配線面積を削減し開口率を上げることができるからである。

【００２９】

このとき、例えば第１の能動素子は、走査線と電気光学素子との間に配置されていることになる。

【００３０】

また本発明は、上記したような回路基板と、電気光学素子と、を備えた電気光学装置でもある。電気光学装置は、電気光学素子を備えている発光または表示装置一般をいい、例えば液晶パネル、ＥＬ表示装置等をいう。

【００３１】

ここで、上記電気光学素子は、エレクトロルミネッセンス（ＥＬ）素子であることが好ましい。ここで、「エレクトロルミネッセンス素子」とは、その発光性物質が有機であるか無機であるか（Ｚｎ：Ｓなど）を問わず、電界の印加によって、陽極から注入された正孔と陰極から注入された電子とが再結合する際に再結合エネルギーにより発光性物質を発光させるエレクトロルミネッセンス現象を利用したもの一般をいう。またエレクトロルミネッセンス素子は、その電極で挟まれる層構造として、発光性物質からなる発光層の他、正孔輸送層および電子輸送層のいずれかまたは双方を備えていてもよい。具体的には、層構造として、陰極／発光層／陽極の他、陰極／発光層／正孔輸送層／陽極、陰極／電子輸送層／発光層／陽極、または陰極／電子輸送層／発光層／正孔輸送層／陽極などの層構造を適用可能である。

【００３２】

さらに、本発明は、上記した回路基板を備える電子機器にも適用される。ここで「電子機器」には限定が無いが、回路基板により構成された表示装置を備えるもの、例えば、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳等をいう。

【００３３】

【発明の実施の形態】

次に、本発明の好適な実施の形態を、図面を例示として参照しながら説明する。以下の形態は、本発明を実施の形態の例示に過ぎず、その適用範囲を限定するものではない。

＜実施形態１＞

本発明の実施形態は、電気光学素子としてＥＬ素子を利用した電気光学装置である表示パネルに関する。図１に当該ＥＬ素子を含む回路基板により構成された表示パネルの全体図を示す。

【００３４】

図１に示すように、表示パネル１は、ガラス基板１６上に、表示領域１１およびドライバ領域１４・１５を配置して構成されている。表示領域１１には全体的に陰極１２が形成されて陰極取出電極１３に接続されている。表示領域１１には画素領域１０がマトリクス状に配置されている。カラー表示の場合、画素領域１０は、それぞれがカラー表示で必要とされる原色（例えば、赤、青、緑の三原色）で発光可能に構成されており、各原色で発光する画素領域１０の組が一つの画素要素となる。例えば、表示領域１１の列方向に配置されるドライバ領域１５は、書き込み制御線Ｖselと発光制御線Ｖgpとに信号を出力し、表示領域１１の行方向に配置されるドライバ領域１４は、電源線Ｖddの他、定電流を定電流線Ｉdataに信号を出力している。各画素領域１０における発光の有無をドライバ領域１４・１５に形成された図示しない駆動回路によって制御することにより、任意の画像が表示領域１１内に表示されるのである。

【００３５】

図２に、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図２では、特に主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００３６】

図２に示すように、電源線Ｖddと定電流線Ｉdataに挟まれる領域に、発光部ＯＬＥＤおよびそれを駆動するための周辺回路が総て配置されている。電源線Ｖddは、発光部ＯＬＥＤを介して定電流線Ｉdataと離れて配置されている。周辺回路

は、第１の能動素子としてのトランジスタＴ１、第２の能動素子としてのトランジスタＴ２、電流制御素子としてのトランジスタＴ３、発光制御素子としてのトランジスタＴ４、および保持素子としての保持容量Ｃで構成されている。

【００３７】

トランジスタＴ１は、そのソースが電源線Ｖddに接続され、そのドレインがトランジスタＴ４のソース側に接続されている。トランジスタＴ４は、そのドレインが発光部ＯＬＥＤの陽極に接続されている。保持容量Ｃは、電源線ＶddとトランジスタＴ１のゲート間に接続されている。トランジスタＴ２は、そのソースが保持容量Ｃおよびトランジスタ Ｔ１のゲートに接続され、そのドレインがトランジスタＴ３のソースおよびトランジスタＴ１およびＴ４間に接続されている。トランジスタＴ３は、そのドレインが定電流線Ｉdataに接続され、そのゲートがトランジスタＴ２のゲートと共通に書き込み制御線Ｖselに接続されている。

【００３８】

図３に、図２に示された切断面における層構造を説明する各断面図を示す。図３（ａ）はＡ－Ａ切断面、図３（ｂ）はＢ－Ｂ切断面、図３（ｃ）はＣ－Ｃ切断面における層構造を示している。

【００３９】

図３（ａ）に示すように、当該画素領域１０は、ガラス基板１００（図１におけるガラス基板１６）上に、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９（図１における陰極１２）の各層を積層して構成されている。さらに、電界発光部ＯＬＥＤでは、図３（ｂ）および（ｃ）に示すように、陽極層１１０、正孔輸送層１１１、発光層１１２の各層を積層して構成されている。

【００４０】

ガラス基板１００としては、本実施形態のＥＬ素子が基板側に光を射出する形態であって光透過性があることが必要であるため、ソーダライムガラス、低膨張ガラス、石英などのノンアルカリガラスが適用される。ただし、陰極層１０９に光透過性物質を用い、陰極側から光を射出する形態のＥＬ素子を構成する場合に

は、金属等の導電性物質、シリコン・カーバイト（ＳｉＣ）やアルミナ（$Ａｌ_2Ｏ_3$）や窒化アルミニウム（ＡｌＮ）等の非透明絶縁性物質も利用可能である。

【００４１】

下地保護膜１０１としては、酸化硅素膜（$ＳｉＯ_x$：０＜ｘ≦２）や窒化硅素膜（$Ｓｉ_3Ｎ_x$：０＜ｘ≦４）等の絶縁性物質が利用可能である。下地保護層は、ガラス基板中に含まれているナトリウム（Ｎａ）等の可動イオンが半導体層中に混入して半導体層の不純物制御に悪影響を与えさせないために形成するものである。

【００４２】

下地保護層１０１は、まず基板１００を純水やアルコールなどの有機溶剤で洗浄した後、常圧化学気相堆積法（ＡＰＣＶＤ法）や低圧化学気相堆積法（ＬＰＣＶＤ法）、プラズマ化学気相堆積法（ＰＥＣＶＤ法）等のＣＶＤ法あるいはスパッター法等を用いて基板上に形成される。

【００４３】

半導体層１０２としては、シリコン（Ｓｉ）やゲルマニウム（Ｇｅ）等の四族単体の半導体層の他に、シリコン・ゲルマニウム（$Ｓｉ_xＧｅ_{1-x}$：０＜ｘ＜１）やシリコン・カーバイド（$Ｓｉ_xＣ_{1-x}$：０＜ｘ＜１）やゲルマニウム・カーバイド（$Ｇｅ_xＣ_{1-x}$：０＜ｘ＜１）等の四族元素複合体、ガリウム・ヒ素（ＧａＡｓ）やインジウム・アンチモン（ＩｎＳｂ）等の三族元素と五族元素との複合体化合物、またはカドミウム・セレン（ＣｄＳｅ）等の二族元素と六族元素との複合体化合物、シリコン・ゲルマニウム・ガリウム・ヒ素（$Ｓｉ_xＧｅ_yＧａ_zＡｓ_z$：ｘ＋ｙ＋ｚ＝１）と云った更なる複合化合物等が適用可能である。

【００４４】

半導体層１０２は、例えば、ＡＰＣＶＤ法やＬＰＣＶＤ法、ＰＥＣＶＤ法等のＣＶＤ法、またはスパッター法等や蒸着法等のＰＶＤ法でシリコン等を堆積させた後、レーザー光の照射によって多結晶化して形成される。レーザー光としては、エキシマレーザー、アルゴンイオンレーザー、ＹＡＧレーザー（高調波）等が好ましい。例えば、シリコンを多結晶化すると、ポリシリコンとなる。この多結

晶化した半導体層１０２を保持容量Ｃや各トランジスタＴ１～Ｔ４の各ＴＦＴの各素子形状に合うようパターニングする。例えばCH_4と酸素の混合ガスを用いた反応性イオンエッチングによってアモルファス状態の半導体層を素子形状に合わせて島状にパターニングして形成する。パターニング後、例えばゲートメタル層を形成後、そのゲートメタル層をマスクとして、半導体層に不純物を導入する。具体的には、素子ごとにリン（Ｐ）、ヒ素（Ａｓ）、アンチモン（Ｓｂ）などのドナー元素を添加してＮ型半導体層にしたり、ホウ素（Ｂ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）等のアクセプター元素を添加してＰ型半導体層にしたりする。本実施形態では、保持容量Ｃを構成する半導体層がＮ型半導体層になるように不純物が導入され、ＴＦＴのソースメタル層１０６で形成される電極部がＰ型半導体層になるように不純物が導入される。ここで、ＴＦＴをＬＤＤ構造にする場合やＴＦＴのしきい値電圧を調整する場合には、不純物を低濃度で導入するチャンネル・ドープが行われる。

【００４５】

ゲート絶縁膜１０３としては、例えばテトラ・エチル・オルト・シリケート（ＴＥＯＳ）を原料とする二酸化珪素膜により形成される。ゲート絶縁膜１０３は、マイクロ波放電プラズマ、ＥＣＲプラズ等の酸素または窒素雰囲気下におけるマプラズマＣＶＤ法により形成される。

【００４６】

ゲートメタル層１０４としては、例えばタンタル（Ｔａ）、タングステン（Ｗ）、クロム（Ｃｒ）等のような導電性材料を用いる。ゲートメタル層１０４は、スパッタ法等で成膜され後、ゲート電極の形状になるようパターニングして形成される。

【００４７】

第１層間絶縁膜１０５としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第１層間絶縁膜は、スパッタ法等で形成された後、例えばＴＦＴ用のソース・ドレイン電極を形成するためにコンタクトホールが形成される。

【００４８】

ソースメタル層１０６として、例えばアルミニウム（Ａｌ）の他、タンタル、

モリブデン、チタン、タングステン等の導電性材料を使用可能である。ソースメタル層は、スパッタ法等で一様に導電性材料を積層後、電極形状に合わせてパターニングして形成される。

【００４９】

第２層間絶縁膜１０７としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第２層間絶縁膜は、スパッタ法等で形成された後、例えば陽極層１１０用のコンタクトホールｈ１およびｈ２が形成される。

【００５０】

陽極層１１０としては、例えば、酸化インジウム錫合金（ＩＴＯ）等の光透過性を有する導電性材料が適用可能である。光透過性が必要無い場合には、陽極層として、酸化錫（ＮＥＳＡ），金、銀、白金、銅等を適用できる。陽極層はスパッタ法等により形成された後、発光部ＯＬＥＤの形状にパターニングして形成される。

【００５１】

バンク層１０８としては、酸化珪素、窒化珪素、ポリイミドなどの絶縁材料を適用可能である。バンク層は、スパッタ法等で形成後、発光部ＯＬＥＤに対応する位置に開口部が設けて形成される。

【００５２】

正孔輸送層１１１としては、例えば、Ｎ，Ｎ’－ジフェニル－Ｎ，Ｎ’－ビス－（３－メチルフェニル）－（１，１’－ビフェニル）－４，４’－ジアミン（ＴＰＤＡ）が用いられる。正孔輸送層は、バンク層１０９に設けられた開口部にメタルマスク等を用いて成膜される。

【００５３】

発光層１１２としては、例えばトリス（８－キノリノール）アルミニウム（Ａｌｑ$_3$）等の任意の発光性物質が用いられる。発光層は、メタルマスクを用いた蒸着で形成可能であるが、インクジェット法により発光性物質を含んだ溶媒を開口部に吐出させて溶媒成分を蒸発させて堆積させてもよい。

【００５４】

陰極層１０９としては、エネルギー順位からＥＬ素子の陰極として使用可能な

材料、アルミニウムまたはアルミニウムと他の元素（リチウムなど）の合金、カルシウムなどで形成される。陰極層は、メタルマスク等により形成され、フォトリソグラフィー法やシャドーマスク法等でパターニングして形成される。

【００５５】

以下、本実施形態における配線パターン上の数々の特徴について順に説明する。

（発光部の平面形状）

ＥＬ素子の製造方法の一つに、インクジェット方式により発光性物質を含んだ薄膜材料液を開口部に吐出し乾燥させて、発光層を形成する製造方法がある。この製造方法では、吐出された材料液が均等に開口部の隅々まで行き渡ることが重要である。もしも材料液が均等に行き渡らないと、成膜後の発光層の厚みが不均一になり、発光領域内で射出される光の強度が不均一となり、表示パネルの画質が低下する。例えば、平面上、方形形状の開口部であったと仮定すると、材料液の表面張力や粘度等の影響で開口部の角部における吐出された材料液の液面の高さがその他の部分と異なるようになる。したがって、このような形状の発光部では成膜後の発光層の厚みが不均一になるおそれがあった。

【００５６】

一方、表示パネルでは輝度を上げる必要があるため、光を射出する領域、すなわち発光部をできるだけ大きく採り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請がある。製造上の容易性のみを考えてパターンを配置するわけにもいかないのである。

【００５７】

そこで、このような要請をともに満たすために、本願発明の一つは、発光部の境界が少なくとも所定の曲率以上を有するように形成されており、この所定の曲率を有する境界とこの発光部の境界に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されていることを特徴の一つとしている。

【００５８】

図４に基づいて、具体的な概念を説明する。図４（ａ）、（ｂ）、（ｃ）はそれぞれ本発明の概念を適用した発光部の全部または一部の平面形状を示している

。図４（ａ）は、発光部の境界が円形、すなわち総ての境界が一定の曲率Ｒを有している場合である。この円周とこの円周に外接する多角形、すなわち破線で示す正方形とで囲まれる領域、すなわち斜線部分に、周辺回路の一部を設けるのである。この円形の発光部は中心点を通るどの中心線に対しても対称である点で、発光部の膜厚を均等にできるための形状として理想的な形状であると考えられる。しかし、図４（ａ）に示すように、斜線部分を有効活用することが発光部の開口率を向上させるために必要である。

【００５９】

図４（ｂ）は、長方形の角部に本発明を適用し、発光部の境界に一定の曲率Ｒを持たせた例である。この例では、外接する多角形は破線で示す長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。本実施形態はこの例に属し、この曲率Ｒを大きくしていくと、本実施形態のような長円の発光部の平面形状になる。この例でも発光部の中心を通る中心線に対して左右あるいは上下対称であり、かつ、角部の曲率が一定値以上であるため、均等な膜厚の発光部を形成可能である。

【００６０】

図４（ｃ）は、中心線に対して不均等に角部の曲率を設定した例である。図に向かって左側の角部の曲率Ｒ１が右側の角度の曲率Ｒ２より小さくなっている。この例では、外接する多角形は破線で示すような長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。このように曲率が不均等であっても、最小の曲率を一定値以上に設定することにより、均等な膜厚の発光部が形成可能である。最小の曲率は、吐出される溶液の粘度や表面張力、吐出面の撥水性（親水性・親和性）に左右されるため、実験によって事例毎に定められる。

【００６１】

本実施形態では、図２に示すように発光部が長円形の平面形状を備えている。そして、この発光層の境界とこの発光部の境界に外接する長方形（図示しない）との境界で囲まれる領域内に、周辺回路の一部、つまりコンタクトホールｈ１およびｈ２が形成されている（図３（ｂ）も参照のこと）。本実施形態では、本来

無駄なスペースともなるべき図４（ｂ）の斜線で示すような領域を、このコンタクトホールのために使用することにより、スペースの有効利用という要請を満たしている。

【００６２】

なお、この発光部の境界とその発光部に外接する多角形の境界とに囲まれる領域には、コンタクトホールに限らず、周辺回路のいずれの素子、例えばトランジスタやキャパシタ等を形成してもよい。また、独立に機能する素子全体を総てこの領域に入れ込まなければならないわけではなく、素子やコンタクトの一部、つまり周辺回路の一部がこの領域に入り込んでいればよい。つまり、スペースを有効利用するような配置がされていることが肝要である。

（発光部のためのコンタクトホール）

ＥＬ素子において、発光部の境界と発光部に外接する多角形の境界とに囲まれる領域に、図２に示すように、コンタクトホールを設けることは意義がある。すなわち、この領域に比較的大き目のコンタクトホールを設けることにより、この領域の有効利用が可能となるとともに、発光部に十分な電流を供給可能とするからである。

【００６３】

さらにコンタクトホールを複数設けることは好ましい。すなわち、ＥＬ素子では、発光層にはある程度の電流量の電流を、発光部全体に均等に流す必要がある。もしも直接電流を供給する陽極に接続するためのコンタクトホールが偏った位置に設けられたものとすると、電流の供給口が発光層に対して偏った位置にあるため、電流供給量が不均等になるおそれがある。不均等な電流供給は発光強度のむらとなって現れる。

【００６４】

この点、本実施形態のように、発光部の中心部を通る中心線に対し対称な位置に複数のコンタクトホールを設ければ、このような問題を解消できる。すなわち、図２に示すように、本実施形態では、発光部の中心点を通る所定の中心線に対して対称的に設けられた領域にそれぞれ比較的大き目の複数のコンタクトホールを設けている。この対称的な領域にそれぞれコンタクトホールを設けることによ

り、発光部の均等成膜の要請とともに、発光部に対する電流供給を均一にするという要請を満たすことができる。

（金属層間のアライメント）

ＥＬ素子の駆動回路方式によっては、保持容量の変動が発光部に供給される電流量の安定性に影響を与える場合がある。当該実施形態においても、保持容量Ｃの容量値が表示パネルごとに変動するのは好ましくない。しかしながら、表示パネルの製造工程において金属層を積層する際に予定した位置よりもずれが生じる場合がある。保持容量は金属層の重複領域の面積が容量値を規定するため、位置ずれが生じると容量値の変動を生じ、保持容量の容量値が表示パネルごとに変動するという事態を招くおそれがあった。

【００６５】

そこで、本実施形態では、保持容量Ｃが形成される重複領域付近において、保持容量Ｃの形成に関係する複数の層、すなわちソースメタル層１０６、ゲートメタル層１０４および半導体層１０２のうち、より下層側に配置される層（ソースメタル層に対してはゲートメタル層および半導体層）の占める領域が、より上層側に配置される層（半導体層に対してはゲートメタル層およびソースメタル層、ゲートメタル層に対してはソースメタル層）の占める領域より大きく形成されている。

【００６６】

この様子は図２の平面図からも読み取れるが、具体的に図６に示したＡ－Ａ断面図を参照して説明する。図６に示すように、ソースメタル層１０６の幅をｄ１、ゲートメタル層１０４の幅をｄ２、半導体層１０２の幅をｄ３とした場合に、

ｄ３＞ｄ２＞ｄ１

という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００６７】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、よ

り下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ３－ｄ２、ｄ２－ｄ１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（ゲートメタル層の離間形成）

ＥＬ素子は共通電極を備えており、表示領域の全面にその共通電極が形成される。本実施形態でも発光部ＯＬＥＤのための陰極１３（陰極層１０９）が、図１に示すように表示領域１１の全体に形成されている。ところが、共通電極が全面に形成されていると、トランジスタのゲートに接続されるゲートメタル層との間で容量が生じるという問題があった。このような予期せぬ容量が生じると、トランジスタの動作の遅れを生じ、設計した通りのタイミングでの動作が保証できなくなる。

【００６８】

そこで本実施形態では、ゲートメタル層によって形成される配線パターンが、発光層の電極の少なくとも一方から所定の距離以上離間して配置されるように配慮した。インピーダンスが低く問題となるのは、共通電極である陰極層１０９とゲートメタル層１０４との距離である。また、陰極層１０９は、発光部ＯＬＥＤにおいて下層側との距離が小さくなるため、発光部周辺におけるゲートメタル層との距離が問題となる。このため、本実施形態では、図７（図２におけるＣ－Ｃ断面に相当）に示すように、発光部付近において、陰極層１０９とゲートメタル層１０４との深さ方向の距離ｄ１と平面上の距離ｄ２が共に所定の距離以上になるようパターン形成した。

【００６９】

ここで所定の距離は、ゲートメタル層の面積や介在する層の誘電率などによって種々変化するので一概に言えないが、画素領域の面積などから許容される範囲で、できるだけ離してパターニングするのが好ましい。

（周辺回路の動作）

次に、本実施形態のＥＬ素子の周辺回路の動作を説明する。図５に、画素領域１０一つあたりの回路図を示す。

【００７０】

１）本実施形態の回路は、一般に電流プログラム方式といわれる回路構成をとっている。画素表示は、プログラム準備動作として、書き込み制御線Ｖselを選択し、トランジスタＴ２およびＴ３をオン状態にすることから始まる。

【００７１】

２）トランジスタＴ２およびＴ３が導通状態になると、トランジスタＴ１が所定時間後に定常状態に達し、保持容量ＣにＩdataに応じた電圧が記憶される。これがプログラム動作である。

【００７２】

３）そして発光動作として、書き込み制御線Ｖselを非選択状態とし、トランジスタＴ２およびＴ３をオフにし、一旦定電流Ｉdataを遮断した後、発光制御線Ｖgpを選択する。この結果、トランジスタＴ４がオン状態となり、保持容量Ｃに記憶された電圧Ｖgsに対応する定電流ＩdataがトランジスタＴ１およびＴ４経由で発光部ＯＬＥＤに供給される。発光部ＯＬＥＤに供給された電流により、発光層１１１に電界が印加され、発光層から光が射出される。

（周辺回路における電流維持性能の向上）

以下に、周辺回路における本実施形態の特徴を説明する。

【００７３】

従来、保持容量の充放電を制御する能動素子については特に考慮がされていなかった。微細化されたＦＥＴでは、ゲート電圧が閾値以下の場合、ドレイン電流がドレイン電圧にも依存するようになる。つまり、ソースーチャネルードレイン間に形成されたトランジスタの注入電流がゲート電圧に対して指数関数的に増加し、リーク電流が発生する。例えば、図５に示すトランジスタＴ２においてリーク電流が発生すると、保持容量Ｃの両端電圧Ｖgsが低下し、その電圧を制御電圧としてゲートに入力しているトランジスタＴ１のドレイン電流が変動する。この変動は、発光部ＯＬＥＤにおける輝度の変化となって現れるため、安定した輝度での発光が担保されなくなる。

【００７４】

そこで、本実施形態では、図１および図５に示すように、保持容量Ｃに直接接続される能動素子であるトランジスタＴ２を、多重制御端子型の能動素子、つま

りマルチゲート型トランジスタとしている。このようなトランジスタでは、図５の矢印で示すように、事実上複数トランジスタが直列接続されたのと等価な素子となり、リーク電流が大幅に制限される。したがって、保持容量に直接接続するトランジスタをこのマルチゲート型のトランジスタにすることで、占有面積を殆ど変えずに、保持容量Ｃにおけるプログラム電圧の変動を無くし、発光部への供給電流を一定にすることができるのである。

【００７５】

ここで、トランジスタＴ２をマルチゲート型に代えてまたは併用してＬＤＤ、ＧＤＤ、ＤＤＤ構造のトランジスタとすることは好ましい。このような構造を適用することにより、漏れ電流を減少させることができるとともに、ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限し、素子の信頼性を向上させることができる。

【００７６】

ここで、制御信号の極性等を考慮し、トランジスタＴ１とトランジスタＴ２は互いに逆極性、つまり、トランジスタＴ１はＰ型ＦＥＴ、トランジスタＴ２からＴ４はＮ型ＦＥＴで構成されている。ただし、Ｐ型を用いるかＮ型を用いるかは、適用しようとする信号の極性等に応じて任意に変更可能であり限定はない。

【００７７】

また、各素子の配置も図５に限定されるものではない。例えば、保持容量やトランジスタＴ１を接地側に持っていき、発光部ＯＬＥＤを電源側に持っていき、発光部の共通電極を陽極とし、各トランジスタの極性（Ｎ型またはＰ型の別）を反転させてもよい。

（周辺回路のスペースの削減）

前述したように、表示装置では、輝度を上げるため、周辺回路の占める領域をできるだけ小さくしたいという要請がある。このため、本実施形態では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図２に示すように、トランジスタＴ２、Ｔ３、およびＴ４が同一のコンタクトホール、ｈ３で相互に接続されている。このように、回路上共通接点が多くなる

ように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

＜実施形態２＞

図８に、本発明の実施形態２におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図９に、図８に示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面、図９（ｃ）はＣ－Ｃ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００７８】

実施形態２のＥＬ素子の構成は、段差形状Stepを構成する親和性制御膜１１３の存在を除き、実施形態１のＥＬ素子と同一である。このため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００７９】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図９（ｃ）に示すように、実施形態２における発光部ＯＬＥＤは、親和性制御層１１３を、第２層間絶縁膜１０７とバンク層１０８との間に備えている。この親和性制御層１１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層１１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層１０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層１１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層１１３の上に積層されている。このため親和性制御層１１３は、図８および図９（ｃ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００８０】

親和性制御層１１３の材料は、発光層の製造時において、インクジェット方式により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００８１】

親和性制御層１１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００８２】

バンク層１０８は、親和性制御層１１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄膜材料液の均一性が損なわれることを防止できるからである。

【００８３】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を

発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

【００８４】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すように構成したので、隣接画素領域との間のショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【００８５】

なお、本実施形態では、親和性制御層１１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【００８６】

その他の本実施形態２における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態３＞

図１０に、実施形態３におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１１に、図１０にに示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００８７】

実施形態３のＥＬ素子は、パターン形状において、実施形態１における画素領域１０の幅より画素領域２０の幅が小さくなっている。ただし、回路構成は実施形態１と同様であり（図５参照）、各層を構成する材料も実施形態１と同様であるため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。ただし、実施形態１におけるガラス基板１００、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８

、陰極層１０９、陽極層１１０、正孔輸送層１１１、および発光層１１２の各層は、実施形態３において、ガラス基板２００、下地保護膜２０１、半導体層２０２、ゲート絶縁膜２０３、ゲートメタル層２０４、第１層間絶縁膜２０５、ソースメタル層２０６、第２層間絶縁膜２０７、バンク層２０８、陰極層２０９、陽極層２１０、正孔輸送層２１１、および発光層２１２の各層それぞれを対応している。また、実施形態１におけるトランジスタＴ１～Ｔ４は実施形態３におけるＴ１１～Ｔ１４に、実施形態１におけるコンタクトホールｈ１～ｈ３は実施形態３におけるコンタクトホールｈ１１～ｈ１３に、それぞれ対応している。

【００８８】

以下、本実施形態における配線パターン上の特徴について説明する。

（電源線下の保持容量）

実施形態１においては、保持容量Ｃを電源線Ｖddと定電流線Ｉdataとの間であって発光部の外側（図２における発光部の上部）に配置した。しかし本実施形態のように画素領域の面積が比較的小さい場合、すなわち画素密度が高い場合には、保持容量が占有する素子面積が十分とれないという事態が生ずる。

【００８９】

そこで本実施形態においては、第１の金属層（例えばソースメタル層２０６）または第２の層の少なくとも一方が電源配線パターンとなっている領域に保持容量Ｃが形成されている。具体的には、図１０に示すように、発光部ＯＬＥＤの横に配線されている電源線Ｖdd（ソースメタル層２０６）の下に、ゲートメタル層２０４を平行して積層させることにより、保持容量Ｃが形成されている。

【００９０】

この保持容量Ｃは、実施形態１において説明した保持容量と同様に、保持容量Ｃの形成に関係する複数の層間（例えば、ソースメタル層２０６、ゲートメタル層２０４、半導体層２０２）に重複領域を生じさせることにより保持容量Ｃが形成されており、保持容量Ｃが形成される重複領域付近において、複数の層のうちより下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。具体的には、図１１（ｂ）に示すように、ソースメタル層２０６の幅をｄ１１、ゲートメタル層２０４の幅をｄ１２、半導体層２

０２の幅をｄ１３とした場合に、
ｄ１３＞ｄ１２＞ｄ１１
という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００９１】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ１３－ｄ１２、ｄ１２－ｄ１１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（バンク層下の保持容量）

前述した保持容量は、隣接する前記発光部間を隔離するためのバンク層２０８の下に形成されていることが好ましい。すなわちバンク層は画素分離のために必要であるため、この領域の下に、電源線の配線領域と保持容量のための重複領域を重ねる合わせることにより、周辺回路の面積を大幅に縮小することができるからである。

（周辺回路のスペースの削減）

実施形態１と同様に、本実施形態２では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図１０に示すように、トランジスタＴ１２、Ｔ１３、およびＴ１４が同一のコンタクトホール、ｈ１３で相互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

【００９２】

その他の特徴、例えば発光部の平面形状、ゲートメタル層の電極からの離間処

理、周辺回路の動作、周辺回路の電流維持性能の向上などについては、実施形態１と同様であり、その説明を省略する。

＜実施形態４＞

図１２に、本発明の実施形態３におけるＥＬ素子について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１３に、図１２に示された切断面における層構造を説明する各断面図を示す。図１２（ａ）はＡ－Ａ切断面、図１２（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態３と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００９３】

実施形態４のＥＬ素子の構成は、段差形状Stepを構成する親和性制御膜２１３の存在を除き、実施形態１および２のＥＬ素子と同一である。このため、実施形態１および２と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００９４】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図１２（ｂ）に示すように、実施形態４における発光部ＯＬＥＤは、親和性制御層２１３を、第２層間絶縁膜２０７とバンク層２０８との間に備えている。この親和性制御層２１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層２１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層２０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層２１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層２１３の上に積層されている。このため親和性制御層２１３は、図１２および図１３（ｂ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００９５】

親和性制御層２１３の材料は、発光層の製造時において、インクジェット方式

により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００９６】

親和性制御層２１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００９７】

バンク層２０８は、親和性制御層２１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄膜材料液の均一性が損なわれることを防止できるからである。

【００９８】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能であ

る。

【００９９】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すものとしたので、隣接画素領域との間でのショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【０１００】

なお、本実施形態では、親和性制御層２１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【０１０１】

その他の本実施形態４における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態５＞

本実施形態は、上記実施形態で説明した電気光学素子であるＥＬ素子を有する電気光学装置である表示パネルおよびその表示パネルを備える電子機器に関する。

【０１０２】

図１４に、本実施形態の表示パネル１の接続図を示す。表示パネル１は、図１に示したように、表示領域１１内に画素領域を配置して構成される。画素領域としては、実施形態１または２の画素領域１０または実施形態３または４の画素領域２０を適用可能である。ドライバ領域１５からは、発光制御線Vgpおよび書き込み制御線Ｖselが各画素領域に供給されている。ドライバ領域１４からは、電流線Ｉdataおよび電源線Ｖddが各画素領域に供給されている。書き込み制御線Ｖselと定電流線Ｉdataを制御することにより、各画素領域に対する電流プログラムが行われ、発光制御線Ｖgpを制御することにより発光が制御される。

【０１０３】

本実施形態の表示パネル１は、種々の電子機器に適用可能である。図１５に、本表示パネル１を適用可能な電子機器の例を挙げる。

【０１０４】

図１５（ａ）は携帯電話への適用例であり、当該携帯電話３０は、アンテナ部３１、音声出力部３２、音声入力部３３、操作部３４、および本発明の表示パネル１を備えている。このように本発明の表示パネルは表示部として利用可能である。

【０１０５】

図１５（ｂ）はビデオカメラへの適用例であり、当該ビデオカメラ４０は、受像部４１、操作部４２、音声入力部４３、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、ファインダーや表示部として利用可能である。

【０１０６】

図１５（ｃ）は携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ５０は、カメラ部５１、操作部５２、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、表示部として利用可能である。

【０１０７】

図１５（ｄ）はヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ６０は、バンド６１、光学系収納部６２および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

【０１０８】

図１５（ｅ）はリア型プロジェクターへの適用例であり、当該プロジェクター７０は、筐体７１に、光源７２、合成光学系７３、ミラー７４・７５ミラー、スクリーン７６、および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

【０１０９】

図１５（ｆ）はフロント型プロジェクターへの適用例であり、当該プロジェクター８０は、筐体８２に光学系８１および本発明の表示パネル１を備え、画像をスクリーン８３に表示可能になっている。このように本発明の表示パネルは画像表示源として利用可能である。

【０１１０】

上記例に限らず本発明の電気光学装置は、アクティブマトリクス型の表示装置を適用可能なあらゆる電子機器に適用可能である。例えば、この他に、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳、電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

【０１１１】

【発明の効果】

本発明によれば、少なくとも以下に述べるような利点がある。

【０１１２】

本発明によれば、保持素子に接続され保持素子の充放電を制御する第２の能動素子は、多重制御端子型の能動素子として構成されている。このため、保持素子からの電流漏れを低減することにより、プログラム電圧の変動を無くし、電気光学素子への供給電流を一定にすることができる。

【０１１３】

本発明によれば、複数の能動素子のうち少なくとも一の能動素子は、他の１以上の能動素子と同一コンタクトホールで接続されている。このように回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

【図面の簡単な説明】

【図１】

本実施形態における表示パネルの全体図である。

【図２】

実施形態１における画素領域の平面図である。

【図３】

実施形態１における画素領域の断面図であり、（ａ）は図２のＡ－Ａ切断面、（ｂ）は図２のＢ－Ｂ切断面、（ｃ）は図２のＣ－Ｃ切断面である。

【図４】

発光部の境界形状の変形例であり、（ａ）は円形の発光部の場合、（ｂ）は中心線対称な屈曲部を有する発光部の場合、（ｃ）は中心線非対称な屈曲部を有する発光部の場合である。

【図５】

実施形態１における画素領域の回路図である。

【図６】

実施形態１における金属層のアライメントの説明図である。

【図７】

実施形態１におけるゲートメタルの離間処理の説明図である。

【図８】

実施形態２における画素領域の平面図である。

【図９】

実施形態２における画素領域の断面図であり、（ａ）は図８のＡ－Ａ切断面、（ｂ）は図８のＢ－Ｂ切断面、（ｃ）は図８のＣ－Ｃ切断面である。

【図１０】

実施形態３における画素領域の平面図である。

【図１１】

実施形態３における画素領域の断面図であり、（ａ）は図１０のＡ－Ａ切断面、（ｂ）は図１０のＢ－Ｂ切断面である。

【図１２】

実施形態４における画素領域の平面図である。

【図１３】

実施形態４における画素領域の断面図であり、（ａ）は図１２のＡ－Ａ切断面、（ｂ）は図１２のＢ－Ｂ切断面である。

【図１４】

実施形態５における表示パネルの接続図である。

【図１５】

実施形態５における電子機器の例であり、（ａ）は携帯電話、（ｂ）はビデオカメラ、（ｃ）は携帯型パーソナルコンピュータ、（ｄ）はヘッドマウントディ

スプレイ、（ｅ）はリア型プロジェクター、（ｆ）はフロント型プロジェクターへの本発明の表示パネルの適用例である。

【符号の説明】

１…表示パネル

１０、２０…画素領域

１１…表示領域

１２…陰極

１３…陰極取出電極

１４、１５…ドライバ領域

１６、１００、２００…ガラス基板

１０１，２０１…下地保護層

１０２，２０２…半導体層

１０３，２０３…ゲート絶縁膜

１０４，２０４…ゲートメタル層

１０５，２０５…第１層間絶縁膜

１０６，２０６…ソースメタル層

１０７，２０７…第２層間絶縁膜

１０８、２０８…バンク層

１０９、２０９…陰極

１１０，２１０…陽極

１１１，２１１…正孔輸送層

１１２、２１２…発光層

１１３，２１３…親和性制御層

Ｔ１，Ｔ２，Ｔ３，Ｔ４…薄膜トランジスタ

ｈ１、ｈ２、ｈ３、ｈ１１、ｈ１２、ｈ１３…スルーホール

Ｖsel…書き込み制御線

Ｖgp…発光制御線

Ｉdata…定電流線

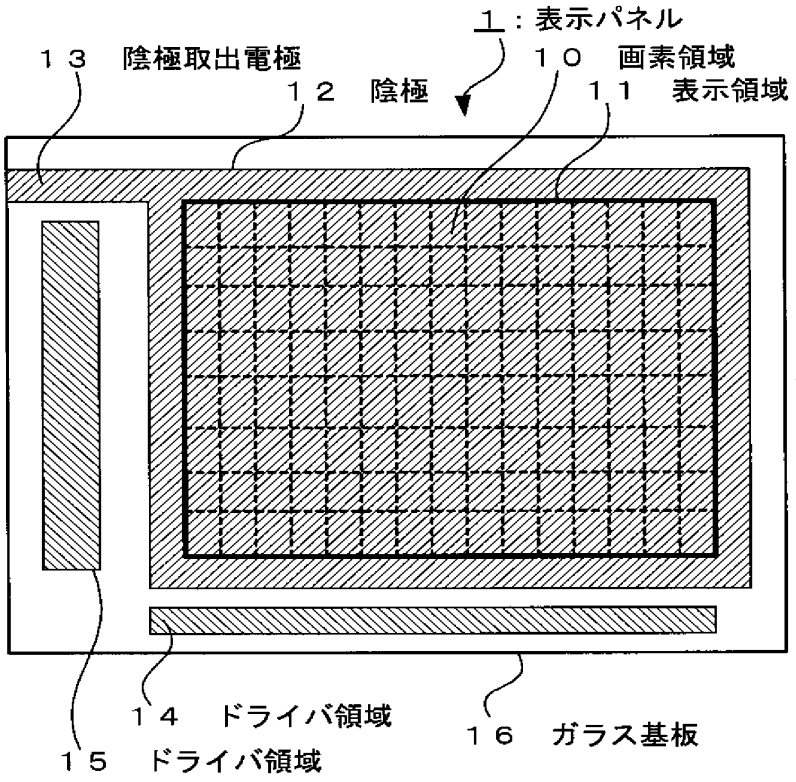
Ｖdd…電源線

Ｃ…保持容量

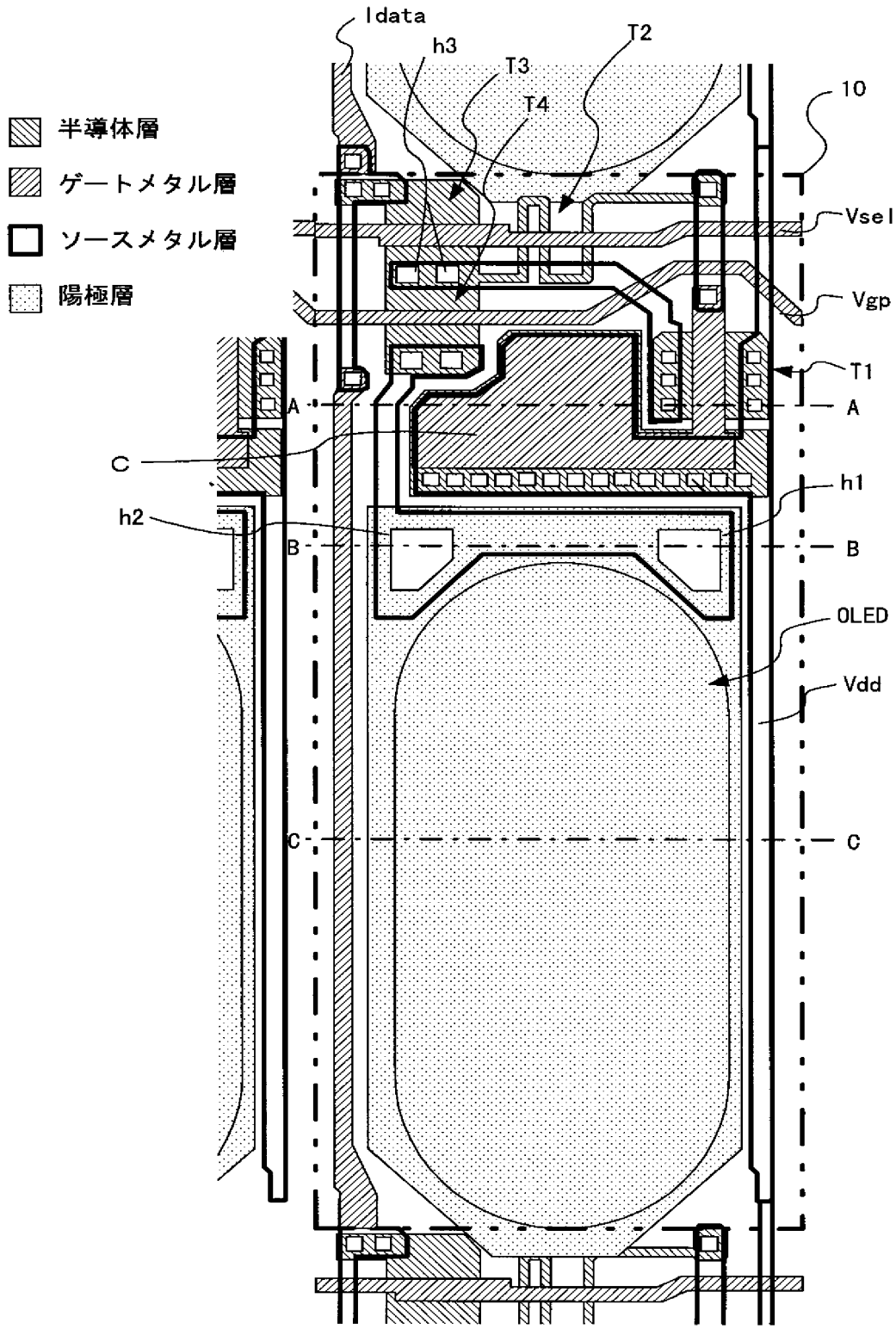
ＯＬＥＤ…発光部

【書類名】　図面

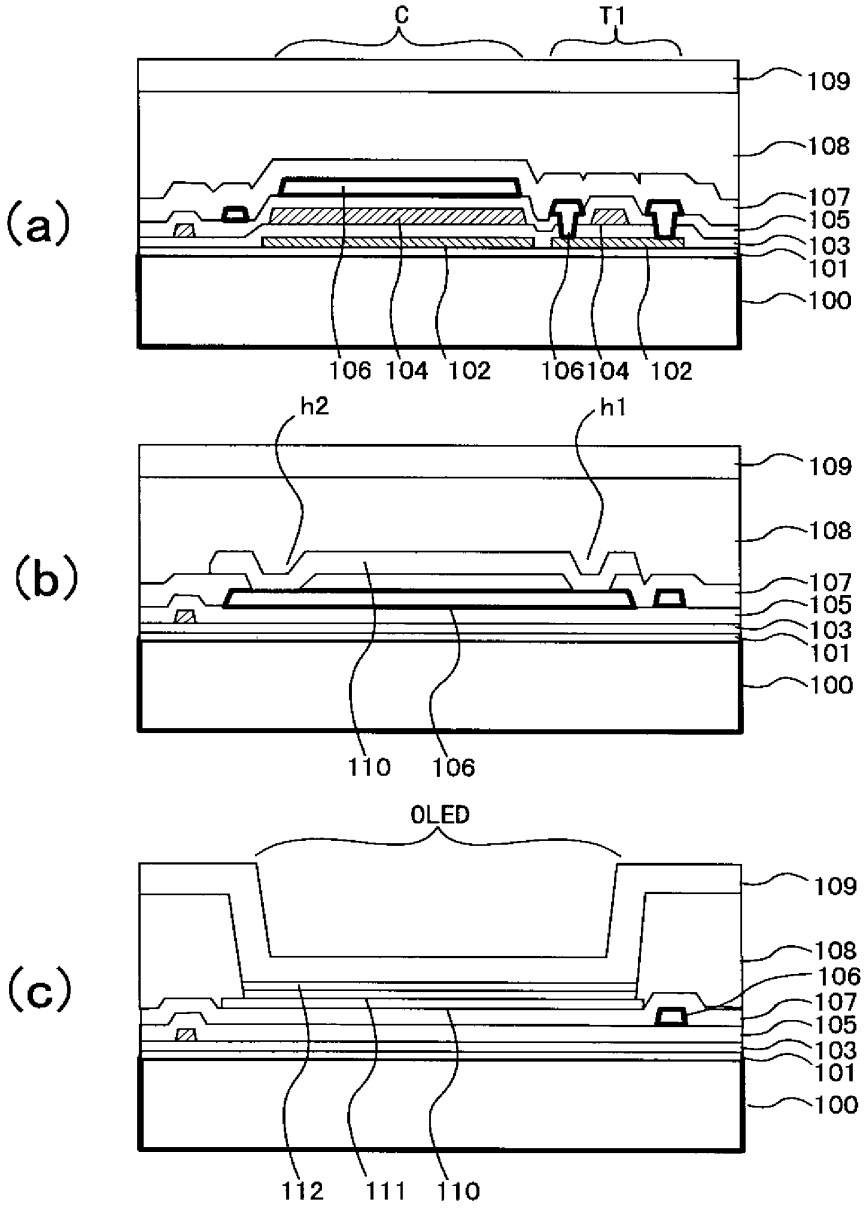
【図１】


１：表示パネル
１３　陰極取出電極
１２　陰極
１０　画素領域
１１　表示領域
１４　ドライバ領域
１５　ドライバ領域
１６　ガラス基板

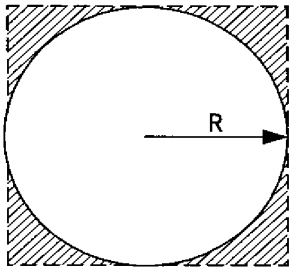
【図２】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T3
T4
T2
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C

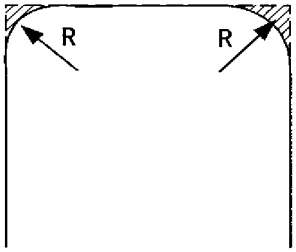
【図３】


(a)
C
T1
109
108
107
105
103
101
100
106
104
102
106
104
102
(b)
h2
h1
109
108
107
105
103
101
100
110
106
(c)
OLED
109
108
106
107
105
103
101
100
112
111
110

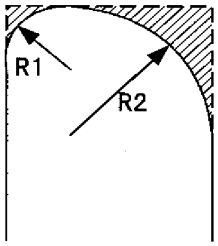
【図４】



(a)

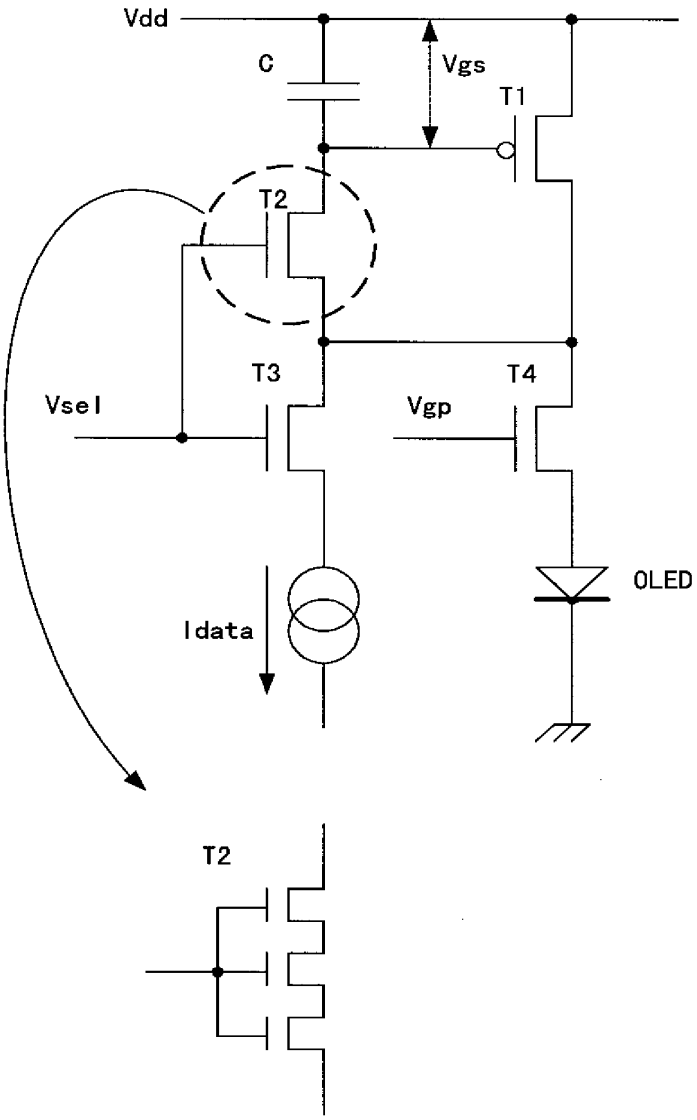


(b)

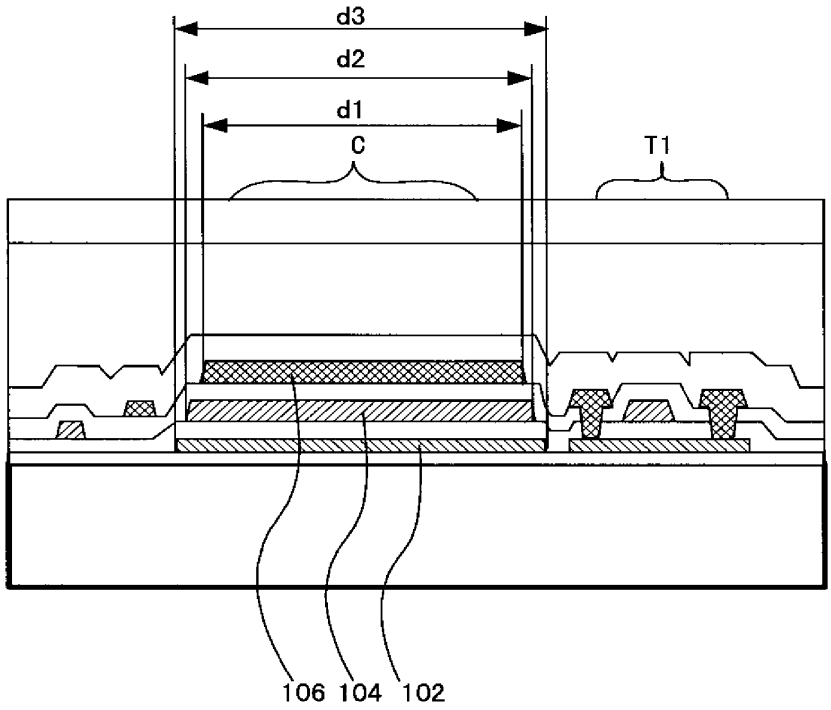


(c)

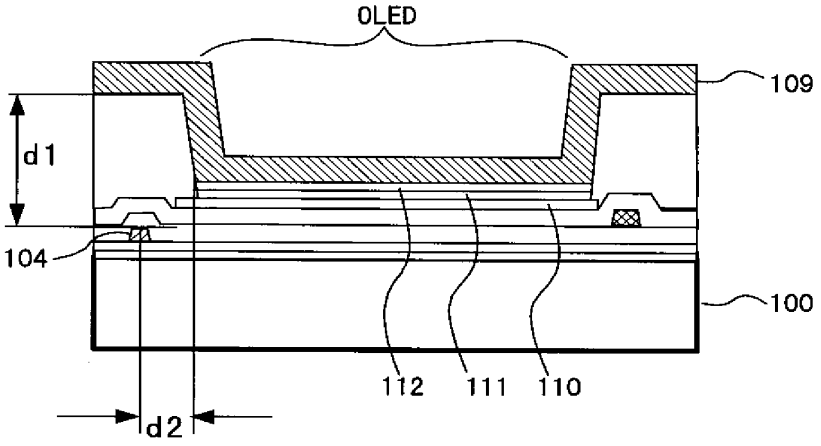
【図５】



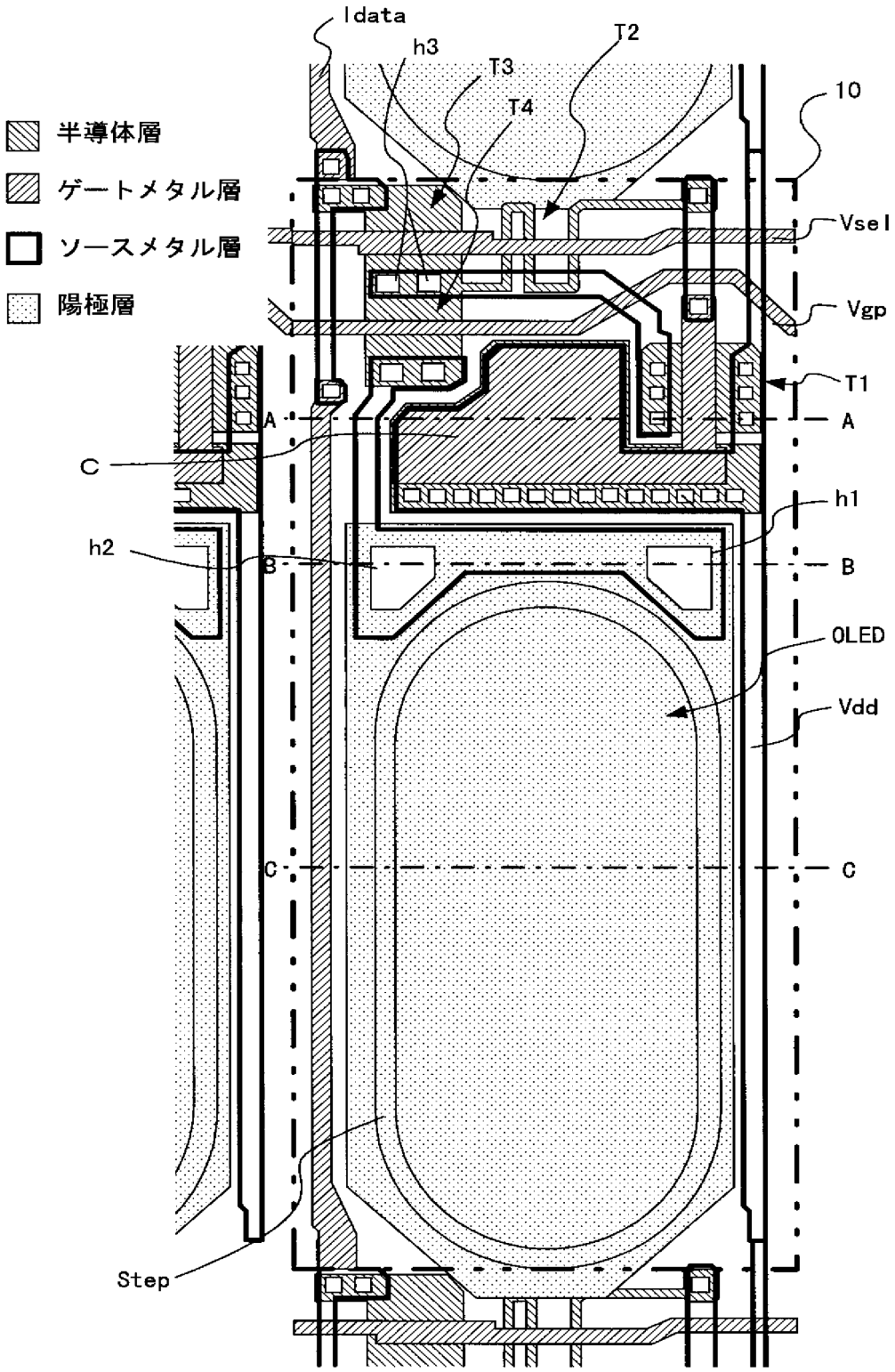
【図６】



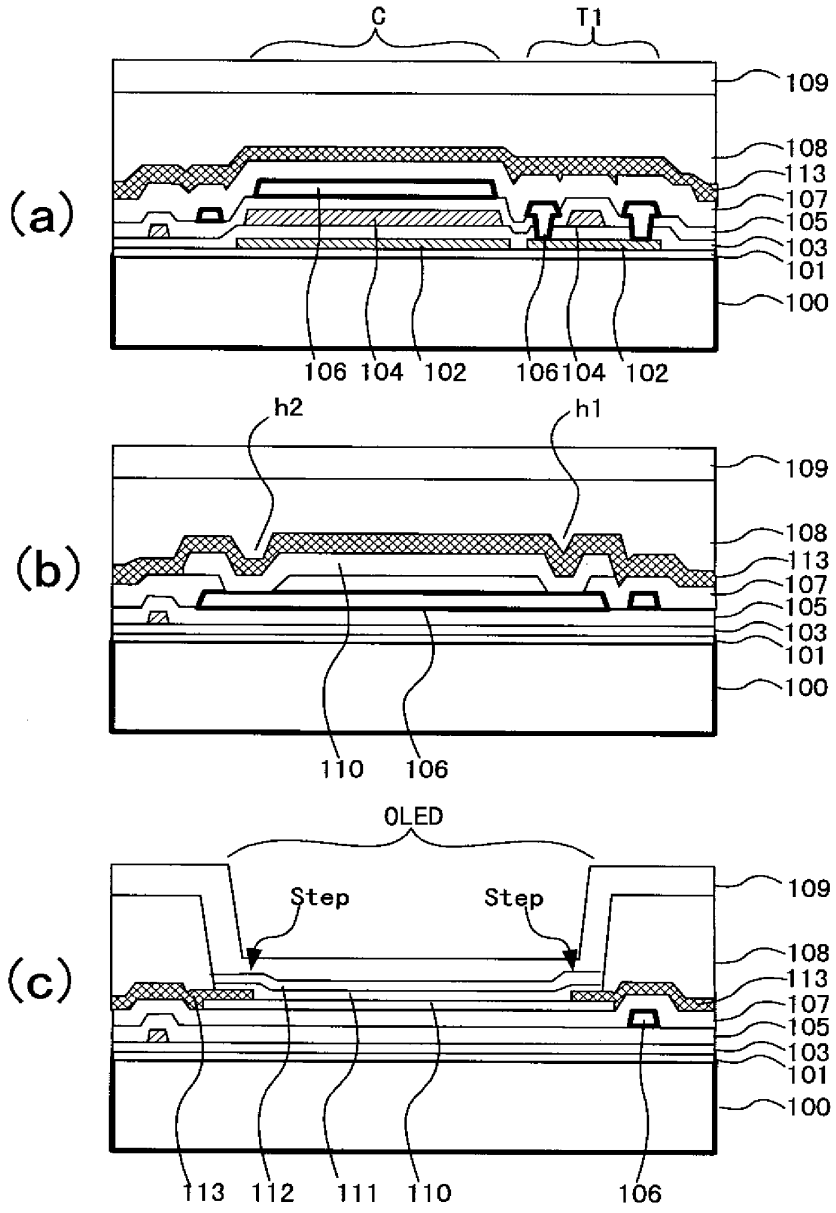
【図７】



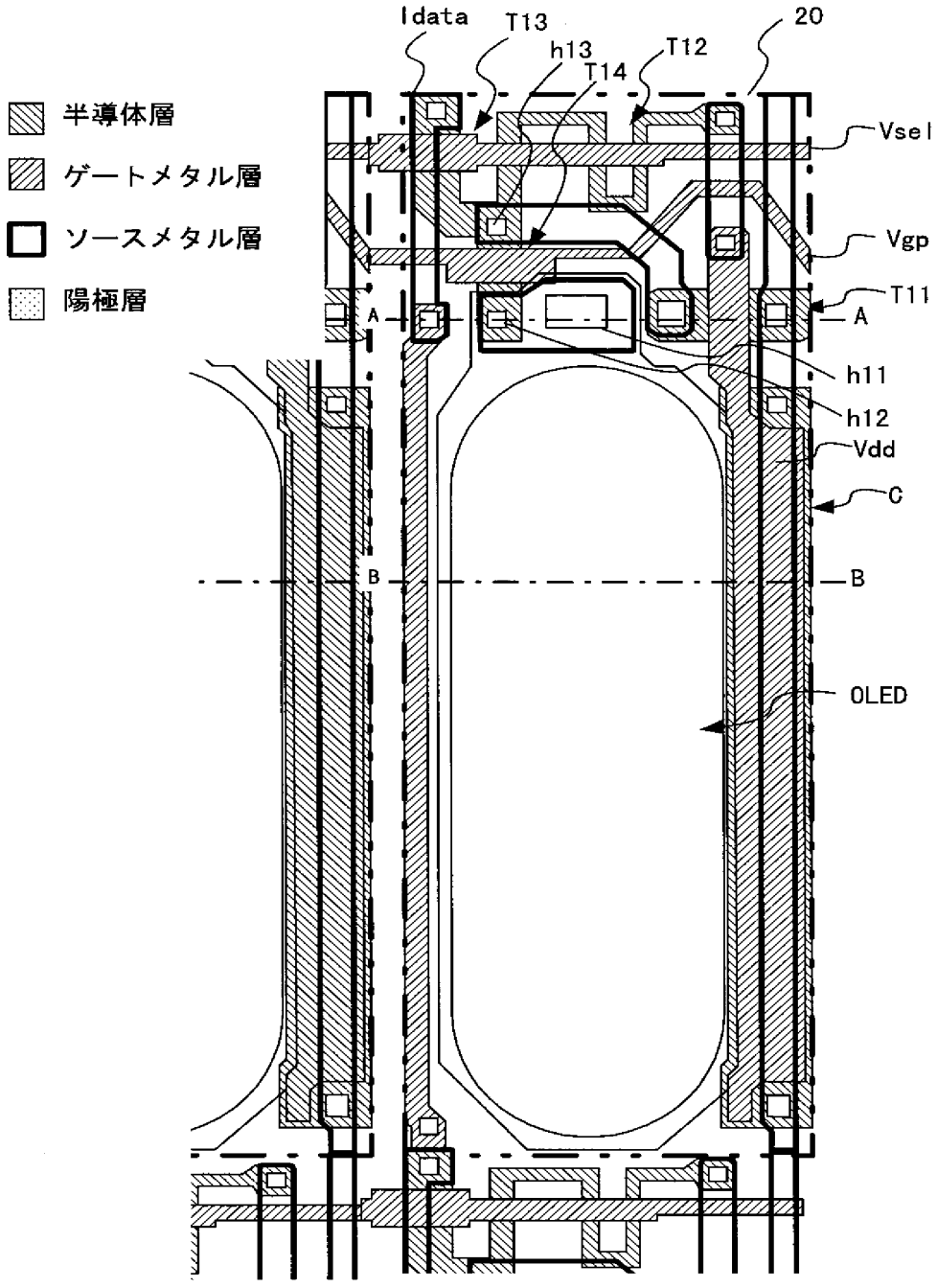
【図８】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T3
T2
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C
Step

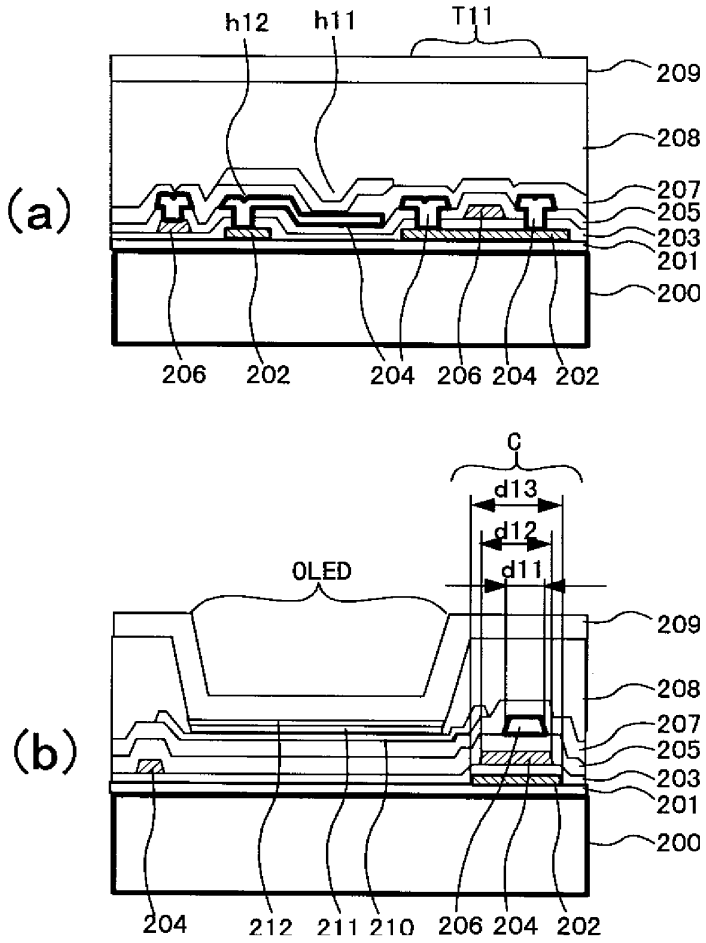
【図９】


(a)
C
T1
109
108
113
107
105
103
101
100
106
104
102
106
104
102
(b)
h2
h1
109
108
113
107
105
103
101
100
110
106
(c)
OLED
Step
Step
109
108
113
107
105
103
101
100
113
112
111
110
106

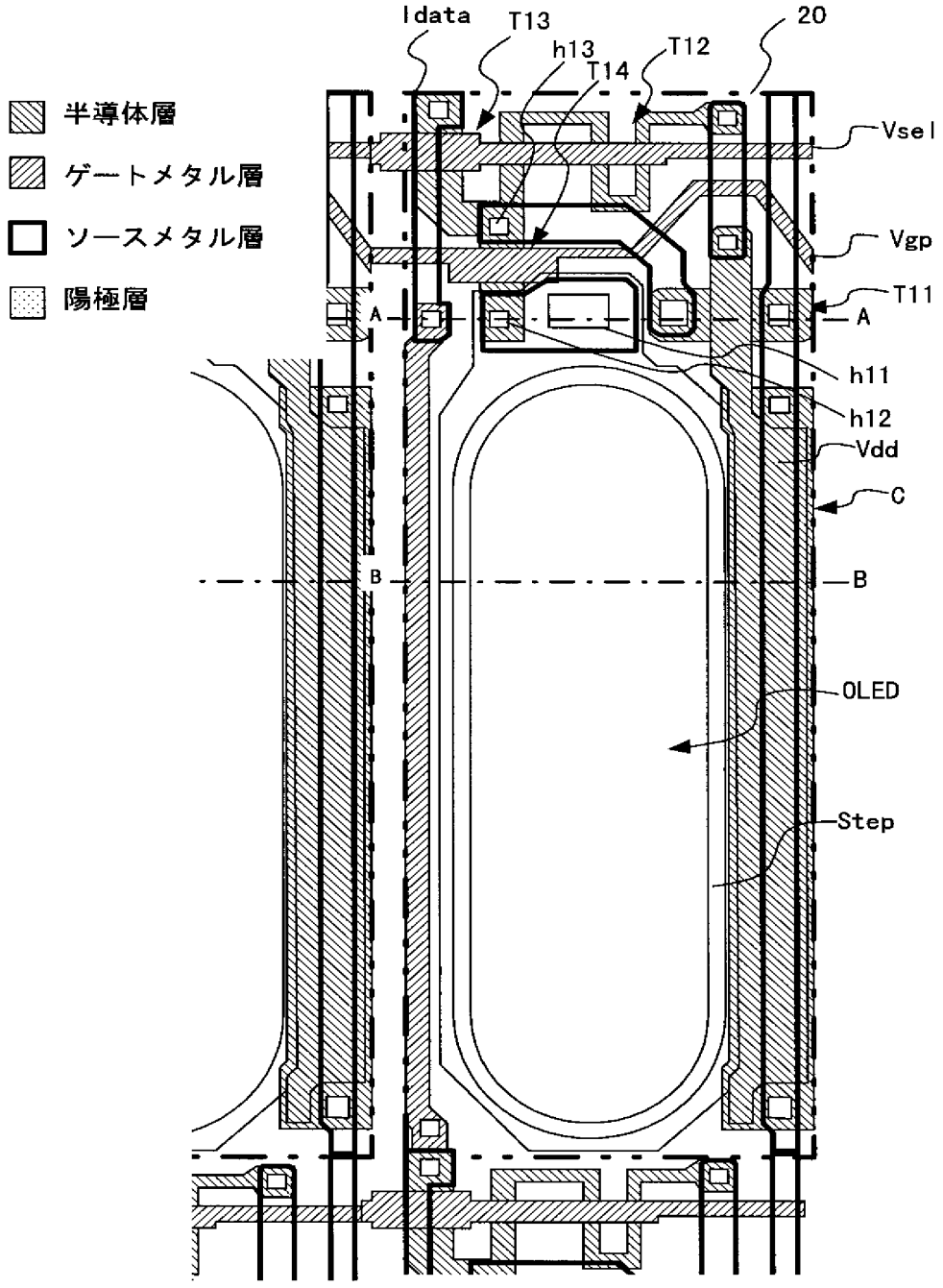
【図１０】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED

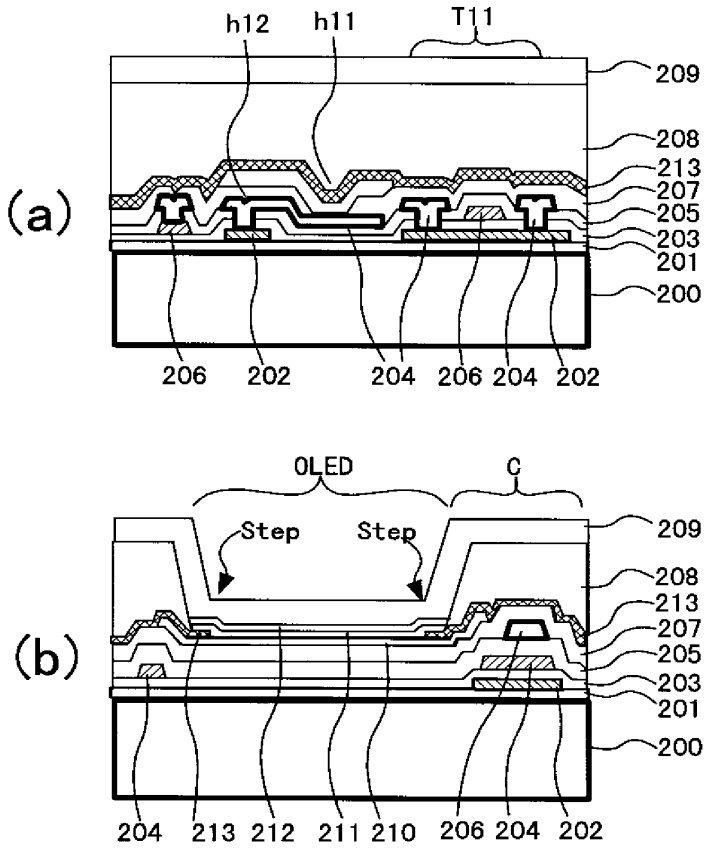
【図１１】


(a)
h12
h11
T11
209
208
207
205
203
201
200
206
202
204
206
204
202
(b)
C
d13
d12
d11
OLED
209
208
207
205
203
201
200
204
212
211
210
206
204
202

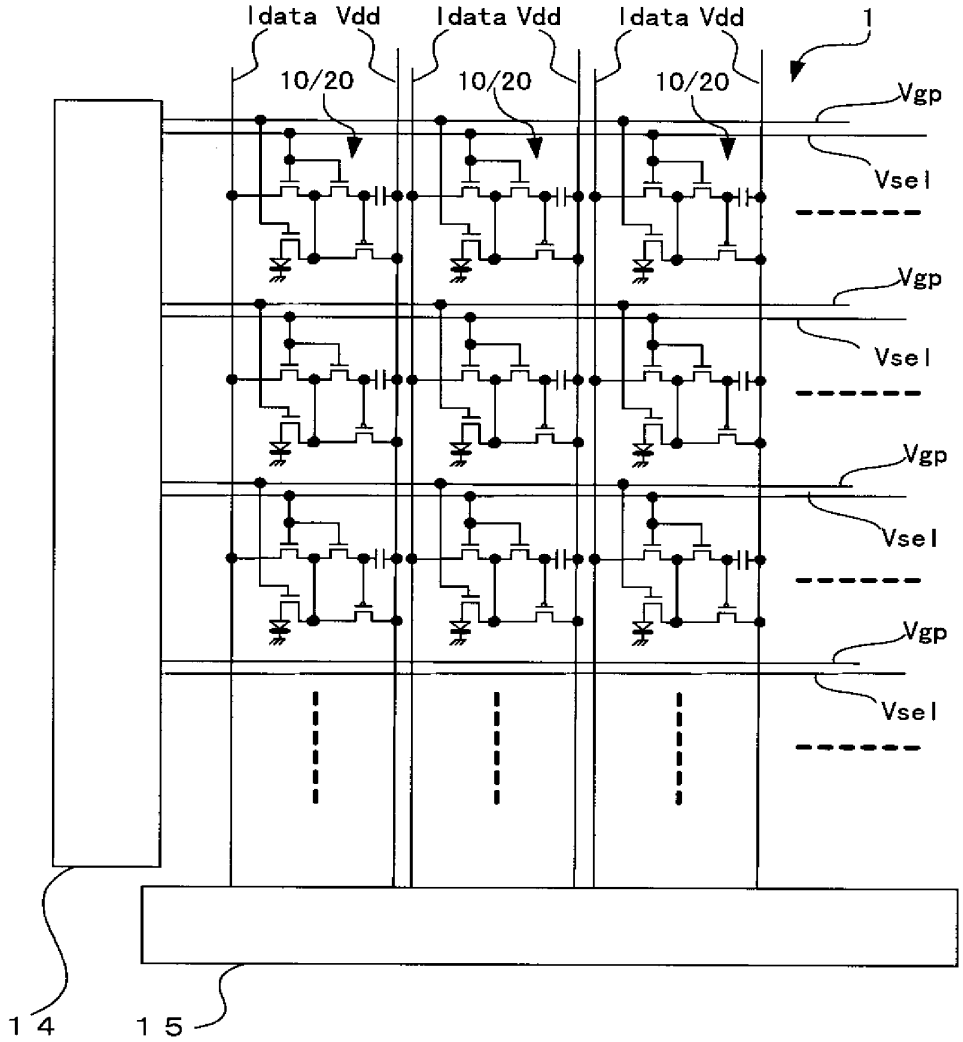
【図１２】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED
Step

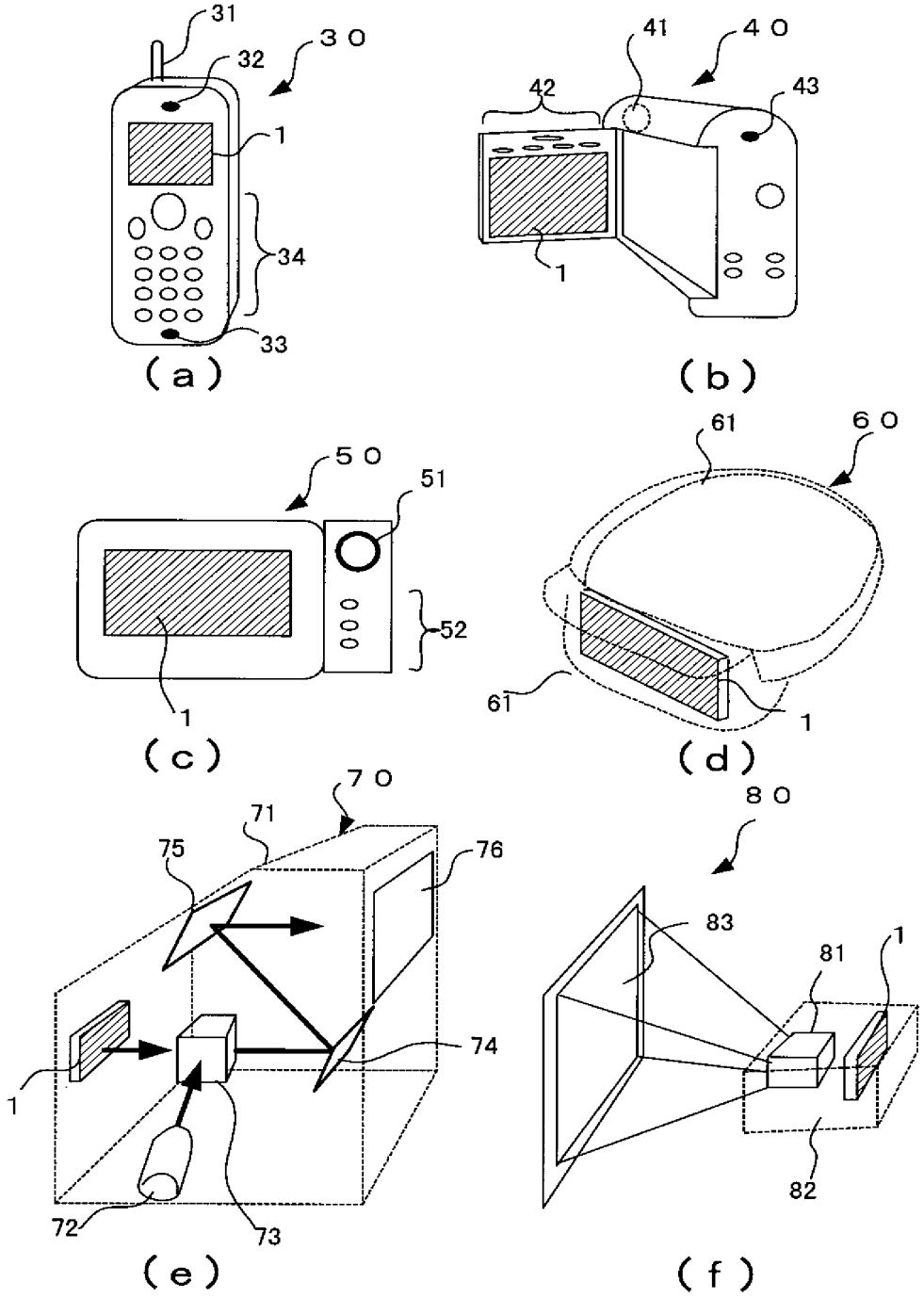
【図１３】


(a)
h12
h11
T11
209
208
213
207
205
203
201
200
206
202
204
206
204
202
(b)
OLED
C
Step
Step
209
208
213
207
205
203
201
200
204
213
212
211
210
206
204
202

【図１４】


Idata Vdd
Idata Vdd
Idata Vdd
1
10/20
10/20
10/20
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
14
15

【図１５】


31
32
３０
1
34
33
(a)
41
４０
42
43
1
(b)
５０
51
52
1
(c)
61
６０
61
1
(d)
７０
71
75
76
74
1
72
73
(e)
８０
83
81
1
82
(f)

【書類名】　要約書

【要約】

【課題】　エレクトロルミネッセンス素子の輝度の低下を生じさせることがなく、かつ、占有面積の少ない好適な周辺回路を備えた回路基板を提供する。

【解決手段】　画素毎に設けられたＥＬ素子に電流を供給するための周辺回路をＥＬ素子に対応して備える回路基板であって、制御電圧を保持するための保持素子、保持素子に接続され制御電圧に基づいた電流を発光部に供給するための第１の能動素子、保持素子に接続され保持素子の充放電を制御する第２の能動素子を備え、特に、第２の能動素子は、多重制御端子型の能動素子として構成されている。このためプログラムされた電流が変動することがない。

【選択図】　図２

出願人履歴

０００００２３６９

19900820

新規登録

５９２０５２４２７

東京都新宿区西新宿２丁目４番１号

セイコーエプソン株式会社

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００１年１２月　５日
出願番号 Application Number:	特願２００１－３７１４０３
パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号 The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is	ＪＰ２００１－３７１４０３
出願人 Applicant(s):	セイコーエプソン株式会社

２０１０年１１月１８日

特許庁長官
Commissioner,
Japan Patent Office　岩井良行

【書類名】特許願

【整理番号】J0087275

【あて先】特許庁長官殿

【国際特許分類】

H05B 33/04

H05B 33/10

G09F 9/30

【発明者】

【住所又は居所】長野県諏訪市大和３丁目３番５号

セイコーエプソン株式会社内

【氏名】松枝　洋二郎

【特許出願人】

【識別番号】000002369

【氏名又は名称】セイコーエプソン株式会社

【代理人】

【識別番号】100079108

【弁理士】

【氏名又は名称】稲葉　良幸

【選任した代理人】

【識別番号】100080953

【弁理士】

【氏名又は名称】田中　克郎

【選任した代理人】

【識別番号】100093861

【弁理士】

【氏名又は名称】大賀　眞司

【手数料の表示】

【予納台帳番号】011903

【納付金額】21,000

【提出物件の目録】

【物件名】明細書　1

【物件名】図面　1

【物件名】要約書　1

【包括委任状番号】9808570

【プルーフの要否】要

【書類名】　　明細書

【発明の名称】　　電界発光装置および電子機器

【特許請求の範囲】

【請求項１】　電極間に電界を印加することによって発光する電界発光素子と、

前記電界発光素子を駆動する周辺回路と、を備え、

前記電界発光素子は、当該電界発光素子の境界が少なくとも所定の曲率以上を有するように形成されており、

当該所定の曲率を有する境界と当該電界発光素子に外接する多角形の境界とで囲まれる領域に、少なくとも前記周辺回路の一部が形成されている電界発光装置。

【請求項２】　前記所定の曲率を有する境界部分が複数形成されている請求項１に記載の電界発光装置。

【請求項３】　複数形成されている前記境界部分は、前記電界発光素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されている請求項２に記載の電界発光装置。

【請求項４】　前記領域に形成される周辺回路の一部は、当該周辺回路の配線を構成するコンタクトホールである請求項１に記載の電界発光装置。

【請求項５】　前記コンタクトホールは、前記領域の形状に合わせた多角形である請求項４に記載の電界発光装置。

【請求項６】　前記周辺回路の配線を構成するコンタクトホールは、前記電界発光素子の電極の少なくとも一方に電流を供給するためのコンタクトホールである請求項４に記載の電界発光装置。

【請求項７】　前記コンタクトホールは複数であって、前記電界発光素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されている請求項６に記載の電界発光装置。

【請求項８】　前記電界発光素子の形成に用いられる薄膜材料液と親和性のある親和性制御層を、前記電界発光素子の前記境界付近にさらに備える請求項１に記載の電界発光装置。

【請求項９】　前記電界発光素子の境界付近の壁面を形成するバンク層は、前記薄膜材料液に対し非親和性を示し、前記親和性制御層の上に積層されている請求項８に記載の電界発光装置。

【請求項１０】　前記親和性制御層は、前記バンク層のなす前記壁面に対して当該電界発光素子内側で階段形状を形成している請求項９に記載の電界発光装置。

【請求項１１】　前記所定の曲率を有する境界部分において、当該電界発光素子を構成する少なくとも一方の電極が当該境界部分の形状に対応してパターニングされている請求項１に記載の電界発光装置。

【請求項１２】　前記領域に形成される周辺回路の一部は、所定の配線パターンである請求項１に記載の電界発光装置。

【請求項１３】　前記電界発光素子からの光の射出側への前記周辺回路の配置を禁止した請求項１に記載の電界発光装置。

【請求項１４】　映像信号を供給するデータ線、前記電界発光素子に電流を供給する電源線、および前記周辺回路を駆動する走査線を備え、これら配線が前記電界発光素子の周辺に配置されている請求項１３に記載の電界発光装置。

【請求項１５】　映像信号を供給するデータ線、前記電界発光素子に電流を供給する電源線、および前記周辺回路を駆動する走査線を備え、これら配線が前記電界発光素子からの光の射出側の反対側に配置されている請求項１３に記載の電界発光装置。

【請求項１６】　請求項１乃至１５のいずれか一項に記載の電界発光装置を備える電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、いわゆる電界発光（Electro-Luminescence）素子に関し、特に、アクティブマトリクス型表示パネルに画素要素として使用される電界発光素子の回路配置上の改良に関する。

【０００２】

【従来の技術】

蛍光性物質を挟んだ陽極と陰極との間に電界を印加すると、陽極から注入された正孔と陰極から注入された電子とが再結合する際に再結合エネルギーにより蛍光性物質が発光する。エレクトロルミネッセンス現象というこの現象を表示素子などに適用したものが、電界発光素子である。表示装置などに適用する電界発光素子は、画素を構成する電界発光素子ごとに独立して発光制御する必要があるため、電界発光素子を駆動させるための能動素子として、例えば薄膜トランジスタ（Thin Film Transistor：以下「ＴＦＴ」という。）と電界発光素子とを組み合わせて画素が構成されている。

【０００３】

従来、電界発光素子の層構造については数多くの研究がされていた。例えば、特開２００１－１６７８８０号にはインクジェット法を利用した電界発光素子の製造方法が記載されている。この公報には、画素パターン毎に区切られる各蛍光色素を容易に分離するように塗布展開する旨が開示されている。また、電界発光素子に適する駆動回路に関しては、例えば、「アクティブ型有機ＥＬディスプレイ」（2001 FPD Technology Outlook, pp747-762）に、有機電界発光素子を利用したフラットパネルディスプレイにおけるアクティブマトリクス駆動法についての考察が記載されている。

【０００４】

【発明が解決しようとする課題】

しかしながら、電界発光素子に適する具体的なかつ実際的な回路パターンの配置についての研究は数少なかった。つまり、公知文献には、どのような形状に発光領域を形成すれば、好適な電界発光素子を提供できるのかについて開示されていなかった。また、ＴＦＴなどの周辺回路と画素領域とをどのように配置すれば好適な電界発光素子を提供できるのかについては具体的に開示されていなかった。

【０００５】

ここで、インクジェット方式で発光領域に薄膜材料液を吐出して乾燥させて発光層を形成する場合、材料液が発光領域内で均一に広がらないと、表示パネルを

構成する画素ごとに発光層の厚みが異なることになる。発光層の厚みが画素毎に異なるということは、画素毎の輝度がばらつくことを意味する。

【０００６】

また、表示パネルの画素密度が上がると、狭い画素領域内に発光部および周辺回路を共に配置する必要が出てくる。特に、発光層の均一な厚みを維持しつつ、高密度に周辺回路を配置することが重要である。

【０００７】

そこで、本願発明は、画素毎に輝度のばらつきの無い好適な発光領域の形状と効率的なパターン配置を提供することを目的とするものである。

【０００８】

【課題を解決するための手段】

上記目的を解決するために、本発明の電界発光装置は、電極間に電界を印加することによって発光する電界発光素子と、電界発光素子を駆動する周辺回路と、を備え、電界発光素子は、当該電界発光素子の境界が少なくとも所定の曲率以上を有するように形成されており、当該所定の曲率を有する境界と当該電界発光素子に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されている。

【０００９】

ここで、「電気光学素子」は、電気的作用によって発光するあるいは外部からの光の状態を変化させる素子一般をいい、自ら光を発するものと外部からの光の通過を制御するもの双方を含む。例えば、電気光学素子には、液晶素子、電気泳動素子、ＥＬ（エレクトロルミネッセンス）素子、電界の印加により発生した電子を発光板に当てて発光させる電子放出素子が含まれる。

【００１０】

「周辺回路」はアクティブマトリックス型等の電気光学装置において各画素の発光に関与する回路素子の集合体をいい、例えばＴＦＴ等で構成されるものである。

【００１１】

「所定の曲率」は、電界発光素子の形成時に使用される薄膜材料液の粘度や表

面張力、および電界発光素子の下層の材料によって定まるため、実施例毎に異なる。

【００１２】

この所定の曲率を有する境界部分が複数形成されていることが好ましい。また、複数形成されている境界部分は、電界発光素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されていることが好ましい。

【００１３】

例えば、この領域に形成される周辺回路の一部は、当該周辺回路の配線を構成するコンタクトホールである。このようなコンタクトホールは、領域の形状に合わせた多角形であることが好ましい。このような周辺回路の配線を構成するコンタクトホールは、例えば、電界発光素子の電極の少なくとも一方に電流を供給するためのコンタクトホールである。このコンタクトホールは複数であって、前記電界発光素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されていることが好ましい。

【００１４】

本発明では、電界発光素子の形成に用いられる薄膜材料液と親和性のある親和性制御層を、電界発光素子の境界付近にさらに備えることが好ましい。このとき、電界発光素子の境界付近の壁面を形成するバンク層は、薄膜材料液に対し非親和性を示し、親和性制御層の上に積層されている。例えば、この親和性制御層は、バンク層のなす壁面に対して当該電界発光素子内側で階段形状を形成している。

【００１５】

ここで「親和性」であるか否かは、充填する薄膜材料液がどのような性質を備えているかで決まる。例えば薄膜材料液が極性分子を多く含むものであれば極性基を有する材料が親和性制御層となる。逆に、薄膜材料液が極性分子を多く含まないものであれば非極性基を有する材料が親和性制御層となる。また、充填する薄膜材料液の表面張力によっても親和性の程度が決まる。例えば、水に対して非親和性（疎水性）を示す親和性制御層であっても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくな

り、該親和性制御層は該薄膜材料液に対して親和性を示すことになる。したがって、親和性制御層は、薄膜材料液の特性によって種々に変更して適用することになる。

【００１６】

ここで「バンク」とは、例えば画素領域間を仕切るための仕切部材のことをいう。

【００１７】

ここで所定の曲率を有する境界部分において、当該電界発光素子を構成する少なくとも一方の電極が当該境界部分の形状に対応してパターニングされていることは好ましい。電極の面積を曲率に合わせてパターニングすることで周辺回路を配置しやすくなるからである。例えば、領域に形成される周辺回路の一部は、所定の配線パターンである。

【００１８】

ここで、電界発光素子からの光の射出側への周辺回路の配置を禁止していることは好ましい。電界発光装置の構成により基板のいずれかの方向に光が射出されることになるが、この光の射出側に周辺回路があると、光を遮ることとなり好ましくないからである。例えば、電界発光装置が、映像信号を供給するデータ線、電界発光素子に電流を供給する電源線、および周辺回路を駆動する走査線を備えている場合、これら配線が電界発光素子の周辺に配置されている。このような配置では射出される光が遮られない。また、これら配線が電界発光素子からの光の射出側の反対側に配置されていてもよい。光の射出側の裏側に当たるため、光を遮ることが無いからである。

【００１９】

本発明は、これらの電界発光装置を備える電子機器でもある。

【００２０】

ここで「電子機器」には限定が無いが、電界発光装置により構成された表示装置を備えるもの、例えば、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、Ｄ

ＳＰ装置、ＰＤＡ、電子手帳等をいう。

【００２１】

【発明の実施の形態】

次に、本発明の好適な実施の形態を、図面を例示として参照しながら説明する。以下の形態は、本発明を実施の形態の例示に過ぎず、その適用範囲を限定するものではない。

＜実施形態１＞

図１に、本発明の実施形態における電界発光装置を利用した表示パネルの全体図を示す。

【００２２】

図１に示すように、表示パネル１は、ガラス基板１６上に、表示領域１１およびドライバ領域１４・１５を配置して構成されている。表示領域１１には全体的に陰極１２が形成されて陰極取出電極１３に接続されている。表示領域１１には画素領域１０がマトリクス状に配置されている。カラー表示の場合、画素領域１０は、それぞれがカラー表示で必要とされる原色（例えば、赤、青、緑の三原色）で発光可能に構成されており、各原色で発光する画素領域１０の組が一つの画素要素となる。例えば、表示領域１１の列方向に配置されるドライバ領域１５は、書き込み制御線Ｖselと発光制御線Ｖgpとに信号を出力し、表示領域１１の行方向に配置されるドライバ領域１４は、電源線Ｖddの他、定電流を定電流線Ｉdataに信号を出力している。各画素領域１０における発光の有無をドライバ領域１４・１５に形成された図示しない駆動回路によって制御することにより、任意の画像が表示領域１１内に表示されるのである。

【００２３】

図２に、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図２では、特に主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００２４】

図２に示すように、電源線Ｖddと定電流線Ｉdataに挟まれる領域に、発光部（電界発光素子）ＯＬＥＤおよびそれを駆動するための周辺回路が総て配置されて

いる。電源線Ｖddは、発光部ＯＬＥＤを介して定電流線Ｉdataと離れて配置されている。周辺回路は、第１の能動素子としてのトランジスタＴ１、第２の能動素子としてのトランジスタＴ２、電流制御素子としてのトランジスタＴ３、発光制御素子としてのトランジスタＴ４、および保持素子としての保持容量Ｃで構成されている。

【００２５】

トランジスタＴ１は、そのソースが電源線Ｖddに接続され、そのドレインがトランジスタＴ４のソース側に接続されている。トランジスタＴ４は、そのドレインが発光部ＯＬＥＤの陽極に接続されている。保持容量Ｃは、電源線ＶddとトランジスタＴ１のゲート間に接続されている。トランジスタＴ２は、そのソースが保持容量Ｃおよびトランジスタ Ｔ１のゲートに接続され、そのドレインがトランジスタＴ３のソースおよびトランジスタＴ１およびＴ４間に接続されている。トランジスタＴ３は、そのドレインが定電流線Ｉdataに接続され、そのゲートがトランジスタＴ２のゲートと共通に書き込み制御線Ｖselに接続されている。

【００２６】

図３に、図２に示された切断面における層構造を説明する各断面図を示す。図３（ａ）はＡ－Ａ切断面、図３（ｂ）はＢ－Ｂ切断面、図３（ｃ）はＣ－Ｃ切断面における層構造を示している。

【００２７】

図３（ａ）に示すように、当該画素領域１０は、ガラス基板１００（図１におけるガラス基板１６）上に、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９（図１における陰極１２）の各層を積層して構成されている。さらに、電界発光部ＯＬＥＤでは、図３（ｂ）および（ｃ）に示すように、陽極層１１０、正孔輸送層１１１、発光層１１２の各層を積層して構成されている。

【００２８】

ガラス基板１００としては、本実施形態の電界発光素子が基板側に光を射出する形態であって光透過性があることが必要であるため、ソーダライムガラス、低

膨張ガラス、石英などのノンアルカリガラスが適用される。ただし、陰極層１０９に光透過性物質を用い、陰極側から光を射出する形態の電界発光素子を構成する場合には、金属等の導電性物質、シリコン・カーバイト（ＳｉＣ）やアルミナ（Al_2O_3）や窒化アルミニウム（ＡｌＮ）等の非透明絶縁性物質も利用可能である。

【００２９】

下地保護膜１０１としては、酸化硅素膜（SiO_x：０＜ｘ≦２）や窒化硅素膜（Si_3N_x：０＜ｘ≦４）等の絶縁性物質が利用可能である。下地保護層は、ガラス基板中に含まれているナトリウム（Ｎａ）等の可動イオンが半導体層中に混入して半導体層の不純物制御に悪影響を与えさせないために形成するものである。

【００３０】

下地保護層１０１は、まず基板１００を純水やアルコールなどの有機溶剤で洗浄した後、常圧化学気相堆積法（ＡＰＣＶＤ法）や低圧化学気相堆積法（ＬＰＣＶＤ法）、プラズマ化学気相堆積法（ＰＥＣＶＤ法）等のＣＶＤ法あるいはスパッター法等を用いて基板上に形成される。

【００３１】

半導体層１０２としては、シリコン（Ｓｉ）やゲルマニウム（Ｇｅ）等の四族単体の半導体層の他に、シリコン・ゲルマニウム（Si_xGe_{1-x}：０＜ｘ＜１）やシリコン・カーバイド（Si_xC_{1-x}：０＜ｘ＜１）やゲルマニウム・カーバイド（Ge_xC_{1-x}：０＜ｘ＜１）等の四族元素複合体、ガリウム・ヒ素（ＧａＡｓ）やインジウム・アンチモン（ＩｎＳｂ）等の三族元素と五族元素との複合体化合物、またはカドミウム・セレン（ＣｄＳｅ）等の二族元素と六族元素との複合体化合物、シリコン・ゲルマニウム・ガリウム・ヒ素（$Si_xGe_yGa_zAs_z$：ｘ＋ｙ＋ｚ＝１）と云った更なる複合化合物等が適用可能である。

【００３２】

半導体層１０２は、例えば、ＡＰＣＶＤ法やＬＰＣＶＤ法、ＰＥＣＶＤ法等のＣＶＤ法、またはスパッター法等や蒸着法等のＰＶＤ法でシリコン等を堆積させ

た後、レーザー光の照射によって多結晶化して形成される。レーザー光としては、エキシマレーザー、アルゴンイオンレーザー、ＹＡＧレーザー（高調波）等が好ましい。例えば、シリコンを多結晶化すると、ポリシリコンとなる。この多結晶化した半導体層１０２を保持容量Ｃや各トランジスタＴ１～Ｔ４の各ＴＦＴの各素子形状に合うようパターニングする。例えばCH_4と酸素の混合ガスを用いた反応性イオンエッチングによってアモルファス状態の半導体層を素子形状に合わせて島状にパターニングして形成する。パターニング後、例えばゲートメタル層を形成後、そのゲートメタル層をマスクとして、半導体層に不純物を導入する。具体的には、素子ごとにリン（Ｐ）、ヒ素（Ａｓ）、アンチモン（Ｓｂ）などのドナー元素を添加してＮ型半導体層にしたり、ホウ素（Ｂ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）等のアクセプター元素を添加してＰ型半導体層にしたりする。本実施形態では、保持容量Ｃを構成する半導体層がＮ型半導体層になるように不純物が導入され、ＴＦＴのソースメタル層１０６で形成される電極部がＰ型半導体層になるように不純物が導入される。ここで、ＴＦＴをＬＤＤ構造にする場合やＴＦＴのしきい値電圧を調整する場合には、不純物を低濃度で導入するチャンネル・ドープが行われる。

【００３３】

ゲート絶縁膜１０３としては、例えばテトラ・エチル・オルト・シリケート（ＴＥＯＳ）を原料とする二酸化珪素膜により形成される。ゲート絶縁膜１０３は、マイクロ波放電プラズマ、ＥＣＲプラズ等の酸素または窒素雰囲気下におけるマプラズマＣＶＤ法により形成される。

【００３４】

ゲートメタル層１０４としては、例えばタンタル（Ｔａ）、タングステン（Ｗ）、クロム（Ｃｒ）等のような導電性材料を用いる。ゲートメタル層１０４は、スパッタ法等で成膜され後、ゲート電極の形状になるようパターニングして形成される。

【００３５】

第１層間絶縁膜１０５としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第１層間絶縁膜は、スパッタ法等で形成された後、例えばＴＦＴ用の

ソース・ドレイン電極を形成するためにコンタクトホールが形成される。

【００３６】

ソースメタル層１０６として、例えばアルミニウム（Ａｌ）の他、タンタル、モリブデン、チタン、タングステン等の導電性材料を使用可能である。ソースメタル層は、スパッタ法等で一様に導電性材料を積層後、電極形状に合わせてパターニングして形成される。

【００３７】

第２層間絶縁膜１０７としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第２層間絶縁膜は、スパッタ法等で形成された後、例えば陽極層１１０用のコンタクトホールｈ１およびｈ２が形成される。

【００３８】

陽極層１１０としては、例えば、酸化インジウム錫合金（ＩＴＯ）等の光透過性を有する導電性材料が適用可能である。光透過性が必要無い場合には、陽極層として、酸化錫（ＮＥＳＡ），金、銀、白金、銅等を適用できる。陽極層はスパッタ法等により形成された後、発光部ＯＬＥＤの形状にパターニングして形成される。

【００３９】

バンク層１０８としては、酸化珪素、窒化珪素、ポリイミドなどの絶縁材料を適用可能である。バンク層は、スパッタ法等で形成後、発光部ＯＬＥＤに対応する位置に開口部が設けて形成される。

【００４０】

正孔輸送層１１１としては、例えば、Ｎ，Ｎ’－ジフェニル－Ｎ，Ｎ’－ビス－（３－メチルフェニル）－（１，１’－ビフェニル）－４，４’－ジアミン（ＴＰＤＡ）が用いられる。正孔輸送層は、バンク層１０９に設けられた開口部にメタルマスク等を用いて成膜される。

【００４１】

発光層１１２としては、例えばトリス（８－キノリノール）アルミニウム（Ａｌq_3）等の任意の蛍光性物質が用いられる。発光層は、メタルマスクを用いた蒸着で形成可能であるが、インクジェット法により蛍光性物質を含んだ溶媒を開

口部に吐出させて溶媒成分を蒸発させて堆積させてもよい。

【００４２】

陰極層１０９としては、エネルギー順位から電界発光素子の陰極として使用可能な材料、アルミニウムまたはアルミニウムと他の元素（リチウムなど）の合金、カルシウムなどで形成される。陰極層は、メタルマスク等により形成され、フォトリソグラフィー法やシャドーマスク法等でパターニングして形成される。

【００４３】

以下、本実施形態における配線パターン上の数々の特徴について順に説明する。

（発光部の平面形状）

電界発光装置の製造方法の一つに、インクジェット方式により蛍光性物質を含んだ薄膜材料液を開口部に吐出し乾燥させて、発光層を形成する製造方法がある。この製造方法では、吐出された材料液が均等に開口部の隅々まで行き渡ることが重要である。もしも材料液が均等に行き渡らないと、成膜後の発光層の厚みが不均一になり、発光領域内で射出される光の強度が不均一となり、表示パネルの画質が低下する。例えば、平面上、方形形状の開口部であったと仮定すると、材料液の表面張力や粘度等の影響で開口部の角部における吐出された材料液の液面の高さがその他の部分と異なるようになる。したがって、このような形状の発光部では成膜後の発光層の厚みが不均一になるおそれがあった。

【００４４】

一方、表示パネルでは輝度を上げる必要があるため、光を射出する領域、すなわち発光部をできるだけ大きく採り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請がある。製造上の容易性のみを考えてパターンを配置するわけにもいかないのである。

【００４５】

そこで、このような要請をともに満たすために、本願発明の一つは、発光部の境界が少なくとも所定の曲率以上を有するように形成されており、この所定の曲率を有する境界とこの発光部の境界に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されていることを特徴の一つとしている。

【００４６】

図４に基づいて、具体的な概念を説明する。図４（ａ）、（ｂ）、（ｃ）はそれぞれ本発明の概念を適用した発光部の全部または一部の平面形状を示している。図４（ａ）は、発光部の境界が円形、すなわち総ての境界が一定の曲率Ｒを有している場合である。この円周とこの円周に外接する多角形、すなわち破線で示す正方形とで囲まれる領域、すなわち斜線部分に、周辺回路の一部を設けるのである。この円形の発光部は中心点を通るどの中心線に対しても対称である点で、発光部の膜厚を均等にできるための形状として理想的な形状であると考えられる。しかし、図４（ａ）に示すように、斜線部分を有効活用することが発光部の開口率を向上させるために必要である。

【００４７】

図４（ｂ）は、長方形の角部に本発明を適用し、発光部の境界に一定の曲率Ｒを持たせた例である。この例では、外接する多角形は破線で示す長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。本実施形態はこの例に属し、この曲率Ｒを大きくしていくと、本実施形態のような長円の発光部の平面形状になる。この例でも発光部の中心を通る中心線に対して左右あるいは上下対称であり、かつ、角部の曲率が一定値以上であるため、均等な膜厚の発光部を形成可能である。

【００４８】

図４（ｃ）は、中心線に対して不均等に角部の曲率を設定した例である。図に向かって左側の角部の曲率Ｒ１が右側の角度の曲率Ｒ２より小さくなっている。この例では、外接する多角形は破線で示すような長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。このように曲率が不均等であっても、最小の曲率を一定値以上に設定することにより、均等な膜厚の発光部が形成可能である。最小の曲率は、吐出される溶液の粘度や表面張力、吐出面の撥水性（親水性・親和性）に左右されるため、実験によって事例毎に定められる。

【００４９】

本実施形態では、図２に示すように発光部が長円形の平面形状を備えている。

そして、この発光層の境界とこの発光部の境界に外接する長方形（図示しない）との境界で囲まれる領域内に、周辺回路の一部、つまりコンタクトホールｈ１およびｈ２が形成されている（図３（ｂ）も参照のこと）。本実施形態では、本来無駄なスペースともなるべき図４（ｂ）の斜線で示すような領域を、このコンタクトホールのために使用することにより、スペースの有効利用という要請を満たしている。

【００５０】

なお、この発光部の境界とその発光部に外接する多角形の境界とに囲まれる領域には、コンタクトホールに限らず、周辺回路のいずれの素子、例えばトランジスタやキャパシタ等を形成してもよい。また、独立に機能する素子全体を総てこの領域に入れ込まなければならないわけではなく、素子やコンタクトの一部、つまり周辺回路の一部がこの領域に入り込んでいればよい。つまり、スペースを有効利用するような配置がされていることが肝要である。

（発光部のためのコンタクトホール）

電界発光装置において、発光部の境界と発光部に外接する多角形の境界とに囲まれる領域に、図２に示すように、コンタクトホールを設けることは意義がある。すなわち、この領域に比較的大き目のコンタクトホールを設けることにより、この領域の有効利用が可能となるとともに、発光部に十分な電流を供給可能とするからである。

【００５１】

さらにコンタクトホールを複数設けることは好ましい。すなわち、電界発光装置では、発光層にはある程度の電流量の電流を、発光部全体に均等に流す必要がある。もしも直接電流を供給する陽極に接続するためのコンタクトホールが偏った位置に設けられたものとすると、電流の供給口が発光層に対して偏った位置にあるため、電流供給量が不均等になるおそれがある。不均等な電流供給は発光強度のむらとなって現れる。

【００５２】

この点、本実施形態のように、発光部の中心部を通る中心線に対し対称な位置に複数のコンタクトホールを設ければ、このような問題を解消できる。すなわち

、図２に示すように、本実施形態では、発光部の中心点を通る所定の中心線に対して対称的に設けられた領域にそれぞれ比較的大き目の複数のコンタクトホールを設けている。この対称的な領域にそれぞれコンタクトホールを設けることにより、発光部の均等成膜の要請とともに、発光部に対する電流供給を均一にするという要請を満たすことができる。

（金属層間のアライメント）

電界発光装置の駆動回路方式によっては、保持容量の変動が発光部に供給される電流量の安定性に影響を与える場合がある。当該実施形態においても、保持容量Ｃの容量値が表示パネルごとに変動するのは好ましくない。しかしながら、表示パネルの製造工程において金属層を積層する際に予定した位置よりもずれが生じる場合がある。保持容量は金属層の重複領域の面積が容量値を規定するため、位置ずれが生じると容量値の変動を生じ、保持容量の容量値が表示パネルごとに変動するという事態を招くおそれがあった。

【００５３】

そこで、本実施形態では、保持容量Ｃが形成される重複領域付近において、保持容量Ｃの形成に関係する複数の層、すなわちソースメタル層１０６、ゲートメタル層１０４および半導体層１０２のうち、より下層側に配置される層（ソースメタル層に対してはゲートメタル層および半導体層）の占める領域が、より上層側に配置される層（半導体層に対してはゲートメタル層およびソースメタル層、ゲートメタル層に対してはソースメタル層）の占める領域より大きく形成されている。

【００５４】

この様子は図２の平面図からも読み取れるが、具体的に図６に示したＡ－Ａ断面図を参照して説明する。図６に示すように、ソースメタル層１０６の幅をｄ１、ゲートメタル層１０４の幅をｄ２、半導体層１０２の幅をｄ３とした場合に、

ｄ３＞ｄ２＞ｄ１

という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００５５】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ３－ｄ２、ｄ２－ｄ１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（ゲートメタル層の離間形成）

電界発光装置は共通電極を備えており、表示領域の全面にその共通電極が形成される。本実施形態でも発光部ＯＬＥＤのための陰極１３（陰極層１０９）が、図１に示すように表示領域１１の全体に形成されている。ところが、共通電極が全面に形成されていると、トランジスタのゲートに接続されるゲートメタル層との間で容量が生じるという問題があった。このような予期せぬ容量が生じると、トランジスタの動作の遅れを生じ、設計した通りのタイミングでの動作が保証できなくなる。

【００５６】

そこで本実施形態では、ゲートメタル層によって形成される配線パターンが、発光層の電極の少なくとも一方から所定の距離以上離間して配置されるように配慮した。インピーダンスが低く問題となるのは、共通電極である陰極層１０９とゲートメタル層１０４との距離である。また、陰極層１０９は、発光部ＯＬＥＤにおいて下層側との距離が小さくなるため、発光部周辺におけるゲートメタル層との距離が問題となる。このため、本実施形態では、図７（図２におけるＣ－Ｃ断面に相当）に示すように、発光部付近において、陰極層１０９とゲートメタル層１０４との深さ方向の距離ｄ１と平面上の距離ｄ２が共に所定の距離以上になるようパターン形成した。

【００５７】

ここで所定の距離は、ゲートメタル層の面積や介在する層の誘電率などによって種々変化するので一概に言えないが、画素領域の面積などから許容される範囲で、できるだけ離してパターニングするのが好ましい。

（周辺回路の動作）

次に、本実施形態の電界発光装置の周辺回路の動作を説明する。図５に、画素領域１０一つあたりの回路図を示す。

【００５８】

１）本実施形態の回路は、一般に電流プログラム方式といわれる回路構成をとっている。画素表示は、プログラム準備動作として、書き込み制御線Ｖselを選択し、トランジスタＴ２およびＴ３をオン状態にすることから始まる。

【００５９】

２）トランジスタＴ２およびＴ３が導通状態になると、トランジスタＴ１が所定時間後に定常状態に達し、保持容量ＣにＩdataに応じた電圧が記憶される。これがプログラム動作である。

【００６０】

３）そして発光動作として、書き込み制御線Ｖselを非選択状態とし、トランジスタＴ２およびＴ３をオフにし、一旦定電流Ｉdataを遮断した後、発光制御線Ｖgpを選択する。この結果、トランジスタＴ４がオン状態となり、保持容量Ｃに記憶された電圧Ｖgsに対応する定電流ＩdataがトランジスタＴ１およびＴ４経由で発光部ＯＬＥＤに供給される。発光部ＯＬＥＤに供給された電流により、発光層１１１に電界が印加され、発光層から光が射出される。

（周辺回路における電流維持性能の向上）

以下に、周辺回路における本実施形態の特徴を説明する。

【００６１】

従来、保持容量の充放電を制御する能動素子については特に考慮がされていなかった。微細化されたＦＥＴでは、ゲート電圧が閾値以下の場合、ドレイン電流がドレイン電圧にも依存するようになる。つまり、ソースーチャネルードレイン間に形成されたトランジスタの注入電流がゲート電圧に対して指数関数的に増加し、リーク電流が発生する。例えば、図５に示すトランジスタＴ２においてリーク電流が発生すると、保持容量Ｃの両端電圧Ｖgsが低下し、その電圧を制御電圧としてゲートに入力しているトランジスタＴ１のドレイン電流が変動する。この変動は、発光部ＯＬＥＤにおける輝度の変化となって現れるため、安定した輝度での発光が担保されなくなる。

【００６２】

そこで、本実施形態では、図１および図５に示すように、保持容量Ｃに直接接続される能動素子であるトランジスタＴ２を、多重制御端子型の能動素子、つまりマルチゲート型トランジスタとしている。このようなトランジスタでは、図５の矢印で示すように、事実上複数トランジスタが直列接続されたのと等価な素子となり、リーク電流が大幅に制限される。したがって、保持容量に直接接続するトランジスタをこのマルチゲート型のトランジスタにすることで、占有面積を殆ど変えずに、保持容量Ｃにおけるプログラム電圧の変動を無くし、発光部への供給電流を一定にすることができるのである。

【００６３】

ここで、トランジスタＴ２をＬＤＤ、ＧＤＤ、ＤＤＤ構造のトランジスタとすることは好ましい。このような構造を適用することにより、ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限し、素子の信頼性を向上させることができる。

【００６４】

ここで、制御信号の極性等を考慮し、トランジスタＴ１とトランジスタＴ２は互いに逆極性、つまり、トランジスタＴ１はＰ型ＦＥＴ、トランジスタＴ２からＴ４はＮ型ＦＥＴで構成されている。ただし、Ｐ型を用いるかＮ型を用いるかは、適用しようとする信号の極性等に応じて任意に変更可能であり限定はない。

【００６５】

また、各素子の配置も図５に限定されるものではない。例えば、保持容量やトランジスタＴ１を接地側に持っていき、発光部ＯＬＥＤを電源側に持っていき、発光部の共通電極を陽極とし、各トランジスタの極性（Ｎ型またはＰ型の別）を反転させてもよい。

（周辺回路のスペースの削減）

前述したように、表示装置では、輝度を上げるため、周辺回路の占める領域をできるだけ小さくしたいという要請がある。このため、本実施形態では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には

、図２に示すように、トランジスタＴ２、Ｔ３、およびＴ４が同一のコンタクトホール、ｈ３で相互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

＜実施形態２＞

図８に、本発明の実施形態２における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図９に、図８に示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面、図９（ｃ）はＣ－Ｃ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００６６】

実施形態２の電界発光装置の構成は、段差形状Stepを構成する親和性制御膜１１３の存在を除き、実施形態１の電界発光装置と同一である。このため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００６７】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図９（ｃ）に示すように、実施形態２における発光部ＯＬＥＤは、親和性制御層１１３を、第２層間絶縁膜１０７とバンク層１０８との間に備えている。この親和性制御層１１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層１１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層１０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層１１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層１１３の上に積層されている。このため親和性制御層１１３は、図８および図９（

ｃ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００６８】

親和性制御層１１３の材料は、発光層の製造時において、インクジェット方式により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００６９】

親和性制御層１１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００７０】

バンク層１０８は、親和性制御層１１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄

膜材料液の均一性が損なわれることを防止できるからである。

【００７１】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

【００７２】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すように構成したので、隣接画素領域との間のショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【００７３】

なお、本実施形態では、親和性制御層１１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【００７４】

その他の本実施形態２における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態３＞

図１０に、実施形態３における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１１に、図１０にに示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００７５】

実施形態３の電界発光装置は、パターン形状において、実施形態１における画素領域１０の幅より画素領域２０の幅が小さくなっている。ただし、回路構成は実施形態１と同様であり（図５参照）、各層を構成する材料も実施形態１と同様であるため、実施形態１と同一の要素については同一符号を図面に付すこととし

その説明を省略する。ただし、実施形態１におけるガラス基板１００、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９、陽極層１１０、正孔輸送層１１１、および発光層１１２の各層は、実施形態３において、ガラス基板２００、下地保護膜２０１、半導体層２０２、ゲート絶縁膜２０３、ゲートメタル層２０４、第１層間絶縁膜２０５、ソースメタル層２０６、第２層間絶縁膜２０７、バンク層２０８、陰極層２０９、陽極層２１０、正孔輸送層２１１、および発光層２１２の各層それぞれを対応している。また、実施形態１におけるトランジスタＴ１～Ｔ４は実施形態３におけるＴ１１～Ｔ１４に、実施形態１におけるコンタクトホールｈ１～ｈ３は実施形態３におけるコンタクトホールｈ１１～ｈ１３に、それぞれ対応している。

【００７６】

以下、本実施形態における配線パターン上の特徴について説明する。

（電源線下の保持容量）

実施形態１においては、保持容量Ｃを電源線Ｖddと定電流線Ｉdataとの間であって発光部の外側（図２における発光部の上部）に配置した。しかし本実施形態のように画素領域の面積が比較的小さい場合、すなわち画素密度が高い場合には、保持容量が占有する素子面積が十分とれないという事態が生ずる。

【００７７】

そこで本実施形態においては、第１の金属層（例えばソースメタル層２０６）または第２の層の少なくとも一方が電源配線パターンとなっている領域に保持容量Ｃが形成されている。具体的には、図１０に示すように、発光部ＯＬＥＤの横に配線されている電源線Ｖdd（ソースメタル層２０６）の下に、ゲートメタル層２０４を平行して積層させることにより、保持容量Ｃが形成されている。

【００７８】

この保持容量Ｃは、実施形態１において説明した保持容量と同様に、保持容量Ｃの形成に関係する複数の層間（例えば、ソースメタル層２０６、ゲートメタル層２０４、半導体層２０２）に重複領域を生じさせることにより保持容量Ｃが形成されており、保持容量Ｃが形成される重複領域付近において、複数の層のうち

より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。具体的には、図１１（ｂ）に示すように、ソースメタル層２０６の幅をｄ１１、ゲートメタル層２０４の幅をｄ１２、半導体層２０２の幅をｄ１３とした場合に、

ｄ１３＞ｄ１２＞ｄ１１

という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００７９】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ１３－ｄ１２、ｄ１２－ｄ１１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（バンク層下の保持容量）

前述した保持容量は、隣接する前記発光部間を隔離するためのバンク層２０８の下に形成されていることが好ましい。すなわちバンク層は画素分離のために必要であるため、この領域の下に、電源線の配線領域と保持容量のための重複領域を重ねる合わせることにより、周辺回路の面積を大幅に縮小することができるからである。

（周辺回路のスペースの削減）

実施形態１と同様に、本実施形態２では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図１０に示すように、トランジスタＴ１２、Ｔ１３、およびＴ１４が同一のコンタクトホール、ｈ１３で相互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される

周辺回路の面積を減少させることができる。

【００８０】

その他の特徴、例えば発光部の平面形状、ゲートメタル層の電極からの離間処理、周辺回路の動作、周辺回路の電流維持性能の向上などについては、実施形態１と同様であり、その説明を省略する。

＜実施形態４＞

図１２に、本発明の実施形態３における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１３に、図１２に示された切断面における層構造を説明する各断面図を示す。図１２（ａ）はＡ－Ａ切断面、図１２（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態３と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００８１】

実施形態４の電界発光装置の構成は、段差形状Stepを構成する親和性制御膜２１３の存在を除き、実施形態１および２の電界発光装置と同一である。このため、実施形態１および２と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００８２】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図１２（ｂ）に示すように、実施形態４における発光部ＯＬＥＤは、親和性制御層２１３を、第２層間絶縁膜２０７とバンク層２０８との間に備えている。この親和性制御層２１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層２１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層２０８は、本実施形態において、発光部の境界付近の壁面を形成しており、発光層２１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層２１３の上に積層されている。このため親和性制御層２１３は、図１２および図

１３（ｂ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００８３】

親和性制御層２１３の材料は、発光層の製造時において、インクジェット方式により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００８４】

親和性制御層２１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００８５】

バンク層２０８は、親和性制御層２１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすることで、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄

膜材料液の均一性が損なわれることを防止できるからである。

【００８６】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

【００８７】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すものとしたので、隣接画素領域との間でのショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【００８８】

なお、本実施形態では、親和性制御層２１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【００８９】

その他の本実施形態４における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態５＞

本実施形態は、上記実施形態で説明した画素領域を利用した表示装置およびその表示装置を備える電子機器に関する。

【００９０】

図１４に、本実施形態の表示パネル１の接続図を示す。表示パネル１は、図１に示したように、表示領域１１内に画素領域を配置して構成される。画素領域としては、実施形態１または２の画素領域１０または実施形態３または４の画素領域２０を適用可能である。ドライバ領域１５からは、発光制御線Vgpおよび書き込み制御線Ｖselが各画素領域に供給されている。ドライバ領域１４からは、電流線Ｉdataおよび電源線Ｖddが各画素領域に供給されている。書き込み制御線Ｖselと定電流線Ｉdataを制御することにより、各画素領域に対する電流プログラムが行われ、発光制御線Ｖgpを制御することにより発光が制御される。

【００９１】

本実施形態の表示パネル１は、種々の電子機器に適用可能である。図１５に、本表示パネル１を適用可能な電子機器の例を挙げる。

【００９２】

図１５（ａ）は携帯電話への適用例であり、当該携帯電話３０は、アンテナ部３１、音声出力部３２、音声入力部３３、操作部３４、および本発明の表示パネル１を備えている。このように本発明の表示パネルは表示部として利用可能である。

【００９３】

図１５（ｂ）はビデオカメラへの適用例であり、当該ビデオカメラ４０は、受像部４１、操作部４２、音声入力部４３、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、ファインダーや表示部として利用可能である。

【００９４】

図１５（ｃ）は携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ５０は、カメラ部５１、操作部５２、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、表示部として利用可能である。

【００９５】

図１５（ｄ）はヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ６０は、バンド６１、光学系収納部６２および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

【００９６】

図１５（ｅ）はリア型プロジェクターへの適用例であり、当該プロジェクター７０は、筐体７１に、光源７２、合成光学系７３、ミラー７４・７５ミラー、スクリーン７６、および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

【００９７】

図１５（ｆ）はフロント型プロジェクターへの適用例であり、当該プロジェク

ター８０は、筐体８２に光学系８１および本発明の表示パネル１を備え、画像をスクリーン８３に表示可能になっている。このように本発明の表示パネルは画像表示源として利用可能である。

【００９８】

上記例に限らず本発明の表示パネル１は、アクティブマトリクス型の表示装置を適用可能なあらゆる電子機器に適用可能である。例えば、この他に、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳、電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

【００９９】

【発明の効果】

本発明によれば、少なくとも以下に述べるような利点がある。

【０１００】

本発明によれば、電界発光素子の境界が少なくとも所定の曲率以上を有するように形成されており、所定の曲率を有する境界と当該電界発光素子に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されている。このため、成膜後の発光層の厚みを均一にすることができる。また、光を射出する領域、すなわち電界発光素子をできるだけ大きく採り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請を同時に満たすことができる。

【０１０１】

本発明によれば、所定の曲率以上を有する境界が複数設けられており、この複数形成されている境界部分は、電界発光素子の幾何学的中心点を通る一の中心線に対して実質的に対称的に配置されている。このため、均等な電界発光素子の形状により、成膜後の発光層の厚みをより均一にすることができる。

【０１０２】

本発明によれば、周辺回路の一部は、電界発光素子の電極の少なくとも一方に電流を供給するためのコンタクトホールとして形成されている。このためスペースの有効利用を図ることができる。さらに、電界発光素子の中心点を通る所定の

中心線に対して対称的に設けられた領域に、コンタクトホールを複数設けることによって、電界発光素子の均等成膜の要請とともに、電界発光素子に対する電流供給を均一にするという要請を満たすことができる。

【０１０３】

本発明によれば、薄膜材料液と親和性のある親和性制御層を電界発光素子の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。また、本発明によれば、電界発光素子の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すものとしたので、隣接画素領域との間でのショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【図面の簡単な説明】

【図１】

本実施形態における表示パネルの全体図である。

【図２】

実施形態１における画素領域の平面図である。

【図３】

実施形態１における画素領域の断面図であり、（ａ）は図２のＡ－Ａ切断面、（ｂ）は図２のＢ－Ｂ切断面、（ｃ）は図２のＣ－Ｃ切断面である。

【図４】

発光部の境界形状の変形例であり、（ａ）は円形の発光部の場合、（ｂ）は中心線対称な屈曲部を有する発光部の場合、（ｃ）は中心線非対称な屈曲部を有する発光部の場合である。

【図５】

実施形態１における画素領域の回路図である。

【図６】

実施形態１における金属層のアライメントの説明図である。

【図７】

実施形態１におけるゲートメタルの離間処理の説明図である。

【図８】

実施形態２における画素領域の平面図である。

【図９】

実施形態２における画素領域の断面図であり、（ａ）は図８のＡ－Ａ切断面、（ｂ）は図８のＢ－Ｂ切断面、（ｃ）は図８のＣ－Ｃ切断面である。

【図１０】

実施形態３における画素領域の平面図である。

【図１１】

実施形態３における画素領域の断面図であり、（ａ）は図１０のＡ－Ａ切断面、（ｂ）は図１０のＢ－Ｂ切断面である。

【図１２】

実施形態４における画素領域の平面図である。

【図１３】

実施形態４における画素領域の断面図であり、（ａ）は図１２のＡ－Ａ切断面、（ｂ）は図１２のＢ－Ｂ切断面である。

【図１４】

実施形態５における表示パネルの接続図である。

【図１５】

実施形態５における電子機器の例であり、（ａ）は携帯電話、（ｂ）はビデオカメラ、（ｃ）は携帯型パーソナルコンピュータ、（ｄ）はヘッドマウントディスプレイ、（ｅ）はリア型プロジェクター、（ｆ）はフロント型プロジェクターへの本発明の表示パネルの適用例である。

【符号の説明】

１…表示パネル

１０、２０…画素領域

１１…表示領域

１２…陰極

１３…陰極取出電極

１４、１５…ドライバ領域

１６、１００、２００…ガラス基板

１０１，２０１…下地保護層

１０２，２０２…半導体層

１０３，２０３…ゲート絶縁膜

１０４，２０４…ゲートメタル層

１０５，２０５…第１層間絶縁膜

１０６，２０６…ソースメタル層

１０７，２０７…第２層間絶縁膜

１０８、２０８…バンク層

１０９、２０９…陰極

１１０，２１０…陽極

１１１，２１１…正孔輸送層

１１２、２１２…発光層

１１３，２１３…親和性制御層

Ｔ１，Ｔ２，Ｔ３，Ｔ４…薄膜トランジスタ

ｈ１、ｈ２、ｈ３、ｈ１１、ｈ１２、ｈ１３…スルーホール

Ｖsel…書き込み制御線

Ｖgp…発光制御線

Ｉdata…定電流線

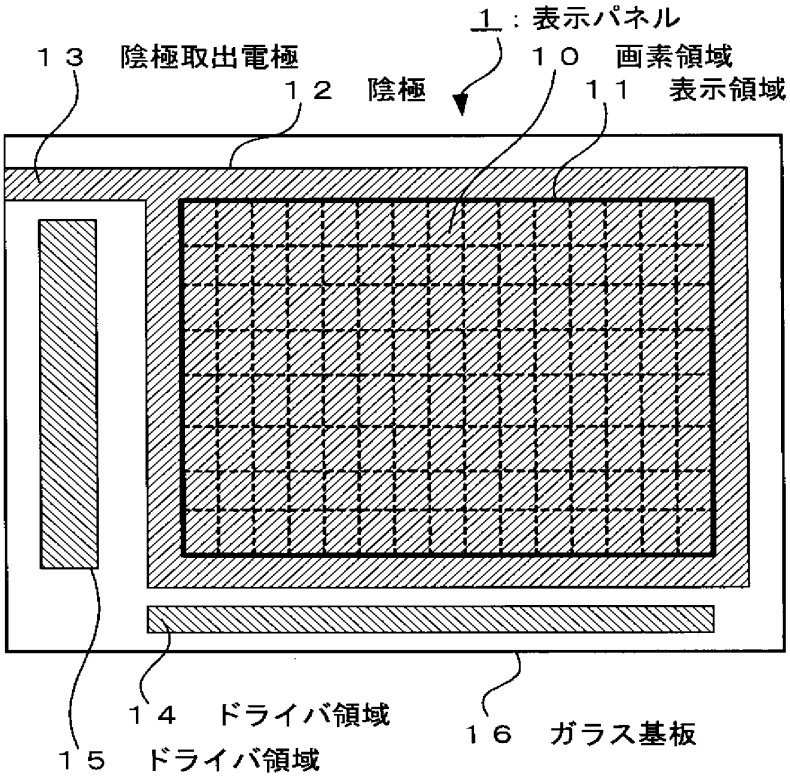
Ｖdd…電源線

Ｃ…保持容量

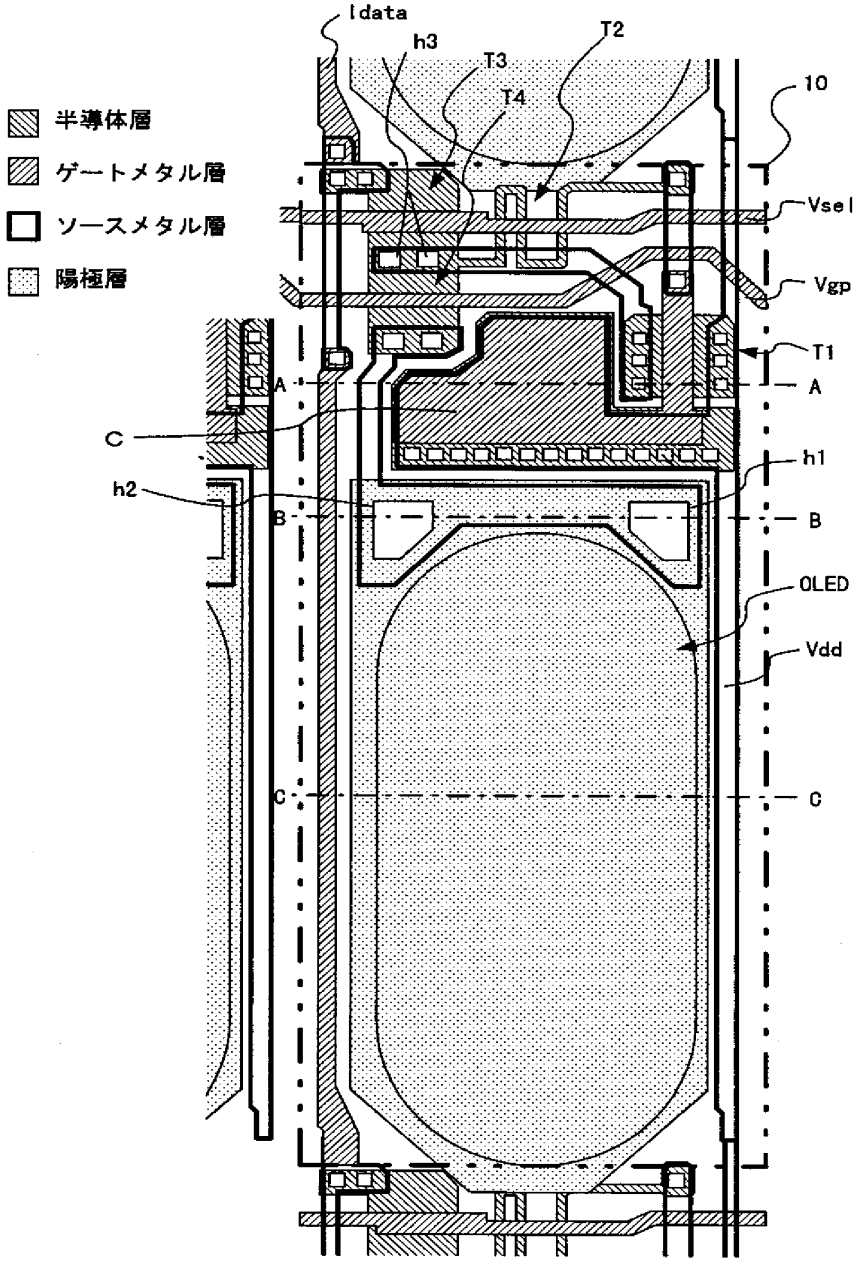
ＯＬＥＤ…発光部

【書類名】　図面

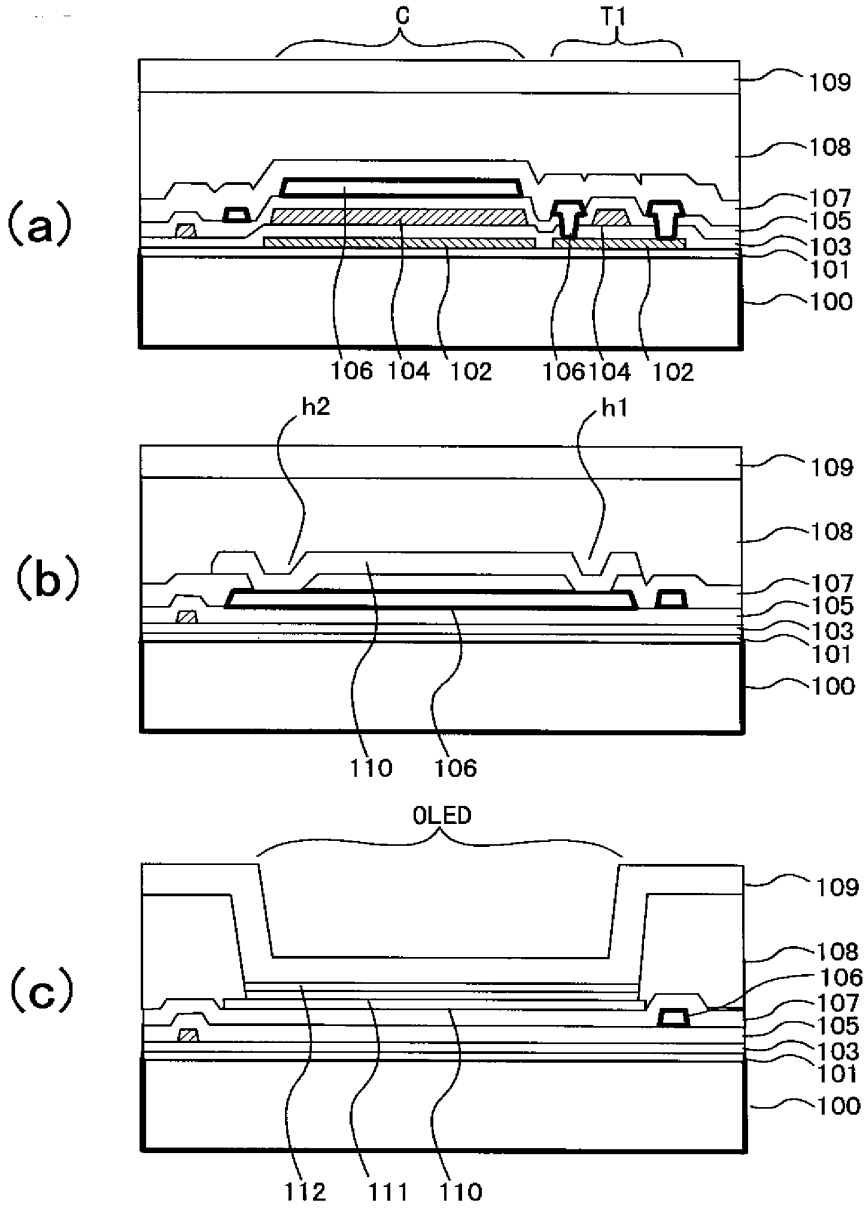
【図１】


１：表示パネル
１３　陰極取出電極
１２　陰極
１０　画素領域
１１　表示領域
１４　ドライバ領域
１５　ドライバ領域
１６　ガラス基板

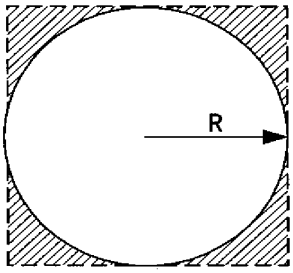
【図２】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T3
T2
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C

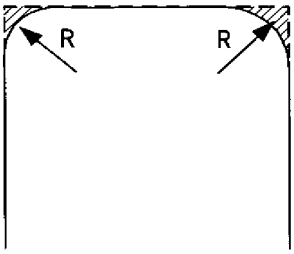
【図３】


(a)
C
T1
109
108
107
105
103
101
100
106
104
102
106
104
102
(b)
h2
h1
109
108
107
105
103
101
100
110
106
(c)
OLED
109
108
106
107
105
103
101
100
112
111
110

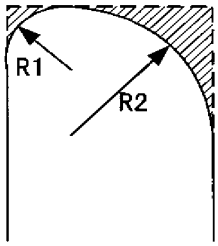
【図４】



(a)

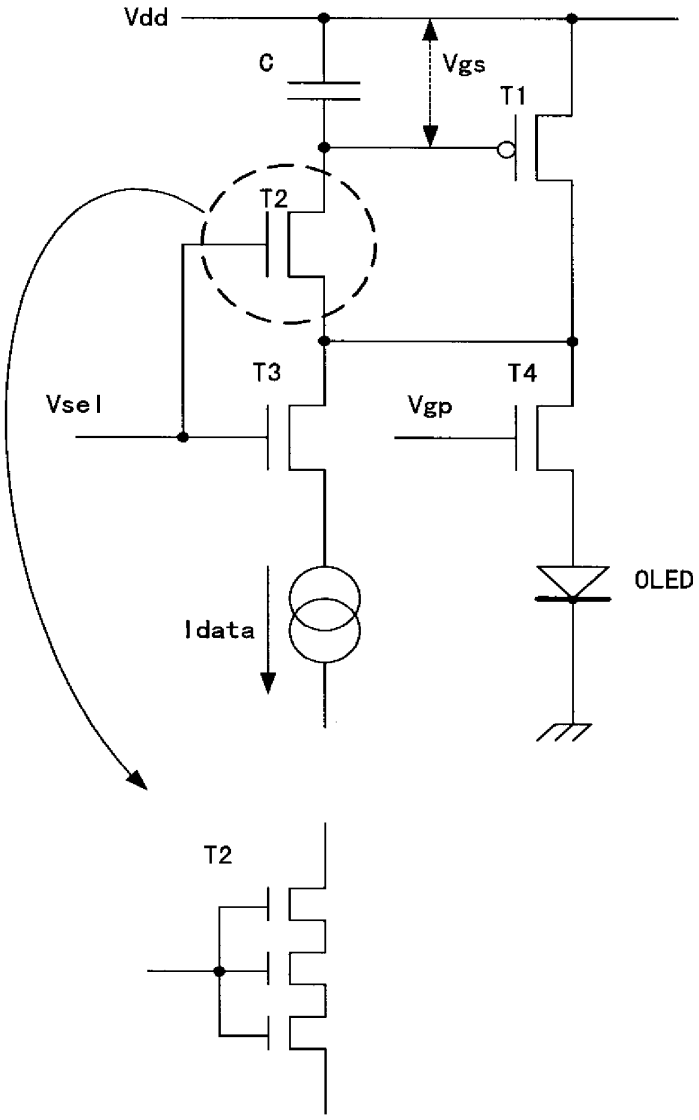


(b)

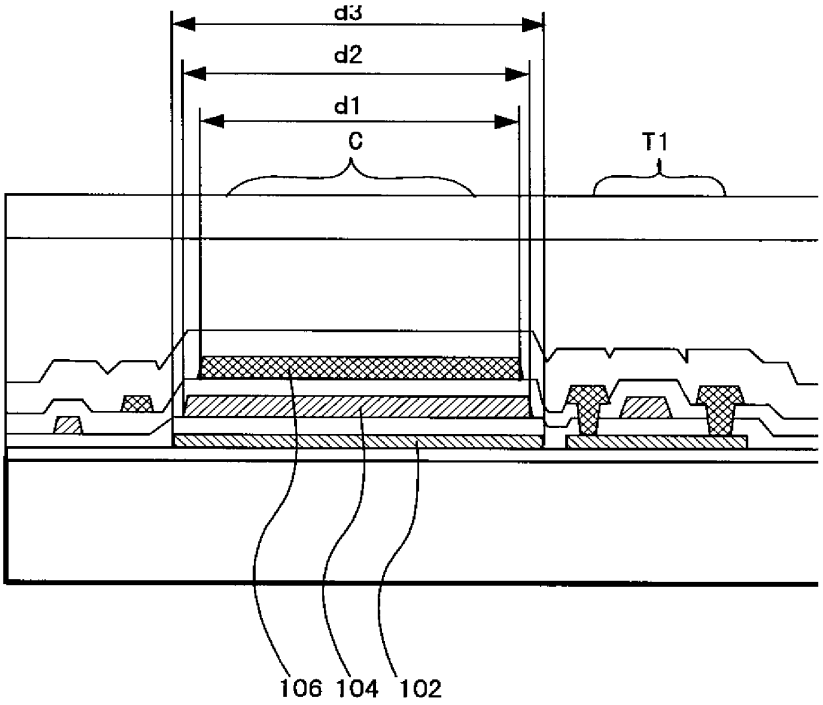


(c)

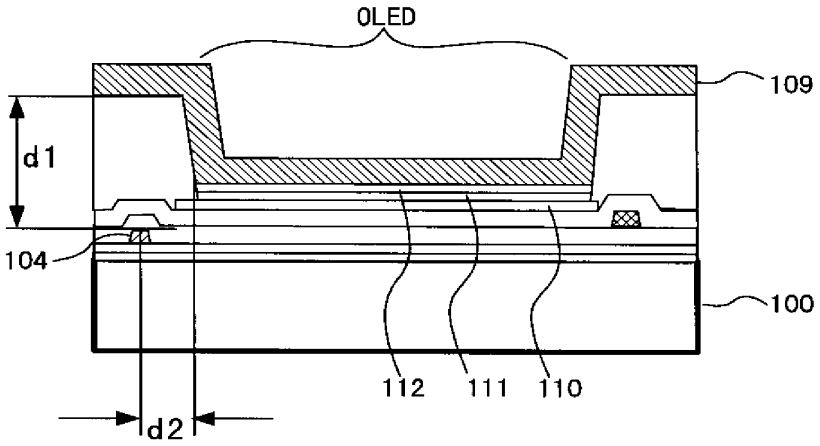
【図５】



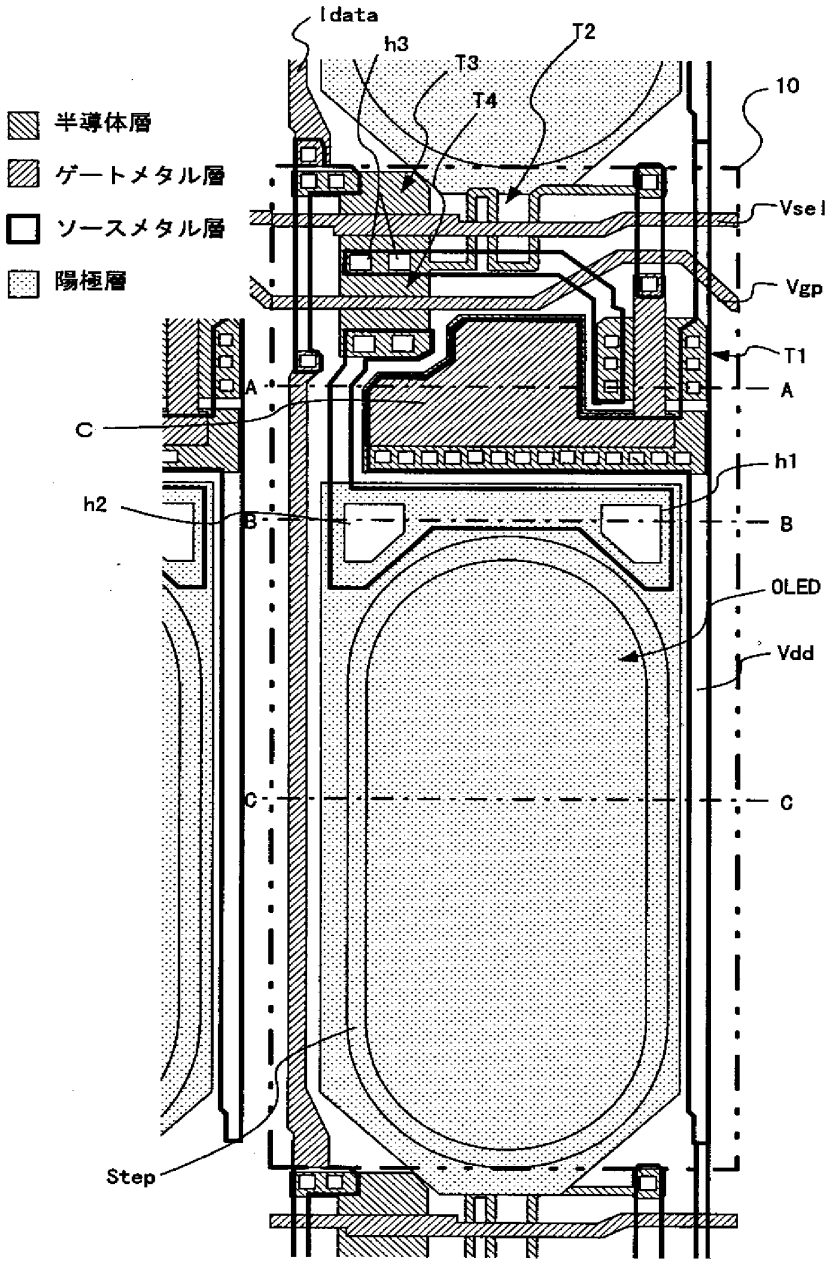
【図６】



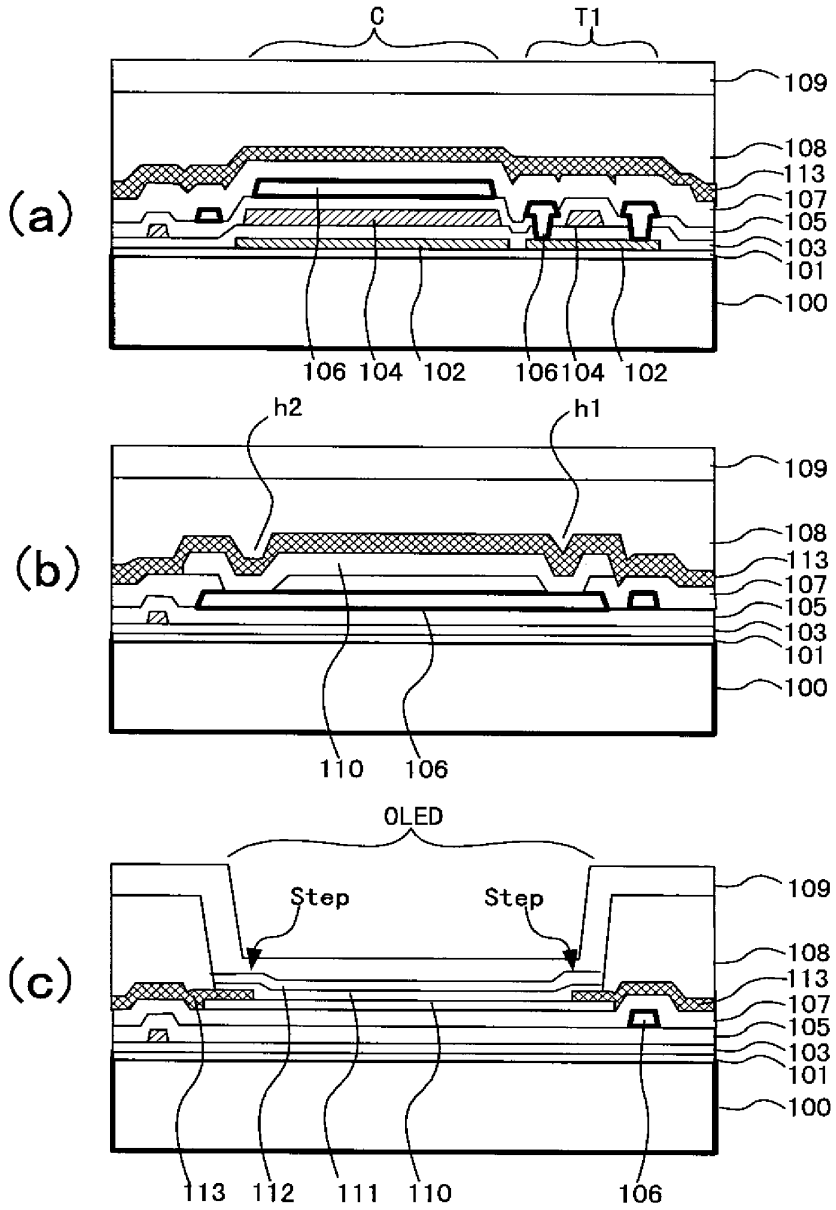
【図７】



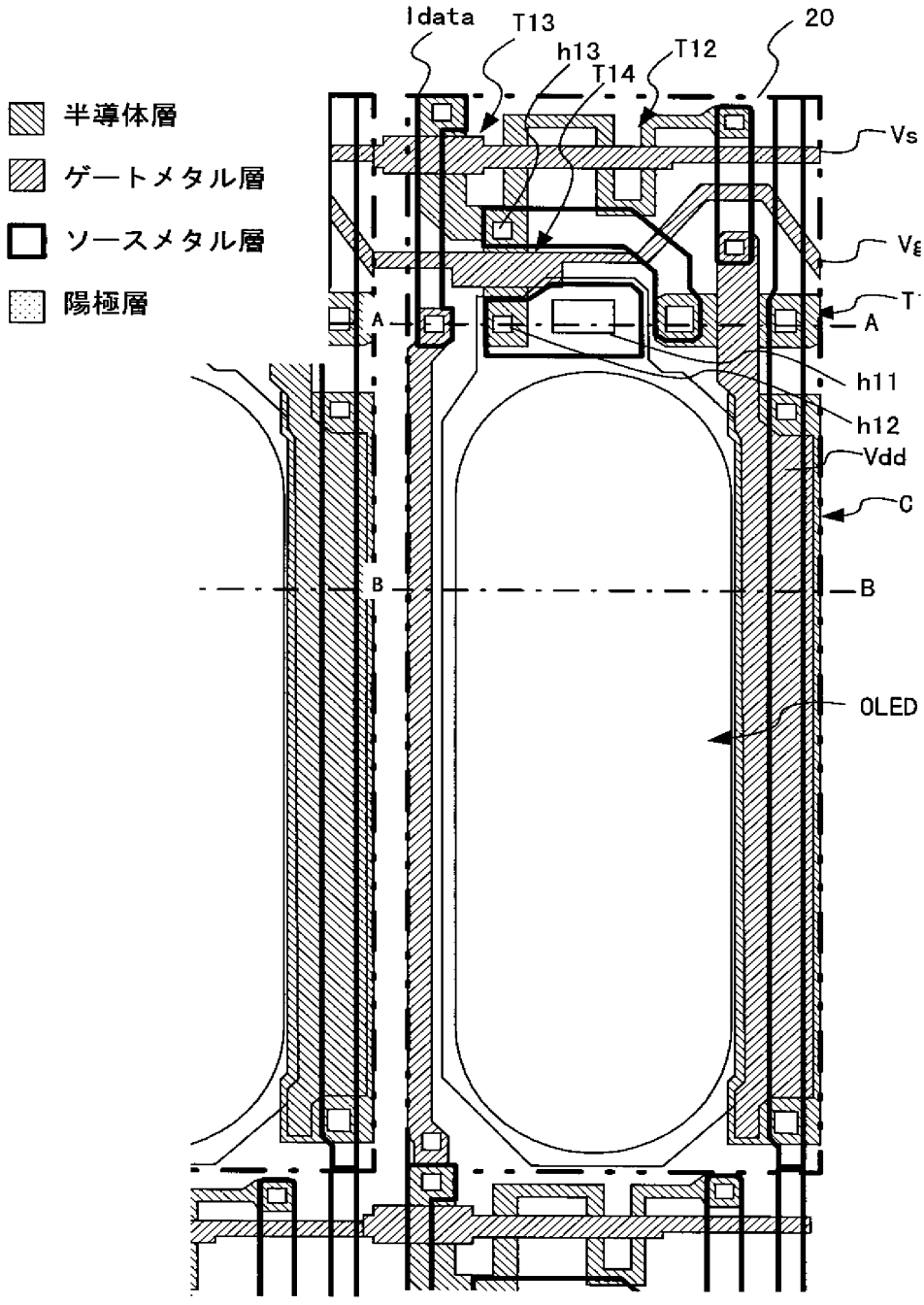
【図８】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T3
T2
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C
Step

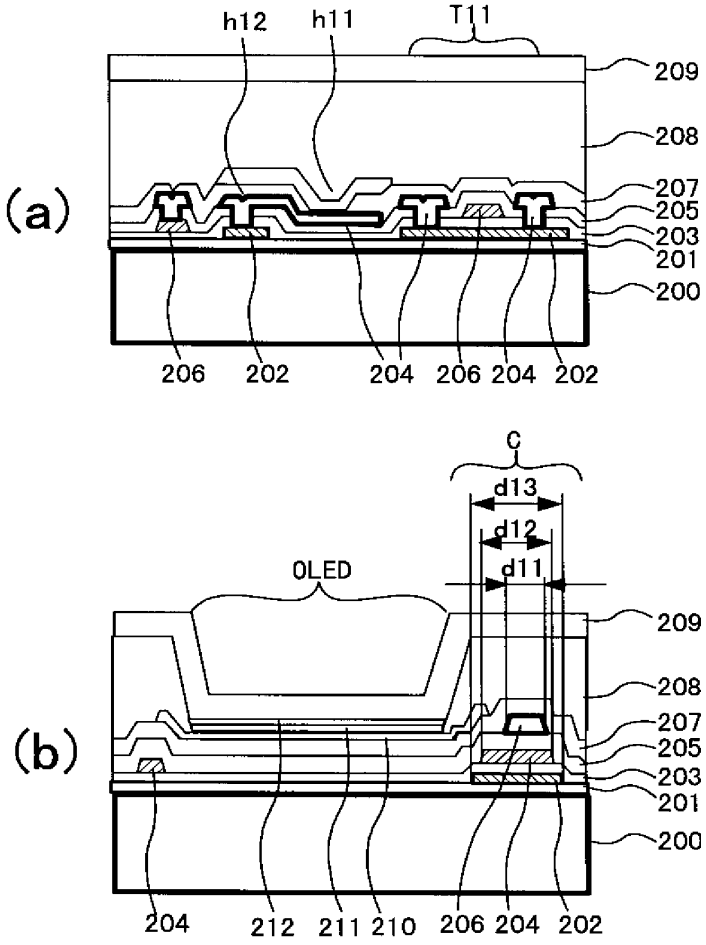
【図９】


(a)
C
T1
109
108
113
107
105
103
101
100
106
104
102
106
104
102
(b)
h2
h1
109
108
113
107
105
103
101
100
110
106
(c)
OLED
Step
Step
109
108
113
107
105
103
101
100
113
112
111
110
106

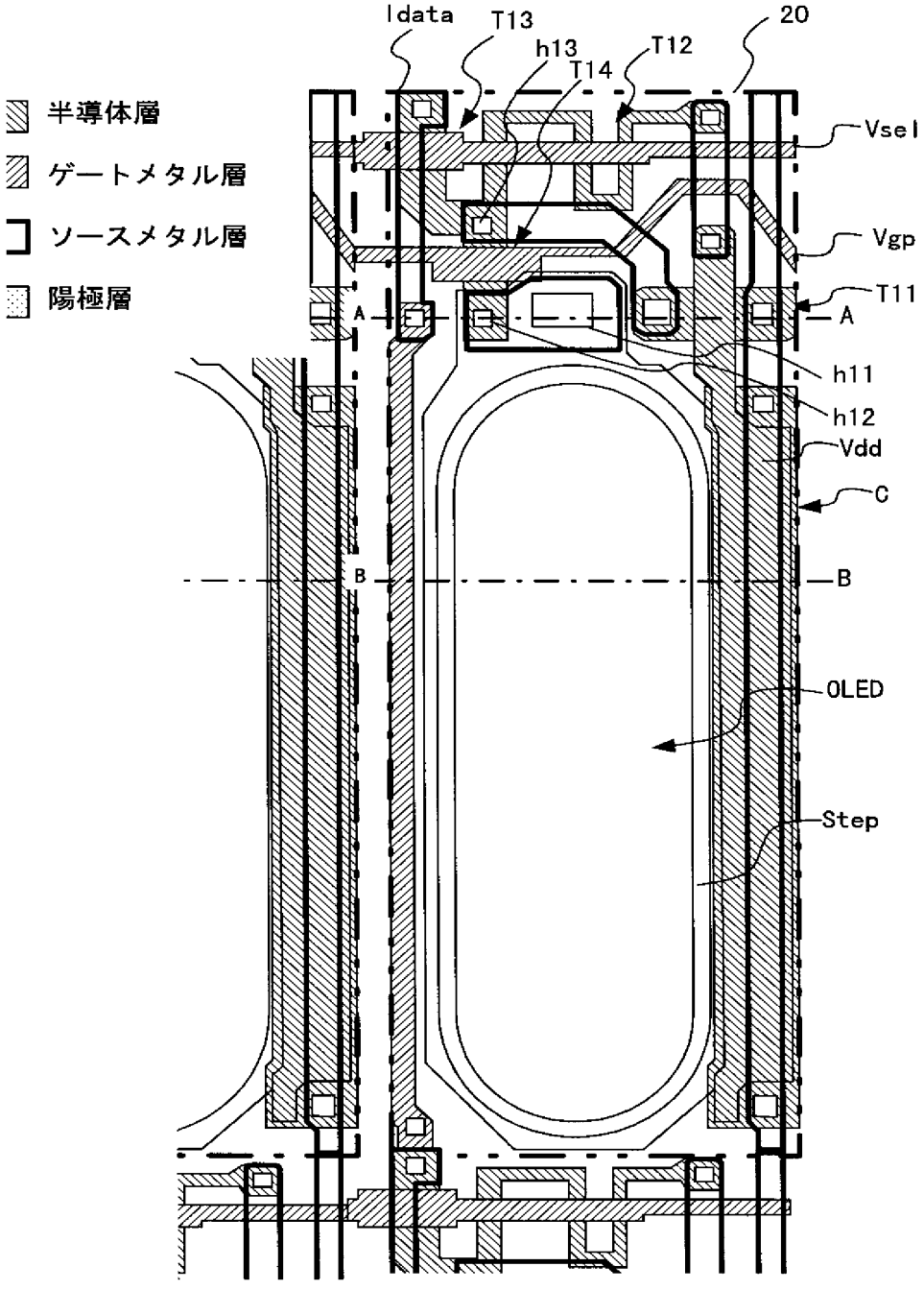
【図１０】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vs
Vg
T
A
A
h11
h12
Vdd
C
B
B
OLED

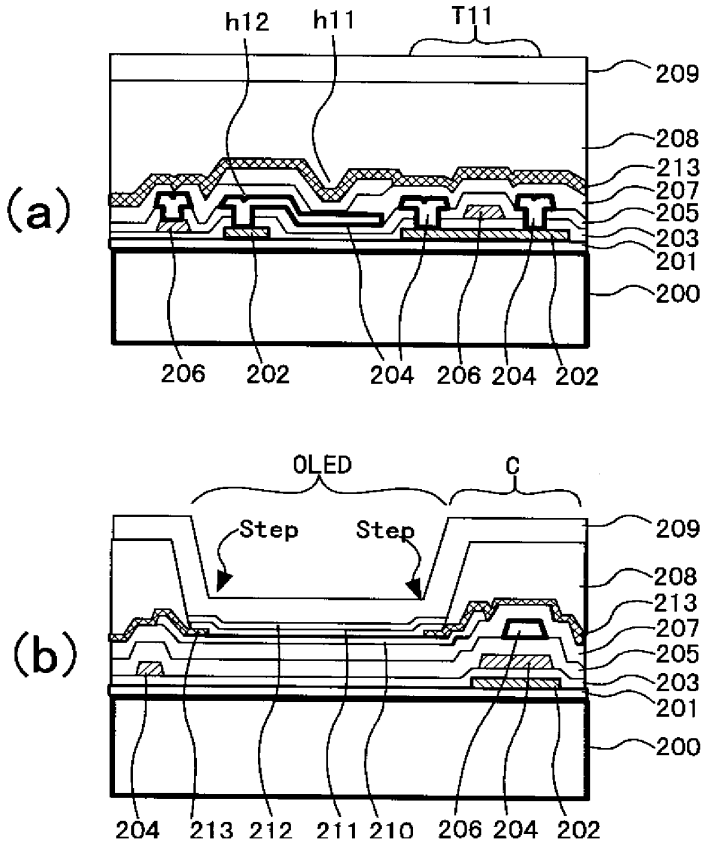
【図１１】


(a)
h12
h11
T11
209
208
207
205
203
201
200
206
202
204
206
204
202
(b)
C
d13
d12
d11
OLED
209
208
207
205
203
201
200
204
212
211
210
206
204
202

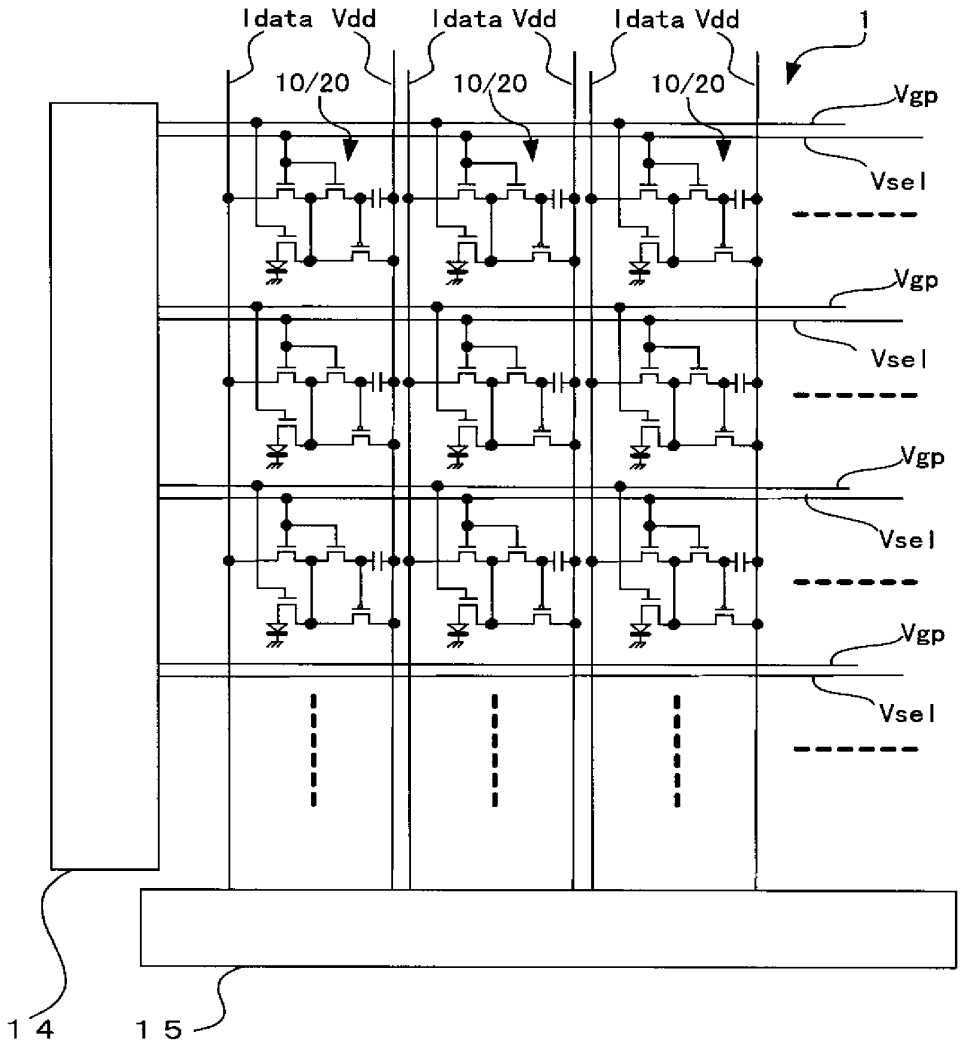
【図１２】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED
Step

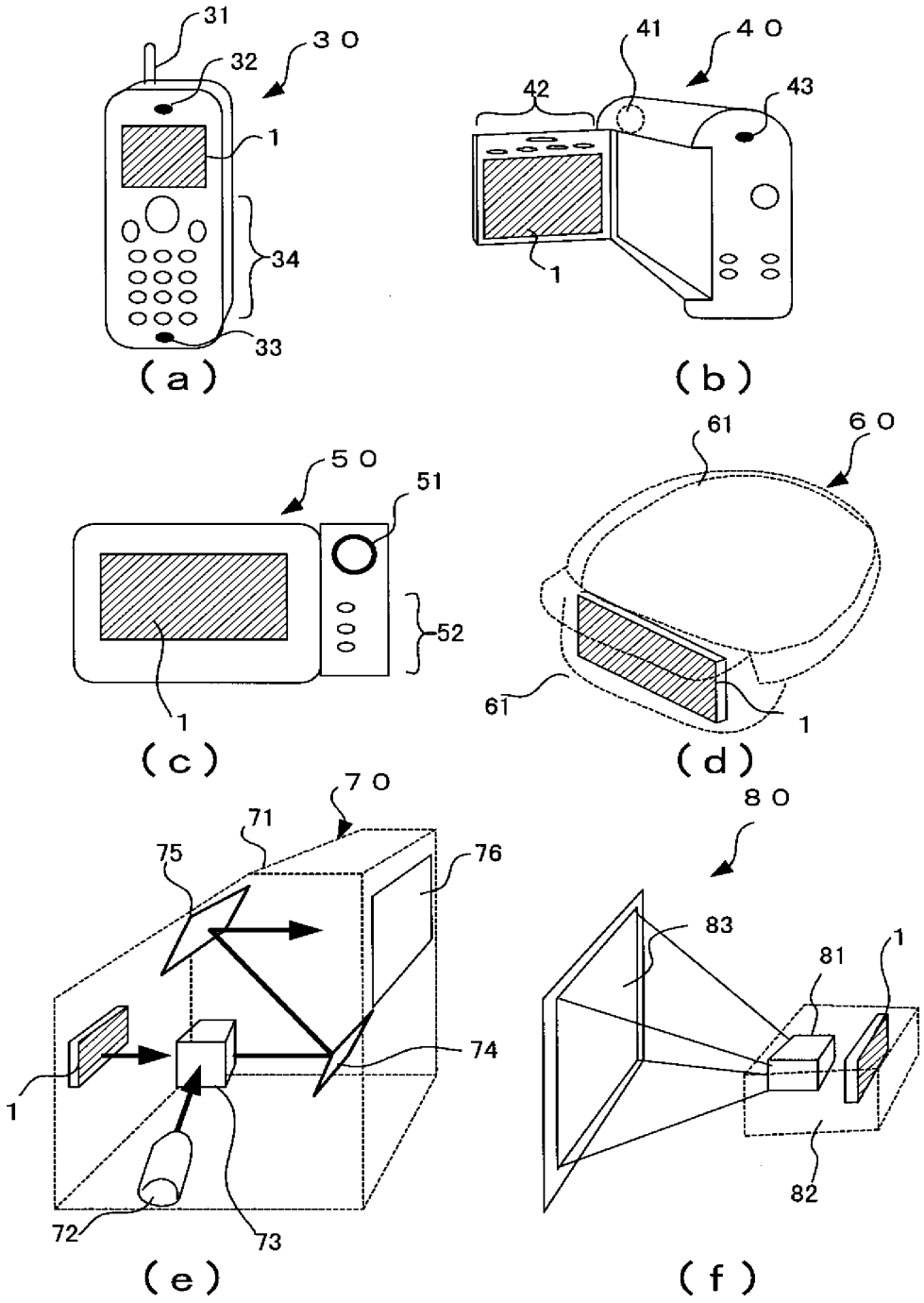
【図１３】


(a)
h12
h11
T11
209
208
213
207
205
203
201
200
206
202
204
206
204
202
(b)
OLED
C
Step
Step
209
208
213
207
205
203
201
200
204
213
212
211
210
206
204
202

【図１４】


Idata Vdd
Idata Vdd
Idata Vdd
1
10/20
10/20
10/20
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
14
15

【図１５】


31
30
32
1
34
33
(a)
41
40
42
43
1
(b)
50
51
52
1
(c)
61
60
61
1
(d)
70
71
75
76
74
1
72
73
(e)
80
83
81
1
82
(f)

【書類名】　要約書

【要約】

【課題】　画素毎に輝度のばらつきの無い好適な発光領域の形状と効率的なパターン配置を提供する。

【解決手段】　電極間に電界を印加することによって発光する電界発光素子、電界発光素子を駆動する周辺回路を備える。そして、電界発光素子は、その境界が少なくとも所定の曲率以上を有するように形成されており、当該所定の曲率を有する境界と電界発光素子に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されている。所定の曲率を有するため、成膜後の発光層の厚みを均一にすることができる。また、光を射出する領域をできるだけ大きく取り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請を同時に満たすことができる。

【選択図】　図２

出願人履歴

０００００２３６９

19900820

新規登録

５９２０５２４２７

東京都新宿区西新宿２丁目４番１号

セイコーエプソン株式会社

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００１年１２月　５日
出願番号 Application Number:	特願２００１－３７１４１０
パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号 The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is	ＪＰ２００１－３７１４１０
出願人 Applicant(s):	セイコーエプソン株式会社

２０１０年１１月１８日

特許庁長官
Commissioner,
Japan Patent Office　岩井良行

【書類名】特許願

【整理番号】J0087276

【あて先】特許庁長官殿

【国際特許分類】

H05B 33/04

H05B 33/10

G09F 9/30

【発明者】

【住所又は居所】長野県諏訪市大和３丁目３番５号

セイコーエプソン株式会社内

【氏名】松枝　洋二郎

【特許出願人】

【識別番号】000002369

【氏名又は名称】セイコーエプソン株式会社

【代理人】

【識別番号】100079108

【弁理士】

【氏名又は名称】稲葉　良幸

【選任した代理人】

【識別番号】100080953

【弁理士】

【氏名又は名称】田中　克郎

【選任した代理人】

【識別番号】100093861

【弁理士】

【氏名又は名称】大賀　眞司

【手数料の表示】

【予納台帳番号】011903

【納付金額】21,000

【提出物件の目録】

【物件名】明細書　1

【物件名】図面　1

【物件名】要約書　1

【包括委任状番号】9808570

【プルーフの要否】要

【書類名】　　明細書

【発明の名称】　　電界発光装置および電子機器

【特許請求の範囲】

【請求項１】　電界を印加することによって発光する電界発光素子と、

電極を含む複数層により構成され当該電界発光素子に供給する電流を規定する保持容量と、

前記保持容量に記録された電圧に従った電流を供給する能動素子と、を備え、

前記保持容量を構成する一方の電極は、前記電界発光素子に電流を供給する電源線を形成する金属層の一部をパターニングして形成されている電界発光装置。

【請求項２】　前記保持容量を構成する他方の電極は、前記能動素子の制御端子を形成する金属層の一部をパターニングして形成されている請求項１に記載の電界発光装置。

【請求項３】　前記保持容量を構成する一方の電極は、前記電源線の一部であり、当該電源線の一部に前記能動素子の制御端子を形成する金属層の一部を重ねてパターニングして前記他方の電極を形成している請求項２に記載の電界発光装置。

【請求項４】　前記保持容量を構成する電極に重複して当該電極形状に形成された半導体層を備えている請求項１に記載の電界発光装置。

【請求項５】　前記半導体層は、不純物が導入されて構成されている請求項４に記載の電界発光装置。

【請求項６】　前記保持容量は、前記電界発光素子および前記能動素子が形成された領域以外の領域に形成されている請求項１に記載の電界発光装置。

【請求項７】　前記保持容量の電極を構成する各層は、前記電界発光素子および前記能動素子が形成された領域以外の領域の形状に対応させた多角形に形成されている請求項６に記載の電界発光装置。

【請求項８】　前記保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている請求項１に記載の電界発光装置。

【請求項９】　前記より下層側に配置される層の占める領域は、前記より上

層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、当該より上層側に配置される層の領域が当該より下層側に配置される層の領域内に収まるような形状にパターン形成されている請求項８に記載の電界発光装置。

【請求項１０】　隣接する前記電界発光素子間を隔離するためのバンク層をさらに備え、

前記保持容量は、前記バンク層の下に形成されている請求項１に記載の電界発光装置。

【請求項１１】　前記電界発光素子の形成時における材料液の親和性を制御するための親和性制御層を前記バンク層中に備えている請求項１０に記載の電界発光装置。

【請求項１２】　請求項１に記載の電界発光装置を備える電子機器。

【請求項１３】　電極を含む複数層から構成され当該電極間に電界を印加することによって発光する電界発光素子に対し、保持容量に記録された電圧に従った電流を能動素子により供給可能に構成された電界発光装置において、

電源線を構成する第１の金属層と、

前記能動素子の制御端子を一部に含んでパターン形成される第２の金属層と、を備え、

前記保持容量を構成する一方の電極は、前記第１の金属層の一部をパターニングして形成されている電界発光装置。

【請求項１４】　前記保持容量を構成する他方の電極は、前記第２の金属層の一部をパターニングして形成されている請求項１３に記載の電界発光装置。

【請求項１５】　前記保持容量を構成する一方の電極は、前記電源線の一部であり、当該電源線の一部に前記第２の金属層の一部を重ねてパターニングして前記他方の電極を形成している請求項１４に記載の電界発光装置。

【請求項１６】　前記保持容量を構成する電極に重複して当該電極形状に形成された半導体層を備えている請求項１３に記載の電界発光装置。

【請求項１７】　前記半導体層は、不純物が導入されて構成されている請求項１６に記載の電界発光装置。

【請求項１８】　前記保持容量は、前記電界発光素子および前記能動素子が形成された領域以外の領域に形成されている請求項１３に記載の電界発光装置。

【請求項１９】　前記保持容量の電極を構成する各層は、前記電界発光素子および前記能動素子が形成された領域以外の領域の形状に対応させた多角形に形成されている請求項１８に記載の電界発光装置。

【請求項２０】　前記保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている請求項１３に記載の電界発光装置。

【請求項２１】　前記より下層側に配置される層の占める領域は、前記より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、当該上層側に配置される層の領域が当該下層側に配置される層の領域内に収まるような形状にパターン形成されている請求項２０に記載の電界発光装置。

【請求項２２】　隣接する前記電界発光素子間を隔離するためのバンク層をさらに備え、

前記保持容量は、前記バンク層の下に形成されている請求項１３に記載の電界発光装置。

【請求項２３】　前記電界発光素子の形成時における材料液の親和性を制御するための親和性制御層を前記バンク層中に備えている請求項２２に記載の電界発光装置。

【請求項２４】　前記第２の金属層によって形成される配線パターンは、前記発光層の電極の少なくとも一方から所定の距離以上離間して配置されている請求項１３に記載の電界発光装置。

【請求項２５】　請求項１３に記載の電界発光装置を備える電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、いわゆる電界発光（Electro-Luminescence）素子に関し、特に、アクティブマトリクス型表示パネルに画素要素として使用される電界発光素子の回

路配置上の改良に関する。

【０００２】

【従来の技術】

蛍光性物質を挟んだ陽極と陰極との間に電界を印加すると、陽極から注入された正孔と陰極から注入された電子とが再結合する際に再結合エネルギーにより蛍光性物質が発光する。エレクトロルミネッセンス現象というこの現象を表示素子などに適用したものが、電界発光素子である。表示装置などに適用する電界発光素子は、画素を構成する電界発光素子ごとに独立して発光制御する必要があるため、電界発光素子を駆動させるための能動素子として、例えば薄膜トランジスタ（Thin Film Transistor：以下「ＴＦＴ」という。）と電界発光素子とを組み合わせて画素が構成されている。

【０００３】

従来、電界発光素子の層構造については数多くの研究がされていた。例えば、特開２００１－１６７８８０号には蛍光色素をインクジェット法により塗布する電界発光素子の製造方法が記載されている。

【０００４】

また、電界発光素子に適する駆動回路に関し、例えば「アクティブ型有機ＥＬディスプレイ」（2001 FPD Technology Outlook, pp747-762）には、有機電界発光素子を利用したフラットパネルディスプレイにおけるアクティブマトリクス駆動法についての考察が記載されている。この文献には、画素ごとの輝度のばらつきを解消するために複数のトランジスタを用いる回路が開示されている。この回路によれば、電界発光素子に電流を供給する第１のトランジスタにはそのゲート端子に電圧を記憶するための保持容量が接続されている。第２のトランジスタは、この保持容量に所定の期間充電可能なように接続されている。第２のトランジスタを開閉することによって保持容量に一定の電圧が保持された後は、第１のトランジスタのゲート電圧が一定に保たれるため、電界発光素子にも一定の安定した電流が供給される。複数トランジスタによる駆動回路を用いれば、安定した電流を供給可能になるため、輝度のばらつきが少ない電界発光素子を提供できる旨が開示されている。

【０００５】

【発明が解決しようとする課題】

しかしながら、ＴＦＴなどの駆動回路と画素領域とをどのように配置すれば好適な電界発光素子を提供できるのかについては公知文献に具体的に開示されていなかった。

【０００６】

特に、電流プログラム方式の駆動回路では、製造工程のばらつきにより電流値に影響を与える保持容量の容量値が変動すると、その変動が画素毎の輝度のばらつきとなって現れてしまうという問題があった。特に、画素密度が上がると、電界発光素子を構成する層間におけるアライメントずれの影響が相対的に大きくなり、この容量変動に大きな影響を与えるおそれがあった。

【０００７】

そこで、本願発明は、製造工程において各層の位置ずれが生じたとても発光部へ供給される電流量の変動を防止可能な電界発光素子における好適なパターン配置を提供することを目的とするものである。

【０００８】

【課題を解決するための手段】

上記目的を達成するために本願発明に係る電界発光装置は、電極を含む複数層により構成され電界を印加することによって発光する電界発光素子と、電界発光素子に供給する電流を規定する保持容量と、保持容量に記録された電圧に従った電流を供給する能動素子と、を備え、保持容量を構成する一方の電極は、電界発光素子に電流を供給する電源線を形成する金属層の一部をパターニングして形成されている電界発光装置である。

【０００９】

上記目的を達成するための他の発明に係る電界発光装置は、電極を含む複数層により構成され電極間に電界を印加することによって発光する電界発光素子に対し、保持容量に記録された電圧に従った電流を能動素子により供給可能に構成された電界発光装置において、電源に接続される第１の金属層と、能動素子の制御端子を一部に含んでパターン形成される第２の金属層と、を備え、保持容量を構

成する一方の電極は、第１の金属層の一部をパターニングして形成されている電界発光装置である。

【００１０】

ここで「層」には、金属層の他、保持容量形成に影響を与える層、例えば半導体層などが含まれる。

【００１１】

また「電気光学素子」は、電気的作用によって発光するあるいは外部からの光の状態を変化させる素子一般をいい、自ら光を発するものと外部からの光の通過を制御するもの双方を含む。例えば、電気光学素子には、液晶素子、電気泳動素子、ＥＬ（エレクトロルミネッセンス）素子、電界の印加により発生した電子を発光板に当てて発光させる電子放出素子が含まれる。

【００１２】

さらに保持容量を構成する他方の電極は、能動素子の制御端子を形成する金属層の一部をパターニングして形成されている。

【００１３】

保持容量を構成する一方の電極は、電源線の一部であり、当該電源線の一部に能動素子の制御端子を形成する金属層の一部を重ねてパターニングして他方の電極を形成していることも特徴である。このように配線すれば保持素子への配線を省略し開口率を上げることができるからである。

【００１４】

さらに好ましくは、保持容量を構成する電極に重複して当該電極形状に形成された半導体層を備えている。この半導体層は、例えば、不純物が導入されて構成されている。不純物をドーピングすることによって半導体層が金属化し保持容量の容量増加が期待できるからである。

【００１５】

また保持容量は、電界発光素子および能動素子が形成された領域以外の領域に形成されていることが開口率を上げる上で好ましい。例えば、保持容量の電極を構成する各層は、電界発光素子および能動素子が形成された領域以外の領域の形状に対応させた多角形、例えば五角形以上、に形成されている。

【００１６】

ここで、保持容量の電極を構成する各層のうち、より下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されていることは好ましい。

【００１７】

ここで、より下層側に配置される層の占める領域は、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、当該より上層側に配置される層の領域が当該より下層側に配置される層の領域内に収まるような形状にパターン形成されている。

【００１８】

さらに好ましくは、本発明の電界発光装置は、隣接する電界発光素子間を隔離するためのバンク層をさらに備え、保持容量は、バンク層の下に形成されている。

【００１９】

ここで、さらに、電界発光素子の形成時における材料液の親和性を制御するための親和性制御層をバンク層中に備えていてもよい。複数層を介することによって絶縁性を上げることができるからである。

【００２０】

さらに好ましくは、保持容量が形成される重複領域は、第１の金属層または第２の金属層の少なくとも一方が電源配線パターンとなっている領域に形成される。

【００２１】

さらに好ましくは、第２の金属層によって形成される配線パターンは、発光層の電極の少なくとも一方から所定の距離以上離間して配置されている。このような構成により不要な容量を減らすことができるからである。

【００２２】

本発明は、上記した電界発光装置を備える電子機器にも適用される。

【００２３】

ここで「電子機器」には限定が無いが、電界発光装置により構成された表示装

置を備えるもの、例えば、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳等をいう。

【００２４】

【発明の実施の形態】

次に、本発明の好適な実施の形態を、図面を例示として参照しながら説明する。以下の形態は、本発明を実施の形態の例示に過ぎず、その適用範囲を限定するものではない。

＜実施形態１＞

図１に、本発明の実施形態における電界発光装置を利用した表示パネルの全体図を示す。

【００２５】

図１に示すように、表示パネル１は、ガラス基板１６上に、表示領域１１およびドライバ領域１４・１５を配置して構成されている。表示領域１１には全体的に陰極１２が形成されて陰極取出電極１３に接続されている。表示領域１１には画素領域１０がマトリクス状に配置されている。カラー表示の場合、画素領域１０は、それぞれがカラー表示で必要とされる原色（例えば、赤、青、緑の三原色）で発光可能に構成されており、各原色で発光する画素領域１０の組が一つの画素要素となる。例えば、表示領域１１の列方向に配置されるドライバ領域１５は、書き込み制御線Ｖselと発光制御線Ｖgpとに信号を出力し、表示領域１１の行方向に配置されるドライバ領域１４は、電源線Ｖddの他、定電流を定電流線Ｉdataに信号を出力している。各画素領域１０における発光の有無をドライバ領域１４・１５に形成された図示しない駆動回路によって制御することにより、任意の画像が表示領域１１内に表示されるのである。

【００２６】

図２に、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図２では、特に主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００２７】

図２に示すように、電源線Ｖddと定電流線Ｉdataに挟まれる領域に、発光部（電界発光素子）ＯＬＥＤおよびそれを駆動するための周辺回路が総て配置されている。電源線Ｖddは、発光部ＯＬＥＤを介して定電流線Ｉdataと離れて配置されている。周辺回路は、第１の能動素子としてのトランジスタＴ１、第２の能動素子としてのトランジスタＴ２、電流制御素子としてのトランジスタＴ３、発光制御素子としてのトランジスタＴ４、および保持素子としての保持容量Ｃで構成されている。

【００２８】

トランジスタＴ１は、そのソースが電源線Ｖddに接続され、そのドレインがトランジスタＴ４のソース側に接続されている。トランジスタＴ４は、そのドレインが発光部ＯＬＥＤの陽極に接続されている。保持容量Ｃは、電源線ＶddとトランジスタＴ１のゲート間に接続されている。トランジスタＴ２は、そのソースが保持容量Ｃおよびトランジスタ Ｔ１のゲートに接続され、そのドレインがトランジスタＴ３のソースおよびトランジスタＴ１およびＴ４間に接続されている。トランジスタＴ３は、そのドレインが定電流線Ｉdataに接続され、そのゲートがトランジスタＴ２のゲートと共通に書き込み制御線Ｖselに接続されている。

【００２９】

図３に、図２に示された切断面における層構造を説明する各断面図を示す。図３（ａ）はＡ－Ａ切断面、図３（ｂ）はＢ－Ｂ切断面、図３（ｃ）はＣ－Ｃ切断面における層構造を示している。

【００３０】

図３（ａ）に示すように、当該画素領域１０は、ガラス基板１００（図１におけるガラス基板１６）上に、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９（図１における陰極１２）の各層を積層して構成されている。さらに、電界発光部ＯＬＥＤでは、図３（ｂ）および（ｃ）に示すように、陽極層１１０、正孔輸送層１１１、発光層１１２の各層を積層して構成されている。

【００３１】

ガラス基板１００としては、本実施形態の電界発光素子が基板側に光を射出する形態であって光透過性があることが必要であるため、ソーダライムガラス、低膨張ガラス、石英などのノンアルカリガラスが適用される。ただし、陰極層１０９に光透過性物質を用い、陰極側から光を射出する形態の電界発光素子を構成する場合には、金属等の導電性物質、シリコン・カーバイト（ＳｉＣ）やアルミナ（Al_2O_3）や窒化アルミニウム（ＡｌＮ）等の非透明絶縁性物質も利用可能である。

【００３２】

下地保護膜１０１としては、酸化硅素膜（SiO_x：０＜ｘ≦２）や窒化硅素膜（Si_3N_x：０＜ｘ≦４）等の絶縁性物質が利用可能である。下地保護層は、ガラス基板中に含まれているナトリウム（Ｎａ）等の可動イオンが半導体層中に混入して半導体層の不純物制御に悪影響を与えさせないために形成するものである。

【００３３】

下地保護層１０１は、まず基板１００を純水やアルコールなどの有機溶剤で洗浄した後、常圧化学気相堆積法（ＡＰＣＶＤ法）や低圧化学気相堆積法（ＬＰＣＶＤ法）、プラズマ化学気相堆積法（ＰＥＣＶＤ法）等のＣＶＤ法あるいはスパッター法等を用いて基板上に形成される。

【００３４】

半導体層１０２としては、シリコン（Ｓｉ）やゲルマニウム（Ｇｅ）等の四族単体の半導体層の他に、シリコン・ゲルマニウム（Si_xGe_{1-x}：０＜ｘ＜１）やシリコン・カーバイド（Si_xC_{1-x}：０＜ｘ＜１）やゲルマニウム・カーバイド（Ge_xC_{1-x}：０＜ｘ＜１）等の四族元素複合体、ガリウム・ヒ素（ＧａＡｓ）やインジウム・アンチモン（ＩｎＳｂ）等の三族元素と五族元素との複合体化合物、またはカドミウム・セレン（ＣｄＳｅ）等の二族元素と六族元素との複合体化合物、シリコン・ゲルマニウム・ガリウム・ヒ素（$Si_xGe_yGa_zAs_z$：ｘ＋ｙ＋ｚ＝１）と云った更なる複合化合物等が適用可能である。

【００３５】

半導体層１０２は、例えば、ＡＰＣＶＤ法やＬＰＣＶＤ法、ＰＥＣＶＤ法等のＣＶＤ法、またはスパッター法等や蒸着法等のＰＶＤ法でシリコン等を堆積させた後、レーザー光の照射によって多結晶化して形成される。レーザー光としては、エキシマレーザー、アルゴンイオンレーザー、ＹＡＧレーザー（高調波）等が好ましい。例えば、シリコンを多結晶化すると、ポリシリコンとなる。この多結晶化した半導体層１０２を保持容量Ｃや各トランジスタＴ１～Ｔ４の各ＴＦＴの各素子形状に合うようパターニングする。例えばCH_4と酸素の混合ガスを用いた反応性イオンエッチングによってアモルファス状態の半導体層を素子形状に合わせて島状にパターニングして形成する。パターニング後、例えばゲートメタル層を形成後、そのゲートメタル層をマスクとして、半導体層に不純物を導入する。具体的には、素子ごとにリン（Ｐ）、ヒ素（Ａｓ）、アンチモン（Ｓｂ）などのドナー元素を添加してＮ型半導体層にしたり、ホウ素（Ｂ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）等のアクセプター元素を添加してＰ型半導体層にしたりする。本実施形態では、保持容量Ｃを構成する半導体層がＮ型半導体層になるように不純物が導入され、ＴＦＴのソースメタル層１０６で形成される電極部がＰ型半導体層になるように不純物が導入される。ここで、ＴＦＴをＬＤＤ構造にする場合やＴＦＴのしきい値電圧を調整する場合には、不純物を低濃度で導入するチャンネル・ドープが行われる。

【００３６】

ゲート絶縁膜１０３としては、例えばテトラ・エチル・オルト・シリケート（ＴＥＯＳ）を原料とする二酸化珪素膜により形成される。ゲート絶縁膜１０３は、マイクロ波放電プラズマ、ＥＣＲプラズ等の酸素または窒素雰囲気下におけるマプラズマＣＶＤ法により形成される。

【００３７】

ゲートメタル層１０４としては、例えばタンタル（Ｔａ）、タングステン（Ｗ）、クロム（Ｃｒ）等のような導電性材料を用いる。ゲートメタル層１０４は、スパッタ法等で成膜され後、ゲート電極の形状になるようパターニングして形成される。

【００３８】

第１層間絶縁膜１０５としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第１層間絶縁膜は、スパッタ法等で形成された後、例えばＴＦＴ用のソース・ドレイン電極を形成するためにコンタクトホールが形成される。

【００３９】

ソースメタル層１０６として、例えばアルミニウム（Ａｌ）の他、タンタル、モリブデン、チタン、タングステン等の導電性材料を使用可能である。ソースメタル層は、スパッタ法等で一様に導電性材料を積層後、電極形状に合わせてパターニングして形成される。

【００４０】

第２層間絶縁膜１０７としては、酸化珪素または窒化珪素等の絶縁膜を適用可能である。第２層間絶縁膜は、スパッタ法等で形成された後、例えば陽極層１１０用のコンタクトホールｈ１およびｈ２が形成される。

【００４１】

陽極層１１０としては、例えば、酸化インジウム錫合金（ＩＴＯ）等の光透過性を有する導電性材料が適用可能である。光透過性が必要無い場合には、陽極層として、酸化錫（ＮＥＳＡ），金、銀、白金、銅等を適用できる。陽極層はスパッタ法等により形成された後、発光部ＯＬＥＤの形状にパターニングして形成される。

【００４２】

バンク層１０８としては、酸化珪素、窒化珪素、ポリイミドなどの絶縁材料を適用可能である。バンク層は、スパッタ法等で形成後、発光部ＯＬＥＤに対応する位置に開口部が設けて形成される。

【００４３】

正孔輸送層１１１としては、例えば、Ｎ，Ｎ’－ジフェニル－Ｎ，Ｎ’－ビス－（３－メチルフェニル）－（１，１’－ビフェニル）－４，４’－ジアミン（ＴＰＤＡ）が用いられる。正孔輸送層は、バンク層１０９に設けられた開口部にメタルマスク等を用いて成膜される。

【００４４】

発光層１１２としては、例えばトリス（８－キノリノール）アルミニウム（Ａｌｑ$_3$）等の任意の蛍光性物質が用いられる。発光層は、メタルマスクを用いた蒸着で形成可能であるが、インクジェット法により蛍光性物質を含んだ溶媒を開口部に吐出させて溶媒成分を蒸発させて堆積させてもよい。

【００４５】

陰極層１０９としては、エネルギー順位から電界発光素子の陰極として使用可能な材料、アルミニウムまたはアルミニウムと他の元素（リチウムなど）の合金、カルシウムなどで形成される。陰極層は、メタルマスク等により形成され、フォトリソグラフィー法やシャドーマスク法等でパターニングして形成される。

【００４６】

以下、本実施形態における配線パターン上の数々の特徴について順に説明する。

（発光部の平面形状）

電界発光装置の製造方法の一つに、インクジェット方式により蛍光性物質を含んだ薄膜材料液を開口部に吐出し乾燥させて、発光層を形成する製造方法がある。この製造方法では、吐出された材料液が均等に開口部の隅々まで行き渡ることが重要である。もしも材料液が均等に行き渡らないと、成膜後の発光層の厚みが不均一になり、発光領域内で射出される光の強度が不均一となり、表示パネルの画質が低下する。例えば、平面上、方形形状の開口部であったと仮定すると、材料液の表面張力や粘度等の影響で開口部の角部における吐出された材料液の液面の高さがその他の部分と異なるようになる。したがって、このような形状の発光部では成膜後の発光層の厚みが不均一になるおそれがあった。

【００４７】

一方、表示パネルでは輝度を上げる必要があるため、光を射出する領域、すなわち発光部をできるだけ大きく採り、周辺回路の占める領域をできるだけ小さくしたいという要請、つまり開口率を上げたいという要請がある。製造上の容易性のみを考えてパターンを配置するわけにもいかないのである。

【００４８】

そこで、このような要請をともに満たすために、本願発明の一つは、発光部の

境界が少なくとも所定の曲率以上を有するように形成されており、この所定の曲率を有する境界とこの発光部の境界に外接する多角形の境界とで囲まれる領域に、少なくとも周辺回路の一部が形成されていることを特徴の一つとしている。

【００４９】

図４に基づいて、具体的な概念を説明する。図４（ａ）、（ｂ）、（ｃ）はそれぞれ本発明の概念を適用した発光部の全部または一部の平面形状を示している。図４（ａ）は、発光部の境界が円形、すなわち総ての境界が一定の曲率Ｒを有している場合である。この円周とこの円周に外接する多角形、すなわち破線で示す正方形とで囲まれる領域、すなわち斜線部分に、周辺回路の一部を設けるのである。この円形の発光部は中心点を通るどの中心線に対しても対称である点で、発光部の膜厚を均等にできるための形状として理想的な形状であると考えられる。しかし、図４（ａ）に示すように、斜線部分を有効活用することが発光部の開口率を向上させるために必要である。

【００５０】

図４（ｂ）は、長方形の角部に本発明を適用し、発光部の境界に一定の曲率Ｒを持たせた例である。この例では、外接する多角形は破線で示す長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。本実施形態はこの例に属し、この曲率Ｒを大きくしていくと、本実施形態のような長円の発光部の平面形状になる。この例でも発光部の中心を通る中心線に対して左右あるいは上下対称であり、かつ、角部の曲率が一定値以上であるため、均等な膜厚の発光部を形成可能である。

【００５１】

図４（ｃ）は、中心線に対して不均等に角部の曲率を設定した例である。図に向かって左側の角部の曲率Ｒ１が右側の角度の曲率Ｒ２より小さくなっている。この例では、外接する多角形は破線で示すような長方形になり、発光部の境界と長方形の境界とで囲まれる斜線領域が、周辺回路の一部または全部を設ける領域となる。このように曲率が不均等であっても、最小の曲率を一定値以上に設定することにより、均等な膜厚の発光部が形成可能である。最小の曲率は、吐出される溶液の粘度や表面張力、吐出面の撥水性（親水性・親和性）に左右されるため

、実験によって事例毎に定められる。

【００５２】

本実施形態では、図２に示すように発光部が長円形の平面形状を備えている。そして、この発光層の境界とこの発光部の境界に外接する長方形（図示しない）との境界で囲まれる領域内に、周辺回路の一部、つまりコンタクトホールｈ１およびｈ２が形成されている（図３（ｂ）も参照のこと）。本実施形態では、本来無駄なスペースともなるべき図４（ｂ）の斜線で示すような領域を、このコンタクトホールのために使用することにより、スペースの有効利用という要請を満たしている。

【００５３】

なお、この発光部の境界とその発光部に外接する多角形の境界とに囲まれる領域には、コンタクトホールに限らず、周辺回路のいずれの素子、例えばトランジスタやキャパシタ等を形成してもよい。また、独立に機能する素子全体を総てこの領域に入れ込まなければならないわけではなく、素子やコンタクトの一部、つまり周辺回路の一部がこの領域に入り込んでいればよい。つまり、スペースを有効利用するような配置がされていることが肝要である。

（発光部のためのコンタクトホール）

電界発光装置において、発光部の境界と発光部に外接する多角形の境界とに囲まれる領域に、図２に示すように、コンタクトホールを設けることは意義がある。すなわち、この領域に比較的大き目のコンタクトホールを設けることにより、この領域の有効利用が可能となるとともに、発光部に十分な電流を供給可能とするからである。

【００５４】

さらにコンタクトホールを複数設けることは好ましい。すなわち、電界発光装置では、発光層にはある程度の電流量の電流を、発光部全体に均等に流す必要がある。もしも直接電流を供給する陽極に接続するためのコンタクトホールが偏った位置に設けられたものとすると、電流の供給口が発光層に対して偏った位置にあるため、電流供給量が不均等になるおそれがある。不均等な電流供給は発光強度のむらとなって現れる。

【００５５】

この点、本実施形態のように、発光部の中心部を通る中心線に対し対称な位置に複数のコンタクトホールを設ければ、このような問題を解消できる。すなわち、図２に示すように、本実施形態では、発光部の中心点を通る所定の中心線に対して対称的に設けられた領域にそれぞれ比較的大き目の複数のコンタクトホールを設けている。この対称的な領域にそれぞれコンタクトホールを設けることにより、発光部の均等成膜の要請とともに、発光部に対する電流供給を均一にするという要請を満たすことができる。

（金属層間のアライメント）

電界発光装置の駆動回路方式によっては、保持容量の変動が発光部に供給される電流量の安定性に影響を与える場合がある。当該実施形態においても、保持容量Ｃの容量値が表示パネルごとに変動するのは好ましくない。しかしながら、表示パネルの製造工程において金属層を積層する際に予定した位置よりもずれが生じる場合がある。保持容量は金属層の重複領域の面積が容量値を規定するため、位置ずれが生じると容量値の変動を生じ、保持容量の容量値が表示パネルごとに変動するという事態を招くおそれがあった。

【００５６】

そこで、本実施形態では、保持容量Ｃが形成される重複領域付近において、保持容量Ｃの形成に関係する複数の層、すなわちソースメタル層１０６、ゲートメタル層１０４および半導体層１０２のうち、より下層側に配置される層（ソースメタル層に対してはゲートメタル層および半導体層）の占める領域が、より上層側に配置される層（半導体層に対してはゲートメタル層およびソースメタル層、ゲートメタル層に対してはソースメタル層）の占める領域より大きく形成されている。

【００５７】

この様子は図２の平面図からも読み取れるが、具体的に図６に示したＡ－Ａ断面図を参照して説明する。図６に示すように、ソースメタル層１０６の幅をｄ１、ゲートメタル層１０４の幅をｄ２、半導体層１０２の幅をｄ３とした場合に、

ｄ３＞ｄ２＞ｄ１

という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００５８】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ３－ｄ２、ｄ２－ｄ１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（ゲートメタル層の離間形成）

電界発光装置は共通電極を備えており、表示領域の全面にその共通電極が形成される。本実施形態でも発光部ＯＬＥＤのための陰極１３（陰極層１０９）が、図１に示すように表示領域１１の全体に形成されている。ところが、共通電極が全面に形成されていると、トランジスタのゲートに接続されるゲートメタル層との間で容量が生じるという問題があった。このような予期せぬ容量が生じると、トランジスタの動作の遅れを生じ、設計した通りのタイミングでの動作が保証できなくなる。

【００５９】

そこで本実施形態では、ゲートメタル層によって形成される配線パターンが、発光層の電極の少なくとも一方から所定の距離以上離間して配置されるように配慮した。インピーダンスが低く問題となるのは、共通電極である陰極層１０９とゲートメタル層１０４との距離である。また、陰極層１０９は、発光部ＯＬＥＤにおいて下層側との距離が小さくなるため、発光部周辺におけるゲートメタル層との距離が問題となる。このため、本実施形態では、図７（図２におけるＣ－Ｃ断面に相当）に示すように、発光部付近において、陰極層１０９とゲートメタル層１０４との深さ方向の距離ｄ１と平面上の距離ｄ２が共に所定の距離以上になるようパターン形成した。

【００６０】

ここで所定の距離は、ゲートメタル層の面積や介在する層の誘電率などによっ

て種々変化するので一概に言えないが、画素領域の面積などから許容される範囲で、できるだけ離してパターニングするのが好ましい。

（周辺回路の動作）

次に、本実施形態の電界発光装置の周辺回路の動作を説明する。図５に、画素領域１０一つあたりの回路図を示す。

【００６１】

１）本実施形態の回路は、一般に電流プログラム方式といわれる回路構成をとっている。画素表示は、プログラム準備動作として、書き込み制御線Ｖselを選択し、トランジスタＴ２およびＴ３をオン状態にすることから始まる。

【００６２】

２）トランジスタＴ２およびＴ３が導通状態になると、トランジスタＴ１が所定時間後に定常状態に達し、保持容量ＣにＩdataに応じた電圧が記憶される。これがプログラム動作である。

【００６３】

３）そして発光動作として、書き込み制御線Ｖselを非選択状態とし、トランジスタＴ２およびＴ３をオフにし、一旦定電流Ｉdataを遮断した後、発光制御線Ｖgpを選択する。この結果、トランジスタＴ４がオン状態となり、保持容量Ｃに記憶された電圧Ｖgsに対応する定電流ＩdataがトランジスタＴ１およびＴ４経由で発光部ＯＬＥＤに供給される。発光部ＯＬＥＤに供給された電流により、発光層１１１に電界が印加され、発光層から光が射出される。

（周辺回路における電流維持性能の向上）

以下に、周辺回路における本実施形態の特徴を説明する。

【００６４】

従来、保持容量の充放電を制御する能動素子については特に考慮がされていなかった。微細化されたＦＥＴでは、ゲート電圧が閾値以下の場合、ドレイン電流がドレイン電圧にも依存するようになる。つまり、ソースーチャネルードレイン間に形成されたトランジスタの注入電流がゲート電圧に対して指数関数的に増加し、リーク電流が発生する。例えば、図５に示すトランジスタＴ２においてリーク電流が発生すると、保持容量Ｃの両端電圧Ｖgsが低下し、その電圧を制御電圧

としてゲートに入力しているトランジスタＴ１のドレイン電流が変動する。この変動は、発光部ＯＬＥＤにおける輝度の変化となって現れるため、安定した輝度での発光が担保されなくなる。

【００６５】

そこで、本実施形態では、図１および図５に示すように、保持容量Ｃに直接接続される能動素子であるトランジスタＴ２を、多重制御端子型の能動素子、つまりマルチゲート型トランジスタとしている。このようなトランジスタでは、図５の矢印で示すように、事実上複数トランジスタが直列接続されたのと等価な素子となり、リーク電流が大幅に制限される。したがって、保持容量に直接接続するトランジスタをこのマルチゲート型のトランジスタにすることで、占有面積を殆ど変えずに、保持容量Ｃにおけるプログラム電圧の変動を無くし、発光部への供給電流を一定にすることができるのである。

【００６６】

ここで、トランジスタＴ２をＬＤＤ、ＧＤＤ、ＤＤＤ構造のトランジスタとすることは好ましい。このような構造を適用することにより、ＦＥＴを微細化する際のホットエレクトロン等による悪影響を制限し、素子の信頼性を向上させることができる。

【００６７】

ここで、制御信号の極性等を考慮し、トランジスタＴ１とトランジスタＴ２は互いに逆極性、つまり、トランジスタＴ１はＰ型ＦＥＴ、トランジスタＴ２からＴ４はＮ型ＦＥＴで構成されている。ただし、Ｐ型を用いるかＮ型を用いるかは、適用しようとする信号の極性等に応じて任意に変更可能であり限定はない。

【００６８】

また、各素子の配置も図５に限定されるものではない。例えば、保持容量やトランジスタＴ１を接地側に持っていき、発光部ＯＬＥＤを電源側に持っていき、発光部の共通電極を陽極とし、各トランジスタの極性（Ｎ型またはＰ型の別）を反転させてもよい。

（周辺回路のスペースの削減）

前述したように、表示装置では、輝度を上げるため、周辺回路の占める領域を

できるだけ小さくしたいという要請がある。このため、本実施形態では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図２に示すように、トランジスタＴ２、Ｔ３、およびＴ４が同一のコンタクトホール、ｈ３で相互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

＜実施形態２＞

図８に、本発明の実施形態２における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図９に、図８に示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面、図９（ｃ）はＣ－Ｃ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層１０２、ゲートメタル層１０４、ソースメタル層１０６、陽極層１１０、の各々のパターンが判るように示してある。

【００６９】

実施形態２の電界発光装置の構成は、段差形状Stepを構成する親和性制御膜１１３の存在を除き、実施形態１の電界発光装置と同一である。このため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００７０】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図９（ｃ）に示すように、実施形態２における発光部ＯＬＥＤは、親和性制御層１１３を、第２層間絶縁膜１０７とバンク層１０８との間に備えている。この親和性制御層１１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層１１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層１０８は、本実施形態に

おいて、発光部の境界付近の壁面を形成しており、発光層１１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層１１３の上に積層されている。このため親和性制御層１１３は、図８および図９（ｃ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００７１】

親和性制御層１１３の材料は、発光層の製造時において、インクジェット方式により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００７２】

親和性制御層１１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００７３】

バンク層１０８は、親和性制御層１１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすること

で、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄膜材料液の均一性が損なわれることを防止できるからである。

【００７４】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

【００７５】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すように構成したので、隣接画素領域との間のショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【００７６】

なお、本実施形態では、親和性制御層１１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【００７７】

その他の本実施形態２における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態３＞

図１０に、実施形態３における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１１に、図１０にに示された切断面における層構造を説明する各断面図を示す。図９（ａ）はＡ－Ａ切断面、図９（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態１と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００７８】

実施形態３の電界発光装置は、パターン形状において、実施形態１における画

素領域１０の幅より画素領域２０の幅が小さくなっている。ただし、回路構成は実施形態１と同様であり（図５参照）、各層を構成する材料も実施形態１と同様であるため、実施形態１と同一の要素については同一符号を図面に付すこととしその説明を省略する。ただし、実施形態１におけるガラス基板１００、下地保護膜１０１、半導体層１０２、ゲート絶縁膜１０３、ゲートメタル層１０４、第１層間絶縁膜１０５、ソースメタル層１０６、第２層間絶縁膜１０７、バンク層１０８、陰極層１０９、陽極層１１０、正孔輸送層１１１、および発光層１１２の各層は、実施形態３において、ガラス基板２００、下地保護膜２０１、半導体層２０２、ゲート絶縁膜２０３、ゲートメタル層２０４、第１層間絶縁膜２０５、ソースメタル層２０６、第２層間絶縁膜２０７、バンク層２０８、陰極層２０９、陽極層２１０、正孔輸送層２１１、および発光層２１２の各層それぞれを対応している。また、実施形態１におけるトランジスタＴ１～Ｔ４は実施形態３におけるＴ１１～Ｔ１４に、実施形態１におけるコンタクトホールｈ１～ｈ３は実施形態３におけるコンタクトホールｈ１１～ｈ１３に、それぞれ対応している。

【００７９】

以下、本実施形態における配線パターン上の特徴について説明する。

（電源線下の保持容量）

実施形態１においては、保持容量Ｃを電源線Ｖddと定電流線Ｉdataとの間であって発光部の外側（図２における発光部の上部）に配置した。しかし本実施形態のように画素領域の面積が比較的小さい場合、すなわち画素密度が高い場合には、保持容量が占有する素子面積が十分とれないという事態が生ずる。

【００８０】

そこで本実施形態においては、第１の金属層（例えばソースメタル層２０６）または第２の層の少なくとも一方が電源配線パターンとなっている領域に保持容量Ｃが形成されている。具体的には、図１０に示すように、発光部ＯＬＥＤの横に配線されている電源線Ｖdd（ソースメタル層２０６）の下に、ゲートメタル層２０４を平行して積層させることにより、保持容量Ｃが形成されている。

【００８１】

この保持容量Ｃは、実施形態１において説明した保持容量と同様に、保持容量

Ｃの形成に関係する複数の層間（例えば、ソースメタル層２０６、ゲートメタル層２０４、半導体層２０２）に重複領域を生じさせることにより保持容量Ｃが形成されており、保持容量Ｃが形成される重複領域付近において、複数の層のうちより下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。具体的には、図１１（ｂ）に示すように、ソースメタル層２０６の幅をｄ１１、ゲートメタル層２０４の幅をｄ１２、半導体層２０２の幅をｄ１３とした場合に、

ｄ１３＞ｄ１２＞ｄ１１

という関係が生じている。下層にいくほどパターン形状を大きくしていくのである。

【００８２】

どのくらい大きくすべきかは、製造プロセスの精度とパターン密度によって変わる。考え方としては、より上層側に配置される層の形成時において生じうる最大の位置ずれを生じた場合であっても、より上層側に配置される層の領域が、より下層側に配置される層の領域内に収まるような形状に各層をパターン形成することである。本実施形態においても、差分ｄ１３－ｄ１２、ｄ１２－ｄ１１は製造プロセスで予測される位置ずれの量と同じかそれ以上になるように設計されている。

（バンク層下の保持容量）

前述した保持容量は、隣接する前記発光部間を隔離するためのバンク層２０８の下に形成されていることが好ましい。すなわちバンク層は画素分離のために必要であるため、この領域の下に、電源線の配線領域と保持容量のための重複領域を重ねる合わせることにより、周辺回路の面積を大幅に縮小することができるからである。

（周辺回路のスペースの削減）

実施形態１と同様に、本実施形態２では、複数のトランジスタ等の能動素子のうち少なくとも一つの能動素子が、他の能動素子と同一コンタクトホールで接続されるように配線パターンを作成した。具体的には、図１０に示すように、トランジスタＴ１２、Ｔ１３、およびＴ１４が同一のコンタクトホール、ｈ１３で相

互に接続されている。このように、回路上共通接点が多くなるように回路を設計し、共通接点になる部分を同一接続点で接続するように各素子を配置することによって、コンタクトホールの数を減少し、コンタクトホールのために使用される周辺回路の面積を減少させることができる。

【００８３】

その他の特徴、例えば発光部の平面形状、ゲートメタル層の電極からの離間処理、周辺回路の動作、周辺回路の電流維持性能の向上などについては、実施形態１と同様であり、その説明を省略する。

＜実施形態４＞

図１２に、本発明の実施形態３における電界発光装置について、一つの画素領域およびその周辺の配線パターンを説明する平面図を示す。図１３に、図１２に示された切断面における層構造を説明する各断面図を示す。図１２（ａ）はＡ－Ａ切断面、図１２（ｂ）はＢ－Ｂ切断面における層構造を示している。これら図面では、実施形態３と同様に、主要な半導体層２０２、ゲートメタル層２０４、ソースメタル層２０６、陽極層２１０、の各々のパターンが判るように示してある。

【００８４】

実施形態４の電界発光装置の構成は、段差形状Stepを構成する親和性制御膜２１３の存在を除き、実施形態１および２の電界発光装置と同一である。このため、実施形態１および２と同一の要素については同一符号を図面に付すこととしその説明を省略する。

【００８５】

以下に本実施形態の特徴を述べる。

（親和性制御層）

図１２（ｂ）に示すように、実施形態４における発光部ＯＬＥＤは、親和性制御層２１３を、第２層間絶縁膜２０７とバンク層２０８との間に備えている。この親和性制御層２１３は、画素領域全体に形成する必要はないが、少なくとも発光部の境界付近に備える必要がある。親和性制御層２１３は、発光部の形成に用いられる薄膜材料液と親和性がある必要がある。バンク層２０８は、本実施形態

において、発光部の境界付近の壁面を形成しており、発光層２１０の形成時に使用する薄膜材料液に対し非親和性を示すように材料が選択されて、親和性制御層２１３の上に積層されている。このため親和性制御層２１３は、図１２および図１３（ｂ）に示すように、バンク層のなす壁面に対して発光部内側で階段形状Stepを形成している。

【００８６】

親和性制御層２１３の材料は、発光層の製造時において、インクジェット方式により発光領域に充填する薄膜材料液がどのような性質を備えているかに応じて決める。例えば、薄膜材料液が極性分子を多く備える液体であれば極性基を有するものが親和性制御層の材料となる。逆に、薄膜材料液が極性分子の少ない材料液であれば、非極性基を多く有するものが親和性制御層の材料となる。また、充填する薄膜材料液の表面張力によっても親和性制御層の親和性の程度が決まる。例えば、水に対して親和性の少ない材料を親和性制御層に使用したとしても薄膜材料液が水より表面張力の小さい溶剤を多量に含んでいると、その薄膜材料液は水より表面張力が小さくなり、当該親和性制御層は当該薄膜材料液に対して親和性を示すようになる。したがって、親和性制御層の材料を何にするかは、使用する薄膜材料液によって種々に変更して適用することになる。

【００８７】

親和性制御層２１３は、Ａｌ、Ｔａ等の金属、酸化シリコン、窒化シリコン、アモルファスシリコン、ポリシリコン、ポリイミド、フッ素結合を有する有機化合物、フォトレジストのうちいずれかから構成される無機化合物または有機化合物で構成されることが好ましい。絶縁性が必要なら金属以外の化合物で親和性制御層を構成する。これらの材料は、薄膜材料液に対する接触角の相違によって、親和性の程度が決まる。すなわち親和性であるか非親和性であるかは相対的に決まり絶対的なものではない。表面処理の有無によっても親和性の程度が変動する。

【００８８】

バンク層２０８は、親和性制御層２１３より親和性の程度が少ない材料で構成するのが好ましい。バンク層の親和性の程度を親和性制御層より小さくすること

で、バンク層の非親和性により薄膜材料液が退けられ隣接する画素領域との間で薄膜材料液がつながることを防止でき、ショートを避けることができるからである。また、バンク層の非親和性により過剰に薄膜材料液がバンク層側へ引かれ薄膜材料液の均一性が損なわれることを防止できるからである。

【００８９】

このように、本実施形態によれば、薄膜材料液と親和性のある親和性制御層を発光部の境界付近に備えたので、均一な膜厚の発光層を形成することが可能である。

【００９０】

また、本実施形態によれば、発光部の境界付近の壁面を形成するバンク層が、薄膜材料液に対し非親和性を示すものとしたので、隣接画素領域との間でのショートを防止することができ、さらに均一な膜厚の発光層を形成することが可能である。

【００９１】

なお、本実施形態では、親和性制御層２１３を階段形状に形成したが、層断面の厚みを十分とれる場合には、階段形状を呈すること無い壁面、つまりバンク層との間で段差の無い単一壁面を形成していてもよい。

【００９２】

その他の本実施形態４における利点は、実施形態１と同様であるため、その説明を省略する。

＜実施形態５＞

本実施形態は、上記実施形態で説明した画素領域を利用した表示装置およびその表示装置を備える電子機器に関する。

【００９３】

図１４に、本実施形態の表示パネル１の接続図を示す。表示パネル１は、図１に示したように、表示領域１１内に画素領域を配置して構成される。画素領域としては、実施形態１または２の画素領域１０または実施形態３または４の画素領域２０を適用可能である。ドライバ領域１５からは、発光制御線Vgpおよび書き込み制御線Ｖselが各画素領域に供給されている。ドライバ領域１４からは、電

流線Ｉdataおよび電源線Ｖddが各画素領域に供給されている。書き込み制御線Ｖselと定電流線Ｉdataを制御することにより、各画素領域に対する電流プログラムが行われ、発光制御線Ｖgpを制御することにより発光が制御される。

【００９４】

本実施形態の表示パネル１は、種々の電子機器に適用可能である。図１５に、本表示パネル１を適用可能な電子機器の例を挙げる。

【００９５】

図１５（ａ）は携帯電話への適用例であり、当該携帯電話３０は、アンテナ部３１、音声出力部３２、音声入力部３３、操作部３４、および本発明の表示パネル１を備えている。このように本発明の表示パネルは表示部として利用可能である。

【００９６】

図１５（ｂ）はビデオカメラへの適用例であり、当該ビデオカメラ４０は、受像部４１、操作部４２、音声入力部４３、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、ファインダーや表示部として利用可能である。

【００９７】

図１５（ｃ）は携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ５０は、カメラ部５１、操作部５２、および本発明の表示パネル１を備えている。このように本発明の表示パネルは、表示部として利用可能である。

【００９８】

図１５（ｄ）はヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ６０は、バンド６１、光学系収納部６２および本発明の表示パネル１を備えている。このように本発明の表示パネルは画像表示源として利用可能である。

【００９９】

図１５（ｅ）はリア型プロジェクターへの適用例であり、当該プロジェクター７０は、筐体７１に、光源７２、合成光学系７３、ミラー７４・７５ミラー、スクリーン７６、および本発明の表示パネル１を備えている。このように本発明の

表示パネルは画像表示源として利用可能である。

【０１００】

図１５（ｆ）はフロント型プロジェクターへの適用例であり、当該プロジェクター８０は、筐体８２に光学系８１および本発明の表示パネル１を備え、画像をスクリーン８３に表示可能になっている。このように本発明の表示パネルは画像表示源として利用可能である。

【０１０１】

上記例に限らず本発明の表示パネル１は、アクティブマトリクス型の表示装置を適用可能なあらゆる電子機器に適用可能である。例えば、この他に、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、ＤＳＰ装置、ＰＤＡ、電子手帳、電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

【０１０２】

【発明の効果】

本発明によれば、少なくとも以下に述べるような利点がある。

【０１０３】

本発明によれば、保持容量の形成に関係する複数の層間に重複領域を生じさせることにより保持容量が形成されており、保持容量が形成される重複領域付近において、複数の層のうちより下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。このため、表示パネルの製造工程において金属層を積層する際に予定した位置よりもずれが生じたとしても、保持容量の容量値を規定するための面積自体には変動がなく、画素ごとに輝度がばらつくことの無い電界発光装置を提供可能である。

【０１０４】

本発明によれば、保持容量が形成される重複領域は、第１の金属層または第２の金属層の少なくとも一方が電源配線パターンとなっている領域に形成されるので、独立した保持容量を設けることなく電源線の配線パターンを利用して保持容量としているので、配線の面積を有効に利用することができる。この保持容量を保持容量はバンク層の下に形成することで、周辺回路の面積を大幅に削減でき、

さらに面積の有効利用を図ることができる。

【０１０５】

本発明によれば、第２の金属層によって形成される配線パターンは、発光層の電極の少なくとも一方から所定の距離以上離間して配置されている。このため、電界発光装置のように共通電極が全面に形成されていたとしても、能動素子の制御端子に接続される金属層との間で容量が生じるという問題を回避でき、能動素子の動作の遅れを防止し、設計した通りのタイミングでの動作が保証可能になる。

【図面の簡単な説明】

【図１】

本実施形態における表示パネルの全体図である。

【図２】

実施形態１における画素領域の平面図である。

【図３】

実施形態１における画素領域の断面図であり、（ａ）は図２のＡ－Ａ切断面、（ｂ）は図２のＢ－Ｂ切断面、（ｃ）は図２のＣ－Ｃ切断面である。

【図４】

発光部の境界形状の変形例であり、（ａ）は円形の発光部の場合、（ｂ）は中心線対称な屈曲部を有する発光部の場合、（ｃ）は中心線非対称な屈曲部を有する発光部の場合である。

【図５】

実施形態１における画素領域の回路図である。

【図６】

実施形態１における金属層のアライメントの説明図である。

【図７】

実施形態１におけるゲートメタルの離間処理の説明図である。

【図８】

実施形態２における画素領域の平面図である。

【図９】

実施形態２における画素領域の断面図であり、（ａ）は図８のＡ－Ａ切断面、（ｂ）は図８のＢ－Ｂ切断面、（ｃ）は図８のＣ－Ｃ切断面である。

【図１０】

実施形態３における画素領域の平面図である。

【図１１】

実施形態３における画素領域の断面図であり、（ａ）は図１０のＡ－Ａ切断面、（ｂ）は図１０のＢ－Ｂ切断面である。

【図１２】

実施形態４における画素領域の平面図である。

【図１３】

実施形態４における画素領域の断面図であり、（ａ）は図１２のＡ－Ａ切断面、（ｂ）は図１２のＢ－Ｂ切断面である。

【図１４】

実施形態５における表示パネルの接続図である。

【図１５】

実施形態５における電子機器の例であり、（ａ）は携帯電話、（ｂ）はビデオカメラ、（ｃ）は携帯型パーソナルコンピュータ、（ｄ）はヘッドマウントディスプレイ、（ｅ）はリア型プロジェクター、（ｆ）はフロント型プロジェクターへの本発明の表示パネルの適用例である。

【符号の説明】

１…表示パネル

１０、２０…画素領域

１１…表示領域

１２…陰極

１３…陰極取出電極

１４、１５…ドライバ領域

１６、１００、２００…ガラス基板

１０１，２０１…下地保護層

１０２，２０２…半導体層

１０３，２０３…ゲート絶縁膜

１０４，２０４…ゲートメタル層

１０５，２０５…第１層間絶縁膜

１０６，２０６…ソースメタル層

１０７，２０７…第２層間絶縁膜

１０８、２０８…バンク層

１０９、２０９…陰極

１１０，２１０…陽極

１１１，２１１…正孔輸送層

１１２、２１２…発光層

１１３，２１３…親和性制御層

Ｔ１，Ｔ２，Ｔ３，Ｔ４…薄膜トランジスタ

ｈ１、ｈ２、ｈ３、ｈ１１、ｈ１２、ｈ１３…スルーホール

Ｖsel…書き込み制御線

Ｖgp…発光制御線

Ｉdata…定電流線

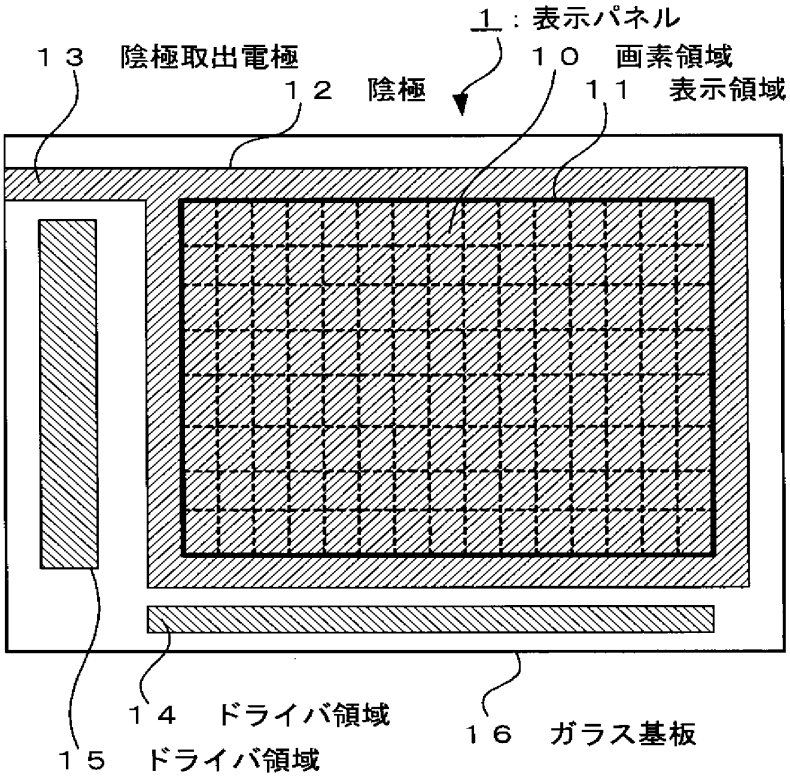
Ｖdd…電源線

Ｃ…保持容量

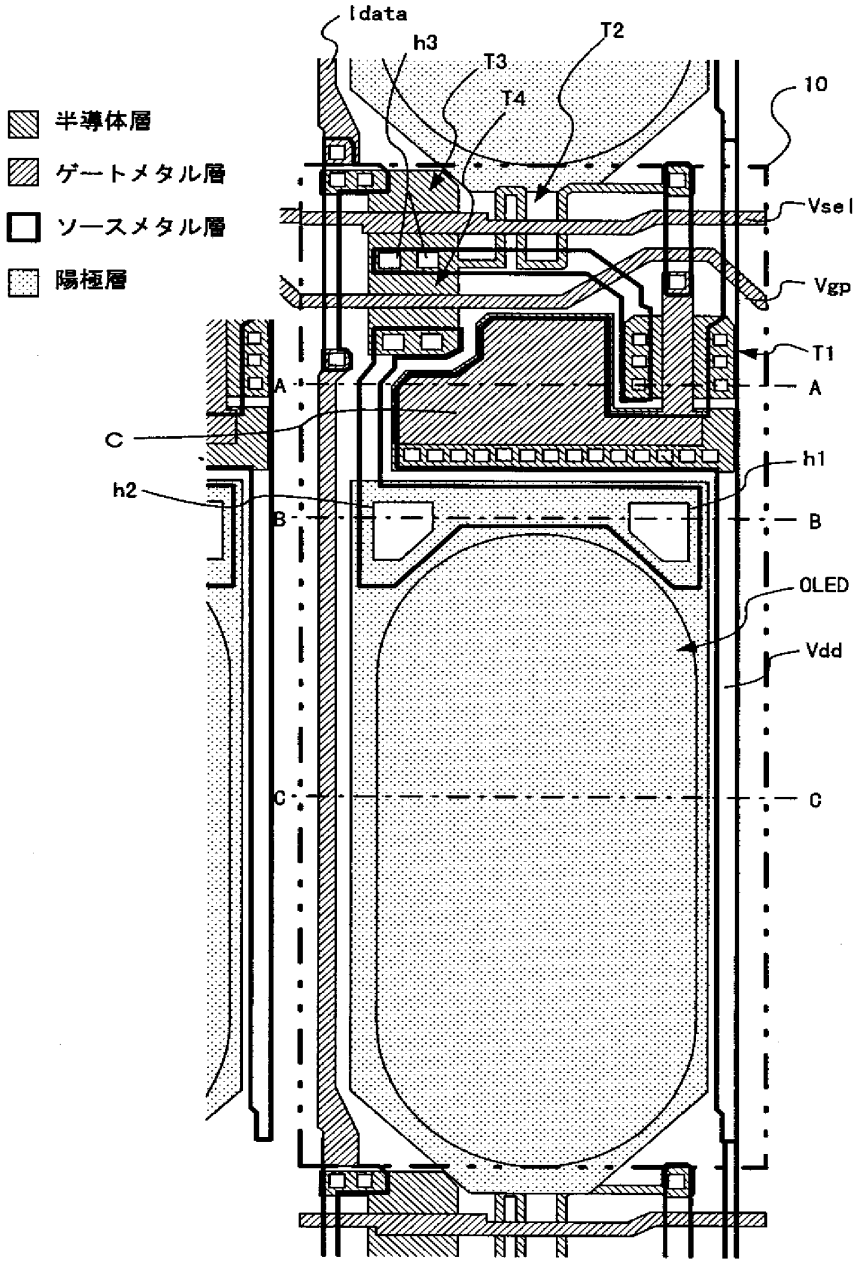
ＯＬＥＤ…発光部

【書類名】　図面

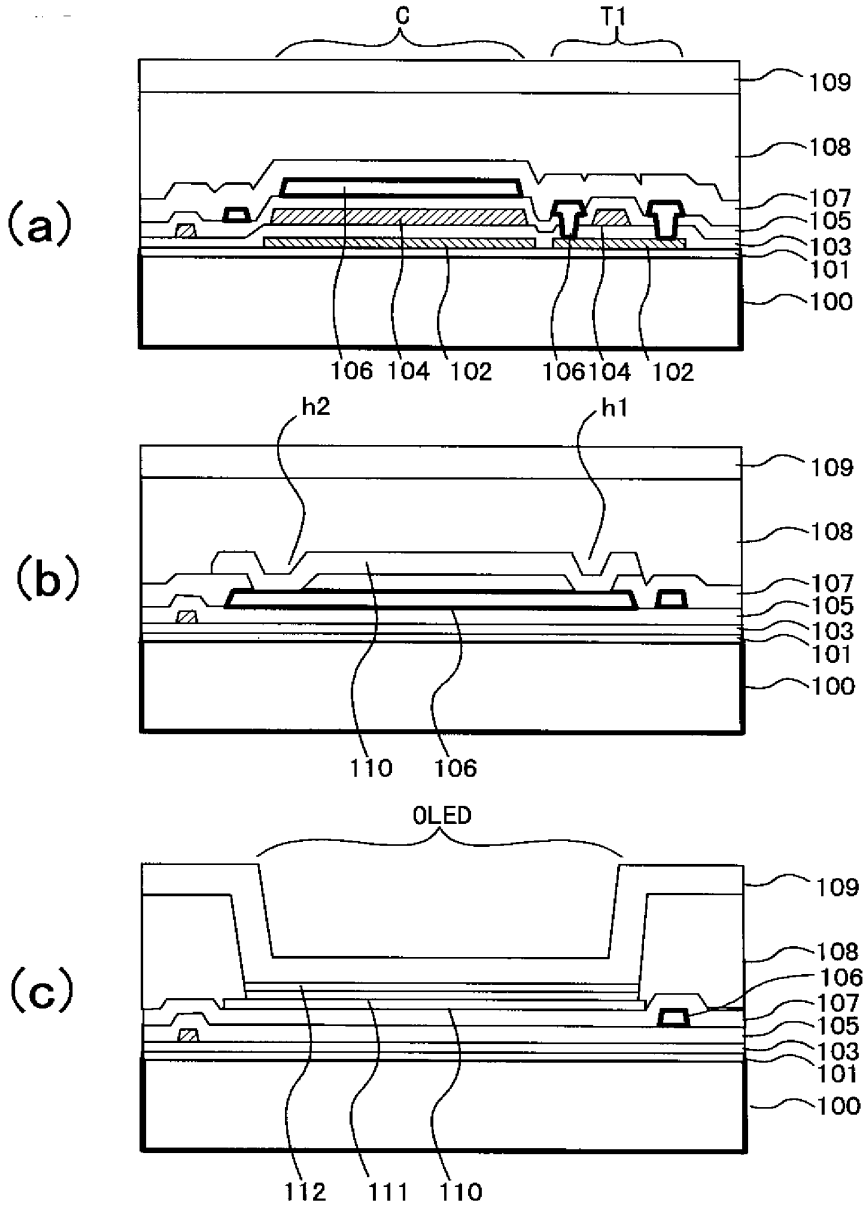
【図１】


１：表示パネル
１３　陰極取出電極
１２　陰極
１０　画素領域
１１　表示領域
１４　ドライバ領域
１５　ドライバ領域
１６　ガラス基板

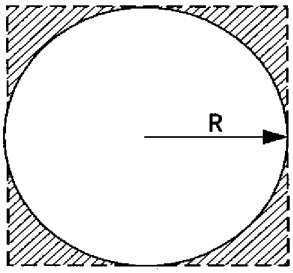
【図２】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T3
T2
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C

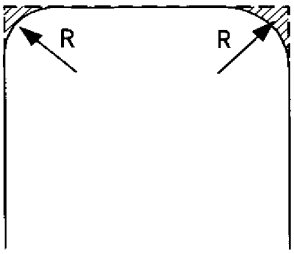
【図３】


(a)
C
T1
109
108
107
105
103
101
100
106
104
102
106
104
102
(b)
h2
h1
109
108
107
105
103
101
100
110
106
(c)
OLED
109
108
106
107
105
103
101
100
112
111
110

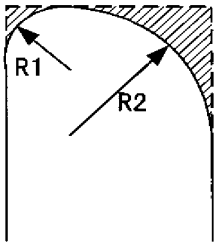
【図４】



(a)

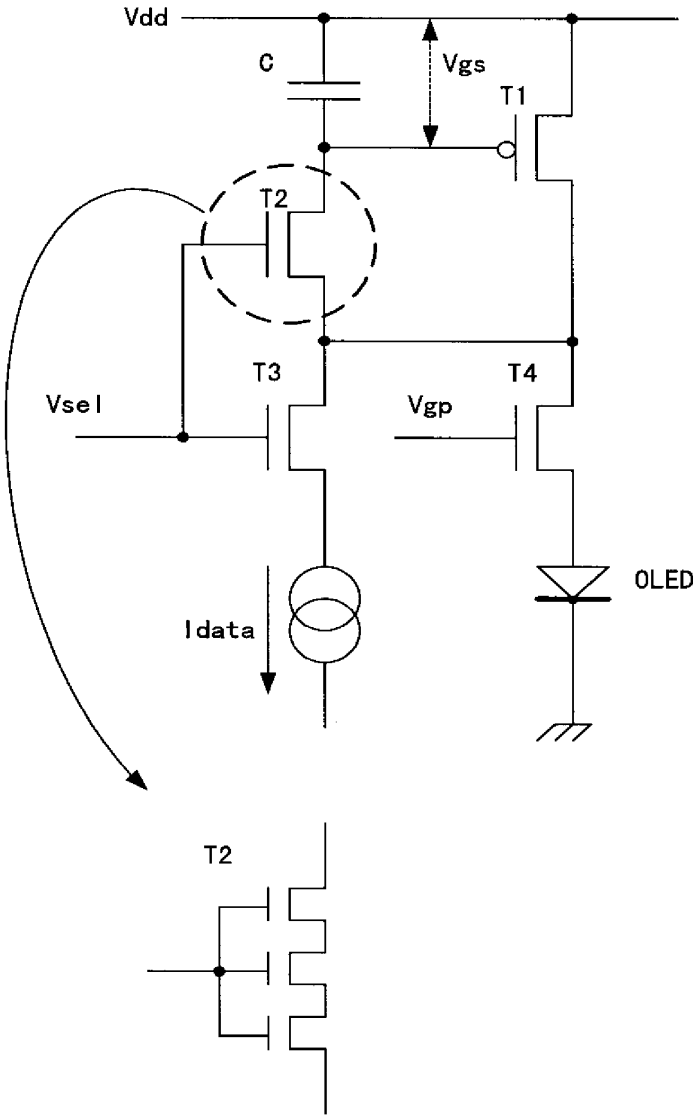


(b)

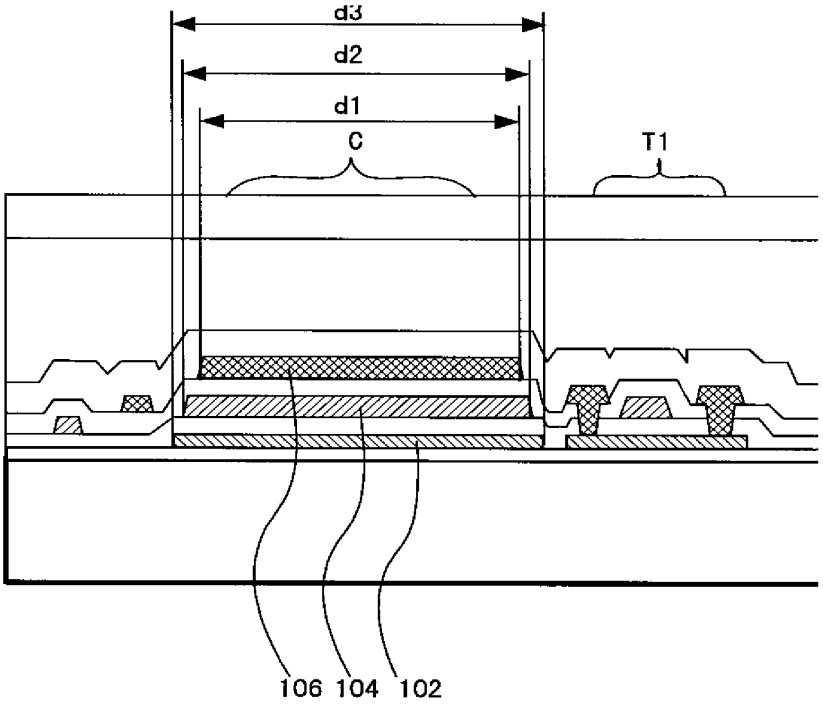


(c)

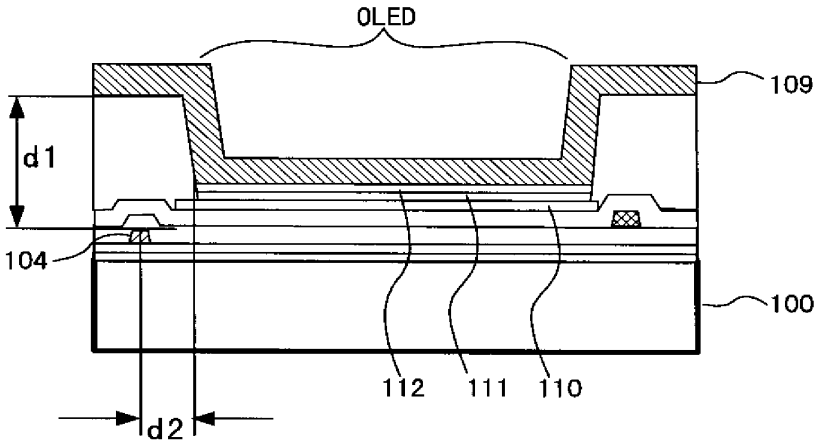
【図５】



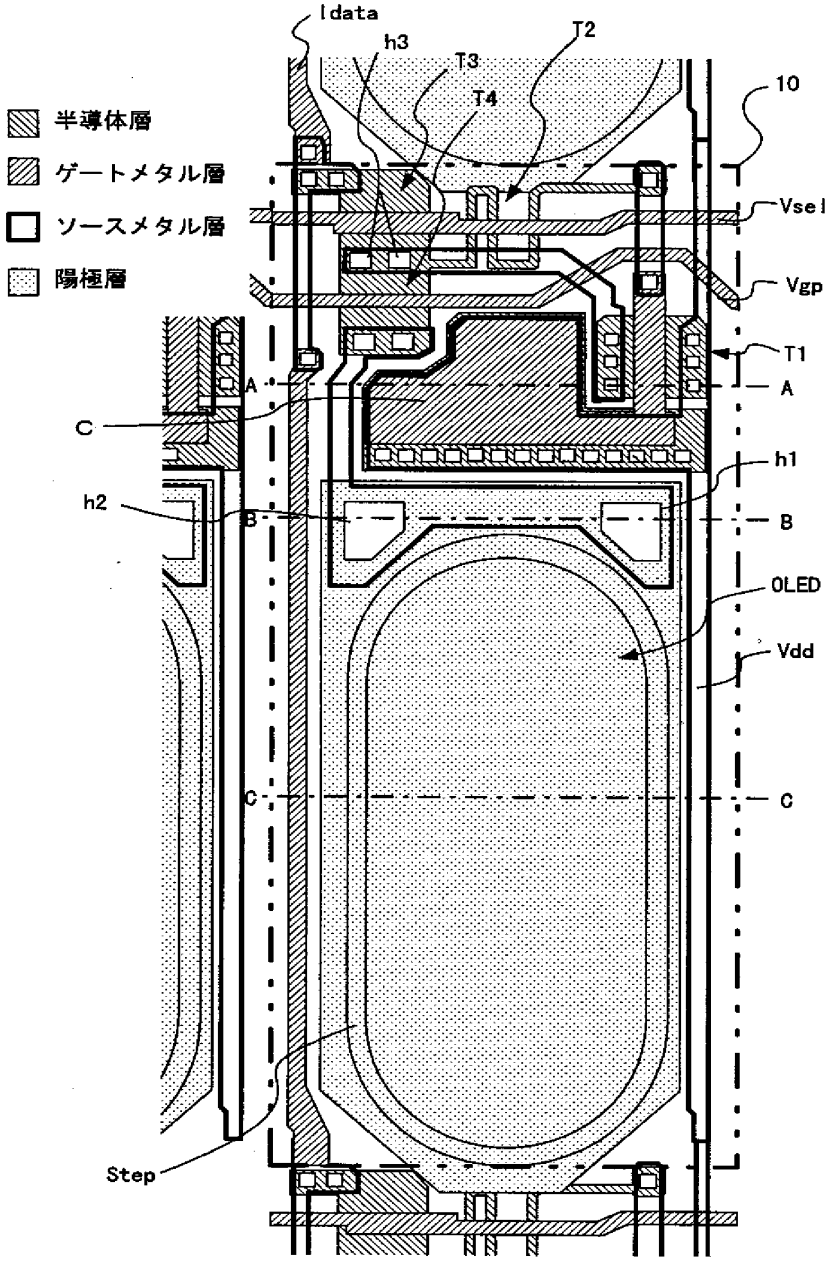
【図６】



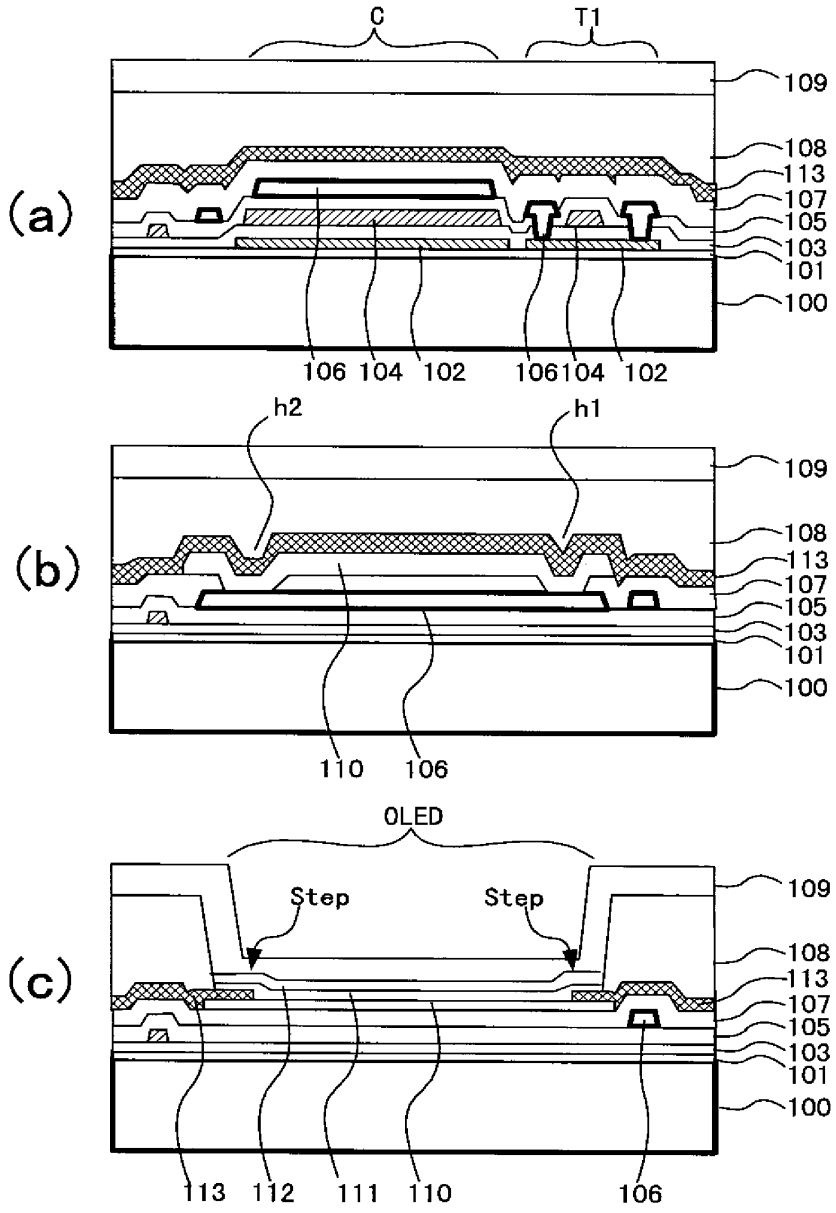
【図７】



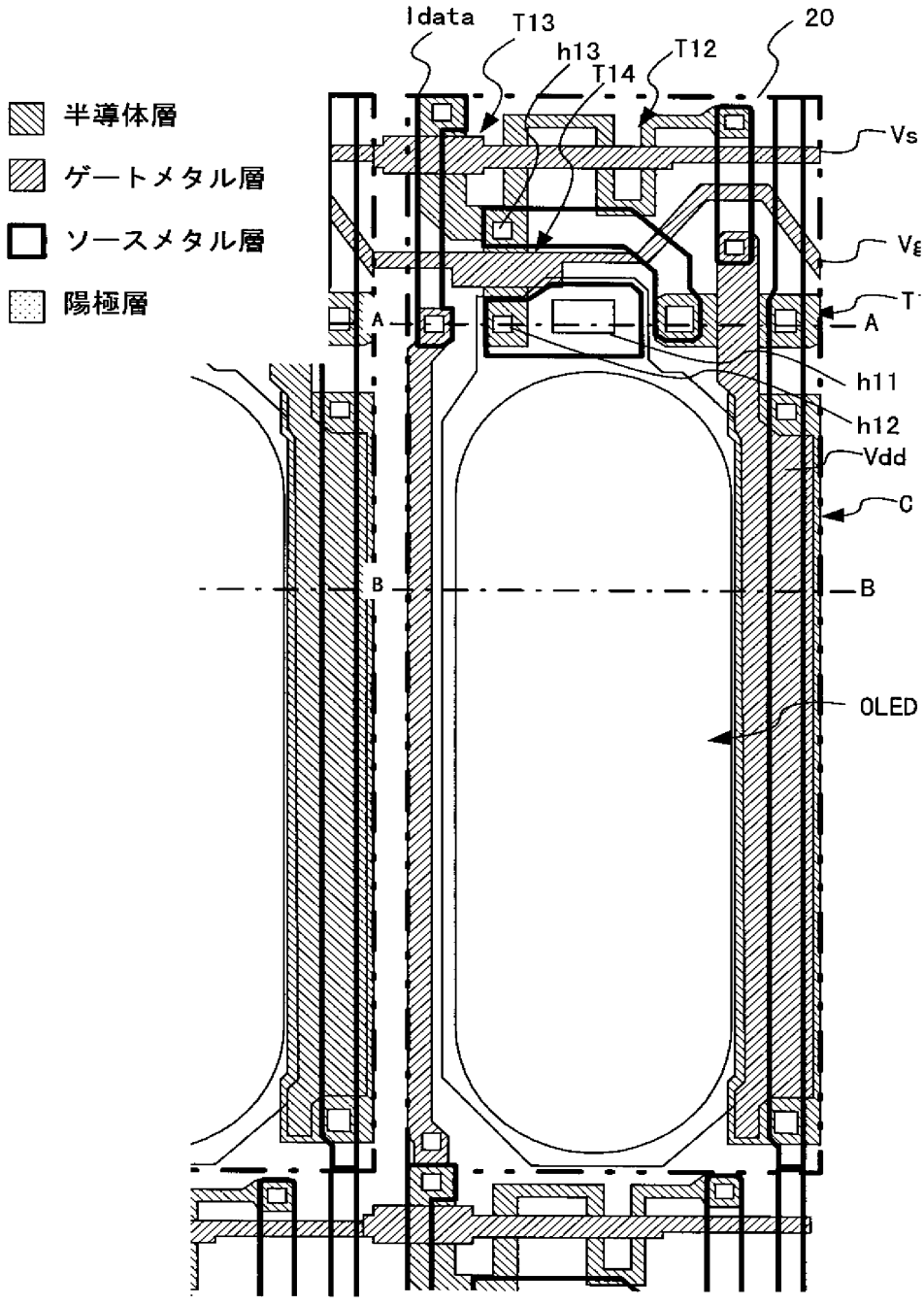
【図８】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
h3
T3
T2
T4
10
Vsel
Vgp
T1
A
A
C
h1
h2
B
B
OLED
Vdd
C
C
Step

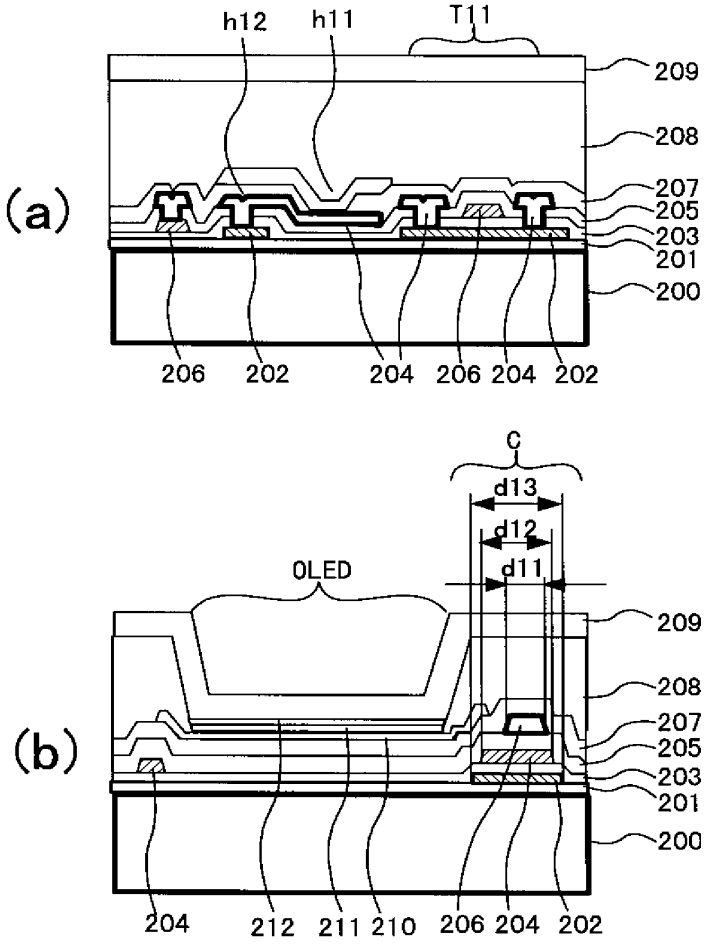
【図９】


(a)
C
T1
109
108
113
107
105
103
101
100
106
104
102
106
104
102
(b)
h2
h1
109
108
113
107
105
103
101
100
110
106
(c)
OLED
Step
Step
109
108
113
107
105
103
101
100
113
112
111
110
106

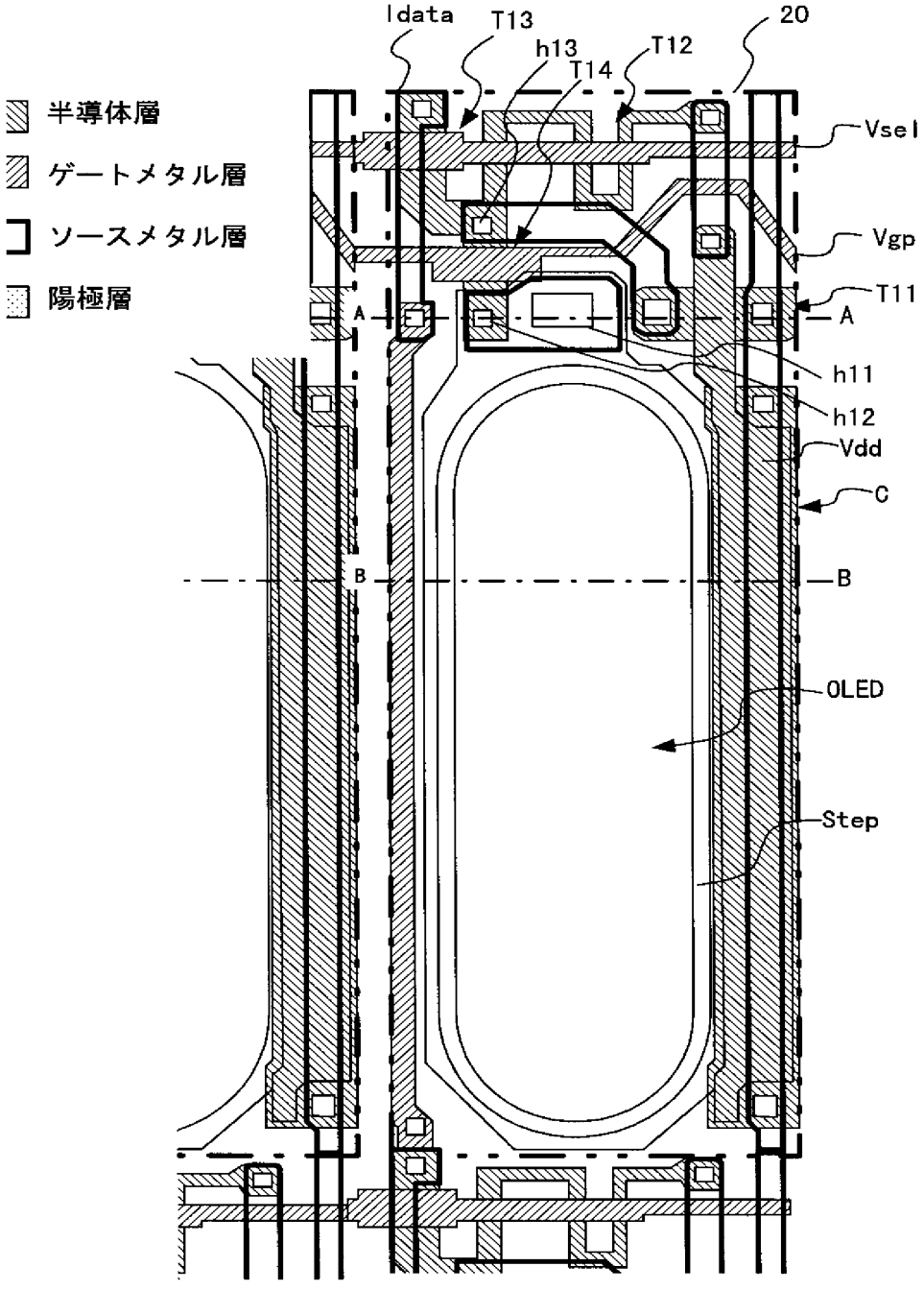
【図１０】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vs
Vg
T
A
A
h11
h12
Vdd
C
B
B
OLED

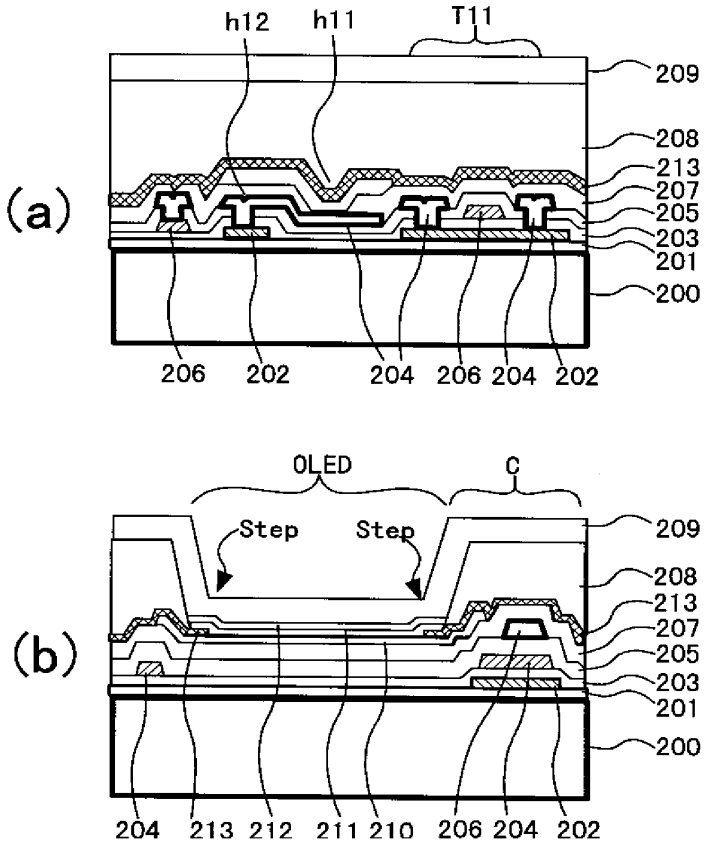
【図１１】


(a)
h12
h11
T11
209
208
207
205
203
201
200
206
202
204
206
204
202
(b)
C
d13
d12
d11
OLED
209
208
207
205
203
201
200
204
212
211
210
206
204
202

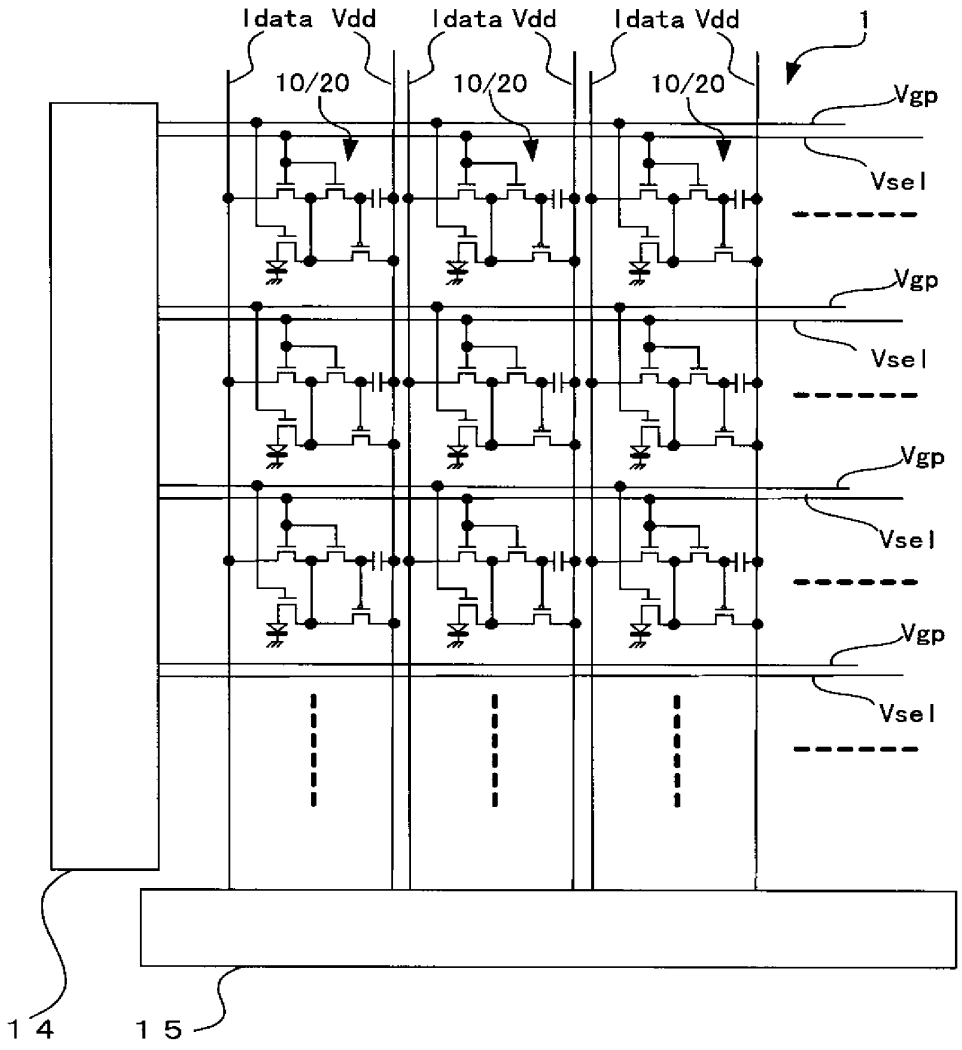
【図１２】


半導体層
ゲートメタル層
ソースメタル層
陽極層
Idata
T13
h13
T14
T12
20
Vsel
Vgp
T11
A
A
h11
h12
Vdd
C
B
B
OLED
Step

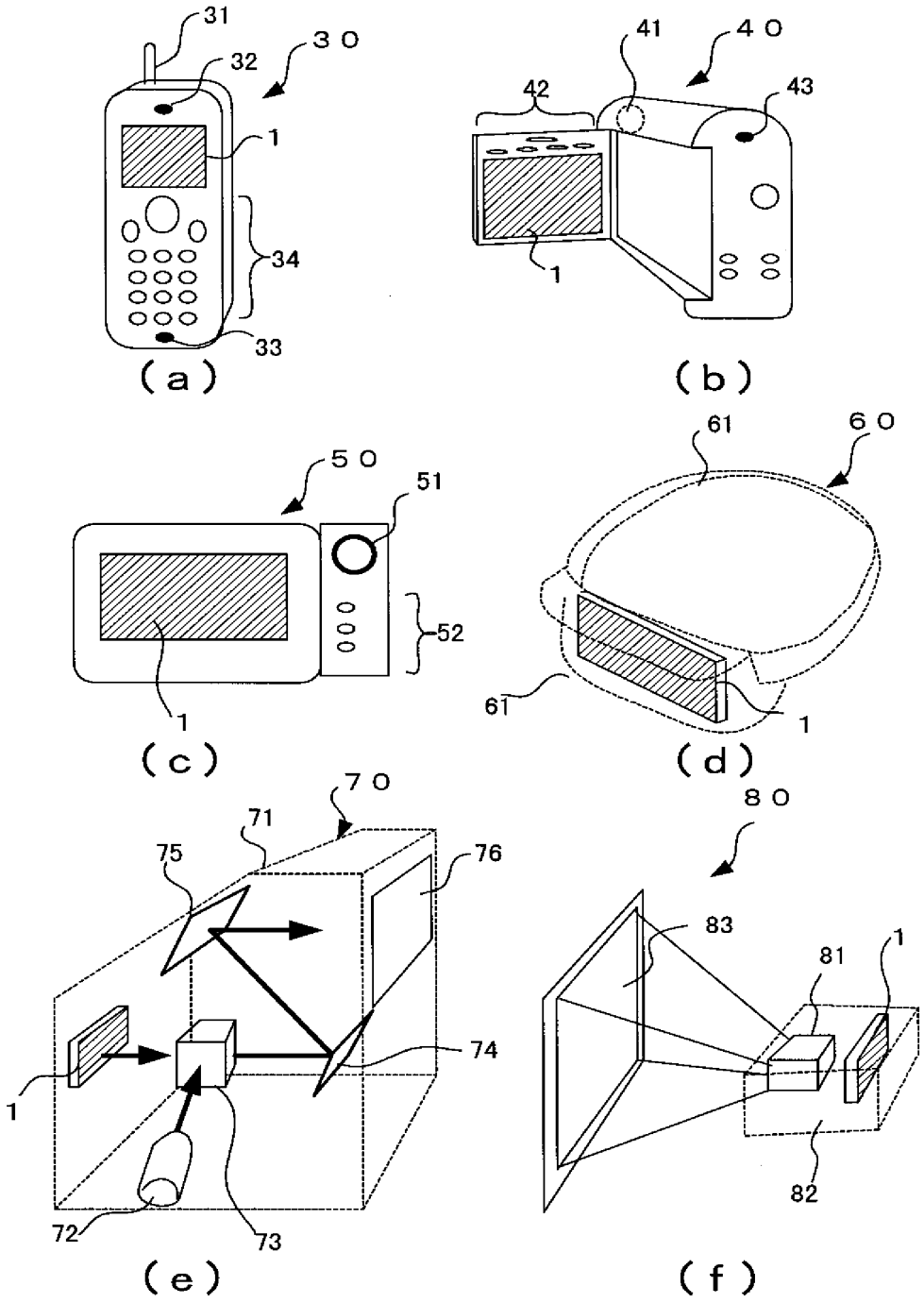
【図１３】


(a)
h12
h11
T11
209
208
213
207
205
203
201
200
206
202
204
206
204
202
(b)
OLED
C
Step
Step
209
208
213
207
205
203
201
200
204
213
212
211
210
206
204
202

【図１４】


Idata Vdd
Idata Vdd
Idata Vdd
1
10/20
10/20
10/20
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
Vgp
Vsel
14
15

【図１５】


31
30
32
1
34
33
(a)
41
40
42
43
1
(b)
50
51
52
1
(c)
61
60
61
1
(d)
70
71
75
76
74
1
72
73
(e)
80
83
81
1
82
(f)

【書類名】　要約書

【要約】

【課題】　製造工程において各層の位置ずれが生じたとても電界発光素子へ供給される電流量の変動を防止可能な電界発光装置における好適なパターン配置を提供することを目的とする。

【解決手段】　電界発光装置において、電界を印加することによって発光する電界発光素子に対し、保持容量に記録された電圧に従った電流を能動素子により供給可能に構成された電界発光装置において、保持容量の形成に関係する複数の層間に重複領域を生じさせることにより保持容量が形成されており、保持容量が形成される重複領域付近において、複数の層のうちより下層側に配置される層の占める領域がより上層側に配置される層の占める領域より大きく形成されている。

【選択図】　図２

出願人履歴

０００００２３６９

19900820

新規登録

５９２０５２４２７

東京都新宿区西新宿２丁目４番１号

セイコーエプソン株式会社

OPAP
NOV 26 2010
PATENT & TRADEMARK OFFICE
IAP24

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	APPLICATION NO. 12/917,885
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT(S) Yojiro MATSUEDA	
		FILING DATE November 2, 2010	GROUP 2811

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1	6,194,837	02/27/2001	Ozawa, Tokuroh

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation

OTHER DOCUMENTS

Examiner Initials	Cite No.	Including name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
	2	Office Action issued 11/12/2010 in U.S. Application No. 11/483,109.

EXAMINER	DATE CONSIDERED

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: November 26, 2010



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2811

Application No.: 12/917,885

Examiner:

Filed: November 2, 2010

Docket No.: 114251.03

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed (a) within three months of the U.S. filing date of this non-CPA application, OR (b) before the mailing date of a first Office Action on the merits in the present application. No certification or fee is required.

☒ 2. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

☒ 3. One or more reference cited herein was cited in an Office Action in U.S. Application No. 11/483,109. See References 1. A copy of the Office Action is submitted for the Examiner's consideration as Reference 2.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Obert H. Chu
Registration No. 52,744

JAO:OHC/kjb
Date: November 26, 2010

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry of this filing; Charge any fee due to our Deposit Account No. 15-0461

PTO/SB/20JP (05-10)
Approved for use through 01/31/2012. OMB 0651-0058
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

REQUEST FOR PARTICIPATION IN THE PATENT PROSECUTION HIGHWAY (PPH) PROGRAM BETWEEN THE JAPAN PATENT OFFICE (JPO) AND THE USPTO

Application No.:	12/917,885	Filing Date:	November 2, 2010
First Named Inventor:	Yojiro MATSUEDA		
Attorney Docket No.:	114251.03		
Title of the Invention:	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE		

THIS REQUEST FOR PARTICIPATION IN THE PPH PROGRAM ALONG WITH THE REQUIRED DOCUMENTS MUST BE SUBMITTED VIA EFS-WEB. INFORMATION REGARDING EFS-WEB IS AVAILABLE AT HTTP://WWW.USPTO.GOV/EBC/EFS_HELP.HTML.

APPLICANT HEREBY REQUESTS PARTICIPATION IN THE PATENT PROSECUTION HIGHWAY (PPH) PROGRAM AND PETITIONS TO MAKE THE ABOVE-IDENTIFIED APPLICATION SPECIAL UNDER THE PPH PROGRAM.

The above-identified application (1) validly claims priority under 35 U.S.C. 119(a) and 37 CFR 1.55 to one or more corresponding JPO application(s) or to a PCT application that does not contain any priority claim, or (2) is a national stage entry of a PCT application that does not contain any priority claim.

The JPO/PCT application number(s) is/are: Japanese Patent Application No. 2007-185832, which is a continuation of Japanese Patent Application Nos. 2001-356007, 2001-371403 and 2001-371410. The present Application is a continuation of Application No. 11/483,109 filed July 10, 2006 which is a divisional of Application No. 10/299,861 filed November 20, 2002 and claims priority to Japanese Application Nos. 2001-356007, 2001-371403 and 2001-371410.

The filing date of the JPO/ PCT application(s) is/are: Japanese Patent Application No. 2007-185832 was filed July 17, 2007. Japanese Patent Application No. 2001-356007 was filed November 21, 2001, Japanese Patent Application No. 2001-371403 was filed December 5, 2001 and Japanese Patent Application No. 2001-371410 was filed December 5, 2001.

I. **List of Required Documents:**

a. **A copy of the latest JPO office actions (other than "Decision to Grant a Patent"*) in the above-identified JPO application(s)**

☒ Is attached.

☐ Is not attached because the JPO application was allowed in a first office action.

*It is not necessary to submit a copy of the "Decision to Grant a Patent" and an English translation thereof.

b. **A copy of all claims which were determined to be patentable by the JPO in the above-identified JPO application(s)**

☒ Is attached.

c. **English translations of the documents in a. and b. above along with a statement that the English translations are accurate are attached (if the documents are not in the English language). An accuracy statement for the English translation of the documents in a. above is not required if the English translation is a machine translation provided by the JPO.**

d. **(1) An information disclosure statement listing the documents cited in the JPO office actions**

☐ Is attached.

☐ Has already been filed in the above-identified U.S. application on _____

(2) Copies of all documents (except for U.S. patents or U.S. patent application publications)

☐ Are attached.

☒ Have already been filed in the above-identified U.S. application on November 2, 2010 and November 26, 2010.

This collection of information is required by 35 U.S.C. 119, 37 CFR 1.55, and 37 CFR 1.102(d). The information is required to obtain or retain a benefit by the public, which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

REQUEST FOR PARTICIPATION IN THE PATENT PROSECUTION HIGHWAY (PPH) PROGRAM BETWEEN THE JAPAN PATENT OFFICE (JPO) AND THE USPTO

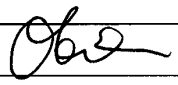
(continued)

Application No.:	12/917,885
First Named Inventor:	Yojiro MATSUEDA

II. Claims Correspondence Table:

Claims in US Application	Patentable Claims in JPO Application	Explanation regarding the correspondence
1, 2 and 5	1, 2 and 4	Claims 1, 2 and 5 of U.S. Application are identical to claims 1, 2 and 4 of JPO Application
3 and 4	3	Claims 3 and 4 of U.S. Application are equivalent to claim 3 of JPO Application written in single dependent form
6-10	5	Claims 6-10 of U.S. Application are equivalent to claim 5 of JPO Application written in single dependent form.

III. All the claims in the US application sufficiently correspond to the patentable/allowable claims in the JPO application.

Signature 	Date 2/4/11
Name (Print/Typed) James A. Oliff	Registration Number 27,075
Name (Print/Typed) Obert H. Chu	Registration Number 52,744

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry of this filing; Charge any fee due to our Deposit Account No. 15-0461

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

I. List of Required Documents

a. A copy of all JPO office actions (other than "Decision to Grant a Patent") in the JPO application(s)

- Notification of Reasons for Rejection (in Japanese)

整理番号:J010911102　発送番号:165486　発送日:平成22年 3月 8日　T01

拒絶理由通知書

特許出願の番号	特願２００７－１８５８３２
起案日	平成２２年　３月　３日
特許庁審査官	小西　隆　　４０８１　２０００
特許出願人代理人	稲葉　良幸（外　２名）　様
適用条文	第１７条の２第３項、第２９条第２項

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から６０日以内に意見書を提出してください。

理　由

本願は、本出願人と同一の出願人が、平成１４年１１月２１日に出願した特願２００３－５４６３２２号（以下「親出願」という。）を、特許法第４４条第２項に規定する「もとの特許出願」（以下「原出願」という。）として、その一部を分割出願（特願２００４－１２４０３６号、以下「子出願」という。）をし、さらに、平成１９年７月１７日に、子出願を原出願として、その一部を分割出願（以下「孫出願」という。）をしたものである。

したがって、本願に係る出願は、平成１４年１１月２１日にされたものとみなされる。

１．平成１９年８月１４日付けでした手続補正は、下記の点で願書に最初に添付した明細書、特許請求の範囲又は図面（以下「当初明細書等」という。）に記載した事項の範囲内においてしたものでないから、特許法第１７条の２第３項に規定する要件を満たしていない。

記

・理由１

備考：

補正後の請求項１、２に係る発明は、それぞれ「第１のトランジスタのソースおよびドレインの一方に電気的に接続された電気光学素子」を補正事項に含むものであるが、当初明細書等には、第１のトランジスタであるトランジスタＴ１と電気光学素子である発光部ＯＬＥＤの陽極とが直列に接続される旨が開示されて

いる（段落【００１９】参照）と認められる。そして、補正後の請求項１、２に記載された「電気的に接続」という概念には、当初明細書等に記載された「直列接続」以外の接続が含まれることが明らかであり、また、当該直列接続以外の接続について、当初明細書等の記載から当業者にとって自明な事項であるとは言えない。

すなわち、請求項１、２についての手続補正は、当初明細書等の範囲でしたものではない。同じく「電気的に接続された」との記載を含む段落【０００６】、【０００７】についての手続補正についても同様である。

なお、「電気的に接続」を「直列に接続」と補正した場合、「親出願」である特願２００３－５４６３２２号において拒絶査定時に確定した請求項９が、本願の請求項３と抵触する可能性があることについても留意されたい。

２．本願の下記の請求項に係る発明は、その出願前に日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第２９条第２項の規定により特許を受けることができない。

記　　（引用文献等については引用文献等一覧参照）

・理由２
・請求項１～４
・引用文献１、２
備考：

引用文献１のＦＩＧ．１３、１４に示す有機ＥＬ素子画素回路構成において、ＴＦＴ１、ＴＦＴ４は、それぞれ本願の「第１のトランジスタ」、「第２のトランジスタ」に相当すると認められる（明細書第２７頁第４行～第２８頁第６行、ＦＩＧ．１３、１４参照）。

そして、引用文献１には、ＴＦＴ４について、ＴＦＴ４ａとＴＦＴ４ｂと直列に接続したダブルゲート構成とすることにより、リーク電流防止効果が得られる旨が記載されている（同第２０頁第１２行～第２１頁５行、ＦＩＧ．８参照）。

そこで、引用文献１のＦＩＧ．１３、１４に開示された有機ＥＬ素子画素回路において、ＴＦＴ４をマルチゲート構成とすることは、当業者が容易に想到し得たことである。そして、この際に、ＴＦＴ１とＴＦＴ４とを逆極性に設定することは、設計事項として当業者が適宜設定し得たことに過ぎない。

また、有機ＥＬ素子のアクティブマトリクス駆動技術において、ゲート配線またはソース配線を半導体層と異なる金属層で構成することは、本願出願前の周知

技術であり（一例として、引用文献２の図５参照）、また、ＴＦＴ構造にＬＤＤ構造を採用することは、本願出願前の周知技術であり（一例として、引用文献２の段落【００９５】、図５参照）、さらに、複数のＴＦＴ間でコンタクトホールを介して配線接続することについても周知技術である（一例として、引用文献２の図５（ｃ）参照）。

以上から、請求項１～４に係る発明は、引用文献１、２から、当業者が容易に想到し得たものである。

引 用 文 献 等 一 覧

１．国際公開第０１／００６４８４号
２．特開２００１－３１８６２８号公報

－ － － － － － － － － － － － － － － － －

先行技術文献調査結果の記録

・調査した分野　　ＩＰＣ
Ｈ０１Ｌ５１／５０－５１／５６
Ｈ０１Ｌ２７／３２
Ｈ０５Ｂ３３／００－３３／２８

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

－ － － － － － － － － － － － － － － － －

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡ください。

特許審査第一部　応用光学（光学要素・ＥＬ素子）　　小西　隆
ＴＥＬ．０３（３５８１）１１０１　内線 ３２６９
ＦＡＸ．０３（３５０１）０４７８

I. List of Required Documents

b. A copy of all claims which were determined to be patentable by the JPO in the JPO application(s)

- All claims which were determined to be patentable by the JPO (in Japanese)

【書類名】 手続補正書
【整理番号】 J010911102
【あて先】 特許庁長官殿
【事件の表示】
【出願番号】 特願2007-185832
【補正をする者】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100079108
【弁理士】
【氏名又は名称】 稲葉 良幸
【補正により増加する請求項の数】 1
【手続補正1】
【補正対象書類名】 特許請求の範囲
【補正対象項目名】 全文
【補正方法】 変更
【補正の内容】
【書類名】特許請求の範囲
【請求項１】
データ線と、
制御線と、
前記データ線および前記制御線の交差部に対応して配置された単位回路と、を備え、
前記単位回路は、
第１のトランジスタと、
前記第１のトランジスタのソースおよびドレインの一方に電気的に接続された電気光学素子と、
前記ソースおよび前記ドレインの一方と前記第１のトランジスタのゲートとの間に接続された第２のトランジスタと、
前記第１のトランジスタのゲートに接続され、データ信号に応じた前記第１のトランジスタのゲート電圧を保持する保持素子と、を備え、
前記第１のトランジスタは前記ゲート電圧に基づいた電流を前記電気光学素子に供給し、
前記第２のトランジスタは、マルチゲート構造を有していること
を特徴とする電気光学装置。
【請求項２】
前記第１のトランジスタと前記第２のトランジスタとが逆極性である、
請求項１に記載の電気光学装置。
【請求項３】
前記第１のトランジスタおよび前記第２のトランジスタの間を接続する配線の少なくとも一部は、前記第１のトランジスタおよび前記第２のトランジスタが形成された半導体層とは異なる金属層に設けられ、
前記金属層は、前記第２のトランジスタのゲートが形成されるゲートメタル層とは異なる層であって、前記第１のトランジスタおよび前記第２のトランジスタの間は、コンタクトホールを介して配線されている、
請求項１または２に記載の電気光学装置。
【請求項４】
前記単位回路が、前記保持素子と前記データ線との間に接続された第３のトランジスタを有し、
前記第２のトランジスタおよび前記第３のトランジスタが共通の制御信号によって制御

されることを特徴とする請求項１に記載の電気光学装置。
【請求項５】
請求項１乃至４のいずれかに記載の電気光学装置を備えた電子機器。

【手続補正2】
【補正対象書類名】 明細書
【補正対象項目名】 発明の名称
【補正方法】 変更
【補正の内容】
【発明の名称】電気光学装置および電子機器

【手続補正3】
【補正対象書類名】 明細書
【補正対象項目名】 ０００５
【補正方法】 変更
【補正の内容】
【０００５】
本発明の目的の一つは、安定した輝度で電気光学素子を発光させることが可能な電気光学装置を提供することである。

【手続補正4】
【補正対象書類名】 明細書
【補正対象項目名】 ０００６
【補正方法】 変更
【補正の内容】
【０００６】
上記目的を達成するために、本発明の電気光学装置は、以下の構成を備えることを特徴とする。
（１）データ線と、制御線と、前記データ線および前記制御線の交差部に対応して配置された単位回路と、を備え、前記単位回路は、第１のトランジスタと、前記第１のトランジスタのソースおよびドレインの一方に電気的に接続された電気光学素子と、前記ソースおよび前記ドレインの一方と前記第１のトランジスタのゲートとの間に接続された第２のトランジスタと、前記第１のトランジスタのゲートに接続され、データ信号に応じた前記第１のトランジスタのゲート電圧を保持する保持素子と、を備え、前記第１のトランジスタは前記ゲート電圧に基づいた電流を前記電気光学素子に供給し、前記第２のトランジスタは、マルチゲート構造を有していること。

【手続補正5】
【補正対象書類名】 明細書
【補正対象項目名】 ０００７
【補正方法】 変更
【補正の内容】
【０００７】
（２）上記（１）に記載の電気光学装置において、前記第１のトランジスタと前記第２のトランジスタとが逆極性である。

【手続補正6】
【補正対象書類名】 明細書
【補正対象項目名】 ０００８
【補正方法】 変更

【補正の内容】
【０００８】
（３）上記（１）または（２）に記載の電気光学装置において、前記第１のトランジスタおよび前記第２のトランジスタの間を接続する配線の少なくとも一部は、前記第１のトランジスタおよび前記第２のトランジスタが形成された半導体層とは異なる金属層に設けられ、前記金属層は、前記第２のトランジスタのゲートが形成されるゲートメタル層とは異なる層であって、前記第１のトランジスタおよび前記第２のトランジスタの間は、コンタクトホールを介して配線されている。

【手続補正7】
【補正対象書類名】 明細書
【補正対象項目名】 ０００９
【補正方法】 変更
【補正の内容】
【０００９】
（４）上記（１）に記載の電気光学装置において、前記単位回路が、前記保持素子と前記データ線との間に接続された第３のトランジスタを有し、前記第２のトランジスタおよび前記第３のトランジスタが共通の制御信号によって制御されること。
（５）上記（１）～（４）のいずれかに記載の電気光学装置を備えた電子機器。
【手数料の表示】
【予納台帳番号】 011903
【納付金額】 4,000円

I. List of Required Documents

c. English translations of the documents in a. and b. along with a statement that the English translations are accurate

- Notification of Reasons for Rejection (English translation)
- All claims which were determined to be patentable by the JPO (English translation)
- Statement that the English Translation of the Notification of Reasons for Rejection is accurate
- Statement that the English Translation of the claims which were determined to be patentable by the JPO is accurate

Translation

Reference Number: J010911102
Mailing No.: 165486
Mailing Date: March 8, 2010

NOTICE OF REASONS FOR REJECTION

Patent Application No.: 2007-185832
Drafting Date: March 3, 2010
JPO Examiner: Takashi Konishi 4081 2O00
Attorneys for Applicant: Yoshiyuki Inaba (and two others)
Applicable Sections: Sections 17bis(3) and 29(2)

The above-mentioned patent application should be rejected for the reasons stated below. The applicant may file an Argument against this Notice with the Japan Patent Office within sixty days from the mailing date above.

Reasons

The present application is a divisional application filed on July 17, 2007 by dividing part of its original application as defined in Section 44(2) of the Patent Law (such an original application hereinafter called an "original application"), Japanese Patent Application No. 2004-124036, which is also a divisional application made by dividing part of its original application, Japanese Patent Application No. 2003-546322, which was filed by the same applicant as that of the present application on November 21, 2002 (hereinafter, Application No. 2003-546322, Application No. 2004-124036 and the present application respectively called the "parent application," the "child application," and the "grandchild application").

Thus, the present application is deemed to have been filed on November 21, 2002.

1. The amendment made on August 14, 2007 does not comply with the requirements set forth in Section 17bis(3) of the Patent Law, since it has not been made within the scope of the matter described in the specification, claims, or drawings originally attached to the application (hereinafter called the "original specification, etc.") regarding the following point(s).

Notes

The invention according to amended claims 1 and 2 includes the amended matter of "an electro-optical element electrically connected to either a source or a drain of the first transistor"; however, the original specification, etc., can be considered as disclosing that a transistor T1, which corresponds to the first transistor, is serially connected to the anode of a light-emitting portion OLED, which corresponds to the electro-optical element (see paragraph 0019). The idea of being "electrically connected" recited in amended claims 1 and 2 obviously includes connections other than a "serial connection" which is described in the original specification, etc. In addition, it cannot be said that connections other than a serial connection are matters that a person skilled in the art would obviously understand from the descriptions in the original specification, etc.

Accordingly, the amendment to claims 1 and 2 has not been made within the scope of the matter described in the original specification, etc. The same also applies to the amendment to paragraphs 0006 and 0007 involving the phrase of "electrically connected."

Note that, if "electrically connected" is amended to "serially connected," there is a possibility that claim 9 of Japanese Patent Application No. 2003-546322, the "parent application," which was determined in its Decision of Rejection, may conflict with claim 3 of the present application.

2. The invention according to the below claims in the present application is unpatentable under Section 29(2) of the Patent Law, since it could have easily been made prior to the filing of the application by a person skilled in the art to which the invention pertains, based on inventions described in the below-identified publications distributed in Japan or overseas prior to the filing of the application, or based on inventions made available to the public through electronic media in Japan or overseas prior to the filing of the application.

Notes (including List of Cited References)

Reason 2
Claims 1-4
Cited references 1 and 2
Comments:

It can be considered that TFT1 and TFT4 in the organic EL device pixel circuit configuration shown in Figs. 13 and 14 of cited reference 1 correspond to the "first transistor" and the "second transistor" in the present application respectively (see page 27, line 4 to page 28, line 6 of the specification, and Figs. 13 and 14).

Cited reference 1 states that the effect of preventing leak current can be obtained by employing for TFT4 a double-gate structure in which TFT4a and TFT4b are serially connected (see page 20, line 12 to page 21, line 5 of the specification, and Fig. 8).

Employing a multi-gate structure for TFT4 in the organic EL device pixel circuit configuration disclosed in Figs. 13 and 14 of cited reference 1 is something that a person skilled in the art could have easily thought of, and in such employment, setting TFT1 and TFT4 to have opposite polarities is merely a matter of design that a person skilled in the art could have arbitrarily determined.

In addition, with regard to the active matrix driving technique for organic EL devices, forming a gate wiring or a source wiring in a metal layer which is different from a semiconductor layer is a technique that was well known prior to the filing of the present application (as one example, see Fig. 5 of cited reference 2), adopting an LDD structure for a TFT structure is also a technique well known prior to the filing of the present application (as one example, see paragraph 0095 and Fig. 5 of cited reference 2), and connecting several TFTs via contact holes is also a well-known technique (as one example, see Fig. 5(c) of cited reference 2).

Accordingly, a person skilled in the art could have easily thought of the invention according to claims 1-4 in view of cited references 1 and 2.

List of Cited References

1. WO01/006484
2. JP2001-318628 A

Record of Prior Art Reference Search Results

- Technical Field Searched: IPC H01L51/50-51/56
H0127/32
H05B33/00-33/28

This record of prior art reference search results does not constitute a reason for rejection.

If you have any questions concerning the content of this Notice of Reasons for Rejection, or wish to have an interview, please contact:

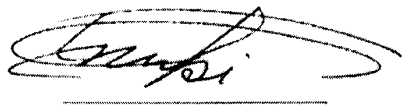
Takashi Konishi
First Patent Examination Department, Applied Optics Division (Optical Elements and EL Devices Sub-Division)
TEL: 03-3581-1101 Extension Number: 3269
FAX: 03-3501-0478

STATEMENT OF ACCURACY

I, Toshifumi Onuki, c/o TMI ASSOCIATES of 23rd Floor, Roppongi Hills Mori Tower, 6-10-1, Roppongi, Minato-ku, Tokyo 106-6123, Japan, do solemnly and sincerely declare that I well understand the Japanese and English languages and that the attached English version is full, true and faithful translation made by me this 2nd day of February 2011 of the Notice of Reasons for Rejection dated March 8, 2010, for the Japanese Patent Application No. 2007-185832.

In testimony whereof, I have hereunto set my name and seal this 2nd day of February 2011.

February 2, 2011



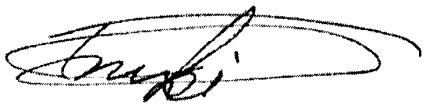
Toshifumi Onuki

STATEMENT OF ACCURACY

I, Toshifumi Onuki, c/o TMI ASSOCIATES of 23rd Floor, Roppongi Hills Mori Tower, 6-10-1, Roppongi, Minato-ku, Tokyo 106-6123, Japan, do solemnly and sincerely declare that I well understand the Japanese and English languages and that the attached English version is full, true and faithful translation made by me this 2nd day of February 2011 of the granted claims of the Japanese Patent Application No. 2007-185832 filed before the Japanese Patent Office on the 17th day of July 2007.

In testimony whereof, I have hereunto set my name and seal this 2nd day of February 2011.

February 2, 2011



Toshifumi Onuki

1. An electro-optical device comprising:

a data line;

a control line; and

a unit circuit arranged corresponding to an intersection of the data line and the control line, the unit circuit comprising:

a first transistor;

an electro-optical element electrically connected to one of a source or a drain of the first transistor;

a second transistor connected between the one of the source or the drain and a gate of the first transistor; and

a holding element that is connected to the gate of the first transistor and holds a gate voltage of the first transistor according to a data signal,

the first transistor supplying a current based on the gate voltage to the electro-optical element, and

the second transistor having a multi-gate structure.

2. The electro-optical device according to claim 1, wherein the first transistor and the second transistor have opposite polarities.

3. The electro-optical device according to claim 1 or 2,

wherein at least a portion of wiring between the first transistor and the second transistor is formed in a metal layer which is different from a semiconductor layer in which the first transistor and the second transistor are formed, and

wherein the metal layer is a layer different from a gate metal layer in which a gate of the second transistor is formed, and the wiring between the first transistor and the second transistor is provided through a contact hole.

4. The electro-optical device according to claim 1,

wherein the unit circuit further comprises a third transistor connected between the holding element and the data line, and

wherein the second transistor and the third transistor are controlled according to a common control signal.

5. An electronic device comprising an electro-optical device according to any one of claims 1-4.

I. List of Required Documents

d. Information Disclosure Statement listing the documents cited in the JPO office actions

- The references cited in the Notification of Reasons for Rejection were submitted in an Information Disclosure Statements filed on November 2, 2010 and November 26, 2010.

Electronic Acknowledgement Receipt

EFS ID:	9381887
Application Number:	12917885
International Application Number:	
Confirmation Number:	2374
Title of Invention:	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
First Named Inventor/Applicant Name:	Yojiro MATSUEDA
Customer Number:	25944
Filer:	James Albert Oliff/Kristin Bennett
Filer Authorized By:	James Albert Oliff
Attorney Docket Number:	114251.03
Receipt Date:	04-FEB-2011
Filing Date:	02-NOV-2010
Time Stamp:	17:48:56
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Petition to make Special under PCT-Patent Pros Hwy	11425103_Req_PPH.pdf	707976 9733004893d3c7a59ac2e962cd2bf99e5902e50c	no	21
Warnings:					
Information:					

Total Files Size (in bytes):	707976

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/917,885	11/02/2010	Yojiro MATSUEDA	114251.03	2374

25944 7590 02/08/2011

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

EXAMINER	
BOLOTIN, DMITRIY	
ART UNIT	PAPER NUMBER
2629	

NOTIFICATION DATE	DELIVERY MODE
02/08/2011	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

OfficeAction25944@oliff.com
jarmstrong@oliff.com

Office Action Summary	Application No.	Applicant(s)	
	12/917,885	MATSUEDA, YOJIRO	
	Examiner	Art Unit	
	DMITRIY BOLOTIN	2629	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☐ Responsive to communication(s) filed on _____.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-10* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *1-10* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *02 November 2010* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *11/02/2010, 11/26/2010*.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

It would be of great assistance to the Office if all incoming papers pertaining to a filed application carried the following items:

1. Application number (checked for accuracy, including series code and serial no.).
2. Group art unit number (copied from most recent Office communication).
3. Filing date.
4. Name of the examiner who prepared the most recent Office action.
5. Title of invention.
6. Confirmation number (See MPEP § 503).

Double Patenting

1. The nonstatutory double patenting rejection is based on a judicially created doctrine grounded in public policy (a policy reflected in the statute) so as to prevent the unjustified or improper timewise extension of the "right to exclude" granted by a patent and to prevent possible harassment by multiple assignees. A nonstatutory obviousness-type double patenting rejection is appropriate where the conflicting claims are not identical, but at least one examined application claim is not patentably distinct from the reference claim(s) because the examined application claim is either anticipated by, or would have been obvious over, the reference claim(s). See, e.g., *In re Berg*, 140 F.3d 1428, 46 USPQ2d 1226 (Fed. Cir. 1998); *In re Goodman*, 11 F.3d 1046, 29 USPQ2d 2010 (Fed. Cir. 1993); *In re Longi*, 759 F.2d 887, 225 USPQ 645 (Fed. Cir. 1985); *In re Van Ornum*, 686 F.2d 937, 214 USPQ 761 (CCPA 1982); *In re Vogel*, 422

F.2d 438, 164 USPQ 619 (CCPA 1970); and *In re Thorington*, 418 F.2d 528, 163 USPQ 644 (CCPA 1969).

A timely filed terminal disclaimer in compliance with 37 CFR 1.321(c) or 1.321(d) may be used to overcome an actual or provisional rejection based on a nonstatutory double patenting ground provided the conflicting application or patent either is shown to be commonly owned with this application, or claims an invention made as a result of activities undertaken within the scope of a joint research agreement.

Effective January 1, 1994, a registered attorney or agent of record may sign a terminal disclaimer. A terminal disclaimer signed by the assignee must fully comply with 37 CFR 3.73(b).

2. **Claims 1 – 8** are rejected on the ground of nonstatutory obviousness-type double patenting as being unpatentable over claims 1 – 13 of U.S. Patent No. 7,483,001. Although the conflicting claims are not identical, they are not patentably distinct from each other because the claims are directed towards an electro-optical device. The representative claim 8 of U.S. Patent No. 6,628,260 and claim 1 of instant application are compared as follows:

Claim 8 (including all of the limitations of claim 1) of U.S. Patent No. 7,483,001	Claim 1 of Instant application
An electro-optical device comprising: a plurality of **data lines**; a plurality of scan **lines**; a plurality of **unit circuits arranged corresponding to intersections of the plurality of data lines and the plurality of** scan **lines**,	**An electro-optical device comprising:** **a data line**; a control **line**; and **a unit circuit arranged corresponding to an intersection of the data line and the** control **line**,

each of the **unit circuits including**: **a first transistor;** **an electroluminescence element** being **connected** in series **to one of a source and a drain of the first transistor;** **a second transistor coupled between a gate of the first transistor and one of the source and the drain of the first transistor,** the second transistor having a structure to prevent leakage currents during shutoff, and the second transistor being one of an n-type transistor and a p-type transistor; **a holding element coupled to the gate of the first transistor,** **the holding element holding a** control **voltage**, **the first transistor supplying a current based on the** control **voltage to the electroluminescence element**, one of the source and the drain of the second transistor being coupled to the holding element; and at least a part of a wiring connecting between the gate of the first transistor and one of a source or a drain of the second transistor and between either of the source or the drain of the first transistor and the other of the source or the drain of the second transistor being formed in a source metal layer formed above a gate metal layer; **the second transistor being configured as a multi-gate transistor**.	the **unit circuit comprising**: **a first transistor;** **an electro-optical element** electrically **connected to one of a source or a drain of the first transistor;** **a second transistor connected between the one of the source or the drain and a gate of the first transistor;** and **a holding element that is connected to the gate of the first transistor** and **holds a** gate **voltage** of the first transistor according to a data signal, **the first transistor supplying a current based on the** gate v**oltage to the electro-optical element**, and **the second transistor having a multi-gate structure**.
Claim 8 of U.S. Patent No. 7,483,001 does not explicitly claim a control line but does claim a scan line and a person of ordinary skill in the art at the time of the	

invention would have been able to easily utilize the scan line to control the addressing of pixel elements. Additionally, Claim 8 of U.S. Patent No. 7,483,001 does not explicitly claim that electro-optical element is electrically connected but does claim that electroluminescent element is connected in series, it would have been obvious to one of ordinary skill in the art at the time of the invention that, in an electronic circuit, serially connected elements are in fact electrically connected. Finally, Claim 8 of U.S. Patent No. 7,483,001 does not explicitly claim current based on gate voltage but instead claims supplying current by a transistor based on a control voltage held by the holding element connected to the gate of said transistor, therefore, it would have been obvious to one of ordinary skill in the art at the time of the invention the a voltage controlling a gate of a transistor is nothing more than a gate voltage.

Claims 2 - 8 are rejected based on their dependence on claim 1.

Claim Rejections - 35 USC § 103

3. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

4. **Claims 1, 2 and 5 – 10** are rejected under 35 U.S.C. 103(a) as being unpatentable over Dawson et al. (US 6,229,506) in view of Yumoto (US 6,859,193).

As to **claim 1**, Dawson discloses an electro-optical device comprising: a data line (220 of fig. 2); a control line (210 of fig. 2); and a unit circuit arranged corresponding to an intersection of the data line and the control line (dig. 2), the unit circuit comprising: a first transistor (260 of fig. 2); an electro-optical element electrically connected to one of a source or a drain of the first transistor (290 of fig. 2); a second transistor connected between the one of the source or the drain and a gate of the first transistor (240 of fig. 2); and a holding element that is connected to the gate of the first transistor and holds a gate voltage of the first transistor according to a data signal (280 of fig. 2), and the first transistor supplying a current based on the gate voltage (inherently, TFT 260 is on based on voltage at the gate, inducing current through OLED) to the electro-optical element (290 of fig. 2). Dawson fails to disclose that the second transistor having a multi-gate structure.

In the same field of endeavor, Yumoto discloses a transistor having a multi-gate structure (TFT4 and TFT2 of fig. 8).

Therefore, it would have been obvious to one of ordinary skill in the art at the time of the invention to substitute the second transistor of Dawson with multi-gate structure transistor of Yumoto, because such structure suppresses and lowers leakage current (Yumoto, col. 14, lines 5 – 36).

As to **claim 2** (dependent on 1), Dawson discloses the electro-optical device, wherein a fourth transistor (270 of fig. 2) and the second transistor (240 of fig. 2) have opposite polarities (PMOS 240 and NMOS 270, col. 3, lines 10 – 30) and the first

transistor is the same polarity as the second transistor (PMOS 240 and PMOS 260, col. 3, lines 10 – 30).

Dawson fails to disclose that the first transistor and the second transistor have opposite polarity.

However, it would have been obvious to one of ordinary skill in the art at the time of the invention to interchange PMOS and NMOS selecting transistors, making transistors 240 and 250 NMOS and transistor 270 PMOS as a design choice alternative which would have not affected the functionality of the circuit and would have preserved 2.5 lines per pixel as disclosed by Dawson (col. 4, lines 5 – 25), thus the resultant circuit would have resulted in the first transistor and the second transistor having opposite polarity and would have only required a routine set of skills.

As to **claim 5** (dependent on 1), Dawson discloses the electro-optical device, wherein the unit circuit further comprises a third transistor (250 of fig. 2) connected between the holding element (280 of fig. 2) and the data line (220 of fig. 2), and wherein the second transistor (240 of fig. 2) and the third transistor (250 of fig. 2) are controlled according to a common control signal (210 of fig. 2).

As to **claim 6** (dependent on 1), Dawson discloses an electronic device comprising an electro-optical device according to claim 1 (matrix display, col. 1, lines 15 – 35).

As to **claim 7** (dependent on 2), Dawson discloses an electronic device comprising an electro-optical device according to claim 2 (matrix display, col. 1, lines 15 – 35).

As to **claim 8** (dependent on 3), Dawson discloses an electronic device comprising an electro-optical device according to claim 3 (matrix display, col. 1, lines 15 – 35).

As to **claim 9** (dependent on 4), Dawson discloses an electronic device comprising an electro-optical device according to claim 4 (matrix display, col. 1, lines 15 – 35).

As to **claim 10** (dependent on 5), Dawson discloses an electronic device comprising an electro-optical device according to claim 5 (matrix display, col. 1, lines 15 – 35).

5. **Claims 3 and 4** are rejected under 35 U.S.C. 103(a) as being unpatentable over Dawson in view of Yumoto and Koyama (US 7,277,070).

As to **claim 3** (dependent on 1) and **claim 4** (dependent on 2), Dawson discloses the electro-optical device, but Dawson in view of Yumoto fails to disclose that at least a portion of wiring between the first transistor and the second transistor is formed in a metal layer which is different from a semiconductor layer in which the first transistor and the second transistor are formed, and wherein the metal layer is a layer different from a gate metal layer in which a gate of the second transistor is formed, and the wiring between the first transistor and the second transistor is provided through a contact hole.

In the same field of endeavor, Koyama discloses at least a portion of wiring between the first transistor (104 of figs. 1 and 20) and the second transistor (103 of figs. 1 and 20) is formed in a metal layer (wiring line 183 of fig. 20) which is different from a

semiconductor layer in which the first transistor and the second transistor are formed (as shown in figs. 21 and 22, the conductive film layer comprising elements 5057 - 5062 of fig. 23A is formed outside of semiconductor layer 5004 - 5006 of fig. 21A), and wherein the metal layer (183 of fig. 20, which is conductive film layer comprising elements 5057 - 5062 of fig. 23A) is a layer different from a gate metal layer in which a gate of the second transistor is formed (185 of fig. 20, which is 5011 – 5015 of fig. 21B), and the wiring between the first transistor and the second transistor is provided through a contact hole (as shown in fig. 23A, in order to connect 5059 to the second switching transistor and 5061 to the current control TFT, a via has to be created through 5056).

Therefore, it would have been obvious to one of ordinary skill in the art at the time of the invention to modify the device of Dawson in view of Yumoto and to layout the transistors according to the layout disclosed by Koyama, so as to provide a light emitting device capable of obtaining a constant luminance irrespective of temperature change (Koyama, col. 3, lines 40 – 50).

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to DMITRIY BOLOTIN whose telephone number is (571)270-5873. The examiner can normally be reached on Monday-Friday, 7:30am - 5:00pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Amare Mengistu can be reached on (571)272-7674. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/D. B./
Examiner, Art Unit 2629

/Amare Mengistu/
Supervisory Patent Examiner, Art Unit 2629

Notice of References Cited	Application/Control No. 12/917,885	Applicant(s)/Patent Under Reexamination MATSUEDA, YOJIRO	
	Examiner DMITRIY BOLOTIN	Art Unit 2629	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-2001/0043173 A1	11-2001	TROUTMAN, RONALD ROY	345/82
*	B	US-2002/0021266 A1	02-2002	Koyama et al.	345/76
*	C	US-2002/0044111 A1	04-2002	Yamazaki et al.	345/83
*	D	US-2002/0186188 A1	12-2002	Cok, Ronald S.	345/82
*	E	US-6,501,448 B1	12-2002	Komiya et al.	345/80
*	F	US-7,277,070 B2	08-2004	Yamada, Tsutomu	257/72
*	G	US-6,958,740 B1	10-2004	Yumoto, Akira	345/211
*	H	US-6,859,193 B1	02-2005	Yumoto, Akira	345/82
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12917885	MATSUEDA, YOJIRO
	Examiner	Art Unit
	DMITRIY BOLOTIN	2629

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	01/28/2011								
	1	✓								
	2	✓								
	3	✓								
	4	✓								
	5	✓								
	6	✓								
	7	✓								
	8	✓								
	9	✓								
	10	✓								

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12917885	MATSUEDA, YOJIRO
	Examiner	Art Unit
	DMITRIY BOLOTIN	2629

SEARCHED			
Class	Subclass	Date	Examiner
345	76-83	1/28/2011	DB
315	169.1-169.4	1/28/2011	DB

SEARCH NOTES		
Search Notes	Date	Examiner
Google	1/28/2011	DB
EAST	1/28/2011	DB

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	1745	((oled or amoled or el or electroluminescent) and (second transistor) and layer and (via or (contact hole)))	US-PGPUB; USPAT; USOCR	ADJ	ON	2011/01/28 16:19
L2	1747	((oled or amoled or el or electroluminescent) and (second transistor) and layer and (via or (contact hole)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:20
L3	182	2 and @ad<"20011121"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:20
L4	845	((oled or amoled or el or electroluminescent) and (third transistor) and layer and (via or (contact hole)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:22
L5	63	4 and @ad<"20011121"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:23
L6	6782	345/76-83.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:27
L7	738	6 and (third transistor)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:28

L8	35	7 and @ad<"20011121"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:28
L9	4	FETlington	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:33
L10	56	paired fet	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:33
L11	39	10 and @ad<"20011121"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:34
L13	2245	315/169.1-169.4.ccls. and @ad<"20011121"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:36
L14	45	13 and (third transistor)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:37
L15	51	13 and (third (transistor or TFT))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:37
L16	3054	349/139.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:39
L17	34	349/139.ccls. and (third (transistor or TFT))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:39

L18	2	"20070188453"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:44
L19	5	"7208942".pn.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:44
L20	0	"200900096750"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:44
L21	2	"20090079711"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:44
L22	2	"20090096750"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:45
L23	11	18 or 19 or 21 or 22	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:45
L24	214	(first (transistor or TFT)) with (second (transistor or TFT)) with (contact hole)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:52
L25	109	(first (transistor or TFT)) with (second (transistor or TFT)) with (contact hole) with layer	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:52
L26	25	25 and @ad<"20011121"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:52

L27	8	((transistor or TFT)) with (contact hole) with (gate layer) with (metal layer)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:56
L28	2	gate with source with drail	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:58
L29	281354	gate with source with drain	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 16:58
L30	5800	cascade and 29	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 17:00
L31	2521	30 and @ad<"20011121"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 17:00
L32	2	(6 or 13) and 31	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 17:00
L33	1985	pixel layout	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 17:01
L34	652	29 and 33	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 17:01
L35	98	34 and @ad<"20011121"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 17:01

L41	10	("20010019327" | "20010026835" | "20010040565" | "20020008822" | "20020067323" | "20040207615" | "6194837" | "6781155" | "6794675" | "RE35827"). PN.	US-PGPUB; USPAT; USOCR	ADJ	ON	2011/01/28 17:52
L42	10	(US-20040207615-$ or US-20020021266-$ or US-20020186188-$ or US-20020044111-$ or US-20010043173-$).did. or (US-6781155-$ or US-7277070-$ or US-6859193-$ or US-6501448-$ or US-6958740-$).did.	US-PGPUB; USPAT	ADJ	ON	2011/01/28 17:52
L43	8	42 not 41	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 17:52
L44	2	42 not 43	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 17:52
S1	0	"12917885"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/27 17:37
S2	2	"7483001".pn.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/27 17:49
S3	1	(10/299861).APP.	US-PGPUB; USOCR	ADJ	ON	2011/01/27 17:49
S4	2	"6781155".pn.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 11:04

S5	3	"20040207615"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 11:16
S6	0	"12917885" and (opposite polarities)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 11:19
S7	0	"12917885" and (opposite)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 11:19
S8	3	"10299861" and (opposite)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 11:20
S9	3	"10299861" and (opposite polarities)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 11:20
S10	2	"20020067323"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 11:42
S11	2	"20100295820"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 11:49
S12	3	"20040207615"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 12:08
S13	1807	oled and @ad<"20011121"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 13:14

S14	69	S13 and 345/76.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 13:15
S15	262	S13 and "345"/$.ccls.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 13:17
S16	6	"09787036"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 13:43
S17	2	"6859913".pn.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 13:44
S18	2	"6859193".pn.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 13:44
S19	2	"20020008822"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2011/01/28 13:59
S20	286	("3590156" | "3761617" | "4006383" | "4114070" | "4482841" | "4528480" | "4532506" | "4554539" | "4613793" | "4652872" | "4736137" | "4797667" | "4957747" | "4958105" | "4962374" | "4963861" | "4975691" | "5003302" | "5028916" | "5063378" | "5079483" | "5095248" | "5172032" | "5302966" | "5463279" | "5670979" | "5684365" | "5952789").PN. OR ("6229506").URPN.	US-PGPUB; USPAT; USOCR	ADJ	ON	2011/01/28 14:58

S21	28	("3590156" | "3761617" | "4006383" | "4114070" | "4482841" | "4528480" | "4532506" | "4554539" | "4613793" | "4652872" | "4736137" | "4797667" | "4957747" | "4958105" | "4962374" | "4963861" | "4975691" | "5003302" | "5028916" | "5063378" | "5079483" | "5095248" | "5172032" | "5302966" | "5463279" | "5670979" | "5684365" | "5952789").PN.	US-PGPUB; USPAT; USOCR	ADJ	ON	2011/01/28 14:59
S22	1	"6194837".pn.	US-PGPUB; USPAT; USOCR	ADJ	ON	2011/01/28 15:03
S23	10	("20010019327" | "20010026835" | "20010040565" | "20020008822" | "20020067323" | "20040207615" | "6194837" | "6781155" | "6794675" | "RE35827").PN.	US-PGPUB; USPAT; USOCR	ADJ	ON	2011/01/28 15:04

EAST Search History (Interference)

<This search history is empty>

1/28/2011 5:55:58 PM
C:\Documents and Settings\dbolotin\My Documents\EAST\Workspaces\12917885.wsp

OPAP
NOV 26 2010
PATENT & TRADEMARK OFFICE
IAP24

Sheet 1 of 1

Form PTO-1449 (REV. 1/06) US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	APPLICATION NO. 12/917,885
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)	APPLICANT(S) Yojiro MATSUEDA	
	FILING DATE November 2, 2010	GROUP 2811

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
/D.B./	1	6,194,837	02/27/2001	Ozawa, Tokuroh

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation

OTHER DOCUMENTS

Examiner Initials	Cite No.	Including name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
	2	Office Action issued 11/12/2010 in U.S. Application No. 11/483,109.

EXAMINER /Dmitriy Bolotin/	DATE CONSIDERED 01/28/2011

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: November 26, 2010

Sheet 1 of 3

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	New U.S. Patent Application
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT Yojiro MATSUEDA	
		FILING DATE November 2, 2010	

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1	2001/0019327	09/2001	Kim et al.
	2	6,794,675	09/21/2004	Suzuki et al.
	3	RE35,827	06/1998	Gualandris et al.
	4	6,781,155 B1	08/2004	Yamada, Tsutomu
	5	2001/0026835	10/2001	Tanaka, Koichiro
	6	2001/0040565	11/2001	Koyama, Jun
	7	2002/0008822	01/2002	Maeda, Akitoshi
	8	2002/0067323	06/2002	Bird et al.
	9	2004/0207615	10/2004	Yumoto, Akira

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	10	KR 1994-0009134	10/01/1994	Korea		
	11	KR 2001-0014528 A	02/26/2001	Korea		
	12	WO 98/36407	08/20/1998	WIPO		
	13	JP A 2000-214800	08/04/2000	Japan		
	14	JP A 2001-13893	01/19/2001	Japan		
	15	JP A 2000-284727	10/13/2000	Japan		
	16	JP A 11-65487	03/05/1999	Japan		
	17	JP A 1-101519	04/19/1989	Japan		
	18	JP A 2-170135	06/29/1990	Japan		

EXAMINER /Dmitriy Bolotin/ DATE CONSIDERED 01/28/2011

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: November 2, 2010

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /D.B./

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	APPLICATION NO. New U.S. Patent Application
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT Yojiro MATSUEDA	
		FILING DATE November 2, 2010	GROUP

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	19	6,859,193 B1	02/22/2005	Yumoto
	20	2004/012548	01/22/2004	Anzai
	21	6,661,182 B2	12/09/2003	Koyama
	22	6,914,390 B2	07/05/2005	Koyama
	23	7,106,006 B2	09/12/2006	Koyama
	24	2007/0007527 A1	01/11/2007	Koyama
	25	5,867,233	02/02/1999	Tanaka
	26	6,307,528	10/2001	Yap
	27	6,225,750	05/2001	Kimura

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	28	CN 1291786A	04/18/2001	China		
	29	CN 1242924A	01/26/2000	China		
	30	JP-A-2001-185354	07/06/2001	Japan	X	X
	31	JP-A-11-074073	03/16/1999	Japan	X	X
	32	WO 01/06484 A1	01/25/2001	WIPO	X	
	33	JP-A-2000-284722	10/13/2000	Japan	X	X
	34	JP-A-2000-267131	09/29/2000	Japan	X	X
	35	JP-A-2000-137241	05/16/2000	Japan	X	X
	36	JP-A-2003-323133	11/14/2003	Japan	X	X
	37	JP-A-2002-351357	12/06/2002	Japan	X	X
	38	WO 01/18774 A1	03/15/2001	WIPO	X	
	39	WO 01/75853	10/11/2001	WIPO		
	40	JP-A-60-128486	07/09/1985	Japan		
	41	EP 1 003 223 A2	05/24/2000	Europe		

EXAMINER	/Dmitriy Bolotin/	DATE CONSIDERED 01/28/2011

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: November 2, 2010

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /D.B./

Receipt date: 11/02/2010 12917885 - GAU: 2629

Form PTO-1449 (REV. 1/06) US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	APPLICATION NO. New U.S. Patent Application
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)	APPLICANT Yojiro MATSUEDA	
	FILING DATE November 2, 2010	GROUP

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	42	2001/0026125 A1	10/04/2001	Yamazaki et al.
	43	6,094,248	07/25/2000	Hayashi
	44	5,684,365	11/04/1997	Tang et al.
	45	6,509,688 B1	01/21/2003	Bae et al.
	46	6,657,230	12/2003	Murade
	47	6,515,428	02/2003	Yeh et al.
	48	6,548,960 B2	04/15/03	Inukai
	49	6,756,740 B2	06/29/04	Inukai
	50	6,690,033 B2	02/10/04	Yamazaki et al.
	51	2004/0135181 A1	07/15/04	Yamazaki et al.
	52	2002/0000614 A1	01/03/02	Chen et al.
	53	2002/0154253 A1	10/24/02	Cairns et al.
	54	2001/0014493 A1	08/16/01	Inoue et al.
	55	6,100,119	08/08/00	Jang et al.
	56	6,515,482 B1	02/04/03	Yeh et al.
	57	6,952,244 B2	10/04/05	Cairns et al.
	58	6,468,839 B2	10/22/02	Inoue et al.
	59	6,153,893	11/28/00	Inoue et al.
	60	6,373,454 B1	8/16/02	Knapp et al.

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	61	JP-A-2001-242827	09/07/2001	Japan		
	62	JP-A-2001-318628	11/16/2001	Japan		

OTHER DOCUMENTS

Examiner Initials	Cite No.	Including name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
	63	Shang-Li Chen et al.; "Current Programmed Pixel Structures for OLED"; Electronics Research & Service Organization; Hsinchu, Taiwan; October 2001, pp. 399-402.
	64	Eiji Takeda et al.; "An As-P(n^+-n^-) Double Diffused Drain MOSFET for VLSI's"; IEEE Transactions on Electron Devices, IEEE Service Center; Piscataway, NJ; vol. 30; no. 6; June 1983; pp. 652-657.

EXAMINER /Dmitriy Bolotin/	DATE CONSIDERED 01/28/2011

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: November 2, 2010

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /D.B./

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 2374

SERIAL NUMBER	FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
12/917,885	11/02/2010 RULE	345	2629	114251.03

APPLICANTS
Yojiro MATSUEDA, Chino-shi, JAPAN;

**** CONTINUING DATA ***************************
This application is a CON of 11/483,109 07/10/2006
which is a DIV of 10/299,861 11/20/2002 PAT 7,483,001

**** FOREIGN APPLICATIONS ***************************
JAPAN 2001-356007 11/21/2001
JAPAN 2001-371403 12/05/2001
JAPAN 2001-371410 12/05/2001

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
11/15/2010

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /DMITRIY BOLOTIN/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		JAPAN	15	10	1

ADDRESS
OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850
UNITED STATES

TITLE
ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

FILING FEE RECEIVED		
1090	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

BIB (Rev. 05/07).

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/917,885	11/02/2010	Yojiro MATSUEDA	114251.03

CONFIRMATION NO. 2374

25944
OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

PUBLICATION NOTICE

OC000000046166148

Title:ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

Publication No.US-2011-0042692-A1
Publication Date:02/24/2011

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2629

Application No.: 12/917,885

Examiner: D. BOLOTIN

Filed: November 2, 2010

Docket No.: 114251.03

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection, Notice of Allowance or other action that closes prosecution (e.g., Quayle Action).

☒ a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(1). See Reference 2.

☒ b. I hereby certify that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to my knowledge after making reasonable inquiry, no item of information in this Information Disclosure Statement was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(2). See Reference 3.

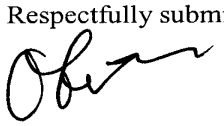
☒ 2. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

☒ 3. An English language Abstract of one or more non-English language reference is included. See Reference 2.

☒ 4. Reference 1 corresponds to Reference 2.

☒ 5. An Office Action was issued in U.S. Application No. 11/483,087. A copy of the Office Action is submitted for the Examiner's consideration as Reference 3.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Obert H. Chu
Registration No. 52,744

JAO:OHC/kjb

Date: April 4, 2011

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry of this filing; Charge any fee due to our Deposit Account No. 15-0461

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	APPLICATION NO. 12/917,885
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT(S) Yojiro MATSUEDA	
		FILING DATE November 2, 2010	GROUP 2629

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1	6,882,102 B	04/19/2005	Yamazaki

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	2	JP-A-2001-319789	11/16/2001	Japan	X	

OTHER DOCUMENTS

Examiner Initials	Cite No.	Including name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
	3	Office Action issued March 10, 2011 in U.S. Application No. 11/483,087.

EXAMINER	DATE CONSIDERED

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: April 4, 2011

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-319789
(43)Date of publication of application : 16.11.2001

(51)Int.Cl. H05B 33/26
G09F 9/30
H05B 33/10
H05B 33/14

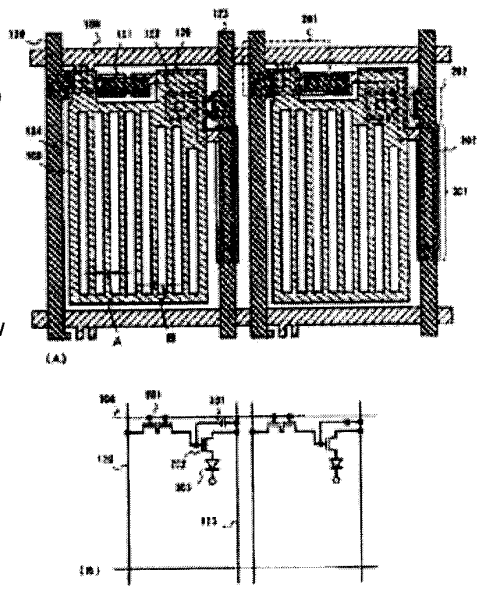
(21)Application number : 2001-056033
(22)Date of filing : 28.02.2001

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
(72)Inventor : YAMAZAKI SHUNPEI

(30)Priority
Priority number : 2000055020 Priority date : 29.02.2000 Priority country : JP

(54) LIGHT EMISSION DEVICE AND ITS PREPARATION METHOD

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a light emission device which is superior in a responsibility.
SOLUTION: A picture element electrode (positive electrode) 124 connected with a drain wiring 122 of a current control TFT 202 has a slit 300. The slit 300 becomes a passage of the light which is emitted from an EL layer, and a light emission can be taken out even if a light screening metal film is used as the picture element electrode 124. Therefore the light emission device which is superior in the responsibility is obtained because a material which has a low resistance can be used as the picture element electrode 124.



(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号
特開2001－319789
（P2001－319789A）
(43)公開日　平成13年11月16日(2001.11.16)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０５Ｂ　33/26		Ｈ０５Ｂ　33/26	Ｚ	３Ｋ００７
Ｇ０９Ｆ　9/30	３３９	Ｇ０９Ｆ　9/30	３３９Ａ	５Ｃ０９４
	３６５		３６５Ｚ	
Ｈ０５Ｂ　33/10		Ｈ０５Ｂ　33/10		
33/14		33/14	Ａ	

審査請求　未請求　請求項の数13　ＯＬ　（全 15 頁）

(21)出願番号　特願2001－56033(P2001－56033)

(22)出願日　平成13年２月28日(2001.2.28)

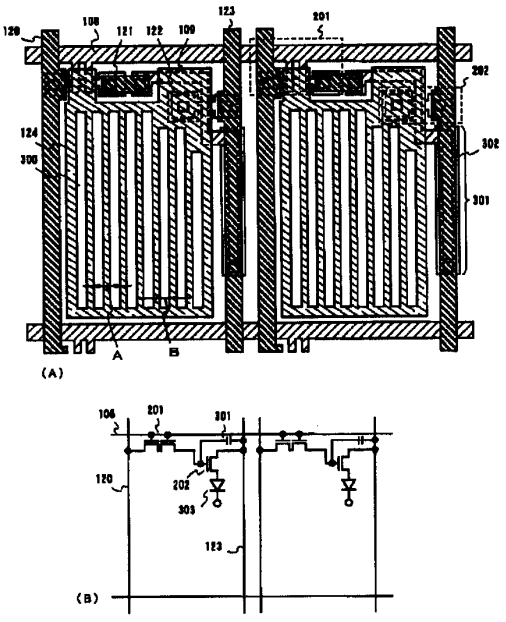
(31)優先権主張番号　特願2000－55020(P2000－55020)
(32)優先日　平成12年２月29日(2000.2.29)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

Ｆターム(参考)　3K007 AB03 AB04 AB13 AB14 AB18
BA06 BB04 CA00 CA01 CA02
CA04 CA06 CB01 CC04 DA00
DB03 EB00 FA01 FA02 FA03
5C094 AA13 AA42 AA43 AA44 BA03
BA27 CA19 EA04 EA05 EA10
EB02 HA06 HA07 HA08 HA10

(54)【発明の名称】　発光装置およびその作製方法

(57)【要約】
【課題】　応答性に優れた発光装置を提供する。
【解決手段】　電流制御ＴＦＴ２０２のドレイン配線１２２に接続された画素電極（陽極）１２４がスリット３００を有することを特徴とする。スリット３００はＥＬ層から発した光の通路となり、画素電極１２４として遮光性の金属膜を用いても発光を取り出すことができる。そのため、画素電極１２４として低抵抗な材料を用いることができるため、応答性に優れた発光装置が得られる。



1

【特許請求の範囲】

【請求項１】陽極、陰極並びに前記陽極および前記陰極の間に挟まれた発光性材料を含み、前記陽極はスリットを有することを特徴とする発光装置。

【請求項２】陽極、陰極並びに前記陽極および前記陰極の間に挟まれた発光性材料を含み、前記陰極はスリットを有することを特徴とする発光装置。

【請求項３】陽極、陰極、前記陽極および前記陰極の間に挟まれた発光性材料並びに前記陽極に電気的に接続された半導体素子を含み、前記陽極はスリットを有することを特徴とする発光装置。

【請求項４】陽極、陰極、前記陽極および前記陰極の間に挟まれた発光性材料並びに前記陽極に電気的に接続された半導体素子を含み、前記陰極はスリットを有することを特徴とする発光装置。

【請求項５】陽極、陰極、前記陽極および前記陰極の間に挟まれた発光性材料並びに前記陰極に電気的に接続された半導体素子を含み、前記陽極はスリットを有することを特徴とする発光装置。

【請求項６】陽極、陰極、前記陽極および前記陰極の間に挟まれた発光性材料並びに前記陰極に電気的に接続された半導体素子を含み、前記陰極はスリットを有することを特徴とする発光装置。

【請求項７】請求項１、請求項３または請求項５のいずれか一において、前記陽極は金属膜もしくは半導体膜からなることを特徴とする発光装置。

【請求項８】請求項１乃至請求項７のいずれか一において、前記発光性材料に接して無機材料からなる絶縁膜が設けられていることを特徴とする発光装置。

【請求項９】請求項１乃至請求項８のいずれか一において、前記発光性材料とはＥＬ材料であることを特徴とする発光装置。

【請求項１０】請求項１乃至請求項９のいずれか一に記載の発光装置を用いたことを特徴とする電気器具。

【請求項１１】スリットを有した電極を形成する工程および前記スリットを有した電極に接するＥＬ層を形成する工程を含むことを特徴とする発光装置の作製方法。

【請求項１２】絶縁体上にＴＦＴを形成する工程、前記ＴＦＴに電気的に接続するスリットを有した電極を形成する工程および前記スリットを有した電極の上にＥＬ層を形成する工程を含むことを特徴とする発光装置の作製方法。

【請求項１３】絶縁体上にＴＦＴを形成する工程、前記ＴＦＴに電気的に接続する電極を形成する工程、前記電極の上にＥＬ層を形成する工程および前記ＥＬ層の上にスリットを有した電極を形成する工程を含むことを特徴とする発光装置の作製方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、電極間に発光性材料を挟んだ素子（以下、発光素子という）を有する装置（以下、発光装置という）およびその作製方法に関する。特に発光性材料としてＥＬ（Electro Luminescence）が得られる発光性材料（以下、ＥＬ材料という）を利用した発光素子（以下、ＥＬ素子という）を用いた発光装置（特にＥＬ発光装置という）に関する。

2

【０００２】なお、本発明に用いることのできるＥＬ材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光（燐光および／または蛍光）するすべての発光性材料を含む。

【０００３】

【従来の技術】近年、ＥＬ発光装置の開発が進んでいる。ＥＬ発光装置は、陽極と陰極との間にＥＬ材料を挟んだ構造のＥＬ素子を有した構造からなる。この陽極と陰極との間に電圧を加えてＥＬ材料中に電流を流すことによりキャリアを再結合させて発光させる。即ち、ＥＬ発光装置は発光素子自体に発光能力があるため、液晶表示装置に用いるようなバックライトが不要である。さらに視野角が広く、軽量であり、且つ、低消費電力という利点をもつ。

【０００４】ＥＬ発光装置の陽極としては仕事関数の大きい導電膜、代表的には透明な酸化物導電膜が用いられる。酸化物導電膜は可視光を透過するためＥＬ層から発した光を容易に取り出すことができるが、金属膜に比べて抵抗が高いという欠点を持っていた。陽極の抵抗が高いとＥＬ層に電流を注入する効率が悪くなるばかりでなく、応答の遅い素子となってしまうといった問題があった。

【０００５】また、酸化物導電膜は蒸着法もしくはスパッタ法により形成されるが、成膜時にゴミが出るなどの問題が多かった。また、結晶化することでエッチングが困難になるといった問題もあり、金属膜に比べて取り扱いが難しい導電膜の一つであった。

【０００６】ところが、ＥＬ発光装置の陰極が金属膜であるため、陽極側には透明な導電膜を用いないと発光が取り出せないといった問題があった。そのため現状では陽極材料としては酸化物導電膜を用いる以外になかった。

【０００７】

【発明が解決しようとする課題】本発明は陽極として酸化物導電膜の代わりに仕事関数の高い金属膜もしくは半導体膜を用いることで陽極の抵抗を低め、電流注入効率が高く、応答性に優れた発光装置を作製することを課題とする。また、そのために必要な素子構造を有した発光装置およびそれを用いた電気器具を提供することを課題とする。

【０００８】

【課題を解決するための手段】本発明では、陽極として仕事関数の高い金属膜もしくは半導体膜を用いるために、発光素子の陽極もしくは陰極にスリット（光を遮ら

ないようにするための細隙）を設け、陽極もしくは陰極としての機能を果たすと同時に光の通路を確保する電極構造を用いることを特徴とする。このとき、スリットは陽極に設けても良いし、陰極に設けても良い。また、陽極と陰極の両方に設けても良い。本発明では光の通路としてスリットを設けた電極を用いることで、陽極として金属膜もしくは半導体膜を用いることができる。

【０００９】ここで、スリットの間隔（隣接するスリット間の距離）は０．５～３μｍ（好ましくは１．０～２．０μｍ）で、スリットの幅はスリットの間隔の５～１５倍が良い。例えば、スリットの間隔が１．５μｍのとき、スリットの幅は１０～１５μｍが望ましい。また、陽極においてスリットの占める割合が７０～９０％となるように設けると良い。

【００１０】ＥＬ発光装置において、陽極の役割は正孔（ホール）を注入することであり、ＥＬ材料よりもＨＯＭＯ準位の高い材料であることが要求される。即ち、仕事関数の大きい材料であることが望ましい。このような要求を満たす材料ならば酸化物導電膜に限らず、金属膜もしくは半導体膜を用いることも可能である。そのような金属膜としては、白金（Ｐｔ）、クロム（Ｃｒ）、タングステン（Ｗ）もしくはニッケル（Ｎｉ）を用いることができる。また、半導体膜としては、シリコン（Ｓｉ）もしくはゲルマニウム（Ｇｅ）を用いることができる。

【００１１】このように本発明を実施することで、陽極として使用可能な材料の選択の幅が増加し、従来の発光装置よりも駆動電圧の低い発光装置や発光輝度の高い発光装置を得ることが可能となる。また、酸化物導電膜よりも抵抗の低い金属膜もしくは半導体膜を陽極として用いることも可能となるため、電流注入効率が高く、応答性に優れた発光装置を得ることができる。

【００１２】

【発明の実施の形態】本発明の実施の形態について図１、２を用いて説明する。なお、図１、２に示したのは画素部における作製工程を示す断面図である。また、本実施の形態によって作製される画素の上面図を図３に示す。図３に用いた符号は図１、２で用いた符号に対応している。

【００１３】図１（Ａ）において、１０１は素子が形成される基板（以下、素子形成基板という）であり、その上には非晶質シリコン膜からなる剥離層１０２が１００～５００ｎｍ（本実施の形態では３００ｎｍ）の厚さに形成される。本実施の形態では素子形成基板１０１としてガラス基板を用いるが、石英基板、シリコン基板、金属基板もしくはセラミックス基板を用いても構わない。

【００１４】なお、本明細書中では、半導体素子もしくは発光素子が形成された基板全体を指して素子形成基板と呼ぶ場合もある。

【００１５】また、剥離層１０２の成膜は減圧熱ＣＶＤ法、プラズマＣＶＤ法、スパッタ法もしくは蒸着法を用いれば良い。剥離層１０２の上には酸化シリコン膜からなる絶縁膜１０３が２００ｎｍの厚さに形成される。絶縁膜１０３の形成は減圧熱ＣＶＤ法、プラズマＣＶＤ法、スパッタ法もしくは蒸着法を用いれば良い。

【００１６】また、絶縁膜１０３の上には結晶質シリコン膜１０４が５０ｎｍの厚さに形成される。結晶質シリコン膜１０４の形成方法としては公知の手段を用いることが可能である。固体レーザーもしくはエキシマレーザーを用いて非晶質シリコン膜をレーザー結晶化させても良いし、非晶質シリコン膜を加熱処理（ファーネスアニール）により結晶化させても良い。

【００１７】次に、図１（Ｂ）に示すように、結晶質シリコン膜１０４をパターニングして島状の結晶質シリコン膜（以下、活性層という）１０５、１０６を形成する。そして活性層を覆って酸化シリコン膜からなるゲート絶縁膜１０７を８０ｎｍの厚さに形成する。さらに、ゲート絶縁膜１０７の上にゲート電極１０８、１０９を形成する。本実施の形態ではゲート電極１０８、１０９の材料として、３５０ｎｍ厚のタングステン膜もしくはタングステン合金膜を用いる。勿論、ゲート電極の材料としては他の公知の材料を用いることができる。

【００１８】そして、ゲート電極１０８、１０９をマスクとして周期表の１３族に属する元素（代表的にはボロン）を添加する。添加方法は公知の手段を用いれば良い。こうしてｐ型の導電型を示す不純物領域（以下、ｐ型不純物領域という）１１０～１１４が形成される。また、ゲート電極の直下にはチャネル形成領域１１５～１１７が画定する。なお、ｐ型不純物領域１１０～１１４はＴＦＴのソース領域もしくはドレイン領域となる。

【００１９】次に、図１（Ｃ）に示すように、保護膜（ここでは窒化シリコン膜）１１８を５０ｎｍの厚さに形成し、その後、加熱処理を行って添加された周期表の１３族に属する元素の活性化を行う。この活性化はファーネスアニール、レーザーアニールもしくはランプアニールにより行うか、又はそれらを組み合わせて行えば良い。本実施の形態では５００℃４時間の加熱処理を窒素雰囲気で行う。

【００２０】活性化が終了したら、水素化処理を行うと効果的である。水素化処理は公知の水素アニール技術もしくはプラズマ水素化技術を用いれば良い。

【００２１】次に、図１（Ｄ）に示すように、酸化シリコン膜からなる第１層間絶縁膜１１９を８００ｎｍの厚さに形成し、コンタクトホールを形成して配線１２０～１２３を形成する。第１層間絶縁膜１１９としては他の無機絶縁膜を用いても良いし、樹脂（有機絶縁膜）を用いても良い。本実施の形態では配線１２０～１２３としてチタン／アルミニウム／チタンの三層構造からなる金属配線を用いる。勿論、導電膜であれば如何なる材料を用いても良い。配線１２０～１２３はＴＦＴのソース配

5

線もしくはドレイン配線となる。

【００２２】この状態でスイッチング用ＴＦＴ２０１及び電流制御用ＴＦＴ（駆動用ＴＦＴ）２０２が完成する。本実施の形態ではどちらのＴＦＴもｐチャネル型ＴＦＴで形成される。但し、スイッチング用ＴＦＴ２０１はゲート電極が活性層を二カ所で横切るように形成されており、二つのチャネル形成領域が直列に接続された構造となっている。このような構造とすることでオフ電流値（ＴＦＴがオフされた時に流れる電流）を効果的に抑制することができる。

【００２３】また、同時に図３（Ｂ）に示すように保持容量３０１が形成される。保持容量３０１はＴＦＴの活性層と同時に形成された半導体層３０２、ゲート絶縁膜１０７及びゲート電極１０９で形成される下側保持容量と、ゲート電極１０９、第１層間絶縁膜１１９及び配線１２３で形成される上側保持容量とで形成される。また、半導体層３０２は配線１２３と電気的に接続されている。

【００２４】次に、図１（Ｅ）に示すように、金属膜を１００ｎｍの厚さに形成し、パターニングにより画素電極（ＥＬ素子の陽極として機能する）１２４を形成する。このとき、配線１２２と画素電極１２４とはオーミック接触をする。従って、画素電極１２４と電流制御用ＴＦＴ２０２とは電気的に接続される。なお、金属膜としては、白金（Ｐｔ）、クロム（Ｃｒ）、タングステン（Ｗ）もしくはニッケル（Ｎｉ）を用いることができる。また、半導体膜としては、シリコン（Ｓｉ）もしくはゲルマニウム（Ｇｅ）を用いることができる。

【００２５】また、ここで形成された画素電極１２４を上面から見ると図３（Ａ）に示すような構造となっている。但し、図３（Ａ）に示す上面図では有機ＥＬ材料および陰極を図示していない。

【００２６】図３（Ａ）に示すように、画素電極１２４は複数のスリット３００を有し、電流制御ＴＦＴ２０２のドレイン配線１２２に接続される。また、画素電極１２４はスイッチングＴＦＴ２０１および電流制御ＴＦＴ２０２のチャネル形成領域を隠す遮光膜としても機能している。また、本実施の形態では、スリット３００の間隔（図３（Ａ）中のＡで示される距離）を２μｍ、スリットの幅（図３（Ａ）中のＢで示される距離）を２０μｍとする。

【００２７】画素電極１２４を形成したら、酸化シリコン膜からなる第２層間絶縁膜１２５を３００ｎｍの厚さに形成する。そして、開口部１２６を形成し、１～２０ｎｍ（好ましくは３～５ｎｍ）の厚さの無機材料からなる絶縁膜を形成する。この様子を図４に示す。図４（Ａ）において４０１で示された領域を拡大したのが図４（Ｂ）である。図４（Ｂ）に示すように画素電極１２４を覆うように無機材料からなる絶縁膜４０２が形成されている。

6

【００２８】無機材料からなる絶縁膜４０２としては、珪素を含む絶縁膜（典型的には酸化珪素膜、窒化珪素膜、窒化酸化珪素膜もしくはこれらにアルミニウムを添加した膜）、酸化タンタル膜、酸化アルミニウムまたは非晶質炭素膜（ダイヤモンドライクカーボン膜を含む）を用いることができる。膜厚はトンネル電流が流れる程度に薄いことが望ましく、１～２０ｎｍ（好ましくは３～５ｎｍ）とする。

【００２９】図４（Ｂ）のような構造とすると、有機ＥＬ層１２７が直接第１層間絶縁膜１１９に触れることがない。第１層間絶縁膜１１９として樹脂膜を用いるような場合には有効な構造である。もちろん、無機材料からなる絶縁膜４０２は省略することも可能である。

【００３０】次に、７０ｎｍ厚の有機ＥＬ層１２７及び３００ｎｍ厚の陰極１２８を蒸着法により形成する。なお、陰極１２８としては、ＭｇＡｇ（マグネシウムと銀の合金）膜とアルミニウム膜との積層膜またはリチウムを含有したアルミニウム膜を用いることができる。

【００３１】また、本実施の形態では有機ＥＬ層１２７として２０ｎｍ厚の正孔注入層及び５０ｎｍ厚の発光層を積層した構造を用いる。勿論、発光層に正孔注入層、正孔輸送層、電子輸送層もしくは電子注入を組み合わせた公知の他の構造を用いても良い。

【００３２】本実施の形態では、正孔注入層としてＣｕＰｃ（銅フタロシアニン）を用いる。この場合、まず全ての画素電極を覆うように銅フタロシアニンを形成し、その後、赤色、緑色及び青色に対応する画素ごとに各々赤色の発光層、緑色の発光層及び青色の発光層を形成する。形成する領域の区別は蒸着時にシャドーマスクを用いて行えば良い。このようにすることでカラー表示が可能となる。

【００３３】なお、緑色の発光層を形成する時は、発光層の母体材料としてAlq_3（トリス－８－キノリノラトアルミニウム錯体）を用い、キナクリドンもしくはクマリン６をドーパントとして添加する。また、赤色の発光層を形成する時は、発光層の母体材料としてAlq_3を用い、ＤＣＪＴ、ＤＣＭ１もしくはＤＣＭ２をドーパントとして添加する。また、青色の発光層を形成する時は、発光層の母体材料として$BAlq_3$（２－メチル－８－キノリノールとフェノール誘導体の混合配位子を持つ５配位の錯体）を用い、ペリレンをドーパントとして添加する。

【００３４】また、陽極とＥＬ層との間に導電性ポリマーを設けても良い。可溶性の導電性ポリマーを印刷法もしくはインクジェット法で塗布すると、画素電極１２４のスリット３００による段差を平坦化するという効果が得られる。

【００３５】勿論、本願発明では上記有機材料に限定する必要はなく、公知の低分子系有機ＥＬ材料、高分子系有機ＥＬ材料もしくは無機ＥＬ材料を用いることが可能

である。高分子系有機ＥＬ材料を用いる場合は塗布法を用いることもできる。

【００３６】以上のようにして、画素電極（陽極）１２４、無機材料からなる絶縁膜４０２、有機ＥＬ層１２７及び陰極１２８からなるＥＬ素子（図３（Ｂ）において３０３で示される）が形成される。本実施の形態ではこのＥＬ素子が発光素子として機能する。

【００３７】次に、図２（Ａ）に示すように、第１接着剤１２９により素子を固定するための基板（以下、固定基板という）１３０を貼り合わせる。本実施の形態では固定基板１３０として可撓性のプラスチックフィルムを用いるが、ガラス基板、石英基板、プラスチック基板、シリコン基板もしくはセラミックス基板を用いても良い。なお、プラスチックフィルムとしては、ＰＥＳ（ポリエチレンサルファイル）、ＰＣ（ポリカーボネート）、ＰＥＴ（ポリエチレンテレフタレート）もしくはＰＥＮ（ポリエチレンナフタレート）を用いることができる。

【００３８】また、第１接着剤１２９としては、後に剥離層１０２を除去する際に選択比のとれる材料を用いる必要がある。代表的には樹脂からなる絶縁膜を用いることができ、本実施の形態ではポリイミドを用いるが、アクリル、ポリアミドもしくはエポキシ樹脂を用いても良い。なお、ＥＬ素子から見て観測者側（発光装置の使用者側）に位置する場合は、光を透過する材料であることが必要である。

【００３９】図２（Ａ）のプロセスを行うことによりＥＬ素子を完全に大気から遮断することができる。これにより酸化による有機ＥＬ材料の劣化をほぼ完全に抑制することができ、ＥＬ素子の信頼性を大幅に向上させることができる。

【００４０】次に、図２（Ｂ）に示すように、ＥＬ素子の形成された基板全体を、フッ化ハロゲンを含むガス中に晒し、剥離層１０２の除去を行う。なお、フッ化ハロゲンとは化学式ＸＦｎ（Ｘはフッ素以外のハロゲン、ｎは整数）で示される物質であり、一フッ化塩素（ＣｌＦ）、三フッ化塩素（ClF_3）、一フッ化臭素（ＢｒＦ）、三フッ化臭素（BrF_3）、一フッ化ヨウ素（ＩＦ）もしくは三フッ化ヨウ素（IF_3）を用いることができる。

【００４１】本実施の形態ではフッ化ハロゲンとして三フッ化塩素（ClF_3）を用い、希釈ガスとして窒素を用いる。希釈ガスとしては、アルゴン、ヘリウムもしくはネオンを用いても良い。流量は共に５００ｓｃｃｍ（$8.35\times10^{-6}m^3/s$）とし、反応圧力は１～１０Ｔｏｒｒ（1.3×10^{2}～1.3×10^{3}Ｐａ）とすれば良い。また、処理温度は室温（典型的には２０～２７℃）で良い。

【００４２】この場合、シリコン膜はエッチングされるが、プラスチックフィルム、ガラス基板、ポリイミド膜、酸化シリコン膜はエッチングされない。即ち、三フッ化塩素ガスに晒すことで剥離層１０２が選択的にエッチングされ、最終的には完全に除去される。なお、同じくシリコン膜で形成されている活性層１０５、１０６はゲート絶縁膜１０７に覆われているため三フッ化塩素ガスに晒されることがなく、エッチングされることはない。

【００４３】本実施の形態の場合、剥離層１０２は露呈した端部から徐々にエッチングされていき、完全に除去された時点で素子形成基板１０１と絶縁膜１０３が分離される。このとき、ＴＦＴ及びＥＬ素子は薄膜を積層して形成されているが、固定基板１３０に移された形で残る。

【００４４】なお、ここでは剥離層１０２が端部からエッチングされていくことになるが、素子形成基板１０１が大きくなると完全に除去されるまでの時間が長くなり好ましいものではない。従って、本実施の形態は素子形成基板１０１が対角３インチ以下（好ましくは対角１インチ以下）の場合に実施することが望ましい。

【００４５】こうして固定基板１３０にＴＦＴ及びＥＬ素子を移したら、図２（Ｃ）に示すように、第２接着剤１３１を形成し、プラスチックフィルム１３２を貼り合わせる。第２接着剤１３１としては樹脂からなる絶縁膜（代表的にはポリイミド、アクリル、ポリアミドもしくはエポキシ樹脂）を用いても良いし、無機材料からなる絶縁膜（代表的には酸化シリコン膜）を用いても良い。なお、ＥＬ素子から見て観測者側に位置する場合は、光を透過する材料であることが必要である。

【００４６】こうしてガラス基板１０１からプラスチックフィルム１３２へとＴＦＴ及びＥＬ素子が移される。その結果、二枚のプラスチックフィルム１３０、１３２によって挟まれたフレキシブルなＥＬ表示装置を得ることができる。このように固定基板（ここではプラスチックフィルム）１３０と貼り合わせ基板（ここではプラスチックフィルム）１３２を同一材料とすると熱膨張係数が等しくなるので、温度変化による応力歪みの影響を受けにくくすることができる。

【００４７】以上のような本発明の発光装置は、ＥＬ素子の陽極として金属膜もしくは半導体膜を用いることができるため、ゴミの発生等の成膜時の不具合を従来の酸化物導電膜よりも低減しうる。そのため、作製工程における歩留まりが向上し、製造コストの低減を図ることができる。

【００４８】さらに本実施の形態により作製されたＥＬ表示装置は、フォトリソグラフィに必要なマスク枚数がトータルで６枚と非常に少なく、高い歩留まりと低い製造コストを達成することができる。また、こうして形成されたＥＬ表示装置は、プラスチック支持体の耐熱性に制限されることなく形成されたＴＦＴを半導体素子として用いることができるので非常に高性能なものとするこ

とができる。

【００４９】なお、本発明の構成は、本実施の形態の構成に限定されるべきものではない。本発明は陰極もしくは陽極にスリットが設けられている点に特徴があり、その他の構成は如何なる構成であっても良い。例えば、アクティブマトリクス型の表示装置に限らず、パッシブマトリクス型の表示装置に適用することもできる。

【００５０】

【実施例】〔実施例１〕本実施例では、図１～図３とは異なる構造の画素部を有する発光装置について説明する。説明には図５、図６を用いる。

【００５１】まず、図１の作製工程に従って図１（Ｄ）の工程まで行う。但し、本実施例では画素電極５０１を、スリットを設けずに形成する。また、本実施例では画素電極５０１の形成材料として白金を用いる。（図５（Ａ））

【００５２】次に、発明の実施の形態で説明したように、同様に第２層間絶縁膜１２５を形成し、開口部１２６を形成して有機ＥＬ層５０２を形成する。ＥＬ層５０２の形成は実施例１に従えば良い。また、ＥＬ層５０２の上に陰極５０３を形成する。本実施例では陰極５０３の材料としてリチウムを添加したアルミニウム膜を用いる。なお、陰極５０３の成膜は蒸着法を用いるが、本実施例ではシャドーマスクを用いることによりスリットを有した陰極とする。ここで図５（Ｂ）の状態の上面図を図６に示す。

【００５３】図６において、５０３が陰極であり、陰極５０３には複数のスリット５０４が設けられている。この場合、スリット５０４の部分だけ陰極５０３の下に形成されたＥＬ層が露呈することになる。そこで本実施例では図５（Ｃ）に示すように陰極５０３を覆うパッシベーション膜５０５を形成する。

【００５４】パッシベーション膜５０５としては、無機材料からなる絶縁膜を用いることができる。本実施例では３００ｎｍの厚さの窒化珪素膜を用い、有機ＥＬ層５０２が外気に触れることを防ぐ構造となっている。このパッシベーション膜５０５は陰極５０３を形成した後に大気解放しないで連続的に形成することが望ましい。

【００５５】このあとは、発明の実施の形態で説明したように、第１接着剤１２９により固定基板１３０を貼り合わせ、ＥＬ素子の形成された基板全体を、フッ化ハロゲンを含むガス中に晒して剥離層１０２の除去を行う。本実施例ではフッ化ハロゲンとして三フッ化塩素（ClF_3）を用い、希釈ガスとして窒素を用いる。その他の条件は発明の実施の形態を参照すれば良い。

【００５６】そして、固定基板１３０にＴＦＴ及びＥＬ素子を移したら、第２接着剤１３１によりプラスチックフィルム１３２を貼り合わせる。こうしてガラス基板１０１からプラスチックフィルム１３２へとＴＦＴ及びＥＬ素子が移され、図５（Ｃ）に示すＥＬ発光装置が得られる。

【００５７】〔実施例２〕本発明において、固定基板及び／又は貼り合わせ基板の片面もしくは両面にＤＬＣ（ダイヤモンドライクカーボン）膜を形成しておくことは有効である。但し、膜厚が厚すぎると透過率が落ちるので、５０ｎｍ以下（好ましくは１０～２０ｎｍ）とすると良い。

【００５８】ＤＬＣ膜の特徴としては、１５５０cm^{-1}くらいに非対称のピークを有し、１３００cm^{-1}くらいに肩をもつラマンスペクトル分布を有する。また、微小硬度計で測定した時に１５～２５Ｐａの硬度を示すという特徴をもつ。

【００５９】ＤＬＣ膜はプラスチック支持体に比べて硬度が大きく、熱伝導率も大きいため、表面保護や熱分散のための保護膜として設けておくことが有効である。

【００６０】従って、プラスチック支持体を貼り付ける前に予めＤＬＣ膜を成膜しておいて貼り付けるか、プラスチック支持体を貼り付けた後にＤＬＣ膜を成膜することも可能である。いずれにしてもＤＬＣ膜の成膜はスパッタ法もしくはＥＣＲプラズマＣＶＤ法を用いれば良い。

【００６１】〔実施例３〕本発明のＥＬ発光装置は図７に示す回路構成の画素部とすることができる。図７において、７０１はソース配線、７０２はゲート配線、７０３はスイッチングＴＦＴ、７０４は電流制御ＴＦＴ、７０５は電流供給線、７０６はＥＬ素子である。本実施例ではスイッチングＴＦＴ７０３および電流制御ＴＦＴ７０４がｐチャネル型ＴＦＴで作製されている。勿論、スイッチングＴＦＴ７０３および電流制御ＴＦＴ７０４はどちらか片方がｎチャネル型ＴＦＴであっても良いし、両者がｎチャネル型ＴＦＴであっても良い。

【００６２】なお、本実施例では図３のコンデンサ３０１と同じ役割を、電流制御ＴＦＴ７０４のゲート容量で補っている。これは、デジタル駆動により時分割階調表示を行う場合、１フレーム期間（もしくは１フィールド期間）が短いため、電流制御ＴＦＴのゲート容量だけで電荷を保持しうるためである。

【００６３】なお、本実施例の構成は実施例１、２の構成と組み合わせて実施することが可能である。

【００６４】〔実施例４〕実施例３において、図７に示した画素部の回路構成は、図８に示した回路構成としても良い。図８において、８０１はソース配線、８０２はゲート配線、８０３はスイッチングＴＦＴ、８０４は電流制御ＴＦＴ、８０５は電流供給線、８０６はＥＬ素子である。本実施例ではスイッチングＴＦＴ８０３および電流制御ＴＦＴ８０４がｐチャネル型ＴＦＴで作製されている。勿論、スイッチングＴＦＴ７０３および電流制御ＴＦＴ７０４はどちらか片方がｎチャネル型ＴＦＴであっても良いし、両者がｎチャネル型ＴＦＴであっても良い。

【００６５】このとき、ゲート配線８０２と電流供給線８０５は異なる層に形成されるため、両者が層間絶縁膜を挟んで重なるように設けることは有効である。このようにすることで実質的に配線の占有面積を共通化することができ、画素の有効発光面積を増やすことができる。

【００６６】なお、本実施例の構成は実施例１～３のいずれの構成とも自由に組み合わせて実施することが可能である。

【００６７】〔実施例５〕本実施例では、本発明のＥＬ発光装置の外観図を説明する。なお、図９（Ａ）は本発明のＥＬ発光装置の上面図であり、図９（Ｂ）はその断面図である。

【００６８】図９（Ａ）において、９０１は素子形成基板、９０２は画素部、９０３はソース側駆動回路、９０４はゲート側駆動回路であり、それぞれの駆動回路は配線９０５を経てＦＰＣ（フレキシブルプリントサーキット）９０６に至り、外部機器へと接続される。このとき、画素部９０２、ソース側駆動回路９０３及びゲート側駆動回路９０４を囲むようにして第１シール材９１１、カバー材９１２、接着剤９１３（図９（Ｂ）参照）及び第２シール材９１４が設けられている。

【００６９】また、図９（Ｂ）は図９（Ａ）をＡ－Ａ'で切断した断面図に相当する。このとき、素子形成基板９０１の上方（厳密には素子形成基板９０１上に設けられた絶縁体の上）には駆動回路を形成するＴＦＴ９１、スイッチングＴＦＴ９２および電流制御ＴＦＴ９３が設けられる。スイッチングＴＦＴ９２および電流制御ＴＦＴ９３の形成方法は既に説明したので省略する。本実施例では電流制御ＴＦＴ９３の画素電極（陽極）にスリットが設けられている。また、駆動回路を形成するＴＦＴ９３は、公知のＣＭＯＳ回路、ＰＭＯＳ回路もしくはＮＭＯＳ回路で形成すれば良い。

【００７０】ＥＬ素子の陰極は９１５で示される領域において配線９０５に電気的に接続される。配線９０５は陰極に所定の電圧を与えるための配線であり、異方導電性フィルム９１６を介してＦＰＣ９０６に電気的に接続される。さらにＥＬ素子は、第１シール材９１１及びそれによって基板９０１に貼り合わされたカバー材９１２で囲まれ、接着剤９１３により封入されている。

【００７１】なお、接着剤９１３の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極上に樹脂膜を設けることも有効である。

【００７２】また、接着剤９１３の代わりに不活性ガス（希ガスもしくは窒素ガス）を封入することもできる。この際、加圧雰囲気で不活性ガスの封入工程を行えば、外部からの酸素や水の侵入を効果的に防ぐことが可能である。

【００７３】また、配線９０５は異方導電性フィルム９１６を介してＦＰＣ９０６に電気的に接続される。配線９０５は画素部９０２、ソース側駆動回路９０３及びゲート側駆動回路９０４に送られる信号をＦＰＣ９０６に伝え、ＦＰＣ９０６により外部機器と電気的に接続される。

【００７４】また、本実施例では第１シール材９１１の露呈部及びＦＰＣ９０６の一部を覆うように第２シール材９１４を設け、ＥＬ素子を徹底的に外気から遮断する構造となっている。こうして図９（Ｂ）の断面構造を有するＥＬ発光装置となる。なお、本実施例のＥＬ発光装置は実施例１～４のいずれの構成を組み合わせて作製しても構わない。

【００７５】〔実施例６〕本実施例では、本発明のＥＬ発光装置の画素構造について図１０（Ａ）、（Ｂ）に示す。本実施例において、１００１はスイッチングＴＦＴ１００２のソース配線、１００３はスイッチングＴＦＴ１００２のゲート配線、１００４は電流制御ＴＦＴ、１００５はコンデンサ（省略することも可能）、１００６は電流供給線、１００７は電源制御ＴＦＴ、１００８はＥＬ素子、１００９は電源制御線とする。このとき、ソース配線１００１、ゲート配線１００３、電流供給線１００６および電源制御線１００９が同一の層に同一の導電膜で形成される。

【００７６】なお、電源制御ＴＦＴ１００７の動作については特願平１１－３４１２７２号を参照すると良い。ただし本実施例では電源制御ＴＦＴを電流制御ＴＦＴと同一構造のｐチャネル型ＴＦＴとする。

【００７７】また、本実施例では電源制御ＴＦＴ１００７を電流制御ＴＦＴ１００４とＥＬ素子１００８との間に設けているが、電源制御ＴＦＴ１００７とＥＬ素子１００８との間に電流制御ＴＦＴ１００４が設けられた構造としても良い。また、電源制御ＴＦＴ１００７は電流制御ＴＦＴ１００４と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

【００７８】また、図１０（Ａ）は、二つの画素間で電流供給線１００６を共通とした場合の例である。即ち、二つの画素が電流供給線１００６を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。また、図１０（Ｂ）は、ゲート配線１００３と平行に電流供給線１０１０を設け、ソース配線１００１と平行に電源制御線１０１１を設けた場合の例である。

【００７９】なお、本実施例の構成は実施例１～５のいずれの構成とも自由に組み合わせて実施することが可能である。

【００８０】〔実施例７〕本実施例では、本発明のＥＬ発光装置の画素構造について図１１（Ａ）、（Ｂ）に示す。なお、本実施例において、１１０１はスイッチング

ＴＦＴ１１０２のソース配線、１１０３はスイッチングＴＦＴ１１０２のゲート配線、１１０４は電流制御ＴＦＴ、１１０５はコンデンサ（省略することも可能）、１１０６は電流供給線、１１０７は消去ＴＦＴ、１１０８は消去用ゲート配線、１１０９はＥＬ素子とする。このとき、ソース配線１１０１、ゲート配線１１０３、電流供給線１１０６および消去用ゲート配線１１０８が同一の層に同一の導電膜で形成される。

【００８１】なお、消去ＴＦＴ１１０７の動作については特願平１１－３３８７８６号を参照すると良い。ただし本実施例では電源制御ＴＦＴを電流制御ＴＦＴと同一構造のｐチャネル型ＴＦＴとする。また、特願平１１－３３８７８６号では消去用ゲート配線を消去用ゲート信号線と呼んでいる。

【００８２】消去ＴＦＴ１１０７のドレインは電流制御ＴＦＴ１１０４のゲートに接続され、電流制御ＴＦＴ１１０４のゲート電圧を強制的に変化させることができるようになっている。なお、消去ＴＦＴ１１０７はｐチャネル型ＴＦＴとし、オフ電流を小さくできるようにスイッチング用ＴＦＴ１１０２と同一構造とすることが好ましい。

【００８３】また、図１１（Ａ）は、二つの画素間で電流供給線１１０６を共通とした場合の例である。即ち、二つの画素が電流供給線１１０６を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。また、図１１（Ｂ）は、ゲート配線１１０３と平行に電流供給線１１１０を設け、ソース配線１１０１と平行に消去ゲート配線１１１１を設けた場合の例である。

【００８４】なお、本実施例の構成は実施例１～５のいずれの構成とも自由に組み合わせて実施することが可能である。

【００８５】〔実施例８〕本発明のＥＬ発光装置は画素内にいくつのＴＦＴを設けた構造としても良い。実施例６、７ではＴＦＴを三つ設けた例を示しているが、四つ乃至六つのＴＦＴを設けても構わない。本発明はＥＬ発光装置の画素構造に限定されずに実施することが可能である。

【００８６】なお、本実施例の構成は実施例１～５のいずれの構成とも自由に組み合わせて実施することが可能である。

【００８７】〔実施例９〕「発明の実施の形態」において、絶縁膜１０３に窒化珪素膜もしくは窒化酸化珪素膜を設け、保護膜１１８に窒化珪素膜もしくは窒化酸化珪素膜を設ける構成とすることが好ましい。

【００８８】このような構造とすると、スイッチング用ＴＦＴ２０１および電流制御用ＴＦＴ２０２が窒化珪素膜もしくは窒化酸化珪素膜で挟まれた構造となり、外部からの水分や可動イオンの侵入を効果的に防ぐことができる。

【００８９】また、第１層間絶縁膜１１９として有機絶縁膜を用いる場合、第１層間絶縁膜１１９と画素電極１２４の間に窒化珪素膜もしくはＤＬＣ（ダイヤモンドライクカーボン）膜を設け、さらに陰極１２８の上に前述の窒化珪素膜もしくはＤＬＣ膜を設けることは好ましい。

【００９０】このような構造とすると、ＥＬ素子３０３が窒化珪素膜もしくはＤＬＣ膜で挟まれた構造となり、外部からの水分や可動イオンの侵入を防ぐだけでなく、酸素の侵入をも効果的に防ぐことができる。ＥＬ素子中の発光層などの有機材料は酸素によって容易に酸化して劣化するため、本実施例のような構造とすることで大幅に信頼性を向上することができる。

【００９１】以上のように、ＴＦＴを保護するための対策とＥＬ素子を保護するための対策を併用して施すことで電子装置全体の信頼性を高めることができる。

【００９２】なお、本実施例の構成は、実施例１～実施例８のいずれの構成とも自由に組み合わせることが可能である。

【００９３】〔実施例１０〕本実施例では、スリットを設けた画素電極の上に導電性ポリマー膜を形成した例を図１５に示す。なお、本実施例の発光装置は、ＥＬ層の構成以外の構成において

【発明の実施の形態】に示した発光装置と同じである。従って、ＥＬ層の構成以外の説明は省略する。

【００９４】導電性ポリマーとしては、共役系高分子であるポリアセチレン、ポリチオフェン、ポリ（３－メチル）チオフェン、ポリ（３－エチル）チオフェン、ポリ（３－ｎ－ブチル）チオフェン、ポリ（３－ヘキシル）チオフェン、ポリ（３－オクチル）チオフェン、ポリ（３－ドデシル）チオフェン、ポリ（３－オクタデシル）チオフェン、ポリ（３－アイコシル）チオフェンもしくはポリ（３－メチル－Ｃｏ－ブチル）チオフェンに、ドーパントとしてPF_6^-、臭素もしくはヨウ素を用いたものを用いることができる。

【００９５】なお、ポリ（３－ヘキシル）チオフェン、ポリ（３－オクチル）チオフェン、ポリ（３－ドデシル）チオフェン、ポリ（３－オクタデシル）チオフェン、ポリ（３－アイコシル）チオフェン及びポリ（３－メチル－Ｃｏ－ブチル）チオフェンは可溶性である。溶媒としては、クロロホルム、ベンゼンもしくはテトラリンなどを用いることができる。

【００９６】本実施例では、スリット３００を設けた画素電極（陽極）１２４上に導電性ポリマー膜１５０を１０～５０ｎｍ（好ましくは２０～３０ｎｍ）の厚さに形成する。導電性ポリマー膜１５０として可溶性のものを用い、印刷法もしくはインクジェット法により成膜すればスリット３００による段差を平坦化することが可能である。

【００９７】そして、導電性ポリマー膜１５０上に、発光層１５１としてAlq_3を蒸着法により形成する。勿論、公知の発光層で代用しても良い。

【００９８】こうしてＥＬ層が形成されたら、その上に陰極１２８としてリチウムを含有したアルミニウム膜を形成する。

【００９９】以上のようにして、画素電極１２４、導電性ポリマー膜１５０、発光層１５１および陰極１２８からなるＥＬ素子１５２が形成される。

【０１００】なお、本実施例の構成は、実施例１～９のいずれの構成とも組み合わせて実施することが可能である。

【０１０１】〔実施例１１〕本実施例ではＥＬ層および陰極を形成するための成膜装置について図１２を用いて説明する。図１２において、１２０１は搬送室（Ａ）であり、搬送室（Ａ）１２０１には搬送機構（Ａ）１２０２が備えられ、基板１２０３の搬送が行われる。搬送室（Ａ）１２０１は減圧雰囲気にされており、各処理室とはゲートによって遮断されている。各処理室への基板の受け渡しは、ゲートを開けた際に搬送機構（Ａ）によって行われる。

【０１０２】また、搬送室（Ａ）１２０１を減圧するためにクライオポンプを用いる。なお、図１２の成膜装置では、搬送室（Ａ）１２０１の側面に排気ポート１２０４が設けられ、その下に排気ポンプが設置される。このような構造とすると排気ポンプのメンテナンスが容易になるという利点がある。

【０１０３】以下に、各処理室についての説明を行う。なお、搬送室（Ａ）１２０１は減圧雰囲気となるので、搬送室（Ａ）１２０１に直接的に連結された処理室には全て排気ポンプ（図示せず）が備えられている。排気ポンプとしては油回転ポンプ、メカニカルブースターポンプ、ターボ分子ポンプもしくはクライオポンプが用いられる。

【０１０４】まず、１２０５は基板のセッティング（設置）を行うストック室であり、ロードロック室とも呼ばれる。ストック室１２０５はゲート１２００aにより搬送室（Ａ）１２０１と遮断され、ここに基板１２０３をセットしたキャリア（図示せず）が配置される。また、ストック室１２０５は上述の排気ポンプと高純度の窒素ガスまたは希ガスを導入するためのパージラインを備えている。

【０１０５】また、本実施例では基板１２０３を、素子形成面を下向きにしてキャリアにセットする。これは後に蒸着法による成膜を行う際に、フェイスダウン方式を行いやすくするためである。フェイスダウン方式とは、基板の素子形成面が下を向いた状態で成膜する方式をいい、この方式によればゴミの付着などを抑えることができる。

【０１０６】次に、１２０６は搬送室（Ｂ）であり、ストック室１２０５とはゲート１２００bを介して連結され、搬送機構（Ｂ）１２０７を備えている。また、１２０８は焼成室（ベーク室）であり、ゲート１２００cを介して搬送室（Ｂ）１２０６と連結している。

【０１０７】なお、焼成室１２０８は基板の面の上下を反転させる機構を有する。即ち、フェイスダウン方式で搬送されてきた基板はここで一旦フェイスアップ方式に切り替わる。これは次のスピンコータ室１２０９での処理がフェイスアップ方式で行えるようにするためである。また逆に、スピンコータ室１２０９で処理を終えた基板は再び焼成室１２０８に戻ってきて焼成され、再び上下を反転させてフェイスダウン方式に切り替わり、ストック室１２０５へ戻る。

【０１０８】ところでスピンコータ室１２０９はゲート１２００dを介して搬送室（Ｂ）１２０６と連結している。スピンコータ室１２０９はＥＬ材料を含む溶液を基板上に塗布することでＥＬ材料を含む膜を形成する成膜室であり、主に高分子系（ポリマー系）有機ＥＬ材料を成膜する。このとき、成膜室は常に窒素やアルゴンなどの不活性ガスで充填しておく。

【０１０９】なお、成膜されるＥＬ材料は、発光層として用いるものだけでなく、電荷注入層または電荷輸送層をも含む。また、公知の如何なる高分子系有機ＥＬ材料を用いても良い。発光層となる代表的な有機ＥＬ材料としては、ＰＰＶ（ポリパラフェニレンビニレン）誘導体、ＰＶＫ（ポリビニルカルバゾール）誘導体またはポリフルオレン誘導体が挙げられる。これはπ共役ポリマーとも呼ばれる。また、電荷注入層としては、ＰＥＤＯＴ（ポリチオフェン）またはＰＡｎｉ（ポリアニリン）が挙げられる。

【０１１０】次に、１２１０で示されるのはＥＬ素子の画素電極となる陰極もしくは陽極の表面を処理する処理室（以下、前処理室という）であり、前処理室１２１０はゲート１２００eにより搬送室（Ａ）１２０１と遮断される。前処理室はＥＬ素子の作製プロセスによって様々に変えることができるが、ここでは画素電極の表面に紫外光を照射しつつ１００～１２０℃で加熱できるようにする。このような前処理は、ＥＬ素子の陽極表面を処理する際に有効である。

【０１１１】次に、１２１１は蒸着法により導電膜またはＥＬ材料を形成するための蒸着室であり、ゲート１２００fを介して搬送室（Ａ）１２０１に連結される。蒸着室１２１１は内部に複数の蒸着源を設置できる。また、抵抗加熱または電子ビームにより蒸着源を蒸発させ、成膜を行うことができる。

【０１１２】この蒸着室１２１１で形成される導電膜はＥＬ素子の陰極側の電極として設けられる導電膜であり、仕事関数の小さい金属、代表的には周期表の１族もしくは２族に属する元素（代表的にはリチウム、マグネシウム、セシウム、カルシウム、カリウム、バリウム、

ナトリウムもしくはベリリウム）またはそれらに近い仕事関数をもつ金属を蒸着できる。また、低抵抗な導電膜としてアルミニウム、銅もしくは銀を蒸着することもできる。さらに、透明導電膜として酸化インジウムと酸化スズとの化合物からなる導電膜や酸化インジウムと酸化亜鉛との化合物からなる導電膜を蒸着法により形成することも可能である。

【０１１３】また、蒸着室１２１１では公知のあらゆるＥＬ材料（特に低分子系有機ＥＬ材料）を形成することが可能である。発光層の代表例としてはAlq_3（トリス－８－キノリノラトアルミニウム錯体）もしくはＤＳＡ（ジスチルアリーレン誘導体）があり、電荷注入層の代表例としてはＣｕＰｃ（銅フタロシアニン）、ＬｉＦ（フッ化リチウム）もしくはａｃａｃＫ（カリウムアセチルアセトネート）があり、電荷輸送層の代表例としてはＴＰＤ（トリフェニルアミン誘導体）もしくはＮＰＤ（アントラセン誘導体）が挙げられる。

【０１１４】また、上記ＥＬ材料と蛍光物質（代表的には、クマリン６、ルブレン、ナイルレッド、ＤＣＭ、キナクリドン等）とを共蒸着することも可能である。蛍光物質としては公知の如何なる材料を用いても良い。また、ＥＬ材料と周期表の１族または２族に属する元素とを共蒸着して発光層の一部に電荷輸送層または電荷注入層としての役割をもたせることも可能である。なお、共蒸着とは、同時に蒸着源を加熱し、成膜段階で異なる物質を混合する蒸着法をいう。

【０１１５】いずれにしてもゲート１２００fによって搬送室（Ａ）１２０１と遮断され、真空下でＥＬ材料または導電膜の成膜が行われる。なお、成膜はフェイスダウン方式で行われる。

【０１１６】次に、１２１２は封止室（封入室またはグローブボックスともいう）であり、ゲート１２００gを介して搬送室（Ａ）１２０１に連結されている。封止室１２１２では、最終的にＥＬ素子を密閉空間に封入するための処理が行われる。この処理は形成されたＥＬ素子を酸素や水分から保護するための処理であり、カバー材で機械的に封入する、又は熱硬化性樹脂若しくは紫外光硬化性樹脂で封入するといった手段を用いる。

【０１１７】カバー材と上記ＥＬ素子が形成された基板とは熱硬化性樹脂又は紫外光硬化性樹脂を用いて貼り合わせられ、熱処理又は紫外光照射処理によって樹脂を硬化させて密閉空間を形成する。

【０１１８】図１２に示した成膜装置では、封止室１２１２の内部に紫外光を照射するための機構（以下、紫外光照射機構という）１２１３が設けられており、この紫外光照射機構１２１３から発した紫外光によって紫外光硬化性樹脂を硬化させる構成となっている。封止室１２１２の内部は排気ポンプを取り付けることで減圧することも可能であるし、高純度な窒素ガスや希ガスでパージしつつ与圧とすることも可能である。

【０１１９】次に、封止室１２１２には受渡室（パスボックス）１２１４が連結される。受渡室１２１４には搬送機構（Ｃ）１２１５が設けられ、封止室１２１２でＥＬ素子の封入が完了した基板を受渡室１２１４へと搬送する。受渡室１２１４も排気ポンプを取り付けることで減圧することが可能である。この受渡室１２１４は封止室１２１２を直接外気に晒さないようにするための設備であり、ここから基板を取り出す。

【０１２０】以上のように、図１２に示した成膜装置を用いることで完全にＥＬ素子を密閉空間に封入するまで外気に晒さずに済む。このような成膜装置を用いることで信頼性の高いＥＬ発光装置を作製することが可能となる。

【０１２１】〔実施例１２〕本発明は、バックライト等の光源として用いるＥＬ発光装置に対して実施することが可能である。光源として用いる場合、基板上に発光素子を形成すれば良いだけである。

【０１２２】本発明は発光素子の陽極もしくは陰極にスリットを設けることで、陽極として金属膜もしくは半導体膜を用いることができる。従って、発光素子の面積に拘わらず本発明を実施することが可能である。

【０１２３】〔実施例１３〕本発明を実施して形成したＥＬ発光装置は様々な電気器具の表示部もしくは光源として用いることができる。例えば、ＴＶ放送等を鑑賞するには対角２０～６０インチの本発明のＥＬ発光装置を筐体に組み込んだディスプレイを用いるとよい。なお、ＥＬ発光装置を筐体に組み込んだディスプレイには、パソコン用ディスプレイ、ＴＶ放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。

【０１２４】また、その他の本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音楽再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍）、画像再生装置（記録媒体に記録された画像を再生し、その画像を表示する表示部を備えた装置）が挙げられる。それら電気器具の具体例を図１３、図１４に示す。

【０１２５】図１３（Ａ）はＥＬ発光装置を筐体に組み込んだディスプレイであり、筐体２００１、支持台２００２、表示部２００３を含む。本発明のＥＬ発光装置は表示部２００３に用いることができる。このようなディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【０１２６】図１３（Ｂ）はビデオカメラであり、本体２１０１、表示部２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０

６を含む。本発明のＥＬ発光装置は表示部２１０２に用いることができる。

【０１２７】図１３（Ｃ）は頭部取り付け型のＥＬディスプレイの一部（右片側）であり、本体２２０１、信号ケーブル２２０２、頭部固定バンド２２０３、表示部２２０４、光学系２２０５、発光装置２２０６を含む。本発明はＥＬ発光装置２２０６に用いることができる。

【０１２８】図１３（Ｄ）は記録媒体を備えた画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２３０１、記録媒体（ＤＶＤ等）２３０２、操作スイッチ２３０３、表示部（ａ）２３０４、表示部（ｂ）２３０５を含む。表示部（ａ）は主として画像情報を表示し、表示部（ｂ）は主として文字情報を表示するが、本発明のＥＬ発光装置はこれら表示部（ａ）、（ｂ）に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【０１２９】図１３（Ｅ）は携帯型（モバイル）コンピュータであり、本体２４０１、カメラ部２４０２、受像部２４０３、操作スイッチ２４０４、表示部２４０５を含む。本発明のＥＬ発光装置は表示部２４０５に用いることができる。

【０１３０】図１３（Ｆ）はパーソナルコンピュータであり、本体２５０１、筐体２５０２、表示部２５０３、キーボード２５０４を含む。本発明のＥＬ発光装置は表示部２５０３に用いることができる。

【０１３１】なお、将来的に発光輝度がさらに高くなれば、出力した画像情報を含む光をレンズや光ファイバー等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【０１３２】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音楽再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【０１３３】ここで図１４（Ａ）は携帯電話であり、本体２６０１、音声出力部２６０２、音声入力部２６０３、表示部２６０４、操作スイッチ２６０５、アンテナ２６０６を含む。本発明のＥＬ発光装置は表示部２６０４に用いることができる。なお、表示部２６０４は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【０１３４】また、図１４（Ｂ）は音楽再生装置、具体的にはカーオーディオであり、本体２７０１、表示部２７０２、操作スイッチ２７０３、２７０４を含む。本発明のＥＬ発光装置は表示部２７０２に用いることができる。また、本実施例では車載用のカーオーディオを示すが、携帯型や家庭用の音楽再生装置に用いても良い。なお、表示部２７０４は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音楽再生装置において特に有効である。

【０１３５】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例１～１２に示したいずれの構成の発光装置を用いても良い。

【０１３６】

【発明の効果】発光素子の陽極もしくは陰極にスリットを設けることで、陽極として金属膜もしくは半導体膜を用いることが可能となる。これにより従来用いられていた酸化物導電膜を陽極に用いることなく、発光の取り出しが可能な発光素子を形成することが可能となる。

【０１３７】また、酸化物導電膜よりも抵抗の低い材料を陽極として用いることが可能となることから、電流注入効率が高く、応答性に優れた発光装置とすることができる。また、そのような発光装置を表示部として用いた高性能な電気器具を得ることができる。

【図面の簡単な説明】

【図１】　発光装置の作製工程を示す図。

【図２】　発光装置の作製工程を示す図。

【図３】　発光装置の上面構造及び回路構成を示す図。

【図４】　発光装置の断面構造を示す図。

【図５】　発光装置の作製工程を示す図。

【図６】　発光装置の上面構造を示す図。

【図７】　発光装置の回路構成を示す図。

【図８】　発光装置の回路構成を示す図。

【図９】　発光装置の上面構造および断面構造を示す図。

【図１０】　発光装置の回路構成を示す図。

【図１１】　発光装置の回路構成を示す図。

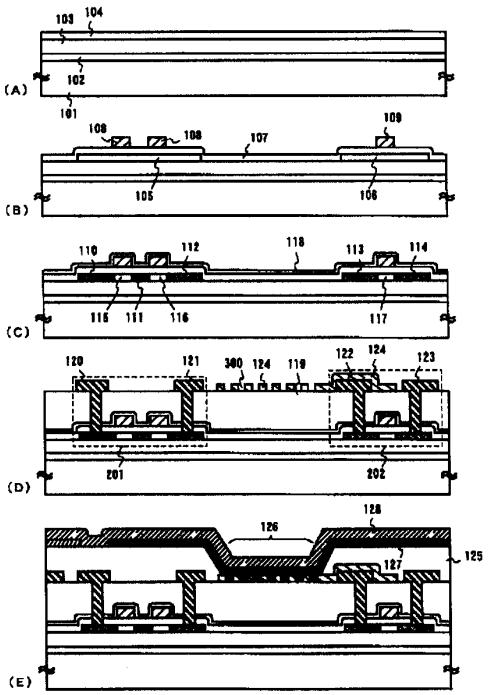
【図１２】　薄膜形成装置の構成を示す図。

【図１３】　電気器具の一例を示す図。

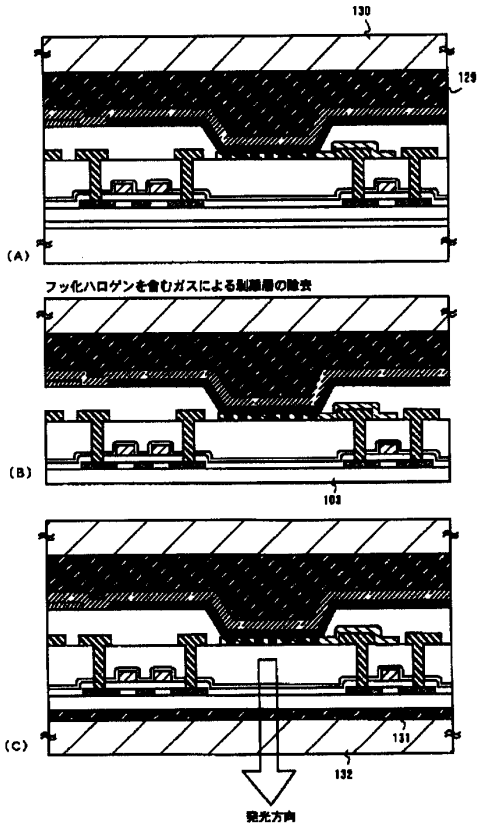
【図１４】　電気器具の一例を示す図。

【図１５】　発光装置の断面構造を示す図。

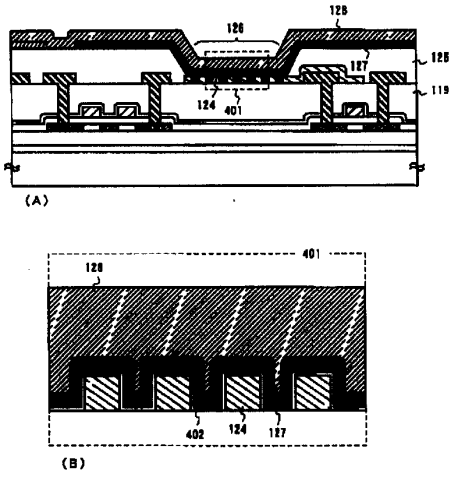
【図１】



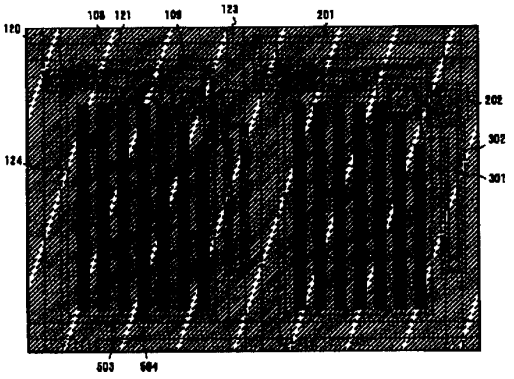
【図２】



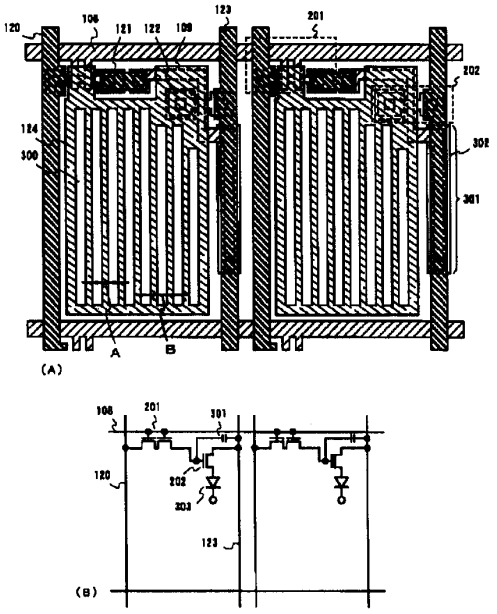
【図４】



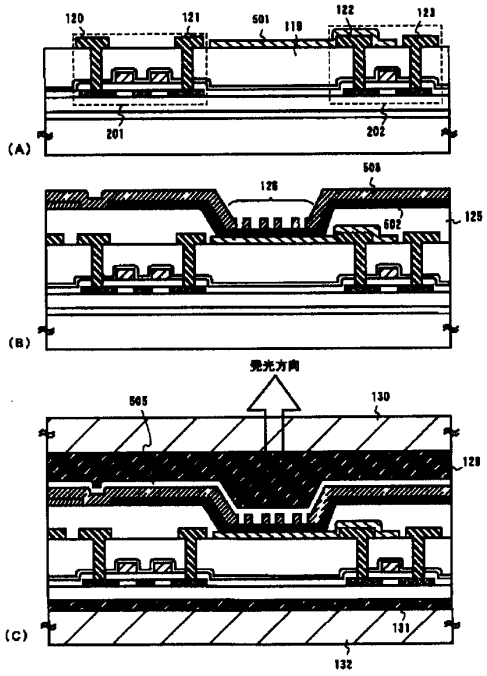
【図６】



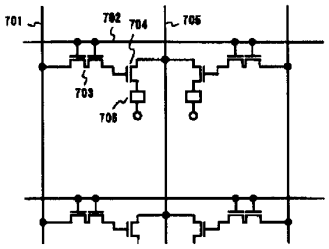
【図３】



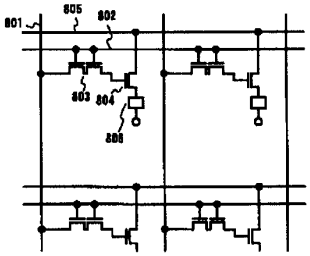
【図５】



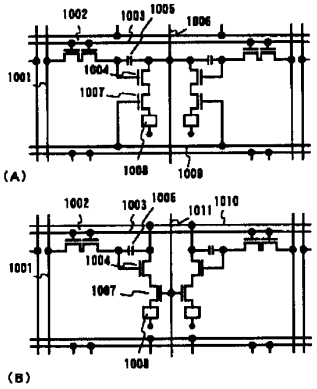
【図７】



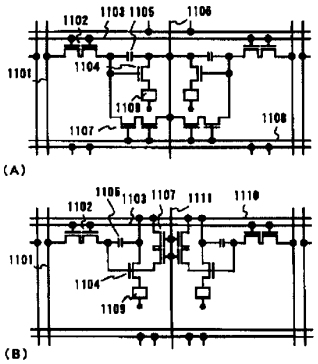
【図８】



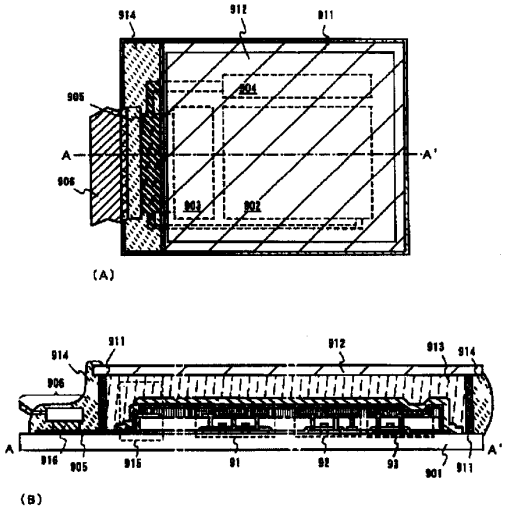
【図１０】



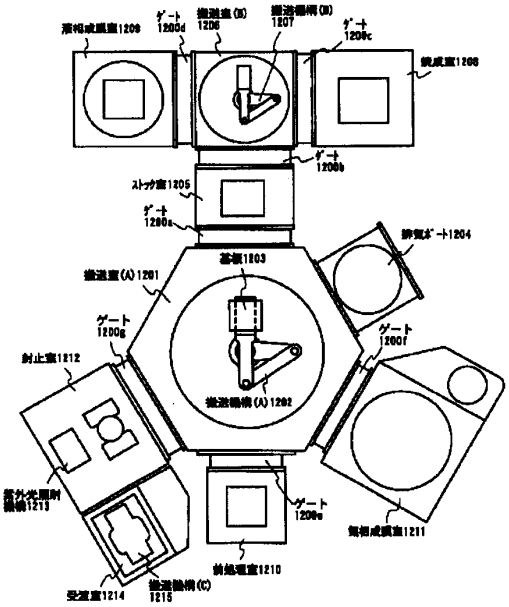
【図１１】



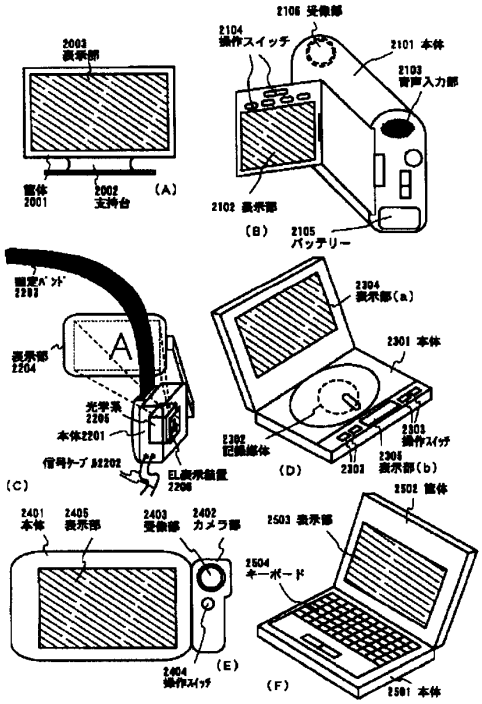
【図９】



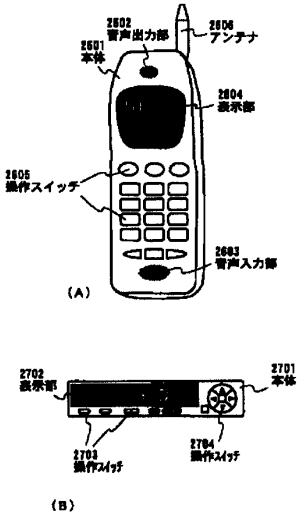
【図１２】



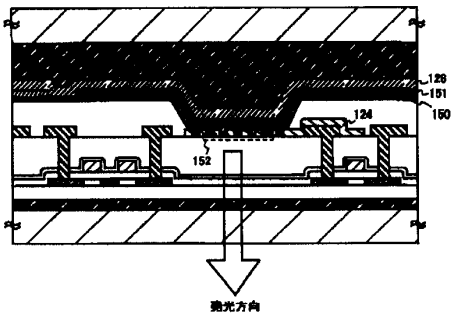
【図１３】



【図１４】



【図１５】



【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第１区分
【発行日】平成20年3月27日(2008.3.27)

【公開番号】特開2001-319789(P2001-319789A)
【公開日】平成13年11月16日(2001.11.16)
【出願番号】特願2001-56033(P2001-56033)
【国際特許分類】
Ｈ０５Ｂ　33/26　(2006.01)
Ｇ０９Ｆ　 9/30　(2006.01)
Ｈ０１Ｌ　27/32　(2006.01)
Ｈ０５Ｂ　33/10　(2006.01)
Ｈ０１Ｌ　51/50　(2006.01)
【ＦＩ】
Ｈ０５Ｂ　33/26　Ｚ
Ｇ０９Ｆ　 9/30　３３９Ａ
Ｇ０９Ｆ　 9/30　３６５Ｚ
Ｈ０５Ｂ　33/10
Ｈ０５Ｂ　33/14　Ａ

【手続補正書】
【提出日】平成20年2月6日(2008.2.6)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第１の電極と、
前記第１の電極上に設けられた導電性ポリマー膜と、
前記導電性ポリマー膜上に設けられた発光性材料を含む層と、
前記発光性材料を含む層上に設けられた第２の電極と、を有し、
前記第１の電極には、スリットが設けられていることを特徴とする発光装置。
【請求項２】
半導体素子と、
前記半導体素子上に設けられた第１の絶縁膜と、
前記第１の絶縁膜上に設けられ、前記半導体素子と電気的に接続された第１の電極と、
前記第１の電極上に設けられ、前記第１の電極の一部が露出するように開口部が設けられた第２の絶縁膜と、
前記第１の電極上及び前記第２の絶縁膜上に設けられた導電性ポリマー膜と、
前記導電性ポリマー膜上に設けられた発光性材料を含む層と、
前記発光性材料を含む層上に設けられた第２の電極と、を有し、
前記第１の電極には、スリットが設けられており、
前記第１の電極は、前記半導体素子及び前記第２の絶縁膜上に設けられた導電性ポリマー膜と重なる位置に延在していることを特徴とする発光装置。
【請求項３】
請求項１又は請求項２において、
前記導電性ポリマー膜は、ポリ（３－ヘキシル）チオフェン、ポリ（３－オクチル）チオフェン、ポリ（３－ドデシル）チオフェン、ポリ（３－オクタデシル）チオフェン、ポ

リ（３－アイコシル）チオフェン、又はポリ（３－メチル－Ｃｏ－ブチル）チオフェンのいずれかに、ドーパントとしてPF_6^-、臭素、もしくはヨウ素を添加した膜であることを特徴とする発光装置。

【請求項４】

請求項１乃至請求項３のいずれか一項において、

前記第１の電極は、金属材料からなることを特徴とする発光装置。

【請求項５】

請求項１乃至請求項３のいずれか一項において、

前記第１の電極は、半導体材料からなるを特徴とする発光装置。

【請求項６】

スリットが設けられた第１の電極を形成し、

前記第１の電極上に、導電性ポリマー膜を形成し、

前記導電性ポリマー膜上に発光性材料を含む層を形成し、

前記発光性材料を含む層上に第２の電極を形成することを特徴とする発光装置の作製方法。

【請求項７】

半導体素子を形成し、

前記半導体素子上に第１の絶縁膜を形成し、

前記絶縁膜上に、前記半導体素子と電気的に接続され、スリットが設けられた第１の電極を形成し、

前記第１の電極上に第２の絶縁膜を形成し、

前記第２の絶縁膜に、前記第１の電極の一部を露出させるための開口部を形成し、

前記第１の電極上及び前記第２の絶縁膜上に導電性ポリマー膜を形成し、

前記導電性ポリマー膜上に発光性材料を含む層を形成し、

前記発光性材料を含む層上に第２の電極を形成し、

前記第１の電極は、前記半導体素子及び前記第２の絶縁膜上に設けられた導電性ポリマー膜と重なる位置に延在するように形成することを特徴とする発光装置の作製方法。

【請求項８】

請求項６又は請求項７において、

前記導電性ポリマー膜は、可溶性の導電性ポリマーを塗布することによって形成することを特徴とする発光装置の作製方法。

【請求項９】

請求項６乃至請求項８のいずれか一項において、

前記導電性ポリマー膜は、ポリ（３－ヘキシル）チオフェン、ポリ（３－オクチル）チオフェン、ポリ（３－ドデシル）チオフェン、ポリ（３－オクタデシル）チオフェン、ポリ（３－アイコシル）チオフェン、又はポリ（３－メチル－Ｃｏ－ブチル）チオフェンのいずれかに、ドーパントとしてPF_6^-、臭素、もしくはヨウ素を添加した膜であることを特徴とする発光装置の作製方法。

【請求項１０】

請求項６乃至請求項９のいずれか一項において、

前記第１の電極は、金属材料からなることを特徴とする発光装置の作製方法。

【請求項１１】

請求項６乃至請求項９のいずれか一項において、

前記第１の電極は、半導体材料からなるを特徴とする発光装置の作製方法。

【請求項１２】

第１の電極と、

前記第１の電極上に設けられた発光性材料を含む層と、

前記発光性材料を含む層上に設けられた第２の電極と、を有し、

前記第１の電極には、スリットが設けられていることを特徴とする発光装置。

Electronic Acknowledgement Receipt	
EFS ID:	9806736
Application Number:	12917885
International Application Number:	
Confirmation Number:	2374
Title of Invention:	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
First Named Inventor/Applicant Name:	Yojiro MATSUEDA
Customer Number:	25944
Filer:	James Albert Oliff/Kristin Bennett
Filer Authorized By:	James Albert Oliff
Attorney Docket Number:	114251.03
Receipt Date:	04-APR-2011
Filing Date:	02-NOV-2010
Time Stamp:	18:43:41
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Filed (SB/08)	11425103_IDSX.pdf	103451 e71640e139f3acb55252242b045f20c31d87a6e5	no	3
Warnings:					
Information:					

This is not an USPTO supplied IDS fillable form					
2	Foreign Reference	11425103_JP_Ref.pdf	1327213 0709c1c67959359e507bf77f4ee52e55cb6eb2d8	no	19
Warnings:					
Information:					
3	NPL Documents	11425103_US_Ref.pdf	423427 7208829176557735bd95f4696e91ce1e52a21b67	no	11
Warnings:					
Information:					
			Total Files Size (in bytes):	1854091	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/917,885	11/02/2010	Yojiro MATSUEDA	114251.03	2374

25944 7590 04/06/2011

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

EXAMINER	
BOLOTIN, DMITRIY	
ART UNIT	**PAPER NUMBER**
2629	

NOTIFICATION DATE	DELIVERY MODE
04/06/2011	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

OfficeAction25944@oliff.com
jarmstrong@oliff.com

UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
United States Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450
www.uspto.gov

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA VA 22320-4850

In re Application of	:	
MATSUEDA, YOJIRO	:	DECISION ON REQUEST TO
Application No. **12/917885**	:	PARTICIPATE IN PATENT
Filed: **11/02/2010**	:	PROSECUTION HIGHWAY
Attorney Docket No. **114251.03**	:	PROGRAM AND PETITION
	:	TO MAKE SPECIAL UNDER
	:	37 CFR 1.102(d)

This is a decision on the request to participate in the Patent Prosecution Highway (PPH) program and the petition under 37 CFR 1.102(d), filed February 4, 2011, to make the above-identified application special.

The request and petition are **DISMISSED AS MOOT**.

A grantable request to participate in the PPH program and petition to make special require:

(1) The U.S. application must validly claim priority under 35 U.S.C. 119(a) to one or more applications filed in the JPO;
(2) Applicant must submit a copy of the allowable/patentable claim(s) from the JPO application(s) along with an English translation thereof and a statement that the English translation is accurate;
(3) All the claims in the U.S. application must sufficiently correspond or be amended to sufficiently correspond to the allowable/patentable claim(s) in the JPO application(s);
(4) Examination of the U.S. application has not begun;
(5) Applicant must submit a copy of all the office actions from each of the JPO application(s) containing the allowable/patentable claim(s) along with an English translation thereof and a statement that the English translation is accurate; and
(6) Applicant must submit an IDS listing the documents cited by the JPO examiner in the JPO office action along with copies of documents except U.S. patents or U.S. patent application publications.

The request to participate in the PPH program and petition are dismissed as moot as the examination of the above-identified application has begun. An Office Action was mailed on February 8, 2011.

Telephone inquiries concerning this decision should be directed to Daniel Swerdlow at 571-272-7531.

All other inquiries concerning the examination or status of the application should be directed to Patent Application Information Retrieval (PAIR) system.

The application is being forwarded to the examiner for action on the merits commensurate with this decision.

/ Daniel Swerdlow/

Daniel Swerdlow
Quality Assurance Specialist
Technology Center 2600
Communications

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/917,885	11/02/2010	Yojiro MATSUEDA	114251.03	2374

25944 7590 05/02/2011

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

EXAMINER	
BOLOTIN, DMITRIY	
ART UNIT	PAPER NUMBER
2629	

NOTIFICATION DATE	DELIVERY MODE
05/02/2011	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

OfficeAction25944@oliff.com
jarmstrong@oliff.com

PTOL-90A (Rev. 04/07)

Interview Summary	Application No.	Applicant(s)	
	12/917,885	MATSUEDA, YOJIRO	
	Examiner	Art Unit	
	DMITRIY BOLOTIN	2629	

All participants (applicant, applicant's representative, PTO personnel):

(1) *DMITRIY BOLOTIN*. (3) *Kevin R. Davis*.

(2) *Amare Mengistu*. (4)_____.

Date of Interview: *18 April 2011*.

Type: a)☐ Telephonic b)☐ Video Conference
c)☒ Personal [copy given to: 1)☐ applicant 2)☒ applicant's representative]

Exhibit shown or demonstration conducted: d)☐ Yes e)☒ No.
If Yes, brief description: _____.

Claim(s) discussed: *1-10*.

Identification of prior art discussed: *Dawson and Yumoto*.

Agreement with respect to the claims f)☐ was reached. g)☐ was not reached. h)☒ N/A.

Substance of Interview including description of the general nature of what was agreed to if an agreement was reached, or any other comments: *Discussed the claims in view of applied art, discussed the motivation to combine references* .

(A fuller description, if necessary, and a copy of the amendments which the examiner agreed would render the claims allowable, if available, must be attached. Also, where no copy of the amendments that would render the claims allowable is available, a summary thereof must be attached.)

THE FORMAL WRITTEN REPLY TO THE LAST OFFICE ACTION MUST INCLUDE THE SUBSTANCE OF THE INTERVIEW. (See MPEP Section 713.04). If a reply to the last Office action has already been filed, APPLICANT IS GIVEN A NON-EXTENDABLE PERIOD OF THE LONGER OF ONE MONTH OR THIRTY DAYS FROM THIS INTERVIEW DATE, OR THE MAILING DATE OF THIS INTERVIEW SUMMARY FORM, WHICHEVER IS LATER, TO FILE A STATEMENT OF THE SUBSTANCE OF THE INTERVIEW. See Summary of Record of Interview requirements on reverse side or on attached sheet.

/DMITRIY BOLOTIN/ Examiner, Art Unit 2629	

Summary of Record of Interview Requirements

Manual of Patent Examining Procedure (MPEP), Section 713.04, Substance of Interview Must be Made of Record
A complete written statement as to the substance of any face-to-face, video conference, or telephone interview with regard to an application must be made of record in the application whether or not an agreement with the examiner was reached at the interview.

Title 37 Code of Federal Regulations (CFR) § 1.133 Interviews
Paragraph (b)

In every instance where reconsideration is requested in view of an interview with an examiner, a complete written statement of the reasons presented at the interview as warranting favorable action must be filed by the applicant. An interview does not remove the necessity for reply to Office action as specified in §§ 1.111, 1.135. (35 U.S.C. 132)

37 CFR §1.2 Business to be transacted in writing.
All business with the Patent or Trademark Office should be transacted in writing. The personal attendance of applicants or their attorneys or agents at the Patent and Trademark Office is unnecessary. The action of the Patent and Trademark Office will be based exclusively on the written record in the Office. No attention will be paid to any alleged oral promise, stipulation, or understanding in relation to which there is disagreement or doubt.

———

The action of the Patent and Trademark Office cannot be based exclusively on the written record in the Office if that record is itself incomplete through the failure to record the substance of interviews.

It is the responsibility of the applicant or the attorney or agent to make the substance of an interview of record in the application file, unless the examiner indicates he or she will do so. It is the examiner's responsibility to see that such a record is made and to correct material inaccuracies which bear directly on the question of patentability.

Examiners must complete an Interview Summary Form for each interview held where a matter of substance has been discussed during the interview by checking the appropriate boxes and filling in the blanks. Discussions regarding only procedural matters, directed solely to restriction requirements for which interview recordation is otherwise provided for in Section 812.01 of the Manual of Patent Examining Procedure, or pointing out typographical errors or unreadable script in Office actions or the like, are excluded from the interview recordation procedures below. Where the substance of an interview is completely recorded in an Examiners Amendment, no separate Interview Summary Record is required.

The Interview Summary Form shall be given an appropriate Paper No., placed in the right hand portion of the file, and listed on the "Contents" section of the file wrapper. In a personal interview, a duplicate of the Form is given to the applicant (or attorney or agent) at the conclusion of the interview. In the case of a telephone or video-conference interview, the copy is mailed to the applicant's correspondence address either with or prior to the next official communication. If additional correspondence from the examiner is not likely before an allowance or if other circumstances dictate, the Form should be mailed promptly after the interview rather than with the next official communication.

The Form provides for recordation of the following information:
- Application Number (Series Code and Serial Number)
- Name of applicant
- Name of examiner
- Date of interview
- Type of interview (telephonic, video-conference, or personal)
- Name of participant(s) (applicant, attorney or agent, examiner, other PTO personnel, etc.)
- An indication whether or not an exhibit was shown or a demonstration conducted
- An identification of the specific prior art discussed
- An indication whether an agreement was reached and if so, a description of the general nature of the agreement (may be by attachment of a copy of amendments or claims agreed as being allowable). Note: Agreement as to allowability is tentative and does not restrict further action by the examiner to the contrary.
- The signature of the examiner who conducted the interview (if Form is not an attachment to a signed Office action)

It is desirable that the examiner orally remind the applicant of his or her obligation to record the substance of the interview of each case. It should be noted, however, that the Interview Summary Form will not normally be considered a complete and proper recordation of the interview unless it includes, or is supplemented by the applicant or the examiner to include, all of the applicable items required below concerning the substance of the interview.

A complete and proper recordation of the substance of any interview should include at least the following applicable items:

1) A brief description of the nature of any exhibit shown or any demonstration conducted,
2) an identification of the claims discussed,
3) an identification of the specific prior art discussed,
4) an identification of the principal proposed amendments of a substantive nature discussed, unless these are already described on the Interview Summary Form completed by the Examiner,
5) a brief identification of the general thrust of the principal arguments presented to the examiner,
   (The identification of arguments need not be lengthy or elaborate. A verbatim or highly detailed description of the arguments is not required. The identification of the arguments is sufficient if the general nature or thrust of the principal arguments made to the examiner can be understood in the context of the application file. Of course, the applicant may desire to emphasize and fully describe those arguments which he or she feels were or might be persuasive to the examiner.)
6) a general indication of any other pertinent matters discussed, and
7) if appropriate, the general results or outcome of the interview unless already described in the Interview Summary Form completed by the examiner.

Examiners are expected to carefully review the applicant's record of the substance of an interview. If the record is not complete and accurate, the examiner will give the applicant an extendable one month time period to correct the record.

Examiner to Check for Accuracy

If the claims are allowable for other reasons of record, the examiner should send a letter setting forth the examiner's version of the statement attributed to him or her. If the record is complete and accurate, the examiner should place the indication, "Interview Record OK" on the paper recording the substance of the interview along with the date and the examiner's initials.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of



Yojiro MATSUEDA

Application No.: 12/917,885

Filed: November 2, 2010

Group Art Unit: 2629

Examiner: D. BOLOTIN

Docket No.: 114251.03

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

TERMINAL DISCLAIMER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Your Petitioner, Seiko Epson Corporation, represents that it is the owner of a 100% interest in the above-identified patent application by virtue of an Assignment filed February 13, 2003 and recorded at Reel 013428, Frame 0987. The undersigned also certifies that he is empowered to execute this Terminal Disclaimer on behalf of the assignee.

Your Petitioner hereby disclaims the terminal part of the statutory term of any patent granted on the above-identified application, which would extend beyond the expiration of the full statutory term as presently shortened by any Terminal Disclaimer, of U.S. Patent No. 7,483,001 issued January 27, 2009 and hereby agrees that any patent so granted on the above-identified application shall be enforceable only for and during such period that any patent issuing from the above-identified application is commonly owned with said U.S. Patent, this agreement to run with any patent granted on the above-identified application and to be binding upon the grantee, its successors or assigns.

Petitioner does not disclaim any terminal part of any patent granted on the above-identified application prior to the expiration of the full statutory term as presently shortened by any Terminal Disclaimer of said U.S. Patent in the event that said U.S. Patent later: expires for failure to pay a maintenance fee, is held unenforceable, is found invalid, is statutorily disclaimed in whole or terminally disclaimed under 37 CFR 1.321, has all claims canceled by a reexamination certificate, is reissued, or is otherwise terminated prior to the expiration of said U.S. Patent's full statutory term as presently shortened by any Terminal Disclaimer.

Check No. 237294 in the amount of ☒ $140.00 (large entity) or ☐ $70.00 (small entity) is attached in accordance with 35 U.S.C. §41(a)(5). The U.S. Patent and Trademark Office is authorized to debit Deposit Account No. 15-0461 in the amount necessary to effect filing of this Terminal Disclaimer.

DATE: May 9, 2011

SIGNED:

TYPED NAME: Mario A. Costantino

TITLE OR REGISTRATION NO. OF ATTORNEY OF RECORD: 39,565

05/10/2011 SMOHAMME 00000027 12917885
01 FC:1814 140.00 OP



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2629

Application No.: 12/917,885

Examiner: D. BOLOTIN

Filed: November 2, 2010

Docket No.: 114251.03

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

AMENDMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In reply to the February 8, 2011 Office Action and in view of the April 18, 2011 personal interview with Examiner Bolotin, please consider the following:

Amendments to the Claims as reflected in the listing of claims; and

Remarks.

Amendments to the Claims:

The following listing of claims will replace all prior versions, and listings, of claims in the application:

1. (Currently Amended) An electro-optical device comprising:

a data line;

a control line; and

a unit circuit arranged corresponding to an intersection of the data line and the control line, the unit circuit comprising:

a first transistor;

an electro-optical element electrically connected to one of a source or a drain of the first transistor;

a second transistor connected between the one of the source or the drain and a gate of the first transistor; and

a holding element that is connected to the gate of the first transistor and holds a gate voltage of the first transistor according to a data signal,

the first transistor supplying a current based on the gate voltage to the electro-optical element,

the first transistor having a single-gate structure, and

the second transistor having a multi-gate structure.

2. (Original) The electro-optical device according to claim 1, wherein the first transistor and the second transistor have opposite polarities.

3. (Original) The electro-optical device according to claim 1,

wherein at least a portion of wiring between the first transistor and the second transistor is formed in a metal layer which is different from a semiconductor layer in which the first transistor and the second transistor are formed, and

wherein the metal layer is a layer different from a gate metal layer in which a gate of the second transistor is formed, and the wiring between the first transistor and the second transistor is provided through a contact hole.

4. (Original) The electro-optical device according to claim 2,

wherein at least a portion of wiring between the first transistor and the second transistor is formed in a metal layer which is different from a semiconductor layer in which the first transistor and the second transistor are formed, and

wherein the metal layer is a layer different from a gate metal layer in which a gate of the second transistor is formed, and the wiring between the first transistor and the second transistor is provided through a contact hole.

5. (Original) The electro-optical device according to claim 1,

wherein the unit circuit further comprises a third transistor connected between the holding element and the data line, and

wherein the second transistor and the third transistor are controlled according to a common control signal.

6. (Original) An electronic device comprising an electro-optical device according to claim 1.

7. (Original) An electronic device comprising an electro-optical device according to claim 2.

8. (Original) An electronic device comprising an electro-optical device according to claim 3.

9. (Original) An electronic device comprising an electro-optical device according to claim 4.

10. (Original) An electronic device comprising an electro-optical device according to claim 5.

REMARKS

Claims 1-10 are pending in this application. By this Amendment, independent claim 1 is amended. Support for the amendments to independent claim 1 can be found, at least, at Fig. 5 and its corresponding disclosure. No new matter is added. Reconsideration in view of the above amendment and the following remarks is respectfully requested.

The courtesies extended to Applicant's representative by Examiner Bolotin at the interview held April 18, 2011, are appreciated. The reasons presented at the interview as warranting favorable action are incorporated into the remarks below, which constitute Applicant's record of the interview.

I. Double Patenting Rejection

The Office Action rejects claims 1-8 on the ground of nonstatutory obviousness-type double patenting as allegedly unpatentable over claims 1-13 of U.S. Patent No. 7,483,001. Applicant respectfully traverses the rejection.

Applicant respectfully requests withdrawal of the rejection in view of the Terminal Disclaimer attached hereto.

II. Claim Rejections under 35 U.S.C. § 103

The Office Action rejects claim 1, 2, and 5-10 under 35 U.S.C. § 103(a) as allegedly unpatentable over Dawson (U.S. Patent No. 6,229,506) in view of Yumoto (U.S. Patent No. 6,859,193); and rejects claims 3 and 4 under 35 U.S.C. § 103(a) as allegedly unpatentable over Dawson and Yumoto in view of Koyama (U.S. Patent No. 7,277,070). Applicant respectfully traverses the rejections.

Applicants respectfully submit that the applied reference fails to disclose and would not have rendered obvious, at least, an electro-optical device including a unit circuit including a first transistor; an electro-optical element electrically connected to one of a source or a drain of the first transistor; a second transistor connected between the one of the source or the drain

and a gate of the first transistor; and a holding element that is connected to the gate of the first transistor and holds a gate voltage of the first transistor according to a data signal, the first transistor supplying a current based on the gate voltage to the electro-optical element, the first transistor having a single-gate structure and the second transistor having a multi-gate structure, as recited by independent claim 1.

Specifically, the Office Action admits that Dawson fails to disclose a second transistor having a multi-gate structure and relies on Yumoto as curing the deficiencies of Dawson. By this Amendment, independent claim 1 is amended to include a first transistor having a single-gate structure. As is clear from the disclosures of both Dawson and Yumoto, neither of them describe both a first transistor having a single-gate structure and a second transistor having a multi-gate structure, as claimed.

Further, one skilled in the art at the time of invention would not have replaced the alleged second transistor of Dawson with one of the multi-gate transistors of Yumoto and left the alleged first transistor of Dawson as a single-gate transistor to arrive at the claimed subject matter of independent claim 1.

Specifically, as is clear from Fig. 8, Yumoto describes the use of at least two multi-gate configurations TFT2(a and b) and TFT4(a and b). The purpose of replacing both TFT2 and TFT4 with a multi-gate configuration is to prevent leakage current from the capacitor. One skilled in the art would understand that it is the replacement of both TFT2 and TFT4 with multi-gate configurations that effectuates this purpose. One skilled in the art would understand that only replacing one of TFT2 and TFT4 with a multi-gate configuration would cause a leakage current at the remaining single-gate transistor. In view of these teachings, if one skilled in the art were to combine the teachings of Dawson with Yumoto, he would have replaced both the alleged first transistor and the alleged second transistor with a multi-gate structure.

Yumoto teaches one skilled in the art to replace both the alleged first transistor and the alleged second transistor of Dawson with a multi-gate transistor. As such, the combination of Dawson with Yumoto fails to render obvious a first transistor having a single-gate structure and a second transistor having a multi-gate structure.

Accordingly, the applied references fail to disclose and would not have rendered obvious each and every element of independent claim 1. As such, independent claim 1 is patentable. The dependent claims are also patentable, at least, by virtue of their dependencies from patentable independent claim 1, as well as for the additional features they recite.

Accordingly, Applicant respectfully requests withdrawal of the rejections.

III. Conclusion

In view of the foregoing, it is respectfully submitted that this application is in condition for allowance. Favorable reconsideration and prompt allowance of the claims are earnestly solicited.

Should the Examiner believe that anything further would be desirable in order to place this application in even better condition for allowance, the Examiner is invited to contact the undersigned at the telephone number set forth below.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kevin Ross Davis
Registration No. 64,667

JAO:KRD/plj

Attachment:
Terminal Disclaimer

Date: May 9, 2011

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry of this filing; Charge any fee due to our Deposit Account No. 15-0461

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 12/917,885	Filing Date 11/02/2010	☐ To be Mailed

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

		(Column 1)		(Column 2)	(Column 3)	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
AMENDMENT	**05/09/2011**	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 10	Minus	** 20	= 0	X $ =		OR	X $52=	0
	Independent (37 CFR 1.16(h))	* 1	Minus	***3	= 0	X $ =		OR	X $220=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	**0**

		(Column 1)		(Column 2)	(Column 3)					
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/BRUCE HARRISON/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Application Number	Application/Control No.	Applicant(s)/Patent under Reexamination	
	12/917,885	MATSUEDA, YOJIRO	

Document Code - DISQ	Internal Document – DO NOT MAIL

TERMINAL DISCLAIMER	☒ APPROVED	☐ DISAPPROVED
Date Filed : May 9, 2011	This patent is subject to a Terminal Disclaimer	

Approved/Disapproved by:
Henry D. Jefferson

U.S. Patent and Trademark Office

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/917,885	11/02/2010	Yojiro MATSUEDA	114251.03	2374

25944 7590 06/21/2011

OLIFF & BERRIDGE, PLC
P.O. BOX 320850
ALEXANDRIA, VA 22320-4850

EXAMINER	
BOLOTIN, DMITRIY	
ART UNIT	PAPER NUMBER
2629	

NOTIFICATION DATE	DELIVERY MODE
06/21/2011	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

OfficeAction25944@oliff.com
jarmstrong@oliff.com

Office Action Summary	Application No.	Applicant(s)	
	12/917,885	MATSUEDA, YOJIRO	
	Examiner	Art Unit	
	DMITRIY BOLOTIN	2629	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE *3* MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *09 May 2011*.

2a)☒ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-10* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *1-10* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☐ All b)☐ Some * c)☐ None of:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *04/04/2011*.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

It would be of great assistance to the Office if all incoming papers pertaining to a filed application carried the following items:

1. Application number (checked for accuracy, including series code and serial no.).
2. Group art unit number (copied from most recent Office communication).
3. Filing date.
4. Name of the examiner who prepared the most recent Office action.
5. Title of invention.
6. Confirmation number (See MPEP § 503).

Terminal Disclaimer

1. The terminal disclaimer filed on 05/09/2011 disclaiming the terminal portion of any patent granted on this application which would extend beyond the expiration date of U.S. Patent No. 7,483,001 is under review and the double patenting rejection is withdrawn at this time.

Claim Rejections - 35 USC § 103

2. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

3. **Claims 1, 2 and 5 – 10** are rejected under 35 U.S.C. 103(a) as being unpatentable over Dawson et al. (US 6,229,506) in view of Yumoto (US 6,859,193).

As to **claim 1**, Dawson discloses an electro-optical device comprising: a data line (220 of fig. 2); a control line (210 of fig. 2); and a unit circuit arranged corresponding to an intersection of the data line and the control line (dig. 2), the unit circuit comprising: a first transistor (260 of fig. 2); an electro-optical element electrically connected to one of a source or a drain of the first transistor (290 of fig. 2); a second transistor connected between the one of the source or the drain and a gate of the first transistor (240 of fig. 2); and a holding element that is connected to the gate of the first transistor and holds a gate voltage of the first transistor according to a data signal (280 of fig. 2), and the first transistor supplying a current based on the gate voltage (inherently, TFT 260 is on based on voltage at the gate, inducing current through OLED) to the electro-optical element (290 of fig. 2), the first transistor having single gate structure (as shown in fig. 2, the transistor 260 is a single gate transistor). Dawson fails to disclose that the second transistor having a multi-gate structure.

In the same field of endeavor, Yumoto discloses a transistor having a multi-gate structure (TFT4 and TFT2 of fig. 8).

Therefore, it would have been obvious to one of ordinary skill in the art at the time of the invention to substitute the second transistor of Dawson with multi-gate structure transistor of Yumoto, because such structure suppresses and lowers leakage current (Yumoto, col. 14, lines 5 – 36).

As to **claim 2** (dependent on 1), Dawson discloses the electro-optical device, wherein a fourth transistor (270 of fig. 2) and the second transistor (240 of fig. 2) have opposite polarities (PMOS 240 and NMOS 270, col. 3, lines 10 – 30) and the first

transistor is the same polarity as the second transistor (PMOS 240 and PMOS 260, col. 3, lines 10 – 30).

Dawson fails to disclose that the first transistor and the second transistor have opposite polarity.

However, it would have been obvious to one of ordinary skill in the art at the time of the invention to interchange PMOS and NMOS selecting transistors, making transistors 240 and 250 NMOS and transistor 270 PMOS as a design choice alternative which would have not affected the functionality of the circuit and would have preserved 2.5 lines per pixel as disclosed by Dawson (col. 4, lines 5 – 25), thus the resultant circuit would have resulted in the first transistor and the second transistor having opposite polarity and would have only required a routine set of skills.

As to **claim 5** (dependent on 1), Dawson discloses the electro-optical device, wherein the unit circuit further comprises a third transistor (250 of fig. 2) connected between the holding element (280 of fig. 2) and the data line (220 of fig. 2), and wherein the second transistor (240 of fig. 2) and the third transistor (250 of fig. 2) are controlled according to a common control signal (210 of fig. 2).

As to **claim 6** (dependent on 1), Dawson discloses an electronic device comprising an electro-optical device according to claim 1 (matrix display, col. 1, lines 15 – 35).

As to **claim 7** (dependent on 2), Dawson discloses an electronic device comprising an electro-optical device according to claim 2 (matrix display, col. 1, lines 15 – 35).

As to **claim 8** (dependent on 3), Dawson discloses an electronic device comprising an electro-optical device according to claim 3 (matrix display, col. 1, lines 15 – 35).

As to **claim 9** (dependent on 4), Dawson discloses an electronic device comprising an electro-optical device according to claim 4 (matrix display, col. 1, lines 15 – 35).

As to **claim 10** (dependent on 5), Dawson discloses an electronic device comprising an electro-optical device according to claim 5 (matrix display, col. 1, lines 15 – 35).

4. **Claims 3 and 4** are rejected under 35 U.S.C. 103(a) as being unpatentable over Dawson in view of Yumoto and Koyama (US 7,277,070).

As to **claim 3** (dependent on 1) and **claim 4** (dependent on 2), Dawson discloses the electro-optical device, but Dawson in view of Yumoto fails to disclose that at least a portion of wiring between the first transistor and the second transistor is formed in a metal layer which is different from a semiconductor layer in which the first transistor and the second transistor are formed, and wherein the metal layer is a layer different from a gate metal layer in which a gate of the second transistor is formed, and the wiring between the first transistor and the second transistor is provided through a contact hole.

In the same field of endeavor, Koyama discloses at least a portion of wiring between the first transistor (104 of figs. 1 and 20) and the second transistor (103 of figs. 1 and 20) is formed in a metal layer (wiring line 183 of fig. 20) which is different from a

semiconductor layer in which the first transistor and the second transistor are formed (as shown in figs. 21 and 22, the conductive film layer comprising elements 5057 - 5062 of fig. 23A is formed outside of semiconductor layer 5004 - 5006 of fig. 21A), and wherein the metal layer (183 of fig. 20, which is conductive film layer comprising elements 5057 - 5062 of fig. 23A) is a layer different from a gate metal layer in which a gate of the second transistor is formed (185 of fig. 20, which is 5011 – 5015 of fig. 21B), and the wiring between the first transistor and the second transistor is provided through a contact hole (as shown in fig. 23A, in order to connect 5059 to the second switching transistor and 5061 to the current control TFT, a via has to be created through 5056).

Therefore, it would have been obvious to one of ordinary skill in the art at the time of the invention to modify the device of Dawson in view of Yumoto and to layout the transistors according to the layout disclosed by Koyama, so as to provide a light emitting device capable of obtaining a constant luminance irrespective of temperature change (Koyama, col. 3, lines 40 – 50).

Response to Arguments

5. Applicant's arguments filed 05/09/2011 have been fully considered but they are not persuasive.

6. As to Applicant’s argument that Dawson and Yumoto, neither of them describe both a first transistor having a single-gate structure and a second transistor having a multi-gate structure, as claimed, the Examiner respectfully disagrees. Dawson describes a first transistor having a single-gate structure (260 of fig. 2) and Yumoto

describes a second transistor having a multi-gate structure (TFT4 and TFT2 of fig. 8), therefore, the combination of Dawson and Yamoto discloses Applicant's claimed invention.

7. As to Applicant's argument that one skilled in the art at the time of invention would not have replaced the alleged second transistor of Dawson with one of the multi-gate transistors of Yumoto and left the alleged first transistor of Dawson as a single-gate transistor to arrive at the claimed subject matter of independent claim 1, and specifically, that the purpose of replacing both TFT2 and TFT4 with a multi-gate configuration is to prevent leakage current from the capacitor. One skilled in the art would understand that it is the replacement of both TFT2 and TFT4 with multi-gate configurations that effectuates this purpose. One skilled in the art would understand that only replacing one of TF'F2 and TFT4 with a multi-gate configuration would cause a leakage current at the remaining single-gate transistor. In view of these teachings. In view of these teachings, if one skilled in the art were to combine the teachings of Dawson with Yumoto, he would have replaced both the alleged first transistor and the alleged second transistor with a multi gate structure, the Examiner respectfully disagrees. As shown in fig. 2 of Dawson, the capacitor is 280 is connected to line Vdd through transistor 270 and is connected to OLED through transistor 240. Dawson is using transistor 240 to load image data (col. 3, lines 30 – 53), therefore, in order not to load erroneous data one of ordinary skill in the art has to make sure that there is no leakage between source and drain of transistor 240, the artisan could have done so by replacing transistor 240 of Dawson with the dual gate transistor of Yumoto. If the artisan

does not care about the leakage current between source and drain of transistor 260, there is no reason to replace the transistor 260 of Dawson with a dual gate transistor of Yamoto. Additionally, in Yamoto OLED is connected between Vdd and ground and the only element that prevents the current from flowing is transistor TFT2 (TFT2a and TFT2b), this is not the case in Dawson. Therefore, a person of ordinary skill in the art at the time of the invention would not be obligated to modify the transistor 260 of Dawson to have dual gate structure.

Conclusion

8. **THIS ACTION IS MADE FINAL.** Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the mailing date of this final action.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to DMITRIY BOLOTIN whose telephone number is

(571)270-5873. The examiner can normally be reached on Monday-Friday, 7:30am - 5:00pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Amare Mengistu can be reached on (571)272-7674. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/DMITRIY BOLOTIN/
Examiner, Art Unit 2629

/Amare Mengistu/
Supervisory Patent Examiner, Art Unit 2629

Sheet 1 of 1

Form PTO-1449 (REV. 1/06)	US Dept. of Commerce PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	APPLICATION NO. 12/917,885
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)		APPLICANT(S) Yojiro MATSUEDA	
		FILING DATE November 2, 2010	GROUP 2629

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1	6,882,102 B	04/19/2005	Yamazaki

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	2	JP-A-2001-319789	11/16/2001	Japan	X	

OTHER DOCUMENTS

Examiner Initials	Cite No.	Including name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
	3	Office Action issued March 10, 2011 in U.S. Application No. 11/483,087.

EXAMINER	/Dmitriy Bolotin/	DATE CONSIDERED	06/07/2011

Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Date: April 4, 2011

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /D.B./

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12917885	MATSUEDA, YOJIRO
	Examiner	Art Unit
	DMITRIY BOLOTIN	2629

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	01/28/2011	06/07/2011							
	1	✓	✓							
	2	✓	✓							
	3	✓	✓							
	4	✓	✓							
	5	✓	✓							
	6	✓	✓							
	7	✓	✓							
	8	✓	✓							
	9	✓	✓							
	10	✓	✓							

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12917885	MATSUEDA, YOJIRO
	Examiner	Art Unit
	DMITRIY BOLOTIN	2629

SEARCHED			
Class	Subclass	Date	Examiner
345	76-83	1/28/2011	DB
315	169.1-169.4	1/28/2011	DB
	Updated Search	06/07/2011	DB

SEARCH NOTES		
Search Notes	Date	Examiner
Google	1/28/2011	DB
EAST	1/28/2011	DB
Updated Search	06/07/2011	DB

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

/DMITRIY BOLOTIN/ Examiner.Art Unit 2629	

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2629

Application No.: 12/917,885

Examiner: D. BOLOTIN

Filed: November 2, 2010

Docket No.: 114251.03

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ 1. This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection, Notice of Allowance, or other action that closes prosecution (e.g., Quayle Action), but before payment of the Issue Fee. The fees associated with this filing under 37 C.F.R. §1.17(p) are being paid electronically with this filing. The Commissioner is hereby authorized to charge any additional fee (or credit any overpayment) associated for this filing to Deposit Account No. 15-0461.

☒ a. I hereby certify that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(2).

☒ 2. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

☒ 3. One or more co-pending U.S. patent application is identified on the attached Form PTO 1449. The Examiner is respectfully requested to consider each cited application and the art cited therein during examination of the present application. See

Reference 3.

☒ 4. One or more reference cited herein was cited in an Office Action in U.S. Application No. 11/183,087. See Reference 1. A copy of the Office Action is submitted for the Examiner's consideration as Reference 2.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Kevin Ross Davis
Registration No. 64,667

JAO:KRD/prg

Date: August 4, 2011

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry of this filing; Charge any fee due to our Deposit Account No. 15-0461

Form PTO-1449 (REV. 5/11) PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	APPLICATION NO. 12/917,885
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)	APPLICANT(S) Yojiro MATSUEDA	
	FILING DATE November 2, 2010	GROUP 2629

U.S. PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Name
	1	2001/0017517	08/30/2001	Yamazaki

FOREIGN PATENT DOCUMENTS

Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation

OTHER DOCUMENTS

Examiner Initials	Cite No.	Including name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
	2	July 11, 2011 Office Action issued in U.S. Patent Application No. 11/483,087.
	3	U.S. Patent Application No. 11/483,087.

EXAMINER	DATE CONSIDERED
Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.	

Date: August 4, 2011

Electronic Patent Application Fee Transmittal	
Application Number:	12917885
Filing Date:	02-Nov-2010
Title of Invention:	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
First Named Inventor/Applicant Name:	Yojiro MATSUEDA
Filer:	William P. Berridge/Portia Gordon
Attorney Docket Number:	114251.03
Filed as Large Entity	

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
		Total in USD ($)		**180**

Electronic Acknowledgement Receipt	
EFS ID:	10668888
Application Number:	12917885
International Application Number:	
Confirmation Number:	2374
Title of Invention:	ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE
First Named Inventor/Applicant Name:	Yojiro MATSUEDA
Customer Number:	25944
Filer:	William P. Berridge/Portia Gordon
Filer Authorized By:	William P. Berridge
Attorney Docket Number:	114251.03
Receipt Date:	04-AUG-2011
Filing Date:	02-NOV-2010
Time Stamp:	15:41:54
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$180
RAM confirmation Number	2125
Deposit Account	150461
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees) Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	11425103_IDS_08042011.pdf	112169 257289ec4e8dc223b76bf85ce3d8e69939ff3deb	no	3
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
2	Non Patent Literature	11425103_Ref_08042011.pdf	302150 126bc6608441f18c65177096781d5207a6158652	no	9
Warnings:					
Information:					
3	Fee Worksheet (SB06)	fee-info.pdf	30779 a0d22938c027a81eef4f130e758f47b41c120c39	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	445098		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA

Group Art Unit: 2629

Application No.: 12/917,885

Examiner: D. BOLOTIN

Filed: November 2, 2010

Docket No.: 114251.03

For: ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. Unless otherwise indicated herein, one copy of each reference is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

☒ This Information Disclosure Statement is being filed before the mailing date of a first Office Action on the merits after the filing of a Request for Continued Examination under 37 CFR §1.114. No certification or fee is required.

☒ 1. Relevance of one or more non-English language reference is discussed in the present specification. See Reference 10.

☒ 2. In accordance with 37 CFR §1.98(a)(2)(ii), copies of any U.S. patents and patent application publications are not attached.

☒ 3. An English language Abstract of one or more non-English language reference is included. See Reference 10.

☒ 4. A computer-generated English language translation of one or more Japanese Patent Publication cited herein has been obtained from the website of the Japanese Patent Office ([http://www.jpo.go.jp]), and is attached, but has not been reviewed for accuracy. See Reference 10.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

John A. Radi
Registration No. 59,345

JAO:JAR/sam

Date: October 19, 2011

OLIFF & BERRIDGE, PLC
P.O. Box 320850
Alexandria, Virginia 22320-4850
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION
Please grant any extension necessary for entry of this filing; Charge any fee due to our Deposit Account No. 15-0461

Form PTO-1449 (REV. 5/11) PATENT & TRADEMARK OFFICE	ATTY DOCKET NO. 114251.03	APPLICATION NO. 12/917,885
INFORMATION DISCLOSURE STATEMENT (Use several sheets if necessary)	APPLICANT(S) Yojiro MATSUEDA	
	FILING DATE November 2, 2010	GROUP 2629

U.S. PATENT DOCUMENTS				
Examiner Initials	Cite No.	Document Number	Date	Name
	1	6,118,506	09-12-2000	Yamazaki et al.
	2	5,815,226	09-29-1998	Yamazaki et al.
	3	2002/0070385 A1	06-13-2002	Yamagata
	4	2002/0030770 A1	03-14-2002	Tsutsui et al.
	5	6,271,543 B1	08-07-2001	Ohtani et al.

FOREIGN PATENT DOCUMENTS						
Examiner Initials	Cite No.	Document Number	Date	Country	With English Abstract	With English Translation
	6	EP 1 093 166 A2	04-18-2001	Europe		
	7	EP 1 093 156 A2	04-18-2001	Europe		
	8	EP 1 128 436 A1	08-29-2001	Europe		
	9	EP 1 096 579 A2	05-02-2001	Europe		
	10	JP-A-2000-310980	11-07-2000	Japan	X	X

OTHER DOCUMENTS		
Examiner Initials	Cite No.	Including name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
	11	
	12	
	13	
	14	
	15	
	16	

EXAMINER	DATE CONSIDERED
Examiner: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.	

Date: October 19, 2011

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 1 093 166 A2

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
18.04.2001 Bulletin 2001/16

(51) Int. Cl.[7]: **H01L 27/00**, H01L 51/40

(21) Application number: **00122155.5**

(22) Date of filing: **12.10.2000**

(84) Designated Contracting States:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE
Designated Extension States:
AL LT LV MK RO SI

(30) Priority: **12.10.1999 JP 29035699**
22.10.1999 JP 30177099

(71) Applicant:
SEL SEMICONDUCTOR ENERGY LABORATORY CO., LTD.
Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(72) Inventors:
- **Yamazaki, Shunpei,**
  Semiconductor Energy
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)
- **Yamamoto, Kunitaka,**
  Semiconductor Energy
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)
- **Hiroki, Masaaki,**
  Semiconductor Energy
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)
- **Fukunaga, Takeshi,**
  Semiconductor Energy
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(74) Representative:
Grünecker, Kinkeldey,
Stockmair & Schwanhäusser
Anwaltssozietät
Maximilianstrasse 58
80538 München (DE)

(54) Organic EL display device and method of manufacturing

(57) To provide a high throughput film deposition means for film depositing an organic EL material made of polymer accurately and without any positional shift. A pixel portion is divided into a plurality of pixel rows by a bank, and a head portion of a thin film deposition apparatus is scanned along a pixel row to thereby simultaneously apply a red light emitting layer application liquid, a green light emitting layer application liquid, and a blue light emitting layer application liquid in stripe shapes. Heat treatment is then performed to thereby form light emitting layers luminescing each of the colors red, green, and blue.

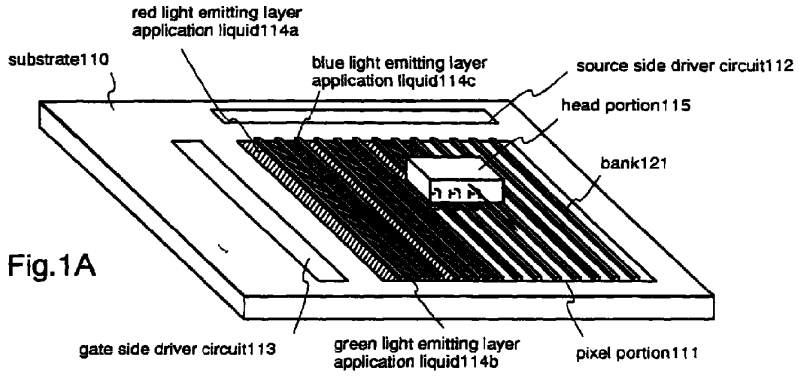


Fig.1A

EP 1 093 166 A2

Printed by Xerox (UK) Business Services
2.16.7 (HRS)/3.6

Description

BACKGROUND OF THE INVENTION

1. Field of the Invention

[0001] The present invention relates to an EL display device comprising an EL element, which is constructed of a light emitting organic material capable of obtaining EL (Electro Luminescence)(hereinafter referred to as organic EL material) sandwiched between an anode and a cathode, that is formed on a substrate, and to a method of manufacturing an electronic device (electronic equipment) having the El display device as a display portion (a display or a display monitor). It is to be noted that the above-mentioned EL display device is also referred to as OLED (Organic Light Emitting Diodes).

2. Description of the Related Art

[0002] In recent years, the development of a display device (EL display device) employing an EL element as a self-emissive element that utilizes the EL phenomenon of a light emitting organic material is proceeding. Since the EL display device is a self-emissive type, it does not need a backlight such as the liquid crystal display device. Furthermore, because the viewing angle of EL display devices is wider, it is perceived as a prospective display portion of mobile equipment for use outdoors.

[0003] There are two types of EL display devices, the passive type (simple matrix type) and the active type (active matrix type). Developments for both types of EL display devices are being actively carried out. In particular, the active matrix EL display device is currently attracting much attention. Researches are being made on low molecular organic EL materials and high molecular organic EL materials (organic polymer EL materials) as to organic EL materials for forming a light emitting layer which can be regarded as the core of the EL element. High molecular organic EL materials are receiving much attention because they are easier to deal with than low molecular organic EL materials and have high heat resistant characteristics.

[0004] As a film deposition method of high molecular organic EL materials, the ink-jet method proposed by Seiko Epson, Co. Ltd. is considered a favorable method. Japanese Patent Application Laid-open No. Hei 10-12377, Japanese Patent Application Laid-open No. Hei 10-153967, and Japanese Patent Application Laid-open No. Hei 11-54270 etc. may be referred to regarding this technique.

[0005] However, in the ink-jet method, the high molecular organic EL material is sprayed on the application surface. Hence, if the distance between the application surface and the nozzle of the ink-jet head is not set appropriately, drops of solution will be shot to parts that the application is not necessary, resulting in the occurrence of a problem what is known as an aviation curve. Note that details regarding the aviation curve are disclosed in the above-mentioned Japanese Patent Application Laid-open No. Hei 11-54270, in which 50 μm or more of slip occurs from the positional target of shot.

SUMMARY OF THE INVENTION

[0006] The present invention has been made in view of the above problem, and an object thereof is to provide a high throughput film deposition means for film depositing an organic EL material made of polymer accurately and without any positional shift. Another object of the present invention is to provide an EL display device employing such means and a method of manufacturing the same. Still further, another object of the present invention is to provide electronic equipment having such EL display devices as its display portion.

[0007] In order to achieve the above objects, the present invention is characterized in that red, green, and blue light emitting layers are formed into stripe shapes by using a dispenser-like thin film deposition apparatus. It is to be noted that stripe shapes include a long and narrow rectangle having an aspect ratio of 2 or greater, and a long and narrow ellipse having the ratio of its major axis and minor axis equal to 2 or greater. The thin film deposition apparatus of the present invention is shown in Fig. 1.

[0008] Fig. 1A is a diagram schematically showing the state of the film deposition of an organic EL material made of π conjugate-based polymer when the present invention is implemented. In Fig. 1A, a pixel portion 111, a source side driver circuit 112, and a gate side driver circuit 113, all formed of TFTs, are formed on a substrate 110. A region surrounded by a plurality of source wirings connected to the source side driver circuit 112 and a plurality of gate wirings connected to the gate side driver circuit 113 is a pixel. A TFT and an EL element electrically connected to the TFT are formed in the pixel. Thus, the pixel portion 111 is formed of such pixels arranged in matrix.

[0009] Here, reference numeral 114a denotes a mixture of an organic EL material luminescing red and a solvent (hereinafter referred to as a red light emitting layer application liquid); 114b denotes a mixture of an organic EL material

luminescing green and a solvent (hereinafter referred to as a green light emitting layer application liquid); and 114c denotes a mixture of an organic EL material luminescing blue and a solvent (hereinafter referred to as a blue light emitting layer application liquid). Note that a polymer is the organic EL material for these application liquids, and that there is a method of directly dissolving a polymerized material into the solvent for application, or a method of performing thermal polymerization to a material, which is formed by dissolving monomer in a solvent and then by performing film deposition, to form a polymer. Whichever method may be used in the present invention. An example of applying an organic EL material processed into a polymer and dissolved in a solvent is shown here.

[0010] In the case of the present invention, the red light emitting layer application liquid 114a, the green light emitting layer application liquid 114b, and the blue light emitting layer application liquid 114c are separately discharged from the thin film deposition apparatus and applied in the direction indicated by the arrow. In other words, in a pixel row that will luminesce red, a pixel row that will luminesce green, and a pixel row that will luminesce blue, stripe shape light emitting layers (strictly a precursor of a light emitting layer) are simultaneously formed.

[0011] Note that the pixel row referred here indicates a row of pixel partitioned by a bank 121 that is formed on the upper part of the source wiring. That is, a row composed of a plurality of pixels lined up in series along the source wiring is called a pixel row. A case where the bank 121 is formed on the upper part of the source wiring was explained here, but it may also be provided on the upper part of the gate wiring. In this case, a row composed of a plurality of pixels lined up in series along the gate wiring is called a pixel row.

[0012] Accordingly, the pixel portion 111 can be viewed as an assembly of a plurality of pixel rows divided by the stripe shape bank provided on the upper part of the plurality of source wirings or gate wirings. When the pixel portion is viewed as such, it can also be said that the pixel portion 111 is made up of a pixel row in which a stripe shape light emitting layer luminescing red is formed, a pixel row in which a stripe shape light emitting layer luminescing green is formed, and a pixel row in which a stripe shape light emitting layer luminescing blue is formed.

[0013] Further, since the above-stated stripe shape bank is provided on the upper part of the plurality of source wirings or plurality of gate wirings, substantially, the pixel portion 111 can also be viewed as an assembly of a plurality of pixel rows partitioned by the source wirings or the gate wirings.

[0014] Next, shown in Fig. 1B is the state of a head portion (may also be referred as a discharge portion) of the thin film deposition apparatus when the application process illustrated in Fig. 1A is performed.

[0015] Reference numeral 115 denotes a head portion of the thin film deposition apparatus with a nozzle 116a for the red color, a nozzle 116b for the green color, and a nozzle 116c for the blue color attached thereto. Furthermore, the red light emitting layer application liquid 114a, the green light emitting layer application liquid 114b, and the blue light emitting layer application liquid 114c are stored inside the respective nozzles. A pipe 117 filled up with inert gas is pressurized to thereby discharge these application liquids to the pixel portion 111. The head portion 115 is scanned in a perpendicular direction along a defined space toward the front of the drawing thereby performing the application process illustrated in Fig. 1A.

[0016] Note that the head portion is stated as being scanned throughout the present specification. In practice, the substrate is moved in a vertical or horizontal direction by the X-Y stage. Thus, the head portion is relatively scanned in a vertical or horizontal direction on the substrate. Of course, the substrate can be fixed so that the head portion itself conducts the scanning. From the viewpoint of stability, however, a method of moving the substrate is preferred.

[0017] Fig. 1C is a diagram showing an enlarged view of the vicinity of the discharge portion denoted by the reference numeral 118. The pixel portion 111 formed on the substrate 110 is an assembly of a plurality of pixels composed of a plurality of TFTs 119a to 119c and a plurality of pixel electrodes 120a to 120c. In Fig. 1B, when the nozzles 116a to 116c are pressurized by inert gas, application liquids 114a to 114c will be discharged from the nozzles 116a to 116c due to this pressure.

[0018] Note that the bank 121 formed of a resin material is provided in the space between pixels to prevent the application liquid from mixing into a space between pixels. In this structure, the width of the bank 121 (determined by the resolution of photolithography) is made narrow so that the integration degree of the pixel portion is increased, and therefore, high definition images can be attained. In particular, it is effective in the case in which the viscosity of the application liquids is 1 to 30 cp.

[0019] However, if the viscosity of the application liquid is 30 cp or more, or if the application liquid is in the form of sol or gel, then it is possible to omit the bank from the structure. In other words, as long as the angle of contact between the application liquid after it has been applied and the application surface is large enough, the application liquid will not spread out more than necessary. Therefore, the provision of the bank for preventing the application liquid from spreading out more than necessary is not required. In this case, the final shape of the light emitting layers will be formed into an oval shape (a long and narrow ellipse wherein the ratio of the major axis and the minor axis is 2 or greater), typically a long and narrow ellipse extending from one end of the pixel portion to the other end thereof.

[0020] As resin materials for forming the bank 121, acrylic. polyimide, polyamide, and polyime amide can be used. If carbon or black pigment or the like is provided in these resin materials in advance to make the resin materials black, then it is possible to use the bank 121 as a light shielding film between pixels.

[0021] In addition, by attaching a sensor that employs a light reflector near the tip of any one of the nozzles 116a, 116b, and 116c, the distance between the application surface and the nozzles may be regulated so as to maintain a fixed distance at all times. Furthermore, provision of a mechanism for regulating the gap among the nozzles 116a to 116c in correspondence with the pixel pitch (distance between pixels) allows the nozzles to be applied to EL display devices having any pixel pitch.

[0022] Thus, the application liquids 114a to 114c discharged from the nozzles 116a to 116c are applied so as to cover the respective pixel electrodes 120a to 120c. After applying the application liquids 114a to 114c, heat treatment (bake treatment or burning treatment) is carried out in vacuum to volatilize the organic solvent contained in the application liquids 114a to 114c, thereby forming the light emitting layers made of an organic EL material. Therefore, an organic solvent that will volatilize under a temperature lower than the glass transition temperature (Tg) of the organic EL material is used. Further, the film thickness of the light emitting layers that are finally formed is determined by the viscosity of the organic EL material. In this case, although the viscosity may be regulated by the choice of the organic solvent or a dopant, it is preferable that the viscosity is between 1 and 50 cp (preferably between 5 and 20 cp).

[0023] If there are many impurities likely to become crystal nuclei in the organic EL material, the possibility of crystallizing the organic EL material becomes high when the organic solvent is volatilized. When the organic EL material is crystallized, the efficiency of light emission drops, and therefore is unfavorable. It is desirable that as much as possible, impurities are not contained in the organic EL material.

[0024] To reduce the impurities, the solvent and the organic EL material are intensively refined, and it is important to keep the environment as clean as possible when mixing the solvent and the organic EL material. For the refinement of the solvent or the organic EL material, it is preferable that techniques such as evaporation, sublimation, filtration. recrystallization, re-sedimentation, chromatography, or dialyzation be performed repetitiously. It is desirable to ultimately reduce impurities such as a metal element and an alkaline metal element to 0.1 ppm or less (preferably 0.01 ppm or less)

[0025] In addition, it is preferable that sufficient attention is paid to the atmosphere in applying the application liquid containing an organic EL material formed by the thin film deposition apparatus illustrated in Fig. 1. To be more specific, it is desirable that the film deposition of the above-mentioned organic EL material is performed in a clean booth filled with inert gas such as nitrogen and inside a glove box.

[0026] Accordingly, with the employment of the thin film deposition apparatus, the three types of light emitting layers luminescing red, green, and blue can be formed at the same time. Consequently, light-emitting layers made of a high molecular organic EL material can be formed at a high throughput. In addition, different from the ink-jet method, the method of the present invention is capable of applying the application liquids in stripe shape to a pixel row without any intervals, resulting in an extremely high throughput.

BRIEF DESCRIPTION OF THE DRAWINGS

[0027] In the accompanying drawings:

Figs. 1A to 1C are diagrams showing an application process of an organic EL material of the present invention;
Fig. 2 is a diagram showing the cross-sectional structure of a pixel portion;
Figs. 3A and 3B are diagrams showing the top structure and the configuration, respectively, of the pixel portion;
Figs. 4A to 4E are diagrams showing manufacturing processes of an EL display device;
Figs. 5A to 5D are diagrams showing manufacturing processes of an EL display device;
Figs. 6A to 6C are diagrams showing manufacturing processes of an EL display device;
Fig. 7 is a diagram showing an external view of an EL display device;
Fig. 8 is a diagram showing the circuit block structure of an EL display device;
Fig. 9 is an enlarged diagram of the pixel portion;
Fig. 10 is a diagram showing the element structure of a sampling circuit of an EL display device;
Figs. 11A and 11B are diagrams showing the top structure and the cross-sectional structure, respectively, of an active matrix EL display device;
Figs. 12A and 12B are a diagram showing an application process of an organic EL material of the present invention and an enlarged diagram of the pixel portion, respectively;
Fig. 13 is a diagram showing the cross-sectional structure of a passive type EL display device;
Figs. 14A and 14B are enlarged diagrams of the pixel portion;
Fig. 15 is a diagram showing a cross-sectional structure of a passive type EL display device;
Fig. 16 is a diagram showing an application process of an organic EL material of the present invention;
Figs. 17A to 17C are diagrams showing the arrangement of nozzles in the head portion;
Figs. 18A to 18F are diagrams showing specific examples of electronic equipment;
Figs. 19A and 19B are diagrams showing specific examples of electronic equipment;

Fig. 20 is a diagram showing a cross-sectional structure of an active matrix EL display device;
Figs. 21A and 21B are diagrams showing a bonding process of a substrate;
Figs. 22A and 22B are diagrams showing a dividing process of a substrate;
Fig. 23 is a diagram showing a cross-sectional structure of an active matrix EL display device;
Figs. 24A to 24C are diagrams showing compositions of a pixel of an EL display device; and
Figs. 25A and 25B are diagrams showing a structure of a current control TFT and a composition of a pixel, respectively.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

Embodiment Mode

[0028] Some embodiments of the present invention will be described with reference to Figs. 2, 3A and 3B. Fig. 2 shows a cross-sectional view of a pixel portion in an EL display device in accordance with the present invention. Fig. 3A shows a top view of the pixel portion, and Fig. 3B shows the circuit configuration thereof. In an actual structure, pixels are arranged in a plurality of lines to be in matrix, thereby forming a pixel portion (image display portion). Fig. 2 illustrates a cross-sectional view taken along the line A-A' in Fig. 3A. Accordingly, the same components are commonly designated by the same reference numerals in both of the figures, and it will be advantageous for understanding the structure to make reference to both of the figures. In addition, the two pixels illustrated in the top view of Fig. 3A have the same structure.

[0029] In Fig. 2, reference numeral 11 denotes a substrate, and 12 denotes a base insulating film (hereinafter referred to as the base film). As the substrate 11, a glass substrate, a glass ceramic substrate, a quartz substrate, a silicon substrate, a ceramic substrate, a metal substrate, or a plastic substrate (including a plastic film) can be used.

[0030] In addition, the base film 12 is especially advantageous for a substrate including mobile ions or a substrate having conductivity, but does not necessarily have to be provided for a quartz substrate. As the base film 12, an insulating film containing silicon may be used. In the present specification, the "insulating film containing silicon" refers to an insulating film containing silicon and oxygen or nitrogen at a predetermined ratio, and more specifically, a silicon oxide film, a silicon nitride film, or a silicon oxide nitride film (represented as SiOxNy.)

[0031] It is advantageous to provide the base film 12 with a heat radiation function to dissipate heat generated in a TFT in order to prevent a TFT or an EL element from deteriorating. The heat radiation function can be provided by any known material.

[0032] In this example, two TFTs are provided in one pixel. A TFT 201 functions as a switching element (hereinafter referred to as the switching TFT), and a TFT 202 functions as a current controlling element for controlling an amount of current to flow through the EL element (hereinafter referred to as the current control TFT.) Both of the TFTs 201 and 202 are made of the n-channel TFT.

[0033] Since the n-channel TFT has a field effect mobility higher than that of the p-channel TFT, the n-channel TFT can operate at higher speed and accept a large amount of current. Furthermore, a current of the same amount can flow through the n-channel TFT of smaller size as compared to the p-channel TFT. Accordingly, it is preferable to use the n-channel TFT as the current control TFT since this results in an increased effective luminescence surface area of the display portion.

[0034] The p-channel TFT has advantages, e.g., in which the injection of hot carriers becomes hardly a problem and an OFF current value is small. Thus, it has been already reported the structures in which the p-channel TFT is used as the switching TFT or the current control TFT. However, in the present invention, the disadvantages in connection with the injection of hot carriers and a small OFF current value can be overcome even in the n-channel TFT by providing the arrangement of LDD regions. Thus, it is also possible that all of the TFTs in the pixel are made of the n-channel TFTs.

[0035] However, the present invention is not limited to the case where the switching TFT and the current control TFT are made of the n-channel TFTs. It is possible to use the p-channel TFT as both or either of the switching TFT and the current control TFT.

[0036] The switching TFT 201 is formed to have a source region 13, a drain region 14, an active layer including LDD regions 15a to 15d, a high concentration impurity region 16 and channel forming regions 17a and 17b, a gate insulating film 18, gate electrodes 19a and 19b, a first interlayer insulating film 20, a source wiring 21, and a drain wiring 22.

[0037] In addition, as shown in Figs. 3A and 3B, the gate electrodes 19a and 19b are electrically connected to each other by means of a gate wiring 211 which is made of a different material (that has a lower resistivity than the gate electrodes 19a and 19b), thereby forming a double-gate structure. It is of course possible to employ, not only the double-gate structure, but also the so-called multi-gate structure (a structure including an active layer, which contains two or more channel forming regions, connected in series) such as a triple-gate structure.

[0038] The multi-gate structure is significantly advantageous for decreasing OFF current value. In accordance with the present invention, a switching element having a low OFF current value can be realized by providing the switching

element 201 in the pixel with the multi-gate structure.

[0039] In addition, the active layer is formed of a semiconductor film that includes a crystalline structure. This may be a single crystalline semiconductor film, a polycrystalline semiconductor film, or a microcrystalline semiconductor film. The gate insulating film 18 may be formed of an insulating film containing silicon. Furthermore, any kind of conductive films can be used as the gate electrode, the source wiring, or the drain wiring.

[0040] Furthermore, in the switching TFT 201, the LDD regions 15a to 15d are disposed so as not overlap the gate electrodes 19a and 19b. Such a structure is significantly advantageous for reducing an OFF current value.

[0041] For reducing the OFF current value, it is further preferable to provide an offset region (which is made of a semiconductor layer having the same composition as the channel forming regions and that a gate voltage is not applied thereto) between the channel forming regions and the LDD regions. In addition, in the case of the multi-gate structure having two or more gate electrodes, the high concentration impurity region disposed between the channel forming regions is effective for reducing the OFF current value.

[0042] As mentioned above, the OFF current value can be sufficiently lowered if the multi-gate structure TFT is used as the switching TFT 201 of the pixel. In other words, a low OFF current value means that the voltage applied to the gate of the current control TFT can be maintained longer. Therefore, a capacitor for holding an electric potential, such as the one of Fig. 2 disclosed in Japanese Patent Application Laid-open No. Hei 10-189252, can be made smaller, and even if omitted, an advantage of capable of maintaining the gate voltage of the current control TFT until the next writing period can be attained.

[0043] Then, the current control TFT 202 is formed to have a source region 31, a drain region 32, an active layer including an LDD region 33 and a channel forming region 34, a gate insulating film 18, a gate electrode 35, a first interlayer insulating film 20, a source wiring 36, and a drain wiring 37. Although the illustrated gate electrode 35 has the single-gate structure, it may have the multi-gate structure.

[0044] As shown in Fig. 2, a drain of the switching TFT 201 is connected to a gate of the current control TFT 202. More specifically, the gate electrode 35 of the current control TFT 202 is electrically connected to the drain region 14 of the switching TFT 201 through the drain wiring 22. Furthermore, the source wiring 36 is connected to a power supply line 212 (see Fig. 3A).

[0045] The current control TFT 202 is a device intended to control an amount of current to be injected into the EL element 203. However, considering possible deterioration of the EL element, it is not preferable to allow a large amount of current to flow. Accordingly, in order to prevent excessive current from flowing through the current control TFT 202, the channel length (L) thereof is preferably designed to be long. Desirably, the channel length (L) is designed to be 0.5 to 2 μm (preferably, 1 to 1.5 μm) long per pixel.

[0046] In view of the above-mentioned description, as shown in Fig. 9, the channel length L1 (where L1 = L1a + L1b) and the channel width W1 of the switching TFT, and the channel length L2 and the channel width W2 of the current control TFT are preferably set as follows: W1 is in the range from 0.1 to 5 μm (typically, 0.5 to 2 μm); W2 is in the range from 0.5 to 10 μm (typically, 2 to 5 μm); L1 is in the range from 0.2 to 18 μm (typically, 2 to 15 μm); and L2 is in the range from 1 to 50 μm (typically, 10 to 30 μm). However, the present invention is not limited to the above-mentioned values.

[0047] The length (width) of the LDD regions to be formed in the switching TFT 201 is set in the range from 0.5 to 3.5 μm, typically in the range from 2.0 to 2.5 μm.

[0048] The EL display device as shown in Fig. 2 has features in which the LDD region 33 is provided between the drain region 32 and the channel forming region 34 in the current control TFT 202, and part of the LDD region 33 overlaps the gate electrode 35 through the gate insulating film 18.

[0049] In order for the current control TFT 202 to supply a current for making the EL element 204 luminesce, it is preferable that steps are taken against deterioration due to hot carrier injection as shown in Fig. 2.

[0050] Note that in order to suppress the value of the off current, it is effective to form the LDD region so that it overlaps a portion of the gate electrode. In this case, the region that overlaps the gate electrode suppresses hot carrier injection, and the region that does not overlap the gate electrode prevents OFF current value.

[0051] The length of the LDD region, which overlaps the gate electrode, may be made from 0.1 to 3 μm (preferably between 0.3 and 1.5 μm) at this point. Further, in the case of providing an LDD region that does not overlap the gate electrode, the length of the LDD region may be made from 1.0 to 3.5 μm (preferably between 1.5 and 2.0 μm).

[0052] It is also possible to use a parasitic capacitance (also referred to as a gate capacitance), which is formed in the region between the gate electrode and the LDD region that overlaps the gate electrode via the gate insulating film, as a capacitor for actively maintaining electric potential (maintaining an electric charge). In the present embodiment, the LDD region 33 shown in Fig. 2 is formed to thereby form a gate capacitance between the gate electrode 35 and the LDD region 33. This gate capacitance is used as a capacitor for maintaining electric potential, such as the one shown in Fig. 2, disclosed in Japanese Patent Application Laid-open No. Hei 10-189252.

[0053] Of course, it does not matter if a special capacitor is formed. However, by forming the capacitor with a structure such as the present embodiment, it is possible to form the capacitor for maintaining electric potential on an

extremely small area, and it becomes possible to increase the effective luminescence surface area of the pixel (surface area that can extract light emitted from the EL element).

[0054] The carrier (electrons in this case) flow direction is always the same for the current control TFT 202, and therefore it is sufficient to form the LDD region on only the drain region side as measures against hot carriers.

[0055] From the view point of increasing a possible amount of current to flow, it is also effective to increase film thickness of the active layer (in particular, a thickness at the channel forming region) of the current control TFT 202 (preferably in the range from 50 to 100 nm, and more preferably in the range from 60 to 80 nm). On the other hand, in the case of the switching TFT 201, from the view point of reducing an OFF current value, it is also effective to decrease film thickness of the active layer (in particular, a thickness at the channel forming region) of the current control TFT 202 (preferably in the range from 20 to 50 nm, and more preferably in the range from 25 to 40 nm.)

[0056] Further, in the present embodiment, the current control TFT 202 is shown as a single-gate structure. However, it may also be a multi-gate structure composed of a plurality of TFTs connected in series. Furthermore, the current control TFT may also be a structure in which the plurality of TFTs is connected in rows (parallel) to substantially divide the channel forming region into a plural number of regions, thereby performing highly effective heat radiation. Such structure is effective as a measure against deterioration due to heat.

[0057] Next, reference numeral 38 denotes a first passivation film, and its film thickness may be formed to between 10 nm to 1 μm (preferably between 200 and 500 nm). An insulating film containing silicon (particularly a silicon oxide nitride film or a silicon nitride film is preferred) can be employed as a material for this film. Furthermore, it is effective to form the first passivation film 38 to have a high thermal radiation effect.

[0058] A second interlayer insulating film 39 (a leveling film) formed on the first passivation film 38 performs the leveling of a stepped portion that are formed by the TFT. An organic resin film is preferable as the second interlayer insulating film 39, and one such as polyimide, polyamide, acrylic, or BCB (benzocyclobutane) may be used. An inorganic film may, of course, also be used, provided that sufficient leveling is possible.

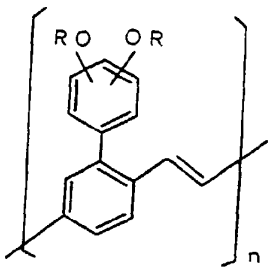
[0059] The leveling of a stepped portion in the TFT by the second interlayer insulating film 39 is extremely important. The EL layer formed afterward is very thin, and therefore there are cases in which poor luminescence is caused by the existence of a stepped portion. It is therefore preferable to perform leveling before forming a pixel electrode so as to be able to form the EL layer on as level a surface as possible.

[0060] Reference numeral 40 denotes a pixel electrode (EL element cathode) made from a highly reflective conductive film. After opening a contact hole (an opening) in the second interlayer insulating film 39 and in the first passivation film 38, the pixel electrode 40 is formed so as to be connected to the drain wiring 37 of the current control TFT 202 in the formed opening portion. It is preferable to use low resistant conductive films such as aluminum alloy and copper alloy as the pixel electrode 40. Of course, it may also be a laminate structure with other conductive films.

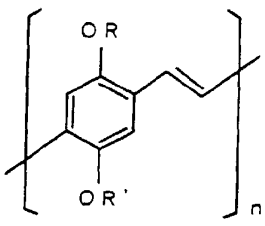
[0061] A light emitting layer 42 is formed by a device such as the thin film deposition apparatus explained in Fig. 1. It is to be noted that although only one pixel is illustrated in the drawing, light emitting layers corresponding to the respective colors R (red), G (green), and B (blue) are simultaneously formed. A high molecular material is used for the organic EL material as the light-emitting layer. Polymers such as the following can be given as typical high molecular materials: polyparaphenylene vinylene (PPV)-based material: polyvinyl carbazole (PVK)-based one; and polyfluorenes-based one.

[0062] Note that there are various types of PPV-based organic EL material. A molecular formula such as the following has been reported. (H.Shenk, H.Becker, O.Gelsen, E.Kluge, W.Kreuder ans H.Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, pp. 33-37)

Compound 1

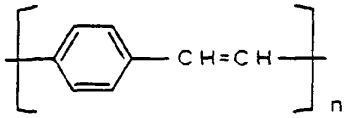


Compound 2

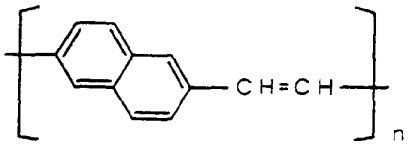


[0063] Further, the molecular formula of polyphenylene vinylene disclosed in Japanese Patent Application Laid-open No. 10-92576 can be used. The molecular formula becomes as follows:

Compound 3

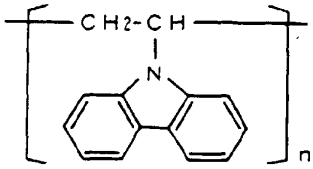


Compound 4



[0064] Further, as a molecular formula of a PVK-based organic EL material, there is one such as the following.

Compound 5



[0065] The application of the high molecular organic EL material can be performed by dissolving the high molecular organic EL material in a solvent when it is in a polymer state, or dissolving the high molecular organic EL material in a solvent when it is in a monomer state and then performing polymerization. In the case of applying it in the monomer state, first, a polymer precursor is formed and then heat treatment is performed in vacuum to thereby polymerize it into a polymer.

[0066] As a concrete light emitting layer, a cyano-paraphenylene vinylene may be used for the light emitting layer luminescing a red color; a paraphenylene vinylene for the light emitting layer luminescing a green color; and a polyphenylene vinylene or a polyalkylphenylene for the light emitting layer luminescing a blue color. The film thickness of the light emitting layers may be formed to between 30 and 150 nm (preferably between 40 and 100 nm).

[0067] Further, a fluorescent substance (typically coumarin 6, rublene, Nile Red, DCM, quinacridon, etc.) is doped into the light emitting layer to transfer the fluorescent substance to the center of luminescence , and therefore, a desired luminescence may be obtained. Any known fluorescent substance may be used.

[0068] However, the above examples are only some examples of organic EL materials which can be used as the light emitting layer of the present invention, and there is absolutely no need to limit the EL material to these. In the present invention, a mixture of an organic EL material and a solvent is applied by using the method illustrated in Fig. 1. The solvent is then volatilized, thereby removing the solvent to form a light-emitting layer. Therefore, during the volatilization of the solvent, the combinations of any type of organic EL materials that do not exceed the glass transition temperature of the light emitting layer may be used.

[0069] Chloroform, dichloromethane, γ butyl lactone, butyl cellosolve, or NMP (N-methyl-2-pyrrolidone) are cited as typical solvents. It is also effective to add a dopant for raising the viscosity of the application liquid.

[0070] Furthermore, when forming the light-emitting layer 42, the treatment atmosphere is a dry atmosphere with as small amount of moisture as possible, desirably, carrying out the formation in an inert gas atmosphere. Degradation of the EL layer is easily caused by the presence of moisture and oxygen. Therefore, when forming the EL layer, it is necessary to eliminate these factors as much as possible. For instance, preferably in atmospheres such as a dry nitrogen atmosphere and a dry argon atmosphere. In order to do this, the thin film deposition apparatus of Fig. 1 is installed in a clean booth that is filled with inert gas. It is desirable that the film deposition process of the light emitting layer be carried out in this atmosphere.

[0071] If the light emitting layer 42 is formed in the above-mentioned manner, a hole injection layer 43 will be formed next. The present embodiment mode uses polythiophene (PEDOT) or polyaniline (PAni) as the hole injection layer 43. Since these materials are water-soluble, the light emitting layer 42 can be formed without dissolving, and its film thick-

ness may be 5 to 30 nm (preferably 10 to 20 nm)

[0072] An anode 44 made from a transparent conductive film is provided on the hole injection layer 43. In the case of the present embodiment mode, light produced by the light emitting layer 42 is emitted towards the upper side surface (in a direction towards the top of the TFT). Thus, the anode must have light transmitting characteristics. A compound of indium oxide and tin oxide and a compound of indium oxide and zinc oxide can be used as the transparent conductive film. However, because the transparent conductive film is formed after the formation of the light emitting layer and the hole injection layer, which are low in heat resistance, materials which can be formed into films at as low a temperature as possible are preferable.

[0073] The EL element 203 is completed at the point the anode 44 is formed. Note that the EL element 203 referred to here designates a capacitor formed of the pixel electrode (cathode) 40, the hole injection layer 43, the light emitting layer 42, and the anode 44. As shown in Fig. 3, since the pixel electrode 40 almost coincides with the surface area of the pixel, the entire pixel functions as the EL element. Accordingly, the utility efficiency of luminescence is extremely high, making it possible to display brighter images.

[0074] Further, in the present embodiment mode, the pixel electrode 40 is formed so that its structure is that of a cathode. Therefore, lights generated by the light emitting layer are all emitted to the anode side. However, contrary to the structure of this EL element, it is also possible to form the pixel electrode so that its structure is that of an anode made of a transparent conductive film. In this case, since lights generated by the light emitting layer are also emitted to the anode side, light is observed from the substrate 11 side.

[0075] In the present embodiment mode, a second passivation film 45 is further provided on the anode 44. As the second passivation film 45, a silicon nitride film or a silicon oxide nitride film is preferable. The purpose of this is to shield the EL element from the outside, and has two meanings of which one is to prevent the organic EL material from deterioration due to oxidation, and the other is to suppress the leakage of gas from the organic EL material. Hence, the reliability of the EL display device can be increased.

[0076] The EL display device of the present invention has a pixel portion containing a pixel with a structure as shown in Fig. 2, and TFTs having different structures in response to their functions are arranged in the pixel. A switching TFT having a sufficiently low OFF current value, and a current control TFT which is strong with respect to hot carrier injection can be formed within the same pixel, and an EL display device having high reliability and which is capable of good image display (high operating performance) can thus be formed.

[0077] It is to be noted that although the structure of a planar TFT was shown in the present embodiment mode as an example using a top gate TFT, a bottom gate TFT (typically a reverse stagger TFT) may also be used. The present invention is characterized by the film deposition method of the organic EL element, and the structure of the TFT to be arranged in the pixel is not limited.

Embodiment 1

[0078] The embodiments of the present invention are explained using Figs. 4A to 6C. A method of simultaneous manufacture of a pixel portion, and TFTs of a driver circuit portion formed in the periphery of the pixel portion, is explained here. Note that in order to simplify the explanation, a CMOS circuit is shown as a basic circuit for the driver circuits.

[0079] First, as shown in Fig. 4A, a base film 301 is formed to a thickness of 300 nm on a glass substrate 300. Silicon oxide nitride films are laminated as the base film 301 in Embodiment 1. At this point, it is appropriate to set the nitrogen concentration to between 10 and 25 wt% in the film contacting the glass substrate 300. In addition, it is effective that the base film 301 has a thermal radiation effect, and a DLC (diamond-like carbon) film may also be provided.

[0080] Next, an amorphous silicon film (not shown in the figures) is formed with a thickness of 50 nm on the base film 301 by a known deposition method. Note that it is not necessary to limit this to the amorphous silicon film, and another film may be formed provided that it is a semiconductor film containing an amorphous structure (including a microcrystalline semiconductor film). In addition, a compound semiconductor film containing an amorphous structure, such as an amorphous silicon germanium film, may also be used. Further, the film thickness may be made from 20 to 100 nm.

[0081] The amorphous silicon film is then crystallized by a known technique, forming a crystalline silicon film (also referred to as a polycrystalline silicon film or a polysilicon film) 302. Thermal crystallization using an electric furnace, laser annealing crystallization using a laser light, and lamp annealing crystallization using an infrared lamp exist as known crystallization methods. Crystallization is performed in Embodiment 1 using an excimer laser light, which uses XeCl gas.

[0082] Note that pulse emission excimer laser light formed into a linear shape is used in Embodiment 1, but a rectangular shape may also be used, and continuous emission argon laser light and continuous emission excimer laser light can also be used.

[0083] In this embodiment, although the crystalline silicon film is used as the active layer of the TFT, it is also pos-

sible to use an amorphous silicon film.

[0084] Note that it is effective to form the active layer of the switching TFT, in which there is a necessity to reduce the off current, by the amorphous silicon film, and to form the active layer of the current control TFT by the crystalline silicon film. Electric current flows with difficulty in the amorphous silicon film because the carrier mobility is low, and the off current does not easily flow. In other words, the most can be made of the advantages of both the amorphous silicon film, through which current does not flow easily, and the crystalline silicon film, through which current easily flows.

[0085] Next, as shown in Fig. 4B, a protective film 303 is formed on the crystalline silicon film 302 with a silicon oxide film having a thickness of 130 nm. This thickness may be chosen within the range of 100 to 200 nm (preferably between 130 and 170 nm). Furthermore, other films may also be used providing that they are insulating films containing silicon. The protective film 303 is formed so that the crystalline silicon film is not directly exposed to plasma during addition of an impurity, and so that it is possible to have delicate concentration control of the impurity.

[0086] Resist masks 304a and 304b are then formed on the protective film 303, and an impurity element, which imparts n-type conductivity (hereafter referred to as an n-type impurity element), is added. Note that elements residing in periodic table group 15 are generally used as the n-type impurity element, and typically phosphorous or arsenic can be used. Note that a plasma doping method is used, in which phosphine (PH_3) is plasma activated without separation of mass, and phosphorous is added at a concentration of $1x10^{18}$ atoms/cm^3 in Embodiment 1. An ion implantation method, in which separation of mass is performed, may also be used, of course.

[0087] The dose amount is regulated so that the n-type impurity element is contained in n-type impurity regions 305 and 306, thus formed by this process, at a concentration of $2x10^{16}$ to $5x10^{19}$ atoms/cm^3 (typically between $5x10^{17}$ and $5x10^{18}$ atoms/cm^3).

[0088] Next, as shown in Fig. 4C, the protective film 303 is removed, and an activation of the added n-type impurity elements is performed. A known technique of activation may be used as the means of activation, but activation is done in Embodiment 1 by irradiation of excimer laser light. Of course, a pulse emission excimer laser and a continuous emission excimer laser may both, be used, and it is not necessary to place any limits on the use of excimer laser light. The goal is the activation of the added impurity element, and it is preferable that irradiation is performed at an energy level at which the crystalline silicon film does not melt. Note that the laser irradiation may also be performed with the protective film 303 in place.

[0089] The activation by heat treatment (furnace annealing) may also be performed along with activation of the impurity element by laser light. When activation is performed by heat treatment, considering the heat resistance of the substrate, it is good to perform heat treatment on the order of 450 to 550°C.

[0090] A boundary portion (connecting portion) with end portions of the n-type impurity regions 305 and 306, namely regions, in which the n-type impurity element is not added, on the periphery of the n-type impurity regions 305 and 306, is delineated by this process. This means that, at the point when the TFTs are later completed, extremely good connecting portion can be formed between LDD regions and channel forming regions.

[0091] Unnecessary portions of the crystalline silicon film are removed next, as shown in Fig. 4D, and island shape semiconductor films (hereafter referred to as active layers) 307 to 310 are formed.

[0092] Then, as shown in Fig. 4E, a gate insulating film 311 is formed, covering the active layers 307 to 310. An insulating film containing silicon and with a thickness of 10 to 200 nm, preferably between 50 and 150 nm, may be used as the gate insulating film 311. A single layer structure or a lamination structure may be used. A 110 nm thick silicon oxide nitride film is used in Embodiment 1.

[0093] Thereafter, a conductive film having a thickness of 200 to 400 nm is formed and patterned to form gate electrodes 312 to 316. In the present embodiment, the gate electrodes and wirings (hereinafter referred to as the gate wirings) electrically connected to the gate electrodes for providing conductive paths are formed of different materials from each other. More specifically, the gate wirings are made of a material having a lower resistivity than the gate electrodes. Thus, a material enabling fine processing is used for the gate electrodes, while the gate wirings are formed of a material that can provide a smaller wiring resistance but is not suitable for fine processing. It is of course possible to form the gate electrodes and the gate wirings with the same material.

[0094] Although the gate electrode can be made of a single-layered conductive film, it is preferable to form a lamination film with two, three or more layers for the gate electrode if necessary. Any known conductive materials can be used for the gate electrode. It should be noted, however, that it is preferable to use such a material that enables fine processing, and more specifically, a material that can be patterned with a line width of 2 μm or less.

[0095] Typically, it is possible to use a film made of an element selected from tantalum (Ta), titanium (Ti), molybdenum (Mo), tungsten (W), chromium (Cr), and silicon (Si), a film of nitride of the above element (typically a tantalum nitride film, tungsten nitride film, or titanium nitride film), an alloy film of combination of the above elements (typically Mo-W alloy or Mo-Ta alloy), or a silicide film of the above element (typically a tungsten silicide film or titanium silicide film). Of course, the films may be used as a single layer or a laminate layer.

[0096] In this embodiment, a laminate film of a tungsten nitride (WN) film having a thickness of 30 nm and a tungsten (W) film having a thickness of 370 nm is used. This may be formed by sputtering. When an inert gas of Xe, Ne or

the like is added as a sputtering gas, film peeling due to stress can be prevented.

[0097] The gate electrodes 313 and 316 are formed at this time so as to overlap a portion of the n-type impurity regions 305 and 306, respectively, sandwiching the gate insulating film 311. This overlapping portion later becomes an LDD region overlapping the gate electrode.

[0098] Next, an n-type impurity element (phosphorous is used in Embodiment 1) is added in a self-aligning manner with the gate electrodes 312 to 316 as masks, as shown in Fig. 5A. The addition is regulated so that phosphorous is added to impurity regions 317 to 323 thus formed at a concentration of 1/10 to 1/2 that of the impurity regions 305 and 306 (typically between 1/4 and 1/3). Specifically, a concentration of $1x10^{16}$ to $5x10^{18}$ atoms/cm^3 (typically $3x10^{17}$ to $3x10^{18}$ atoms/cm^3) is preferable.

[0099] Resist masks 324a to 324c are formed next, with a shape covering the gate electrodes etc., as shown in Fig. 5B, and an n-type impurity element (phosphorous is used in Embodiment 1) is added, forming impurity regions 325 to 331 containing phosphorous at high concentration. Ion doping using phosphine (PH_3) is also performed here, and is regulated so that the phosphorous concentration of these regions is from $1x10^{20}$ to $1x10^{21}$ atoms/cm^3 (typically between $2x10^{20}$ and $5x10^{21}$ atoms/cm^3).

[0100] A source region or a drain region of the n-channel TFT is formed by this process, and in the switching TFT, a portion of the n-type impurity regions 320 to 322 formed by the process of Fig. 5A is remained. These remaining regions correspond to the LDD regions 15a to 15d of the switching TFT in Fig. 2.

[0101] Next, as shown in Fig. 5C, the resist masks 324a to 324c are removed, and a new resist mask 332 is formed. A p-type impurity element (boron is used in Embodiment 1) is then added, forming impurity regions 333 and 334 containing boron at high concentration. Boron is added here to form impurity regions 333 and 334 at a concentration of $3x10^{20}$ to $3x10^{21}$ atoms/cm^3 (typically between $5x10^{20}$ and $1x10^{21}$ atoms/cm^3) by ion doping using diborane (B_2H_6).

[0102] Note that phosphorous has already been added to the impurity regions 333 and 334 at a concentration of $1x10^{20}$ to $1x10^{21}$ atoms/cm^3, but boron is added here at a concentration of at least 3 times that of the phosphorous. Therefore, the n-type impurity regions already formed completely invert to p-type, and function as p-type impurity regions.

[0103] Next, after removing the resist mask 332, the n-type or p-type impurity elements added to the active layer at respective concentrations are activated. Furnace annealing, laser annealing or lamp annealing can be used as a means of activation. In Embodiment 1, heat treatment is performed for 4 hours at 550°C in a nitrogen atmosphere in an electric furnace.

[0104] At this time, it is critical to eliminate oxygen from the surrounding atmosphere as much as possible. This is because when even only a small amount of oxygen exists, an exposed surface of the gate electrode is oxidized, which results in an increased resistance and later makes it difficult to form an ohmic contact with the gate electrode. Accordingly, the oxygen concentration in the surrounding atmosphere for the activation process is set at 1 ppm or less, preferably at 0.1 ppm or less.

[0105] After the activation process is completed, the gate wiring 335 having a thickness of 300 nm is formed. As a material for the gate wiring 335, a metal film containing aluminum (Al) or copper (Cu) as its main component (occupied 50 to 100% in the composition) can be used. The gate wiring 335 is arranged, as the gate wiring 211 shown in Figs. 3A, so as to provide electrical connection for the gate electrodes 314 and 315 (corresponding to the gate electrodes 19a and 19b in Fig. 3A) of the switching TFT (see Fig. 5D).

[0106] The above-described structure can allow the wiring resistance of the gate wiring to be significantly reduced, and therefore, an image display region (pixel portion) with a large area can be formed. More specifically, the pixel structure in accordance with the present embodiment is advantageous for realizing an EL display device having a display screen with a diagonal size of 10 inches or larger (or 30 inches or larger.)

[0107] A first interlayer insulating film 336 is formed next, as shown in Fig. 6A. A single layer insulating film containing silicon is used as the first interlayer insulating film 336, while a lamination film may be used. Further, a film thickness of between 400 nm and 1.5 μm may be used. A lamination structure of an 800 nm thick silicon oxide film on a 200 nm thick silicon oxide nitride film is used in Embodiment 1.

[0108] In addition, heat treatment is performed for 1 to 12 hours at 300 to 450°C in an atmosphere containing between 3 and 100% hydrogen, performing hydrogenation. This process is one of hydrogen termination of dangling bonds in the semiconductor film by hydrogen, which is thermally activated. Plasma hydrogenation (using hydrogen activated by a plasma) may also be performed as another means of hydrogenation.

[0109] Note that the hydrogenation processing may also be inserted during the formation of the first interlayer insulating film 336. Namely, hydrogen processing may be performed as above after forming the 200 nm thick silicon oxide nitride film, and then the remaining 800 nm thick silicon oxide film may be formed.

[0110] Next, a contact hole is formed in the first interlayer insulating film 336, and source wirings 337 to 340 and drain wirings 341 to 343 are formed. In this embodiment, this electrode is made of a laminate film of three-layer structure in which a titanium film having a thickness of 100 nm, an aluminum film containing titanium and having a thickness of 300 nm, and a titanium film having a thickness of 150 nm are continuously formed by a sputtering method. Of course,

other conductive films may be used.

[0111] A first passivation film 344 is formed next with a thickness of 50 to 500 nm (typically between 200 and 300 nm). A 300 nm thick silicon oxide nitride film is used as the first passivation film 344 in Embodiment 1. This may also be substituted by a silicon nitride film. Note that it is effective to perform plasma processing using a gas containing hydrogen such as H_2 or NH_3 before the formation of the silicon oxide nitride film. Hydrogen activated by this preprocess is supplied to the first interlayer insulating film 336, and the film quality of the first passivation film 344 is improved by performing heat treatment. At the same time, the hydrogen added to the first interlayer insulating film 336 diffuses to the lower side, and the active layers can be hydrogenated effectively.

[0112] Next, as shown in Fig. 6B, a second interlayer insulating film 345 made of organic resin is formed. As the organic resin, it is possible to use polyimide, polyamide, acryl, BCB (benzocyclobutene) or the like. Especially, since the second interlayer insulating film 345 is primarily used for leveling, acryl excellent in leveling properties is preferable. In this embodiment, an acrylic film is formed to a thickness sufficient to level a stepped portion formed by TFTs. It is appropriate that the thickness is made 1 to 5 μm (more preferably, 2 to 4 μm).

[0113] Thereafter, a contact hole is formed in the second interlayer insulating film 345 and the first passivation film 344 to reach the drain wiring 343, and then the pixel electrode 346 is formed. In the present embodiment, an aluminum alloy film (an aluminum film containing titanium of 1wt%) having a thickness of 300 nm is formed as the pixel electrode 346.

[0114] Next, as shown in Fig. 6C, a bank 347 made of resin material is formed. The bank 347 may be formed by patterning a 1 to 2 μm thick acrylic film or polyimide film. As shown in Fig. 3, the bank 347 is formed as a stripe shape between pixels. In Embodiment 1, the bank 347 is formed along the source wiring 339, but it may also be formed along the gate wiring 336.

[0115] A light emitting layer 348 is next formed by the film deposition process employing the thin film deposition apparatus explained with reference to Fig. 1. Specifically, an organic EL material that becomes the light emitting layer 348 is dissolved in a solvent such as chloroform, dichloromethane, xylene, toluene, and tetrahydrofuran, and is then applied. Thereafter, heat treatment is performed to volatilize the solvent. A film (light emitting layer) made of the organic EL material is thus formed.

[0116] It is to be noted that only one pixel is illustrated in Embodiment 1. However, a light emitting layer luminescing red color, a light emitting layer luminescing green color, and a light emitting layer luminescing blue color are all formed at the same time at this point. In Embodiment 1, a cyano-paraphenylene vinylene is used for forming the light emitting layer luminescing red color, a paraphenylene vinylene for the light emitting layer luminescing green color, and a polyalkylphenylene for the light emitting layer luminescing blue color. Each of these light emitting layers is formed to a thickness of 50 nm. In addition, 1.2 dichloromethane is used as a solvent, and then volatilized by performing heat treatment on a hot plate at 80 to 150°C for 1 to 5 minutes.

[0117] Next, a hole injection layer 349 is formed to a thickness of 20 nm. Since the hole injection layer 349 may be provided commonly for all the pixels, it is appropriate to form the hole injection layer 349 by utilizing the spin coating method or the printing method. In Embodiment 1, polythiophene (PEDOT) is applied as a solution, and heat treatment is performed on a hot plate at 100 to 150°C for 1 to 5 minutes to thereby volatilize its moisture. In this case, the hole injection layer 349 can be formed without dissolving the light emitting layer 348 because polyphenylene vinylene or polyalkylphenylene is insoluble.

[0118] It is to be noted that a low molecular organic EL material may be used as the hole injection layer 349. In this case, it is appropriate to form the hole injection layer by the evaporation method.

[0119] A two-layered structure made of the light emitting layer and the hole injection layer is formed in Embodiment 1. However, other layers such as a hole transporting layer, an electron injection layer, and an electron transporting layer may also be provided. Examples of various lamination structures of such combination of layers have been reported, and any structure may be used for the present invention.

[0120] After the formation of the light emitting layer 348 and the hole injection layer 349, an anode 350 made of a transparent conductive film is formed to a thickness of 120 nm. Indium oxide, which is doped with 10 to 20 wt% of zinc oxide, is used for the transparent conductive film in Embodiment 1. As the film deposition method, it is preferable to form the anode 350 by evaporation at room temperature so that the light emitting layer 348 and the hole injection layer 349 are not deteriorated.

[0121] A second passivation film 351 made of a silicon oxide nitride film is formed to a thickness of 300 nm by plasma CVD after the formation of the anode 350. At this point, it is also necessary to pay attention to the film deposition temperature. The remote plasma CVD may be employed to lower the film deposition temperature.

[0122] An active matrix substrate having a structure as shown in Fig. 6C is thus completed. Note that after the formation of the bank 347, it is effective to use the multi-chamber method (or the in-line method) of the thin film deposition apparatus for the process of forming the films until the formation of the passivation film 351, in succession and without exposure to the atmosphere.

[0123] In the active matrix substrate of the present embodiment, TFTs having optimal structures are arranged not

only in the pixel portion but also in the driver circuit portion, thereby indicating an extremely high reliability and increasing its operation performance.

[0124] First, a TFT having a structure to decrease hot carrier injection so as not to drop the operation speed thereof as much as possible is used as an n-channel TFT 205 of a CMOS circuit forming a driver circuit portion. Note that the driver circuit here includes a shift register, a buffer, a level shifter, a sampling circuit (sample and hold circuit) and the like. In the case where digital driving is made, a signal conversion circuit such as a D/A converter can also be included.

[0125] In the case of Embodiment 1, as shown in Fig. 6C, an active layer of the n-channel TFT 205 is composed of a source region 355, a drain region 356, an LDD region 357, and a channel forming region 358. The LDD region 357 overlaps the gate electrode 313 via the gate insulating film 311. This structure is identical to the structure of the current control TFT 202.

[0126] Consideration not to drop the operation speed is the reason why the LDD region is formed at only the drain region side. In this n-channel TFT 205, it is not necessary to pay attention to an OFF current value very much, rather, it is better to give importance to an operation speed. Thus, it is desirable that the LDD region 357 is made to completely overlap the gate electrode to decrease a resistance component to a minimum. That is, it is preferable to remove the so-called offset.

[0127] Furthermore, deterioration of the p-channel TFT 206 in the CMOS circuit due to the injection of hot carriers is almost negligible, and thus, it is not necessary to provide any LDD region for the p-channel TFT 206. It is of course possible to provide the LDD region for the p-channel TFT 206, similarly for the n-channel TFT 205, to exhibit countermeasure against the hot carriers.

[0128] Note that, among the driver circuits, the sampling circuit is somewhat unique compared to the other circuits, in which a large electric current flows in both directions in the channel forming region. Namely, the roles of the source region and the drain region are interchanged. In addition, it is necessary to control the value of the off current to be as small as possible, and with that in mind, it is preferable to use a TFT having functions which are on an intermediate level between the switching TFT and the current control TFT in the sampling circuit.

[0129] Accordingly, in the n-channel TFT for forming the sampling circuit, it is desirable to arrange the TFTs having the structure as shown in Fig. 10. As illustrated in Fig. 10, portions of the LDD regions 901a and 901b overlap the gate electrode 903 through the gate insulating film 902. The advantages obtainable by this structure have been already described with respect to the current control TFT 202. In the case where the TFT is used for the sampling circuit, the LDD regions are disposed to interpose the channel forming region 904 therebetween, which is different from the case of the current control TFT.

[0130] Note that, in practice, it is preferable to additionally perform packaging (sealing) after completing up through Fig. 6C by using a highly airtight protective film which has very little gas leakage (such as a laminate film or an ultraviolet cured resin film) or a sealing material that is transmissive, so that there is no exposure to the atmosphere. By making the inside of the sealing material an inert environment, and by placing a drying agent (for example, barium oxide) within the sealing material, the reliability of the EL element is increased.

[0131] Furthermore, after the airtightness is increased by the packing processing etc., a connector (a flexible printed circuit, FPC) for connecting output terminals from elements or circuits formed on the substrate and external signal terminals, is attached, completing a manufactured product. The completed manufactured product in this state of being able to be shipped is referred to as an EL display device (or an EL module) throughout this specification.

[0132] Here, the structure of the active matrix EL display device of this embodiment will be described with reference to a perspective view of Fig. 7. The active matrix EL display device of this embodiment is constituted by a pixel portion 702, a gate side driver circuit 703, and a source side driver circuit 704 formed on a glass substrate 701. A switching TFT 705 of a pixel portion is an n-channel TFT, and is disposed at an intersection point of a gate wiring 706 connected to the gate side driver circuit 703 and a source wiring 707 connected to the source side driver circuit 704. The drain of the switching TFT 705 is connected to the gate of a current control TFT 708.

[0133] In addition, the source of the current control TFT 708 is connected to a current supply line 709. A ground electric potential (earth electric potential) is imparted to the current supply line 709 in the structure such as Embodiment 1. Further, an EL element 710 is connected to the drain of the current control TFT 708. A predetermined voltage (between 3 and 12 V, preferably between 3 and 5 V) is applied to the anode of the EL element 710.

[0134] Connection wirings 712 and 713 for transmitting signals to the driver circuit portion and a connection wiring 714 connected to the current supply line 709 are provided in an FPC 711 as an external input/output terminal.

[0135] Fig. 8 shows an example of the circuit structure of the EL display device shown in Fig. 7. The EL display device of the present embodiment is provided with a source side driver circuit 801, a gate side driver circuit (A) 807, a gate side driver circuit (B) 811 and a pixel portion 806. Note that, throughout the present specification, the driver circuit portion is the generic name for the source side driver circuit and the gate side driver circuits.

[0136] The source side driver circuit 801 is provided with a shift register 802, a level shifter 803, a buffer 804, and a sampling circuit (sample and hold circuit) 805. The gate side driver circuit (A) 807 is provided with a shift register 808, a level shifter 809, and a buffer 810. The gate side driver circuit (B) 811 also has the same structure.

[0137] Here, the shift registers 802 and 808 have driving voltages of 5 to 16 V (typically 10 V) respectively, and the structure indicated by 205 in Fig. 6C is suitable for an n-channel TFT used in a CMOS circuit forming the circuit.

[0138] Besides, for each of the level shifters 803 and 809 and the buffers 804 and 810. similarly to the shift register, the CMOS circuit including the n-channel TFT 205 of Fig. 6C is suitable. Note that it is effective to make a gate wiring a multi-gate structure such as a double gate structure or a triple gate structure in improving reliability of each circuit.

[0139] Besides, since the source region and the drain region are inverted and it is necessary to decrease an OFF current value, a CMOS circuit including the n-channel TFT 208 of Fig. 10 is suitable for the sampling circuit 805.

[0140] The pixel portion 806 is disposed with pixels having the structure shown in Fig. 2.

[0141] The foregoing structure can be easily realized by manufacturing TFTs in accordance with the manufacturing processes shown in Figs. 4A to 6C. In this embodiment, although only the structure of the pixel portion and the driver circuit portion is shown, if the manufacturing processes of this embodiment are used, it is possible to form a logical circuit other than the driver circuit, such as a signal dividing circuit, a D/A converter circuit, an operational amplifier circuit, a γ-correction circuit, on the same substrate, and further, it is considered that a memory portion, a microprocessor, or the like can be formed.

[0142] Furthermore, an explanation of the EL module of Embodiment 1, containing the sealing material, is made using Figs. 11A and 11B. Note that, when necessary, the symbols used in Figs. 7 and 8 are cited.

[0143] Fig. 11A is a diagram showing the top view of a state in which the state shown in Fig. 7 is provided with a sealing structure. Indicated by dotted lines, reference numeral 702 denotes a pixel portion, 703 denotes a gate side driver circuit, and 704 denotes a source side driver circuit. The sealing structure of the present invention is a structure in which a filling material (not shown in the figure), a cover material 1101, a seal material (not shown in the figure), and a frame material 1102 is provided to the state shown in Fig. 7.

[0144] Here, the cross-sectional view taken along line A-A ' of Fig. 11A is shown in Fig. 11B. It is to be noted that the same reference numerals are used for the same components in Figs. 11A and 11B.

[0145] As shown in Fig. 11B, the pixel portion 702 and the gate side driver circuit 703 are formed on the substrate 701. The pixel portion 702 is formed of a plurality of pixels containing the current control TFT 202 and the pixel electrode 346 which is electrically connected to the current control TFT 202. Further, the gate side driver circuit 703 is formed by using a CMOS circuit that is a complementary combination of the n-channel TFT 205 and the p-channel TFT 206.

[0146] The pixel electrode 346 functions as the cathode of the EL element. In addition, the bank 347 is formed on both ends of the pixel electrode 346, and the light emitting layer 348 and the hole injection layer 349 are formed on the inner side of the bank 347. The anode 350 of the EL element and the second passivation film 351 are further formed on the top. As explained in the embodiment mode of the present invention, the EL element may of course have a reverse structure with the pixel electrode as the anode.

[0147] In the case of Embodiment 1, the anode 350 also functions as a common wiring to all the pixels, and is electrically connected to the FPC 711 through the connection wiring 712. Furthermore, all the elements contained in the pixel portion 702 and the gate side driver circuit 703 are covered by the second passivation film 351. The second passivation film 351 may be omitted, but it is preferable to provide this film to shield the respective elements from the outside.

[0148] Next, a filling material 1103 is provided so as to cover the EL element. The filling material 1103 also functions as an adhesive for gluing the cover material 1101. As the filling material 1103, PVC (polyvinyl chloride), epoxy resins, silicon resins, PVB (polyvinyl butyral) or EVA (ethylene vinyl acetate) can be used. It is preferable to place a drying agent (not shown in the figure) inside the filling material 1103 because the absorbent effect can be maintained. At this point, the drying agent may be an agent doped into the filling material, or an agent enclosed in the filling material. However, a material having transmissivity is used in the case of Embodiment 1, to thereby emit light from the side of the filling material 1103.

[0149] Further, in Embodiment 1, a glass plate, an FRP (Fiberglass-Reinforced Plastics) plate, PVF (polyvinyl fluoride) film, a milar film, a polyester film, or an acrylic film can be used as the cover material 1101. In the case of Embodiment 1, similar to the filling material, the cover material 1101 must be made of a transmissive material. Note that it is effective to dope a drying agent, such as barium oxide, into the filling material 1103 in advance.

[0150] After using the filling material 1103 to glue the cover material 1101, the frame material 1102 is next attached so as to cover a side surface (the exposed surface) of the filling material 1103. The frame material 1102 is glued on by the seal material (functioning as an adhesive) 1104. At this point, it is preferable to use a light cured resin as the seal material 1104. However, a thermally cured resin, as long as the heat resistance of the EL layer permits, may be used. Note that it is desirable to use, as the seal material 1104, a material through which, as much as possible, oxygen and moisture do not penetrate. In addition, a drying agent may be doped into the seal material 1104.

[0151] The EL element is thus sealed into the filling material 1103 by using the above procedure, to thereby completely cut off the EL element from the external atmosphere and to prevent the penetration of substances such as moisture and oxygen from the outside which stimulate the deterioration of the EL element due to the oxidation of the EL layer. Accordingly, highly reliable EL display devices can be manufactured.

Embodiment 2

[0152] An example of simultaneously forming, in a lengthwise direction or a lateral direction, three types of stripe shape light emitting layers luminescing red, green, and blue color lights was shown in Embodiment 1. An example of a stripe shape light emitting layer formed by dividing it into a plural number of divisions in a longitudinal direction is shown in Embodiment 2.

[0153] As shown in Fig. 12A, the pixel portion 111, the source side driver circuit 112, and the gate side driver circuit 113, all formed of TFTs, are formed on the substrate 110. The pixel portion 111 is partitioned into matrix by a bank 1201. In the case of Embodiment 2, a plurality of pixels 1203 are arranged within one of the squares 1202 partitioned by the bank 1201 as shown in Fig. 12B. However, the number of pixels is not limited.

[0154] In such a state, the film deposition process of an organic EL material for functioning as a light emitting layer is carried out using the thin film deposition apparatus of Fig. 1. Even in this case, the red application liquid 114a, the green application liquid 114b, and the blue application liquid 114c are separately applied to by the head portion 115 at the same time.

[0155] Embodiment 2 is characterized by the fact that the application liquids 114a to 114c can be applied separately to the above stated respective squares 1202. In other words, the application liquids of each color, red, green, and blue, can only be applied separately in a stripe shape in the method of Fig.1, whereas in Embodiment 2, the colors can be freely arranged in each square. Therefore, as shown in Fig. 12A, it is possible to arrange a color of the application liquid to be applied to an optional square in a manner so that a whole row (or column) is being shifted.

[0156] Further, in the square 1202, the provision of one pixel is also possible, and in this case, the pixel structure can be adopted which is generally referred to as delta arrangement (a pixel structure in which pixels corresponding to the respective colors RGB are arranged so as to always form a triangle).

[0157] Operations imparted to the head portion 115 for the purpose of implementing Embodiment 2 are as follows. First, the head portion 115 is moved to the direction indicated by the arrow a, to thereby completely soak the inside of three squares (the respective squares corresponding to the colors red, green, and blue) with the application liquids. After completing this operation, the head portion 115 is moved to the direction indicated by the arrow b, to thereby apply the application liquid to the next three squares. The application liquids are applied to the pixel portion by repeating this operation. Thereafter, the solvent is volatilized by heat treatment to form an organic EL material.

[0158] In an example described in the conventional ink-jet method, the organic EL material formed for the application of liquid drops becomes circular. Therefore, it is difficult to cover the entire long and narrow pixel. Particularly, in the case of Embodiment 1 in which the entire pixel functions as a light emitting region, the entire pixel needs to be covered by the organic EL material. On the other hand, Embodiment 2 has a merit in that the squares can be completely filled with the application liquids by moving the head portion 115 in the direction indicated by the arrow a.

[0159] Note that the constitution of Embodiment 2 may be utilized in manufacturing the EL display device described in Embodiment 1. The bank 1201 may be formed into a matrix shape by patterning, and the operations of the head portion 115 may be electrically controlled.

Embodiment 3

[0160] A case of employing the present invention in a passive type (simple matrix type) EL display device is explained in Embodiment 3 with reference to Fig. 13. In Fig. 13, reference numeral 1301 denotes a plastic substrate and 1302 denotes a cathode made of an aluminum alloy film. The cathode 1302 is formed by the evaporation method in Embodiment 3. Note that although not shown in Fig. 13, a plural number of lines of cathodes are arranged in a stripe shape, in a perpendicular direction on a defined space.

[0161] Further, a bank 1303 is formed so as to fill up the spaces between the cathodes 1302 arranged in stripes. The bank 1303 is formed along the cathodes 1302 in a perpendicular direction on the defined space.

[0162] Subsequently, light emitting layers 1304a to 1304c made of a high molecular organic EL material are formed by the film deposition method employing the thin film deposition apparatus of Fig. 1. Of course, reference numeral 1304a is a light emitting layer luminescing red color, 1304b is a light emitting layer luminescing green color, and 1304c is a light emitting layer luminescing blue color. An organic EL material similar to that of Embodiment 1 may be used in Embodiment 3. Since these light emitting layers are formed along the grooves, which are formed by the bank 1302, these layers are arranged in a stripe shape, in a perpendicular direction on the defined space.

[0163] Thereafter, a hole injection layer 1305, common for all the pixels, is formed by the spin coating method or the printing method. The hole injection layer may also be similar to the one of Embodiment 1. In addition, an anode 1306 made of a transparent conductive film is formed on the hole injection layer 1305. In Embodiment 3, a compound of indium oxide and zinc oxide formed by the evaporation method is formed as the transparent conductive film. Note that although not shown in Fig. 13, the parallel direction of a plural number of lines of anodes on the defined space is the longitudinal direction, and that the anodes 1306 are arranged in a stripe shape so as to intersect the cathodes 1302.

Furthermore, a wiring, not shown in the drawing, is drawn to a portion where an FPC will be attached later so that a predetermined voltage can be applied to the anodes 1306.

[0164] Further, after the formation of the anode 1306, a silicon nitride film as a passivation film, not shown in the drawing, may be provided.

[0165] An EL element is thus formed on the substrate 1301. Note that since a lower side electrode is a light-shielding cathode, light generated by the light emitting layers 1304a to 1304c is irradiated to an upper surface (a surface opposite the substrate 1301). However, the lower side electrode can be transmissive anode by reversing the structure of the EL element. In that case, light generated by the light emitting layers 1304a to 1304c is irradiated to a lower surface (the substrate 1301).

[0166] A plastic plate is prepared as a cover material 1307. A light-shielding film or a color filter may be formed on the surface when necessary. In the structure of Embodiment 3, the cover material 1307 is transmissive because tight emitted from the EL element penetrates the cover material 1307 and enters the eyes of an observer. A plastic plate is used in Embodiment 3, but a glass plate and a transmissive substrate (or a transmissive film) such as a PVF film may be used. Of course, as explained previously, in the case of reversing the structure of the EL element, the cover material may have light shielding characteristics. Hence, a ceramic substrate, etc. can be used.

[0167] When the cover material 1307 is thus prepared, it is then pasted on the substrate by a filling material 1308 that is doped with a barium oxide as a drying agent (not shown in the figure). Then, frame material 1310 is attached by using a seal material 1309 made of an ultraviolet cured resin. A stainless material is used as the frame material 1310 in Embodiment 3. Finally, an FPC 1312 is attached via a conductive paste 1311, thereby completing a passive type EL display device.

Embodiment 4

[0168] When the active matrix EL display device of the present invention is seen from the direction of Fig. 11A, the rows of pixel may be formed in a lengthwise direction or lateral direction. In other words, the arrangement of the pixels becomes such as that of Fig. 14A in the case of forming the rows of pixels in the lengthwise direction. On the other hand, the arrangement of the pixels becomes such as that of Fig. 14B in the case of forming the rows of pixels in the lateral direction.

[0169] In Fig. 14A, reference numeral 1401 denotes a bank formed into a stripe shape in the lengthwise direction, 1402a denotes an EL layer luminescing a red color, and 1402b denotes an EL layer luminescing green color. An EL layer luminescing blue color (not shown in the figure) is, of course, formed next to the EL layer 1402b luminescing green color. It is to be noted that in the upper direction of a source wiring via an insulating film, the bank 1401 is formed along the source wiring.

[0170] The EL layer referred to here indicates a layer made of an organic EL material which contributes to the luminescing of layers such as a light emitting layer, a charge injection layer, and a charge transporting layer. There are cases of forming a light emitting layer as a single layer. However, in the case of forming a laminate layer of a hole injection layer and a light emitting layer, for example, this laminate film is called an EL layer.

[0171] At this point, it is desirable that a mutual distance (D) of pixels 1403 indicated by the dotted line is set to be 5 times or greater (preferably 10 times or greater) than the film thickness (t) of the EL layer. The reason for this resides in that if $D < 5t$, the problem of cross-talk may occur between pixels. Note that if the distance (D) between pixels is also too far apart, high definition images cannot be obtained. Therefore, it is preferable that the distance (D) is $5t < D < 50t$ (preferably $10t < D < 35t$).

[0172] Further, in Fig. 14B, reference numeral 1404 denotes a bank formed into a stripe shape in the lateral direction, 1405a denotes an EL layer luminescing red color, 1405b denotes an EL layer luminescing green color, and 1405c denotes an EL layer luminescing blue color. It is to be noted that in the upper direction of a gate wiring via an insulating film, the bank 1404 is formed along the gate wiring.

[0173] Also in this case, it is appropriate that a mutual distance (D) of pixels 1406 indicated by the dotted line is set to be 5 times or greater (preferably 10 times or greater) than the film thickness (t) of the EL layer, and further it is preferable that the distance (D) is $5t < D < 50t$ (preferably $10t < D < 35t$).

[0174] Note that the constitution of Embodiment 4 may be implemented by combining it with any of the constitutions of Embodiments 1 to 3. By regulating the relationship between the distance of the pixels and the film thickness of the EL layer as in Embodiment 4, it becomes possible to display high definition images without cross-talk.

Embodiment 5

[0175] An example of forming all the light emitting layers, the light emitting layer luminescing red color, the light emitting layer luminescing green color, and the light emitting layer luminescing blue color, by utilizing the thin film deposition apparatus of Fig. 1 was illustrated in Embodiment 1. However, the light emitting layer formed by using the thin

film deposition apparatus of Fig. 1 may be a layer for at least one of the colors, red, green, and blue.

[0176] That is, in Fig. 1B, the nozzle 116c (a nozzle for applying the blue light emitting layer application liquid) is omitted. It is also possible to apply the blue light emitting layer application liquid 114c by other application means. An example of this is shown in Fig. 15.

[0177] Shown in Fig. 15 is an example of a case in which the constitution of Embodiment 5 is employed in the passive type EL display device illustrated in Embodiment 3. The basic structures are the same as those of the passive type EL display device shown in Fig. 13, and therefore only the reference numerals of different portions are changed and explained.

[0178] In Fig. 15, after forming the cathode 1302 on the substrate 1301, the light emitting layer 1304a luminescing red color and the light emitting layer 1304b luminescing green color are formed by utilizing the thin film deposition apparatus of Fig. 1. Then, a light emitting layer 1501 luminescing blue color is formed thereon by the spin coating method, the printing method, or the evaporation method. In addition, the hole injection layer 1305 and the anode 1306 are formed.

[0179] Thereafter, the filling material 1308, the cover material 1307, the seal material 1309, the frame material 1310, the conductive paste 1311, and the FPC 1312 are formed in accordance with the explanation of Embodiment 3, to thereby complete the passive type EL display device of Fig. 15.

[0180] The case of Embodiment 5 is characterized in that the light emitting layer 1304a luminescing red color, the light emitting layer 1304b luminescing green color, and the light emitting layer 1501 luminescing blue color are formed by different means. Of course, the colors may be freely combined, and the light emitting layer luminescing green color may be formed by the spin coating method, the printing method, or the evaporation method instead of the above-mentioned light emitting layer luminescing blue color.

[0181] In addition, the light emitting layer luminescing green color is formed by using the injection device of Fig. 1, and the light emitting layer luminescing red color and the light emitting layer luminescing blue color may be formed by the spin coating method, the printing method, or the evaporation method. Even in this case, the colors can be freely combined.

[0182] According to the structure of Embodiment 5, of the light emitting pixels, the red light emitting pixel, the green light emitting pixel, and the blue light emitting pixel, at least one has a structure that is a laminate layer of two different types of light emitting layers as the light emitting layer. In this case, of the two different types of light emitting layers, either one emits one of the colors due to the mobility of energy. However, whichever color light will be emitted can be examined in advance. Thus, it is appropriate to design the structure so that the colors, red, green, and blue can be finally obtained.

[0183] As an advantageous point of structuring the light emitting layer as a laminate layer, such as the one stated above, the point that the possibility of a short circuit caused by a pinhole becomes low can be cited. Since the light emitting layer is very thin, the occurrence of short circuit in the cathode and anode caused by the pinhole becomes a problem. However, the filling up of the pinhole is carried out by structuring a laminate layer, and therefore the possibility of a short circuit occurring can be greatly reduced. In such a meaning, it is effective to form the light emitting layer that is provided on the upper layer of the laminate structure by the evaporation method where it is difficult for pinholes to occur.

[0184] Note that in Embodiment 5, an explanation was made taking the passive type EL display device as an example. However, the active matrix EL display device may also be employed. Accordingly, the constitution of Embodiment 5 may be implemented by freely combining it with the constitution of any of Embodiments 1 to 4.

Embodiment 6

[0185] An example of the head portion 115 in which 3 nozzles are attached thereto is shown in Fig. 1. However, the head portion may be further attached with 3 or more nozzles in correspondence with the plurality of rows of pixels, an example of which is shown in Fig. 16. It is to be noted that the letters R, G, and B correspond to red, green, and blue respectively.

[0186] Shown in Fig. 16 is an example of collectively applying an organic EL material (strictly application liquid) to all the rows of pixels formed in the pixel portion. That is, the number of nozzles attached to a head portion 1601 is the same as the number of rows of pixels. By constructing such a structure, it becomes possible to apply the application liquid to the entire rows of pixels in one scan, thereby making a rapid increase in throughput.

[0187] Further, the pixel portion is divided into a plurality of zones. A head portion provided with the same number of nozzles as the number of rows of pixels contained in each zone may be employed. In other words, if the pixel portion is divided into n number of zones, then the organic EL material (strictly application liquid) can be applied to all the rows of pixels by scanning n number of times.

[0188] Since there are actually cases where the size of the pixels are small, several tens of μm, then the width of a pixel row is also about several tens of μm. In such a case, the arrangement of the nozzles needs to be contrived because it is difficult to arrange the nozzles in one horizontal row.

[0189] Shown in Fig. 17 is an example in which the attachment positions of the nozzles to the head portion are altered. In Fig. 17A, nozzles 52a to 52c are formed on the head portion 51 while shifting their attachment positions diagonally. Note that reference numeral 52a denotes a nozzle for applying red light emitting layer application liquid, 52b denotes a nozzle for applying green light emitting layer application liquid, and 52c denotes a nozzle for applying blue light emitting layer application liquid. Further, each of the arrows corresponds to a pixel row.

[0190] The nozzles 52a to 52c are then considered as one unit as indicated by reference numeral 53. Thus, the head portion is provided with one to several numbers of units. If there is one unit 53, then the organic EL material can be applied to 3 rows of pixels at the same time. This means that if there are n numbers of units, then the organic EL material can be applied to n numbers of 3 rows of pixels at the same time.

[0191] By forming such a structure, the degree of freedom in the arrangement space of nozzles is raised, making it possible to implement the present invention in a highly detailed pixel portion without much difficulty. In addition, the head portion 51 of Fig. 17A may be used in collectively processing (applying the application liquid thereto) all the rows of pixels in the pixel portion, or may be used in the case where the pixel portion is divided into a plurality of zones and the process of the rows of pixels is divided into several times.

[0192] A head portion 54 shown in Fig. 17B is a modified version of Fig. 17A. It is an example of a case of increasing the number of nozzles contained in one unit 55. In other words, 2 nozzles 56a for applying the red light emitting layer application liquid, 2 nozzles 56b for applying the green light emitting layer application liquid, and 2 nozzles 56c for applying the blue light emitting layer application liquid are contained in the unit 55. Hence, a total of 6 rows of pixels can be applied with the organic EL material at the same time by one unit 55.

[0193] One to a plural number of the above-mentioned unit 55 can be provided in Embodiment 6. If there is only one unit 55, then the organic EL material can be applied to 6 rows of pixels at the same time. If there are n numbers of unit 55, then the organic EL material can be applied to n numbers of 6 rows of pixels at the same time. Of course, the number of nozzles provided in the unit 55 is not necessarily limited to 6, but an additional number of nozzles may be provided.

[0194] In the case of such structure, similarly to the case of Fig. 17A, all the rows of pixels in the pixel portion can be collectively processed, or it is possible to divide the process into several times when the pixel portion is divided into a plurality of zones.

[0195] In addition, a head portion such as a head portion 57 shown in Fig. 17C can be used. In the head portion 57, a space for 3 rows of pixels is opened for provision of a nozzle 58a for applying the red light emitting layer application liquid, a nozzle 58b for applying the green light emitting layer application liquid, and a nozzle 58c for applying the blue light emitting layer application liquid.

[0196] First, the head portion 57 is scanned once to apply the organic EL material to the rows of pixels. Next, the head portion 57 is shifted by 3 rows of pixel to the right and scanned again. Then the head portion is further shifted by 3 rows of pixels to the right and scanned again. Scanning is thus performed 3 times, whereby the organic EL material can be applied to the stripes lined in the order of red, green, and blue.

[0197] Also in the case of such a structure, similarly to the case of Fig. 17A, all the rows of pixels in the pixel portion can be collectively processed, or it is possible to divide the process into several times when the pixel portion is divided into a plurality of zones.

[0198] Thus, in the thin film deposition apparatus of Fig. 1, by contriving the position of nozzles to be attached to the head portion, the present invention may also be implemented in a highly detailed pixel portion having very narrow pixel pitches (the distance between pixels). Furthermore, the throughput of the manufacturing process can be increased.

[0199] Note that the constitution of Embodiment 6 may be implemented by freely combining it with the constitution of any of Embodiments 1 to 5.

Embodiment 7

[0200] When the present invention is implemented to manufacture an active matrix EL display device, it is effective to use a silicon substrate (silicon wafer) as a substrate. In the case of using the silicon substrate as the substrate, a manufacturing technique of MOSFET utilized in the conventional IC, LSI or the like can be employed to manufacture a switching element and a current control element to be formed in the pixel portion, or a driver element to be formed in the driver circuit portion.

[0201] The MOSFET can form circuits having extremely small variations as in its achievements in the IC and the LSI. Particularly, it is effective for an analog driver of the active matrix EL display device for performing gradation display by an electric current value.

[0202] It is to be noted that the silicon substrate is not transmissive, and therefore the structure needs to be constructed so that light from the light emitting layer is irradiated to a side opposite the substrate. The structure of the EL display device of Embodiment 7 is similar to that of Fig. 11. However, the point of difference is that the MOSFET is used

for forming a pixel portion 702 and a driver circuit portion 703 instead of a TFT.

Embodiment 8

[0203] An EL display device formed by implementing the present invention has superior visibility in bright locations in comparison to a liquid crystal display device because it is a self-emissive type device, and moreover its field of vision is wide. Accordingly, it can be used as a display portion for various electronic devices. For example, it is appropriate to use the EL display device of the present invention as a display portion of an EL display (a display incorporating the EL display device in its casing) having a diagonal equal to 30 inches or greater (typically equal to 40 inches or greater) for appreciation of TV broadcasts by large screen.

[0204] Note that all displays exhibiting (displaying) information such as a personal computer display, a TV broadcast reception display, or an advertisement display are included as the EL display. Further, the EL display device of the present invention can be used as a display portion of the other various electronic devices.

[0205] The following can be given as examples of such electronic devices: a video camera; a digital camera; a goggle type display (head mounted display); a car navigation system; an audio reproducing device (such as a car audio system, an audio compo system); a notebook personal computer; a game equipment; a portable information terminal (such as a mobile computer, a mobile telephone, a mobile game equipment or an electronic book); and an image playback device provided with a recording medium (specifically, a device which performs playback of a recording medium and is provided with a display which can display those images, such as a digital video disk (DVD)). In particular, because portable information terminals are often viewed from a diagonal direction, the wideness of the field of vision is regarded as very important. Thus, it is preferable that the EL display device is employed. Examples of these electronic devices are shown in Figs. 18A to 19B.

[0206] Fig. 18A is an EL display, containing a casing 2001, a support stand 2002, and a display portion 2003. The present invention can be used in the display portion 2003. Since the EL display is a self-emissive type device without the need of a backlight, its display portion can be made thinner than a liquid crystal display device.

[0207] Fig. 18B is a video camera, containing a main body 2101, a display portion 2102, an audio input portion 2103, operation switches 2104, a battery 2105, and an image receiving portion 2106. The EL display device of the present invention can be used in the display portion 2102.

[0208] Fig. 18C is a portion of a head fitting type EL display (right side), containing a main body 2201, a signal cable 2202, a head fixing band 2203, a display portion 2204, an optical system 2205, and an EL display device 2206. The present invention can be used in the EL display device 2206.

[0209] Fig. 18D is an image playback device (specifically, a DVD playback device) provided with a recording medium, containing a main body 2301, a recording medium (such as a DVD) 2302, operation switches 2303, a display portion (a) 2304, and a display portion (b) 2305. The display portion (a) is mainly used for displaying image information, and the image portion (b) is mainly used for displaying character information, and the EL display device of the present invention can be used in the image portion (a) and in the image portion (b). Note that domestic game equipment is included as the image playback device provided with a recording medium.

[0210] Fig. 18E is a mobile computer, containing a main body 2401, a camera portion 2402, an image receiving portion 2403, operation switches 2404, and a display portion 2405. The EL display device of the present invention can be used in the display portion 2405.

[0211] Fig. 18F is a personal computer, containing a main body 2501, a casing 2502, a display portion 2503, and a keyboard 2504. The EL display device of the present invention can be used in the display portion 2503.

[0212] Note that in the future if the emission luminance of EL materials becomes higher, the projection of light including outputted images can be enlarged by lenses or the like. Then it will become possible to use the EL display device of the present invention in a front type or a rear type projector.

[0213] The above electronic devices are becoming more often used to display information provided through an electronic transmission circuit such as the Internet or CATV (cable television), and in particular, opportunities for displaying animation information are increasing. The response speed of EL materials is extremely high, and therefore the EL display device is favorable for performing animation display. However, the contours between pixels become hazy, whereby the entire animation also becomes hazy. Accordingly, it is extremely effective to use the EL display device of the present invention in the display portion of electronic equipment because of its capability of clarifying the contours between pixels.

[0214] The emitting portion of the EL display device consumes power, and therefore it is preferable to display information so as to have the emitting portion become as small as possible. Therefore, when using the EL display device in a display portion which mainly displays character information, such as a portable information terminal, in particular, a portable telephone and an audio reproducing device, it is preferable to drive it by setting non-emitting portions as background and forming character information in emitting portions.

[0215] Fig. 19A is a portable telephone, containing a main body 2601, an audio output portion 2602, an audio input

portion 2603, a display portion 2604, operation switches 2605, and an antenna 2606. The EL display device of the present invention can be used in the display portion 2604. Note that by displaying white characters in a black background in the display portion 2604, the power consumption of the portable telephone can be reduced.

[0216] Fig. 19B is an audio reproducing device, specifically a car audio system, containing a main body 2701, a display portion 2702, and operation switches 2703 and 2704. The EL display device of the present invention can be used in the display portion 2702. Furthermore, an audio reproducing device for a car is shown in Embodiment 8, but it may also be used for a mobile type and a domestic type of audio reproducing device. Note that by displaying white characters in a black background in the display portion 2704, the power consumption can be reduced. This is particularly effective in a mobile type audio reproducing device.

[0217] The range of applications of the present invention is thus extremely wide, and it is possible to apply the present invention to electronic devices in all fields. Furthermore, any constitution of the EL display device shown in Embodiments 1 to 7 may be employed in the electronic devices of Embodiment 8.

Embodiment 9

[0218] In Embodiment 9, a case in which a method of enclosing an EL element different from that of the cross-sectional structure of the EL display device shown in Fig. 11 in Embodiment 1 will be explained with reference to Fig. 20. Note that processes up through the formation of the active matrix substrate of Embodiment 9 is similar to those of Embodiment 1, and their explanation is therefore omitted.

[0219] The active matrix substrate formed in accordance with Embodiment 1 is provided with a seal material 2801, and a cover material 2802 is glued thereto. Resins that have adhesive properties such as an ultraviolet cured resin may be used as the seal material 2801. In particular, it is preferable to use resins through which, as much as is possible, moisture is not permeated and as little as possible of gas leakage. In addition, materials that can extract light emitted from an EL element formed in substrates such as a glass substrate, a plastic substrate, or a ceramic substrate provided with a window member having light transparency characteristics may be used as the cover material 2802.

[0220] In Embodiment 9, the seal material 2801 made of an ultraviolet cured resin is formed so as to encircle the pixel portion 702 and the driver circuit portion 703 by using a dispenser, and then the cover material 2802 made of plastic is adhered thereto. Next, the seal material 2801 is cured by irradiating ultraviolet rays, thereby bonding the cover material 2802 to the active matrix substrate.

[0221] Note that color filters 2803 and 2804 made of resin are provided on the cover material 2802 made of plastic before it is adhered to the substrate. The color filters 2803 and 2804 are provided above each of the pixels to improve the color purity of the light emitted from the EL element. It does not matter if the color filters are not provided.

[0222] A closed space 2805 formed by the active matrix substrate, the cover material 2802, and the seal material 2801 is filled with inert gas (specifically nitric gas or noble (rare) gas). In order to do this, it is appropriate to perform the process of bonding the active matrix substrate and the cover material in inert gas. Furthermore, it is effective to provide a drying agent such as barium oxide inside the closed space 2805. It is also possible to additionally dope a drying agent in the seal material 2801, the cover material 2802, or the color filters 2803 and 2804.

[0223] Note that it is possible to implement the constitution of Embodiment 9 by freely combining it with the constitution of any of Embodiments 1 to 7. The EL display device obtained by implementing Embodiment 9 may be employed in any of the electronic equipment of Embodiment 8.

Embodiment 10

[0224] A case of manufacturing a plural number of the EL display devices of the present invention on a large substrate is explained in Embodiment 10. The explanation is made using the top views shown in Figs. 21A and 21B and Figs. 22A and 22B. Note that each of the top views has both cross-sectional views taken along line A-A' and line B-B'.

[0225] Fig. 21A shows the state of an active matrix substrate, which is formed in accordance with any one of the Embodiments 1 to 7, with seal materials formed thereon. Reference numeral 2901 denotes the active matrix substrate having seal materials 2902 provided in several places.

[0226] A pixel portion and a driver circuit portion of the EL display device are contained inside the respective regions surrounded by the seal materials 2902. That is, a plurality of active matrix portions 2903, each made up of a combination of the pixel portion and the driver circuit portion, are formed on one large substrate, the active matrix substrate 2901. Typically, a substrate having an area of 620 mm X 720 mm or 400 mm X 500 mm is used as a large substrate. Of course, substrates having other areas may be used.

[0227] Fig. 21B shows a state in which a cover material 2904 is adhered to the active matrix substrate 2901. A substrate having an area that is the same as that of the active matrix substrate 2901 may be used for the cover material 2904. Accordingly, in the state shown in Fig. 21B, a common cover material can be used for all the active matrix portions.

[0228] Next, a process of cutting the active matrix substrate in the state shown in Fig. 21B is explained with reference to Figs. 22A and 22B.

[0229] In Embodiment 10, the cutting of the active matrix substrate 2901 and the cover material 2904 is conducted by using a scriber. The scriber is a device for cutting a substrate by first forming narrow grooves (scribe grooves) in the substrate and then applying impact to the scribe grooves to generate fissures along the scribe grooves, thereby cutting the substrate.

[0230] It is to be noted that as another device for cutting a substrate, a dicer is known. The dicer is a device in which a hard cutter (also referred to as a dicing saw) is rotated at a very high speed and applied to the substrate

[0231] It is to be noted that as another device for cutting a substrate, the dicer is known. The dicer is a device in which a hard cutter (also referred to as a dicing saw), rotating at a very high speed, is applied to the substrate to cut the substrate. However, when using the dicer, the dicing saw is sprayed with water in order to prevent the heat generation and the scattering of polish dust. Therefore, when manufacturing the EL display device, it is desirable to employ the scriber, in which there is no need to use water.

[0232] The order of forming scribe grooves in the active matrix substrate 2901 and the cover material 2904 is as follows. First, a scribe groove 2905a is formed in the direction indicated by the arrow (a), then a scribe groove 2905b is formed in the direction indicated by the arrow (b), and finally, a scribe groove 2905c is formed in the direction indicated by the arrow (c).

[0233] When the scribe grooves are formed, impact is applied to the scribe grooves with a bar, which is made of an elastic material such as silicon resin, to generate fissures and then the active matrix substrate 2901 and the cover material 2904 are cut. Fig. 22B is a diagram showing the state after cutting the active matrix substrate 2901 and the cover material 2904. In this drawing, a set, which is composed of an active matrix substrate 2901' and a cover material 2904', contains one active matrix portion.

[0234] Further, the cover material 2904' is cut smaller than the active matrix substrate 2901' at this time. The purpose of doing this is to attaching an FPC (Flexible Print Circuit) to a region, indicated by the reference numeral 2906. The EL display device is completed at the point the FPC is attached.

[0235] A plurality of EL display devices can thus be manufactured from one substrate by implementing Embodiment 10. For instance, six 13 to 14 inch diagonal EL display devices or four 15 to 17 inch diagonal EL display devices may be manufactured from a 620 mm X 720 mm substrate. Therefore, a large increase in throughput and a reduction in manufacturing cost can be achieved.

Embodiment 11

[0236] A structure in which the structure of the EL element 203 in the pixel portion shown in Embodiment 1 has been reversed is explained in Embodiment 11 with reference to Fig. 23. Note that the difference between the structure of Embodiment 11 and the structure of Fig. 2 is only in the part of the EL element and the current control TFT, and therefore an explanation of the other portions is omitted.

[0237] In Fig. 23, a current control TFT 61 is formed by using a p-channel TFT whose structure is identical with that of the p-channel TFT 206 formed in accordance with the manufacturing process of Embodiment 1. Therefore, a detailed explanation of the current control TFT 61 is omitted.

[0238] In Embodiment 11, a transparent conductive film is used as a pixel electrode (anode) 62. Specifically, a conductive film made of a compound of indium oxide and zinc oxide is used. Of course, a conductive film made of a compound of indium oxide and tin oxide may also be used.

[0239] After banks 63a and 63b made of an insulating film are formed, solvent application is performed to thereby form a tight emitting layer 64 made of polyvinyl carbazole. An electron injection layer 65 made of potassium acetyl acetonate is formed on the light emitting layer 64, and then a cathode 66 made of aluminum alloy is formed thereon. In this case, the cathode 66 also functions as a passivation film. An El element 67 is thus formed.

[0240] In the case of Embodiment 11, as indicated by the arrow, light generated from the light emitting layer 64 is irradiated toward the substrate with a TFT formed thereon. When forming a structure such as Embodiment 11, it is preferable to form the current control TFT 61 with a p-channel TFT. However, the current control TFT may also be formed with an n-channel TFT.

[0241] Note that it is possible to implement the constitution of Embodiment 11 by freely combining it with the constitution of any of Embodiments 1 to 7, 9, and 10. In addition, it is effective to employ the EL display device having the structure of Embodiment 11 as the display portion of the electronic equipment of Embodiment 8.

Embodiment 12

[0242] In Embodiment 12, an example of a case in which a pixel constitution shown in Fig. 24 differs from that of the circuit diagram (constitution) shown in Fig. 3B. Note that in Embodiment 12, reference numeral 71 denotes source

wiring of a switching TFT 72, 73 denotes a gate wiring of the switching TFT 72, 74 denotes a current control TFT, 75 denotes a capacitor, 76 and 78 denote electric current supply lines, and 77 denotes an EL element.

[0243] It is to be noted that the capacitor 75 employs a gate capacitance (a gate capacitance formed between a gate electrode and an LDD region) of the current control TFT 74 that is formed of an n-channel TFT. Substantially, the capacitor 75 is not provided, and therefore it is indicated by a dotted line. Of course, a capacitor may be formed in a different structure.

[0244] Fig. 24A is an example of a case in which the electric current supply line 76 is common between two pixels. Namely, this is characterized in that the two pixels are formed having linear symmetry around the electric current supply line 76. In this case, the number of the electric current supply lines can be reduced, and therefore the pixel portion can be made with higher definition.

[0245] Further, Fig. 24B is an example of a case in which the electric current supply line 78 is formed parallel to the gate wiring 73. Note that in Fig. 24B, the structure is formed such that the electric current supply line 78 and the gate wiring 73 do not overlap, but provided that both are wirings formed on different layers, then they can be formed to overlap through an insulating film. In this case, the exclusive surface area can be shared by the electric current supply line 78 and the gate wiring 73, and the pixel portion can be made with higher definition.

[0246] Furthermore, Fig. 24C is characterized in that the electric current supply line 78 and the gate wiring 73 are formed in parallel, similar to the structure of Fig. 24B, and additionally, in that the two pixels are formed so as to have linear symmetry around the electric current supply line 78. In addition, it is effective to form the electric current supply line 78 so as to overlap with one of the gate wirings 73. In this case, the number of electric current supply lines can be reduced, and therefore the pixel portion can be made with higher definition.

[0247] Note that it is possible to implement the constitution of Embodiment 12 by freely combining it with the constitution of any of Embodiments 1 to 7 and 9 to 11. In addition, it is effective to employ the EL display device having the pixel structure of Embodiment 12 as the display portion of the electronic equipment of Embodiment 8.

Embodiment 13

[0248] In Embodiment 11, a p-channel TFT is used as the current control TFT 61. An example of using a p-channel TFT having an LDD region is shown in Embodiment 13. A structure of the current control TFT of Embodiment 13 is shown in Fig. 25A.

[0249] In Fig. 25A, reference numeral 81 denotes a source region, 82 denotes a drain region, 83 denotes an LDD region, 84 denotes a channel forming region, 85 denotes a gate insulating film, 86 denotes a gate electrode, 87 denotes a first interlayer insulating film, 88 denotes a source wiring, 89 denotes a drain wiring, and 90 denotes a first passivation film.

[0250] In the case of forming the structure of Embodiment 13, it is in a state where the gate electrode 86 overlaps the LDD region 83 through the gate insulating film 85, and a gate capacitance is formed therebetween. Embodiment 13 is characterized in that the gate capacitance is used as a capacitor for maintaining a gate voltage of the current control TFT.

[0251] An example of a pixel constitution according to Embodiment 13 is shown in Fig. 25B. In Fig. 25B, reference numeral 91 denotes a source wiring, 92 denotes a gate wiring, 93 denotes a switching TFT, 94 denotes a current control TFT, 95 denotes a capacitor formed of a gate capacitance of the current control TFT, 96 denotes an EL element, and 97 denotes an electric current supply line.

[0252] Note that the structure of Fig. 25A is a structure in which the structure of the current control TFT and the direction of the EL element in Fig. 24A are alternated. That is, it is possible to form the pixel constitution to have the circuit configurations as shown in Figs. 24B and 24C.

[0253] In the case of forming the current control TFT of Embodiment 13, a process of forming the LDD region of the p-channel TFT is required. However, a patterning process for forming the LDD region 83 and a doping process of a p-type impurity element may be added to the manufacturing process of Embodiment 1. When adding these processes, it is appropriate to set the concentration of the p-type impurity element contained in the LDD region 83 to between $1x10^{15}$ and $1x10^{18}$ atoms/cm^3 (typically between $5x10^{16}$ and $5x10^{17}$ atoms/cm^3).

[0254] Note that it is possible to implement the constitution of Embodiment 13 by freely combining it with the constitution of any of Embodiments 1 to 7 and 9 to 12. In addition, it is effective to employ the EL display device having the pixel structure of Embodiment 13 as the display portion of the electronic equipment of Embodiment 8.

[0255] Implementing the present invention makes it undoubtedly possible to perform film deposition of an organic EL material without the aviation curve problem, which occurs in the ink-jet method. Namely, since a high molecular organic EL material can be film deposited accurately and without any problem of positional shift, the production yield of an EL display device using a high molecular organic EL material can be increased. Further, the organic EL material is applied not in the form of a "dot" as in the ink-jet method, but in the form of a "line", and therefore, a high throughput is attained.

Claims

1. An EL display device comprising:

a pixel portion having a plurality of gate wirings, a plurality of source wirings intersecting said plurality of gate wirings, at least one thin film transistor surrounded by said plurality of gate wirings and said plurality of said source wirings, and an EL element electrically connected to said thin film transistor,
wherein said pixel portion comprises a plurality of pixel rows divided along said plurality of gate wirings, and
wherein said plurality of pixel rows comprise a first pixel row in which a red light emitting layer is formed, a second pixel row in which a green light emitting layer is formed, and a third pixel row in which a blue light emitting layer is formed.

2. An EL display device comprising:

a pixel portion having a plurality of gate wirings, a plurality of source wirings intersecting said plurality of gate wirings, at least one thin film transistor surrounded by said plurality of gate wirings and said plurality of said source wirings, and an EL element electrically connected to said thin film transistor,
wherein said pixel portion comprises a plurality of pixel rows divided along said plurality of source wirings, and
wherein said plurality of pixel rows comprise a first pixel row in which a red light emitting layer is formed, a second pixel row in which a green light emitting layer is formed, and a third pixel row in which a blue light emitting layer is formed.

3. An EL display device comprising:

a pixel portion having a plurality of gate wirings, a plurality of source wirings intersecting said plurality of gate wirings, a plurality of banks provided over said plurality of gate wirings, at least one thin film transistor surrounded by said plurality of gate wirings and said plurality of said source wirings, and an EL element electrically connected to said thin film transistor,
wherein said pixel portion comprises a plurality of pixel rows divided along said plurality of banks, and
wherein said plurality of pixel rows comprise a first pixel row in which a red light emitting layer is formed, a second pixel row in which a green light emitting layer is formed, and a third pixel row in which a blue light emitting layer is formed.

4. An EL display device comprising:

a pixel portion having a plurality of gate wirings, a plurality of source wirings intersecting said plurality of gate wirings, a plurality of banks provided over said plurality of source wirings, at least one thin film transistor surrounded by said plurality of gate wirings and said plurality of said source wirings, and an EL element electrically connected to said thin film transistor,
wherein said pixel portion comprises a plurality of pixel rows divided along said plurality of banks, and
wherein said plurality of pixel rows comprise a first pixel row in which a red light emitting layer is formed, a second pixel row in which a green light emitting layer is formed, and a third pixel row in which a blue light emitting layer is formed.

5. An EL display device comprising:

a pixel portion having a plurality of cathodes arranged in a stripe shape, a plurality of anodes arranged in a stripe shape so as to intersect said plurality of cathodes, and a plurality of light emitting layers provided between said plurality of cathodes and said plurality of anodes,
wherein said pixel portion comprises a plurality of pixel rows divided along said plurality of cathodes, and
wherein said plurality of pixel rows comprise a first pixel row in which a red light emitting layer is formed, a second pixel row in which a green light emitting layer is formed, and a third pixel row in which a blue light emitting layer is formed.

6. An EL display device comprising:

a pixel portion having a plurality of cathodes arranged in a stripe shape, a plurality of anodes arranged in a stripe shape so as to intersect said plurality of cathodes, a plurality of banks provided in the gaps of said plu-

rality of cathodes, and a plurality of light emitting layers provided between said plurality of cathodes and said plurality of anodes,
wherein said pixel portion comprises a plurality of pixel rows divided along said plurality of banks, and
wherein said plurality of pixel rows comprise a first pixel row in which a red light emitting layer is formed, a second pixel row in which a green light emitting layer is formed, and a third pixel row in which a blue light emitting layer is formed.

7. An EL display device according to claim 1, wherein said red light emitting layer, said green light emitting layer and said blue light emitting layer comprise high molecular organic EL materials.

8. An EL display device according to claim 2, wherein said red light emitting layer, said green light emitting layer and said blue light emitting layer comprise high molecular organic EL materials.

9. An EL display device according to claim 3, wherein said red light emitting layer, said green light emitting layer and said blue light emitting layer comprise high molecular organic EL materials.

10. An EL display device according to claim 4, wherein said red light emitting layer, said green light emitting layer and said blue light emitting layer comprise high molecular organic EL materials.

11. An EL display device according to claim 5, wherein said red light emitting layer, said green light emitting layer and said blue light emitting layer comprise high molecular organic EL materials.

12. An EL display device according to claim 6, wherein said red light emitting layer, said green light emitting layer and said blue light emitting layer comprise high molecular organic EL materials.

13. An EL display device according to claim 1, wherein said EL display device is incorporated into an electronic device selected from the group consisting of a video camera, a digital camera, a goggle type display, a car navigation system, an audio reproducing device, a personal computer, a game equipment, and a portable information terminal.

14. An EL display device according to claim 2, wherein said EL display device is incorporated into an electronic device selected from the group consisting of a video camera, a digital camera, a goggle type display, a car navigation system, an audio reproducing device, a personal computer, a game equipment, and a portable information terminal.

15. An EL display device according to claim 3, wherein said EL display device is incorporated into an electronic device selected from the group consisting of a video camera, a digital camera, a goggle type display, a car navigation system, an audio reproducing device, a personal computer, a game equipment, and a portable information terminal.

16. An EL display device according to claim 4, wherein said EL display device is incorporated into an electronic device selected from the group consisting of a video camera, a digital camera, a goggle type display, a car navigation system, an audio reproducing device, a personal computer, a game equipment, and a portable information terminal.

17. An EL display device according to claim 5, wherein said EL display device is incorporated into an electronic device selected from the group consisting of a video camera, a digital camera, a goggle type display, a car navigation system, an audio reproducing device, a personal computer, a game equipment, and a portable information terminal.

18. An EL display device according to claim 6, wherein said EL display device is incorporated into an electronic device selected from the group consisting of a video camera, a digital camera, a goggle type display, a car navigation system, an audio reproducing device, a personal computer, a game equipment, and a portable information terminal.

19. A method for manufacturing an EL display device having a pixel portion comprising a plurality of gate wirings, a plurality of source wirings intersecting said plurality of gate wirings, at least one thin film transistor surrounded by said plurality of gate wirings and said plurality of said source wirings, and an EL element electrically connected to said thin film transistor, said method comprising the steps of:

forming a plurality of pixel rows by dividing said pixel portion along said plurality of gate wirings; and
forming a light emitting layer in each pixel row,
wherein said light emitting layer is selected from the group consisting of a red light emitting layer, a green light emitting layer and a blue light emitting layer.

20. A method for manufacturing an EL display device having a pixel portion comprising a plurality of gate wirings, a plurality of source wirings intersecting said plurality of gate wirings, at least one thin film transistor surrounded by said plurality of gate wirings and said plurality of said source wirings, and an EL element electrically connected to said thin film transistor, said method comprising the steps of:

forming a plurality of pixel rows by dividing said pixel portion along said plurality of source wirings; and
forming a light emitting layer in each pixel row,
wherein said light emitting layer is selected from the group consisting of a red light emitting layer, a green light emitting layer and a blue light emitting layer.

21. A method for manufacturing an EL display device having a pixel portion comprising a plurality of gate wirings, a plurality of source wirings intersecting said plurality of gate wirings, a plurality of banks provided over said plurality of gate wirings, at least one thin film transistor surrounded by said plurality of gate wirings and said plurality of said source wirings, and an EL element electrically connected to said thin film transistor, said method comprising the steps of:

forming a plurality of pixel rows by dividing said pixel portion along said plurality of banks; and
forming a light emitting layer in each pixel row,
wherein said light emitting layer is selected from the group consisting of a red light emitting layer, a green light emitting layer and a blue light emitting layer.

22. A method for manufacturing an EL display device having a pixel portion comprising a plurality of gate wirings, a plurality of source wirings intersecting said plurality of gate wirings, a plurality of banks provided over said plurality of source wirings, at least one thin film transistor surrounded by said plurality of gate wirings and said plurality of said source wirings, and an EL element electrically connected to said thin film transistor, said method comprising the steps of:

forming a plurality of pixel rows by dividing said pixel portion along said plurality of banks; and
forming a light emitting layer in each pixel row,
wherein said light emitting layer is selected from the group consisting of a red light emitting layer, a green light emitting layer and a blue light emitting layer.

23. A method for manufacturing an EL display device having a pixel portion comprising a plurality of cathodes arranged in a stripe shape, a plurality of anodes arranged in a stripe shape so as to intersect said plurality of cathodes, and a plurality of light emitting layers provided between said plurality of cathodes and said plurality of anodes, said method comprising the steps of:

forming a plurality of pixel rows by dividing said pixel portion along said plurality of cathodes; and
forming a light emitting layer in each pixel row,
wherein said light emitting layer is selected from the group consisting of a red light emitting layer, a green light emitting layer and a blue light emitting layer.

24. A method for manufacturing an EL display device having a pixel portion comprising a plurality of cathodes arranged in a stripe shape, a plurality of anodes arranged in a stripe shape so as to intersect said plurality of cathodes, a plurality of bank provided in the gaps of plurality of cathodes, and a plurality of light emitting layers provided between said plurality of cathodes and said plurality of anodes, said method comprising the steps of:

forming a plurality of pixel rows by dividing said pixel portion along said plurality of banks; and
forming a light emitting layer in each pixel row,
wherein said light emitting layer is selected from the group consisting of a red light emitting layer, a green light emitting layer and a blue light emitting layer.

25. A method according to claim 19, wherein said red light emitting layer, said green light emitting layer and said blue light emitting layer comprise high molecular organic EL materials.

26. A method according to claim 20, wherein said red light emitting layer, said green light emitting layer and said blue tight emitting layer comprise high molecular organic EL materials.

27. A method according to claim 21, wherein said red light emitting layer, said green light emitting layer and said blue light emitting layer comprise high molecular organic EL materials.

28. A method according to claim 22, wherein said red light emitting layer, said green light emitting layer and said blue light emitting layer comprise high molecular organic EL materials.

29. A method according to claim 23, wherein said red light emitting layer, said green light emitting layer and said blue light emitting layer comprise high molecular organic EL materials.

30. A method according to claim 24, wherein said red light emitting layer, said green light emitting layer and said blue light emitting layer comprise high molecular organic EL materials.

31. A method according to claim 19, wherein said method further comprises discharging a red light emitting layer application liquid that is to become said red light emitting layer, a green light emitting layer application liquid that is to become said green light emitting layer and a blue light emitting layer application liquid that is to become said blue light emitting layer from separate nozzles at the same time, and perfoming heat treatment to the discharged said red light emitting layer application liquid, said green light emitting layer application liquid and said blue light emitting layer application liquid.

32. A method according to claim 20, wherein said method further comprises discharging a red light emitting layer application liquid that is to become said red light emitting layer, a green light emitting layer application liquid that is to become said green light emitting layer and a blue light emitting layer application liquid that is to become said blue light emitting layer from separate nozzles at the same time, and perfoming heat treatment to the discharged said red light emitting layer application liquid, said green light emitting layer application liquid and said blue light emitting layer application liquid.

33. A method according to claim 21, wherein said method further comprises discharging a red light emitting layer application liquid that is to become said red light emitting layer, a green light emitting layer application liquid that is to become said green light emitting layer and a blue light emitting layer application liquid that is to become said blue light emitting layer from separate nozzles at the same time, and perfoming heat treatment to the discharged said red light emitting layer application liquid, said green light emitting layer application liquid and said blue light emitting layer application liquid.

34. A method according to claim 22, wherein said method further comprises discharging a red light emitting layer application liquid that is to become said red light emitting layer, a green light emitting layer application liquid that is to become said green light emitting layer and a blue light emitting layer application liquid that is to become said blue light emitting layer from separate nozzles at the same time, and perfoming heat treatment to the discharged said red light emitting layer application liquid, said green light emitting layer application liquid and said blue light emitting layer application liquid.

35. A method according to claim 23, wherein said method further comprises discharging a red light emitting layer application liquid that is to become said red light emitting layer, a green light emitting layer application liquid that is to become said green light emitting layer and a blue light emitting layer application liquid that is to become said blue light emitting layer from separate nozzles at the same time, and perfoming heat treatment to the discharged said red light emitting layer application liquid, said green light emitting layer application liquid and said blue light emitting layer application liquid.

36. A method according to claim 24, wherein said method further comprises discharging a red light emitting layer application liquid that is to become said red light emitting layer, a green light emitting layer application liquid that is to become said green light emitting layer and a blue light emitting layer application liquid that is to become said blue light emitting layer from separate nozzles at the same time, and perfoming heat treatment to the discharged said red light emitting layer application liquid, said green light emitting layer application liquid and said blue light emitting layer application liquid.

37. A method according to claim 19, wherein at least one of said red light emitting layer, said green light emitting layer and said blue light emitting layer is formed by performing heat treatment to an application liquid discharged from a nozzle, and the remaining light emitting layers are formed by a method selected form the group consisting of a spin coating method, a printing method and an evaporation method.

38. A method according to claim 20, wherein at least one of said red light emitting layer, said green light emitting layer and said blue light emitting layer is formed by performing heat treatment to an application liquid discharged from a nozzle, and the remaining light emitting layers are formed by a method selected form the group consisting of a spin coating method, a printing method and an evaporation method.

39. A method according to claim 21, wherein at least one of said red light emitting layer, said green light emitting layer and said blue light emitting layer is formed by performing heat treatment to an application liquid discharged from a nozzle, and the remaining light emitting layers are formed by a method selected form the group consisting of a spin coating method, a printing method and an evaporation method.

40. A method according to claim 22, wherein at least one of said red light emitting layer, said green light emitting layer and said blue light emitting layer is formed by performing heat treatment to an application liquid discharged from a nozzle, and the remaining light emitting layers are formed by a method selected form the group consisting of a spin coating method, a printing method and an evaporation method.

41. A method according to claim 23, wherein at least one of said red light emitting layer, said green light emitting layer and said blue light emitting layer is formed by performing heat treatment to an application liquid discharged from a nozzle, and the remaining light emitting layers are formed by a method selected form the group consisting of a spin coating method, a printing method and an evaporation method.

42. A method according to claim 24, wherein at least one of said red light emitting layer, said green light emitting layer and said blue light emitting layer is formed by performing heat treatment to an application liquid discharged from a nozzle, and the remaining light emitting layers are formed by a method selected form the group consisting of a spin coating method, a printing method and an evaporation method.

43. A method for forming an EL display device comprising the steps of:

forming a pixel portion having at least two adjacent pixels over a substrate; and
providing a light emitting layer application in said two adjacent pixels continuously from a dispenser during moving said dispenser relatively to said substrate,
wherein said light emitting layer application is selected from the group consisting of a red light emitting layer application, a green light emitting layer application and a blue light emitting layer application.

44. A method according to claim 43, wherein said method further comprises performing heat treatment to form a light emitting layer.

45. A method for forming an EL display device comprising the steps of:

forming a pixel portion having at least one pixel row over a substrate;
providing a light emitting layer application in said one pixel row continuously from a dispenser during moving said dispenser relatively to said substrate,
wherein said light emitting layer application is selected from the group consisting of a red light emitting layer application, a green light emitting layer application and a blue light emitting layer application.

46. A method according to claim 45, wherein said method further comprises performing heat treatment to form a light emitting layer.

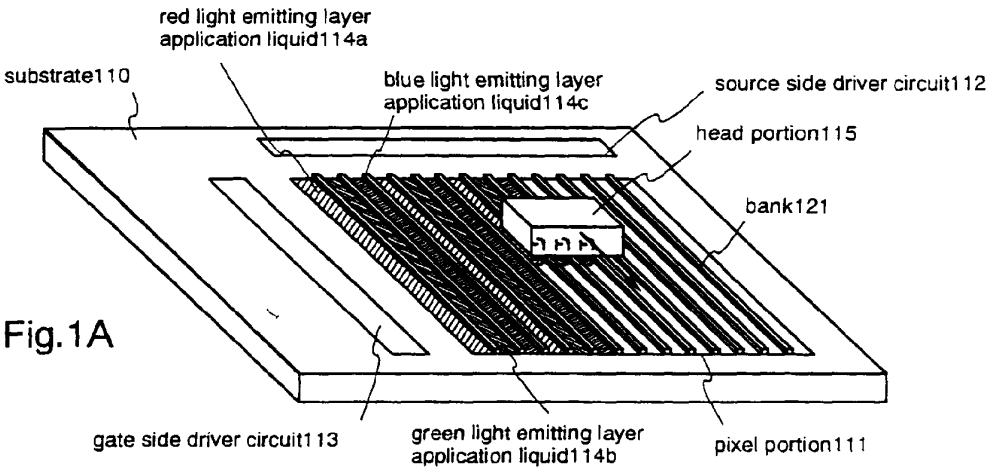


Fig.1A

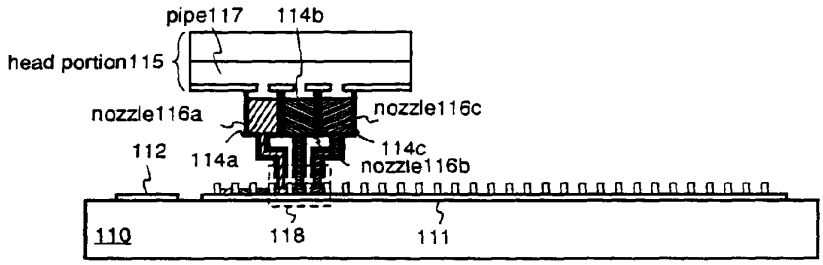


Fig.1B

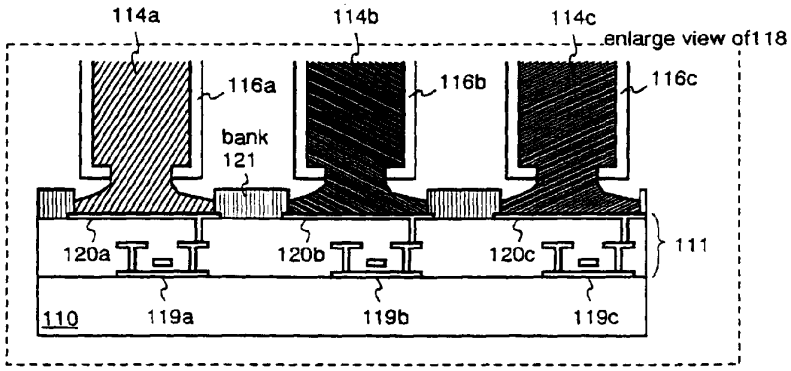
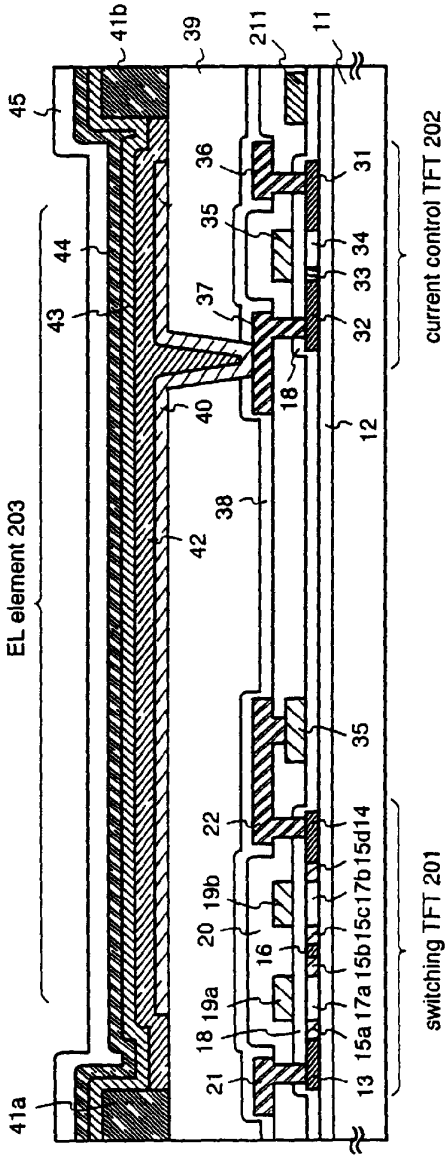


Fig.1C



11:substrate 12:base film 13:source region 14:drain region 15a-15d:LDD regions
16:high concentration impurity regions 7a,17b:channel forming region
18:gate insulating film 19a,19b:gate electrodes 20:first interlayer insulating film
21:source wiring 22:drain wiring 23:gate electrode 31:source region 32:drain region
33:LDD region 34:channel forming region 35:gate electrode 36:source wiring
37:drain wiring 38:first passivation film 39:second interlayer insulating film
40:pixel electrode(cathod) 41:bank 42:light emitting layer 43:hole injection layer
44:anode 45:second interlayer insulating film

Fig.2

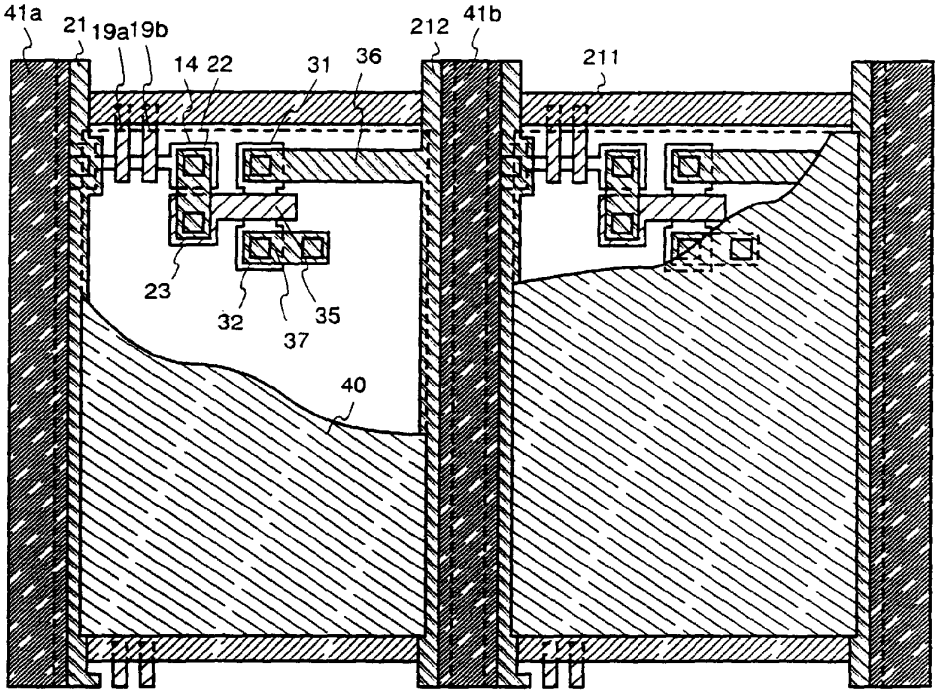

41a
21
19a
19b
14
22
31
36
212
41b
211
23
32
37
35
40

Fig.3A

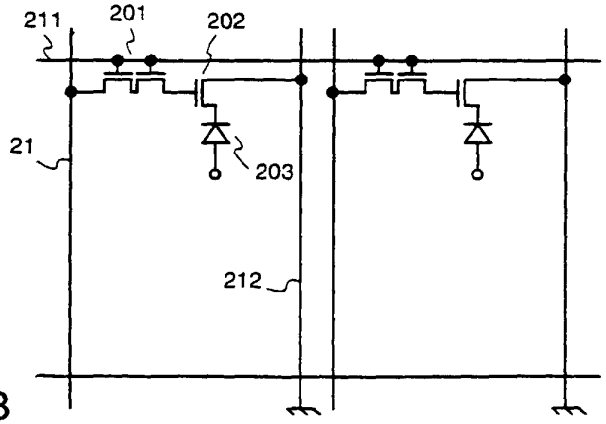

211
201
202
21
203
212

Fig.3B

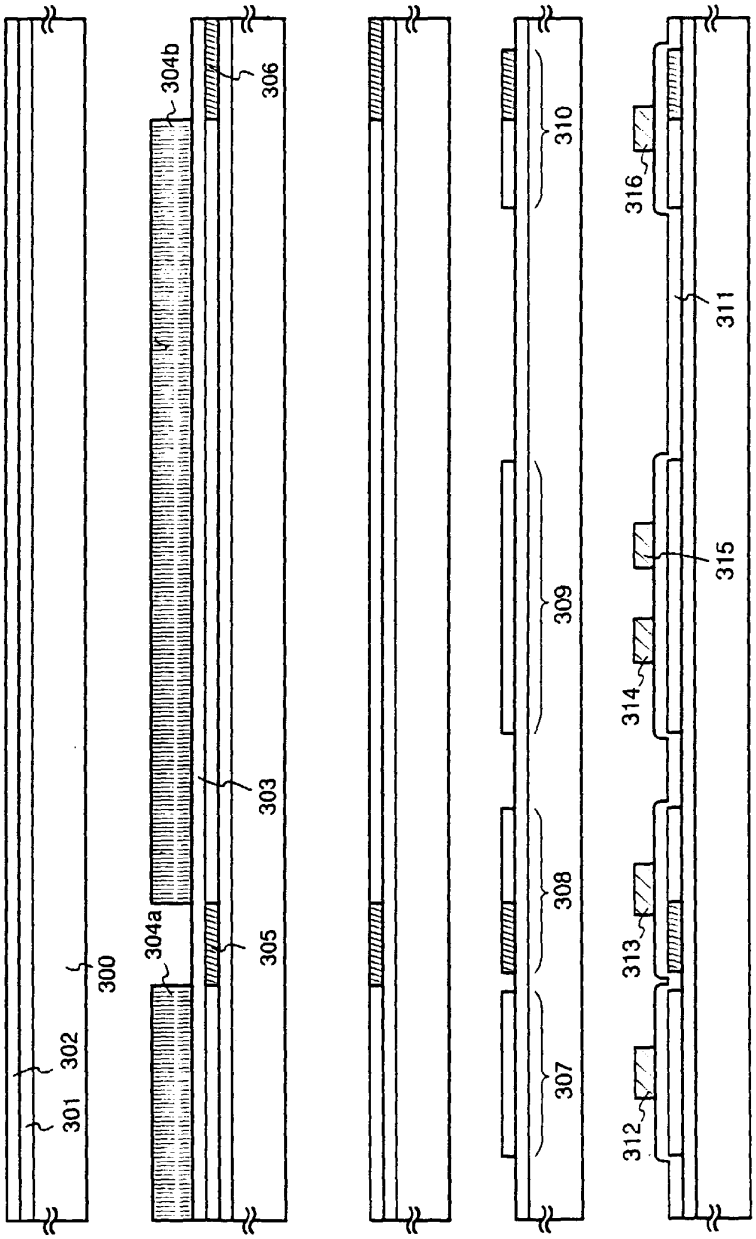


Fig.4A Fig.4B Fig.4C Fig.4D Fig.4E

300:glass substrate 301base film 302polysilion film 303:protective film 304a-304b resisit mask
305,306:n-type inpurity regions 307-310:active layers 311:gate insulating film 312-316:gate electodes

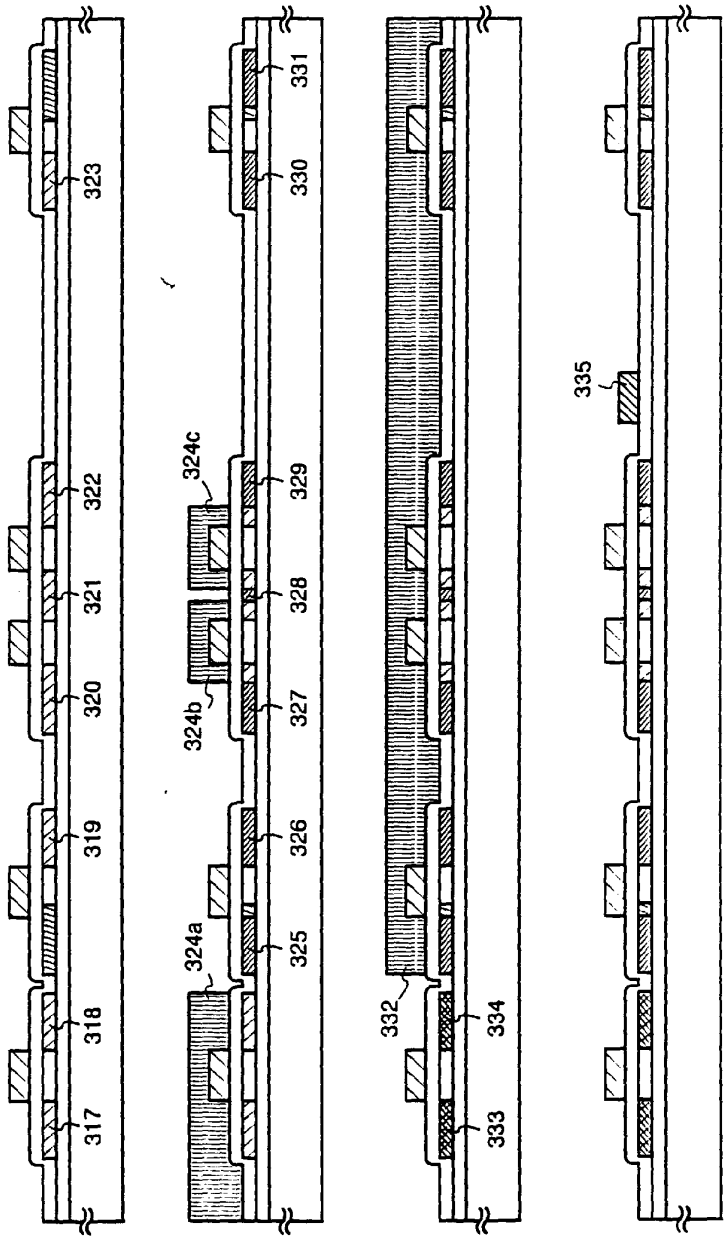


Fig.5A

Fig.5B

Fig.5C

Fig.5D

317-323:n-type impurity regions 324a-324c,332:resisit mask 325-331:n-type impurity regions
333,334:p-type impurity regions 335:gate wiring

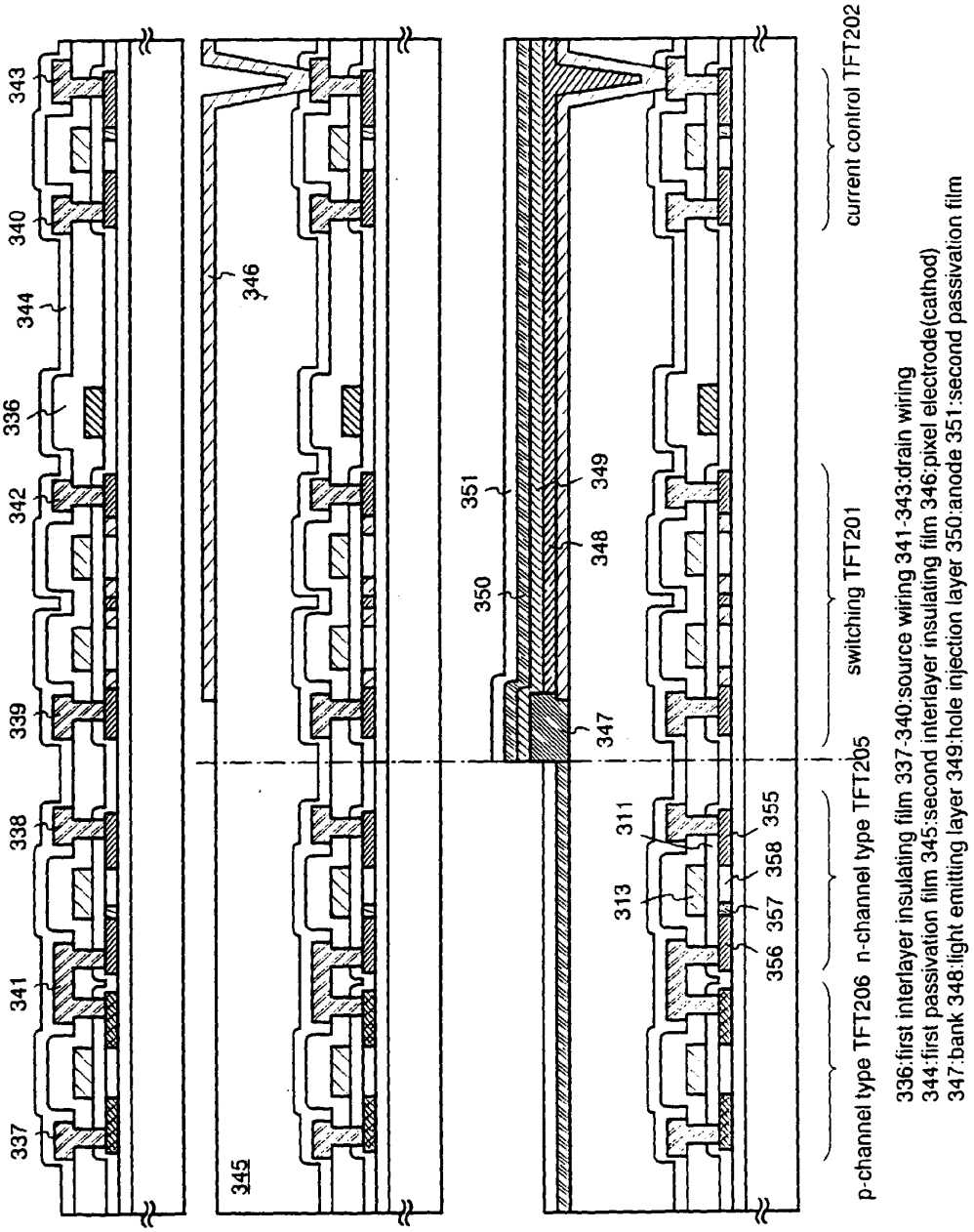
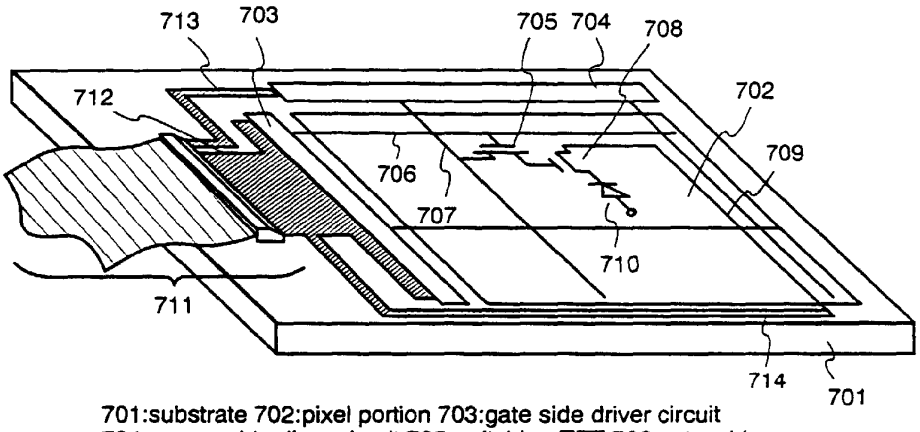


Fig.6A

Fig.6B

Fig.6C



701:substrate 702:pixel portion 703:gate side driver circuit
704:source side diver circuit 705:switching TFT 706:gate wiring
707:source wiring 708:current control TFT 709:current supply line
710:EL element 711:FPC 712-714:connection wiring

Fig.7

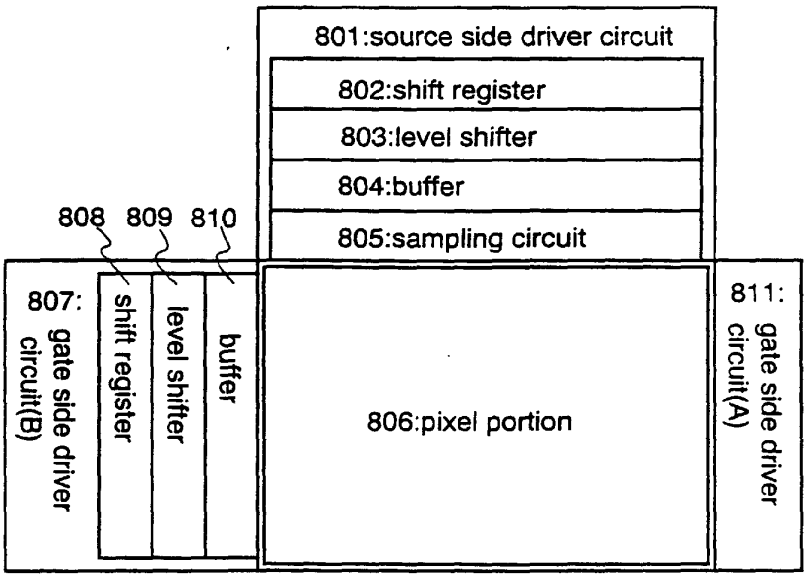


Fig.8

Fig.9

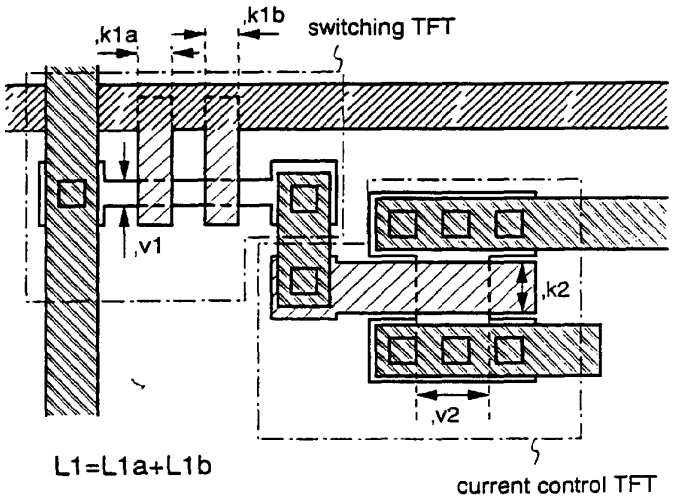
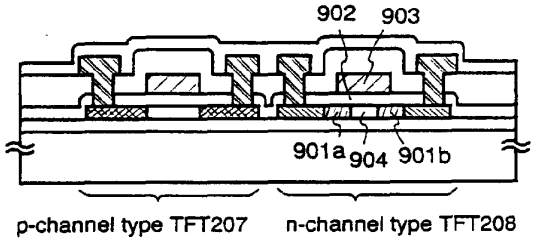

,k1a
,k1b
switching TFT
,v1
,k2
,v2
L1=L1a+L1b
current control TFT

Fig.10


902
903
901a
904
901b
p-channel type TFT207
n-channel type TFT208

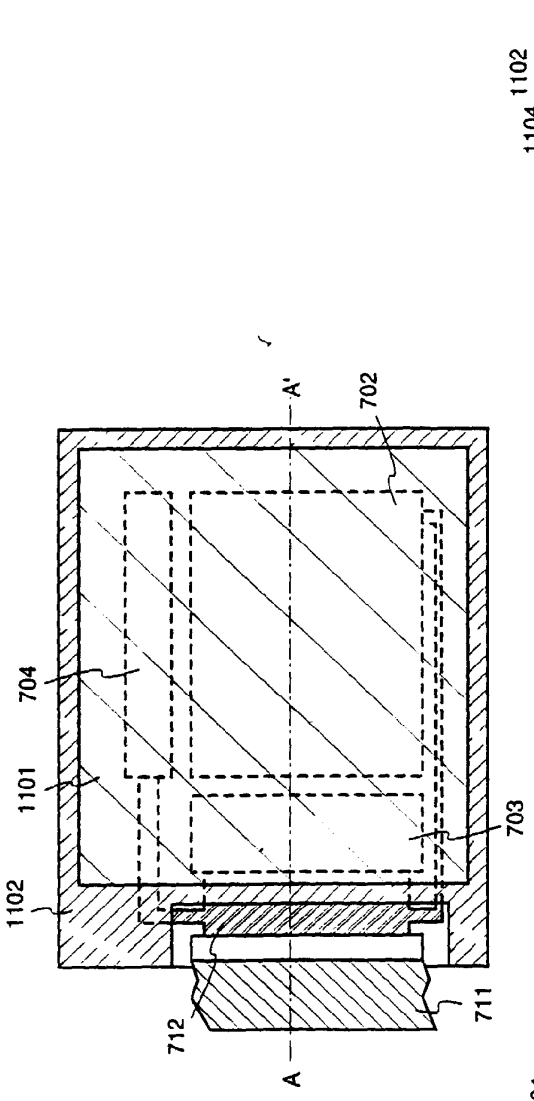


Fig.11A

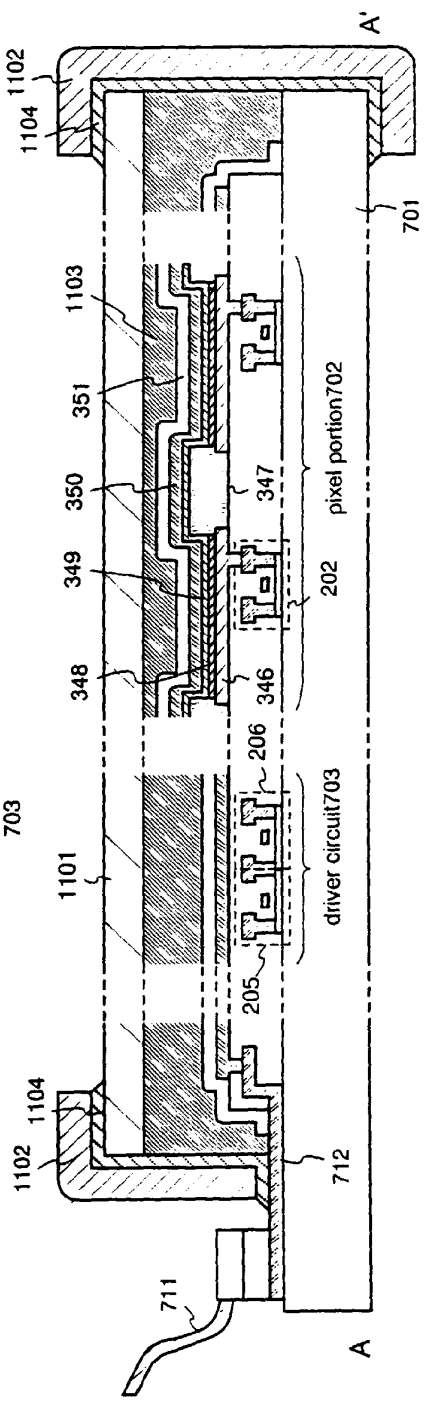


Fig.11B

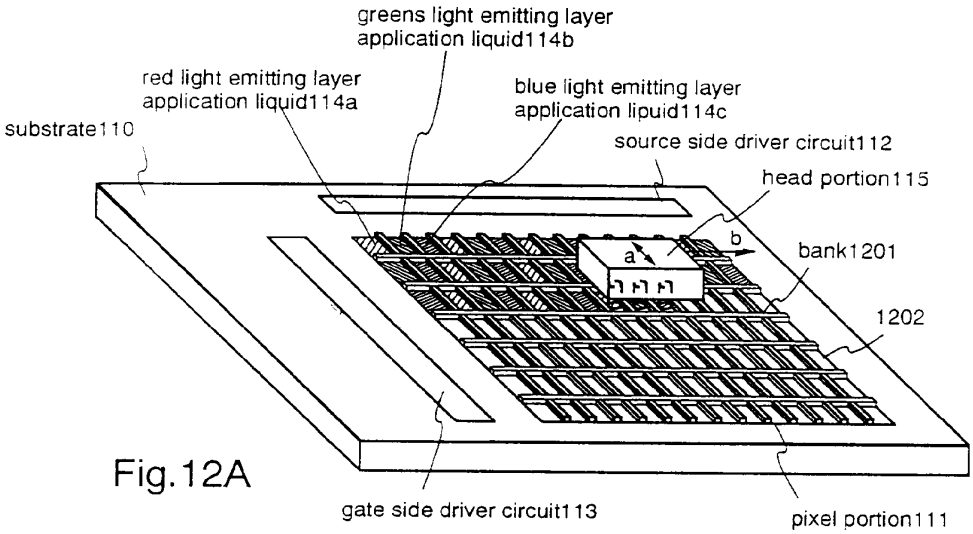


Fig.12A

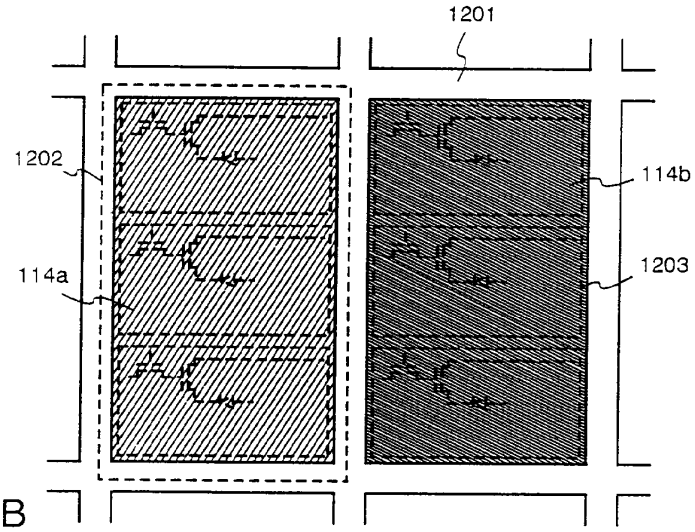


Fig.12B

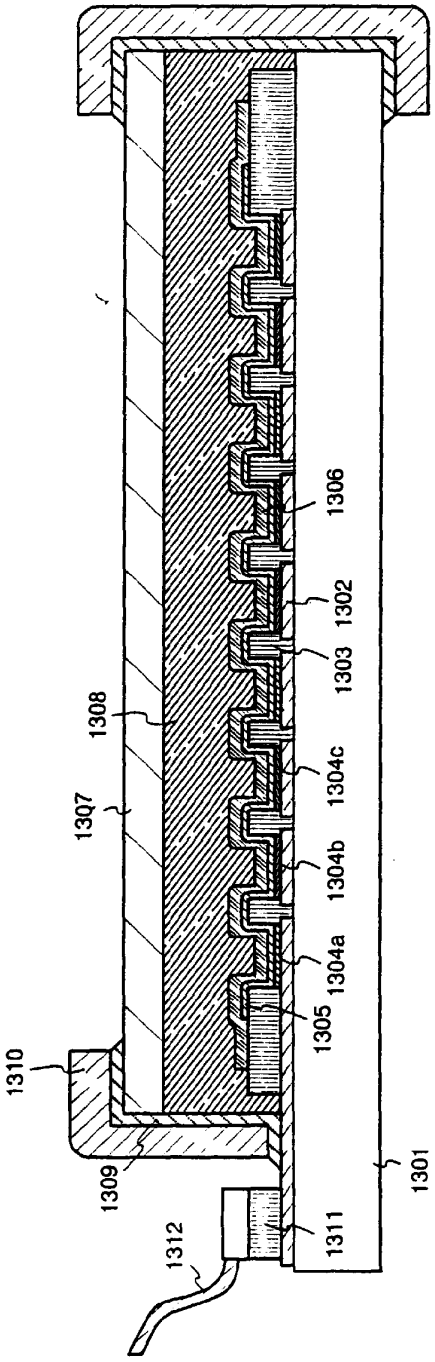

1306
1302
1303
1308
1304c
1307
1304b
1304a
1305
1310
1309
1311
1312
1301

Fig.13

Fig.14A

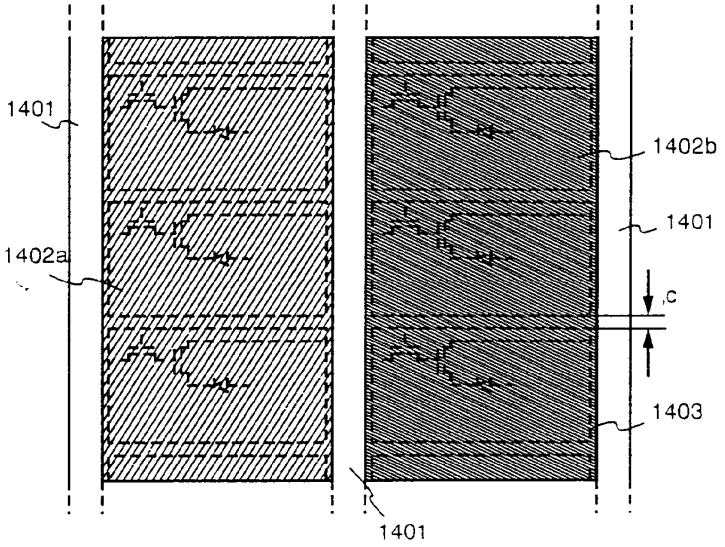
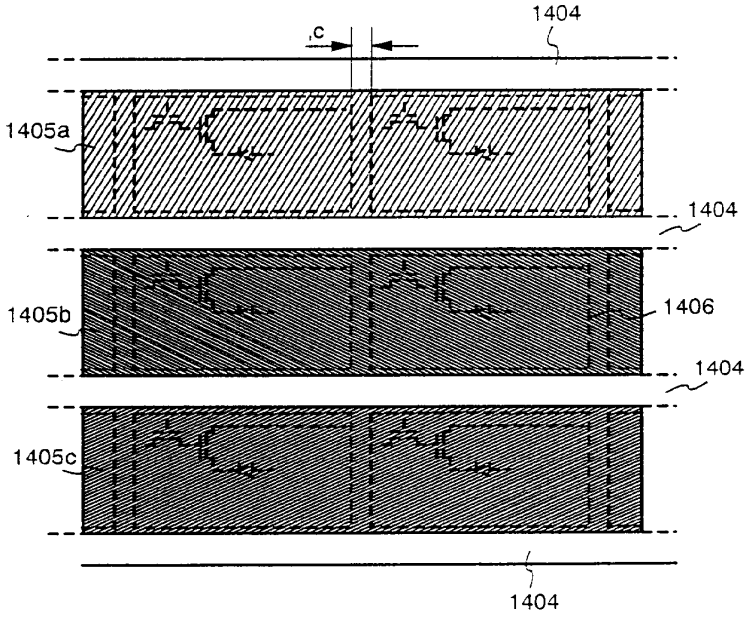


Fig.14B



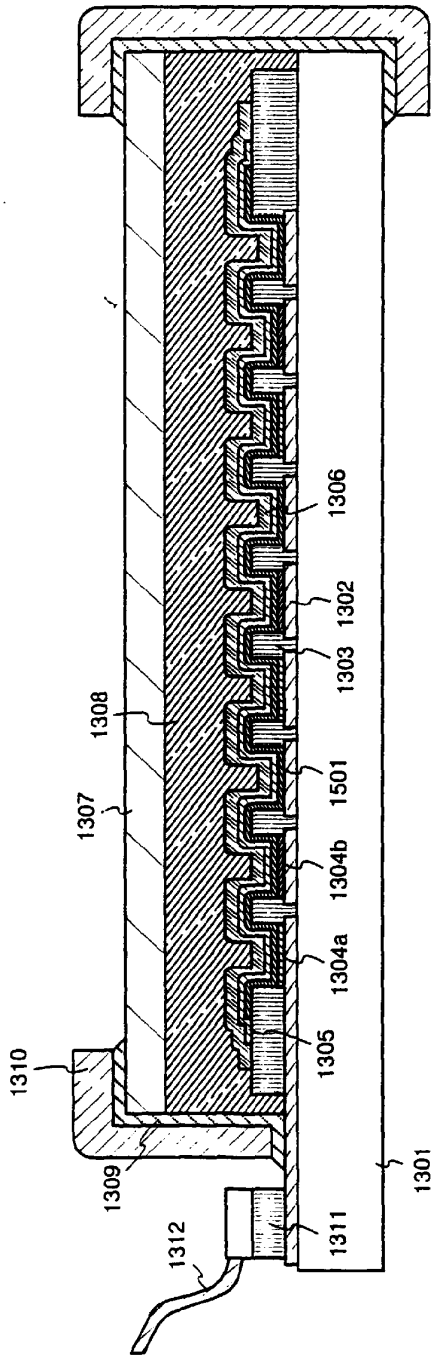

1306
1302
1303
1308
1501
1307
1304b
1304a
1310
1305
1309
1301
1311
1312

Fig.15

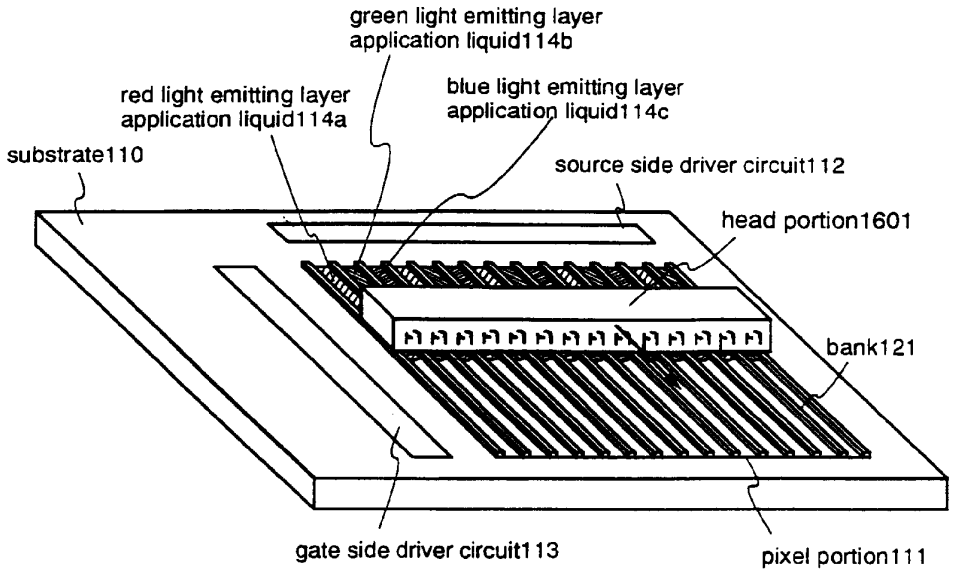

green light emitting layer
application liquid114b
red light emitting layer
application liquid114a
blue light emitting layer
application liquid114c
substrate110
source side driver circuit112
head portion1601
bank121
gate side driver circuit113
pixel portion111

Fig.16

Fig.17A

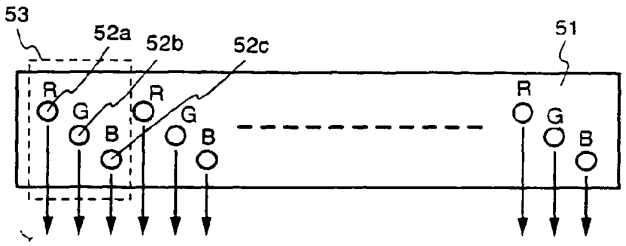


Fig.17B

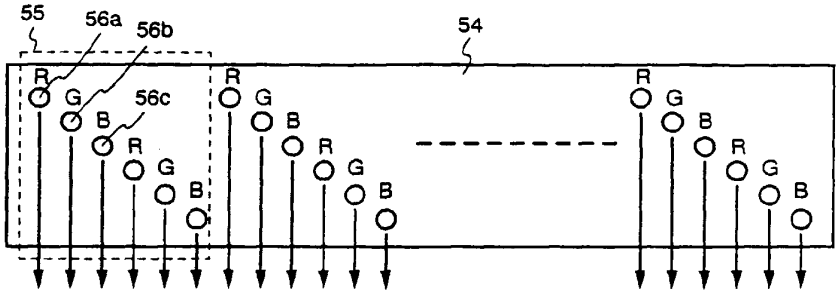
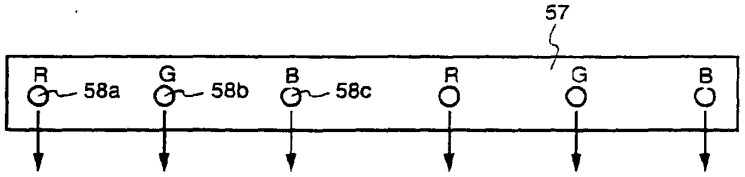


Fig.17C



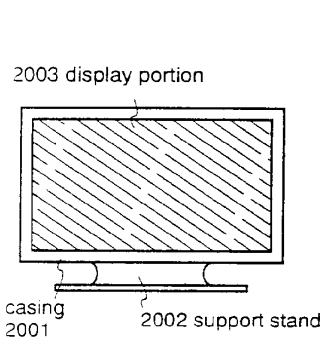


Fig.18A

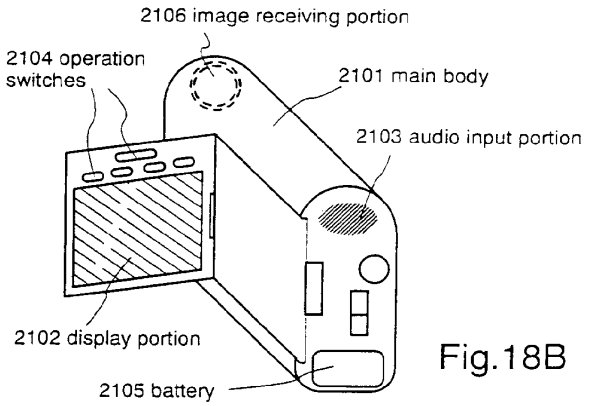


Fig.18B

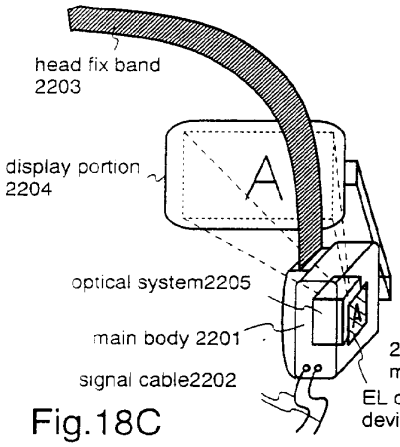


Fig.18C

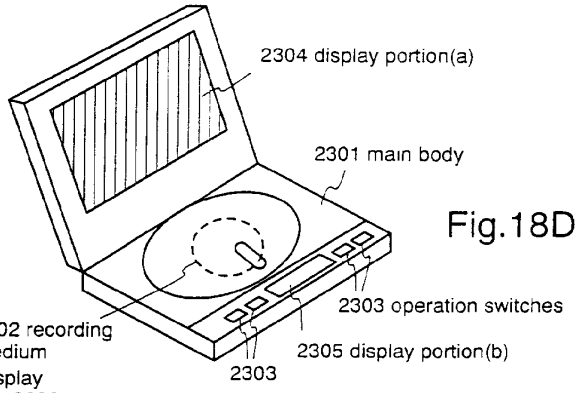


Fig.18D

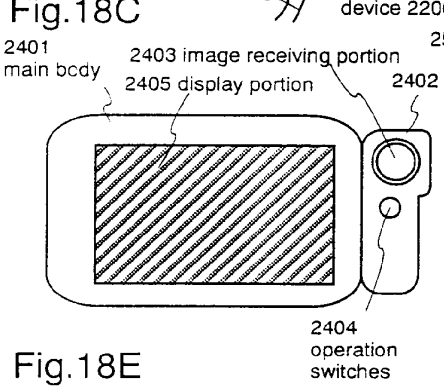


Fig.18E

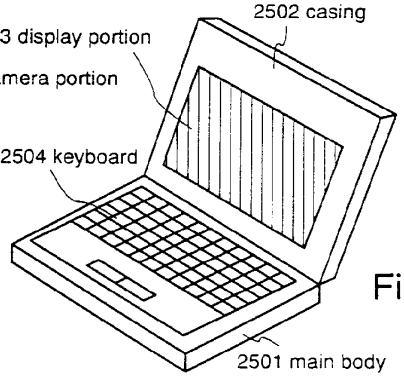


Fig.18F

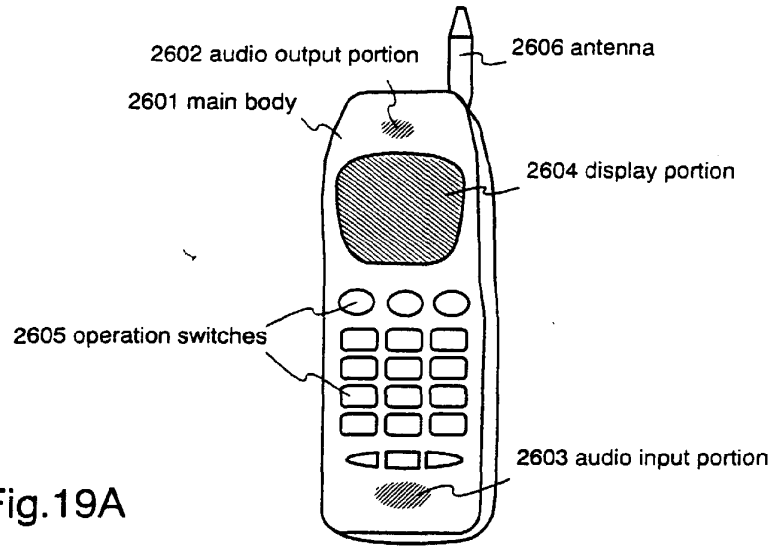


Fig.19A

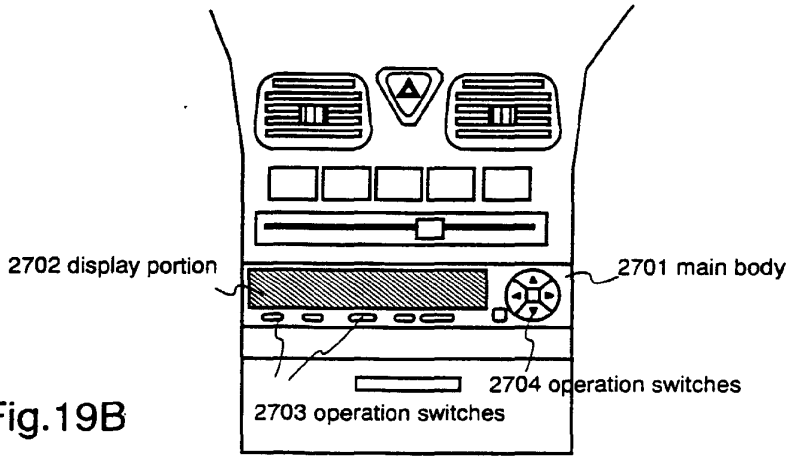


Fig.19B

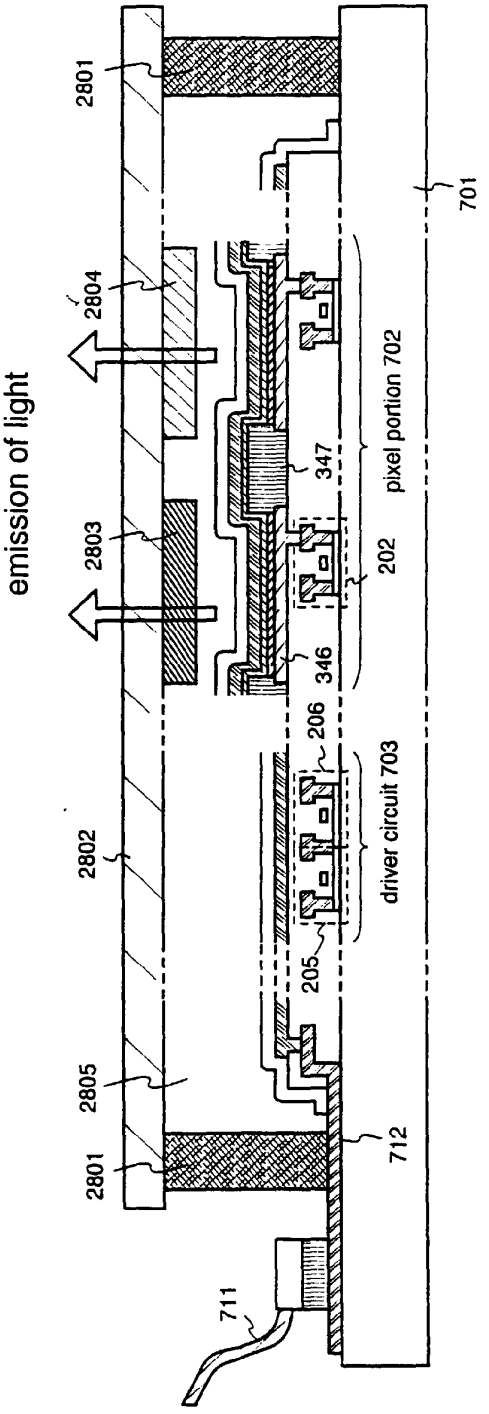

emission of light
2801
2804
2803
2802
2805
2801
711
712
701
pixel portion 702
driver circuit 703
347
346
206
205
202

Fig.20

Fig.21A

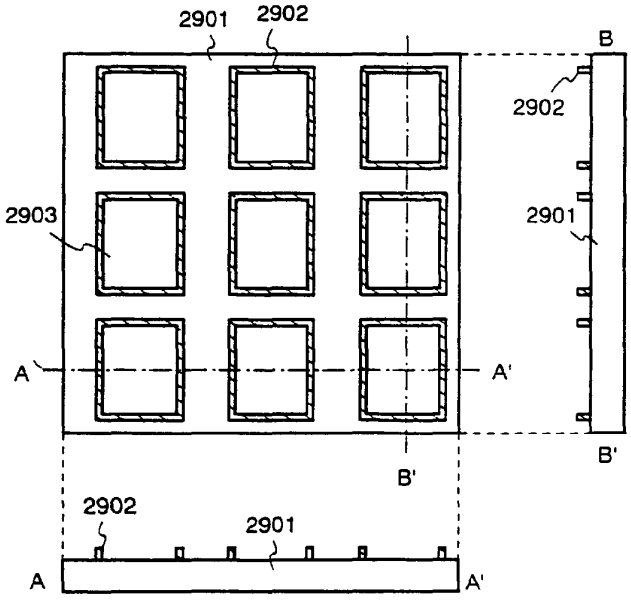


Fig.21B

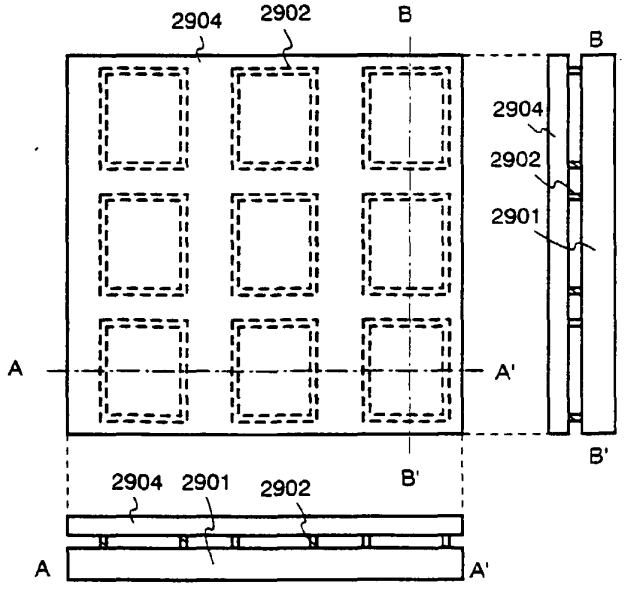


Fig.22A

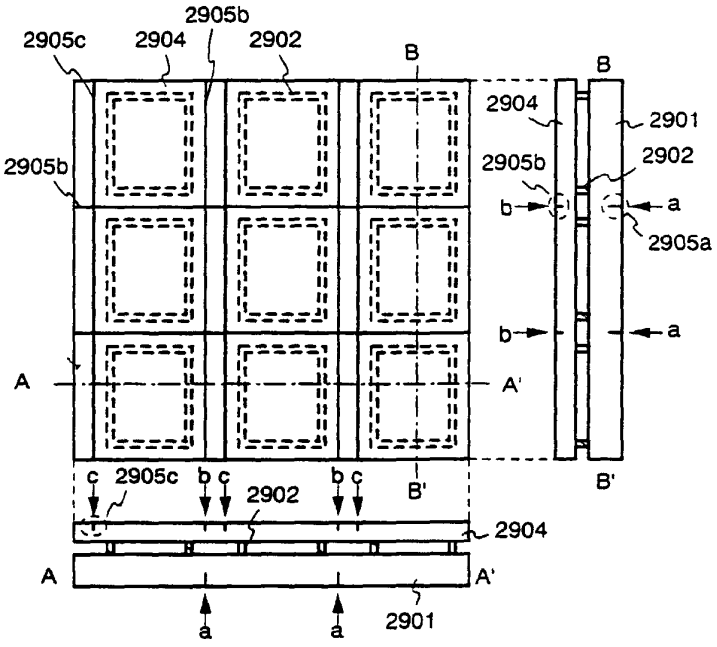
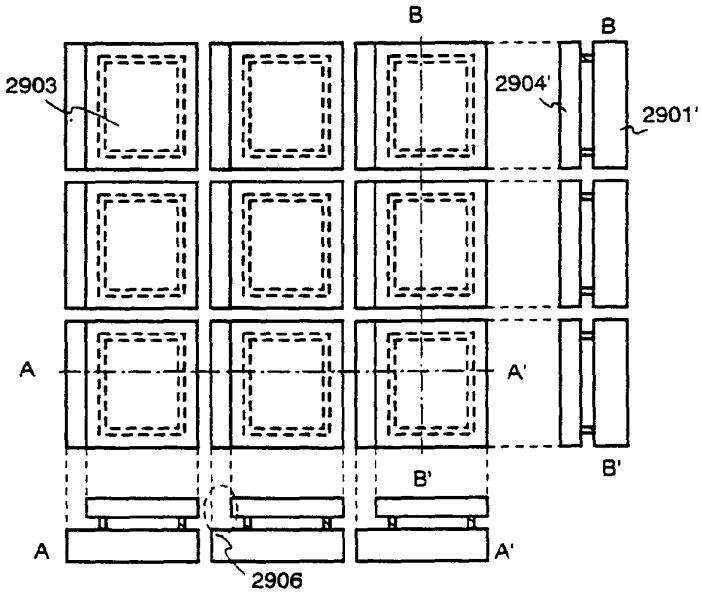


Fig.22B



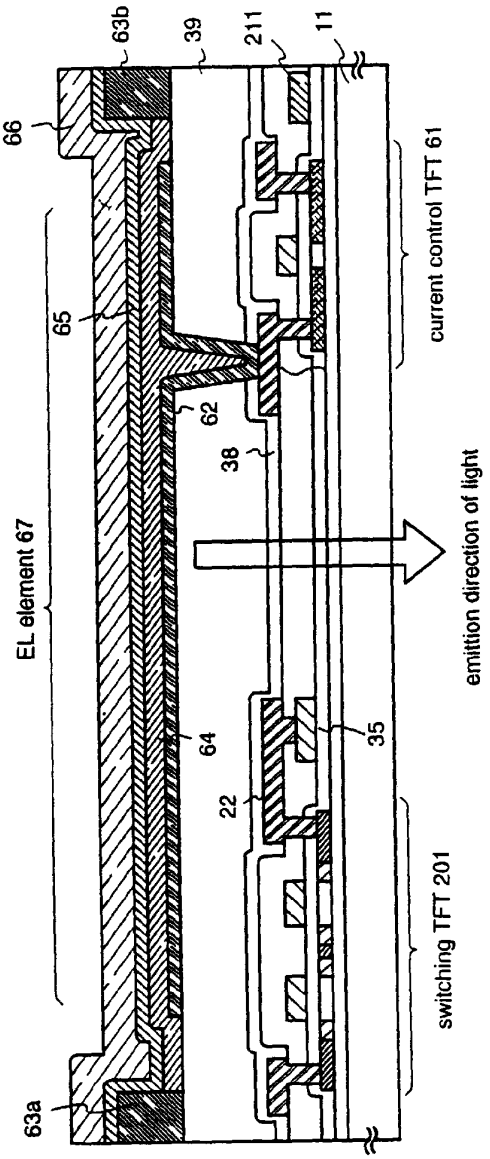

63b
39
211
11
66
65
current control TFT 61
62
38
EL element 67
emittion direction of light
64
35
22
switching TFT 201
63a

Fig.23

Fig.24A

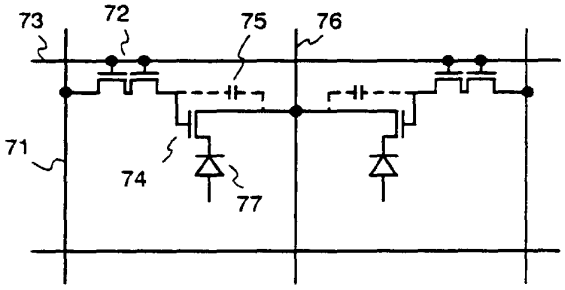


Fig.24B

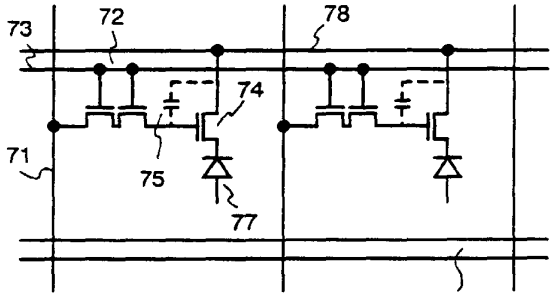


Fig.24C

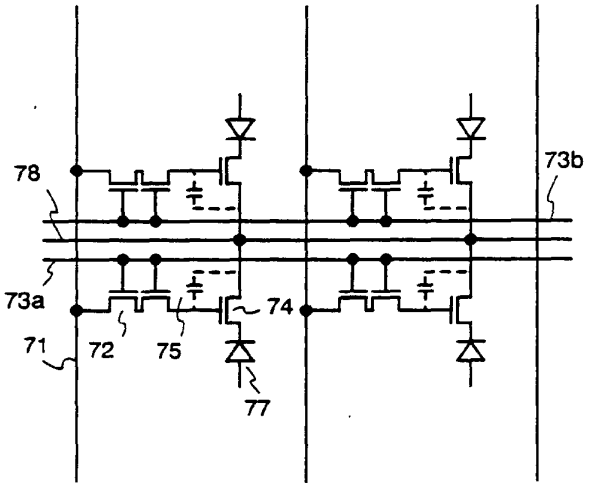


Fig.25A

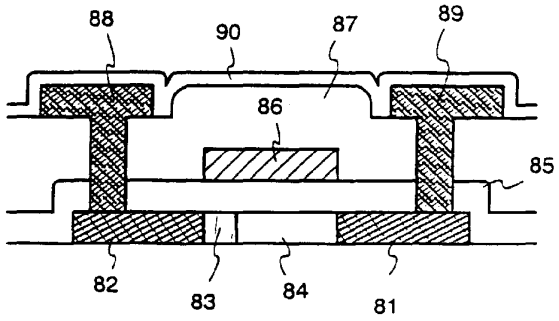
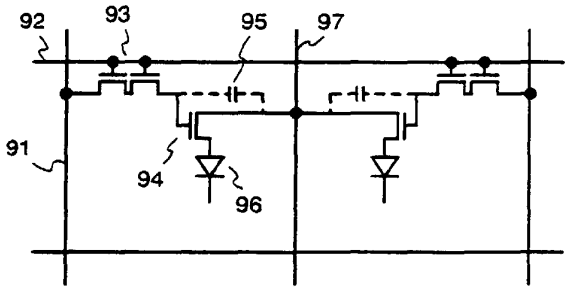


Fig.25B



(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 1 093 156 A2

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
18.04.2001 Bulletin 2001/16

(51) Int. Cl.[7]: **H01L 21/00**

(21) Application number: **00122446.8**

(22) Date of filing: **13.10.2000**

(84) Designated Contracting States:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE
Designated Extension States:
AL LT LV MK RO SI

(30) Priority: **13.10.1999 JP 29168599**

(71) Applicant:
SEMICONDUCTOR ENERGY LABORATORY CO., LTD.
Atsugi-shi Kanagawa-ken 243-0036 (JP)

(72) Inventors:
- **Yamazaki, Shunpei,**
  Semiconductor Energy
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)
- **Yamamoto, Kunitaka,**
  Semiconductor Energy
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)
- **Hiroki, Masaaki,**
  Semiconductor Energy
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)
- **Fukunaga, Takeshi,**
  Semiconductor Energy
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(74) Representative:
Grünecker, Kinkeldey,
Stockmair & Schwanhäusser
Anwaltssozietät
Maximilianstrasse 58
80538 München (DE)

(54) Thin film forming apparatus

(57) There is provided a thin film forming apparatus for precisely forming a film of an organic EL material made of a polymer without a positional deviation and at a high throughput. A pixel portion is divided into a plurality of pixel lines by banks, and a head portion of the thin film forming apparatus is moved along the pixel lines, so that a coating liquid (R), a coating liquid (G), and a coating liquid (B) can be applied respectively in a stripe shape at the same time. Then, luminescent layers emitting lights of respective colors of red, green and blue can be formed by heating these coating liquids.

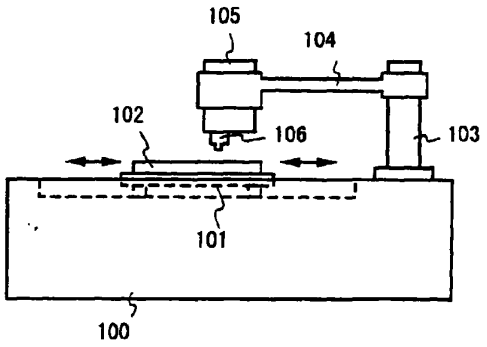


FIG. 1A

EP 1 093 156 A2

Printed by Xerox (UK) Business Services
2.16.7 (HRS)/3.6

Description

BACKGROUND OF THE INVENTION

1. Field of the Invention

[0001] The present invention relates to a thin film forming apparatus used for fabricating an EL element having a structure in which a luminescent material capable of generating EL (Electro Luminescence), particularly, a luminescent organic material (hereinafter referred to as organic EL material) is placed between an anode and a cathode.

2. Description of the Related Art

[0002] In recent years, a display device which uses an EL element as a self-luminous element using an EL phenomenon of an organic EL material (EL display device) has been developed. Since the EL display device is of a self-luminous type, a backlight as in a liquid crystal display device is not necessary. Further, since an angle of visibility is wide, the EL display device is regarded as promising as a display portion of a portable equipment used outdoors.

[0003] There are two kinds of EL display devices, that is, a passive type (simple matrix type) and an active type (active matrix type), and both types have been vigorously developed. Particularly, at present, the active matrix type EL display device has attracted a great deal of attention. With respect to the organic EL material which becomes a luminescent layer and can be regarded as the center of the EL element, although research has been made on a low molecular organic EL material and a high molecular organic EL material, attention has been paid to the high molecular organic EL material easier to handle and higher in heat resistance than the low molecular organic EL material.

[0004] As a film forming method of the high molecular organic EL material, an ink-jet method proposed by Seiko Epson Corporation has been regarded as promising. With respect to this technique. Japanese Patent Application Laid-open No. Hei. 10-12377, No. Hei. 10-153967 or No. Hei. 11-54270 may be referred to.

[0005] However, in the ink-jet method, since the high molecular EL material is jetted and is scattered, if a distance between a coated surface and a nozzle of a head for ink jet is not made suitable, there can occur a problem of a so-called flying curve in which a droplet falls to a portion other than a necessary portion. The flying curve is disclosed in detail in Japanese Patent Application Laid-open No. Hei. 11-54270, and it is specified that a deviation of 50 μm or more from an objective position can occur.

SUMMARY OF THE INVENTION

[0006] The present invention has been made in view of the above problems, and has an object to provide a method in which a film of an organic EL material made of polymer is formed precisely without a positional deviation and at a high throughput, and a thin film forming apparatus which enables such film formation.

[0007] Another object of the present invention is to provide an element forming apparatus of a multi-chamber system (also called a cluster tool system) provided with the thin film forming apparatus.

[0008] In order to achieve the above objects, the present invention is characterized in that luminescent layers of red, green and blue are formed into a stripe shape by using a thin film forming apparatus like a dispenser. Note that the stripe shape includes a long and thin rectangular shape with an aspect ratio of 2 or more, and a long and thin elliptical shape with a ratio of a major axis to a minor axis of 2 or more.

[0009] A thin film forming apparatus of the present invention is shown in Figs. 1A and 1B. Fig. 1A is a view showing the external appearance of the thin film forming apparatus of the present invention seen from the side, and Fig. 1B is a view showing the external appearance seen from the front. In Fig. 1A, reference numeral 100 designates a support base; and 101, a transport stage on which a substrate 102 is fixed. The transport stage 101 can move in an X-direction (horizontal direction) or a Y-direction (vertical direction).

[0010] A support pole 103 and a holder 104 are attached to the support base 100, and a coating unit 105 is placed over the transport stage 101. The coating unit 105 is a device provided with a mechanism for coating a solution containing an organic EL material onto a substrate, and is a device for sending a compressed gas (pressurized inert gas) to a head portion 106 and for supplying a solution containing an organic EL material.

[0011] Further, the coating unit 105 includes a suck back mechanism (mechanism provided with a suck back valve or air operation valve). The suck back mechanism is a mechanism for drawing a droplet gathered in a nozzle port of a pipe or the like into a nozzle by lowering the pressure in the pipe by using a volume change with a diaphragm gauge or the like.

[0012] In the thin film forming apparatus of Figs. 1A and 1B, the head portion 106 is fixed, and the transport stage 101 on which the substrate 102 is put is moved in the X-direction or Y-direction. That is, such a mechanism is adopted that the transport stage is moved so that the head portion 106 is relatively moved over the substrate 102. Of course,

although it is also possible to make such a mechanism that the head portion 106 is moved, the stability is superior when the substrate side is moved.

[0013] In the thin film forming apparatus of the above structure, the head portion 106 provided with a nozzle of a supply port of an organic EL material (strictly speaking, a mixture of a solvent and an organic EL material dissolved therein) moves over the substrate 102, so that predetermined portions of the substrate are coated with the organic EL material. Here, a process of coating the organic EL material by the head portion 106 will be described below.

[0014] Figs. 2A is a view schematically showing a state where a film of an organic EL material comprising π conjugate system polymer is formed by carrying out the present invention. In Fig. 2A, reference numeral 110 designates a substrate, and a pixel portion 111, a source side driving circuit 112, a gate side driving circuit 113 are formed of TFTs on the substrate 110. A region surrounded by a plurality of source wiring lines connected to the source side driving circuit 112 and a plurality of gate wiring lines connected to the gate side driving circuit 113 is a pixel, and a TFT and an EL element electrically connected to the TFT are formed in the pixel. Such pixels are arranged in matrix form in the pixel portion 111.

[0015] Here, reference numeral 114a designates a mixture (hereinafter referred to as a coating liquid (R)) of a solvent and an organic EL material emitting red light when a voltage is applied (hereinafter referred to as an organic EL material (R)); 114b, a mixture (hereinafter referred to as a coating liquid (G)) of a solvent and an organic EL material emitting green light when a voltage is applied (hereinafter referred to as an organic EL material (G)); and 114c, a mixture (hereinafter referred to as a coating liquid (B)) of a solvent and an organic EL material emitting blue light when a voltage is applied (hereinafter referred to as an organic EL material (B)).

[0016] Note that with respect to the organic EL materials, there are a method in which a polymerized polymer is directly dissolved in a solvent and then applied, and a method in which after a film is formed of a monomer dissolved in a solvent, heating and polymerization is performed to make a polymer. Both methods can be used in the present invention. Here, an example in which an organic EL material of polymer is dissolved in a solvent and then applied will be described.

[0017] In the case of the present invention, the coating liquid (R) 114a, the coating liquid (G) 114b, and the coating liquid (B) 114c are separately applied from the head portion 106 of the thin film forming apparatus in the direction of an arrow as shown in Figs. 1A and 1B. That is, stripe-shaped luminescent layers (strictly speaking, a precursor of a luminescent layer) are formed at the same time on a pixel line to emit red light, a pixel line to emit green light, and a pixel line to emit green light.

[0018] Note that the pixel line indicates a line of pixels separated by a bank 121, and the bank 121 is formed over the source wiring line. That is, a line on which a plurality of pixels are arranged in series along the source wiring line is called the pixel line. However, here, although the description has been made on the case where the bank 121 is formed over the source wiring line, the bank may be provided over the gate wiring line, and a line on which a plurality of pixels are arranged in series along the gate wiring line is called the pixel line.

[0019] Thus, the pixel portion 111 can be regarded as an aggregate of a plurality of pixel lines divided by the stripe-shaped banks provided over the plurality of source wiring lines or the plurality of gate wiring lines. From such a viewpoint, it can be said that the pixel portion 111 comprises a pixel line in which a stripe-shaped luminescent layer emitting red light is formed, a pixel line in which a stripe-shaped luminescent layer emitting green light is formed, and a pixel line in which a stripe-shaped luminescent layer emitting blue light is formed.

[0020] Since the stripe-shaped banks are provided over the plurality of source wiring lines or the plurality of gate wiring lines, it is also possible to substantially regard the pixel portion 111 as an aggregate of a plurality of pixel lines divided by the plurality of source wiring lines or the plurality of gate wiring lines.

[0021] Next, the state of the head portion (also called a coating portion) 107 shown in Fig. 2A is enlarged as shown in Fig. 2B.

[0022] Reference numeral 107 designates the head portion of the thin film forming apparatus, and a nozzle 116a for red, a nozzle 116b for green, and a nozzle 116c for blue are attached thereto. Besides, a coating liquid (R) 114a, a coating liquid (G) 114b, and a coating liquid (B) 114c are respectively stored in the inside of each of the nozzles. These coating liquids are pressurized by a compressed gas filled in a pipe 117 and are pushed out onto the pixel portion 111. The head portion 107 like this is moved toward this side along the direction perpendicular to the paper plane, so that the coating step as shown in Fig. 2A is carried out.

[0023] Fig. 2C is an enlarged view of the vicinity of a coating portion designated by 118. The pixel portion 111 on the substrate 110 is an aggregate of a plurality of pixels made of a plurality of TFTs 119a to 119c and pixel electrodes 120a to 120c. When pressure is applied to the nozzles 116a to 116c of Fig. 2B by the compressed gas, the coating liquids 114a to 114c are pushed out by the pressure.

[0024] Note that the bank 121 made of a resin material is provided between pixels, and prevents the coating liquids from being mixed between adjacent pixels. In this structure, when the width (determined by the resolution of photolithography) of the bank 121 is made narrow, the integration of the pixel portion is improved and an image of high fineness can be obtained. Particularly, in the case where the viscosity of the coating liquid is 1 to 30 cp, it is effective.

[0025] However, if the viscosity of the coating liquid is 30 cp or more, or is in a sol or gel state, it is also possible not to use the bank. That is, if a contact angle between a coating liquid and a coated surface is sufficiently large after coating, the coating liquid does not spread excessively, so that it becomes unnecessary to dam it by the bank. In that case, the luminescent layer is finally formed in an elliptical shape (long and thin elliptical shape with a ratio of a major axis to a minor axis of 2 or more), typically a long and thin elliptical shape extending from one end to the other end of the pixel portion.

[0026] As the resin material which can form the bank 21, acryl, polyimide, polyamide, or polyimidoamide can be used, If carbon, black pigment or the like is previously provided in this resin material to blacken the resin material, it becomes also possible to use the bank 121 as a light shielding film between pixels.

[0027] If a sensor using light reflection is attached to the vicinity of the tip end of any one of the nozzles 116a, 116b and 116c, it is also possible to make such an adjustment that the distance between a coated surface and the nozzle is always kept constant. Further, by providing a mechanism to adjust the distance between the nozzles 116a to 116c in accordance with a pixel pitch (distance between pixels), it is possible to cope with an EL display device of any pixel pitch.

[0028] In this way, the coating liquids 114a to 114c applied from the nozzles 116a to 116c cover the pixel electrodes 120a to 120c, respectively. Note that the operation of the head portion 107 as described above is controlled by electrical signals.

[0029] After the coating liquids 114a to 114c are applied, a heating treatment (baking treatment or firing treatment) is performed in vacuum, so that the organic solvents contained in the coating liquids 114a to 114c are volatilized and the luminescent layers comprising the organic EL materials are formed. For that purpose, the organic solvent which volatilizes at a temperature lower than the glass transition temperature (Tg) of the organic EL material is used. The thickness of the finally formed luminescent layer is determined by the viscosity of the organic EL material. In this case, the viscosity can be adjusted by selecting the organic solvent or additives, and it is preferable that the viscosity is made 1 to 50 cp (preferably 5 to 20 cp).

[0030] Further, if a large number of impurities which can become crystal nuclei exist in the organic EL material, a possibility that the organic EL material is crystallized when the organic solvent is volatilized, becomes high. If it is crystallized, luminescent efficiency is lowered, which is not preferable. Thus, it is desirable that impurities are not contained in the organic EL material as much as possible.

[0031] In order to lower the impurity, it is important that the solvent and the organic EL material are thoroughly refined, and the environment when the solvent and the organic EL material are mixed is made as clean as possible. As refining of the solvent or refining of the organic EL material, it is preferable to repeatedly carry out a technique such as a distillation method, sublimation method, filtration method, recrystallization method, reprecipitation method, chromatography method, or dialysis method. Finally, it is desirable to reduce impurities such as metal elements or alkaline metal elements to 0.1 ppm or less (preferably 0.01 ppm or less).

[0032] Besides, it is also preferable to sufficiently take care of an atmosphere when the coating liquid containing the organic EL material is applied using the thin film forming apparatus as shown in Figs. 1A and 1B. Specifically, it is desirable that the film formation step of the organic EL material is carried out in a clean booth or a glove box filled with an inert gas such as nitrogen.

[0033] By using the thin film forming apparatus as described above, three kinds of luminescent layers emitting lights of the respective colors of red, green and blue can be formed at the same time, so that the luminescent layers comprising the high molecular organic EL materials can be formed at a high throughput. Further, different from the ink-jet system, since it is possible to make coating in a stripe shape without a gap in one pixel line, the throughput is extremely high.

BRIEF DESCRIPTION OF THE DRAWINGS

[0034] In the accompanying drawings:

Figs. 1A and 1B are views showing a thin film forming apparatus:
Figs. 2A to 2C are views showing a coating step of an organic EL material;
Figs. 3A and 3B are views showing a coating step of an organic EL material;
Figs. 4A and 4B are views respectively showing a coating step of an organic EL material;
Fig. 5 is a view showing a thin film forming apparatus:
Fig. 6 is a view showing a thin film forming apparatus;
Fig. 7 is a view showing a coating step of an organic EL material; and
Figs. 8A to 8C are views respectively showing the structure of a head portion provided in a thin film forming apparatus.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

[0035] In the following, an embodiment mode of the invention will be described. As shown in Fig. 2A, when the pixel portion 111, the source side driving circuit 112, the gate side driving circuit 113 comprises TFTs on the substrate 110, the stripe-shaped banks 121 are formed along the source wiring lines (wiring lines connecting the source side driving circuit 112 to the pixel portion 111 and transmitting information signal to the switching TFT of the pixel portion).

[0036] Next, the coating liquid (R) 114a, the coating liquid (G) 114b, and the coating liquid (B) 114c, which is to become luminescent layers, are prepared. Each of the coating liquids 114a to 114c is mainly formed by dissolving a high molecular organic EL material in a solvent. As a typical high molecular organic EL material, polyparaphenylene vinylene (PPV) system, polyvinylcarbazole (PVK) system, polyfluorene system or the like can be cited.

[0037] Although various types exist as the PPV system organic EL materials, for example, molecular formulas [Compound 1] and [Compound 2] as indicated in the attached sheet have been announced. (H. Shenk, H. Becker, O. Gelsen, E. Kluge. W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes". Euro Display. Proceedings, 1999, p. 33-37)

[0038] It is also possible to use polyphenylvinyl disclosed in Japanese Patent Application Laid-open No. Hei. 10-92576. The molecular formulas are shown as [Compound 3] and [Compound 4] in the attached sheet:

[0039] As the PVK system organic EL material, there is a molecular formula as [Compound 5] in the attached sheet:

[0040] The high molecular organic EL material can be applied after the material in a polymer state is dissolved in a solvent, or can be polymerized after the material is dissolved in a solvent and coating in a monomer state. In the case where the material is applied in the monomer state, a polymer precursor is first formed, and is polymerized by heating in vacuum to form the polymer.

[0041] Specifically, cyanopolyphenylenevinylene may be used for the coating liquid (R) 114c, polyphenylenevinylene may be used for the coating liquid (G) 114b, and polyphenylenevinylene or polyalkylphenylene may be used for the coating liquid (B) 114c. As the solvent, chloroform, dichloromethane, γ-butyllactone, butyl cellosolve, or NMP (N-methyl-2-pyrrolidone) may be used. It is also effective to add an additive to raise the viscosity of the coating liquid.

[0042] However, the above examples are merely examples of the organic EL materials which can be used for the luminescent layer of the present invention, and the invention is not limited to these. In the present invention, the mixture of the organic EL material and the solvent is applied by the thin film forming apparatus shown in Figs. 1A and 1B. and the solvent is volatilized and removed by a heating treatment, so that the luminescent layer is formed. Thus, any organic EL material may be used, when the solvent is volatilized, if the temperature does not exceed the glass transition temperature of the luminescent layer.

[0043] Further, when a coating step is carried out using the thin film forming apparatus of Figs. 1A and 1B, it is desirable that a treatment atmosphere is made a dry atmosphere with the least possible moisture and the step is carried out in an inert gas. Since the EL layer is easily deteriorated by the existence of moisture or oxygen, it is necessary to remove such a factor to the utmost when the EL layer is formed. For example, a dry nitrogen atmosphere, a dry argon atmosphere, or the like is preferable. For that purpose, it is preferable that the thin film forming apparatus of Figs. 1A and 1B is installed in a clean booth filled with an inert gas, and the coating step is carried out in the atmosphere.

[Embodiment 1]

[0044] In the mode of carrying out the invention, the description has been made on the example in which three kinds of stripe-shaped luminescent layers emitting lights of red, green and blue are formed in the vertical or horizontal direction at the same time. In this embodiment, a description will be made on an example in which a stripe-shaped luminescent layer is divided into plural portions in the longitudinal direction and is formed.

[0045] As shown in Fig. 3A, a pixel portion 111, a source side driving circuit 112, and a gate side driving circuit 113 comprises TFTs on a substrate 110, and the pixel portion 111 is divided into matrix form by banks 301. In the case of this embodiment, in one square 302 separated by the banks 301, as shown in Fig. 3B, a plurality of pixels 303 are disposed. The number of pixels is not limited.

[0046] In such a state, a film formation step of an organic EL material functioning as a luminescent layer is carried out by using the thin film forming apparatus of the present invention. In this case as well, a coating liquid 114a for red, a coating liquid 114b for green, and a coating liquid 114c for blue are selectively applied using the head portion 107.

[0047] The feature of this embodiment is that it is possible to selectively coat the respective squares 302 with the coating liquids 114a to 114c. That is, in the system explained in the mode of carrying out the invention, it is only possible to selectively coat with the coating liquid of each color of red, green and blue in a stripe shape. On the other hand, in this embodiment, the arrangement of color is free for each square. Thus, as shown in Fig. 3A, it is also possible to adopt such an arrangement that the color of a coating liquid applied on an arbitrary square is shifted for every row (or column).

[0048] It is also possible to provide one pixel in the square 302, and in that case, it is also possible to make a pixel structure (pixel structure in which pixels respectively corresponding to RGB are arranged to always form a triangle)

which is generally called a delta arrangement.

[0049] The operation given to the head portion 107 for carrying out this embodiment is as follows: First, the head portion 107 is moved in the direction of an arrow "a" so that the inside portions of three squares (respective squares corresponding to red, green and blue) are completely immersed in the coating liquids. When it is ended, the head portion 107 is moved in the direction of an arrow "b" so that the coating liquids are applied on the next three squares. This operation is repeated to coat the pixel portion with the coating liquids, and thereafter, the solvent is volatilized by a heat treatment to form the organic EL material.

[0050] In the conventional ink-jet method, since a droplet is applied, the organic EL material is formed in circle shape on the surface. Thus, it is difficult to coat the entire of a long and thin pixel. Particularly, in the case where the whole pixel functions as a luminescent region, it is necessary to coat the organic EL material on the whole pixel. In that point, this embodiment has such a merit that the inside of the square can be completely filled with the coating liquid by moving the head portion 107 in the direction of the arrow "a".

[Embodiment 2]

[0051] When the direction of the pixel line shown in Fig. 2A is made the vertical direction, the bank 121 is formed along the source wiring line. Thus, it can be said that the pixel line in the case where the bank is formed along the gate wiring line is formed in the horizontal direction. That is, in the case where the pixel line is formed in the vertical direction, the arrangement becomes as shown in Fig. 4A, and in the case where the pixel line is formed in the horizontal direction, the arrangement becomes as shown in Fig. 4B.

[0052] In Fig. 4A, reference numeral 401 designates a bank formed into a stripe shape in the vertical direction: 402a, an EL layer emitting red light: and 402b, an EL layer emitting green light. Of course, an EL layer (not shown) emitting blue light is formed adjacent to the EL layer 402b emitting green light. Note that the bank 401 is formed over the source wiring line through an insulating film and along the source wiring line.

[0053] The EL layer here means a layer made of an organic EL material contributing to light emission, such as a luminescent layer, a charge injection layer, or charge transport layer. Although there can be a case of a single layer of a luminescent layer, for example, in the case where a hole injection layer and a luminescent layer are laminated, the laminate film is called the EL layer.

[0054] In this case, the head portion 106 shown in Fig. 1B is moved in the vertical direction (Y direction). That is, the three pixel lines of the respective colors of red, green and blue are scanned in the vertical direction at the same time, and the coating liquids are applied on the pixel lines.

[0055] In Fig. 4B, reference numeral 404 designates banks formed into stripe shape in the horizontal direction; 405a, an EL layer emitting red light; 405b, an EL layer emitting green light; and 405c, an EL layer emitting blue light. Note that the banks 404 are formed over the gate wiring line through an insulating film along the gate wiring lines.

[0056] In this case, the head portion 106 shown in Fig. 1B is moved in the horizontal direction (X direction). That is, the pixel lines of red, green and blue are scanned at the same time in the horizontal direction, and the coating liquids are applied on the pixel lines.

[0057] As described above, even if the selective coating with the liquid is made for each pixel line along the vertical direction or each pixel line along the horizontal direction, it can be easily handled by electrically controlling the direction in which the head portion 106 is scanned.

[Embodiment 3]

[0058] In this embodiment, a description will be made on an example of a case where the thin film forming apparatus of the present invention is incorporated in a thin film forming apparatus of a multi-chamber system (or also called a cluster tool system), and a forming process of an EL element is continuously carried out without opening to the air.

[0059] In Fig. 5, reference numeral 501 designates a common chamber, and the common chamber 501 is provided with a transporting mechanism (A) 502 by which a substrate 503 is transported. An atmosphere of the common chamber 501 is made reduced, and the common chamber 501 is shut off from respective treatment chambers by gates. The transfer of the substrate to the respective treatment chambers is carried out by the transporting mechanism (A) 502 when the gate is opened. In order to reduce the pressure of the common chamber 501, although it is possible to use an exhaust pump such as an oil rotation pump, a mechanical booster pump, a turbo molecular pump, or a cryopump, it is preferable to use the cryopump effective to remove moisture.

[0060] In the following, the respective chambers will be described. Since the common chamber 501 comes to have the reduced pressure atmosphere, all treatment chambers directly coupled to the common chamber 501 are provided with an exhaust pump (not shown). As the exhaust pump, the foregoing oil rotation pump, mechanical booster pump, turbo molecular pump, or cryopump is used.

[0061] First, reference numeral 504 designates a transport chamber (A) in which the substrate is carried in and out,

and is called also a load lock chamber. The transport chamber (A) 504 is shut off from the common chamber 501 by a gate 500a, and a carrier 505 on which a substrate is set is disposed here. Note that the transport chamber (A) 504 may be divided into one for carrying the substrate in and one for carrying the substrate out.

[0062] In this embodiment, the substrate 503 is set on the carrier while an element formation surface is directed downward. This is for facilitating a face down system (also called a depo-up system) when vapor phase film formation (film formation by sputtering or vapor deposition) is performed later. The face down system is such a system that film formation is made while the element formation surface of a substrate is directed downward. According to this system, attachment of dust or the like can be suppressed.

[0063] Next, reference numeral 506 designates a treatment chamber (hereinafter referred to as a pre-treatment chamber) for processing the surface of a cathode or anode which becomes a pixel electrode of the EL element. The pre-treatment chamber 506 is shut off from the common chamber 501 by a gate 500b. Although the pre-treatment chamber can be variously changed according to the manufacturing process of the EL element, in this embodiment, it is designed such that heating can be made at 100 to 120°C while the surface of the pixel electrode is irradiated with ultraviolet light. Such pre-treatment is effective when the anode surface of the EL element is processed.

[0064] Next, reference numeral 507 designates a firing treatment chamber (A) and is shut off from the common chamber 501 by a gate 500c. Although described later, vacuum exhaustion and purge can be made in the firing treatment chamber (A) 507 which includes a mechanism for inverting the substrate surface. Further, a transport chamber (B) 509 provided with a transporting mechanism (B) 508 is connected to the firing treatment chamber (A) 507 through a gate 500d. Besides, a solution coating treatment chamber (A) 510 is connected to the transport chamber (B) 509 through a gate 500e.

[0065] Here, the operation of the firing treatment chamber (A) 507, the transport chamber (B) 509, and the solution coating treatment chamber (A) 510 will be described.

[0066] When the substrate is transported to the firing treatment chamber (A) 507, the firing treatment chamber (A) 507 is in a reduced pressure state, and the gate 500d is closed. When the substrate (element formation surface is directed downward) is transported, the gate 500c is closed, and the inside of the tiring treatment chamber (A) 507 is returned to the atmospheric pressure by purging the inert gas. The substrate is turned over by the inverting mechanism (not shown) and the element formation surface is directed upward.

[0067] In this state, the gates 500d and 500e are opened, and the substrate is transported to the treatment chamber (hereinafter referred to as the solution coating treatment chamber (A)) 510 in which a solution containing an organic EL material is applied. Note that the solution coating treatment chamber (A) 510 is a treatment chamber provided with the same function as the thin film forming apparatus of the present invention shown in Figs. 1A and 1B, and a mixture of the organic EL material and a solvent, which becomes a luminescent layer of a stripe shape, is applied. It is desirable to make a high purity inert gas atmosphere so that oxygen and moisture are not taken in the organic EL material.

[0068] The substrate on which the mixture of the organic EL material and the solvent is applied is again returned to the firing treatment chamber (A) 507, and a heating treatment (firing treatment) is carried out at a temperature of 100 to 120°C. It is desirable that this chamber is also made to have a high purity inert gas atmosphere. When the firing treatment is ended, the substrate is inverted by the inverting mechanism (not shown), and the firing treatment chamber (A) 507 is vacuum exhausted in the state where the element formation surface is again directed downward. Of course, the gates 500c and 500d are closed at this time.

[0069] When vacuum exhaustion of the firing treatment chamber (A) 507 is ended, the gate 500c is opened and the substrate is returned to the common chamber 501 by the transporting mechanism (A) 502.

[0070] The above is the operation of the firing treatment chamber (A) 507, the transport chamber (B) 509, and the solution coating treatment chamber (A) 510.

[0071] Next, reference numeral 511 designates a firing treatment chamber (B) which is shut off from the common chamber 501 by a gate 500f. Note that vacuum exhaustion and purge can be made also in the firing treatment chamber (B) 511 which includes a mechanism for inverting the substrate surface. Further, a transport chamber (C) 513 provided with a transporting mechanism (C) 512 is connected to the firing treatment chamber (B) 511 through a gate 500g. Besides, a solution coating treatment chamber (B) 514 is connected to the transport chamber (C) 513 through a gate 500h.

[0072] Since the operation of the firing treatment chamber (B) 511, the transport chamber (C) 513, and the solution coating treatment chamber (B) 514 is almost identical to the operation of the firing treatment chamber (A) 507, the transport chamber (B) 509, and the solution coating treatment chamber (A) 510, only different points will be described here.

[0073] The substrate transported into the solution coating treatment chamber (B) 514 is applied with a mixture of an organic EL material and a solvent, which becomes a hole injection layer or hole transport layer, by a spin coating method. The atmosphere is made a high purity inert gas atmosphere so that oxygen and moisture are not taken in the organic EL material, which is similar to the solution coating treatment chamber (A) 510.

[0074] When a firing treatment is ended in the firing treatment chamber (B) 511, vacuum exhaustion of the firing

treatment chamber (B) 511 is carried out, the gate 500f is opened, and the substrate is returned to the common chamber 501 by the transporting mechanism (A) 502. The above is the operation of the firing treatment chamber (B) 511, the transport chamber (C) 512, and the solution coating treatment chamber (B) 514.

[0075] Next, reference numeral 515 designates a treatment chamber (hereinafter referred to as a vapor phase film forming treatment chamber (A)) for forming an insulating film or conductive film (in this embodiment, a conductive film) by a vapor phase film formation method. Although a vapor deposition method or sputtering method can be cited as the vapor phase film formation method, since it is used for the purpose of forming an electrode on the organic EL material, the vapor deposition method which does not easily cause damage is preferable. In any event, it is shut off from the common chamber 501 by a gate 500i, and film formation is made under vacuum. Note that film formation is made by the depo-up system.

[0076] In the vapor phase film forming treatment chamber (A) 515, in the case where a vapor deposition treatment is carried out, it is necessary to provide a vapor deposition source. A plurality of vapor deposition sources may be provided and may be changed according to the film to be formed. Besides, a vapor deposition source of a resistance heating system may be adopted, or vapor deposition source of an EB (electron beam) system may be adopted.

[0077] Next, reference numeral 516 designates a treatment chamber (hereinafter referred to as a vapor phase film forming treatment chamber (B)) for forming an insulating film or conductive film (in this embodiment, an insulating film) by a vapor phase film formation method. As the vapor phase film formation method, although a plasma CVD method or sputtering method can be cited, it is desirable that an insulating film with the lowest possible film formation temperature can be formed. For example, it is effective that a silicon nitride film is formed by a remote plasma CVD method. In any event, it is shut off from the common chamber 501 by a gate 500j, and film formation is made under vacuum.

[0078] Note that the above treatment (exhaustion, transport, film forming treatment, etc.) can be made fully automatic control using a computer by a touch panel and sequencer.

[0079] The main feature of the multi-chamber thin film forming apparatus of the above structure is that all film formation means needed to form the EL element are provided and steps up to the formation of a passivation film can be carried out without opening to the air. As a result, it becomes possible to form the EL element proof against deterioration by using a high molecular organic EL material and by simple means, and it becomes possible to manufacture an EL display device with high reliability.

[0080] Note that this embodiment can be used as a thin film forming apparatus even when either structure of the embodiments 1 and 2 is carried out.

[Embodiment 4]

[0081] In this embodiment, an example in which a part of the multi-chamber thin film forming apparatus shown in Fig. 5 is changed will be described with reference to Fig. 6. Specifically, a structure in which a glove box 521 and a path box 522 are provided in a transport chamber (A) 504. Note that the embodiment 3 can be cited for explanation as to portions other than modification points.

[0082] The glove box 521 is connected to the transport chamber (A) 504 through a gate 523. In the glove box 521, a treatment for sealing the EL device in a closed space is performed. This treatment is a treatment for protecting the substrate (substrate which has been processed in the thin film forming apparatus of Fig. 6 and has been returned to the transport chamber (A) 504), which has been subjected to every treatment, from the outer air, and uses, for example, means for mechanically sealing it with a sealing material or sealing it with a thermosetting resin or ultraviolet light hardening resin.

[0083] As the sealing material, although a material such as glass, ceramic, or metal can be used, it must be translucent in the case where light is emitted to the side of the sealing material. The sealing material and the substrate which has been subjected to every treatment described above are bonded by using the thermosetting resin or ultraviolet light hardening resin, and the resin is hardened by a heat treatment or ultraviolet light irradiation treatment to form the closed space. It is also effective to provide a drying agent such as barium oxide in this closed space.

[0084] It is also possible to fill the space between the sealing material and the substrate on which the EL element is formed with the thermosetting resin or ultraviolet light hardening resin. In this case, it is effective to add a drying agent such as barium oxide in the thermosetting resin or ultraviolet light hardening resin.

[0085] The thin film forming apparatus shown in Fig. 6 has such a structure that a mechanism (hereinafter referred to as an ultraviolet light irradiation mechanism) 524 for irradiating ultraviolet light is provided in the inside of the globe box 521, and the ultraviolet light hardening resin is hardened by ultraviolet light emitted from this ultraviolet light irradiation mechanism 524.

[0086] Although the operation in the glove box 521 may be a manual operation, it is preferable to make such a structure that the operation is mechanically performed through computer control. In the case where the sealing material is used, it is preferable that a mechanism for coating with a sealing agent (here, thermosetting resin or ultraviolet light hardening resin), as used in a cell assembling step of a liquid crystal, a mechanism for bonding substrates, and a mech-

anism for hardening the sealing agent are incorporated.

[0087] It is also possible to reduce the pressure of the inside of the glove box 521 by attaching an exhaust pump. In the case where the above sealing step is mechanically performed by a robot operation, it is effective to perform the operation under low pressure.

[0088] Next, the path box 522 is connected to the glove box 521 through a gate 525. It is also possible to reduce the pressure of the path box 522 by attaching an exhaust pump. The path box 522 is an equipment for preventing the glove box 521 from being directly exposed to the outer air, and a substrate is taken out from here.

[0089] As described above, in the thin film forming apparatus of this embodiment, since the substrate is exposed to the outer air at the stage where the EL element has been completely sealed in the closed space, it is possible to almost completely prevent the EL element from being deteriorated by moisture or the like. That is, it becomes possible to manufacture the EL display device with high reliability.

[Embodiment 5]

[0090] Although the mode of carrying out the invention or the embodiment 1 shows the example in which all of the luminescent layer emitting red light, the luminescent layer emitting green light, and the luminescent layer emitting blue light are formed by using the thin film forming apparatus shown in Figs. 1A and 1B, at least one of the luminescent layers for red, green and blue may use the thin film forming apparatus shown in Fig. 1.

[0091] That is, in Fig. 2B, it is also possible to omit the nozzle 116c (nozzle for applying the coating liquid (B) 114c) and to coat with the coating liquid (B) 114c by another means.

[0092] Specifically, in Figs. 5 and 6, the coating liquid (R) 114a and the coating liquid (G) 114b are applied in the solution coating treatment chamber (A) 510, and thereafter, the coating liquid (B) 114c can also be applied in the solution coating treatment chamber (B) 514. Of course, the combination of colors is free, and the coating liquid (R) 114a and the coating liquid (B) 114c may be applied in the solution coating treatment chamber (A) 510, and the coating liquid (G) 114b may be applied in the solution coating treatment chamber (B) 514.

[0093] Note that the structure of this embodiment may be carried out by combination with the structure of the embodiment 2.

[Embodiment 6]

[0094] Although the example in which three nozzles are attached to the head portion 107 shown in Figs. 2A to 2C has been described, more than three nozzles corresponding to plural pixel lines may be further provided. An example is shown in Fig. 7. The characters R, G and B in the drawing correspond to red, green and blue.

[0095] Fig. 7 shows an example in which an organic EL material (strictly speaking, coating liquid) is applied on all pixel lines formed in a pixel portion at the same time. That is, the number of nozzles attached to a head portion 701 is equal to the number of pixel lines. By adopting such structure, it becomes possible to coat all pixel lines by one scanning so that the throughput is remarkably improved.

[0096] Besides, the pixel portion is divided into plural zones, and a head portion provided with nozzles, the number of which is equal to the number of pixel lines contained in each zone, may be used. That is, when the pixel portion is divided into n zones, and when scanning is performed n times, it is possible to coat the organic EL material (strictly speaking, coating liquid) on all pixel lines.

[0097] Actually, since there is a case where the size of a pixel is as small as several tens μm, there is a case where the width of a pixel line also becomes several tens μm. In such a case, since it becomes difficult to arrange the nozzles horizontally in one line, it is necessary to contrive the arrangement of nozzles.

[0098] Figs. 8A to 8C show examples in which attachment positions of nozzles to the head portion are changed. Fig. 8A shows an example in which nozzles 52a to 52c are formed while they are obliquely shifted to the head portion 51. Note that reference numeral 52a designates a nozzle for applying a coating liquid (R): 52b, a nozzle for applying a coating liquid (G); and 52c, a nozzle for applying a coating liquid (B). Each line of arrows corresponds to a pixel line.

[0099] As designated by 53, the nozzles 52a to 52c are regarded as one unit, and one to plural units are provided at the head portion. One unit 53 coats the organic EL materials on three pixel lines at the same time, and n units 53 coat the organic EL materials on 3n pixel lines at the same time.

[0100] By adopting such structure, the degree of freedom in the arrangement space of nozzles can be raised, and it becomes possible to unforcedly carry out the present intention to the pixel portion with high fineness. Besides, it is also possible to process all pixel lines in the pixel portion at the same time by using the head portion 51 of Fig. 8A, or it is also possible to divide the pixel portion into plural zones and to perform processing several times.

[0101] Next, a head portion 54 shown in Fig. 8B is a modification of Fig. 8A, and is an example in which the number of nozzles contained in one unit 55 is increased. That is, in the unit 55, two nozzles 56a each coating a coating liquid (R), two nozzles 56b each coating a coating liquid (G), and two nozzles 56c each coating a coating liquid (B) are

included, and the organic EL materials are applied on six pixel lines in total at the same time by the one unit 55.

[0102] In this embodiment, one to plural such units 55 are provided, and when the one unit 55 is provided, the organic EL materials are applied on the six pixel lines at the same time, and when the n units are provided, the organic EL materials are applied on 6n pixel lines at the same time. Of course, it is not necessary to limit the number of nozzles provided in the unit 55 to six, but it is also possible to provide plural nozzles further.

[0103] In such structure as well, similarly to the case of Fig. 8A, all pixel lines in the pixel portion can be processed at the same time, or it is possible to divide the pixel portion into plural zones and to perform processing several times.

[0104] Besides, a head portion 57 as shown in Fig. 8C can also be used. In the head portion 57, a nozzle 58a for coating a coating liquid (R), a nozzle 58b for coating a coating liquid (G), and a nozzle 58c for coating a coating liquid (B) are provided at intervals of a space for three pixel lines.

[0105] When this head portion 57 is first scanned one time to coat the organic EL materials on pixel lines, next, the head portion 57 is shifted right by three pixel lines and scanning is again made. Further, the head portion 57 is shifted right by three pixel lines and scanning is again made. By performing the scan three times as described above, it is possible to coat the organic EL materials in the stripe shapes arranged in order of red, green and blue.

[0106] In such structure as well, similarly to the case of Fig. 8A, all pixel lines in the pixel portion can be processed at the same time, or it is also possible to divided the pixel portion into plural zones and to perform processing several times.

[0107] As described above, in the thin film forming apparatus shown in Fig. 1, by contriving the positions of nozzles attached to the head portion, it becomes possible to carry out the present invention even for a pixel portion with high fineness and with a narrow pixel pitch (distance between pixels). Then, the throughput of a manufacturing process can be raised.

[0108] Note that the structure of this embodiment can be freely combined with any structure of the embodiments 1 to 5 to be carried out.

[Embodiment 7]

[0109] In the embodiment 1, although the common chamber 501 is made to have a reduced pressure atmosphere, an atmosphere of atmospheric pressure filled with an inert gas may be adopted. In that case, the exhaust pump may not be provided in the transport chamber (A) 504, the pre-treatment chamber 506, the firing treatment chamber (A) 507, and the firing treatment chamber (B) 511.

[0110] However, since the transporting mechanism (A) 502, the transporting mechanism (B) 508, and the transporting mechanism (C) are provided in the common chamber 501, the transport chamber (B) 509, and the transport chamber (C) 513, respectively, there is a high possibility that the filled inert gas is polluted. Thus, it is preferable to make such a structure that the common chamber 501, the transport chamber (B) 509, and the transport chamber (C) 513 are made a state where the pressure is lower than the other treatment chambers, and the inert gas is made to flow into the common chamber 501, the transport chamber (B) 509, and the transport chamber (C) 513.

[0111] Note that the structure of this embodiment can be freely combined with any structure of the embodiments 3 to 6 to be carried out.

[Embodiment 8]

[0112] Although the embodiment 3 shows the example in which the pre-treatment chamber 506 is provided with the mechanism for irradiating ultraviolet light and the mechanism for performing the heating treatment, this embodiment shows an example in which the pre-treatment chamber 506 is provided with a mechanism for performing a plasma treatment.

[0113] In the case where a pre-treatment is performed to the surface of a cathode of an EL element, it is desirable to remove a natural oxide of the surface of the cathode. This embodiment includes a mechanism for removing the natural oxide by performing a plasma treatment to the surface of the cathode using a gas containing fluorine or chlorine.

[0114] Note that the structure of this embodiment can be freely combined with any structure of the embodiments 3 to 7 to be carried out.

[Embodiment 9]

[0115] Although the embodiment 3 shows the example in which the pre-treatment chamber 506 is provided with the mechanism for irradiating ultraviolet light and the mechanism for performing the heat treatment, this embodiment shows an example in which the pre-treatment chamber 506 is provided with a mechanism for performing a sputtering treatment.

[0116] In the case where a pre-treatment is performed to the surface of a cathode of an EL element, it is desirable

to remove a natural oxide of the surface of the cathode. This embodiment includes a mechanism for removing the natural oxide by performing a sputtering treatment to the surface of the cathode using an inert gas such as rare gases or nitrogen.

[0117] Note that the structure of this embodiment can be freely combined with any structure of the embodiments 3 to 8 to be carried out.

[Embodiment 10]

[0118] The embodiment 3 shows the example in which the organic EL material, which becomes a luminescent layer, is formed through the solution coating treatment chamber (A) 510 and the firing treatment chamber (A) 507, and further, the organic EL material, which becomes a hole injection layer or hole transport layer, is formed through the solution coating treatment chamber (B) 514 and the firing treatment chamber (B) 511.

[0119] However, it is also possible to make such structure that first, an electron injection layer or electron transport layer is formed through the solution coating treatment chamber (B) 514 and the firing treatment chamber (B) 511, and further, an organic EL material, which becomes a luminescent layer, is formed through the solution coating treatment chamber (A) 510 and the firing treatment chamber (A) 507, and still further, an organic EL material, which becomes a hole injection layer or hole transport layer, is formed through the solution coating treatment chamber (B) 514 and the firing treatment chamber (B) 511.

[0120] That is, in the case where it is desired to selectively coat the organic EL materials (B) of red, green and blue by using the thin film forming apparatus of Figs. 1A and 1B, the solution coating chamber (A) 510 is used, and in the case where the organic EL material which may be provided at the entire surface of the substrate is formed, the solution coating treatment chamber (B) 514 may be used. It is possible to form EL layers of various laminate structures by selectively using these solution coating treatment chambers.

[0121] Note that the structure of this embodiment can be freely combined with any structure shown in the embodiments 3 to 9 to be carried out.

[Embodiment 11]

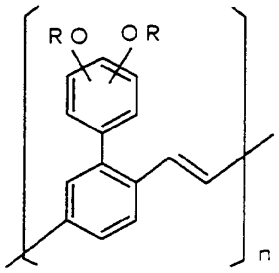
[0122] Although the embodiment 3 shows the example in which the conductive film, which becomes a cathode or anode, is formed in the vapor phase film forming treatment chamber (A) 515, here, the organic EL material can also be formed by a vapor deposition method. That is, it can be used when a layer selected from a hole injection layer, a hole transport layer, an electron injection layer and an electron transport layer is formed.

[0123] By changing a vapor deposition source, the vapor phase film forming chamber (A) 515 can also form both films of the organic EL material and the conductive film. It is also possible to form the organic EL material by the vapor phase film forming treatment chamber (A) 515 and to form the conductive film, which becomes the cathode or anode, by the vapor phase film formation treatment chamber (B) 516.

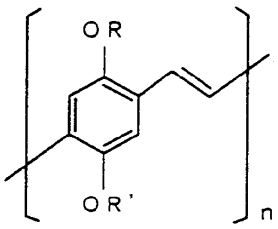
[0124] Note that the structure of this embodiment can be freely combined with any structure shown in the embodiments 3 to 10 to be carried out.

[0125] As described above, by using the thin film forming apparatus of the present invention, it becomes possible to form the organic EL material certainly without a problem like the flying curve in the ink-jet method. That is, since the film of the high molecular organic EL material can be formed precisely without a problem of positional deviation, the manufacture yield of the EL display device using the high molecular organic EL material can be improved.

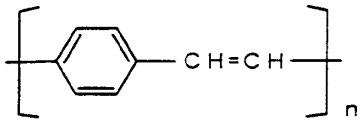
Compound 1



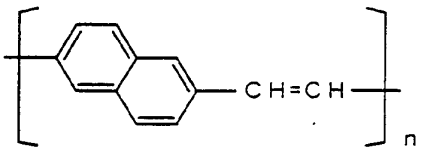
Compound 2



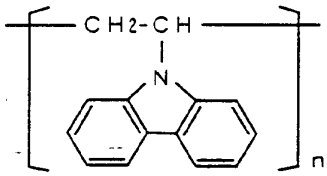
Compound 3



Compound 4



Compound 5



Claims

1. A thin film forming apparatus comprising:

a stage for fixing a substrate;
a head portion; and
a mechanism for moving the head portion relatively to the substrate;
wherein the head portion includes a nozzle including a solution containing an organic EL material (R), a nozzle

including a solution containing an organic EL material (G), and a nozzle including a solution containing an organic EL material (B).

2. An apparatus according to claim 1, wherein each of the organic EL material (R), the organic EL material (G), and the organic EL material (B) is a polymer.

3. An apparatus according to claim 1, wherein each of the solution containing the organic EL material (R), the solution containing the organic EL material (G), and the solution containing the organic EL material (B) is applied in a stripe shape.

4. An apparatus according to claim 1, wherein each of the solution containing the organic EL material (R), the solution containing the organic EL material (G), and the solution containing the organic EL material (B) is pushed out from the nozzle by a compressed gas.

5. A thin film forming apparatus comprising:

a stage for fixing a substrate;
a head portion including a nozzle for applying a solution containing an organic EL material; and
a mechanism for moving the head portion relatively to the substrate,
wherein the head portion includes at least one of a nozzle including a solution containing an organic EL material (R), a nozzle including a solution containing an organic EL material (G), and a nozzle including a solution containing an organic EL material (B).

6. An apparatus according to claim 5, wherein each of the organic EL material (R), the organic EL material (G), and the organic EL material (B) is a polymer.

7. An apparatus according to claim 5, wherein each of the solution containing the organic EL material (R), the solution containing the organic EL material (G), and the solution containing the organic EL material (B) is applied in a stripe shape.

8. An apparatus according to claim 5, wherein each of the solution containing the organic EL material (R), the solution containing the organic EL material (G), and the solution containing the organic EL material (B) is pushed out from the nozzle by a compressed gas.

9. A thin film forming apparatus comprising:

a transport chamber for carrying a substrate in or out;
a common chamber including a mechanism for transporting the substrate; and
a plurality of treatment chambers each being connected to the common chamber through a gate;
wherein at least one of the treatment chambers includes a stage for fixing the substrate, a head portion including a nozzle for applying a solution containing an organic EL material, and a mechanism for moving the head portion relatively to the substrate, and
wherein the head portion includes a nozzle including a solution containing an organic EL material (R), a nozzle including a solution containing an organic EL material (G), and a nozzle including a solution containing an organic EL material (B).

10. An apparatus according to claim 9, wherein the common chamber is kept in a reduced pressure state, and the treatment chamber including the stage for fixing the substrate, the head portion including the nozzle for applying the solution containing the organic EL material, and the mechanism for moving the head portion relatively to the substrate is kept in an atmospheric pressure state filled with an insert gas.

11. An apparatus according to claim 9, further comprising a firing treatment chamber between the common chamber and the treatment chamber including the stage for fixing the substrate, the head portion including the nozzle for applying the solution containing the organic EL material, and the mechanism for moving the head portion relatively to the substrate.

12. An apparatus according to claim 9, further comprising a mechanism for inverting the substrate between the common chamber and the treatment chamber including the stage for fixing the substrate, the head portion including the

nozzle for applying the solution containing the organic EL material, and the mechanism for moving the head portion relatively to the substrate.

13. An apparatus according to claim 9, wherein each of the organic EL material (R), the organic EL material (G), and the organic EL material (B) is a polymer.

14. An apparatus according to claim 9, wherein each of the solution containing the organic EL material (R), the solution containing the organic EL material (G), and the solution containing the organic EL material (B) is applied in a stripe shape.

15. An apparatus according to claim 9, wherein each of the solution containing the organic EL material (R), the solution containing the organic EL material (G), and the solution containing the organic EL material (B) is pushed out from the nozzle by a compressed gas.

16. A thin film forming apparatus comprising:

a transport chamber for carrying a substrate in or out;
a common chamber including a mechanism for transporting the substrate; and
a plurality of treatment chambers each being connected to the common chamber through a gate;
wherein at least one of the treatment chambers includes a stage for fixing the substrate, a head portion including a nozzle for applying a solution containing an organic EL material, and a mechanism for moving the head portion relatively to the substrate, and
wherein the head portion includes at least one of a nozzle including a solution containing an organic EL material (R), a nozzle including a solution containing an organic EL material (G), and a nozzle including a solution containing an organic EL material (B).

17. An apparatus according to claim 16, wherein the common chamber is kept in a reduced pressure state, and the treatment chamber including the stage for fixing the substrate, the head portion including the nozzle for applying the solution containing the organic EL material, and the mechanism for moving the head portion relatively to the substrate is kept in an atmospheric pressure state filled with an insert gas.

18. An apparatus according to claim 16, further comprising a firing treatment chamber between the common chamber and the treatment chamber including the stage for fixing the substrate, the head portion including the nozzle for applying the solution containing the organic EL material, and the mechanism for moving the head portion relatively to the substrate.

19. An apparatus according to claim 16, further comprising a mechanism for inverting the substrate between the common chamber and the treatment chamber including the stage for fixing the substrate, the head portion including the nozzle for applying the solution containing the organic EL material, and the mechanism for moving the head portion relatively to the substrate.

20. An apparatus according to claim 16, wherein each of the organic EL material (R), the organic EL material (G), and the organic EL material (B) is a polymer.

21. An apparatus according to claim 16, wherein each of the solution containing the organic EL material (R), the solution containing the organic EL material (G), and the solution containing the organic EL material (B) is applied in a stripe shape.

22. An apparatus according to claim 16, wherein each of the solution containing the organic EL material (R), the solution containing the organic EL material (G), and the solution containing the organic EL material (B) is pushed out from the nozzle by a compressed gas.

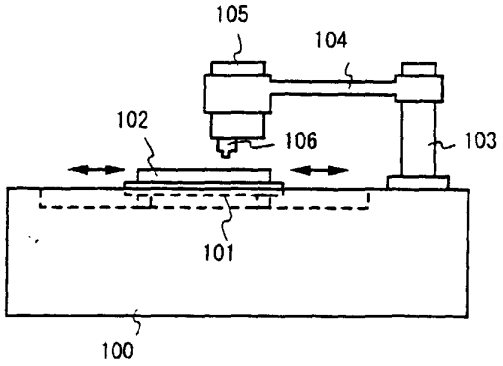


FIG. 1A

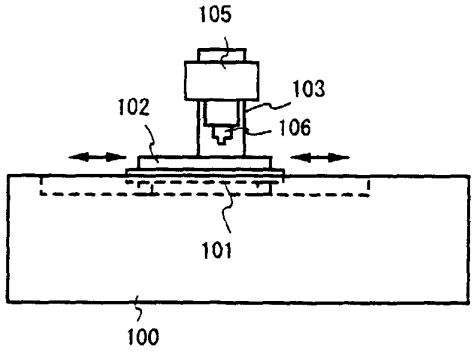


FIG. 1B

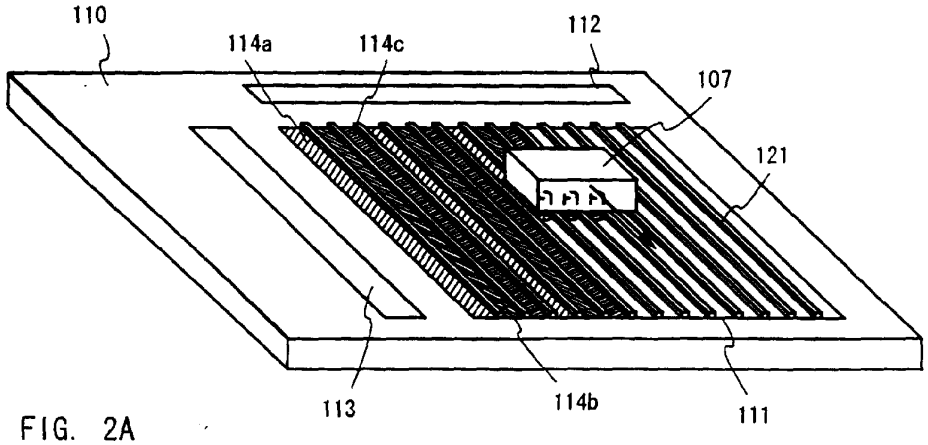


FIG. 2A

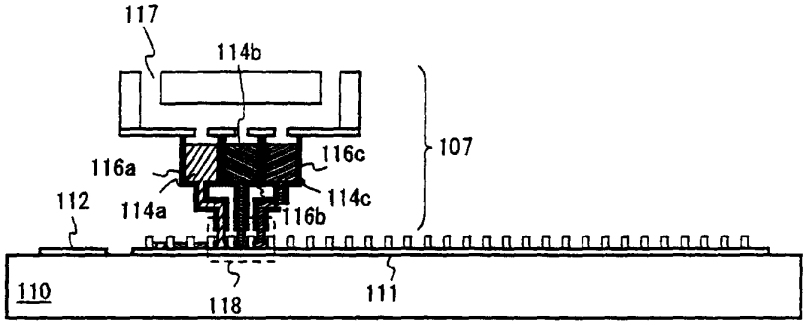


FIG. 2B

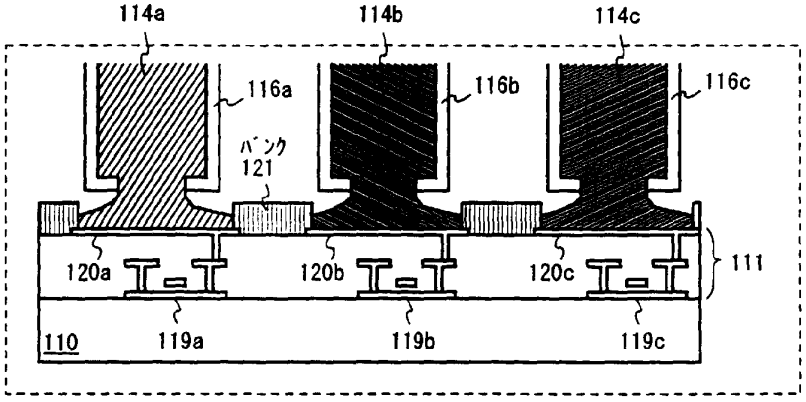


FIG. 2C

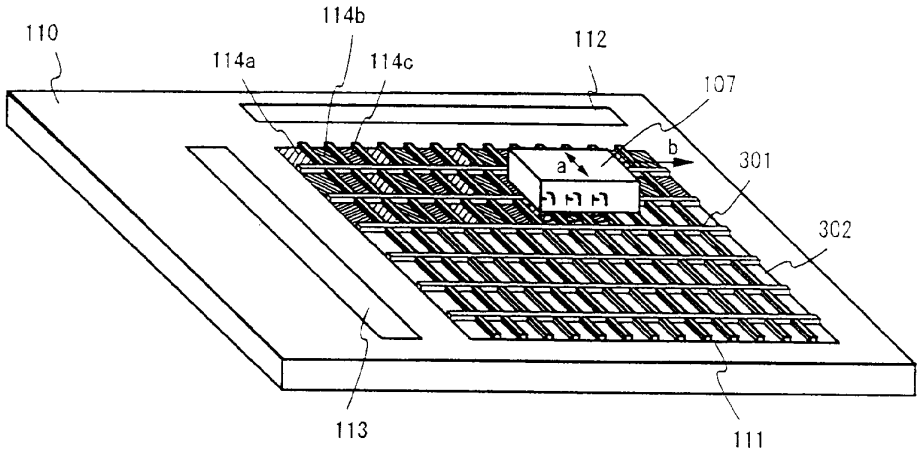

110
114b
114a
114c
112
107
a
b
301
302
113
111

FIG. 3A

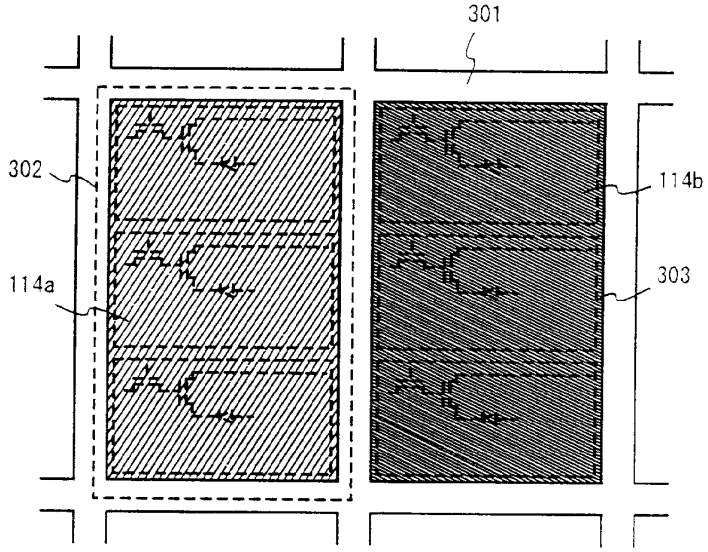

301
302
114b
114a
303

FIG. 3B

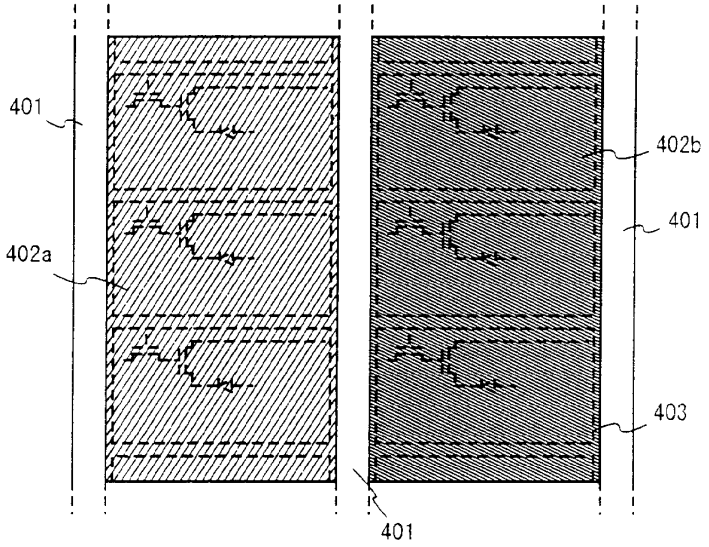


FIG. 4A

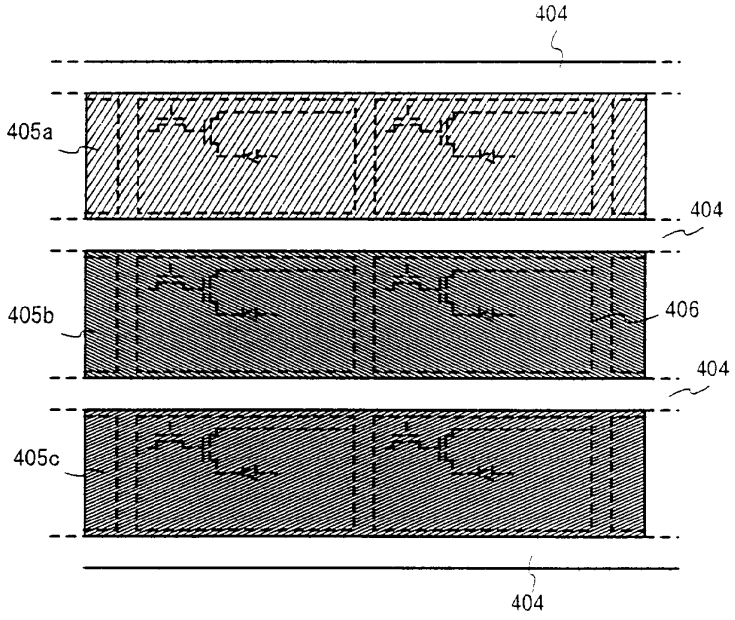


FIG. 4B

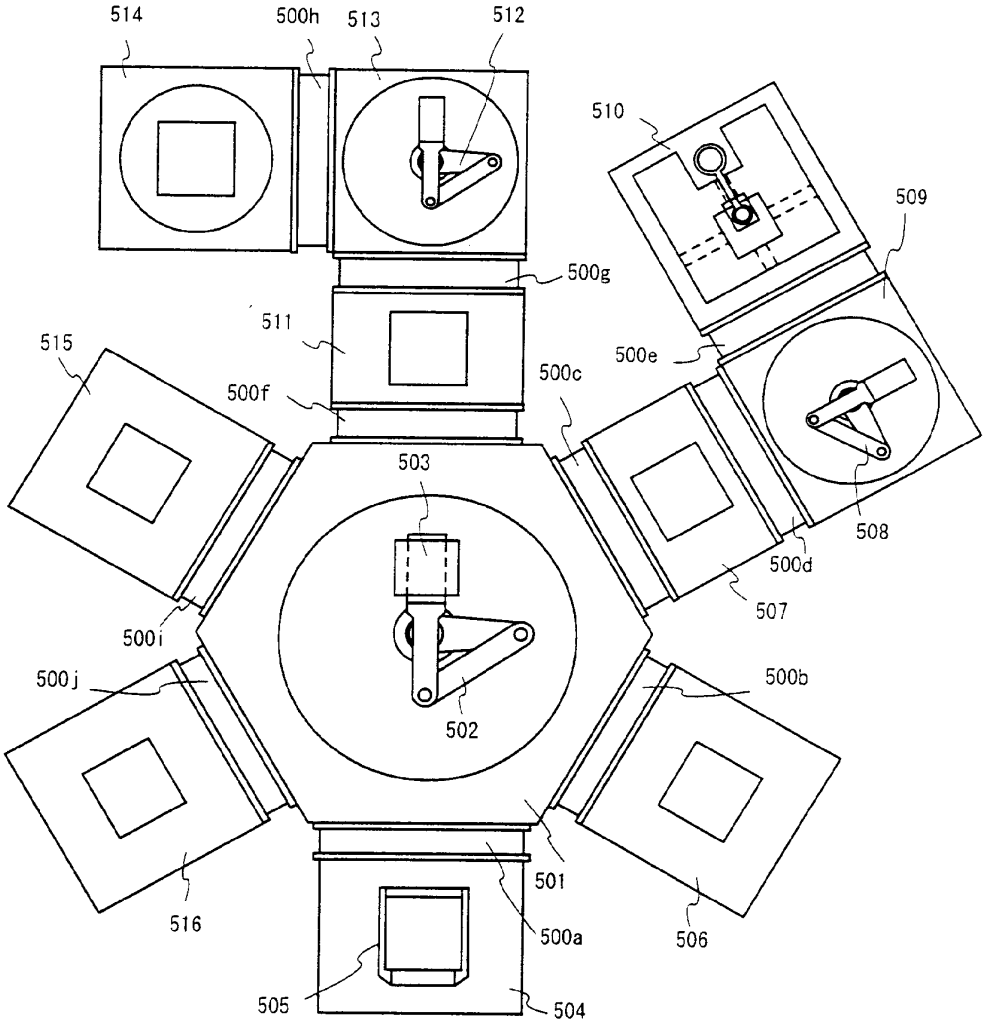

514
500h
513
512
510
509
500g
511
515
500e
500f
500c
503
508
500d
507
500i
500j
500b
502
501
516
500a
506
505
504

FIG. 5

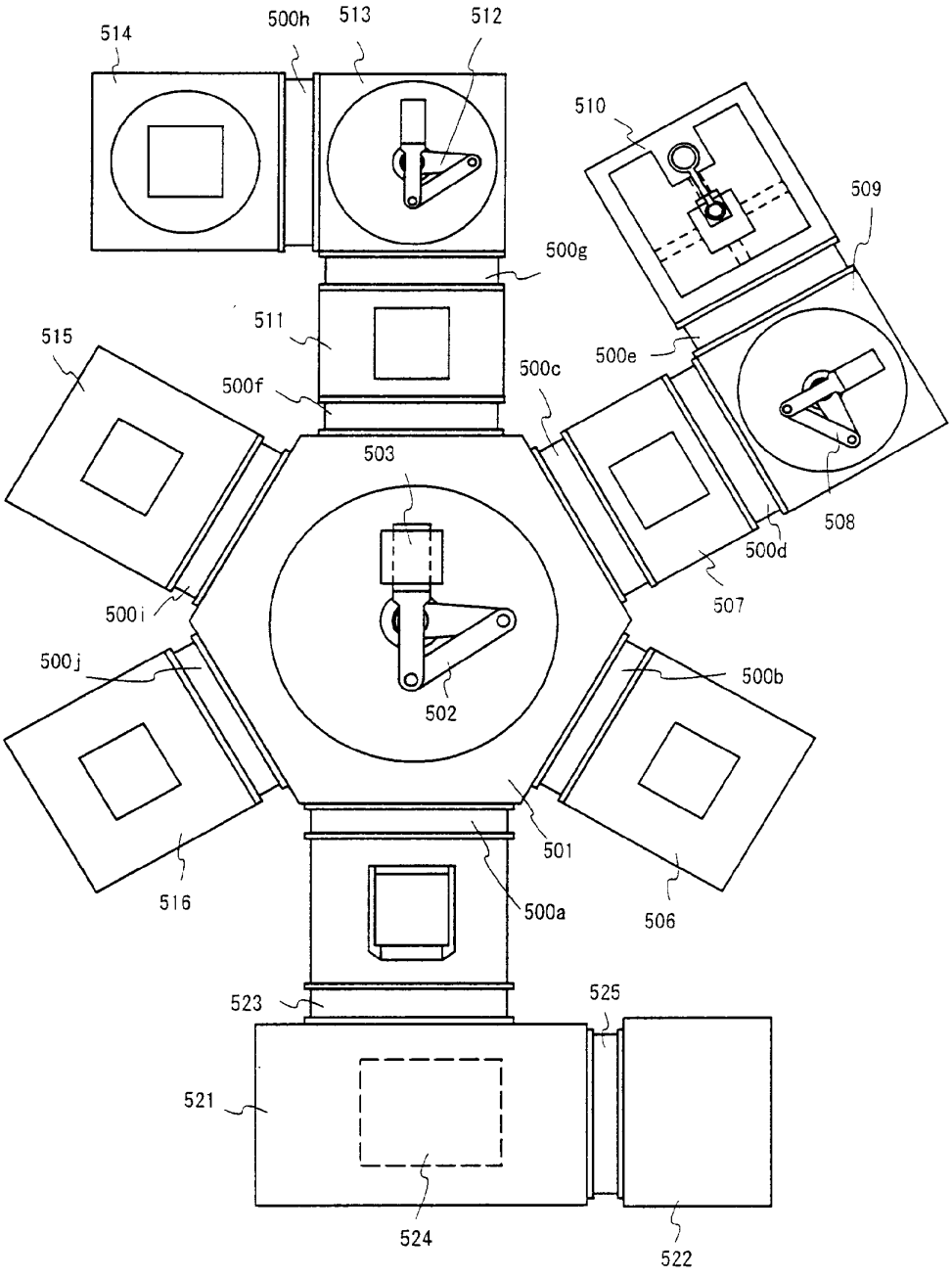

514
500h
513
512
510
509
500g
511
515
500e
500f
500c
503
508
500d
507
500i
500j
500b
502
501
516
500a
506
523
525
521
524
522

FIG. 6

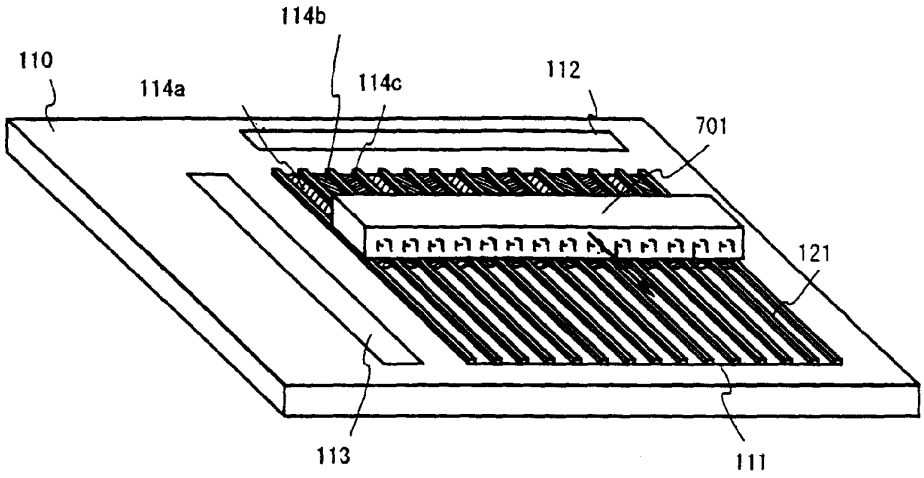


FIG. 7

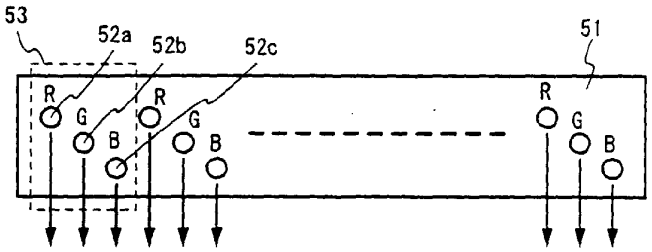


FIG. 8A

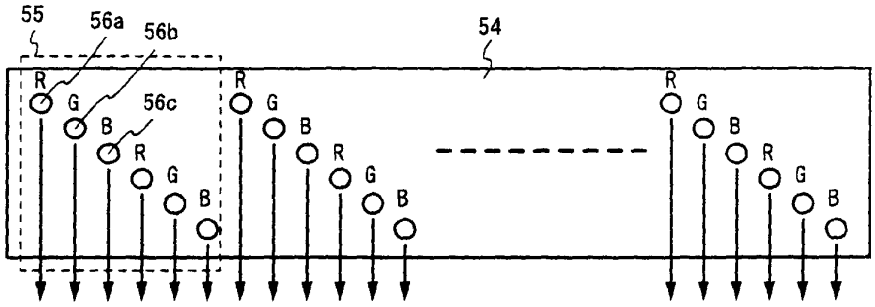


FIG. 8B

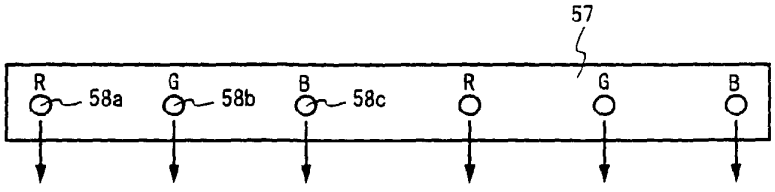


FIG. 8C

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 1 128 436 A1

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
29.08.2001 Bulletin 2001/35

(51) Int Cl.[7]: **H01L 27/00**, H05B 33/02, H01L 51/40

(21) Application number: **01104296.7**

(22) Date of filing: **22.02.2001**

(84) Designated Contracting States:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE TR
Designated Extension States:
AL LT LV MK RO SI

(30) Priority: **22.02.2000 JP 2000045256**

(71) Applicant: **SEL SEMICONDUCTOR ENERGY LABORATORY CO., LTD.**
Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(72) Inventors:
- **Toshimitsu, Konuma**
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)
- **Junya Maruyama**
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(74) Representative: **Grünecker, Kinkeldey,**
Stockmair & Schwanhäusser Anwaltssozietät
Maximilianstrasse 58
80538 München (DE)

(54) Self-light-emitting device and method of manufacturing the same

(57) Failure light emission of an EL element due to failure film formation of an organic EL material in an electrode hole 46 is improved. By forming the organic EL material after embedding an insulator in an electrode hole 46 on a pixel electrode and forming a protective portion 41b, failure film formation in the electrode hole 46 can be prevented. This can prevent concentration of electric current due to a short circuit between a cathode and an anode of the EL element, and can prevent failure light emission of an EL layer.

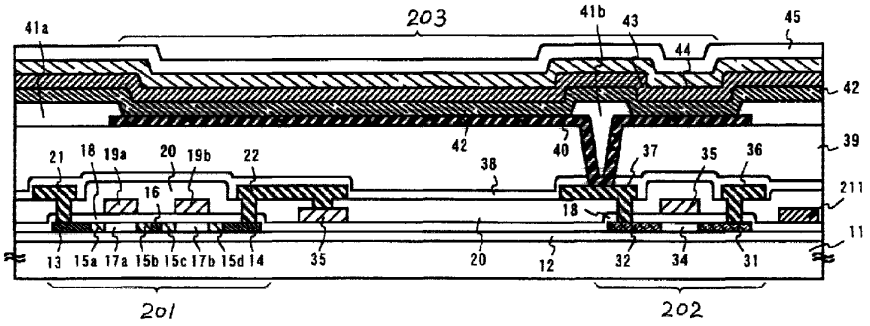


Fig. 2

EP 1 128 436 A1

Printed by Jouve, 75001 PARIS (FR)

Description

BACKGROUND OF THE INVENTION

1. Field of the Invention

[0001] The present invention generally relates to a self-light-emitting device (also referred to as an EL device). In particular, the present invention relates to such a self-light emitting device in which an EL element, which is constructed of an anode, a cathode, and a light emitting organic material (hereinafter, referred to as organic EL material) with which EL (electro luminescence) is obtained, is sandwiched therebetween, is formed on an insulator, and to a method of manufacturing electric equipment having the self-light-emitting device as a display portion (display or display monitor). Note that in this specification, a description will be made of an EL display device as the above stated self-light-emitting device.

2. Description of the Related Art

[0002] In recent years, the development of display devices using an EL element (EL display device) as a self-light-emitting element which utilizes the EL phenomenon of light emitting organic material has been advancing. The EL display device is a self-light-emitting device, and therefore it doesn't need a back light such as that of a liquid crystal display device. In addition, the EL display device has a wide angle of view. As a result, the El display device is looked upon as promising as a display portion of electric equipment.

[0003] EL display devices are classified into two: a passive type (simple matrix type); and an active type (active matrix type), both of which have been actively developed. Particularly, the active matrix EL display device is attracting attention these days. With regard to organic EL materials to be an EL layer which can be said to be the center of an EL element, low molecular weight organic EL materials and high molecular (polymer) organic EL materials have been studied. The low molecular weight organic EL materials are formed by vapor deposition or the like, while the high molecular organic EL materials are formed through a coating using a spinner.

[0004] With respect to both the low molecular weight organic EL material and the high molecular (polymer) organic EL materials, when the surface on which the EL material is formed is not planarized, there is a problem in that the thickness of the formed EL material can not be even.

[0005] Further, in case that the thickness of the EL layer is not even and the EL layer is partly not formed at a step portion, when an EL element formed of a cathode, the EL layer, and an anode is formed, the cathode and the anode are short-circuited.

[0006] When the cathode and the anode are short-circuited, electric current intensively flows between the cathode and the anode, and almost no electric current flows through the EL layer, which makes the EL layer not to emit light.

SUMMARY OF THE INVENTION

[0007] The present invention has been made in view of the above, and an object of the present invention is to improve the structure of an EL element, and to provide a method of manufacturing an EL display device. Moreover, another object of the present invention is to provide an electric equipment having such an EL display device as a display portion.

[0008] In order to attain the above objects, according to the present invention, there is employed a structure such that when an EL layer is formed by an organic EL material for forming the EL layer, an insulator is embedded to planarize an uneven portion on the surface where the organic EL material is to be formed, thereby preventing a short circuit between a cathode and an anode in an EL element from occurring. Figs. 1A to 1C illustrate the structure of cross sections of a pixel portion of an EL display device according to the present invention.

[0009] Fig. 1A illustrates a TFT for controlling electric current, which is electrically connected to a pixel electrode 40. After a base film 12 is formed on a substrate 11, the TFT for controlling electric current is formed so as to have an active layer including a source region 31, a drain region 32, and a channel forming region 34, a gate insulating film 18, a gate electrode 35, a first interlayer insulating film 20, a source wiring 36, and a drain wiring 37. Note that, although the gate electrode 35 is of a single-gate structure in the figure, it may be of a multi-gate structure.

[0010] Then, a first passivation film 38 is formed at the thickness of 10 nm to 1 μm (preferably 200 to 500 nm). As the material, an insulating film containing silicon (especially, a silicon oxynitride film or a silicon nitride film is preferable) can be used.

[0011] A second interlayer insulating film (which may also be referred to as planarizing film) 39 is formed on the first passivation film 38 so as to cover the respective TFTs to planarize a step formed by the TFTs. As the second interlayer insulating film 39, an organic resin film such as a polyimide resin, a polyamide resin, an acrylic resin, or a resin containing a high molecular compound of siloxane is preferable. Of course, an inorganic film may also be used if it can perform

sufficient planarization.

[0012] It is quite important to planarize, by the second interlayer insulating film 39, a step formed by the TFTs. Since an EL layer to be formed later is very thin, existence of a step may cause failure light emission. Therefore, it is preferable that planarization is performed prior to the formation of the pixel electrode in order to make as planar as possible the surface on which the EL layer is formed.

[0013] Further, reference numeral 40 denotes a pixel electrode (corresponding to an anode of the EL element) formed of a transparent conductive film, and is formed so as to be connected to the drain wiring 37 of the TFT for controlling electric current through a contact hole (opening) which is formed in the second interlayer insulating film 39 and the first passivation film 38.

[0014] According to the present invention, as the pixel electrode, a conductive film formed of a compound of indium oxide and tin oxide is used. A small amount of gallium may be doped into the compound. Moreover, a compound of indium oxide and zinc oxide, or a compound of zinc oxide and gallium oxide may be used.

[0015] Note that a concave portion 46, formed after the pixel electrode is formed in the contact hole, is herein referred to as an electrode hole. After the pixel electrode is formed, an EL material is formed to form an EL layer. In this case, however, as shown in Fig. 1B, the thickness of the EL layer in the electrode hole 46 becomes thinner in thin film region 47. Though the extent of the thinning of the film thickness depends on the tapered angle of the electrode hole, among the film forming surfaces, portions which are not vertical with respect to the film forming direction tend to have difficulty in having the formed film and tend to have thinner film thickness.

[0016] However, if the formed EL layer becomes thinner here, and in addition, a disconnected portion is formed, the cathode and the anode in the EL element are short-circuited, and electric current intensively flows through this short-circuited portion. This prevents electric current from flowing through the EL layer, which makes the EL layer not to emit light.

[0017] Accordingly, in order to prevent the short circuit between the cathode and the anode in the EL element, an organic resin film is formed on the pixel electrode so as to sufficiently fill up the electrode hole 46. By patterning the formed organic resin film, a protective portion 41b is formed. In other words, the protective portion 41b is formed so as to fill up the electrode hole. Note that a similar protective portion (not shown) of an organic resin film may also be formed in a space between pixel electrodes so as to fill up the space.

[0018] The organic resin film is formed by spin coating. After exposing the organic resin film to light using a resist mask, etching is performed to form the protective portion 41b as illustrated in Fig. 1C.

[0019] Note that the thickness of a rising portion in cross section of the protective portion 41b from the pixel electrode (a portion illustrated as Da in Fig. 1C) is 0.1 to 1 μm, preferably 0.1 to 0.5 μm, more preferably 0.1 to 0.3 μm.

[0020] Also, the material of the protective portion 41b is preferably an organic resin such as a polyimide resin, a polyamide resin, an acrylic resin, or a resin containing a high molecular compound of siloxane. Further, the viscosity of such an organic resin used is preferably 10^{-3} Pa · s to 10^{-1} Pa · s.

[0021] After the protective portion 41b is formed, as illustrated in Fig. 1C, an EL layer 42 is formed, and further, a cathode 43 is formed. Note that the EL material forming the EL layer 42 may be a low molecular weight organic EL material and may be a high molecular organic EL material.

[0022] By forming the structure illustrated in Fig. 1C as in the above, the problem of the short circuit between the pixel electrode 40 and the cathode 43 caused when the EL layer 42 is disconnected at a step portion in the electrode hole 46 can be solved.

BRIEF DESCRIPTION OF THE DRAWINGS

[0023] In the accompanying drawings:

Figs. 1A to 1C are views showing cross sections of a pixel portion;
Fig. 2 is a view showing a cross section of the pixel portion;
Figs. 3A and 3B are views showing a top surface and a structure of the pixel portion, respectively;
Figs. 4A to 4C are views showing cross sections of a pixel portion;
Figs. 5A to 5C are views showing cross sections of a pixel portion;
Figs. 6A to 6E are views showing a manufacturing process of an EL display device;
Figs. 7A to 7D are views showing a manufacturing process of the EL display device;
Figs. 8A to 8C are views showing a manufacturing process of the EL display device;
Fig. 9 is a view showing an element structure of a sampling circuit;
Fig. 10 is a view showing an appearance of the EL display device;
Fig. 11 is a diagram showing a circuit block structure of the EL display device;
Figs. 12A and 12B are views showing cross sections of an active matrix type EL display device;
Figs. 13A to 13D are views showing cross sections of a pixel portion;

Fig. 14 is a view showing a cross section of a passive type EL display device;
Figs. 15A to 15F are views showing specific examples of electric equipment; and
Figs. 16A and 16B are views showing specific examples of electric equipment

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

Embodiment Mode

[0024] An embodiment mode of the present invention will be explained using Fig. 2 and Figs. 3A and 3B. Shown in Fig. 2 is a cross sectional view of a pixel portion of an EL display according to the present invention. Fig. 3A shows a top view of the pixel portion, and Fig. 3B is a circuit structure of the pixel portion. In practice, a pixel portion (image display portion) is formed in which a plurality of pixels are arranged in matrix. Note that the cross sectional diagram taken along the line A-A' of Fig. 3A corresponds to Fig. 2. Common reference symbols are used in Fig. 2 and Figs. 3A and 3B, and therefore both figures may be suitably referenced. Further, two pixels are shown in the top views of Fig. 3A, however either has the same structure.

[0025] In Fig. 2, reference numeral 11 denotes a substrate, and reference numeral 12 denotes an insulating film which becomes a base (hereafter referred to as base film). A substrate made from glass, glass ceramic, quartz, silicon, ceramic, a metal, or a plastic may be used as the substrate 11.

[0026] Further, although the base film 12 is especially effective for cases in which a substrate containing mobile ions, or a substrate having conductivity is used, it need not be formed for a quartz substrate. An insulating film containing silicon may be formed as the base film 12. Note that, in this specification, the term "insulating film containing silicon" indicates, specifically, an insulating film such as a silicon oxide film, a silicon nitride film, or an silicon oxynitride film (denoted by SiOxNy) containing silicon, oxygen, and nitrogen in predetermined ratios.

[0027] Further, the dispersion of TFT generated heat by giving the base film 12 a heat radiating effect is effective in preventing TFT degradation or EL element degradation. All known materials may be used in giving the heat radiating effect.

[0028] In this case, two TFTs are formed within the pixels. Reference numeral 201 denotes a switching TFT formed by an n-channel TFT, and reference numeral 202 denotes an electric current controlling TFT, formed by a p-channel TFT.

[0029] Note that it is not necessary to place limitations on the present invention such that the switching TFT is an n-channel TFT and the electric current controlling TFT is a p-channel TFT, and that it is possible to form the switching TFT using a p-channel TFT and to form the electric current controlling TFT using an n-channel TFT. It is also possible to use n-channel TFTs for both, and to use p-channel TFTs for both.

[0030] The switching TFT 201 is formed with: an active layer containing a source region 13, a drain region 14, LDD regions 15a to 15d, a high concentration impurity region 16, and channel forming regions 17a and 17b; a gate insulating film 18; gate electrodes 19a and 19b, a first interlayer insulating film 20, a source wiring 21, and a drain wiring 22.

[0031] Further, as shown in Figs. 3A and 3B, this is a double gate structure in which the gate electrodes 19a and 19b are electrically connected by a gate wiring 211 formed by a different material (a material having a lower resistance than the gate electrodes 19a and 19b). Of course, in addition to the double gate structure, a single gate structure or a multi-gate structure (a structure containing an active layer having two or more channel forming regions connected in series) may also be employed. The multi-gate structure is extremely effective in lowering the value of the off current. Therefore, a switching element having a low off current value is realized with the present invention by using a multi-gate structure for the switching element 201.

[0032] Further, the active layer is formed of a semiconductor film containing a crystal structure. Namely, the active layer may be formed using a single crystal semiconductor film, a polycrystal semiconductor film, or a microcrystal semiconductor film. Further, the gate insulating film 18 may be formed of an insulating film containing silicon. In addition, all conductive films may be used for the gate electrodes, the source wiring, and the drain wiring.

[0033] In addition, the LDD regions 15a to 15d in the switching TFT 201 are formed sandwiching the gate insulating film 18, and so as not to overlap the gate electrodes 19a and 19b. Such structure is extremely effective in reducing the off current value.

[0034] Note that the formation of an offset region (a region having the semiconductor layer with the same composition as the channel forming regions, and to which a gate voltage is not applied) between the channel forming regions and the LDD regions is additionally preferable for reducing the off current value. Further, when a multi-gate structure having two or more gate electrodes is used, a high concentration impurity region formed between the channel forming regions is effective in lowering the value of the off current.

[0035] Next, the current controlling TFT 202 is formed with having: an active layer containing a source region 31, a drain region 32, and a channel forming region 34; the gate insulating film 18; a gate electrode 35; the first interlayer insulating film 20; a source wiring 36; and a drain wiring 37. Note that the gate electrode 35 has a single gate structure, however a multi-gate structure may also be used.

[0036] As shown in Fig. 2, the drain of the switching TFT 201 is electrically connected to the gate of the current controlling TFT 202. Specifically, the gate electrode 35 of the current controlling TFT 202 is electrically connected to the drain region 14 of the switching TFT 201 through the drain wiring (also referred to as connection wiring) 22. Further, the source wiring 36 is connected to an electric power supply line 212.

[0037] The current controlling TFT 202 is an element for controlling the amount of current injected into an EL element 203. However, if deterioration of the EL element is considered, it is not preferable that too much current is allowed to flow. It is therefore preferable to design the channel length (L) to be long so that an excess current does not flow in the current controlling TFT 202. The amount of current is preferably from 0.5 to 2μA (more preferably between 1 and 1.5μA) per pixel.

[0038] Also, the length (width) of the LDD regions formed in the switching TFT 201 may be set within a range of from 0.5 to 3.5μm, typically between 2.0 and 2.5μm.

[0039] Further, as illustrated in Fig. 3, in a region denoted as 50, through the gate insulating film, the wiring 36 that becomes the gate electrode 35 of the TFT 202 for controlling electric current overlaps a semiconductor film 51 which is formed simultaneously with the active layer. At this time, in the region 50, a capacitor is formed and functions as a storage capacitor 50 for storing voltage applied to the gate electrode 35 of the TFT 202 for controlling electric current. In addition, a capacitor formed of the wiring 36 that becomes the gate electrode, a first interlayer insulating film (not shown), and a power supply line 212 also forms the storage capacitor 50. Note that a drain of the TFT for controlling electric current is connected to the power supply line 212, and constant voltage is always applied to the drain.

[0040] Further, seen from the viewpoint of increasing the amount of current which is allowed to flow, it is effective to make the film thickness of the active layer (especially the channel forming region) of the current controlling TFT 202 thick (preferably from 50 to 100 nm, more preferably between 60 and 80 nm). Conversely, seen from the point of view of making the off current value smaller for the switching TFT 201, it is also effective to make the film thickness of the active layer (especially the channel forming region) thin (preferably from 20 to 50 nm, more preferably between 25 and 40 nm).

[0041] Next, reference numeral 38 denotes a first passivation film, and its film thickness may be set from 10 nm to 1 μm (preferably between 200 and 500 nm). An insulating film containing silicon (in particular, it is preferable to use an silicon oxynitride film or a silicon nitride film) can be used as the passivation film material.

[0042] A second interlayer insulating film (this may also be referred to as a planarizing film) 39 is formed on the first passivation film 38 so as to cover each TFT, and performs the planarizing of steps of the TFTs. An organic resin film is preferable as the second interlayer insulating film 39, and resin materials such as an acrylic resin, and resins containing a high molecular compound of polyimide, polyamide, and siloxane may be used. An inorganic film may also be used, of course, provided that it is capable of sufficient planarizing.

[0043] It is extremely important to planarize the steps of TFTs by the second interlayer insulating film 39. EL layers later formed are extremely thin, and therefore there are cases in which light emission defects are caused by the existence of the steps. Consequently, it is preferable to perform planarization before forming the pixel electrodes so as to form the EL layers as planar as possible.

[0044] Further, reference numeral 40 denotes a pixel electrode (corresponding to an anode of the EL element) made from a transparent conductive film. After opening a contact hole in the second interlayer insulating film 39 and in the first passivation film 38, the pixel electrode 40 is formed so as to be connected to the drain wiring 37 of the current controlling TFT 202 in the formed opening portion.

[0045] A conductive thin film made of a chemical compound of indium oxide and tin oxide is used as the pixel electrode in this embodiment mode. Further, a small amount of gallium may also be added. In addition, a chemical compound of indium oxide and zinc oxide can also be used.

[0046] Then, an organic resin film of an organic resin is formed on the pixel electrode by spin coating so as to fill up the electrode hole 46 on the pixel electrode. Note that, in this case, an acrylic resin is used as the organic resin film.

[0047] Further, although the organic resin film of an organic resin is formed on the pixel electrode, an insulator, which can be an insulating film may also be used. Note that, as the insulator, an inorganic material containing silicon such as silicon oxide, oxidized silicon nitride, or silicon nitride may be used.

[0048] After the acrylic resin is formed on the whole surface, exposure to light is performed using a resist mask and etching is performed to form the protective portions 41a and 41b illustrated in Fig. 2.

[0049] The protective portion 41b is the portion of the pixel electrode where the electrode hole is filled up with the acrylic resin. The protective portion 41a is provided in a space between pixel electrodes. A space between pixel electrodes is a portion where no pixel electrode is formed in a pixel portion having a plurality of pixel electrodes formed therein, for example, a portion between pixel electrodes, etc. When etching is performed to form a protective portion, if the material forming the second interlayer insulating film between the pixel electrodes is the material forming the protective portion, there is a possibility in that the second interlayer insulating film is also simultaneously etched.

[0050] Note that the thickness of a rising portion in cross section of the protective portions 41a and 41b from the pixel electrode is 0.1 to 1 μm, preferably 0.1 to 0.5 μm, more preferably 0.1 to 0.3 μm.

[0051] Though a case where an acrylic resin is used as the organic resin for forming the protective portions 41a and 41b is described, the material may be a polyimide resin, a polyamide resin, or a resin containing a high molecular compound of siloxane such as CYCLOTEN. Further, the viscosity of such an organic resin used is preferably 10^{-3} Pa · s to 10^{-1} Pa · s.

[0052] By providing the protective portion 41b and filling up the electrode hole with the organic resin as in the above, the problem of the short circuit between the pixel electrode 40 (anode) and the cathode 43 caused when the EL layer 42 is disconnected, can be solved.

[0053] A method of manufacturing the protective portion 41b is now described with reference to Fig. 4.

[0054] Fig. 4A illustrates the protective portion 41b formed by patterning after the organic resin film is formed on the pixel electrode 40. Da denotes the thickness of the organic resin film. When the thickness is thin, a cavity develops in an upper portion as in the protective portion 41b of Fig. 4A.

[0055] The extent of the cavity depends on the tapered angle of the electrode hole and on the thickness of the organic resin film. If the thickness of the organic resin film is extremely thin, there is a fear that the electrode hole can not be filled up completely and the organic resin film can not act as the protective portion.

[0056] On the other hand, if the thickness of the organic resin film is thick, a step is again generated.

[0057] As a method of solving this problem, as illustrated in Fig. 4B, after the organic resin film is formed at the thickness of Db, the protective portion 41b is formed by patterning, and further, the whole surface is etched to make the thickness to be Da. This makes it possible to form the protective portion 41b with a planarized upper portion and an appropriate thickness as illustrated in Fig. 4C.

[0058] However, if the method illustrated in Fig. 4B is used, the pixel electrode exposed to the surface when the protective portion 41b is etched after being patterned is also subject to the etching. Fig. 5 illustrates a manufacturing method taking this point into consideration.

[0059] First, as illustrated in Fig. 5A, the organic resin film is formed at the thickness of Db on the pixel electrode 40. Then, the whole surface is etched to make the thickness to be Da. Further, patterning is performed to form the protective portion 41b.

[0060] With regard to the protective portion 41b, it may be formed by patterning after the organic resin is formed as illustrated in Fig. 4A, or, it may be formed by etching the whole surface after patterning as illustrated in Fig. 4B. Further, as illustrated in Fig. 5A, it may be formed by patterning after the whole surface is etched.

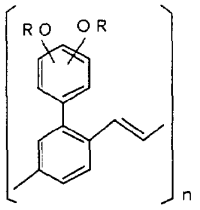
[0061] As illustrated in Fig. 5, the outer diameter Rb of the protective portion 41b and the inner diameter Ra of the electrode hole 46 have a relationship of Rb > Ra. Note that the protective portion 41b described with reference to Fig. 4 or Fig. 5 has the structure illustrated in Fig. 5C. More specifically, a solid line of 41a in Fig. 5C represents the outer diameter of the protective portion 41b, while a broken line of 41b in Fig. 5C represents the inner diameter of the electrode hole 46.

[0062] Then, the EL layer 42 is formed. Here, a method of forming the EL layer by spin coating a high molecular organic EL material dissolved in a solvent is described. Note that, though a description will be made of a case, as an example, where a high molecular organic EL material is used as the organic EL material for forming the EL layer, a low molecular weight organic EL material may also be used.

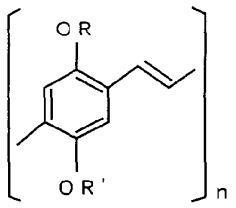
[0063] Polyparaphenylene vinylene (PPV), polyvinyl carbazole (PVK) and polyfluorane can be given as typical high molecular organic materials.

[0064] Note that there are various types of PPV organic EL materials, and for example, chemical formulae such as those below have been reported. (See H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes," Euro Display, Proceedings, 1999, pp. 33-7.)

[Chem 1]

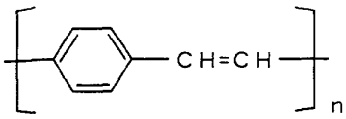


[Chem 2]

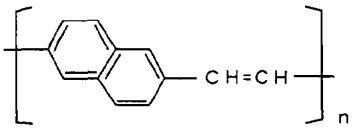


[0065] Further, polyphenylvinyl having the chemical formula disclosed in Japanese Patent Application Laid-open No. Hei 10-92576 can also be used. The chemical formula is as below.

[Chem 3]

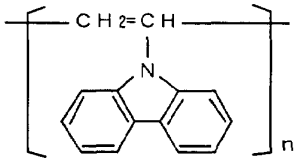


[Chem 4]



[0066] In addition, as a PVK organic EL material, the following chemical formula is included therein.

[Chem 5]



[0067] The polymer organic EL material can be coated while dissolving the material in a solvent as a polymer. Also, the material can be polymerized after dissolving it in a solvent as a monomer and coating it. When coating it in a monomer state, first a polymer precursor is formed. By heating it within a vacuum, polymerization is effected to form a polymer.

[0068] As specific EL layers, cyano-paraphenylene vinylene may be used in a red color light emitting EL layer; polyphenylene vinylene may be used in a green light emitting EL layer; and polyphenylene vinylene or polyalkylphenylene may be used in a blue color light emitting EL layer. The film thickness may be set from 30 to 150 nm (preferably between 40 and 100 nm).

[0069] Note that the above materials are exemplified as one example of organic EL materials which can be used as EL layers in the present invention, thereby being not necessary to limit the materials to those.

[0070] Also, toluene, xylene, chlorobenzene, dichlorobenzene, anisole, chloroform, dichloromethane, ã-butylractone, butyl-cell-solve, cychlohexane, NMP (N-methyl-2-piloridon), cyclohexanone, dioxane, and THF (tetrahydrofluorane) are exemplified as typical solvents.

[0071] In addition, the EL layer 42 easily degrades in accordance with the existence of hydrogen or oxygen when forming the EL layer 42, and therefore it is preferable to perform film formation within an inert gas, such as nitrogen or argon, as an atmosphere having little hydrogen and oxygen for the process environment. In addition, an environment of the solvent used in the coating process may also be used as the process atmosphere because the vaporization speed of the solvent, in which an EL material is dissolved, may be controlled. Note that, in order to perform film formation of the light emitting layers within this atmosphere, it is preferable that the thin film formation apparatus of Fig. 1 may be placed in a clean booth filled with an inert gas.

[0072] Also, with regard to the method of forming the EL layer, other than spin coating described here, ink jetting or the like may be employed.

[0073] Further, in case that the EL layer is formed of a low molecular weight organic EL material, vapor deposition or the like may also be used. Note that, as the low molecular weight organic EL material, known materials can be used.

[0074] After forming the EL layer 42 as above, a cathode 43 made from a shading conductive film, a protective electrode 44, and a second passivation film 45 are formed next. A conductive film made from MgAg is used as the cathode 43 in this embodiment mode, and a conductive film made from aluminum is used as the protective electrode 44. Further, a silicon nitride film having a thickness of 10 nm to 1 μm (preferably between 200 and 500 nm) is used as a second passivation film 45.

[0075] Note that the EL layers are weak with respect to heat as stated above, and therefore it is preferable to perform film formation of the cathode 43 and the second passivation film 45 at as low a temperature as possible (preferably in the range from room temperature to 120°C). It can therefore be said that plasma CVD, vacuum evaporation, and solution coating (spin coating) are desirable as the film deposition methods.

[0076] That which is thus completed is referred to as an active matrix substrate, and an opposing substrate (not shown) is formed opposing the active matrix substrate. A glass substrate is used as the opposing substrate in this embodiment mode. Note that a substrate made from plastic or ceramic may also be used as the opposing substrate.

[0077] Further, the active matrix substrate and the opposing substrate are joined by a sealant (not shown), with the result that an airtight space (not shown) is formed. The airtight space is filled with argon in this embodiment mode. It is also possible, of course, to arrange a drying agent such as barium oxide and to arrange an oxidation preventing agent within the airtight space.

[0078] Further, by forming a film of a metal having a low work function and liable to be oxidized or of a hygroscopic metal on the surface of an opposing substrate on the side of the active matrix substrate, a function to capture oxygen or a hygroscopic function can be provided. Note that, if such a metal film is formed after unevenness is produced on the opposing substrate with an organic resin such as a photosensitive acrylic resin, the surface area can be made larger, which is more effective.

EMBODIMENTS

(Embodiment 1)

[0079] A method of simultaneously forming a TFT in a pixel portion and a TFT in a driver circuit portion provided on the periphery thereof in accordance with an embodiment of the present invention is now described with reference to Figs. 6 to 8. Note that, for the sake of simplicity of the description, with regard to the driver circuit, only a CMOS circuit as a basic circuit is illustrated.

[0080] First, as illustrated in Fig. 6A, a base film 301 is formed at the thickness of 300 nm on a glass substrate 300. In this embodiment, as the base film 301, a silicon oxynitride film at the thickness of 100 nm and a silicon oxynitride film at the thickness of 200 nm laminated thereto are used. In this case, the concentration of nitrogen of the film in contact with the glass substrate 300 is preferably 10 to 25 wt%. Of course, an element may be directly formed on a

quartz substrate without providing such a base film.

[0081] Then, an amorphous silicon film (not shown) at the thickness of 50 nm is formed on the base film 301 by a known film formation method. Note that the film formed here is not limited to the amorphous silicon film, and may be a semiconductor film containing amorphous structure (including a microcrystal semiconductor film). Further, the film may be a compound semiconductor film containing amorphous structure such as an amorphous silicon germanium film. The film thickness is preferably 20 to 100 nm.

[0082] Then, the amorphous silicon film is crystallized by a known technology to form a crystal silicon film (also referred to as a polycrystal silicon film or a polysilicon film) 302. The known crystallizing technology includes thermal crystallization using an electric furnace, laser anneal crystallization using a laser light, and lamp anneal crystallization using infrared light. In this embodiment, an excimer laser light using XeCl gas is used to perform the crystallization.

[0083] Note that, though a pulse oscillation type excimer laser light processed to be linear is used in this embodiment, the laser light may be rectangular. Also, a continuous oscillation type argon laser light or a continuous oscillation type excimer laser light may be used.

[0084] Though a crystal silicon film is used as the active layer of the TFTs in this embodiment, an amorphous silicon film may also be used. Further, it may be that the active layer switching TFT, which is required to lower the off current is formed of an amorphous silicon film, and the active layer of the electric current controlling TFT is formed of a crystal silicon film. Since the carrier mobility of the amorphous silicon film is low, it conducts less electric current, and thus, off current is less liable to flow. Therefore, both the advantage of an amorphous silicon film, which conducts less electric current and the advantage of a crystal silicon film, which conducts more electric current, can be utilized.

[0085] Then, as illustrated in Fig. 6B, a protective film 303 of a silicon oxide film is formed at the thickness of 130 nm on the crystal silicon film 302. The thickness of the protective film 303 may be selected from the range of 100 to 200 nm (preferably 130 to 170 nm). The protective film 303 may be any insulating film containing silicon. The protective film 303 is provided so that, when impurity is doped, the crystal silicon film is not directly exposed to plasma and that precise concentration control is made possible.

[0086] Then, resist masks 304a and 304b are formed on the protective film 303, and an impurity element imparting n-type (hereinafter referred to as n-type impurity element) is doped through the protective film 303. As the n-type impurity element, representatively, an element belonging to a group 15, typically phosphorus or arsenic can be used. Note that, in this embodiment, phosphorus is doped at the concentration of 1 x 1018 atoms/cm^3 by plasma (ion) doping using plasma excited phosphine (PH_3) without mass separation. Of course, ion implantation with mass separation may also be used.

[0087] The dose is controlled such that the n-type impurity element is contained in an n-type impurity region 305 formed in this process at the concentration of 2 x 10^{16} to 5 x 10^{19} atoms/cm^3 (representatively 5 x 10^{17} to 5 x 10^{18} atoms/cm^3).

[0088] Then, as illustrated in Fig. 6C, the protective film 303 and the resist masks 304a and 304b are removed, and the added element belonging to the group 15 is activated. The activation may be performed using a known technology. In this embodiment, the activation is performed by irradiation of an excimer laser light. Of course, the excimer laser light may be a pulse oscillation type and may be a continuous oscillation type, and the method for activation is not limited to the excimer laser light. However, since the object is to activate the doped impurity element, energy irradiation to an extent with which the crystal silicon film is not melted is preferable. Note that the laser light may be irradiated without removing the protective film 303.

[0089] Note that the activation of the impurity element with the laser light may be made together with activation with heat treatment. In case that such activation with heat treatment is performed, taking into consideration the heat resistance of the substrate, heat treatment is performed preferably at about 450 to 550°C.

[0090] This process clarifies an end portion of the n-type impurity region 305, that is, a boundary portion (junction portion) between the n-type impurity region 305 and the region around the n-type impurity region 305 with no n-type impurity element doped therein. This means that, at a time when the TFT is completed later, an LDD region and a channel forming region can form a very satisfactory junction portion.

[0091] Then, as illustrated in Fig. 6D, unnecessary portions of the crystal silicon film are removed to form island-like semiconductor films (hereinafter referred to as active layers) 306 to 309.

[0092] Then, as illustrated in Fig. 6E, a gate insulating film 310 is formed so as to cover the active layers 306 to 309. As the gate insulating film 310, an insulating film containing silicon at the thickness of 10 to 200 nm, preferably 50 to 150 nm is used. The film 310 may be of a single layer structure or may be of a laminated structure. In this embodiment, a silicon oxynitride film at the thickness of 110 nm is used.

[0093] Then, a conductive film at the thickness of 200 to 400 nm is formed and patterned to form gate electrodes 311 to 315. The end portions of the gate electrodes 311 to 315 may be tapered. Note that, in this embodiment, the material of the gate electrodes are different from the material of wirings for leading which are electrically connected to the gate electrodes (hereinafter referred to as gate wirings). More specifically, the material of the gate wirings has lower resistance than that of the material of the gate electrodes. This is for the purpose of using a material which can be

precisely processed for the gate electrodes and of using a material which may not be precisely processed but which has low resistance for the gate wirings. Of course, the gate electrodes and the gate wirings may be formed of the same material.

[0094] Though the gate electrodes may be formed of a single layer conductive film, they are preferably formed of a laminated film having, for example, two layers or three layers as necessity requires. The material of the gate electrode may be any known conductive film. However, preferably, as described in the above, the material can be precisely processed. More specifically, it is preferable that the material can be patterned to have the line width of 2 μm or less.

[0095] Representatively, a film formed of an element selected from the group consisting of tantalum (Ta), titanium (Ti), molybdenum (Mo), tungsten (W), chromium (Cr), and silicon (Si), a film formed of a nitride of the above elements (representatively, a tantalum nitride film, a tungsten nitride film, or a titanium nitride film), a film formed of an alloy of the above elements (representatively Mo-W alloy or Mo-Ta alloy), or a film formed of a silicide of the above elements (representatively, a tungsten silicide film or a titanium silicide film) can be used. Of course, these films may be used as a single layer or may be laminated.

[0096] In this embodiment, a laminated film formed of a tantalum nitride (TaN) film at the thickness of 50 nm and a tantalum (Ta) film at the thickness of 350 nm is used. This film may be formed by sputtering. By adding as a sputtering gas an inert gas such as Xe or Ne, peeling off of the film due to stress can be prevented.

[0097] Further, in this case, the gate electrode 312 is formed so as to overlap a part of the n-type impurity region 305 while sandwiching the gate insulating film 310. This overlap portion becomes an LDD region later, which overlaps the gate electrode. Note that, though the gate electrodes 313 and 314 appear to be separated in section, they are actually electrically connected to each other.

[0098] Then, as illustrated in Fig. 7A, an n-type impurity element (phosphorus in this embodiment) is doped in a self-aligning manner using as masks the gate electrodes 311 to 315. Control is made so that the concentration of phosphorus doped in impurity regions 316 to 323 formed in this way is 1/2 to 1/10 (representatively, 1/3 to 1/4) of that in the n-type impurity region 305. More specifically, it is preferable that the concentration is 1×10^{16} to 5×10^{18} atoms/cm^3 (typically, 3×10^{17} to 3×10^{18} atoms/cm^3).

[0099] Then, as illustrated in Fig. 7B, resist masks 324a to 324d are formed so as to cover the gate electrodes and the like, and an n-type impurity element (phosphorus in this embodiment) is doped to form impurity regions 325 to 329 containing phosphorus at a high concentration. In this case, too, ion doping using phosphine (PH_3) is performed. Control is made so that the concentration of phosphorus in this region is 1×10^{20} to 1×10^{21} atoms/cm^3 (representatively, 2×10^{20} to 5×10^{21} atoms/cm^3).

[0100] This process forms a source region and a drain region of an n-channel type TFT. However, with regard to the switching TFT, part of the n-type impurity regions 319 to 321 formed in the process of Fig. 7A are left. The left regions correspond to LDD regions 15a to 15d, respectively, of the switching TFT 201 of in Fig. 2.

[0101] Then, as illustrated in Fig. 7C, the resist masks 324a to 324d are removed, and a resist mask 332 is newly formed. Then, a p-type impurity element (boron in this embodiment) is doped to form impurity regions 333 to 336 containing boron at a high concentration. In this case, boron is doped by ion doping using diborane (B_2H_6) such that the concentration is 3×10^{20} to 3 x 1021 atoms/cm^3 (representatively, 5×10^{20} to 1×10^{21} atoms/cm^3).

[0102] Note that, while phosphorus has already been doped in the impurity regions 333 to 336 at the concentration of 1×10^{20} to 1×10^{21} atoms/cm^3, the concentration of boron doped in this process is at least three times as much as that of phosphorus. Therefore, the n-type impurity regions previously formed are completely reversed to a p-type, and function as p-type impurity regions.

[0103] Then, after the resist mask 332 is removed, the n-type and p-type impurity elements doped at their respective concentrations are activated. The activation can be performed by furnace annealing, laser annealing, or lamp annealing. In this embodiment, heat treatment in a nitrogen atmosphere at 550° C for four hours is performed in an electric furnace.

[0104] In this case, it is important to remove oxygen in the atmosphere as much as possible. This is because, if any oxygen exists at all, the surfaces of the exposed gate electrodes are oxidized, which leads to increased resistance and difficulty in forming an ohmic contact later. Accordingly, it is desirable that the concentration of oxygen in the processing atmosphere in the above activation process is 1 ppm or less, preferably 0.1 ppm or less.

[0105] After the activation process is completed, a gate wiring 337 at the thickness of 300 nm is formed as illustrated in Fig. 7D. The material of the gate wiring 337 may be a metal containing as a main component aluminum (Al) or copper (Cu) (the percentage is 50 to 100% as a composition). With regard to the arrangement, as illustrated in Fig. 3, the gate wiring is formed such that the gate wiring 211 is electrically connected to gate electrodes 19a and 19b (313 and 314 of Fig. 6E) of the switching TFT.

[0106] With taking such a structure, the wiring resistance of the gate wiring can be made extremely small, and therefore, an image display region (pixel portion) having a large area can be formed. More specifically, the pixel structure according to the present example is extremely effective in realizing an EL display device having a screen the diagonal size of which is 10 inches or larger (and further, 30 inches or larger).

[0107] Then, as illustrated in Fig. 8A, a first interlayer insulating film 338 is formed. As the first interlayer insulating film 338, a single layer insulating film containing silicon, or a laminated film which is a combination of two or more kinds of insulating films containing silicon may be used. Also, the film thickness may be 400 nm to 1.5 μm. In this embodiment, it may employ a structure in which a silicon oxide film at the thickness of 800 nm is laminated on a silicon oxynitride film at the thickness of 200 nm.

[0108] Further, heat treatment at 300 to 450°C for one to twelve hours is performed in an atmosphere containing 3 to 100% of hydrogen to perform hydrogenation. This process is a process where dangling bonds in the semiconductor film are terminated by hydrogen using thermally excited hydrogen. The hydrogenation may also be performed by plasma hydrogenation (using plasma hydrogen).

[0109] Note that the hydrogenation may be performed during the first interlayer insulating film 338 is formed. More specifically, the above hydrogenation may be performed after the silicon oxynitride film at the thickness of 200 nm is formed and before the silicon oxide film at the thickness of 800 nm is formed.

[0110] Then, contact holes are formed in the first interlayer insulating film 338 and the gate insulating film 310, and source wirings 339 to 342 and drain wirings 343 to 345 are formed. Note that, in this embodiment, the electrodes are laminated films having a three-layer structure formed by continuously forming by sputtering a Ti film at the thickness of 100 nm, an aluminum film containing Ti at the thickness of 300 nm, and a Ti film at the thickness of 150 nm. Of course, other conductive films may also be used.

[0111] Subsequently, a first passivation film 346 at the thickness of 50 to 500 nm (representatively 200 to 300 nm) is formed. In this embodiment, a silicon oxynitride film at the thickness of 300 nm is used as the first passivation film 346. Instead of the silicon oxynitride film, a silicon nitride film may be used.

[0112] Note that plasma treatment using gas containing hydrogen such as H_2 or NH_3 prior to the formation of the silicon oxynitride film is effective. By supplying hydrogen excited by this pretreatment to the first interlayer insulating film 338, and by performing heat treatment, the quality of the first passivation film 346 is improved. At the same time, hydrogen doped in the first interlayer insulating film 338 is diffused to the lower layer side. Therefore, the active layers can be hydrogenated effectively.

[0113] Then, as illustrated in Fig. 8B, a second interlayer insulating film 347 of an organic resin is formed. As the organic resin, a polyimide resin, a polyamide resin, an acrylic resin, or a resin containing a high molecular compound of siloxane can be used. In particular, since the second interlayer insulating film 347 is more expected to perform the planarization, an acrylic resin which is excellent in planarity is preferable. In this embodiment, an acrylic resin film is formed at a thickness with which a step formed by the TFTs is sufficiently planarized. Preferably, the thickness of the acrylic resin is 1 to 5 μm (more preferably, 2 to 4 μm).

[0114] Then, a contact hole is formed in the second interlayer insulating film 347 and the first passivation film 346, and a pixel electrode 348 electrically connected to the drain wiring 345 is formed. In this embodiment, an indium tin oxide (ITO) film is formed at the thickness of 110 nm, and is patterned to form the pixel electrode. A transparent conductive film of indium oxide with 2 to 20% of zinc oxide (ZnO) mixed therewith may also be used. This pixel electrode becomes the anode of the EL element.

[0115] Then, as illustrated in Fig. 8C, protective portions 349a and 349b of an organic resin are formed. The protective portions 349a and 349b may be formed by patterning a resin film such as an acrylic resin film or a polyimide film at the thickness of 1 to 2 μm. As illustrated in Fig. 3, the protective portions 349a and 349b are formed in a space between pixel electrodes and in an electrode hole, respectively.

[0116] Then, an EL layer 350 is formed. More specifically, an organic EL material which becomes the EL layer 350 is dissolved in a solvent such as chloroform, dichloromethane, xylene, toluene, tetrahydrofuran, or N-methylpyrrolidone, and is applied by spin coating. Then, the solvent is volatilized by heat treatment. In this way, the film of the organic EL material (EL layer) is formed.

[0117] In this embodiment, after the EL material is formed at the thickness of 80 nm, heat treatment for one to five minutes is performed using a hot plate at 80 to 150ºC to volatize the solvent.

[0118] Note that a known material can be used as the EL material. Taking into consideration the driving voltage, such a known material is preferably an organic material. Note that, since the EL layer 350 is of a single layer structure in this embodiment, it may be of a laminated structure having an electron injection layer, an electron transmission layer, a hole transmission layer, a hole injection layer, an electron block layer, or a hole element layer as necessity requires. Further, though, in this embodiment, a case where an MgAg electrode is used as a cathode 351 of the EL element is described, other known materials may also be used.

[0119] After the EL layer 350 is formed, the cathode (MgAg electrode) 351 is formed by vacuum evaporation. Note that the thickness of the EL layer 350 is preferably 80 to 200 nm (typically 100 to 120 nm) and the thickness of the cathode 351 is preferably 180 to 300 nm (typically 200 to 250 nm).

[0120] Further, a protective electrode 352 is provided on the cathode 351. As the protective electrode 352, a conductive film containing as the main component aluminum may be used. The protective electrode 352 may be formed by vacuum evaporation using a mask.

[0121] Finally, a second passivation film 353 of a silicon nitride film is formed at the thickness of 300 nm. Though, actually, the protective electrode 352 protects the EL layer from moisture and the like, by further forming the second passivation film 353, the reliability of the EL element can be further enhanced.

[0122] In case of the present embodiment, as illustrated in Fig. 8C, the active layer of the n-channel type TFT 205 includes a source region 355, a drain region 356, an LDD region 357, and a channel forming region 358. The LDD region 357 overlaps the gate electrode 312 while sandwiching the gate insulating film 310.

[0123] The LDD region is formed only on the side of the drain region, so as not to lower the operation speed. Further, with regard to the n-channel type TFT 205, it is not necessary to consider the off current, and the operation speed is more important. Therefore, it is desirable that the LDD region 357 is completely covered with the gate electrode to make the resistance component as small as possible. In other words, it is preferable that there is no so-called offset.

[0124] In this way, the active matrix substrate having the structure as illustrated in Fig. 8C is completed.

[0125] By the way, by arranging most appropriately structured TFTs not only in the pixel portion but also in the driver circuit portion, an active matrix substrate according to the present embodiment is extremely reliable, and its operation characteristics can be improved.

[0126] First, a TFT structured to decrease hot carrier injection so as not to lower the operation speed as much as possible is used as the n-channel type TFT 205 of the CMOS circuit for forming the driver circuit portion. Note that the driver circuit as referred herein includes a shift register, a buffer, a level shifter, and a sampling circuit (a sample-and-hold circuit). In case digital driving is performed, a signal conversion circuit such as a D/A converter may be included.

[0127] Note that, among driver circuits, a sampling circuit is different a little from other circuits and a large amount of current bidirectionally flows through the channel forming region. In other words, the function of the source region and the function of the drain region are reversed. Further, it is necessary to suppress the off current value as much as possible. In this sense, it is desirable that a TFT having a function which is between the function of the switching TFT and the function of the electric current controlling TFT, is arranged.

[0128] Accordingly, it is desirable that, as the n-channel type TFT forming the sampling circuit, a TFT structured as illustrated in Fig. 9 is arranged. As illustrated in Fig. 9, parts of LDD regions 901a and 901b overlap a gate electrode 903 through a gate insulating film 902. The purpose is to take measures against deterioration due to hot carrier injection caused when electric current flows therethrough. The case of the sampling circuit is different from other cases in that such LDD regions are provided on both sides so as to sandwich a channel forming region 904.

[0129] Note that, actually, after the process illustrated in Fig. 8C is completed, the device is preferably packaged (enclosed) in a covering material such as airtight glass, quartz, or plastic so that the device is not exposed to the outside air. In this case, a hygroscopic agent such as barium oxide or an antioxidant is preferably disposed inside the covering material.

[0130] Further, after the airtightness is enhanced by processing such as the packaging, a connector (flexible print circuit: FPC) for connecting terminals led from elements or circuits formed on the substrate to external signal terminals is attached to complete the device as a product. The device in this state, i.e., in a shippable state is herein referred to as an EL display device (or EL module).

[0131] Here, the structure of the active matrix EL display device according to the present embodiment is described with reference to a perspective view of Fig. 10. The active matrix EL display device according to the present embodiment includes a pixel portion 602, a gate side driver circuit 603, and a source side driver circuit 604 formed on a glass substrate 601. A switching TFT 605 in the pixel portion is an n-channel type TFT, and is disposed at an intersection of a gate wiring 606 connected to the gate side driver circuit 603 and a source wiring 607 connected to the source side driver circuit 604. A drain of the switching TFT 605 is connected to a gate of an electric current controlling TFT 608.

[0132] Further, a source side of the electric current controlling TFT 608 is connected to a power supply line 609. In a structure of this embodiment, the power supply line 609 has a ground potential (an earth potential). Further, a drain of the electric current controlling TFT 608 is connected to an EL element 610. A given voltage (3 to 12 V, preferably 3 to 5 V) is applied to an anode of the EL element 610.

[0133] Further, an FPC 611 that becomes an external input / output terminal is provided with connection wirings 612 and 613 for transmitting a signal to a driver circuit portion, and a connection wiring 614 connected to the power supply line 609.

[0134] Also, Fig. 11 illustrates an example of a circuit structure of the EL display device illustrated in Fig. 10. The EL display device according to the present embodiment has a source side driver circuit 801, a gate side driver circuit (A) 807, a gate side driver circuit (B) 811, and a pixel portion 806. Note that the driver circuit portion as used herein is a generic name, and includes the source side driver circuit and the gate side driver circuit.

[0135] The source side driver circuit 801 is provided with a shift register 802, a level shifter 803, a buffer 804, and a sampling circuit (sample-and-hold circuit) 805. Further, the gate side driver circuit (A) 807 is provided with a shift register 808, a level shifter 809, and a buffer 810. The gate side driver circuit (B) 811 is similarly structured.

[0136] In this case, the driving voltage of the shift registers 802 and 808 is 5 to 16 V (representatively 10 V). For an n-channel type TFT used in a CMOS circuit that constructs the circuit, the structure denoted as 205 in Fig. 8C is suitable.

[0137] Similarly to the case of the shift registers, for the level shifters 803 and 809 and the buffers 804 and 810, a CMOS circuit including the n-channel type TFT 205 illustrated in Fig. 8C is suitable. Note that to make the gate wirings have a multi-gate structure such as a double-gate structure or a triple-gate structure is effective in improving the reliability of the respective circuits.

[0138] In addition, with regard to the sampling circuit 805, since the source region and the drain region are reversed and, in addition, it is necessary to lower the off current value, a CMOS circuit including an n-channel type TFT 208 illustrated in Fig. 9 is suitable.

[0139] Also, in the pixel portion 806, pixels structured as illustrated in Fig. 2 are arranged.

[0140] Note that the above structure can be easily materialized by manufacturing the TFTs according to the manufacturing process illustrated in Figs. 6 to 8. Further, though only the structure of the pixel portion and the driver circuit portion are illustrated in this embodiment, according to the manufacturing process of the present embodiment, logic circuits other than the driver circuit such as a signal division circuit, a D/A converter circuit, an operational amplifier circuit, and a γ correction circuit can also be formed on the same substrate. Further, it is expected that a memory unit, a microprocessor, and the like can also be formed.

[0141] Further, the EL module according to the present embodiment including a covering material is described with reference to Figs. 12A and 12B. The reference numerals used in Figs. 10 and 11 are also used here as necessity requires.

[0142] Fig. 12A is a top view illustrating a state illustrated in Fig. 10 with a sealing structure provided therewith. 602, 603, and 604 shown by dashed lines denote a pixel portion, a gate side diver circuit, and a source side driver circuit, respectively. The sealing structure according to the present invention is a structure provided with a filling agent (not shown), a covering material 1101, a sealing material (not shown), and a frame material 1102 for the state illustrated in Fig. 10.

[0143] Here, Fig. 12B is a sectional view taken along the line A-A' of Fig. 12A. Note that like reference numerals denote like parts in Figs. 12A and 12B.

[0144] As illustrated in Fig. 12B, the pixel portion 602 and the gate side driver circuit 603 are formed on the substrate 601. The pixel portion 602 is formed of a plurality of pixels including the electric current controlling TFT 202 and the pixel electrode 348 electrically connected thereto. The gate side driver circuit 603 is formed using a CMOS circuit where the n-channel type TFT 205 and the p-channel type TFT 206 are complementarily combined.

[0145] The pixel electrode 348 functions as an anode of the EL element. Also, the protective film 349a is formed at both ends of the pixel electrode 348. The EL layer 350 and the cathode 351 are formed on the protective film 349a. Further, the protective electrode 352 and the second passivation film 353 are formed thereon. As described in the above Embodiment Mode, the structure of the EL element may be reversed and the pixel electrode may be the cathode.

[0146] In this embodiment, the protective electrode 352 also functions as a wiring, which is common to all the pixels, and is electrically connected to the FPC 611 via the connection wiring 612. Further, all elements included in the pixel portion 602 and the gate side driver circuit 603 are covered with the second passivation film 353. Though the second passivation film 353 may be omitted, it is preferable to provide it so as to block the respective elements from the external.

[0147] Then, a filling agent 1103 is provided so as to cover the EL elements. The filling agent 1103 also functions as adhesive for adhering the covering material 1101. As the filling agent 1103, PVC (polyvinyl chloride), an epoxy resin, a silicone resin, PVB (polyvinyl butyral), or EVA (ethylene vinyl acetate) can be used. It is preferable to provide a hygroscopic agent (not shown) inside the filling agent 1103, because the hygroscopic effect can be maintained. In this case, the hygroscopic agent may be one added to the filling agent, or may be one enclosed in the filling agent.

[0148] Further, in this embodiment, as the covering material 1101, glass, plastic, or ceramics can be used. Note that to add in advance a hygroscopic agent such as barium oxide inside the filling agent 1103 is effective.

[0149] Then, after the covering material 1101 is adhered using the filling agent 1103, the frame material 1102 is attached so as to cover the side surfaces (exposed surfaces) of the filling agent 1103. The frame material 1102 is adhered by a sealing material (which functions as adhesive) 1104. In this case, as the sealing material 1104, though a photo-curable resin is preferably used, if the heat resistance of the EL layer permits, a thermosetting resin may also be used. Note that the sealing material 1104 is preferably a material that transmits moisture and oxygen as less as possible. Further, a hygroscopic agent may be added to the inside of the sealing material 1104.

[0150] By encapsulating the EL element in the filling agent 1103 using the above-mentioned method, the EL element can be completely blocked from the external, with the result that substances such as moisture and oxygen which promote deterioration of the EL layer due to oxidation can be prevented from entering. Accordingly, an EL display device with high reliability can be manufactured.

(Embodiment 2)

[0151] In Embodiment 1, a manufacturing method is described where, after the organic resin is coated to the whole surface above the pixel electrode, patterning is performed using an exposing unit, the partial protective portions are

formed where the organic resin fills up the electrode hole and the space between pixel electrodes, and then, the EL layer is formed. However, since there is the exposure process, the throughput is insufficient. In this embodiment, a method is described where, after an organic resin is coated to the whole surface above a pixel electrode, without performing patterning, planarization is performed using etch back, and then, portions other than an organic resin filling up an electrode hole and a space between pixel electrodes, are etched.

[0152] Here, Fig. 13 illustrates the structure in cross section of a pixel portion of an EL display device according to the present invention.

[0153] Fig. 13A illustrates a pixel electrode 1040 and an electric current controlling TFT which is electrically connected to the pixel electrode 1040. After a baser film 1012 is formed on a substrate 1011, the electric current controlling TFT is formed so as to have an active layer including a source region 1031, a drain region 1032, and a channel forming region 1034, a gate insulating film 1018, a gate electrode 1035, a first interlayer insulating film 1020, a source wiring 1036, and a drain wiring 1037. Note that, though the gate electrode 1035 is of a single-gate structure in the figure, it may be of a multi-gate structure.

[0154] Then, a first passivation film 1038 is formed at the thickness of 10 nm to 1 μm (preferably 200 to 500 nm). As the material, an insulating film containing silicon (especially, a silicon oxynitride film or a silicon nitride film is preferable) can be used.

[0155] A second interlayer insulating film (which may also be referred to as planarizing film) 1039 is formed on the first passivation film 1038 so as to cover the respective TFTs to planarize a step formed by the TFTs. As the second interlayer insulating film 1039, an organic resin film of such as a polyimide resin, a polyamide resin, an acrylic resin, or a resin containing a high molecular compound of siloxane is preferable. Of course, an inorganic film may also be used if it can perform sufficient planarization.

[0156] It is quite important to planarize, by the second interlayer insulating film 1039, a step formed by the TFTs. Since an EL layer to be formed later is very thin, existence of a step may cause failure light emission. Therefore, it is preferable that planarization is performed prior to the formation of the pixel electrode in order to make as planar as possible the surface on which the EL layer is formed.

[0157] Further, after a contact hole (an opening) is formed in the second interlayer insulating film 1039 and the first passivation film 1038, a pixel electrode 1040 (corresponding to an anode of the EL element) of a transparent conductive film is formed so as to be connected at the formed opening to the drain wiring 1037 of the electric current controlling TFT.

[0158] In this embodiment, as the pixel electrode, a conductive film formed of a compound of indium oxide and tin oxide is used. A small amount of gallium may be doped into the compound. Further, a compound of indium oxide and zinc oxide may be used.

[0159] Then, an organic resin film 1041 of an organic resin is formed on the pixel electrode. As the organic resin, though materials such as a polyamide resin, a polyimide resin, an acrylic resin, and a resin containing a high molecular compound of siloxane may be used, here, an acrylic resin such as acrylic ester resin, acrylate resin, methacrylic acid ester resin, or methacrylic acid resin is used.

[0160] Note that a resin containing a high molecular compound of siloxane includes CYCLOTEN.

[0161] Further, though, in this case, the organic resin film of an organic resin is formed on the pixel electrode, an insulator which can be an insulating film may be used.

[0162] As the insulator, an insulating film containing silicon such as silicon oxide, silicon oxynitride, or silicon nitride may be used.

[0163] The thickness (Dc) of the organic resin film 1041 is preferably 0.1 to 2 μm, and more preferably, 0.2 to 0.6 μm.

[0164] After the organic resin film 1041 is formed, the whole surface of the organic resin film 1041 is etched until Dc = 0 is attained. At that point, the etching is completed. In this way, the acrylic resin filling up the electrode hole is left to form a protective portion 1041b.

[0165] Note that, as the etching method, dry etching is preferable. First, etching gas suitable for the organic resin material to be etched is introduced into a vacuum chamber. Thereafter, high frequency voltage is applied to an electrode to generate plasma of the etching gas.

[0166] In the plasma of the etching gas, charged particles such as positive ions, negative ions, and electrons, and neutral active species exist scatteringly. When the etching species are adsorbed by the etched material, chemical reaction is caused on the surface, and an etching product is generated. By removing the etching product, the etching is performed.

[0167] Further, when an acrylic resin is used as the material of the protective film, preferably the etching gas containing oxygen as the main component is used.

[0168] Note that, in this embodiment, etching gas made of oxygen, helium, and carbon tetrafluoride (CF_4) is used as the etching gas containing oxygen as the main component. As other materials, gas containing fluorocarbon such as carbon hexafluoride may be used.

[0169] Note that, in those etching gases, it is preferable that oxygen is 60% or more of the whole etching gas.

[0170] As illustrated in this embodiment, after the organic resin film is formed on the pixel electrode by spin coating,

the whole surface is etched in the direction shown by arrows in Fig. 13B so that a protective portion 1041b is formed in an electrode hole 1046. Note that, as illustrated in Fig. 13B, an exposed surface of the protective portion 1041b formed here is flush with an exposed surface of the pixel electrode 1040.

[0171] Note that the etching rate is examined in advance, and the etching time is set such that the etching ends just when the organic resin film on the pixel electrode 1040 is removed except the protective portion 1041b. In this way, the upper surface of the pixel electrode 1040 is flush with the upper surface of the protective portion 1041b.

[0172] Further, when these organic resins are used, the viscosity of the organic resin is preferably 10^{-3} Pa · s to 10^{-1} Pa · s.

[0173] After the protective portion 1041b is formed, as illustrated in Fig. 13C, an EL material dissolved in a solvent is applied by spin coating to form an EL layer 1042.

[0174] After the EL layer 1042 is formed, a cathode 1043 and a protective electrode 1044 are further formed.

[0175] By forming the structure illustrated in Fig. 13C as in the above, the problem of the short circuit between the pixel electrode 1040 and the cathode 1043 caused when the EL layer 1042 is disconnected at a step portion in the electrode hole can be solved.

[0176] Fig. 13D is a top view in case that the protective portion 1041b on the pixel electrode 1040 is in the same shape as that of the electrode hole 1046 as described in this embodiment.

[0177] Further, the structure of the present embodiment can be freely combined with the structure of Embodiment 1.

(Embodiment 3)

[0178] In Embodiment 2, a method of forming the protective film by etching, that is, an etch back method is described. However, since the etch back method may be inappropriate depending on the kind of the protective film, and the range which can be planarized by the etch back method is limited from several μm to several tens μm, formation of a protective portion using chemical mechanical polishing (CMP) is also considered. Such a method is now described also with reference to Fig. 13.

[0179] In this embodiment, after the organic resin film 1041 is formed at the thickness of Dc (>0) as illustrated in Fig. 13A of Embodiment 2, the organic resin film 1041 is pressed against a polishing pad extended on a surface plate opposed to the organic resin film 1041 under constant pressure, and abrasive (slurry) is made to flow therebetween with the substrate and the surface plate being rotated to polish the organic resin film 1041 until Dc = 0 is attained. Using such a method, which is so-called CMP, the protective portion 1041b is formed.

[0180] The slurry used in the CMP is formed by dispersing polishing particles called abrasive in an aqueous solution after pH control. It is preferable that the slurry is changed depending on the polished film.

[0181] In this embodiment, since an acrylic resin is used as the polished film, slurry such as one containing silica (SiO_2), one containing ceria (CeO_2), or one containing fumed silica ($SiCl_4$) is preferably used. However, other slurries such as one containing alumina (Al_2O_3) or one containing zeolite may also be used.

[0182] Further, since the electric potential (zeta potential) between the liquid and the abrasive (silica particles) in the slurry influences the processing accuracy, the zeta potential is required to be controlled by optimizing the pH value.

[0183] When polishing is performed using CMP, it is difficult to ascertain when the polishing is to be ended. If too much polishing is performed, even the pixel electrode is polished. By forming a film the processing speed of which is extremely slow as a stopper of the CMP, or, by adopting a method where the relation between the processing time and the processing speed is clarified in advance by experiment and the CMP is ended when predetermined processing time elapses, too much polishing can be prevented.

[0184] As described in the above, by using the CMP, the protective portion 1041b can be formed irrespective of the thickness and the kind of the polished film.

[0185] Note that the structure of the present embodiment can be freely combined with the structures of Embodiments 1 and 2.

(Embodiment 4)

[0186] In this embodiment, a case where the present invention is used in a passive type (simple matrix type) EL display device is described with reference to Fig. 14.

[0187] In Fig. 14, a substrate 1301 is formed of plastic and an anode 1306 is formed of a transparent conductive film. Note that the substrate 1301 may be formed of glass, quartz, or the like.

[0188] In this embodiment, as the transparent conductive film, a compound of indium oxide and zinc oxide is formed by vapor deposition. Note that, though not shown in Fig. 14, a plurality of anodes are arranged to be stripe-like in a direction perpendicular to the plane of the figure.

[0189] Further, protective portions 1303 according to the present invention are formed so as to fill up spaces between the anodes 1302 arranged to be stripe-like. The protective portions 1303 are formed along the anodes 1302 in the

direction perpendicular to the plane of the figure. Note that the protective portions 1303 of the present embodiment may be formed according to the methods described in Embodiments 1 to 3 using a similar material.

[0190] Then, an EL layer 1304 of a high molecular organic EL material is formed. The organic EL material used may be similar to the one described in Embodiment 1. Since the EL layer is formed along grooves formed by the protective portions 1303, the EL layer is also arranged to be stripe-like along the direction perpendicular to the plane of the figure.

[0191] After that, though not shown in Fig. 14, a plurality of cathodes and protective electrodes are arranged to be stripe-like with their longitudinal direction being in parallel to the plane of the figure so as to be orthogonal with respect to the anodes 1302. Note that, in this embodiment, the cathodes 1305 are formed of MgAg by vapor deposition and the protective electrodes 1306 are formed of an aluminum alloy film by vapor deposition. Further, though not shown in the figure, wirings are led from the protective electrodes 1306 to portions where an FPC is to be attached later, such that predetermined voltage is applied to the protective electrodes 1306.

[0192] Further, though not shown in the figure, after the protective electrodes 1306 are formed, a silicon nitride film may be provided as a passivation film.

[0193] In this way, EL elements are formed on the substrate 1301. Note that, in this embodiment, since the lower electrodes are anodes which transmit light, light emitted from the EL layers 1304a to 1304c are radiated to the lower surface (substrate 1301). However, the structure of the EL elements may be reversed and the lower electrodes may be cathodes which block light. In this case, light emitted by the EL layers are radiated to the upper surface (the side opposite to the substrate 1301).

[0194] Then, a ceramic substrate is prepared as a covering material 1307. Though, in the structure of the present embodiment, a ceramic substrate which blocks light is used, if the structure of the EL elements is reversed as described in the above, of course it is preferable that the covering material transmits light, and thus, in that case, a substrate formed of plastic, glass, or the like is used.

[0195] After the covering material 1307 is thus prepared, the covering material 1307 is adhered by a filling agent 1308 with barium oxide being added as a hygroscopic agent (not shown). After that, a frame material 1310 is attached using a sealing material 1309 formed of an ultraviolet curable resin. In this embodiment, stainless steel is used as the frame material 1310. Finally, an FPC 1312 is attached through an anisotropic conductive film 1311 to complete the passive type EL display device.

[0196] Note that the structure of the present embodiment can be freely combined with any structures of Embodiments 1 to 3.

(Embodiment 5)

[0197] It is effective to use a silicon substrate (silicon wafer) as a substrate when an active matrix EL display device is manufactured according to the present invention. When a silicon substrate is used as the substrate, elements for switching and elements for controlling electric current which are formed in a pixel portion and elements for driving which are formed in a driver circuit portion can be formed using a known technology for manufacturing MOSFETs used in ICs and LSIs.

[0198] MOSFETs can form a circuit with extremely small fluctuation, as can be seen in a known IC or LSI. In particular, MOSFETs are effective in forming an analog-driven active matrix EL display device, which represents gray scale by the electric current value.

[0199] Note that, since the silicon substrate blocks light, it is necessary that the device is structured such that light from the EL layer is radiated to the side opposite to the substrate. The EL display device according to the present embodiment is similar in structure to the one illustrated in Fig. 12, but is different in that MOSFETs are used instead of the TFTs forming the pixel portion 602 and the driver circuit portion 603.

[0200] Note that the structure of the present embodiment can be freely combined with any structures of Embodiments 1 to 4.

(Embodiment 6)

[0201] An EL display device formed by implementing the present invention is a self-light-emitting type, and has a superior visibility in a bright location in comparison with a liquid crystal display device, and also has a wide angle of view. Therefore it can be used as a display portion of various electronic equipment. For example, the self-light-emitting device of the present invention may be used in the display portion of a 30 inch or larger (typically 40 inch or larger) diagonal EL display (display incorporating EL display device in the housing) for appreciation of a TV broadcast or the like by a large screen.

[0202] Note that all display devices for displaying information, such as a personal computer display, a display for receiving TV broadcasts, and a display for displaying advertisements, are included in EL displays. Further, the self-light-emitting device of the present invention can also be used in the display portion of various other electronic equip-

ment.

[0203] The following can be given as this type of electronic equipment of the present invention: a video camera; a digital camera; a goggle type display (head mounted display); a navigation system; an audio playback device (such as a car audio system or an audio component system); a notebook type personal computer; a game apparatus; a portable information terminal (such as a mobile computer, a cellular phone, a portable game machine, or an electronic book); and an image playback device equipped with a recording medium (specifically, device prepared with a display which plays back a recording medium such as a digital video disk (DVD) and displays that image). In particular, a wide angle of view is important for a portable information terminal often seen from an oblique angle, and therefore it is preferable to use an EL display. Specific examples of those electronic devices are shown in Figs. 15A to 15F and Figs. 16A and 16ab.

[0204] Fig. 15A is an EL display, and includes a frame 2001, a support stand 2002, and a display portion 2003, etc. The present invention can be used in the display portion 2003. The EL display is a self-light-emitting type, and therefore a back light is not necessary, and the display portion can be made thinner than that of a liquid crystal display device.

[0205] Fig. 15B is a video camera, and includes a main body 2101, a display portion 2102, a sound input portion 2103, operation switches 2104, a battery 2105, an image receiving portion 2106, etc. The EL display device of the present invention can be used in the display portion 2102.

[0206] Fig. 15C is a portion (right side) of a head mounted EL display, and includes a main body 2201, a signal cable 2202, a head fixing band 2203, a display portion 2204, an optical system 2205, EL display device 2206, etc. The present invention can be used in the EL display portion 2206.

[0207] Fig. 15D is an image playback device equipped with a recording medium (specifically, a DVD playback device), and includes a main body 2301, a recording medium (such as a DVD) 2302, operation switches 2303, a display portion (a) 2304, and a display portion (b) 2305, etc. The display portion (a) 3334 is mainly used for displaying image information, and the display portion (b) is mainly used for displaying character information, and the EL display device of the present invention can be used in the display portion (a) and for the display portion (b). Note that the image playback device equipped with the recording medium includes devices such as household game machines.

[0208] Fig. 15E is a portable (mobile) computer, and includes a main body 2401, a camera portion 2402, an image receiving portion 2403, operation switches 2404, and a display portion 2405. The EL display device of the present invention can be used in the display portion 2405.

[0209] Fig. 15F is a personal computer, and includes a main body 2501, a frame 2502, a display portion 2503, and a keyboard 2504. The EL display device of the present invention can be used in the display portion 2503.

[0210] Note that if the brightness of light emitted by EL materials increases in the future, then it will become possible to use in a front type or a rear type projector to expand and project light containing output image information with a lens or the like.

[0211] Further, the above electronic devices often display information distributed through an electronic communication network such as the Internet and a CATV (cable television). In particular, there are more and more opportunities that the electronic devices display dynamic image information. Since the response speed of an EL material is very high, an EL display device is suitable for dynamic image display. However, if outlines between pixels are blurred, the whole dynamic image is blurred. Therefore, it is quite effective to use, as a display portion of an electronic devices, the EL display device according to the present invention which clears outlines between pixels.

[0212] In addition, since the EL display device consumes power in the light emitting portion, it is therefore preferable to use the EL display device for displaying information so as to make the light emitting portions as few as possible. Consequently, when using the EL display device in a display portion mainly for character information, such as in a portable information terminal, in particular a cellular phone or an audio playback device, it is preferable to drive so as to form character information by the light emitting portions while non-light emitting portions are set as background.

[0213] Fig. 16A is a cellular phone, and includes a main body 2601, a sound output portion 2602, a sound input portion 2603, a display portion 2604, operation switches 2605, and an antenna 2606. The EL display device of the present invention can be used in the display portion 2604. Note that by displaying white color characters in a black color background, the display portion 2604 can suppress the power consumption of the cellular phone.

[0214] Fig. 16B is an audio playback device, specifically a car audio system, and includes a main body 2701, a display portion 2702, and operation switches 2703 and 2704. The EL display device of the present invention can be used in the display portion 2702. Further, a car audio system is shown in this embodiment, but the EL display device of the present invention can be used in a portable type or a household audio playback system, too. Note that by displaying white color characters in a black color background, the display portion 2704 can suppress the power consumption. This is especially effective in a portable type audio playback device.

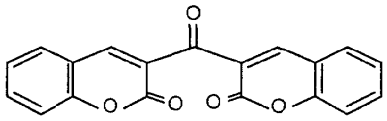
[0215] The applicable range of the present invention is thus extremely wide, and it is possible to apply the present invention to electric equipment in all fields. Also, the electric equipment in this embodiment can also be realized by using any EL display device structured in Embodiments 1 to 5.

(Embodiment 7)

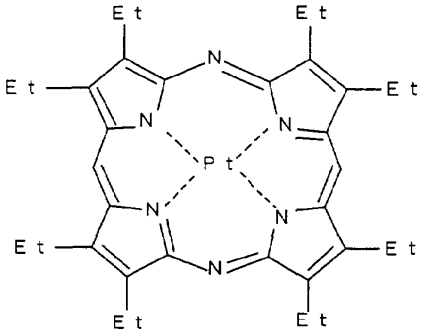
[0216] In an EL element manufactured by using the present invention, it is also possible to use an EL material which can use phosphorescence from triplet excitation for light emission. A light-emitting device using an EL material, which can use phosphorescence for light emission can drastically improve the external light emission quantum efficiency. This makes it possible to lower the power consumption, prolong the life, and lighten the weight, of the EL element.

[0217] The following papers report that the external light emission quantum efficiency is improved using triplet exciton.

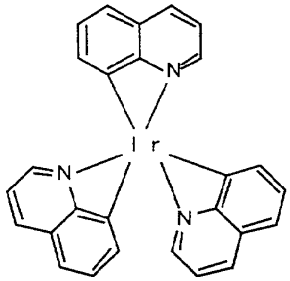
[0218] The structural formula of an EL material (coumarin pigment) reported by T. Tsutsui, C. Adachi, and S. Saito in Photochemical Processes in Organized Molecular Systems, ed. K. Honda (Elsevier Sci. Pub., Tokyo, 1991), p.437 is as follows:



[0219] The structural formula of an EL material (Pt complex) reported by M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, and S. R. Forrest in Nature 395 (1998), p.151 is as follows:



[0220] The structural formula of an EL material (Ir complex) reported by M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, and S. R. Forrest in Appl. Phys. Lett., 75 (1999), p.4, and by T. Tsutsui, M. J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, and S. Mayaguchi in Jpn. Appl. Phys., 38 (12B) (1999) L1502 is as follows:



[0221] If the above phosphorescence from triplet exciton can be used, in principle, external light emission quantum

efficiency, which is three to four times as much as that when fluorescence from singlet exciton is used, can be materialized.

[0222] Note that the structure of the present embodiment can be freely combined with any structures of Embodiments 1 to 6.

[0223] According to the present invention, failure film formation of an electrode hole caused when a film of an organic EL material is formed can be improved. Further, according to the present invention, since the electrode hole can be filled up with a protective portion in various methods and in various shapes, film formation according to the conditions and the purpose can be performed, and failure light emission of an EL layer due to short circuit between a cathode and an anode can be prevented.

[0224] Although the present invention has been disclosed in conjunction with the preferred embodiments of the invention, the present invention should not be limited to the particular embodiments. For example, the present invention may be applied to an EL device having a different type of switching elements or a circuit for driving the EL elements.

Claims

1. A self-light-emitting device having an EL element, said EL element comprising:

a TFT;
a pixel electrode electrically connected to said TFT;
an EL layer formed on said pixel electrode; and
a cathode formed on said EL layer,
wherein a protective portion formed of an insulator is provided in an electrode hole.

2. A self-light-emitting device having an EL element, said EL element comprising:

a TFT;
a pixel electrode electrically connected to said TFT;
an EL layer formed on said pixel electrode; and
a cathode formed on said EL layer,
wherein a protective portion provided in an electrode hole is sandwiched between said pixel electrode and said EL layer.

3. A self-light-emitting device having an EL element, said EL element comprising:

a TFT;
a pixel electrode electrically connected to said TFT;
an EL layer formed on said pixel electrode; and
a cathode formed on said EL layer,
wherein a protective portion provided in an electrode hole is formed of an insulator and said EL layer is formed on surfaces of said pixel electrode and said protective portion.

4. A self-light-emitting device having an EL element, said EL element comprising:

a TFT;
a pixel electrode electrically connected to said TFT;
an EL layer formed on said pixel electrode; and
a cathode formed on said EL layer,
wherein said EL layer and a protective portion are sandwiched between said pixel electrode and said cathode.

5. A self-light-emitting device having an EL element, said EL element comprising:

a TFT;
a pixel electrode electrically connected to said TFT;
an EL layer formed on said pixel electrode; and
a cathode formed on said EL layer,
wherein a plurality of said pixel electrodes are formed in a pixel portion and a protective portion is formed in a space between said pixel electrodes.

6. A self-light-emitting device according to any one of claims 1 to 5, wherein a surface of said pixel electrode and a surface of said protective portion are planarized to be flush with each other.

7. An electric equipment, which uses a self-light-emitting device according to any one of claims 1 to 5, as a display portion or a light source.

8. A method of manufacturing a self-light-emitting device comprising the steps of:

forming on a substrate a TFT and a pixel electrode electrically connected to said TFT;
forming an insulating film on said pixel electrode; and
forming a protective portion by selectively etching said insulating film.

9. A method of manufacturing a self-light-emitting device comprising the steps of:

forming on a substrate a TFT and a pixel electrode electrically connected to said TFT;
forming an organic resin film on said pixel electrode; and
forming a protective portion by selectively etching said organic resin film.

10. A method of manufacturing a self-light-emitting device comprising the steps of:

forming on a substrate a TFT and a pixel electrode electrically connected to said TFT;
forming an organic resin film on said pixel electrode; and
forming a protective portion in an electrode hole and in a space between said pixel electrodes by selectively etching said organic resin film.

11. A self-light emitting device comprising:

at least two first electrodes formed over a substrate with a gap between said first electrodes;
an insulating layer formed in the gap between said first electrodes;
an EL layer formed on said first electrodes and said insulating layer; and
a second electrode opposed to said at least two first electrodes with said EL layer interposed therebetween.

12. The self-light emitting device according to claim 11 wherein said first electrodes function as an anode while said second electrode functions as a cathode.

13. The self-light emitting device according to claim 11 wherein said self-light emitting device is a passive display device.

14. The self-light emitting device according to claim 11 wherein said EL layer comprises an organic electroluminescence material.

15. A self-light emitting device comprising:

at least one switching element;
at least one interlayer insulating film formed over said switching element;
a contact hole opened in said switching element;
a pixel electrode formed on said interlayer insulating film and electrically connected to said switching element through said contact hole;
an insulating layer formed on a portion of said pixel electrode in said contact hole;
an EL layer formed on said pixel electrode and said insulating layer; and
a second electrode formed on said EL layer.

16. The self-light emitting device according to claim 15 wherein said switching element comprises a thin film transistor.

17. The self-light emitting device according to claim 15 wherein said switching element comprises a transistor formed within a silicon substrate.

18. The self-light emitting device according to claim 15 wherein said pixel electrode is an anode while said second

electrode is a cathode.

19. The self-light emitting device according to claim 15 wherein said pixel electrode is a cathode while said second electrode is an anode.

20. The self-light emitting device according to claim 15 wherein said EL layer comprises at least one organic EL layer.

21. The self-light emitting device according to claim 15 wherein said a surface of said insulating layer is substantially flush with a surface of said pixel electrode.

22. A self-light emitting device comprising:

at least first and second switching elements;
at least one interlayer insulating film formed over said first and second switching elements;
at least first and second pixel electrodes formed over said interlayer insulating film wherein said first and second pixel electrodes are electrically connected to said first and second switching elements, respectively;
an insulating layer formed in a gap between said first and second pixel electrodes;
an EL layer formed on said first and second pixel electrodes and said insulating layer; and
a third electrode formed on said EL layer opposed to said first and second pixel electrodes.

23. The self-light emitting device according to claim 22 wherein said switching element comprises a thin film transistor.

24. The self-light emitting device according to claim 22 wherein said switching element comprises a transistor formed within a silicon substrate.

25. The self-light emitting device according to claim 22 wherein each of said first and second pixel electrodes is an anode while said third electrode is a cathode.

26. The self-light emitting device according to claim 22 wherein each of said first and second pixel electrodes is a cathode while said third electrode is an anode.

27. The self-light emitting device according to claim 22 wherein said EL layer comprises at least one organic EL layer.

28. The self-light emitting device according to claim 22 wherein a surface of said insulating layer is substantially flush with a surface of said first and second pixel electrodes.

29. An electronic device having the self-light emitting device according to claim 11.

30. An electronic device having the self-light emitting device according to claim 15.

31. An electronic device having the self-light emitting device according to claim 22.

32. An electronic device according to claim 29 wherein said electronic device is selected from the group consisting of a video camera, a head mounted EL display, an image playback device, a portable computer, a personal computer, a cellular phone and an audio playback device.

33. An electronic device according to claim 30 wherein said electronic device is selected from the group consisting of a video camera, a head mounted EL display, an image playback device, a portable computer, a personal computer, a cellular phone and an audio playback device.

34. An electronic device according to claim 31 wherein said electronic device is selected from the group consisting of a video camera, a head mounted EL display, an image playback device, a portable computer, a personal computer, a cellular phone and an audio playback device.

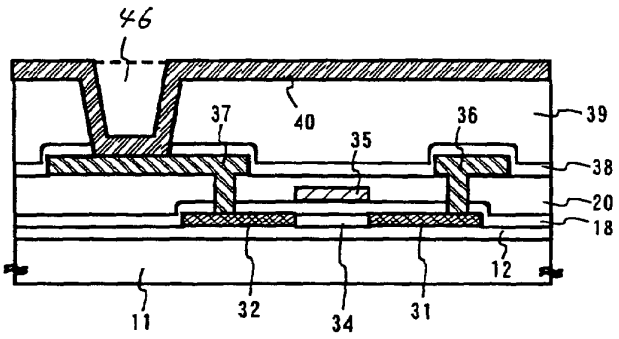


Fig. 1A

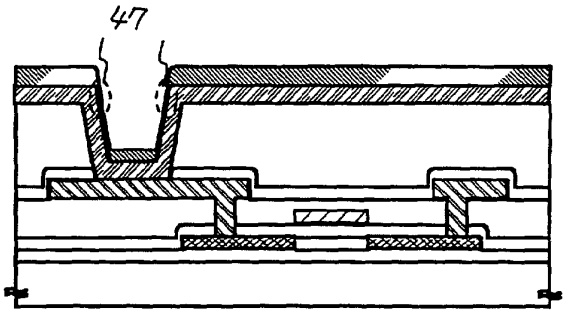


Fig. 1B

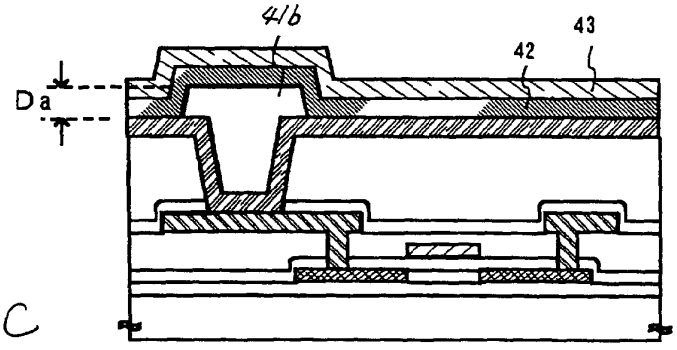


Fig. 1C

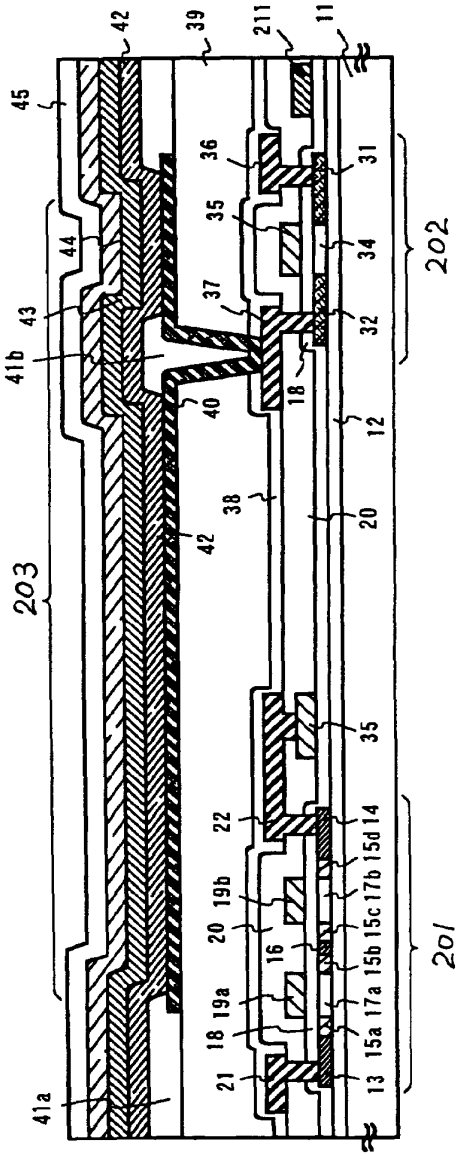

42
39
211
11
45
36
31
44
35
34
202
37
43
32
41b
18
40
12
38
20
42
203
35
22
14
15d
19b
17b
20
15c
16
15b
19a
17a
18
15a
21
13
41a
201

Fig. 2

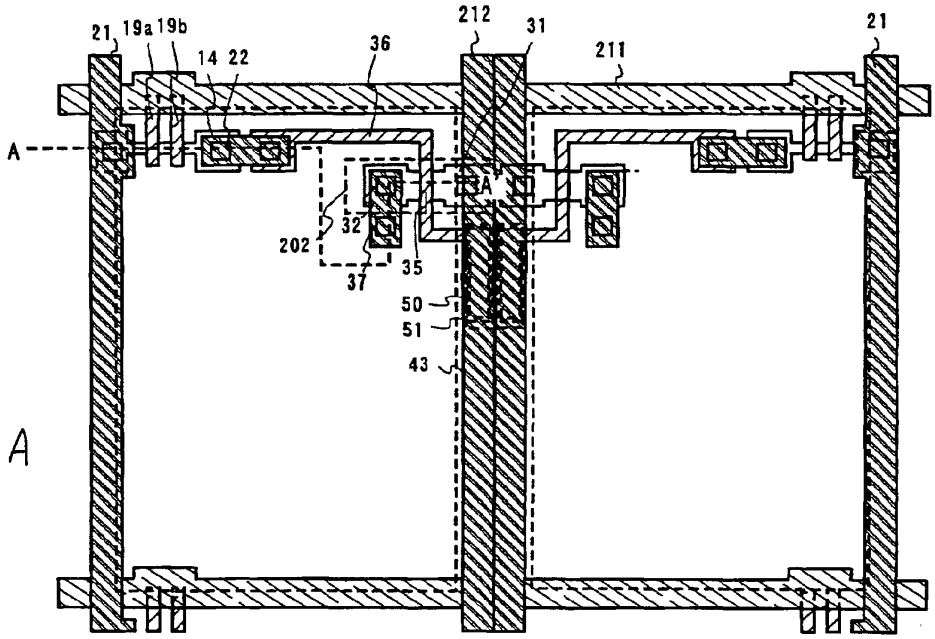

21
19a
19b
14
22
36
212
31
211
21
A
3A
202
32
35
37
50
51
43

Fig.3A

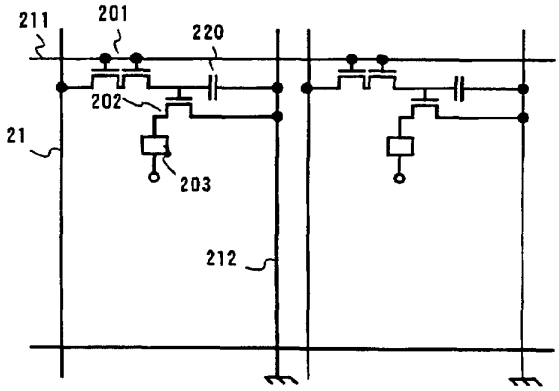

211
201
220
202
21
203
212

Fig.3B

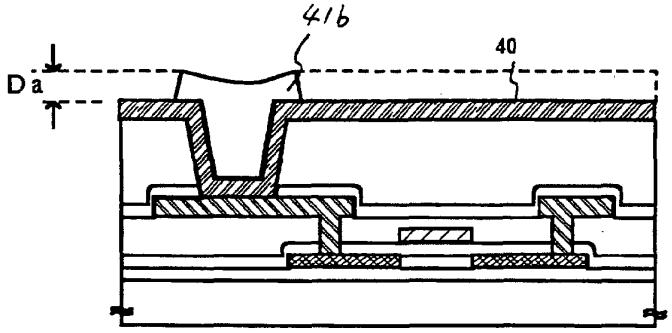


Fig.4A

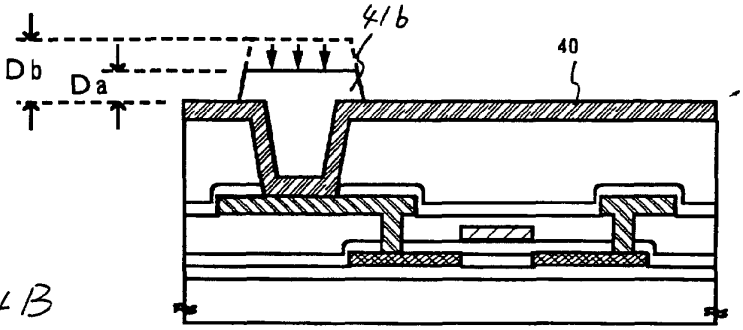


Fig.4B



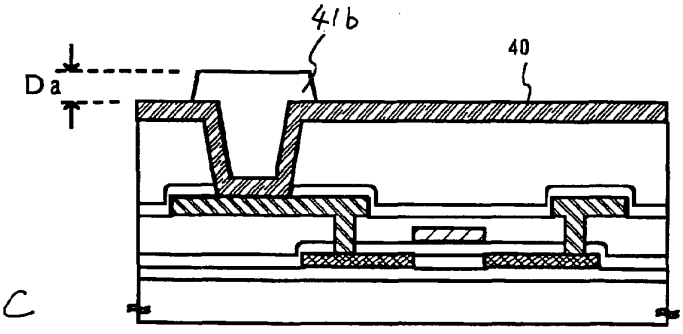


Fig.4C

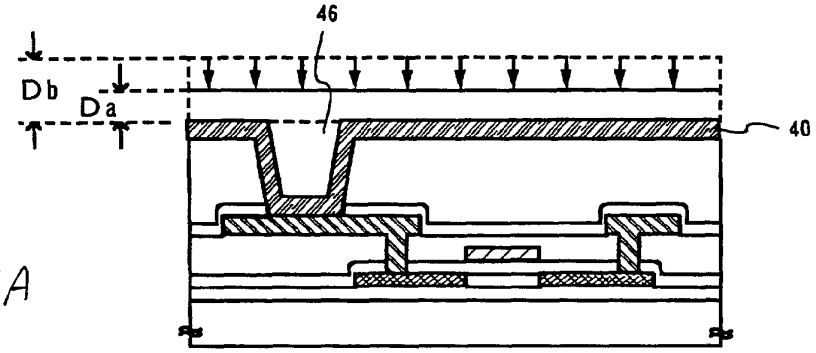


Fig. 5A

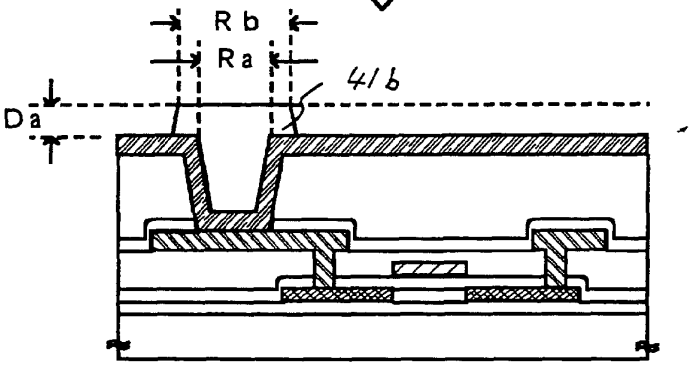


Fig. 5B

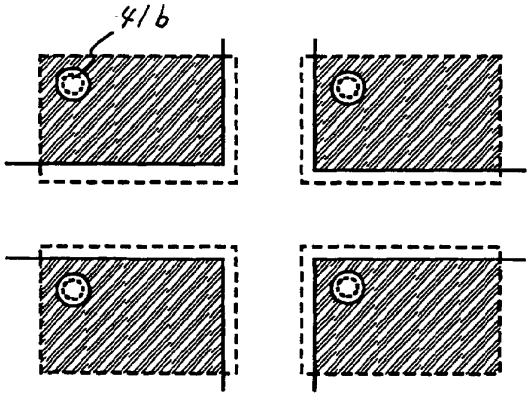


Fig. 5C

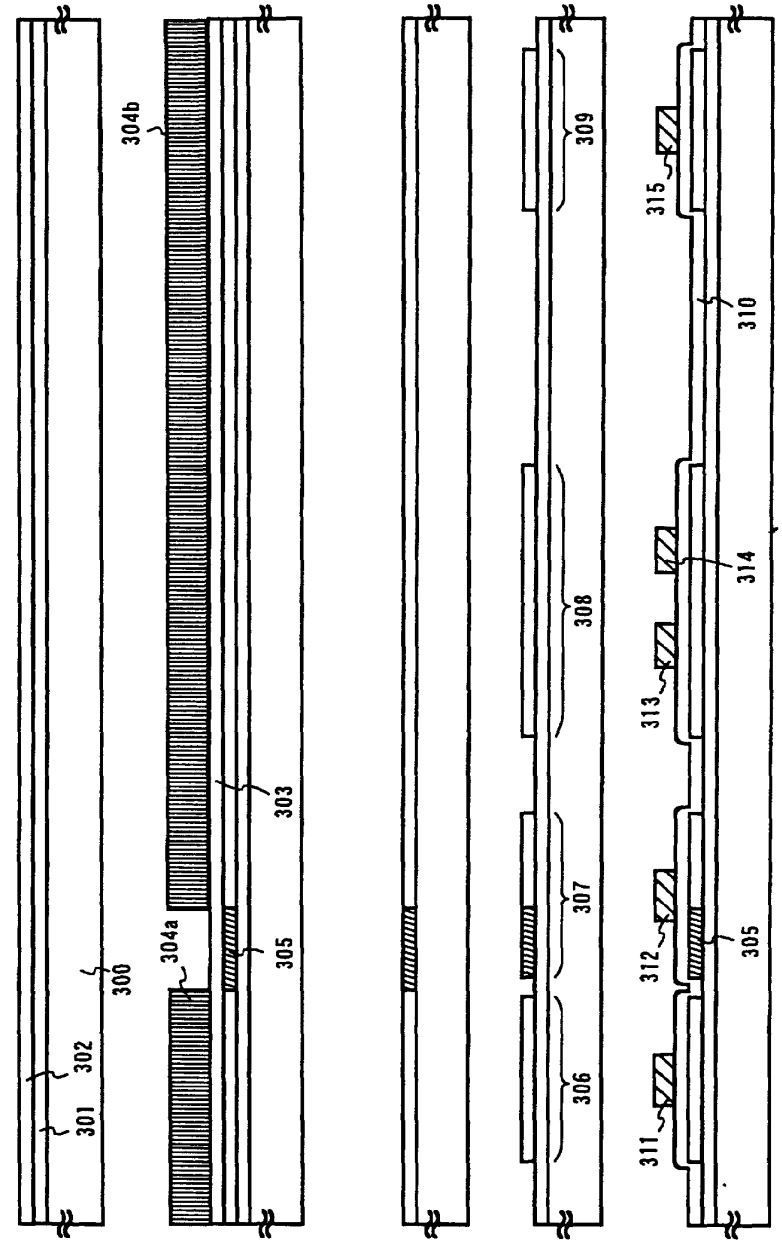


Fig. 6A Fig. 6B Fig. 6C Fig. 6D Fig. 6E

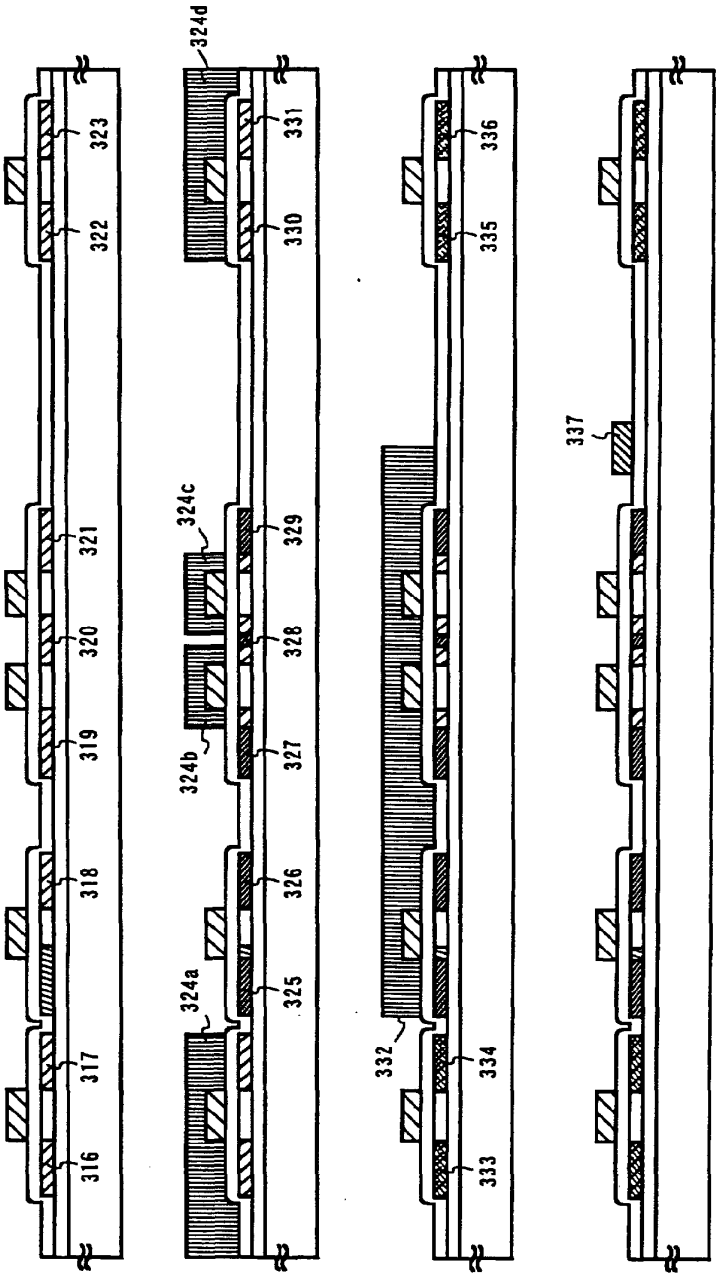


Fig. 7A

Fig. 7B

Fig. 7C

Fig. 7D

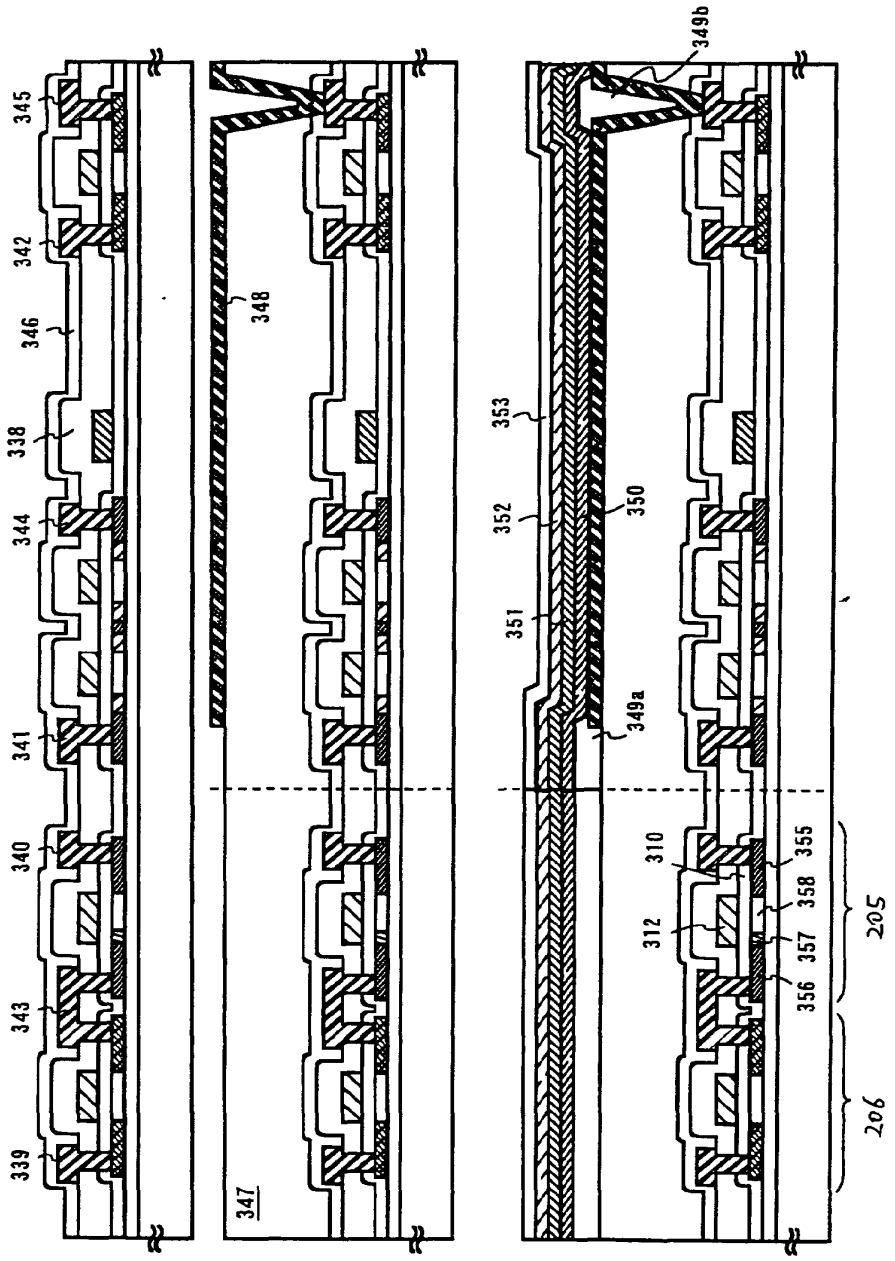


Fig. 8A Fig. 8B Fig. 8C

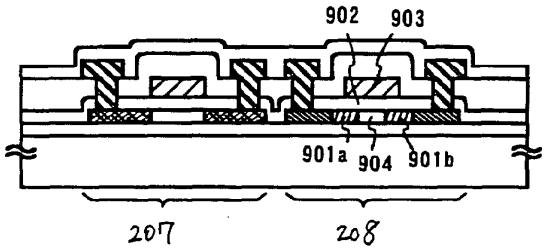

902
903
901a
904
901b
207
208

Fig. 9

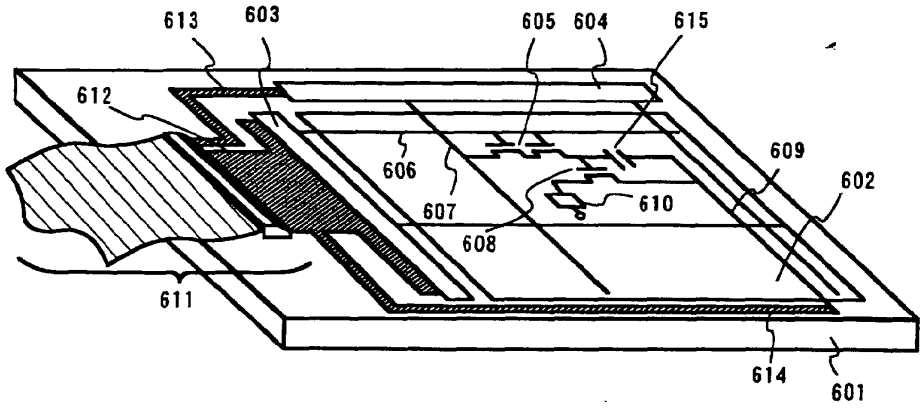

613
603
605
604
615
612
606
609
602
607
610
608
611
614
601

Fig. 10

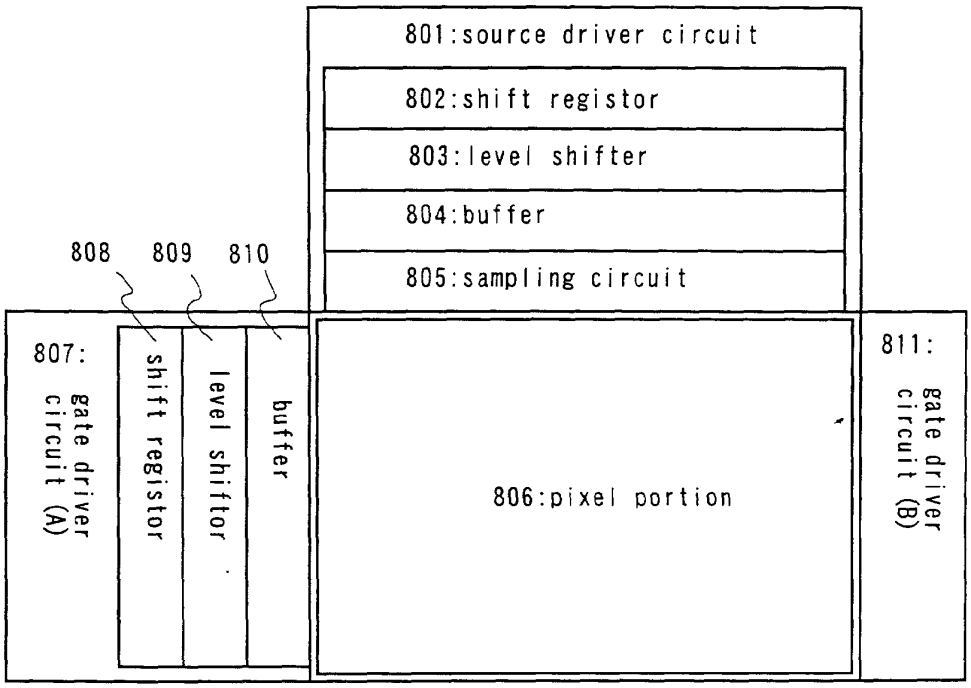

801:source driver circuit
802:shift registor
803:level shifter
804:buffer
805:sampling circuit
808
809
810
807: gate driver circuit (A)
shift registor
level shiftor
buffer
806:pixel portion
811: gate driver circuit (B)

Fig. 11

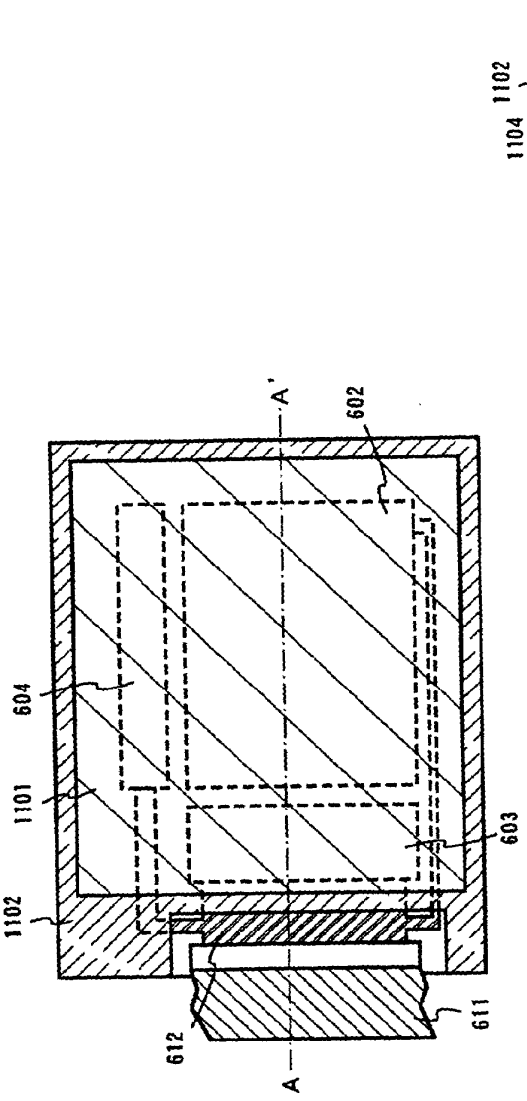


Fig. 12A

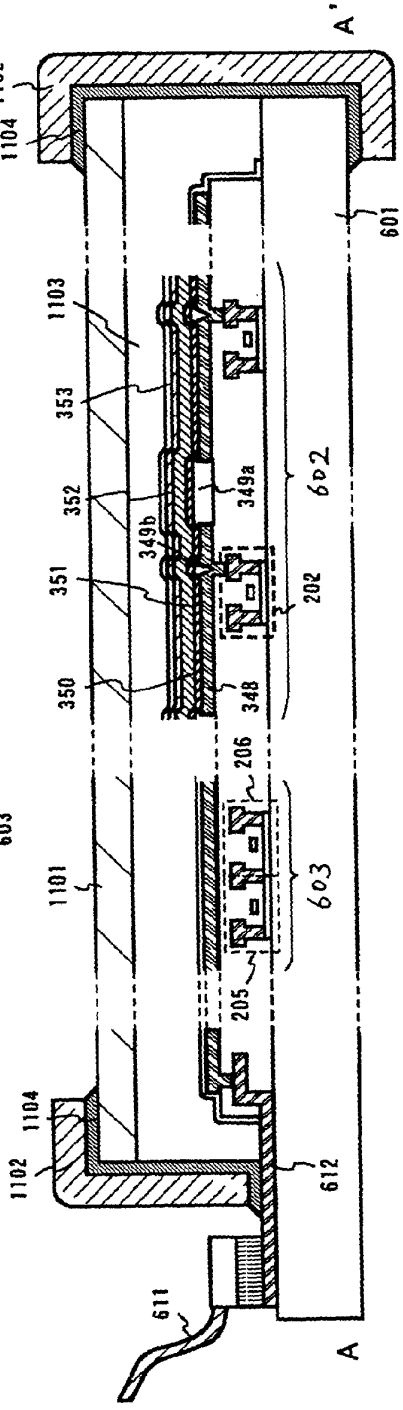


Fig. 12B

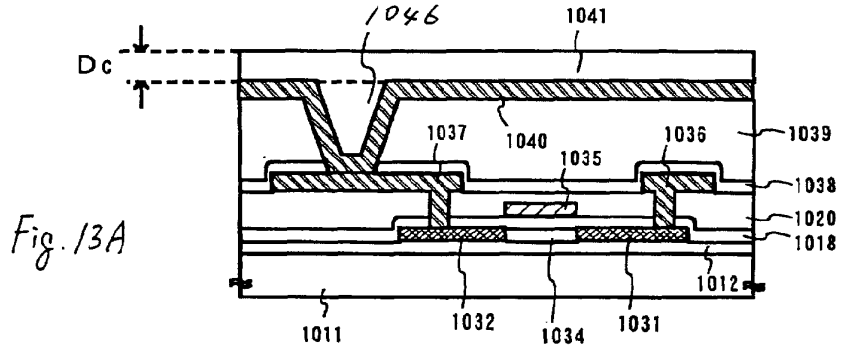


Fig. 13A

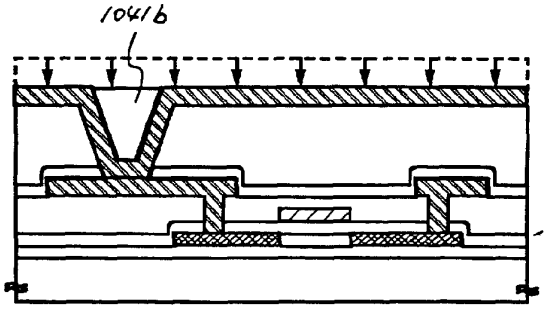


Fig. 13B

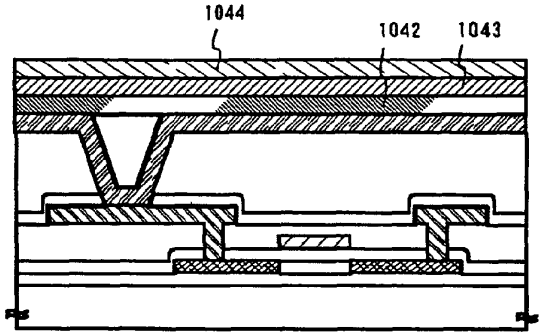


Fig. 13C

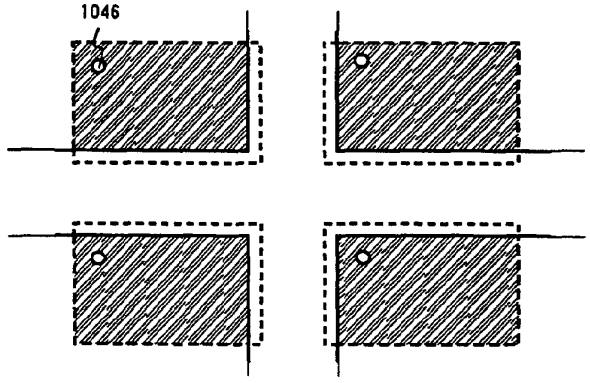


Fig. 13D

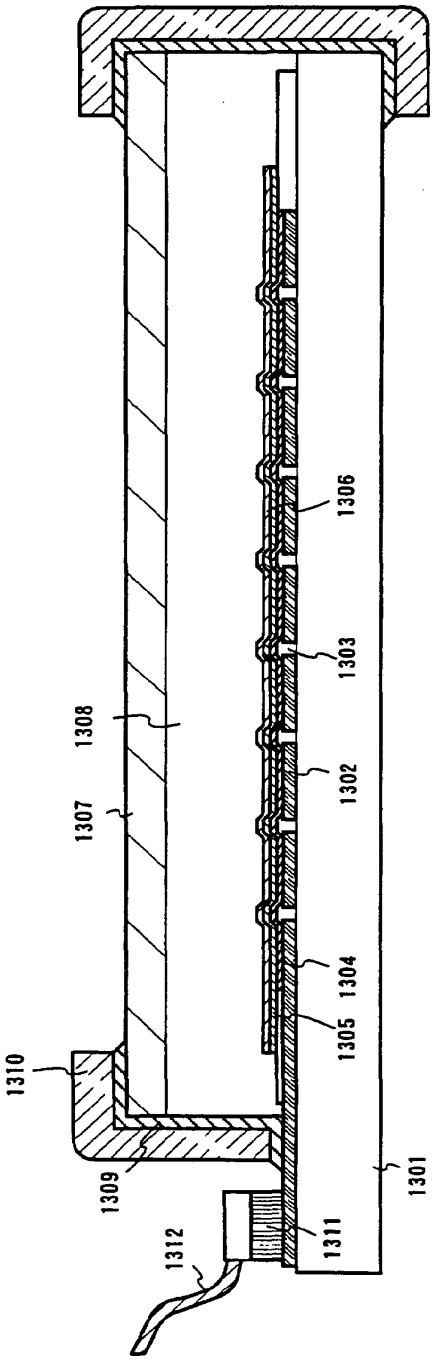


Fig. 14

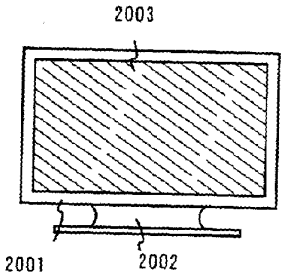


Fig. 15A

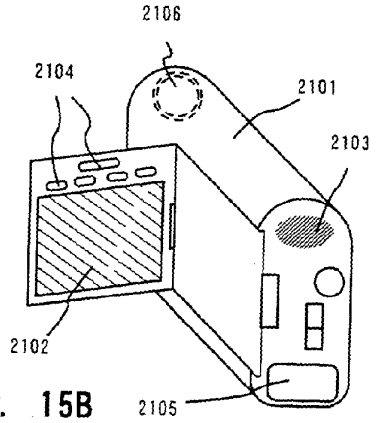


Fig. 15B

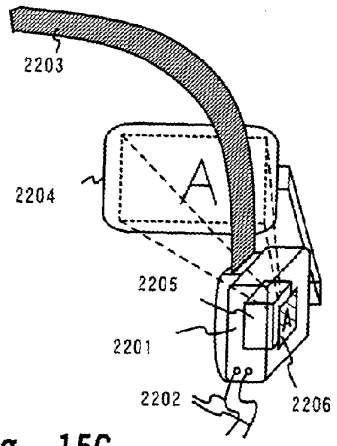


Fig. 15C

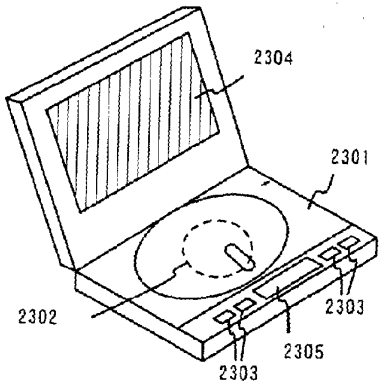


Fig. 15D

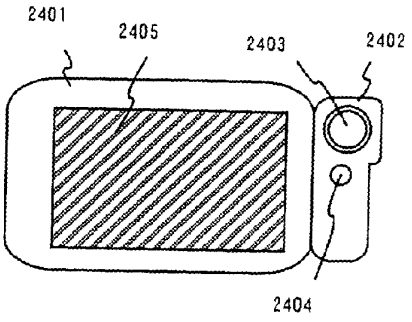


Fig. 15E

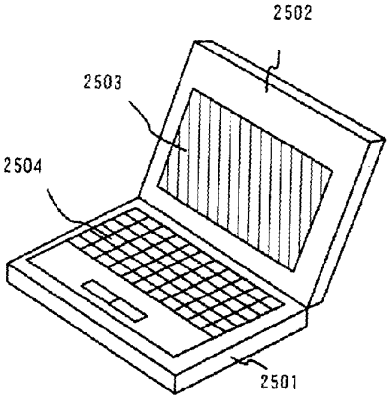


Fig. 15F

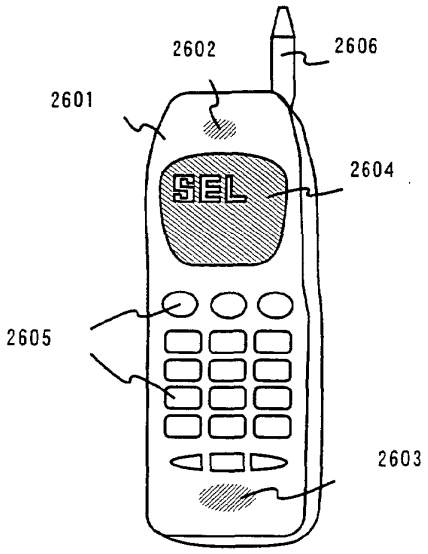


Fig. 16A

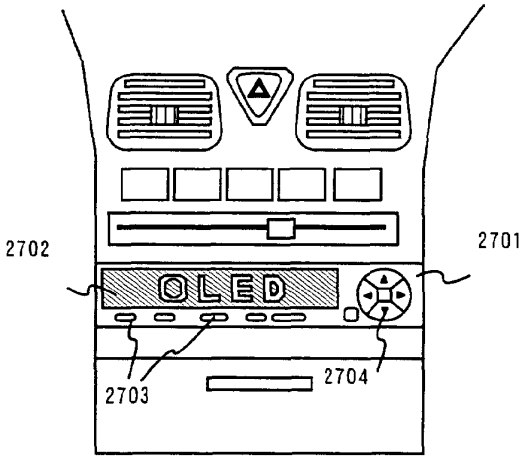


Fig. 16B

European Patent Office

EUROPEAN SEARCH REPORT

Application Number
EP 01 10 4296

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.7)
X,P	EP 1 058 484 A (SEMICONDUCTOR ENERGY LAB) 6 December 2000 (2000-12-06) * page 14, line 35 - line 39; figure 18C *	1	H01L27/00 H05B33/02 H01L51/40
A	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 12, 31 October 1998 (1998-10-31) & JP 10 189252 A (IDEMITSU KOSAN CO LTD), 21 July 1998 (1998-07-21) * abstract *	1-34	

TECHNICAL FIELDS SEARCHED (Int.Cl.7)

H01L
H05B

The present search report has been drawn up for all claims

Place of search	Date of completion of the search	Examiner
MUNICH	21 May 2001	Jonda, S

CATEGORY OF CITED DOCUMENTS

X : particularly relevant if taken alone
Y : particularly relevant if combined with another document of the same category
A : technological background
O : non-written disclosure
P : intermediate document

T : theory or principle underlying the invention
E : earlier patent document, but published on, or after the filing date
D : document cited in the application
L : document cited for other reasons

& : member of the same patent family, corresponding document

EPO FORM 1503 03.82 (P04C01)

ANNEX TO THE EUROPEAN SEARCH REPORT ON EUROPEAN PATENT APPLICATION NO. EP 01 10 4296

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report. The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

21-05-2001

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 1058484 A	06-12-2000	CN 1278660 A	03-01-2001
		JP 2001052873 A	23-02-2001
JP 10189252 A	21-07-1998	NONE	

EPO FORM P0459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 1 096 579 A2

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
02.05.2001 Bulletin 2001/18

(51) Int. Cl.[7]: **H01L 51/20**, H01L 27/00

(21) Application number: **00123568.8**

(22) Date of filing: **27.10.2000**

(84) Designated Contracting States:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE
Designated Extension States:
AL LT LV MK RO SI

(30) Priority: **29.10.1999 JP 30790399**

(71) Applicant:
SEL SEMICONDUCTOR ENERGY LABORATORY CO., LTD.
Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(72) Inventors:
- **Tsutsui, Tetsuo**
  Kasuga-shi, Fukuoka-ken 816-0833 (JP)
- **Konuma, Toshimitsu**
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)
- **Mizukami, Mayumi**
  Atsugi-shi, Kanagawa-ken 243-0036 (JP)

(74) Representative:
Grünecker, Kinkeldey,
Stockmair & Schwanhäusser
Anwaltssozietät
Maximilianstrasse 58
80538 München (DE)

(54) Organic light-emitting device

(57) To provide a method of improving an efficiency for extracting light in a self light-emitting device using an organic EL material. In the self light-emitting device having a structure in which an EL layer (102) is sandwiched between a transparent electrode (103) and a cathode (101), a film thickness of the EL layer (102) and a film thickness of the transparent electrode (102) are equivalent to the film thicknesses in which there is no occurrence of a guided light, and an inert gas is filled in a space between the transparent electrode (103) and a cover material (105).

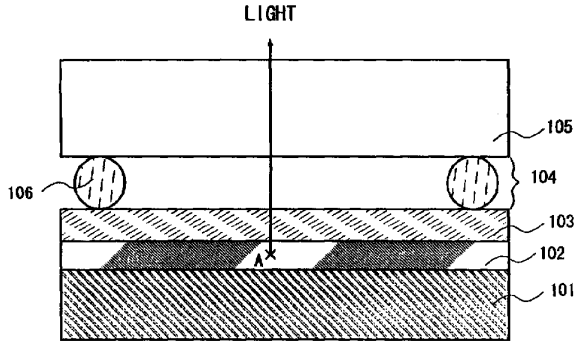


FIG. 1

EP 1 096 579 A2

Printed by Xerox (UK) Business Services
2.16.7 (HRS)/3.6

Description

BACKGROUND OF THE INVENTION

1. Field of the Invention

[0001] The present invention relates to a self light-emitting device including an EL element, which is formed on a substrate, and comprises an opaque electrode (cathode), a transparent electrode (anode), and a luminescing organic material (hereinafter referred to as an organic EL material) sandwiched therebetween. Specifically, the present invention relates to an improvement of efficiency for extracting light from the EL element.

2. Description of the Related Art

[0002] In recent years, developments of EL display devices employing as an element an organic EL material are advancing. This is a current driving type self light-emitting device utilizing light emitting, which is caused by re-coupling of an electron and a hole injected into an organic thin film from the electrodes of both surfaces by applying a voltage. The light emitted is extracted as a sheet luminescent. However, the efficiency of extracting light, generated in a solid-state thin film having a large refractive index, to outside of the light-emitting element as a sheet luminescent is extremely low, normally 20% or less.

[0003] As shown in Fig. 2, among the lights outputted from a light source "A" in an "a" layer 202 having a large refractive index ($n=n_1$) to "b" layers 201 and 203 having small refractive indexes ($n=n_2$), the light entering at angles (θ_1 and θ_2) greater than the radiation angle of θ_0 (provided that $\theta_0=\sin^{-1}(n_2/n_1)$) is entirely reflected and is waveguided in the "a" layer with a large refractive index. Thus, light that is waveguided is referred as a guided light. A part of the components of the guided light light is absorbed and disappears while the rest is propagated in the "a" layer 202 and escapes to the edge surface. Therefore, only a portion of the outgoing light can be extracted as a sheet luminescent.

SUMMARY OF THE INVENTION

[0004] The present invention has been made in view of the above stated problem, and therefore it is an object of the present invention to improve the efficiency of extracting light in a luminescent element, particularly, an EL element. Further, another object of the present invention is to provide a self light-emitting device having a high luminescing efficiency.

[0005] In the structure of the self-light emitting device of the present invention, as shown in Fig. 1, each of an EL layer 102 and a transparent electrode 103 contained in an EL element is formed so as to have a thickness in which a guided light does not occur, and an inert gas is filled between the transparent electrode and a cover material 105 (a region denoted by the reference numeral 104),. Note that the region denoted by the reference numeral 104 is referred to as a "gas space" throughout the present specification.

[0006] Throughout the present specification, an EL element is an element whose structure is composed of a cathode made of an opaque electrode, an anode made of a transparent electrode, and an EL layer sandwiched therebetween. In the present invention, the cathode is the opaque electrode (light shielding electrode) and the anode is the transparent electrode. Further, it is to be noted that a layer where the injection, transportation, and re-coupling of carriers are performed is referred to as the EL layer throughout the present specification.

[0007] Furthermore, the film thickness in which there is no occurrence of a guided light is referred to as a film thickness (d) derived from $d \leqq \lambda/(4n)$, where the refractive index of the film is n and the wavelength of the light generated in the EL element is λ. For instance, if the wavelength of the light generated in the EL element is 560 nm and the refractive index of the film is n_x, then $d \leqq (140/n_x)$. Therefore, there is no existence of a guided light in a film having a film thickness that is thinner than the film thickness (d). Note that it is appropriate to set the total film thickness to $(140/n_x)$ or less when the refractive indexes of both the film for constituting the EL layer and the transparent electrode are n_x.

[0008] Next, an explanation will be made regarding the structure in which an inert gas is filled into the space between the transparent electrode and the cover material. It is generally known that when light travels through a gas space, a solid-state layer, and a gas space again in that order, the light can be extracted efficiently. Therefore, the structure is formed such that light generated in the EL element travels through the gas space, the solid-state layer, and the gas space in that order after it has transmitted the transparent electrode, thereby making it possible to improve the efficiency of extracting light. In the present invention, the structure of the EL element is a structure in which the inert gas is sandwiched between the transparent electrode and the cover material, and thus by forming the above stated structure, light can be extracted efficiently.

[0009] When employing the EL element having the structure shown in Fig. 1, it is desirable to provide a buffer layer between the EL layer 102 comprising only a light-emitting layer and the transparent electrode 103, or between the EL layer 102 made of only a light-emitting layer and the opaque electrode. It is to be noted that the buffer layer indicates a layer for promoting the injection and transportation of carriers (electrons or holes). In other words, an electron injection layer, a hole injection layer, an electron transporting layer, or a hole transporting layer may be utilized as the buffer layer. In the case of providing a buffer layer, the buffer layer is contained in the EL layer throughout the present specification.

[0010] The provision of the buffer layer improves the state of interface between the light-emitting layer and the electrode, and therefore the efficiency of extracting light generated in the light-emitting layer is improved. In the case of providing a buffer layer in the EL element with the structure of Fig. 1 of the present invention, the luminescing efficiency is further enhanced. Moreover, a problem of damaging the light-emitting layer during forming the transparent electrode thereon can be resolved by forming the buffer layer sandwiched between the light-emitting layer and the transparent electrode.

[0011] Thus, in the present invention, the film thicknesses of the respective layers forming the EL layer 102 and the film thickness of the transparent electrode, which are included in the EL element, are film thicknesses in which there is no occurrence of a guided light, and there is inert gas in the space between the transparent electrode and the cover material 105, thereby making it possible to largely increase the efficiency of extracting light. In addition, by providing the buffer layers between the electrodes that sandwich the light-emitting layer and the light-emitting layer within the EL element to form the EL layer made of the light-emitting layer and the buffer layers, the efficiency of extracting light can further be improved.

BRIEF DESCRIPTION OF THE DRAWINGS

[0012] In the accompanying drawings:

Fig. 1 is a diagram showing a structure of a self light-emitting device of the present invention;
Fig. 2 is a diagram showing the state of generating a guided light;
Fig. 3 is a diagram showing a structure of a self light-emitting device of the present invention;
Fig. 4 is a diagram showing a structure of a self light-emitting device of the present invention; and
Fig. 5 is a diagram showing a structure of a self light-emitting device of the present invention.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

[0013] In the present invention, as shown in Fig. 1, an EL element has a structure wherein an EL layer 102 and a transparent electrode 103 contained therein is formed so as to have a film thickness where there is no occurrence of a guided light, respectively, and a gas space 104 is formed sandwiched between the transparent electrode 103 and a cover material 105. To give an actual example, the film thickness of the EL layer 102 is set to 30 nm and the film thickness of the transparent electrode 103 is set to 100 nm.

[0014] A polymer-based organic EL material or a monomer-based organic EL material is used for the EL layer 102. The polymer-based organic EL material can be dissolved in a solvent in the polymer state and then applied, or it can be dissolved in a solvent in the monomer state and then polymerized after it has been applied.

[0015] Note that the gas space 104 refers to the space filled with the inert gas (typically argon, nitrogen, neon, and krypton). The cover material 105 indicates a transparent member, and specifically, glass, quartz, plastic, etc. can be used.

[0016] Further, in order to improve the interface state in the transparent electrode and the EL layer comprising only a light-emitting layer, as shown in Fig. 3, the structure has buffer layers 302 and 304 sandwiched between a light-emitting layer 303 and a transparent electrode 306, and between the light-emitting layer 303 and an opaque electrode 301, thereby forming an EL layer 305 comprising the light-emitting layer 303 and the buffer layers 302 and 304.

[Embodiment 1]

[0017] Fig. 4 is a diagram showing the cross sectional structure of an active matrix type self light-emitting device of the present invention. In Fig. 4, reference numeral 401 denotes a substrate and 402 denotes a TFT. It is to be noted that a known TFT is used as the TFT 402. Furthermore, reference numeral 403 denotes an electrode having aluminum (AL) as its principal constituent, and a polyparaphenylene vinylene (PPV) is used for an EL layer 404. Reference numeral 405 denotes a transparent electrode made of ITO, and argon is filled in a gas space denoted by 406. Also, glass is used as a cover material 407 and spacers 408 are utilized in the gas space 406 to secure it.

[Embodiment 2]

[0018] Fig. 5 is a diagram showing a cross sectional structure of a passive matrix type self light-emitting device of the present invention. In Fig. 5, reference numeral 501 denotes a substrate and 502 denotes an EL layer. PPV is used for the EL layer. Reference numeral 503 denotes a plurality of opaque electrodes (cathodes) arranged in stripe shapes and a plurality of transparent electrodes (anodes) 504 are provided in stripe shapes so as to be orthogonal to the plurality of opaque electrodes 503.

[0019] In addition, the EL layer 502 is formed sandwiched between the plurality of opaque electrodes 503 and the plurality of transparent electrodes 504. At this point, a cover material 506 made of glass is provided on the plurality of transparent electrodes 504, sandwiching spacers 507. A gas space 505 is thus formed between the cover material 506 and the plurality of electrodes 504. Nitrogen is filled in the gas space 505 in Embodiment 2. Note that the constitution of Embodiment 2 may be implemented by freely combining it with the constitution of Embodiment 1.

[Embodiment 3]

[0020] As shown in Fig. 3, the EL layer 305 comprises the light-emitting layer 303 and, as buffer layers, the electron injection layer 302 and the hole injection layer 304. A polymer-based material is used for the layers constituting the El layer 305. For example, polyparaphenylene vinylene can be used for the light-emitting layer 303, copper pthalocyanine or PEDOT for the buffer layer (hole injection layer) 304, and lithium fluoride or lithium for the buffer layer (electron injection layer) 302.

[0021] Note that in forming the EL layer 305, it is desirable that the treatment atmosphere for conducting the formation of this layer is a dry atmosphere having as little moisture as possible and in inert gas. The inert gas here is one such as nitrogen or argon. Because the EL layer easily deteriorates due to the presence of moisture or oxygen, it is therefore necessary to eliminate these factors as much as possible when forming this layer. In addition, these layers which constitute the EL layer 305 may be provided commonly for all the pixels, and therefore they may be formed by employing the spin coating method or the printing method.

[0022] The electron injection layer 302, which is the buffer layer, has a role to inject electrons from the cathode 301 to the light-emitting layer 303, and the hole injection layer 304 has a role to inject holes from the transparent electrode (anode) 306 to the light-emitting layer 303. In addition, by providing the hole injection layer 304, the prevention of damages to the light-emitting layer 303 during the formation of the electrodes can be expected. Note that the constitution of Embodiment 3 may be implemented by freely combining it with the constitution of Embodiments 1 or 2.

[Embodiment 4]

[0023] In manufacturing the EL element, a tris (8-quinolinolate) aluminum complex (Alq_3) is used for the light-emitting layer, and when using magnesium and silver (MgAg) for the cathode, the evaporated complexes of both the Alq_3 and the acetylacet sodium complexes can be used as the buffer layer sandwiched between the light-emitting layer and the cathode. Note that the constitution of Embodiment 4 may be implemented by freely combining it with any of the constitutions of Embodiments 1 to 3.

[Embodiment 5]

[0024] A self light-emitting device having a structure in which an organic EL material is used as a light-emitting layer sandwiched between a cathode and an anode has excellent brightness as well as low power consumption, and hence may be utilized as a back light of a liquid crystal display device, etc. Regarding the cathode, the anode, and the light-emitting layer, each can be formed on the entire surface of the substrate provided that the cathode and the anode are formed in a range that they do not directly contact each other. Furthermore, materials such as PPV and PVK (polyvinyl carabazole) may be used as the organic EL material. The present invention may be employed as the back light of a liquid crystal display utilized in the display portion of a mobile phone, the monitor of a personal computer (PC), and the like. Note that the constitution of Embodiment 5 may be implemented by freely combining it with any of the constitutions of Embodiments 1 to 4.

Claims

1. A self light-emitting device comprising:

   an EL layer sandwiched between a transparent electrode and an opaque electrode; and
   an inert gas filled in a space between the transparent electrode and a cover material,
   wherein each of said EL layer and said transparent electrode has a film thickness (d) in which there is no occurrence of a guided light.

2. A device according to claim 1, wherein said film thickness (d) satisfies a formula $d \leqq \lambda/(4n)$, when a light with a wavelength λ generated by the EL layer passes through a medium with a refractive index n.

3. A self light-emitting device comprising:

   an EL layer sandwiched between a transparent electrode and an opaque electrode, said EL layer having a light-emitting layer;
   an inert gas is filled in a space between the transparent electrode and a cover material; and
   a buffer layer provided between said light-emitting layer and said transparent electrode or between said light-emitting layer and said opaque electrode,
   wherein each of said EL layer and said transparent electrode has a film thickness (d) in which there is no occurrence of a guided light.

4. A device according to claim 3, wherein said film thickness (d) satisfies a formula $d \leqq \lambda/(4n)$, when a light with a wavelength λ generated by the EL layer passes through a medium with a refractive index n.

5. A self light-emitting device having a pixel portion comprising a semiconductor device and an EL element electrically connected to the semiconductor device formed on a substrate, said EL element comprising:

   an EL layer sandwiched between a transparent electrode and an opaque electrode; and

an inert gas filled in a space between the transparent electrode and a cover material,
wherein each of said EL layer and said transparent electrode has a film thickness (d) in which there is no occurrence of a guided light.

6. A device according to claim 5, wherein said film thickness (d) satisfies a formula $d \leqq \lambda/(4n)$, when a light with a wavelength λ generated by the EL layer passes through a medium with a refractive index n.

7. A self light-emitting device having a pixel portion comprising a semiconductor device and an EL element electrically connected to the semiconductor device formed on a substrate, said EL element comprising:

an EL layer sandwiched between a transparent electrode and an opaque electrode, said EL layer having a light-emitting layer;
an inert gas filled in a space between the transparent electrode and a cover material; and
a buffer layer provided between said light-emitting layer and said transparent electrode or between said light-emitting layer and said opaque electrode,
wherein each of said EL layer and said transparent electrode has a film thickness (d) in which there is no occurrence of a guided light.

8. A device according to claim 7, wherein said film thickness (d) satisfies a formula $d \leqq \lambda/(4n)$, when a light with a wavelength λ generated by the EL layer passes through a medium with a refractive index n.

9. A self light-emitting device having a pixel portion comprising:

a plurality of opaque electrodes arranged in stripe shapes;
a plurality of transparent electrodes provided in stripe shapes so as to be orthogonal to the plurality of opaque electrodes;
an EL layer provided between the plurality of opaque electrodes and the plurality of transparent electrodes; and
an inert gas filled in a space between the transparent electrode and a cover material,
wherein each of said EL layer and said transparent electrode are film thickness (d) in which there is no occurrence of a guided light.

10. A device according to claim 9, wherein said film thickness (d) satisfies a formula $d \leqq \lambda/(4n)$, when a light with a wavelength λ generated by the EL layer passes through a medium with a refractive index n.

11. A self light-emitting device having a pixel portion comprising:

a plurality of opaque electrodes arranged in stripe shapes;
a plurality of transparent electrodes provided in stripe shapes so as to be orthogonal to the plurality of opaque electrodes;
an EL layer provided between the plurality of opaque electrodes and the plurality of transparent electrodes;
an inert gas filled in a space between the transparent electrode and a cover material; and
a buffer layer provided between said EL layer and said transparent electrode or between said EL layer and said opaque electrode,
wherein each of said EL layer and said transparent electrode has a film thickness (d) in which there is no occurrence of a guided light.

12. A device according to claim 11, wherein said film thickness (d) satisfies a formula $d \leqq \lambda/(4n)$, when a light with a wavelength λ generated by the EL layer passes through a medium with a refractive index n.

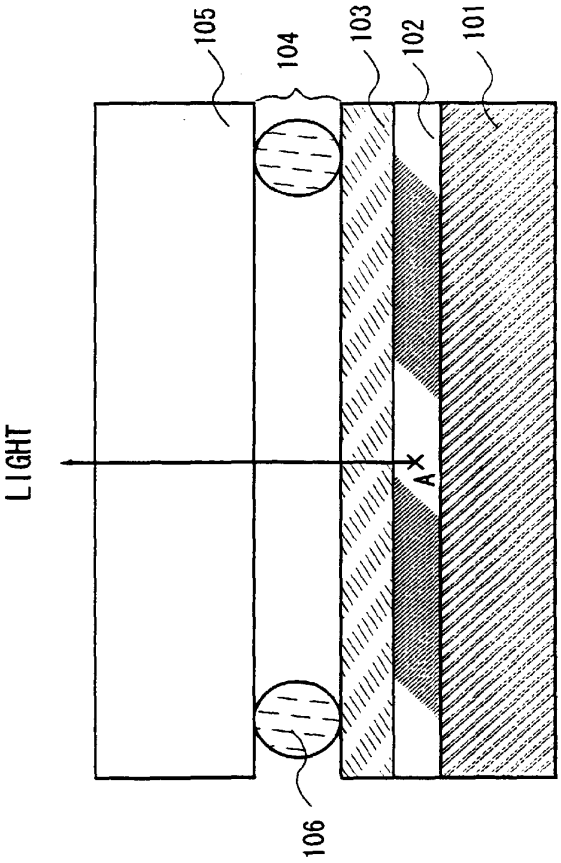


FIG. 1

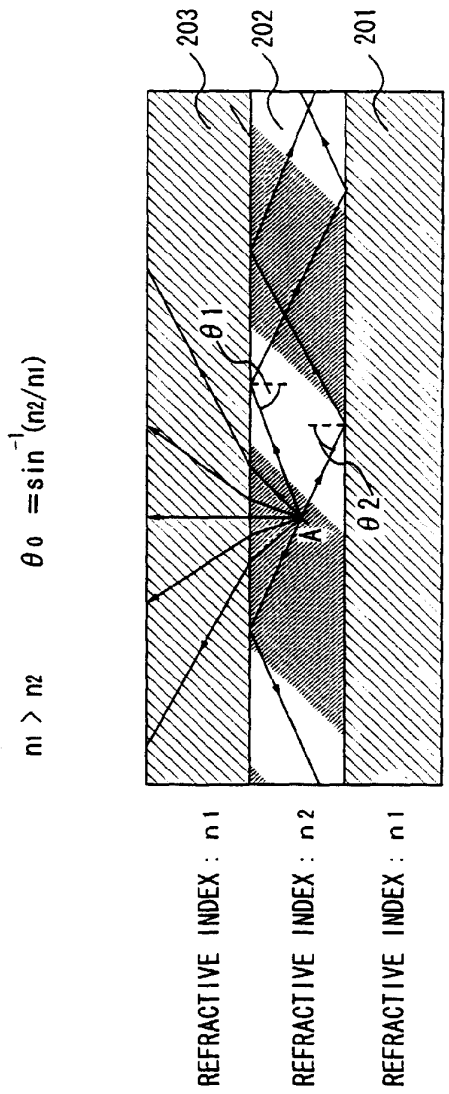

203
202
201
θ1
θ2
A
n1 > n2
θ0 =sin-1(n2/n1)
REFRACTIVE INDEX : n1
REFRACTIVE INDEX : n2
REFRACTIVE INDEX : n1

FIG. 2

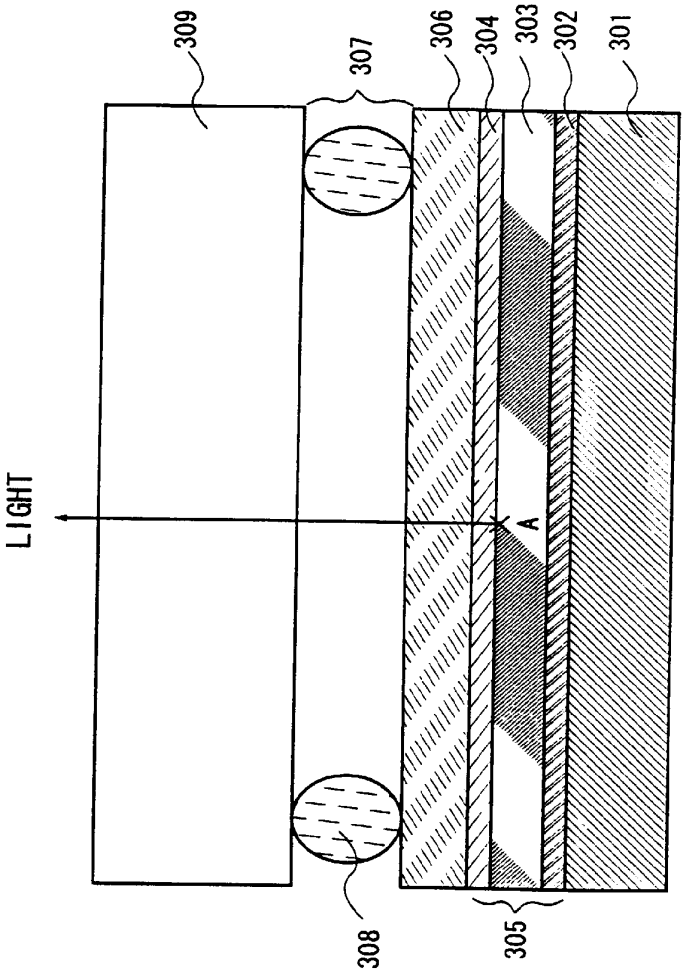


FIG. 3

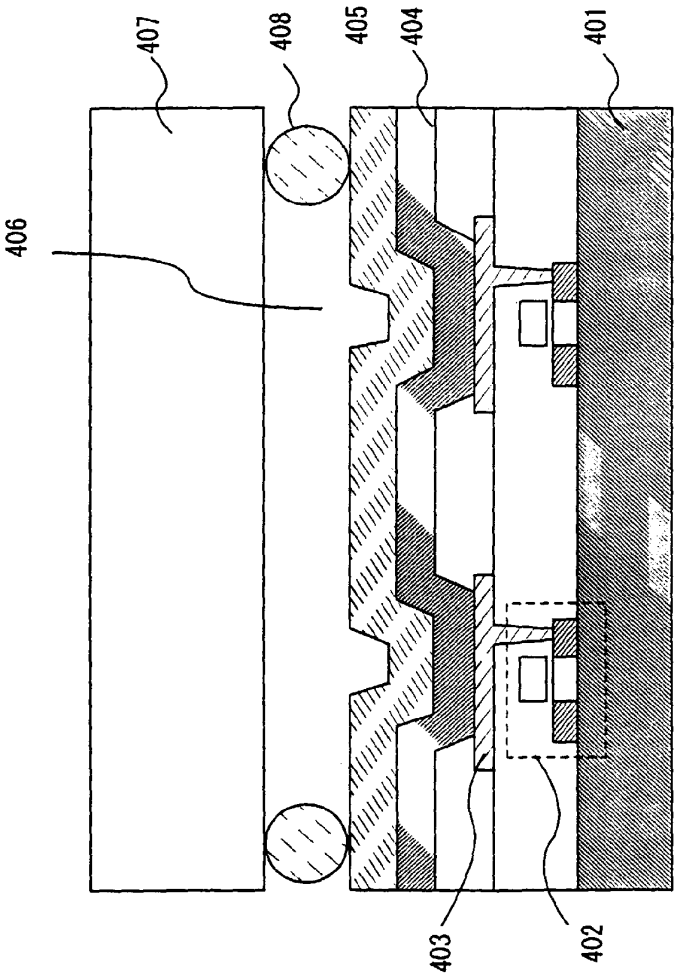


FIG. 4

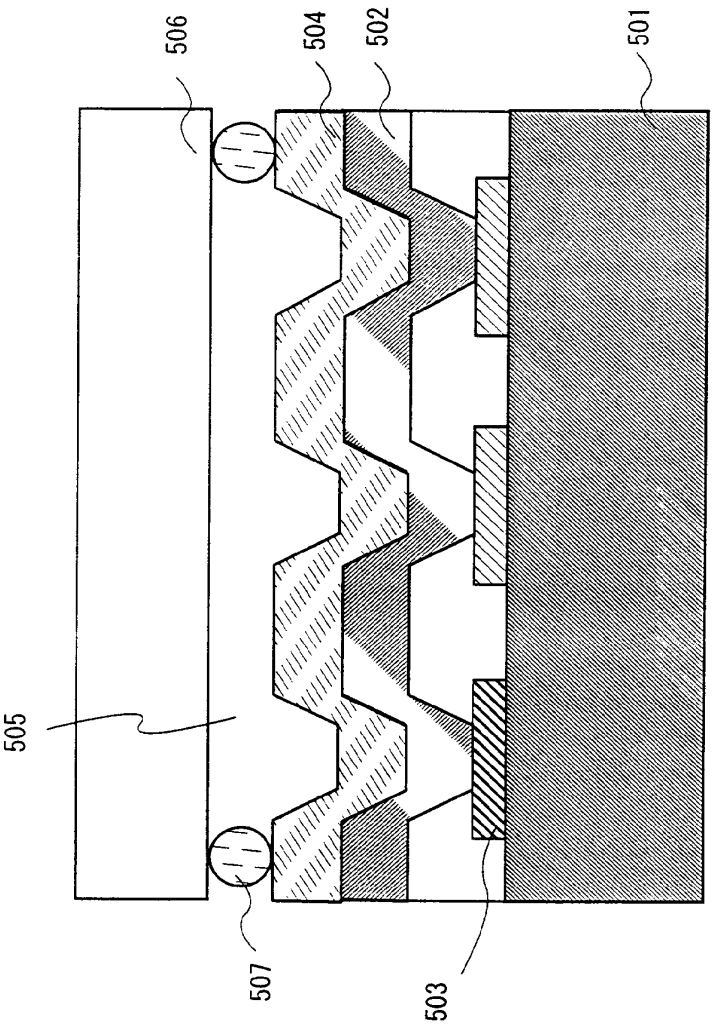


FIG. 5

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-310980
(43)Date of publication of application : 07.11.2000

(51)Int.Cl. G09G 3/36
G02F 1/133
G02F 1/1368
G09F 9/30
G09G 3/20

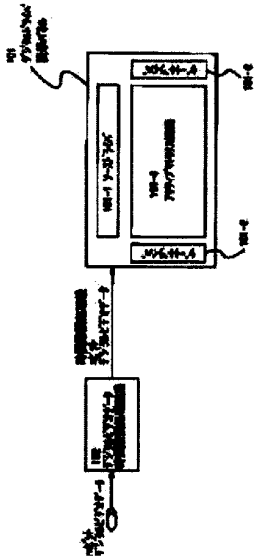
(21)Application number : 2000-039258
(22)Date of filing : 17.02.2000

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
(72)Inventor : YAMAZAKI SHUNPEI
KOYAMA JUN

(30)Priority
Priority number : 11045776 Priority date : 24.02.1999 Priority country : JP

(54) DISPLAY DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To enable multi-scale display by using the upper (n) bits as the information of scale voltage among (m) bits digital video data inputted from outside and by using the lower (m-n) bits as the information of time scale.
SOLUTION: A digital video data time scale processing circuit 102 converts the upper (n) bits among (m) bits inputted from outside into digital video data for scale voltages. Scale information of the lower (m-n) bits is expressed by a time scale. Here (m), (n) are both integer equal to or above 2, and m>n. The converted (n) bits digital video data are inputted into a display panel 101, are converted into analog scale data by a D/A conversion circuit within a source driver 101-1, and are supplied to each source signal line. The scale levels that this D/A conversion circuit outputs are 2n ways, but by combining with time scale display the number of scale display levels of the display device can be increased.



(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2000－310980
（P2000－310980A）
(43)公開日　平成12年11月７日(2000.11.7)

(51)Int.Cl.[7]		識別記号	F I			テーマコード（参考）
Ｇ０９Ｇ	3/36		Ｇ０９Ｇ	3/36		
Ｇ０２Ｆ	1/133	５５０	Ｇ０２Ｆ	1/133	５５０	
		５７５			５７５	
	1/1368		Ｇ０９Ｆ	9/30	３３８	
Ｇ０９Ｆ	9/30	３３８	Ｇ０９Ｇ	3/20	６４１Ｋ	

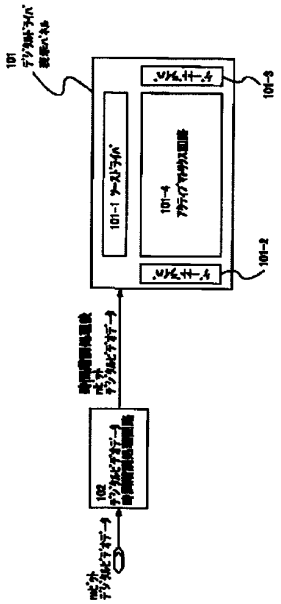
審査請求　未請求　請求項の数15　ＯＬ　（全 38 頁）　最終頁に続く

(21)出願番号　特願2000－39258(P2000－39258)
(22)出願日　平成12年２月17日(2000.2.17)
(31)優先権主張番号　特願平11－45776
(32)優先日　平成11年２月24日(1999.2.24)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内
(72)発明者　小山　潤
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

(54)【発明の名称】　表示装置

(57)【要約】
【課題】　Ｄ／Ａ変換回路の構成を複雑にすることなく、多階調表示を可能とする液晶表示装置を提供すること。
【解決手段】　外部から入力されるｍビットデジタルビデオデータのうち、上位ｎビットを電圧階調の情報として、かつ下位（ｍ－ｎ）ビットを時間階調の情報として用いる。



1

【特許請求の範囲】

【請求項１】複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、を有する表示装置であって、
外部から入力されるｍビットデジタルビデオデータのうち、上位ｎビットを階調電圧の情報として、かつ下位（ｍ－ｎ）ビットを時間階調の情報として用い、ｍ、ｎは共に２以上の正数、かつｍ＞ｎであることを特徴とする表示装置。

【請求項２】複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換し、前記ソースドライバに前記ｎビットデジタルビデオデータを供給する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、を有する表示装置であって、
2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行うことを特徴とする表示装置。

【請求項３】複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換し、前記ソースドライバに前記ｎビットデジタルビデオデータを供給する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、を有する表示装置であって、
2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行い、（2^{m}－（2^{m-n}－１））通りの階調表示を得ることを特徴とする表示装置。

【請求項４】複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、を有する表示装置であって、
外部から入力されるｍビットデジタルビデオデータのうち、上位ｎビットを階調電圧の情報として、かつ下位（ｍ－ｎ）ビットを時間階調の情報として用い（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、
前記ソースドライバは、前記ｎビットデジタルビデオデータをアナログ階調電圧に変換するＤ／Ａ変換回路を有していることを特徴とする表示装置。

【請求項５】複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、

2

前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換し、前記ソースドライバに前記ｎビットデジタルビデオデータを供給する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、を有する表示装置であって、
前記ソースドライバは、前記ｎビットデジタルビデオデータをアナログ階調電圧に変換するＤ／Ａ変換回路を有しており、
2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行うことを特徴とする表示装置。

【請求項６】複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換し、前記ソースドライバに前記ｎビットデジタルビデオデータを供給する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、を有する表示装置であって、
前記ソースドライバは、前記ｎビットデジタルビデオデータをアナログ階調電圧に変換するＤ／Ａ変換回路を有しており、
2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行い、（2^{m}－（2^{m-n}－１））通りの階調表示を得ることを特徴とする表示装置。

【請求項７】複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、
前記ｎビットデジタルビデオデータをアナログビデオデータに変換し、前記ソースドライバに入力するするＤ／Ａ変換回路と、を有する表示装置であって、
2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行うことを特徴とする表示装置。

【請求項８】複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、
前記ｎビットデジタルビデオデータをアナログビデオデ

ータに変換し、前記ソースドライバに入力するするＤ／Ａ変換回路と、を有する表示装置であって、

2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行い、（2^{m}－（2^{m-n}－１））通りの階調表示を得ることを特徴とする表示装置。

【請求項９】前記ｍは８、前記ｎは２であることを特徴とする請求項１乃至８のいずれか一に記載の表示装置。

【請求項１０】前記ｍは１０、前記ｎは２であることを特徴とする請求項１乃至８のいずれか一に記載の表示装置。

【請求項１１】前記ｍは１２、前記ｎは４であることを特徴とする請求項１乃至８のいずれか一に記載の表示装置。

【請求項１２】請求項１乃至１１のいずれか一に記載の表示装置を３個備えたリアプロジェクター。

【請求項１３】請求項１乃至１１のいずれか一に記載の表示装置を３個備えたフロントプロジェクター。

【請求項１４】請求項１乃至１１のいずれか一に記載の表示装置を１個備えた単板式リアプロジェクター。

【請求項１５】請求項１乃至１１のいずれか一に記載の表示装置を２備えたゴーグル型ディスプレイ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

【０００２】本発明は、表示装置に関する。特に、階調電圧と時間階調との両方によって階調表示を行う表示装置に関する。

【０００３】

【従来の技術】

【０００４】最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ（ＴＦＴ）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型表示装置の需要が高まってきたことによる。

【０００５】アクティブマトリクス型表示装置は、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれ画素ＴＦＴが配置され、各画素ＴＦＴに接続された画素電極に出入りする電荷を画素ＴＦＴのスイッチング機能により制御するものである。

【０００６】近年、画像の高精細化、高解像度化とともに、望ましくはフルカラー表示が行える多階調表示が求められている。

【０００７】また、アクティブマトリクス型表示装置の中でも、表示装置の高精細化、高解像度化に伴い、高速駆動が可能なデジタル駆動方式のアクティブマトリクス型表示装置が注目されてきている。

【０００８】

【発明が解決しようとする課題】

【０００９】デジタル駆動方式のアクティブマトリクス

型表示装置には、外部から入力されるデジタルビデオデータをアナログデータ（階調電圧）に変換するＤ／Ａ変換回路（ＤＡＣ）が必要である。Ｄ／Ａ変換回路には、様々な種類のものが存在する。

【００１０】アクティブマトリクス型表示装置の多階調表示能力は、このＤ／Ａ変換回路の能力、つまりＤ／Ａ変換回路が何ビットのデジタルビデオデータをアナログデータに変換することができるかに依存している。例えば、一般的に、２ビットのデジタルビデオデータを処理するＤ／Ａ変換回路を有する表示装置であれば、2^{2}＝４階調表示を行うことができ、８ビットならば2^{8}＝２５６階調表示を行うことができ、またｎビットならば2^{n}階調表示を行うことができる。

【００１１】しかし、Ｄ／Ａ変換回路の能力を上げるためには、Ｄ／Ａ変換回路の回路構成が複雑になり、かつレイアウト面積が大きくなる。最近では、Ｄ／Ａ変換回路をアクティブマトリクス回路と同一基板上にポリシリコンＴＦＴによって形成する表示装置が報告されてきている。しかし、この場合、Ｄ／Ａ変換回路の回路構成が複雑になると、Ｄ／Ａ変換回路の歩留まりが低下し、表示装置の歩留まりも低下してしまう。また、Ｄ／Ａ変換回路のレイアウト面積が大きくなると、小型の表示装置を実現することが困難になる。

【００１２】

【課題を解決するための手段】

【００１３】そこで、本発明は上述の問題に鑑みてなされたものであり、多階調の表示を実現することのできる表示装置を提供するものである。

【００１４】まず、図１を参照する。図１には、本発明の表示装置の概略構成図が示されている。１０１はデジタルドライバを有する表示パネルである。１０１－１はソースドライバであり、１０１－２および１０１－３はゲートドライバであり、１０１－４は複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路である。ソースドライバ１０１－１およびゲートドライバ１０１－２ならびに１０１－３は、アクティブマトリクス回路を駆動する。１０２はデジタルビデオデータ時間階調処理回路である。

【００１５】デジタルビデオデータ時間階調処理回路１０２は、外部から入力されるｍビットデジタルビデオデータのうちｎビットのデジタルビデオデータを、ｎビットの階調電圧の為のデジタルビデオデータに変換する。ｍビットのデジタルビデオデータのうち下位（ｍ－ｎ）ビットの階調情報は、時間階調によって表現される。

【００１６】デジタルビデオデータ時間階調処理回路１０２によって変換されたｎビットデジタルビデオデータは、表示パネル１０１に入力される。表示パネル１０１に入力されたｎビットデジタルビデオデータは、ソースドライバに入力され、ソースドライバ内のＤ／Ａ変換回路でアナログ階調データに変換され、各ソース信号線に

5

供給される。

【００１７】次に、本発明の表示装置の別の例を図２に示す。図２において、２０１はアナログドライバを有する表示パネルである。２０１－１はソースドライバであり、２０１－２および２０１－３はゲートドライバであり、２０１－４は複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路である。ソースドライバ２０１－１およびゲートドライバ２０１－２ならびに２０１－３は、アクティブマトリクス回路を駆動する。２０２はＡ／Ｄ変換回路であり、外部から供給されるアナログビデオデータをｍビットデジタルビデオデータに変換する。２０３はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調処理回路２０３は、入力されるｍビットデジタルビデオデータのうちｎビットのデジタルビデオデータを、ｎビットの階調電圧の為のデジタルビデオデータに変換する。入力されるｍビットのデジタルビデオデータのうち下位（ｍ－ｎ）ビットの階調情報は、時間階調によって表現される。デジタルビデオデータ時間階調処理回路２０３によって変換されたｎビットデジタルビデオデータは、Ｄ／Ａ変換回路２０４に入力され、アナログビデオデータに変換される。Ｄ／Ａ変換回路２０４によって変換されたアナログビデオデータは、表示パネル２０１に入力される。表示パネル２０１に入力されたアナログビデオデータは、ソースドライバに入力され、ソースドライバ内のサンプリング回路によってサンプリングされ、各ソース信号線に供給される。

【００１８】なお、本発明の表示装置の動作の詳細について実施形態を用いて後述することにする。

【００１９】以下に本発明の構成を述べる。

【００２０】本発明によると、複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、を有する表示装置であって、外部から入力されるｍビットデジタルビデオデータのうち、上位ｎビットを階調電圧の情報として、かつ下位（ｍ－ｎ）ビットを時間階調の情報として用い、ｍ、ｎは共に２以上の正数、かつｍ＞ｎであることを特徴とする表示装置が提供される。。

【００２１】また、本発明によると、複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換し、前記ソースドライバに前記ｎビットデジタルビデオデータを供給する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、を有する表示装置であって、2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行うことを特徴とする表示装置が提供される。

6

【００２２】また、本発明によると、複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換し、前記ソースドライバに前記ｎビットデジタルビデオデータを供給する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、を有する表示装置であって、2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行い、（2^{m}－（2^{m-n}－１））通りの階調表示を得ることを特徴とする表示装置が提供される。

【００２３】また、本発明によると、複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、を有する表示装置であって、外部から入力されるｍビットデジタルビデオデータのうち、上位ｎビットを階調電圧の情報として、かつ下位（ｍ－ｎ）ビットを時間階調の情報として用い（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、前記ソースドライバは、前記ｎビットデジタルビデオデータをアナログ階調電圧に変換するＤ／Ａ変換回路を有していることを特徴とする表示装置が提供される。

【００２４】また、本発明によると、複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換し、前記ソースドライバに前記ｎビットデジタルビデオデータを供給する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、を有する表示装置であって、前記ソースドライバは、前記ｎビットデジタルビデオデータをアナログ階調電圧に変換するＤ／Ａ変換回路を有しており、2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行うことを特徴とする表示装置が提供される。

【００２５】また、本発明によると、複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換し、前記ソースドライバに前記ｎビットデジタルビデオデータを供給する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、を有する表示装置であって、前記ソースドライバは、前記ｎビットデジタルビデオデータをアナログ階調電圧に変換するＤ／Ａ変換回路を有しており、2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行い、（2^{m}－（2^{m-n}－１））通りの階調表示を得ることを特徴とする表示装置が提供される。

【００２６】また、本発明によると、複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、前記ｎビットデジタルビデオデータをアナログビデオデータに変換し、前記ソースドライバに入力するするＤ／Ａ変換回路と、を有する表示装置であって、2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行うことを特徴とする表示装置が提供される。

【００２７】また、本発明によると、複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力されるｍビットデジタルビデオデータを階調電圧のためのｎビットデジタルビデオデータに変換する回路と（ｍ、ｎは共に２以上の正数、ｍ＞ｎ）、前記ｎビットデジタルビデオデータをアナログビデオデータに変換し、前記ソースドライバに入力するするＤ／Ａ変換回路と、を有する表示装置であって、2^{m-n}個のサブフレームによって１フレームの映像を形成することによって時間階調表示を行い、（2^{m}－（2^{m-n}－１））通りの階調表示を得ることを特徴とする表示装置が提供される。

【００２８】前記ｍは８、前記ｎは２であってもよい。

【００２９】前記ｍは１０、前記ｎは２であってもよい。

【００３０】前記ｍは１２、前記ｎは４であってもよい。

【００３１】

【発明の実施の形態】

【００３２】以下に本発明の表示装置を実施形態をもって説明する。ただし、本発明の表示装置は、以下の実施形態に限定されるわけではない。

【００３３】（実施形態１）

【００３４】本実施形態の表示装置の概略構成図を図３に示す。本実施形態においては、説明の簡略のため、外部から４ビットデジタルビデオデータが供給される表示装置を例にとる。

【００３５】３０１はデジタルドライバを有する表示パネルである。３０１－１はソースドライバであり、３０１－２および３０１－３はゲートドライバであり、３０１－４は複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路である。

【００３６】デジタルビデオデータ時間階調処理回路３０２は、外部から入力される４ビットデジタルビデオデータのうち上位２ビットのデジタルビデオデータを、２ビットの階調電圧の為のデジタルビデオデータに変換する。４ビットのデジタルビデオデータのうち下位２ビットの階調情報は、時間階調によって表現される。

【００３７】デジタルビデオデータ時間階調処理回路３０２によって変換された上位２ビットデジタルビデオデータは、表示パネル３０１に入力される。表示パネル３０１に入力された２ビットデジタルビデオデータは、ソースドライバに入力され、ソースドライバ内のＤ／Ａ変換回路（図示せず）でアナログ階調データに変換され、各ソース信号線に供給される。なお、本実施形態の表示パネルに内蔵されるＤ／Ａ変換回路は、２ビットのデジタルビデオデータをアナログ階調電圧に変換する。

【００３８】ここで、本実施形態の表示パネルが表示媒体として液晶を用いた液晶パネルである場合について説明する。表示パネル３０１の回路構成、特にアクティブマトリクス回路３０１－４について、図４を用いて説明する。

【００３９】アクティブマトリクス回路３０１－４は、（ｘ×ｙ）個の画素を有している。それぞれの画素には、説明の便宜上、Ｐ1,1、Ｐ2,1、・・・、Ｐy,x等の符号が付けられている。また、それぞれの画素は、画素ＴＦＴ３０１－４－１、保持容量３０１－４－３を有している。また、ソースドライバ３０１－１、ゲートドライバ３０１－２ならびに３０１－３、およびアクティブマトリクス回路３０１－４が形成されているアクティブマトリクス基板と対向基板との間には、液晶が挟まれている。液晶３００６は、各画素に対応する液晶を模式的に示したものである。

【００４０】本実施形態のデジタルドライバ表示パネルは、１ライン分の画素（例えば、Ｐ1,1、Ｐ1,2、・・・、Ｐ1,x）を同時に駆動する、いわゆる線順次駆動を行う。言い換えると、１ライン分の画素に同時にアナログ階調電圧を書き込む。全ての画素（Ｐ1,1～Ｐy,x）にアナログ階調電圧を書き込むのに要する時間を１フレーム期間（Ｔf）と呼ぶことにする。また、１フレーム期間（Ｔf）を４分割した期間をサブフレーム期間（Ｔsf）と呼ぶことにする。さらに、１ライン分の画素（例えば、Ｐ1,1、Ｐ1,2、・・・、Ｐ1,x）にアナログ階調電圧を書き込むのに要する時間を１ライン期間（Ｔsf1）と呼ぶことにする。

【００４１】本実施形態の表示装置の階調表示について説明する。本実施形態の表示装置に外部から供給されるデジタルビデオデータは、４ビットであり、１６階調の情報を有している。ここで、図５を参照する。図５には、本実施形態の表示装置の階調表示レベルが示されている。電圧レベルＶＬはＤ／Ａ変換回路に入力される最低の電圧レベルであり、また、電圧レベルＶＨはＤ／Ａ変換回路に入力される最高の電圧レベルである。

【００４２】本実施形態においては、４階調の電圧レベルを実現するために、電圧レベルＶＨと電圧レベルＶＬとの間をほぼ等電圧レベルに分割し、その電圧レベルのステップをαとした。なお、α＝（ＶＨ－ＶＬ）／４であ

る。よって、本実施形態のＤ／Ａ変換回路が出力する階調電圧レベルは、デジタルビデオデータのアドレスが（００）の時はＶＬとなり、デジタルビデオデータのアドレスが（０１）の時はＶＬ＋αとなり、デジタルビデオデータのアドレスが（１０）の時はＶＬ＋２αとなり、デジタルビデオデータのアドレスが（１１）の時はＶＬ＋３αとなる。

【００４３】本実施形態のＤ／Ａ変換回路が出力できる階調電圧レベルは、上述の様にＶＬ、ＶＬ＋α、ＶＬ＋２α、およびＶＬ＋３αの４通りである。そこで、本発明においては、時間階調表示を組合わせることによって、表示装置の階調表示レベルの数を上げることができる。本実施形態においては、４ビットデジタルビデオデータのうちの２ビット分の情報を時間階調表示にもちいることによって、電圧レベルのステップαをほぼ４等分した階調電圧レベルに相当する階調表示レベルを実現することができる。つまり、本実施形態の表示装置は、ＶＬ、ＶＬ＋α／４、ＶＬ＋２α／４、ＶＬ＋３α／４、ＶＬ＋α、ＶＬ＋５α／４、ＶＬ＋６α／４、ＶＬ＋７α／４、ＶＬ＋２α、ＶＬ＋９α／４、ＶＬ＋１０α／４、ＶＬ＋１１α／４、ＶＬ＋３αの階調電圧レベルに相当する階調表示レベルを実現することができる。

【００４４】ここで、外部から入力される４ビットデジタルビデオデータアドレスと、時間階調処理後デジタルビデオデータアドレスおよびそれに対応する階調電圧レベルと、時間階調を組み合わせた階調表示レベルとの対応を下記の表１に示す。

【００４５】

【表１】

ﾃﾞｼﾞﾀﾙﾋﾞﾃﾞｵﾃﾞｰﾀｱﾄﾞﾚｽ		時間階調処理後ﾃﾞｼﾞﾀﾙﾋﾞﾃﾞｵﾃﾞｰﾀ ｱﾄﾞﾚｽ （階調電圧ﾚﾍﾞﾙ）				時間階調を組み合わせた階調表示レベル
上位	下位	1st Tsfl	2nd Tsfl	3rd Tsfl	4th Tsfl	
00	00	00 (V_L)	00 (V_L)	00 (V_L)	00 (V_L)	V_L
	01	00 (V_L)	00 (V_L)	00 (V_L)	01 ($V_{L+\alpha}$)	$V_{L+\alpha/4}$
	10	00 (V_L)	00 (V_L)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	$V_{L+2\alpha/4}$
	11	00 (V_L)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	$V_{L+3\alpha/4}$
01	00	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	$V_{L+\alpha}$
	01	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	10 ($V_{L+2\alpha}$)	$V_{L+5\alpha/4}$
	10	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	$V_{L+6\alpha/4}$
	11	01 ($V_{L+\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	$V_{L+7\alpha/4}$
10	00	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	$V_{L+2\alpha}$
	01	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	11 ($V_{L+3\alpha}$)	$V_{L+9\alpha/4}$
	10	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	$V_{L+10\alpha/4}$
	11	10 ($V_{L+2\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	$V_{L+11\alpha/4}$
11	00	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	$V_{L+3\alpha}$
	01	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	$V_{L+3\alpha}$
	10	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	$V_{L+3\alpha}$
	11	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	$V_{L+3\alpha}$

【００４６】本実施形態の表示装置は、１フレーム期間　50　Ｔｆを４つのサブフレーム期間（1st　Tsf、2nd　Tsf、

3rd Tsf、および4th Tsf）に分割して表示を行っている。さらに、本実施形態の表示装置は、線順次駆動を行うので、各画素は１ライン期間（Tsf1）の間、階調電圧が書き込まれる。よって、各サブフレーム期間（1st Tsf、2nd Tsf、3rd Tsf、および4th Tsf）に対応する各サブフレームライン期間（1st Tsf1、2nd Tsf1、3rd Tsf1、および4th Tsf1）に、時間階調処理後の２ビットデジタルビデオデータのアドレスがD／A変換回路に入力され、D／A変換回路から階調電圧が出力される。４つのサブフレームライン期間（1st Tsf1、2nd Tsf1、3rd Tsf1、および4th Tsf1）に書き込まれる階調電圧によって４回のサブフレームの表示が高速に行われ、結果として１フレームの階調表示は、各サブフレームライン期間の階調電圧レベルの総和を時間平均したものになる。

【００４７】なお、表１に示すように、本実施形態においては、４ビットデジタルビデオデータのアドレスが（１１００）～（１１１１）までは同じ階調電圧レベル（VL＋３α）が出力される。

【００４８】よって、本実施形態の表示装置においては、２ビットデジタルビデオデータを扱うD／A変換回路をした場合でも、$2^4-3=13$階調の階調レベルの表示を行うことができる。

【００４９】図６には、本実施形態の表示装置の駆動タイミングチャートが示されている。図６には、画素P1,1～画素Py,1が例にとって示されている。

【００５０】画素P1,1を例にとって説明すると、画素P1,1には、各サブフレームライン期間（1st Tsf1、2nd Tsf1、3rd Tsf1、および4th Tsf1）に、デジタルビデオデータ1,1-1、1,1-2、1,1-3、および1,1-4がそれぞれ書き込まれる。これらのデジタルビデオデータ1,1-1、1,1-2、1,1-3、および1,1-4は、４ビットのデジタルビデオデータ1,1を時間階調処理した２ビットデジタルビデオデータである。

【００５１】このような動作が、全ての画素について行われる。

【００５２】ここで、図７を参照する。図７は、ある画素（例えば、画素P1,1）に書き込まれる階調電圧レベルと、サブフレーム期間およびフレーム期間との関係を示したものである。

【００５３】まず、１フレーム期間目に着目すると、第１のサブフレームライン期間（1st Tsf1）にはVL＋αの階調電圧が書き込まれ、第１のサブフレーム期間（1st Tsf）には階調電圧VL＋αに対応した画像が表示される。次に、第２のサブフレームライン期間（2nd Tsf1）にはVL＋２αの階調電圧が書き込まれ、第２のサブフレーム期間（2nd Tsf）には階調電圧VL＋２αに対応した画像が表示される。次に、第３のサブフレームライン期間（3rd Tsf1）にはVL＋２αの階調電圧が書き込まれ、第３のサブフレーム期間（3rd Tsf）には階調電圧VL＋２αに対応した画像が表示される。次に、第４のサブフレームライン期間（4th Tsf1）にはVL＋２αの階調電圧が書き込まれ、第４のサブフレーム期間（4th Tsf）には階調電圧VL＋２αに対応した画像が表示される。よって、１フレーム目の階調表示レベルは、VL＋７α／４の階調電圧レベルに対応した階調表示となる。

【００５４】次に、２フレーム期間目に着目すると、第１のサブフレームライン期間（1st Tsf1）にはVL＋２αの階調電圧が書き込まれ、第１のサブフレーム期間（1st Tsf）には階調電圧VL＋２αに対応した画像が表示される。次に、第２のサブフレームライン期間（2nd Tsf1）にはVL＋２αの階調電圧が書き込まれ、第２のサブフレーム期間（2nd Tsf）には階調電圧VL＋２αに対応した画像が表示される。次に、第３のサブフレームライン期間（3rd Tsf1）にはVL＋３αの階調電圧が書き込まれ、第３のサブフレーム期間（3rd Tsf）には階調電圧VL＋３αに対応した画像が表示される。次に、第４のサブフレームライン期間（4th Tsf1）にはVL＋３αの階調電圧が書き込まれ、第４のサブフレーム期間（4th Tsf）には階調電圧VL＋３αに対応した画像が表示される。よって、２フレーム目の階調表示レベルは、VL＋１０α／４の階調電圧レベルに対応した階調表示となる。

【００５５】このように、１３通りの階調表示が行われることが理解される。

【００５６】なお、本実施形態においては、４階調の電圧レベルを実現するために、電圧レベルVHと電圧レベルVLとの間をほぼ等電圧レベルに分割し、その電圧レベルのステップをαとしたが、電圧レベルVHと電圧レベルVLとの間を等電圧レベルに分割せず任意に設定した場合でも、本発明の効果はある。

【００５７】また、本実施形態においては、各サブフレームライン期間に書き込まれる階調電圧レベルを表１のように設定したが、下記の表２に示す様にしてもよい。

【００５８】

【表２】

13　　14

ﾃﾞｼﾞﾀﾙﾋﾞﾃﾞｵﾃﾞｰﾀｱﾄﾞﾚｽ		時間階調処理後ﾃﾞｼﾞﾀﾙﾋﾞﾃﾞｵﾃﾞｰﾀ ｱﾄﾞﾚｽ (階調電圧ﾚﾍﾞﾙ)				時間階調を組み合わせた階調表示レベル
上位	下位	1st Tsfl	2nd Tsfl	3rd Tsfl	4th Tsfl	
00	00	00 (V_L)	00 (V_L)	00 (V_L)	00 (V_L)	V_L
	01	01 ($V_{L+\alpha}$)	00 (V_L)	00 (V_L)	00 (V_L)	$V_{L+\alpha/4}$
	10	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	00 (V_L)	00 (V_L)	$V_{L+2\alpha/4}$
	11	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	00 (V_L)	$V_{L+3\alpha/4}$
01	00	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	$V_{L+\alpha}$
	01	10 ($V_{L+2\alpha}$)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	$V_{L+5\alpha/4}$
	10	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	01 ($V_{L+\alpha}$)	01 ($V_{L+\alpha}$)	$V_{L+6\alpha/4}$
	11	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	01 ($V_{L+\alpha}$)	$V_{L+7\alpha/4}$
10	00	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	$V_{L+2\alpha}$
	01	11 ($V_{L+3\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	$V_{L+9\alpha/4}$
	10	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	10 ($V_{L+2\alpha}$)	10 ($V_{L+2\alpha}$)	$V_{L+10\alpha/4}$
	11	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	10 ($V_{L+2\alpha}$)	$V_{L+11\alpha/4}$
11	00	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	$V_{L+3\alpha}$
	01	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	$V_{L+3\alpha}$
	10	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	$V_{L+3\alpha}$
	11	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	11 ($V_{L+3\alpha}$)	$V_{L+3\alpha}$

【００５９】また、各サブフレームライン期間（1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl）に書き込まれるデジタルビデオデータのアドレス（または階調電圧レベル）は、表１または表２以外の組合わせによっても設定され得る。

【００６０】また、本実施形態においては、外部から入力される４ビットデジタルビデオデータのうち上位２ビットのデジタルビデオデータを、２ビットの階調電圧の為のデジタルビデオデータに変換し、４ビットのデジタルビデオデータのうち下位２ビットの階調情報は、時間階調によって表現されるようにした。ここで、一般に、外部からｍビットのデジタルビデオデータが時間階調処理回路によって、上位ｎビットデジタルビデオデータが、階調電圧の為のデジタルビデオデータに変換され、下位（ｍ－ｎ）ビットの階調情報は、時間階調によって表現される場合を考える。なお、ｍ、ｎは共に２以上の整数であり、ｍ＞ｎとする。

【００６１】この場合、フレーム期間（Ｔｆ）とサブフレーム期間（Ｔｓｆ）との関係は、

$Tf = 2^{m-n} \cdot Tsf$

となり、（2^m－（2^{m-n}－１））通りの階調表示を行うことができる。

【００６２】なお、ｍ＝１２およびｎ＝４でもよい。

【００６３】（実施形態２）

【００６４】本実施形態においては、８ビットデジタルビデオデータが入力される表示装置について説明する。図８を参照する。図８には、本実施形態の表示装置の概略構成図が示されている。８０１はデジタルドライバを有するパネルである。８０１－１ならびに８０１－２はソースドライバであり、８０１－３はゲートドライバであり、８０１－４は複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路であり、８０１－

５はデジタルビデオデータ時間階調処理回路である。

【００６５】デジタルビデオデータ時間階調処理回路８０１－５は、外部から入力される８ビットデジタルビデオデータのうち６ビットのデジタルビデオデータを、６ビットの階調電圧の為のデジタルビデオデータに変換する。８ビットのデジタルビデオデータのうち２ビットの階調情報は、時間階調によって表現される。

【００６６】デジタルビデオデータ時間階調処理回路８０１－５によって変換された６ビットデジタルビデオデータは、ソースドライバ８０１－１および８０１－２に入力され、ソースドライバ内のＤ／Ａ変換回路（図示せず）でアナログ階調電圧に変換され、各ソース信号線に供給される。なお、本実施形態の表示装置に内蔵されるＤ／Ａ変換回路は、６ビットのデジタルビデオデータをアナログ階調電圧に変換する。

【００６７】なお、本実施形態の表示装置においては、ソースドライバ８０１－１ならびに８０１－２、ゲートドライバ８０１－３、アクティブマトリクス回路８０１－４、およびデジタルビデオデータ時間階調処理回路８０１－５が同一基板上に一体形成されている。

【００６８】ここで、図９を参照する。図９には、本実施形態の表示装置の回路構成がより詳しく示されている。ソースドライバ８０１－１は、シフトレジスタ回路８０１－１－１、ラッチ回路１（８０１－１－２）、ラッチ回路２（８０１－１－３）、Ｄ／Ａ変換回路（８０１－１－４）を有している。その他、バッファ回路やレベルシフタ回路（いずれも図示せず）を有している。また、説明の便宜上、Ｄ／Ａ変換回路８０１－１－４にはレベルシフタ回路が含まれている。

【００６９】ソースドライバ８０１－２は、ソースドライバ８０１－１と同じ構成を有する。なお、ソースドライバ８０１－１は、奇数番目のソース信号線に画像信号（階調電圧）を供給し、ソースドライバ８０１－２は、偶数番目のソース信号線に画像信号を供給するようになっている。

【００７０】なお、本実施形態のアクティブマトリクス型表示装置においては、回路レイアウトの都合上、アクティブマトリクス回路の上下を挟むように２つのソースドライバ８０１－１および８０１－２を設けたが、回路レイアウト上、可能であれば、ソースドライバを１つだけ設けるようにしても良い。

【００７１】また、８０１－３はゲートドライバであり、シフトレジスタ回路、バッファ回路、レベルシフタ回路等（いずれも図示せず）を有している。

【００７２】アクティブマトリクス回路８０１－４は、１９２０×１０８０（横×縦）の画素を有している。各画素の構成は、上記実施形態１で説明したものと同様である。

【００７３】本実施形態の表示装置は、６ビットデジタルビデオデータを扱うＤ／Ａ変換回路８０１－１－４を有している。また、外部から供給される８ビットデジタルビデオデータのうち下位２ビット分の情報を時間階調を行うために用いる。なお、時間階調については、上述の実施形態１と同様である。

【００７４】よって、本実施形態の表示装置は、2^8－３＝２５３通りの階調表示を行うことができる。

【００７５】（実施形態３）

【００７６】図１０において、１００１はアナログドライバを有する表示パネルである。１００１－１はソースドライバであり、１００１－２および１００１－３はゲートドライバであり、１００１－４は複数の画素ＴＦＴがマトリクス状に配置されたアクティブマトリクス回路である。

【００７７】デジタルビデオデータ時間階調処理回路１００２は、外部から入力される４ビットデジタルビデオデータのうち上位２ビットのデジタルビデオデータを、２ビットの階調電圧の為のデジタルビデオデータに変換する。４ビットのデジタルビデオデータのうち下位２ビットの階調情報は、時間階調によって表現される。

【００７８】デジタルビデオデータ時間階調処理回路１００２によって変換された上位２ビットデジタルビデオデータは、Ｄ／Ａ変換回路１００３に入力され、アナログビデオデータに変換される。おして、このアナログビデオデータは、パネル１００１に入力される。

【００７９】ここで、本実施形態の表示パネル１００１に表示媒体として液署を用いて液晶パネルとした場合について説明する。本実施形態の表示パネル１００１の回路回路構成、特にアクティブマトリクス回路１００１－４について、図１１を用いて説明する。

【００８０】アクティブマトリクス回路１００１－４は、（ｘ×ｙ）個の画素を有している。それぞれの画素には、説明の便宜上、Ｐ1,1、Ｐ2,1、・・・、Ｐy,x等の符号が付けられている。また、それぞれの画素は、画素ＴＦＴ１００１－４－１、保持容量１００１－４－３を有している。また、ソースドライバ１００１－１、ゲートドライバ１００１－２ならびに１００１－３、およびアクティブマトリクス回路１００１－４が形成されているアクティブマトリクス基板と対向基板との間には、液晶が挟まれている。液晶１００１－４－２は、各画素に対応する液晶を模式的に示したものである。

【００８１】本実施形態のアナログドライバ液晶パネルは、１つの画素を順に駆動する、いわゆる点順次駆動を行う。全ての画素（Ｐ1,1～Ｐy,x）にアナログ階調電圧を書き込むのに要する時間を１フレーム期間（Ｔf）と呼ぶことにする。また、１フレーム期間（Ｔf）を４分割した期間をサブフレーム期間（Ｔsf）と呼ぶことにする。さらに、１つ分の画素（例えば、Ｐ1,1、Ｐ1,2、・・・、Ｐ1,x）にアナログ階調電圧を書き込むのに要する時間を１サブフレームドット期間（Ｔsfd）と呼ぶことにする。

【００８２】本実施形態の表示装置の階調表示について説明する。本実施形態の表示装置に外部から供給されるデジタルビデオデータは、４ビットであり、１６階調の情報を有している。なお、本実施形態の表示装置の階調表示レベルは、図５に示したものと同様であるので、図５を参照する。

【００８３】図１２には、本実施形態の表示装置の駆動タイミングチャートが示されている。図１２には、画素Ｐ1,1、Ｐ1,2、Ｐ1,3、および画素Ｐy,xが例にとって示されている。

【００８４】画素Ｐ1,1を例にとって説明すると、画素Ｐ1,1には、各サブフレームドット期間（1st Ｔsfd、2nd Ｔsfd、3rd Ｔsfd、および4th Ｔsfd）に、デジタルビデオデータ1,1-1、1,1-2、1,1-3、および1,1-4が書き込まれる。これらのデジタルビデオデータ1,1-1、1,1-2、1,1-3、および1,1-4は、４ビットのデジタルビデオデータ1,1を時間階調処理した２ビットデジタルビデオデータをアナログ変換したアナログビデオデータである。

【００８５】このような動作が、全ての画素について行われる。

【００８６】よって、本実施形態の表示装置においても、上述の実施形態１と同様、１３階調の階調表示が行える。

【００８７】なお、本実施形態の表示装置に外部からアナログビデオデータが入力される場合には、入力されるアナログビデオデータをデジタルビデオデータ変換し、デジタルビデオデータ時間階調処理回路１００２に入力するようにすれば良い。

【００８８】また、本実施形態においても、一般に、外部からｍビットのデジタルビデオデータが時間階調処理回路によって、上位ｎビットデジタルビデオデータが、階調電圧の為のデジタルビデオデータに変換され、下位（ｍ－ｎ）ビットの階調情報は、時間階調によって表現される場合を考える。なお、ｍ、ｎは共に２以上の整数であり、ｍ＞ｎとする。

【００８９】この場合、フレーム期間（Ｔf）とサブフレーム期間（Ｔsf）との関係は、

$Tf = 2^{m-n} \cdot Tsf$

となり、（2^{m}－（2^{m-n}－１））通りの階調表示を行うことができる。

【００９０】（実施形態４）

【００９１】本実施形態では、上述の実施形態１～３で説明した本発明の表示装置（または液晶パネル）の作製工程例を以下に説明する。本実施形態では、絶縁表面を有する基板上に複数のＴＦＴを形成し、アクティブマトリクス回路、ソースドライバ、ゲートドライバ、および他の周辺回路等を同一基板上に形成する例を図１３～図１６に示す。なお、以下の例では、アクティブマトリクス回路の１つの画素ＴＦＴと、他の回路（ソースドライバ、ゲイトドライバ、および他の周辺回路）の基本回路であるＣＭＯＳ回路とが同時に形成される様子を示す。また、以下の例では、ＣＭＯＳ回路においてはＰチャネル型ＴＦＴとＮチャネル型ＴＦＴとがそれぞれ１つのゲイト電極を備えている場合について、その作製工程を説明するが、ダブルゲイト型やトリプルゲイト型のような複数のゲイト電極を備えたＴＦＴによるＣＭＯＳ回路をも同様に作製することができる。また、以下の例では、画素ＴＦＴはダブルゲイトのＮチャネル型ＴＦＴである、シングルゲイト、トリプルゲイト等のＴＦＴとしてもよい。また、上記実施形態２の表示装置の様に、デジタルビデオデータ時間階調処理回路を同時に形成する様にしても良い。

【００９２】図１３（Ａ）を参照する。まず、絶縁表面を有する基板として石英基板５０００を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。石英基板上に一旦非晶質シリコン膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板またはシリコン基板を用いても良い。次に、下地膜５００１を形成する。本実施形態では、下地膜５００１には酸化シリコン（SiO_2）が用いられた。次に、非晶質シリコン膜５００３を形成する。非晶質シリコン膜５００３は、最終的な膜厚（熱酸化後の膜減りを考慮した膜厚）が１０～７５ｎｍ（好ましくは１５～４５ｎｍ）となる様に調節する。

【００９３】なお、非晶質シリコン膜５００３の成膜に際して膜中の不純物濃度の管理を徹底的に行うことが重要である。本実施形態の場合、非晶質シリコン膜５００３中では、後の結晶化を阻害する不純物であるＣ（炭素）およびＮ（窒素）の濃度はいずれも5×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満（代表的には5×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下）、Ｏ（酸素）は1.5×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満（代表的には1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下）となる様に管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明細書中において膜中の上記の不純物元素濃度は、ＳＩＭＳ（質量２次イオン分析）の測定結果における最小値で定義される。

【００９４】上記構成を得るため、本実施形態で用いる減圧熱ＣＶＤ炉は定期的にドライクリーニングを行い、成膜室の清浄化を図っておくことが望ましい。ドライクリーニングは、２００～４００℃程度に加熱した炉内に１００～３００ｓｃｃｍのClF_3（フッ化塩素）ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

【００９５】なお、本出願人の知見によれば炉内温度３

００℃とし、ＣｌＦ$_3$ガスの流量を３００ｓｃｃｍとした場合、約２μｍ厚の付着物（主にシリコンを主成分する）を４時間で完全に除去することができる。

【００９６】また、非晶質シリコン膜５００３中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質シリコン膜５００３の成膜は減圧熱ＣＶＤ法であることが好ましい。なお、成膜条件を最適化することでプラズマＣＶＤ法を用いることも可能である。

【００９７】次に、非晶質シリコン膜５００３の結晶化工程を行う。結晶化の手段としては特開平７－１３０６５２号公報記載の技術を用いる。同公報の実施例１および実施形態２のどちらの手段でも良いが、本実施形態では、同公報の実施例２に記載した技術内容（特開平８－７８３２９号公報に詳しい）を利用するのが好ましい。

【００９８】特開平８－７８３２９号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜４００４を１５０ｎｍに形成する。マスク絶縁膜４００４は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる（図１３（Ｂ））。

【００９９】そして、非晶質シリコン膜５００３の結晶化を助長する触媒元素としてニッケル（Ｎｉ）を含有した溶液（Ｎｉ酢酸塩エタノール溶液）５００５をスピンコート法により塗布する。なお、触媒元素としてはニッケル以外にも、コバルト（Ｃｏ）、鉄（Ｆｅ）、パラジウム（Ｐｄ）、ゲルマニウム（Ｇｅ）、白金（Ｐｔ）、銅（Ｃｕ）、金（Ａｕ）等を用いることができる（図１３（Ｂ））。

【０１００】また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、後述する横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【０１０１】触媒元素の添加工程が終了したら、次に、４５０℃で１時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において５００～９６０℃（代表的には５５０～６５０℃）の温度で４～２４時間の加熱処理を加えて非晶質シリコン膜５００３の結晶化を行う。本実施形態では窒素雰囲気で５７０℃で１４時間の加熱処理を行う。

【０１０２】この時、非晶質シリコン膜５００３の結晶化は、ニッケルを添加した領域４００６で発生した核から優先的に進行し、基板５０００の基板面に対してほぼ平行に成長した多結晶シリコン膜からなる結晶領域５００７が形成される。この結晶領域５００７を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。

【０１０３】なお、マスク絶縁膜５００４を用いずに、Ｎｉ酢酸溶液を非晶質シリコン膜の前面に塗布し結晶化させることもできる。

【０１０４】図１３（Ｄ）を参照する。次に、触媒元素のゲッタリングプロセスを行う。まず、リンイオンのドーピングを選択的に行う。マスク絶縁膜５００４が形成された状態で、リンのドーピングを行う。すると、多結晶シリコン膜のマスク絶縁膜５００４で覆われていない部分５００８のみに、リンがドーピングされる（これらの領域をリン添加領域５００８と呼ぶ）。このとき、ドーピングの加速電圧と、酸化膜で成るマスクの厚さを最適化し、リンがマスク絶縁膜５００４を突き抜けないようにする。このマスク絶縁膜５００４は、必ずしも酸化膜でなくてもよいが、酸化膜は活性層に直接触れても汚染の原因にならないので都合がよい。

【０１０５】リンのドーズ量は、1×10^{14}から1×10^{15}ｉｏｎｓ／ｃｍ^{2}程度とすると良い。本実施形態では、5×10^{14}ｉｏｎｓ／ｃｍ^{2}のドーズをイオンドーピング装置を用いて行った。

【０１０６】なお、イオンドープの際の加速電圧は１０ｋｅＶとした。１０ｋｅＶの加速電圧であれば、リンは１５０ｎｍのマスク絶縁膜をほとんど通過することができない。

【０１０７】図１３（Ｅ）を参照する。次に、６００℃の窒素雰囲気にて１～１２時間（本実施形態では１２時間）熱アニールし、ニッケル元素のゲッタリングを行った。こうすることによって、図１３（Ｅ）において矢印で示されるように、ニッケルがリンに吸い寄せられることになる。６００℃の温度のもとでは、リン原子は膜中をほとんど動かないが、ニッケル原子は数１００μｍ程度またはそれ以上の距離を移動することができる。このことからリンがニッケルのゲッタリングに最も適した元素の１つであることが理解できる。

【０１０８】次に図１４（Ａ）を参照し、多結晶シリコン膜をパターニングする工程を説明する。このとき、リンの添加領域５００８、すなわちニッケルがゲッタリングされた領域が残らないようにする。このようにして、ニッケル元素をほとんど含まない多結晶シリコン膜の活性層５００９～５０１１が得られた。得られた多結晶シリコン膜の活性層５００９～５０１１が後にＴＦＴの活性層となる。

【０１０９】図１４（Ｂ）を参照する。活性層５００９～５０１１を形成したら、その上にシリコンを含む絶縁膜でなるゲイト絶縁膜５０１２を７０ｎｍに成膜する。そして、酸化性雰囲気において、８００～１１００℃（好ましくは９５０～１０５０℃）で加熱処理を行い、活性層５００９～５０１１とゲイト絶縁膜５０１２の界面に熱酸化膜（図示せず）を形成する。

【０１１０】なお、触媒元素をゲッタリングするための加熱処理（触媒元素のゲッタリングプロセス）を、この

段階で行っても良い。その場合、加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による触媒元素のゲッタリング効果を利用する。なお、ハロゲン元素によるゲッタリング効果を十分に得るためには、上記加熱処理を７００℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。また、この場合ハロゲン元素を含むガスとして、代表的にはＨＣｌ、ＨＦ、NF_3、ＨＢｒ、Cl_2、ClF_3、BCl_2、F_2、Br_2等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることができる。この工程においては、例えばＨＣｌを用いた場合、活性層中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。また、ハロゲン元素を用いて触媒元素のゲッタリングプロセスを行う場合、触媒元素のゲッタリングプロセスを、マスク絶縁膜５００４を除去した後、活性層をパターンニングする前に行なってもよい。また、触媒元素のゲッタリングプロセスを、活性層をパターンニングした後に行なってもよい。また、いずれのゲッタリングプロセスを組み合わせて行なってもよい。

【０１１１】次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲイト電極の原型を形成する。本実施形態では２ｗｔ％のスカンジウムを含有したアルミニウム膜を用いる。

【０１１２】また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲイト電極を形成しても良い。

【０１１３】次に、特開平７－１３５３１８号公報記載の技術により多孔性陽極酸化膜５０１３～５０２０、無孔性陽極酸化膜５０２１～５０２４およびゲイト電極５０２５～５０２８を形成する（図１４（Ｂ））。

【０１１４】こうして図１４（Ｂ）の状態が得られたら、次にゲイト電極５０２５～５０２８および多孔性陽極酸化膜５０１３～５０２０をマスクとしてゲイト絶縁膜５０１２をエッチングする。そして、多孔性陽極酸化膜５０１３～５０２０を除去し、図１４（Ｃ）の状態を得る。なお、図１４（Ｃ）において５０２９～５０３１で示されるのは加工後のゲイト絶縁膜である。

【０１１５】図１５（Ａ）を参照する。次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはＮチャネル型ならばＰ（リン）またはＡｓ（砒素）、Ｐ型ならばＢ（ボロン）またはＧａ（ガリウム）を用いれば良い。

【０１１６】本実施形態では、Ｎチャネル型およびＰチャネル型のＴＦＴを形成するための不純物添加をそれぞれ２回の工程に分けて行う。

【０１１７】最初に、Ｎチャネル型のＴＦＴを形成するための不純物添加を行う。まず、１回目の不純物添加（本実施形態ではＰ（リン）を用いる）を高加速電圧８０ｋｅＶ程度で行い、n^-領域を形成する。このn^-領域は、Ｐイオン濃度が1×10^{18}ａｔｏｍｓ／cm^3～1×10^{19}ａｔｏｍｓ／cm^3となるように調節する。

【０１１８】さらに、２回目の不純物添加を低加速電圧１０ｋｅＶ程度で行い、n^+領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、このn^+領域は、シート抵抗が５００Ω以下（好ましくは３００Ω以下）となるように調節する。

【０１１９】以上の工程を経て、ＣＭＯＳ回路を構成するＮチャネル型ＴＦＴのソース領域およびドレイン領域５０３３および５０３３、低濃度不純物領域５０３７、チャネル形成領域５０４０が形成される。また、画素ＴＦＴを構成するＮチャネル型ＴＦＴのソース領域およびドレイン領域５０３５および５０３６、低濃度不純物領域５０３８および５０３９、ならびにチャネル形成領域５０４１および５０４２が確定する（図１５（Ａ））。

【０１２０】なお、図１５（Ａ）に示す状態ではＣＭＯＳ回路を構成するＰチャネル型ＴＦＴの活性層は、Ｎチャネル型ＴＦＴの活性層と同じ構成となっている。

【０１２１】次に、図１５（Ｂ）に示すように、Ｎチャネル型ＴＦＴを覆ってレジストマスク５０４３を設け、Ｐ型を付与する不純物イオン（本実施形態ではボロンを用いる）の添加を行う。

【０１２２】この工程も前述の不純物添加工程と同様に２回に分けて行うが、Ｎチャネル型をＰチャネル型に反転させる必要があるため、前述のＰイオンの添加濃度の数倍程度の濃度のＢ（ボロン）イオンを添加する。

【０１２３】こうしてＣＭＯＳ回路を構成するＰチャネル型ＴＦＴのソース領域およびドレイン領域５０４４および５０４５、低濃度不純物領域５０４６、チャネル形成領域５０４７が形成される（図１５（Ｂ））。

【０１２４】また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲイト電極を形成した場合は、低濃度不純物の形成には公知のサイドウォール構造を用いれば良い。

【０１２５】次に、ファーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【０１２６】図１５（Ｃ）を参照する。次に、第１層間絶縁膜５０４８として酸化シリコン膜と窒化シリコン膜との積層膜を形成し、コンタクトホールを形成した後、ソース電極およびドレイン電極５０４９～５０５３を形成する。なお、第１層間絶縁膜５０４８として有機性樹脂膜を用いることもできる。

【０１２７】図１６を参照する。次に、第２層間絶縁膜５０５４を窒化シリコン膜で形成する。そして次に、有機性樹脂膜からなる第３層間絶縁膜５０５６を０．５～３μｍの厚さに形成する。有機性樹脂膜としては、ポリ

イミド、アクリル、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、成膜方法が簡単である点、容易に膜厚を厚くできる点、比誘電率が低いので寄生容量を低減できる点、平坦性に優れている点などが挙げられる。なお、上述した以外の有機性樹脂膜を用いることもできる。

【０１２８】次に、第３層間絶縁膜５０５６の一部をエッチングし、画素ＴＦＴのドレイン電極５０５２の上部に第２層間絶縁膜を挟んでブラックマトリクス５０５５を形成する。本実施形態では、ブラックマトリクス５０５５にはＴｉ（チタン）が用いられた。なお、本実施形態では、画素ＴＦＴとブラックマトリクスとの間で保持容量が形成される。

【０１２９】次に、第２層間絶縁膜５０５４および第３層間絶縁膜５０５６にコンタクトホールを形成し、画素電極５０５７を１２０ｎｍの厚さに形成する。なお、本実施形態は透過型のアクティブマトリクス表示装置の例であるため、画素電極５０５７を構成する導電膜としてＩＴＯ等の透明導電膜を用いる。

【０１３０】次に、基板全体を３５０℃の水素雰囲気で１～２時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（不対結合手）を補償する。なお、この水素化処理を、プラズマ化させることによってできた水素で行っても良い。

【０１３１】以上の工程を経て同一基板上にＣＭＯＳ回路および画素マトリクス回路を有するアクティブマトリクス基板が完成する。

【０１３２】次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、アクティブマトリクス型表示装置を作製する工程を説明する。

【０１３３】図１６（Ｃ）の状態のアクティブマトリクス基板に配向膜５０５９を形成する。本実施形態では、配向膜５０５９にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板５０６０、透明導電膜から成る対向電極５０６１、配向膜５０６２とで構成される。

【０１３４】なお、本実施形態では、配向膜にはポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施形態では、配向膜に比較的大きなプレチル角を持つようなポリイミドを用いた。

【０１３５】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶５０６３を注入し、封止剤（図示せず）によって完全に封止する。本実施形態では、液晶５０６３にネマチック液晶を用いた。

【０１３６】よって、図１６（Ｃ）に示すような透過型のアクティブマトリクス型表示装置が完成する。

【０１３７】なお、本実施形態で説明した非晶質シリコン膜の結晶化の方法の代わりに、レーザー光（代表的にはエキシマレーザー光）によって、非晶質シリコン膜の結晶化を行ってもよい。

【０１３８】また、多結晶シリコン膜を用いる代わりに、スマートカット、ＳＩＭＯＸ、エルトラン等のＳＯＩ構造（ＳＯＩ基板）を用いて他のプロセスを行ってもよい。

【０１３９】（実施形態５）

【０１４０】本実施形態では、本発明の表示装置の別の作製方法について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路のＴＦＴを同時に作製する方法について説明する。

【０１４１】〔島状半導体層、ゲート絶縁膜形成の工程：図１７（Ａ）〕図１７（Ａ）において、基板７００１には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【０１４２】そして、基板７００１のＴＦＴが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜７００２をプラズマＣＶＤ法やスパッタ法で１００～４００ｎｍの厚さに形成した。例えば下地膜７００２として、窒化シリコン膜７００２を２５～１００ｎｍ、ここでは５０ｎｍの厚さに、酸化シリコン膜７００３を５０～３００ｎｍ、ここでは１５０ｎｍの厚さとした２層構造で形成すると良い。下地膜７００２は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【０１４３】次に下地膜７００２の上に２０～１００ｎｍの厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは４００～５５０℃で数時間加熱して脱水素処理を行い、含有水素量を５atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるＴＦＴの特性バラツキを低減させることができる。

【０１４４】非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるＳＯＩ（SiliconOn Insulators）の公知技術を使用して結晶質シリコン膜を形成しても良い。

【０１４５】こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層７００４～７００６を形成した。結晶質シリコン膜のｎチャネル型ＴＦＴが作製される領域には、しきい値電圧を制御するため、あらかじめ1×10^{15}～$5\times10^{17}cm^{-3}$程度の濃度でボロン（Ｂ）を添加しておいても良い。

【０１４６】次に、島状半導体層７００４～７００６を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜７００７を形成した。ゲート絶縁膜７００７は、１０～２００ｎｍ、好ましくは５０～１５０ｎｍの厚さに形成すれば良い。例えば、プラズマＣＶＤ法でN_2OとSiH_4を原料とした窒化酸化シリコン膜を７５ｎｍ形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、８００～１０００℃で熱酸化して１１５ｎｍのゲート絶縁膜としても良い。（図１７（Ａ））

【０１４７】〔n^-領域の形成：図１７（Ｂ）〕島状半導体層７００４、７００６及び配線を形成する領域の全面と、島状半導体層７００５の一部（チャネル形成領域となる領域を含む）にレジストマスク７００８～７０１１を形成し、ｎ型を付与する不純物元素を添加して低濃度不純物領域７０１２を形成した。この低濃度不純物領域７０１２は、後にＣＭＯＳ回路のｎチャネル型ＴＦＴに、ゲート絶縁膜を介してゲート電極と重なるＬＤＤ領域（本明細書中ではＬov領域という。なお、ovとはoverlapの意味である。）を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれるｎ型を付与する不純物元素の濃度を（n^-）で表すこととする。従って、本明細書中では低濃度不純物領域７０１２をn^-領域と言い換えることができる。

【０１４８】ここではフォスフィン（PH_3）を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜７００７を通してその下の半導体層にリンを添加した。添加するリン濃度は、5×10^{17}～$5\times10^{18}atoms/cm^3$の範囲にするのが好ましく、ここでは$1\times10^{18}atoms/cm^3$とした。

【０１４９】その後、レジストマスク７００８～７０１１を除去し、窒素雰囲気中で４００～９００℃、好ましくは５５０～８００℃で１～１２時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

【０１５０】〔ゲート電極用および配線用導電膜の形成：図１７（Ｃ）〕第１の導電膜７０１３を、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）から選ばれた元素またはいずれかを主成分とする導電性材料で、１０～１００ｎｍの厚さに形成した。第１の導電膜７０１３としては、例えば窒化タンタル（ＴａＮ）や窒化タングステン（ＷＮ）を用いることが望ましい。さらに、第１の導電膜７０１３上に第２の導電膜７０１４をＴａ、Ｔｉ、Ｍｏ、Ｗから選ばれた元素またはいずれかを主成分とする導電性材料で、１００～４００ｎｍの厚さに形成した。例えば、Ｔａを２００ｎｍの厚さに形成すれば良い。また、図示しないが、第１の導電膜７０１３の下に導電膜７０１３、７０１４（特に導電膜７０１４）の酸化防止のためにシリコン膜を２～２０ｎｍ程度の厚さで形成しておくことは有効である。

【０１５１】〔ｐ－ｃｈゲート電極、配線電極の形成とp^+領域の形成：図１８（Ａ）〕レジストマスク７０１５～７０１８を形成し、第１の導電膜と第２の導電膜（以下、積層膜として取り扱う）をエッチングして、ｐチャネル型ＴＦＴのゲート電極７０１９、ゲート配線７０２０、７０２１を形成した。なお、ｎチャネル型ＴＦＴとなる領域の上には全面を覆うように導電膜７０２２、７０２３を残した。

【０１５２】そして、レジストマスク７０１５～７０１８をそのまま残してマスクとし、ｐチャネル型ＴＦＴが形成される半導体層７００４の一部に、ｐ型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン（B_2H_6）を用いてイオンドープ法（勿論、イオンインプランテーション法でも良い）で添加した。ここでは5×10^{20}～$3\times10^{21}atoms/cm^3$の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるｐ型を付与する不純物元素の濃度を（p^{++}）で表すこととする。従って、本明細書中では不純物領域７０２４、７０２５をp^{++}領域と言い換えることができる。

【０１５３】なお、この工程において、レジストマスク７０１５～７０１８を使用してゲート絶縁膜７００７をエッチング除去して、島状半導体層７００４の一部を露出させた後、ｐ型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【０１５４】〔ｎ－ｃｈゲート電極の形成：図１８（Ｂ）〕次に、レジストマスク７０１５～７０１８は除去した後、レジストマスク７０２６～７０２９を形成し、ｎチャネル型ＴＦＴのゲート電極７０３０、７０３１を形成した。このときゲート電極７０３０はn^-領域７０１２とゲート絶縁膜を介して重なるように形成した。

【０１５５】〔n^+領域の形成：図１８（Ｃ）〕次に、レジストマスク７０２６～７０２９を除去し、レジストマスク７０３２～７０３４を形成した。そして、ｎチャネル型ＴＦＴにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク７０３４はｎチャネル型ＴＦＴのゲート電極７０３１を覆う形で形成した。これは、後の工程において画素マトリクス回路のｎチャネル型ＴＦＴに、ゲ

ート電極と重ならないようにＬＤＤ領域を形成するためである。

【０１５６】そして、ｎ型を付与する不純物元素を添加して不純物領域７０３５～７０３９を形成した。ここでも、フォスフィン（PH_3）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は1×10^{20}～1×10^{21}atoms/cm^3とした。なお、ここで形成された不純物領域７０３７～７０３９に含まれるｎ型を付与する不純物元素の濃度を（n^+）で表すこととする。従って、本明細書中では不純物領域７０３７～７０３９をn^+領域と言い換えることができる。また、不純物領域７０３５、７０３６は既にn^-領域が形成されていたので、厳密には不純物領域７０３７～７０３９よりも若干高い濃度でリンを含む。

【０１５７】なお、この工程において、レジストマスク７０３２～７０３４およびゲート電極７０３０をマスクとしてゲート絶縁膜７００７をエッチングし、島状半導体膜７００５、７００６の一部を露出させた後、ｎ型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【０１５８】〔n^{--}領域の形成：図１９（Ａ）〕次に、レジストマスク７０３２～７０３４を除去し、画素マトリクス回路のｎチャネル型ＴＦＴとなる島状半導体層７００６にｎ型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域７０４０～７０４３には前記n^-領域と同程度かそれより少ない濃度（具体的には5×10^{16}～1×10^{18}atoms/cm^3）のリンが添加されるようにした。なお、ここで形成された不純物領域７０４０～７０４３に含まれるｎ型を付与する不純物元素の濃度を（n^{--}）で表すこととする。従って、本明細書中では不純物領域７０４０～７０４３をn^{--}領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域７０６７を除いて全ての不純物領域に$n^?$の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【０１５９】〔熱活性化の工程：図１９（Ｂ）〕次に、後に第１の層間絶縁膜の一部となる保護絶縁膜７０４４を形成した。保護絶縁膜７０４４は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は１００～４００ｎｍとすれば良い。

【０１６０】その後、それぞれの濃度で添加されたｎ型またはｐ型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法（ＲＴＡ法）で行うことができる。ここではファーネスアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において３００～６５０℃、好ましくは４００～５５０℃、ここでは４５０℃、２時間の熱処理を行った。

【０１６１】さらに、３～１００％の水素を含む雰囲気中で、３００～４５０℃で１～１２時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【０１６２】〔層間絶縁膜、ソース／ドレイン電極、遮光膜、画素電極、保持容量の形成：図１９（Ｃ）〕活性化工程を終えたら、保護絶縁膜７０４４の上に０．５～１．５μｍ厚の層間絶縁膜７０４５を形成した。前記保護絶縁膜７０４４と層間絶縁膜７０４５とでなる積層膜を第１の層間絶縁膜とした。

【０１６３】その後、それぞれのＴＦＴのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極７０４６～７０４８と、ドレイン電極７０４９、７０５０を形成した。図示していないが、本実施形態ではこの電極を、Ｔｉ膜を１００ｎｍ、Ｔｉを含むアルミニウム膜３００ｎｍ、Ｔｉ膜１５０ｎｍをスパッタ法で連続して形成した３層構造の積層膜とした。

【０１６４】次に、パッシベーション膜７０５１として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で５０～５００ｎｍ（代表的には２００～３００ｎｍ）の厚さで形成した。その後、この状態で水素化処理を行うとＴＦＴの特性向上に対して好ましい結果が得られた。例えば、３～１００％の水素を含む雰囲気中で、３００～４５０℃で１～１２時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜７０５１に開口部を形成しておいても良い。

【０１６５】その後、有機樹脂からなる第２の層間絶縁膜７０５２を約１μｍの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ＢＣＢ（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系Si0化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、３００℃で焼成して形成した。

【０１６６】次に、画素マトリクス回路となる領域において、第２の層間絶縁膜７０５２上に遮光膜７０５３を形成した。遮光膜７０５３はアルミニウム（Ａｌ）、チタン（Ｔｉ）、タンタル（Ｔａ）から選ばれた元素またはいずれかを主成分とする膜で１００～３００ｎｍの厚

さに形成した。そして、遮光膜７０５３の表面に陽極酸化法またはプラズマ酸化法により３０～１５０ｎｍ（好ましくは５０～７５ｎｍ）の厚さの酸化膜７０５４を形成した。ここでは遮光膜７０５３としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜７０５４として酸化アルミニウム膜（アルミナ膜）を用いた。

【０１６７】なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマＣＶＤ法、熱ＣＶＤ法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は３０～１５０ｎｍ（好ましくは５０～７５ｎｍ）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、ＤＬＣ（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【０１６８】次に、第２の層間絶縁膜７０５２にドレイン電極７０５０に達するコンタクトホールを形成し、画素電極７０５５を形成した。なお、画素電極７０５６、７０５７はそれぞれ隣接する別の画素の画素電極である。画素電極７０５５～７０５７は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ＩＴＯ）膜を１００ｎｍの厚さにスパッタ法で形成した。

【０１６９】また、この時、画素電極７０５５と遮光膜７０５３とが酸化膜７０５４を介して重なった領域７０５８が保持容量を形成した。

【０１７０】こうして同一基板上に、ドライバー回路となるＣＭＯＳ回路と画素マトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となるＣＭＯＳ回路にはｐチャネル型ＴＦＴ７０８１、ｎチャネル型ＴＦＴ７０８２が形成され、画素マトリクス回路にはｎチャネル型ＴＦＴでなる画素ＴＦＴ７０８３が形成された。

【０１７１】ＣＭＯＳ回路のｐチャネル型ＴＦＴ７０８１には、チャネル形成領域７０６１、ソース領域７０６２、ドレイン領域７０６３がそれぞれp^+領域で形成された。また、ｎチャネル型ＴＦＴ７０８２には、チャネル形成領域７０６４、ソース領域７０６５、ドレイン領域７０６６、ゲート絶縁膜を介してゲート電極と重なったＬＤＤ領域（以下、Ｌov領域という。なお、ovとはoverlapの意である。）７０６７が形成された。この時、ソース領域７０６５、ドレイン領域７０６６はそれぞれ（n^-+n^+）領域で形成され、Ｌov領域７０６７はn^-領域で形成された。

【０１７２】また、画素ＴＦＴ７０８３には、チャネル形成領域７０６８、７０６９、ソース領域７０７０、ドレイン領域７０７１、ゲート絶縁膜を介してゲート電極と重ならないＬＤＤ領域（以下、Ｌoff領域という。なお、offとはoffsetの意である。）７０７２～７０７５、Ｌoff領域７０７３、７０７４に接したn^+領域７０７６が形成された。この時、ソース領域７０７０、ドレイン領域７０７１はそれぞれn^+領域で形成され、Ｌoff領域７０７２～７０７５はn^{--}領域で形成された。

【０１７３】ここでははは、画素マトリクス回路およびドライバー回路が要求する回路仕様に応じて各回路を形成するＴＦＴの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、ｎチャネル型ＴＦＴは回路仕様に応じてＬＤＤ領域の配置を異ならせ、Ｌov領域またはＬoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したＴＦＴ構造と低オフ電流動作を重視したＴＦＴ構造とを実現した。

【０１７４】例えば、アクティブマトリクス型液晶表示装置の場合、ｎチャネル型ＴＦＴ７０８２は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などのロジック回路に適している。また、ｎチャネル型ＴＦＴ７０８３は低オフ電流動作を重視した画素マトリクス回路、サンプリング回路（サンプルホールド回路）に適している。

【０１７５】また、チャネル長３～７μｍに対してＬov領域の長さ（幅）は０．５～３．０μｍ、代表的には１．０～１．５μｍとすれば良い。また、画素ＴＦＴ７０８３に設けられるＬoff領域７０７２～７０７５の長さ（幅）は０．５～３．５μｍ、代表的には２．０～２．５μｍとすれば良い。

【０１７６】（実施形態６）

【０１７７】本実施形態では、本発明の液晶表示装置の別の作製方法について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路のＴＦＴを同時に作製する方法について説明する。

【０１７８】〔島状半導体層、ゲート絶縁膜形成の工程：図２０（Ａ）〕図２０（Ａ）において、基板６００１には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【０１７９】そして、基板６００１のＴＦＴが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜６００２をプラズマＣＶＤ法やスパッタ法で１００～４００ｎｍの厚さに形成した。例えば下地膜６００２として、窒化シリコン膜６００２を２５～１００ｎｍ、ここでは５０ｎｍの厚さに、酸化シリコン膜６００３を５０～３００ｎｍ、ここでは１５０ｎｍの厚さとした２層構造で形成すると良い。下地膜６００２は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【０１８０】次に下地膜６００２の上に２０～１００ｎ

mの厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは４００～５５０℃で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるＴＦＴの特性バラツキを低減させることができる。

【０１８１】非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるＳＯＩ（SiliconOn Insulators）の公知技術を使用して結晶質シリコン膜を形成しても良い。

【０１８２】こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層６００４～６００６を形成した。結晶質シリコン膜のｎチャネル型ＴＦＴが作製される領域には、しきい値電圧を制御するため、あらかじめ1×10^{15}～$5\times10^{17}cm^{-3}$程度の濃度でボロン（Ｂ）を添加しておいても良い。

【０１８３】次に、島状半導体層６００４～６００６を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜６００７を形成した。ゲート絶縁膜６００７は、１０～２００ｎm、好ましくは５０～１５０ｎmの厚さに形成すれば良い。例えば、プラズマＣＶＤ法でN_2OとSiH_4を原料とした窒化酸化シリコン膜を７５ｎm形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、８００～１０００℃で熱酸化して１１５ｎmのゲート絶縁膜としても良い。（図２０（Ａ））

【０１８４】〔n^-領域の形成：図２０（Ｂ）〕島状半導体層６００４、６００６及び配線を形成する領域の全面と、島状半導体層６００５の一部（チャネル形成領域となる領域を含む）にレジストマスク６００８～６０１１を形成し、ｎ型を付与する不純物元素を添加して低濃度不純物領域６０１２、６０１３を形成した。この低濃度不純物領域６０１２、６０１３は、後にＣＭＯＳ回路のｎチャネル型ＴＦＴに、ゲート絶縁膜を介してゲート電極と重なるＬＤＤ領域（本明細書中ではＬov領域という。なお、ovとはoverlapの意味である。）を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれるｎ型を付与する不純物元素の濃度を（n^-）で表すこととする。従って、本明細書中では低濃度不純物領域６０１２、６０１３をn^-領域と言い換えることができる。

【０１８５】ここではフォスフィン（PH_3）を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜６００７を通してその下の半導体層にリンを添加した。添加するリン濃度は、5×10^{17}～$5\times10^{18}atoms/cm^3$の範囲にするのが好ましく、ここでは$1\times10^{18}atoms/cm^3$とした。

【０１８６】その後、レジストマスク６００８～６０１１を除去し、窒素雰囲気中で４００～９００℃、好ましくは５５０～８００℃で１～１２時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

【０１８７】〔ゲート電極用および配線用導電膜の形成：図２０（Ｃ）〕第１の導電膜６０１４を、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）から選ばれた元素またはいずれかを主成分とする導電性材料で、１０～１００ｎmの厚さに形成した。第１の導電膜６０１４としては、例えば窒化タンタル（ＴａＮ）や窒化タングステン（ＷＮ）を用いることが望ましい。さらに、第１の導電膜６０１４上に第２の導電膜６０１５をＴａ、Ｔｉ、Ｍｏ、Ｗから選ばれた元素またはいずれかを主成分とする導電性材料で、１００～４００ｎmの厚さに形成した。例えば、Ｔａを２００ｎmの厚さに形成すれば良い。また、図示しないが、第１の導電膜６０１４の下に導電膜６０１４、６０１５（特に導電膜６０１５）の酸化防止のためにシリコン膜を２～２０ｎm程度の厚さで形成しておくことは有効である。

【０１８８】〔ｐ－ｃｈゲート電極、配線電極の形成とp^+領域の形成：図２１（Ａ）〕レジストマスク６０１６～６０１９を形成し、第１の導電膜と第２の導電膜（以下、積層膜として取り扱う）をエッチングして、ｐチャネル型ＴＦＴのゲート電極６０２０、ゲート配線６０２１、６０２２を形成した。なお、ｎチャネル型ＴＦＴとなる領域の上には全面を覆うように導電膜６０２３、６０２４を残した。

【０１８９】そして、レジストマスク６０１６～６０１９をそのまま残してマスクとし、ｐチャネル型ＴＦＴが形成される半導体層６００４の一部に、ｐ型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン（B_2H_6）を用いてイオンドープ法（勿論、イオンインプランテーション法でも良い）で添加した。ここでは5×10^{20}～$3\times10^{21}atoms/cm^3$の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるｐ型を付与する不純物元素の濃度を（p^{++}）で表すこととする。従って、本明細書中では不純物領域６０２５、６０２６をp^{++}領域と言

い換えることができる。

【０１９０】なお、この工程において、レジストマスク６０１６～６０１９を使用してゲート絶縁膜６００７をエッチング除去して、島状半導体層６００４の一部を露出させた後、ｐ型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【０１９１】〔ｎ－ｃｈゲート電極の形成：図２１（Ｂ）〕次に、レジストマスク６０１６～６０１９は除去した後、レジストマスク６０２７～６０３０を形成し、ｎチャネル型ＴＦＴのゲート電極６０３１、６０３２を形成した。このときゲート電極６０３１はｎ⁻領域６０１２、６０１３とゲート絶縁膜を介して重なるように形成した。

【０１９２】〔ｎ⁺領域の形成：図２１（Ｃ）〕次に、レジストマスク６０２７～６０３０を除去し、レジストマスク６０３３～６０３５を形成した。そして、ｎチャネル型ＴＦＴにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク６０３５はｎチャネル型ＴＦＴのゲート電極６０３２を覆う形で形成した。これは、後の工程において画素マトリクス回路のｎチャネル型ＴＦＴに、ゲート電極と重ならないようにＬＤＤ領域を形成するためである。

【０１９３】そして、ｎ型を付与する不純物元素を添加して不純物領域６０３６～６０４０を形成した。ここでも、フォスフィン（PH_3）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は1×10^{20}～1×10^{21}atoms/cm³とした。なお、ここで形成された不純物領域６０３８～６０４０に含まれるｎ型を付与する不純物元素の濃度を（ｎ⁺）で表すこととする。従って、本明細書中では不純物領域６０３８～６０４０をｎ⁺領域と言い換えることができる。また、不純物領域６０３６、６０３７は既にｎ⁻領域が形成されていたので、厳密には不純物領域６０３８～６０４０よりも若干高い濃度でリンを含む。

【０１９４】なお、この工程において、レジストマスク６０３３～６０３５およびゲート電極６０３１をマスクとしてゲート絶縁膜６００７をエッチングし、島状半導体膜６００５、６００６の一部を露出させた後、ｎ型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【０１９５】〔ｎ⁻⁻領域の形成：図２２（Ａ）〕次に、レジストマスク６０３３～６０３５を除去し、画素マトリクス回路のｎチャネル型ＴＦＴとなる島状半導体層６００６にｎ型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域６０７４～６０７７には前記ｎ⁻領域と同程度かそれより少ない濃度（具体的には5×10^{16}～1×10^{18}atoms/cm³）のリンが添加されるようにした。なお、ここで形成された不純物領域６０７４～６０７７に含まれるｎ型を付与する不純物元素の濃度を（ｎ⁻⁻）で表すこととする。従って、本明細書中では不純物領域６０７４～６０７７をｎ⁻⁻領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域６０６８および６０６９を除いて全ての不純物領域にある濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【０１９６】〔熱活性化の工程：図２２（Ｂ）〕次に、後に第１の層間絶縁膜の一部となる保護絶縁膜６０４５を形成した。保護絶縁膜６０４５は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は１００～４００ｎｍとすれば良い。

【０１９７】その後、それぞれの濃度で添加されたｎ型またはｐ型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法（ＲＴＡ法）で行うことができる。ここではファーネスアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において３００～６５０℃、好ましくは４００～５５０℃、ここでは４５０℃、２時間の熱処理を行った。

【０１９８】さらに、３～１００％の水素を含む雰囲気中で、３００～４５０℃で１～１２時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【０１９９】〔層間絶縁膜、ソース／ドレイン電極、遮光膜、画素電極、保持容量の形成：図２２（Ｃ）〕活性化工程を終えたら、保護絶縁膜６０４５の上に０．５～１．５μｍ厚の層間絶縁膜６０４６を形成した。前記保護絶縁膜６０４５と層間絶縁膜６０４６とでなる積層膜を第１の層間絶縁膜とした。

【０２００】その後、それぞれのＴＦＴのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極６０４７～６０４９と、ドレイン電極６０５０、６０５１を形成した。図示していないが、本実施形態ではこの電極を、Ｔｉ膜を１００ｎｍ、Ｔｉを含むアルミニウム膜３００ｎｍ、Ｔｉ膜１５０ｎｍをスパッタ法で連続して形成した３層構造の積層膜とした。

【０２０１】次に、パッシベーション膜６０５２として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で５０～５００ｎｍ（代表的には２００～３００ｎｍ）の厚さで形成した。その後、この状態で水素化処理を行うとＴＦＴの特性向上に対して好ましい結果

が得られた。例えば、３～１００％の水素を含む雰囲気中で、３００～４５０℃で１～１２時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜６０５２に開口部を形成しておいても良い。

【０２０２】その後、有機樹脂からなる第２の層間絶縁膜６０５３を約１μmの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ＢＣＢ（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系Si0化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、３００℃で焼成して形成した。

【０２０３】次に、画素マトリクス回路となる領域において、第２の層間絶縁膜６０５３上に遮光膜６０５４を形成した。遮光膜６０５４はアルミニウム（Ａｌ）、チタン（Ｔｉ）、タンタル（Ｔａ）から選ばれた元素またはいずれかを主成分とする膜で１００～３００ｎｍの厚さに形成した。そして、遮光膜６０５４の表面に陽極酸化法またはプラズマ酸化法により３０～１５０ｎｍ（好ましくは５０～７５ｎｍ）の厚さの酸化膜６０５５を形成した。ここでは遮光膜６０５４としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜６０５５として酸化アルミニウム膜（アルミナ膜）を用いた。

【０２０４】なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマＣＶＤ法、熱ＣＶＤ法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は３０～１５０ｎｍ（好ましくは５０～７５ｎｍ）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、ＤＬＣ（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【０２０５】次に、第２の層間絶縁膜６０５３にドレイン電極６０５１に達するコンタクトホールを形成し、画素電極６０５６を形成した。なお、画素電極６０５７、６０５８はそれぞれ隣接する別の画素の画素電極である。画素電極６０５６～６０５８は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ＩＴＯ）膜を１００ｎｍの厚さにスパッタ法で形成した。

【０２０６】また、この時、画素電極６０５６と遮光膜６０５４とが酸化膜６０５５を介して重なった領域６０５９が保持容量を形成した。

【０２０７】こうして同一基板上に、ドライバー回路となるＣＭＯＳ回路と画素マトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となるＣＭＯＳ回路にはｐチャネル型ＴＦＴ６０８１、ｎチャネル型ＴＦＴ６０８２が形成され、画素マトリクス回路にはｎチャネル型ＴＦＴでなる画素ＴＦＴ６０８３が形成された。

【０２０８】ＣＭＯＳ回路のｐチャネル型ＴＦＴ６０８１には、チャネル形成領域６０６２、ソース領域６０６３、ドレイン領域６０６４がそれぞれp^+領域で形成された。また、ｎチャネル型ＴＦＴ６０８２には、チャネル形成領域６０６５、ソース領域６０６６、ドレイン領域６０６７、ゲート絶縁膜を介してゲート電極と重なったＬＤＤ領域（以下、Ｌov領域という。なお、ovとはoverlapの意である。）６０６８および６０６９が形成された。この時、ソース領域６０６６、ドレイン領域６０６７はそれぞれ（n^-+n^+）領域で形成され、Ｌov領域６０６８および６０６９はn^-領域で形成された。

【０２０９】また、画素ＴＦＴ６０８３には、チャネル形成領域６０７０、６０７１、ソース領域６０７２、ドレイン領域６０７３、ゲート絶縁膜を介してゲート電極と重ならないＬＤＤ領域（以下、Ｌoff領域という。なお、offとはoffsetの意である。）６０７４～６０７７、Ｌoff領域６０７５、６０７６に接したn^+領域６０７８が形成された。この時、ソース領域６０７２、ドレイン領域６０７３はそれぞれn^+領域で形成され、Ｌoff領域６０７４～６０７７はn^{--}領域で形成された。

【０２１０】ここでは、画素マトリクス回路およびドライバー回路が要求する回路仕様に応じて各回路を形成するＴＦＴの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、ｎチャネル型ＴＦＴは回路仕様に応じてＬＤＤ領域の配置を異ならせ、Ｌov領域またはＬoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したＴＦＴ構造と低オフ電流動作を重視したＴＦＴ構造とを実現した。

【０２１１】例えば、アクティブマトリクス型液晶表示装置の場合、ｎチャネル型ＴＦＴ６０８２は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などのロジック回路に適している。また、ｎチャネル型ＴＦＴ６０８３は低オフ電流動作を重視した画素マトリクス回路、サンプリング回路（サンプルホールド回路）に適している。

【０２１２】また、チャネル長３～７μmに対してＬov領域の長さ（幅）は０．５～３．０μm、代表的には１．０～１．５μmとすれば良い。また、画素ＴＦＴ６０８３に設けられるＬoff領域６０７４～６０７７の長さ（幅）は０．５～３．５μm、代表的には２．０～

２．５μｍとすれば良い。

【０２１３】（実施形態７）

【０２１４】上記実施形態４～６によって作製された液晶表示装置には、ＴＮ液晶以外にも様々な液晶材料を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD ExhibitingFast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color ThresholdlessAntiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.、または米国特許第5594569 号に開示された液晶材料を用いることが可能である。

【０２１５】特に、無しきい値反強誘電性液晶材料や、強誘電性液晶材料と反強誘電性液晶材料との混合液晶材料である無しきい値反強誘電性混合液晶の中には、その駆動電圧が±２．５Ｖ程度のものも見出されている。このような低電圧駆動の無しきい値反強誘電性混合液晶を用いた場合には、画像信号のサンプリング回路の電源電圧を５Ｖ～８Ｖ程度に抑えることが可能となり、比較的ＬＤＤ領域（低濃度不純物領域）の幅が小さなＴＦＴ（例えば、０ｎｍ～５００ｎｍまたは０ｎｍ～２００ｎｍ）を用いる場合においても有効である。

【０２１６】ここで、無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示すグラフを図に示す。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の偏光軸に対してほぼ直角（クロスニコル）に設定されている。このように、無しきい値反強誘電性混合液晶を用いると、図のような印加電圧－透過率特性を示す階調表示を行うことが可能であることがわかる。

【０２１７】また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。また、液晶表示装置の駆動方法を、線順次駆動とすることにより、画素への階調電圧の書き込み期間（ピクセルフィードピリオド）を長くし、保持容量が小くてもそれを補うこともできる。

【０２１８】なお、無しきい値反強誘電性液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

【０２１９】（実施形態８）

【０２２０】上述の実施形態１～３で説明した本発明の表示装置は、図２４に示すような３板式のプロジェクタに用いることができる。

【０２２１】図２４において、２４０１は白色光源、２４０２～２４０５はダイクロイックミラー、２４０６ならびに２４０７は全反射ミラー、２４０８～２４１０は本発明の表示装置、および２４１１は投影レンズである。

【０２２２】（実施形態９）

【０２２３】また、上述の実施形態１～３で説明した本発明の液晶表示装置は、図２５に示すような３板式のプロジェクタに用いることもできる。

【０２２４】図２５において、２５０１は白色光源、２５０２ならびに２５０３はダイクロイックミラー、２５０４～２５０６は全反射ミラー、２５０７～２５０９は本発明の液晶パネル、および２５１０はダイクロイックプリズム、および２５１１は投影レンズである。

【０２２５】（実施形態１０）

【０２２６】また、上述の実施形態１～３で説明した本発明の表示装置の表示媒体として液晶を用いた液晶表示装置は、図２６に示すような単板式のプロジェクタに用いることもできる。

【０２２７】図２６において、２６０１はランプとリフレクターとから成る白色光源である。２６０２、２６０３、および２６０４は、ダイクロイックミラーであり、それぞれ青、赤、緑の波長領域の光を選択的に反射する。２６０５はマイクロレンズアレイであり、複数のマイクロレンズによって構成されている。２６０６は本発明の液晶パネルである。２６０７はフィールドレンズ、２６０８は投影レンズ、２６０９はスクリーンである。

【０２２８】（実施形態１１）

【０２２９】上記実施形態８～１０のプロジェクターは、その投影方法によってリアプロジェクターとフロントプロジェクターとがある。

【０２３０】図２７（Ａ）はフロント型プロジェクターであり、本体１０００１、本発明の液晶表示装置１０００２、光源１０００３、光学系１０００４、スクリーン１０００５で構成されている。なお、図２７（Ａ）には、液晶表示装置を１つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を３個（Ｒ、Ｇ、Ｂの光にそれぞれ対応させる）組み込んことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。

【０２３１】図２７（Ｂ）はリア型プロジェクターであり、１０００６は本体、１０００７は液晶表示装置であり、１０００８は光源であり、１０００９はリフレクター、１００１０はスクリーンである。なお、図２７（Ｂ）には、アクティブマトリクス型半導体表示装置を３個（Ｒ、Ｇ、Ｂの光にそれぞれ対応させる）組み込んだリア型プロジェクタが示されている。

【０２３２】（実施形態１２）

【０２３３】本実施形態では、本発明の表示装置をゴー

グル型ディスプレイに用いた例を示す。

【０２３４】図２８を参照する。２８０１はゴーグル型ディスプレイ本体である。２８０２－Ｒならびに２８０２－Ｌは本発明の表示装置であり、２８０３－Ｒならびに２８０３－ＬはＬＥＤバックライトであり、２８０４－Ｒならびに２８０４－Ｌは光学素子である。

【０２３５】（実施形態１３）

【０２３６】本実施形態においては、本発明の表示装置のバックライトにＬＥＤを用いて、フィールドシーケンシャル駆動を行うものである。

【０２３７】図２９に示すフィールドシーケンシャル駆動方法のタイミングチャートには、画像信号書き込みの開始信号（Ｖsync信号）、赤（Ｒ）、緑（Ｇ）ならびに青（Ｂ）のＬＥＤの点灯タイミング信号（Ｒ、ＧならびにＢ）、およびビデオ信号（ＶＩＤＥＯ）が示されている。Ｔfはフレーム期間である。また、TR、TG、TBは、それぞれ赤（Ｒ）、緑（Ｇ）、青（Ｂ）のＬＥＤ点灯期間である。

【０２３８】表示装置に供給される画像信号、例えばR1は、外部から入力される赤に対応する元のビデオデータが時間軸方向に１／３に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばG1は、外部から入力される緑に対応する元のビデオデータが時間軸方向に１／３に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばB1は、外部から入力される青に対応する元のビデオデータが時間軸方向に１／３に圧縮された信号である。

【０２３９】フィールドシーケンシャル駆動方法においては、ＬＥＤ点灯期間TR期間、TG期間およびTB期間に、それぞれＲ、Ｇ、ＢのＬＥＤが順に点灯する。赤のＬＥＤの点灯期間（TR）には、赤に対応したビデオ信号（R1）が液晶パネルに供給され、液晶パネルに赤の画像１画面分が書き込まれる。また、緑のＬＥＤの点灯期間（TG）には、緑に対応したビデオデータ（G1）が液晶パネルに供給され、液晶パネルに緑の画像１画面分が書き込まれる。また、青のＬＥＤの点灯期間（TB）には、青に対応したビデオデータ（B1）が表示装置に供給され、表示装置に青の画像１画面分が書き込まれる。これらの３回の画像の書き込みにより、１フレームが形成される。なお、本実施形態の表示装置の表示媒体には、液晶を用いることができる。

【０２４０】（実施形態１４）

【０２４１】本実施形態においては、本発明の表示装置をノートブック型パーソナルコンピュータに用いた例を図３０に示す。

【０２４２】３００１はノートブック型パーソナルコンピュータ本体であり、３００２は本発明の表示装置である。また、本実施形態の表示装置の表示媒体に液晶を用いう場合には、バックライトが用いられる。当該バックライトにははＬＥＤが用いられている。なお、バックライトに従来のように陰極管を用いても良い。

【０２４３】（実施形態１５）

【０２４４】本発明の表示装置には他に様々な用途がある。本実施形態では、本発明の表示装置を組み込んだ半導体装置について説明する。

【０２４５】このような半導体装置には、ビデオカメラ、スチルカメラ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図３１に示す。

【０２４６】図３１（Ａ）は携帯電話であり、本体１１００１、音声出力部１１００２、音声入力部１１００３、本発明の表示装置１１００４、操作スイッチ１１００５、アンテナ１１００６で構成される。

【０２４７】図３１（Ｂ）はビデオカメラであり、本体１２００１、本発明の表示装置１２００２、音声入力部１２００３、操作スイッチ１２００４、バッテリー１２００５、受像部１２００６で構成される。

【０２４８】図３１（Ｃ）はモバイルコンピュータであり、本体１３００１、カメラ部１３００２、受像部１３００３、操作スイッチ１３００４、本発明の表示装置１３００５で構成される。

【０２４９】図３１（Ｄ）は携帯書籍（電子書籍）であり、本体１４００１、本発明の液晶表示装置１４００２、１４００３、記憶媒体１４００４、操作スイッチ１４００５、アンテナ１４００６で構成される。

【０２５０】（実施形態１６）

【０２５１】本実施形態では、本願発明の表示装置に用いられる駆動方法をＥＬ（エレクトロルミネッセンス）表示装置に用いた例について説明する。

【０２５２】図３２（Ａ）は本実施形態のＥＬ表示装置の上面図である。図３２（Ａ）において、２４０１０は基板、２４０１１は画素部、２４０１２はソース側駆動回路、２４０１３はゲート側駆動回路であり、それぞれの駆動回路は配線２４０１４～２４０１６を経てＦＰＣ２４０１７に至り、外部機器へと接続される。

【０２５３】図３２（Ｂ）は本実施形態のＥＬ表示装置の断面構造である。このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材２６０００、シール材２７０００、密封材（第２のシール材）２７００１が設けられている。

【０２５４】また、基板２４０１０、下地膜２４０２１の上に駆動回路用ＴＦＴ（但し、ここではｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを組み合わせたＣＭＯＳ回路を図示している。）２４０２２及び画素部用ＴＦＴ２４０２３（但し、ここではＥＬ素子への電流を制御するＴＦＴだけ図示している。）が形成されている。

【０２５５】駆動回路用ＴＦＴ２４０２２、画素部用ＴＦＴ２４０２３が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）２４０２６の上に画素部用ＴＦＴ２４０

２３のドレインと電気的に接続する透明導電膜でなる画素電極２４０２７を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ＩＴＯと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極２４０２７を形成したら、絶縁膜２４０２８を形成し、画素電極２４０２７上に開口部を形成する。

【０２５６】次に、ＥＬ層２４０２９を形成する。ＥＬ層２４０２９は公知のＥＬ材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、ＥＬ材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【０２５７】本実施形態では、シャドーマスクを用いて蒸着法によりＥＬ層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（ＣＣＭ）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のＥＬ表示装置とすることもできる。

【０２５８】ＥＬ層２４０２９を形成したら、その上に陰極２４０３０を形成する。陰極２４０３０とＥＬ層２４０２９の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でＥＬ層２４０２９と陰極２４０３０を連続成膜するか、ＥＬ層２４０２９を不活性雰囲気で形成し、大気解放しないで陰極２４０３０を形成するといった工夫が必要である。本実施形態ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【０２５９】なお、本実施形態では陰極２４０３０として、ＬｉＦ（フッ化リチウム）膜とＡｌ（アルミニウム）膜の積層構造を用いる。具体的にはＥＬ層２４０２９上に蒸着法で１ｎｍ厚のＬｉＦ（フッ化リチウム）膜を形成し、その上に３００ｎｍ厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるＭｇＡｇ電極を用いても良い。そして陰極２４０３０は２４０３１で示される領域において配線２４０１６に接続される。配線２４０１６は陰極２４０３０に所定の電圧を与えるための電源供給線であり、導電性ペースト材料２４０３２を介してＦＰＣ２４０１７に接続される。

【０２６０】２４０３１に示された領域において陰極２４０３０と配線２４０１６とを電気的に接続するために、層間絶縁膜２４０２６及び絶縁膜２４０２８にコンタクトホールを形成する必要がある。これらは層間絶縁膜２４０２６のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜２４０２８のエッチング時（ＥＬ層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜２４０２８をエッチングする際に、層間絶縁膜２４０２６まで一括でエッチングしても良い。この場合、層間絶縁膜２４０２６と絶縁膜２４０２８が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【０２６１】このようにして形成されたＥＬ素子の表面を覆って、パッシベーション膜２６００３、充填材２６００４、カバー材２６０００が形成される。

【０２６２】さらに、ＥＬ素子部を囲むようにして、カバー材２６０００と基板２４０１０の内側にシール材２７０００が設けられ、さらにシール材２７０００の外側には密封材（第２のシール材）２７００１が形成される。

【０２６３】このとき、この充填材２６００４は、カバー材２６０００を接着するための接着剤としても機能する。充填材２６００４としては、ＰＶＣ（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。この充填材２６００４の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【０２６４】また、充填材２６００４の中にスペーサーを含有させてもよい。このとき、スペーサーをＢａＯなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【０２６５】スペーサーを設けた場合、パッシベーション膜２６００３はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【０２６６】また、カバー材２６０００としては、ガラス板、アルミニウム板、ステンレス板、ＦＲＰ（Ｆｉｂｅｒｇｌａｓｓ－Ｒｅｉｎｆｏｒｃｅｄ　Ｐｌａｓｔｉｃｓ）板、ＰＶＦ（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材２６００４としてＰＶＢやＥＶＡを用いる場合、数十μｍのアルミニウムホイルをＰＶＦフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【０２６７】但し、ＥＬ素子からの発光方向（光の放射方向）によっては、カバー材２６０００が透光性を有する必要がある。

【０２６８】また、配線２４０１６はシール材２７０００および密封材２７００１と基板２４０１０との隙間を通ってＦＰＣ２４０１７に電気的に接続される。なお、ここでは配線２４０１６について説明したが、他の配線２４０１４、２４０１５も同様にしてシール材２７００

０および密封材２７００１の下を通ってＦＰＣ２４０１７に電気的に接続される。

【０２６９】（実施形態１７）本実施形態では、実施形態１６とは異なる形態のＥＬ表示装置を作製した例について、図３３（Ａ）、３３（Ｂ）を用いて説明する。図３２（Ａ）、３２（Ｂ）と同じ番号のものは同じ部分を指しているので説明は省略する。

【０２７０】図３３（Ａ）は本実施形態のＥＬ表示装置の上面図であり、図３３（Ａ）をA-A'で切断した断面図を図３３（Ｂ）に示す。

【０２７１】実施形態１６に従って、ＥＬ素子の表面を覆ってパッシベーション膜２６００３までを形成する。

【０２７２】さらに、EL素子を覆うようにして充填材６００４を設ける。この充填材２６００４は、カバー材２６０００を接着するための接着剤としても機能する。充填材２６００４としては、ＰＶＣ（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。この充填材２６００４の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【０２７３】また、充填材２６００４の中にスペーサーを含有させてもよい。このとき、スペーサーをＢａＯなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【０２７４】スペーサーを設けた場合、パッシベーション膜２６００３はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【０２７５】また、カバー材２６０００としては、ガラス板、アルミニウム板、ステンレス板、ＦＲＰ（Ｆｉｂｅｒｇｌａｓｓ－Ｒｅｉｎｆｏｒｃｅｄ　Ｐｌａｓｔｉｃｓ）板、ＰＶＦ（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材２６００４としてＰＶＢやＥＶＡを用いる場合、数十μｍのアルミニウムホイルをＰＶＦフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【０２７６】但し、ＥＬ素子からの発光方向（光の放射方向）によっては、カバー材６０００が透光性を有する必要がある。

【０２７７】次に、充填材２６００４を用いてカバー材２６０００を接着した後、充填材２６００４の側面（露呈面）を覆うようにフレーム材２６００１を取り付ける。フレーム材２６００１はシール材（接着剤として機能する）２６００２によって接着される。このとき、シール材２６００２としては、光硬化性樹脂を用いるのが好ましいが、ＥＬ層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シール材２６００２はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シール材２６００２の内部に乾燥剤を添加してあっても良い。

【０２７８】また、配線２４０１６はシール材２６００２と基板２４０１０との隙間を通ってＦＰＣ２４０１７に電気的に接続される。なお、ここでは配線２４０１６について説明したが、他の配線２４０１４、２４０１５も同様にしてシール材２６００２の下を通ってＦＰＣ２４０１７に電気的に接続される。

【０２７９】（実施形態１８）本実形態では、ＥＬ表示パネルにおける画素部のさらに詳細な断面構造を図３４に、上面構造を図３５（Ａ）に、回路図を図３５（Ｂ）に示す。図３４、図３５（Ａ）及び図３５（Ｂ）では共通の符号を用いるので互いに参照すれば良い。

【０２８０】図３４において、基板２３００１上に設けられたスイッチング用ＴＦＴ２３００２は実施形態４のTFT構造を用いてもよいし、公知のＴＦＴの構造を用いてもよい。本実施形態ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのＴＦＴが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施形態ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【０２８１】また、電流制御用ＴＦＴ２３００３はＮＴＦＴを用いて形成される。このとき、スイッチング用ＴＦＴ２３００２のドレイン配線２３０３５は配線２３０３６によって電流制御用ＴＦＴのゲート電極２３０３７に電気的に接続されている。また、２３０３８で示される配線は、スイッチング用ＴＦＴ２３００２のゲート電極２３０３９ａ、２３０３９ｂを電気的に接続するゲート配線である。

【０２８２】電流制御用ＴＦＴはＥＬ素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用ＴＦＴのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにＬＤＤ領域を設ける本願発明の構造は極めて有効である。

【０２８３】また、本実施形態では電流制御用ＴＦＴ２３００３をシングルゲート構造で図示しているが、複数のＴＦＴを直列につなげたマルチゲート構造としても良い。さらに、複数のＴＦＴを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【０２８４】また、図３５Ａに示すように、電流制御用ＴＦＴ２３００３のゲート電極２３０３７となる配線は２３００４で示される領域で、電流制御用ＴＦＴ２３００３のドレイン配線２３０４０と絶縁膜を介して重な

る。このとき、２３００４で示される領域ではコンデンサが形成される。このコンデンサ２３００４は電流制御用ＴＦＴ２３００３のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線２３０４０は電流供給線（電源線）２３００６に接続され、常に一定の電圧が加えられている。

【０２８５】スイッチング用ＴＦＴ２３００２及び電流制御用ＴＦＴ２３００３の上には第１パッシベーション膜２３０４１が設けられ、その上に樹脂絶縁膜でなる平坦化膜２３０４２が形成される。平坦化膜２３０４２を用いてＴＦＴによる段差を平坦化することは非常に重要である。後に形成されるＥＬ層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、ＥＬ層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【０２８６】また、２３０４３は反射性の高い導電膜でなる画素電極（ＥＬ素子の陰極）であり、電流制御用ＴＦＴ２３００３のドレインに電気的に接続される。画素電極２３０４３としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【０２８７】また、絶縁膜（好ましくは樹脂）で形成されたバンク２３０４４a、２３０４４bにより形成された溝（画素に相当する）の中に発光層２３０４５が形成される。なお、ここでは一画素しか図示していないが、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の各色に対応した発光層を作り分けても良い。発光層とする有機ＥＬ材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（ＰＰＶ）系、ポリビニルカルバゾール（ＰＶＫ）系、ポリフルオレン系などが挙げられる。

【０２８８】なお、ＰＰＶ系有機ＥＬ材料としては様々な型のものがあるが、例えば「H. Shenk,H.Becker,O.Gelsen,E.Kluge,W.Kreuder,and H.Spreitzer, “Polymers forLight Emitting Diodes”,Euro Display,Proceedings,1999,p.33-37」や特開平１０－９２５７６号公報に記載されたような材料を用いれば良い。

【０２８９】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は３０～１５０ｎｍ（好ましくは４０～１００ｎｍ）とすれば良い。

【０２９０】但し、以上の例は発光層として用いることのできる有機ＥＬ材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてＥＬ層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【０２９１】例えば、本実施形態ではポリマー系材料を発光層として用いる例を示したが、低分子系有機ＥＬ材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機ＥＬ材料や無機材料は公知の材料を用いることができる。

【０２９２】本実施形態では発光層２３０４５の上にＰＥＤＯＴ（ポリチオフェン）またはＰＡｎｉ（ポリアニリン）でなる正孔注入層３０４６を設けた積層構造のＥＬ層としている。そして、正孔注入層２３０４６の上には透明導電膜でなる陽極２３０４７が設けられる。本実施形態の場合、発光層２３０４５で生成された光は上面側に向かって（ＴＦＴの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【０２９３】陽極２３０４７まで形成された時点でＥＬ素子２３００５が完成する。なお、ここでいうＥＬ素子２３００５は、画素電極（陰極）２３０４３、発光層２３０４５、正孔注入層２３０４６及び陽極２３０４７で形成されたコンデンサを指す。図２２Ａに示すように画素電極２３０４３は画素の面積にほぼ一致するため、画素全体がＥＬ素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【０２９４】ところで、本実施形態では、陽極２３０４７の上にさらに第２パッシベーション膜２３０４８を設けている。第２パッシベーション膜２３０４８としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とＥＬ素子とを遮断することであり、有機ＥＬ材料の酸化による劣化を防ぐ意味と、有機ＥＬ材料からの脱ガスを抑える意味との両方を併せ持つ。これによりＥＬ表示装置の信頼性が高められる。

【０２９５】以上のように本実施形態のＥＬ表示パネルは図３４のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用ＴＦＴと、ホットキャリア注入に強い電流制御用ＴＦＴとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なＥＬ表示パネルが得られる。

【０２９６】（実施形態１９）本実施形態では、実施形態１８に示した画素部において、ＥＬ素子２３００５の構造を反転させた構造について説明する。説明には図２３を用いる。なお、図３４の構造と異なる点はＥＬ素子の部分と電流制御用ＴＦＴだけであるので、その他の説明は省略することとする。

【０２９７】図３６において、電流制御用ＴＦＴ２３１０３はＰＴＦＴを用いて形成される。

【０２９８】本実施形態では、画素電極（陽極）２３０

５０として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【０２９９】そして、絶縁膜でなるバンク２３０５１ａ、２３０５１ｂが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層２３０５２が形成される。その上にはカリウムアセチルアセトネートでなる電子注入層２３０５３、アルミニウム合金でなる陰極２３０５４が形成される。この場合、陰極２３０５４がパッシベーション膜としても機能する。こうしてＥＬ素子２３１０１が形成される。

【０３００】本実施形態の場合、発光層２３０５２で発生した光は、矢印で示されるようにＴＦＴが形成された基板の方に向かって放射される。

【０３０１】（実施形態２０）本実施形態では、図３５（Ｂ）に示した回路図とは異なる構造の画素とした場合の例について図３７（Ａ）～（Ｃ）に示す。なお、本実施形態において、２３２０１はスイッチング用ＴＦＴ２３２０２のソース配線、２３２０３はスイッチング用ＴＦＴ２３２０２のゲート配線、２３２０４は電流制御用ＴＦＴ、２３２０５はコンデンサ、２３２０６、２３２０８は電流供給線、２３２０７はＥＬ素子とする。

【０３０２】図３７（Ａ）は、二つの画素間で電流供給線２３２０６を共通とした場合の例である。即ち、二つの画素が電流供給線２３２０６を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【０３０３】また、図３７（Ｂ）は、電流供給線２３２０８をゲート配線２３２０３と平行に設けた場合の例である。なお、図３７（Ｂ）では電流供給線２３２０８とゲート配線２３２０３とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線２３２０８とゲート配線２３２０３とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【０３０４】また、図３７（Ｃ）は、図３７（Ｂ）の構造と同様に電流供給線２３２０８をゲート配線２３２０３と平行に設け、さらに、二つの画素を電流供給線２３２０８を中心に線対称となるように形成する点に特徴がある。また、電流供給線２３２０８をゲート配線２３２０３のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【０３０５】なお、本実施形態の構成は、実施形態１～９の構成と自由に組み合わせて実施することが可能である。また、実施形態１０の電子機器の表示部として本実施形態の画素構造を有するＥＬ表示パネルを用いることは有効である。

【０３０６】（実施形態２１）実施形態２０に示した図３５（Ａ）、３５（Ｂ）では電流制御用ＴＦＴ２３００３のゲートにかかる電圧を保持するためにコンデンサ２３００４を設ける構造としているが、コンデンサ２３００４を省略することも可能である。実施形態１１の場合、電流制御用ＴＦＴ２３００３として、ゲート絶縁膜を介してゲート電極に重なるように設けられたＬＤＤ領域を有しているＴＦＴを用いている。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施形態ではこの寄生容量をコンデンサ２３００４の代わりとして積極的に用いる点に特徴がある。

【０３０７】この寄生容量のキャパシタンスは、上記ゲート電極とＬＤＤ領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるＬＤＤ領域の長さによって決まる。

【０３０８】また、実施形態１３に示した図３７（Ａ），（Ｂ），（Ｃ）の構造においても同様に、コンデンサ２３２０５を省略することは可能である。

【０３０９】

【発明の効果】

【０３１０】本発明の液晶表示装置によると、Ｄ／Ａ変換回路の能力以上の多階調表示をおこなうことができる。よって、小型の液晶表示装置を実現することが可能となる

【図面の簡単な説明】

【図１】　本発明の液晶表示装置の概略構成図である。

【図２】　本発明の液晶表示装置の概略構成図である。

【図３】　本発明のある実施形態の液晶表示装置の概略構成図である。

【図４】　本発明のある実施形態の液晶表示装置のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図５】　本発明のある実施形態の液晶表示装置の階調表示レベルを示す図である。

【図６】　本発明のある実施形態の液晶表示装置の駆動タイミングチャートを示す図である。

【図７】　本発明のある実施形態の液晶表示装置の駆動タイミングチャートを示す図である。

【図８】　本発明のある実施形態の液晶表示装置の概略構成図である。

【図９】　本発明のある実施形態の液晶表示装置の概略構成図である。

【図１０】　本発明のある実施形態の液晶表示装置の概略構成図である。

【図１１】　本発明のある実施形態の液晶表示装置のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図１２】　本発明のある実施形態の液晶表示装置の駆

動タイミングチャートを示す図である。

【図１３】　本発明の液晶表示装置の作製工程例を示す図である。

【図１４】　本発明の液晶表示装置の作製工程例を示す図である。

【図１５】　本発明の液晶表示装置の作製工程例を示す図である。

【図１６】　本発明の液晶表示装置の作製工程例を示す図である。

【図１７】　本発明の液晶表示装置の作製工程例を示す図である。

【図１８】　本発明の液晶表示装置の作製工程例を示す図である。

【図１９】　本発明の液晶表示装置の作製工程例を示す図である。

【図２０】　本発明の液晶表示装置の作製工程例を示す図である。

【図２１】　本発明の液晶表示装置の作製工程例を示す図である。

【図２２】　本発明の液晶表示装置の作製工程例を示す図である。

【図２３】　無しきい値反強誘電性混合液晶の印加電圧－透過率特性を示すグラフである。

【図２４】　本発明の液晶表示装置を用いた３板式プロジェクタの概略構成図である。

【図２５】　本発明の液晶表示装置を用いた３板式プロジェクタの概略構成図である。

【図２６】　本発明の液晶表示装置を用いた単板式プロジェクタの概略構成図である。

【図２７】　本発明の液晶表示装置を用いたフロントプロジェクタおよびリアプロジェクタの概略構成図である。

【図２８】　本発明の液晶表示装置を用いたゴーグル型ディスプレイの概略構成図である。７

【図２９】　フィールドシーケンシャル駆動のタイミングチャートである。

【図３０】　本発明の液晶表示装置を用いたノートブック型パーソナルコンピュータの概略構成図である。

【図３１】　本発明の液晶表示装置を用いた電子機器の例である。

【図３２】　実施形態１６のＥＬ表示装置の構成を示す図である。

【図３３】　実施形態１７のＥＬ表示装置の構成を示す図である。

【図３４】　実施形態１８のＥＬ表示装置の画素部の構成を示す断面図である。

【図３５】　実施形態１９のＥＬ表示装置の画素部の構成を示す上面図及び回路図である。

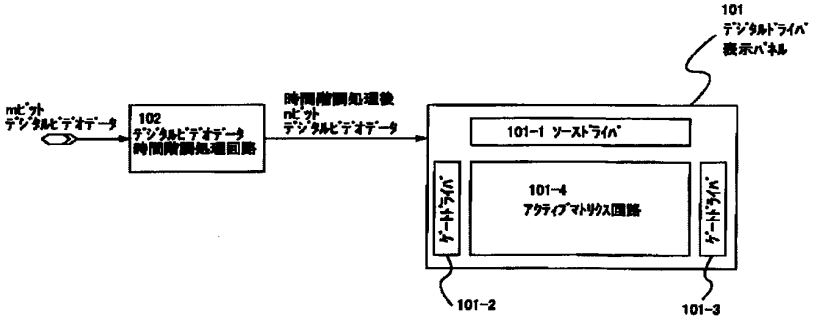
【図３６】　実施形態２０のＥＬ表示装置の画素部の構成を示す断面図である。

【図３７】　実施形態２１のＥＬ表示装置の画素部の構成を示す回路図である。

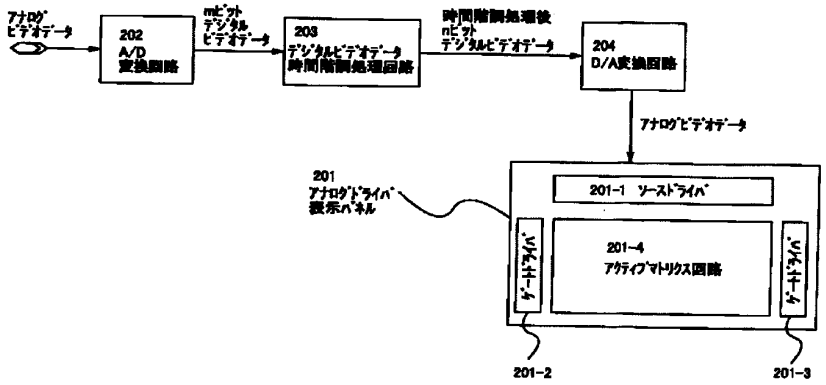
【符号の説明】

１０１　表示パネル
１０１－１　ソースドライバ
１０１－２　ゲートドライバ
１０１－３　ゲートドライバ
１０１－４　アクティブマトリクス回路
１０２　デジタルビデオデータ時間階調処理回路

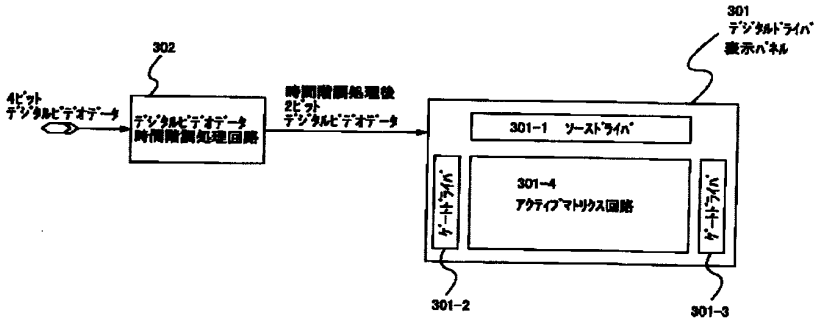
【図１】



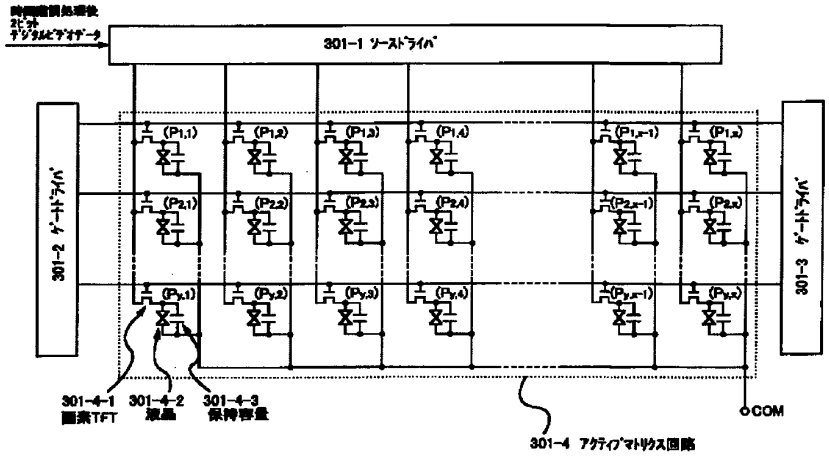
【図２】


202
A/D
変換回路
203
時間階調処理回路
204
D/A変換回路
201
201-1　ソースドライバ
201-4
アクティブマトリクス回路
201-2
201-3

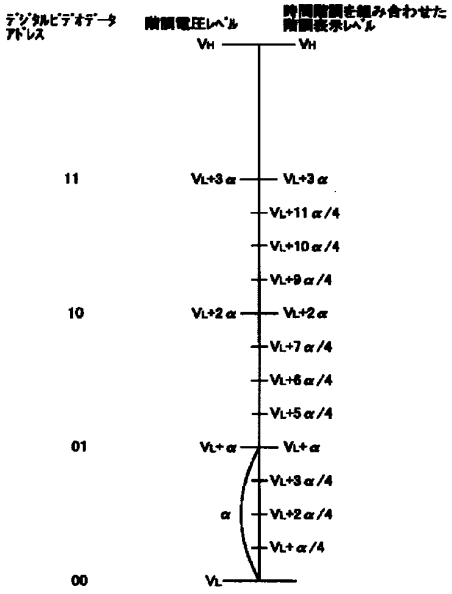
【図３】


302
301
301-1　ソースドライバ
301-4
アクティブマトリクス回路
301-2
301-3

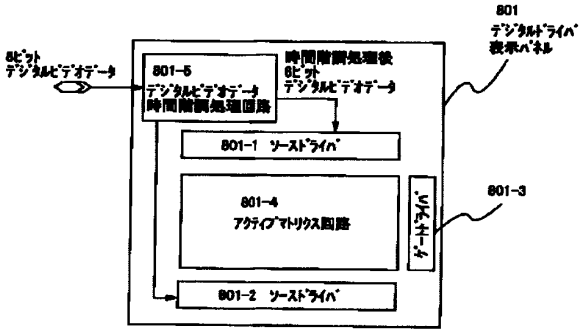
【図４】


301-1 ソースドライバ
301-4-1
画素TFT
301-4-2
液晶
301-4-3
保持容量
COM
301-4 アクティブマトリクス回路

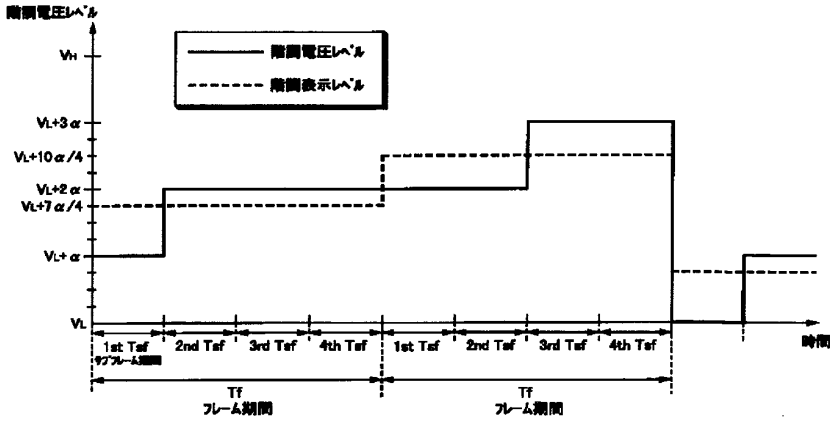
【図５】


デジタルビデオデータ アドレス
階調電圧レベル
時間階調を組み合わせた階調表示レベル
VH
VL+3α
VL+11α/4
VL+10α/4
VL+9α/4
VL+2α
VL+7α/4
VL+6α/4
VL+5α/4
VL+α
VL+3α/4
VL+2α/4
VL+α/4
VL
11
10
01
00
α

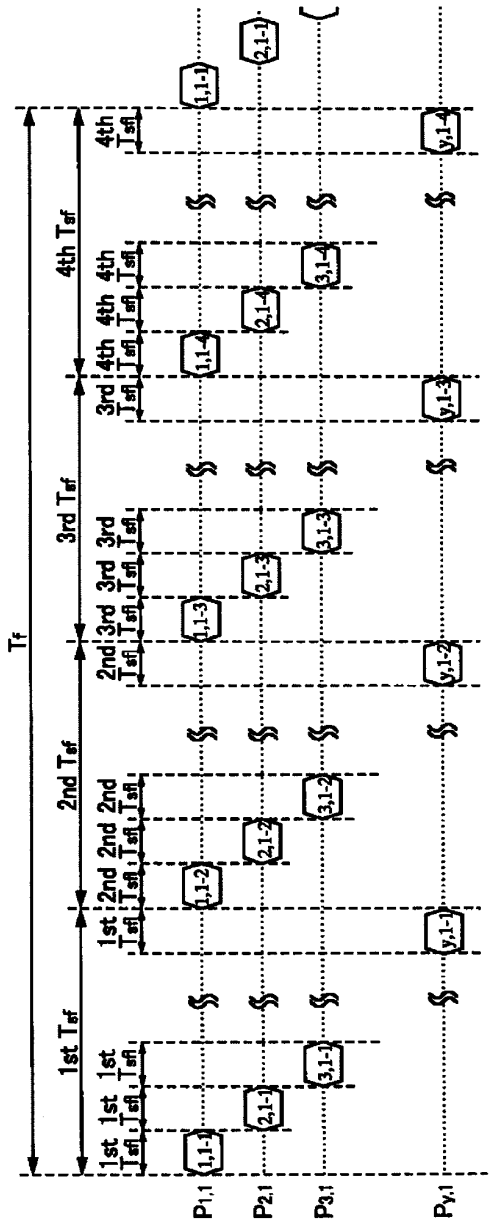
【図８】


8ビット デジタルビデオデータ
801-5 デジタルビデオデータ 時間階調処理回路
時間階調処理後 8ビット デジタルビデオデータ
801 デジタルドライバ 表示パネル
801-1 ソースドライバ
801-4 アクティブマトリクス回路
801-3
801-2 ソースドライバ

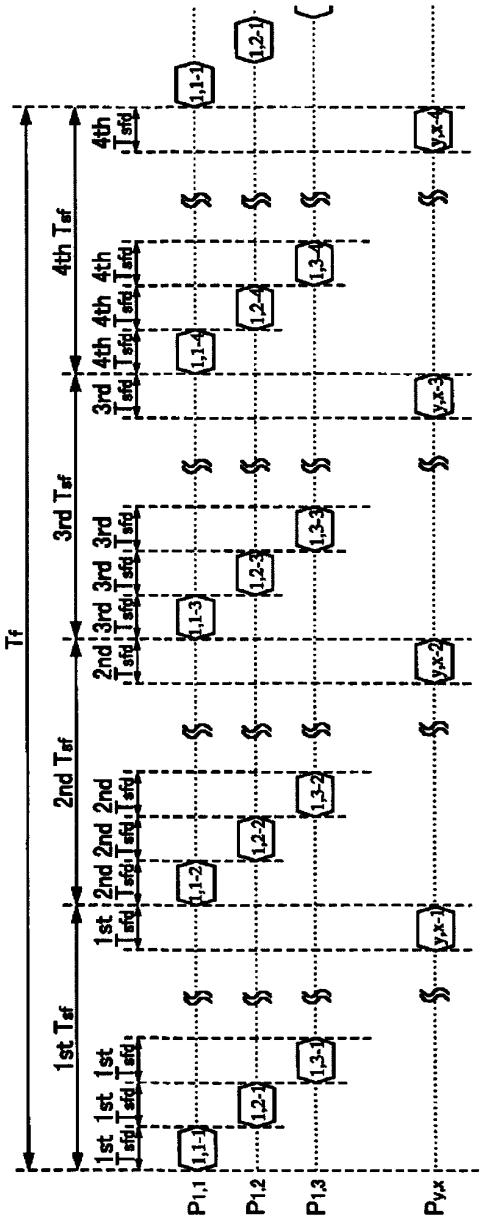
【図７】


階調電圧レベル
階調電圧レベル
階調表示レベル
VH
VL+3α
VL+10α/4
VL+2α
VL+7α/4
VL+α
VL
1st Tsf
2nd Tsf
3rd Tsf
4th Tsf
1st Tsf
2nd Tsf
3rd Tsf
4th Tsf
サブフレーム期間
時間
Tf
フレーム期間
Tf
フレーム期間

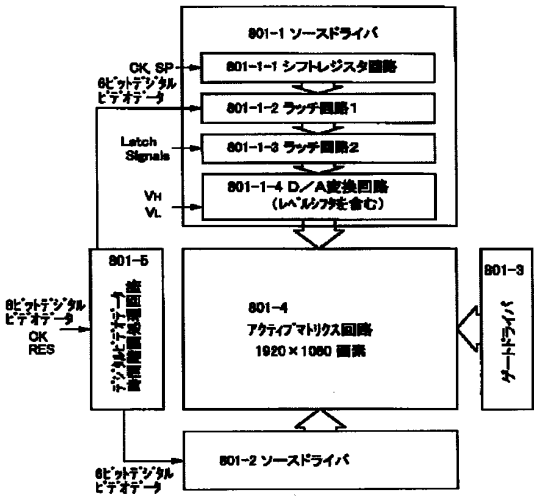
【図６】


Tf
1st Tsf
2nd Tsf
3rd Tsf
4th Tsf
1st Tsfd
2nd Tsfd
3rd Tsfd
4th Tsfd
1,1-1
2,1-1
3,1-1
y,1-1
1,1-2
2,1-2
3,1-2
y,1-2
1,1-3
2,1-3
3,1-3
y,1-3
1,1-4
2,1-4
3,1-4
y,1-4
P1,1
P2,1
P3,1
Py,1

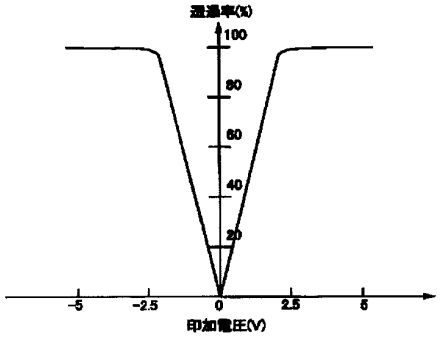
【図１２】


Tf
1st Tsf
2nd Tsf
3rd Tsf
4th Tsf
1st Tsfd
2nd Tsfd
3rd Tsfd
4th Tsfd
1,1-1
1,2-1
1,3-1
y,x-1
1,1-2
1,2-2
1,3-2
y,x-2
1,1-3
1,2-3
1,3-3
y,x-3
1,1-4
1,2-4
1,3-4
y,x-4
P1,1
P1,2
P1,3
Py,x

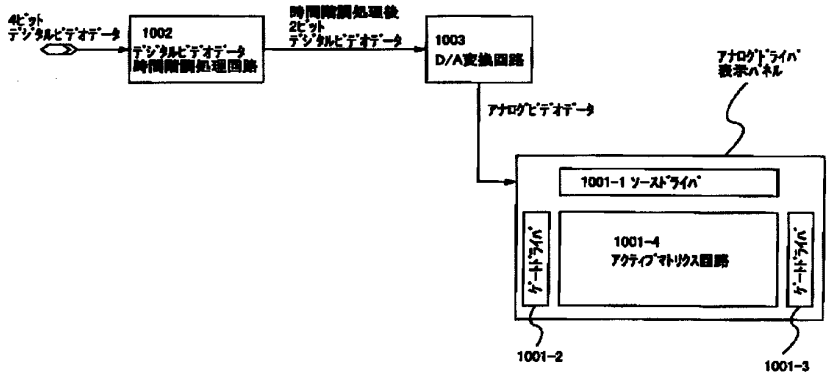
【図９】



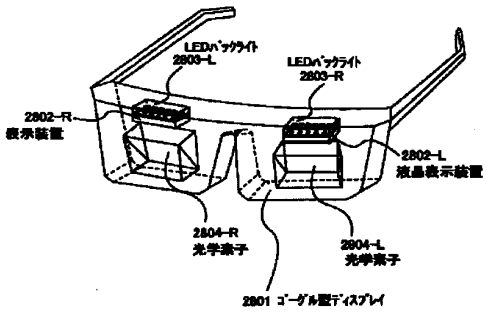
【図２３】



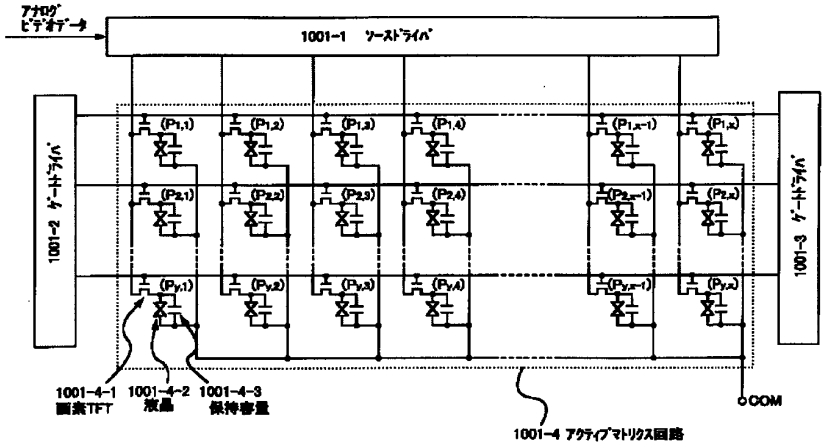
【図１０】



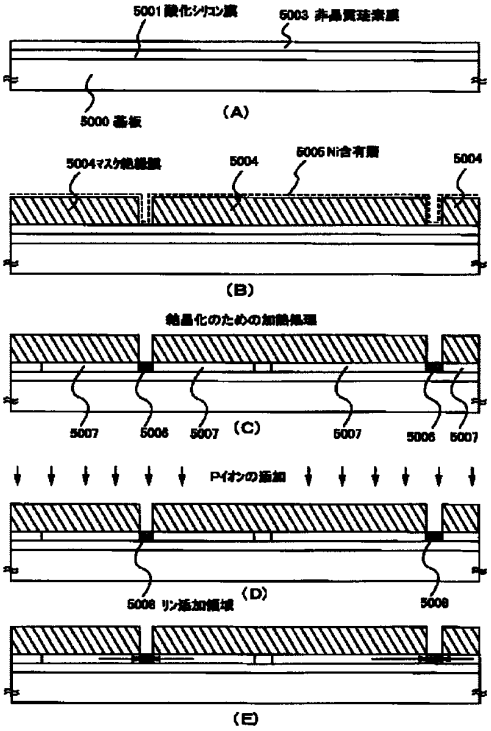
【図２８】



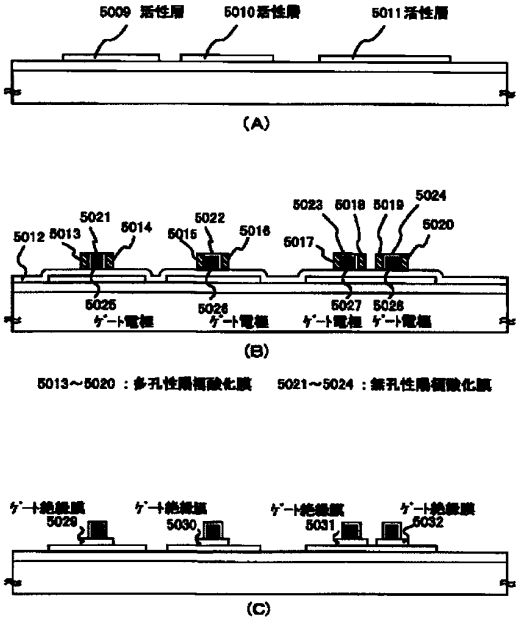
【図１１】


アナログ
ビデオデータ
1001-1　ソースドライバ
1001-2 コントローラ
1001-3 ゲートドライバ
1001-4-1
画素TFT
1001-4-2
液晶
1001-4-3
保持容量
COM
1001-4 アクティブマトリクス回路

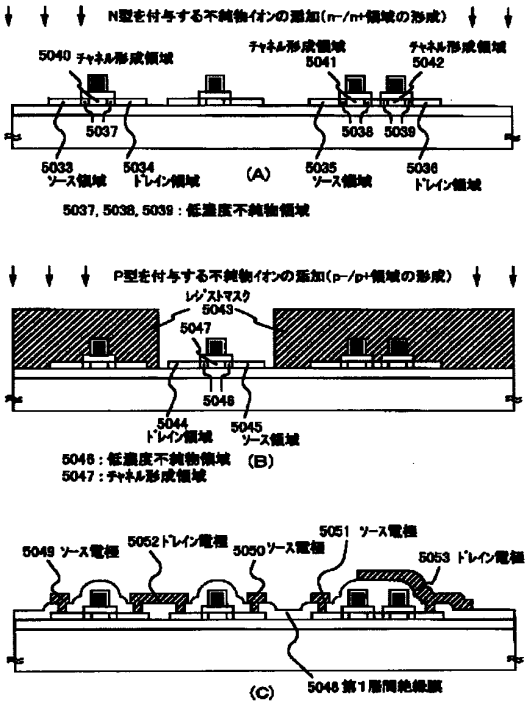
【図１３】


5001 酸化シリコン膜
5003 非晶質珪素膜
5000 基板
(A)
5004マスク絶縁膜
5004
5006 Ni含有層
5004
(B)
結晶化のための加熱処理
5007
5008
5007
(C)
5007
5008
5007
Pイオンの添加
5008 リン添加領域
(D)
5008
(E)

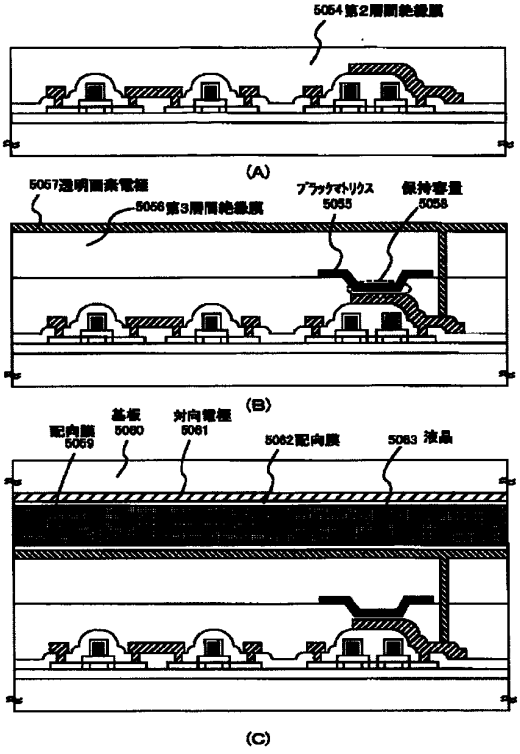
【図１４】


5009 活性層
5010 活性層
5011 活性層
(A)
5021
5012
5013
5014
5022
5015
5016
5023
5018
5019
5024
5017
5020
5025
ゲート電極
5026
ゲート電極
5027
ゲート電極
5028
ゲート電極
(B)
5013～5020 ：多孔性陽極酸化膜　5021～5024 ：緻孔性陽極酸化膜
ゲート絶縁膜
5029
ゲート絶縁膜
5030
ゲート絶縁膜
5031
ゲート絶縁膜
5032
(C)

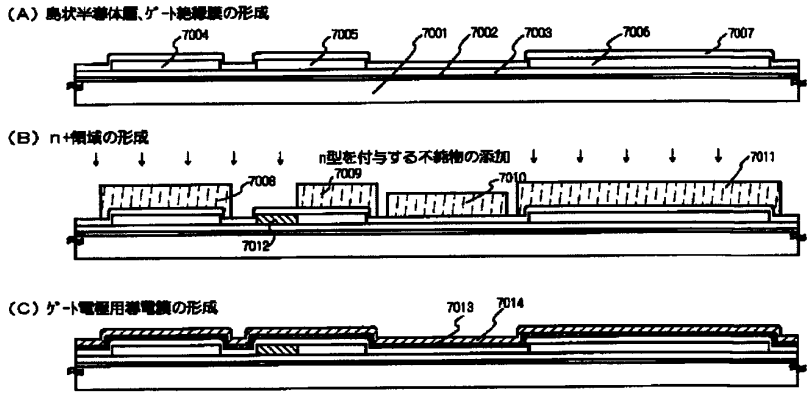
【図１５】


N型を付与する不純物イオンの添加(n-/n+領域の形成)
5040 チャネル形成領域
チャネル形成領域 5041
チャネル形成領域 5042
5037
5038
5039
5033 ソース領域
5034 ドレイン領域
(A)
5035 ソース領域
5036 ドレイン領域
5037, 5038, 5039：低濃度不純物領域
P型を付与する不純物イオンの添加(p-/p+領域の形成)
レジストマスク 5043
5047
5046
5044 ドレイン領域
5045 ソース領域
5046：低濃度不純物領域 (B)
5047：チャネル形成領域
5049 ソース電極
5052 ドレイン電極
5050 ソース電極
5051 ソース電極
5053 ドレイン電極
(C)
5048 第1層間絶縁膜

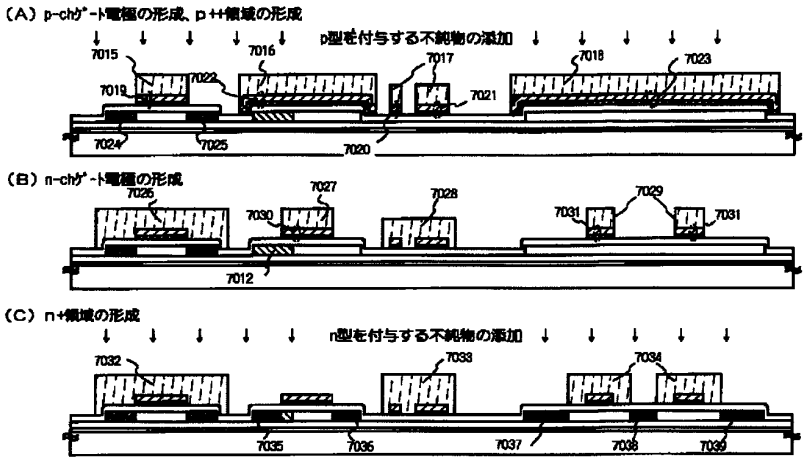
【図１６】


5054 第2層間絶縁膜
(A)
5057 透明画素電極
5056 第3層間絶縁膜
ブラックマトリクス 5055
保持容量 5058
(B)
配向膜 5059
基板 5060
対向電極 5061
5062 配向膜
5063 液晶
(C)

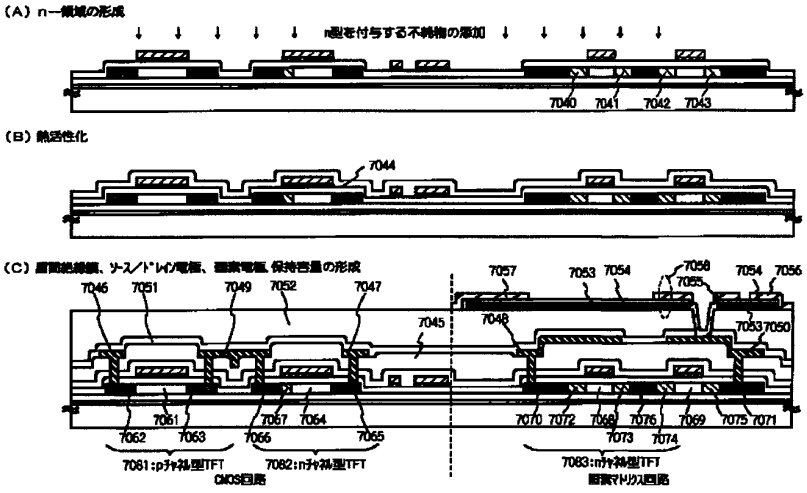
【図１７】


(A) 島状半導体層、ゲート絶縁膜の形成
7004
7005
7001
7002
7003
7006
7007
(B) n+領域の形成
n型を付与する不純物の添加
7011
7008
7009
7010
7012
(C) ゲート電極用導電膜の形成
7013
7014

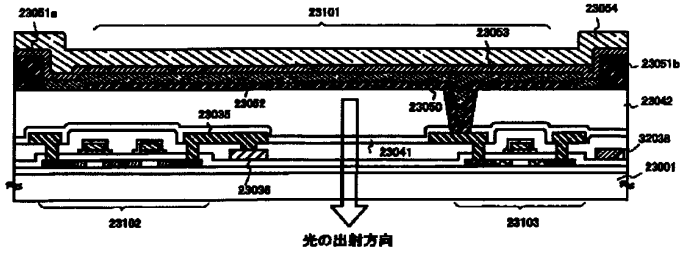
【図１８】


(A) p-chゲート電極の形成、p++領域の形成
p型を付与する不純物の添加
7015
7016
7017
7018
7023
7019
7022
7021
7024
7025
7020
(B) n-chゲート電極の形成
7026
7027
7028
7029
7030
7031
7031
7012
(C) n+領域の形成
n型を付与する不純物の添加
7032
7033
7034
7035
7036
7037
7038
7039

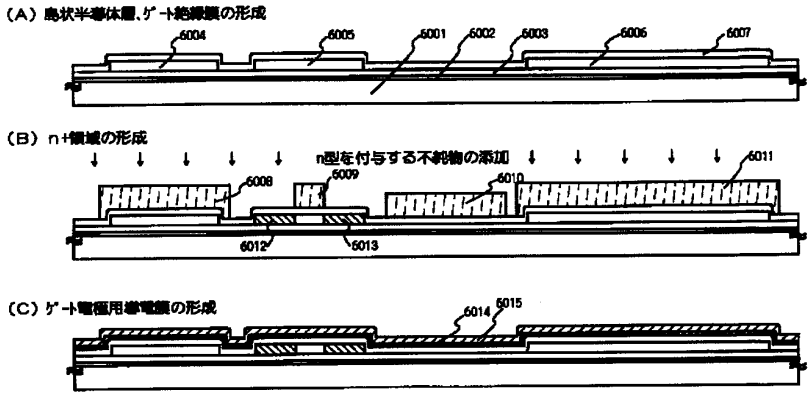
【図１９】


(A) n−領域の形成
n型を付与する不純物の添加
7040
7041
7042
7043
(B) 熱活性化
7044
(C) 層間絶縁膜、ソース/ドレイン電極、画素電極、保持容量の形成
7046
7051
7049
7052
7047
7057
7053
7054
7058
7055
7054
7056
7045
7048
7053
7050
7061
7067
7064
7062
7063
7066
7065
7070
7072
7068
7076
7069
7075
7071
7073
7074
7081:pチャネル型TFT
7082:nチャネル型TFT
CMOS回路
7083:nチャネル型TFT
画素マトリクス回路

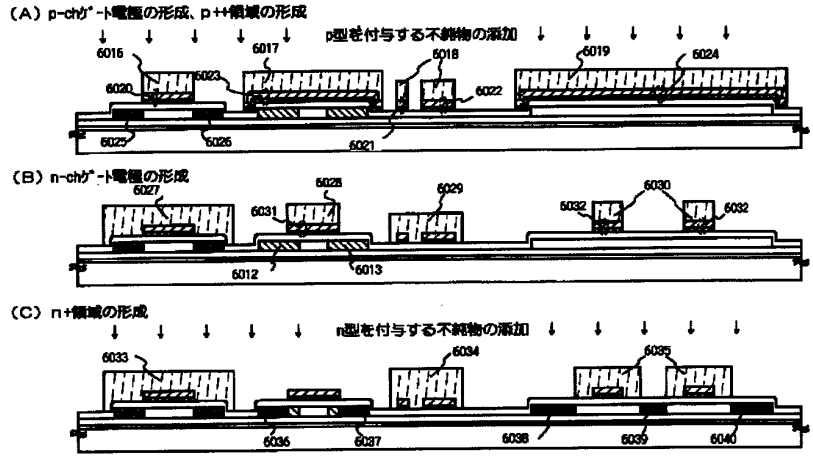
【図３６】


23051a
23101
23054
23053
23051b
23052
23050
23042
23035
23038
23041
23001
23036
23102
23103
光の出射方向

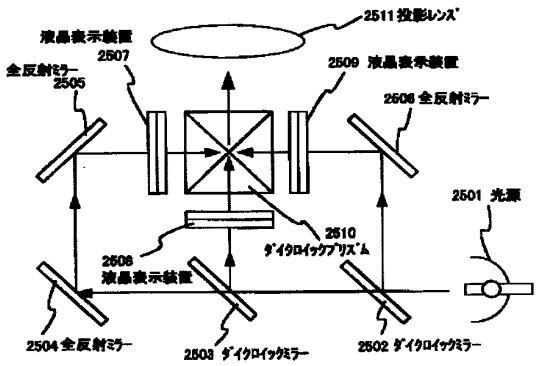
【図２０】



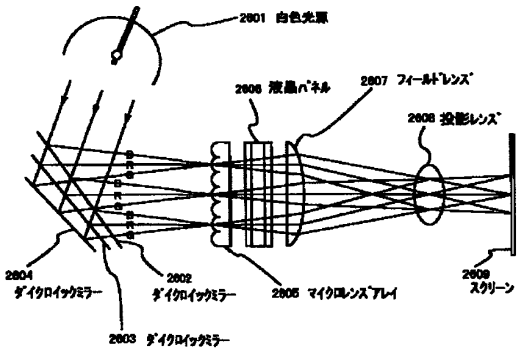
【図２１】



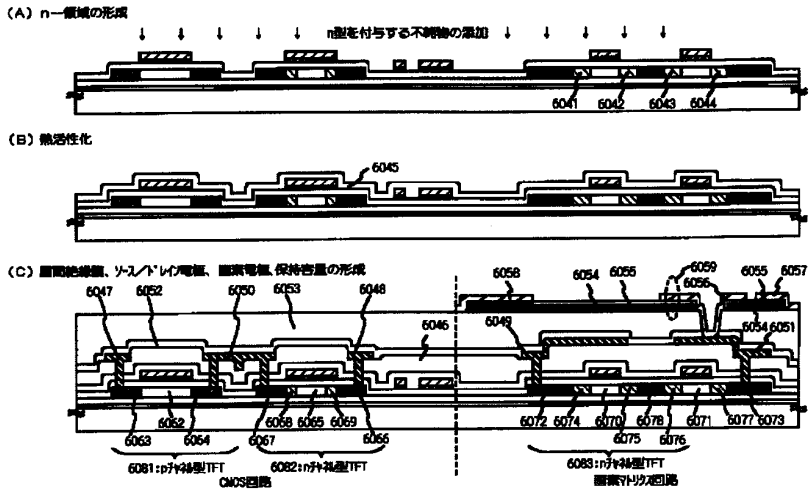
【図２５】



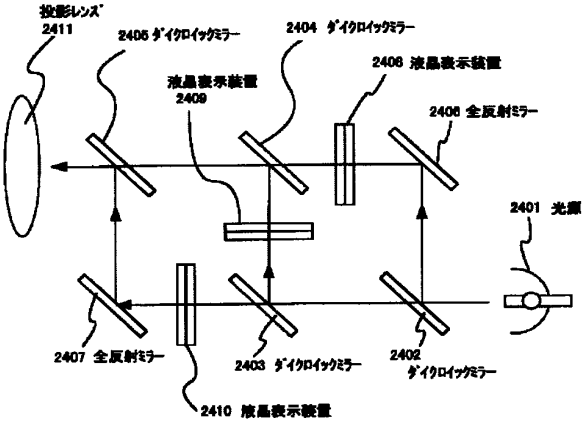
【図２６】



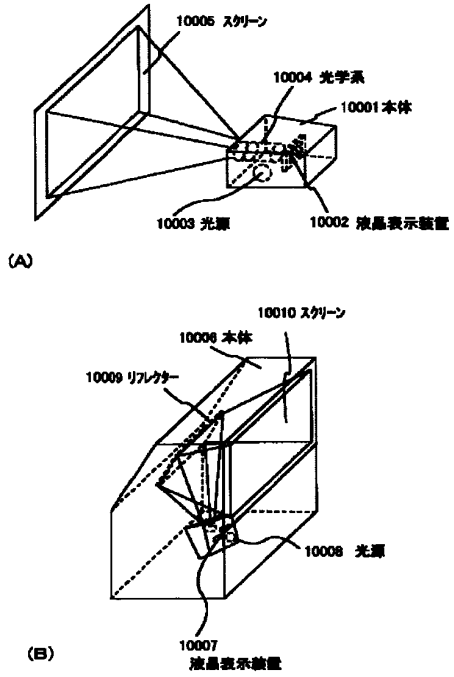
【図２２】


(A) n一領域の形成
n型を付与する不純物の添加
6041
6042
6043
6044
(B) 熱活性化
6045
(C)
6047
6052
6050
6053
6048
6046
6058
6054
6055
6059
6056
6057
6049
6054
6051
6062
6063
6064
6068
6065
6069
6067
6066
6072
6074
6070
6078
6071
6077
6073
6075
6076
6081:pチャネル型TFT
6082:nチャネル型TFT
CMOS回路
6083:nチャネル型TFT
画素マトリクス回路

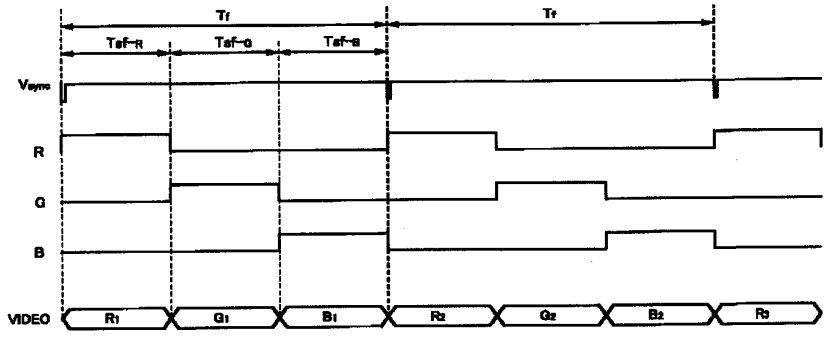
【図２４】


投影レンズ
2411
2405 ダイクロイックミラー
2404 ダイクロイックミラー
液晶表示装置
2409
2406 液晶表示装置
2408 全反射ミラー
2401 光源
2407 全反射ミラー
2403 ダイクロイックミラー
2402
ダイクロイックミラー
2410 液晶表示装置

【図２７】


10005 スクリーン
10004 光学系
10001 本体
10003 光源
10002 液晶表示装置
(A)
10010 スクリーン
10006 本体
10009 リフレクター
10008 光源
10007
液晶表示装置
(B)

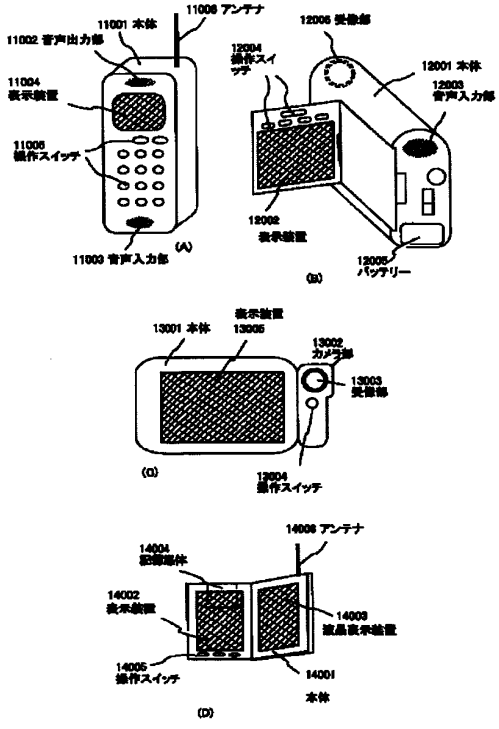
【図２９】


Tf
Tf
Tsf-R
Tsf-G
Tsf-B
Vsync
R
G
B
VIDEO
R1
G1
B1
R2
G2
B2
R3

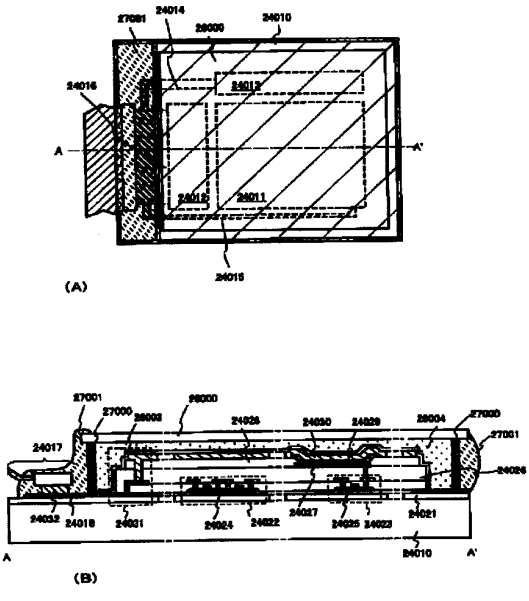
【図３０】


3002 液晶表示装置
LEDバックライト
3001 ノートブック型
パーソナルコンピュータ

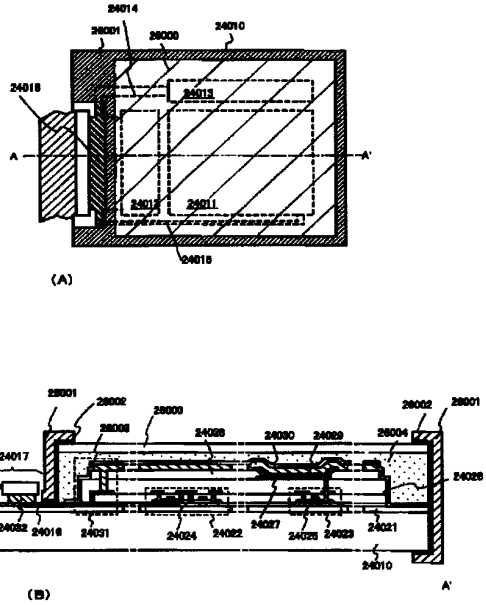
【図３１】


11008 アンテナ
11001 本体
11002 音声出力部
11004
表示装置
11006
操作スイッチ
11003 音声入力部
(A)
12006 受信部
12004
操作スイッチ
12001 本体
12003
音声入力部
12002
表示装置
12005
バッテリー
(B)
表示装置
13001 本体
13005
13002
カメラ部
13003
受信部
(C)
13004
操作スイッチ
14008 アンテナ
14004
送信部本体
14002
表示装置
14003
液晶表示装置
14005
操作スイッチ
14001
本体
(D)

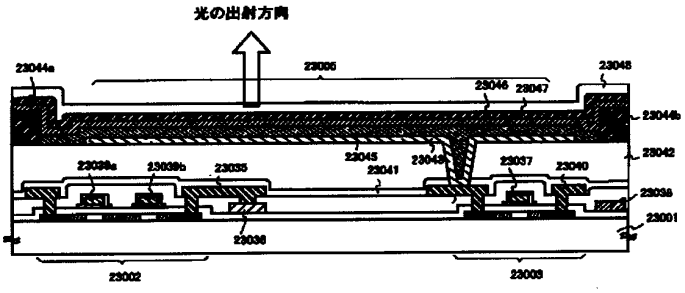
【図３２】



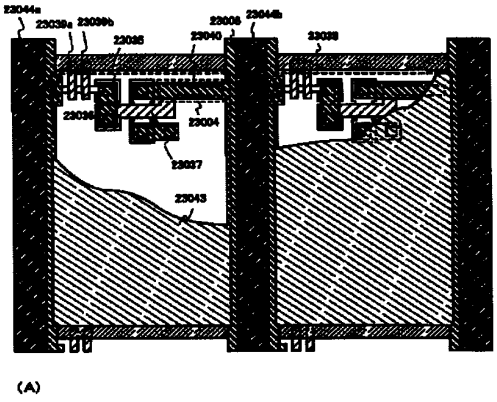
【図３３】



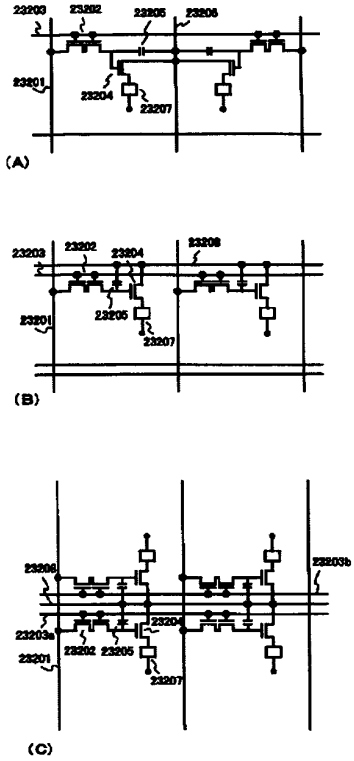
【図３４】



【図３５】



【図３７】



フロントページの続き

(51)Int.Cl.[7]		識別記号	FI		テーマコード（参考）
Ｇ０９Ｇ	3/20	６４１	Ｇ０９Ｇ	3/20	６４１Ａ
					６４１Ｃ
					６４１Ｅ
			Ｇ０２Ｆ	1/136	５００

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1]Top n bits of m bit digital video data characterized by comprising the following which is a display device and is inputted from the outside as information on gradation voltage, And a display device characterized by both m and n being two or more positive numbers and m>n using a low rank (m-n) bit as information on time gradation.
An active matrix circuit where two or more pixels TFT have been arranged at matrix form.
A source driver and a gate driver which drive said active matrix circuit.

[Claim 2]An active matrix circuit where two or more pixels TFT have been arranged at matrix form, A source driver and a gate driver which drive said active matrix circuit, m bit digital video data inputted from the outside is changed into n bit digital video data for gradation voltage, a circuit (m.) which supplies said n bit digital video data to said source driver A display device which both n is two or more positive numbers and a display device which has m>n, and is characterized by performing a time gradation display by forming an image of one frame by a subframe of a 2^{m-n} individual.
[Claim 3]An active matrix circuit where two or more pixels TFT have been arranged at matrix form, A source driver and a gate driver which drive said active matrix circuit, m bit digital video data inputted from the outside is changed into n bit digital video data for gradation voltage, a circuit (m.) which supplies said n bit digital video data to said source driver A display device, wherein both n is two or more positive numbers and a display device which has m>n, performs a time gradation display by forming an image of one frame by a subframe of a 2^{m-n} individual and obtains a gradation display of a passage (2^m- (2^{m-n}-1)).
[Claim 4]An active matrix circuit where two or more pixels TFT have been arranged at matrix form, A source driver and a gate driver which drive said active matrix circuit, Top n bits of m bit digital video data which is a display device which **** and is inputted from the outside as information on gradation voltage, And a display device, wherein said source driver has a D/A conversion circuit which changes said n bit digital video data into analog gradation voltage, using a low rank (m-n) bit as information on time gradation (both m and n are two or more positive numbers and m>n).
[Claim 5]An active matrix circuit where two or more pixels TFT have been arranged at matrix form, A source driver and a gate driver which drive said active matrix circuit, m bit digital video data inputted from the outside is changed into n bit digital video data for gradation voltage, Both a circuit which supplies said n bit digital video data to said source driver, and (m and n are two or more positive numbers and m>n) display devices which it has, and said source driver, A display device performing a time gradation display by having a D/A conversion circuit which changes said n bit digital video data into analog gradation voltage, and forming an image of one frame by a subframe of a 2^{m-n} individual.
[Claim 6]An active matrix circuit where two or more pixels TFT have been arranged at matrix form, A source driver and a gate driver which drive said active matrix circuit, m bit digital video data