

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 8 月 26 日 (26.08.2004)

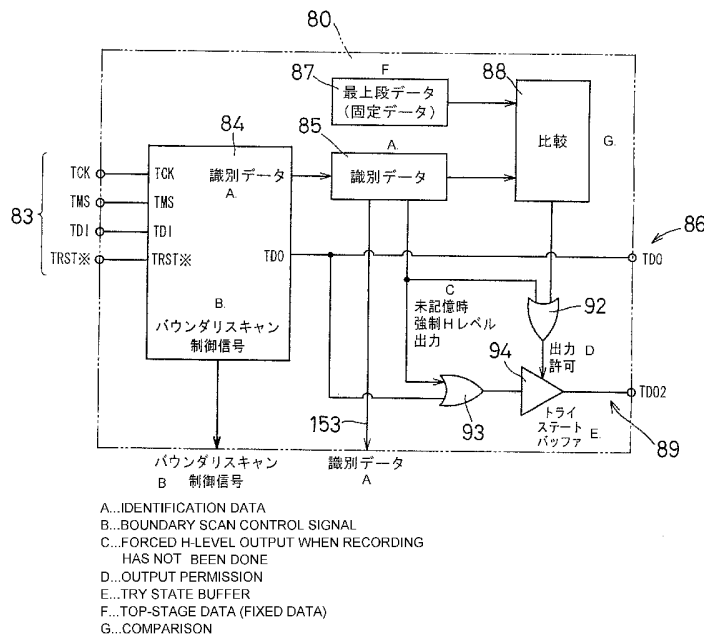
PCT

(10) 国際公開番号
WO 2004/072667 A1

- (51) 国際特許分類: G01R 31/28 Tomotoshi) [JP/JP]; 〒5180435 三重県名張市つつじヶ丘北 5-1 4 7 Mie (JP).
- (21) 国際出願番号: PCT/JP2004/001430
- (22) 国際出願日: 2004 年 2 月 10 日 (10.02.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-033995 2003 年 2 月 12 日 (12.02.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者; および
- (74) 代理人: 西教 圭一郎, 外 (SAIKYO, Keiichiro et al.); 〒5410051 大阪府大阪市中央区備後町 3 丁目 2 番 6 号 敷島ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, ...)
- [続葉有]

(54) Title: BOUNDARY SCAN CONTROLLER, SEMICONDUCTOR DEVICE, METHOD FOR IDENTIFYING SEMICONDUCTOR CIRCUIT CHIP OF SEMICONDUCTOR DEVICE, AND METHOD FOR CONTROLLING SEMICONDUCTOR CIRCUIT CHIP OF SEMICONDUCTOR DEVICE

(54) 発明の名称: バウンダリスキャンコントローラ、半導体装置、半導体装置の半導体回路チップ識別方法、半導体装置の半導体回路チップ制御方法



(57) Abstract: A boundary scan controller that allows a boundary scan to be executed and also allows a semiconductor device to be manufactured in such a manner that the same type of semiconductor circuit chips are stacked. Comparison means (88) is used to compare identification data stored in memory means (85) with fixed data held in fixed-data holding means (87). When the identification data is coincident

[続葉有]

WO 2004/072667 A1



SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

— 補正書・説明書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

with the fixed data, a data deriving part (89) outputs the same data as an output part (86) does. In a boundary scan test, a data deriving part (89) of a boundary controller (80) provided for each semiconductor circuit chip is connected to the same bus line. When the identification data is not coincident with the fixed data, the data deriving part (89) can be substantially disconnected from the bus line. In this way, the same type of semiconductor circuit chips for which the boundary controller (80) is provided can be stacked, thereby manufacturing the semiconductor device.

(57) 要約: 本発明の目的は、バウンダリスキャンを実施することができ、かつ同種の半導体回路チップを積層して半導体装置を構成することができるバウンダリスキャンコントローラを提供することである。記憶手段 85 に記憶される識別データと、固定データ保持手段 87 に保持される固定データとを比較手段 88 によって比較し、これらの識別データおよび固定データとが一致するときにデータ導出部 89 から、出力部 86 から出力されるデータと同一のデータが出力される。バウンダリスキャンテストでは、半導体回路チップに設けられるバウンダリコントローラ 80 のデータ導出部 89 を同一のバスラインに接続する。識別データと固定データとが一致しない場合には、データ導出部 89 は、実質上、バスラインに接続していない状態とすることができる。これによって、バウンダリコントローラ 80 が設けられる同種の半導体回路チップを積層して、半導体装置を構成することができる。

明 細 書

バウンダリスキャンコントローラ、半導体装置、半導体装置の半導体回路チップ
識別方法、半導体装置の半導体回路チップ制御方法

【技術分野】

本発明は、たとえば３次元積層ＬＳＩ（Large Scale Integration）などの半導体装置を構成する複数の半導体回路チップの入出力端子の接続状態を検査するためのバウンダリスキャンコントローラに関する。

【背景技術】

大規模集積回路（Large Scale Integration；略称ＬＳＩ）などの半導体回路チップの高密度実装に対する要求が高まるなか、半導体回路チップを縦方向、つまり基板の厚み方向に積層して実装密度を上げることが提案されている。

高密度実装を実現するため、テープキャリアパッケージによって積層される半導体回路チップをそれぞれ回路基板に接続する半導体装置がある。このような半導体装置では、テープキャリアに個々のチップを識別できるように識別信号線を備える。以後、半導体回路チップを単にチップと記載する場合がある。

図１１は、テープキャリア１を用いてチップ２を積層した半導体装置を示す斜視図であり、図１１ではチップ２を３つ積層したものを示す。各チップ２は、個々のチップ２の動作を選択するためのチップ選択信号が入力される第１のチップ側端子３と、その他の信号が入出力される第２の端子４とを有する。また回路基板には、各チップ２に独立してチップ選択信号を与えるための第１の回路基板側の端子５ａ～５ｂと、その他の信号を与え、受取る第２の回路基板側の端子６とを有する。

テープキャリア１は、第１および第２のチップ側端子３，４と第１および第２の回路基板側端子５，６とそれぞれ接続する配線７を有する。テープキャリア１は、チップ２とは別に設けられ、チップ１と同様に積層されて形成される。図１１においてテープキャリア１は、斜線で示される部分である。

このような半導体装置では、配線７の第１の回路基板側端子５と接続される部分８のパターンをあらかじめ冗長に作成しておき、テープキャリア１とチップ２

とから成るテープキャリアパッケージを回路基板に実装する際に、必要な配線を残し、不要な配線を切断除去する。これによって図 1 1 に示されるように、それぞれのチップ 2 に独立にチップ選択信号を供給できるようになり、チップ選択信号を用いて、積層されたチップ 2 を識別可能としている。

チップ 2 の高速高機能化にともない、前述したテープキャリア 1 を用いたパッケージでは、配線による信号遅延によってチップ 2 の性能が十分発揮できないといった問題がある。

このような問題に鑑み、第 1 の先行技術では、表裏を貫通する電極を持つチップを積層してモジュール化する提案がなされている（たとえば、米国特許 6 1 4 1 2 4 5 号明細書参照）。積層されるチップに対しては、前述のテープキャリアパッケージの積層モジュールを実現する際の工夫と同様に、個々のチップを識別することが必要である。

図 1 2 ～図 1 4 は、表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。説明のため、図 1 2 ～図 1 4 では、チップを貫通する貫通導線 1 1 ～ 1 3 と、この貫通導線 1 1 ～ 1 3 とチップの接続端子 1 4 ～ 1 6 までの配線のみを図示し、チップおよび層間絶縁膜などは図示しない。また図 1 2 ～図 1 4 では、チップ選択信号に関連する配線のみを示している。またここでは図 1 1 に示す半導体装置と同様に、3 つのチップを積層する場合について説明する。貫通電極 1 1 ～ 1 3 は、チップの積層方向にチップを貫通する。

図 1 2 は、チップを積層したときに、下段のチップに設けられる配線であって、チップの動作を選択するためのチップ選択信号を伝達するチップ選択配線 1 7 を示す斜視図である。図 1 3 は、中段のチップに設けられるチップ選択配線 1 8 を示す斜視図である。図 1 4 は、上段のチップに設けられるチップ選択配線 1 9 を示す斜視図である。

下段のチップは、チップ選択信号が入力されるチップ側接続端子 1 4 と、チップを貫通し、回路基板に設けられる端子とを接続するための貫通電極 2 1, 2 2, 2 3 と、チップ側接続端子 1 4 および貫通電極 2 1 を相互に接続するための接続線 2 4 と、貫通電極 2 2, 2 3 と積層される中段のチップの端子とを接続する接

続端子 25, 26 とを有する。貫通電極 22, 23 は、積層される中段および上段のチップに、チップ選択信号を伝達するための導線である。図 12 において、貫通電極 21, 22, 23 を斜線で示し、接続線 24 を網線で示す。

中段のチップは、チップ選択信号が入力されるチップ側接続端子 15 と、チップを貫通し、接続端子 25, 26 を介して、下段のチップに設けられる貫通電極 22, 23 とそれぞれ相互に接続するための貫通電極 27, 28 と、チップ側接続端子 15 と貫通電極 27 とを相互に接続するための接続線 29 と、貫通電極 28 と積層される上段のチップの端子とを接続する接続端子 31 とを有する。貫通電極 28 は、積層される上段のチップに、チップ選択信号を伝達するための導線である。中段のチップは、下段のチップと異なり、貫通電極を 2 つだけ設ける構成で十分である。つまり、図 13 において仮想線で示される貫通電極 32 を作成しても接続されることはない。図 13 において、貫通電極 27, 28 を斜線で示し、接続線 29 を網線で示す。

上段のチップは、チップ選択信号が入力されるチップ側接続端子 16 と、チップを貫通し、接続端子 31 を介して、下段のチップに設けられる貫通電極 28 とを相互に接続するための貫通電極 33 と、チップ側接続端子 16 と貫通電極 33 とを相互に接続するための接続線 34 とを有する。上段のチップは、下段および中段のチップと異なり、貫通電極を 1 つだけ設ける構成で十分である。つまり、図 14 において仮想線で示される貫通電極 35, 36 を作成しても接続されることはない。図 14 において、貫通電極 33 を斜線で示し、接続線 34 を網線で示す。

図 12 ～ 図 14 に示す配線パターンは、予めチップに設けておく必要がある。すなわち、積層されるチップは、このチップを作成するウエハプロセスにおいて、下層のチップとは別チップとして作成することとなる。

種類の異なるチップを積層する場合においては、元来それぞれ別チップであるので、単に積層しても問題はない。しかしながら、同一のチップを多数積層する場合、たとえばメモリを多数積層して大容量メモリを実現する場合などにおいては、同一チップを積層することができないので、積層する数だけ、別の種類のチ

ップを作る必要があり、余分な手間が必要になる。

また高密度実装を実現するための半導体装置では、実装されたチップが接続されているか否かを電氣的にテストするための回路、つまりバウンダリスキャンコントローラを実装する。

バウンダリスキャンコントローラは、バウンダリスキャンテストの規格上、5本の信号線T D I (Test Data input: データ入力部), T D O (Test Data Output: データ出力部), T C K (Test Clock input: クロック入力部), T M S (Test Mode Select input: テストモード入力部), T R S T (Test Reset input: テストリセット入力部)を有する。ただし、T R S Tは、オプションである。

J T A G (Joint European Test Action Group) の規格に準拠するバウンダリスキャンでは、半導体装置において各チップに組み込んだバウンダリスキャンコントローラの信号線T D I とT D Oを連鎖状に接続する。以後、このバウンダリスキャンコントローラの連鎖状の接続をデイジーチェーンと記載する場合がある。信号線T C K, T M S, T D I, T R S Tを総じて入力部と称する。

次に、バウンダリスキャンテストの手法を説明する。

図15は、バウンダリスキャンコントローラを有する複数のチップ組立体I Cの接続状態を示す回路図であり、図16は図15の回路図において、チップ組立体I Cが積層されて構成される積層モジュール50を示す図である。積層モジュール50は、複数のチップ組立体I C 1, I C 2, ..., I C n (nは、3以上の整数)が積層されて構成される。以後、チップ組立体I C 1 ~ I C nを総称する場合、チップI Cと記載する。積層モジュール50には、コネクタ52が接続され、このコネクタ52にJ T A Gテスターが接続される。図16では、左から順に最下段、中段および最上段に積層されるチップ組立体I Cを示す。

各チップ組立体I Cにおいて、信号線T C K, T M S, T R S Tは、チップ組立体I Cに設けられる配線パターンを介して、相互に並列に、コネクタ52の対応するピンに接続される。一方、信号線T D I, T D Oは、前段側のチップ組立体I Cの信号線T D Oが後段側のチップ組立体I Cの信号線T D Iに順次縦続接

続される。また第1段目のチップ組立体 I C 1 の信号線 T D I および最上段のチップ組立体 I C n の信号線 T D O は、コネクタ 5 2 の対応するピンに接続されている。

このように構成された積層モジュール 5 0 において、J T A G テスターによってチップ組立体 I C を制御することによって、総てのチップ組立体 I C に対して一斉に、バウンダリスキャンテストが行われる。

積層モジュール 5 0 では、最上段に積層されるチップ組立体 I C n だけ、このチップ組立体 I C n 以外のチップ組立体とは異なる接続をする必要がある。このため、最上段のチップ組立体 I C n だけ、他のチップとはウエハプロセスによって作り分ける必要がある。

図 1 7 および図 1 8 は、図 1 6 に示す積層モジュール 5 0 におけるチップ組立体の配線パターンを示す斜視図であり、図 1 7 および図 1 8 ではフェースアップによってチップ組立体を積層する場合を想定している。フェースアップとは、基板に対してチップの回路面が反対側を向いて積層される実装方法である。説明のため、図 1 7 および図 1 8 では、チップ組立体に設けられる貫通電極 6 1, 6 2 と、この貫通電極 6 1, 6 2 とチップの接続端子 6 3 ~ 6 8 までの配線のみを図示し、チップおよび層間絶縁膜などは図示しない。

図 1 7 は、最下段および中段のチップ組立体の配線パターンを示す斜視図である。最下段および中段のチップ組立体は、T D I のチップ側接続端子 6 3 と、T D O のチップ側接続端子 6 4 と、T C K などをバス接続するためのチップ側接続端子 6 5 と、T D I 信号を伝達するための貫通電極 7 1 と、貫通電極 7 1 と T D I のチップ側接続端子 6 3 とを接続する接続線 7 2 と、T D O 信号を上段のチップに伝達するための接続端子 7 3 と、T D O のチップ側接続端子 6 4 と接続端子 7 3 とを繋ぐチップ上の接続線 7 4 と、T C K などをバス接続するための貫通電極 7 5 と、貫通電極 7 5 と T C K などをバス接続するためのチップ側接続端子 6 5 とを接続するチップ上の接続線 7 6 と、T C K などの信号を上段のチップに伝達するための接続端子 7 7 と、最上段のチップからの T D O 信号を下段に戻すための貫通電極 7 8 とを含む。

図 18 は、最上段のチップ組立体の配線パターンを示す斜視図である。最上段のチップ組立体は、TDI のチップ側接続端子 63 と、TDO のチップ側接続端子 64 と、TCK などをバス接続するためのチップ側接続端子 65 と、TDI 信号を伝達するための貫通電極 71 と、貫通電極 71 と TDI のチップ側接続端子 63 とを接続する接続線 72 と、TCK などをバス接続するための貫通電極 75 と、貫通電極 75 と TCK などをバス接続するためのチップ側接続端子 65 とを接続するチップ上の接続線 76 と、最上段のチップからの TDO 信号を下段に戻すための貫通電極 78 と、TDO のチップ側接続端子 64 と貫通電極 78 とを接続する接続線 79 とを含む。

図 17 および図 18 に示すような最下段および中段のチップ組立体における配線パターンと、最上段のチップ組立体における配線パターンとは、予めそれぞれのチップ組立体に設けておく必要がある。すなわち積層する各チップ組立体は、ウエハプロセスにおいて、別のチップ組立体として作成することとなる。バウンダリスキャンを行う場合では、別のチップ組立体にする必要があるのは、図 17 および図 18 に示すように、最上段のチップ組立体のみであるが、同一のチップを多数積層する場合、たとえばメモリを多数積層して大容量メモリを実現する場合などにおいては、同一チップを積層することができないという問題がある。

【発明の開示】

本発明の目的は、バウンダリスキャンを実施することができ、かつ同種の半導体回路チップを積層して半導体装置を構成することができるバウンダリスキャンコントローラを提供することである。

本発明は、半導体回路チップに設けられ、外部信号入力端子と内部論理回路の入力端子との間、および外部信号出力端子と内部論理回路の出力端子との間にそれぞれ設けられるバウンダリスキャンセルが直列に接続されて構成されるシフトレジスタ回路を制御するバウンダリスキャンコントローラであって、

予め定める動作命令、半導体回路チップの識別データおよびテストデータを入力する入力部と、

前記識別データを記憶する記憶手段と、

入出力タイミングを与えるクロック入力部と、予め定める動作命令を与えるテストモード入力部と、半導体回路チップの識別データおよびテストデータを入力するデータ入力部と、

前記予め定める動作命令を実行して、識別データを記憶手段に記憶させるとともに、テストデータを用いた回路テストを実行してテスト結果データを得る制御手段と、

制御手段によって得られたテスト結果データを出力するデータ出力部と、

予め定める固定データを保持する固定データ保持手段と、

前記識別データおよび固定データが同一であるか否かを比較し、比較結果情報を出力する比較手段と、

比較手段からの比較結果情報に基づいて、出力部から出力されるテスト結果データに対応するデータを導出するデータ導出部とを含むことを特徴とするバウンダリスキャンコントローラである。

本発明に従えば、テストモード入力部から予め動作命令が与えられると、制御手段は予め定める動作命令を実行する。制御手段は、予め定める動作命令を実行することによって、データ入力部から入力される半導体回路チップの識別データを記憶手段に記憶させ、またデータ入力部から入力されるテストデータを用いた回路テストを実行して、テスト結果データを得る。テストデータを用いた回路テストは、たとえばシフトレジスタ回路を制御して実行される半導体回路チップの接続テストである。

比較手段は、固定データ保持手段に保持される固定データと、記憶手段に記憶される識別データとが同一であるか否かを比較して、同一である場合には、同一であることを示す比較結果情報を出力し、同一でない場合には、同一でないことを示す比較結果情報を出力する。データ導出部は、比較結果情報に基づいて、識別データと固定データとが同一である場合には、テスト結果データに対応する同一である場合のデータを出力し、識別データと固定データとが同一でない場合にはテスト結果に対応する同一でない場合のデータを出力する。したがって、前記固定データおよび識別データが同一である場合と、同一でない場合とで、データ導

出部から出力されるデータを異ならせることができる。

バウンダリスキャンテストは、前述したバウンダリスキャンコントローラを半導体回路チップに設けて半導体回路チップ組立体を構成し、この半導体回路チップ組立体を積層して構成される半導体装置において、各半導体回路チップ組立体の接続状態を検出するために行われる。このバウンダリスキャンテストは、複数のバウンダリスキャンコントローラを連結したデイジーチェーンに対して行われる。デイジーチェーンでは、下段のバウンダリスキャンコントローラのデータ出力部は、上段のバウンダリスキャンコントローラのデータ入力部に接続される。そして最上段の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ出力部から、テスト結果データを取り出す。バウンダリスキャンテストでは、JTAGテスターによって、各入力部からバウンダリスキャンコントローラへの動作命令、識別データおよびテストデータの入力と、出力されるデータの検出が行われる。

本発明のバウンダリスキャンコントローラでは、固定データとして、最上段の半導体回路チップの識別データを固定データ保持手段に保持させることによって、最上段のバウンダリスキャンコントローラだけ、データ導出部から出力されるデータを、他のデータ導出部から出力されるデータと異ならせることができる。したがって、最上段以外の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ出力部は、無接続状態として、各バウンダリスキャンコントローラのデータ導出部は、同一のバスラインに接続することができる。つまり、同一のバスラインに接続されるデータ導出部のうち、最上段以外の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ導出部から出力される状態を、たとえば、高いインピーダンスでプルアップもしくはプルダウンした状態にする、もしくは、フローティングの状態とすることにより実質上、このデータ導出部をバスラインから切断した状態とすることができる。

したがって、バウンダリスキャンコントローラを備える同一の半導体回路チップ組立体を積層して、半導体装置を構成することができる。

また本発明は、前記記憶手段に識別データが記憶され、比較手段が出力する比

較情報が、識別データおよび固定データが一致することを示す場合、データ導出部は、データ出力部が出力するテスト結果データと同一のデータを出力することを特徴とする。

本発明に従えば、記憶手段に識別データが記憶され、比較情報が識別データおよび固定データが一致することを示す場合、データ導出部は、データ出力部が出力するテスト結果データと同一のデータを出力する。したがって、データ導出部からは、テスト結果データと同一のデータが出力されるので、詳細なテスト結果データを得ることができ、接続不良の詳細な場所を特定することができる。

また本発明は、前記記憶手段に識別データが記憶されていない場合、データ導出部から出力されるデータを、他のバウンダリスキャンコントローラが認識できない状態とすることによって、データ導出部に接続されたバウンダリスキャンコントローラを実質的に無効とすることを特徴とする。

もしくは、データ導出部の出力を予め定める信号レベルに維持することを特徴とする。予め定める信号レベルとは、たとえばHレベルの状態、もしくは、高いインピーダンスでHレベルにプルアップされた状態である。

本発明に従えば、これによって、データ導出部の出力側に他のバウンダリスキャンコントローラが接続されていても、実質上、以降のバウンダリスキャンコントローラは動作しない。バウンダリスキャンコントローラに接続された半導体回路が不良である場合でも、バウンダリスキャンコントローラは動作しないため入出力回路は切り離された状態となり、たとえば、不良である半導体回路チップが異常な入出力ピンの状態となろうとしても、出力はされず不具合は回避できる。

本発明に従えば、固定データと一致しない識別データを与えるのは、そのチップが積層の最も上の段以外に配置される場合とする。記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、実質上、前記回路から切り離された状態とすることができる。

また本発明は、前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致したことを示す場合、データ導出

部は、データ出力部と同じデータを出力すること特徴とする。

本発明に従えば、固定データと一致した識別データを与えるのは、そのチップが積層の最も上の段に配置される場合とする。記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致したことを示す場合、データ導出部は、データ出力部と同じデータを出力する。

この出力データの切り替えにより、以降に繋がっているバウンダリスキャンコントローラを有効に動作させることができるようになる。

また本発明は、前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、たとえば、高いインピーダンスでプルアップもしくはプルダウンした状態、もしくは、フローティングの状態とすることを特徴とする。

本発明に従えば、固定データと一致しない識別データを与えるのは、そのチップが積層の最上段以外に配置される場合とする。記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、たとえば、高いインピーダンスでプルアップもしくはプルダウンした状態、もしくは、フローティングの状態とし、実質上、このデータ導出部をバスラインから切断した状態とする。

また本発明は、前記バウンダリスキャンコントローラを半導体回路チップに設けて半導体回路チップ組立体が構成され、前記半導体回路チップ組立体を積層して構成されることを特徴とする半導体装置である。

本発明に従えば、半導体回路チップ組立体を同一のウエハプロセスによって形成することができるので、この半導体回路チップ組立体を形成する手間が低減される。また半導体装置を形成する場合に、同じ半導体回路チップ組立体を積層するので、積層する順番などを考慮する必要がなく、装置の形成が容易となる。

また本発明は、前記半導体回路チップは、メモリチップであり、
メモリチップ組立体は、

メモリチップのアドレス線に追加して形成される追加アドレス線と、
メモリチップを選択するため選択信号を入力する選択信号線と、

前記メモリチップの追加アドレス線に対応するデータと、記憶手段に記憶される識別データとが一致し、かつ選択信号が入力される場合に、メモリチップの動作を許可する許可手段とを含むことを特徴とする。

本発明に従えば、メモリチップの選択する選択信号が入力されたとしても、追加アドレス線に対応するデータと記憶手段に記憶される識別データとが一致しないと、許可手段によってメモリチップの動作が許可されない。したがって、同一の選択信号を入力したとしても、許可手段は1つのメモリチップの動作のみを許可することができる。これによって、積層されるメモリチップごとに動作させることができる。

また本発明は、前記半導体回路チップは、メモリチップであり、
メモリチップ組立体は、

メモリチップのデータ線に追加して形成され、前記データ線の数よりも多い追加データ線と、

記憶手段に記憶される識別データによって、追加データ線を選択してメモリチップのデータ線に接続する選択手段とを含むことを特徴とする。

また本発明に従えば、選択手段は、記憶手段に記憶される識別データによって追加データ線を選択して、メモリチップのデータ線に接続するので、積層されるメモリチップ毎にデータ線を割当てることができる。したがって、1つのメモリチップに対応するバスラインよりも多いバスラインに接続してメモリチップを動作させることができる。

また本発明は、前記半導体装置における半導体回路チップ識別方法であって、記憶手段に記憶される識別データによって各半導体回路チップを識別することを特徴とする半導体装置の半導体回路チップ識別方法である。

本発明に従えば、記憶手段に記憶される識別データによって各半導体回路チップを個別に認識することができる。したがって、識別データを用いて半導体回路チップを個別に管理することができる。

また本発明は、前記半導体装置における半導体回路チップ制御方法であって、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を

行わせることを特徴とする半導体装置の半導体回路チップ制御方法である。

本発明に従えば、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を行わせるので、積層される半導体回路チップを個別に動作させることができる。

【図面の簡単な説明】

本発明の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

図 1 は、本発明の実施の一形態であるバウンダリスキャンコントローラ 80 を示すブロック図である。

図 2 は、バウンダリスキャンコントローラ 80 を半導体回路チップに設けて構成される半導体回路チップ組立体 81 を示すブロック図である。

図 3 は、半導体回路チップ組立体 81 を複数積層して構成される半導体装置 82 を示すブロック図である。

図 4 は、コントローラ 80 の記憶手段 85 に識別データを設定する動作を示すフローチャートである。

図 5 は、コントローラ 80 を半導体回路チップに設けて形成される半導体回路チップ組立体 81 の配線パターンの一部を示す斜視図である。

図 6 は、本発明のさらに他の実施の形態のバウンダリスキャンコントローラ 130 を示すブロック図である。

図 7 は、本発明のさらに他の実施の形態のバウンダリスキャンコントローラ 140 を示すブロック図である。

図 8 は、信号選択手段 150 を示すブロック図である。

図 9 は、メモリチップ組立体に設けられるメモリチップ選択手段 160 を示す図である。

図 10 は、メモリチップ組立体に設けられるデータ線選択手段 170 を示す図である。

図 11 は、テープキャリア 1 を用いてチップ 2 を積層した半導体装置を示す斜視図である。

図 1 2 は、表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。

図 1 3 は、表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。

図 1 4 は、表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。

図 1 5 は、バウンダリスキャンテストの手法を説明するための図である。

図 1 6 は、バウンダリスキャンテストの手法を説明するための図である。

図 1 7 は、図 1 6 に示す積層モジュール 5 0 におけるチップ組立体の配線パターンを示す斜視図である。

図 1 8 は、図 1 6 に示す積層モジュール 5 0 におけるチップ組立体の配線パターンを示す斜視図である。

【発明を実施するための最良の形態】

以下図面を参考にして本発明の好適な実施例を詳細に説明する。

図 1 は、本発明の実施の一形態であるバウンダリスキャンコントローラ 8 0 を示すブロック図である。図 2 は、バウンダリスキャンコントローラ 8 0 を半導体回路チップに設けて構成される半導体回路チップ組立体 8 1 を示すブロック図である。内部論理回路 9 7 と外部との接続端子は 1 0 個を仮定している。図 3 は、半導体回路チップ組立体 8 1 を複数積層して構成される半導体装置 8 2 を示すブロック図である。本実施の形態のバウンダリスキャンコントローラ 8 0 は、J T A G (Joint European Test Action Group) の規格に準拠して動作する。バウンダリスキャンコントローラ 8 0 は、半導体装置 8 2 において半導体回路チップが接続されているか否かを電氣的にテストするための回路である。

バウンダリスキャンコントローラ 8 0 は、入力部 8 3、制御手段 8 4、記憶手段 8 5、出力部 8 6、固定データ保持手段 8 7、比較手段 8 8 およびデータ導出部 8 9 を含む。以後、バウンダリスキャンコントローラ 8 0 を単にコントローラ 8 0 と記載する場合がある。

入力部 8 3 は、予め定める動作命令、半導体回路チップの識別データおよびテ

ストデータを入力するシリアルインタフェースである。入力部 8 3 は、4 本の信号線 T C K (Test Clock input : クロック入力部) , T M S (Test Mode Select input : テストモード入力部) , T D I (Test Data input : データ入力部) , T R S T (Test Reset input : テストリセット入力部) を有する。以後、半導体回路チップの識別データを単に識別データと記載する場合がある。

T C K は、制御手段 8 4 に入出力タイミングを与え、固有のシステムクロックとは独立したテスト用のクロックを供給する信号線である。T M S は、予め定める動作命令を入力し、テスト動作を制御する信号線である。T D I は、識別データおよびテストデータをシリアル入力する信号線である。T R S T は、コントローラ 8 0 を非同期に初期化するためのデータを入力する信号線である。これらの 4 本の信号線は、外部の J T A G テスターによって制御され、バウンダリスキャンテストが行われる。本実施の形態では、入力部 8 3 に信号線 T R S T が設けられるが、J T A G 規格ではオプション端子であり、本発明の他の実施の形態において、入力部 8 3 は、信号線 T C K , T M S , T D I の 3 つを有する構成としてもよい。

入力部 8 3 は、制御手段 8 4 と相互に接続され、J T A G テスターから与えられる予め定める動作命令、識別データおよびテストデータを制御手段 8 4 に与える。

制御手段 8 4 は、入力部 8 3 から記憶手段 8 5 に識別データを記憶させる動作命令が入力されると、この命令を実行して、入力部 8 3 から入力される識別データをデコードして記憶手段 8 5 に記憶させる。また制御手段 8 4 は、入力部 8 3 からバウンダリスキャンテストを実行する動作命令が入力されると、この命令を実行して、入力部 8 3 から入力されるテストデータを用いた回路テストを実行してテスト結果データを得る。識別データを記憶手段 8 5 に記憶させる動作命令は、たとえばバウンダリスキャン命令の未使用コードを割当てて、回路テストを実行する場合、制御手段 8 4 は、バウンダリスキャン制御信号を出力して、後述するシフトレジスタ回路 9 1 を制御する。

制御手段 8 4 は、インストラクションレジスタと、テストデータレジスタとを

含む。インストラクションレジスタは、バウンダリスキャンテストを実行するための命令データを取込むための命令コードをセットするためのものである。テストデータレジスタは、バウンダリスキャンテストを実行するためのテストパターンデータをセットするためのものである。インストラクションレジスタおよびテストデータレジスタは、いずれも、シフトレジスタの構成となっており、データを送る命令が制御手段 84 に入力されると、信号線 TDI から入力される予め定める動作命令および各種データを、前記シフトレジスタを介して、信号線 TDO (Test Data Output : データ出力部) から出力することができる。以後、予め定める動作命令および各種データを総称して、単にデータと記載する場合がある。

記憶手段 85 は、制御手段 84 によってデコードされた識別データを記憶する。記憶手段 85 は、フリップフロップによって構成されるラッチ回路とし、バウンダリスキャンテストを実行するための外部に接続される JTAG テスターの電源投入毎に識別データを入力し直す構成とする。

この場合、識別データを指定するだけであるので、前記 JTAG テスターを完全な JTAG テスターとせず、ROM (Read Only Memory) とクロック発生器などで簡易的に JTAG 信号を発生させる回路で代用することも可能である。

本発明の実施の他の形態では、記憶手段 85 を EPROM (Electrically Programmable Read Only Memory) などの不揮発メモリによって実現し、1 度識別データを記憶させるだけで、この識別データが保存される構成としてもよい。

記憶手段 85 は、識別データのビット長よりも 1 ビット多い記録領域を有する。つまり、記憶手段 85 に記憶されるデータは、そのビット長が識別データのビット長よりも 1 ビット多いものとする。この冗長の 1 ビットに、制御手段 84 によって、記憶手段 85 に識別データが記憶されたかを否かが記憶される。これによって、記憶手段 85 に識別データが記憶されているか否かが容易にわかる。

出力部 86 は、制御手段 84 によって得られたテスト結果データと、インストラクションレジスタおよびテストデータレジスタを介して制御手段 84 から出力される予め定める動作命令および各種データとを出力するためのシリアルインタフェースであり、信号線 TDO を有する。

固定データ保持手段 87 は、固定データを保持する。固定データは、コントローラ 80 を半導体回路チップに設けて構成される半導体回路チップ組立体 81 を複数積み重ねて、半導体装置 82 を構成するときに、最上段に配置される半導体回路チップの識別データである。最上段に配置される半導体回路チップは、半導体装置 82 を基板に実装するときに、基板から最も離反する位置に設けられるものである。

固定データ保持手段 87 は、たとえばワイヤードロジックによって実現される。本実施の形態では、固定データ保持手段 87 は独立して存在するが、本発明のさらに他の実施の形態では、論理合成によって固定データ保持手段 87 を構成する場合、この固定データ保持手段 87 は、後述する比較手段 88 に内包されていてもよい。

比較手段 88 は、記憶手段 85 に記憶される識別データ、および固定データ保持手段 87 に保持される固定データを入力し、これらの識別データおよび固定データが同一であるか否かを比較し、比較結果情報を入力する。比較手段 88 は、記憶手段 85 に記憶される識別データを、前述した冗長な 1 ビットのデータを含めて固定データと比較する。これによって、識別データが記憶手段 85 に記憶されていない場合には、比較手段 88 は、常に不一致であることを示す比較結果情報を入力することができる。

データ導出部 89 は、第 1 および第 2 の OR ゲート 92, 93 と、トライステートバッファ 94 と、信号線 TDO2 を有する。第 1 の OR ゲート 92 の入力端子の一方は、比較手段 88 と相互に接続され、入力端子の他方は、記憶手段 85 と相互に接続される。第 1 の OR ゲート 92 は、比較手段 88 の比較結果情報が、識別データおよび固定データが一致することを示す場合、または記憶手段 85 に識別データが記憶されているときに、トライステートバッファ 94 に出力許可信号を入力する。

第 2 の OR ゲート 93 の入力端子の一方は、出力部 86 である信号線 TDO と相互に接続され、入力端子の他方は、記憶手段 85 と相互に接続される。第 2 の OR ゲート 93 は、記憶手段 85 に識別データが記憶されている場合に、出力部

８６から出力されるデータと同一のデータを出力する。第２のＯＲゲート９３には、記憶手段８５から前述した冗長の１ビットのデータが入力される。

トライステートバッファ９４は、第１および第２のＯＲゲート９２，９３の出力端子と相互に接続され、第１のＯＲゲート９２から出力許可信号を入力したときに、第２のＯＲゲート９３から入力されるデータを信号線ＴＤＯ２に出力する。

第１および第２のＯＲゲート９２，９３は、記憶手段８５に識別データが記憶されていない場合には、トライステートバッファ９４の出力端子に接続される信号線ＴＤＯ２が、他のバウンダリスキャンコントローラが認識できないデータを出力する。ここにいう他のバウンダリスキャンコントローラが認識できないデータとは常にハイ（Ｈ）であるデータである。これによって、データ導出部８９からは、出力部８６から出力されるデータと同一のデータが出力されることがなく、実質上、データ導出部８９以降に接続されるバウンダリスキャンコントローラが存在しても、以降のバウンダリスキャンコントローラは動作しない。バウンダリスキャンコントローラに接続された半導体回路が不良である場合でも、バウンダリスキャンコントローラは動作しないため入出力回路は切り離された状態となり、たとえば不良である半導体回路チップが異常な入出力ピンの状態となろうとしても、出力はされず不具合は回避できる。

また、第１および第２のＯＲゲート９２，９３は、記憶手段８５に識別データが記憶され、比較手段８８が出力する比較結果情報が、識別データおよび固定データが一致していることを示す場合には、出力部８６から出力されるデータと同一のデータを信号線ＴＤＯ２から出力するように動作する。つまり、所望の半導体回路チップ組立体８１のデータ導出部８９から、出力部８６と同一のデータを出力させることができる。

また、第１および第２のＯＲゲート９２，９３は、記憶手段８５に識別データが記憶され、比較手段８８が出力する比較結果情報が、識別データおよび固定データが一致していないことを示す場合には、トライステートバッファ９４の出力端子に接続されるＴＤＯ２への出力を禁止しフローティング状態とする。これによってデータ導出部８９からは、出力部８６から出力されるデータと同一のデー

タが出力されることがなく、実質上、データ導出部 8 9 を回路から切断した状態とすることができる。

前述したコントローラ 8 0 では、同一のコントローラ 8 0 であっても、固定データと識別データとが一致するコントローラ 8 0 と、固定データと識別データとが一致しない、または識別データが記録されていないコントローラ 8 0 とで、データ導出部 8 9 から異なるデータを出力させることができる。

本実施の形態では、データ導出部 8 9 は、第 1 および第 2 の OR ゲート 9 2, 9 3 およびトライステートバッファ 9 4 を有するが、本発明の実施のさらに他の形態では、前記第 1 および第 2 の OR ゲート 9 2, 9 3 およびトライステートバッファ 9 4 を論理合成によって合体したロジックとして構成してもよい。

半導体回路チップ組立体 8 1 は、前述したコントローラ 8 0 と、外部信号入力端子 9 5 と、外部信号出力端子 9 6 と、内部論理回路 9 7 と、シフトレジスタ回路 9 1 と、入力部接続端子 8 3 A と、出力部接続端子 8 6 A と、データ導出部接続端子 8 9 A とを含む。外部信号入力端子 9 5 は、内部論理回路 9 7 に外部から信号を入力するためのインタフェースである。外部信号出力端子 9 6 は、内部論理回路 9 7 から外部に信号を出力するためのインタフェースである。内部論理回路 9 7 は、半導体回路チップ本来の機能を実現するための集積回路であって、任意の回路によって実現される。内部論理回路 9 7 は、たとえば大規模集積回路 (Large Scale Integration; 略称 L S I) などである。

前記コントローラ 8 0 と、外部信号入力端子 9 5 と、外部信号出力端子 9 6 と、内部論理回路 9 7 と、シフトレジスタ回路 9 1 と、入力部接続端子 8 3 A と、出力部接続端子 8 6 A と、データ導出部接続端子 8 9 A とは、同一のウェハ 9 9 に形成される。

シフトレジスタ回路 9 1 は、複数のバウンダリスキャンセル 9 8 を有する。図 2 に示すように、シフトレジスタ回路 9 1 は、10 個のバウンダリスキャンセル 9 8 を有する。バウンダリスキャンセル 9 8 は、レジスタ回路によって実現される。各バウンダリスキャンセル 9 8 は、外部信号入力端子 9 5 および外部信号出力端子 9 6 である外部接続端子と内部論理回路 9 7 との間にそれぞれ設けられる。

シフトレジスタ回路 9 1 は、前記バウンダリスキャンセル 9 8 が直列に接続されて構成される。バウンダリスキャンセル 9 8 は、内部論理回路 9 7 の外部信号端子の数だけ設けられる。図 2 に示す内部論理回路 9 7 の左側の外部接続端子から入力信号を入力し、右側の外部接続端子から出力信号を出力する場合を仮定して説明を続ける。

バウンダリスキャンコントローラ 8 0 の入力部接続端子 8 3 A は、入力部 8 3 の各信号線に外部からデータを入力するインタフェースである。出力部接続端子 8 6 A は、出力部 8 6 の信号線からデータを出力するインタフェースである。データ導出部接続端子 8 9 A は、データ導出部 8 9 の信号線からデータを出力するインタフェースである。

制御手段 8 4 は、シフトレジスタ回路 9 1 と相互に接続され、前記シフトレジスタ回路 9 1 を制御して、回路テストを実行してテスト結果データを得る。回路テストでは、制御手段 8 4 は、以下の各動作を実行する。シフトレジスタ回路 9 1 のうち、外部信号入力端子 9 5 に接続されるバウンダリスキャンセル 9 8 を総称する場合、入力側セル 9 8 A と記載し、外部信号出力端子 9 6 に接続されるバウンダリスキャンセル 9 8 を総称する場合、出力側セル 9 8 B と記載する。

まず、バウンダリスキャンテスト状態に入ると、入力側セル 9 8 A、出力側セル 9 8 B とともに、内部論理回路 9 7 と外部接続端子の間の信号の繋がりを切断し、制御手段 8 4 のシフトレジスタと入力側セル 9 8 A、制御手段 8 4 のシフトレジスタと出力側セル 9 8 B を接続する。そして、入力部接続端子 8 3 A を介して信号線 T D I からシリアルなテストデータを入力し、シフトレジスタ回路 9 1 に格納する。その後、テスト実行命令により、シフトレジスタ回路 9 1 に格納されたテストデータは入力側セル 9 8 A、出力側セル 9 8 B を通して、外部接続端子に伝えられる。さらに、アップデート命令により、外部接続端子の状態がモニターバックされシフトレジスタ回路 9 1 に格納される。

次に、シフトレジスタ回路 9 1 に格納されたモニターバックされた外部接続端子の状態は、出力部 T D O からシリアルで出力される。

また、バウンダリスキャンテストモードによっては、入力側セル 9 8 A と内部

論理回路 9 7、出力側セル 9 8 B と内部論理回路 9 7 を使って、セルフテストを実施することもある。この場合、バウンダリスキャンセル 9 8 の繋がりが変更になるのみで、テストデータのセット、モニターバックされた状態の取り出しは同様である。

このような動作を必要に応じてに行うことによって、制御手段 8 4 は、積層される半導体回路チップが正常に接続されているか（動作しているか）否かをモニターバックされた状態示すテスト結果データを得ることができる。

半導体装置 8 2 は、前述した半導体回路チップ組立体 8 1 を積層して構成される。図 3 において、仮想線内で囲まれた領域に示される半導体回路チップ組立体 8 1 は、積層されている。以後、半導体回路チップ組立体 8 1 を積層したものを積層モジュールと記載する場合がある。

半導体装置 8 2 には、コネクタ 1 0 1 が設けられ、このコネクタ 1 0 1 に J T A G テスターが接続される。図 3 では、左から順に最下段、中段および最上段に積層される半導体回路チップ組立体 8 1 を示す。また、図 3 では、半導体回路チップ組立体 8 1 を 3 つだけ示しているが、半導体回路チップ組立体 8 1 は、任意の数積層して半導体装置 8 2 を構成してもよい。

各半導体回路チップ組立体 8 1 の信号線 T C K は、同一のバスライン 1 0 2 a に接続され、コネクタ 1 0 1 の対応する T C K ピン 1 0 1 a に相互に接続される。信号線 T M S, T R S T および T D O 2 は、信号線 T C K と同様に、それぞれが同一のバスライン 1 0 2 b, 1 0 2 c, 1 0 2 d に接続され、相互に並列に、コネクタ 1 0 1 の対応する T M S ピン 1 0 1 b, T R S T ピン 1 0 1 c および T D O 2 ピン 1 0 1 d に接続される。

前段側の半導体回路チップ組立体 8 1 の出力部接続端子 8 6 A は、後段側の半導体回路チップ組立体 8 1 の信号線 T D I に対応する入力部接続端子 8 3 A に順次接続される。また第 1 段目の半導体回路チップ組立体 8 1 の信号線 T D I は、コネクタ 1 0 1 の対応する T D I ピン 1 0 1 e に接続される。最上段の半導体回路チップ組立体 8 1 の信号線 T D O は、無接続とする。

このように半導体装置 8 2 では、各コントローラ 8 0 を連鎖状に接続する。以

後、この連鎖状に接続することを、デ이지チェーンと記載する場合がある。半導体装置 82 において、コネクタ 101 を介して、JTAG テスターによってコントローラ 80 を制御することによって、全ての半導体回路チップ組立体 81 に対して一斉に、バウンダリスキャンテストが行うことができる。

次に、前述した識別データの設定方法について説明する。

図 4 は、コントローラ 80 の記憶手段 85 に識別データを設定する動作を示すフローチャートである。ステップ S0 で、半導体装置 82 に外部の JTAG テスターが接続されるとステップ S1 に移る。ステップ S1 では、入力部 86 から信号線 TMS, TCK を用いることによって、または信号線 TRST の信号レベルを L レベルとすることによって、コントローラ 80 の制御手段 84 をリセットする。バウンダリスキャンでは、制御手段 84 がどのような状態であっても、信号線 TMS の信号レベルを H レベルとし、この状態を 5 クロックの間保つことによって、制御手段 84 をリセットすることができる。

次にステップ S2 に移り、信号線 TMS, TCK と用いて、制御手段 84 に動作命令を入力するための命令であるコマンドセット命令を入力して、ステップ S3 に移る。

ステップ S3 では、信号線 TDI, TCK を用いて、積層される半導体回路チップに設けられるコントローラ 80 の制御手段 84 には、記憶手段 85 に識別データを記憶させるための識別コードセット命令を与える動作命令を与える。また積層されない半導体回路チップに設けられるコントローラ 80 の制御手段 84 には、命令をスキップする命令スキップコマンド(bypass命令)を与える。

次にステップ S4 に移り、信号線 TMS, TCK を用いて、制御手段 84 にデータを入力するための動作命令であるデータセットコマンドを入力して、ステップ S5 に移る。

ステップ S5 では、信号線 TDI, TCK を用いて、積層される各半導体回路チップに設けられるコントローラ 80 に識別データを送り、ステップ S6 に移り、動作を終了する。ステップ 5 では、識別データとして、積層された半導体回路チップに設けられるコントローラ 80 の記憶手段 85 に記憶されるデータが、それ

ぞれ異なる値を持つようにデ이지チェーンのデータ線である信号線TDI, TDOを通して与える。たとえば、最上段の半導体回路チップに設けられる記憶手段85には、識別データとして「0」を、さらに、最上段から1つ下の半導体回路チップに設けられる記憶手段85には、識別データとして「1」を与える。また最上段からm（mは、2以上の整数）番目の半導体回路チップに設けられる記憶手段85には、識別データとして「m」を与える。

積層される半導体回路チップ組立体81のコントローラ80と、積層されない通常の半導体装置（図示せず）に設けられる通常のコントローラとが、デ이지チェーンを構成する場合であっても、積層される半導体回路チップの個数、および積層される半導体回路チップから成る積層モジュールまでに設けられる通常のコントローラの数、は、予め分かっているので、積層される半導体回路チップに設けられる記憶手段85に与えられる識別データの作成には問題はない。

さらに、積層される半導体回路チップ組立体81のコントローラ80によって構成されるデ이지チェーンの後に、さらに別のデバイスのコントローラが接続される場合であっても、積層される半導体回路チップ組立体81に設けられる記憶手段85に識別データが記憶されていない場合、データ導出部89の出力は、Hレベルで固定され、コントローラ80が有する制御手段84に対しては、命令をスキップする命令が与えられるので、問題にならない。

以上のフローチャートによって、積層される半導体回路チップに設けられるコントローラ80に、識別データを記憶させることができる。

記憶手段85に識別データが記憶されていないコントローラ80では、出力部86から出力されるデータがバウンダリスキャンの出力であり、データ導出部89の信号線TDO2は、Hレベルの信号を出力する。

積層された半導体回路チップ組立体81のうち、最上段の半導体回路チップの識別データと同じ識別データ、前述した例では「0」が与えられたコントローラ80は、出力部86から出力されるデータと同一のデータをデータ導出部TDO2から出力するように設定が変更される。また最上段の半導体回路チップの識別データとは異なる識別データが与えられたコントローラ80は、データ導出部T

D O 2 から切り離される。

バウンダリスキャンのデイジーチェーン上に複数の積層モジュールがある場合には、図 4 に示す動作手順を繰り返して、順々に設定していけばよい。

図 5 は、コントローラ 8 0 を半導体回路チップに設けて形成される半導体回路チップ組立体 8 1 の配線パターンの一部を示す斜視図である。半導体回路チップ組立体 8 1 は、第 1 ～第 3 の貫通電極 1 0 3 ～1 0 4 を有する。説明のため、図 5 では、半導体回路チップ組立体 8 1 を貫通する第 1 ～第 3 の貫通導線 1 0 3 ～1 0 5 と、この第 1 ～第 3 の貫通導線 1 0 3 ～1 0 5 と半導体回路チップ組立体 8 1 の接続端子 8 3 A, 8 6 A, 8 9 A までの配線のみを図示し、半導体回路チップおよび層間絶縁膜などは図示しない。第 1 ～第 3 の貫通電極 1 0 3 ～1 0 5 は、半導体回路チップ組立体 8 1 の積層方向、すなわち図 5 の矢符 A 方向に、半導体回路チップ組立体 8 1 を貫通する。また、ここではフェースアップで半導体回路チップ組立体 8 1 を積層する場合について示している。

半導体回路チップ組立体 8 1 の一表面には、入力部 8 3 の端子である入力部接続端子 8 3 A と、出力部 8 6 の端子である出力部接続端子 8 6 A と、データ導出部 8 9 であるデータ導出部接続端子 8 9 A が形成される。入力部接続端子 8 3 A は、信号線 T D I の端子 1 1 1、および信号線 T C K の端子 1 1 3 である。信号線 T C K, T M S, T R S T をそれぞれ接続する配線は、同様であるので、ここでは信号線 T C K を接続する配線のみを示す。出力部接続端子 8 6 A は、信号線 T D O の端子 1 1 2 である。データ導出部接続端子 8 9 A は、信号線 T D O 2 の端子 1 1 4 である。

第 1 の貫通電極 1 0 3 の一端部は、信号線 T D I の端子 1 1 1 に第 1 の接続線 1 1 5 を介して相互に接続される。第 1 の接続線 1 1 5 は、半導体回路チップ組立体 8 1 の一表面に形成される。第 1 の接続端子 1 1 6 は、積層される半導体回路チップ組立体 8 1 の第 1 の貫通電極 1 0 3 の他端部と相互に接続される。第 1 の貫通電極 1 0 3 の一端部の上方には、層間絶縁膜を介して、積層される半導体回路チップ 8 1 と接続される第 1 の接続端子 1 1 6 が形成される。信号線 T D O の端子 1 1 2 は、層間絶縁膜を挟んで第 1 の接続線 1 1 5 に積層される第 2 接続

線 1 1 7 を介して、第 1 の接続端子 1 1 6 と相互に接続される。

第 2 の貫通電極 1 0 4 の一端部は、信号線 T C K の端子 1 1 3 に第 3 の接続線 1 1 8 を介して相互に接続される。第 3 の接続線 1 1 8 は、半導体回路チップ組立体 8 1 の一表面に形成される。第 2 の貫通電極 1 0 4 の一端部には、積層される半導体回路チップ 8 1 と接続される第 2 の接続端子 1 1 9 が形成される。第 2 の接続端子 1 1 9 は、積層される半導体回路チップ組立体 8 1 の第 2 の貫通電極 1 0 4 の他端部と相互に接続される。

第 3 の貫通電極 1 0 5 の一端部は、信号線 T D O 2 の端子 1 1 4 に第 4 の接続線 1 2 1 を介して相互に接続される。第 4 の接続線 1 2 1 は、半導体回路チップ組立体 8 1 の一表面に形成される。第 3 の貫通電極 1 0 5 の一端部には、積層される半導体回路チップ 8 1 と接続される第 3 の接続端子 1 2 2 が形成される。第 3 の接続端子 1 2 2 は、積層される半導体回路チップ組立体 8 1 の第 3 の貫通電極 1 0 5 の他端部と相互に接続される。

このように配線を設けることによって、半導体回路チップ組立体 8 1 の外部から入力されるデータは、第 1 の貫通電極 1 0 3 を通り、第 1 の接続線 1 1 5 を経由して信号線 T D I の端子 1 1 1 に伝えられる。信号線 T D O から出力されるデータは、端子 1 1 2 から第 2 の接続線 1 1 7 を介して、第 1 の接続端子 1 1 6 から積層される半導体回路チップ組立体 8 1 に伝えられる。また信号線 T C K の端子 1 1 3 は、共通のバスラインに接続され、信号線 T D O 2 の端子 1 1 4 は共通のバスラインに接続される。

図 5 に示す配線を形成して、半導体回路チップ組立体 8 1 を積層すると、上下の半導体回路チップ組立体 8 1 をずらさないで積み重ねることができるので、半導体装置 8 2 を可及的小形に形成することができる。

以上のように、コントローラ 8 0 を用いて半導体回路チップ組立体 8 1 を構成すると、図 5 に示す 1 つの配線パターンのみで、バウンダリスキャンテストを実施するためのデイジーチェーンを形成することができる。したがって、同一の半導体回路チップを積層する際に半導体回路チップ組立体 8 1 を作り分ける必要が生じない。つまり半導体回路チップ組立体 8 1 を同一のウエハプロセスによって

形成することができるので、この半導体回路チップ組立体 8 1 を形成する手間が低減される。また半導体装置 8 2 を形成する場合に、同じ半導体回路チップ組立体 8 1 を積層するので、積層する順番などを考慮する必要がなく、工程が容易となる。

本実施の形態では、半導体回路チップ組立体 8 1 をフェースアップで積層する場合について述べたが、半導体回路チップ組立体 8 1 は、フェースダウンで積層してもよい。この場合図 5 において、前述した信号線 T D I の端子 1 1 1 を、信号線 T D O の端子とし、信号線 T D O の端子 1 1 2 を、信号線 T D I の端子とすればよい。

図 6 は、本発明のさらに他の実施の形態のバウンダリスキャンコントローラ 1 3 0 を示すブロック図である。バウンダリスキャンコントローラ 1 3 0 は、入力部 8 3、制御手段 8 4、記憶手段 8 5、出力部 8 6、固定データ保持手段 8 7、比較手段 8 8 およびデータ導出部 8 9 A を含む。バウンダリスキャンコントローラ 1 3 0 と、前述した図 1 に示すバウンダリスキャンコントローラ 8 0 とは、データ導出部 8 9 A の構成のみが異なるので、同様な部分には同様の符号を付して、説明を省略する。以後、バウンダリスキャンコントローラ 1 3 0 を単にコントローラ 1 3 0 と記載する場合がある。

データ導出部 8 9 A は、トライステートバッファ 9 4 と、プルアップ手段 1 3 1 と、信号線 T D O 2 を有する。トライステートバッファ 9 4 は、比較手段 8 8 と、出力部 8 6 である信号線 T D O と相互に接続される。トライステートバッファ 9 4 は、比較手段 8 8 から出力される比較結果情報が、識別データと固定データとが一致することを示す場合は、出力部 8 6 から出力されるデータと同一のデータを出力する。トライステートバッファ 9 4 の入力端子は、信号線 T D O と相互に接続され、出力端子は信号線 T D O 2 と相互に接続される。

一方、トライステートバッファ 9 4 は、比較手段 8 8 から出力される比較結果情報が、識別データと固定データとが一致しないことを示す場合には、入力されるデータの出力が禁止される。

プルアップ手段 1 3 1 は、信号線 T D O 2 および電源に接続され、信号線 T D

〇 2 に対して、プラス（+）側電源から微弱な電流を常に与えて、信号線 T D O 2 を弱いプルアップとする。これによって、トライステートバッファ 9 4 の出力が禁止されている時でも、信号線 T D O 2 の信号レベルは、予め定める信号レベルになる。予め定める信号レベルとは、ハイ（H）レベルである。

また、プルアップ手段 1 3 1 から信号線 T D O 2 に供給する電流は微弱であるので、トライステートバッファ 9 4 もしくは半導体回路チップ制御装置 8 1 の外部のデバイスからロー（L）レベルの信号を与えられた場合には、信号線 T D O 2 の信号レベルは、L レベルとなる。

弱いプルアップ手段 1 3 1 を実現するには、たとえば、T T L（Transistor Transistor Logic）回路を用いる場合、プラス（+）側電源（Vcc）と出力の間に高抵抗を挿入することによって実現可能であり、C M O S（Contemporary Metal Oxide Semiconductor）を用いる場合には、プラス（+）側電源（Vdd）と出力の間に、ドレイン－ソース間の抵抗の高い P チャネルトランジスタがオン状態になるようにゲート電圧を設定して挿入することによって実現可能である。前記ゲート電圧は、一側電源に固定すればよい。

万一、コントローラもしくは半導体回路チップそのものが不良で、信号線 T D O 2 からマイナス（-）レベルの信号を出力した場合には、電源が短絡して積層される他の半導体回路チップにまで影響が及ぶ可能性があるが、信号線 T D O 2 を弱いプルアップとすることによって、このような不具合を防止することができる。

また、コントローラ 1 3 0 では、前述のコントローラ 8 0 と比較して、回路構成を簡単にすることができ、小形化を図ることができる。

コントローラ 1 3 0 を有する半導体回路チップ組立体および、半導体回路チップ組立体を複数積層して構成される半導体装置は、前述した半導体回路チップ組立体 8 1 および半導体装置 8 2 と同様である。また、識別データの設定方法も前述の実施の形態のコントローラ 8 0 の場合と同様である。

図 7 は、本発明のさらに他の実施の形態のバウンダリスキャンコントローラ 1 4 0 を示すブロック図である。バウンダリスキャンコントローラ 1 4 0 は、入力

部 8 3、制御手段 8 4、記憶手段 8 5、出力部 8 6、固定データ保持手段 8 7、比較手段 8 8 およびデータ導出部 8 9 Bを含む。バウンダリスキャンコントローラ 1 4 0 と、前述した図 1 および図 6 に示すバウンダリスキャンコントローラ 8 0、1 3 0 とは、データ導出部 8 9 B の構成のみが異なるので、同様な部分には同一の符号を付して、説明を省略する。以後、バウンダリスキャンコントローラ 1 4 0 を単にコントローラ 1 4 0 と記載する場合がある。

本実施の形態では、データ導出部 8 9 B は、トライステートバッファ 9 4 と、プルアップ手段 1 3 1 と、信号線 T D O 2 を有する。プルアップ手段 1 3 1 は、記憶手段 8 5、信号線 T D O 2 および電源に接続され、記憶手段 8 5 に識別データが記憶されていない場合、信号線 T D O 2 に対して、プラス（+）側電源から微弱な電流を常に与えて、信号線 T D O 2 を弱いプルアップとする。これによって、トライステートバッファ 9 4 の出力が禁止されている時でも、信号線 T D O 2 の信号レベルは、予め定める信号レベルになる。予め定める信号レベルとは、ハイ（H）レベルである。

またプルアップ手段 1 3 1 は、記憶手段 8 5 に識別データが記憶されている場合、信号線 T D O 2 のプルアップを禁止する。これによって、トライステートバッファ 9 4 から出力される信号レベルが L レベルである場合に、プルアップ手段 1 3 1 を介してプラス（+）側電源から信号線 T D O 2 に流れも電流を無くすことができ、消費電力を低減することができる。

プルアップ手段 1 3 1 による信号線 T D O 2 のプルアップを禁止するには、たとえば、T T L 回路を用いる場合、プラス（+）側電源（Vcc）と出力との間に高抵抗を挿入し、かつ挿入した高抵抗との間にトランジスタを挿入することによって実現可能である。前記トランジスタは、たとえば P N P トランジスタによって実現される。C M O S を用いる場合には、プラス（+）側電源（Vdd）と出力の間に挿入した抵抗の高い P チャネルトランジスタのゲートを制御することで実現可能である。

コントローラ 1 4 0 を有する半導体回路チップ組立体および、半導体回路チップ組立体を複数積層して構成される半導体装置は、前述した半導体回路チップ組

立体 8 1 および半導体装置 8 2 と同様である。また、識別データの設定方法も前述の実施の形態のコントローラ 8 0 の場合と同様である。

本実施の各形態のコントローラ 8 0, 1 3 0, 1 4 0 の記憶手段 8 5 には、半導体回路チップ毎の識別データが記憶されるので、この識別データによって、半導体装置 8 2 に設けられる半導体回路チップを識別することができる。

本発明のさらに他の実施の形態のバウンダリスキャンコントローラでは、上述したバウンダリスキャンコントローラ 8 0, 1 3 0, 1 4 0 のうちのいずれか 1 つを有する半導体回路チップ組立体に、記憶手段 8 5 に記憶される識別データによって信号線を選択する信号選択手段 1 5 0 を設ける構成としてもよい。

図 8 は、信号選択手段 1 5 0 を示すブロック図である。信号選択手段 1 5 0 には、外部から信号を入力しまたは外部へ信号を出力する複数の信号線 1 5 1 が接続される。信号選択手段 1 5 0 は、複数の信号線 1 5 1 の中から、識別データに対応する信号線 1 5 1 を内部信号線 1 5 2 に接続する。前述したバウンダリスキャンコントローラ 8 0, 1 3 0, 1 4 0 において、たとえば、信号線 1 5 1 を積層する半導体回路チップ組立体の数だけ各半導体回路チップ組立体に追加して形成する。

図 1、図 6 および図 7 に示すように、記憶手段 8 5 に記憶される識別データを取り出す識別データ取出し線 1 5 3 をコントローラ 8 0, 1 3 0, 1 4 0 に設け、識別データを信号選択手段 1 5 0 に入力する。信号選択手段 1 5 0 では、追加された信号線 1 5 1 の内、対応する信号線を選択することによって、半導体回路チップ毎の動作を指示することが可能となる。

たとえば信号線 1 5 1 を、チップ選択信号(略称 C S)線とすると、それぞれの半導体回路チップ組立体に、独立にチップ選択信号を供給できるようになり、チップ選択信号を用いて、積層された半導体回路チップの識別が可能となる。

前述したバウンダリスキャンコントローラ 8 0, 1 3 0, 1 4 0 のうちいずれか 1 つが設けられる半導体回路チップは、たとえばメモリチップであり、半導体装置は、たとえばメモリモジュールである。

本発明のさらに他の実施の形態では、メモリチップにバウンダリスキャンコン

トローラ 80, 130, 140 のうちいずれか 1 つが設けられるメモリチップ組立体に、メモリチップを選択するメモリチップ選択手段 160 を設ける構成としてもよい。

図 9 は、メモリチップ組立体に設けられるメモリチップ選択手段 160 を示す図である。メモリチップ組立体は、メモリチップのアドレス線に追加して形成される追加アドレス線 161 と、メモリチップを選択するため選択信号を入力する選択信号線 162 と、メモリチップ選択手段 160 とを含む。

メモリチップ組立体には、積層されるメモリチップと同じ数だけ追加アドレス線 161 を形成する。またメモリチップ組立体には、選択信号線 162 を形成する。

メモリチップ選択手段 160 は、記憶手段 85 に記憶される識別データと、追加したアドレス線 161 のアドレスとを比較するアドレス比較手段 163 と、アドレス比較手段 163 の比較結果情報と選択信号線 162 から入力される信号とに基づいて、動作許可情報を出力する動作許可情報出力手段 164 とを含む。

アドレス比較手段 163 は、記憶手段 85 および追加したアドレス線 161 と相互に接続され、識別データと追加したアドレス線 161 のアドレスとを比較する。アドレス比較手段 163 は、識別データが前記アドレス線 161 のアドレスと一致する場合には、一致することを示す比較結果情報を出力する。

動作許可情報出力手段 164 は、比較回路 163 からの比較結果情報を入力し、この比較結果情報が、識別データとアドレス線 161 のアドレスとが一致することを示すものである場合であり、かつメモリチップを選択する選択信号が選択信号線 162 から入力されている場合に、メモリチップの動作を許可する動作許可情報を出力する。

このように、メモリチップ組立体に設けられる記憶手段 85 に記憶される識別データをアドレスとして用いることができる。したがって、選択信号線 162 から同一の選択信号が入力される場合であっても、積層されるメモリチップ毎にアドレスが異なることによって、メモリチップを選択して動作させることができる。したがって、必要なメモリチップのみを選択して動作させることができる。

本発明のさらに他の実施の形態では、メモリチップにバウンダリスキャンコントローラ 80, 130, 140 のうちいずれか 1 つが設けられるメモリチップ組立体に、データ線を選択するデータ線選択手段 170 を設ける構成としてもよい。

図 10 は、メモリチップ組立体に設けられるデータ線選択手段 170 を示す図である。メモリチップ組立体は、メモリチップのデータ線に追加して形成され、前記データ線の数よりも多い追加データ線 172 と、追加データ線 172 を選択してメモリチップのデータ線 171 に接続するデータ線選択手段 170 とを含む。

データ線は、入出力端子であるが、OE（出力イネーブル）端子や、RW（読み書き指定）などの状態で出力として動作しているか入力として動作しているか特定できるため、入力のデータセクタと出力のデータセクタを独立に設けてもよいし、データセクタに双方向性のものを用いれば、入出力の端子であっても図示される接続で実現できる。

メモリチップ組立体には、メモリチップのデータ線の数よりも多い追加データ線 172 が形成される。データ線選択手段 170 は、複数のデータセクタ 173 を有する。各データセクタ 173 には、それぞれ記憶手段 85 から識別データが入力される。各データセクタ 173 は、複数の追加データ線 172 と、メモリチップの 1 つのデータ線 171 とに接続され、識別データに基づいて、追加データ線 172 を選択して、メモリチップのデータ線 171 に接続することができる。

このように、識別データによって追加データ線 172 を選択することができるので、たとえば 8 ビットバスに対応するメモリチップを 4 つ積層したメモリモジュールを 32 ビットバスに対応するメモリとして使用することができる。つまり 32 ビットバスからの入力を、識別データによって選択して、積層される 4 つのメモリチップに振り分けることができる。したがって、複数のメモリチップを積層して、少ないスペースで大容量のメモリモジュールを容易に構成することができる。

さらに本発明のさらに他の実施の形態では、メモリチップ組立体に、アドレス線およびデータ線を追加して、前述した図 9 に示すメモリチップ選択手段 160、

および図 10 に示すデータ線選択手段 170 とを組合せて構成してもよい。

本発明は、その精神または主要な特徴から逸脱することなく、他のいろいろな形態で実施できる。したがって、前述の実施形態はあらゆる点で単なる例示に過ぎず、本発明の範囲は特許請求の範囲に示すものであって、明細書本文には何ら拘束されない。さらに、特許請求の範囲に属する変形や変更は全て本発明の範囲内のものである。

【産業上の利用可能性】

以上のように本発明によれば、固定データ保持手段に保持される固定データおよび記憶手段に記憶される識別データが同一である場合と、同一でない場合とで、データ導出部から出力されるデータを異ならせることができる。

バウンダリスキャンテストは、複数のバウンダリスキャンコントローラを連結したデ이지チェーンに対して行われる。本発明のバウンダリスキャンコントローラでは、固定データとして、最上段の半導体回路チップの識別データを固定データ保持手段に保持させることによって、最上段のバウンダリスキャンコントローラだけ、データ導出部から出力されるデータを、他のデータ導出部から出力されるデータと異ならせることができる。

したがって、最上段の半導体回路チップに設けられるバウンダリスキャンコントローラの出力部は、無接続状態として、各バウンダリスキャンコントローラのデータ導出部は、同一のバスラインに接続することができる。つまり、同一のバスラインに接続されるデータ導出部のうち、最上段以外の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ導出部をバスラインから切断した状態とすることができる。これによって、バウンダリスキャンコントローラを備える同一の半導体回路チップ組立体を積層して、半導体装置を構成することができる。

また本発明によれば、記憶手段に識別データが記憶され、比較情報が識別データおよび固定データが一致することを示す場合、データ導出部は、出力部が出力するテスト結果データと同一のデータを出力する。したがって、データ導出部から詳細なテスト結果データを得ることができ、接続不良の詳細な場所を特定する

ことができる。

また本発明によれば、記憶手段に識別データが記憶されていない場合、データ導出部は、その出力を予め定める信号レベルに維持する。予め定める信号レベルとは、たとえばHレベルの状態である。これによって、データ導出部の出力側が回路に接続されていても、実質上、前記回路から切り離された状態とすることができる。

また本発明によれば、半導体回路チップ組立体を同一のウエハプロセスによって形成することができるので、この半導体回路チップ組立体を形成する手間が低減される。また半導体装置を形成する場合に、同じ半導体回路チップ組立体を積層するので、積層する順番などを考慮する必要がなく、装置の形成が容易となり、製造コストが低減する。

また本発明によれば、メモリチップの選択する選択信号が入力されたとしても、追加アドレス線に対応するデータと記憶手段に記憶される識別データとが一致しないと、許可手段によってメモリチップの動作が許可されない。したがって、同一の選択信号を入力したとしても、許可手段は1つのメモリチップの動作のみを許可することができるので、積層されるメモリチップごとに動作させることができる。

また本発明によれば、選択手段は、記憶手段に記憶される識別データによって追加データ線を選択して、メモリチップのデータ線に接続するので、積層されるメモリチップ毎に追加データ線を割当てることができる。したがって、1つのメモリチップに対応するバスラインよりも多いバスラインに接続してメモリチップを動作させることができる。これによって、メモリチップの種類を増やさなくても、メモリチップ組立体を積層して大容量メモリモジュールを構成することができる。

また本発明によれば、記憶手段に記憶される識別データによって各半導体回路チップを個別に認識することができる。したがって、識別データを用いることによって、半導体回路チップを個別に管理することができる。

また本発明によれば、記憶手段に記憶される識別データに基づいて選択した半

導体回路チップに動作を行わせるので、積層される半導体回路チップを個別に動作させることができる。

請 求 の 範 囲

1. 半導体回路チップに設けられ、外部信号入力端子と内部論理回路の入力端子との間、および外部信号出力端子と内部論理回路の出力端子との間にそれぞれ設けられるバウンダリスキャンセルが直列に接続されて構成されるシフトレジスタ回路を制御するバウンダリスキャンコントローラであって、

入出力タイミングを与えるクロック入力部と、予め定める動作命令を与えるテストモード入力部と、半導体回路チップの識別データおよびテストデータを入力するデータ入力部と、

前記識別データを記憶する記憶手段と、

前記予め定める動作命令を実行して、識別データを記憶手段に記憶させるとともに、テストデータを用いた回路テストを実行してテスト結果データを得る制御手段と、

制御手段によって得られたテスト結果データを出力するデータ出力部と、

予め定める固定データを保持する固定データ保持手段と、

前記識別データおよび固定データが同一であるか否かを比較し、比較結果情報を出力する比較手段と、

比較手段からの比較結果情報に基づいて、出力部から出力されるテスト結果データに対応するデータを導出するデータ導出部とを含むことを特徴とするバウンダリスキャンコントローラ。

2. 前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致することを示す場合、データ導出部は、データ出力部が出力するテスト結果データと同一のデータを出力することを特徴する請求項1記載のバウンダリスキャンコントローラ。

3. 前記記憶手段に識別データが記憶されていない場合、データ導出部は、識別データが記憶されていないことを示すデータを出力することを特徴とする請求項1または2記載のバウンダリスキャンコントローラ。

4. 前記記憶手段に識別データが記憶されていない場合、データ導出部は、その出力を予め定める一定の信号レベルに維持することを特徴とする請求項1また

は2記載のバウンダリスキャンコントローラ。

5. 前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、その出力を予め定める一定の信号レベルに維持することを特徴とする請求項1～3のいずれか1つに記載のバウンダリスキャンコントローラ。

6. 請求項1～5のいずれか1つに記載のバウンダリスキャンコントローラを半導体回路チップに設けて半導体回路チップ組立体が構成され、前記半導体回路チップ組立体を積層して構成されることを特徴とする半導体装置。

7. 前記半導体回路チップは、メモリチップであり、
メモリチップ組立体は、

メモリチップのアドレス線に追加して形成される追加アドレス線と、

メモリチップを選択するため選択信号を入力する選択信号線と、

前記メモリチップの追加アドレス線に対応するデータと、記憶手段に記憶される識別データとが一致し、かつ選択信号が入力される場合に、メモリチップの動作を許可する許可手段とを含むことを特徴とする請求項6記載の半導体装置。

8. 前記半導体回路チップは、メモリチップであり、
メモリチップ組立体は、

メモリチップのデータ線に追加して形成され、前記データ線の数よりも多い追加データ線と、

記憶手段に記憶される識別データによって、追加データ線を選択してメモリチップのデータ線に接続する選択手段とを含むことを特徴とする請求項6または7記載の半導体装置。

9. 請求項7記載の半導体装置における半導体回路チップ識別方法であって、記憶手段に記憶される識別データによって各半導体回路チップを識別することを特徴とする半導体装置の半導体回路チップ識別方法。

10. 請求項7記載の半導体装置における半導体回路チップ制御方法であって、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を行わせることを特徴とする半導体装置の半導体回路チップ制御方法。

補正書の請求の範囲

[2004年7月28日(28.07.2004)国際事務局受理：出願当初の請求の範囲1、2及び5は補正された；他の請求の範囲は変更なし。(3頁)]

請 求 の 範 囲

1. (補正後) 半導体回路チップに設けられ、外部信号入力端子と内部論理回路の入力端子との間、および外部信号出力端子と内部論理回路の出力端子との間にそれぞれ設けられるバウンダリスキャンセルが直列に接続されて構成されるシフトレジスタ回路を制御するバウンダリスキャンコントローラであって、

入出力タイミングを与えるクロック入力部と、予め定める動作命令を与えるテストモード入力部と、半導体回路チップの識別データおよびテストデータを入力するデータ入力部と、

前記識別データを記憶する記憶手段と、

前記予め定める動作命令を実行して、識別データを記憶手段に記憶させるとともに、テストデータを用いた回路テストを実行してテスト結果データを得る制御手段と、

常に出力を行うデータ出力部であって、制御手段によって得られたテスト結果データを出力するデータ出力部と、

予め定める固定データを保持する固定データ保持手段と、

前記識別データおよび固定データが同一であるか否かを比較し、比較結果情報を出力する比較手段と、

比較手段からの比較結果情報に基づいて、データ出力部から出力されるテスト結果データに対応するデータを導出するデータ導出部とを含むことを特徴とするバウンダリスキャンコントローラ。

2. (補正後) 前記記憶手段に識別データが記憶され、比較手段が出力する比較結果情報が、識別データおよび固定データが一致することを示す場合、データ導出部は、データ出力部が出力するテスト結果データと同一のデータを出力することを特徴する請求項1記載のバウンダリスキャンコントローラ。

3. 前記記憶手段に識別データが記憶されていない場合、データ導出部は、識別データが記憶されていないことを示すデータを出力することを特徴とする請求項1または2記載のバウンダリスキャンコントローラ。

4. 前記記憶手段に識別データが記憶されていない場合、データ導出部は、そ

の出力を予め定める一定の信号レベルに維持することを特徴とする請求項1また

は2記載のバウンダリスキャンコントローラ。

5. (補正後) 前記記憶手段に識別データが記憶され、比較手段が出力する比較結果情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、その出力を予め定める一定の信号レベルに維持することを特徴とする請求項1～3のいずれか1つに記載のバウンダリスキャンコントローラ。

6. 請求項1～5のいずれか1つに記載のバウンダリスキャンコントローラを半導体回路チップに設けて半導体回路チップ組立体が構成され、前記半導体回路チップ組立体を積層して構成されることを特徴とする半導体装置。

7. 前記半導体回路チップは、メモリチップであり、

メモリチップ組立体は、

メモリチップのアドレス線に追加して形成される追加アドレス線と、

メモリチップを選択するため選択信号を入力する選択信号線と、

前記メモリチップの追加アドレス線に対応するデータと、記憶手段に記憶される識別データとが一致し、かつ選択信号が入力される場合に、メモリチップの動作を許可する許可手段とを含むことを特徴とする請求項6記載の半導体装置。

8. 前記半導体回路チップは、メモリチップであり、

メモリチップ組立体は、

メモリチップのデータ線に追加して形成され、前記データ線の数よりも多い追加データ線と、

記憶手段に記憶される識別データによって、追加データ線を選択してメモリチップのデータ線に接続する選択手段とを含むことを特徴とする請求項6または7記載の半導体装置。

9. 請求項7記載の半導体装置における半導体回路チップ識別方法であって、記憶手段に記憶される識別データによって各半導体回路チップを識別することを特徴とする半導体装置の半導体回路チップ識別方法。

10. 請求項7記載の半導体装置における半導体回路チップ制御方法であって、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を行わせることを特徴とする半導体装置の半導体回路チップ制御方法。

条約第19条(1)に基づく説明書

出願時の請求の範囲第1項、第2項および第5項をそれぞれ補正した。

補正後の請求の範囲第1項については、データ出力部が「常に出力を行う」ことが明確になるようにした。補正後の請求の範囲第2項および第5項については、「比較情報」を「比較結果情報」に訂正した。

補正後の請求の範囲第1項に係る発明（以下、本発明という）は、同一チップを用いて3次元積層モジュールを構成する際の電極位置が自由にならない状況を解決し実現するためのものである。

文献1には、積層モジュールを構成するチップの内、1つのチップには、バウンダリスキャンコントローラのフルセットと信号を分配するロジックとを有し、その他のチップには、分配された信号で動くバウンダリスキャンコントローラのサブセットを有することが開示されている。すなわち文献1では、積層される各チップの構成が異なっている。

文献2には、スキャンパステストにおいて、スキャン入力データ、スキャン出力データをバス接続とし、代わりにスキャンアドレス/データ選択先を付加したテスト回路が開示されている。スキャン入力データ、スキャン出力データがバス接続となっており、テスト回路内部に保持したアドレス情報と与えられるアドレスの一致・不一致に従いスキャン結果をスキャン出力データを出力するか否かを決定する回路を有する。しかしながら、文献2では、スキャン入力データ、スキャン出力データをバス接続とするため、スキャンアドレス/データ選択線を付加する必要があり、本願発明に開示するいわゆるバウンダリスキャンのテスト線と比較して1本以上テスト線が冗長となる。

文献3には、バウンダリスキャン回路を半導体基板上に配置された絶縁層の上に薄膜トランジスタで作成することが開示されており、図9には、複数のチップを重ねて用いる場合のテストパッドが開示されている。しかしながら、本発明のような同一チップ、同一電極配置における接続方法に関する開示はない。

このように上述の文献1～3を組合わせたとしても、本発明に係る技術思想についての開示および示唆はなく、当業者にとって自明なものではないと思料する。

請求の範囲第2項～第10項の特徴も、文献1～3には開示されていない。

以上

FIG. 1

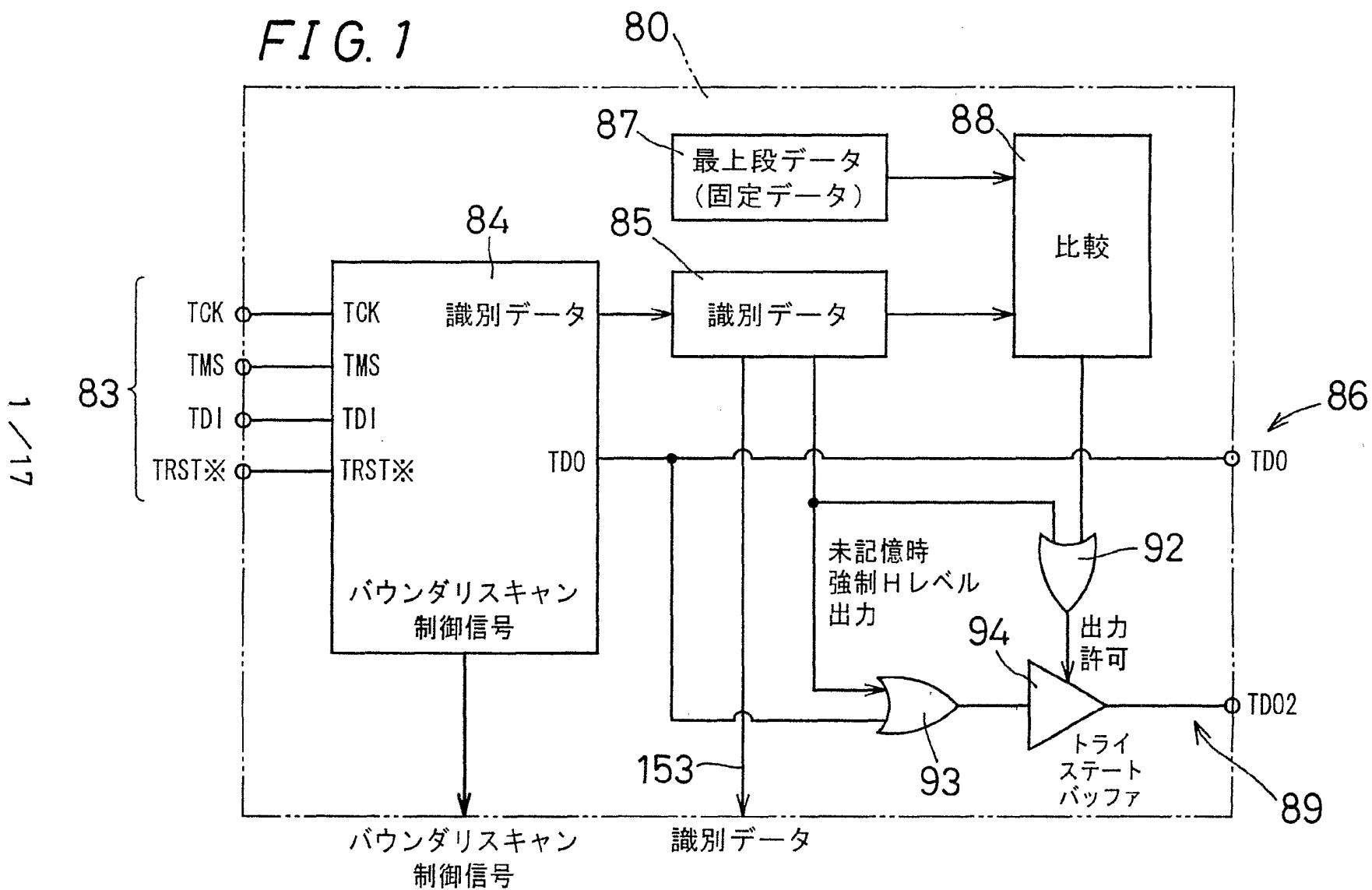


FIG. 2

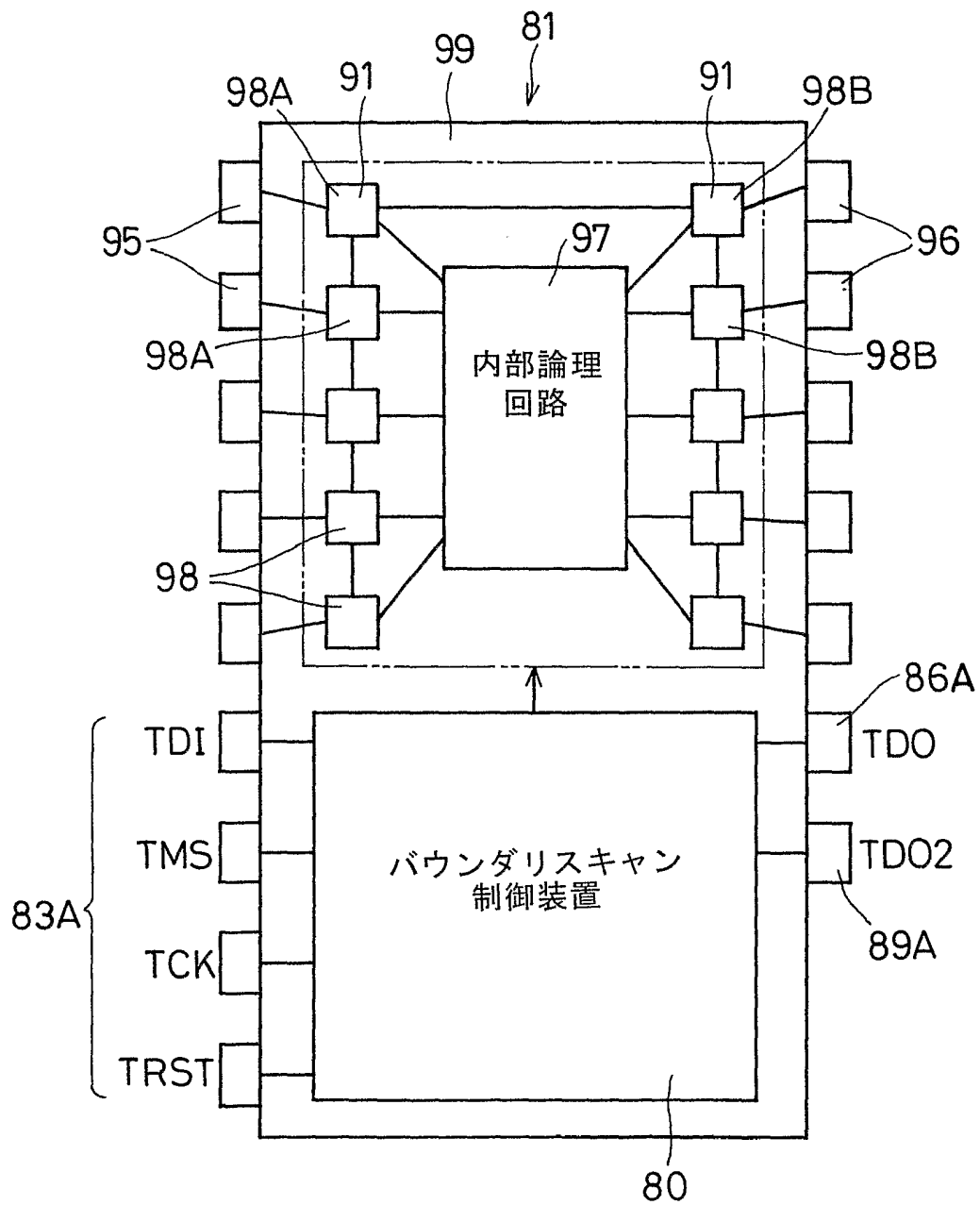


FIG. 3

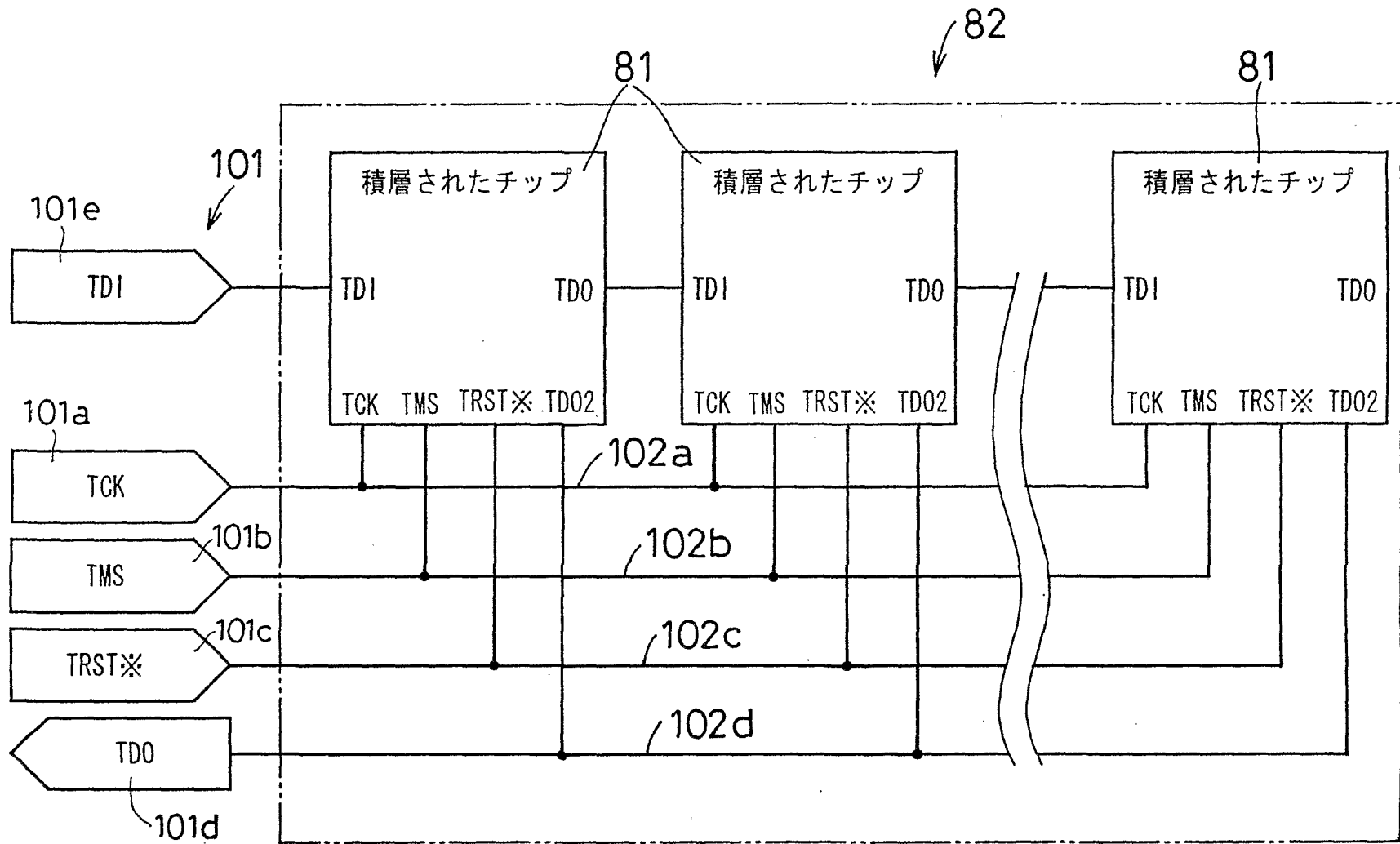


FIG. 4

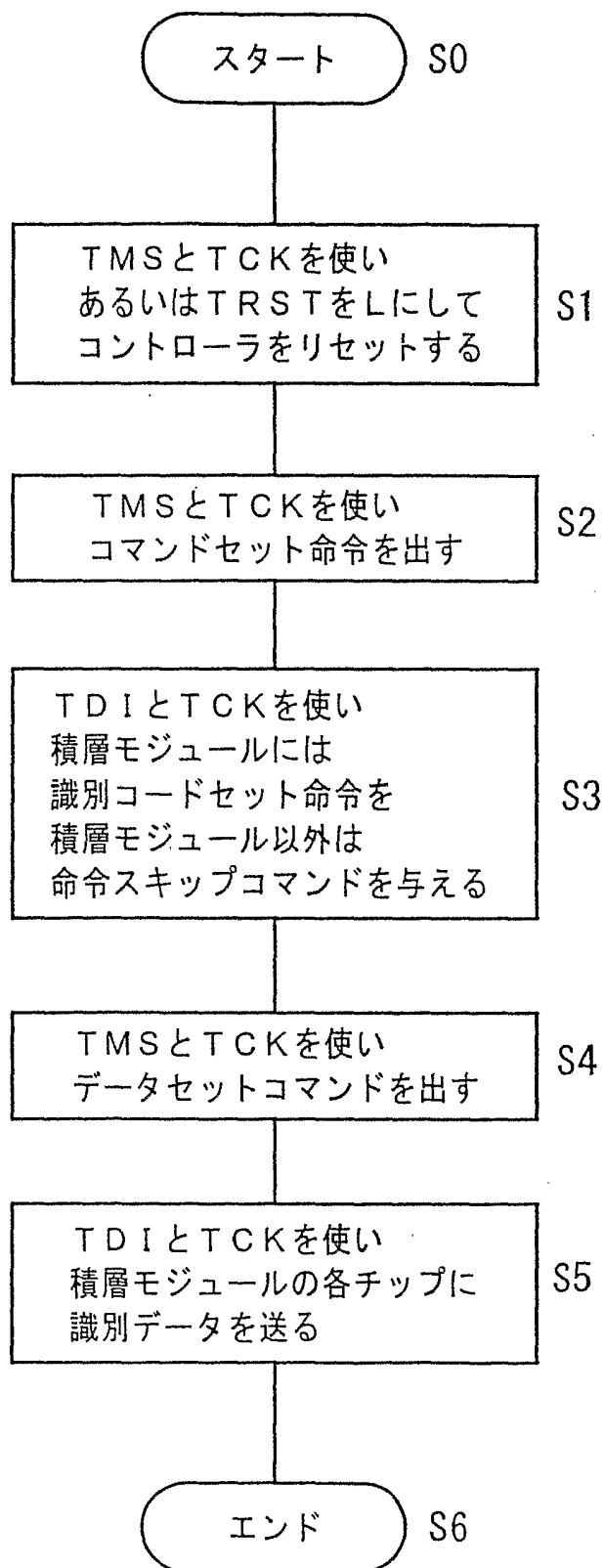


FIG. 5

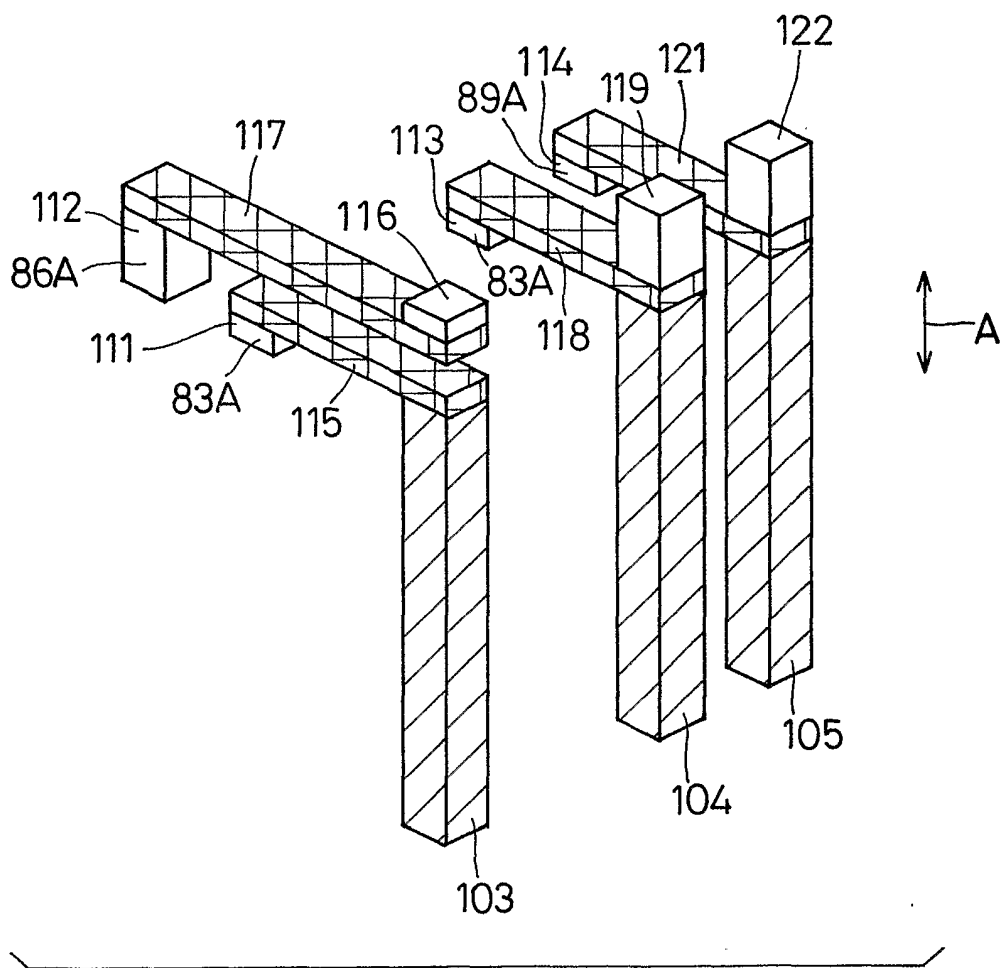


FIG. 6

130

83

6/17

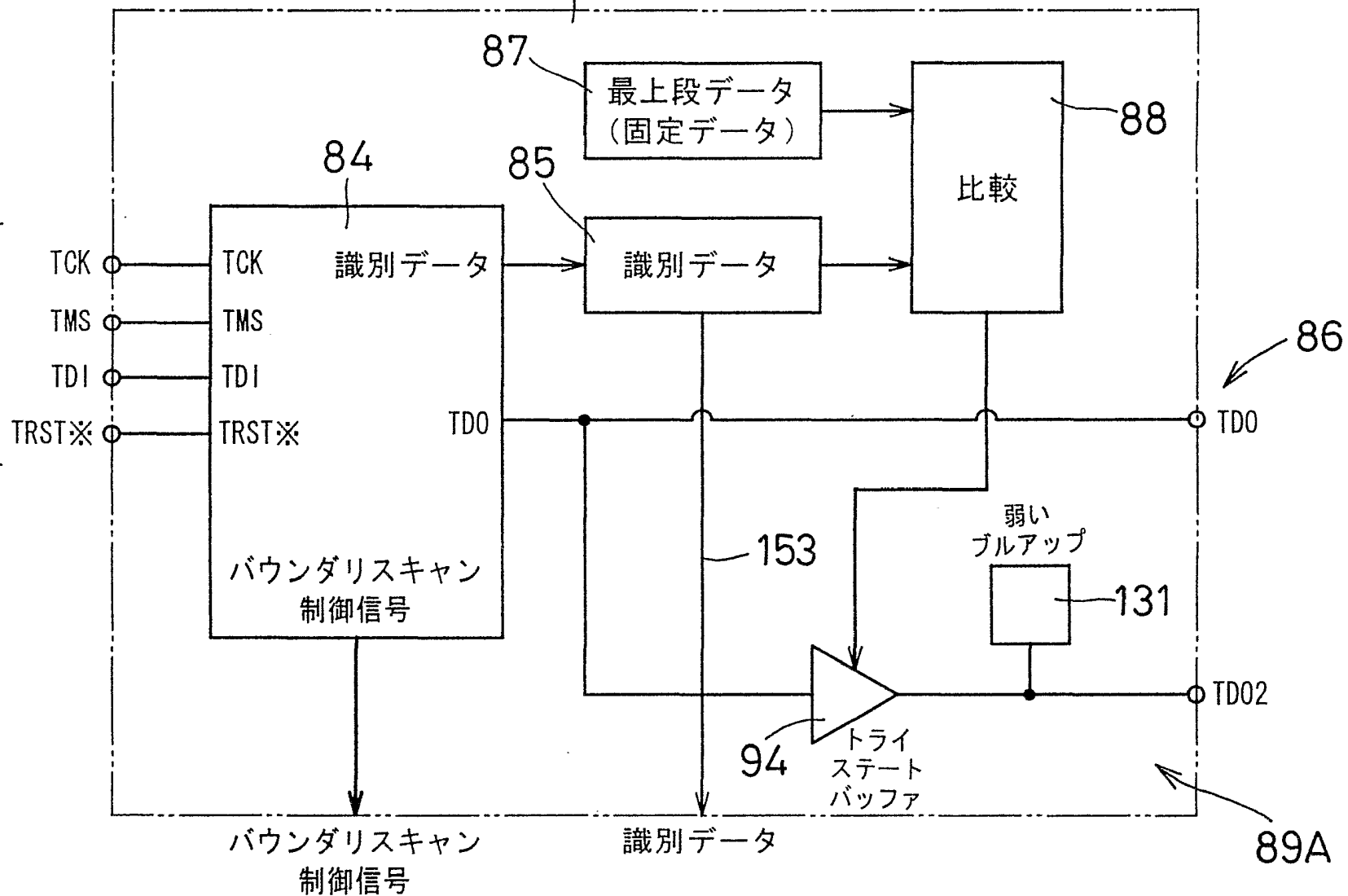


FIG. 7

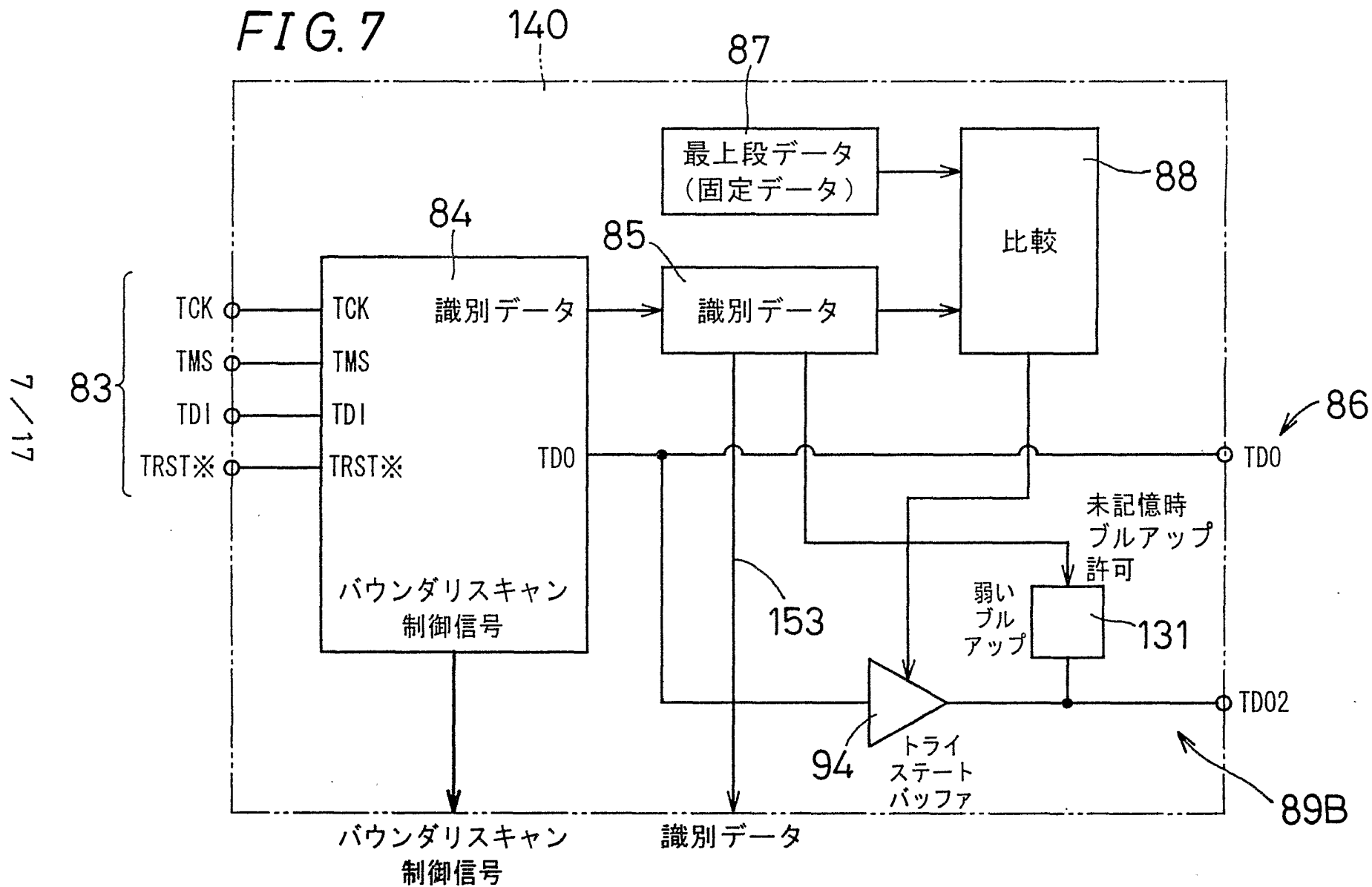


FIG. 8

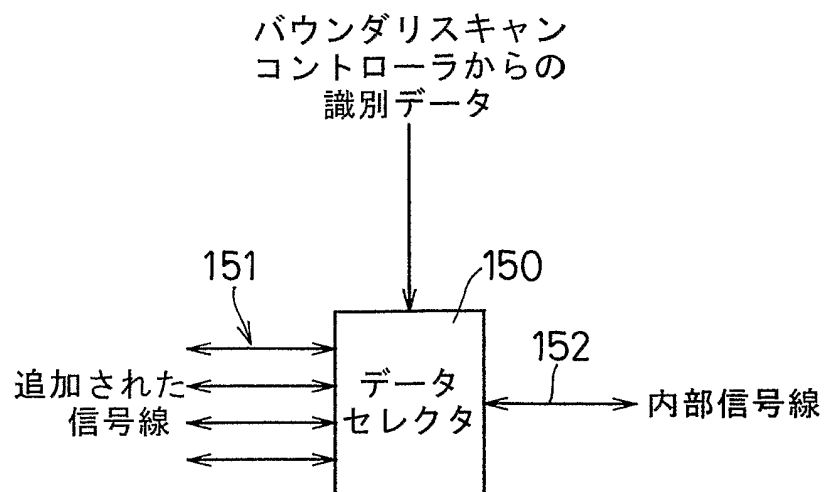


FIG. 9

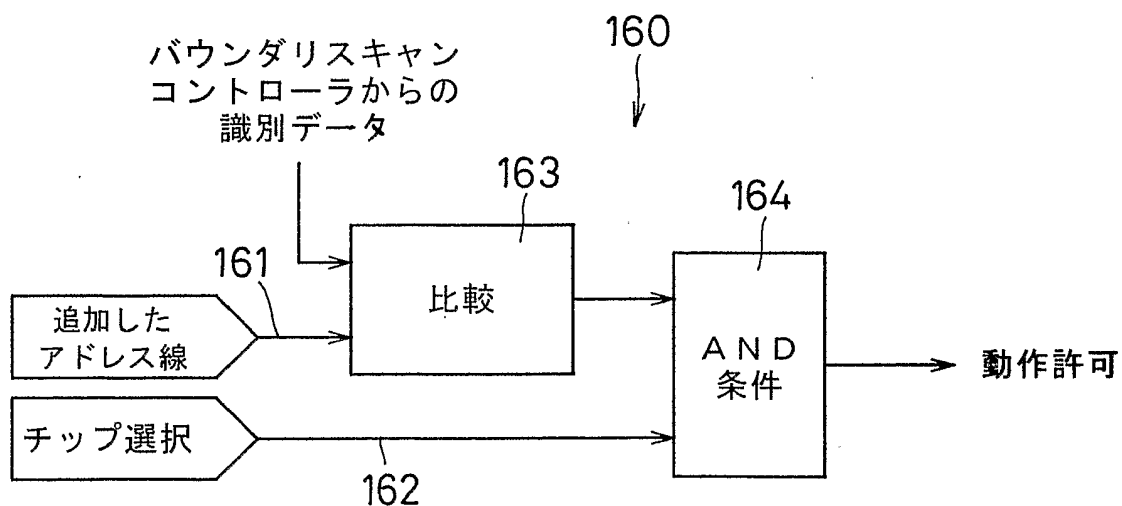


FIG. 10

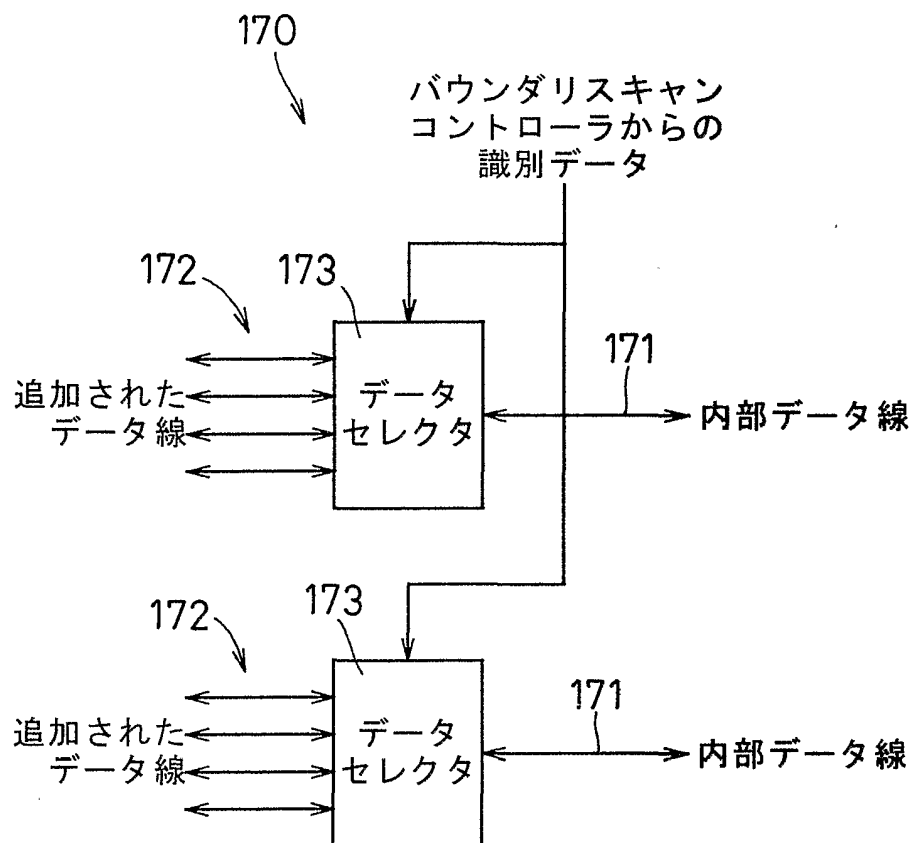


FIG. 13

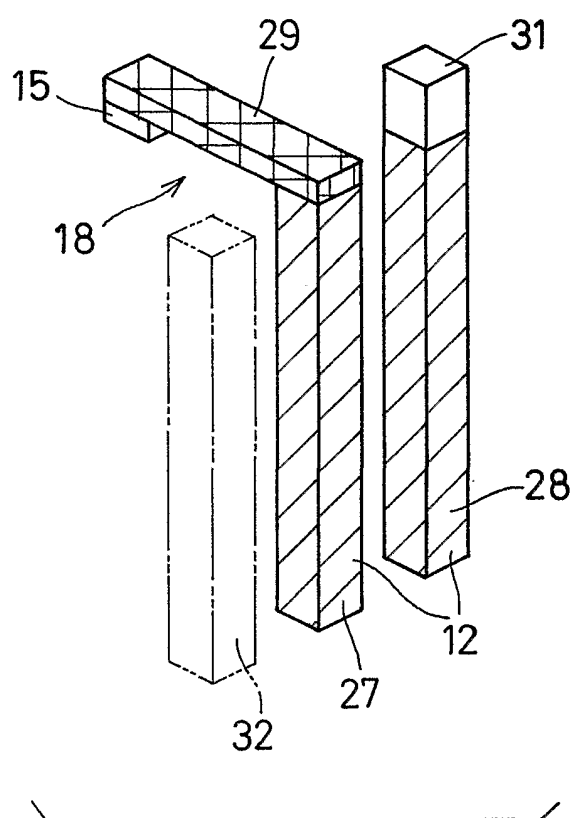


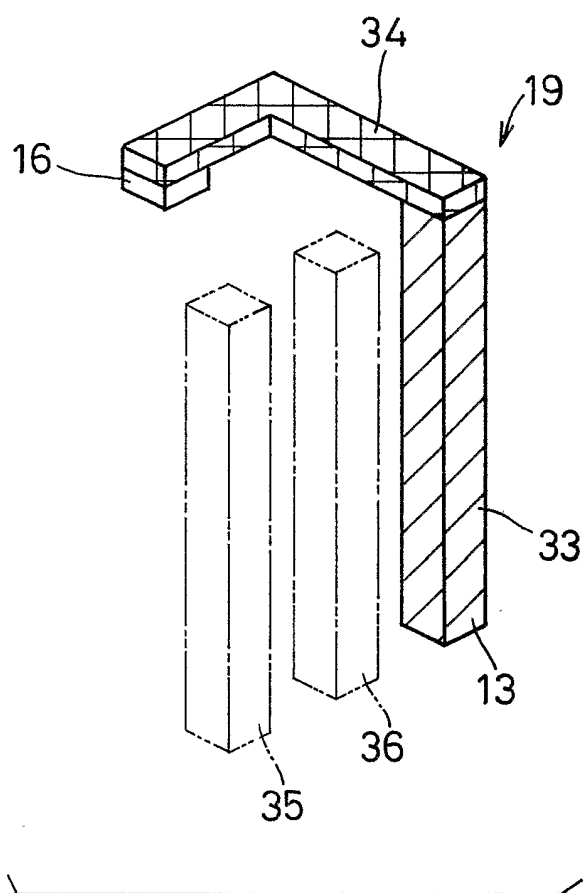
FIG. 14

FIG. 15

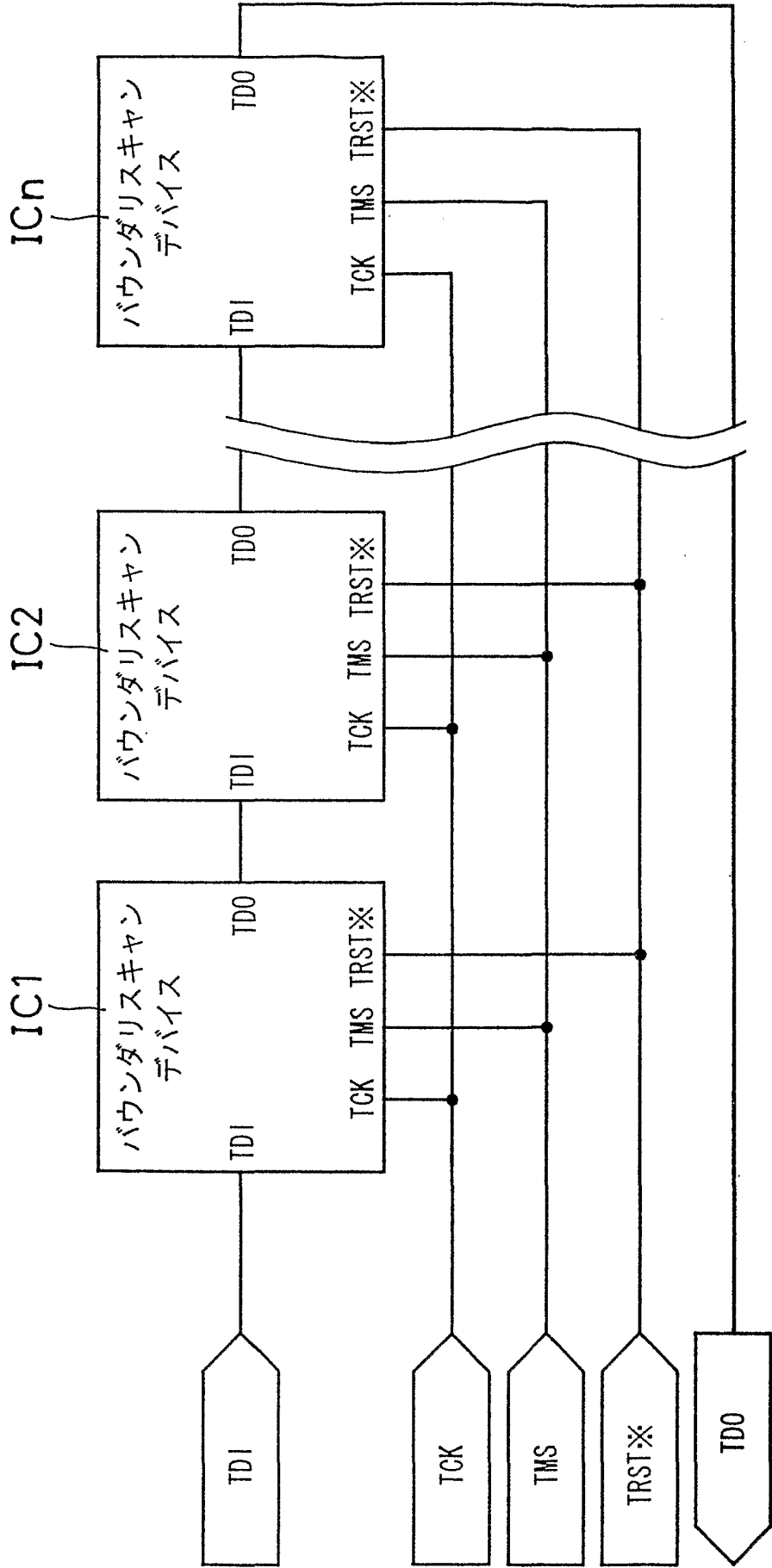


FIG. 16

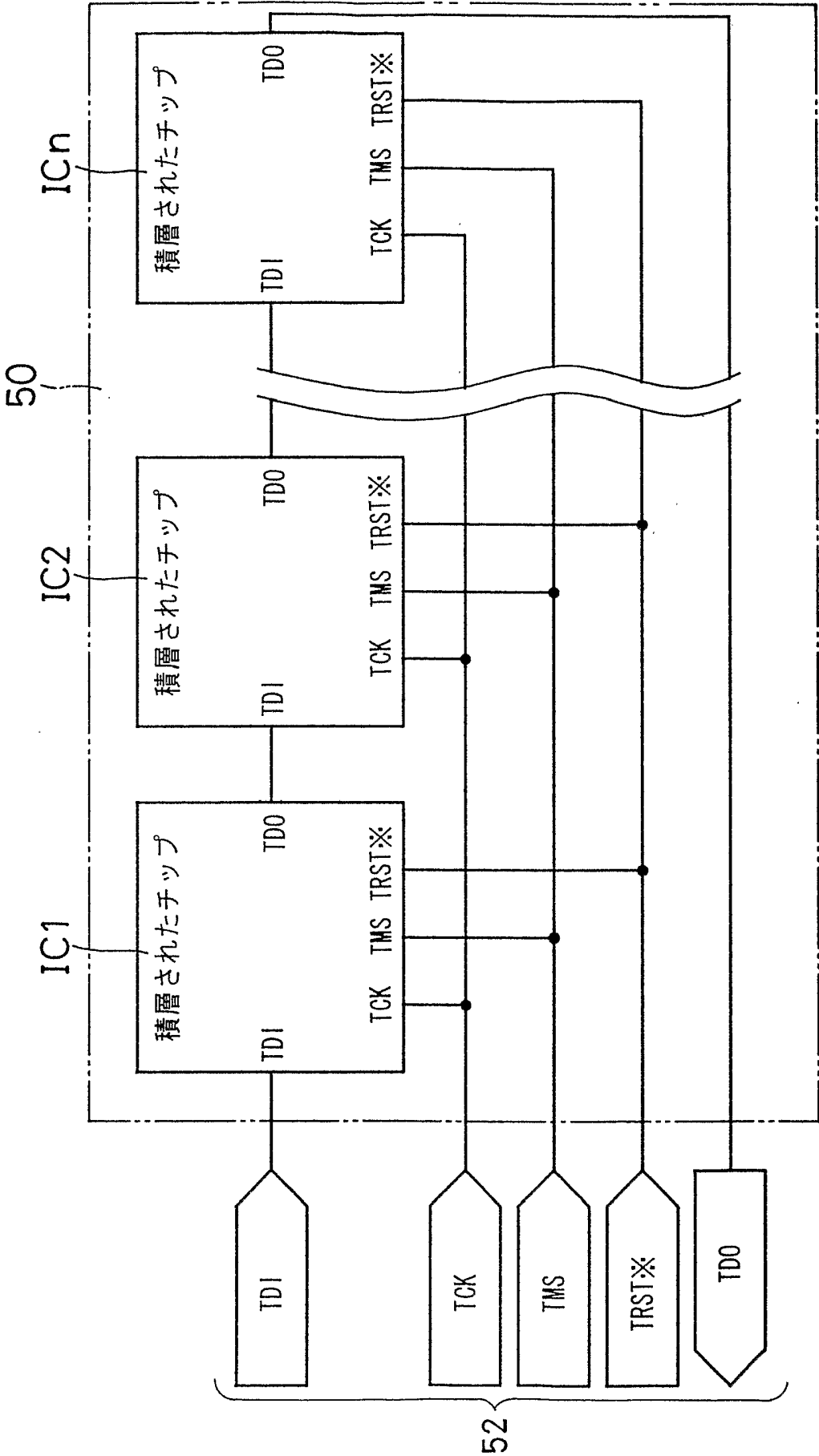


FIG. 17

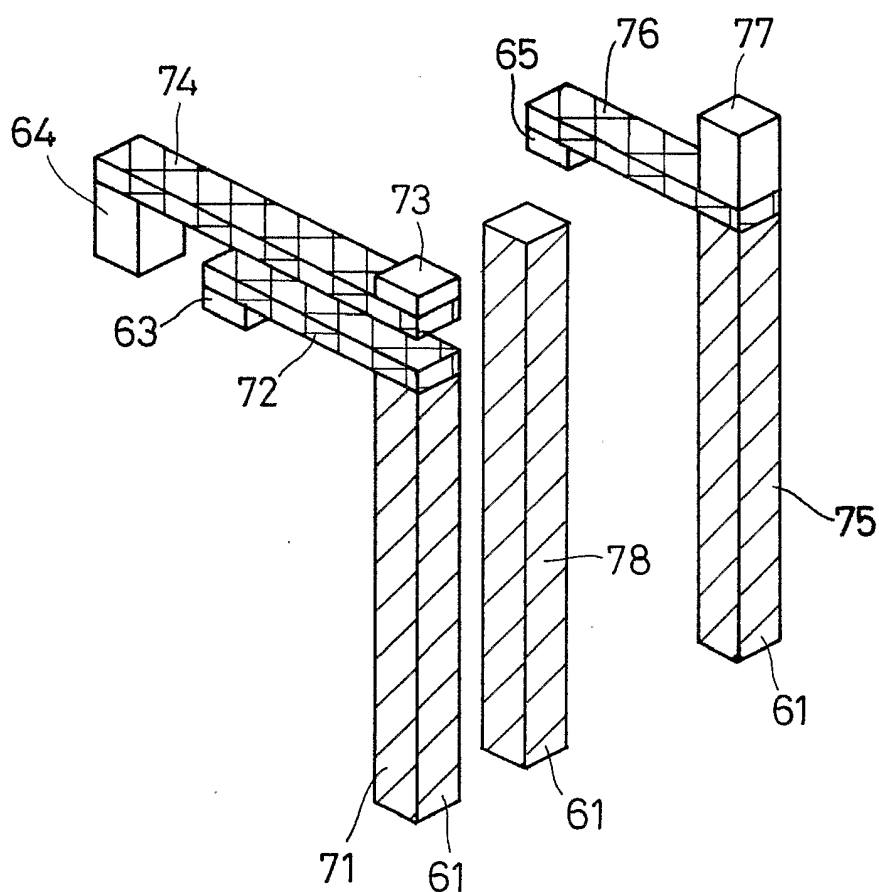
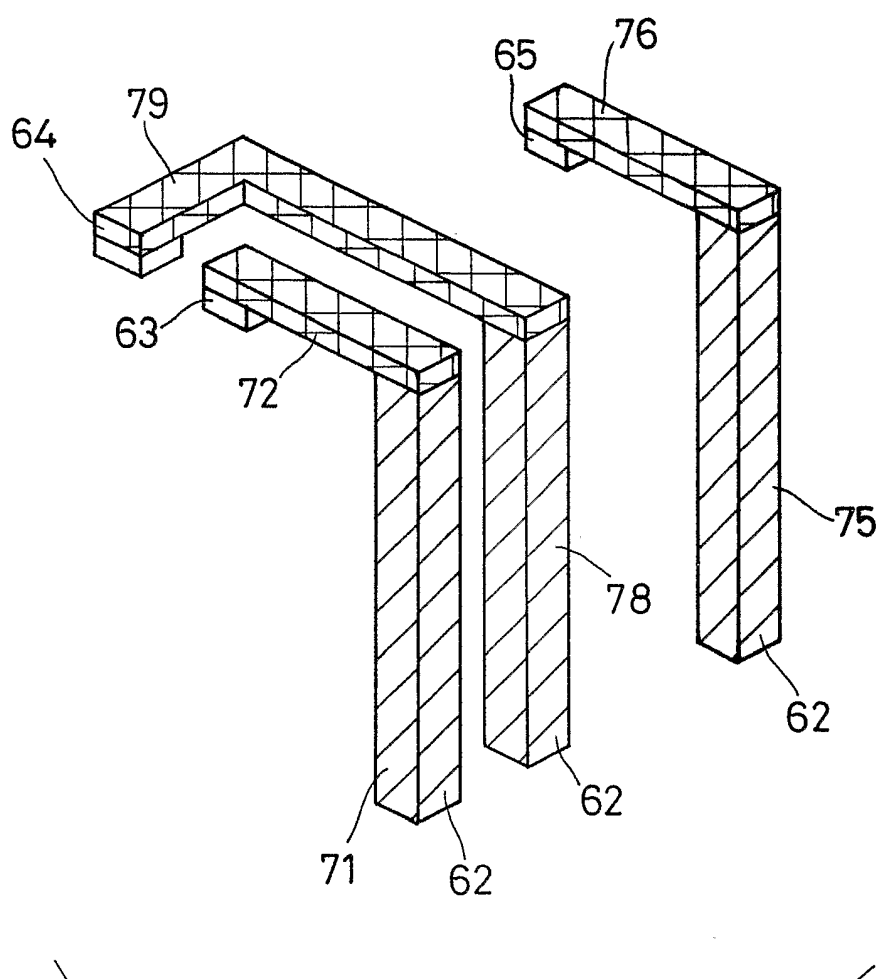


FIG. 18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001430

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G01R31/28-3193, G06F11/22-26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-135786 A (Sharp Corp.), 18 May, 2001 (18.05.01), Par. Nos. [0006] to [0012]; Figs. 6, 7 & EP 1099953 A2 Par. Nos. [0006] to [0012]; Figs. 6, 7	1, 2, 5 3, 4, 6-10
Y A	JP 61-155874 A (Toshiba Corp.), 15 July, 1986 (15.07.86), Full text; all drawings (Family: none)	1, 2, 5 3, 4, 6-10
A	JP 2003-014819 A (Matsushita Electric Industrial Co., Ltd.), 15 January, 2003 (15.01.03), Par. Nos. [0058] to [0079]; Fig. 9 & US 2003/0025191 A1 Par. Nos. [0090] to [0116]; Fig. 9	6-10

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

20 May, 2004 (20.05.04)

Date of mailing of the international search report

08 June, 2004 (08.06.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) <p style="text-align: center;">Int. Cl⁷ G01R 31/28</p>										
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) <p style="text-align: center;">Int. Cl⁷ G01R 31/28-3193, G06F 11/22-26</p>										
最小限資料以外の資料で調査を行った分野に含まれるもの <table style="width: 100%; border: none;"> <tr> <td style="width: 60%;">日本国実用新案公報</td> <td style="text-align: right;">1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td style="text-align: right;">1971-2004年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td style="text-align: right;">1994-2004年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td style="text-align: right;">1996-2004年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2004年	日本国登録実用新案公報	1994-2004年	日本国実用新案登録公報	1996-2004年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2004年									
日本国登録実用新案公報	1994-2004年									
日本国実用新案登録公報	1996-2004年									
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号								
Y A	JP 2001-135786 A (シャープ株式会社) 2001.05.18, [0006]-[0012], 図6, 7 & EP 1099953 A2, [0006]-[0012], FIG. 6, 7	1, 2, 5 3, 4, 6-10								
Y A	JP 61-155874 A (株式会社東芝) 1986.07.15, 全文, 全図 (ファミリーなし)	1, 2, 5 3, 4, 6-10								
A	JP 2003-014819 A (松下電器産業株式会社) 2003.01.15, [0058]-[0079], 図9 & US 2003/0025191 A1, [0090]-[0116], FIG. 9	6-10								
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。										
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top;"> * 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td style="width: 50%; vertical-align: top;"> の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献									
国際調査を完了した日 <p style="text-align: center;">20.05.2004</p>	国際調査報告の発送日 <p style="text-align: center; font-size: 1.2em;">08.6.2004</p>									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 堀 圭 史 電話番号 03-3581-1101 内線 3258	2S 3005								