Certification of Accuracy of Translation

Sun IP Project # 23-1605

Japanese to English translation of Sato Certified Translation

I, Dr. Warren Smith, located at 27 Sandy Brook Dr. Durham, New Hampshire, hereby certify that I am fluent in both the Japanese and English languages and that the attached Japanese to English translation is, to the best of my knowledge, a true and accurate translation. The translated text reflects the content, meaning and style of the original text and constitutes a true and accurate translation of the original document. I understand that willful false statements are punishable by fine or imprisonment, or both under Section 1001 of Title 18 of the United States Code.

March 29, 2023

Dr. Warren Smith

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY

(19) World Intellectual Property Organization
International Office

WIPO | PCT

(43) International Publication Date
August 26, 2004

(10) International Publication Number
WO 2004/072667 A1

(51) International Patent Classification:
G01R 31/28

(21) International Application No.:
PCT/JP2004/001430

(22) International Filing Date:
February 10, 2004

(25) Filing Language: Japanese

(26) Publication Language: Japanese

(30) Priority Data:
Application 2003-033995 February 12, 2003 JP

(71) Applicant (All designated countries excluding USA):
SHARP KABUSHIKI KAISHA [JP/JP]; 22-22 Nagaikecho, Abeno-ku, Osaka-shi, Osaka 5458522 (JP).

(72) Inventors; and
(75) Inventor/Applicant (USA only):
SATO, Tomotoshi [JP/JP]; 5-147 Tsutsujigaoka Kita, Nabari-shi, Mie 5180435 (JP).

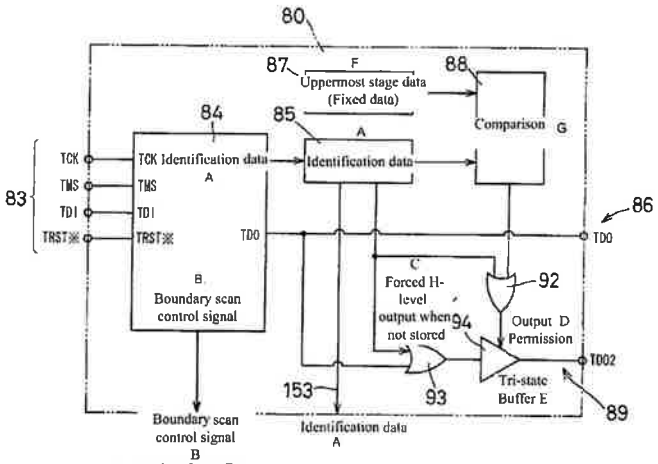
(74) Agent: **SAIKYO, Keiichiro et al.**; Shikishima Building, 3-2-6 Bingomachi, Chuo-ku, Osaka-shi, Osaka 5410051 (JP).

(81) Designated Countries (All types of domestic protections possible unless expressly noted): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Designated Countries (All types of broad protections possible unless expressly noted): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

/Continued/

(54) Title: BOUNDARY SCAN CONTROLLER, SEMICONDUCTOR DEVICE, METHOD FOR IDENTIFYING SEMICONDUCTOR CIRCUIT CHIP OF SEMICONDUCTOR DEVICE, AND METHOD FOR CONTROLLING SEMICONDUCTOR CIRCUIT CHIP OF SEMICONDUCTOR DEVICE



A...IDENTIFICATION DATA
B...BOUNDARY SCAN CONTROL SIGNAL
C...FORCED H-LEVEL OUTPUT WHEN RECORDING HAS NOT BEEN DONE
D...OUTPUT PERMISSION
E...TRY STATE BUFFER
F...TOP-STAGE DATA (FIXED DATA)
G...COMPARISON

(57) Abstract: A boundary scan controller that allows a boundary scan to be executed and also allows a semiconductor device to be manufactured in such a manner that the same type of semiconductor circuit chips are stacked. Comparison means (88) is used to compare identification data stored in memory means (85) with fixed data held in fixed data holding means (87). When the identification data is coincident

/Continued/

SZ, TZ, UG, ZM, ZW), Eurasia (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), Europe (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Attached published documents:
-International Search Report (Article 21 (3))

-Amendment - Description

Refer to the "Codes and Abbreviations Guidance Notes" in the header of each regularly published PCT Gazette for the two character codes and other abbreviations.

with the fixed data, a data deriving part (89) outputs the same data as an output part (86) does. In a boundary scan test, a data deriving part (89) of a boundary scan controller (80) provided for each semiconductor circuit chip is connected to the same bus line. When the identification data is not coincident with the fixed data, the data deriving part (89) can be substantially disconnected from the bus line. In the way, the same type of semiconductor circuit chips for which the boundary scan controller (80) is provided can be stacked, thereby manufacturing the semiconductor device.

(57) Abstract: A boundary scan controller is provided that allows a boundary scan to be executed and also allows a semiconductor device to be manufactured in such a manner that the same type of semiconductor circuit chips are stacked. Comparison means 88 is used to compare identification data stored in memory means 85 with fixed data held in fixed data holding means 87. When the identification data matches the fixed data, a data deriving part 89 outputs the same data as is output by an output part 86. In a boundary scan test, the data deriving part 89 of a boundary scan controller 80 provided for the semiconductor circuit chip is connected to the same bus line. When the identification data does not match with the fixed data, the data deriving part 89 can be substantially disconnected from the bus line. In the way, the same type of semiconductor circuit chips that are provided for the boundary scan controller 80 can be stacked, thereby manufacturing the semiconductor device.

DESCRIPTION

BOUNDARY SCAN CONTROLLER, SEMICONDUCTOR DEVICE, METHOD FOR IDENTIFYING SEMICONDUCTOR CIRCUIT CHIP OF SEMICONDUCTOR DEVICE, AND METHOD FOR CONTROLLING SEMICONDUCTOR CIRCUIT CHIP OF SEMICONDUCTOR DEVICE

[Technical Field]

The present invention relates to a boundary scan controller for testing connection states of input/output terminals of a plurality of semiconductor circuit chips which constitute a semiconductor device, for example, a three dimensional multilayered LSI (Large Scale Integration).

[Background Art]

As demand for high density packaging of semiconductor circuit chips such as large scale integration (abbreviated to "LSI") has increased, it has been proposed to enhance packaging density by stacking semiconductor circuit chips in a vertical direction, namely, in the thickness direction of a circuit board.

There is a semiconductor device wherein, in order to achieve high density packaging, semiconductor circuit chips stacked by tape carrier packages are respectively connected to a circuit board. Such a semiconductor device, the tape carriers include identification signal lines so as to be capable of identifying the individual chips. Hereinafter, the semiconductor circuit chips are simply referred to as "chips" in some cases.

Fig. 11 is a perspective view illustrating a semiconductor device in which chips 2 are stacked using tape carriers 1, and Fig. 11 illustrates a semiconductor device in which three chips 2 are stacked. Each of the chips 2 includes a first chip side terminal 3 to which a chip selection signal for selecting the operation of the individual chip 2 is input, and second terminals 4 where other signals are input and output. Furthermore, a circuit board includes terminals 5a - 5b on a first circuit board side for providing the chip selection signals to the respective chips 2 independent of one another, and terminals 6 on a second circuit board side for providing and receiving other signals.

The tape carrier 1 includes a wiring line 7 which connects the first and second chip side terminals 3, 4 and the first and second circuit board side terminals 5, 6, respectively. The tape carrier 1 is disposed separately from the chips 2, and is formed by being stacked similarly to the chips 1. In Fig. 11, the tape carriers 1 are the portion indicated by oblique lines.

In such a semiconductor device, a pattern of portion 8 of the wiring lines 7 which are to be connected with the first circuit board side terminals 5 is redundantly created beforehand, and when

INTEL-1009
7,826,243

mounting tape carrier packages, each of which consists of a tape carrier 1 and a chip 2, are packaged on a circuit board, the necessary wiring lines remain, and the unnecessary wiring lines are removed. Thus, as illustrated in Fig. 11, the chip selection signals can be independently provided to the respective chips 2, and the stacked chips 2 are made identifiable using the chip selection signals.

As the operating speed and function of chips 2 is increased, there occurs a problem that, with packages using the tape carriers 1 as stated above, the performances of the chips 2 cannot be satisfactorily demonstrated due to signal delays caused by the wiring lines.

In view of such a problem, it has been proposed in the first prior art that chips having electrodes that penetrate vertically through the chip are stacked into a module (refer to, for example, the specification of U. S. Patent No. 6141245). There is a need to identify the individual chips of the chips to be stacked, similar to the case of the multilayered module of tape carrier packages.

Figs. 12 - 14 are views for describing a semiconductor device which is configured by stacking chips that have electrodes penetrating vertically through the chips. For the sake of description, only penetrating leads 11 - 13 which penetrate through the chips, and wiring lines which extend between these penetrating leads 11 - 13 and the connection terminals 14 - 16 of the chips are illustrated in Figs. 12 - 14, and the chips, inter-layer insulating films, and the like are not illustrated. Furthermore, only the wiring lines relevant to chip selection signals are illustrated in Figs. 12 - 14. Furthermore, the case of stacking three chips as with the semiconductor device illustrated in Fig. 11 will be described herein. The penetrating electrodes 11 - 13 penetrate through the chips in the stacking direction of the chips.

Fig. 12 is a perspective view illustrating a chip selection wiring line 17 which is a wiring line provided in a lower stage chip when the chips are stacked, and which transmits the chip selection signal for selecting the operation of the chip. Fig. 13 is a perspective view illustrating a chip selection wiring line 18 which is provided in a middle stage chip. Fig. 14 is a perspective view illustrating a chip selection wiring line 19 provided in an upper stage chip.

The lower stage chip includes the chip side connection terminal 14 to which the chip selection signal is input, the penetrating electrodes 21, 22, 23 which penetrate through the chip and which serve to connect with a terminal disposed on a circuit board, a connection line 24 which serves to mutually connect the chip side connection terminal 14 and the penetrating electrode 21, and connection terminals 25, 26 which connect the penetrating electrodes 22, 23 and the terminals of the

INTEL-1009
7,826,243

stacked middle stage chip. The penetrating electrodes 22, 23 are leads for transmitting the chip selection signals to the stacked middle stage and upper stage chips. In Fig. 12, the penetrating electrodes 21, 22, 23 are indicated by oblique lines, and the connection line 24 is indicated by meshed lines.

The middle stage chip includes the chip side connection terminal 15 to which the chip selection signal is input, penetrating electrodes 27, 28 which penetrate through the chip and which are mutually connected to the penetrating electrodes 22, 23 disposed in the lower stage chip, through the connection terminals 25, 26, a connection line 29 which serves to mutually connect the chip side connection terminal 15 and the penetrating electrode 27, and a connection terminal 31 which connects the penetrating electrode 28 and the terminal of the stacked upper stage chip. The penetrating electrode 28 is a lead for transmitting the chip selection signal to the stacked upper stage chip. Unlike the lower stage chip, the middle stage chip suffices with a configuration in which only the two penetrating electrodes are disposed. That is, even if a penetrating electrode 32 indicated by phantom lines in Fig. 13 is provided, the electrode is not connected. In Fig. 13, the penetrating electrodes 27, 28 are indicated by oblique lines, and the connection line 29 is indicated by meshed lines.

The upper stage chip includes a chip side connection terminal 16 to which the chip selection signal is input, a penetrating electrode 33 which penetrates through the chip and is connected with the penetrating electrode 28 disposed in the lower stage chip through the connection terminal 31, and a connection line 34 which serves to mutually connect the chip side connection terminal 16 and the penetrating electrode 33. Unlike the lower stage and middle stage chips, the upper stage chip suffices with a configuration in which only one penetrating electrode is disposed. That is, even when penetrating electrodes 35, 36 indicated by phantom lines in Fig. 14 are provided, the electrodes are not connected. In Fig. 14, the penetrating electrode 33 is indicated by oblique lines, and the connection line 34 is indicated by meshed lines.

The wiring patterns illustrated in Figs. 12 - 14 need to be provided in the chips beforehand. That is, the chip to be stacked is fabricated as a chip separated from the underlying chip, in a wafer process for fabricating the particular chip.

In a case where different types of chips are to be stacked, mere stacking of chips poses no problem because the chips are chips that are originally separated from one another. However, in a case where a large number of similar chips are to be stacked, for example when a large capacity memory is to be achieved by stacking a large number of memory devices, similar chips cannot be stacked, so different types of chips need to be fabricated according to the number of chips to be stacked, and

INTEL-1009
7,826,243

thus additional labor is required.

Furthermore, in a semiconductor device for achieving high density packaging, there are mounted circuits for electrically testing whether or not the packaged chips are connected, that is, boundary scan controllers.

The boundary scan controller includes five signal lines; TDI (Test Data input: data input part), TDO (Test Data Output: data output part), TCK (Test Clock input: clock input part), TMS (Test Mode Select input: test mode input part) and TRST (Test Reset input: test reset input part) for the standards of a boundary scan test. However, the signal line TRST is optional.

In a boundary scan which conforms to the standards of JTAG (Joint European Test Action Group), the signal lines TDI and TDO of the boundary scan controller incorporated in the individual chips in the semiconductor device are connected in the shape of a chain. Hereinafter, the chain-like connection of the boundary scan controllers will be sometimes be referred to as a "daisy chain". The signal lines TCK, TMS, TDI and TRST are generally referred to as "input parts".

Next, the technique of the boundary scan test is described.

Fig. 15 is a circuit diagram illustrating the connection states of a plurality of chip assemblies IC which include a boundary scan controller, while Fig. 16 is a diagram illustrating a multilayered module 50 which is configured by stacking the chip assemblies IC of the circuit diagram of Fig. 15. The multilayered module 50 is configured in such a manner that the plurality of chip assemblies IC1, IC2, ... ICn (where n denotes an integer of at least 3) are stacked. Hereinafter, the chip assemblies IC1 - ICn are referred to in general as "chip IC". A connector 52 is connected to the multilayered module 50, and a JTAG tester is connected to the connector 52. Fig. 16 illustrates the chip assemblies IC stacked as a lowermost stage, middle stage and uppermost stage, in succession from the left.

The signal lines TCK, TMS or TRST in the respective chip assemblies IC are mutually connected to the corresponding pin of the connector 52 in parallel through a wiring pattern provided in the chip assembly IC. On the other hand, regarding the signal lines TDI and TDO, the signal lines TDO of the chip assembly IC of a preceding stage side are successively connected in cascade to the signal lines TDI of the chip assembly IC on the succeeding stage side. Furthermore, the signal line TDI of the

INTEL-1009
7,826,243

chip assembly IC1 of the first stage and the signal line TDO of the chip assembly ICn of the uppermost stage are connected to the respectively corresponding pins of the connector 52.

In the multilayered module 50 thus configured, the boundary scan test is performed simultaneously for all the chip assemblies IC by controlling the chip assemblies IC by the JTAG tester.

In the multilayered module 50, only the chip assembly ICn to be stacked at the uppermost stage needs to have connections different from the chip assemblies other than the chip assembly ICn. Therefore, only the chip assembly ICn at the uppermost stage needs to be fabricated separately from the other chips in a wafer process.

Figs. 17 and 18 are perspective views illustrating the wiring patterns of the chip assemblies in the multilayered module 50 illustrated in Fig. 16, and the case of stacking the chip assemblies face-up is assumed in Figs. 17 and 18. "Face-up" is a mounting method in which the chips are stacked with the circuit surfaces facing the opposite direction as a circuit board. For the sake of description, only penetrating electrodes 61, 62 which are disposed in the chip assemblies, and wiring lines which extend between these penetrating electrodes 61, 62 and the connection terminals 63 to 68 of the chips are illustrated in Figs. 17 and 18, and the chips, inter-layer insulating films, and the like are not illustrated.

Fig. 17 is a perspective view illustrating the wiring pattern of the chip assembly at the lowermost stage and the middle stage. The chip assembly at the lowermost stage and the middle stage includes the chip side connection terminal 63 of the TDI, the chip side connection terminal 64 of the TDO, the chip side connection terminal 65 for the bus connections of the TCK and the like, the penetrating electrode 71 for transmitting the TDI signal, the connection line 72 for connecting the penetrating electrode 71 and the chip side connection terminal 63 of the TDI, a connection terminal 73 for transmitting a TDO signal to the chip of the upper stage, a connection line 74 on the chip for joining the chip side connection terminal 64 of the TDO and the connection terminal 73, the penetrating electrode 75 for the bus connections of the TCK and the like, the connection line 76 on the chip for connecting the penetrating electrode 75 and the chip side connection terminal 65 for the bus connections of the TCK and the like, a connection terminal 77 for transmitting the signals of the TCK and the like to the chip of the upper stage, and the penetrating electrode 78 for returning a TDO signal from the chip of the uppermost stage to the lower stage.

INTEL-1009
7,826,243

Fig. 18 is a perspective view illustrating the wiring pattern of the chip assembly at the uppermost stage. The chip assembly of the uppermost stage includes the chip side connection terminal 63 of the TDI, the chip side connection terminal 64 of the TDO, the chip side connection terminal 65 for the bus connections of the TCK etc., the penetrating electrode 71 for transmitting a TDI signal, the connection line 72 for connecting the penetrating electrode 71 and the chip side connection terminal 63 of the TDI, the penetrating electrode 75 for the bus connections of the TCK etc., the connection line 76 on the chip for connecting the penetrating electrode 75 and the chip side connection terminal 65 for the bus connections of the TCK etc., the penetrating electrode 78 for returning the TDO signal from the chip of the uppermost stage, to the lower stage, and the connection line 79 for connecting the chip side connection terminal 64 of the TDO and the penetrating electrode 78.

The wiring pattern in the chip assembly of the lowermost stage and the middle stage and the wiring pattern in the chip assembly of the uppermost stage as respectively illustrated in Figs. 17 and 18 need to be provided in the corresponding chip assemblies beforehand. That is, the chip assemblies to be stacked are fabricated as separate chip assemblies in the wafer processes. In the case of performing the boundary scans, only the chip assembly of the uppermost stage needs to be a separate chip assembly, as elucidated in Figs. 17 and 18, but in a case where a large number of similar chips are to be stacked, for example, a large capacity memory achieved by stacking a large number of memory devices, there is the problem that the similar chips cannot be stacked.

[Disclosure of the present invention]

An object of the present invention is to provide a boundary scan controller which can perform a boundary scan and which permits a semiconductor device to be configured by stacking identical semiconductor circuit chips.

The present invention is a boundary scan controller which is disposed in a semiconductor circuit chip, for controlling a shift register circuit composed of boundary scan cells respectively disposed between external signal input terminals and input terminals of an internal logic circuit and between external signal output terminals and output terminals of the internal logic circuit which are connected in series, comprising:

an input part for inputting a predetermined operation instruction, and identification data and test data of the semiconductor chip;

storage means for storing the identification data therein;

INTEL-1009
7,826,243

a clock input part for providing input/output timings; a test mode input part for providing the predetermined operation instruction; a data input part for inputting the identification data and test data of the semiconductor circuit chip;

control means for executing the predetermined operation instruction so as to store the identification data in the storage means, and for performing a circuit test with the test data so as to obtain test result data;

a data output part for outputting the test result data obtained by the control means;

fixed data holding means for holding predetermined fixed data therein;

comparison means for making a comparison as to whether or not the identification data and the fixed data match, and outputting comparison result information; and

a data derivation part for deriving data corresponding to the test result data output from the output part, on the basis of the comparison result information from the comparison means.

In accordance with the present invention, when the operation instruction has been provided from the test mode input part beforehand, the control means executes the predetermined operation instruction. By executing the predetermined operation instruction, the control means stores the identification data of the semiconductor circuit chip input from the data input part in the storage means, and performs the circuit test using the test data received from the data input part, thereby obtaining the test result data. The circuit test using the test data is, for example, the connection test of the semiconductor circuit chip which is performed by controlling the shift register circuit.

The comparison means makes a comparison as to whether or not the fixed data held in the fixed data holding means and the identification data stored in the storage means match, and in the case of a match, outputs comparison result information indicating a match, but in the case of a mismatch, outputs the comparison result information indicating a mismatch. In the case of a match between the identification data and the fixed data as based on the comparison result information, the data derivation part outputs the data for the case of a match which corresponds to the test result data, and in the case of mismatch between the identification data and the fixed data, the data derivation part outputs the data for the case of mismatch which corresponds to the test result data. Accordingly, the data to be output from the data derivation part can be made different between the case of matching between the fixed data and the identification

INTEL-1009
7,826,243

data and the case of mismatching.

The boundary scan test is performed in order to detect the connection states of individual semiconductor circuit chip assemblies in a semiconductor device which is composed of a stack of semiconductor circuit chip assemblies which are configured by disposing the boundary scan controller in the semiconductor circuit chip. The boundary scan test is performed for a daisy chain in which a plurality of such boundary scan controllers are connected. In the daisy chain, the data output part of the boundary scan controller of a lower stage is connected to the data input part of the boundary scan controller of an upper stage. Furthermore, the test result data is derived from the data output part of the boundary scan controller disposed in the semiconductor circuit chip of the uppermost stage. In the boundary scan test, the inputs of the operation instruction, identification data and test data from each input part to the boundary scan controller, and the output data are detected by a JTAG tester.

With the boundary scan controllers of the present invention, the identification data of the semiconductor circuit chip of the uppermost stage is held as the fixed data in the fixed data holding means, whereby the data which is output from the data derivation part in only the boundary scan controller of the uppermost stage can be made different from the data which is output from the other data derivation parts. Accordingly, the data output parts of the boundary scan controllers disposed in the semiconductor circuit chips except for the uppermost stage are brought into non-connected states, whereby the data derivation parts of the individual boundary scan controllers can be connected to an identical bus line. That is, of the data derivation parts connected to the identical bus line, states which are output from the data derivation parts of the boundary scan controllers disposed in the semiconductor circuit chips excluding the uppermost stage can be brought into, for example, a state which is pulled up or pulled down by a high impedance, or a floating state, whereby the data derivation parts can be, in effect, disconnected from the bus line.

Accordingly, the semiconductor device can be configured by stacking the same semiconductor circuit chip assemblies which include the boundary scan controllers.

Furthermore, according to the present invention, if the identification data is stored in the storage

INTEL-1009
7,826,243

means and the comparison information output from the comparison means indicates matching between the identification data and the fixed data, the data derivation part outputs the same data as the test result data which is output from the data output part.

In accordance with the present invention, if the identification data is stored in the storage means and the comparison information indicates matching between the identification data and the fixed data, the data derivation part outputs the same data as the test result data which is output from the data output part. Accordingly, the same data as the test result data is output from the data derivation part so detailed test result data can be obtained, and detailed location of a defective connection can be identified.

Furthermore, according to the present invention, if the identification data is not stored in the storage means, the data which is output from the data derivation part is brought into a state that the other boundary scan controllers cannot recognize, and thereby the boundary scan controllers connected to the data derivation part are essentially nullified.

Alternatively, the output of the data derivation part is maintained at a predetermined signal level. "Predetermined signal level" refers to, for example, a state of H level or a state pulled up to the H level by a high impedance.

Thereby, with the present invention, even when the other boundary scan controllers are connected to the output side of the data derivation part, the succeeding boundary scan controllers essentially do not operate. Even if the semiconductor circuit connected to the boundary scan controller is defective, the boundary scan controller does not operate, and hence, input/output circuits will be in a disconnected state, and for example, even if the defective semiconductor circuit chip develops an abnormal input/output pin state, no output is delivered, and a failure can be avoided.

In accordance with the present invention, identification data that does not match with the fixed data is provided when the particular chip is provided at any other stage than the uppermost stage of the stack. If the identification data is stored in the storage means and the comparison information output from the comparison means indicates that the identification data and the fixed data do not match, the data derivation part can be a state which is essentially disconnected from the circuit.

Furthermore, with the present invention, if the identification data is stored in the storage means and the comparison information output from the comparison means indicates matching between the identification data and the fixed data, the data derivation part outputs the same data as the data of the

INTEL-1009
7,826,243

data output part.

In accordance with the present invention, the identification data that matches the fixed data is provided if the particular chip is provided on the uppermost stage of the stack. If the identification data is stored in the storage means and the comparison information output from the comparison means indicates matching between the identification data and the fixed data, the data derivation part outputs the same data as the data of the data output part.

Because of the change in the output data, the subsequently connected boundary scan controllers can be effectively operated.

Furthermore, with the present invention, if the identification data is stored in the storage means and where the comparison information output from the comparison means indicates mismatching between the identification data and the fixed data, the data derivation part is brought into, for example, a state pulled up or pulled down by a high impedance, or a floating state.

In accordance with the present invention, the identification data that does not match with the fixed data is provided if the particular chip is provided at any other stage than the uppermost stage of the stack. If the identification data is stored in the storage means and the comparison information output from the comparison means indicates mismatching between the identification data and the fixed data, the data derivation part is brought into, for example, a state pulled up or pulled down by a high impedance, or a floating state, whereby the data derivation part is, in effect, disconnected from the bus line.

Furthermore, the present invention is a semiconductor device comprising a stack of semiconductor circuit chip assemblies, each configured by disposing a boundary scan controller in a semiconductor circuit chip.

In accordance with the present invention, the semiconductor circuit chip assemblies can be formed by the same wafer process, so that labor for forming the semiconductor circuit chip assemblies is reduced. Furthermore, when forming the semiconductor device, identical semiconductor circuit chip assemblies are stacked, and therefore stacking order or the like need not be considered, and the formation of the device is simplified.

Furthermore, with the present invention, the semiconductor circuit chip is a memory chip, and the memory chip assembly includes:

additional address lines which are formed in addition to address lines of the memory chip;

a selection signal line for inputting a selection signal for selecting the memory chip; and

INTEL-1009
7,826,243

permission means for permitting an operation of the memory chip if data corresponding to the additional address lines of the memory chip and the identification data stored in the storage means are matching and the selection signal is input.

In accordance with the present invention, even if the selection signal for selecting the memory chip has been input, the operation of the memory chip is not permitted by the permission means unless data corresponding to the additional address lines matches the identification data stored in the storage means. Therefore, even if the same selection signals have been input, the permission means can permit only the operation of one memory chip. Thereby, each of stacked memory chips can be operated.

Furthermore, with the present invention, the semiconductor circuit chip is a memory chip, and the memory chip assembly includes:

additional data lines which are formed in addition to data lines of the memory chip, and which are larger in number than the data lines; and

selection means for selecting the additional data lines and connecting the additional data lines to the data lines of the memory chip, in accordance with the identification data stored in the storage means.

Furthermore, in accordance with the present invention, the selection means selects the additional data lines in accordance with the identification data stored in the storage means and connects the additional data lines to the data lines of the memory chip such that the data lines can be allocated to each of the stacked memory chips. Accordingly, each memory chip can be operated by being connected to bus lines which are larger in number than the bus lines corresponding to one memory chip.

Furthermore, the present invention is a semiconductor circuit chip identification method for the semiconductor device, where the respective semiconductor circuit chips are identified by the identification data stored in the storage means.

In accordance with the present invention, the respective semiconductor circuit chips can be individually recognized by the identification data stored in the storage means. Therefore, the semiconductor circuit chips can be individually managed by using the identification data.

Furthermore, the present invention is a semiconductor circuit chip control method for the semiconductor device, where the semiconductor circuit chips which have been selected on the basis

INTEL-1009
7,826,243

of the identification data stored in the storage means are operated.

In accordance with the present invention, the semiconductor circuit chips which have been selected on the basis of the identification data stored in the storage means are operated, and therefore the stacked semiconductor circuit chips can be individually operated.

[Brief Description of Drawings]

Objects, features, and advantages of the present invention will be more explicit from the following detailed description and the drawings.

Fig. 1 is a block diagram illustrating a boundary scan controller 80 according to one embodiment of the present invention;

Fig. 2 is a block diagram illustrating a semiconductor circuit chip assembly 81 which is configured by disposing the boundary scan controller 80 in a semiconductor circuit chip;

Fig. 3 is a block diagram illustrating a semiconductor device 82 which is configured by stacking a plurality of such semiconductor circuit chip assemblies 81;

Fig. 4 is a flow chart illustrating the operation of setting the identification data in the storage means 85 of the controller 80.

Fig. 5 is a perspective view illustrating part of the wiring pattern of the semiconductor circuit chip assembly 81 which is formed by disposing the controller 80 in the semiconductor circuit chip;

Fig. 6 is a block diagram illustrating a boundary scan controller 130 according to still another embodiment of the present invention;

Fig. 7 is a block diagram illustrating a boundary scan controller 140 according to still another embodiment of the present invention;

Fig. 8 is a block diagram illustrating the signal selection means 150;

Fig. 9 is a diagram illustrating the memory chip selection means 160 which is disposed in the memory chip assembly;

Fig. 10 is a diagram illustrating the data line selection means 170 which is disposed in the memory chip assembly;

Fig. 11 is a perspective view illustrating a semiconductor device in which chips 2 are stacked using tape carriers 1;

INTEL-1009
7,826,243

Fig. 12 is a view for describing a semiconductor device which is configured by stacking chips that have electrodes penetrating vertically through the chips;

Fig. 13 is a view for describing a semiconductor device which is configured by stacking chips that have electrodes penetrating vertically through the chips;

Fig. 14 is a view for describing a semiconductor device which is configured by stacking chips that have electrodes penetrating vertically through the chips;

Fig. 15 is a view for describing a technique of the boundary scan test;

Fig. 16 is a view for describing a technique of the boundary scan test;

Fig. 17 is a perspective view illustrating the wiring patterns of the chip assemblies in the multilayered module 50 illustrated in Fig. 16; and

Fig. 18 is a perspective view illustrating the wiring patterns of the chip assemblies in the multilayered module 50 illustrated in Fig. 16.

[Best Mode for Carrying out the Present Invention]

Preferred embodiments of the present invention are described below while referring to the drawings.

Fig. 1 is a block diagram illustrating a boundary scan controller 80 according to one embodiment of the present invention. Fig. 2 is a block diagram illustrating a semiconductor circuit chip assembly 81 which is configured by disposing the boundary scan controller 80 in a semiconductor circuit chip. The number of connection terminals between an internal logic circuit 97 and the exterior is assumed to be 10. Fig. 3 is a block diagram illustrating a semiconductor device 82 which is configured by stacking a plurality of such semiconductor circuit chip assemblies 81. The boundary scan controller 80 of the embodiment operates in conformance to the standards of the JTAG (Joint European Test Action Group). The boundary scan controller 80 is a circuit for electrically testing whether or not the semiconductor circuit chip is connected in the semiconductor device 82.

The boundary scan controller 80 includes an input part 83, control means 84, storage means 85, an output part 86, fixed data holding means 87, comparison means 88 and a data derivation part 89. Hereinafter, the boundary scan controller 80 is simply referred to as "controller 80" in some cases.

The input part 83 is a serial interface for inputting a predetermined operation instruction, and the

INTEL-1009
7,826,243

identification data and test data of the semiconductor circuit chip. The input part 83 includes four signal lines; TCK (Test Clock input: clock input part), TMS (Test Mode Select input: test mode input part), TDI (Test Data input: data input part), and TRST (Test Reset input: test reset input part). Hereinafter, the identification data of the semiconductor circuit chip will be simply referred to as "identification data" in some cases.

The signal line TCK is a signal line that supplies the control means 84 with input/output timings, and that provides a testing clock independent of a unique system clock. The signal line TMS is a signal line which inputs the predetermined operation instruction so as to control a test operation. The signal line TDI is a signal line which serially inputs the identification data and the test data. The signal line TRST is a signal line which inputs data for asynchronously initializing the controller 80. These four signal lines are controlled by an external JTAG tester, and a boundary scan test is performed. Although the signal line TRST is laid in the input part 83 in the embodiment, it is an optional terminal in the JTAG standard, and in another embodiment of the present invention, the input part 83 may be configured having the three signal lines TCK, TMS and TDI.

The input part 83 is interconnected with the control means 84, and supplies the control means 84 with the predetermined operation instruction, identification data, and test data provided from the JTAG tester.

When the operation instruction of storing the identification data in the storage means 85 is input from the input part 83, the control means 84 executes the instruction, and decodes the identification data received from the input part 83 and stores the decoded data in the storage means 85. Furthermore, when the operation instruction for performing the boundary scan test is input from the input part 83, the control means 84 executes the instruction, and performs the circuit test using the test data received from the input part 83 in order to obtain test result data. The reserved code of the boundary scan instruction, for example, is assigned as the operation instruction for storing the identification data in the storage means 85. When performing the circuit test, the control means 84 outputs a boundary scan control signal and controls a shift register circuit 91 that will be described later.

The control means 84 includes an instruction register and a test data register. The instruction

INTEL-1009
7,826,243

register serves to set an instruction code for accepting instruction data for performing the boundary scan test. The test data register serves to set test pattern data for performing the boundary scan test. Both the instruction register and the test data register have the configuration of shift registers, and when the instruction of sending data is input to the control means 84, the predetermined operation instruction and various data which are input from the signal line TDI can be output from a signal line TDO (Test Data Output: data output part) through the shift registers. Hereinafter, the predetermined operation instruction and the various data will be generally and simply referred to as "data" in some cases.

The storage means 85 stores the identification data decoded by the control means 84. The storage means 85 is a latch circuit constructed of a flip flop, and is configured to repeatedly receive the identification data every turn ON of the power source of the JTAG tester which is externally connected for performing the boundary scan test.

In this case, the identification data is merely designated, so the JTAG tester can also be substituted by a circuit that generates a JTAG signal in simplified fashion by a ROM (Read Only Memory) and a clock generator, or the like, without being a complete JTAG tester.

In another embodiment of the present invention, the storage means 85 may be achieved by nonvolatile memory such as EPROM (Electrically Programmable Read Only Memory) and configured such that the identification data may be saved merely by storing the identification data once.

The storage means 85 has a storage area which is one bit larger than the bit length of the identification data. That is, the data to be stored in the storage means 85 has a bit length that is one bit larger than the bit length of the identification data. Whether or not the identification data has been stored in the storage means 85 by the control means 84 is stored in the redundant one bit. Thus, whether or not the identification data is stored in the storage means 85 is easily determined.

The output part 86 is a serial interface which serves to output the test result data obtained by the control means 84, and the predetermined operation instruction and the various data output from the control means 84 through the instruction register and the test data register, and the output part includes the signal line TDO.

INTEL-1009
7,826,243

The fixed data holding means 87 holds fixed data. The fixed data is the identification data of the semiconductor circuit chip which is provided at the uppermost stage when the semiconductor device 82 is configured by stacking the plurality of semiconductor circuit chip assemblies 81, each configured with the controller 80 disposed in the semiconductor circuit chip. The semiconductor circuit chip which is provided at the uppermost stage is located at the furthest position from a circuit board when the semiconductor device 82 is mounted on the circuit board.

The fixed data holding means 87 is achieved by, for example, wired logic. In the embodiment, the fixed data holding means 87 exists independently, but in another embodiment of the present invention, the fixed data holding means 87 may be included in the comparison means 88 described below if the fixed data holding means 87 is configured by logic synthesis.

The comparison means 88 receives the identification data stored in the storage means 85 and the fixed data held in the fixed data holding means 87, makes a comparison as to whether or not the identification data and the fixed data are matching, and outputs comparison result information. The comparison means 88 compares the identification data stored in the storage means 85 with the fixed data including the data of the redundant one bit. Thus, if the identification data is not stored in the storage means 85, the comparison means 88 can always output the comparison result information indicating a mismatch.

The data derivation part 89 includes first and second OR gates 92, 93, a tristate buffer 94 and a signal line TDO2. One of the input terminals of the first OR gate 92 is interconnected with the comparison means 88, and the other input terminal is interconnected with the storage means 85. The first OR gate 92 outputs an output permission signal to the tristate buffer 94 if the comparison result information of the comparison means 88 indicates matching between the identification data and the fixed data, or if the identification data is stored in the storage means 85.

One of the input terminals of the second OR gate 93 is interconnected with the signal line TDO which is the output part 86, and the other input terminal is interconnected with the storage means 85. The second OR gate 93 outputs the same data as the data output from the output part 86 if the

INTEL-1009
7,826,243

identification data is stored in the storage means 85. The data of the redundant one bit is input from the storage means 85 to the second OR gate 93.

The tristate buffer 94 is interconnected with the output terminals of the first and second OR gates 92, 93, and outputs the data that was input from the second OR gate 93, to the signal line TD02 when the output permission signal is input from the first OR gate 92.

If the identification data is not stored in the storage means 85, the first and second OR gates 92, 93 operate such that the signal line TDO2 connected to the output terminal of the tristate buffer 94 outputs data which the other boundary scan controllers cannot recognize. The "data which the other boundary scan controllers cannot recognize" referred to herein is data which is always high (H). Thus, the same data as the data output from the output part 86 is not output from the data derivation part 89, and essentially, the succeeding boundary scan controllers do not operate in spite of the existence of the boundary scan controllers which are connected in succession to the data derivation parts 89. Furthermore, if the semiconductor circuit connected to the boundary scan controller is defective, the boundary scan controller does not operate, and hence, the input/output circuits are in a disconnected state, and for example, even if the defective semiconductor circuit chip is about to fall into an abnormal input/output pin state, output is not performed, and non-conformance can be avoided.

Furthermore, if the identification data is stored in the storage means 85 and the comparison result information output from the comparison means 88 indicates matching between the identification data and the fixed data, the first and second OR gates 92, 93 operate such that the same data as the data output from the output part 86 may be output from the signal line TDO2. That is, the same data as that of the output part 86 can be output from the data derivation part 89 of the intended semiconductor circuit chip assembly 81.

Furthermore, if the identification data is stored in the storage means 85 and the comparison result information output from the comparison means 88 indicates mismatching between the identification data and the fixed data, the first and second OR gates 92, 93 operate so as to prohibit output to the signal line TDO2 connected to the output terminal of the tristate buffer 94 and creates a floating state. Thus, the same data as the data output from the output part 86 is not output from the data

INTEL-1009
7,826,243

derivation part 89, and essentially, the data derivation part 89 can be brought into a state disconnected from the circuit.

With the aforementioned controller 80, different data can be output from the data derivation parts 89 even with a controller 80 in which the fixed data and the identification data match and a controller 80 in which the fixed data and the identification data do not match or where the identification data is not recorded, in spite of being same controllers 80.

With the present embodiment, the data derivation part 89 includes the first and second OR gates 92, 93 and the tristate buffer 94, and therefore the first and second OR gates 92, 93 and the tristate buffer 94 may be configured as logic incorporated by logic synthesis.

The semiconductor circuit chip assembly 81 includes the controller 80, external signal input terminals 95, external signal output terminals 96, the internal logic circuit 97, the shift register circuit 91, input part connection terminals 83A, an output part connection terminal 86A and a data derivation part connection terminal 89A. The external signal input terminals 95 form an interface for inputting signals from the exterior to the internal logic circuit 97. The external signal output terminals 96 form an interface for outputting signals from the internal logic circuit 97 to the exterior. The internal logic circuit 97 is an integrated circuit for achieving the essential functions of the semiconductor circuit chip, and the internal logic circuit is implemented by any desired circuit. The internal logic circuit 97 is, for example, a large scale integration (abbreviated as "LSI").

The controller 80, external signal input terminals 95, external signal output terminals 96, internal logic circuit 97, shift register circuit 91, input part connection terminals 83A, output part connection terminal 86A and data derivation part connection terminal 89A are formed in the same wafer 99.

The shift register circuit 91 has a plurality of boundary scan cells 98. As illustrated in Fig. 2, the shift register circuit 91 has ten boundary scan cells 98. The boundary scan cells 98 are achieved by a register circuit. The individual boundary scan cells 98 are respectively interposed between the internal logic circuit 97 and the external connection terminals which are the external signal input terminals 95 and the external signal output terminals 96.

INTEL-1009
7,826,243

The shift register circuit 91 is configured in a manner that the boundary scan cells 98 are connected in series. The boundary scan cells 98 are provided in the same quantity as the external signal terminals of the internal logic circuit 97. A description will be continued assuming a case where the input signals are input from the external connection terminals on the left side of the internal logic circuit 97 as illustrated in Fig. 2, and where the output signals are output from the external connection terminals on the right side.

The input part connection terminals 83A of the boundary scan controller 80 form an interface for inputting data from the exterior to the respective signal lines of the input part 83. The output part connection terminal 86A is an interface for outputting data from the signal line of the output part 86. The data derivation part connection terminal 89A is an interface for outputting data from the signal line of the data derivation part 89.

The control means 84 is interconnected to the shift register circuit 91, and controls the shift register circuit 91 so as to perform a circuit test and obtain test result data. In the circuit test, the control means 84 executes the following operations. The boundary scan cells 98 of the shift register circuit 91 which are connected to the external signal input terminals 95 are referred to, in general, as "input side cells 98A", and the boundary scan cells 98 which are connected to the external signal output terminals 96 are referred to, in general, as "output side cells 98B".

First, when a boundary scan test state has begun, the connections for the signals between the internal logic circuit 97 and the external connection terminals are cut off on both the input side cells 98A and the output side cells 98B, and the shift register of the control means 84 and the input side cells 98A, and the shift register of the control means 84 and the output side cells 98B are connected. Furthermore, serial test data is input from the signal line TDI through the input part connection terminals 83A and is stored in the shift register circuit 91. Thereafter, the test data stored in the shift register circuit 91 is transmitted to the external connection terminals through the input side cells 98A and the output side cells 98B in accordance with test performance instructions. Furthermore, the states of the external connection terminals are monitored back and are stored in the shift register circuit 91 in accordance with update instructions.

Subsequently, the state of the monitor backed external connection terminals stored in the shift register circuit 91 is serially output from the output part TDO.

Furthermore, depending on the boundary scan test modes, self-tests are carried out using the input

INTEL-1009
7,826,243

side cells 98A as well as the internal logic circuit 97 and the output side cells 98B as well as the internal logic circuit 97. In this case, only the connections of the boundary scan cells 98 are altered, and the setup for the test data and the derivation of the monitor backed state are similar.

Such operations are performed as needed, whereby the control means 84 can provide test result data which indicate the monitor backed state whether or not the semiconductor circuit chip to be stacked is normally connected (is normally operating).

The semiconductor device 82 is configured by stacking the semiconductor circuit chip assemblies 81 as described above. In Fig. 3, the semiconductor circuit chip assemblies 81 which are indicated in a region enclosed in a phantom line are stacked. Hereinafter, stacked semiconductor circuit chip assemblies 81 will be sometimes be referred to as a "multilayer module".

A connector 101 is disposed in the semiconductor device 82, and the JTAG tester is connected to the connector 101. The semiconductor circuit chip assemblies 81 which are stacked at the lowermost stage, middle stage and uppermost stage in succession from the left are illustrated in Fig. 3. Furthermore, although only the three semiconductor circuit chip assemblies 81 are illustrated in Fig. 3, the semiconductor device 82 may be configured by stacking any number of semiconductor circuit chip assemblies 81.

The signal lines TCK of the respective semiconductor circuit chip assemblies 81 are connected to the same bus line 102a, and are interconnected with the corresponding TCK pin 101a of the connector 101. Similar to the signal lines TCK, the signal lines TMS, TRST and TDO2 are respectively connected to identical bus lines 102b, 102c and 102d and are mutually connected to the corresponding TMS pin 101b, TRST pin 101c and TDO2 pin 101d of the connector 101 in parallel.

The output part connection terminals 86A of the semiconductor circuit chip assemblies 81 on the preceding stage sides are successively connected to the input part connection terminals 83A corresponding to the signal lines TDI of the semiconductor circuit chip assemblies 81 on the succeeding stage sides. Furthermore, the signal line TDI of the semiconductor circuit chip assembly 81 at the first stage is connected to the corresponding TDI pin 101e of the connector 101. The signal line TDO of the semiconductor circuit chip assembly 81 at the uppermost stage is not connected.

In this manner, in the semiconductor device 82, the individual controllers 80 are connected in the

INTEL-1009
7,826,243

shape of a chain. Hereinafter, the chain-like connection is sometimes referred to as a "daisy chain". In the semiconductor device 82, the controllers 80 are controlled by the JTAG tester through the connector 101, and thereby all the semiconductor circuit chip assemblies 81 can be simultaneously subjected to the boundary scan test.

Next, a method of setting the identification data will be described.

Fig. 4 is a flow chart illustrating the operation of setting the identification data in the storage means 85 of the controllers 80. When the external JTAG tester is connected to the semiconductor device 82 at step S0, the routine shifts to step S1. At step S1, the control means 84 of the controllers 80 are reset from the input parts 86 by using the signal lines TMS and TCK or by setting the signal level of the signal line TRST at an L level. During the boundary scan, regardless of the state of the control means 84, the control means 84 can be reset by setting the signal levels of the signal lines TMS at an H level and holding the state for 5 clock cycles.

Subsequently, the routine shifts to step S2, and a command set instruction that is an instruction for inputting an operation instruction to the control means 84 is input using the signal lines TMS and TCK, and the routine shifts to step S3.

In step S3, the operation instruction which gives an identification code set instruction for causing the storage means 85 to store the identification data therein is provided to the control means 84 of the controllers 80 disposed in the stacked semiconductor circuit chips, by employing the signal lines TDI and TCK. Furthermore, an instruction skip command (bypass instruction) for skipping the instruction is provided to the control means 84 of a controller 80 disposed in any semiconductor circuit chip which is not stacked.

Subsequently, the routine shifts to step S4, where a data set command that is the operation instruction for inputting data to the control means 84 is input by employing the signal lines TMS and TCK, and then the routine shifts to step S5.

In step S5, the identification data is sent to the controllers 80 disposed in the respective stacked semiconductor circuit chips by employing the signal lines TDI and TCK, whereupon the routine shifts to step S6 so as to end the operation. In step 5, data which is to be stored as the identification data in the storage means 85 of the controllers 80 disposed in the stacked semiconductor circuit chips

INTEL-1009
7,826,243

is provided through the signal lines TDI and TDO which are daisy chain data lines, so as to have respectively different values. For example, "0" is provided as the identification data to the storage means 85 disposed in the semiconductor circuit chip at the uppermost stage, and "1" is provided as the identification data to the storage means 85 disposed in the semiconductor circuit chip at the stage directly below the uppermost stage. Furthermore, "m" is provided as the identification data to the storage means 85 disposed in the semiconductor circuit chip at the mth stage (where m denotes an integer of at least 2) from the uppermost stage.

Even in a case where the controllers 80 of the stacked semiconductor circuit chip assemblies 81 and the ordinary controllers disposed in the ordinary semiconductor devices (not illustrated) which are not stacked form a daisy chain, the number of the stacked semiconductor circuit chips and the number of the ordinary controllers disposed up to the multilayered module consisting of the stacked semiconductor circuit chips are known beforehand, and hence, there is no problem creating the identification data which is provided to the storage means 85 disposed in the stacked semiconductor circuit chips.

Furthermore, even in a case where the controller of another device is also connected behind the daisy chain which is constituted by the controllers 80 of the stacked semiconductor circuit chip assemblies 81, there is no problem because when the identification data is not stored in the storage means 85 disposed in the stacked semiconductor circuit chip assembly 81, the output of the data derivation part 89 is fixed at the H level, and the command for skipping the instruction is provided to the control means 84 included in the controller 80.

According to the aforementioned flow chart, the identification data can be stored in the controllers 80 disposed in the stacked semiconductor circuit chips.

In the controller 80 in which the identification data is not stored in the storage means 85, the data output from the output part 86 is the output of the boundary scan, and the signal line TDO2 of the data derivation part 89 outputs the signal at the H level.

The controller 80 which has been supplied with the same identification data as the identification data of the semiconductor circuit chip at the uppermost stage in each stacked semiconductor circuit chip assembly 81, namely, with "0" in the above example, has the setting altered so that the same data as the data output from the output part 86 may be output from the data derivation part TDO2. Furthermore, the controller 80 which has been supplied with identification data different from the identification data of the semiconductor circuit chip at the uppermost stage is disconnected from the

INTEL-1009
7,826,243

data derivation part TDO2.

In a case where a plurality of multilayered modules exist on the daisy chain for the boundary scans, the operating procedure illustrated in Fig. 4 may be iterated to successively achieve the settings.

Fig. 5 is a perspective view illustrating a portion of the wiring pattern of the semiconductor circuit chip assembly 81 formed by disposing the controller 80 in the semiconductor circuit chip. The semiconductor circuit chip assembly 81 includes first - third penetrating electrodes 103 - 104. For the sake of description, only the first - third penetrating leads 103 - 105 which penetrate through the semiconductor circuit chip assembly 81, and wiring lines which extend between these first - third penetrating leads 103 - 105 and the connection terminals 83A, 86A, 89A of the semiconductor circuit chip assembly 81 are illustrated in Fig. 5, and the semiconductor circuit chip, inter-layer insulating film, and the like are not illustrated. The first - third penetrating electrodes 103 - 105 penetrate through the semiconductor circuit chip assembly 81 in the stacked direction of the semiconductor circuit chip assembly 81, namely, in the direction of arrow A in Fig. 5. Furthermore, the case of stacking the semiconductor circuit chip assembly 81 face-up is illustrated herein.

One surface of the semiconductor circuit chip assembly 81 is formed with the input part connection terminals 83A being the terminals of the input part 83, the output part connection terminal 86A being the terminal of the output part 86, and the data derivation part connection terminal 89A which is the data derivation part 89. The input part connection terminals 83A are the terminal 111 of the signal line TDI and the terminal 113 of the signal line TCK. Since the wiring lines for connecting the signal lines TCK, TMS and TRST are similar, only the wiring line for connecting the signal line TCK is illustrated here. The output part connection terminal 86A is the terminal 112 of the signal line TDO. The data derivation part connection terminal 89A is the terminal 114 of the signal line TDO2.

One end part of the first penetrating electrode 103 is interconnected to the terminal 111 of the signal line TDI through the first connection line 115. The first connection line 115 is formed in one surface of the semiconductor circuit chip assembly 81. A first connection terminal 116 is interconnected with the other end part of the first penetrating electrode 103 of the stacked semiconductor circuit chip assembly 81. The first connection terminal 116 which is connected with the stacked semiconductor circuit chip assembly 81 is formed through an inter-layer insulating film over one end part of the first penetrating electrode 103. The terminal 112 of the signal line TDO is interconnected with the first connection terminal 116 through the second connection line 117 which

INTEL-1009
7,826,243

is stacked on the first connection line 115 with the inter-layer insulating film interposed therebetween.

One end part of the second penetrating electrode 104 is interconnected to the terminal 113 of the signal line TCK through the third connection line 118. The third connection line 118 is formed in one surface of the semiconductor circuit chip assembly 81. A second connection terminal 119 which is connected with the stacked semiconductor circuit chip 81 is formed at one end part of the second penetrating electrode 104. The second connection terminal 119 is interconnected with the other end part of the second penetrating electrode 104 of the stacked semiconductor circuit chip assembly 81.

One end part of the third penetrating electrode 105 is interconnected to the terminal 114 of the signal line TDO2 through the fourth connection line 121. The fourth connection line 121 is formed in one surface of the semiconductor circuit chip assembly 81. A third connection terminal 122 which is connected with the stacked semiconductor circuit chip 81 is formed at one end part of the third penetrating electrode 105. The third connection terminal 122 is interconnected with the other end part of the third penetrating electrode 105 of the stacked semiconductor circuit chip assembly 81.

By laying wiring lines in the manner, data which is input from the exterior of the semiconductor circuit chip assembly 81 is passed through the first penetrating electrode 103 and transmitted to the terminal 111 of the signal line TDI via the first connection line 115. Data which is output from the signal line TDO is sent from the terminal 112 through the second connection line 117 to the first connection terminal 116 from which the data is transmitted to the stacked semiconductor circuit chip assembly 81. Furthermore, the terminal 113 of the signal line TCK is connected to a common bus line, and the terminal 114 of the signal line TDO2 is connected to a common bus line.

When the semiconductor circuit chip assemblies 81 are stacked after forming the wiring lines as illustrated in Fig. 5, the upper and lower semiconductor circuit chip assemblies 81 can be stacked without being shifted, and hence, the semiconductor device 82 can be formed in the smallest possible size.

As described above, when the semiconductor circuit chip assemblies 81 are configured by employing the controllers 80, the daisy chain for performing the boundary scan test can be formed by only one wiring pattern illustrated in Fig. 5. When stacking identical semiconductor circuit chips, accordingly, the semiconductor circuit chip assemblies 81 need not be separately fabricated. That is,

INTEL-1009
7,826,243

the semiconductor circuit chip assemblies 81 can be formed by an identical wafer process, and therefore labor for forming the semiconductor circuit chip assemblies 81 can be reduced. Furthermore, when forming the semiconductor device 82, identical semiconductor circuit chip assemblies 81 are stacked, and therefore stacking order, and the like need not be considered, and processes are simplified.

Although the case of stacking the semiconductor circuit chip assemblies 81 face-up has been described in the embodiment, the semiconductor circuit chip assemblies 81 may be stacked face-down. For this case, in Fig. 5, the terminal 111 of the signal line TDI may be set as the terminal of the signal line TDO, and the terminal 112 of the signal line TDO may be set as the terminal of the signal line TDI.

Fig. 6 is a block diagram illustrating a boundary scan controller 130 in another embodiment of the present invention. The boundary scan controller 130 includes an input part 83, control means 84, storage means 85, an output part 8 6, fixed data holding means 87, comparison means 88, and a data derivation part 89A. Since the boundary scan controller 130 and the foregoing boundary scan controller 80 illustrated in Fig. 1 differ only in the configuration of the data derivation part 89A, the same reference numerals are assigned to the same parts, and a description is omitted. Hereinafter, the boundary scan controller 130 is simply referred to as "controller 130" in some cases.

The data derivation part 89A includes a tristate buffer 94, pull-up means 131 and a signal line TDO2. The tristate buffer 94 is interconnected with the comparison means 88 and a signal line TDO as the output part 86. If the comparison result information output from the comparison means 88 indicates matching between the identification data and fixed data, the tristate buffer 94 outputs the same data as the data output from the output part 86. The input terminal of the tristate buffer 94 is interconnected with the signal line TDO, and the output terminal thereof is interconnected with the signal line TDO2.

On the other hand, if the comparison result information which is output from the comparison means 88 indicates mismatching between the identification data and the fixed data, the tristate buffer 94 is prevented from outputting input data.

The pull-up means 131 is connected to the signal line TDO2 and a power source, and always provides

INTEL-1009
7,826,243

the signal line TDO2 with a weak current from a plus (+) side supply voltage so as to weakly pull up the signal line TDO2. Thus, even when the output of the tristate buffer 94 is prevented, the signal level of the signal line TDO2 is a predetermined signal level. The "predetermined signal level" is a high (H) level.

Furthermore, since the current which is fed from the pull-up means 131 to the signal line TDO2 is weak, the signal level of the signal line TDO2 becomes a low (L) level if a signal at level L has been provided from the tristate buffer 94 or any device outside a semiconductor circuit chip control device 81.

In order to achieve the weak pull-up means 131, when using a TTL (Transistor Transistor Logic) circuit for example, the means can be achieved by inserting a high resistance between the plus (+) side supply voltage (Vcc) and the output, and when using a CMOS (Contemporary Metal Oxide Semiconductor), the means can be achieved by inserting a P-channel transistor with a high drain source resistance between the plus (+) side supply voltage (Vdd) and the output with a gate voltage set such that the transistor may be in the ON state. The gate voltage may be fixed to a - side supply voltage.

In the event that the controller or the semiconductor circuit chip itself should be defective and outputs a signal with a minus (-) level from the signal line TDO2, the power source might short circuit and thus affect even the other stacked semiconductor circuit chips, but such a non-convormance can be prevented by weakly pulling up the signal line TDO2.

Moreover, as compared to the aforementioned controller 80, the controller 130 can simplify a circuit configuration, and can help to reduce the size.

The semiconductor circuit chip assembly including the controller 130 and a semiconductor device configured by stacking a plurality of such semiconductor circuit chip assemblies are respectively similar to the semiconductor circuit chip assembly 81 and the semiconductor device 82 previously described. Also, a method of setting the identification data is similar to the method in the case of the controller 80 of the foregoing embodiment.

Fig. 7 is a block diagram illustrating a boundary scan controller 140 in yet another embodiment of the present invention. The boundary scan controller 140 includes an input part 83, control means 84,

INTEL-1009
7,826,243

storage means 85, an output part 86, fixed data holding means 87, comparison means 88 and a data derivation part 89B. The boundary scan controller 140 and the aforementioned boundary scan controller 80 or 130 illustrated in Fig. 1 or Fig. 6 differ only in the configuration of the data derivation part 89B, so the same reference numerals are assigned to the same portions, and the descriptions thereof are omitted. Hereinafter, the boundary scan controller 140 is simply referred to as "controller 140" in some cases.

In the embodiment, the data derivation part 89E includes a tristate buffer 94, pull-up means 131 and a signal line TDO2. The pu11-up means 131 is connected to the storage means 85, the signal line TDO2, and a power source, and if the identification data is not stored in the storage means 85, the pull-up means always provides the signal line TDO2 with a weak current from a plus (+) side supply voltage so as to weakly pull up the signal line TD02. Thus, even when the output of the tristate buffer 94 is prohibited, the signal level of the signal line TDO2 becomes a predetermined signal level. The "predetermined signal level" is a high (H) level.

Furthermore, if the identification data is stored in the storage means 85, the pull-up means 131 prohibits pull-up of the signal line TDO2. Thus, if the signal level output from the tristate buffer 94 is an L level, the current which flows from the plus (+) side supply voltage to the signal line TD02 through the pull-up means 131 can be nullified, and dissipation power can be lowered.

In order to prohibit pull-up of the signal line TD02 by the pull-up means 131, when using a TTL circuit, for example, prohibiting can be performed by inserting a high resistance between the plus (+) side supply voltage (Vcc) and the output, and inserting a transistor between the supply voltage and the inserted high resistance. The transistor is achieved by, for example, a P-N-P transistor. If using a CMOS, the prohibiting can be performed by controlling the gate of a P-channel transistor with high resistance inserted between the plus (+) side supply voltage (Vdd) and the output.

A semiconductor circuit chip assembly including the controller 140 and a semiconductor device configured by stacking a plurality of these semiconductor circuit chip assemblies are respectively similar to the semiconductor circuit chip assembly 81 and the semiconductor device 82 described

INTEL-1009
7,826,243

above. Also, a method of setting the identification data is similar to the method for the case of the controller 80 of the foregoing embodiment.

Since the identification data of every semiconductor circuit chip is stored in the storage means 85 of the controller 80, 130 or 140 in each embodiment, the semiconductor circuit chips which are disposed in the semiconductor device 82 can be identified by the identification data.

According to a boundary scan controller in yet another embodiment of the present invention, a semiconductor circuit chip assembly including any of the boundary scan controllers 80, 130 and 140 may be provided with signal selection means 150 for selecting a signal line in accordance with identification data which is to be stored in the storage means 85.

Fig. 8 is a block diagram illustrating the signal selection means 150. A plurality of signal lines 151 for inputting signals from the exterior or outputting signals to the exterior are connected to the signal selection means 150. The signal selection means 150 connects the signal line 151 corresponding to the identification data among the plurality of signal lines 151, to an internal signal line 152. In the boundary scan controller 80, 130 or 140 described above, signal lines 151 are additionally formed in each semiconductor circuit chip assembly in the same number as the stacked semiconductor circuit chip assemblies, for example.

As illustrated in Fig. 1, Fig. 6 or Fig. 7, an identification data derivation line 153 for deriving the identification data stored in the storage means 85 is provided in the controller 80, 130 or 140 in order to input the identification data to the signal selection means 150. In the signal selection means 150, the corresponding signal line of the added signal lines 151 is selected, and thereby each individual semiconductor circuit chip can be instructed to operate.

For example, if the signal lines 151 are assumed to be chip selection signal (abbreviated as "CS") lines, chip selection signals can be independently provided to the respective semiconductor circuit chip assemblies, and identification of the stacked semiconductor circuit chips can be performed using the chip selection signals.

The semiconductor circuit chip provided with any of the aforementioned boundary scan controllers 80, 130 and 140, for example, a memory chip, and the semiconductor device is, for example, a memory module.

In yet another embodiment of the present invention, a memory chip assembly provided with any of

INTEL-1009
7,826,243

the boundary scan controllers 80, 130 and 140 in the memory chip may be provided with memory chip selection means 160 for selecting the memory chip.

Fig. 9 is a diagram illustrating the memory chip selection means 160 which is disposed in the memory chip assembly. The memory chip assembly includes additional address lines 161 which are formed in addition to the address line of the memory chip, a selection signal line 162 which inputs a selection signal for selecting the memory chip, and the memory chip selection means 160.

The memory chip assembly is formed with the additional address lines 161 in the same number as the number of stacked memory chips. Furthermore, the memory chip assembly is formed with the selection signal line 162.

The memory chip selection means 160 includes address comparison means 163 for comparing identification data stored in the storage means 85 and the addresses of the added address lines 161, and operation permission information output means 164 for outputting operation permission information on the basis of the comparison result information of the address comparison means 163 and the signal received from the selection signal line 162.

The address comparison means 163 is interconnected with the storage means 85 and the added address lines 161, and compares the identification data with the addresses of the added address lines 161. If the identification data matches the address of the address line 161, the address comparison means 163 outputs the comparison result information indicative of matching.

The operation permission information output means 164 receives the comparison result information from the comparison circuit 163, and outputs operation permission information for permitting the operation of the particular memory chip if the comparison result information indicates matching between the identification data and the address of the address line 161 and the selection signal for selecting the memory chip is input from the selection signal line 162.

In the manner, the identification data which is stored in the storage means 85 disposed in the memory chip assembly can be employed as an address. Accordingly, even in a case where the same selection signal is input from the selection signal line 162, the specific memory chip can be selected and operated because the respective stacked memory chips have different addresses. Consequently, it is possible to select and operate only the necessary memory chips.

INTEL-1009
7,826,243

In yet another embodiment of the present invention, a memory chip assembly provided with any of the boundary scan controllers 80, 130 and 140 in a memory chip may be provided with data line selection means 170 for selecting data lines.

Fig. 10 is a diagram illustrating the data line selection means 170 which is disposed in the memory chip assembly. The memory chip assembly includes additional data lines 172 which are formed in addition to the data lines of the memory chip and which are larger in number than the data lines, and the data line selection means 170 for selecting the additional data lines 172 and connecting the lines to the data lines 171 of the memory chip.

The data lines are input/output terminals, and whether the data lines are operating as outputs or inputs can be specified in accordance with an OE (output enable) terminal and the state of the RW (read/write designation) or the like. Therefore, data selectors for the inputs and data selectors for the outputs may be independently disposed, or if bi-directional data selectors are employed, even the input/output terminals can be achieved by the illustrated connections.

The memory chip assembly is formed with the additional data lines 172 which are larger in number than the data lines of the memory chip. The data line selection means 170 includes a plurality of data selectors 173. Identification data are input from the storage means 85 to the respective data selectors 173. Each of the data selectors 173 is connected to the plurality of additional data lines 172, and one data line 171 of the memory chip. Any of the additional data lines 172 can be selected based on the identification data in order to be connected to the data line 171 of the memory chip.

In the manner, the additional data lines 172 can be selected by the identification data. Therefore, for example, a memory module in which four memory chips each corresponding to an 8-bit bus are stacked can be used as a memory corresponding to a 32-bit bus. That is, inputs from the 32-bit bus can be selected by the identification data and distributed to the four stacked memory chips. Accordingly, a memory module of large capacity can be easily configured in a small space by stacking a plurality of memory chips.

Further, in yet another embodiment of the present invention, address lines and data lines may be added to a memory chip assembly so as to configure the memory chip selection means 160

INTEL-1009
7,826,243

illustrated in Fig. 9 and the data line selection means 170 illustrated in Fig. 10, in combination.

The present invention may be embodied in other specific forms without departing from the spirit or essential characteristics thereof. The present embodiments are therefore to be considered in all .respects as illustrative and not restrictive, the scope of the present invention being indicated by the appended claims rather than by the foregoing description and all changes which come within the meaning and the range of equivalency of the claims are therefore intended to be embraced therein.

[Industrial Applicability]

As described above, with the present invention, data to be output from a data derivation part can be made different between a case where fixed data held in fixed data holding means and identification data stored in storage means match and a case where they do not match.

A boundary scan test is performed for a daisy chain in which a plurality of boundary scan controllers are connected. With the boundary scan controllers of the present invention, the identification data of a semiconductor circuit chip at the uppermost stage is held as the fixed data in the fixed data holding means, whereby the data to be output from the data derivation part, in only the boundary scan controller at the uppermost stage, can be made different from the data to be output from the other data derivation parts.

Accordingly, the output part of the boundary scan controllers disposed in the semiconductor circuit chip of the uppermost stage is brought into a non-connected state, and thereby the data derivation parts of the individual boundary scan controllers can be connected to an identical bus line. That is, among the data derivation parts connected to the identical bus line, the data derivation parts of the boundary scan controllers disposed in semiconductor circuit chips except at the uppermost stage can be brought into a disconnected state from the bus line. Thus, a semiconductor device can be configured by stacking the same semiconductor circuit chip assemblies each of which includes the boundary scan controller.

Furthermore, with the present invention, if identification data is stored in storage means and the comparison information indicates matching between the identification data and fixed data, a data derivation part outputs the same data as test result data output from an output part. Accordingly, the detailed test result data can be obtained from the data derivation part, and the specific location of a defective connection can be determined.

Furthermore, with the present invention, if identification data is not stored in the storage means, a data derivation part maintains output at a predetermined signal level. The "predetermined signal level" refers to, for example, a state of H level. Thus, even when the output side of the data derivation part is connected to a circuit, the data derivation part can be essentially be brought into a disconnected state from the circuit.

INTEL-1009
7,826,243

Furthermore, with the present invention, semiconductor circuit chip assemblies can be formed by the same wafer process, and therefore labor for forming the semiconductor circuit chip assemblies can be reduced. Moreover, when forming a semiconductor device, identical semiconductor circuit chip assemblies are stacked, and therefore the stacking order and the like do not need to be considered, forming the device is simplified, and the manufacturing cost is lowered.

Furthermore, with the present invention, even if a selection signal for selecting a memory chip is input, the operation of the memory chip is not permitted by permission means unless data corresponding to additional address lines matches identification data stored in the storage means. Accordingly, even when the same selection signals are input, the permission means can permit only the operation of one memory chip, and hence, each of the stacked memory chips can be operated.

Furthermore, with the present invention, selection means selects additional data lines in accordance with identification data stored in the storage means and connects the selected additional data lines to the data lines of a memory chip, and therefore the additional data lines can be allocated to each of the stacked memory chips. Accordingly, each memory chip can be operated by connecting to bus lines which are larger in number than the bus lines corresponding to one memory chip. Thus, a large capacity memory module can be configured by stacking memory chip assemblies without increasing the types of memory chips.

Furthermore, with the present invention, respective semiconductor circuit chips can be individually recognized by identification data stored in the storage means. Accordingly, the semiconductor circuit chips can be individually managed by using the identification data.

Furthermore, with the present invention, a semiconductor circuit chip selected based on the

INTEL-1009
7,826,243

identification data stored in the storage means is operated such that stacked semiconductor circuit chips can be individually operated.

INTEL-1009
7,826,243

CLAIMS

1. A boundary scan controller which is disposed in a semiconductor circuit chip, for controlling a shift register circuit composed of boundary scan cells respectively disposed between external signal input terminals and input terminals of an internal logic circuit and between external signal output terminals and output terminals of the internal logic circuit which are connected in series, comprising:

a clock input part for providing input/output timings; a test mode input part for providing the predetermined operation instruction; a data input part for inputting the identification data and test data of the semiconductor circuit chip;

storage means for storing identification data;

control means for executing the predetermined operation instruction so as to store the identification data in the storage means, and for performing a circuit test with the test data so as to obtain test result data;

a data output part for outputting the test result data obtained by the control means;

fixed data holding means for holding predetermined fixed data therein;

comparison means for making a comparison as to whether or not the identification data and the fixed data match, and outputting comparison result information; and

a data derivation part for deriving data corresponding to the test result data output from the output part, on the basis of the comparison result information from the comparison means.

2. The boundary scan controller according to Claim 1, wherein if the identification data is stored in the storage means and the comparison information output from the comparison means indicates matching between the identification data and the fixed data, the data derivation part outputs the same data as the test result data which is output from the data output part.

3. The boundary scan controller according to Claim 1 or 2, wherein if the identification data is not stored in the storage means, the data derivation part outputs data indicating that the identification data is not stored.

4. The boundary scan controller according to Claim 1 or 2, wherein if the identification data is not stored in the storage means, the data derivation part

INTEL-1009
7,826,243

maintains the output at a predetermined fixed signal level.

5. The boundary scan controller according to any one of claims 1 to 3, wherein if the identification data is stored in the storage means and the comparison information output by the comparison means indicates that the identification data and the fixed data do not match, the data derivation part maintains the output as a predetermined constant signal level.

6. A semiconductor device comprising a stack of semiconductor circuit chip assemblies, the semiconductor circuit chip assemblies configured by disposing a boundary scan controller according to any one of Claims 1 to 5 in a semiconductor circuit chip.

7. The semiconductor device according to Claim 6, wherein the semiconductor circuit chip is a memory chip, and

the memory chip assembly includes:

additional address lines which are formed in addition to address lines of the memory chip;

a selection signal line for inputting a selection signal for selecting the memory chip; and

permission means for permitting an operation of the memory chip if data corresponding to the additional address lines of the memory chip and the identification data stored in the storage means are matching and the selection signal is input.

8. The semiconductor device according to Claim 6 or 7, wherein the semiconductor circuit chip is a memory chip, and

the memory chip assembly includes:

additional data lines which are formed in addition to data lines of the memory chip, and which are larger in number than the data lines; and

selection means for selecting the additional data lines and connecting the additional data lines to the data lines of the memory chip, in accordance with the identification data stored in the storage means.

9. A semiconductor circuit chip identification method for the semiconductor device according to Claim 7, wherein the respective semiconductor circuit chips are identified by the identification data stored in the storage means.

10. A semiconductor circuit chip control method for the semiconductor device according to Claim 7, where the semiconductor circuit chips which have been selected on the basis of the identification data stored in the storage means are operated.

INTEL-1009
7,826,243

Amended Claims

[July 28, 2004 (28.07.2004) International Bureau Acceptance: Claims 1, 2 and 5 of the initial application were amended; the other claims have not changed. (3 pages)]

CLAIMS

1. (Amended) A boundary scan controller which is disposed in a semiconductor circuit chip, for controlling a shift register circuit composed of boundary scan cells respectively disposed between external signal input terminals and input terminals of an internal logic circuit and between external signal output terminals and output terminals of the internal logic circuit which are connected in series, comprising:

a clock input part for providing input/output timings; a test mode input part for providing the predetermined operation instruction; a data input part for inputting the identification data and test data of the semiconductor circuit chip;

storage means for storing identification data;

control means for executing the predetermined operation instruction so as to store the identification data in the storage means, and for performing a circuit test with the test data so as to obtain test result data;

a data output part that always outputs, for outputting the test result data obtained by the control means;

fixed data holding means for holding predetermined fixed data therein;

comparison means for making a comparison as to whether or not the identification data and the fixed data match, and outputting comparison result information; and

a data derivation part for deriving data corresponding to the test result data output from the output part, on the basis of the comparison result information from the comparison means.

2. (Amended) The boundary scan controller according to Claim 1, wherein if the identification data is stored in the storage means and the comparison result information output from the comparison means indicates matching between the identification data and the fixed data, the data derivation part outputs the same data as the test result data which is output from the data output part.

3. The boundary scan controller according to Claim 1 or 2, wherein if the identification data is not stored in the storage means, the data derivation part outputs data indicating that the identification data is not stored.

4. The boundary scan controller according to Claim 1 or 2, wherein if the identification data is

INTEL-1009
7,826,243

not stored in the storage means, the data derivation part maintains the output at a predetermined

INTEL-1009
7,826,243

fixed signal level.

5. (Amended) The boundary scan controller according to any one of claims 1 to 3, wherein if the identification data is stored in the storage means and the comparison result information output by the comparison means indicates that the identification data and the fixed data do not match, the data derivation part maintains the output as a predetermined constant signal level.

6. A semiconductor device comprising a stack of semiconductor circuit chip assemblies, the semiconductor circuit chip assemblies configured by disposing a boundary scan controller according to any one of Claims 1 to 5 in a semiconductor circuit chip.

7. The semiconductor device according to Claim 6, wherein the semiconductor circuit chip is a memory chip, and

the memory chip assembly includes:

additional address lines which are formed in addition to address lines of the memory chip;

a selection signal line for inputting a selection signal for selecting the memory chip; and

permission means for permitting an operation of the memory chip if data corresponding to the additional address lines of the memory chip and the identification data stored in the storage means are matching and the selection signal is input.

8. The semiconductor device according to Claim 6 or 7, wherein the semiconductor circuit chip is a memory chip, and

the memory chip assembly includes:

additional data lines which are formed in addition to data lines of the memory chip, and which are larger in number than the data lines; and

selection means for selecting the additional data lines and connecting the additional data lines to the data lines of the memory chip, in accordance with the identification data stored in the storage means.

9. A semiconductor circuit chip identification method for the semiconductor device according to Claim 7, wherein the respective semiconductor circuit chips are identified by the identification data stored in the storage means.

10. A semiconductor circuit chip control method for the semiconductor device according to Claim 7, where the semiconductor circuit chips which have been selected on the basis of the identification data stored in the storage means are operated.

INTEL-1009
7,826,243

Description based on Article 19 (1)

Claim 1, Claim 2, and Claim 5 as initially filed have been amended.

Amended Claim 1 was clarified to show that the data output part "always outputs". In Amended Claim 2 and Claim 5, "comparison information" was corrected to "comparison result information".

The invention according to amended Claim 1 (hereinafter referred to as the present invention) is for resolving a situation where the electrode location is not free when making a three dimensional multilayer module using identical chips.

Document 1 discloses that one chip of the chips that make the multilayer module has a full set of boundary scan controllers and logic that distributes a signal , and the other chips have a subset of boundary scan controllers that function according to the distributed signal. In other words, Document 1 has a different configuration for each of the stacked chips.

Document 2 discloses a test circuit where the scan input data and the scan output data are bus connected, and instead, a scan address/data selection destination is added in the scan path test. The scan input data , and the scan output data are bus connected, and a circuit is provided for determining whether or not to output the scan results as scan output data based on whether the address information held in the test circuit matches or does not match a provided address. However, in Document 2, the scan input data and the scan output data are bus connected, so there is a need to add a scan address/data selection line, and one or more test lines are redundant when compared to the so-called boundary scan test line disclosed in the present invention.

Document 3 discloses that a boundary scan circuit is formed with a thin film transistor over an insulating layer provided on a semiconductor substrate, and Fig. 9 discloses a test pad when a plurality of chips are used by stacking. However, there is no disclosure related to a connection method with identical chips and identical electrode locations as with the present invention.

Even if the aforementioned Documents 1 to 3 are combined in this manner, there is no disclosure nor suggestion of the technical concepts of the present invention, and the invention would not be obvious to a person of ordinary skill in the art.

The features of Claims 2 to 10 are also not disclosed in Documents 1 to 3.

END

INTEL-1009
7,826,243

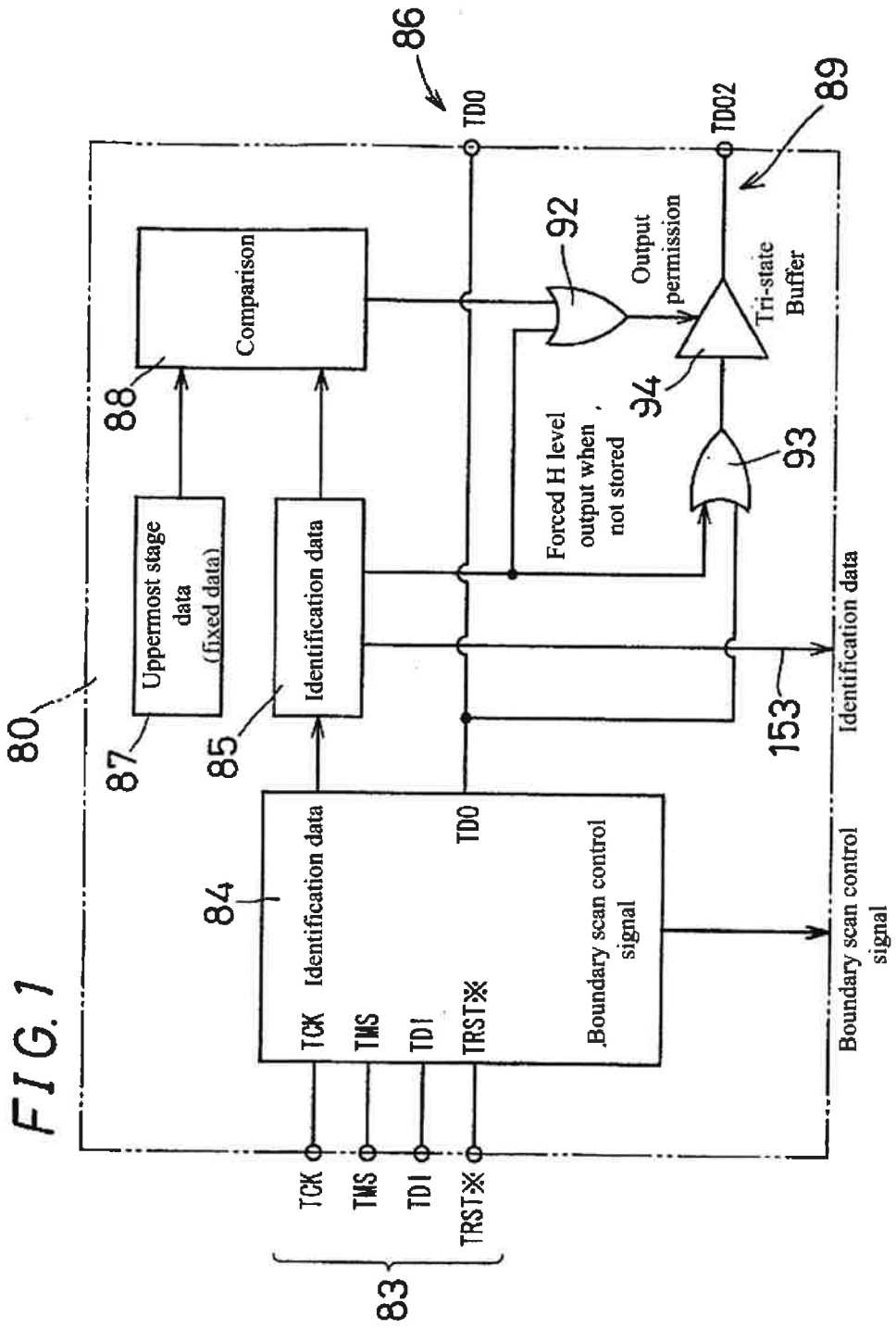
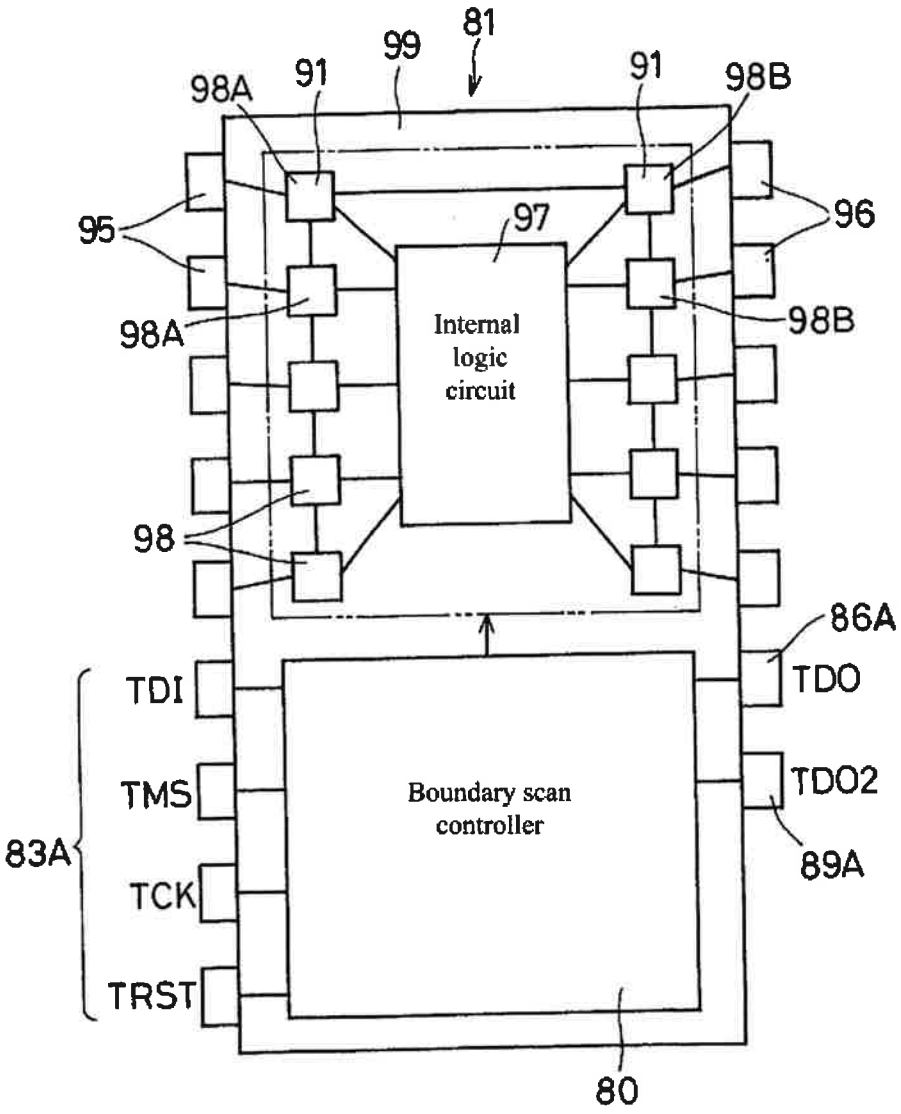


FIG. 1

INTEL-1009
7,826,243

FIG. 2



INTEL-1009
7,826,243

FIG. 3

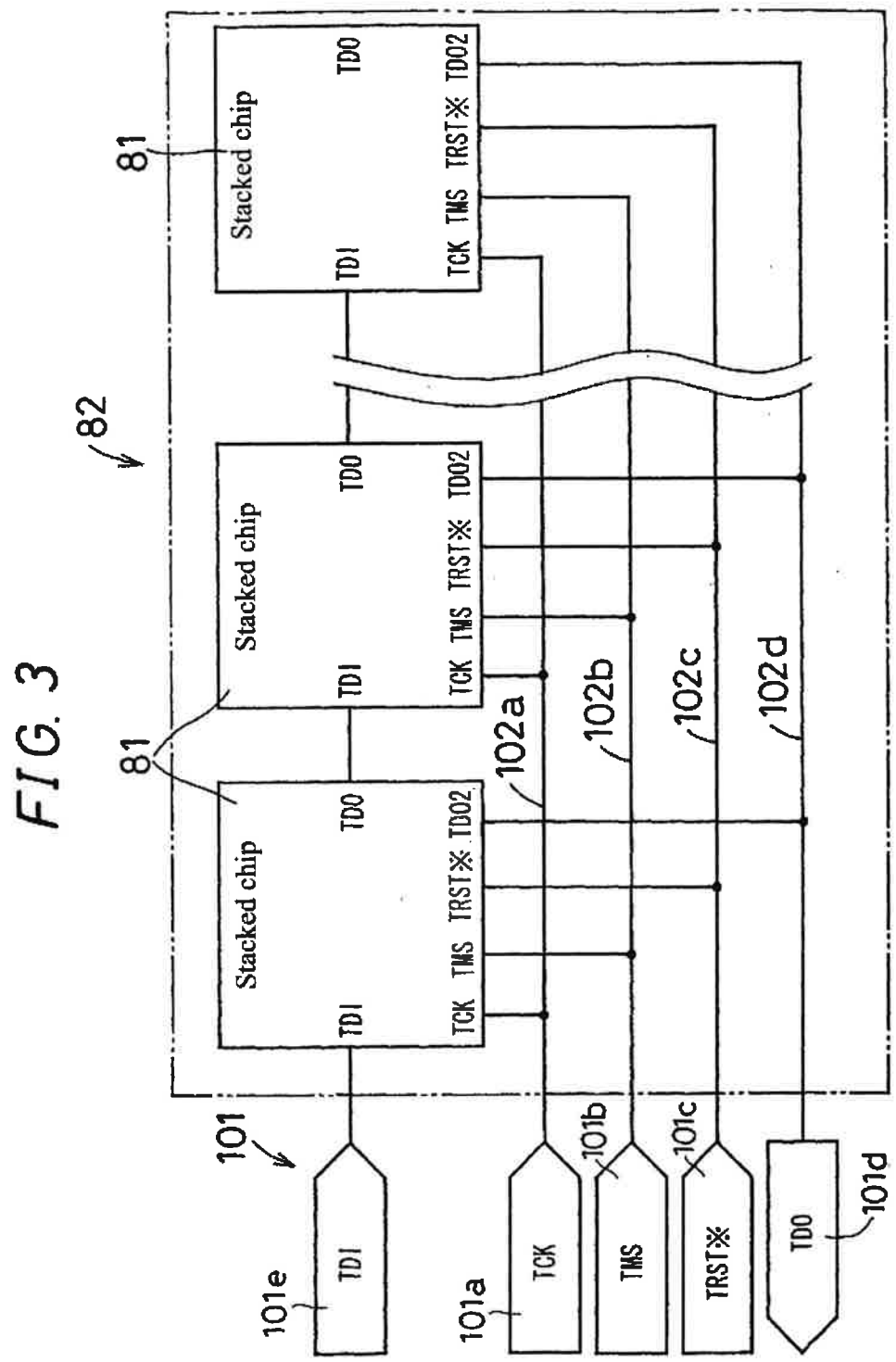
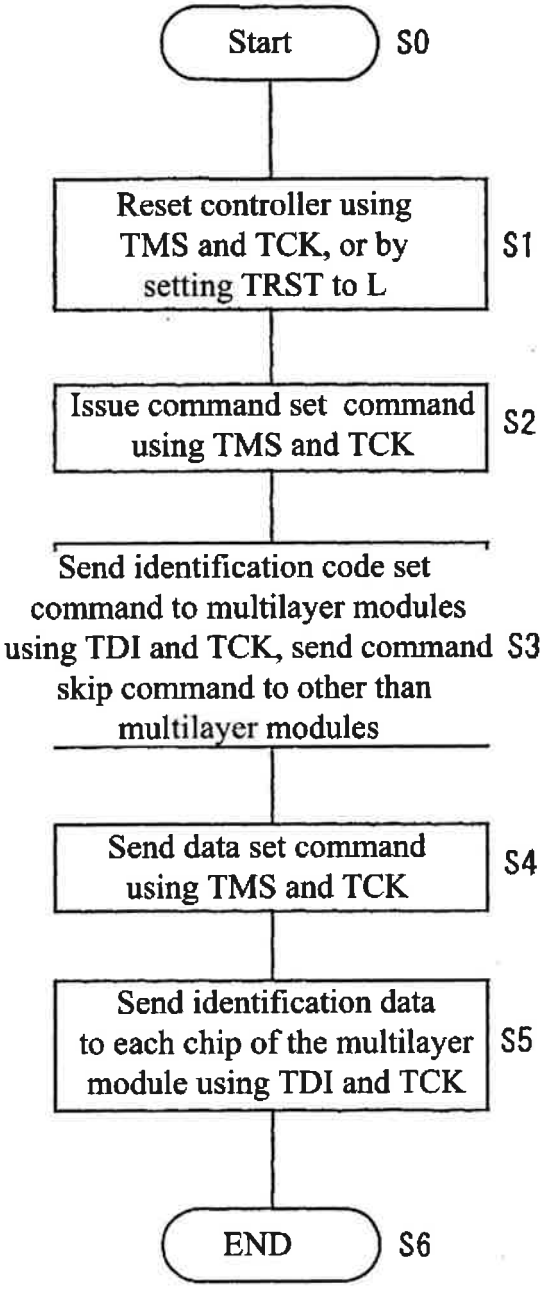
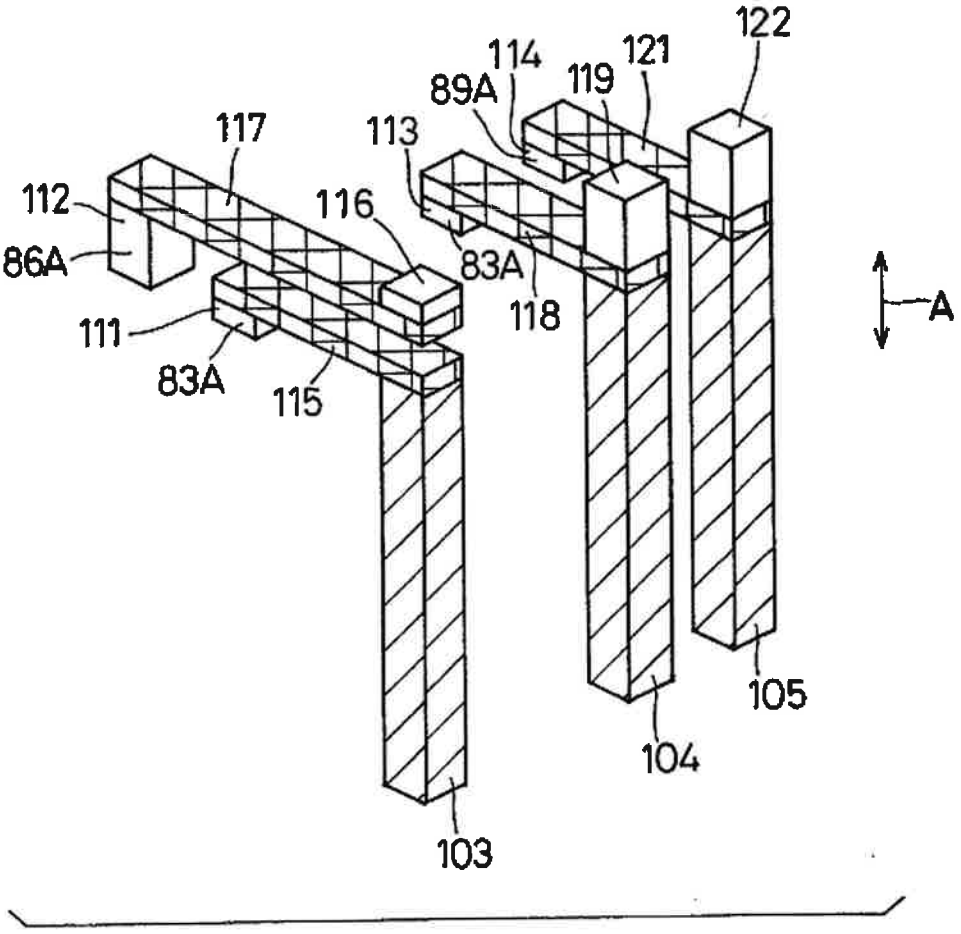

82
81
81
Stacked chip
Stacked chip
Stacked chip
TDO
TDI
TCK
TMS
TRST※
TDO2
102a
102b
102c
102d
101
101e
101a
101b
101c
101d
TDI
TCK
TMS
TRST※
TDO

FIG. 4



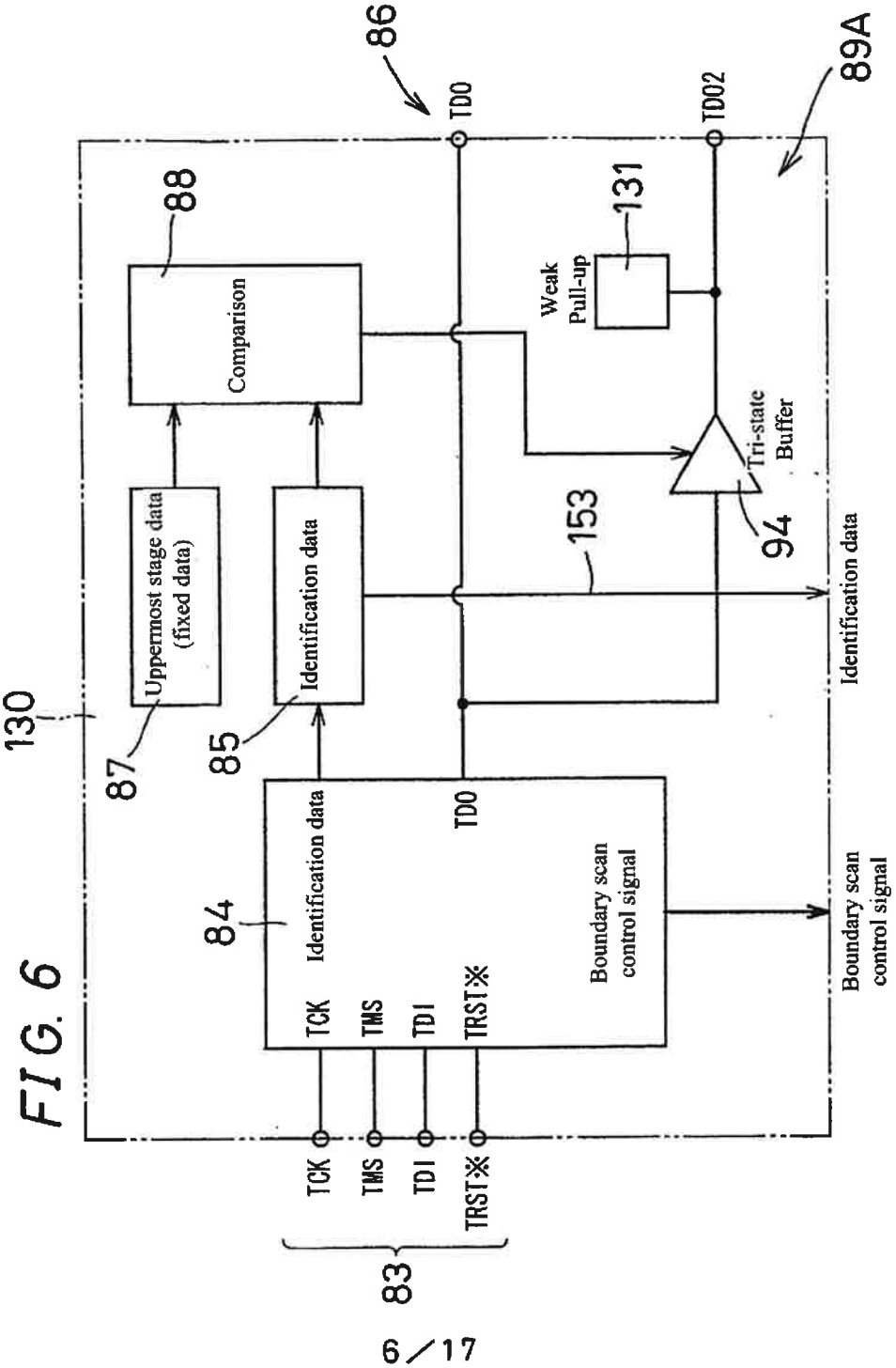
INTEL-1009
7,826,243

FIG. 5



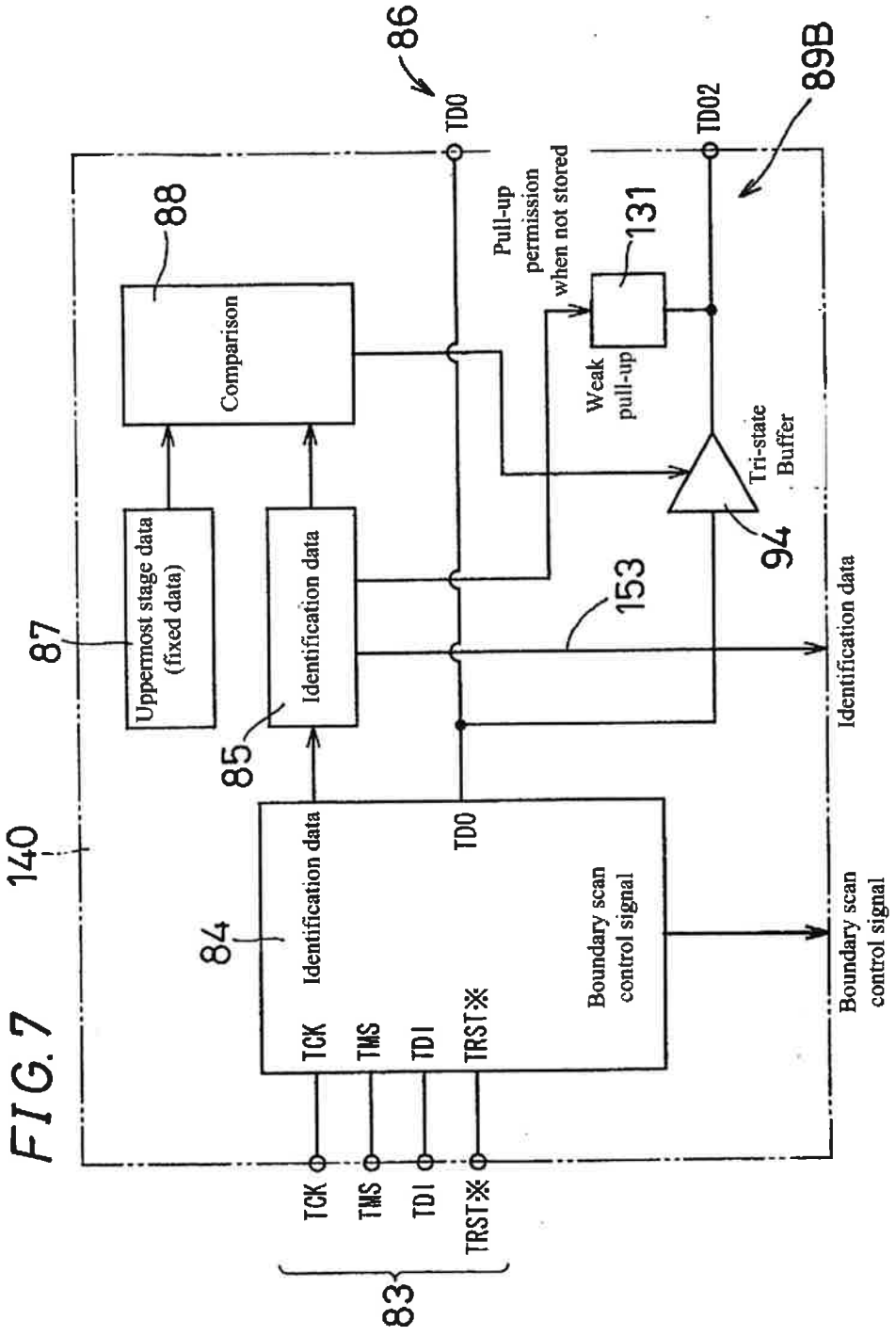
INTEL-1009
7,826,243

FIG. 6



INTEL-1009
7,826,243

FIG. 7



INTEL-1009
7,826,243

FIG. 8

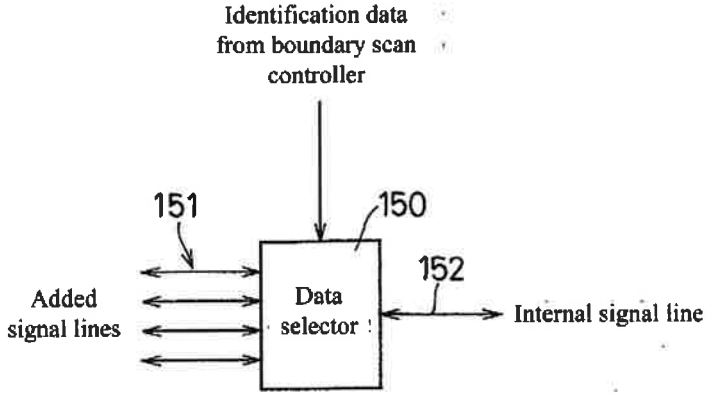
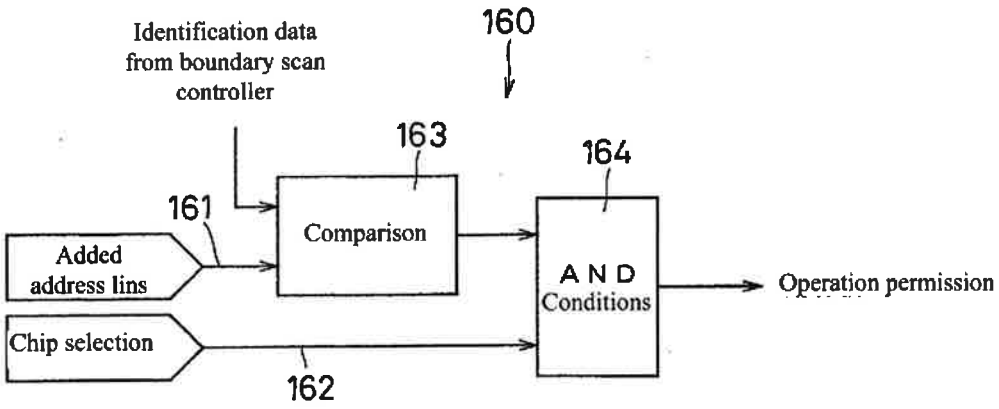
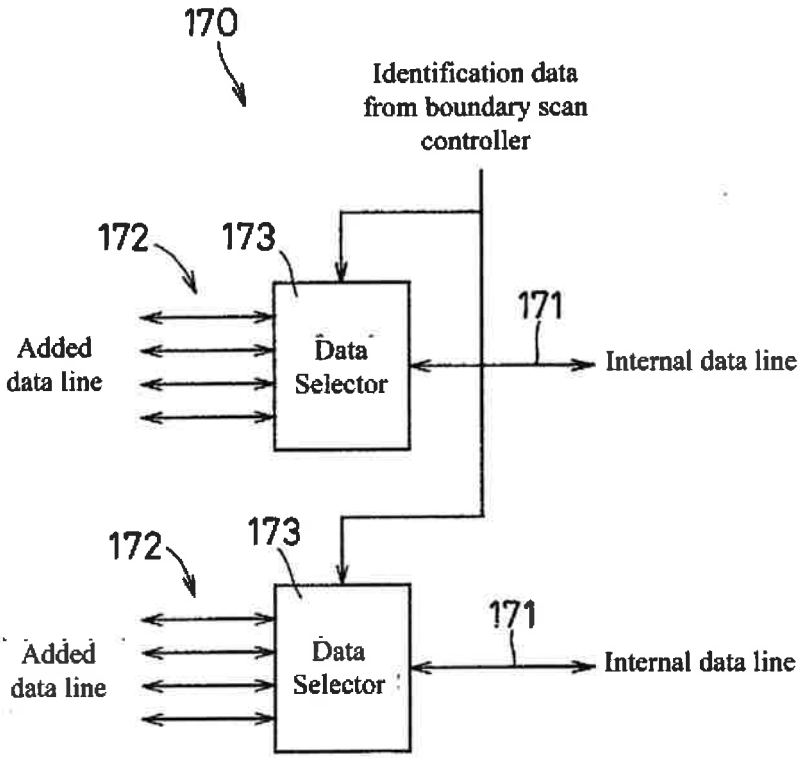


FIG. 9



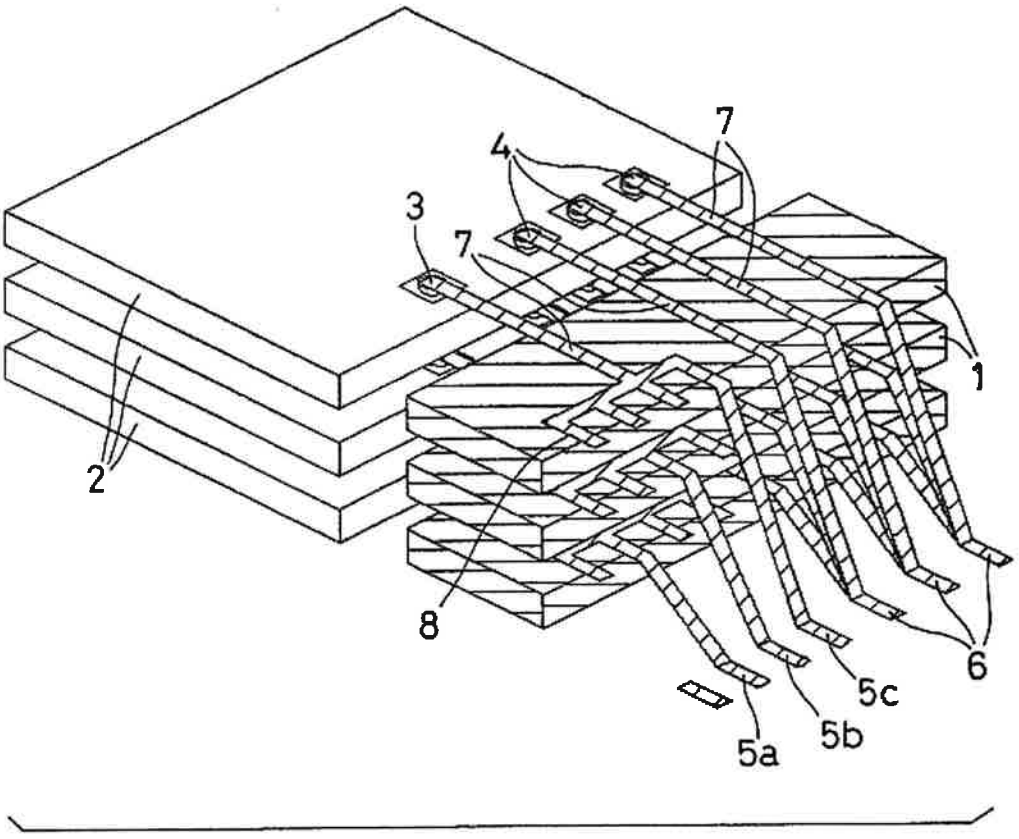
INTEL-1009
7,826,243

FIG. 10



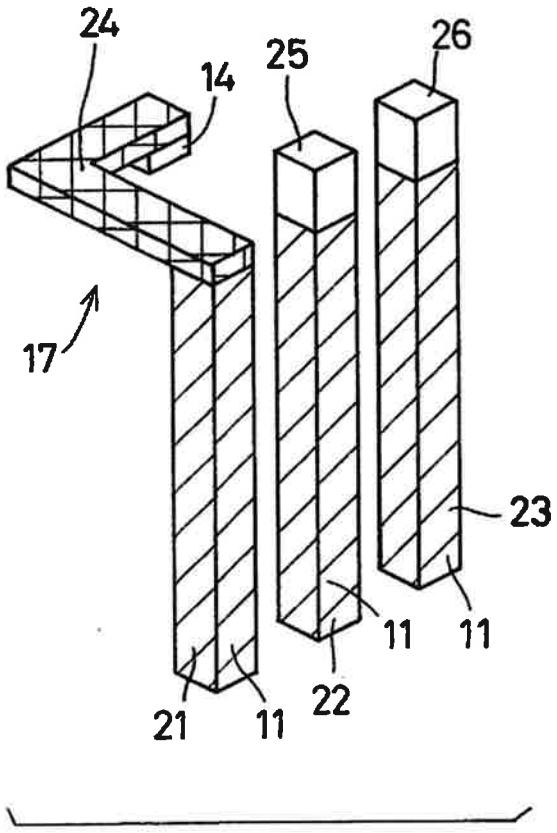
INTEL-1009
7,826,243

FIG. 11



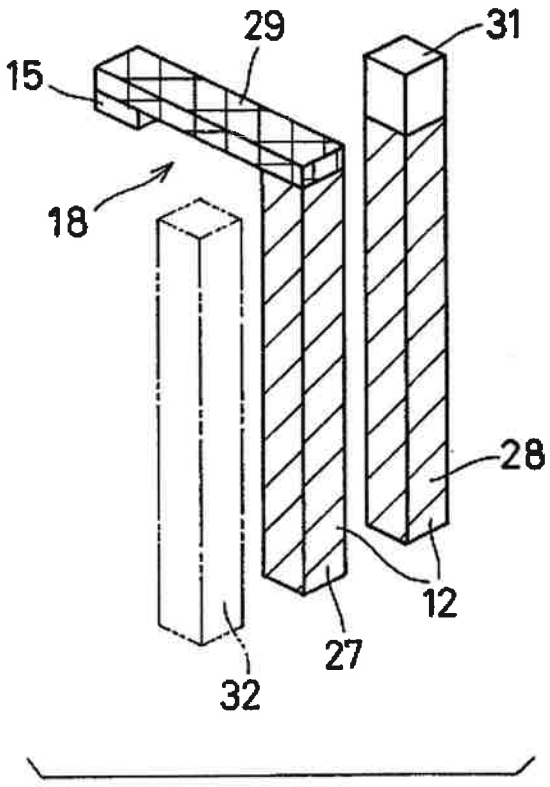
INTEL-1009
7,826,243

FIG. 12



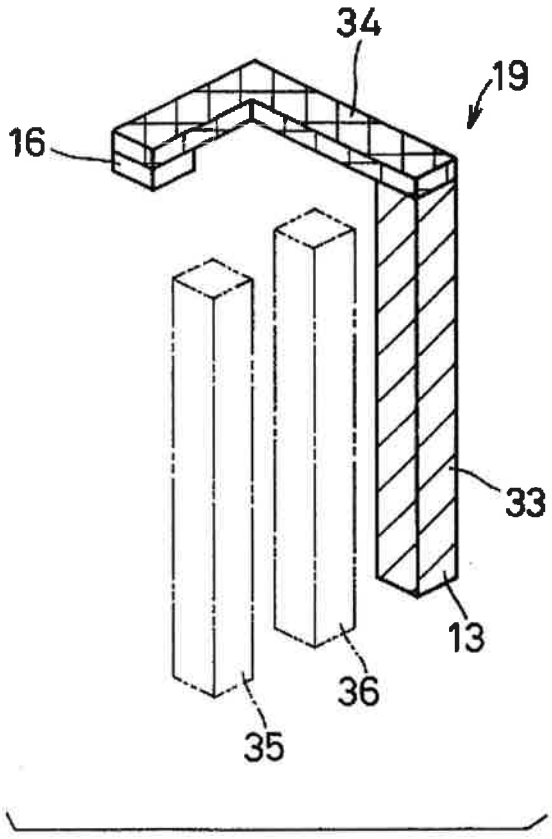
INTEL-1009
7,826,243

FIG. 13



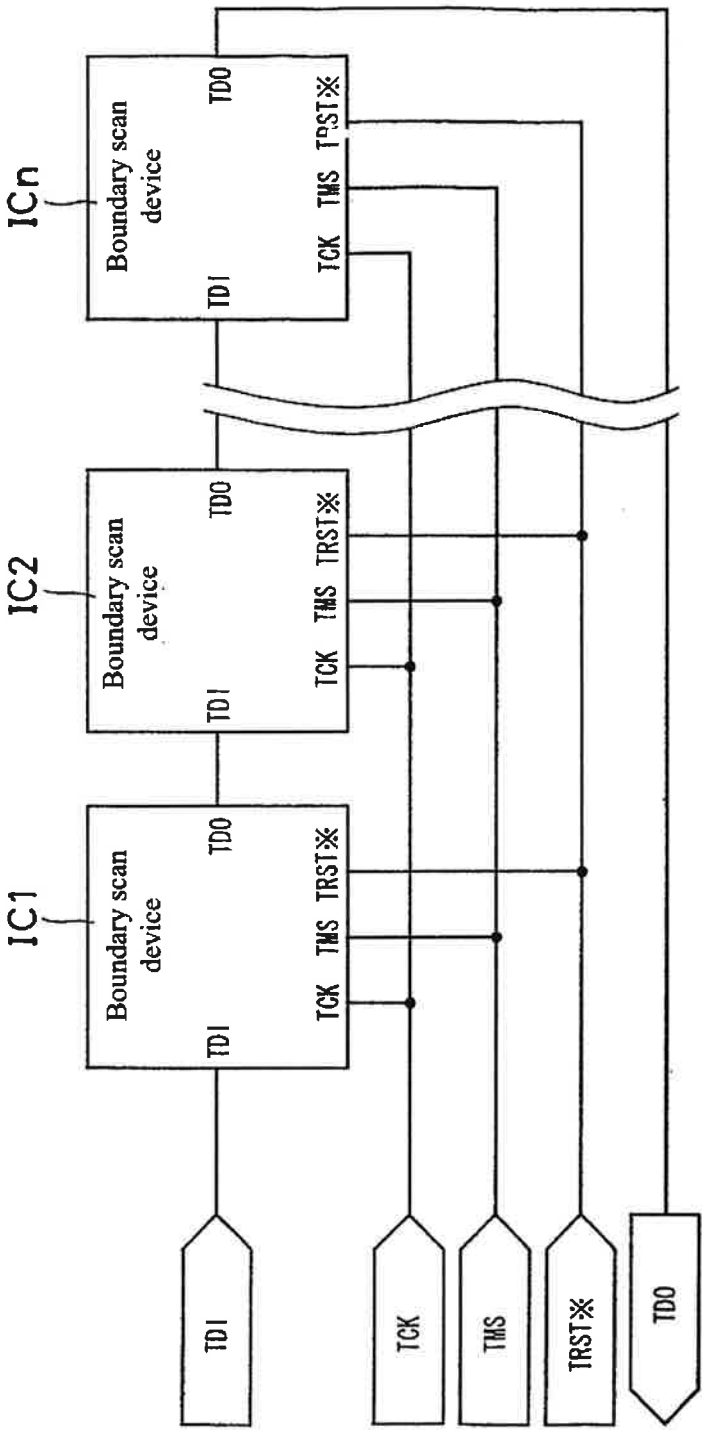
INTEL-1009
7,826,243

FIG. 14



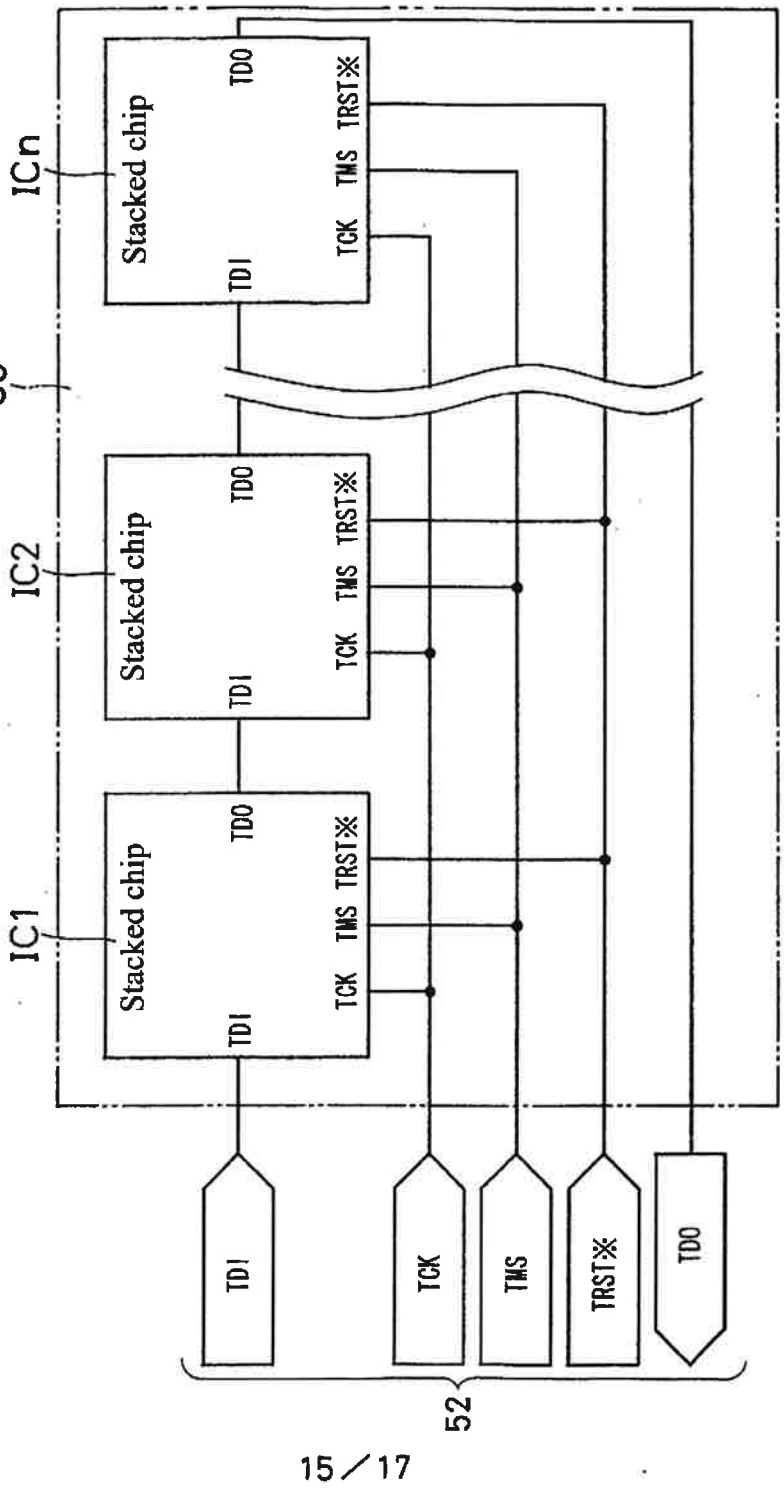
INTEL-1009
7,826,243

FIG. 15



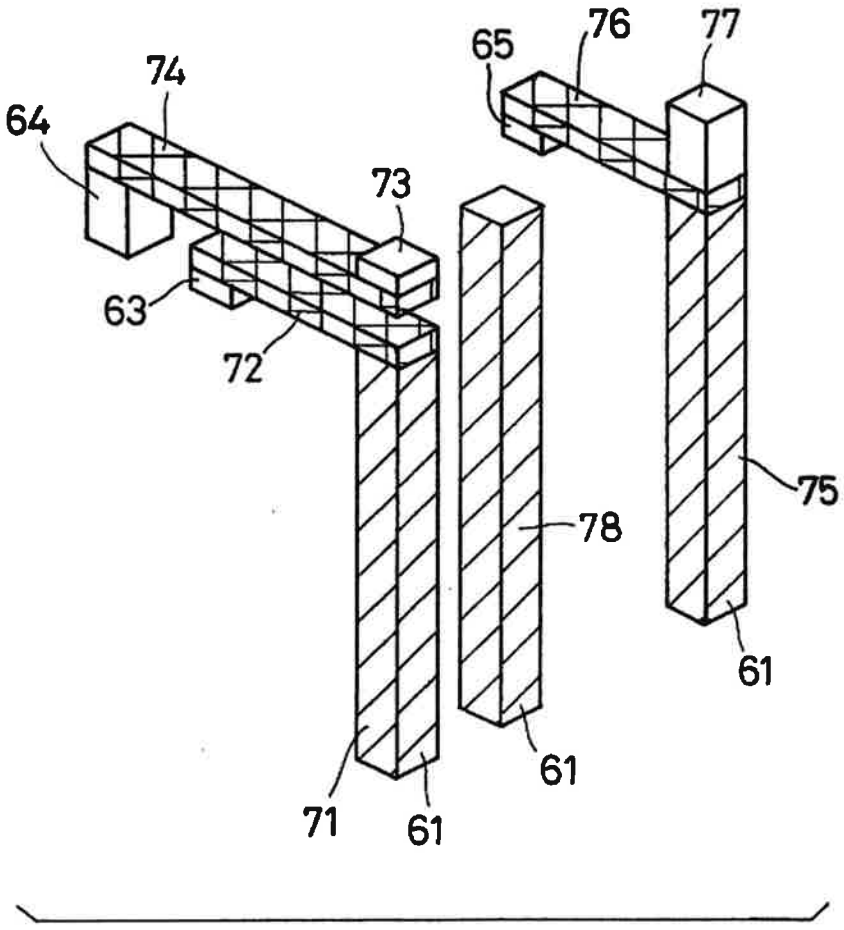
INTEL-1009
7,826,243

FIG. 16



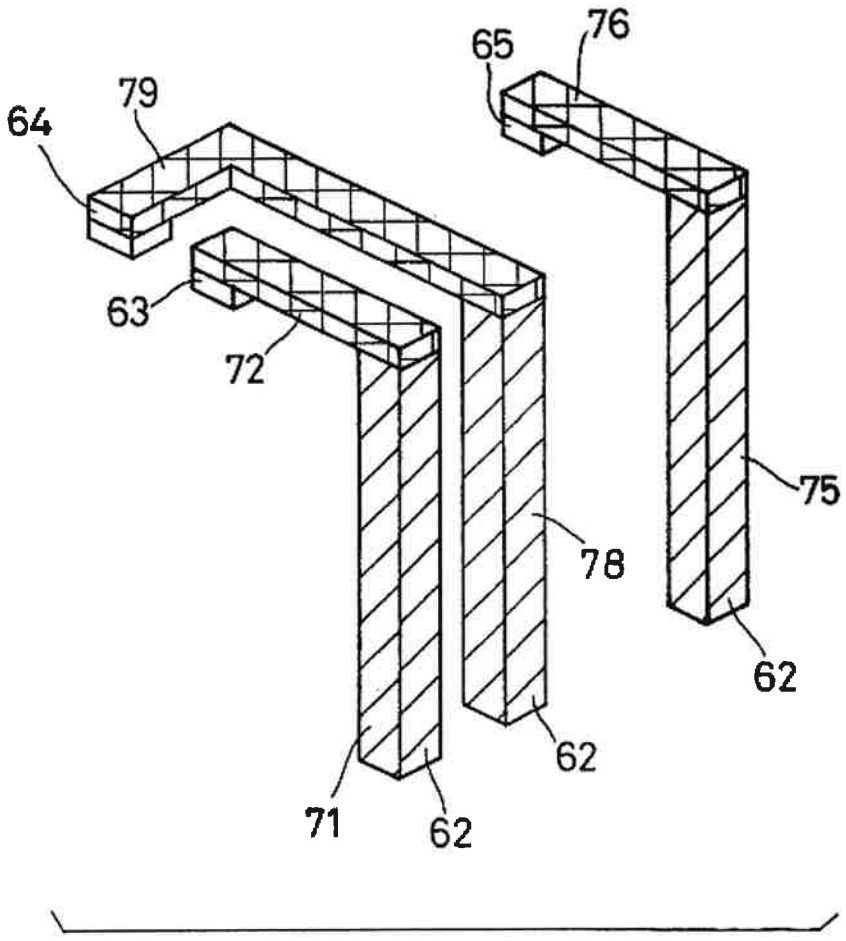
INTEL-1009
7,826,243

FIG. 17



INTEL-1009
7,826,243

FIG. 18



INTEL-1009
7,826,243

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/001430

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G01R31/28-3193, G06F11/22-26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-135786 A (Sharp Corp.), 18 May, 2001 (18.05.01), Par. Nos. [0006] to [0012]; Figs. 6, 7 & EP 1099953 A2 Par. Nos. [0006] to [0012]; Figs. 6, 7	1,2,5 3,4,6-10
Y A	JP 61-155874 A (Toshiba Corp.), 15 July, 1986 (15.07.86), Full text; all drawings (Family: none)	1,2,5 3,4,6-10
A	JP 2003-014819 A (Matsushita Electric Industrial Co., Ltd.), 15 January, 2003 (15.01.03), Par. Nos. [0058] to [0079]; Fig. 9 & US 2003/0025191 A1 Par. Nos. [0090] to [0116]; Fig. 9	6-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 May, 2004 (20.05.04)	08 June, 2004 (08.06.04)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/001430

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G01R31/28-3193, G06F11/22-26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-135786 A (Sharp Corp.), 18 May, 2001 (18.05.01), Par. Nos. [0006] to [0012]; Figs. 6, 7 & EP 1099953 A2 Par. Nos. [0006] to [0012]; Figs. 6, 7	1,2,5 3,4,6-10
Y A	JP 61-155874 A (Toshiba Corp.), 15 July, 1986 (15.07.86), Full text; all drawings (Family: none)	1,2,5 3,4,6-10
A	JP 2003-014819 A (Matsushita Electric Industrial Co., Ltd.), 15 January, 2003 (15.01.03), Par. Nos. [0058] to [0079]; Fig. 9 & US 2003/0025191 A1 Par. Nos. [0090] to [0116]; Fig. 9	6-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 May, 2004 (20.05.04)	08 June, 2004 (08.06.04)

Name and Address of International Searching Authority	JPO Examiner (authorized official) 2S 3005
Japan Patent Office (ISA/JP) 4-3, Kasumigaseki 3-chome, Chiyoda-ku, Tokyo 100-8915	Keishi Hori Telephone: 03-3581 - 1101 ext. 3258

Form PCT/ISA/210 (second sheet) (January 2004)

INTEL-1009
7,826,243

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2004 年8 月26 日 (26.08.2004)

PCT

(10) 国際公開番号
WO 2004/072667 A1

(51) 国際特許分類[7]: G01R 31/28

(21) 国際出願番号: PCT/JP2004/001430

(22) 国際出願日: 2004 年2 月10 日 (10.02.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-033995 2003 年2 月12 日 (12.02.2003) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 佐藤 知稔 (SATO, Tomotoshi) [JP/JP]; 〒5180435 三重県名張市つつじヶ丘北５－１４７ Mie (JP).

(74) 代理人: 西教 圭一郎, 外(SAIKYO, Keiichiro et al.); 〒5410051 大阪府大阪市中央区備後町３丁目２番６号 敷島ビル Osaka (JP).

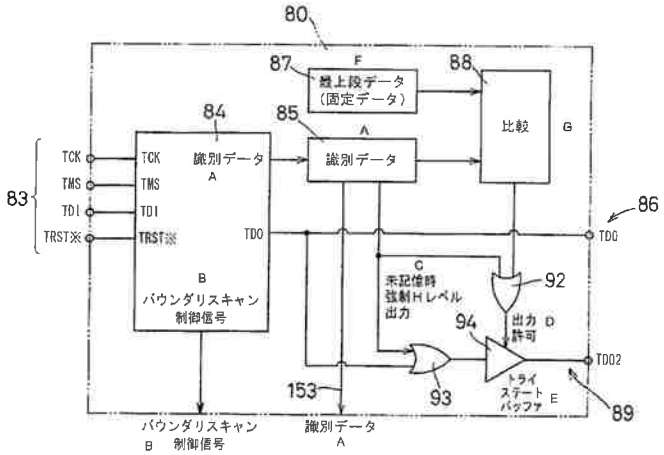
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

[続葉有]

(54) Title: BOUNDARY SCAN CONTROLLER, SEMICONDUCTOR DEVICE, METHOD FOR IDENTIFYING SEMICONDUCTOR CIRCUIT CHIP OF SEMICONDUCTOR DEVICE, AND METHOD FOR CONTROLLING SEMICONDUCTOR CIRCUIT CHIP OF SEMICONDUCTOR DEVICE

(54) 発明の名称: バウンダリスキャンコントローラ、半導体装置、半導体装置の半導体回路チップ識別方法、半導体装置の半導体回路チップ制御方法



A...IDENTIFICATION DATA
B...BOUNDARY SCAN CONTROL SIGNAL
C...FORCED H-LEVEL OUTPUT WHEN RECORDING HAS NOT BEEN DONE
D...OUTPUT PERMISSION
E...TRY STATE BUFFER
F...TOP-STAGE DATA (FIXED DATA)
G...COMPARISON

(57) Abstract: A boundary scan controller that allows a boundary scan to be executed and also allows a semiconductor device to be manufactured in such a manner that the same type of semiconductor circuit chips are stacked. Comparison means (88) is used to compare identification data stored in memory means (85) with fixed data held in fixed-data holding means (87). When the identification data is coincident

[続葉有]

WO 2004/072667 A1

INTEL-1009
7,826,243

SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書
— 補正書・説明書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

with the fixed data, a data deriving part (89) outputs the same data as an output part (86) does. In a boundary scan test, a data deriving part (89) of a boundary controller (80) provided for each semiconductor circuit chip is connected to the same bus line. When the identification data is not coincident with the fixed data, the data deriving part (89) can be substantially disconnected from the bus line. In this way, the same type of semiconductor circuit chips for which the boundary controller (80) is provided can be stacked, thereby manufacturing the semiconductor device.

(57) 要約: 本発明の目的は、バウンダリスキャンを実施することができ、かつ同種の半導体回路チップを積層して半導体装置を構成することができるバウンダリスキャンコントローラを提供することである。記憶手段８５に記憶される識別データと、固定データ保持手段８７に保持される固定データとを比較手段８８によって比較し、これらの識別データおよび固定データとが一致するときにデータ導出部８９から、出力部８６から出力されるデータと同一のデータが出力される。バウンダリスキャンテストでは、半導体回路チップに設けられるバウンダリコントローラ８０のデータ導出部８９を同一のバスラインに接続する。識別データと固定データとが一致しない場合には、データ導出部８９は、実質上、バスラインに接続していない状態とすることができる。これによって、バウンダリコントローラ８０が設けられる同種の半導体回路チップを積層して、半導体装置を構成することができる。

INTEL-1009
7,826,243

明　細　書

バウンダリスキャンコントローラ、半導体装置、半導体装置の半導体回路チップ識別方法、半導体装置の半導体回路チップ制御方法

【技術分野】

本発明は、たとえば３次元積層ＬＳＩ（Large Scale Integration）などの半導体装置を構成する複数の半導体回路チップの入出力端子の接続状態を検査するためのバウンダリスキャンコントローラに関する。

【背景技術】

大規模集積回路（Large Scale Integration；略称ＬＳＩ）などの半導体回路チップの高密度実装に対する要求が高まるなか、半導体回路チップを縦方向、つまり基板の厚み方向に積層して実装密度を上げることが提案されている。

高密度実装を実現するため、テープキャリアパッケージによって積層される半導体回路チップをそれぞれ回路基板に接続する半導体装置がある。このような半導体装置では、テープキャリアに個々のチップを識別できるように識別信号線を備える。以後、半導体回路チップを単にチップと記載する場合がある。

図１１は、テープキャリア１を用いてチップ２を積層した半導体装置を示す斜視図であり、図１１ではチップ２を３つ積層したものを示す。各チップ２は、個々のチップ２の動作を選択するためのチップ選択信号が入力される第１のチップ側端子３と、その他の信号が入出力される第２の端子４とを有する。また回路基板には、各チップ２に独立してチップ選択信号を与えるための第１の回路基板側の端子５ａ～５ｂと、その他の信号を与え、受取る第２の回路基板側の端子６とを有する。

テープキャリア１は、第１および第２のチップ側端子３，４と第１および第２の回路基板側端子５，６とそれぞれ接続する配線７を有する。テープキャリア１は、チップ２とは別に設けられ、チップ１と同様に積層されて形成される。図１１においてテープキャリア１は、斜線で示される部分である。

このような半導体装置では、配線７の第１の回路基板側端子５と接続される部分８のパターンをあらかじめ冗長に作成しておき、テープキャリア１とチップ２

INTEL-1009
7,826,243

とから成るテープキャリアパッケージを回路基板に実装する際に、必要な配線を残し、不要な配線を切断除去する。これによって図１１に示されるように、それぞれのチップ２に独立にチップ選択信号を供給できるようになり、チップ選択信号を用いて、積層されたチップ２を識別可能としている。

チップ２の高速高機能化にともない、前述したテープキャリア１を用いたパッケージでは、配線による信号遅延によってチップ２の性能が十分発揮できないといった問題がある。

このような問題に鑑み、第１の先行技術では、表裏を貫通する電極を持つチップを積層してモジュール化する提案がなされている（たとえば、米国特許６１４１２４５号明細書参照）。積層されるチップに対しては、前述のテープキャリアパッケージの積層モジュールを実現する際の工夫と同様に、個々のチップを識別することが必要である。

図１２～図１４は、表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。説明のため、図１２～図１４では、チップを貫通する貫通導線１１～１３と、この貫通導線１１～１３とチップの接続端子１４～１６までの配線のみを図示し、チップおよび層間絶縁膜などは図示しない。また図１２～図１４では、チップ選択信号に関連する配線のみを示している。またここでは図１１に示す半導体装置と同様に、３つのチップを積層する場合について説明する。貫通電極１１～１３は、チップの積層方向にチップを貫通する。

図１２は、チップを積層したときに、下段のチップに設けられる配線であって、チップの動作を選択するためのチップ選択信号を伝達するチップ選択配線１７を示す斜視図である。図１３は、中段のチップに設けられるチップ選択配線１８を示す斜視図である。図１４は、上段のチップに設けられるチップ選択配線１９を示す斜視図である。

下段のチップは、チップ選択信号が入力されるチップ側接続端子１４と、チップを貫通し、回路基板に設けられる端子とを接続するための貫通電極２１，２２，２３と、チップ側接続端子１４および貫通電極２１を相互に接続するための接続線２４と、貫通電極２２，２３と積層される中段のチップの端子とを接続する接

INTEL-1009
7,826,243

続端子２５，２６とを有する。貫通電極２２，２３は、積層される中段および上段のチップに、チップ選択信号を伝達するための導線である。図１２において、貫通電極２１，２２，２３を斜線で示し、接続線２４を網線で示す。

中段のチップは、チップ選択信号が入力されるチップ側接続端子１５と、チップを貫通し、接続端子２５，２６を介して、下段のチップに設けられる貫通電極２２，２３とそれぞれ相互に接続するための貫通電極２７，２８と、チップ側接続端子１５と貫通電極２７とを相互に接続するための接続線２９と、貫通電極２８と積層される上段のチップの端子とを接続する接続端子３１とを有する。貫通電極２８は、積層される上段のチップに、チップ選択信号を伝達するための導線である。中段のチップは、下段のチップと異なり、貫通電極を２つだけ設ける構成で十分である。つまり、図１３において仮想線で示される貫通電極３２を作成しても接続されることはない。図１３において、貫通電極２７，２８を斜線で示し、接続線２９を網線で示す。

上段のチップは、チップ選択信号が入力されるチップ側接続端子１６と、チップを貫通し、接続端子３１を介して、下段のチップに設けられる貫通電極２８とを相互に接続するための貫通電極３３と、チップ側接続端子１６と貫通電極３３とを相互に接続するための接続線３４とを有する。上段のチップは、下段および中段のチップと異なり、貫通電極を１つだけ設ける構成で十分である。つまり、図１４において仮想線で示される貫通電極３５，３６を作成しても接続されることはない。図１４において、貫通電極３３を斜線で示し、接続線３４を網線で示す。

図１２～図１４に示す配線パターンは、予めチップに設けておく必要がある。すなわち、積層されるチップは、このチップを作成するウエハプロセスにおいて、下層のチップとは別チップとして作成することとなる。

種類の異なるチップを積層する場合においては、元来それぞれ別チップであるので、単に積層しても問題はない。しかしながら、同一のチップを多数積層する場合、たとえばメモリを多数積層して大容量メモリを実現する場合などにおいては、同一チップを積層することができないので、積層する数だけ、別の種類のチ

INTEL-1009
7,826,243

ップを作る必要があり、余分な手間が必要になる。

また高密度実装を実現するための半導体装置では、実装されたチップが接続されているか否かを電気的にテストするための回路、つまりバウンダリスキャンコントローラを実装する。

バウンダリスキャンコントローラは、バウンダリスキャンテストの規格上、５本の信号線ＴＤＩ（Test Data input：データ入力部），ＴＤＯ（Test Data Output：データ出力部），ＴＣＫ（Test Clock input：クロック入力部），ＴＭＳ（Test Mode Select input：テストモード入力部），ＴＲＳＴ（Test Reset input：テストリセット入力部）を有する。ただし、ＴＲＳＴは、オプションである。

ＪＴＡＧ（Joint European Test Action Group）の規格に準拠するバウンダリスキャンでは、半導体装置において各チップに組み込んだバウンダリスキャンコントローラの信号線ＴＤＩとＴＤＯを連鎖状に接続する。以後、このバウンダリスキャンコントローラの連鎖状の接続をデイジーチェーンと記載する場合がある。信号線ＴＣＫ，ＴＭＳ，ＴＤＩ，ＴＲＳＴを総じて入力部と称する。

次に、バウンダリンスキャンテストの手法を説明する。

図１５は、バウンダリスキャンコントローラを有する複数のチップ組立体ＩＣの接続状態を示す回路図であり、図１６は図１５の回路図において、チップ組立体ＩＣが積層されて構成される積層モジュール５０を示す図である。積層モジュール５０は、複数のチップ組立体ＩＣ１，ＩＣ２，…，ＩＣｎ（ｎは、３以上の整数）が積層されて構成される。以後、チップ組立体ＩＣ１～ＩＣｎを総称する場合、チップＩＣと記載する。積層モジュール５０には、コネクタ５２が接続され、このコネクタ５２にＪＴＡＧテスターが接続される。図１６では、左から順に最下段、中段および最上段に積層されるチップ組立体ＩＣを示す。

各チップ組立体ＩＣにおいて、信号線ＴＣＫ，ＴＭＳ，ＴＲＳＴは、チップ組立体ＩＣに設けられる配線パターンを介して、相互に並列に、コネクタ５２の対応するピンに接続される。一方、信号線ＴＤＩ，ＴＤＯは、前段側のチップ組立体ＩＣの信号線ＴＤＯが後段側のチップ組立体ＩＣの信号線ＴＤＩに順次縦続接

INTEL-1009
7,826,243

続される。また第１段目のチップ組立体ＩＣ１の信号線ＴＤＩおよび最上段のチップ組立体ＩＣｎの信号線ＴＤＯは、コネクタ５２の対応するピンに接続されている。

このように構成された積層モジュール５０において、ＪＴＡＧテスターによってチップ組立体ＩＣを制御することによって、総てのチップ組立体ＩＣに対して一斉に、バウンダリスキャンテストが行われる。

積層モジュール５０では、最上段に積層されるチップ組立体ＩＣｎだけ、このチップ組立体ＩＣｎ以外のチップ組立体とは異なる接続をする必要がある。このため、最上段のチップ組立体ＩＣｎだけ、他のチップとはウエハプロセスによって作り分ける必要がある。

図１７および図１８は、図１６に示す積層モジュール５０におけるチップ組立体の配線パターンを示す斜視図であり、図１７および図１８ではフェースアップによってチップ組立体を積層する場合を想定している。フェースアップとは、基板に対してチップの回路面が反対側を向いて積層される実装方法である。説明のため、図１７および図１８では、チップ組立体に設けられる貫通電極６１，６２と、この貫通電極６１，６２とチップの接続端子６３～６８までの配線のみを図示し、チップおよび層間絶縁膜などは図示しない。

図１７は、最下段および中段のチップ組立体の配線パターンを示す斜視図である。最下段および中段のチップ組立体は、ＴＤＩのチップ側接続端子６３と、ＴＤＯのチップ側接続端子６４と、ＴＣＫなどをバス接続するためのチップ側接続端子６５と、ＴＤＩ信号を伝達するための貫通電極７１と、貫通電極７１とＴＤＩのチップ側接続端子６３とを接続する接続線７２と、ＴＤＯ信号を上段のチップに伝達するための接続端子７３と、ＴＤＯのチップ側接続端子６４と接続端子７３とを繋ぐチップ上の接続線７４と、ＴＣＫなどをバス接続するための貫通電極７５と、貫通電極７５とＴＣＫなどをバス接続するためのチップ側接続端子６５とを接続するチップ上の接続線７６と、ＴＣＫなどの信号を上段のチップに伝達するための接続端子７７と、最上段のチップからのＴＤＯ信号を下段に戻すための貫通電極７８とを含む。

INTEL-1009
7,826,243

図１８は、最上段のチップ組立体の配線パターンを示す斜視図である。最上段のチップ組立体は、ＴＤＩのチップ側接続端子６３と、ＴＤＯのチップ側接続端子６４と、ＴＣＫなどをバス接続するためのチップ側接続端子６５と、ＴＤＩ信号を伝達するための貫通電極７１と、貫通電極７１とＴＤＩのチップ側接続端子６３とを接続する接続線７２と、ＴＣＫなどをバス接続するための貫通電極７５と、貫通電極７５とＴＣＫなどをバス接続するためのチップ側接続端子６５とを接続するチップ上の接続線７６と、最上段のチップからのＴＤＯ信号を下段に戻すための貫通電極７８と、ＴＤＯのチップ側接続端子６４と貫通電極７８とを接続する接続線７９とを含む。

図１７および図１８に示すような最下段および中段のチップ組立体における配線パターンと、最上段のチップ組立体における配線パターンとは、予めそれぞれのチップ組立体に設けておく必要がある。すなわち積層する各チップ組立体は、ウエハプロセスにおいて、別のチップ組立体として作成することとなる。バウンダリスキャンを行う場合では、別のチップ組立体にする必要があるのは、図１７および図１８に示すように、最上段のチップ組立体のみであるが、同一のチップを多数積層する場合、たとえばメモリを多数積層して大容量メモリを実現する場合などにおいては、同一チップを積層することができないという問題がある。

【発明の開示】

本発明の目的は、バウンダリスキャンを実施することができ、かつ同種の半導体回路チップを積層して半導体装置を構成することができるバウンダリスキャンコントローラを提供することである。

本発明は、半導体回路チップに設けられ、外部信号入力端子と内部論理回路の入力端子との間、および外部信号出力端子と内部論理回路の出力端子との間にそれぞれ設けられるバウンダリスキャンセルが直列に接続されて構成されるシフトレジスタ回路を制御するバウンダリスキャンコントローラであって、

予め定める動作命令、半導体回路チップの識別データおよびテストデータを入力する入力部と、

前記識別データを記憶する記憶手段と、

INTEL-1009
7,826,243

入出力タイミングを与えるクロック入力部と、予め定める動作命令を与えるテストモード入力部と、半導体回路チップの識別データおよびテストデータを入力するデータ入力部と、

前記予め定める動作命令を実行して、識別データを記憶手段に記憶させるとともに、テストデータを用いた回路テストを実行してテスト結果データを得る制御手段と、

制御手段によって得られたテスト結果データを出力するデータ出力部と、

予め定める固定データを保持する固定データ保持手段と、

前記識別データおよび固定データが同一であるか否かを比較し、比較結果情報を出力する比較手段と、

比較手段からの比較結果情報に基づいて、出力部から出力されるテスト結果データに対応するデータを導出するデータ導出部とを含むことを特徴とするバウンダリスキャンコントローラである。

本発明に従えば、テストモード入力部から予め動作命令が与えられると、制御手段は予め定める動作命令を実行する。制御手段は、予め定める動作命令を実行することによって、データ入力部から入力される半導体回路チップの識別データを記憶手段に記憶させ、またデータ入力部から入力されるテストデータを用いた回路テストを実行して、テスト結果データを得る。テストデータを用いた回路テストは、たとえばシフトレジスタ回路を制御して実行される半導体回路チップの接続テストである。

比較手段は、固定データ保持手段に保持される固定データと、記憶手段に記憶される識別データとが同一であるか否か比較して、同一である場合には、同一であることを示す比較結果情報を出力し、同一でない場合には、同一でないことを示す比較結果情報を出力する。データ導出部は、比較結果情報に基づいて、識別データと固定データとが同一である場合には、テスト結果データに対応する同一である場合のデータを出力し、識別データと固定データとが同一でない場合にはテスト結果に対応する同一でない場合のデータを出力する。したがって、前記固定データおよび識別データが同一である場合と、同一でない場合とで、データ導

INTEL-1009
7,826,243

出部から出力されるデータを異ならせることができる。

バウンダリスキャンテストは、前述したバウンダリスキャンコントローラを半導体回路チップに設けて半導体回路チップ組立体を構成し、この半導体回路チップ組立体を積層して構成される半導体装置において、各半導体回路チップ組立体の接続状態を検出するために行われる。このバウンダリスキャンテストは、複数のバウンダリスキャンコントローラを連結したデイジーチェーンに対して行われる。デイジーチェーンでは、下段のバウンダリスキャンコントローラのデータ出力部は、上段のバウンダリスキャンコントローラのデータ入力部に接続される。そして最上段の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ出力部から、テスト結果データを取出す。バウンダリスキャンテストでは、ＪＴＡＧテスターによって、各入力部からバウンダリスキャンコントローラへの動作命令、識別データおよびテストデータの入力と、出力されるデータの検出が行われる。

本発明のバウンダリスキャンコントローラでは、固定データとして、最上段の半導体回路チップの識別データを固定データ保持手段に保持させることによって、最上段のバウンダリスキャンコントローラだけ、データ導出部から出力されるデータを、他のデータ導出部から出力されるデータと異ならせることができる。したがって、最上段以外の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ出力部は、無接続状態として、各バウンダリスキャンコントローラのデータ導出部は、同一のバスラインに接続することができる。つまり、同一のバスラインに接続されるデータ導出部のうち、最上段以外の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ導出部から出力される状態を、たとえば、高いインピーダンスでプルアップもしくはプルダウンした状態にする、もしくは、フローティングの状態とすることにより実質上、このデータ導出部をバスラインから切断した状態とすることができる。

したがって、バウンダリスキャンコントローラを備える同一の半導体回路チップ組立体を積層して、半導体装置を構成することができる。

また本発明は、前記記憶手段に識別データが記憶され、比較手段が出力する比

INTEL-1009
7,826,243

較情報が、識別データおよび固定データが一致することを示す場合、データ導出部は、データ出力部が出力するテスト結果データと同一のデータを出力することを特徴とする。

本発明に従えば、記憶手段に識別データが記憶され、比較情報が識別データおよび固定データが一致することを示す場合、データ導出部は、データ出力部が出力するテスト結果データと同一のデータを出力する。したがって、データ導出部からは、テスト結果データと同一のデータが出力されるので、詳細なテスト結果データを得ることができ、接続不良の詳細な場所を特定することができる。

また本発明は、前記記憶手段に識別データが記憶されていない場合、データ導出部から出力されるデータを、他のバウンダリスキャンコントローラが認識できない状態とすることによって、データ導出部に接続されたバウンダリスキャンコントローラを実質的に無効とすることを特徴とする。

もしくは、データ導出部の出力を予め定める信号レベルに維持することを特徴とする。予め定める信号レベルとは、たとえばHレベルの状態、もしくは、高いインピーダンスでHレベルにプルアップされた状態である。

本発明に従えば、これによって、データ導出部の出力側に他のバウンダリスキャンコントローラが接続されていても、実質上、以降のバウンダリスキャンコントローラは動作しない。バウンダリスキャンコントローラに接続された半導体回路が不良である場合でも、バウンダリスキャンコントローラは動作しないため入出力回路は切り離された状態となり、たとえば、不良である半導体回路チップが異常な入出力ピンの状態となろうとしても、出力はされず不具合は回避できる。

本発明に従えば、固定データと一致しない識別データを与えるのは、そのチップが積層の最も上の段以外に配置される場合とする。記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、実質上、前記回路から切り離された状態とすることができる。

また本発明は、前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致したことを示す場合、データ導出

INTEL-1009
7,826,243

部は、データ出力部と同じデータを出力すること特徴とする。

本発明に従えば、固定データと一致した識別データを与えるのは、そのチップが積層の最も上の段に配置される場合とする。記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致したことを示す場合、データ導出部は、データ出力部と同じデータを出力する。

この出力データの切り替えにより、以降に繋がっているバウンダリスキャンコントローラを有効に動作させることができるようになる。

また本発明は、前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、たとえば、高いインピーダンスでプルアップもしくはプルダウンした状態、もしくは、フローティングの状態とすることを特徴とする。

本発明に従えば、固定データと一致しない識別データを与えるのは、そのチップが積層の最上段以外に配置される場合とする。記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、たとえば、高いインピーダンスでプルアップもしくはプルダウンした状態、もしくは、フローティングの状態とし、実質上、このデータ導出部をバスラインから切断した状態とする。

また本発明は、前記バウンダリスキャンコントローラを半導体回路チップに設けて半導体回路チップ組立体が構成され、前記半導体回路チップ組立体を積層して構成されることを特徴とする半導体装置である。

本発明に従えば、半導体回路チップ組立体を同一のウエハプロセスによって形成することができるので、この半導体回路チップ組立体を形成する手間が低減される。また半導体装置を形成する場合に、同じ半導体回路チップ組立体を積層するので、積層する順番などを考慮する必要がなく、装置の形成が容易となる。

また本発明は、前記半導体回路チップは、メモリチップであり、

メモリチップ組立体は、

メモリチップのアドレス線に追加して形成される追加アドレス線と、

メモリチップを選択するため選択信号を入力する選択信号線と、

INTEL-1009
7,826,243

前記メモリチップの追加アドレス線に対応するデータと、記憶手段に記憶される識別データとが一致し、かつ選択信号が入力される場合に、メモリチップの動作を許可する許可手段とを含むことを特徴とする。

本発明に従えば、メモリチップの選択する選択信号が入力されたとしても、追加アドレス線に対応するデータと記憶手段に記憶される識別データとが一致しないと、許可手段によってメモリチップの動作が許可されない。したがって、同一の選択信号を入力したとしても、許可手段は１つのメモリチップの動作のみを許可することができる。これによって、積層されるメモリチップごとに動作させることができる。

また本発明は、前記半導体回路チップは、メモリチップであり、

メモリチップ組立体は、

メモリチップのデータ線に追加して形成され、前記データ線の数よりも多い追加データ線と、

記憶手段に記憶される識別データによって、追加データ線を選択してメモリチップのデータ線に接続する選択手段とを含むことを特徴とする。

また本発明に従えば、選択手段は、記憶手段に記憶される識別データによって追加データ線を選択して、メモリチップのデータ線に接続するので、積層されるメモリチップ毎にデータ線を割当てることができる。したがって、１つのメモリチップに対応するバスラインよりも多いバスラインに接続してメモリチップを動作させることができる。

また本発明は、前記半導体装置における半導体回路チップ識別方法であって、記憶手段に記憶される識別データによって各半導体回路チップを識別することを特徴とする半導体装置の半導体回路チップ識別方法である。

本発明に従えば、記憶手段に記憶される識別データによって各半導体回路チップを個別に認識することができる。したがって、識別データを用いて半導体回路チップを個別に管理することができる。

また本発明は、前記半導体装置における半導体回路チップ制御方法であって、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を

INTEL-1009
7,826,243

行わせることを特徴とする半導体装置の半導体回路チップ制御方法である。

本発明に従えば、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を行わせるので、積層される半導体回路チップを個別に動作させることができる。

【図面の簡単な説明】

本発明の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

図１は、本発明の実施の一形態であるバウンダリスキャンコントローラ８０を示すブロック図である。

図２は、バウンダリスキャンコントローラ８０を半導体回路チップに設けて構成される半導体回路チップ組立体８１を示すブロック図である。

図３は、半導体回路チップ組立体８１を複数積層して構成される半導体装置８２を示すブロック図である。

図４は、コントローラ８０の記憶手段８５に識別データを設定する動作を示すフローチャートである。

図５は、コントローラ８０を半導体回路チップに設けて形成される半導体回路チップ組立体８１の配線パターンの一部を示す斜視図である。

図６は、本発明のさらに他の実施の形態のバウンダリスキャンコントローラ１３０を示すブロック図である。

図７は、本発明のさらに他の実施の形態のバウンダリスキャンコントローラ１４０を示すブロック図である。

図８は、信号選択手段１５０を示すブロック図である。

図９は、メモリチップ組立体に設けられるメモリチップ選択手段１６０を示す図である。

図１０は、メモリチップ組立体に設けられるデータ線選択手段１７０を示す図である。

図１１は、テープキャリア１を用いてチップ２を積層した半導体装置を示す斜視図である。

INTEL-1009
7,826,243

図１２は、表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。

図１３は、表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。

図１４は、表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。

図１５は、バウンダリンスキャンテストの手法を説明するための図である。

図１６は、バウンダリンスキャンテストの手法を説明するための図である。

図１７は、図１６に示す積層モジュール５０におけるチップ組立体の配線パターンを示す斜視図である。

図１８は、図１６に示す積層モジュール５０におけるチップ組立体の配線パターンを示す斜視図である。

【発明を実施するための最良の形態】

以下図面を参考にして本発明の好適な実施例を詳細に説明する。

図１は、本発明の実施の一形態であるバウンダリスキャンコントローラ８０を示すブロック図である。図２は、バウンダリスキャンコントローラ８０を半導体回路チップに設けて構成される半導体回路チップ組立体８１を示すブロック図である。内部論理回路９７と外部との接続端子は１０個を仮定している。図３は、半導体回路チップ組立体８１を複数積層して構成される半導体装置８２を示すブロック図である。本実施の形態のバウンダリスキャンコントローラ８０は、ＪＴＡＧ（Joint European Test Action Group）の規格に準拠して動作する。バウンダリスキャンコントローラ８０は、半導体装置８２において半導体回路チップが接続されているか否かを電気的にテストするための回路である。

バウンダリスキャンコントローラ８０は、入力部８３、制御手段８４、記憶手段８５、出力部８６、固定データ保持手段８７、比較手段８８およびデータ導出部８９を含む。以後、バウンダリスキャンコントローラ８０を単にコントローラ８０と記載する場合がある。

入力部８３は、予め定める動作命令、半導体回路チップの識別データおよびテ

INTEL-1009
7,826,243

ストデータを入力するシリアルインタフェースである。入力部８３は、４本の信号線ＴＣＫ（Test Clock input：クロック入力部），ＴＭＳ（Test Mode Select input：テストモード入力部），ＴＤＩ（Test Data input：データ入力部），ＴＲＳＴ（Test Reset input：テストリセット入力部）を有する。以後、半導体回路チップの識別データを単に識別データと記載する場合がある。

ＴＣＫは、制御手段８４に入出力タイミングを与え、固有のシステムクロックとは独立したテスト用のクロックを供給する信号線である。ＴＭＳは、予め定める動作命令を入力し、テスト動作を制御する信号線である。ＴＤＩは、識別データおよびテストデータをシリアル入力する信号線である。ＴＲＳＴは、コントローラ８０を非同期に初期化するためのデータを入力する信号線である。これらの４本の信号線は、外部のＪＴＡＧテスターによって制御され、バウンダリンスキャンテストが行われる。本実施の形態では、入力部８３に信号線ＴＲＳＴが設けられるが、ＪＴＡＧ規格ではオプション端子であり、本発明の他の実施の形態において、入力部８３は、信号線ＴＣＫ，ＴＭＳ，ＴＤＩの３つを有する構成としてもよい。

入力部８３は、制御手段８４と相互に接続され、ＪＴＡＧテスターから与えられる予め定める動作命令、識別データおよびテストデータを制御手段８４に与える。

制御手段８４は、入力部８３から記憶手段８５に識別データを記憶させる動作命令が入力されると、この命令を実行して、入力部８３から入力される識別データをデコードして記憶手段８５に記憶させる。また制御手段８４は、入力部８３からバウンダリスキャンテストを実行する動作命令が入力されると、この命令を実行して、入力部８３から入力されるテストデータを用いた回路テストを実行してテスト結果データを得る。識別データを記憶手段８５に記憶させる動作命令は、たとえばバウンダリスキャン命令の未使用コードを割当てる。回路テストを実行する場合、制御手段８４は、バウンダリスキャン制御信号を出力して、後述するシフトレジスタ回路９１を制御する。

制御手段８４は、インストラクションレジスタと、テストデータレジスタとを

INTEL-1009
7,826,243

含む。インストラクションレジスタは、バウンダリスキャンテストを実行するための命令データを取込むための命令コードをセットするためのものである。テストデータレジスタは、バウンダリスキャンテストを実行するためのテストパターンデータをセットするためのものである。インストラクションレジスタおよびテストデータレジスタは、いずれも、シフトレジスタの構成となっており、データを送る命令が制御手段８４に入力されると、信号線ＴＤＩから入力される予め定める動作命令および各種データを、前記シフトレジスタを介して、信号線ＴＤＯ（Test Data Output：データ出力部）から出力することができる。以後、予め定める動作命令および各種データを総称して、単にデータと記載する場合がある。

記憶手段８５は、制御手段８４によってデコードされた識別データを記憶する。記憶手段８５は、フリップフロップによって構成されるラッチ回路とし、バウンダリスキャンテストを実行するための外部に接続されるＪＴＡＧテスターの電源投入毎に識別データを入力し直す構成とする。

この場合、識別データを指定するだけであるので、前記ＪＴＡＧテスターを完全なＪＴＡＧテスターとせず、ＲＯＭ（Read Only Memory）とクロック発生器などで簡易的にＪＴＡＧ信号を発生させる回路で代用することも可能である。

本発明の実施の他の形態では、記憶手段８５をＥＰＲＯＭ（Electrically Programmable Read Only Memory）などの不揮発メモリによって実現し、１度識別データを記憶させるだけで、この識別データが保存される構成としてもよい。

記憶手段８５は、識別データのビット長よりも１ビット多い記録領域を有する。つまり、記憶手段８５に記憶されるデータは、そのビット長が識別データのビット長よりも１ビット多いものとする。この冗長の１ビットに、制御手段８４によって、記憶手段８５に識別データが記憶されたかを否かが記憶される。これによって、記憶手段８５に識別データが記憶されているか否かが容易にわかる。

出力部８６は、制御手段８４によって得られたテスト結果データと、インストラクションレジスタおよびテストデータレジスタを介して制御手段８４から出力される予め定める動作命令および各種データとを出力するためのシリアルインタフェースであり、信号線ＴＤＯを有する。

INTEL-1009
7,826,243

固定データ保持手段８７は、固定データを保持する。固定データは、コントローラ８０を半導体回路チップに設けて構成される半導体回路チップ組立体８１を複数積み重ねて、半導体装置８２を構成するときに、最上段に配置される半導体回路チップの識別データである。最上段に配置される半導体回路チップは、半導体装置８２を基板に実装するときに、基板から最も離反する位置に設けられるものである。

固定データ保持手段８７は、たとえばワイヤードロジックによって実現される。本実施の形態では、固定データ保持手段８７は独立して存在するが、本発明のさらに他の実施の形態では、論理合成によって固定データ保持手段８７を構成する場合、この固定データ保持手段８７は、後述する比較手段８８に内包されていてもよい。

比較手段８８は、記憶手段８５に記憶される識別データ、および固定データ保持手段８７に保持される固定データを入力し、これらの識別データおよび固定データが同一であるか否かを比較し、比較結果情報を出力する。比較手段８８は、記憶手段８５に記憶される識別データを、前述した冗長な１ビットのデータを含めて固定データと比較する。これによって、識別データが記憶手段８５に記憶されていない場合には、比較手段８８は、常に不一致であることを示す比較結果情報を出力することができる。

データ導出部８９は、第１および第２のＯＲゲート９２，９３と、トライステートバッファ９４と、信号線ＴＤＯ２を有する。第１のＯＲゲート９２の入力端子の一方は、比較手段８８と相互に接続され、入力端子の他方は、記憶手段８５と相互に接続される。第１のＯＲゲート９２は、比較手段８８の比較結果情報が、識別データおよび固定データが一致することを示す場合、または記憶手段８５に識別データが記憶されているときに、トライステートバッファ９４に出力許可信号を出力する。

第２のＯＲゲート９３の入力端子の一方は、出力部８６である信号線ＴＤＯと相互に接続され、入力端子の他方は、記憶手段８５と相互に接続される。第２のＯＲゲート９３は、記憶手段８５に識別データが記憶されている場合に、出力部

INTEL-1009
7,826,243

８６から出力されるデータと同一のデータを出力する。第２のＯＲゲート９３には、記憶手段８５から前述した冗長の１ビットのデータが入力される。

トライステートバッファ９４は、第１および第２のＯＲゲート９２，９３の出力端子と相互に接続され、第１のＯＲゲート９２から出力許可信号を入力したときに、第２のＯＲゲート９３から入力されるデータを信号線ＴＤＯ２に出力する。

第１および第２のＯＲゲート９２，９３は、記憶手段８５に識別データが記憶されていない場合には、トライステートバッファ９４の出力端子に接続される信号線ＴＤＯ２が、他のバウンダリスキャンコントローラが認識できないデータを出力する。ここにいう他のバウンダリスキャンコントローラが認識できないデータとは常にハイ（Ｈ）であるデータである。これによって、データ導出部８９からは、出力部８６から出力されるデータと同一のデータが出力されることがなく、実質上、データ導出部８９以降に接続されるバウンダリスキャンコントローラが存在しても、以降のバウンダリスキャンコントローラは動作しない。バウンダリスキャンコントローラに接続された半導体回路が不良である場合でも、バウンダリスキャンコントローラは動作しないため入出力回路は切り離された状態となり、たとえば不良である半導体回路チップが異常な入出力ピンの状態となろうとしても、出力はされず不具合は回避できる。

また、第１および第２のＯＲゲート９２，９３は、記憶手段８５に識別データが記憶され、比較手段８８が出力する比較結果情報が、識別データおよび固定データが一致していることを示す場合には、出力部８６から出力されるデータと同一のデータを信号線ＴＤＯ２から出力するように動作する。つまり、所望の半導体回路チップ組立体８１のデータ導出部８９から、出力部８６と同一のデータを出力させることができる。

また、第１および第２のＯＲゲート９２，９３は、記憶手段８５に識別データが記憶され、比較手段８８が出力する比較結果情報が、識別データおよび固定データが一致していないことを示す場合には、トライステートバッファ９４の出力端子に接続されるＴＤＯ２への出力を禁止しフローティング状態とする。これによってデータ導出部８９からは、出力部８６から出力されるデータと同一のデー

INTEL-1009
7,826,243

タが出力されることがなく、実質上、データ導出部８９を回路から切断した状態とすることができる。

前述したコントローラ８０では、同一のコントローラ８０であっても、固定データと識別データとが一致するコントローラ８０と、固定データと識別データとが一致しない、または識別データが記録されていないコントローラ８０とで、データ導出部８９から異なるデータを出力させることができる。

本実施の形態では、データ導出部８９は、第１および第２のＯＲゲート９２，９３およびトライステートバッファ９４を有するが、本発明の実施のさらに他の形態では、前記第１および第２のＯＲゲート９２，９３およびトライステートバッファ９４を論理合成によって合体したロジックとして構成してもよい。

半導体回路チップ組立体８１は、前述したコントローラ８０と、外部信号入力端子９５と、外部信号出力端子９６と、内部論理回路９７と、シフトレジスタ回路９１と、入力部接続端子８３Ａと、出力部接続端子８６Ａと、データ導出部接続端子８９Ａとを含む。外部信号入力端子９５は、内部論理回路９７に外部から信号を入力するためのインタフェースである。外部信号出力端子９６は、内部論理回路９７から外部に信号を出力するためのインタフェースである。内部論理回路９７は、半導体回路チップ本来の機能を実現するための集積回路であって、任意の回路によって実現される。内部論理回路９７は、たとえば大規模集積回路（Large Scale Integration；略称ＬＳＩ）などである。

前記コントローラ８０と、外部信号入力端子９５と、外部信号出力端子９６と、内部論理回路９７と、シフトレジスタ回路９１と、入力部接続端子８３Ａと、出力部接続端子８６Ａと、データ導出部接続端子８９Ａとは、同一のウェハ９９に形成される。

シフトレジスタ回路９１は、複数のバウンダリスキャンセル９８を有する。図２に示すように、シフトレジスタ回路９１は、１０個のバウンダリスキャンセル９８を有する。バウンダリスキャンセル９８は、レジスタ回路によって実現される。各バウンダリスキャンセル９８は、外部信号入力端子９５および外部信号出力端子９６である外部接続端子と内部論理回路９７との間にそれぞれ設けられる。

INTEL-1009
7,826,243

シフトレジスタ回路９１は、前記バウンダリスキャンセル９８が直列に接続されて構成される。バウンダリスキャンセル９８は、内部論理回路９７の外部信号端子の数だけ設けられる。図２に示す内部論理回路９７の左側の外部接続端子から入力信号を入力し、右側の外部接続端子から出力信号を出力する場合を仮定して説明を続ける。

バウンダリスキャンコントローラ８０の入力部接続端子８３Ａは、入力部８３の各信号線に外部からデータを入力するインタフェースである。出力部接続端子８６Ａは、出力部８６の信号線からデータを出力するインタフェースである。データ導出部接続端子８９Ａは、データ導出部８９の信号線からデータを出力するインタフェースである。

制御手段８４は、シフトレジスタ回路９１と相互に接続され、前記シフトレジスタ回路９１を制御して、回路テストを実行してテスト結果データを得る。回路テストでは、制御手段８４は、以下の各動作を実行する。シフトレジスタ回路９１のうち、外部信号入力端子９５に接続されるバウンダリスキャンセル９８を総称する場合、入力側セル９８Ａと記載し、外部信号出力端子９６に接続されるバウンダリスキャンセル９８を総称する場合、出力側セル９８Ｂと記載する。

まず、バウンダリスキャンテスト状態に入ると、入力側セル９８Ａ、出力側セル９８Ｂとも、内部論理回路９７と外部接続端子の間の信号の繋がりを切断し、制御手段８４のシフトレジスタと入力側セル９８Ａ、制御手段８４のシフトレジスタと出力側セル９８Ｂを接続する。そして、入力部接続端子８３Ａを介して信号線ＴＤＩからシリアルのテストデータを入力し、シフトレジスタ回路９１に格納する。その後、テスト実行命令により、シフトレジスタ回路９１に格納されたテストデータは入力側セル９８Ａ、出力側セル９８Ｂを通して、外部接続端子に伝えられる。さらに、アップデート命令により、外部接続端子の状態がモニターバックされシフトレジスタ回路９１に格納される。

次に、シフトレジスタ回路９１に格納されたモニターバックされた外部接続端子の状態は、出力部ＴＤＯからシリアルで出力される。

また、バウンダリスキャンテストモードによっては、入力側セル９８Ａと内部

INTEL-1009
7,826,243

論理回路９７、出力側セル９８Ｂと内部論理回路９７を使って、セルフテストを実施することもある。この場合、バウンダリスキャンセル９８の繋がりが変更になるのみで、テストデータのセット、モニターバックされた状態の取り出しは同様である。

このような動作を必要に応じてに行うことによって、制御手段８４は、積層される半導体回路チップが正常に接続されているか（動作しているか）否かをモニターバックされた状態示すテスト結果データを得ることができる。

半導体装置８２は、前述した半導体回路チップ組立体８１を積層して構成される。図３において、仮想線内で囲まれた領域に示される半導体回路チップ組立体８１は、積層されている。以後、半導体回路チップ組立体８１を積層したものを積層モジュールと記載する場合がある。

半導体装置８２には、コネクタ１０１が設けられ、このコネクタ１０１にＪＴＡＧテスターが接続される。図３では、左から順に最下段、中段および最上段に積層される半導体回路チップ組立体８１を示す。また、図３では、半導体回路チップ組立体８１を３つだけ示しているが、半導体回路チップ組立体８１は、任意の数積層して半導体装置８２を構成してもよい。

各半導体回路チップ組立体８１の信号線ＴＣＫは、同一のバスライン１０２ａに接続され、コネクタ１０１の対応するＴＣＫピン１０１ａに相互に接続される。信号線ＴＭＳ，ＴＲＳＴおよびＴＤＯ２は、信号線ＴＣＫと同様に、それぞれが同一のバスライン１０２ｂ，１０２ｃ，１０２ｄに接続され、相互に並列に、コネクタ１０１の対応するＴＭＳピン１０１ｂ，ＴＲＳＴピン１０１ｃおよびＴＤＯ２ピン１０１ｄに接続される。

前段側の半導体回路チップ組立体８１の出力部接続端子８６Ａは、後段側の半導体回路チップ組立体８１の信号線ＴＤＩに対応する入力部接続端子８３Ａに順次接続される。また第１段目の半導体回路チップ組立体８１の信号線ＴＤＩは、コネクタ１０１の対応するＴＤＩピン１０１ｅに接続される。最上段の半導体回路チップ組立体８１の信号線ＴＤＯは、無接続とする。

このように半導体装置８２では、各コントローラ８０を連鎖状に接続する。以

INTEL-1009
7,826,243

後、この連鎖状に接続することを、デイジーチェーンと記載する場合がある。半導体装置８２において、コネクタ１０１を介して、ＪＴＡＧテスターによってコントローラ８０を制御することによって、全ての半導体回路チップ組立体８１に対して一斉に、バウンダリスキャンテストが行うことができる。

次に、前述した識別データの設定方法について説明する。

図４は、コントローラ８０の記憶手段８５に識別データを設定する動作を示すフローチャートである。ステップＳ０で、半導体装置８２に外部のＪＴＡＧテスターが接続されるとステップＳ１に移る。ステップＳ１では、入力部８６から信号線ＴＭＳ，ＴＣＫを用いることによって、または信号線ＴＲＳＴの信号レベルをＬレベルとすることによって、コントローラ８０の制御手段８４をリセットする。バウンダリスキャンでは、制御手段８４がどのような状態であっても、信号線ＴＭＳの信号レベルをＨレベルとし、この状態を５クロックの間保つことによって、制御手段８４をリセットすることができる。

次にステップＳ２に移り、信号線ＴＭＳ，ＴＣＫと用いて、制御手段８４に動作命令を入力するための命令であるコマンドセット命令を入力して、ステップＳ３に移る。

ステップＳ３では、信号線ＴＤＩ，ＴＣＫを用いて、積層される半導体回路チップに設けられるコントローラ８０の制御手段８４には、記憶手段８５に識別データを記憶させるための識別コードセット命令を与える動作命令を与える。また積層されない半導体回路チップに設けられるコントローラ８０の制御手段８４には、命令をスキップする命令スキップコマンド(bypass命令)を与える。

次にステップＳ４に移り、信号線ＴＭＳ，ＴＣＫを用いて、制御手段８４にデータを入力するための動作命令であるデータセットコマンドを入力して、ステップＳ５に移る。

ステップＳ５では、信号線ＴＤＩ，ＴＣＫを用いて、積層される各半導体回路チップに設けられるコントローラ８０に識別データを送り、ステップＳ６に移り、動作を終了する。ステップ５では、識別データとして、積層された半導体回路チップに設けられるコントローラ８０の記憶手段８５に記憶されるデータが、それ

INTEL-1009
7,826,243

ぞれ異なる値を持つようにデイジーチェーンのデータ線である信号線ＴＤＩ，ＴＤＯを通して与える。たとえば、最上段の半導体回路チップに設けられる記憶手段８５には、識別データとして「０」を、さらに、最上段から１つ下の半導体回路チップに設けられる記憶手段８５には、識別データとして「１」を与える。また最上段からｍ（ｍは、２以上の整数）番目の半導体回路チップに設けられる記憶手段８５には、識別データとして「ｍ」を与える。

積層される半導体回路チップ組立体８１のコントローラ８０と、積層されない通常の半導体装置（図示せず）に設けられる通常のコントローラとが、デイジーチェーンを構成する場合であっても、積層される半導体回路チップの個数、および積層される半導体回路チップから成る積層モジュールまでに設けられる通常のコントローラの数は、予め分かっているので、積層される半導体回路チップに設けられる記憶手段８５に与えられる識別データの作成には問題はない。

さらに、積層される半導体回路チップ組立体８１のコントローラ８０によって構成されるデイジーチェーンの後に、さらに別のデバイスのコントローラが接続される場合であっても、積層される半導体回路チップ組立体８１に設けられる記憶手段８５に識別データが記憶されていない場合、データ導出部８９の出力は、Ｈレベルで固定され、コントローラ８０が有する制御手段８４に対しては、命令をスキップする命令が与えられるので、問題にならない。

以上のフローチャートによって、積層される半導体回路チップに設けられるコントローラ８０に、識別データを記憶させることができる。

記憶手段８５に識別データが記憶されていないコントローラ８０では、出力部８６から出力されるデータがバウンダリスキャンの出力であり、データ導出部８９の信号線ＴＤＯ２は、Ｈレベルの信号を出力する。

積層された半導体回路チップ組立体８１のうち、最上段の半導体回路チップの識別データと同じ識別データ、前述した例では「０」が与えられたコントローラ８０は、出力部８６から出力されるデータと同一のデータをデータ導出部ＴＤＯ２から出力するように設定が変更される。また最上段の半導体回路チップの識別データとは異なる識別データが与えられたコントローラ８０は、データ導出部Ｔ

INTEL-1009
7,826,243

ＤＯ２から切り離される。

バウンダリスキャンのデイジーチェーン上に複数の積層モジュールがある場合には、図４に示す動作手順を繰り返して、順々に設定していけばよい。

図５は、コントローラ８０を半導体回路チップに設けて形成される半導体回路チップ組立体８１の配線パターンの一部を示す斜視図である。半導体回路チップ組立体８１は、第１～第３の貫通電極１０３～１０４を有する。説明のため、図５では、半導体回路チップ組立体８１を貫通する第１～第３の貫通導線１０３～１０５と、この第１～第３の貫通導線１０３～１０５と半導体回路チップ組立体８１の接続端子８３Ａ，８６Ａ，８９Ａまでの配線のみを図示し、半導体回路チップおよび層間絶縁膜などは図示しない。第１～第３の貫通電極１０３～１０５は、半導体回路チップ組立体８１の積層方向、すなわち図５の矢符Ａ方向に、半導体回路チップ組立体８１を貫通する。また、ここではフェースアップで半導体回路チップ組立体８１を積層する場合について示している。

半導体回路チップ組立体８１の一表面には、入力部８３の端子である入力部接続端子８３Ａと、出力部８６の端子である出力部接続端子８６Ａと、データ導出部８９であるデータ導出部接続端子８９Ａが形成される。入力部接続端子８３Ａは、信号線ＴＤＩの端子１１１、および信号線ＴＣＫの端子１１３である。信号線ＴＣＫ，ＴＭＳ，ＴＲＳＴをそれぞれ接続する配線は、同様であるので、ここでは信号線ＴＣＫを接続する配線のみを示す。出力部接続端子８６Ａは、信号線ＴＤＯの端子１１２である。データ導出部接続端子８９Ａは、信号線ＴＤＯ２の端子１１４である。

第１の貫通電極１０３の一端部は、信号線ＴＤＩの端子１１１に第１の接続線１１５を介して相互に接続される。第１の接続線１１５は、半導体回路チップ組立体８１の一表面に形成される。第１の接続端子１１６は、積層される半導体回路チップ組立体８１の第１の貫通電極１０３の他端部と相互に接続される。第１の貫通電極１０３の一端部の上方には、層間絶縁膜を介して、積層される半導体回路チップ８１と接続される第１の接続端子１１６が形成される。信号線ＴＤＯの端子１１２は、層間絶縁膜を挟んで第１の接続線１１５に積層される第２接続

INTEL-1009
7,826,243

線１１７を介して、第１の接続端子１１６と相互に接続される。

第２の貫通電極１０４の一端部は、信号線ＴＣＫの端子１１３に第３の接続線１１８を介して相互に接続される。第３の接続線１１８は、半導体回路チップ組立体８１の一表面に形成される。第２の貫通電極１０４の一端部には、積層される半導体回路チップ８１と接続される第２の接続端子１１９が形成される。第２の接続端子１１９は、積層される半導体回路チップ組立体８１の第２の貫通電極１０４の他端部と相互に接続される。

第３の貫通電極１０５の一端部は、信号線ＴＤＯ２の端子１１４に第４の接続線１２１を介して相互に接続される。第４の接続線１２１は、半導体回路チップ組立体８１の一表面に形成される。第３の貫通電極１０５の一端部には、積層される半導体回路チップ８１と接続される第３の接続端子１２２が形成される。第３の接続端子１２２は、積層される半導体回路チップ組立体８１の第３の貫通電極１０５の他端部と相互に接続される。

このように配線を設けることによって、半導体回路チップ組立体８１の外部から入力されるデータは、第１の貫通電極１０３を通り、第１の接続線１１５を経由して信号線ＴＤＩの端子１１１に伝えられる。信号線ＴＤＯから出力されるデータは、端子１１２から第２の接続線１１７を介して、第１の接続端子１１６から積層される半導体回路チップ組立体８１に伝えられる。また信号線ＴＣＫの端子１１３は、共通のバスラインに接続され、信号線ＴＤＯ２の端子１１４は共通のバスラインに接続される。

図５に示す配線を形成して、半導体回路チップ組立体８１を積層すると、上下の半導体回路チップ組立体８１をずらさないで積み重ねることができるので、半導体装置８２を可及的小形に形成することができる。

以上のように、コントローラ８０を用いて半導体回路チップ組立体８１を構成すると、図５に示す１つの配線パターンのみで、バウンダリスキャンテストを実施するためのデイジーチェーンを形成することができる。したがって、同一の半導体回路チップを積層する際に半導体回路チップ組立体８１を作り分ける必要が生じない。つまり半導体回路チップ組立体８１を同一のウエハプロセスによって

INTEL-1009
7,826,243

形成することができるので、この半導体回路チップ組立体８１を形成する手間が低減される。また半導体装置８２を形成する場合に、同じ半導体回路チップ組立体８１を積層するので、積層する順番などを考慮する必要がなく、工程が容易となる。

本実施の形態では、半導体回路チップ組立体８１をフェースアップで積層する場合について述べたが、半導体回路チップ組立体８１は、フェースダウンで積層してもよい。この場合図５において、前述した信号線ＴＤＩの端子１１１を、信号線ＴＤＯの端子とし、信号線ＴＤＯの端子１１２を、信号線ＴＤＩの端子とすればよい。

図６は、本発明のさらに他の実施の形態のバウンダリスキャンコントローラ１３０を示すブロック図である。バウンダリスキャンコントローラ１３０は、入力部８３、制御手段８４、記憶手段８５、出力部８６、固定データ保持手段８７、比較手段８８およびデータ導出部８９Ａを含む。バウンダリスキャンコントローラ１３０と、前述した図１に示すバウンダリスキャンコントローラ８０とは、データ導出部８９Ａの構成のみが異なるので、同様な部分には同様の符号を付して、説明を省略する。以後、バウンダリスキャンコントローラ１３０を単にコントローラ１３０と記載する場合がある。

データ導出部８９Ａは、トライステートバッファ９４と、プルアップ手段１３１と、信号線ＴＤＯ２を有する。トライステートバッファ９４は、比較手段８８と、出力部８６である信号線ＴＤＯと相互に接続される。トライステートバッファ９４は、比較手段８８から出力される比較結果情報が、識別データと固定データとが一致することを示す場合は、出力部８６から出力されるデータと同一のデータを出力する。トライステートバッファ９４の入力端子は、信号線ＴＤＯと相互に接続され、出力端子は信号線ＴＤＯ２と相互に接続される。

一方、トライステートバッファ９４は、比較手段８８から出力される比較結果情報が、識別データと固定データとが一致しないことを示す場合には、入力されるデータの出力が禁止される。

プルアップ手段１３１は、信号線ＴＤＯ２および電源に接続され、信号線ＴＤ

INTEL-1009
7,826,243

Ｏ２に対して、プラス（＋）側電源から微弱な電流を常に与えて、信号線ＴＤＯ２を弱いプルアップとする。これによって、トライステートバッファ９４の出力が禁止されている時でも、信号線ＴＤＯ２の信号レベルは、予め定める信号レベルになる。予め定める信号レベルとは、ハイ（Ｈ）レベルである。

また、プルアップ手段１３１から信号線ＴＤＯ２に供給する電流は微弱であるので、トライステートバッファ９４もしくは半導体回路チップ制御装置８１の外部のデバイスからロー（Ｌ）レベルの信号を与えられた場合には、信号線ＴＤＯ２の信号レベルは、Ｌレベルとなる。

弱いプルアップ手段１３１を実現するには、たとえば、ＴＴＬ（Transistor Transistor Logic）回路を用いる場合、プラス（＋）側電源（Vcc）と出力の間に高抵抗を挿入することによって実現可能であり、ＣＭＯＳ（Contemporary Metal Oxide Semiconductor）を用いる場合には、プラス（＋）側電源（Vdd）と出力の間に、ドレインーソース間の抵抗の高いＰチャネルトランジスタがオン状態になるようにゲート電圧を設定して挿入することによって実現可能である。前記ゲート電圧は、一側電源に固定すればよい。

万一、コントローラもしくは半導体回路チップそのものが不良で、信号線ＴＤＯ２からマイナス（－）レベルの信号を出力した場合には、電源が短絡して積層される他の半導体回路チップにまで影響が及ぶ可能性があるが、信号線ＴＤＯ２を弱いプルアップとすることによって、このような不具合を防止することができる。

また、コントローラ１３０では、前述のコントローラ８０と比較して、回路構成を簡単にすることができ、小形化を図ることができる。

コントローラ１３０を有する半導体回路チップ組立体および、半導体回路チップ組立体を複数積層して構成される半導体装置は、前述した半導体回路チップ組立体８１および半導体装置８２と同様である。また、識別データの設定方法も前述の実施の形態のコントローラ８０の場合と同様である。

図７は、本発明のさらに他の実施の形態のバウンダリスキャンコントローラ１４０を示すブロック図である。バウンダリスキャンコントローラ１４０は、入力

INTEL-1009
7,826,243

部８３、制御手段８４、記憶手段８５、出力部８６、固定データ保持手段８７、比較手段８８およびデータ導出部８９Ｂを含む。バウンダリスキャンコントローラ１４０と、前述した図１および図６に示すバウンダリスキャンコントローラ８０，１３０とは、データ導出部８９Ｂの構成のみが異なるので、同様な部分には同一の符号を付して、説明を省略する。以後、バウンダリスキャンコントローラ１４０を単にコントローラ１４０と記載する場合がある。

本実施の形態では、データ導出部８９Ｂは、トライステートバッファ９４と、プルアップ手段１３１と、信号線ＴＤＯ２を有する。プルアップ手段１３１は、記憶手段８５、信号線ＴＤＯ２および電源に接続され、記憶手段８５に識別データが記憶されていない場合、信号線ＴＤＯ２に対して、プラス（＋）側電源から微弱な電流を常に与えて、信号線ＴＤＯ２を弱いプルアップとする。これによって、トライステートバッファ９４の出力が禁止されている時でも、信号線ＴＤＯ２の信号レベルは、予め定める信号レベルになる。予め定める信号レベルとは、ハイ（Ｈ）レベルである。

またプルアップ手段１３１は、記憶手段８５に識別データが記憶されている場合、信号線ＴＤＯ２のプルアップを禁止する。これによって、トライステートバッファ９４から出力される信号レベルがＬレベルである場合に、プルアップ手段１３１を介してプラス（＋）側電源から信号線ＴＤＯ２に流れも電流を無くすことができ、消費電力を低減することができる。

プルアップ手段１３１による信号線ＴＤＯ２のプルアップを禁止するには、たとえば、ＴＴＬ回路を用いる場合、プラス（＋）側電源（Vcc）と出力との間に高抵抗を挿入し、かつ挿入した高抵抗との間にトランジスタを挿入することによって実現可能である。前記トランジスタは、たとえばＰＮＰトランジスタによって実現される。ＣＭＯＳを用いる場合には、プラス（＋）側電源（Vdd）と出力の間に挿入した抵抗の高いＰチャネルトランジスタのゲートを制御することで実現可能である。

コントローラ１４０を有する半導体回路チップ組立体および、半導体回路チップ組立体を複数積層して構成される半導体装置は、前述した半導体回路チップ組

INTEL-1009
7,826,243

立体８１および半導体装置８２と同様である。また、識別データの設定方法も前述の実施の形態のコントローラ８０の場合と同様である。

本実施の各形態のコントローラ８０，１３０，１４０の記憶手段８５には、半導体回路チップ毎の識別データが記憶されるので、この識別データによって、半導体装置８２に設けられる半導体回路チップを識別することができる。

本発明のさらに他の実施の形態のバウンダリスキャンコントローラでは、上述したバウンダリスキャンコントローラ８０，１３０，１４０のうちのいずれか１つを有する半導体回路チップ組立体に、記憶手段８５に記憶される識別データによって信号線を選択する信号選択手段１５０を設ける構成としてもよい。

図８は、信号選択手段１５０を示すブロック図である。信号選択手段１５０には、外部から信号を入力しまたは外部へ信号を出力する複数の信号線１５１が接続される。信号選択手段１５０は、複数の信号線１５１の中から、識別データに対応する信号線１５１を内部信号線１５２に接続する。前述したバウンダリスキャンコントローラ８０，１３０，１４０において、たとえば、信号線１５１を積層する半導体回路チップ組立体の数だけ各半導体回路チップ組立体に追加して形成する。

図１、図６および図７に示すように、記憶手段８５に記憶される識別データを取出す識別データ取出し線１５３をコントローラ８０，１３０，１４０に設け、識別データを信号選択手段１５０に入力する。信号選択手段１５０では、追加された信号線１５１の内、対応する信号線を選択することによって、半導体回路チップ毎の動作を指示することが可能となる。

たとえば信号線１５１を、チップ選択信号(略称ＣＳ)線とすると、それぞれの半導体回路チップ組立体に、独立にチップ選択信号を供給できるようになり、チップ選択信号を用いて、積層された半導体回路チップの識別が可能となる。

前述したバウンダリスキャンコントローラ８０，１３０，１４０のうちいずれか１つが設けられる半導体回路チップは、たとえばメモリチップであり、半導体装置は、たとえばメモリモジュールである。

本発明のさらに他の実施の形態では、メモリチップにバウンダリスキャンコン

INTEL-1009
7,826,243

トローラ８０，１３０，１４０のうちいずれか１つが設けられるメモリチップ組立体に、メモリチップを選択するメモリチップ選択手段１６０を設ける構成としてもよい。

図９は、メモリチップ組立体に設けられるメモリチップ選択手段１６０を示す図である。メモリチップ組立体は、メモリチップのアドレス線に追加して形成される追加アドレス線１６１と、メモリチップを選択するため選択信号を入力する選択信号線１６２と、メモリチップ選択手段１６０とを含む。

メモリチップ組立体には、積層されるメモリチップと同じ数だけ追加アドレス線１６１を形成する。またメモリチップ組立体には、選択信号線１６２を形成する。

メモリチップ選択手段１６０は、記憶手段８５に記憶される識別データと、追加したアドレス線１６１のアドレスとを比較するアドレス比較手段１６３と、アドレス比較手段１６３の比較結果情報と選択信号線１６２から入力される信号とに基づいて、動作許可情報を出力する動作許可情報出力手段１６４とを含む。

アドレス比較手段１６３は、記憶手段８５および追加したアドレス線１６１と相互に接続され、識別データと追加したアドレス線１６１のアドレスとを比較する。アドレス比較手段１６３は、識別データが前記アドレス線１６１のアドレスと一致する場合には、一致することを示す比較結果情報を出力する。

動作許可情報出力手段１６４は、比較回路１６３からの比較結果情報を入力し、この比較結果情報が、識別データとアドレス線１６１のアドレスとが一致することを示すものである場合であり、かつメモリチップを選択する選択信号が選択信号線１６２から入力されている場合に、メモリチップの動作を許可する動作許可情報を出力する。

このように、メモリチップ組立体に設けられる記憶手段８５に記憶される識別データをアドレスとして用いることができる。したがって、選択信号線１６２から同一の選択信号が入力される場合であっても、積層されるメモリチップ毎にアドレスが異なることによって、メモリチップを選択して動作させることができる。したがって、必要なメモリチップのみを選択して動作させることができる。

INTEL-1009
7,826,243

本発明のさらに他の実施の形態では、メモリチップにバウンダリスキャンコントローラ８０，１３０，１４０のうちいずれか１つが設けられるメモリチップ組立体に、データ線を選択するデータ線選択手段１７０を設ける構成としてもよい。

図１０は、メモリチップ組立体に設けられるデータ線選択手段１７０を示す図である。メモリチップ組立体は、メモリチップのデータ線に追加して形成され、前記データ線の数よりも多い追加データ線１７２と、追加データ線１７２を選択してメモリチップのデータ線１７１に接続するデータ線選択手段１７０とを含む。

データ線は、入出力端子であるが、ＯＥ（出力イネーブル）端子や、ＲＷ（読み書き指定）などの状態で出力として動作しているか入力として動作しているか特定できるため、入力のデータセレクタと出力のデータセレクタを独立に設けてもよいし、データセレクタに双方向性のものを用いれば、入出力の端子であっても図示される接続で実現できる。

メモリチップ組立体には、メモリチップのデータ線の数よりも多い追加データ線１７２が形成される。データ線選択手段１７０は、複数のデータセレクタ１７３を有する。各データセレクタ１７３には、それぞれ記憶手段８５から識別データが入力される。各データセレクタ１７３は、複数の追加データ線１７２と、メモリチップの１つのデータ線１７１とに接続され、識別データに基づいて、追加データ線１７２を選択して、メモリチップのデータ線１７１に接続することができる。

このように、識別データによって追加データ線１７２を選択することができるので、たとえば８ビットバスに対応するメモリチップを４つ積層したメモリモジュールを３２ビットバスに対応するメモリとして使用することができる。つまり３２ビットバスからの入力を、識別データによって選択して、積層される４つのメモリチップに振り分けることができる。したがって、複数のメモリチップを積層して、少ないスペースで大容量のメモリモジュールを容易に構成することができる。

さらに本発明のさらに他の実施の形態では、メモリチップ組立体に、アドレス線およびデータ線を追加して、前述した図９に示すメモリチップ選択手段１６０、

INTEL-1009
7,826,243

および図１０に示すデータ線選択手段１７０とを組合せて構成してもよい。

本発明は、その精神または主要な特徴から逸脱することなく、他のいろいろな形態で実施できる。したがって、前述の実施形態はあらゆる点で単なる例示に過ぎず、本発明の範囲は特許請求の範囲に示すものであって、明細書本文には何ら拘束されない。さらに、特許請求の範囲に属する変形や変更は全て本発明の範囲内のものである。

【産業上の利用可能性】

以上のように本発明によれば、固定データ保持手段に保持される固定データおよび記憶手段に記憶される識別データが同一である場合と、同一でない場合とで、データ導出部から出力されるデータを異ならせることができる。

バウンダリスキャンテストは、複数のバウンダリスキャンコントローラを連結したデイジーチェーンに対して行われる。本発明のバウンダリスキャンコントローラでは、固定データとして、最上段の半導体回路チップの識別データを固定データ保持手段に保持させることによって、最上段のバウンダリスキャンコントローラだけ、データ導出部から出力されるデータを、他のデータ導出部から出力されるデータと異ならせることができる。

したがって、最上段の半導体回路チップに設けられるバウンダリスキャンコントローラの出力部は、無接続状態として、各バウンダリスキャンコントローラのデータ導出部は、同一のバスラインに接続することができる。つまり、同一のバスラインに接続されるデータ導出部のうち、最上段以外の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ導出部をバスラインから切断した状態とすることができる。これによって、バウンダリスキャンコントローラを備える同一の半導体回路チップ組立体を積層して、半導体装置を構成することができる。

また本発明によれば、記憶手段に識別データが記憶され、比較情報が識別データおよび固定データが一致することを示す場合、データ導出部は、出力部が出力するテスト結果データと同一のデータを出力する。したがって、データ導出部から詳細なテスト結果データを得ることができ、接続不良の詳細な場所を特定する

INTEL-1009
7,826,243

ことができる。

また本発明によれば、記憶手段に識別データが記憶されていない場合、データ導出部は、その出力を予め定める信号レベルに維持する。予め定める信号レベルとは、たとえばHレベルの状態である。これによって、データ導出部の出力側が回路に接続されていても、実質上、前記回路から切り離された状態とすることができる。

また本発明によれば、半導体回路チップ組立体を同一のウエハプロセスによって形成することができるので、この半導体回路チップ組立体を形成する手間が低減される。また半導体装置を形成する場合に、同じ半導体回路チップ組立体を積層するので、積層する順番などを考慮する必要がなく、装置の形成が容易となり、製造コストが低減する。

また本発明によれば、メモリチップの選択する選択信号が入力されたとしても、追加アドレス線に対応するデータと記憶手段に記憶される識別データとが一致しないと、許可手段によってメモリチップの動作が許可されない。したがって、同一の選択信号を入力したとしても、許可手段は1つのメモリチップの動作のみを許可することができるので、積層されるメモリチップごとに動作させることができる。

また本発明によれば、選択手段は、記憶手段に記憶される識別データによって追加データ線を選択して、メモリチップのデータ線に接続するので、積層されるメモリチップ毎に追加データ線を割当てることができる。したがって、1つのメモリチップに対応するバスラインよりも多いバスラインに接続してメモリチップを動作させることができる。これによって、メモリチップの種類を増やさなくても、メモリチップ組立体を積層して大容量メモリモジュールを構成することができる。

また本発明によれば、記憶手段に記憶される識別データによって各半導体回路チップを個別に認識することができる。したがって、識別データを用いることによって、半導体回路チップを個別に管理することができる。

また本発明によれば、記憶手段に記憶される識別データに基づいて選択した半

INTEL-1009
7,826,243

導体回路チップに動作を行わせるので、積層される半導体回路チップを個別に動作させることができる。

INTEL-1009
7,826,243

請 求 の 範 囲

1．半導体回路チップに設けられ、外部信号入力端子と内部論理回路の入力端子との間、および外部信号出力端子と内部論理回路の出力端子との間にそれぞれ設けられるバウンダリスキャンセルが直列に接続されて構成されるシフトレジスタ回路を制御するバウンダリスキャンコントローラであって、

入出力タイミングを与えるクロック入力部と、予め定める動作命令を与えるテストモード入力部と、半導体回路チップの識別データおよびテストデータを入力するデータ入力部と、

前記識別データを記憶する記憶手段と、

前記予め定める動作命令を実行して、識別データを記憶手段に記憶させるとともに、テストデータを用いた回路テストを実行してテスト結果データを得る制御手段と、

制御手段によって得られたテスト結果データを出力するデータ出力部と、

予め定める固定データを保持する固定データ保持手段と、

前記識別データおよび固定データが同一であるか否かを比較し、比較結果情報を出力する比較手段と、

比較手段からの比較結果情報に基づいて、出力部から出力されるテスト結果データに対応するデータを導出するデータ導出部とを含むことを特徴とするバウンダリスキャンコントローラ。

2．前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致することを示す場合、データ導出部は、データ出力部が出力するテスト結果データと同一のデータを出力することを特徴する請求項1記載のバウンダリスキャンコントローラ。

3．前記記憶手段に識別データが記憶されていない場合、データ導出部は、識別データが記憶されていないことを示すデータを出力することを特徴とする請求項1または2記載のバウンダリスキャンコントローラ。

4．前記記憶手段に識別データが記憶されていない場合、データ導出部は、その出力を予め定める一定の信号レベルに維持することを特徴とする請求項1また

INTEL-1009
7,826,243

は２記載のバウンダリスキャンコントローラ。

５．前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、その出力を予め定める一定の信号レベルに維持することを特徴とする請求項１～３のいずれか１つに記載のバウンダリスキャンコントローラ。

６．請求項１～５のいずれか１つに記載のバウンダリスキャンコントローラを半導体回路チップに設けて半導体回路チップ組立体が構成され、前記半導体回路チップ組立体を積層して構成されることを特徴とする半導体装置。

７．前記半導体回路チップは、メモリチップであり、

メモリチップ組立体は、

メモリチップのアドレス線に追加して形成される追加アドレス線と、

メモリチップを選択するため選択信号を入力する選択信号線と、

前記メモリチップの追加アドレス線に対応するデータと、記憶手段に記憶される識別データとが一致し、かつ選択信号が入力される場合に、メモリチップの動作を許可する許可手段とを含むことを特徴とする請求項６記載の半導体装置。

８．前記半導体回路チップは、メモリチップであり、

メモリチップ組立体は、

メモリチップのデータ線に追加して形成され、前記データ線の数よりも多い追加データ線と、

記憶手段に記憶される識別データによって、追加データ線を選択してメモリチップのデータ線に接続する選択手段とを含むことを特徴とする請求項６または７記載の半導体装置。

９．請求項７記載の半導体装置における半導体回路チップ識別方法であって、記憶手段に記憶される識別データによって各半導体回路チップを識別することを特徴とする半導体装置の半導体回路チップ識別方法。

１０．請求項７記載の半導体装置における半導体回路チップ制御方法であって、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を行わせることを特徴とする半導体装置の半導体回路チップ制御方法。

INTEL-1009
7,826,243

補正書の請求の範囲

[２００４年7月２８日（２８．０７．２００４）国際事務局受理 ： 出願当初の請求の範囲１、２及び５は補正された；他の請求の範囲は変更なし。（３頁）]

請 求 の 範 囲

１．（補正後）半導体回路チップに設けられ、外部信号入力端子と内部論理回路の入力端子との間、および外部信号出力端子と内部論理回路の出力端子との間にそれぞれ設けられるバウンダリスキャンセルが直列に接続されて構成されるシフトレジスタ回路を制御するバウンダリスキャンコントローラであって、

入出力タイミングを与えるクロック入力部と、予め定める動作命令を与えるテストモード入力部と、半導体回路チップの識別データおよびテストデータを入力するデータ入力部と、

前記識別データを記憶する記憶手段と、

前記予め定める動作命令を実行して、識別データを記憶手段に記憶させるとともに、テストデータを用いた回路テストを実行してテスト結果データを得る制御手段と、

常に出力を行うデータ出力部であって、制御手段によって得られたテスト結果データを出力するデータ出力部と、

予め定める固定データを保持する固定データ保持手段と、

前記識別データおよび固定データが同一であるか否かを比較し、比較結果情報を出力する比較手段と、

比較手段からの比較結果情報に基づいて、データ出力部から出力されるテスト結果データに対応するデータを導出するデータ導出部とを含むことを特徴とするバウンダリスキャンコントローラ。

２．（補正後）前記記憶手段に識別データが記憶され、比較手段が出力する比較結果情報が、識別データおよび固定データが一致することを示す場合、データ導出部は、データ出力部が出力するテスト結果データと同一のデータを出力することを特徴する請求項１記載のバウンダリスキャンコントローラ。

３．前記記憶手段に識別データが記憶されていない場合、データ導出部は、識別データが記憶されていないことを示すデータを出力することを特徴とする請求項１または２記載のバウンダリスキャンコントローラ。

４．前記記憶手段に識別データが記憶されていない場合、データ導出部は、そ

補正された用紙(条約第19条)

INTEL-1009
7,826,243

の出力を予め定める一定の信号レベルに維持することを特徴とする請求項１また

INTEL-1009
7,826,243

は２記載のバウンダリスキャンコントローラ。

５．（補正後）前記記憶手段に識別データが記憶され、比較手段が出力する比較結果情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、その出力を予め定める一定の信号レベルに維持することを特徴とする請求項１～３のいずれか１つに記載のバウンダリスキャンコントローラ。

６．請求項１～５のいずれか１つに記載のバウンダリスキャンコントローラを半導体回路チップに設けて半導体回路チップ組立体が構成され、前記半導体回路チップ組立体を積層して構成されることを特徴とする半導体装置。

７．前記半導体回路チップは、メモリチップであり、

メモリチップ組立体は、

メモリチップのアドレス線に追加して形成される追加アドレス線と、

メモリチップを選択するため選択信号を入力する選択信号線と、

前記メモリチップの追加アドレス線に対応するデータと、記憶手段に記憶される識別データとが一致し、かつ選択信号が入力される場合に、メモリチップの動作を許可する許可手段とを含むことを特徴とする請求項６記載の半導体装置。

８．前記半導体回路チップは、メモリチップであり、

メモリチップ組立体は、

メモリチップのデータ線に追加して形成され、前記データ線の数よりも多い追加データ線と、

記憶手段に記憶される識別データによって、追加データ線を選択してメモリチップのデータ線に接続する選択手段とを含むことを特徴とする請求項６または７記載の半導体装置。

９．請求項７記載の半導体装置における半導体回路チップ識別方法であって、記憶手段に記憶される識別データによって各半導体回路チップを識別することを特徴とする半導体装置の半導体回路チップ識別方法。

１０．請求項７記載の半導体装置における半導体回路チップ制御方法であって、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を行わせることを特徴とする半導体装置の半導体回路チップ制御方法。

INTEL-1009
7,826,243

条約第１９条（１）に基づく説明書

出願時の請求の範囲第１項、第２項および第５項をそれぞれ補正した。

補正後の請求の範囲第１項については、データ出力部が「常に出力を行う」ことが明確になるようにした。補正後の請求の範囲第２項および第５項については、「比較情報」を「比較結果情報」に訂正した。

補正後の請求の範囲第１項に係る発明（以下、本発明という）は、同一チップを用いて３次元積層モジュールを構成する際の電極位置が自由にならない状況を解決し実現するためのものである。

文献１には、積層モジュールを構成するチップの内、１つのチップには、バウンダリスキャンコントローラのフルセットと信号を分配するロジックとを有し、その他のチップには、分配された信号で動くバウンダリスキャンコントローラのサブセットを有することが開示されている。すなわち文献１では、積層される各チップの構成が異なっている。

文献２には、スキャンパステストにおいて、スキャン入力データ、スキャン出力データをパス接続とし、代わりにスキャンアドレス／データ選択先を付加したテスト回路が開示されている。スキャン入力データ、スキャン出力データがパス接続となっており、テスト回路内部に保持したアドレス情報と与えられるアドレスの一致・不一致に従いスキャン結果をスキャン出力データを出力するか否かを決定する回路を有する。しかしながら、文献２では、スキャン入力データ、スキャン出力データをパス接続とするため、スキャンアドレス／データ選択線を付加する必要があり、本願発明に開示するいわゆるバウンダリスキャンのテスト線と比較して１本以上テスト線が冗長となる。

文献３には、バウンダリスキャン回路を半導体基板上に配置された絶縁層の上に薄膜トランジスタで作成することが開示されており、図９には、複数のチップを重ねて用いる場合のテストパッドが開示されている。しかしながら、本発明のような同一チップ、同一電極配置における接続方法に関する開示はない。

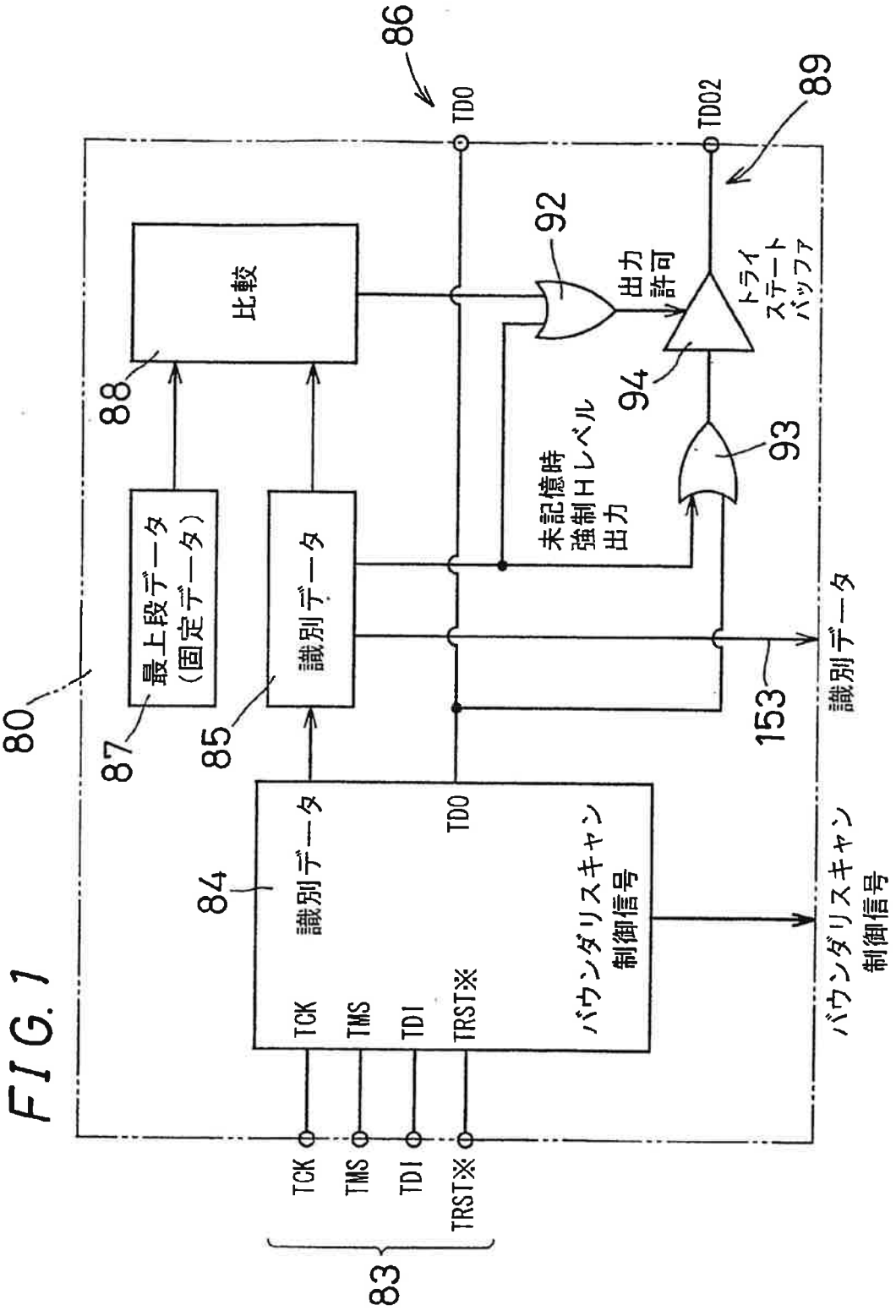
このように上述の文献１～３を組合わせたとしても、本発明に係る技術思想についての開示および示唆はなく、当業者にとって自明なものではないと思料する。

請求の範囲第２項～第１０項の特徴も、文献１～３には開示されていない。

以上

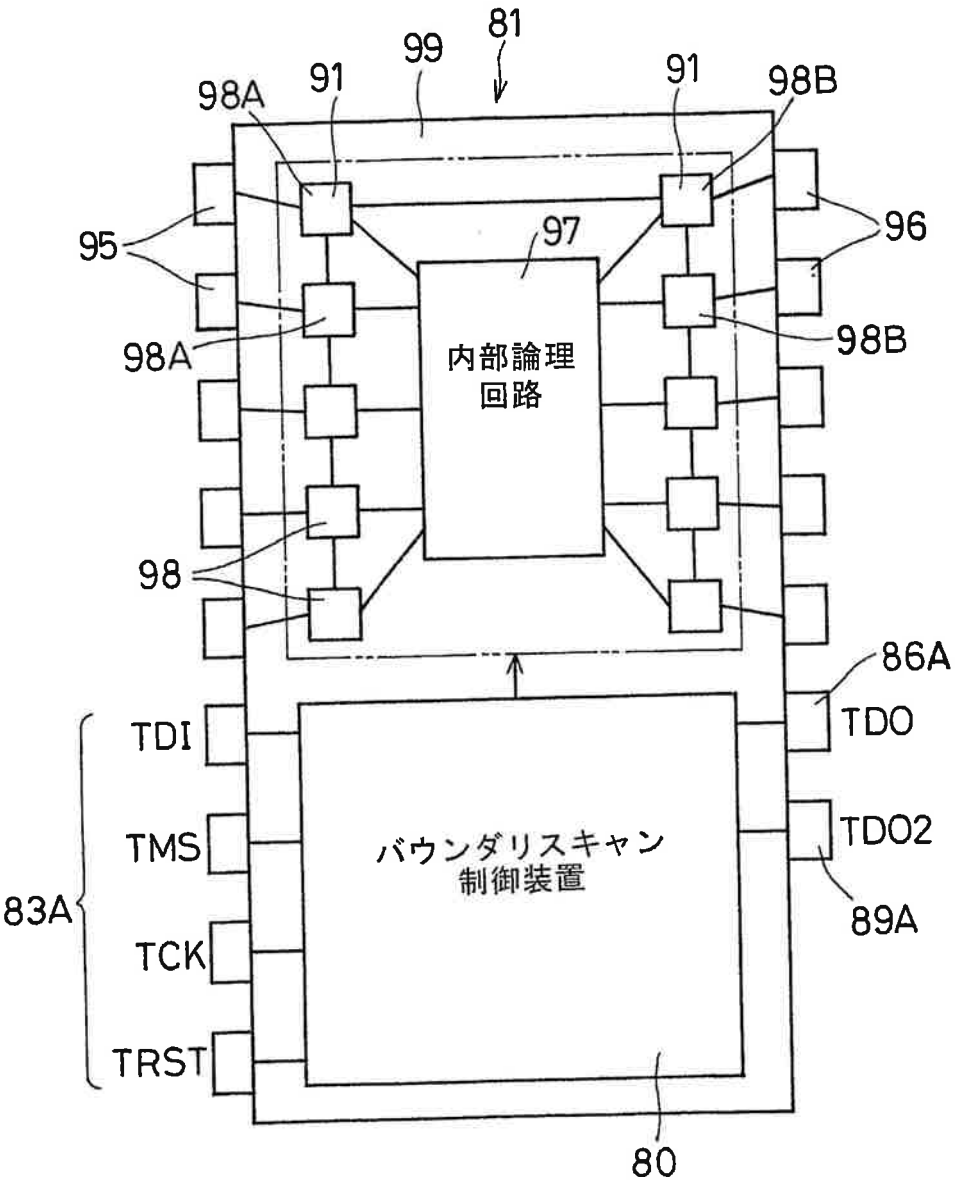
INTEL-1009
7,826,243

FIG. 1



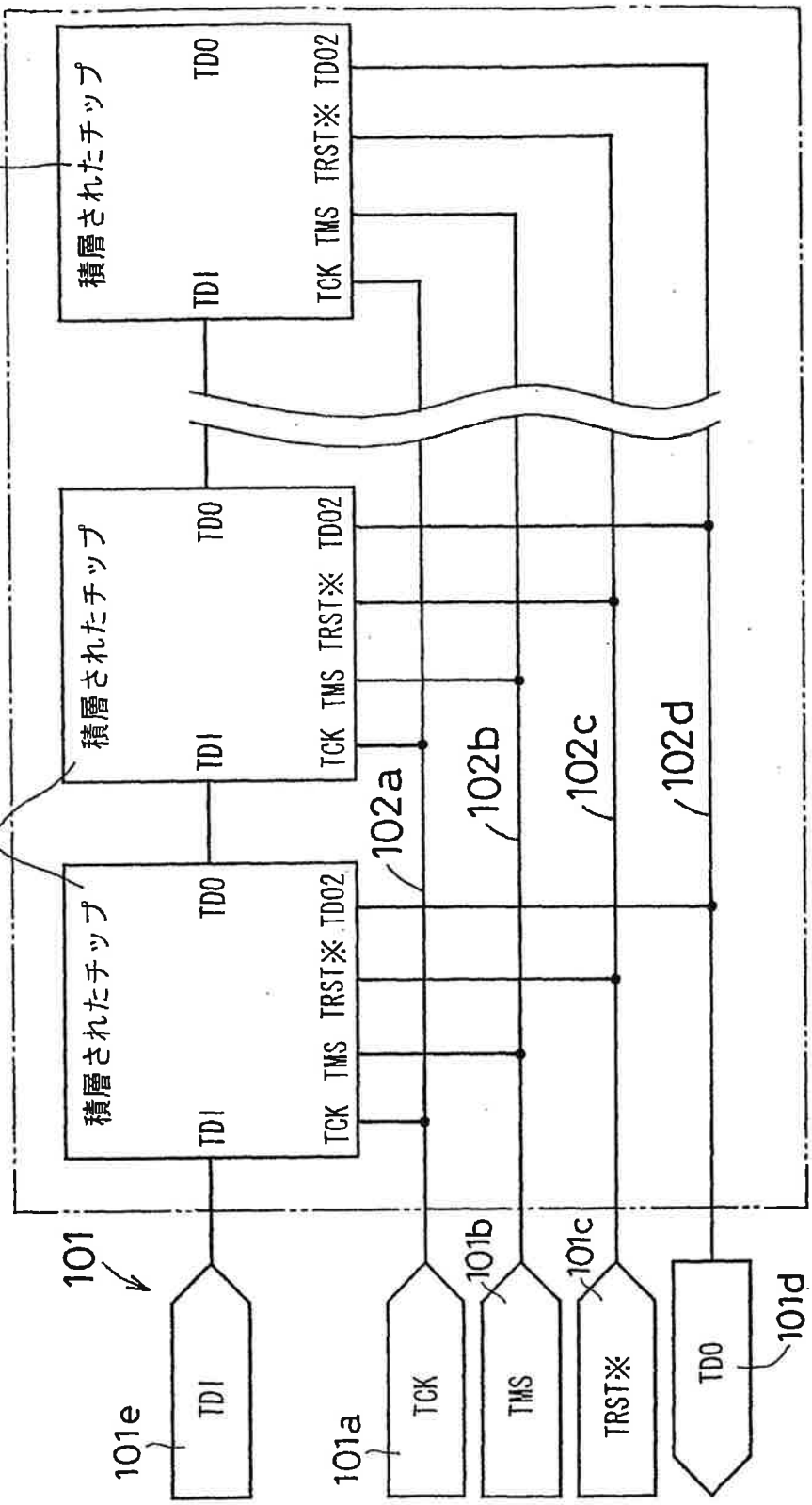
INTEL-1009
7,826,243

FIG. 2



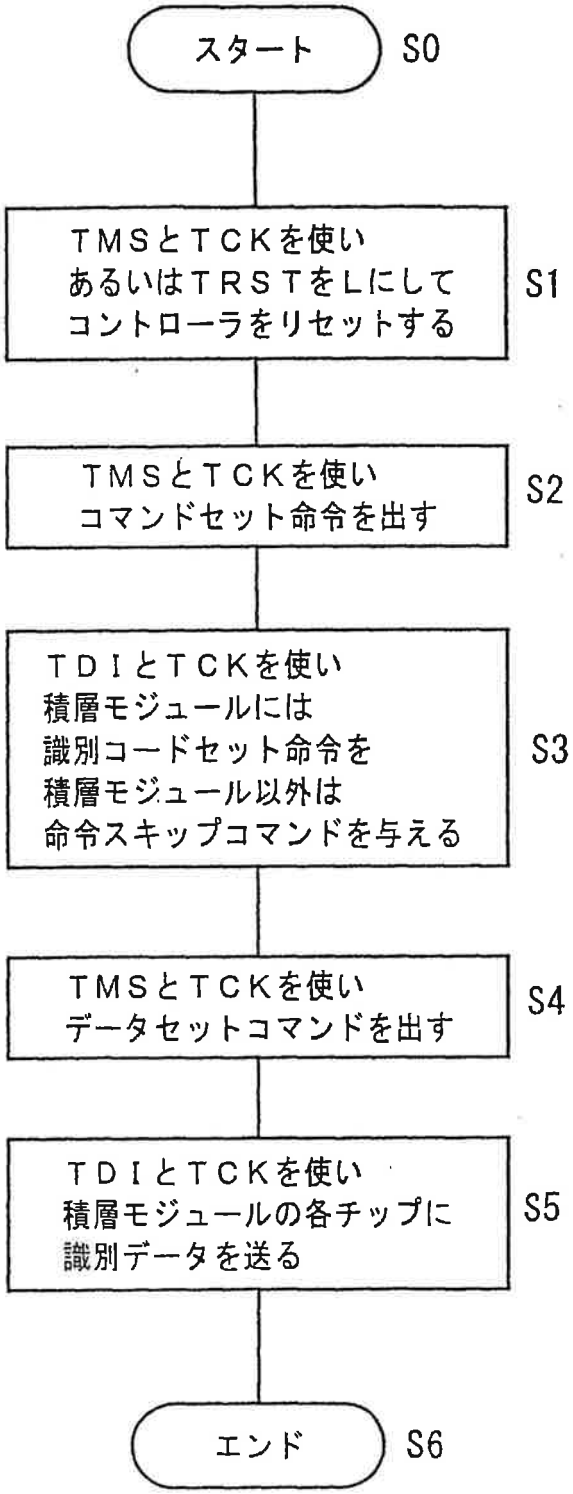
INTEL-1009
7,826,243

FIG. 3



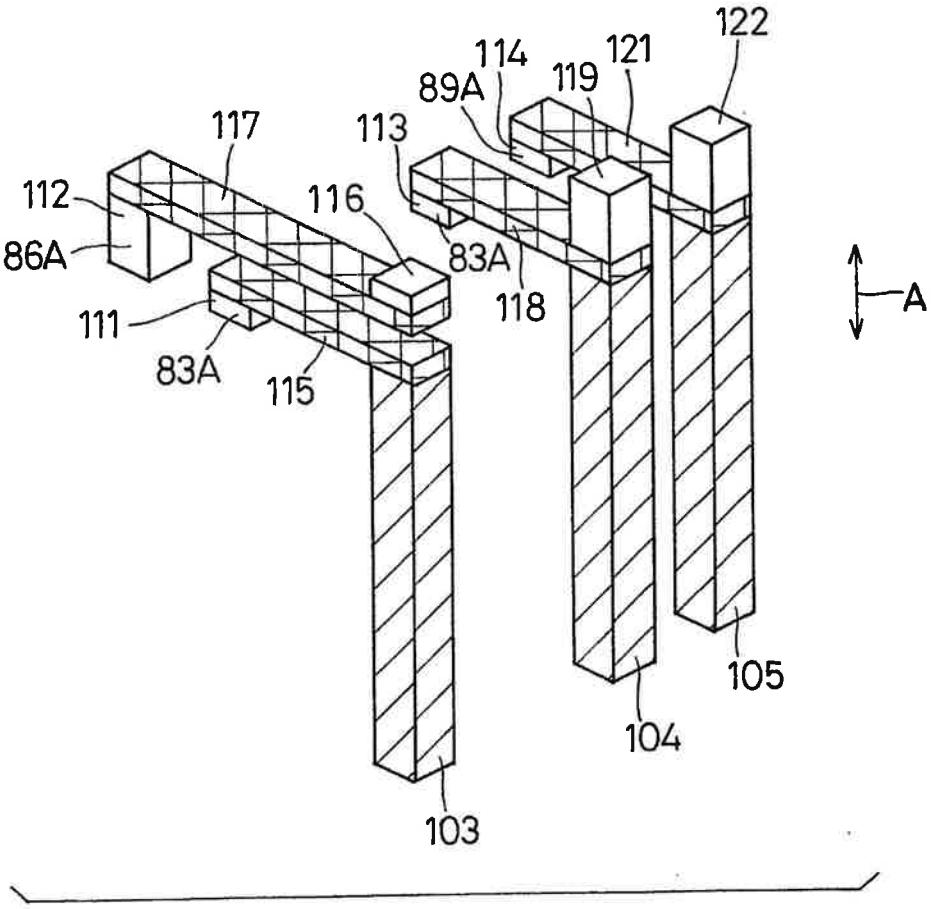
INTEL-1009
7,826,243

FIG. 4



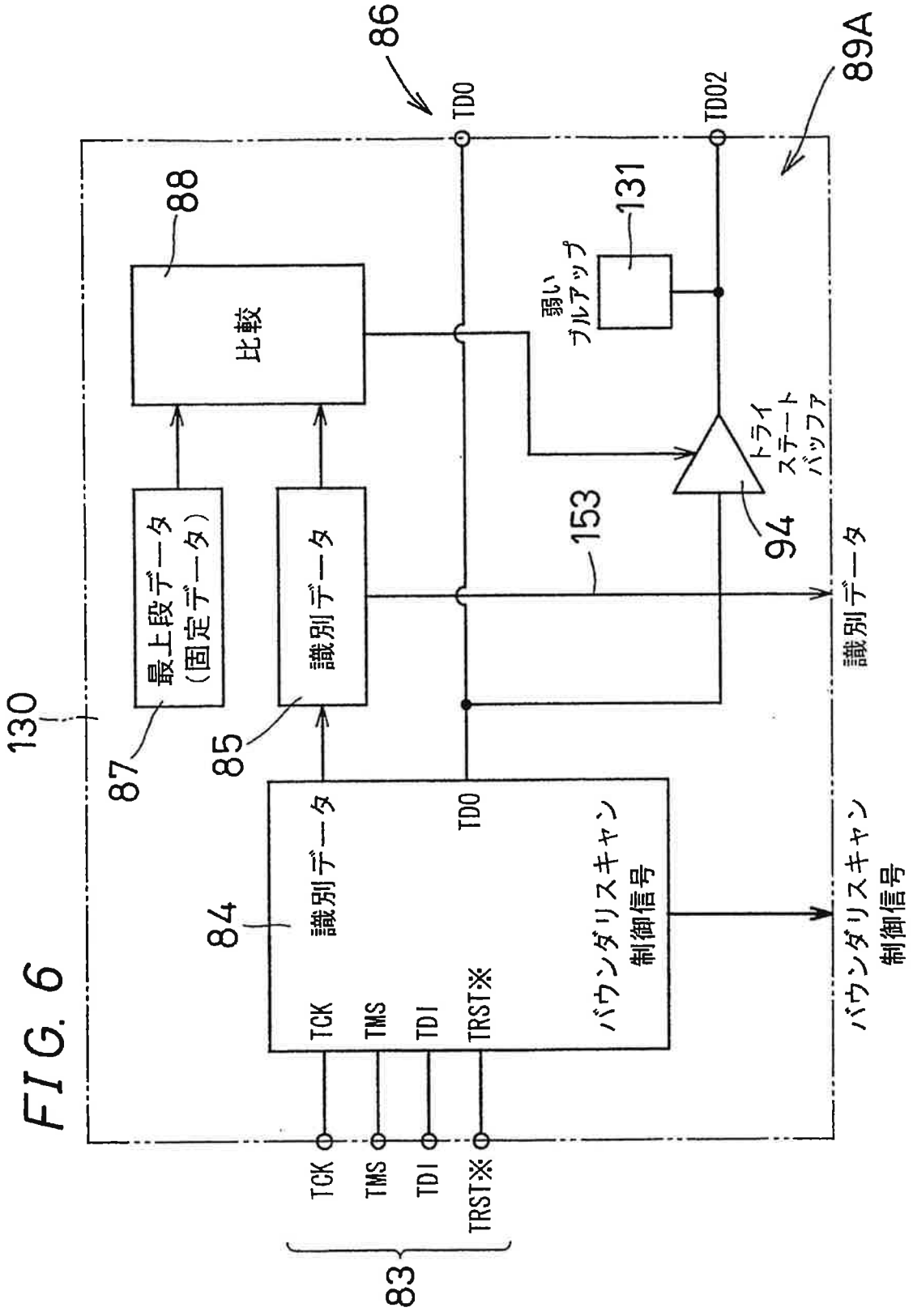
INTEL-1009
7,826,243

FIG. 5



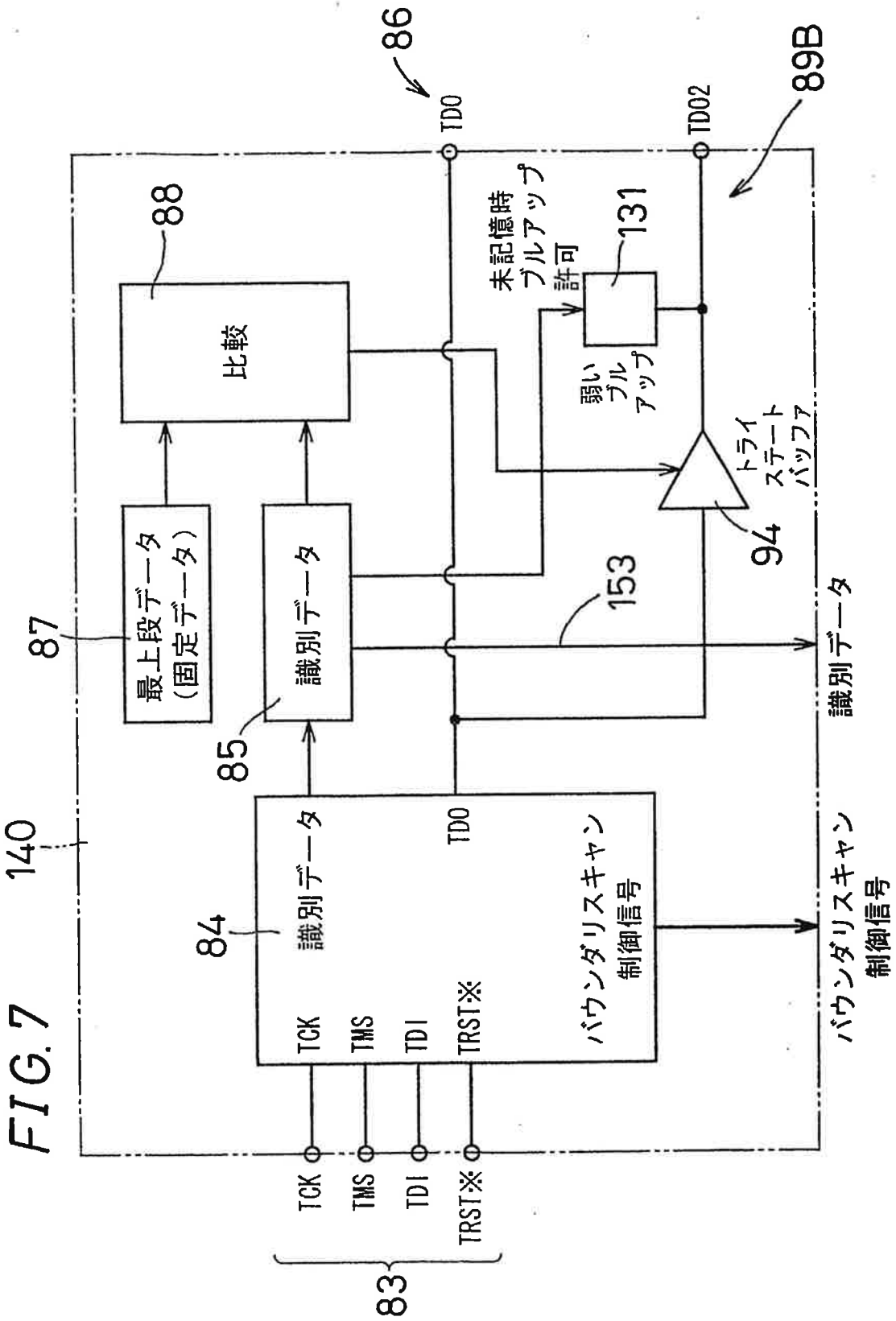
INTEL-1009
7,826,243

FIG. 6



INTEL-1009
7,826,243

FIG.7



INTEL-1009
7,826,243

FIG. 8

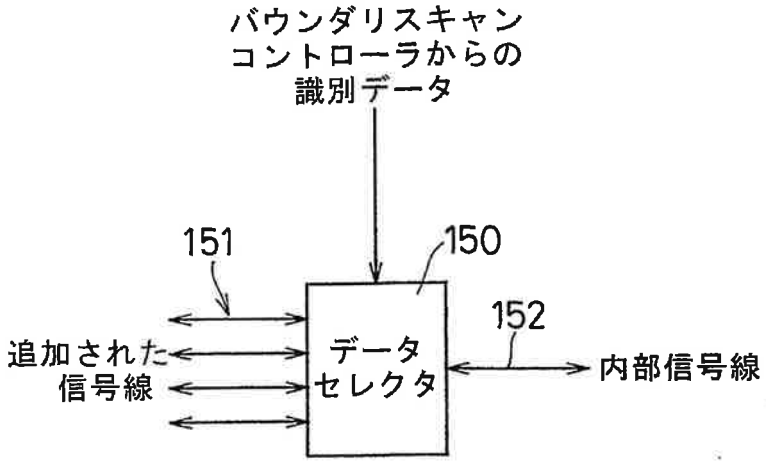
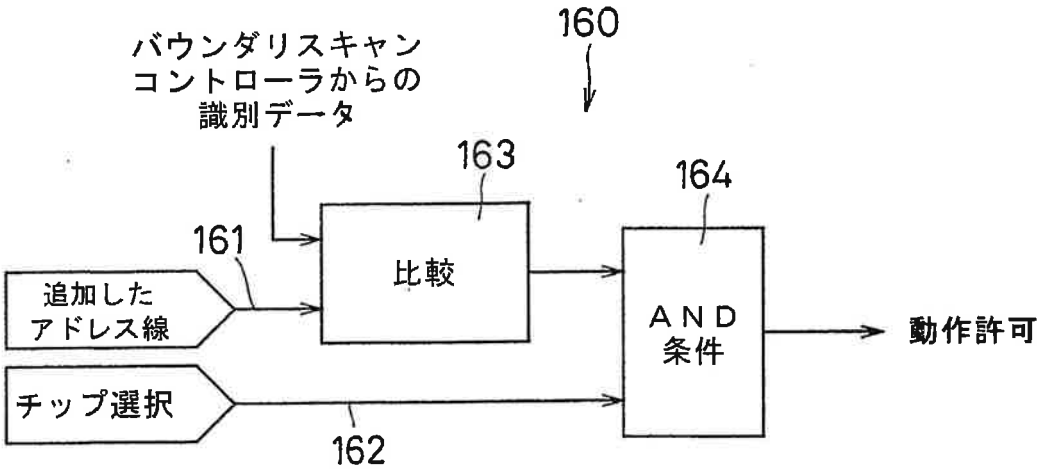
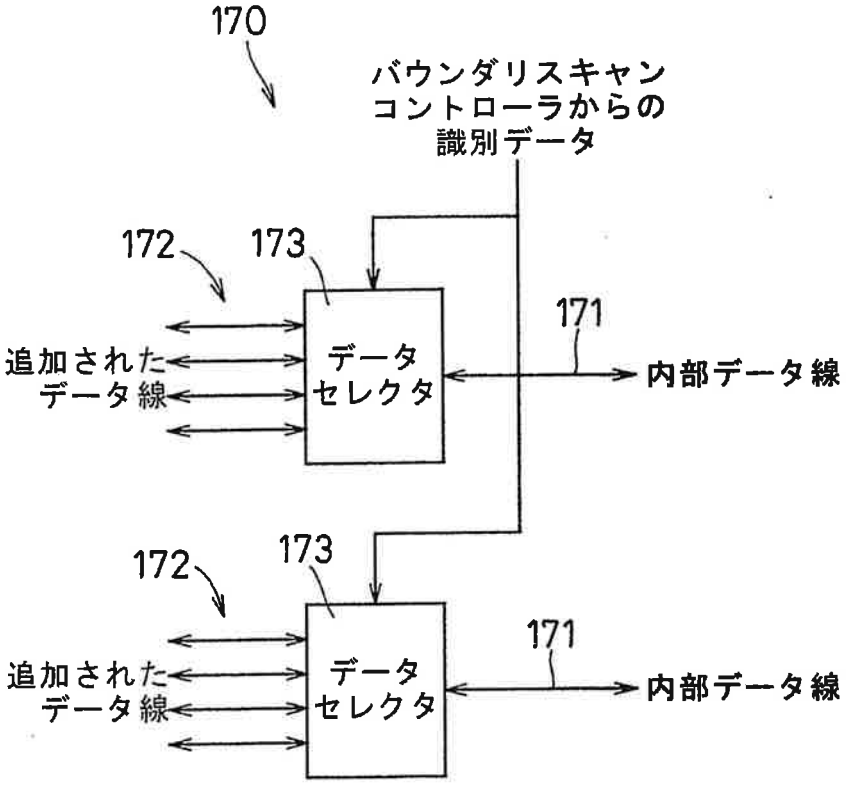


FIG. 9



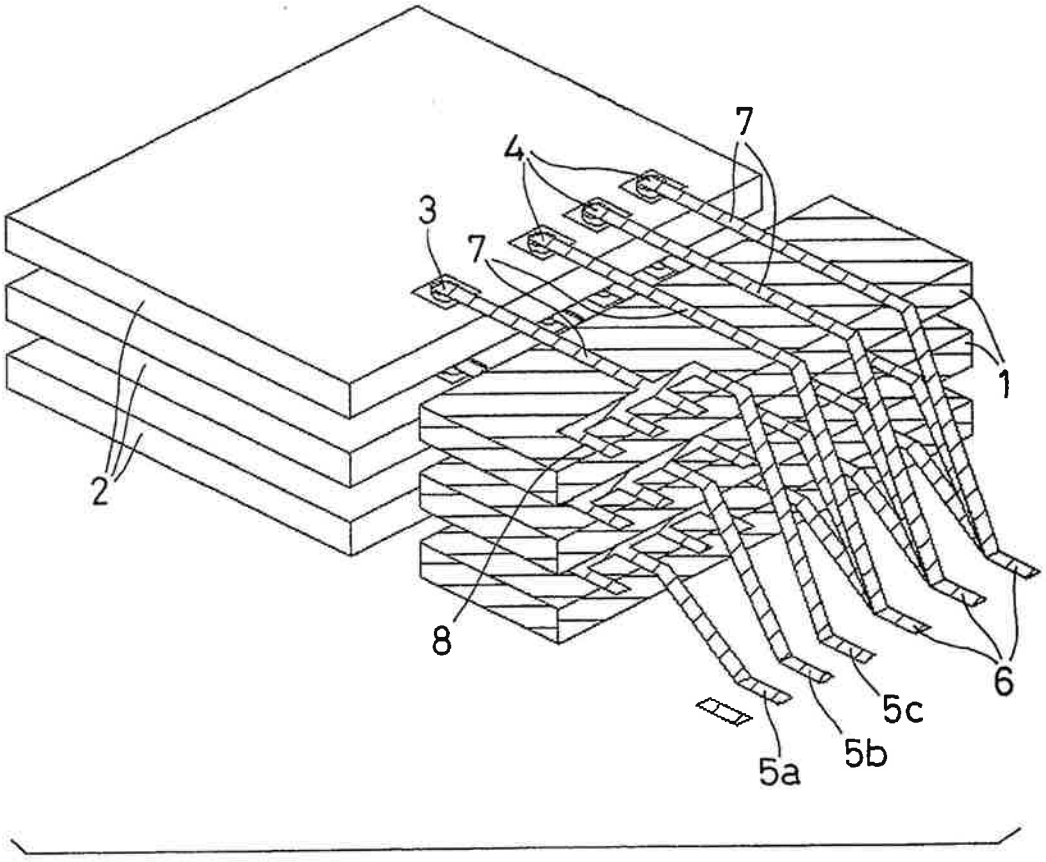
INTEL-1009
7,826,243

FIG. 10



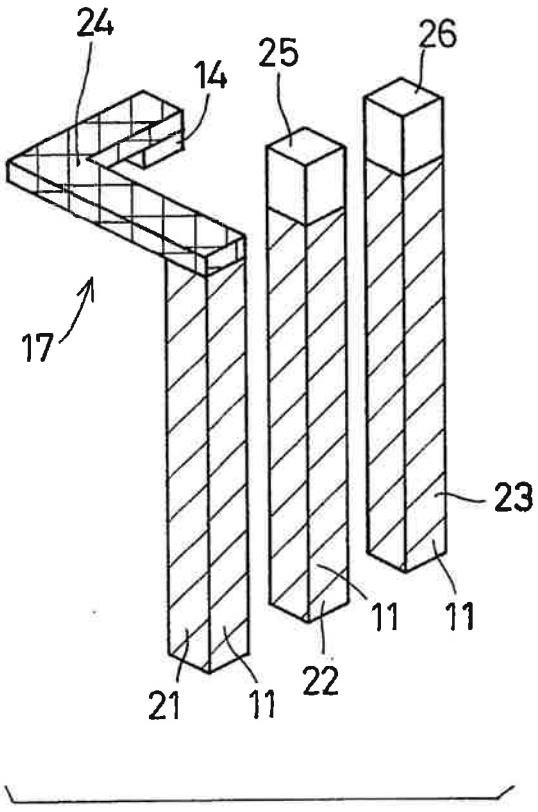
INTEL-1009
7,826,243

FIG. 11



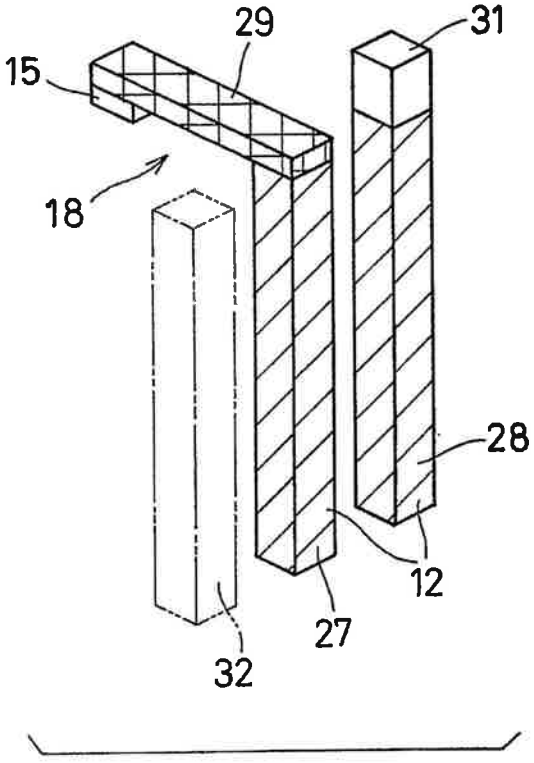
INTEL-1009
7,826,243

FIG. 12



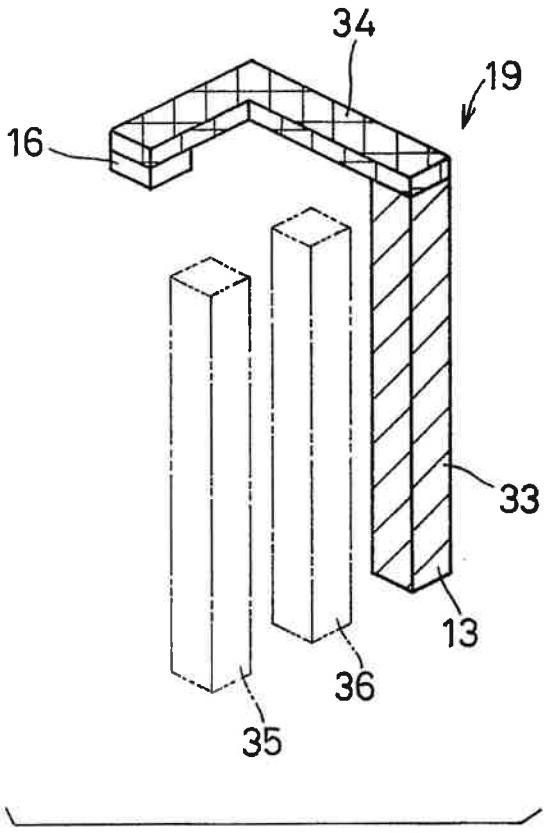
INTEL-1009
7,826,243

FIG. 13



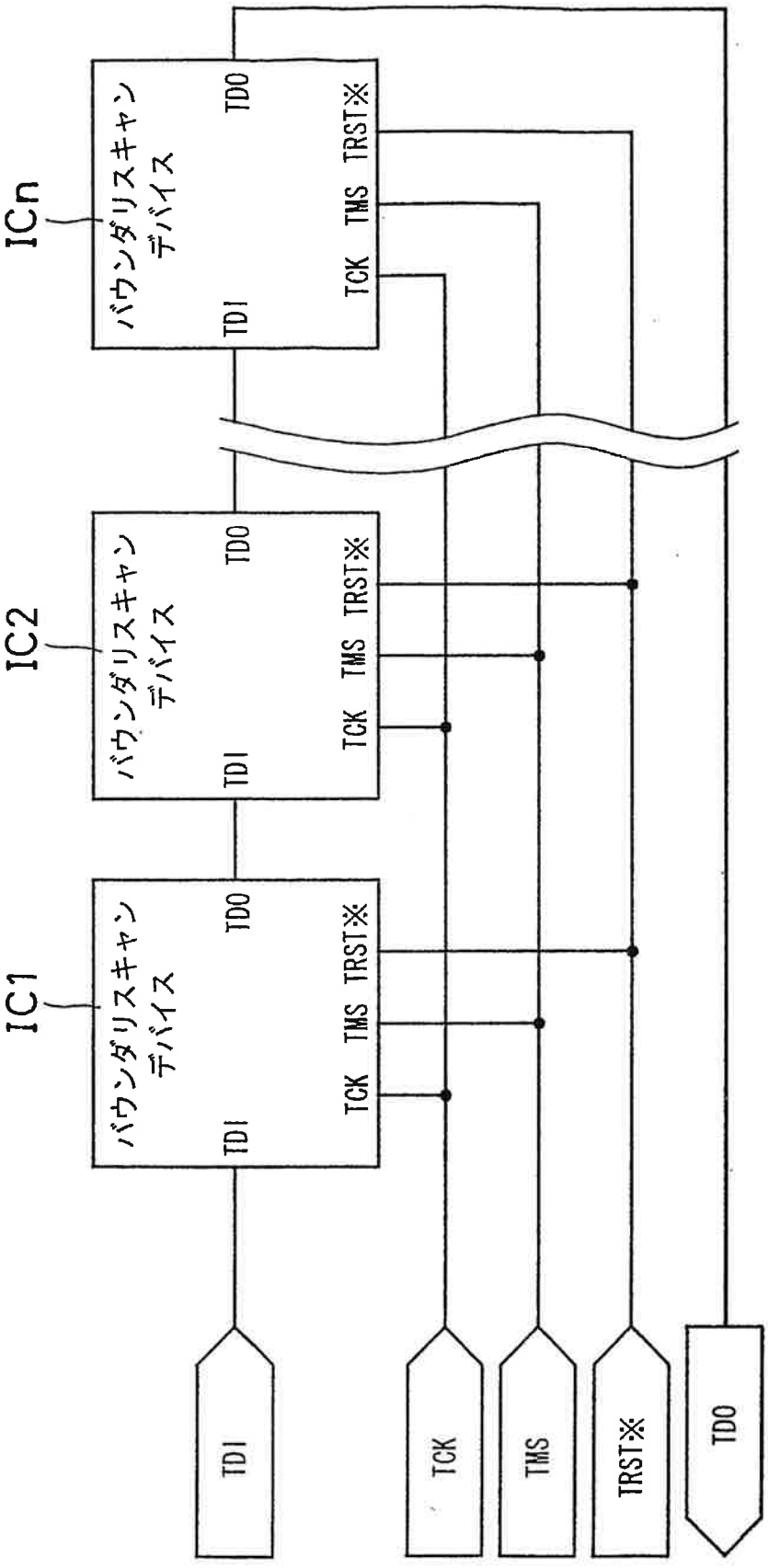
INTEL-1009
7,826,243

FIG. 14



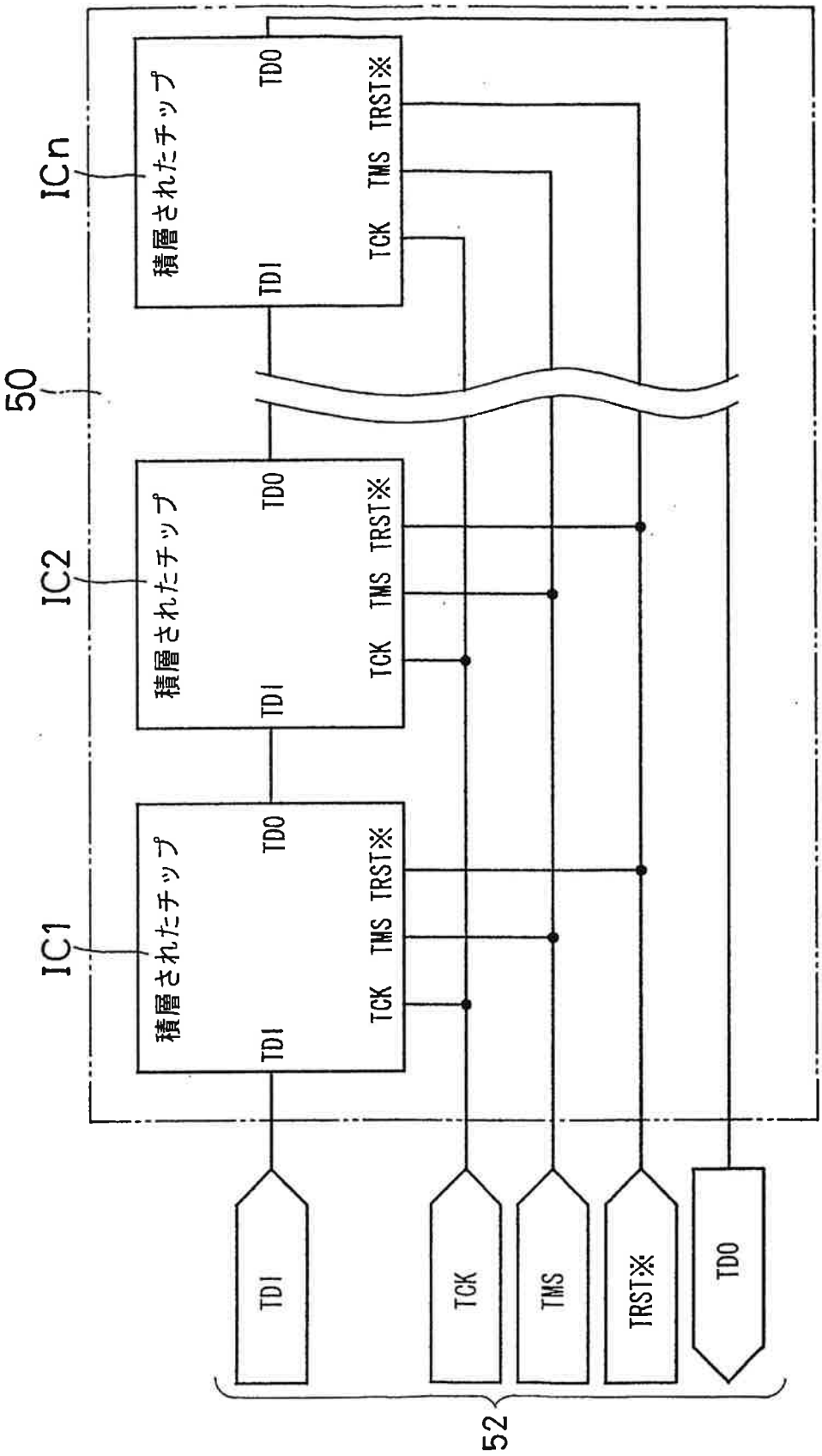
INTEL-1009
7,826,243

FIG. 15



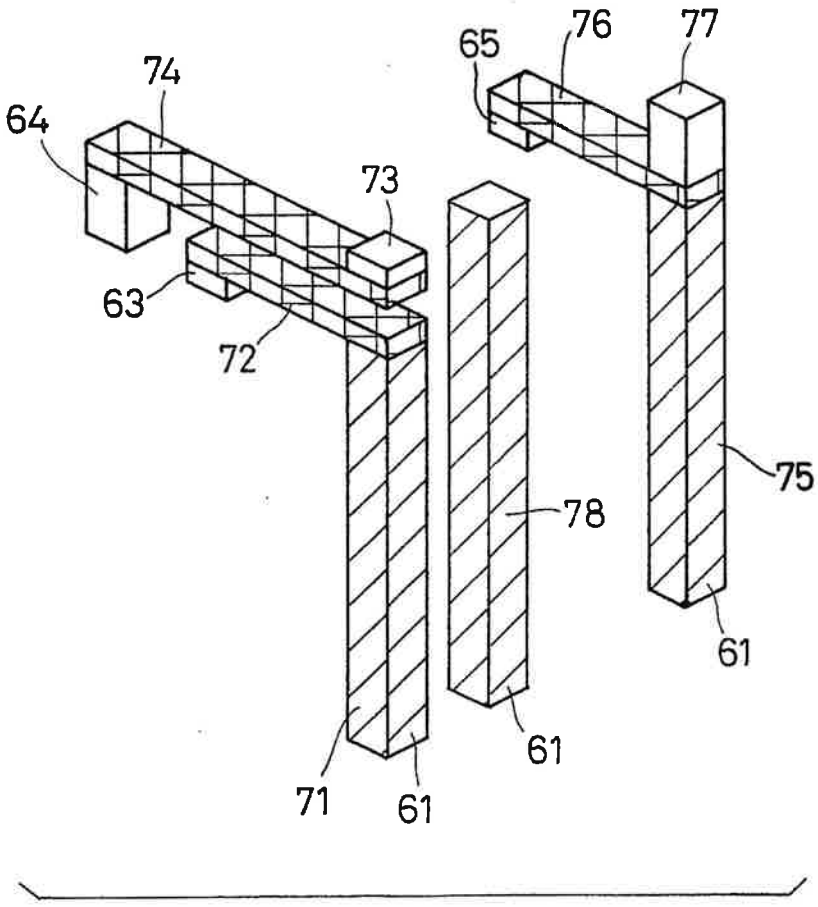
INTEL-1009
7,826,243

FIG. 16



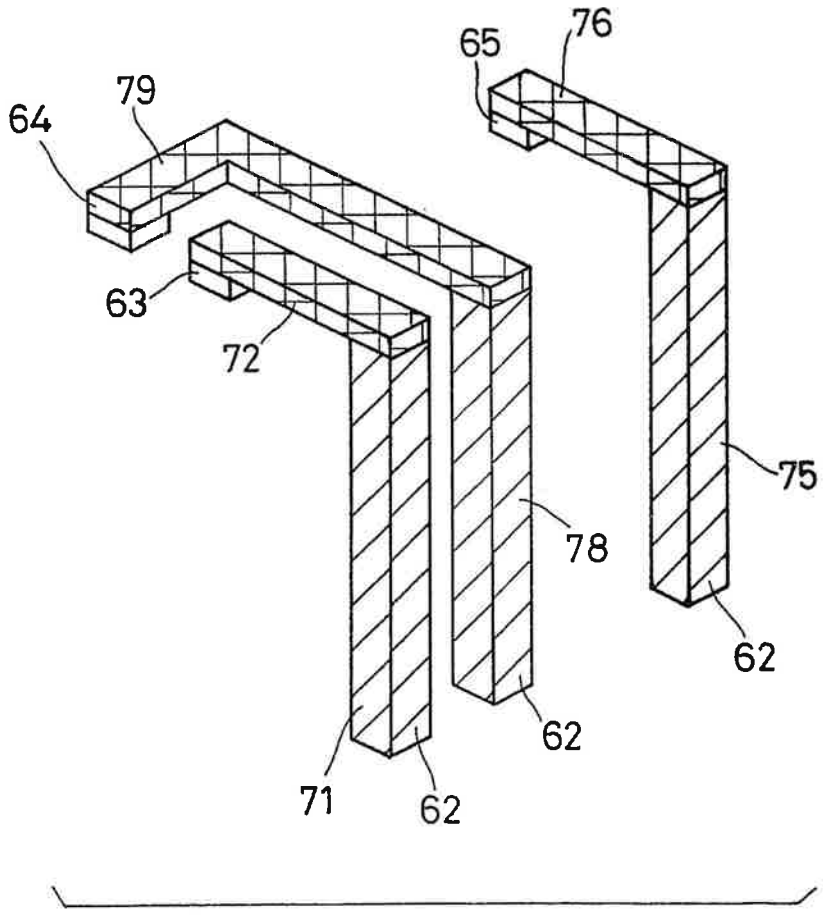
INTEL-1009
7,826,243

FIG. 17



INTEL-1009
7,826,243

FIG. 18



INTEL-1009
7,826,243

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/001430

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G01R31/28-3193, G06F11/22-26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-135786 A (Sharp Corp.), 18 May, 2001 (18.05.01), Par. Nos. [0006] to [0012]; Figs. 6, 7 & EP 1099953 A2 Par. Nos. [0006] to [0012]; Figs. 6, 7	1,2,5 3,4,6-10
Y A	JP 61-155874 A (Toshiba Corp.), 15 July, 1986 (15.07.86), Full text; all drawings (Family: none)	1,2,5 3,4,6-10
A	JP 2003-014819 A (Matsushita Electric Industrial Co., Ltd.), 15 January, 2003 (15.01.03), Par. Nos. [0058] to [0079]; Fig. 9 & US 2003/0025191 A1 Par. Nos. [0090] to [0116]; Fig. 9	6-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search 20 May, 2004 (20.05.04)	Date of mailing of the international search report 08 June, 2004 (08.06.04)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

国際調査報告

国際出願番号 PCT／JP2004／001430

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl⁷ G01R 31／28

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl⁷ G01R 31／28－3193, G06F 11／22－26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922－1996年
日本国公開実用新案公報	1971－2004年
日本国登録実用新案公報	1994－2004年
日本国実用新案登録公報	1996－2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y A	JP 2001-135786 A（シャープ株式会社）2001.05.18, [0006]-[0012], 図6,7 & EP 1099953 A2, [0006]-[0012], FIG. 6,7	1,2,5 3,4,6-10
Y A	JP 61-155874 A（株式会社東芝）1986.07.15, 全文，全図（ファミリーなし）	1,2,5 3,4,6-10
A	JP 2003-014819 A（松下電器産業株式会社）2003.01.15, [0058]-[0079], 図9 & US 2003/0025191 A1, [0090]-[0116], FIG. 9	6-10

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 20. 05. 2004	国際調査報告の発送日 08. 6. 2004
国際調査機関の名称及びあて先 日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 堀 圭史 2S 3005 電話番号 03－3581－1101 内線 3258

様式PCT／ISA／210（第2ページ）（2004年1月）

INTEL-1009
7,826,243