

| (51) Int.Cl. <sup>6</sup> |         | Identification codes | JPO file number | FI            | Technical indications |     |                     |
|---------------------------|---------|----------------------|-----------------|---------------|-----------------------|-----|---------------------|
| H03K                      | 19/177  |                      | 9199-5K         | H03K          | 19/177                |     |                     |
|                           | 19/0952 | 101                  | 9199-5K         |               | 19/173                | 101 |                     |
|                           | 19/173  |                      |                 |               | 23/64                 | A   |                     |
|                           | 23/64   |                      |                 |               | 19/094                | Z   |                     |
| Request for examination   |         |                      |                 | Not requested | Number of claims 5    | FD  | (15 pages in total) |

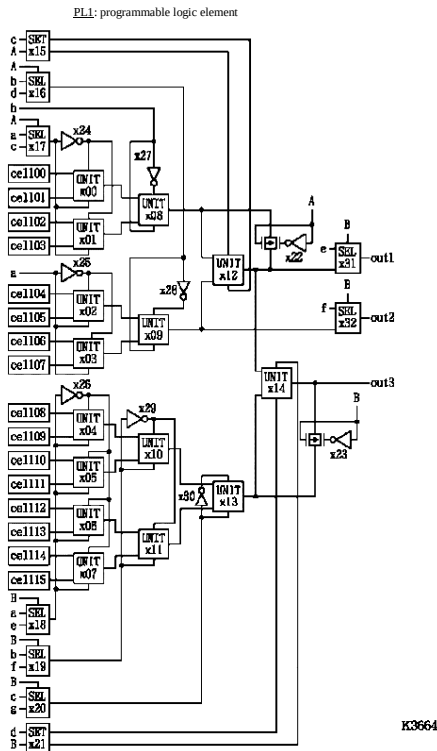
|                              |                                           |                |                                                                                                          |
|------------------------------|-------------------------------------------|----------------|----------------------------------------------------------------------------------------------------------|
| (21) Application Number      | Japanese Patent Application No. H7-300582 | (71) Applicant | 000004226<br>Nippon Telegraph and Telephone Corporation<br>19-2, Nishi-shinjuku 3-chome, Shinjuku, Tokyo |
| (22) Application Filing Date | October 25, 1995                          | (72) Inventor  | Fujii Koji<br>1-1-6 Uchisaiwai-cho, Chiyoda-ku, Tokyo<br>Nippon Telegraph and Telephone Corporation      |
|                              |                                           | (72) Inventor  | Urano Masami<br>1-1-6 Uchisaiwai-cho, Chiyoda-ku, Tokyo<br>Nippon Telegraph and Telephone Corporation    |
|                              |                                           | (74) Agent     | Patent attorney Shinichi Kawakubo                                                                        |

(54) (Title of the Invention) Programmable Logic Element

(57) (Abstract)

(PROBLEM TO BE SOLVED) The objective is to provide a programmable logic element capable of efficiently realizing a desired logic function by using fewer logic elements and less memory according to the logic function to be realized.

(SOLUTION) A plurality of selection circuits in a logic element are connected to different memory circuits, and are divided into a plurality of selection circuits each having a smaller number of inputs than the number of inputs of the logic element, and a plurality of logic functions having inputs less than the number of inputs of the logic element are simultaneously assigned to one logic element.



1

(Scope of Patent Claims)

(Claim 1) A programmable logic element, where at least K input signals are input, [the element] is provided with  $2^K$  memory circuits, outputs at least one output signal, inputs at least one control signal, and has at least one selection circuit, characterized in that the following operations are switched by the above control signal: a first operation of using the K input signals, among the above input signals, as the selection signal of the selection circuit, selecting one output signal from the output signals from the  $2^K$  memory circuits, and outputting the selected output signal as an output signal of the programmable logic element; a second operation of selecting one output signal from the output signals of the  $2^{X_i}$  memory circuits and outputting the selected output signal as an output signal of the programmable logic element, by dividing  $2^K$  memory circuits into plural memory circuit groups, where the sequence from  $i=1$  to  $i=n$  of the sequence  $\{2^{X_i}\}$  ( $2^{X_i} \leq 2^{X_{i+1}}$ ) is equal to  $2K$ , the memory circuit group is composed of  $2^{X_i}$  ( $i=1, 2, \dots, n$ ) memory circuits, and  $X_i$  input signals that do not overlap each other among the input signals are used as selection signals.

(Claim 2) The programmable logic element according to claim 1, characterized in that the second operation is two or more operations when the sequence  $\{2^{X_i}\}$  is different from each other, and at least three operations, that is, the first operation, and at least two second operations, are switched by the control signal.

(Claim 3) The programmable logic element according to claim 1, characterized in that the second operation is an operation in the case where the sequence  $\{2^{X_i}\}$  is of one type, and the two operations, the first operation and the second operation, are switched by the control signal.

(Claim 4) The programmable logic element according to claim 1, characterized in that input/output terminals are provided by the maximum number of input terminals and output terminals that change with the switching of the operation, and along with the switching of the operation, the switching of the operations is executed while sharing the input/output terminals.

(Claim 5) The programmable logic element according to claim 4, characterized in that input/output terminals that are not used for setting logic functions are used as part of the wiring that passes through the programmable logic elements.

(Detailed Description of the Invention)

(0001)

(Technical field to which the invention belongs) The present invention relates to a programmable logic element, which is a unit for implementing logic functions in a programmable LSI whose logic functions can be programmed by a user.

(0002)

(Conventional Art) A programmable LSI is an LSI whose logic functions can be programmed by a user, consists of logic elements that implement logic functions and wiring areas that interconnect these logic elements, wherein the logic element can be set to a desired logic function by program; and the logical elements can be connected with a desired route.

(2)

2

(0003) FIG. 22 is a diagram showing a configuration example of an FPGA (Field Programmable Gate Array), which is a conventional RAM-type programmable LSI.

(0004) In the SRAM type programmable LSI shown in FIG. 22, a user can set the function by a signal written in the SRAM cell. In other words, the user divides a desired logic function into logic functions that can be realized by programmable logic elements, assigns the divided logic functions to the respective logic elements PL11 arranged in an array, and arranges and routes them. A desired LSI is completed by executing a series of these operations using a CAD tool and writing the program data thus obtained into the SRAM cells.

(0005) Although the configuration of the logic element PL11 varies depending on the manufacturer, a circuit element characterized by the number of inputs K called a LUT (Look Up Table) is mainly used. The K-input, 1-output LUT is a  $2^K$ -word, 1-bit memory, and by rewriting the contents of the internal SRAM, it is possible to implement an arbitrary logic function with K inputs and 1 output. On the FPGA, a plurality of LUTs having the same number of inputs are arranged in an array, and the number of inputs of the LUT is often 3-5.

(0006)

(Problem to Be Solved by the Invention) Assume an FPGA in which K-input LUTs are used as programmable logic elements and a plurality of these LUTs are arranged in an array. Each K-input LUT is not necessarily assigned a logic function with K inputs. That is, if we assign to a K-input LUT a logic function whose actual number of inputs i is less than K, only  $2^i$  bits of memory are used to store the program that implements the above logic function, and therefore, ( $2^K - 2^i$ ) bits of memory remain in the LUT as memory not used for the above program (invalid memory).

(0007) FIG. 23 is a block diagram showing an example of a conventional SRAM type programmable logic element, showing an example of a programmable logic element PL11 in which the number of inputs K of the programmable logic element is  $K=3$  and the number of inputs i of the actually assigned logic function is  $i=2$ .

(0008) In the conventional example shown in FIG. 23, four memories exist as invalid memories, these invalid memories, although occupy a predetermined area, do not contribute to the function of the LSI, so the logic element PL11 having such invalid memories causes a problem of lowering the degree of integration.

3

(0009) The present invention, when realizing the desired logic function, is to provide a programmable logic element capable of efficiently realizing a desired logic function by using fewer logic elements and less memory according to the logic function to be realized.

(0010)

(Means for Solving the Problem) The present invention is that in which a plurality of selection circuits in a logic element are connected to different memory circuits, and are divided into a plurality of selection circuits each having a smaller number of inputs than the number of inputs of the logic element, and a plurality of logic functions having inputs less than the number of inputs of the logic elements are simultaneously assigned to one logic element.

(0011)

(Embodiments and Examples of the Invention) FIG. 1 is a block diagram showing a programmable logic element PL1, which is the first embodiment of the invention.

(0012) The programmable logic element PL1 switches between the following operations by two control signals:

(i) an operation of selecting one output signal from the output signals of the 16 memory circuits and outputting the selected output signal as the output signal of the programmable logic element PL1; and

(ii) an operation of outputting the selected output signal of the memory circuit as the output signal of the programmable logic element PL1 ( $n=2$ ,  $X_1=3$ ,  $X_2=3$ ), where this one memory circuit is selected from each memory circuit after dividing the 16 memory circuits into two memory circuit groups each composed of 8 memory circuits, selecting 3 input signals and 3 input signals that do not overlap each other from 7 input signals, and as the selection signal for selecting a predetermined memory circuit from each memory circuit group, applying the selected three input signals to each memory circuit group; and

(iii) an operation of outputting the output signal of the selected memory circuit as the output signal of the programmable logic element PL1 ( $n=3$ ,  $X_1=3$ ,  $X_2=2$ ), where this one memory circuit is selected from each memory circuit after dividing the 16 memory circuits into three memory circuit groups each composed of 8, 4, and 4 memory circuits, selecting 3 input signals, 2 input signals, and 2 input signals that do not overlap each other from 7 input signals, and as the selection signal for selecting a predetermined memory circuit from each memory circuit group, applying the selected three, two, two input signals to each memory circuit group.

(0013) The programmable logic element PL1 has up to seven input terminals used and up to three output terminals, changes the number of input terminals and output terminals used, by switching between the above three actions, selects, in each operation, the input terminal from seven input terminals and the output terminal from three output terminals, and prevents an increase in the number of terminals by sharing input/output terminals between patterns that do not operate simultaneously.

(0014) That is, the programmable logic element PL1 wherein more than K input signals are input, [the element] is provided with  $2^K$  memory circuits, outputs at least one output signal, inputs at least one control signal, and has at least one selection circuit, characterized in that the following operations are switched by the above control signal:

(3)

4

(i) a first operation of using the K input signals as the selection signal of the selection circuit, selecting one output signal from the output signals from  $2^K$  memory circuits, and outputting the selected output signal as an output signal of the programmable logic element; and

(ii) a second operation of selecting one output signal from the output signals of the  $2^{X_i}$  memory circuits and outputting the selected output signal as an output signal of the programmable logic element, by dividing the  $2^K$  memory circuits into plural memory circuit groups, where the sequence from  $i=1$  to  $i=n$  of the sequence  $\{2^{X_i}\}$  ( $2^{X_i} \leq 2^{X_{i+1}}$ ) is equal to  $2^K$ , the memory circuit group is composed of  $2^{X_i}$  ( $i=1, 2, \dots, n$ ) memory circuits, and  $X_i$  input signals that do not overlap each other among the input signals are used as selection signals. Note that the programmable logic element PL1 is  $K=4$ , with 16 memory circuits, and the second operation is divided into two operations; in the first operation in the second operation,  $n=2$ ,  $X_1=3$ ,  $X_2=3$ , in the second operation in the second operation,  $n=2$ ,  $X_1=3$ ,  $X_2=2$ ,  $X_3=2$ . That is, the programmable logic element PL1 switches one operation among three operations, the first operation, the first operation of the second operation, and the second operation of the second operation.

(0015) Specifically, the programmable logic element PL1 includes memory circuits cell 00 to cell 15, selectors x00 to x14, selectors x16 to x20, x31, x32, CMOS transfer gates x22, x23, control circuits x15, x21, and inverters x24 to x30.

(0016) FIG. 2 is a circuit diagram showing a concrete example of the selector x16 in the programmable logic element PL1.

(0017) The selector x16 has one selection signal input terminal S, two input terminals in1 and in2, and an output terminal out. Specific examples of other selectors x17 to x20, x31, and x32 are the same as the selector x16.

(0018) FIG. 3 is a circuit diagram showing a concrete example of the control circuit x15 in the programmable logic element PL1.

(0019) The control circuit x15 is a circuit that renders the input/output terminals of the selector x12 non-conductive regardless of the selection signal. The specific example of the control circuit x21 is the same as the specific example of the control circuit x15, and the control circuit x21 is a circuit that makes the input/output terminal of the selector x14 non-conductive regardless of the selection signal.

(0020) FIG. 4 is a circuit diagram showing a specific example in which the selector x00 in the programmable logic element PL1 is composed of CMOS.

(0021) The selector x00 has two selection signal input terminals S1 and S2, two input terminals in1 and in2, and an output terminal out.

(0022) A specific example of the selectors x01 to x14 constructed of CMOS is the same as the specific example of the selector x00 constructed of CMOS. The selectors x01 to x14 have two selection signal input terminals S1 and S2, two input terminals in1 and in2, and an output terminal out.

(0023) FIG. 5 is a circuit diagram showing a specific example when the selector x00 (to x14) in the programmable logic element PL1 is composed of nMOS. A specific example in which the selectors x01 to x14 are configured by nMOS is the same as the specific example in which the selector x00 is configured by nMOS.

(0024) The selector x16 has its selection signal input terminal S input with a control signal A, and its input terminals in1 and in2 input with signals b and d, respectively, with its output terminal out connected to the selection signal input terminal S2 of the selector x09, and further connected to the selection signal input terminal S1 of the selector x09 via the inverter x28.

(0025) The selector x17 has its selection signal input terminal S input with a control signal A, and its input terminals in1 and in2 input with signals a and c, respectively, with its output terminal out connected to the selection signal input terminal S2 of the selector x00 and x01, and further connected to the selection signal input terminal S1 of the selectors x00 and x01 via the inverter x24.

(0026) The selector x18 has its selection signal input terminal S input with a control signal B, and its input terminals in1 and in2 input with signals a and e, respectively, with its output terminal out connected to the selection signal input terminal S2 of the selectors x04, x05, x06, x07, and further connected to the selection signal input terminal S1 of the selectors x04, x05, x06, and x07 via the inverter x26.

(0027) The selector x19 has its selection signal input terminal S input with a control signal B, and its input terminals in1 and in2 input with signals b and f, respectively, with its output terminal out connected to the selection signal input terminal S2 of the selectors x10, x11, and further connected to the selection signal input terminal S1 of the selectors x10, x11 via the inverter x29.

(0028) The selector x20 has its selection signal input terminal S input with a control signal B, and its input terminals in1 and in2 input with signals c and g, respectively, with its output terminal out connected to the selection signal input terminal S2 of the selector x13, and further connected to the selection signal input terminal S1 of the selector x13 via the inverter x30.

(0029) The output terminal o1 of the control circuit X15 is connected to the selection signal input terminal S2 of the selector x12, the output terminal o2 is connected to the selection signal input terminal S1 of the selector x12, where the signal c is input to the input terminal in1, and a control signal A is input to the input terminal in2.

(0030) The output terminal o1 of the control circuit X21 is connected to the selection signal input terminal S2 of the selector x14, the output terminal o2 is connected to the selection signal input terminal S1 of the selector x14, where the signal d is input to the input terminal in1, and a control signal B is input to the input terminal in2. Also, the input signal b is input to the selection signal input terminal S2 of the selector x08, and is input to the selection signal input terminal S1 via the inverter x27. Also, the input signal a is input to the selection signal input terminal S2 of the selectors x02, x03, and is input to the selection signal input terminal S1 of the selectors x02, x03 via the inverter x25.

(0031) The selector x00 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell00 and cell01, respectively, and its output terminal out connected to the input terminal in1 of the selector x08. The selector x01 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell02 and cell03, respectively, and its output terminal out connected to the input terminal in2 of the selector x08. The selector x02 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell04 and cell05, respectively, and its output terminal out connected to the input terminal in1 of the selector x09.

(0032) The selector x03 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell06 and cell07, respectively, and its output terminal out connected to the input terminal in2 of the selector x09. The selector x04 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell08 and cell09, respectively, and its output terminal out connected to the input terminal in1 of the selector x10. The selector x05 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell10 and cell11, respectively, and its output terminal out connected to the input terminal in2 of the selector x10.

(0033) The selector x06 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell12 and cell13, respectively, and its output terminal out connected to the input terminal in1 of the selector x11. The selector x07 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell14 and cell15, respectively, and its output terminal out connected to the input terminal in2 of the selector x11.

The output terminal of the selector x08 is connected to the input terminal in1 of the selector x12, and is connected to the input terminal in2 of the selector x31 via the CMOS transfer gate x22.

(0034) The output terminal of the selector x09 is connected to the input terminal in2 of the selector x12 and the input terminal in2 of the selector x32, the output terminal of the selector x10 is connected to the input terminal in1 of the selector x13, and the output terminal of the selector x11 is connected to the input terminal in2 of the selector x13. The output terminal of the selector x12 is connected to the input terminal in1 of the selector x14 and to the input terminal in2 of the selector x31. The output terminal of the selector x13 is connected to the input terminal in2 of the selector x14, and further

(5)

8

connected to the output terminal out3 via the CMOS transfer gate

x23. The output terminal of the selector x14 is connected to the output terminal out3.

(0035) A control signal A is input to the control terminal of the CMOS transfer gate x22, and a control signal B is input to the control terminal of the CMOS transfer gate x23. The selector x31 has its selection signal input terminal S input with the control signal B, its input terminal in1 input with the signal e, with its input terminal in2 connected to the output terminal out of the selector x12, and its output terminal out connected to the output terminal out1. The selector x32 has its selection signal input terminal S input with the control signal B, its input terminal in1 input with the signal f, where its input terminal in2 connected to the output terminal out of the selector x09, and its output terminal out connected to its output terminal out2. The selection circuit is configured based on a selector using a transfer gate, and the transfer gate uses the CMOS configuration shown in FIG. 4 or the NMOS configuration shown in FIG. 5.

(0036) The operation of programmable logic element PL1 will now be described.

(0037) FIG. 6 is a diagram showing the correspondence between input and output signals in the programmable logic element PL1 and output signals of the memory circuit.

(0038) In FIG. 6, A and B are control signals for determining the use mode of the programmable logic circuit PL1; a, b, c, d, e, f and g are signals to be input; out1, out2 and out3 indicate output terminals to be output, and cell00 to cell15 indicate memory circuits to be used.

(0039) First, as shown in FIG. 6(1), when the control signals (A, B) are (1, 1), signal a and its negation are selected as selection signals for selectors x00, x01, x02, x03, x04, x05, x06, and x07, the signal b and its negation are selected as selection signals for the selectors x08, x09, x10 and x11, the signal c and its negation are selected as selection signals for the selectors x12 and x13, and the signal d and its negation are selected as selection signals for the selector x14. The control circuits x15 and x21 enable the selectors x12 and x14 to operate as selection circuits, respectively. The CMOS transfer gate x22 separates the output terminal of the selector x08 from the output terminal of the selector x12, and the CMOS transfer gate x23 separates the output terminal of the selector x13 from the output terminal out 3.

(0040) At this time, the selection circuit composed of the selectors x00 to x14 becomes a 16-1 selector using the signals a, b, c, and d as selection signals, and the output terminal out3 corresponds to the output terminal of a four-input programmable logic element having the signals a, b, c, and d as input signals.

(0041) Here, among the terminals not used as the input/output terminals of the programmed logic function, the input terminals e and f are connected to the output terminals out1 and out2 by the selectors x31 and x32, respectively. Therefore, these input terminals e and f and the output terminals out1 and out2 can be used as wiring elements.

(0042) Next, as shown in FIG. 6(3), if the control signals (A, B) are (1, 0), the signal a and its negation are selected as selection signals for the selectors x00, x01, 02 and 03, the signal b and its negation are selected as selection signals for the selectors x08 and x09, the signal c and its negation are selected as the selection signal of the selector x12, the output terminal of the selector x08 and the output terminal of the selector x12 are separated by a CMOS transfer gate x22, and the selector x13 connects the output terminal of the selector x12 to the output terminal out1. The signal e and its negation are selected as the selection signals of the selectors x04, x05, x06 and x07, the signal f and its negation are selected as the selection signals of the selectors x10 and x11, the signal g and its negation are selected as the selection signal of the selector x13, the output terminal of the selector x13 and the output terminal out3 are conducted by a CMOS transfer gate x23. The control circuit x21 disconnects the input terminal of the selector x14 from its output terminal.

(0043) At this time, the selection circuit constituted by the selectors x00, x01, x02, 03, x08, x09, and x12 becomes an 8-1 selector using the signals a, b, and c as the selection signals, and the output terminal out1 corresponds to the output terminal of a four-input programmable logic element having signals a, b, and c as input signals, and output terminal out1 acts as the output terminal of the four-input programmable logic element.

(0044) A selection circuit composed of selectors x04, x05, x06, x07, x10, x11 and x13 is an 8-1 selector using signals e, f and g as selection signals, the output terminal out3 corresponds to the output terminal of the three-input programmable logic element having the signals e, f, and g as input signals, and the output terminal out3 acts as the output terminal of the three-input programmable logic element.

(0045) Then, as shown in FIG. 6(2), if the control signals (A, B) are (0, 0), the signal c and its negation are selected as the selection signals of the selectors x00 and x01, the signal b and its negation are selected as the selection signal of the selector x08, and a selection circuit composed of selectors x00, x01, and x08 becomes a 4-1 selector using signals b and c as selection signals.

(0046) The signal a and its negation are selected as the selection signals of the selectors x02 and x03, the signal d and its negation are selected as the selection signal of the selector x09, and a selection circuit composed of selectors x02, x03, and x09 becomes a 4-1 selector using signals a and d as selection signals. The signal e and its negation are selected as the selection signals of the selectors x04, x05, x06 and x07, the signal f and its negation are selected as selection signals for the selectors x10 and x11, the signal g and its negation are selected as selection signals for the selector x13, and a selection circuit composed of selectors x04, x05, x06, x07, x10, x11, and x13 becomes an 8-1 selector using signals e, f, and g as selection signals.

(0047) The input terminal and output terminal of the selector x12 are insulated by a control circuit x15; the output terminal of the selector x08 is electrically connected to the output terminal out1 by the CMOS transfer gate x22 and the selector x31; and the output terminal of the selector x09 is connected to the output terminal out2 by the selector x32. The input terminal and the output terminal of the selector x14 are insulated by the control circuit x21, and the output terminal of the selector x13 is connected to the output terminal out3 by the CMOS transfer gate x23.

(0048) At this time, the output terminal out1 corresponds to the output of a two-input programmable logic element having the signals b and c as input signals; the output terminal out2 corresponds to the output terminal of a two-input programmable logic element having the signals a and d as input signals; and the output terminal out3 corresponds to the output of a three-input programmable logic element having signals e, f, and g as input signals.

(0049) FIG. 7 is a diagram showing a logical expression of a corresponding output signal when a certain signal is written in the memory circuit in programmable logic element PL1.

(0050) When a two-input logic function is assigned to a conventional four-input programmable logic element, the remaining memory circuits other than the 4-bit memory circuit required for programming are unused, which was one of the causes of lowering the degree of integration. In the programmable logic element PL1, however, the remaining memory circuits can also be effectively used for assignment of other logic functions.

(0051) That is, the programmable logic element PL1 switches between the first operation and the second operation. The second operation in this case is an operation when the sequence  $\{2^{x_i}\}$  is of two or more types different from each other, which is a programmable logic element that switches between three operations, the first operation and two second operations, by a control signal. That is, the first operation in the programmable logic element PL1 is the operation shown in FIG. 6(1), and the second operations are configured by two operations as shown in FIGS. 6(2) and 6(3). In the case shown in FIG. 6(2), the 16 storage elements are divided into 4+4+8 (divided into  $2^2+2^2+2^3$ ), and the sequence  $\{2^{x_i}\}$  in this case is  $\{2^2, 2^2, 2^3\}$ , while in FIG. 6(3), the 16 storage elements are divided into 8+8 (divided into  $2^3+2^3$ ) and the sequence  $\{2^{x_i}\}$  in this case is  $\{2^3+2^3\}$ .

(0052) In the programmable logic element PL1, the second operation is composed of two kinds of operations as shown in FIGS. 6(2) and 6(3), but it may be composed of at least three operations (at least three operations in which the series  $\{2^{x_i}\}$  differs from each other).

(0053) FIG. 8 is a block diagram showing programmable logic element PL2, which is the second embodiment of the present invention.

10 (0054) The programmable logic element PL2 switches between the following operations by one control signal:

(i) an operation of selecting one output signal from the output signals of the 16 memory circuits and outputting the selected output signal as the output signal of the programmable logic element PL2; and

20 (ii) an operation of outputting the selected output signal of the memory circuit as the output signal of the programmable logic element PL2 ( $n=2$ ,  $X_1=3$ ,  $X_2=3$ ), where this one memory circuit is selected from each memory circuit after dividing the 16 memory circuits into two memory circuit groups each composed of 8 memory circuits, selecting 3 input signals and 3 input signals that do not overlap each other from 6 input signals, and as the selection signal for selecting a predetermined memory circuit from each memory circuit group, applying the selected three input signals to each memory circuit group. Note that  $K=4$  and 16 memory circuits in the programmable logic element PL2.

(0055) The programmable logic element PL2 has up to six input terminals used and up to two output terminals, changes the number of input terminals and output terminals used, by switching between the above two operations, selects, in each operation, the input terminal from six input terminals and the output terminal from two output terminals, and prevents an increase in the number of terminals by sharing input/output terminals between patterns that do not operate simultaneously.

30 (0056) FIG. 9 is a circuit diagram showing a concrete example of the selector x16 in the programmable logic element PL2. A specific example of the selector x16 is the same as the specific example of the selector x16 shown in FIG. 2, and so are the selectors x17, x18, and x26.

(0057) FIG. 10 is a circuit diagram showing a concrete example of the control circuit x15 in the programmable logic element PL2. Control circuit x15 in programmable logic element PL2 is the same as the specific example of control circuit x15 shown in FIG. 3.

40 (0058) FIG. 11 is a circuit diagram showing a specific example in which the selector x00 in the programmable logic element PL2 is composed of CMOS. FIG. 12 is a circuit diagram showing a specific example in which the selector x00 in the programmable logic element PL2 is composed of nMOS.

(0059) The programmable logic element PL2 includes memory circuits cell00 to cell15; selectors x00 to x14 having two selection signal input terminals S1 and S2, two input terminals in1 and in2, and an output terminal out; selectors x16, x17, x18, and x26 each having one selection signal input terminal S, two input terminals in1 and in2, and an output terminal out; a CMOS transfer gate x19; a control circuit x15 that renders the input/output terminals of the selector x14 non-conductive regardless of the selection signal; and inverters x20 to x25.

(0060) The selector x16 has its selection signal input terminal S input with a control signal A, its input terminals in1 and in2 input with signals b and e, respectively, with its output terminal out connected to the selection signal input terminal S2 of the selectors x08, x09, and further connected to the selection signal input terminal S1 of the selectors x08, x09 via the inverter x24.

(0061) The selector x17 has its selection signal input terminal S input with a control signal A, its input terminals in1 and in2 input with signals a and d, respectively, with its output terminal out connected to the selection signal input terminal S2 of the selectors x04, x05, x06, x07, and further connected to the selection signal input terminal S1 of the selectors x04, x05, x06, x07 via the inverter x21.

(0062) The selector x18 has its selection signal input terminal S input with a control signal A, its input terminals in1 and in2 input with signals c and f, respectively, with its output terminal out connected to the selection signal input terminal S2 of the selector x13, and further connected to the selection signal input terminal S1 via the inverter x23.

(0063) The output terminal o1 of the control circuit x15 is connected to the selection signal input terminal S2 of the selector x14, the output terminal o2 is connected to the selection signal input terminal S1, the signal d is input to the input terminal in1, and a control signal A is input to the input terminal in2.

(0064) The input signal a is input to the selection signal input terminals S2 of the selectors x00 to x03, and is input to the selection signal input terminals S1 of the selectors x00 to x03 via the inverter x20. The input signal b is input to the selection signal input terminals S2 of the selectors x10 and x11, and is input to the selection signal input terminals S1 of the selectors x10 and x11 via the inverter x22.

(0065) The selector x00 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell00 and cell01, respectively, and its output terminal out connected to the input terminal in1 of the selector x08. The selector x01 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell02 and cell03, respectively, and its output terminal out connected to the input terminal in2 of the selector x08. The selector x02 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell04 and cell05, respectively, and its output terminal out connected to the input terminal in1 of the selector x09. The selector x03 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell06 and cell07, respectively, and its output terminal out connected to the input terminal in2 of the selector x09.

(0066) The selector x04 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell08 and cell09, respectively, and its output terminal out connected to the input terminal in1 of the selector x10. The selector x05 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell10 and cell11, respectively, and its output terminal out connected to the input terminal in2 of the selector x10. The selector x06 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell12 and cell13, respectively, and its output terminal out connected to the input terminal in1 of the selector x11. The selector x07 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell14 and cell15, respectively, and its output terminal out connected to the input terminal in2 of the selector x11.

(0067) Also, the output terminal of the selector x08 is connected to the input terminal in1 of the selector x12, the output terminal of the selector x09 is connected to the input terminal in2 of the selector x12, the output terminal of the selector x10 is connected to the input terminal in1 of the selector x13, and the output terminal of the selector x11 is connected to the input terminal in2 of the selector x13. The output terminal of the selector x12 is connected to the input terminal in1 of the selector x14, and further connected to the output terminal out1 via the transfer gate of CMOS transfer gate x19. The output of the selector x13 is connected to the input terminal in2 of the selector x14 and the input terminal in2 of the selector x26.

(0068) The output terminal of the selector x14 is connected to the output terminal out1. The CMOS transfer gate x19 inputs the control signal A, and in the selector x26, inputs the control signal A to the selection signal input terminal S, has its input terminal in1 received the signal e, its input terminal in2 connected to the output terminal out of the selector x13, and its output terminal out connected to the output terminal out2.

(0069) The selection circuit is configured based on a selector using a transfer gate, and the transfer gate uses a CMOS configuration or an NMOS configuration.

(0070) The operation of programmable logic element PL2 will now be described.

(0071) FIG. 13 is a diagram showing the correspondence between input and output signals in the programmable logic element PL2 and output signals of the memory circuit.

13

(0072) First, as shown in FIG. 13(2), if control signal A is 1, signal a and its negation are selected as selection signals for selectors x00, x01, x02, x03, x04, x05, x06, and x07, the signal b and its negation are selected as selection signals for the selectors x08, x09, x10 and x11, the signal c and its negation are selected as selection signals for the selectors x12 and x13, and the signal d and its negation are selected as selection signals for the selector x14.

(0073) A CMOS transfer gate x19 insulates the output terminal of the selector x12 and the output terminal out1. At this time, the selection circuit composed of the selectors x00 to x14 becomes a 16-1 selector using the signals a, b, c, and d as selection signals, and the output terminal out1 corresponds to the output terminal of a four-input programmable logic element having the signals a, b, c, and d as input signals.

(0074) Here, among the input/output terminals not used for the input/output operation of the programmed logic function, the signal e is connected to the output terminal out2 by the selector x26, so it can be used as a wiring element.

(0075) Also, as shown in FIG. 13(1), when the control signal A is 0, the signal e and its negation are selected as the selection signals of the selectors x08 and x09, the selector x14 is insulated between its input and output terminals regardless of the selection signal, and the CMOS transfer gate x19 conducts the output terminal of the selector x12 and the output terminal out1.

(0076) The signal d and its negation are selected as selection signals for the selectors x04, x05, x06 and x07, the signal f and its negation are selected as the selection signal for the selector x13, and the selector x26 connects the output terminal of the selector x13 to the output terminal out2. At this time, the selection circuit constituted by the selectors x00, x01, x02, 03, x08, x09, and x12 becomes an 8-1 selector using the signals a, e, and c as the selection signals, and the output terminal out1 corresponds to the output terminal of a three-input programmable logic element having signals a, e, and c as input signals. A selection circuit composed of selectors x04, x05, x06, x07, x10, x11, and x13 is an 8-1 selector using signals b, d, and f as selection signals, and the output terminal out2 corresponds to the output of a three-input programmable logic element having signals b, d, and f as input signals.

(0077) FIG. 14 is a diagram showing a logical expression of a corresponding output signal when a certain signal is written in the memory circuit in programmable logic element PL2.

(0078) When a three-input logic function is assigned to a conventional four-input programmable logic element, the remaining memory circuits other than the 8-bit memory circuit required for programming are unused, which was one of the causes of lowering the degree of integration. In the programmable logic element PL2, however, the remaining memory circuits can also be effectively used for assignment of other logic functions.

(8)

14

(0079) FIG. 15 is a block diagram showing programmable logic element PL3, which is the third embodiment of the present invention.

(0080) The programmable logic element PL3 switches between the following operations by one control signal:

(i) an operation of selecting one output signal from the output signals of the 8 memory circuits and outputting the selected output signal as the output signal of the programmable logic element PL3; and

(ii) an operation of outputting the selected output signal of the memory circuit as the output signal of the programmable logic element PL3 ( $n=2$ ,  $X_1=2$ ,  $X_2=2$ ), where this one memory circuit is selected from each memory circuit after dividing the 8 memory circuits into two memory circuit groups each composed of 4 memory circuits, selecting 2 input signals and 2 input signals that do not overlap each other from 4 input signals, and as the selection signal for selecting a predetermined memory circuit from each memory circuit group, and applying the selected two input signals to each memory circuit group. In programmable logic element PL3,  $K=3$  and the number of memory circuits is eight.

(0081) The programmable logic element PL3 has up to four input terminals used and up to two output terminals, changes the number of input terminals and output terminals used, by switching between the above two operations, selects, in each operation, the input terminal from the above four, and the output terminal from the above two, and prevents an increase in the number of terminals by sharing input/output terminals between patterns that do not operate simultaneously.

(0082) The programmable logic element PL3 includes memory circuits cell00 to cell07; selectors x00 to x06 having two selection signal input terminals S1 and S2, two input terminals in1 and in2, and an output terminal out; selectors x08, x09, and x15 each having one selection signal input terminal S, two input terminals in1 and in2, and an output terminal out; a CMOS transfer gate x10; a control circuit x07 that renders the input/output terminals of the selector x06 non-conductive regardless of the selection signal; and inverters x11 to x14.

(0083) FIG. 16 is a circuit diagram showing a concrete example of the selector x08 in the programmable logic element PL3. A specific example of the selector x08 is the same as the specific example of the selector x16 shown in FIG. 2, and so are the selectors x09, and x15.

(0084) FIG. 17 is a circuit diagram showing a concrete example of the control circuit x07 in the programmable logic element PL3. Control circuit x07 in programmable logic element PL3 is the same as the specific example of control circuit x15 shown in FIG. 3.

(0085) FIG. 18 is a circuit diagram showing a specific example in which the selector x00 in the programmable logic element PL3 is composed of CMOS. FIG. 19 is a circuit diagram showing a specific example in which the selector x00 in the programmable logic element PL3 is composed of nMOS.

15

(0086) The selector x08 has its selection signal input terminal S input with a control signal A, and input terminals in1 and in2 input with signals c and b, respectively, with its output terminal out connected to the selection signal input terminal S2 of the selector x04, and further connected to the selection signal input terminal S1 of selector x04 via the inverter x13. The selector x09 has its selection signal input terminal S input with a control signal A, and input terminals in1 and in2 input with signals a and d, respectively, with its output terminal out connected to the selection signal input terminal S2 of the selector x02 and the selector x03, and further connected to the selection signal input terminal S1 of the selector x02 and the selector x03 via the inverter x12.

(0087) The control circuit x07 has its input terminals in1 and in2 input with the signals b and A, respectively, and its output terminals out1 and out2 connected to the selection signal input terminals S2 and S1 of the selector x06, respectively.

(0088) The input signal a is input to the selection signal input terminals S2 of the selectors x00 and x01, and further input to the selection signal input terminals S1 of the selectors x00 and x01 via the inverter x11. The input signal c is input to the selection signal input terminals S2 of the selectors x05, and further input to the selection signal input terminals S1 of the selectors x05 via the inverter x14. The selector x00 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell00 and cell01, respectively, and its output terminal out connected to the input terminal in1 of the selector x04.

(0089) The selector x01 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell02 and cell03, respectively, and its output terminal out connected to the input terminal in2 of the selector x04. The selector x02 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell04 and cell05, respectively, and its output terminal out connected to the input terminal in1 of the selector x05. The selector x03 has its input terminals in1 and in2 connected to the output terminals of the memory circuits cell06 and cell07, respectively, and its output terminal out connected to the input terminal in2 of the selector x05.

(0090) The output terminal of the selector x04 is connected to the input terminal in1 of the selector x06 and to the output terminal out1 via the CMOS transfer gate x10. The output terminal of the selector x05 is connected to the input terminal in2 of the selector x06 and the input terminal in2 of the selector x15. The output terminal of the selector x06 is connected to the output terminal out1.

(0091) The selector x15 has its selection signal input terminal S input with the control signal A, and its input terminal in1 input with the signal d, with the input terminal in2 connected to the output terminal out of the selector x05, and the output terminal out connected to the output terminal out2.

(9)

16

(0092) Here, the selection circuit is configured based on a selector using a transfer gate, and the transfer gate uses a CMOS configuration or an NMOS configuration.

(0093) The operation of programmable logic element PL3 will now be described.

(0094) FIG. 20 is a diagram showing the correspondence between input and output signals in the programmable logic element PL3 and output signals of the memory circuit.

(0095) First, as shown in FIG. 20(2), when the control signal A is 1, the signal a and its negation are selected as selection signals for the selectors x00, x01, x02, and x03, the signal c and its negation are selected as selection signals for the selectors x04 and x05, and the signal b and its negation are selected as selection signals for the selector x06. A CMOS transfer gate x10 insulates the output terminal of the selector x04 and the output terminal out1. At this time, the selection circuit composed of the selectors x00 to x06 becomes an 8-1 selector using the signals a, b, and c as selection signals, and the output terminal out1 corresponds to the output terminal of a three-input programmable logic element having the signals a, b, and c as input signals.

(0096) In the above case, among the input/output terminals that are not used for inputting/outputting the programmed logic function, the terminal d is connected to the output terminal out2, so that it can be used as a wiring element.

(0097) Also, as shown in FIG. 20(1), when the control signal A is 0, the signal d and its negation are selected as selection signals for the selectors x02 and x03, the signal b and its negation are selected as the selection signal for the selector x04, and a CMOS transfer gate x10 conducts between the output terminal of the selector x04 and the output terminal out1. Also, the selector x15 connects the output terminal of the selector x05 to the output terminal out2. At this time, the selection circuit composed of the selectors x00, x01, x04 becomes a 4-1 selector using the signals a and b as selection signals, and the output terminal out1 corresponds to the output terminal of a two-input programmable logic element having the signals a and b as input signals. A selection circuit composed of selectors x02, x03, and x05 is a 4-1 selector with signals c and d as selection signals, and the output terminal out2 corresponds to the output terminal of a two-input programmable logic element having the signals c and d as input signals.

(0098) FIG. 21 is a diagram showing a logical expression of a corresponding output signal when a certain signal is written in the memory circuit in programmable logic element PL3.

40

(0099) When a two-input logic function is assigned to a conventional three-input programmable logic element, the remaining memory circuits other than the 4-bit memory circuit required for programming are unused, which was one of the causes of lowering the degree of integration. In the programmable logic element PL3, however, the remaining memory circuits can also be effectively used for assignment of other logic functions.

(0100) That is, the programmable logic element PL2 switches between the first operation and the second operation. The second operation in this case is an operation when the sequence  $\{2^{xi}\}$  is of one type, which is a programmable logic element that switches between two operations, the first operation and second operations, according to a control signal. That is, the first operation in the programmable logic element PL2 is the operation shown in FIG. 13(2). The second operation is composed of one operation as shown in FIG. 13(1). In the case shown in FIG. 13(1), the 16 memory elements are divided into 8+8 (divided into  $2^3 + 2^3$ ), and the sequence  $\{2^{xi}\}$  in this case is  $\{2^3, 2^3\}$ .

(0101) That is, the programmable logic element PL3, like programmable logic element PL2, also switches between the first operation and the second operation. The second operation in this case is an operation when the sequence  $\{2^{xi}\}$  is of one type, which is a programmable logic element that switches between two operations, the first operation and second operations, according to a control signal.

(0102)

(Effect of the Invention) According to the present invention, one programmable logic element can function as a programmable logic element with different numbers of inputs. This allows arbitrarily non-uniform sizes of programmable logic elements on the FPGA, and the desired logic function can be achieved with fewer logic elements and fewer memories.

(Brief Description of the Drawings)

(FIG. 1) is a block diagram showing a programmable logic element PL1 according to the first embodiment of the invention.

(FIG. 2) is a circuit diagram showing a specific example of selector x16 in programmable logic element PL1.

(FIG. 3) is a circuit diagram showing a specific example of a control circuit x15 in programmable logic element PL1.

(FIG. 4) is a circuit diagram showing a specific example when the selector x00 in the programmable logic element PL1 is configured with CMOS.

(FIG. 5) is a circuit diagram showing a specific example when the selector x00 (to x14) in the programmable logic element PL1 is configured with nMOS.

(FIG. 6) is a diagram showing the correspondence between input signals, output signals in programmable logic element PL1, and output signals of a memory circuit.

(FIG. 7) is a diagram showing logical expressions of corresponding output signals when a certain signal is written to a memory circuit in programmable logic element PL1.

(FIG. 8) is a block diagram showing a programmable logic element PL2 according to the second embodiment of the invention.

(FIG. 9) is a circuit diagram showing a specific example of selector x16 in programmable logic element PL2.

(10)

(FIG. 10) is a circuit diagram showing a specific example of a control circuit x15 in programmable logic element PL2.

(FIG. 11) is a circuit diagram showing a specific example when the selector x00 in the programmable logic element PL2 is configured with CMOS.

(FIG. 12) is a circuit diagram showing a specific example when the selector x00 in the programmable logic element PL2 is configured with nMOS.

(FIG. 13) is a diagram showing the correspondence between input signals, output signals in programmable logic element PL2, and output signals of a memory circuit.

(FIG. 14) is a diagram showing logical expressions of corresponding output signals when a certain signal is written to a memory circuit in programmable logic element PL2.

(FIG. 15) is a block diagram showing a programmable logic element PL3 according to the third embodiment of the invention.

(FIG. 16) is a circuit diagram showing a specific example of selector x08 in programmable logic element PL3.

(FIG. 17) is a circuit diagram showing a specific example of a control circuit x07 in programmable logic element PL3.

(FIG. 18) is a circuit diagram showing a specific example when the selector x00 in the programmable logic element PL3 is configured with CMOS.

(FIG. 19) is a circuit diagram showing a specific example when the selector x00 in the programmable logic element PL3 is configured with nMOS.

(FIG. 20) is a diagram showing the correspondence between input signals, output signals in programmable logic element PL3, and output signals of a memory circuit.

(FIG. 21) is a diagram showing logical expressions of corresponding output signals when a certain signal is written to a memory circuit in programmable logic element PL3.

(FIG. 22) is a diagram showing a configuration example of an FPGA (Field Programmable Gate Array), which is a conventional SRAM-type programmable LSI.

(FIG. 23) is a block diagram showing an example of a conventional SRAM type programmable logic element;

(Explanation of References)

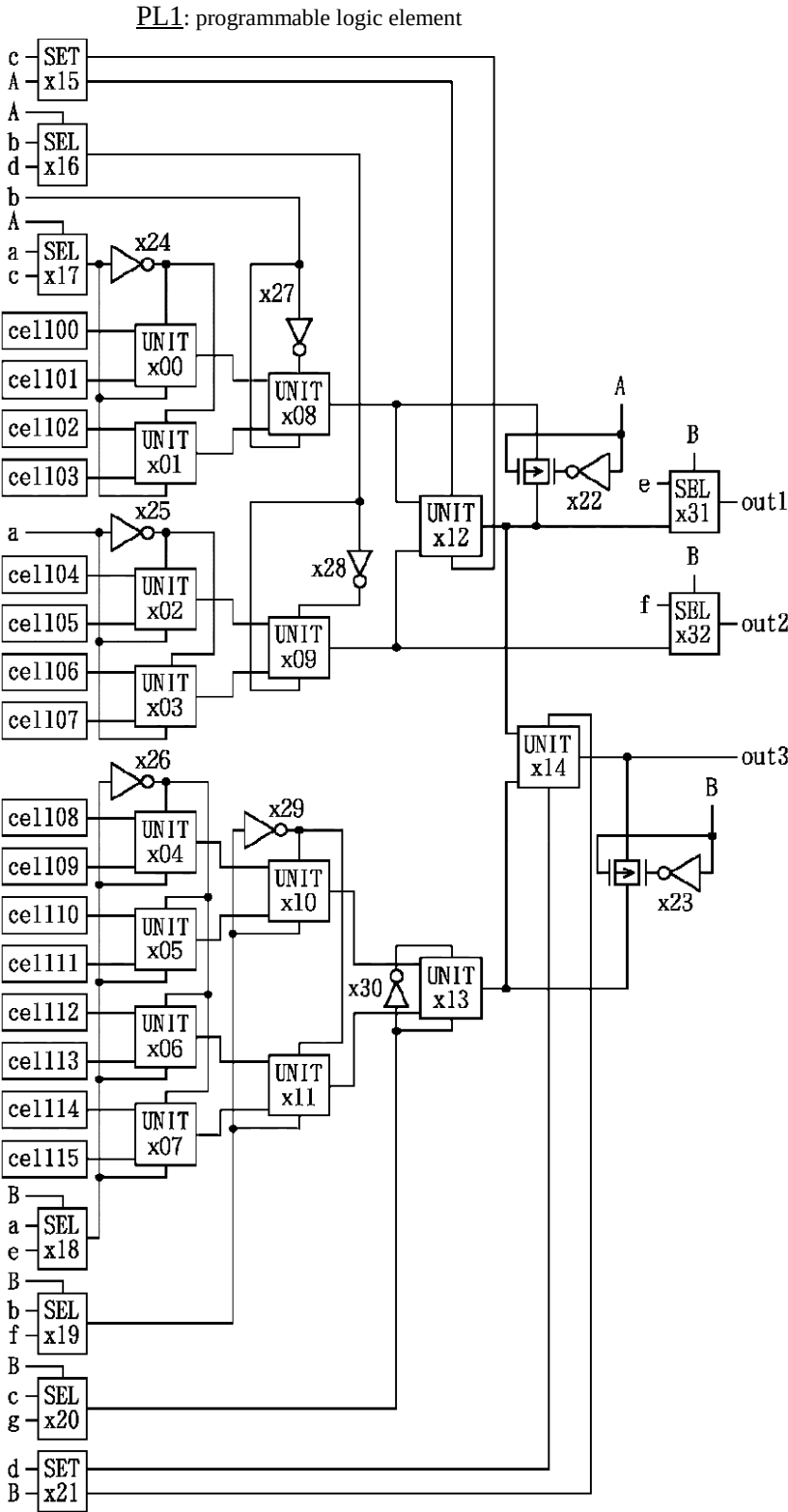
PL1, PL2, PL3... Programmable logic element,

A, B... control signals,

a, b, c, d, e, f, and g □□□ input signals.

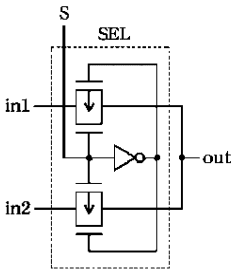
(11)

(FIG. 1)



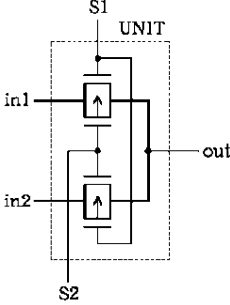
(FIG. 2)

x16: Selector



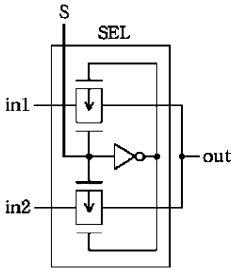
(FIG. 4)

CMOS configuration example of selector x00



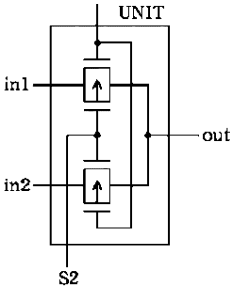
(FIG. 9)

x16: Selector



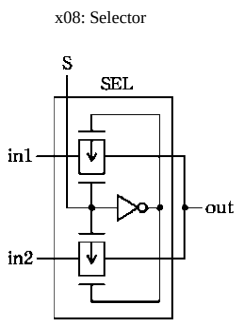
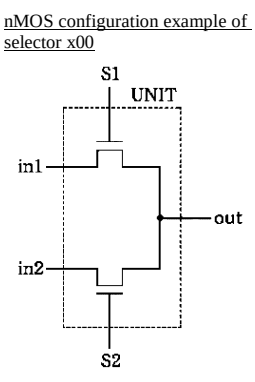
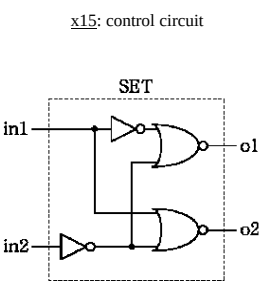
(FIG. 11)

CMOS configuration example of selector x00



K3664

(FIG. 3) (12) (FIG. 5)



(FIG. 6) (FIG. 7)

(1) (A, B)=(1, 1)

| memory  | in | out  |
|---------|----|------|
| cell100 |    |      |
| cell101 |    |      |
| cell102 |    |      |
| cell103 |    |      |
| cell104 |    |      |
| cell105 |    |      |
| cell106 | a  |      |
| cell107 | b  |      |
| cell108 | c  |      |
| cell109 | d  |      |
| cell110 |    |      |
| cell111 |    |      |
| cell112 |    |      |
| cell113 |    |      |
| cell114 |    |      |
| cell115 |    |      |
| through | e  | out1 |
| through | f  | out2 |

(2) (A, B)=(0, 0)

| memory  | in | out  |
|---------|----|------|
| cell100 |    |      |
| cell101 | b  | out1 |
| cell102 | c  |      |
| cell103 |    |      |
| cell104 |    |      |
| cell105 | a  | out2 |
| cell106 | d  |      |
| cell107 |    |      |
| cell108 |    |      |
| cell109 |    |      |
| cell110 | e  |      |
| cell111 | f  |      |
| cell112 | g  |      |
| cell113 |    |      |
| cell114 |    |      |
| cell115 |    |      |

(3) (A, B)=(1, 0)

| memory  | in | out  |
|---------|----|------|
| cell100 |    |      |
| cell101 |    |      |
| cell102 |    |      |
| cell103 | a  |      |
| cell104 | b  | out1 |
| cell105 | c  |      |
| cell106 |    |      |
| cell107 |    |      |
| cell108 |    |      |
| cell109 |    |      |
| cell110 | e  |      |
| cell111 | f  | out3 |
| cell112 | g  |      |
| cell113 |    |      |
| cell114 |    |      |
| cell115 |    |      |

(1) (A, B)=(1, 1)

| memory | out |
|--------|-----|
| 0      |     |
| 1      |     |
| 0      |     |
| 0      |     |
| 1      |     |
| 0      |     |
| 1      |     |
| 0      |     |
| 1      |     |
| 0      |     |
| 0      |     |
| 0      |     |
| 0      |     |
| 0      |     |
| 0      |     |
| 1      |     |
| 1      |     |

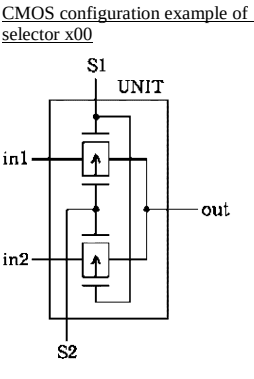
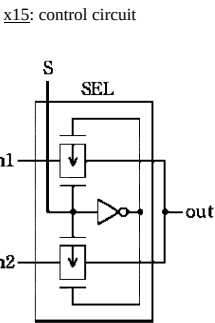
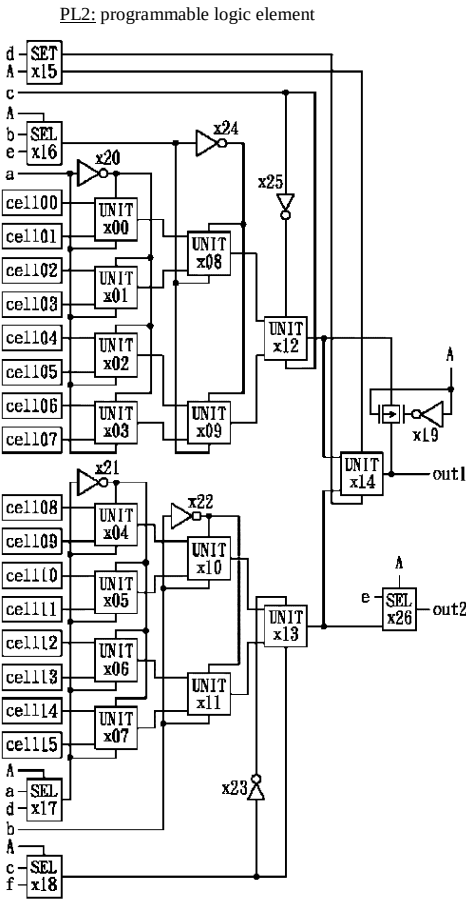
(2) (A, B)=(0, 0)

| memory | out |
|--------|-----|
| 0      |     |
| 0      | bc  |
| 0      |     |
| 1      |     |
| 1      |     |
| 0      |     |
| 0      |     |
| 0      |     |
| 0      |     |
| 0      |     |
| 1      |     |
| 0      |     |
| 0      |     |
| 0      |     |
| 1      |     |
| 1      |     |

(3) (A, B)=(1, 0)

| memory | out |
|--------|-----|
| 0      |     |
| 0      |     |
| 0      |     |
| 1      |     |
| 0      |     |
| 1      |     |
| 0      |     |
| 0      |     |
| 0      |     |
| 0      |     |
| 1      |     |
| 0      |     |
| 0      |     |
| 0      |     |
| 1      |     |
| 1      |     |

(FIG. 8) (13) (FIG. 10)



(FIG. 13)

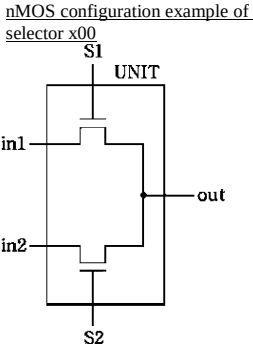
(1)

| A=0   |         | memory | in | out  |
|-------|---------|--------|----|------|
| 3-LUT | cell100 |        |    |      |
|       | cell101 |        |    |      |
|       | cell102 |        |    |      |
|       | cell103 | a      | e  | out1 |
|       | cell104 | b      | c  |      |
|       | cell105 |        |    |      |
|       | cell106 |        |    |      |
| 3-LUT | cell107 |        |    |      |
|       | cell108 |        |    |      |
|       | cell109 |        |    |      |
|       | cell110 | b      | d  | out2 |
|       | cell111 |        | f  |      |
|       | cell112 |        |    |      |
|       | cell113 |        |    |      |

(2)

| A=1     |         | memory | in | out  |
|---------|---------|--------|----|------|
| 4-LUT   | cell100 |        |    |      |
|         | cell101 |        |    |      |
|         | cell102 |        |    |      |
|         | cell103 |        |    |      |
|         | cell104 |        |    |      |
|         | cell105 | a      |    |      |
|         | cell106 | b      |    |      |
| 4-LUT   | cell107 | c      |    | out1 |
|         | cell108 | d      |    |      |
|         | cell109 |        |    |      |
|         | cell110 |        |    |      |
|         | cell111 |        |    |      |
|         | cell112 |        |    |      |
|         | cell113 |        |    |      |
| 4-LUT   | cell114 |        |    |      |
|         | cell115 |        |    |      |
| through |         | e      |    | out2 |

(FIG. 12)



K3664

K3664

(FIG. 14) (14)

(1)

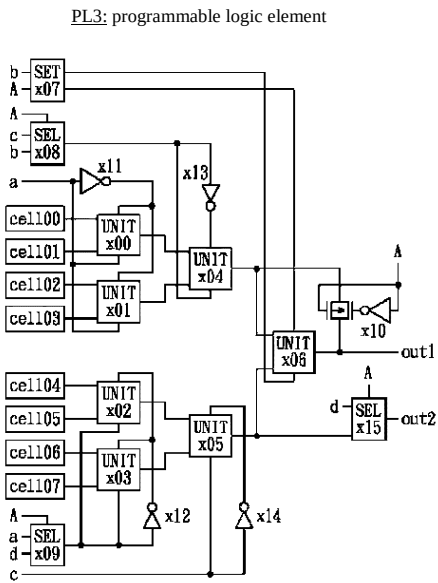
A=0

| memory | out   |
|--------|-------|
| 0      | ac+ec |
| 1      |       |
| 0      |       |
| 1      |       |
| 0      |       |
| 1      |       |
| 0      | db+df |
| 0      |       |
| 1      |       |
| 0      |       |
| 1      |       |
| 0      |       |

A=1

| memory | out   |
|--------|-------|
| 0      | ab+bc |
| 0      |       |
| 0      |       |
| 0      |       |
| 1      |       |
| 1      |       |
| 0      |       |
| 1      |       |
| 0      |       |
| 1      |       |
| 1      |       |
| 1      |       |

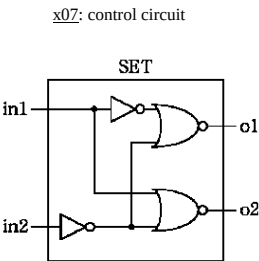
(FIG. 15)



K3664

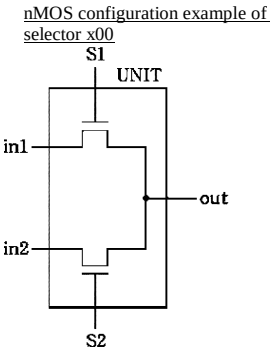
K3664

(FIG. 17)



K3664

(FIG. 19)



K3664

(FIG. 20)

(15)  
(FIG. 21)

| (1) A=0 |        |      |  |
|---------|--------|------|--|
| memory  | in     | out  |  |
| cell100 | a<br>b | out1 |  |
| cell101 |        |      |  |
| cell102 |        |      |  |
| cell103 |        |      |  |
| cell104 | c<br>d | out2 |  |
| cell105 |        |      |  |
| cell106 |        |      |  |
| cell107 |        |      |  |

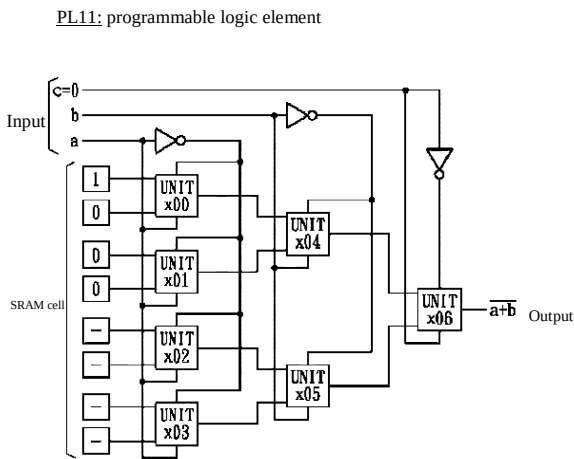
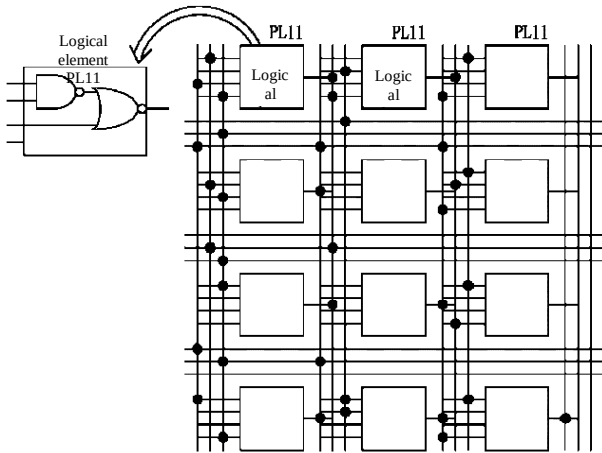
| (2) A=1 |             |      |  |
|---------|-------------|------|--|
| memory  | in          | out  |  |
| cell100 | a<br>b<br>c | out1 |  |
| cell101 |             |      |  |
| cell102 |             |      |  |
| cell103 |             |      |  |
| cell104 | c<br>d      | out2 |  |
| cell105 |             |      |  |
| cell106 |             |      |  |
| cell107 |             |      |  |
| through | d           | out2 |  |

| (1) A=0 |                  |  |
|---------|------------------|--|
| memory  | out              |  |
| 0       | ab               |  |
| 0       |                  |  |
| 0       |                  |  |
| 0       |                  |  |
| 1       | $\overline{c+d}$ |  |
| 1       |                  |  |
| 0       |                  |  |
| 0       |                  |  |
| 0       |                  |  |

| (2) A=1 |         |  |
|---------|---------|--|
| memory  | out     |  |
| 0       | $ab+cb$ |  |
| 1       |         |  |
| 0       |         |  |
| 0       |         |  |
| 1       |         |  |
| 0       |         |  |
| 1       |         |  |
| 1       |         |  |

(FIG. 22)

(FIG. 23)





I, Natalia Lehmann, hereby certify that I am fluent in both the Japanese and English languages, and that I have reviewed and translated Japanese Patent Application Publication No. JP H9-121153. This translation is, to the best of my knowledge and belief, a true and accurate translation from Japanese to English. I declare under penalty of perjury under the laws of the United States that the foregoing is true and accurate.

A handwritten signature in black ink, appearing to read 'Natalia Lehmann'.

Natalia Lehmann  
NAME

Friday, October 14, 2022  
DATE

(19)日本国特許庁（J P）

(12) 公 開 特 許 公 報（A）

(11)特許出願公開番号

特開平9-121153

(43)公開日 平成9年(1997)5月6日

| (51)Int.Cl. <sup>5</sup> | 識別記号  | 庁内整理番号  | F I            | 技術表示箇所 |
|--------------------------|-------|---------|----------------|--------|
| H 0 3 K 19/177           |       | 9199-5K | H 0 3 K 19/177 |        |
| 19/0952                  |       | 9199-5K | 19/173         | 1 0 1  |
| 19/173                   | 1 0 1 |         | 23/64          | A      |
| 23/64                    |       |         | 19/094         | Z      |

審査請求 未請求 請求項の数5 F D （全 15 頁）

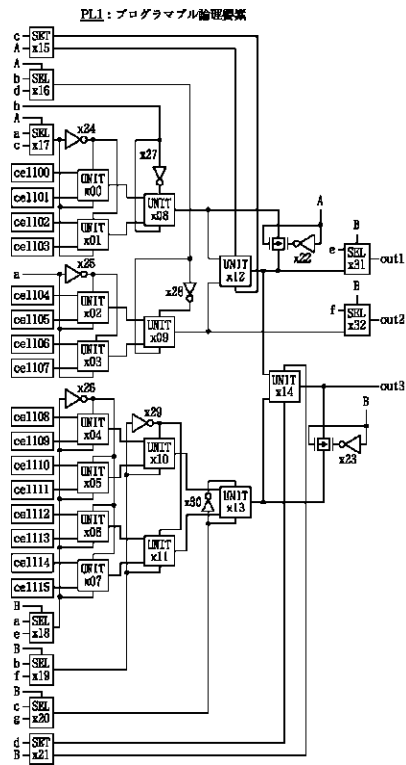
|          |                  |         |                                              |
|----------|------------------|---------|----------------------------------------------|
| (21)出願番号 | 特願平7-300582      | (71)出願人 | 000004226<br>日本電信電話株式会社<br>東京都新宿区西新宿三丁目19番2号 |
| (22)出願日  | 平成7年(1995)10月25日 | (72)発明者 | 藤井 孝治<br>東京都千代田区内幸町1丁目1番6号 日<br>本電信電話株式会社内   |
|          |                  | (72)発明者 | 浦野 正美<br>東京都千代田区内幸町1丁目1番6号 日<br>本電信電話株式会社内   |
|          |                  | (74)代理人 | 弁理士 川久保 新一                                   |

(54)【発明の名称】 プログラマブル論理要素

(57)【要約】

【課題】 所望の論理機能を実現する場合、その実現すべき論理機能に応じたより少ない論理要素とより少ないメモリとによって、所望の論理機能を効率良く実現することができるプログラマブル論理要素を提供することを目的とするものである。

【解決手段】 論理要素内の複数の選択回路が、互いに異なる記憶回路にそれぞれ接続され、しかも論理要素の入力数よりも少ない入力数をもつ複数の選択回路に分割され、論理要素の入力数に満たない入力数をもつ論理関数が、同時にかつ複数個、1つの論理要素に割り当てられるものである。



## 【特許請求の範囲】

【請求項1】 K個以上の入力信号を入力し、 $2^k$  個の記憶回路を有し、少なくとも1つの出力信号を出力し、少なくとも1つの制御信号を入力し、少なくとも1つの選択回路を有するプログラマブル論理要素であって、上記入力信号のうちのK個の入力信号を上記選択回路の選択信号とし、上記 $2^k$  個の記憶回路の各出力信号のうちから1つの出力信号を上記選択回路が選択し、この選択された出力信号を上記プログラマブル論理要素の出力信号として出力する第1の動作と、上記 $2^k$  個の記憶回路が複数の記憶回路群に分割され、数列  $\{2^i\}$  ( $2^i \leq 2^{k-1}$ ) の  $i = 1$  から  $i = n$  までの級数が $2^i$  に等しく、上記記憶回路群が $2^i$  ( $i = 1, 2, \dots, n$ ) 個の記憶回路で構成され、上記入力信号のうちの互いに重複しない $X_i$  個の入力信号を選択信号とすることによって、上記 $2^i$  個の記憶回路の出力信号から1つの出力信号を選択し、この選択された出力信号を上記プログラマブル論理要素の出力信号として出力する第2の動作と、上記制御信号によって切り替えることを特徴とするプログラマブル論理要素。

【請求項2】 請求項1において、上記の第2の動作は、上記数列  $\{2^i\}$  が互いに異なる場合における2以上の動作であり、上記第1の動作と上記2以上の第2の動作との3つ以上の動作を、上記制御信号によって切り替えることを特徴とするプログラマブル論理要素。

【請求項3】 請求項1において、上記の第2の動作は、上記数列  $\{2^i\}$  が1種類である場合における動作であり、上記第1の動作と上記第2の動作との2つの動作を、上記制御信号によって切り替えることを特徴とするプログラマブル論理要素。

【請求項4】 請求項1において、上記動作の切り替えに伴って変化する入力端子数と出力端子数との最大値の数だけ、入出力端子を設け、上記動作の切り替えに伴って、入出力端子を共有しながら上記動作の切り替えを実行することを特徴するプログラマブル論理要素。

【請求項5】 請求項4において、論理関数の設定のためには使用されない入出力端子を、上記プログラマブル論理要素を通過する配線の一部として使用することを特徴とするプログラマブル論理要素。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、論理機能をユーザがプログラムできるプログラマブルLSIにおいて、その論理関数を実現する単位となるプログラマブルな論理要素に関するものである。

## 【0002】

【従来の技術】 プログラマブルLSIは、その論理機能

をユーザがプログラムできるLSIであり、論理関数を実現する論理要素と、これら論理要素を相互に接続する配線領域とで構成され、プログラムすることによって、論理要素に所望の論理機能を設定し、また、論理要素間を所望のルートで接続するものである。

【0003】 図22は、従来のRAM方式のプログラマブルLSIであるFPGA（フィールドプログラマブルゲートアレイ）の構成例を示す図である。

【0004】 図22に示すSRAM方式のプログラマブルLSIにおいて、SRAMセルに書き込む信号によって、その機能をユーザが設定することができる。つまり、ユーザは、所望の論理機能を、プログラマブルな論理要素で実現できる論理関数に分割し、この分割された論理関数をアレイ状に配置した各論理要素PL11に割り当て、配置配線する。これら一連の作業をCADツールを用いて実行し、このようにして得られたプログラムデータをSRAMセルに書き込むことによって、所望のLSIが完成される。

【0005】 論理要素PL11の構成は、メーカーによって様々であるが、LUT(Look UpTable) と呼ばれる入力数Kで特徴づけられる回路要素が、主に使用されている。K入力1出力のLUTは、 $2^k$  ワード1ビットのメモリであり、内部のSRAMの内容を書き換えることによって、K入力1出力の任意の論理関数を実現することができる。FPGA上では、同一の入力数を持つ複数のLUTがアレイ状に並べられ、そのLUTの入力数は3個～5個である場合が多い。

## 【0006】

【発明が解決しようとする課題】 ここで、プログラマブル論理要素として、K入力のLUTを使用し、このLUTを複数個アレイ状に並べたFPGAを想定する。K入力の各LUTには、入力数Kの論理関数が必ずしも割り当てられるとは限らない。つまり、実際の入力数*i*がK未満である論理関数を、K入力のLUTに割り当てると、上記論理関数を実現するプログラムを格納するためには $2^i$  ビットのメモリだけが使用され、したがって、上記プログラムには使用されないメモリ（無効なメモリ）として、 $(2^k - 2^i)$  ビットのメモリがLUT内に残存することになる。

【0007】 図23は、従来のSRAM方式のプログラマブル論理要素の一例を示すブロック図であり、プログラマブル論理要素の入力数KがK=3、実際に割り当てられた論理関数の入力数*i*が*i*=2であるプログラマブル論理要素PL11の例を示す図である。

【0008】 図23に示す従来例においては、4つのメモリが無効なメモリとして存在し、この無効なメモリは、所定の面積を占有するものの、LSIの機能には何ら貢献しないので、このような無効なメモリを有する論理要素PL11は、集積度を低下させる要因になるという問題がある。

【0009】本発明は、所望の論理機能を実現する場合、その実現すべき論理機能に応じたより少ない論理要素とより少ないメモリとによって、所望の論理機能を効率良く実現することができるプログラマブル論理要素を提供することを目的とするものである。

【0010】

【課題を解決するための手段】本発明は、論理要素内の複数の選択回路が、互いに異なる記憶回路にそれぞれ接続され、しかも論理要素の入力数よりも少ない入力数をもつ複数の選択回路に分割され、論理要素の入力数に満たない入力数をもつ論理関数が、同時にかつ複数個、1つの論理要素に割り当てられるものである。

【0011】

【発明の実施の形態および実施例】図1は、本発明の第1の実施例であるプログラマブル論理要素PL1を示すブロック図である。

【0012】プログラマブル論理要素PL1は、

① 16個の記憶回路の出力信号から1つの出力信号を選択し、この選択された出力信号をプログラマブル論理要素PL1の出力信号として出力する動作と、

② 16個の記憶回路を、それぞれ8個の記憶回路で構成される2つの記憶回路群に分割し、7個の入力信号の中から互いに重複しない3個の入力信号と3個の入力信号とを選び、各記憶回路群から所定の記憶回路を選択する選択信号として、上記選ばれた3個の入力信号を各記憶回路群に印加し、各記憶回路から1つの記憶回路を選択し、この選択された記憶回路の出力信号をプログラマブル論理要素PL1の出力信号として出力する動作と（ $n=2$ 、 $X_1=3$ 、 $X_2=3$ ）、

③ 16個の記憶回路を、それぞれ8個、4個、4個の記憶回路で構成される3つの記憶回路群に分割し、7個の入力信号の中から互いに重複しない3個の入力信号と2個の入力信号と2個の入力信号とを選び、各記憶回路群から所定の記憶回路を選択する選択信号として、上記選ばれた3個、2個、2個の入力信号を各記憶回路群に印加し、各記憶回路から1つの記憶回路を選択し、この選択された記憶回路の出力信号をプログラマブル論理要素PL1の出力信号として出力する動作と（ $n=3$ 、 $X_1=3$ 、 $X_2=2$ 、 $X_3=2$ ）、を2個の制御信号によって切り替えるものである。

【0013】プログラマブル論理要素PL1は、使用する入力端子数は最大で7個であり、出力端子数は最大で3個であり、上記3つの動作を切り替えることによって、使用する入力端子数と出力端子とが変化し、各動作において入力端子が7個のなかから選ばれ、出力端子が3個のなかから選ばれ、同時に動作しないパターンの中で入出力端子を共有することによって、端子数の増加が阻止されている。

【0014】つまり、プログラマブル論理要素PL1は、K個以上の入力信号を入力し、 $2^K$ 個の記憶回路を

有し、少なくとも1つの出力信号を出力し、少なくとも1つの制御信号を入力し、少なくとも1つの選択回路を有するプログラマブル論理要素であり、

① 入力信号のうちのK個の入力信号を上記選択回路の選択信号とし、上記 $2^K$ 個の記憶回路の各出力信号のうちから1つの出力信号を上記選択回路が選択し、この選択された出力信号を上記プログラマブル論理要素の出力信号として出力する第1の動作と、

②  $2^K$ 個の記憶回路が複数の記憶回路群に分割され、数列 $\{2^i\}$ （ $2^0 \leq 2^{(n-1)}$ ）の $i=1$ から $i=n$ までの級数が $2^i$ に等しく、記憶回路群が $2^i$ （ $i=1, 2, \dots, n$ ）個の記憶回路で構成され、入力信号のうちの互いに重複しない $X_i$ 個の入力信号を選択信号とすることによって、 $2^K$ 個の記憶回路の出力信号から1つの出力信号を選択し、この選択された出力信号をプログラマブル論理要素の出力信号として出力する第2の動作と、を、上記制御信号によって切り替えるプログラマブル論理要素の例である。なお、プログラマブル論理要素PL1は、 $K=4$ であり、記憶回路は16個であり、上記第2の動作は、2つの動作に別れ、第2の動作における1つ目の動作において、 $n=2$ 、 $X_1=3$ 、 $X_2=3$ であり、第2の動作における2つ目の動作において、 $n=2$ 、 $X_1=3$ 、 $X_2=2$ 、 $X_3=2$ である。すなわち、プログラマブル論理要素PL1では、第1の動作と、第2の動作の1つ目の動作と、第2の動作の2つ目の動作との3つの動作のうちの1つの動作が切り替えられる。

【0015】具体的には、プログラマブル論理要素PL1は、記憶回路cell00～cell15と、セレクトax00～x14と、セレクトax16～x20、x31、x32と、CMOSトランスファergeートx22、x23と、制御回路x15、x21と、インバータx24～x30とを有する。

【0016】図2は、プログラマブル論理要素PL1におけるセレクトax16の具体例を示す回路図である。

【0017】セレクトax16は、1つの選択信号入力端子Sと、2つの入力端子in1、in2と、出力端子outとを具備する。他のセレクトax17～x20、x31、x32の具体例も、セレクトax16と同じである。

【0018】図3は、プログラマブル論理要素PL1における制御回路x15の具体例を示す回路図である。

【0019】制御回路x15は、選択信号によらずに、セレクトax12の入出力端子を非導通にする回路である。制御回路x21の具体例も制御回路x15の具体例と同じであり、制御回路x21は、選択信号によらずに、セレクトax14の入出力端子を非導通にする回路である。

【0020】図4は、プログラマブル論理要素PL1におけるセレクトax00をCMOSで構成した場合の具体例を示す回路図である。

【0021】このセレクトax00は、2つの選択信号入

力端子  $S1$ 、 $S2$  と 2 つの入力端子  $in1$ 、 $in2$  と出力端子  $out$  とを具備する。

【0022】セクタ  $x01 \sim x14$  を CMOS で構成した場合の具体例も、セクタ  $x00$  を CMOS で構成した場合の具体例と同じであり、セクタ  $x01 \sim x14$  は、2 つの選択信号入力端子  $S1$ 、 $S2$  と 2 つの入力端子  $in1$ 、 $in2$  と出力端子  $out$  とを具備する。

【0023】図 5 は、プログラマブル論理要素  $PL1$  におけるセクタ  $x00$  ( $\sim x14$ ) を  $nMOS$  で構成した場合の具体例を示す回路図である。セクタ  $x01 \sim x14$  を  $nMOS$  で構成した場合の具体例も、セクタ  $x00$  を  $nMOS$  で構成した場合の具体例と同じである。

【0024】セクタ  $x16$  において、その選択信号入力端子  $S$  に制御信号  $A$  が入力され、その入力端子  $in1$ 、 $in2$  にそれぞれ信号  $b$ 、 $d$  が入力され、その出力端子  $out$  がセクタ  $x09$  の選択信号入力端子  $S2$  に接続され、さらに、インバータ  $x28$  を介して、セクタ  $x09$  の選択信号入力端子  $S1$  に接続されている。

【0025】セクタ  $x17$  において、その選択信号入力端子  $S$  に制御信号  $A$  が入力され、その入力端子  $in1$ 、 $in2$  にそれぞれ信号  $a$ 、 $c$  が入力され、その出力端子  $out$  がセクタ  $x00$ 、 $x01$  の選択信号入力端子  $S2$  に接続し、さらにインバータ  $x24$  を介して、セクタ  $x00$ 、 $x01$  の選択信号入力端子  $S1$  に接続されている。

【0026】セクタ  $x18$  において、その選択信号入力端子  $S$  に制御信号  $B$  が入力され、その入力端子  $in1$ 、 $in2$  にそれぞれ信号  $a$ 、 $e$  が入力され、その出力端子  $out$  がセクタ  $x04$ 、 $x05$ 、 $x06$ 、 $x07$  の選択信号入力端子  $S2$  に接続され、さらにインバータ  $x26$  を介してセクタ  $x04$ 、 $x05$ 、 $x06$ 、 $x07$  の選択信号入力端子  $S1$  に接続されている。

【0027】セクタ  $x19$  において、その選択信号入力端子  $S$  に制御信号  $B$  が入力され、その入力端子  $in1$ 、 $in2$  にそれぞれ信号  $b$ 、 $f$  が入力され、その出力端子  $out$  がセクタ  $x10$ 、 $x11$  の選択信号入力端子  $S2$  に接続され、さらにインバータ  $x29$  を介して、セクタ  $x10$ 、 $x11$  の選択信号入力端子  $S1$  に接続されている。

【0028】セクタ  $x20$  において、その選択信号入力端子  $S$  に制御信号  $B$  が入力され、その入力端子  $in1$ 、 $in2$  にそれぞれ信号  $c$ 、 $g$  が入力され、その出力端子  $out$  がセクタ  $x13$  の選択信号入力端子  $S2$  に接続され、さらにインバータ  $x30$  を介して、セクタ  $x13$  の選択信号入力端子  $S1$  に接続されている。

【0029】制御回路  $X15$  の出力端子  $o1$  をセクタ  $x12$  の選択信号入力端子  $S2$  に接続し、その出力端子  $o2$  をセクタ  $x12$  の選択信号入力端子  $S1$  に接続し、入力端子  $in1$  に信号  $c$  が入力され、入力端子  $in$

2 に制御信号  $A$  が入力されている。

【0030】制御回路  $x21$  の出力端子  $o1$  がセクタ  $x14$  の選択信号入力端子  $S2$  に接続され、その出力端子  $o2$  がセクタ  $x14$  の選択信号入力端子  $S1$  に接続され、入力端子  $in1$  に信号  $d$  が入力され、入力端子  $in2$  に制御信号  $B$  が入力されている。また、入力信号  $b$  をセクタ  $x08$  の選択信号入力端子  $S2$  に入力し、インバータ  $x27$  を介して、選択信号入力端子  $S1$  に入力する。入力信号  $a$  をセクタ  $x02$ 、 $x03$  の選択信号入力端子  $S2$  に入力し、インバータ  $x25$  を介して、セクタ  $x02$ 、 $x03$  の選択信号入力端子  $S1$  に入力する。

【0031】セクタ  $x00$  は、その入力端子  $in1$ 、 $in2$  がそれぞれ記憶回路  $cell00$ 、 $cell01$  の出力端子に接続され、その出力端子  $out$  が、セクタ  $x08$  の入力端子  $in1$  に接続されている。セクタ  $x01$  は、その入力端子  $in1$ 、 $in2$  がそれぞれ記憶回路  $cell02$ 、 $cell03$  の出力端子に接続され、その出力端子  $out$  がセクタ  $x08$  の入力端子  $in2$  に接続されている。セクタ  $x02$  は、その入力端子  $in1$ 、 $in2$  がそれぞれ記憶回路  $cell04$ 、 $cell05$  の出力端子に接続され、その出力端子  $out$  が、セクタ  $x09$  の入力端子  $in1$  に接続されている。

【0032】セクタ  $x03$  は、その入力端子  $in1$ 、 $in2$  がそれぞれ記憶回路  $cell06$ 、 $cell07$  の出力端子に接続され、その出力端子  $out$  が、セクタ  $x09$  の入力端子  $in2$  に接続されている。セクタ  $x04$  は、その入力端子  $in1$ 、 $in2$  がそれぞれ記憶回路  $cell08$ 、 $cell09$  の出力端子に接続され、その出力端子  $out$  がセクタ  $x10$  の入力端子  $in1$  に接続されている。セクタ  $x05$  は、その入力端子  $in1$ 、 $in2$  がそれぞれ記憶回路  $cell10$ 、 $cell11$  の出力端子に接続され、その出力端子  $out$  が、セクタ  $x10$  の入力端子  $in2$  に接続されている。

【0033】セクタ  $x06$  は、その入力端子  $in1$ 、 $in2$  がそれぞれ記憶回路  $cell12$ 、 $cell13$  の出力端子に接続され、その出力端子  $out$  が、セクタ  $x11$  の入力端子  $in1$  に接続されている。セクタ  $x07$  は、その入力端子  $in1$ 、 $in2$  がそれぞれ記憶回路  $cell14$ 、 $cell15$  の出力端子に接続され、その出力端子  $out$  がセクタ  $x11$  の入力端子  $in2$  に接続されている。セクタ  $x08$  の出力端子がセクタ  $x12$  の入力端子  $in1$  に接続され、さらに  $CMOS$  トランスファークローク  $x22$  を介して、セクタ  $x31$  の入力端子  $in2$  に接続されている。

【0034】セクタ  $x09$  の出力端子が、セクタ  $x12$  の入力端子  $in2$  とセクタ  $x32$  の入力端子  $in2$  とに接続され、セクタ  $x10$  の出力端子が、セクタ

タx13の入力端子in1に接続され、セクタx11の出力端子が、セクタx13の入力端子in2に接続されている。セクタx12の出力端子が、セクタx14の入力端子in1に接続され、セクタx31の入力端子in2に接続されている。セクタx13の出力端子が、セクタx14の入力端子in2に接続され、さらにCM0Sトランスファークゲートx23を介して、出力端子out3に接続されている。セクタx14の出力端子は、出力端子out3に接続されている。

【0035】CM0Sトランスファークゲートx22の制御端子に制御信号Aが入力され、CM0Sトランスファークゲートx23の制御端子に制御信号Bが入力されている。セクタx31は、その選択信号入力端子Sに制御信号Bが入力され、その入力端子in1が信号eを入力し、その入力端子in2がセクタx12の出力端子outに接続され、その出力端子outが出力端子out1に接続されている。セクタx32は、その選択信号入力端子Sに制御信号Bが入力され、その入力端子in1に信号fが入力され、その入力端子in2がセクタx09の出力端子outに接続され、その出力端子outが出力端子out2に接続されている。選択回路は、トランスファークゲートを使用したセクタを元に構成され、トランスファークゲートには、図4に示すCM0S構成または、図5に示すNM0S構成を使用する。

【0036】次に、プログラマブル論理要素PL1の動作について説明する。

【0037】図6は、プログラマブル論理要素PL1における入力信号、出力信号と、記憶回路の出力信号との対応を示す図である。

【0038】図6において、A、Bは、プログラマブル論理回路PL1の使用モードを決定する制御信号であり、a、b、c、d、e、f、gは、入力すべき信号であり、out1、out2、out3は、出力すべき出力端子を示し、cell00～cell15は、使用すべき記憶回路を示している。

【0039】まず、図6(1)に示すように、制御信号(A、B)が(1、1)である場合には、セクタx00、x01、x02、x03、x04、x05、x06、x07の選択信号として、信号aとその否定とが選択され、セクタx08、x09、x10、x11の選択信号として、信号bとその否定とが選択され、セクタx12とx13の選択信号として、信号cとその否定とが選択され、セクタx14の選択信号として、信号dとその否定とが選択される。また、制御回路x15、x21は、それぞれセクタx12、x14を、選択回路として動作可能にする。CM0Sトランスファークゲートx22は、セクタx08の出力端子とセクタx12の出力端子とを分離し、CM0Sトランスファークゲートx23は、セクタx13の出力端子と出力端子out3とを分離する。

【0040】このときに、セクタx00～x14で構成される選択回路は、信号a、b、c、dを選択信号とする16-1セクタになり、出力端子out3は、信号a、b、c、dを入力信号とする4入力のプログラマブル論理要素の出力端子に対応する。

【0041】ここで、プログラムされた論理関数の入出力端子として使用されない端子のうちで、入力端子e、fは、セクタx31、x32によって、それぞれ出力端子out1、out2に接続されるので、これら入力端子e、fと、出力端子out1、out2とを配線要素として使用することができる。

【0042】次に、図6(3)に示すように、制御信号(A、B)が(1、0)である場合には、セクタx00、x01、02、03の選択信号として、信号aとその否定とが選択され、セクタx08、x09の選択信号として、信号bとその否定とが選択され、セクタx12の選択信号には、信号cとその否定とが選択され、セクタx08の出力端子とセクタx12の出力端子とは、CM0Sトランスファークゲートx22によって分離され、セクタx13によりセクタx12の出力端子が出力端子out1に接続される。セクタx04、x05、x06、x07の選択信号には、信号eとその否定とが選択され、セクタx10、x11の選択信号には、信号fとその否定とが選択され、セクタx13の選択信号には、信号gとその否定とが選択され、セクタx13の出力端子と出力端子out3とは、CM0Sトランスファークゲートx23によって導通される。制御回路x21が、セクタx14の入力端子とその出力端子とを非導通にする。

【0043】このときに、セクタx00、x01、x02、03、x08、x09、x12によって構成される選択回路は、信号a、b、cを選択信号とする8-1セクタとなり、出力端子out1には、信号a、b、cを入力信号とする4入力のプログラマブル論理要素の出力端子が対応し、出力端子out1が、その4入力のプログラマブル論理要素の出力端子として動作する。

【0044】また、セクタx04、x05、x06、x07、x10、x11、x13によって構成される選択回路は、信号e、f、gを選択信号とする8-1セクタになり、出力端子out3と、信号e、f、gを入力信号とする3入力のプログラマブル論理要素の出力端子とが対応し、出力端子out3が、3入力のプログラマブル論理要素の出力端子として動作する。

【0045】そして、図6(2)に示すように、制御信号(A、B)が(0、0)である場合には、セクタx00、x01の選択信号には、信号cとその否定とが選択され、セクタx08の選択信号には、信号bとその否定とが選択され、セクタx00、x01、x08で構成される選択回路は、信号b、cを選択信号とする4-1セクタになる。

【0046】セクタx02、x03の選択信号には、信号aとその否定とが選択され、セクタx09の選択信号には、信号dとその否定とが選択され、セクタx02、x03、x09によって構成される選択回路は、信号a、dを選択信号とする4-1セクタになる。セクタx04、x05、x06、x07の選択信号には、信号eとその否定とが選択され、セクタx10とx11との選択信号には、信号fとその否定が選ばれ、セクタx13の選択信号には、信号gとその否定とが選択され、セクタx04、x05、x06、x07、x10、x11、x13によって構成される選択回路は、信号e、f、gを選択信号とする8-1セクタになる。

【0047】セクタx12の入力端子と出力端子とは、制御回路x15によって絶縁され、セクタx08の出力端子は、CMOSTransファーストx22とセクタx31とによって、出力端子out1と導通され、セクタx09の出力端子は、セクタx32によって出力端子out2に接続される。また、セクタx14の入力端子とその出力端子とは、制御回路x21によって絶縁され、セクタx13の出力端子は、CMOSTransファーストx23によって、出力端子out3と導通される。

【0048】このときに、出力端子out1には、信号b、cを入力信号とする2入力のプログラマブル論理要素の出力が対応し、出力端子out2には、信号a、dを入力信号とする2入力のプログラマブル論理要素の出力端子が対応し、出力端子out3には、信号e、f、gを入力信号とする3入力のプログラマブル論理要素の出力が対応する。

【0049】図7は、プログラマブル論理要素PL1において、ある信号を記憶回路に書き込んだ場合において、対応する出力信号の論理式を示す図である。

【0050】従来の4入力のプログラマブル論理要素に、2入力の論理関数を割り当てた場合、プログラムするために必要とする4ビットの記憶回路以外の残りの記憶回路は未使用になり、集積度を下げる原因の1つであったが、上記プログラマブル論理要素PL1においては、上記残りの記憶回路も他の論理関数の割り当てに有効に使用することができる。

【0051】すなわち、プログラマブル論理要素PL1は、第1の動作と、第2の動作とを切り替えるものであり、この場合の第2の動作は、数列 $\{2^i\}$ が互いに異なる2以上の種類である場合における動作であり、上記第1の動作と2つの第2の動作との3つの動作を、制御信号によって切り替えるプログラマブル論理要素である。つまり、プログラマブル論理要素PL1における上記第1の動作は、図6(1)に示す動作であり、上記第2の動作は、図6(2)、(3)に示すように、2つの動作で構成されている。図6(2)に示す場合におい

て、16個の記憶素子は、 $4+4+8$ に分割され( $2^1+2^1+2^1$ に分割され)、この場合における数列 $\{2^i\}$ は、 $\{2^1, 2^1, 2^1\}$ であり、一方、図6

(3)に示す場合において、16個の記憶素子は、 $8+8$ に分割され( $2^1+2^1$ に分割され)、この場合における数列 $\{2^i\}$ は、 $\{2^1, 2^1\}$ である。

【0052】なお、プログラマブル論理要素PL1においては、上記第2の動作は、図6(2)、(3)に示すように、2種類の動作で構成されているが、これを3種類以上の動作(数列 $\{2^i\}$ が互いに異なる3以上の種類の動作)で構成するようにしてもよい。

【0053】図8は、本発明の第2の実施例であるプログラマブル論理要素PL2を示すブロック図である。

【0054】プログラマブル論理要素PL2は、

①16個の記憶回路の出力信号から1つの出力信号を選択し、この選択された出力信号をプログラマブル論理要素PL2の出力信号として出力する動作と、

②16個の記憶回路を、それぞれ8個の記憶回路で構成される2つの記憶回路群に分割し、6個の入力信号の中から互いに重複しない3個の入力信号と3個の入力信号とを選び、各記憶回路群から所定の記憶回路を選択する選択信号として、上記選ばれた3個の入力信号を各記憶回路群に印加し、各記憶回路から1つの記憶回路を選択し、この選択された記憶回路の出力信号をプログラマブル論理要素PL2の出力信号として出力する動作と( $n=2$ ,  $X_1=3$ ,  $X_2=3$ )、の2つの動作を1個の制御信号によって切り替えるものである。なお、プログラマブル論理要素PL2において、 $K=4$ であり、記憶回路は16個である。

【0055】プログラマブル論理要素PL2は、使用する入力端子数は最大で6個であり、出力端子数は最大で2個であり、上記2つの動作を切り替えることによって、使用する入力端子数と出力端子とが変化し、各動作において入力端子が上記6個のなかから選ばれ、出力端子が上記2個のなかから選ばれ、同時に動作しないパターンの中で入出力端子を共有することによって、端子数の増加が阻止されている。

【0056】図9は、プログラマブル論理要素PL2におけるセクタx16の具体例を示す回路図である。セクタx16の具体例は、図2に示すセクタx16の具体例と同じであり、x17、x18、x26も同様である。

【0057】図10は、プログラマブル論理要素PL2における制御回路x15の具体例を示す回路図である。プログラマブル論理要素PL2における制御回路x15は、図3に示す制御回路x15の具体例と同じである。

【0058】図11は、プログラマブル論理要素PL2におけるセクタx00をCMOSで構成した場合の具体例を示す回路図である。図12は、プログラマブル論理要素PL2における2-1セクタx00をnMOS

で構成した場合の具体例を示す回路図である。

【0059】プログラマブル論理要素PL2は、記憶回路cell00～cell15と、2つの選択信号入力端子S1、S2と2つの入力端子in1、in2と出力端子outを具備するセクタx00～x14と、1つの選択信号入力端子Sと2つの入力端子in1、in2と出力端子outを具備するセクタx16、x17、x18、x26と、CMOSトランスファergeートx19と、セクタx14の入出力端子を選択信号によらず非導通にする制御回路x15と、インバータx20～x25とを有するものである。

【0060】セクタx16において、その選択信号入力端子Sに制御信号Aが入力され、その入力端子in1、in2に信号b、eが入力され、その出力端子outが、セクタx08、x09の選択信号入力端子S2に接続され、さらにインバータx24を介して、セクタx08、x09の選択信号入力端子S1に接続されている。

【0061】セクタx17において、その選択信号入力端子Sに制御信号Aが入力され、その入力端子in1、in2にそれぞれ信号a、dが入力され、その出力端子outが、セクタx04、x05、x06、x07の選択信号入力端子S2に接続され、さらにインバータx21を介して、セクタx04、x05、x06、x07の選択信号入力端子S1に接続されている。

【0062】セクタx18において、その選択信号入力端子Sに制御信号Aが入力され、その入力端子in1、in2にそれぞれ信号c、fが入力され、その出力端子outが、セクタx13の選択信号入力端子S2に接続され、さらにインバータx23を介して、選択信号入力端子S1に接続されている。

【0063】制御回路x15は、その出力端子o1が、セクタx14の選択信号入力端子S2に接続され、その出力端子o2が選択信号入力端子S1に接続され、その入力端子in1に信号dが入力され、その入力端子in2に制御信号Aが入力されている。

【0064】そして、入力信号aは、セクタx00～x03の選択信号入力端子S2に入力され、インバータx20を介して、セクタx00～x03の選択信号入力端子S1に入力されている。入力信号bは、セクタx10、x11の選択信号入力端子S2に入力され、インバータx22を介して、セクタx10、x11の選択信号入力端子S1に入力されている。

【0065】セクタx00は、その入力端子in1、in2が、それぞれ記憶回路cell00、cell01の出力端子に接続され、その出力端子outは、セクタx08の入力端子in1に接続されている。セクタx01は、その入力端子in1、in2が、それぞれ記憶回路cell02、cell03の出力端子に接続され、その出力端子outが、セクタx08の入力端

子in2に接続されている。セクタx02は、その入力端子in1、in2が、それぞれ記憶回路cell04、cell05の出力端子に接続され、その出力端子outが、セクタx09の入力端子in1に接続されている。セクタx03は、その入力端子in1、in2が、それぞれ記憶回路cell06、cell07の出力端子に接続され、その出力端子outが、セクタx09の入力端子in2に接続されている。

【0066】セクタx04は、その入力端子in1、in2が、それぞれ記憶回路cell08、cell09の出力端子に接続され、その出力端子outが、セクタx10の入力端子in1に接続されている。セクタx05は、その入力端子in1、in2が、それぞれ記憶回路cell10、cell11の出力端子に接続され、その出力端子outが、セクタx10の入力端子in2に接続されている。セクタx06は、その入力端子in1、in2が、それぞれ記憶回路cell12、cell13の出力端子に接続され、その出力端子outが、セクタx11の入力端子in1に接続されている。セクタx07は、その入力端子in1、in2が、それぞれ記憶回路cell14、cell15の出力端子に接続され、その出力端子outが、セクタx11の入力端子in2に接続されている。

【0067】また、セクタx08の出力端子がセクタx12の入力端子in1に接続され、セクタx09の出力端子がセクタx12の入力端子in2に接続され、セクタx10の出力端子がセクタx13の入力端子in1に接続され、セクタx11の出力端子がセクタx13の入力端子in2に接続されている。セクタx12の出力端子は、セクタx14の入力端子in1に接続され、CMOSトランスファergeートx19のトランスファergeートを介して、出力端子out1に接続されている。セクタx13の出力がセクタx14の入力端子in2とセクタx26の入力端子in2に接続されている。

【0068】セクタx14の出力端子は出力端子out1に接続されている。CMOSトランスファergeートx19は、制御信号Aを入力し、セクタx26において、その選択信号入力端子Sに制御信号Aが入力され、その入力端子in1が信号eを入力し、その入力端子in2がセクタx13の出力端子outに接続され、その出力端子outが出力端子out2に接続されている。

【0069】選択回路は、トランスファergeートを使用したセクタを元に構成され、そのトランスファergeートには、CMOS構成またはNMOS構成が使用される。

【0070】次に、プログラマブル論理要素PL2の動作について説明する。

【0071】図13は、プログラマブル論理要素PL2

における入力信号、出力信号と、記憶回路の出力信号との対応を示す図である。

【0072】まず、図13(2)に示すように、制御信号Aが1である場合、セクタx00、x01、x02、x03、x04、x05、x06、x07の選択信号として、信号aとその否定とが選択され、セクタx08、x09、x10、x11の選択信号として、信号bとその否定とが選択され、セクタx12、x13の選択信号として、信号cとその否定とが選択され、セクタx14の選択信号として、信号dとその否定とが選択される。

【0073】CM0ストランスファークロップx19は、セクタx12の出力端子と出力端子out1とを絶縁する。このときに、セクタx00～x14によって構成される選択回路は、信号a、b、c、dを選択信号とする16-1セクタになり、出力端子out1は、信号a、b、c、dを入力信号とする4入力のプログラマブル論理要素の出力に対応する。

【0074】ここで、プログラムされた論理関数の入出力動作に使用されない入出力端子のうちで、信号eはセクタx26によって出力端子out2に接続されるので、これを配線要素として使用することができる。

【0075】また、図13(1)に示すように、制御信号Aが0である場合には、セクタx08、x09の選択信号に、信号eとその否定とが選択され、セクタx14は、選択信号によらずその入出力端子間が絶縁され、CM0ストランスファークロップx19は、セクタx12の出力端子と出力端子out1を導通する。

【0076】また、セクタx04、x05、x06、x07の選択信号として、信号dとその否定とが選択され、セクタx13の選択信号として、信号fとその否定とが選択され、セクタx26によってセクタx13の出力端子が出力端子out2に接続される。このときに、セクタx00、x01、x02、x03、x08、x09、x12によって構成される選択回路は、信号a、e、cを選択信号とする8-1セクタとなり、出力端子out1には、信号a、e、cを入力信号とする3入力のプログラマブル論理要素の出力端子に対応する。また、セクタx04、x05、x06、x07、x10、x11、x13によって構成される選択回路は、信号b、d、fを選択信号とする8-1セクタになり、出力端子out2は、信号b、d、fを入力信号とする3入力のプログラマブル論理要素の出力に対応する。

【0077】図14は、プログラマブル論理要素PL2において、ある信号を記憶回路に書き込んだ場合における対応する出力信号の論理式を示す図である。

【0078】ところで、従来の4入力のプログラマブル論理要素に3入力の論理関数を割り当てた場合、プログラムするために要する8ビットの記憶回路以外の記憶回

路は未使用となり、集積度を下げる原因の1つであったが、上記プログラマブル論理要素PL2によれば、残りの記憶回路を、他の論理関数の割り当て、有効に使用できる。

【0079】図15は、本発明の第3の実施例であるプログラマブル論理要素PL3を示すブロック図である。

【0080】プログラマブル論理要素PL3は、

① 8個の記憶回路の出力信号から1つの出力信号を選択し、この選択された出力信号をプログラマブル論理要素PL3の出力信号として出力する動作と、

② 8個の記憶回路を、それぞれ4個の記憶回路で構成される2つの記憶回路群に分割し、4個の入力信号の中から互いに重複しない2個の入力信号と2個の入力信号とを選び、各記憶回路群から所定の記憶回路を選択する選択信号として、上記選ばれた2個の入力信号を各記憶回路群に印加し、各記憶回路から1つの記憶回路を選択し、この選択された記憶回路の出力信号をプログラマブル論理要素PL3の出力信号として出力する動作と(n=2, X<sub>1</sub>=2, X<sub>2</sub>=2)、を1個の制御信号によって切り替えるものである。なお、プログラマブル論理要素PL3において、K=3であり、記憶回路は8個である。

【0081】プログラマブル論理要素PL3において、使用する入力端子数は最大で4個であり、出力端子数は最大で2個であり、上記2つの動作を切り替えることによって、使用する入力端子数と出力端子とが変化し、各動作において入力端子が上記4個のなかから選ばれ、出力端子が上記2個のなかから選ばれ、同時に動作しないパターンの中で入出力端子を共有することによって、端子数の増加が阻止されている。

【0082】プログラマブル論理要素PL3は、記憶回路cell00～cell07と、2つの選択信号入力端子S1、S2と2つの入力端子in1、in2と出力端子outを具備するセクタx00～x06と、1つの選択信号入力端子Sと2つの入力端子in1、in2と出力端子outを具備するセクタx08、x09、x15と、CM0ストランスファークロップx10と、セクタx06のの入出力端子を選択信号によらず非導通にするための制御回路x07と、インバータx11～x14とを有する。

【0083】図16は、プログラマブル論理要素PL3におけるセクタx08の具体例を示す回路図である。セクタx08の具体例は、図2に示すセクタx16の具体例と同じであり、セクタx09、x15も同様である。

【0084】図17は、プログラマブル論理要素PL3における制御回路x07の具体例を示す回路図である。プログラマブル論理要素PL3における制御回路x07は、図3に示す制御回路x15の具体例と同じである。

【0085】図18は、プログラマブル論理要素PL3

におけるセクタx00をCMOSで構成した場合の具体例を示す回路図である。図19は、プログラマブル論理要素PL3におけるセクタx00をnMOSで構成した場合の具体例を示す回路図である。

【0086】セクタx08において、その選択信号入力端子Sに制御信号Aが入力され、その入力端子in1、in2にそれぞれ信号c、bが入力され、その出力端子outが、セクタx04の選択信号入力端子S2に接続され、さらにインバータx13を介して、セクタx04の選択信号入力端子S1に接続されている。セクタx09において、その選択信号入力端子Sに制御信号Aが入力され、その入力端子in1、in2にそれぞれ信号a、dが入力され、その出力端子outが、セクタx02、セクタx03の選択信号入力端子S2に接続され、さらにインバータx12を介して、セクタx02、セクタx03の選択信号入力端子S1に接続されている。

【0087】制御回路x07は、その入力端子in1、in2にそれぞれ信号b、Aが入力され、その出力端子out1、out2がそれぞれセクタx06の選択信号入力端子S2、S1に接続されている。

【0088】入力信号aは、セクタx00、x01の選択信号入力端子S2に入力され、さらにインバータx11を介してセクタx00、x01の選択信号入力端子S1に入力されている。入力信号cは、セクタx05の選択信号入力端子S2に入力され、さらにインバータx14を介して、セクタx05の選択信号入力端子S1に入力されている。セクタx00の入力端子in1、in2が、それぞれ記憶回路cell00、cell01の出力端子に接続され、出力端子outがセクタx04の入力端子in1に接続されている。

【0089】セクタx01の入力端子in1、in2は、それぞれ記憶回路cell02、cell03の出力端子に接続され、出力端子outが、セクタx04の入力端子in2に接続されている。セクタx02の入力端子in1、in2は、それぞれ記憶回路cell04、cell05の出力端子に接続され、出力端子outが、セクタx05の入力端子in1に接続されている。セクタx03の入力端子in1、in2は、それぞれ記憶回路cell06、cell07の出力端子に接続され、出力端子outが、セクタx05の入力端子in2に接続されている。

【0090】セクタx04の出力端子は、セクタx06の入力端子in1に接続され、CMOSトランスファークロスを介して、出力端子out1に接続されている。セクタx05の出力端子は、セクタx06の入力端子in2とセクタx15の入力端子in2とに接続されている。セクタx06の出力端子は、出力端子out1に接続されている。

【0091】セクタx15において、その選択信号入

力端子Sが制御信号Aを入力し、その入力端子in1が信号dを入力し、その入力端子in2が、セクタx05の出力端子outに接続され、その出力端子outが出力端子out2に接続されている。

【0092】ここで、選択回路は、トランスファークロスをを使用したセクタを元に構成し、トランスファークロスには、CMOS構成またはNMOS構成を使用する。

【0093】次に、プログラマブル論理要素PL3の動作について説明する。

【0094】図20は、プログラマブル論理要素PL3における入力信号、出力信号と、記憶回路の出力信号との対応を示す図である。

【0095】まず、図20(2)に示すように、制御信号Aが1である場合には、セクタx00、x01、x02、x03の選択信号として、信号aとその否定とが選択され、セクタx04、x05の選択信号として、信号cとその否定とが選択され、セクタx06の選択信号として、信号bとその否定とが選択される。また、CMOSトランスファークロスx10は、セクタx04の出力端子と出力端子out1とを絶縁する。このときに、セクタx00～x06によって構成される選択回路は、信号a、b、cを選択信号とする8-1セクタになり、出力端子out1には、信号a、b、cを入力信号とする3入力のプログラマブル論理要素の出力端子が対応する。

【0096】上記の場合、プログラムされた論理関数の入出力に使用されない入出力端子のうち、端子dは、出力端子out2に接続されるので、これを配線要素として使用できる。

【0097】また、図20(1)に示すように、制御信号Aが0である場合には、セクタx02、x03の選択信号として、信号dとその否定とが選択され、セクタx04の選択信号として、信号bとその否定とが選択され、セクタx04の出力端子と出力端子out1とはCMOSトランスファークロスx10によって導通される。また、セクタx15によってセクタx05の出力端子が出力端子out2に接続される。このときに、セクタx00、x01、x04によって構成される選択回路は、信号a、bを選択信号とする4-1セクタになり、出力端子out1は、信号a、bを入力信号とする2入力のプログラマブル論理要素の出力端子に対応する。また、セクタx02、x03、x05によって構成される選択回路は、信号c、dを選択信号とする4-1セクタになり、出力端子out2は、信号c、dを入力信号とする2入力のプログラマブル論理要素の出力端子に対応する。

【0098】図21は、プログラマブル論理要素PL3において、ある信号を記憶回路に書き込んだ場合において、対応する出力信号の論理式を示す図である。

【0099】従来の3入力のプログラマブル論理要素に、2入力の論理関数を割り当てた場合、プログラムに要する4ビットの記憶回路以外の記憶回路は未使用となり、集積度を下げる原因の1つであったが、プログラマブル論理要素PL3によって、残りの記憶回路を他の論理関数の割り当て、有効に使用できる。

【0100】つまり、プログラマブル論理要素PL2は、第1の動作と第2の動作とを切り替えるものであり、この場合の第2の動作は、数列 $\{2^N\}$ が1つの種類である場合における動作であり、上記第1の動作と第2の動作との2つの動作を、制御信号によって切り替えるプログラマブル論理要素である。すなわち、プログラマブル論理要素PL2における上記第1の動作は、図13(2)に示す動作であり、上記第2の動作は、図13(1)に示すように、1つの動作で構成されており、図13(1)に示す場合において、16個の記憶素子は、 $8+8$ に分割され( $2^3+2^3$ に分割され)、この場合における数列 $\{2^N\}$ は、 $\{2^3, 2^3\}$ である。

【0101】プログラマブル論理要素PL3も、プログラマブル論理要素PL2と同様に、第1の動作と第2の動作とを切り替えるものであり、この場合の第2の動作は、数列 $\{2^N\}$ が1つの種類である場合における動作であり、上記第1の動作と第2の動作との2つの動作を、制御信号によって切り替えるプログラマブル論理要素である。

#### 【0102】

【発明の効果】本発明によれば、1つのプログラマブル論理要素を、異なる入力数のプログラマブル論理要素として機能させることができ、これによって、FPGA上のプログラマブル論理要素の規模を任意に不均一にすることができ、より少ない論理要素とより少ないメモリとによって、所望の論理機能を実現することができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例であるプログラマブル論理要素PL1を示すブロック図である。

【図2】プログラマブル論理要素PL1におけるセクタx16の具体例を示す回路図である。

【図3】プログラマブル論理要素PL1における制御回路x15の具体例を示す回路図である。

【図4】プログラマブル論理要素PL1におけるセクタx00をCMOSで構成した場合の具体例を示す回路図である。

【図5】プログラマブル論理要素PL1におけるセクタx00(～x14)をnMOSで構成した場合の具体例を示す回路図である。

【図6】プログラマブル論理要素PL1における入力信号、出力信号と、記憶回路の出力信号との対応を示す図である。

【図7】プログラマブル論理要素PL1において、ある信号を記憶回路に書き込んだ場合における対応する出力信号の論理式を示す図である。

【図8】本発明の第2の実施例であるプログラマブル論理要素PL2を示すブロック図である。

【図9】プログラマブル論理要素PL2におけるセクタx16の具体例を示す回路図である。

【図10】プログラマブル論理要素PL2における制御回路x15の具体例を示す回路図である。

10 【図11】プログラマブル論理要素PL2におけるセクタx00をCMOSで構成した場合の具体例を示す回路図である。

【図12】プログラマブル論理要素PL2におけるセクタx00をnMOSで構成した場合の具体例を示す回路図である。

【図13】プログラマブル論理要素PL2における入力信号、出力信号と、記憶回路の出力信号との対応を示す図である。

20 【図14】プログラマブル論理要素PL2において、ある信号を記憶回路に書き込んだ場合における対応する出力信号の論理式を示す図である。

【図15】本発明の第3の実施例であるプログラマブル論理要素PL3を示すブロック図である。

【図16】プログラマブル論理要素PL3におけるセクタx08の具体例を示す回路図である。

【図17】プログラマブル論理要素PL3における制御回路x07の具体例を示す回路図である。

30 【図18】プログラマブル論理要素PL3におけるセクタx00をCMOSで構成した場合の具体例を示す回路図である。

【図19】プログラマブル論理要素PL3におけるセクタx00をnMOSで構成した場合の具体例を示す回路図である。

【図20】プログラマブル論理要素PL3における入力信号、出力信号と、記憶回路の出力信号との対応を示す図である。

【図21】プログラマブル論理要素PL3において、ある信号を記憶回路に書き込んだ場合における対応する出力信号の論理式を示す図である。

40 【図22】従来のSRAM方式のプログラマブルLSIであるFPGA(フィールドプログラマブルゲートアレイ)の構成例を示す図である。

【図23】従来のSRAM方式のプログラマブル論理要素の一例を示すブロック図である。

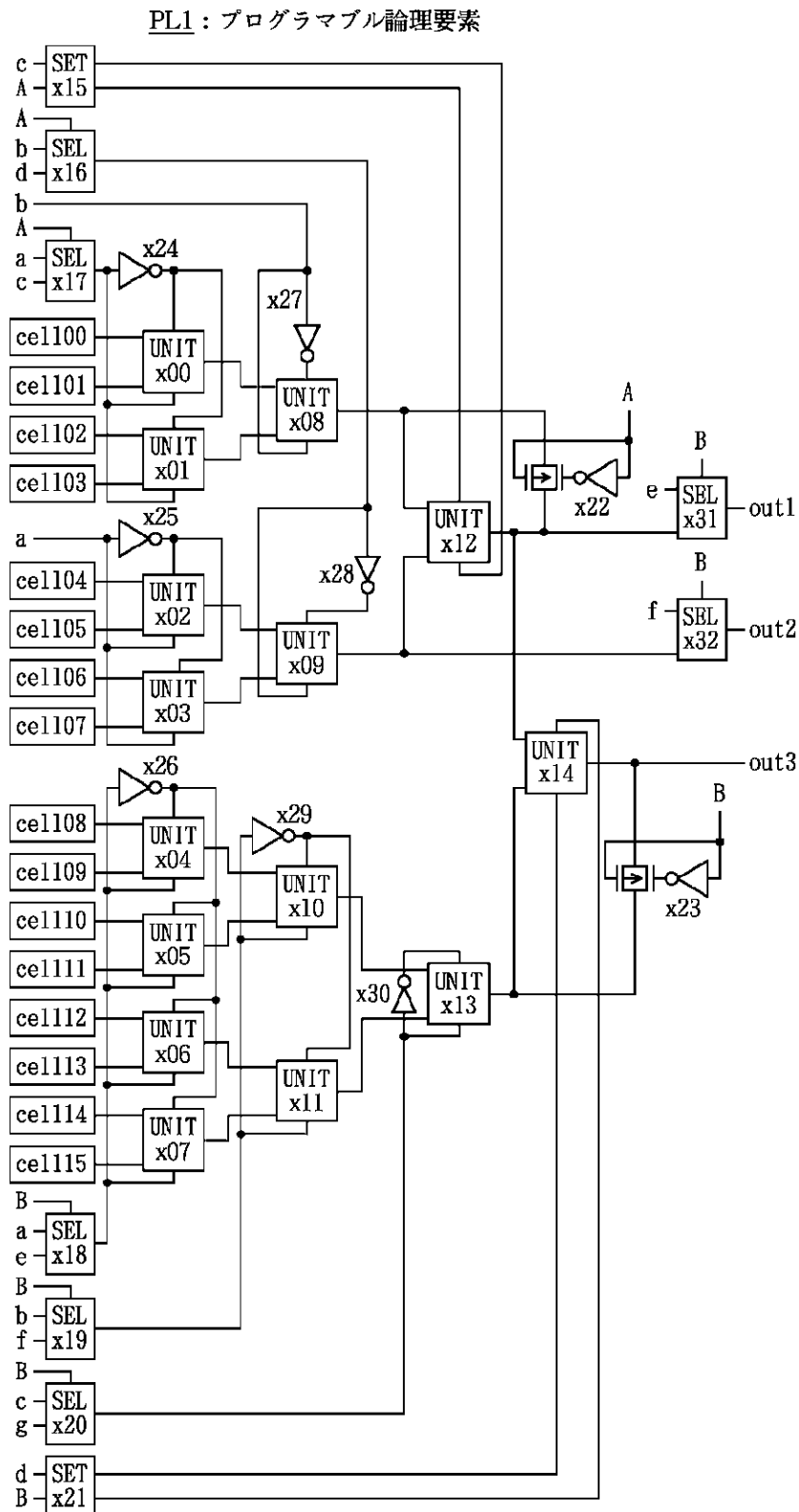
#### 【符号の説明】

PL1、PL2、PL3…プログラマブル論理要素、

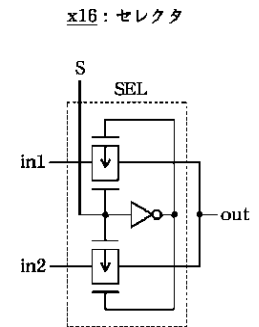
A、B…制御信号、

a、b、c、d、e、f、g…入力信号。

【図 1】

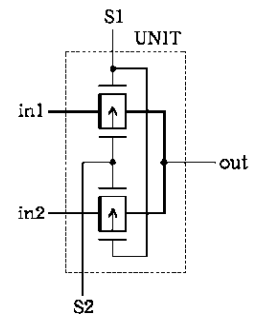


【図 2】



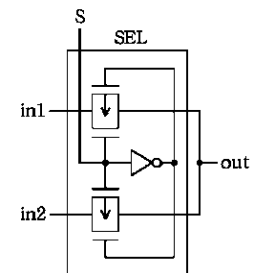
【図 4】

セレクタ x00 の CMOS 構成例



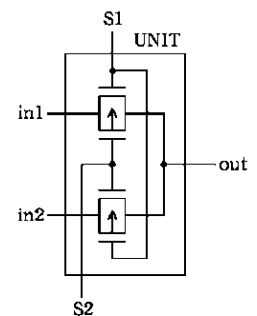
【図 9】

x16: セレクタ



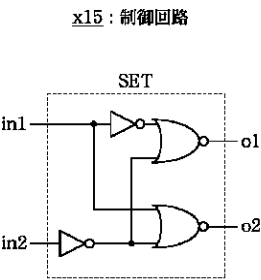
【図 11】

セレクタ x00 の CMOS 構成例



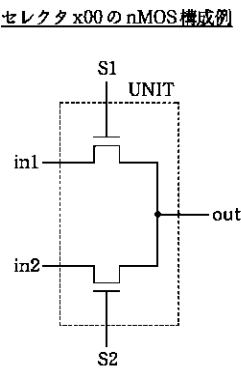
K3664

【図3】



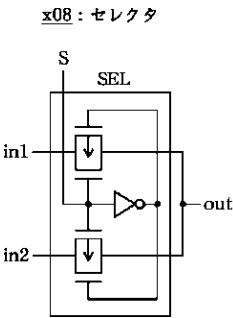
K3664

【図5】



K3664

【図16】



【図6】

| (1) (A, B)=(1, 1) |    |      |  |
|-------------------|----|------|--|
| memory            | in | out  |  |
| cell100           |    |      |  |
| cell101           |    |      |  |
| cell102           |    |      |  |
| cell103           |    |      |  |
| cell104           |    |      |  |
| cell105           |    |      |  |
| cell106           |    |      |  |
| cell107           |    |      |  |
| cell108           |    |      |  |
| cell109           |    |      |  |
| cell110           |    |      |  |
| cell111           |    |      |  |
| cell112           |    |      |  |
| cell113           |    |      |  |
| cell114           |    |      |  |
| cell115           |    |      |  |
| through           | e  | out1 |  |
| through           | f  | out2 |  |

| (2) (A, B)=(0, 0) |    |      |  |
|-------------------|----|------|--|
| memory            | in | out  |  |
| cell100           |    |      |  |
| cell101           | b  | out1 |  |
| cell102           | c  |      |  |
| cell103           |    |      |  |
| cell104           |    |      |  |
| cell105           | a  | out2 |  |
| cell106           | d  |      |  |
| cell107           |    |      |  |
| cell108           |    |      |  |
| cell109           |    |      |  |
| cell110           |    |      |  |
| cell111           | e  |      |  |
| cell112           | f  | out3 |  |
| cell113           | g  |      |  |
| cell114           |    |      |  |
| cell115           |    |      |  |

| (3) (A, B)=(1, 0) |    |      |  |
|-------------------|----|------|--|
| memory            | in | out  |  |
| cell100           |    |      |  |
| cell101           |    |      |  |
| cell102           |    |      |  |
| cell103           | a  | out1 |  |
| cell104           | b  |      |  |
| cell105           | c  |      |  |
| cell106           |    |      |  |
| cell107           |    |      |  |
| cell108           |    |      |  |
| cell109           |    |      |  |
| cell110           |    |      |  |
| cell111           | e  |      |  |
| cell112           | f  | out3 |  |
| cell113           | g  |      |  |
| cell114           |    |      |  |
| cell115           |    |      |  |

K3664

【図7】

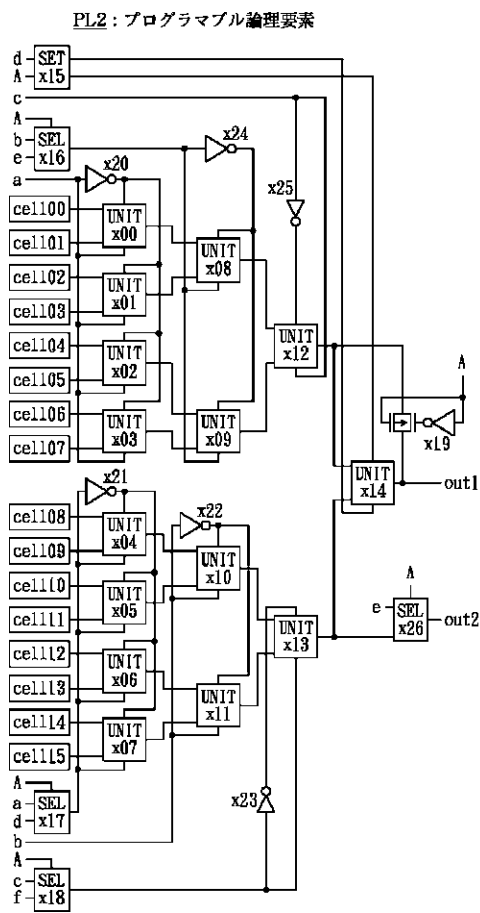
| (1) (A, B)=(1, 1) |     |  |
|-------------------|-----|--|
| memory            | out |  |
| 0                 |     |  |
| 1                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 1                 |     |  |

| (2) (A, B)=(0, 0) |     |  |
|-------------------|-----|--|
| memory            | out |  |
| 0                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 1                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 1                 |     |  |

| (3) (A, B)=(1, 0) |     |  |
|-------------------|-----|--|
| memory            | out |  |
| 0                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 1                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 0                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 0                 |     |  |
| 1                 |     |  |
| 1                 |     |  |

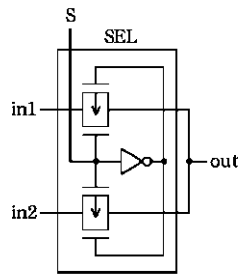
K3664

【図 8】



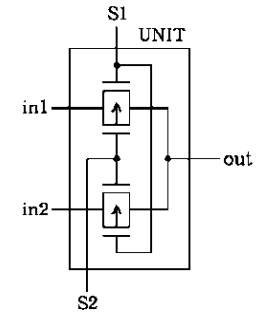
【図 10】

x15: 制御回路



【図 18】

セクタ x00 の CMOS 構成例



K3664

【図 13】

(1)

| A=0     |             |      |       |
|---------|-------------|------|-------|
| memory  | in          | out  |       |
| cell100 | a<br>e<br>c | out1 | 3-LUT |
| cell101 |             |      |       |
| cell102 |             |      |       |
| cell103 |             |      |       |
| cell104 |             |      |       |
| cell105 |             |      |       |
| cell106 |             |      |       |
| cell107 | b<br>d<br>f | out2 | 3-LUT |
| cell108 |             |      |       |
| cell109 |             |      |       |
| cell110 |             |      |       |
| cell111 |             |      |       |
| cell112 |             |      |       |
| cell113 |             |      |       |
| cell114 |             |      |       |
| cell115 |             |      |       |

K3664

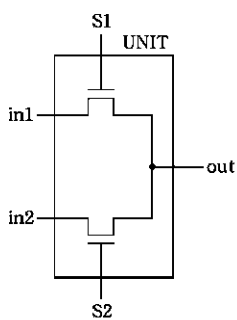
(2)

| A=1     |                  |      |       |
|---------|------------------|------|-------|
| memory  | in               | out  |       |
| cell100 | a<br>b<br>c<br>d | out1 | 4-LUT |
| cell101 |                  |      |       |
| cell102 |                  |      |       |
| cell103 |                  |      |       |
| cell104 |                  |      |       |
| cell105 |                  |      |       |
| cell106 |                  |      |       |
| cell107 | e                | out2 | 3-LUT |
| cell108 |                  |      |       |
| cell109 |                  |      |       |
| cell110 |                  |      |       |
| cell111 |                  |      |       |
| cell112 |                  |      |       |
| cell113 |                  |      |       |
| cell114 |                  |      |       |
| cell115 |                  |      |       |
| through | e                | out2 |       |

K3664

【図 12】

セクタ x00 の nMOS 構成例



K3664

【図14】

(1)

A=0

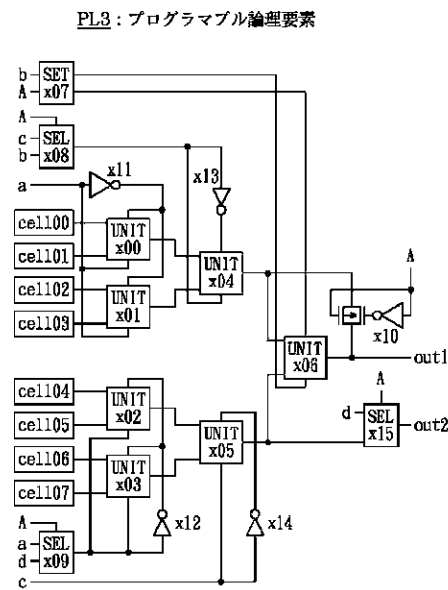
| memory | out   |
|--------|-------|
| 0      | ac+ec |
| 1      |       |
| 0      |       |
| 1      |       |
| 0      |       |
| 1      |       |
| 0      | db+df |
| 0      |       |
| 0      |       |
| 1      |       |
| 0      |       |
| 1      |       |

(2)

A=1

| memory | out   |
|--------|-------|
| 0      | ab+bc |
| 0      |       |
| 0      |       |
| 0      |       |
| 1      |       |
| 1      |       |
| 0      |       |
| 1      |       |
| 0      |       |
| 0      |       |
| 1      |       |
| 1      |       |

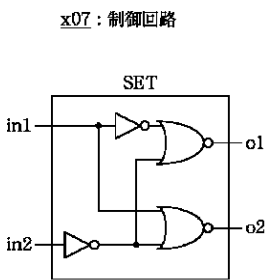
【図15】



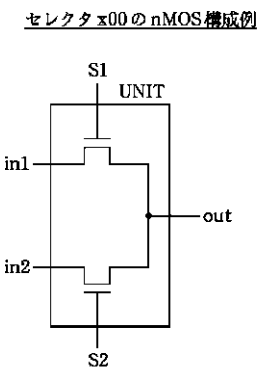
K3664

K3664

【図17】



【図19】



K3664

K3664

【図 2 0】

【図 2 1】

(1)

A=0

|       | memory  | in     | out  |
|-------|---------|--------|------|
| 2-LUT | cell100 | a<br>b | out1 |
|       | cell101 |        |      |
|       | cell102 |        |      |
|       | cell103 |        |      |
| 2-LUT | cell104 | c<br>d | out2 |
|       | cell105 |        |      |
|       | cell106 |        |      |
|       | cell107 |        |      |

(2)

A=1

|       | memory  | in          | out  |
|-------|---------|-------------|------|
| 3-LUT | cell100 | a<br>b<br>c | out1 |
|       | cell101 |             |      |
|       | cell102 |             |      |
|       | cell103 |             |      |
| 3-LUT | cell104 | b<br>c<br>d | out2 |
|       | cell105 |             |      |
|       | cell106 |             |      |
|       | cell107 |             |      |
|       | through | d           | out2 |

(1)

A=0

|       | memory | out              |
|-------|--------|------------------|
| 2-LUT | 0      | ab               |
|       | 0      |                  |
|       | 0      |                  |
|       | 1      |                  |
| 2-LUT | 1      | $\overline{c+d}$ |
|       | 0      |                  |
|       | 0      |                  |
|       | 0      |                  |

(2)

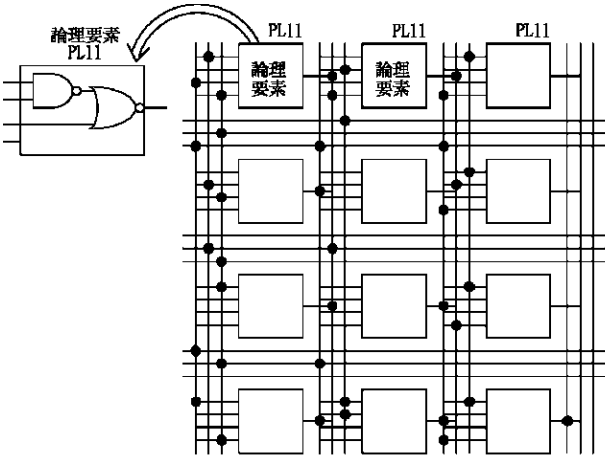
A=1

|       | memory | out                |
|-------|--------|--------------------|
| 3-LUT | 0      | $a\overline{b}+cb$ |
|       | 1      |                    |
|       | 0      |                    |
|       | 1      |                    |
|       | 0      |                    |
|       | 0      |                    |
|       | 1      |                    |
|       | 1      |                    |

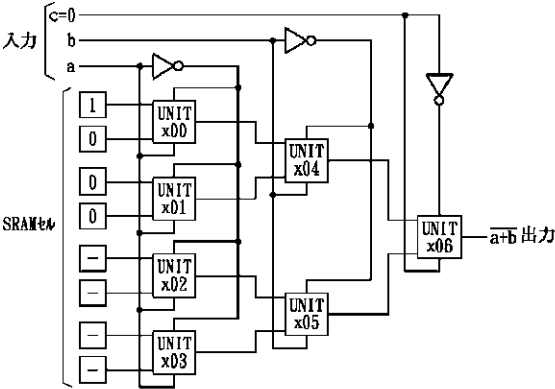
K3664

【図 2 2】

【図 2 3】



PL11 : プログラマブル論理要素



K3664

K3664