

(Abstract) Summary

(Summary)

(Problem) Conventionally, for example, in an FPGA, both the number of inputs and the number of outputs of an LUT are fixed values, resulting in an increase in mounting area.

(Means for Solving) An M-input N-output lookup table 7 is provided with a plurality of LUT units 731 to 738 and internal configuration control means 71, 721 to 726 for controlling the internal configuration of the plurality of LUT units.

(Selected drawing) FIG. 6

(Document Name) Specification

(Title of the Invention) A look up table, programmable logic circuit device having look up table, and the look up table configuration method

(Scope of Patent Claims)

(Claim 1) A lookup table with M inputs and N outputs, characterized in that the table is equipped with a plurality of LUT units, and
an internal configuration control means for controlling the internal configuration of the plurality of LUT units.

(Claim 2) The lookup table according to claim 1, characterized in that the internal configuration control means comprises

a plurality of selectors for selecting input/output signals of the plurality of LUT units and
a selector control means for controlling each selector to define a configuration of the plurality of LUT units.

(Claim 3) The lookup table according to claim 2, characterized in that the selector control means comprises a memory, and controls the plurality of selectors according to data stored in the memory.

(Claim 4) The lookup table according to claim 3, characterized in that the selector is equipped with

an input signal selection selector provided at the input of at least one LUT unit for selecting an input signal, and

an output signal selection selector that is provided at the output of the LUT unit and selects an output signal, wherein the input signal selection selector and the output signal selection selector are controlled according to the data stored in the memory and/or the input signal.

(Claim 5) The lookup table according to claim 1, characterized in that the M-input N-output lookup table is a 6-input 3-output lookup table.

(Claim 6) The lookup table according to claim 5, characterized in that the 6-input 3-output lookup table comprises eight 3-input 1-output LUT units.

(Claim 7) The lookup table according to claim 5, characterized in that the 6-input 3-output lookup table comprises four 3-input 2-output LUT units.

(Claim 8) A programmable logic circuit device, comprising a plurality of logic blocks; a plurality of wirings connected to each logic block; a plurality of switch means provided at intersections of the wirings; a connection block provided between the input/output line of each logic block and each wiring; and I/O block for external input/output, characterized in that the logic block comprises the lookup table according to any one of claims 1-7.

(Claim 9) A method of constructing a look-up table, an M-input N-output lookup table, characterized in that,

multiple LUT units are prepared,

the input/output signals of the plurality of LUT units are selectively controlled to set a predetermined internal configuration mode.

(Claim 10) The method of constructing a look-up table according to claim 9, characterized in that input/output signals of the plurality of LUT units are selectively controlled according to data stored in the lookup table.

(Claim 11) The method of constructing a look-up table according to claim 9, characterized in that the signal input to at least one of the LUT units and the signal output by the LUT unit are each selectively controlled by a predetermined function of the data stored in the lookup table and/or the input signal.

(Detailed Description of the Invention)

(0001)

(Technical field to which the invention belongs)

The present invention relates to a technology for configuring a lookup table with which the mounting area can be reduced. In recent years, programmable logic circuit devices have attracted attention as devices capable of realizing logic circuits that meet various user needs by electrically programming internal circuits. This programmable logic circuit device, known as a Programmable Logic Device (PLD) or Field Programmable Gate Array Hardware (FPGA), beyond its use for hardware prototyping, has recently come to be used for constructing large-scale circuits (e.g., microprocessors, etc.) that themselves have various functions. Such a programmable logic circuit device has a lookup table (LUT) as a main component, and there is a strong demand for a reduction in the circuit area of this LUT.

(0002)

(Conventional technology)

A look-up table (LUT), which is a major element of programmable logic circuit devices (PLDs and FPGAs), consists of memory and can implement any logic circuit. A basic configuration of such an FPGA has been proposed in the past, for example, in US Patent Nos. 4,706,216 and 4,870,302. In addition, multi-context and cluster architecture of multiple LUTs in FPGA have been proposed, for example, in US Patent Nos. 5,778,439 and 5,905,385. Furthermore, the research results regarding the evaluation of the LUT used for FPGA (for example, evaluation and performance evaluation regarding functionality and area, evaluation of clustering, etc.) are presented in, for example, J. Rose et al., "Architecture of Field-Programmable Gate Arrays: The Effect of Logic Block Functionality on Area Efficiency", IEEE J. Solid-State Circuits, vol. 25, no. 5, pp. 1217-1225, Oct. 1990, J. Rose et al., "The Effect of Logic Block Architecture on FPGA Performance", IEEE J. Solid-State Circuits, vol. 27, no. 3, pp. 281-287, Mar. 1992, and E. Ahmed et al., "The Effect of LUT and Cluster Size on Deep-Submicron FPGA Performance and Density", FPGA 2000, Monterey, CAUSA, 2000.

(0003)

In a programmable logic circuit device, the number of bits M of the input signal of the logic circuit that can be implemented corresponds to the number of bits of the address of the memory forming the LUT, and the number of bits N of the output signal corresponds to the number of output bits of the memory. Therefore, a logic circuit that can be implemented in one LUT is an arbitrary M -input N -output logic circuit. Such a LUT is referred to herein as an M -input N -output LUT.

(0004)

(Problem to Be Solved by the Invention)

Conventionally, for example, in an FPGA, both the number of inputs M and the number of outputs N of LUTs are fixed values, and an arbitrary logic circuit is divided into M input N output circuit units and implemented using multiple LUTs.

Therefore, in conventional FPGAs, if a circuit with less than M bits of inputs is created by dividing the circuit, one LUT must be assigned to the circuit with less than M bits of inputs, causing an increase in the mounting area.

(0005)

In view of the above-described problems of the conventional programmable logic circuit device, the main object of the present invention is to reduce the circuit area of a lookup table (LUT), that is, a programmable logic circuit device. Another object of the present invention is to reduce the power consumption of the programmable logic circuit device.

(0006)

(Means for Solving the Problem)

The first aspect of the present invention is to provide a lookup table with M inputs and N outputs, characterized in that the table is equipped with a plurality of LUT units, and an internal configuration control means for controlling the internal configuration of the plurality of LUT units.

(0007)

The second aspect of the present invention is to provide a programmable logic circuit device, comprising a plurality of logic blocks; a plurality of wirings connected to each logic block; a plurality of switch means provided at intersections of the wirings; a connection block provided between the input/output line of each logic block and each wiring; and I/O block for external input/output, characterized in that the logic block is an M -input N -output lookup table, and includes a lookup table having a plurality of LUT units and internal configuration control means for controlling an internal configuration of the plurality of LUT units.

(0008)

The third aspect of the present invention provides a method for configuring an M-input N-output lookup table, comprising: preparing a plurality of LUT units; selectively controlling the input/output signals of the plurality of LUT units to set a predetermined internal configuration mode.

According to the present invention, by providing a mode change memory in the LUT, unlike the LUT used in conventional FPGAs, it is possible to realize an LUT having a plurality of inputs and outputs. As a result, it is possible to configure LUTs suitable for the number of input signals required by the divided circuits, thereby preventing an increase in mounting area. In addition, by stacking circuits that do not operate at the same time in the same LUT and operating them while switching between them, it is possible to greatly reduce not only the mounting area but also the power consumption.

(0009)

(Embodiments of the invention)

A lookup table, a programmable logic circuit device having the lookup table, and a method of configuring the lookup table according to the present invention will be described in detail below with reference to the accompanying drawings.

FIG. 1 is a block diagram showing an example of FPGA to which the present invention is applied. In FIG. 1, reference numeral 100 is an FPGA as an example of a programmable logic circuit device, 101 is an I/O block, 102 is a logic block (CLB: Configurable Logic Block), 103 is a connection block (C), and 104 is a switch matrix (S), and 105 indicates wiring.

(0010)

As shown in FIG. 1, an FPGA 100 is configured with logic blocks (CLBs) 102 arranged in an array, wiring (circuit area) 105 surrounding these CLBs 102, and I/O blocks 101 for inputting/outputting with the outside. A switch matrix (S) 104 is arranged at the intersection of each wiring 105 for connecting them, and a connection block (C) 103 is arranged between each input/output line of each CLB 102 and the wiring 105. Each CLB 102 is configured with a lookup table (LUT) 121, a latch 122, and a selector 123. The present invention is primarily related to the configuration of the LUT 121.

(0011)

FIG. 2 is a block diagram showing a 6-input 3-output LUT as an example of the LUT in FPGA, and shows an example of the LUT 121 in FIG. 1. That is, the LUT shown in FIG. 2 corresponds to a configuration in which $M=6$ and $N=3$ in the M -input N -output LUT. Regarding the values of M and N , $M=6$ and $N=3$ are merely examples, and there are other various values, and there are also cases where $M=N$ or $M<N$.

(0012)

FIG. 3 is a block diagram showing the internal configuration modes of the 6-input 3-output LUT shown in Figure 2. By changing the values (X , Y , Z) of the mode change memory (71), as described later in detail, 6-input 3-output LUT can be set to internal configurations as shown in FIGS. 3(a) to 3(f).

Specifically, FIG. 3(a) shows a case where a 6-input, 3-output LUT is mode-set as three 2-input, 1-output LUTs. For example, in a conventional FPGA (conventionally, a 4-input 1-output LUT is used as a unit), 3 LUTs (4-input 1-output LUT) are required to assign three 2-input 1-output circuits to the LUT. However, in the configuration shown in FIG. 3(a), only one 6-input 3-output LUT is sufficient.

(0013)

By the way, the area ratio of the 4-input 1-output LUT and the 6-input 3-output LUT, including the wiring area, is about 1:1.5. Therefore, in the configuration shown in FIG. 3(a), for example, compared to the conventional example using three 4-input 1-output LUTs, the circuit mounting area ratio is $(1 \times 3) : 1.5$, that is, about 1:0.5 can be reduced, decreasing the area by up to about 50%.

(0014)

Also, FIG. 3(b) shows a case where the mode was set as two 3-input 1-output LUTs. In this case, for example, compared to the conventional example using two 4-input 1-output LUTs, the circuit mounting area ratio is $(1 \times 2) : 1.5$, that is, about 1:0.75. can be reduced, decreasing the area by up to about 25%.

Furthermore, FIG. 3(c) shows a case where the mode was set as a 6-input 1-output LUT instead of a 6-input 3-output LUT.

(0015)

FIG. 3(d) shows the mode setting as 3-input 1-output LUT x 8 planes. FIG. 3(e) shows the case where the mode was set as 4-input 1-output LUT×4 planes, and FIG. 3(f) shows the case where the mode was set as 5-input 1-output LUT×2 planes.

FIG. 4 is a diagram for explaining an example of the circuit mapping method in the lookup table, and shows the reason why the mode settings of FIGS. 3(d) to 3(f) are possible.

(0016)

As shown in FIG. 4, for example, in mapping methods using control structures such as if~, else, and case in Register Transfer Level (RTL) description in Hardware Description Language (HDL), because conditional branches are explicitly guaranteed not to operate concurrently, the processing within each condition is mapped to each context. Switching between contexts is performed, for example, by a signal from a control circuit implemented in another LUT (lookup table).

(0017)

In such a case, as shown in FIGS. 3(d) to 3(f), a plurality of LUTs can be composed of one LUT. Specifically, in the case of FIG. 3(d), eight 3-input 1-output LUTs can be configured with one LUT (one 6-input 3-output LUT in the case of FIG. 3(d)). In addition, in the case of Figure 3(e), four 4-input 1-output LUTs can be configured with one LUT, and in the case of Figure 3(f), two 5-input 1-output LUTs can be configured with one LUT.

(0018)

Specifically, the configuration shown in FIG. 3(e) can realize a maximum area reduction of about 62%, for example, by making the circuit mounting area ratio of (1 x 4): 1.5, that is, it can be reduced to about 1:0.375, with respect to the conventional examples using four 4-input 1-output LUTs. In other words, the LUT of the embodiment shown in FIG. 3(e) (LUT composed of one 6-input 3-output LUT) can be configured with a conventional LUT having about 32% of the mounting area (LUT configured with four 4-input 1-output LUTs), further significantly reducing power consumption.

(0019)

Further, for example, the circuit mounting area of the ALU circuit of 8 operations can be reduced to about 75%, and the mounting efficiency can be improved, comparing of mounting with a conventional 4-input 1-output LUT, and using a 6-input 3-output LUT as shown in Fig. 3(e) as a 4-input 1-output LUT x 4 planes.

FIG. 5 is a block diagram showing a 6-input 3-output LUT7 as an example of a LUT in an FPGA according to the present invention together with input and output signals, equivalent to that in which six input signals A, B, C, D, E, F and three output signals Q, V, W are added to the 6-input, 3-output LUT121 shown in Figure 2.

(0020)

FIG. 6 is a block diagram showing an example of the internal configuration of the 6-input 3-output LUT shown in FIG. 5.

As shown in FIG. 6, the 6-input 3-output LUT 7 (121) includes a mode change memory 71, selectors 721-726, and 3-input 1-output LUT units (memory arrays) 731-738. The mode change memory 71 stores 3-bit data X, Y, Z designated by the user. The relationship between the 6-bit inputs A to F and the 3-bit outputs Q, V, and W is set according to user requirements.

(0021)

Each selector (selector for input signal selection) 721 to 725 selects the input signals according to the data X, Y, and Z stored in the mode change memory 71, respectively, after inputting a predetermined signal in the 6-bit input signal. That is, the signals A and C are input to the selector 721, signals B and D are input to the selector 722, and one signal selected from selection signal F0 (X, Y, Z) defined by data X, Y, Z, respectively, is output. The signals A and D are similarly input to the selector 723, signals B and E are input to the selector 724, signals C and F are further input to the selector 725, and one signal selected from selection signal F1 (X, Y, Z) defined by data X, Y, Z, respectively, is output.

(0022)

Each of the 3-input 1-output LUT units 731-738 includes an address decoder, a memory, and a selector, and outputs a 1-bit signal in response to a 3-bit input signal, as will be described later. That is, signals A, B, and C are input to the LUT units 731, 732, 734 to 736, and 738, respectively, also, either signal A or C and either signal B or D selected by the selection signal F0, and the signal C are input to the LUT unit 733. Further, either signal A or D, either signal B or E, and either signal C or F selected by selection signal F1 are input to LUT unit 737. The output signals of the LUT units 731 to 738 are input to a selector (selector for output signal selection) 726, and one signal from a selection signal F2 (D, E, F, X, Y, Z) defined by signals D, E, F and data X, Y, Z is selected and output as signal V. Signal Q is output from LUT unit 731, and signal W is output from LUT unit 737.

(0023)

FIG. 7 is a block diagram showing an example of a 3-input 1-output LUT unit 731 in the 6-input 3-output LUT 7 of FIG. 6. All of the 3-input 1-output LUT units 731 to 738 have the same configuration.

The LUT unit 731 shown in FIG. 7 includes an address decoder 7311, selectors 7312, and memory unit groups M11 to M14, and M21 to M24, each of which consists of two sets of 4 bits. The address decoder 7311 decodes the 2-bit input signals A and B, to designate one each of the memory unit groups M11 to M14 and M21 to M24, and furthermore, according to the input signal C, choose one set of either memory unit groups M11-M14 or M21-M24 to output data.

(0024)

FIG. 8 is a block diagram showing another example of a 3-input 1-output LUT unit 731 in the 6-input 3-output LUT 7 of FIG. 6.

The LUT unit 731 shown in FIG. 8 has an address decoder 7313 and an 8-bit memory unit group M31 to M38. The address decoder 7313 decodes the 3-bit input signals A, B, and C, and designates one of the memory unit groups M31 to M38 to output its data (Q).

(0025)

The relationship between 3-bit data X, Y, Z specified in the mode change memory 71 in the 6-input 3-output LUT shown in FIG.6 and the corresponding internal configuration (setting mode) will be described with reference to FIGS. 3(a) to 3(f).

First, as shown in FIG. 3(a), when the 6-input, 3-output LUT 7 (121) is set to the mode of three 2-input, 1-output LUTs, the selection signals F0 and F1 select input "1" in selectors 721, 722 and 723-725, and selection signal F2 selects input "2" in selector 726.

(0026)

That is, the user designates the 3-bit data X, Y, Z to be stored in the mode change memory 71, so that the selection signals F0 (X, Y, Z) and F1 (X, Y, Z) select input "1" in each selector 721, 722 and 723-725, and so that the selection signal F2 (D, E, F, X, Y, Z) selects the input "2" in the selector 726.

(0027)

Then, it is possible to configure as three 2-input 1-output LUTs shown in Fig. 3(a), by using LUT unit 731 that outputs signal Q after signals A, B, and C are input; LUT unit 733 input with signals C, D via selectors 721 and 722 and direct signal C and that outputs signal V via selector 726; and LUT unit 737 input with the signals D, E, and F via the selectors 723 to 725 and outputs the signal W. Note that either input signal C in the LUT unit 731 or input signal C in LUT unit 733, and input signal D via the selector 723 in the LUT unit 737 are extra input signals in each LUT unit, but these do not pose a problem.

(0028)

Then, as shown in FIG. 3(b), when mode setting a 6-input 3-output LUT 7 as two 3-input 1-output LUTs, the selection signal F1 designates 3-bit data X, Y, Z to be stored in the mode change memory 71 so as to select input "1" in the selectors 723-725. Then, it is possible to configure as two 3-input 1-output LUTs shown in Fig. 3(b), by using LUT unit 731 that outputs signal Q after signals A, B, and C are input; and LUT unit 737 input with the signals D, E, and F via the selectors 723 to 725 and outputs the signal W.

(0029)

As shown in Fig. 3(c), when setting the mode of a 6-input 3-output LUT as a 6-input 1-output LUT, the selection signals F0 and F1 select the input "0" in each selector, and the selection signal F2 determines the value of selector 726 by input signals D, E, and F and outputs signal V. That is, a 1-bit signal V is output from 6-bit inputs of signals A, B, and C and signals D, E, and F.

(0030)

As shown in Fig. 3(d), when setting the mode of a 6-input 3-output LUT as a 3-input 1-output LUT x 8 planes, the selection signals F0 and F1 select the input "0" in each selector, and the selection signal F2 determines the value of selector 726 by signals D, E, and F and outputs signal V. In this case, signals D, E, and F use plane switching signals.

(0031)

As shown in Fig. 3(e), when setting the mode of a 6-input 3-output LUT as a 4-input 1-output LUT x 4 planes, the selection signals F0 and F1 select the input "0" in each selector, and the selection signal F2 determines the value of selector 726 by signals D, E, and F and outputs signal V. In this case, signal D is one of the 4-bit input signals along with signals A, B, and C, and signals E and F use plane switching signals.

(0032)

As shown in Fig. 3(f), when setting the mode of a 6-input 3-output LUT as a 5-input 1-output LUT x 2 planes, the selection signals F0 and F1 select the input “0” in each selector, and the selection signal F2 determines the value of selector 726 by signals D, E, and F and outputs signal V. In this case, signal D and E are two of the 5-bit input signals along with signals A, B, and C, and signal F uses plane switching signals.

(0033)

As described above, according to this embodiment, for example, a 6-input 3-output LUT can be used as various internal configuration modes by changing the values X, Y, and Z of the mode change memory 71.

FIG. 9 is a block diagram showing another example of the internal configuration of the 6-input 3-output LUT shown in FIG. 5, and shows an example of the internal configuration of the 6-input 3-output LUT different from that shown in FIG. 6.

(0034)

As shown in FIG. 9, the 6-input 3-output LUT 8 (121) comprises a mode change memory 81, selectors 821-826, and 3-input 2-output LUT units 831-834. The mode change memory 81 stores 3-bit data X, Y, Z designated by the user. The relationship between the 6-bit inputs A to F and the 3-bit outputs Q, V, and W is set according to user requirements.

(0035)

That is, while the 6-input 3-output LUT7 shown in FIG. 6 described above has eight 3-input 1-output LUT units 731 to 738, the present 6-input 3-output LUT8 shown in FIG. 9, except for being equipped with four 3-input 2-output LUT units 831-834, has substantially the same configuration.

3-bit data X, Y, Z designated to the mode change memory 81 in the LUT 8 shown in FIG. 9, selection signals F0 (X,Y,Z), F1 (X,Y,Z) and F2 (D, E, F, X, Y, Z) accordingly, and the operations of the selectors 821 to 826 (corresponding to the selectors 721 to 726) controlled by these selection signals F0, F1 and F2 are similar to that described with reference to FIGS. 6 and 3(a)-3(f), so the description thereof is omitted here.

(0036)

FIG. 10 is a block diagram showing an example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9. All of the 3-input 2-output LUT units 831 to 834 have the same configuration.

The LUT unit 831 shown in FIG. 10 includes an address decoder 8311, selectors 8312 and 8313, and memory unit groups M41 to M44, M51 to M54, M61 to M64, and M71 to M74 each composed of four sets of 4 bits. The address decoder 8311 decodes the 2-bit input signals A and B to designate each one of four memory unit groups M41-M44, M51-M54, M61-M64 and M71-M74, and further selects and outputs, according to the input signal C, one set of data of the memory unit groups M41 to M44 or M51 to M54 (output signal Q: signal supplied to the input “0” of the selector 826), and one set of data of memory unit groups M61-M64 or M71-M74 (signal supplied to input “1” of selector 826).

(0037)

FIG. 11 is a block diagram showing another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.

The LUT unit 831 shown in FIG. 11 comprises an address decoder 8314 and two sets of 8-bit memory unit groups M81-M888 and M91 and M98. The address decoder 8314 decodes the 3-bit input signals A, B, and C to designate one of each for the two sets of memory unit group M81 to M888 and M91 and M98, and outputs the respective data (output signal Q: the signal supplied to the input “0” of selector 826 and the signal supplied to the input “1” of the selector 826).

(0038)

FIG. 12 is a block diagram showing further another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.

The LUT unit 831 shown in FIG. 11 includes an address decoder 8315, selectors 8416 and 8317, and eight sets of 2-bit memory unit groups M111, M121; M112, M122; ... M118, M128. The address decoder 8315 decodes the 1-bit input signal A to designate each one of the eight sets of memory unit groups M111, M121 to M118, M128, and with 2-bit input signals B and C, further selects and outputs one set of data in the memory unit groups M111, M121 to M114 and M124 (output signal Q: signal supplied to input "0" of selector 826) and one set of data in the memory unit groups M115, M125 to M118 and M128 (signal supplied to input "1" of selector 826).

(0039)

FIG. 13 is a block diagram showing a configuration example of an 8-operation ALU circuit (ALU16) 90. In FIG. 13, reference characters G and H denote 16-bit data, I denotes a command signal that determines the operation, and J denotes an output signal.

As shown in FIG. 13, the ALU circuit 90 includes eight arithmetic circuits of an OR circuit 91 to which 16-bit data G and H are input, respectively; an AND circuit 92; an XOR circuit 93; a not circuit 94; + (addition) circuit 95; NE (Not Equal) circuit 96; GT (Greater Than) circuit 97; and SHIFT (shift) circuit 98, as well as a selector 99 that selects the outputs of these eight arithmetic circuits 91 to 98 by a command signal I; where output signal J corresponding to the command signal I is output.

(0040)

FIG. 14 and FIG. 15 below showed a comparison between the case of implementing from a 3-input 1-output LUT used in conventional FPGAs to a 7-input 1-output LUT (horizontal axis: 3 LUT to 7 LUT) for the ALU circuit (ALU 16) 90 shown in FIG. 13 and the case of implementing 6-input 3-output LUT as shown in FIG. 6 (a configuration comprising eight 3-input 1-output LUTs 731 to 738, mode change memory 71 and selectors 721 to 726: 3 LUT*8), and a 6-input 3-output LUT as shown in FIG. 9 (a configuration comprising four 3-input 2-output LUTs 831 to 834, mode change memory 81 and selectors 821 to 826: 4 LUT*4) used in the FPGA according to the present invention. The LUT 16 includes, for example, a data selector (a circuit that does not need to use an LUT) for switching wiring, a random logic (a circuit configured with an LUT), and a flip-flop (a circuit that is a fixed portion of a logic block). It goes without saying that the comparison between FIGS. 14 and 15 is made under substantially the same conditions other than the configuration of the

LUT.
(0041)

FIG. 14 shows the difference in area ratio when the ALU 16 shown in FIG. 13 is mounted on the LUTs (3 LUT to 7 LUT and 6-input 3-output LUT (3 LUT*8 and 4 LUT*4)) used in the conventional and inventive FPGAs, and FIG. 15 is a diagram showing the difference in the number of configuration data bits when the ALU 16 shown in FIG. 13 is implemented in LUTs used in the conventional and the inventive FPGAs. The vertical axis in FIG. 14 shows the area ratio when configured using various LUTs corresponding thereto, using 1 as the area ratio when commonly used 4-input 1-output LUT (4 LUTs) is used, and the vertical axis in FIG. 15 indicates the number of bits of configuration data when configured using various LUTs.

(0042)

As is clear from FIG. 14, for example, the area ratio when the ALU 16 as shown in FIG. 13 is mounted on the 6-input 3-output LUT (3 LUT*8 and 4 LUT*4) used in the FPGA according to the present invention is significantly smaller than when the same ALU 16 is mounted on the LUTs (3 LUTs to 7 LUTs) used in the conventional FPGA. Specifically, for example, 3 LUT*8, where a 6-input 3-output LUT is implemented as a 3-input 1-output $\times$ 8 planes gives an area about 75% when implemented using a 4-input 1-output LUT (4 LUTs), which has the smallest area among conventional LUTs.

(0043)

Furthermore, as is clear from FIG. 15, the number of configuration data bits, when the ALU 16 is implemented with the 6-input 3-output LUT (3 LUT*8 and 4 LUT*4) used in the FPGA according to the present invention is equivalent to that of 4 LUTs, which is the smallest among conventional LUTs. That is, the reason the 6-input 3-output LUT of the present invention can have a comparable number of configuration data bits, despite requiring four times as many configuration data for 4-input 1-output, for example, is that while the conventional LUT constructs the selectors in output stage with LUTs, in the present invention, the number of LUTs used can be reduced by switching the wiring.

(0044)

In the above description, the 6-input 3-output LUT used in the FPGA according to the present invention is merely an example, and the present invention can be applied to an M-input N-output (for example, 8-input 4-output) LUT. Furthermore, for example, various modifications on the configuration of the 6-input 3-output LUT itself are possible, not limited to eight 3-input 1-output LUT units shown in FIG. 6 and four 3-input 2-output LUT units shown in FIG. 9.

(0045)

(Effect of the Invention)

As described in detail above, according to the present invention, it is possible to reduce the circuit area of the lookup table (LUT), that is, the programmable logic circuit device. Furthermore, according to the present invention, the power consumption of the programmable logic circuit device can also be reduced.

(Brief Description of the Drawings)

(FIG. 1)

is a block diagram showing an example of FPGA to which the present invention is applied.

(FIG. 2)

is a block diagram showing a 6-input 3-output LUT as an example of LUT in FPGA.

(FIG. 3)

is a block diagram showing an internal configuration mode of the 6-input 3-output LUT shown in FIG. 2.

(FIG. 4)

is a diagram for explaining an example of a circuit mapping method in a lookup table.

(FIG. 5)

is a block diagram showing a 6-input 3-output LUT as an example of the LUT in the FPGA according to the present invention together with input/output signals.

(FIG. 6)

is a block diagram showing an example of the internal configuration of the 6-input 3-output LUT shown in FIG. 5.

(FIG. 7)

is a block diagram showing an example of a 3-input 1-output LUT unit in the 6-input 3-output LUT of FIG. 6.

(FIG. 8)

is a block diagram showing another example of a 3-input 1-output LUT unit in the 6-input 3-output LUT of FIG. 6.

(FIG. 9)

is a block diagram showing another example of the internal configuration of the 6-input 3-output LUT shown in FIG. 5.

(FIG. 10)

is a block diagram showing an example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.

(FIG. 11)

is a block diagram showing another example of a 3-input 1-output LUT unit in the 6-input 3-output LUT of FIG. 9.

(FIG. 12)

is a block diagram showing further another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.

(FIG. 13)

is a block diagram showing a configuration example of an 8-operation ALU circuit (ALU16).

(FIG. 14)

is a diagram showing the difference in area ratio when the ALU 16 shown in FIG. 13 is mounted on LUTs used in conventional and FPGAs according to the present invention.

(FIG. 15)

is a diagram showing the difference in configuration data bit number when the ALU 16 shown in FIG. 13 is mounted on LUTs used in conventional and FPGAs according to the present invention.

(Explanation of References)

7, 8, 121 ... Lookup Tables (LUT: 6-input 3-output LUT)

71, 81 ... Mode change memory

100 ... Programmable logic circuit devices (FPGA)

101 ... I/O blocks

102 ... Logic blocks (CLBs)

103 ... Connection block (C)

104 ... Switch matrix (S)

105 ... Wiring

122 ... Latch

123 ... Selector

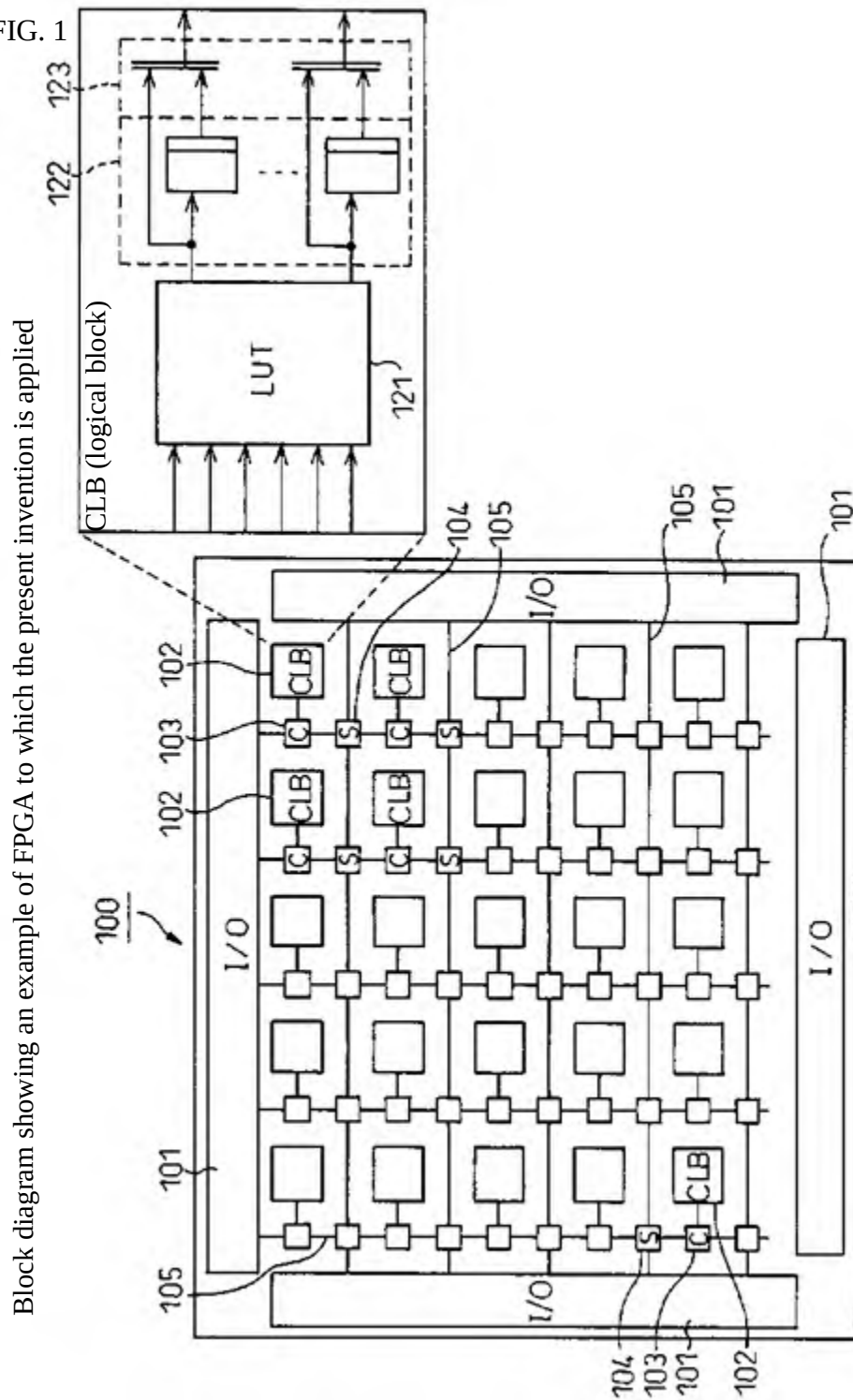
721 ~ 726, 821 ~ 826 ... Selector

731 ~ 738 ... 3-input 1-output LUT unit

831 ~ 834 ... 3-input 2-output LUT unit

(Document Name) Drawing
(FIG. 1)

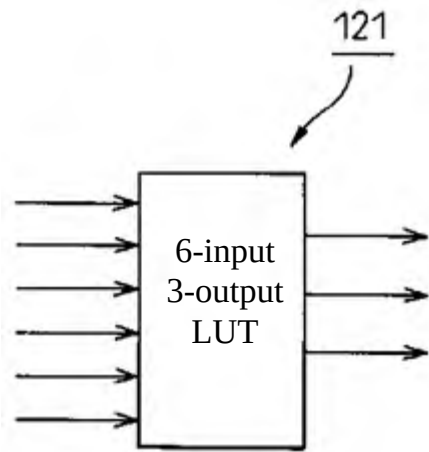
FIG. 1



(FIG. 2)

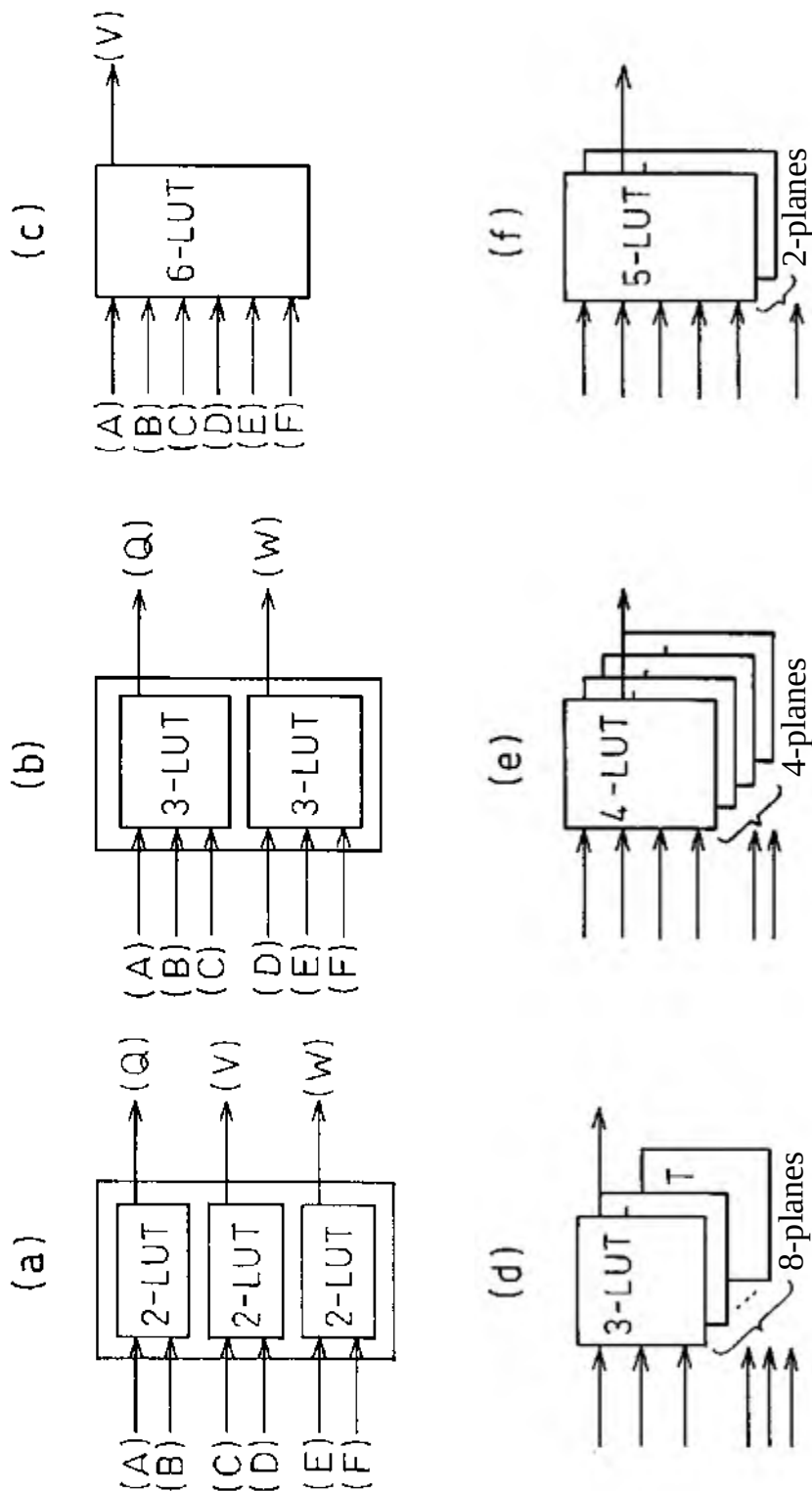
FIG. 2

Block diagram showing 6-input 3-output LUT as an example of UT in FPGA



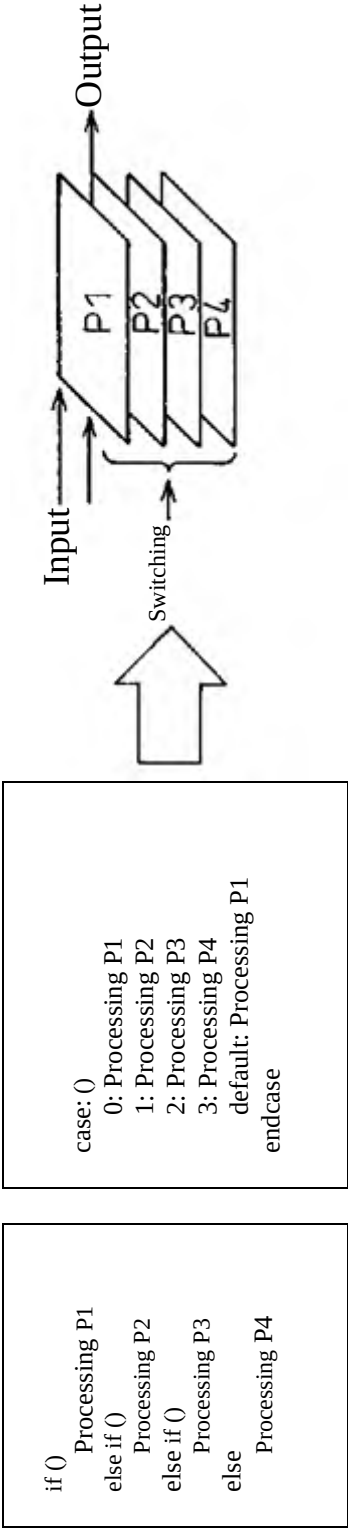
(FIG3)
FIG. 3

Block diagram showing the internal configuration modes of the 6-input 3-output LUT shown in FIG. 2



(FIG. 4)
FIG. 4

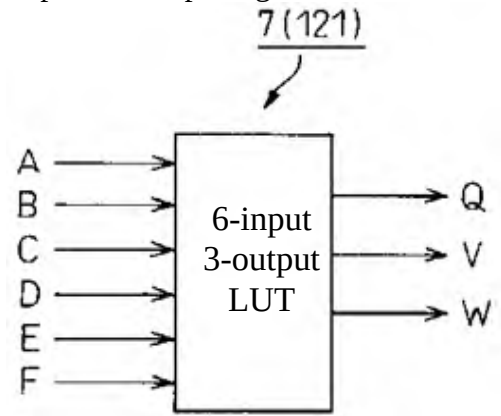
Diagram for explaining an example of a circuit mapping method in a lookup table.



(FIG. 5)

FIG. 5

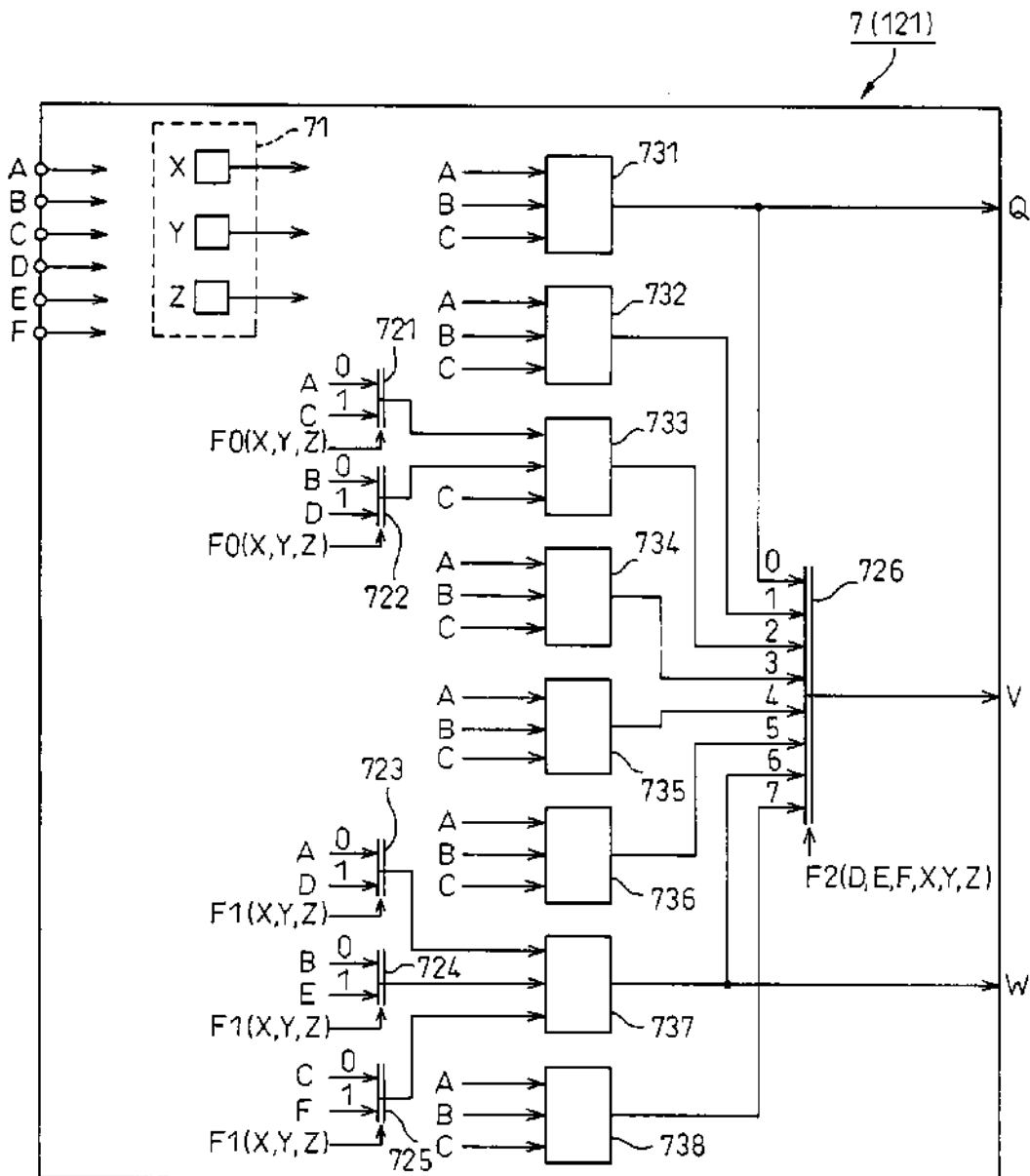
Block diagram showing a 6-input 3-output LUT as an example of a LUT in an FPGA according to the present invention together with input and output signals.



(FIG6)

FIG. 6

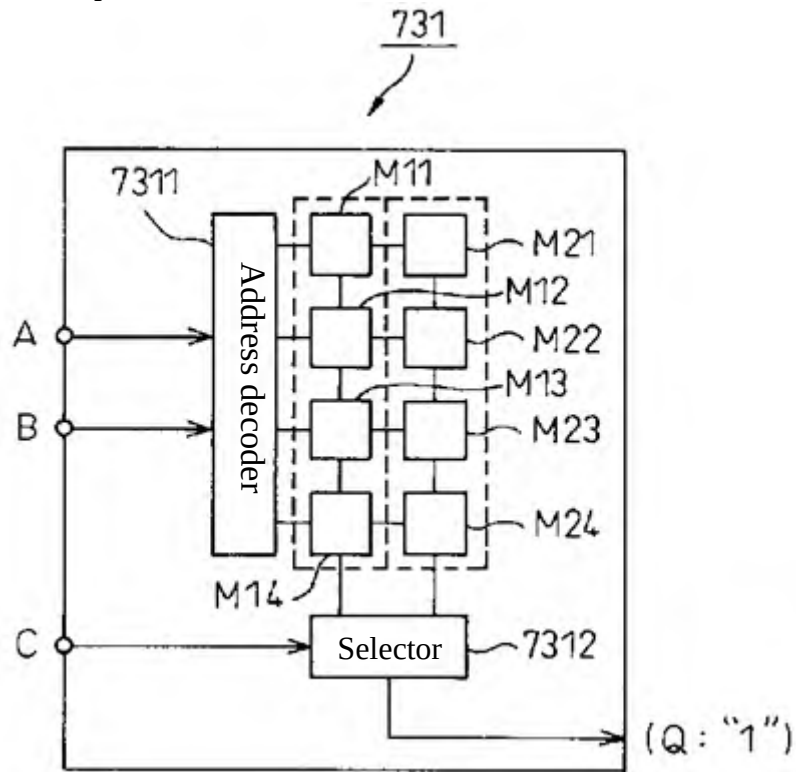
Block diagram showing an example of the internal configuration of the 6-input 3-output LUT shown in FIG. 5



(FIG. 7

FIG. 7

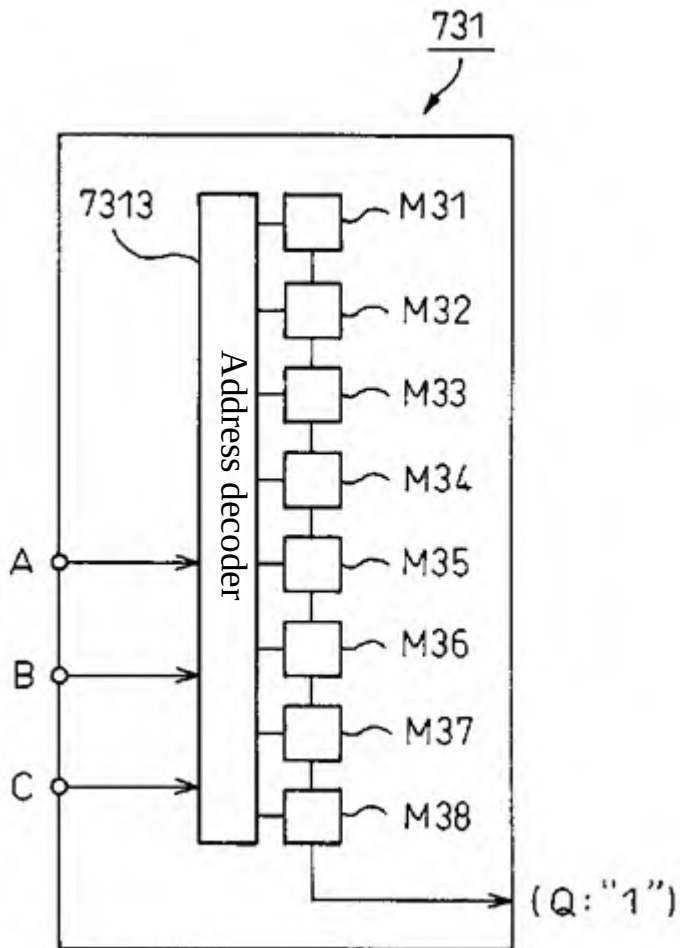
Block diagram showing an example of a 3-input 1-output LUT unit in the 6-input 3-output LUT in FIG. 6



(FIG. 8)

FIG. 8

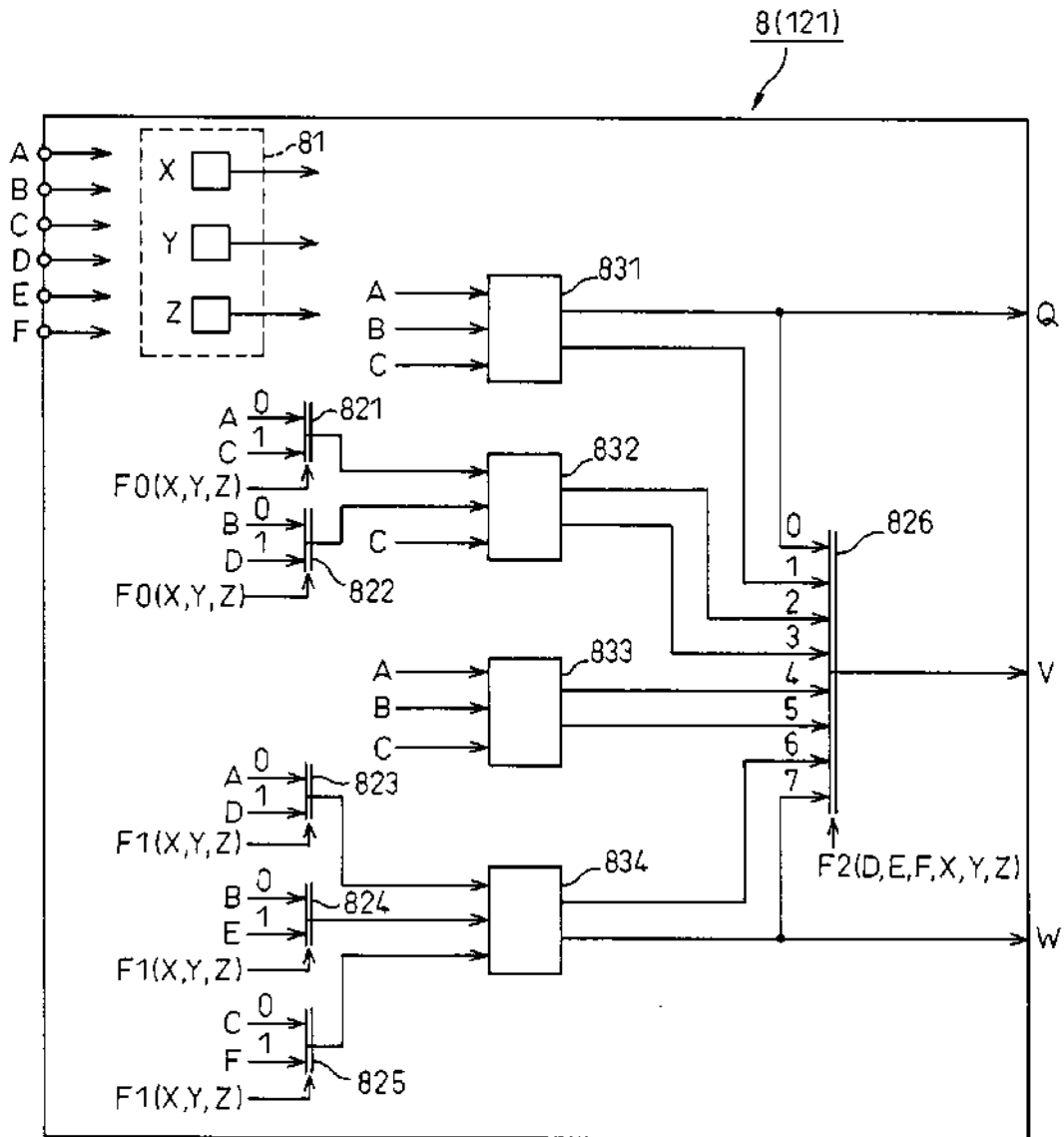
Block diagram showing another example of a 3-input 1-output LUT unit in the 6-input 3-output LUT of FIG. 6



(FIG. 9)

FIG. 9

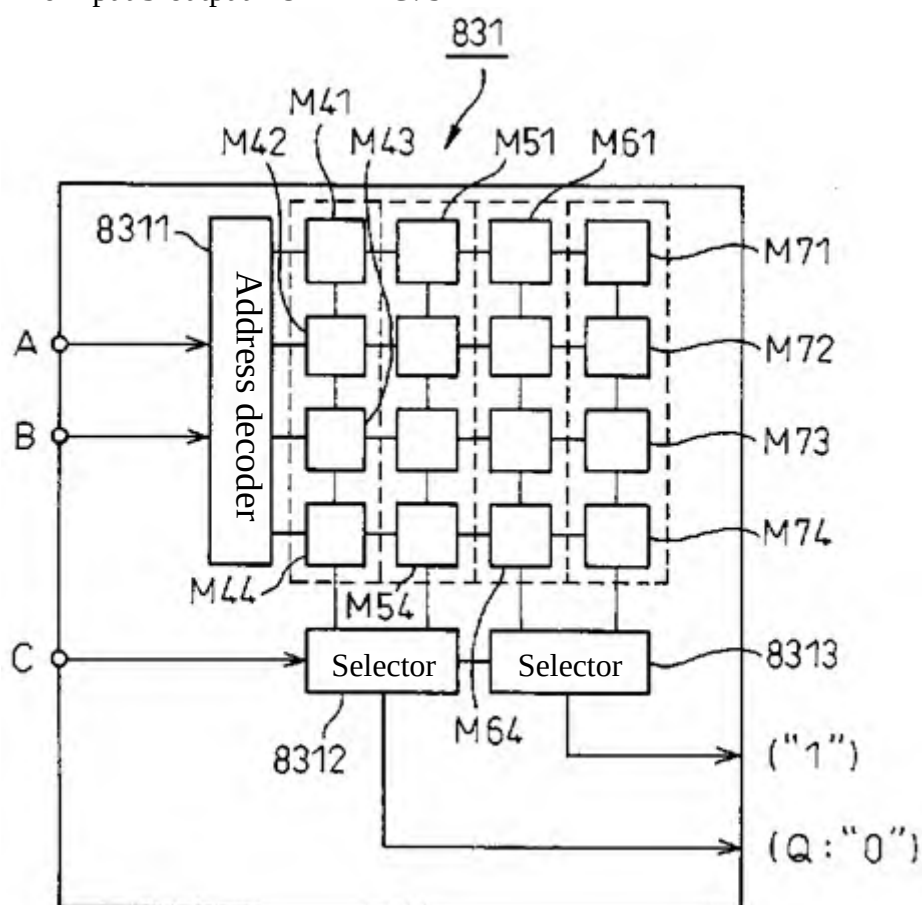
Block diagram showing another example of the internal configuration of the 6-input 3-output LUT shown in FIG. 5



(FIG. 10)

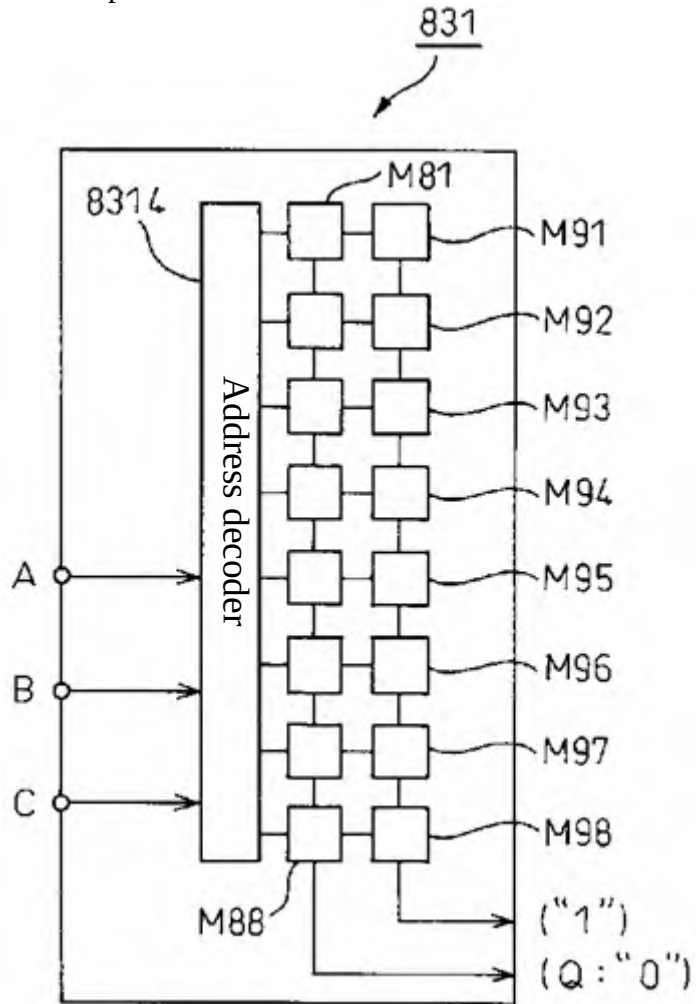
FIG. 10

Block diagram showing an example of a 3-input 2-output LUT unit in the 6-input 3-output LUT in FIG. 9



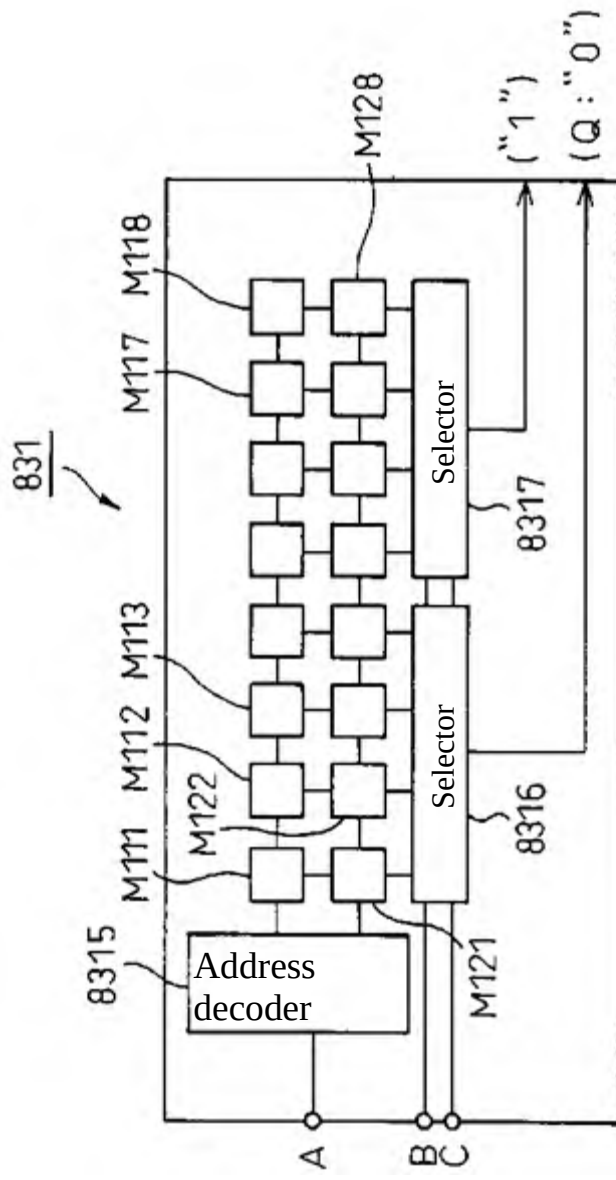
(FIG11)
FIG. 11

Block diagram showing another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9



(FIG. 12)
FIG. 12

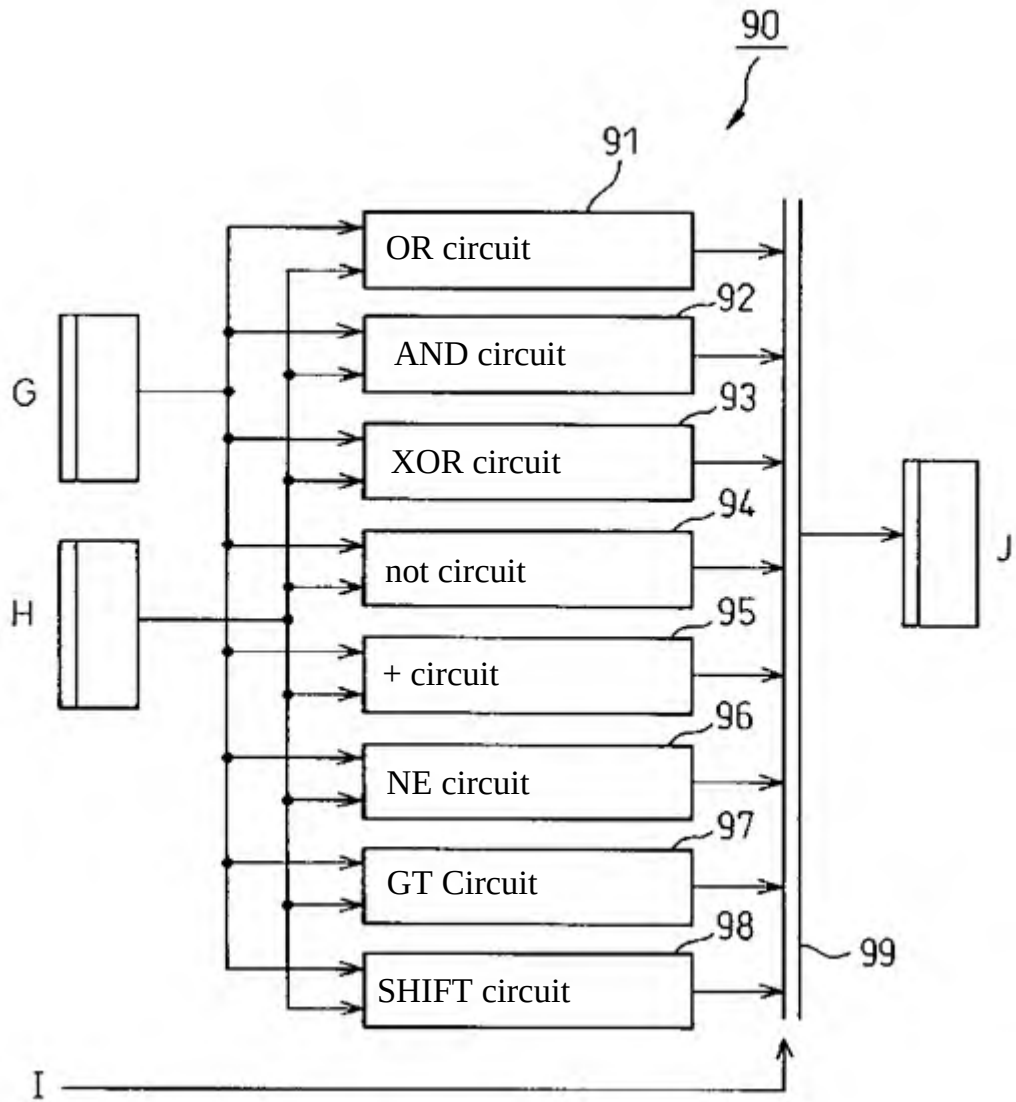
Block diagram showing another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9



(FIG. 13)

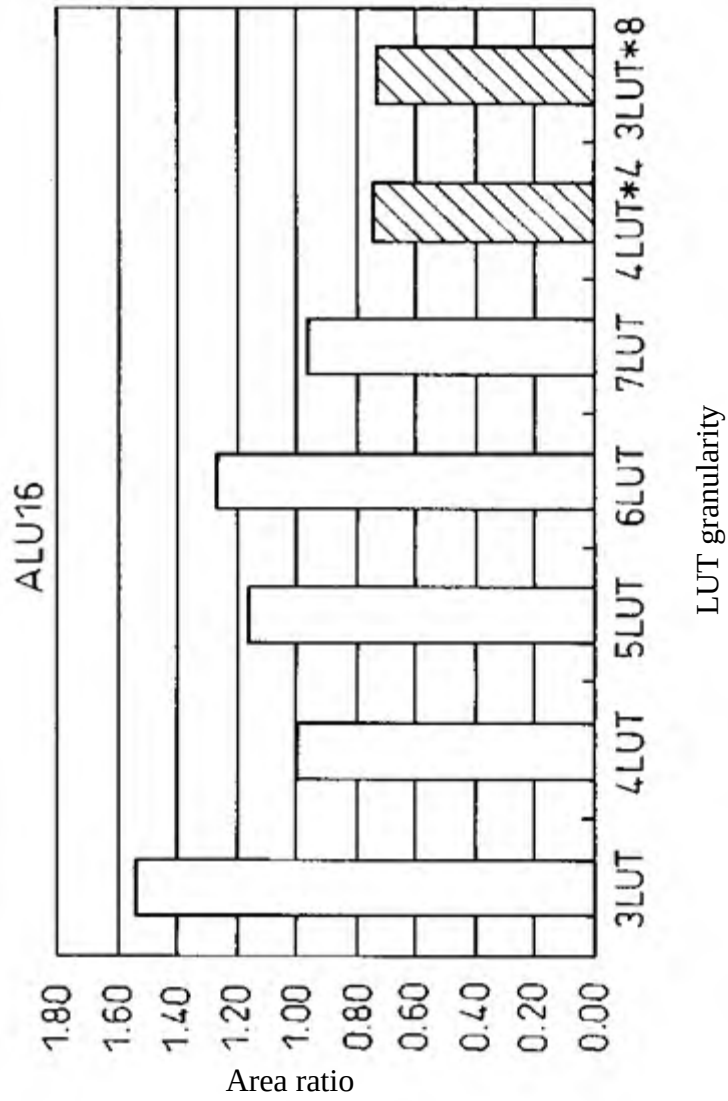
FIG. 13

Block diagram showing an example configuration of an 8-operation ALU circuit (ALU 16)



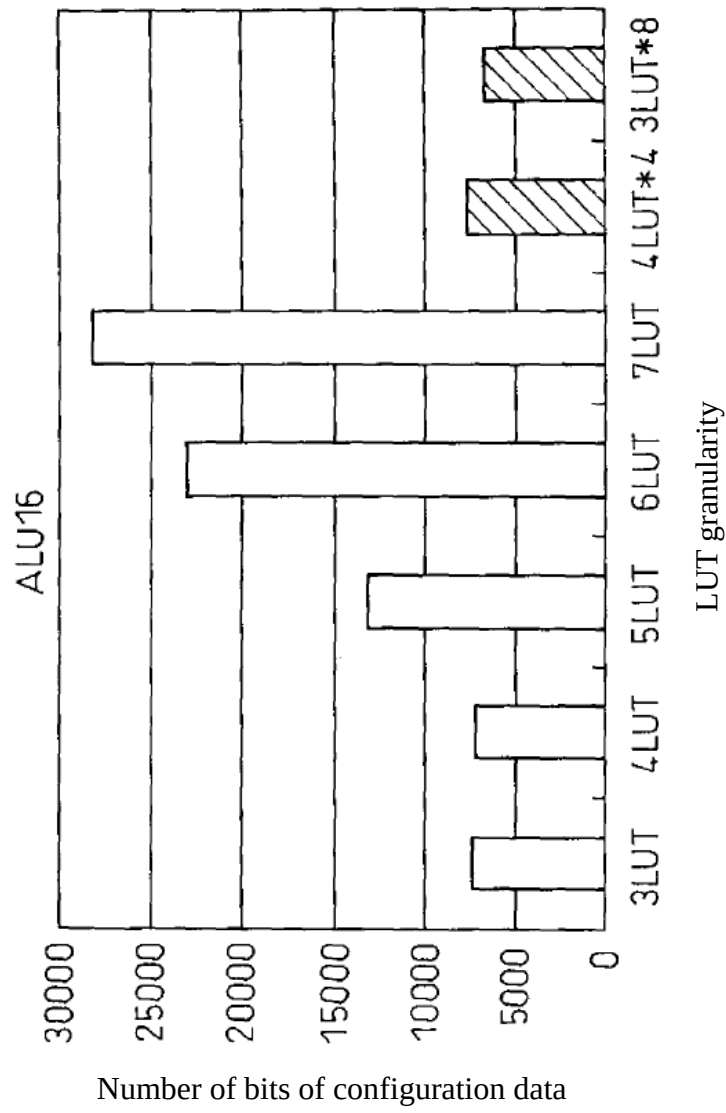
(FIG. 14)
FIG. 14

Diagram showing the difference in area ratio when the ALU 16 shown in FIG. 13 is mounted on the LUT used in the conventional and inventive FPGAs.



(FIG. 15)
FIG. 15

Diagram showing the difference in configuration data bit number when the ALU 16 shown in FIG. 13 is mounted on LUTs used in conventional and FPGAs according to the present invention.



(Document Name) Japanese Patent Application
(Reference number) 0100295
(Submission date) June 29, 2001
(Address) Mr. Kozo Oikawa, Commissioner of the Patent Office
(International Patent Classification) H03K 19/177
H01L 21/82
(Title of the Invention) A look up table, programmable logic circuit device having
look up table, and the look up table configuration method
(Number of claims) 11
(Inventor)
(Address or place of residence) (omitted)
(Name) Toshinori Sueyoshi
(Inventor)
(Address or place of residence) (omitted)
(Name) Masahiro Iida
(Patent applicant)
(Identification number) 396023993
(Name or Name) Semiconductor Technology Academic Research Center
(Agent)
(Identification number) 100077517
(Patent attorney)
(Name) Takashi Ishida
(Phone number) 03-5470-1900
(Appointed agent)
(Identification number) 100092624`
(Patent attorney)
(Name) Junichi Tsuruta

(Appointed agent)

(Identification number) 100100871

(Patent attorney)

(Name) Shigeru Tsuchiya

(Appointed agent)

(Identification number) 100082898

(Patent attorney)

(Name) Masaya Nishiyama

(Appointed agent)

(Identification number) 100081330

(Patent attorney)

(Name or name) Sotoji Higuchi

(Display of fees)

(Prepaid ledger number) 036135

(Payment amount) 21,000 yen

(List of documents to be submitted)

(Document name) Specification 1

(Document name) Drawing 1

(Document name) Abstract 1

(General Power of Attorney Number) 9903088

(Necessity of proof) Yes

(Document Name) Written request for examination
(Reference number) 0100295
(Submission date) June 29, 2001
(Address) Mr. Kozo Oikawa, Commissioner of the Patent Office
(Indication of application)
 (Application number) Patent application 2001-199644
(Number of claims) 11
(Demandant)
 (Identification number) 396023993
 (Name or Name) Semiconductor Technology Academic Research Center
(Agent)
 (Identification number) 100077517
 (Patent attorney)
 (Name) Takashi Ishida
 (Phone number) 03-5470-1900
(Display of fees)
 (Prepaid ledger number) 036135
 (Payment amount) 106,300 yen
(Necessity of proof) Yes

Search report

Bibliographic information

Leader name	Jin Kinami	Leader code	L082
Searcher name	Kunihiko Yoshimura	Searcher code	K755
Record type	161		
Theme code	5J042		
Patent application number	Japanese Patent Application 2001-199644		
Order control number	2003147965		
Delivery type	1	1: Normal 2: Cross 3: Dialogue target 4: Cross dialogue target	
Date of dialogue			
Designation of initial evaluation	1	1: Normal 2: Initial evaluation	
Search date	March 12, 2004		
Search report creation date	March 15, 2004		
Summary type	None		

1. Features of the claimed invention

Number of drawings representing the features of the present invention: 6 drawings

<<Features of the claimed invention>>

Constitution:

Claim (1) An M-input N-output lookup table comprising a plurality of LUT units and a means for controlling the internal configuration.

Claim (2) According to (1), the configuration control means comprises a plurality of selectors for selecting input/output signals of the LUT units, and

a selector control means for controlling the selectors and defining the configuration of the plurality of units.

Claim (3) The selector control means according to (2) has a memory and performs control based on this data.

Claim (4) At least one of the selectors according to (3) has input signal and output signal selectors provided at the input/output of the LUT unit and

is controlled by memory data.

Claim (5) M=6, N=3 in (1)

Claim (6) LUT according to (5) has eight 3-input 1-output units.

Claim (7) LUT according to (5) is equipped with four 3-input 2-output LUT units.

Claim (8) A programmable logic circuit device, comprising LUTs according to (1) to (7) and multiple logic blocks, multiple wirings connected to blocks, multiple switches at wiring intersections,

connection blocks between block I/O and wiring, and I/O blocks for external [input/output].

Claim (9) A method of constructing (1).

Claim (10) According to (9), the input/output signals of multiple LUT units are selected and controlled according to the data stored in the LUT.

Claim (11) According to (9), input/output signals of at least one LUT unit are selectively controlled by a predetermined function of stored data or input signals.

Purpose: (12) Reduce LUT area and power consumption.

2. Information retrieval system

Date Range: Month DD, YYYY to June 29, 2001

No.	Claim No.	Theme code	Information retrieval system	Number of cases
1	1-11	5J042	H03K19/177*[(LUT+Look, 1C, Up)/TX+??LUT+??Lookup??Lookup]	67
2	1-11	No theme	(LUT+look, 1C, up)/TI-\1	153
3	1-11	5F064	[(LUT+look, 1C, up)/TX+??LUT+??lookup??lookup]-\1-\2	65

Total number of screenings: 285

3. Results of screening search (display for each document presented)

No.	Presented literature	Representative category	No.
1	Japanese Patent Application Laid-Open No. H9-181598	A	1
2	Japanese Patent Application Laid-Open No. H8-237109	A	1
3	Japanese Patent Application Laid-Open No. H10-078861	A	2
4	Japanese Patent Application Laid-Open No. H4-335453	A	2
5	Japanese Unexamined Patent Application Publication No. S64-072197	A	2

Number of documents to be presented: 5

4. Results of screening search (format by claim)

Claim No.	Literature No.	Category	Related parts	About the differences in comparison with the present invention and configurations that could not be discovered
1-11	1	A	P3-5F3-7	(1)' The example of connecting multiple LUTs in parallel and series to correspond to the number of logic functions is shown as a conventional example, which is disadvantageous in terms of propagation speed. Adopted as an invention is a system in which the input is divided into the LUT and the decoder, and the outputs of both are combined by a selector. This application also increases the degree of freedom in connecting the LUT, decoder, and selector, and the functions of these three are similar.
1-11	2	A	P6F10	(1)' Almost the same as Reference 1, but FIG. 10 shows an example in which two LUTs and a decoder are combined with a selector and further combined with a NAND.
1-11	3	A	P2, 3F1	(1)' Two LUTs are subordinated and controlled by flags for effective use of memory. It seems to be the same as the concept of the present application.
1-11	4	A	P2F1	(1) Addresses are separate to reduce LUT memory, each memory is accessed, and the result is added in other memory.
1-11	5	A	P1-3F3, 4, 7	(1) It shows a cascade type, where, as an example of LUT, a lookup method for spatial rotation with each output as the next input in a memory arranged in a matrix and an output similar to this application become the next address, the details cannot be understood.

5. Remarks (for searchers)

A LUT can be thought of as a combination of a MUX, a selector, a decoder and a memory as seen in reference 3.

Notice of Reasons for Rejection

Patent Application Number	Patent application 2001-199644	
Drafting Date	April 7, 2004	
Patent Office Examiner	Katsufumi Hikoda	9182 5X00
Attorney(s) for the Applicant	Takashi Ishida (4 others)	
Article(s) Applied	Article 29, Paragraph 2, Article 36	

This application shall be rejected for the following reasons(). If you have an opinion regarding the matter, please submit a written opinion within 60 days of the date of mailing of this notice.

Reasons

A. The invention of the following claims of this application shall not be patented under Article 29(2) of the Patent Law, because it could have been readily made by a person skilled in the art based on the invention that was described in the publication(s) distributed, or that was made available to the public through an electric telecommunication line, in Japan or elsewhere before the filing of this application, as listed below.

Note

<List of publications>

1. Japanese Unexamined Patent Application Publication No. H8-237109
2. Japanese Unexamined Patent Application Publication No. H3-63846

• Claim 1: The corresponding publication is 1
(Remarks)

The following invention is described in FIG. 7 of publication 1 and its explanation (column 14 of the text of the specification).

A lookup table (PLC programmable logic cell 300) comprising a plurality of LUT units (302, 304) and an internal configuration control means (multiplexer 306) for controlling the internal configuration of the plurality of LUT units.

There is no significant difference between the invention according to claim 1 of the present application and the invention described in publication 1.

• Claim 2: The corresponding publication are 1 and 2

(Remarks)

Comparing the invention according to claim 2 of the present application with the invention described in FIG. 7 of publication 1, the following differences are found between the two.

That is, in the invention according to claim 2 of the present application, “a plurality of selectors for selecting input/output signals of a plurality of LUT units” are used as “an internal configuration control means”. The invention described in FIG. 7 of publication 1 uses only a selector (306) for selecting output signals of a plurality of LUT units.

However, as described in FIG. 1 and the explanatory text (text page 3, upper right column, line 17 to left lower column, line 16) of publication 2, it is a well-known art that placing the selector (12) in the input stage of the LUT unit (14) can make the input signal to the LUT unit selectable.

Because there is no particular difficulty in applying this well-known art to the invention described in FIG. 7 of Publication 1 (that is, in the invention described in FIG. 7 of publication 1, a selector for selecting an input signal is provided at the input stage of each of the LUT units 302 and 304.), the invention according to claim 2 of the present application could have been easily invented by a person skilled in the art based on the invention described in publication 1 and the well-known art described in publication 2.

• Claim 3: Publications are 1 and 2

(Remarks)

The use of data stored in memory as signals to control selectors in general is well known without needing to be exemplified.

Therefore, the invention according to claim 3 of the present application could also be easily invented by a person skilled in the art based on the invention described in publication 1 and the well-known art described in publication 2.

• Claim 4: Publications are 1 and 2

(Remarks)

Therefore, the invention according to claim 4 of the present application could also be easily invented by a person skilled in the art based on the invention described in publication 1 and the well-known art described in publication 2.

For details, refer to the remarks column regarding claims 1 to 3 in this notice of reasons for refusal.

• Claim 5: Publications are 1 and 2

(Remarks)

In the lookup table, the number of input signals and the number of output signals are recognized as design matters that should be determined as necessary by those skilled in the art.

- Claim 6 and 7: Publications are 1 and 2

(Remarks)

The matters described in claims 6 and 7 do not exceed the scope of design matters that a person skilled in the art can do as necessary.

- Claim 8: Publications are 1 and 2

(Remarks)

A programmable logic circuit device having a configuration described in claim 8 is a well-known art without needing to be exemplified.

- Claim 9: Publications are 1 and 2

(Remarks)

The following invention is described in FIG. 7 of publication 1 and its explanation (column 14 of the text of the specification).

A method of configuring a lookup table, characterized in that a plurality of LUT units (302, 304) are prepared, and the output signals of the plurality of LUT units are selectively controlled (see operation of multiplexer 306) to set a predetermined internal configuration mode.

Comparing the invention according to claim 9 of the present application with the invention described in FIG. 7 of publication 1, there are the following differences between the two.

That is, in the invention according to claim 9 of the present application, the configuration for "selectively controlling the input/output signals of a plurality of LUT units" is used. In the invention described in FIG. 7 of publication 1, only output signals of a plurality of LUT units are selectively controlled.

However, as described in FIG. 1 and the explanatory text of publication 2 (page 3, upper right column, line 17 to lower left column, line 16), employing a configuration in which the input signal of the LUT unit (14) is selectively controlled (see operation of multiplexer 12) is well known in the art.

Because there is no particular difficulty in applying this well-known art to the invention described in FIG. 7 of Publication 1 (that is, in the invention described in FIG. 7 of publication 1, a configuration for selectively controlling the input signal of each LUT unit of LUT units 302 and 304 is added), the invention according to claim 9 of the present application could have been easily invented by a person skilled in the art based on the invention described in publication 1 and the well-known art described in publication 2.

- Claim 10: Publications are 1 and 2

(Remarks)

In general, the use of data stored in a storage means within a device as data for signal selection control is a well-known art without needing to be exemplified.

- Claim 11: Publications are 1 and 2

(Remarks)

In general, the use of data stored in a storage means within a device as data for signal selection control is a well-known art without needing to be exemplified.

When applying the well-known art described in FIG. 1 of Publication 2 to the invention described in FIG. 7 of Publication 1, there is no particular difficulty in applying this well-known art (the art that uses data stored in the device as data for signal selection control). The invention according to claim 11 of the present application could have been easily invented by a person skilled in the art based on the invention described in publication 1 and the well-known art described in publication 2.

(Suggestion of correction:

Regarding claims 4 and 11, making the following amendments will clarify the difference from publications 1 and 2.

- Claim 4: The statement “controlled according to the data stored in the memory and/or the input signal” may be amended to “controlled according to the data stored in the memory and the input signal”. (i.e., the word “/or” may be removed.)

- Claim 11: “Selectively controlled by a predetermined function of the data and/or the input signal respectively stored in the lookup table” may be amended to “Selectively controlled by a predetermined function of the data and the input signal respectively stored in the lookup table”. (i.e., the word “/or” may be removed.)

In addition, the suggestions of the amendments described above etc. do not cause any legal effect, but is a proposal for overcoming the reasons for refusal. The applicant should decide how to amend the specification, etc.)

B. The description of the Scope of Patent Claims of the present application does not fulfill the stipulations of Article 36, Paragraph 6, Item 2 of the Japan Patent Law in the following points.

Note

Claim 11 is a claim in the form of citing claim 9; while the invention of claim 9 is an invention of "method", since the invention of claim 11 citing claim 9 is expressed as an invention of "product", the category of the invention according to claim 11 is unclear.

(Suggestion for correction: Amending the end [Japanese sentence, “the beginning” for English] of claim 11, “A lookup table characterized in that...” to “A method for constructing a lookup table, characterized in that ...” may resolve this lack of description.)

If any reason for rejection is found, however, another Notice of Reasons for Rejection will issue.

Record of the Prior-Art Search

• Fields of the Search IPC 7th Edition
H03K 19/00

• Prior Art Literature

- Japanese Patent Application Laid-Open No. H9-181598 (see FIG. 2. A technique similar to that of Publication 1 is described.)
- Japanese Utility Model Laid-Open No. S62-195861 (see selectors 15 and 20 in FIG. 1. Techniques similar to publications 1 and 2 are described.)
- Japanese Patent Application Laid-Open No. H1-183685 (see switch means 400 in FIG. 1. A technique similar to that of Publication 2 is described.)
- Japanese Patent Application Laid-Open No. S64-86280 (see FIG. 1. A technique similar to that of Publication 1 is described.)
- Japanese Patent Application Laid-Open No. S62-288891 (see selector 20 in FIG. 1. Same as above.)

This record of the prior-art search does not constitute the Rejection Reason.

<u>Director/Deputy</u>	<u>Chief Examiner/Deputy</u>	<u>Examiner</u>	<u>Assistant examiner</u>
_____	<u>Kenichi Ishii</u>	<u>Katsufumi Hikoda</u>	_____
	8124	9182	

(Document Name) Amendment
 (Reference number) 2001199644
 (Submission date) May 26, 2004
 (Address to) Katsufumi Hikota, Examiner, Patent Office
 (Indication of the case)
 (Application number) Patent application 2001-199644
 (Party making the amendment)
 (Identification number) 396023993
 (Name or Name) Semiconductor Technology Academic Research Center
 (Agent)
 (Identification number) 100077517
 (Patent attorney)
 (Name) Takashi Ishida
 (PHONE number) 03-5470-1900
 (Shipment number) 132270
 (Amendment 1)
 (Name of document to be amended) Description
 (Name of item to be amended) Scope of Patent Claims
 (Amendment method) Change
 (Content of the amendment)
 (Scope of Patent Claims)

(Claim 1) A lookup table with M inputs and N outputs, characterized in that the table is equipped with a plurality of LUT units, and an internal configuration control means for controlling the internal configuration of the plurality of LUT units; where the internal configuration control means comprises:

a plurality of selectors for selecting input/output signals of the plurality of LUT units and a selector control means for controlling each selector to define a configuration of the plurality of LUT units; the selector control means comprises a memory, and controls the plurality of selectors according to data stored in the memory; the selector is equipped with an input signal selection selector provided at the input of at least one LUT unit for selecting an input signal, and an output signal selection selector that is provided at the output of the LUT unit and selects an output signal, wherein the input signal selection selector and the output signal selection selector are controlled according to the data stored in the memory and the input signal.

(Claim 2) The lookup table according to claim 1, characterized in that the M-input N-output lookup table is a 6-input 3-output lookup table.

(Claim 3) The lookup table of claim 2, characterized in that the 6-input 3-output lookup table comprises eight 3-input 1-output LUT units.

(Claim 4) The lookup table of claim 2, characterized in that the 6-input 3-output lookup table comprises four 3-input 2-output LUT units.

(Claim 5) A programmable logic circuit device, comprising a plurality of logic blocks; a plurality of wirings connected to each logic block; a plurality of switch means provided at intersections of the wirings; a connection block provided between the input/output line of each logic block and each wiring; and I/O block for external input/output, characterized in that: the logic block comprises the lookup table according to any one of claims 1-4.

(Claim 6) A method of constructing a look-up table, an M-input N-output lookup table, characterized in that, multiple LUT units are prepared, the input/output signals of the plurality of LUT units are selectively controlled to set a predetermined internal configuration mode, and the signal input to at least one of the LUT units and the signal output by the LUT unit are each selectively controlled by a predetermined function of the data stored in the lookup table and the input signal.

(Amendment 2)

(Name of document to be amended)	Description
(Name of item to be amended)	0006
(Amendment method)	Change
(Content of the amendment)	
(0006)	

(Means for Solving the Problem)

The first aspect of the present invention is to provide a lookup table with M inputs and N outputs, characterized in that the table is equipped with a plurality of LUT units, and an internal configuration control means for controlling the internal configuration of the plurality of LUT units; the internal configuration control means comprises a plurality of selectors for selecting input/output signals of the plurality of LUT units and a selector control means for controlling each selector to define a configuration of the plurality of LUT units; the selector control means comprises a memory, and controls the plurality of selectors according to data stored in the memory; the selector is equipped with an input signal selection selector provided at the input of at least one LUT unit for selecting an input signal, and an output signal selection selector that is provided at the output of the LUT unit and selects an output signal, wherein the input signal selection selector and the output signal selection selector are controlled according to the data stored in the memory and the input signal.

(Amendment 3)

(Name of document to be amended)	Description
(Name of item to be amended)	0007
(Amendment method)	Change
(Content of the amendment)	
(0007)	

The second aspect of the present invention is to provide a programmable logic circuit device, comprising a plurality of logic blocks; a plurality of wirings connected to each logic block; a plurality of switch means provided at intersections of the wirings; a connection block provided between the input/output line of each logic block and each wiring; and I/O block for external input/output, where the lookup table comprises M inputs and N outputs, characterized in that the table is equipped with a plurality of LUT units, and an internal configuration control means for controlling the internal configuration of the plurality of LUT units; the internal configuration control means comprises a plurality of selectors for selecting input/output signals of the plurality of LUT units and a selector control means for controlling each selector to define a configuration of the plurality of LUT units; the selector control means comprises a memory, and controls the plurality of selectors according to data stored in the memory; the selector is equipped with an input signal selection selector provided at the input of at least one LUT unit for selecting an input signal, and an output signal selection selector that is provided at the output of the LUT unit for selecting an output signal, wherein the input signal selection selector and the output signal selection selector are controlled according to the data stored in the memory and the input signal.

(Amendment 4)

(Name of document to be amended)	Description
(Name of item to be amended)	0008
(Amendment method)	Change
(Content of the amendment)	(0008)

The third aspect of the present invention provides a method for configuring an M-input N-output lookup table, comprising: preparing a plurality of LUT units; selectively controlling the input/output signals of the plurality of LUT units to set a predetermined internal configuration mode, and selectively controlling each of the signal input to at least one of the LUT units and the signal output by the LUT unit by a predetermined function of the data stored in the lookup table and the input signal.

According to the present invention, by providing a mode change memory in the LUT, unlike the LUT used in conventional FPGAs, it is possible to realize an LUT having a plurality of inputs and outputs. As a result, it is possible to configure LUTs suitable for the number of input signals required by the divided circuits, thereby preventing an increase in mounting area. In addition, by stacking circuits that do not operate at the same time in the same LUT and operating them while switching between them, it is possible to greatly reduce not only the mounting area but also the power consumption.

(Amendment 5)

(Name of document to be amended)	Description
(Name of item to be amended)	0037
(Amendment method)	Change
(Content of the amendment)	(0037)

(FIG. 11) is a block diagram showing another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.

The LUT unit 831 shown in FIG. 11 comprises an address decoder 8314 and two sets of 8-bit memory unit groups M81-M88 and M91-M98. The address decoder 8314 decodes the 3-bit input signals A, B, C to designate one of the two groups of memory units M81-M88 and M91-M98, and outputs data (output signal Q: the signal supplied to the input “0” of the selector 826 and the signal supplied to the input “1” of the selector 826).

(Amendment 6)

(Name of document to be amended)	Description
(Name of item to be amended)	0038
(Amendment method)	Change
(Content of the amendment)	(0038)

FIG. 12 is a block diagram showing still another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.

The LUT unit 831 shown in FIG. 12 includes an address decoder 8315, selectors 8316 and 8317, and eight sets of 2-bit memory unit groups M111, M121; M112, M122, ...M118, M128. The address decoder 8315 decodes the 1-bit input signal A to designate each one of the eight memory unit groups M111, M121 to M118, M128, and with 2-bit input signals B and C, further selects and outputs one set of data in the memory unit groups M111, M121 to M114 and M124 (output signal Q: signal supplied to input “0” of selector 826) and one set of data in the memory unit groups M115, M125 to M118 and M128 (signal supplied to input “1” of selector 826).

(Amendment 7)

(Name of document to be amended)	Description
(Name of item to be amended)	0040
(Amendment method)	Change
(Content of the amendment)	
(0040)	

FIG. 14 and FIG. 15 below showed a comparison between the case of implementing from a 3-input 1-output LUT used in conventional FPGAs to a 7-input 1-output LUT (horizontal axis: 3LUT to 7LUT) for the ALU circuit (ALU16) 90 shown in FIG. 13 and the case of implementing 6-input 3-output LUT as shown in FIG. 6 (a configuration comprising eight 3-input 1-output LUTs 731 to 738, mode change memory 71 and selectors 721 to 726: 3 LUT*8), and a 6-input 3-output LUT as shown in FIG. 9 (a configuration comprising four 3-input 2-output LUTs 831 to 834, mode change memory 81 and selectors 821 to 826: 4 LUT*4) used in the FPGA according to the present invention. The ALU 16 includes, for example, a data selector (a circuit that does not need to use an LUT) for switching wiring, a random logic (a circuit configured with an LUT), and a flip-flop (a circuit that is a fixed portion of a logic block). It goes without saying that the comparison between FIGS. 14 and 15 is made under substantially the same conditions other than the configuration of the LUT.

(Document name) Written Opinion
 (Reference number) 2001199644
 (Submission date) May 26, 2004
 (Address to) Katsufumi Hikota, Examiner, Patent Office
 (Indication of the case)
 (Application number) Patent application 2001-199644
 (Patent applicant)
 (Identification number) 396023993
 (Name or Name) Semiconductor Technology Academic Research Center
 (Agent)
 (Identification number) 100077517
 (Patent attorney)
 (Name) Takashi Ishida
 (Phone number) 03-5470-1900
 (Shipment number) 132270
 (Content of Opinion)

(1) According to the notice of reasons for rejection for this application dated April 7, 2004,
 [Reason A] The invention of the following claims of this application shall not be patented under Article 29(2) of the Patent Law, because it could have been readily made by a person skilled in the art based on the invention that was described in the publication(s) distributed, or that was made available to the public through an electric telecommunication line, in Japan or elsewhere before the filing of this application, as listed below; and

Note

- Claim 1: Cited Reference 1
- Claims 2 to 11: Cited References 1 and 2

<List of publications>

1. Japanese Unexamined Patent Application Publication No. H08-237109
2. Japanese Unexamined Patent Application Publication No. H03-063846

[Reason B] With regard to the following points of the claims, this application does not comply with the requirements provided in Article 36(6)(ii) of the Patent Law.

(2) Therefore, the applicant has amended the "Scope of Patent Claims" and "Detailed Description of the Invention" in order to eliminate the above reasons for refusal by submitting the written opinion and the written amendment to the proceeding.

The "Scope of Patent Claims" was amended by the above-mentioned Written Amendment as follow: Claim 1 as filed was amended with new Claim 1 including the configurations of Claims 2, 3 and 4 as filed, and Claim 9 as filed was amended with new claim 6 including the configuration of claim 11 as filed. Note that, the statement in the new claim 1 "controlled according to the data stored in the memory and/or the input signal" was amended to "controlled according to the data stored in the memory and the input signal" and the statement in the new claim 6 "selectively controlled by a predetermined function of the data stored in the lookup table and/or the input signal" was amended to "selectively controlled by a predetermined function of the data stored in the lookup table and the input signal.

Furthermore, claims 5 to 8 as filed were amended to new claims 2 to 5, which are substantially dependent on new claim 1, and claim 10 as filed was deleted.

The clerical error in the specification of this application was also corrected by the above written amendment.

(3) The above amendments to each claim has resolved the reasons for rejection based on the provisions of Article 29, Paragraph 2 of the Patent Act and the reasons for rejection based on the provisions of Article 36, Paragraph 6, Item 2 of the Patent Act.

(4) Therefore, we believe that the inventions according to Claims 1 to 6 of this application should be granted a patent.

We kindly ask you to take a look at the written amendment submitted at the same time and review the application again.

End

Final decision of patent grant

Patent Application Number Patent application 2001-199644
 Draft date June 16, 2004
 Patent office examiner Katsufumi Hikoda 91825X00
 (Title of the Invention) A look up table, programmable logic circuit device having
 look up table, and the look up table configuration method
 Number of claims 6
 Applicant Semiconductor Technology Academic Research Center
 Agent Takashi Ishida (4 others)

With no reasons for rejection being discovered with respect to this application, a final decision of patent grant is rendered.

Director/Deputy	Chief Examiner/Deputy	<u>Examiner</u>	Assistant examiner	Classification officer
	Kenichi Ishii	<u>Katsufumi</u> <u>Hikoda</u>		Kenichi Ishii
	8124	9182		8124

1. Application type Normal
2. Reference Literature Yes
3. Article 30 of the Patent Law application No
4. Change of title of invention No

5. International Patent Classification (IPC)

H03K	19/177	
H01L	21/82	A

6. Parallel patent classification

Version code 4

7. Microorganism deposit

8. Indication of the fact that retroactive division and modification will not be recognized

Final decision of patent grant (Final decision of patent grant memo)

Patent Application Number

Patent application 2001-199644

1. Investigated field (IPC 7th edition, DB name)

H03K 19/177

H01L 21/82

2. Reference patent literatures

Japanese Unexamined Patent Application Publication No. H8-237109 (JP, A)

Japanese Unexamined Patent Application Publication No. H3-063846 (JP, A)

Japanese Unexamined Patent Application Publication No. H9-181598 (JP, A)

Japanese Unexamined Patent Application Publication No. H1-183685 (JP, A)

Japanese Unexamined Patent Application Publication No. S64-(JP, A)
086280Japanese Unexamined Patent Application Publication No. S62-(JP, A)
288891Japanese Unexamined Utility Model Application Publication No. S62-(JP, U)
195861

3. Reference books and magazines



I, Natalia Lehmann, hereby certify that I am fluent in both the Japanese and English languages, and that I have reviewed and translated Prosecution History of Japanese Patent Application No. JP 2001-199644. This translation is, to the best of my knowledge and belief, a true and accurate translation from Japanese to English. I declare under penalty of perjury under the laws of the United States that the foregoing is true and accurate.

A handwritten signature in black ink, appearing to read 'Natalia Lehmann', written over a horizontal line.

Natalia Lehmann
NAME

Friday, October 14, 2022
DATE

【書類名】 要約書

【要約】

【課題】 従来、例えば、FPGAにおいて、LUTの入力数および出力数は共に固定値であり、実装面積の増加をもたらすことになっていた。

【解決手段】 M入力N出力のルックアップテーブル7であって、複数のLUTユニット731～738と、該複数のLUTユニットによる内部構成を制御する内部構成制御手段71，721～726とを備えるように構成する。

【選択図】 図6

【書類名】 明細書

【発明の名称】 ルックアップテーブル、ルックアップテーブルを備えるプログラマブル論理回路装置、および、ルックアップテーブルの構成方法

【特許請求の範囲】

【請求項1】 M入力N出力のルックアップテーブルであって、複数のLUTユニットと、該複数のLUTユニットによる内部構成を制御する内部構成制御手段とを備えることを特徴とするルックアップテーブル。

【請求項2】 請求項1に記載のルックアップテーブルにおいて、前記内部構成制御手段は、

前記複数のLUTユニットの入出力信号を選択する複数のセクタと、該各セクタを制御して前記複数のLUTユニットによる構成を規定するセクタ制御手段とを備えることを特徴とするルックアップテーブル。

【請求項3】 請求項2に記載のルックアップテーブルにおいて、前記セクタ制御手段はメモリを備え、該メモリに格納するデータに応じて前記複数のセクタを制御することを特徴とするルックアップテーブル。

【請求項4】 請求項3に記載のルックアップテーブルにおいて、前記セクタは、

少なくとも1つの前記LUTユニットの入力に設けられて入力信号の選択を行う入力信号選択用セクタと、

前記LUTユニットの出力に設けられて出力信号の選択を行う出力信号選択用セクタとを備え、該入力信号選択用セクタおよび該出力信号選択用セクタは、前記メモリに格納するデータおよび／または前記入力信号に応じて制御されることを特徴とするルックアップテーブル。

【請求項5】 請求項1に記載のルックアップテーブルにおいて、前記M入力N出力のルックアップテーブルは、6入力3出力のルックアップテーブルであることを特徴とするルックアップテーブル。

【請求項6】 請求項5に記載のルックアップテーブルにおいて、前記6入力3出力のルックアップテーブルは、8つの3入力1出力LUTユニットを備え

ることを特徴とするルックアップテーブル。

【請求項 7】 請求項 5 に記載のルックアップテーブルにおいて、前記 6 入力 3 出力のルックアップテーブルは、4 つの 3 入力 2 出力 LUT ユニットを備えることを特徴とするルックアップテーブル。

【請求項 8】 複数の論理ブロックと、該各論理ブロックに接続される複数の配線と、該各配線の交差個所に設けられた複数のスイッチ手段と、該各論理ブロックの入出力線と前記各配線との間に設けられた接続ブロックと、外部との入出力を行う I/O ブロックとを備えるプログラマブル論理回路装置であって、

前記論理ブロックは、請求項 1 ～ 7 のいずれか 1 項に記載のルックアップテーブルを備えることを特徴とするプログラマブル論理回路装置。

【請求項 9】 M 入力 N 出力のルックアップテーブルを構成する方法であって、

複数の LUT ユニットを準備し、

該複数の LUT ユニットの入出力信号を選択制御して所定の内部構成モードを設定するようにしたことを特徴とするルックアップテーブルの構成方法。

【請求項 10】 請求項 9 に記載のルックアップテーブルの構成方法において、前記複数の LUT ユニットの入出力信号は、当該ルックアップテーブル内に格納されるデータに応じて選択制御されることを特徴とするルックアップテーブルの構成方法。

【請求項 11】 請求項 9 に記載のルックアップテーブルの構成方法において、少なくとも 1 つの前記 LUT ユニットに入力する信号、および、該 LUT ユニットが出力する信号は、それぞれ当該ルックアップテーブル内に格納されるデータおよび／または入力信号の所定の関数により選択制御されることを特徴とするルックアップテーブル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は実装面積の削減が可能なルックアップテーブルの構成技術に関する。

近年、プログラマブル論理回路装置は、内部回路を電氣的にプログラムするこ

とでユーザの様々な要求に応じた論理回路を実現することができるデバイスとして注目されている。このプログラマブル論理回路装置は、P L D (Programmable Logic Device) 或いはF P G A (Field Programmable Gate Array) として知られているが、最近では、ハードウェアの試作に対する利用を越えて、それ自体で様々な機能を有する大規模な回路（例えば、マイクロプロセッサ等）を構成するためにも使用されるようになって来ている。このようなプログラマブル論理回路装置は、ルックアップテーブル（L U T : Look Up Table）を主要な構成要素としているが、このL U Tの回路面積の削減が強く要望されている。

【0002】

【従来の技術】

プログラマブル論理回路装置（P L DやF P G A）の主要な要素であるルックアップテーブル（L U T）はメモリから構成されており、任意の論理回路を実装することが可能である。このようなF P G Aの基本的な構成は、従来、例えば、米国特許第4706216号および第4870302号に提案されている。また、F P G Aにおけるマルチコンテキスト（multi-context）および複数のL U Tのクラスタ化に関しては、例えば、米国特許第5778439号および第5905385号等に提案されている。さらに、F P G A等を使用するL U Tに対する評価（例えば、機能性と面積に関する評価並びに性能評価、および、クラスタ化の評価等）に関しては、例えば、J. Rose et al., "Architecture of Field-Programmable Gate Arrays: The Effect of Logic Block Functionality on Area Efficiency", IEEE J. Solid-State Circuits, vol. 25, no. 5, pp. 1217-1225, Oct. 1990、J. Rose et al., "The Effect of Logic Block Architecture on FPGA Performance", IEEE J. Solid-State Circuits, vol. 27, no. 3, pp. 281-287, Mar. 1992、および、E. Ahmed et al., "The Effect of LUT and Cluster Size on Deep-Submicron FPGA Performance and Density", FPGA 2000, Monterey, CA USA, 2000に研究成果が示されている。

【0003】

プログラマブル論理回路装置において、実装できる論理回路の入力信号のビット数MはL U Tを構成するメモリのアドレスのビット数に対応し、また、出力信

号のビット数Nはメモリの出力ビット数に対応している。したがって、1つのLUTに実装できる論理回路は、任意のM入力N出力の論理回路となる。本明細書では、このようなLUTをM入力N出力LUTと表す。

【0004】

【発明が解決しようとする課題】

従来、例えば、FPGAにおいて、LUTの入力数Mおよび出力数Nは共に固定値であり、任意の論理回路は、M入力N出力の回路単位に分割され、複数のLUTを用いて実装されるようになっている。

そのため、従来のFPGAでは、回路分割により入力数がMビット未満の回路が生じた場合、この入力数がMビット未満の回路に対しても1つのLUTを割り当てなければならず、実装面積の増加をもたらす原因になっている。

【0005】

本発明は、上述した従来のプログラマブル論理回路装置が有する課題に鑑み、ルックアップテーブル（LUT）すなわちプログラマブル論理回路装置の回路面積を削減することを主たる目的とする。さらに、本発明は、プログラマブル論理回路装置の消費電力の低減も目的とする。

【0006】

【課題を解決するための手段】

本発明の第1の形態によれば、M入力N出力のルックアップテーブルであって、複数のLUTユニットと、該複数のLUTユニットによる内部構成を制御する内部構成制御手段とを備えることを特徴とするルックアップテーブルが提供される。

【0007】

本発明の第2の形態によれば、複数の論理ブロックと、該各論理ブロックに接続される複数の配線と、該各配線の交差個所に設けられた複数のスイッチ手段と、該各論理ブロックの入出力線と前記各配線との間に設けられた接続ブロックと、外部との入出力を行うI/Oブロックとを備えるプログラマブル論理回路装置であって、前記論理ブロックは、M入力N出力のルックアップテーブルであって、複数のLUTユニットと、該複数のLUTユニットによる内部構成を制御する

内部構成制御手段とを有するルックアップテーブルを備えることを特徴とするプログラマブル論理回路装置が提供される。

【0008】

本発明の第3の形態によれば、M入力N出力のルックアップテーブルを構成する方法であって、複数のLUTユニットを準備し、該複数のLUTユニットの入出力信号を選択制御して所定の内部構成モードを設定するようにしたことを特徴とするルックアップテーブルの構成方法が提供される。

本発明によれば、LUT内にモード変更用のメモリを設けることにより、従来のFPGAで使用されるLUTと異なり、複数の入力数および出力数を有するLUTを実現することができる。これにより、分割された回路が必要とする入力信号数に適したLUTで構成することが可能となり、実装面積の増加を防ぐことができる。また、同時に動作しない回路を同一のLUT内に重ね合わせて実装し、これらを切り替えながら動作させることで、実装面積だけでなく消費電力も大幅に削減することができる。

【0009】

【発明の実施の形態】

以下、本発明に係るルックアップテーブル、ルックアップテーブルを備えるプログラマブル論理回路装置、および、ルックアップテーブルの構成方法を添付図面に従って詳述する。

図1は本発明が適用されるFPGAの一例を示すブロック図である。図1において、参照符号100はプログラマブル論理回路装置の一例としてのFPGA、101はI/Oブロック、102は論理ブロック（CLB：Configurable Logic Block）、103は接続ブロック（C）、104はスイッチマトリクス（S）、そして、105は配線を示している。

【0010】

図1に示されるように、FPGA100は、アレー状に配置された論理ブロック（CLB）102、これらCLB102を取り囲む配線（回線領域）105、および、外部との入出力を行うI/Oブロック101を備えて構成される。各配線105の交差個所には、それらを接続するためのスイッチマトリクス（S）1

04が配置され、さらに、各CLB102の入出力線と配線105との間にはそれぞれ接続ブロック(C)103が配置されている。各CLB102は、ルックアップテーブル(LUT)121、ラッチ122、および、セクタ123を備えて構成される。本発明は、主としてLUT121の構成に関するものである。

【0011】

図2はFPGAにおけるLUTの一例としての6入力3出力LUTを示すブロック図であり、図1におけるLUT121の一例を示すものである。すなわち、図2に示すLUTは、M入力N出力LUTにおいて、 $M=6$ 、 $N=3$ の場合の構成に対応するものである。なお、MおよびNの値に関して、 $M=6$ 、 $N=3$ は単なる一例であり、他の様々な値の場合もあり、さらに、 $M=N$ 、或いは、 $M<N$ となる場合もある。

【0012】

図3は図2に示す6入力3出力LUTの内部構成モードを示すブロック図であり、後に詳述するように、モード変更用メモリ(71)の値(X, Y, Z)を変えることで、6入力3出力LUTを図3(a)～図3(f)に示すような内部構成に設定することができるのを示している。

具体的に、図3(a)は、6入力3出力LUTを3個の2入力1出力LUTとしてモード設定した場合を示している。例えば、従来のFPGA(従来、4入力1出力LUTを単位として使用されている)において、3個の2入力1出力回路をLUTに割り当てるには3つのLUT(4入力1出力LUT)を必要とするが、図3(a)に示す構成では、1つの6入力3出力LUTだけで十分である。

【0013】

ところで、配線の領域を含む4入力1出力LUTと6入力3出力LUTの面積比は、1:1.5程度である。したがって、図3(a)に示す構成は、例えば、3つの4入力1出力LUTを使用する従来例に対して、回路の実装面積比を(1×3):1.5、すなわち、1:0.5程度にすることができ、最大約50%の面積の削減が実現できる。

【0014】

また、図3(b)は、2個の3入力1出力LUTとしてモード設定した場合を

示す。この場合、例えば、2つの4入力1出力LUTを使用する従来例に対して、回路の実装面積比を $(1 \times 2) : 1.5$ 、すなわち、 $1 : 0.75$ 程度にすることができ、最大25%の面積の削減が実現できる。

さらに、図3(c)は、6入力3出力LUTを6入力1出力LUTとしてモードを設定した場合を示す。

【0015】

図3(d)は、3入力1出力LUT×8プレーンとしてモード設定した場合を示し、図3(e)は、4入力1出力LUT×4プレーンとしてモードを設定した場合を示し、そして、図3(f)は、5入力1出力LUT×2プレーンとしてモード設定した場合を示す。

図4はルックアップテーブルにおける回路のマッピング方法の一例を説明するための図であり、上記図3(d)～図3(f)のモード設定が可能な理由を示すものである。

【0016】

図4に示されるように、例えば、HDL (Hardware Description Language) におけるRTL (Register Transfer Level) 記述内のif～, else, case等の制御構造を利用したマッピング方法においては、条件分岐は明示的に同時動作でないことが保証されているため、各条件内の処理を各コンテキストにマッピングする。なお、各コンテキストの切り替えは、例えば、他のLUT (ルックアップテーブル) に実装された制御回路からの信号で行う。

【0017】

このような場合には、上述した図3(d)～図3(f)に示されるように、複数のLUTを1つのLUTで構成することができる。具体的に、図3(d)の場合には、8つの3入力1出力LUTを1つのLUT (図3(d)の場合には、1つの6入力3出力LUT) で構成することができる。また、図3(e)の場合には、4つの4入力1出力LUTを1つのLUTで構成することができ、さらに、図3(f)の場合には、2つの5入力1出力LUTを1つのLUTで構成することができる。

【0018】

具体的に、図3（e）に示す構成は、例えば、4つの4入力1出力LUTを使用する従来例に対して、回路の実装面積比を $(1 \times 4) : 1.5$ 、すなわち、 $1 : 0.375$ 程度にすることができ、最大約62%の面積の削減が実現できる。換言すると、図3（e）に示す実施例のLUT（1個の6入力3出力LUTで構成したLUT）は、従来のLUT（4個の4入力1出力LUTで構成したLUT）の約32%の実装面積で構成することができ、さらに、消費電力も大幅に低減することができる。

【0019】

また、例えば、8オペレーションのALU回路を、従来の4入力1出力LUTに実装した場合と、図3（e）に示すような6入力3出力LUTを4入力1出力LUT $\times 4$ プレーンとして使用し、これに実装した場合とを比較すると、回路実装面積を約75%にして実装効率の向上を実現することができる。

図5は本発明に係るFPGAにおけるLUTの一例としての6入力3出力LUT 7（121）を入出力信号と共に示すブロック図であり、図2に示す6入力3出力LUT 121に対して6つの入力信号A、B、C、D、E、Fと3つの出力信号Q、V、Wを追加したものに相当する。

【0020】

図6は図5に示す6入力3出力LUTの内部構成の一例を示すブロック図である。

図6に示されるように、6入力3出力LUT 7（121）は、モード変更用メモリ71、セクタ721～726、および、3入力1出力LUTユニット（メモリアレイ）731～738を備えている。モード変更用メモリ71は、ユーザにより指定された3ビットのデータX、Y、Zを格納するようになっており、6ビットの入力A～Fと3ビットの出力Q、V、Wとの関係をユーザの要求に応じて設定するようになっている。

【0021】

各セクタ（入力信号選択用セクタ）721～725には、6ビットの入力信号内の所定の信号が入力され、それぞれモード変更用メモリ71に格納されたデータX、Y、Zに応じて入力信号の選択を行うようになっている。すなわち、

セクタ7 2 1には信号A, Cが入力され、また、セクタ7 2 2には信号B, Dが入力され、それぞれデータX, Y, Zにより規定される選択信号F 0 (X, Y, Z)により一方の信号が選択されて出力される。同様に、セクタ7 2 3には信号A, Dが入力され、また、セクタ7 2 4には信号B, Eが入力され、さらに、セクタ7 2 5には信号C, Fが入力され、それぞれデータX, Y, Zにより規定される選択信号F 1 (X, Y, Z)により一方の信号が選択されて出力される。

【0 0 2 2】

各3入力1出力LUTユニット7 3 1～7 3 8は、後述するように、アドレスデコーダ、メモリ、および、セクタを備え、それぞれ3ビットの入力信号に応じて1ビットの信号を出力する。すなわち、各LUTユニット7 3 1, 7 3 2, 7 3 4～7 3 6および7 3 8には、それぞれ信号A, B, Cが入力され、また、LUTユニット7 3 3には、選択信号F 0により選択された信号AまたはCの一方と信号BまたはDの一方、および、信号Cが入力される。さらに、LUTユニット7 3 7には、選択信号F 1により選択された信号AまたはDの一方、信号BまたはEの一方、および、信号CまたはFの一方が入力される。そして、LUTユニット7 3 1～7 3 8の出力信号はセクタ（出力信号選択用セクタ）7 2 6に入力され、信号D, E, FおよびデータX, Y, Zにより規定される選択信号F 2 (D, E, F, X, Y, Z)により1つの信号が選択され、信号Vとして出力される。なお、信号Qは、LUTユニット7 3 1の出力とされ、また、信号Wは、LUTユニット7 3 7の出力とされている。

【0 0 2 3】

図7は図6の6入力3出力LUT 7における3入力1出力LUTユニット7 3 1の一例を示すブロック図である。なお、各3入力1出力LUTユニット7 3 1～7 3 8は全て同様の構成とされている。

図7に示すLUTユニット7 3 1は、アドレスデコーダ7 3 1 1、セクタ7 3 1 2、および、2組の4ビットで構成されたメモリユニット群M 1 1～M 1 4, M 2 1～M 2 4を備えている。アドレスデコーダ7 3 1 1は、2ビットの入力信号A, Bをデコードしてメモリユニット群M 1 1～M 1 4およびM 2 1～M 2

4の各1つを指定し、さらに、入力信号Cによって、メモリユニット群M11～M14またはM21～M24の一方の組を選択してデータを出力する。

【0024】

図8は図6の6入力3出力LUT7における3入力1出力LUTユニット731の他の例を示すブロック図である。

図8に示すLUTユニット731は、アドレスデコーダ7313、および、8ビットのメモリユニット群M31～M38を備えている。アドレスデコーダ7313は、3ビットの入力信号A、B、Cをデコードしてメモリユニット群M31～M38の1つを指定してそのデータ（Q）を出力する。

【0025】

上述した図6に示す6入力3出力LUTにおけるモード変更用メモリ71に指定された3ビットデータX、Y、Zと、それに対応した内部構成（設定モード）との関係を図3（a）～図3（f）に対応させて説明する。

まず、図3（a）に示すように、6入力3出力LUT7（121）を3個の2入力1出力LUTとしてモード設定する場合、選択信号F0およびF1は各セクタ721、722および723～725において入力『1』を選択し、さらに、選択信号F2はセクタ726において入力『2』を選択する。

【0026】

すなわち、ユーザは、選択信号F0（X、Y、Z）およびF1（X、Y、Z）が各セクタ721、722および723～725における入力『1』を選択するように、且つ、選択信号F2（D、E、F、X、Y、Z）がセクタ726における入力『2』を選択するように、モード変更用メモリ71に格納する3ビットデータX、Y、Zを指定する。

【0027】

そして、信号A、B、Cが入力されて信号Qを出力するLUTユニット731、セクタ721、722を介した信号C、Dおよび直接の信号Cが入力されてセクタ726を介して信号Vを出力するLUTユニット733、および、セクタ723～725を介した信号D、E、Fが入力されて信号Wを出力するLUTユニット737を使用することで、図3（a）に示す3個の2入力1出力LUT

Tとして構成することができる。なお、LUTユニット731における入力信号C、LUTユニット733における一方の入力信号C、および、LUTユニット737におけるセクタ723を介した入力信号Dは、各LUTユニットにおいて余分な入力信号となっているが、問題となることはない。

【0028】

次に、図3（b）に示すように、6入力3出力LUT7を2個の3入力1出力LUTとしてモード設定する場合、選択信号F1はセクタ723～725における入力『1』を選択するようにモード変更用メモリ71に格納する3ビットデータX、Y、Zを指定する。そして、信号A、B、Cが入力されて信号Qを出力するLUTユニット731、および、セクタ723～725を介した信号D、E、Fが入力されて信号Wを出力するLUTユニット737を使用することで、図3（b）に示す2個の3入力1出力LUTとして構成することができる。

【0029】

図3（c）に示すように、6入力3出力LUTを6入力1出力LUTとしてモード設定する場合には、選択信号F0およびF1は各セクタにおける入力『0』を選択し、選択信号F2は入力信号D、E、Fによってセクタ726の値を決定し、信号Vを出力する。すなわち、信号A、B、Cと信号D、E、Fの6ビット入力により、1ビットの信号Vを出力する。

【0030】

図3（d）に示すように、6入力3出力LUTを3入力1出力LUT×8プレーンとしてモード設定する場合には、選択信号F0およびF1は各セクタにおける入力『0』を選択し、選択信号F2は信号D、E、Fによってセクタ726の値を決定し、信号Vを出力する。この場合、信号D、E、Fはプレーン切り替え信号が使用される。

【0031】

図3（e）に示すように、6入力3出力LUTを4入力1出力LUT×4プレーンとしてモード設定する場合にも、選択信号F0およびF1は各セクタにおける入力『0』を選択し、選択信号F2は信号D、E、Fによってセクタ726の値を決定し、信号Vを出力する。この場合、信号Dは、信号A、B、Cと共

に4ビットの入力信号の1つであり、また、信号EおよびFはプレーン切り替え信号が使用されることになる。

【0032】

図3(f)に示すように、6入力3出力LUTを5入力1出力LUT×2プレーンとしてモード設定する場合には、選択信号F0およびF1は各セクタにおける入力『0』を選択し、選択信号F2は信号D、E、Fによってセクタ726の値を決定し、信号Vを出力する。この場合、信号DおよびEは、信号A、B、Cと共に5ビットの入力信号の2つであり、また、信号Fはプレーン切り替え信号が使用されることになる。

【0033】

上述したように、本実施例によれば、例えば、6入力3出力LUTを、モード変更用メモリ71の値X、Y、Zを変えることにより様々な内部構成モードとして使用することができる。

図9は図5に示す6入力3出力LUTの内部構成の他の例を示すブロック図であり、前述した図6とは異なる6入力3出力LUTの内部構成の例を示すものである。

【0034】

図9に示されるように、6入力3出力LUT8(121)は、モード変更用メモリ81、セクタ821～826、および、3入力2出力LUTユニット831～834を備えている。モード変更用メモリ81は、ユーザにより指定された3ビットのデータX、Y、Zを格納するようになっており、6ビットの入力A～Fと3ビットの出力Q、V、Wとの関係をユーザの要求に応じて設定するようになっている。

【0035】

すなわち、上述した図6に示す6入力3出力LUT7が8つの3入力1出力LUTユニット731～738を備えていたのに対して、図9に示す本6入力3出力LUT8は、4つの3入力2出力LUTユニット831～834を備えている点を除き、他は実質的に同様の構成とされている。

なお、図9に示すLUT8におけるモード変更用メモリ81に指定する3ビッ

トのデータX, Y, Zと、それにしたがった選択信号F 0 (X, Y, Z), F 1 (X, Y, Z) およびF 2 (D, E, F, X, Y, Z)、並びに、これら選択信号F 0, F 1, F 2により制御される各セクタ8 2 1～8 2 6 (セクタ7 2 1～7 2 6に対応)の動作は、図6および図3 (a)～図3 (f)を参照して説明したのと同様であり、ここではその説明を省略する。

【0 0 3 6】

図1 0は図9の6入力3出力LUTにおける3入力2出力LUTユニットの一例を示すブロック図である。なお、各3入力2出力LUTユニット8 3 1～8 3 4は全て同様の構成とされている。

図1 0に示すLUTユニット8 3 1は、アドレスデコーダ8 3 1 1、セクタ8 3 1 2, 8 3 1 3、および、4組の4ビットで構成されたメモリユニット群M 4 1～M 4 4, M 5 1～M 5 4, M 6 1～M 6 4, M 7 1～M 7 4を備えている。アドレスデコーダ8 3 1 1は、2ビットの入力信号A, Bをデコードして4組のメモリユニット群M 4 1～M 4 4, M 5 1～M 5 4, M 6 1～M 6 4およびM 7 1～M 7 4の各1つを指定し、さらに、入力信号Cによって、メモリユニット群M 4 1～M 4 4またはM 5 1～M 5 4の一方の組のデータ (出力信号Q:セクタ8 2 6の入力『0』に供給される信号)と、メモリユニット群M 6 1～M 6 4またはM 7 1～M 7 4の一方の組のデータ (セクタ8 2 6の入力『1』に供給される信号)とを選択して出力する。

【0 0 3 7】

図1 1は図9の6入力3出力LUTにおける3入力2出力LUTユニットの他の例を示すブロック図である。

図1 1に示すLUTユニット8 3 1は、アドレスデコーダ8 3 1 4、および、2組の8ビットのメモリユニット群M 8 1～M 8 8およびM 9 1およびM 9 8を備えている。アドレスデコーダ8 3 1 4は、3ビットの入力信号A, B, Cをデコードして2組のメモリユニット群M 8 1～M 8 8およびM 9 1およびM 9 8の各1つを指定し、それぞれデータ (出力信号Q:セクタ8 2 6の入力『0』に供給される信号と、セクタ8 2 6の入力『1』に供給される信号)を出力する。

【0038】

図12は図9の6入力3出力LUTにおける3入力2出力LUTユニットのさらに他の例を示すブロック図である。

図11に示すLUTユニット831は、アドレスデコーダ8315、セクタ8416, 8317、および、8組の2ビットのメモリユニット群M111, M121; M112, M122; …; M118, M128を備えている。アドレスデコーダ8315は、1ビットの入力信号Aをデコードして8組のメモリユニット群M111, M121~M118, M128の各1つを指定し、さらに、2ビットの入力信号B, Cによって、メモリユニット群M111, M121~M114, M124の内の一組のデータ（出力信号Q:セクタ826の入力『0』に供給される信号）と、メモリユニット群M115, M125~M118, M128の内の一組のデータ（セクタ826の入力『1』に供給される信号）とを選択して出力する。

【0039】

図13は8オペレーションのALU回路(ALU16)90の一構成例を示すブロック図である。図13において、参照符号GおよびHは16ビットのデータ、Iはオペレーションを決めるコマンド信号、そしてJは出力信号を示している。

図13に示されるように、ALU回路90は、それぞれ16ビットのデータGおよびHが入力されたOR回路91、AND回路92、XOR回路93、not回路94、+（加算）回路95、NE（Not Equal）回路96、GT（Greater Than）回路97およびSHIFT（シフト）回路98の8つの演算回路と、これら8つの演算回路91~98の出力をコマンド信号Iにより選択するセクタ99とを備え、コマンド信号Iに対応した出力信号J部を出力するようになっている。

【0040】

この図13に示すALU回路(ALU16)90に対して、従来のFPGAで使用されている3入力1出力LUTから7入力1出力LUT（横軸：3LUT~7LUT）に実装した場合と、本発明に係るFPGAで使用される図6に示すよ

うな6入力3出力LUT（8つの3入力1出力LUT 731～738、モード変更メモリ71およびセクタ721～726を備える構成：3LUT*8）および図9に示すような6入力3出力LUT（4つの3入力2出力LUT 831～834、モード変更メモリ81およびセクタ821～826を備える構成：4LUT*4）に実装した場合とを比較して、次の図14および図15に示す。なお、LUT16は、例えば、配線の切り替えを行うデータセクタ（LUTを使用する必要がない回路）、ランダムロジック（LUTで構成される回路）、および、フリップフロップ（論理ブロックの固定部分の回路）を備えている。また、図14および図15の比較は、LUTの構成以外の条件が実質的に同一として行われているのはいうまでもない。

【0041】

図14は図13に示すALU16を従来および本発明に係るFPGAで使用されるLUT（3LUT～7LUTおよび6入力3出力LUT（3LUT*8並びに4LUT*4））に実装したときの面積比の相違を示す図であり、また、図15は図13に示すALU16に対して従来および本発明に係るFPGAで使用されるLUTに実装したときの構成データビット数の相違を示す図である。図14における縦軸は、一般に使用されている4入力1出力LUT（4LUT）を用いて構成した場合の面積を1とし、それに対する様々なLUTを使用して構成した場合の面積比を示し、また、図15における縦軸は、様々なLUTを使用して構成した場合の構成データのビット数を示している。

【0042】

図14から明らかなように、例えば、図13に示すようなALU16を本発明に係るFPGAで使用されている6入力3出力LUT（3LUT*8および4LUT*4）に実装した場合の面積比は、同じのALU16を従来のFPGAで使用されているLUT（3LUT～7LUT）に実装した場合に比べて大幅に小さくなるのが分かる。具体的に、例えば、6入力3出力LUTを3入力1出力×8プレーンとして実装した3LUT*8は、従来のLUT中で最小面積を示す4入力1出力LUT（4LUT）を用いて実装した場合の約75%の面積とすることが分かる。

【0043】

さらに、図15から明らかなように、ALU16を本発明に係るFPGAで使用されている6入力3出力LUT（3LUT*8および4LUT*4）に実装した場合の構成データビット数は、従来のLUT中で最小の4LUTの場合と同等であることが判る。すなわち、本発明6入力3出力LUTは、例えば、4入力1出力に対して4倍の構成データを必要とするにも関わらず、構成データビット数を同等とすることができるのは、従来のLUTが出力段のセレクタをLUTにより構成しているのに対して、本発明では配線の切り替えによって行われるのでLUTの使用数を削減することができるからである。

【0044】

以上の説明において、本発明に係るFPGAで使用される6入力3出力LUTは、単なる一例であり、M入力N出力（例えば、8入力4出力）のLUTに適用することができる。さらに、例えば、6入力3出力LUT自体の構成に関しても、図6に示す8つの3入力1出力LUTユニットおよび図9に示す4つの3入力2出力LUTユニットに限定されるものではなく、様々な変更が可能なものというまでもない。

【0045】

【発明の効果】

以上、詳述したように、本発明によれば、ルックアップテーブル（LUT）すなわちプログラマブル論理回路装置の回路面積を削減することができる。さらに、本発明によれば、プログラマブル論理回路装置の消費電力を低減することもできる。

【図面の簡単な説明】

【図1】

本発明が適用されるFPGAの一例を示すブロック図である。

【図2】

FPGAにおけるLUTの一例としての6入力3出力LUTを示すブロック図である。

【図3】

図 2 に示す 6 入力 3 出力 L U T の内部構成モードを示すブロック図である。

【図 4】

ルックアップテーブルにおける回路のマッピング方法の一例を説明するための図である。

【図 5】

本発明に係る F P G A における L U T の一例としての 6 入力 3 出力 L U T を入出力信号と共に示すブロック図である。

【図 6】

図 5 に示す 6 入力 3 出力 L U T の内部構成の一例を示すブロック図である。

【図 7】

図 6 の 6 入力 3 出力 L U T における 3 入力 1 出力 L U T ユニットの一例を示すブロック図である。

【図 8】

図 6 の 6 入力 3 出力 L U T における 3 入力 1 出力 L U T ユニットの他の例を示すブロック図である。

【図 9】

図 5 に示す 6 入力 3 出力 L U T の内部構成の他の例を示すブロック図である。

【図 1 0】

図 9 の 6 入力 3 出力 L U T における 3 入力 2 出力 L U T ユニットの一例を示すブロック図である。

【図 1 1】

図 9 の 6 入力 3 出力 L U T における 3 入力 2 出力 L U T ユニットの他の例を示すブロック図である。

【図 1 2】

図 9 の 6 入力 3 出力 L U T における 3 入力 2 出力 L U T ユニットのさらに他の例を示すブロック図である。

【図 1 3】

8 オペレーションの A L U 回路 (A L U 1 6) の一構成例を示すブロック図である。

【図 1 4】

図 1 3 に示す A L U 1 6 に対して従来および本発明に係る F P G A で使用される L U T に実装したときの面積比の相違を示す図である。

【図 1 5】

図 1 3 に示す A L U 1 6 に対して従来および本発明に係る F P G A で使用される L U T に実装したときの構成データビット数の相違を示す図である。

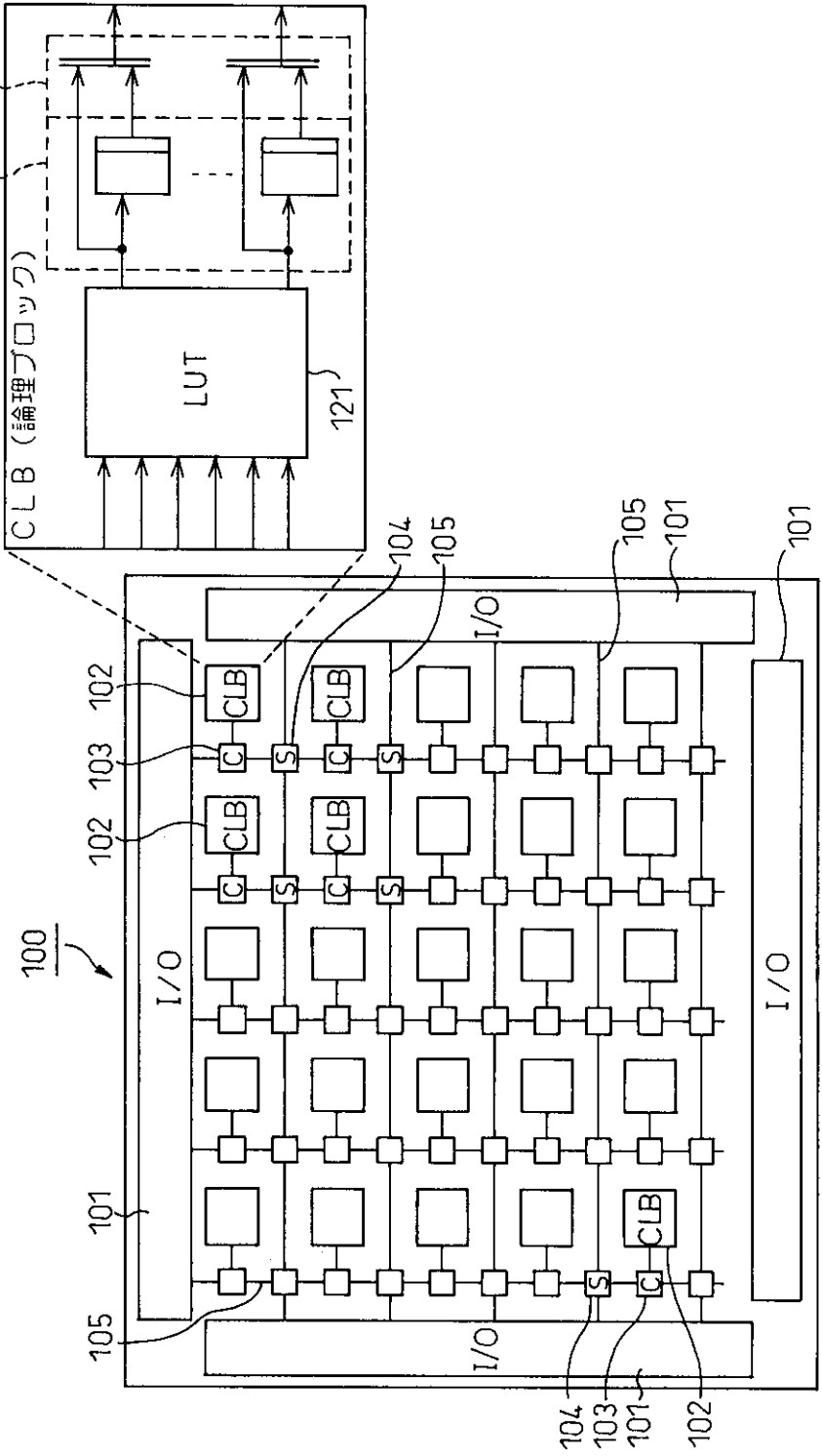
【符号の説明】

7, 8, 1 2 1…ルックアップテーブル (L U T : 6 入力 3 出力 L U T)
7 1, 8 1…モード変更用メモリ
1 0 0…プログラマブル論理回路装置 (F P G A)
1 0 1…I / O ブロック
1 0 2…論理ブロック (C L B)
1 0 3…接続ブロック (C)
1 0 4…スイッチマトリクス (S)
1 0 5…配線
1 2 2…ラッチ
1 2 3…セレクタ
7 2 1 ~ 7 2 6, 8 2 1 ~ 8 2 6…セレクタ
7 3 1 ~ 7 3 8…3 入力 1 出力 L U T ユニット
8 3 1 ~ 8 3 4…3 入力 2 出力 L U T ユニット

【書類名】 図面
【図 1】

本発明が適用されるFPGAの一例を示すブロック図

図 1



【図 2】

図 2

FPGAにおけるLUTの一例としての6入力3出力LUT
を示すブロック図

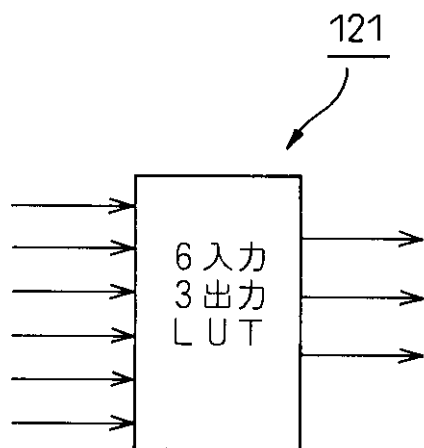
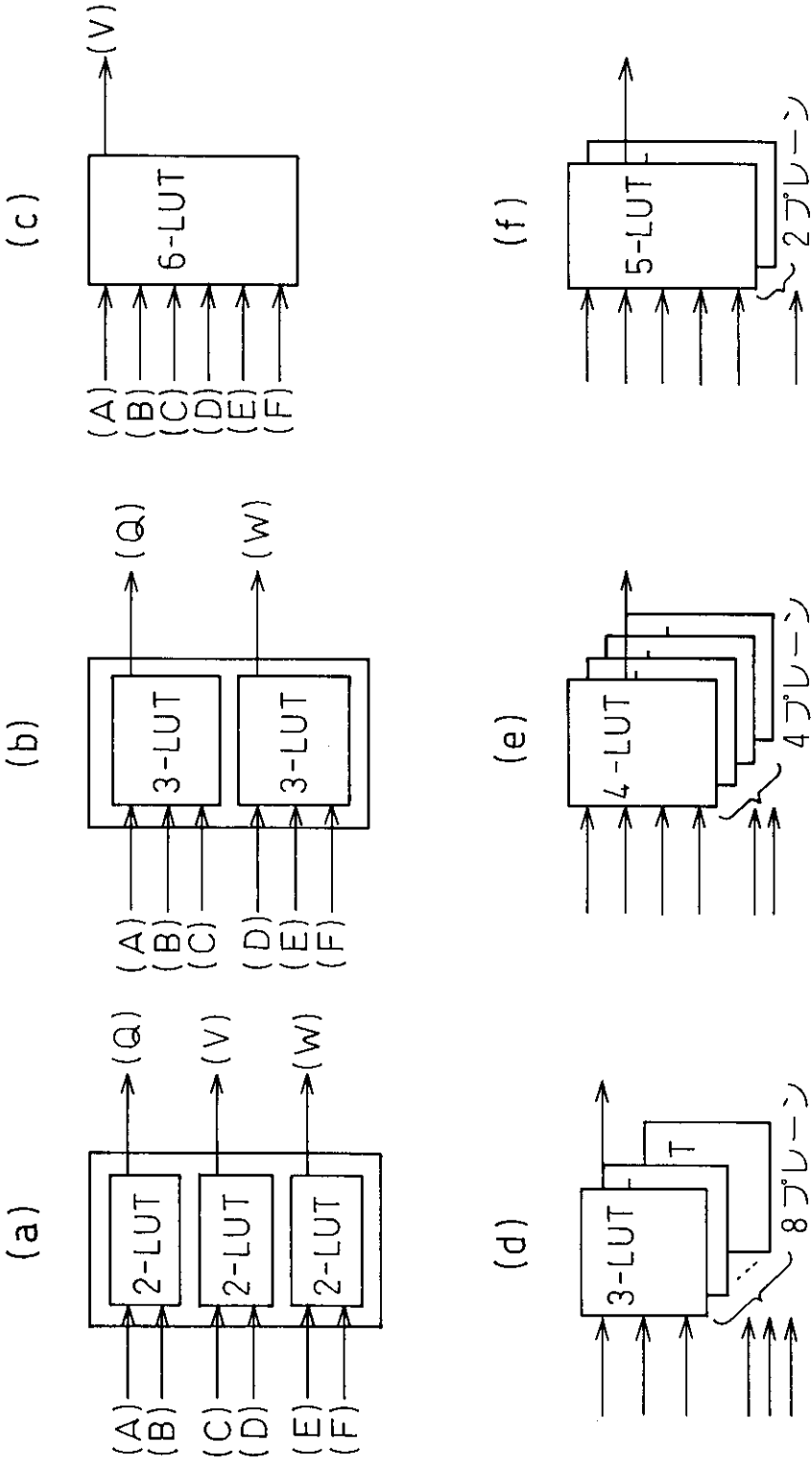


図 3
【図 3】

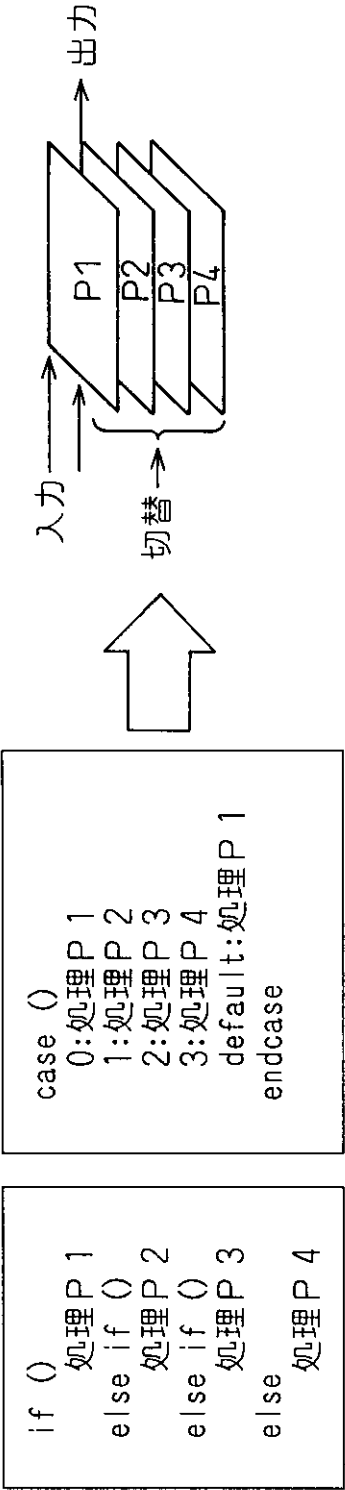
図 2 に示す 6 入力 3 出力 LUT の内部構成モードを示すブロック図



【図 4】

図 4

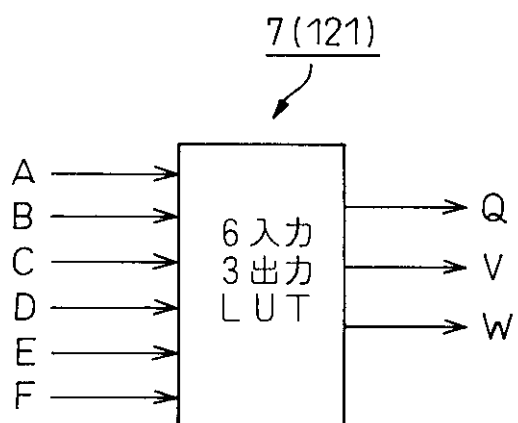
ルックアップテーブルにおける回路のマッピング方法の一例を説明するための図



【図5】

図5

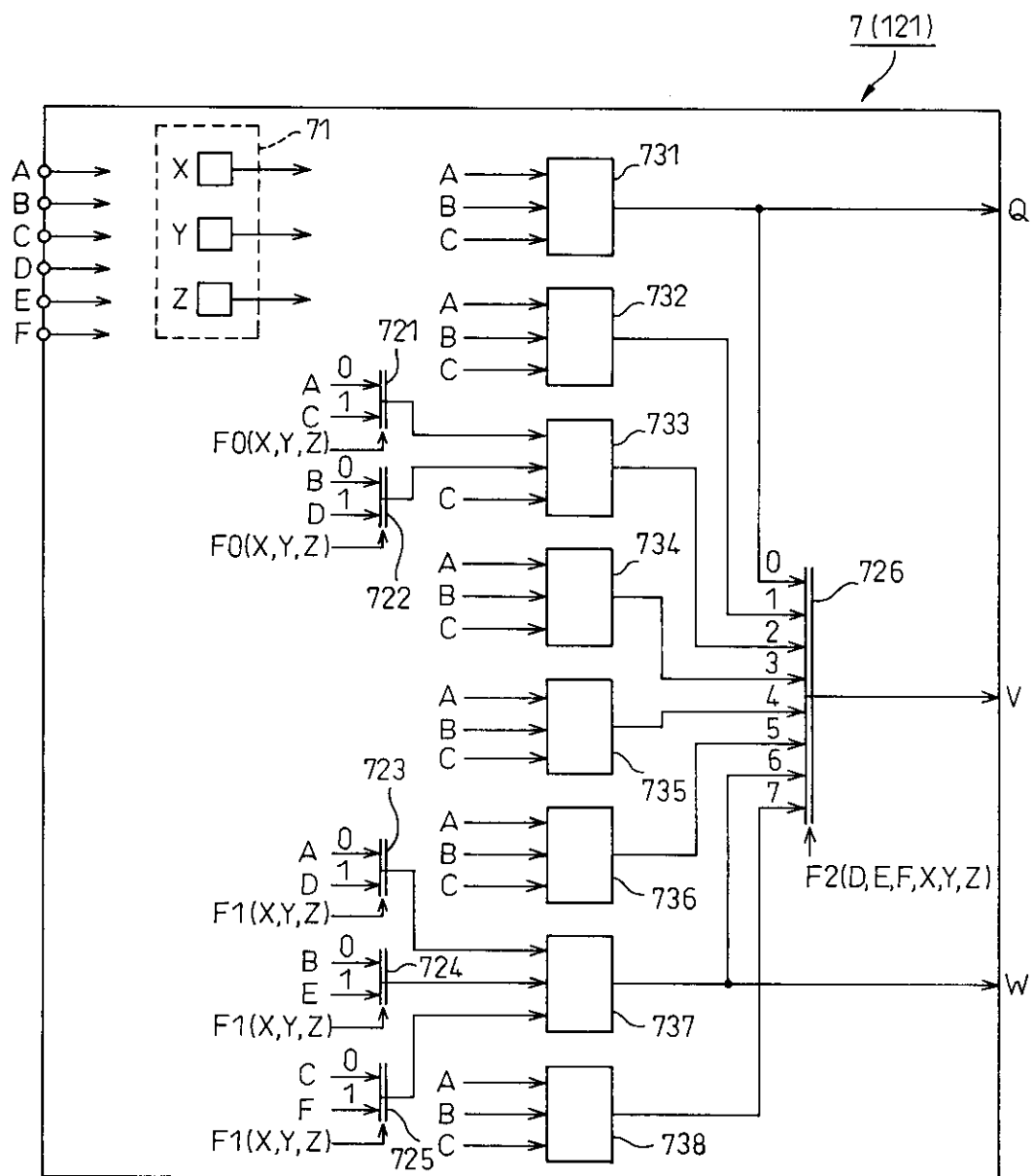
本発明に係るFPGAにおけるLUTの一例としての
6入力3出力LUTを入出力信号と共に示すブロック図



【図 6】

图 6

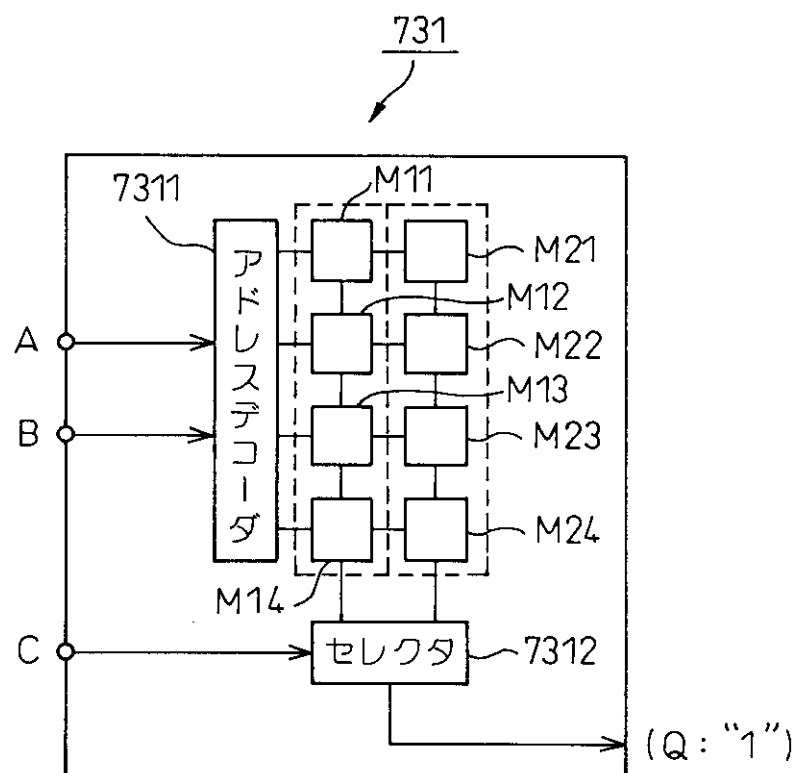
図5に示す6入力3出力LUTの内部構成の一例を示すブロック図



【図 7】

図 7

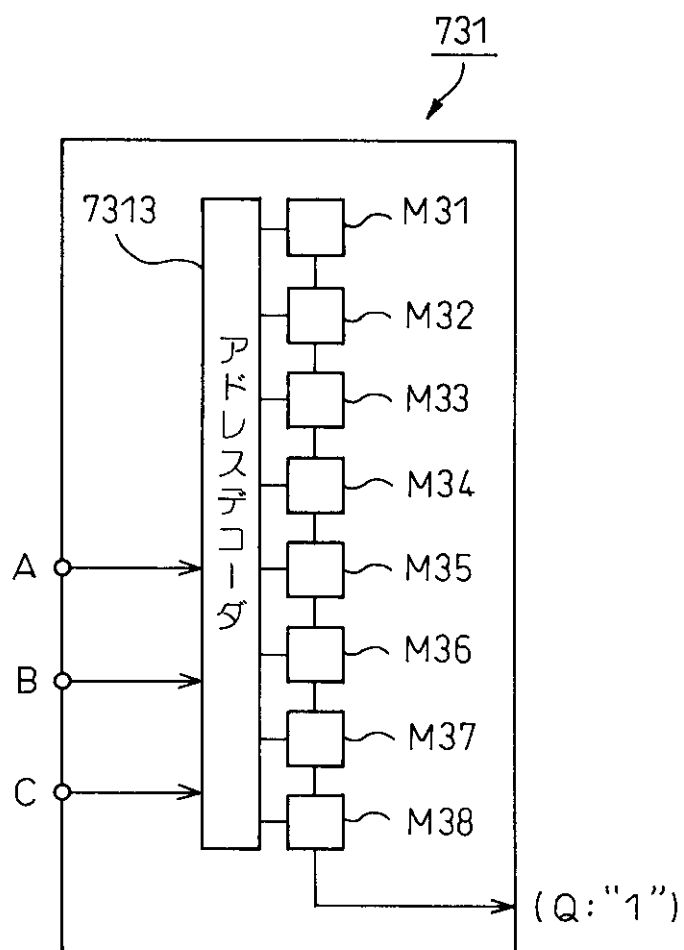
図 6 の 6 入力 3 出力 LUT における 3 入力 1 出力 LUT ユニットの一例を示すブロック図



【図8】

図 8

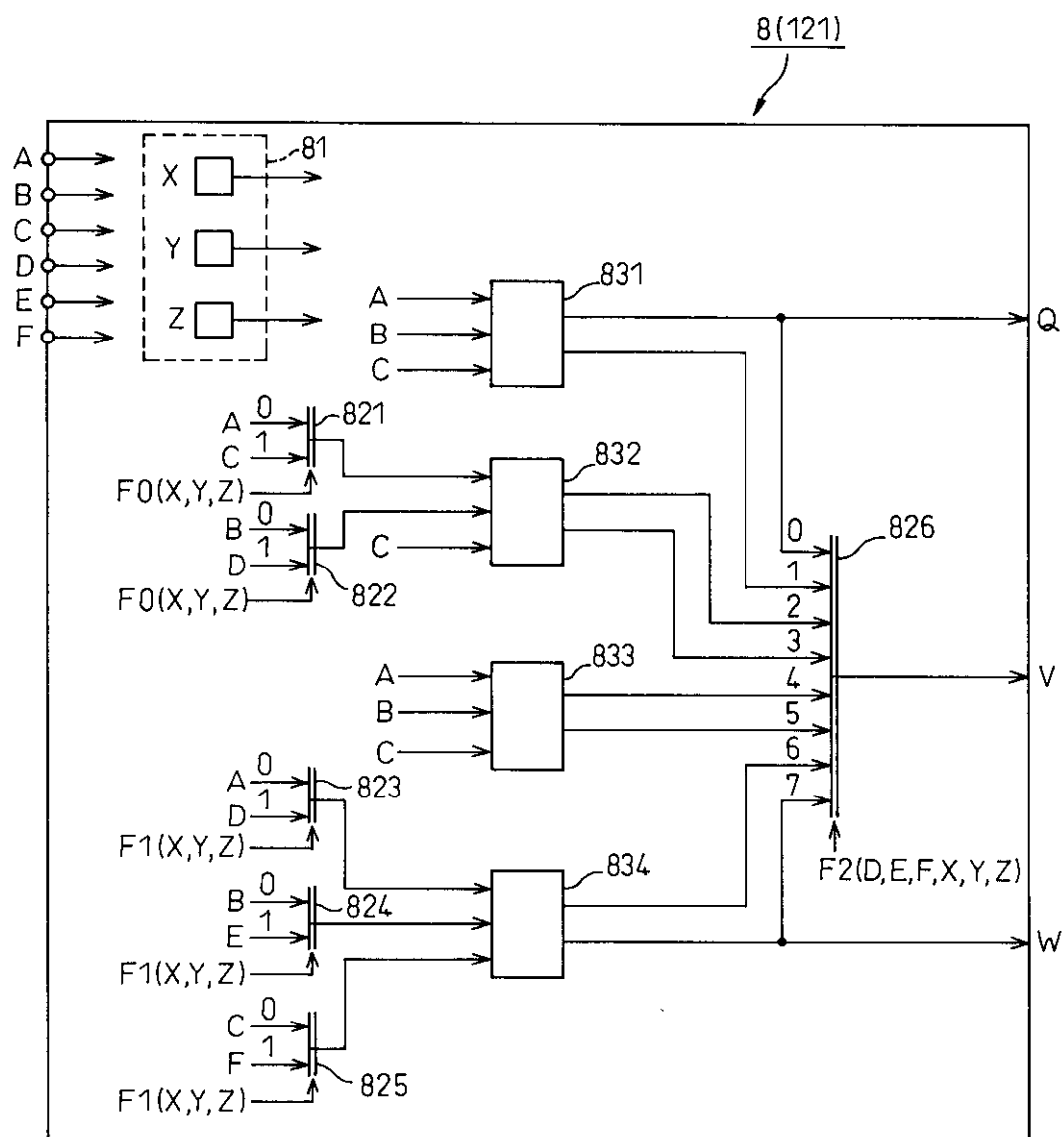
図6の6入力3出力LUTにおける3入力1出力LUTユニット
の他の例を示すブロック図



【図 9】

図 9

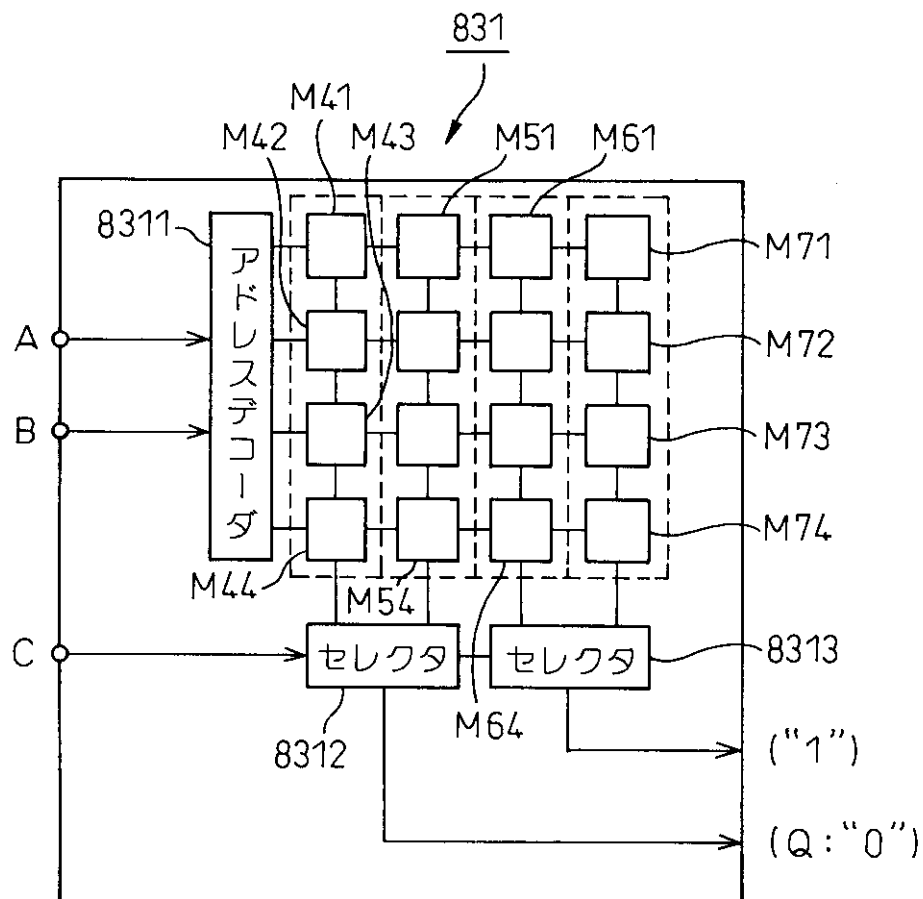
図 5 に示す 6 入力 3 出力 LUT の内部構成の他の例を示すブロック図



【図10】

図10

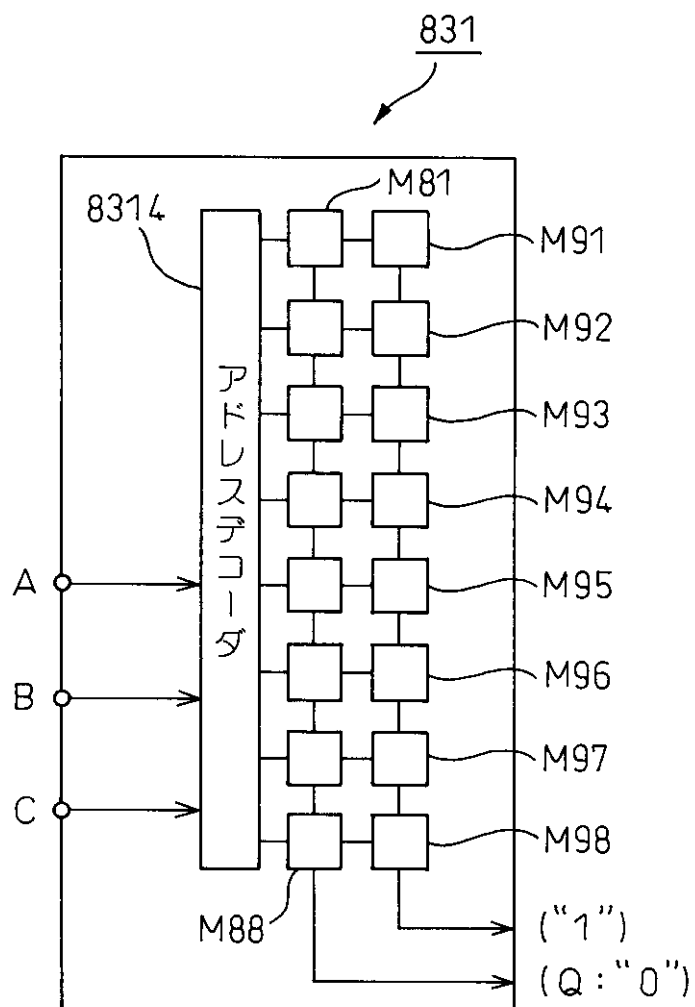
図9の6入力3出力UTにおける3入力2出力UTユニットの一例を示すブロック図



【図 11】

図 11

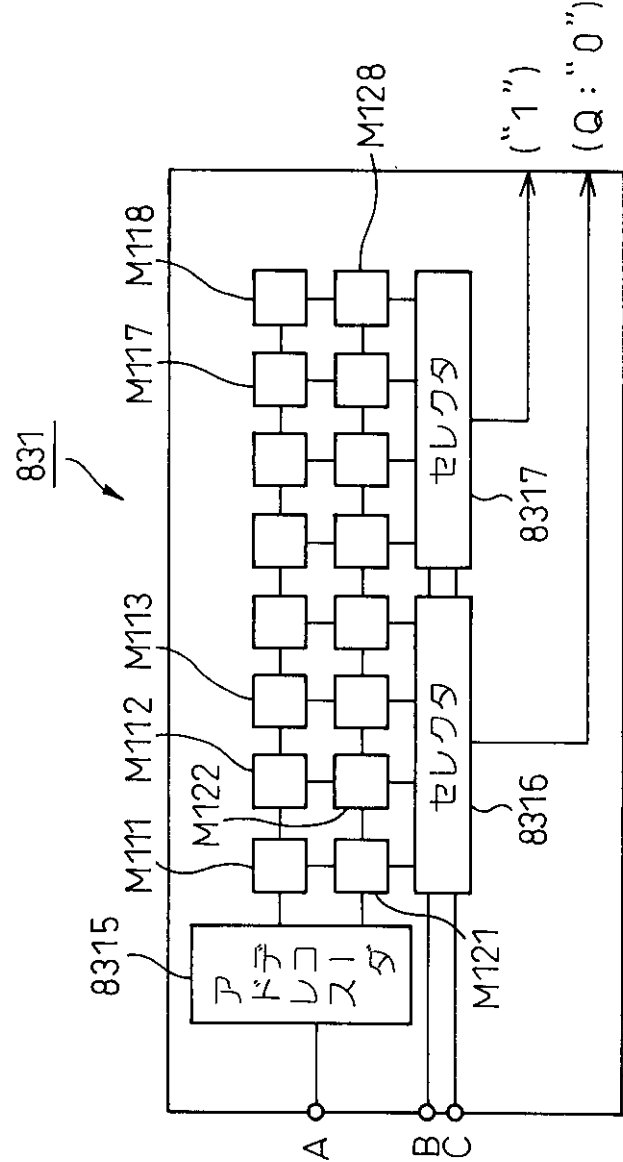
図 9 の 6 入力 3 出力 LUT における 3 入力 2 出力 LUT ユニットの他の例を示すブロック図



【図 12】

図 12

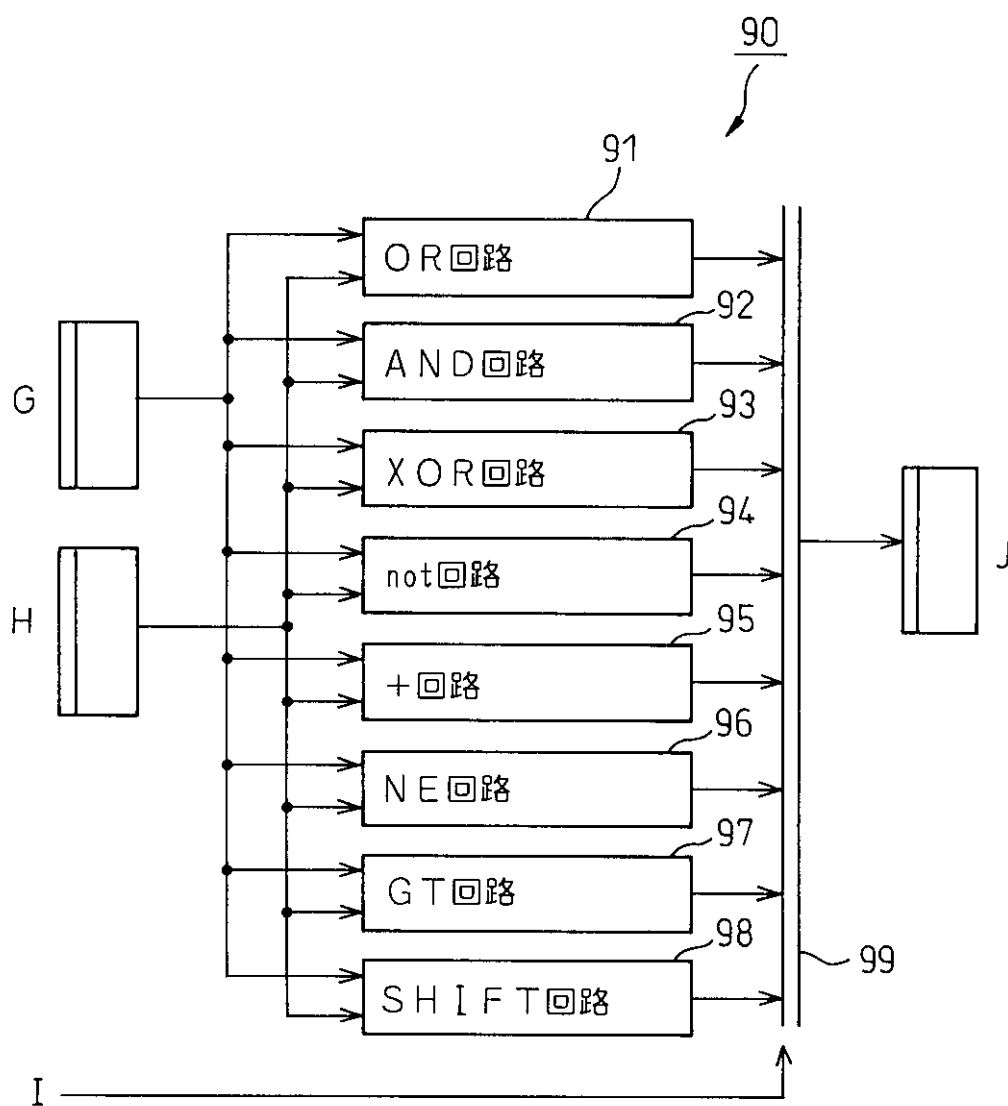
図9の6入力3出力UTにおける3入力2出力UTユニットのさらに他の例を示すブロック図



【図13】

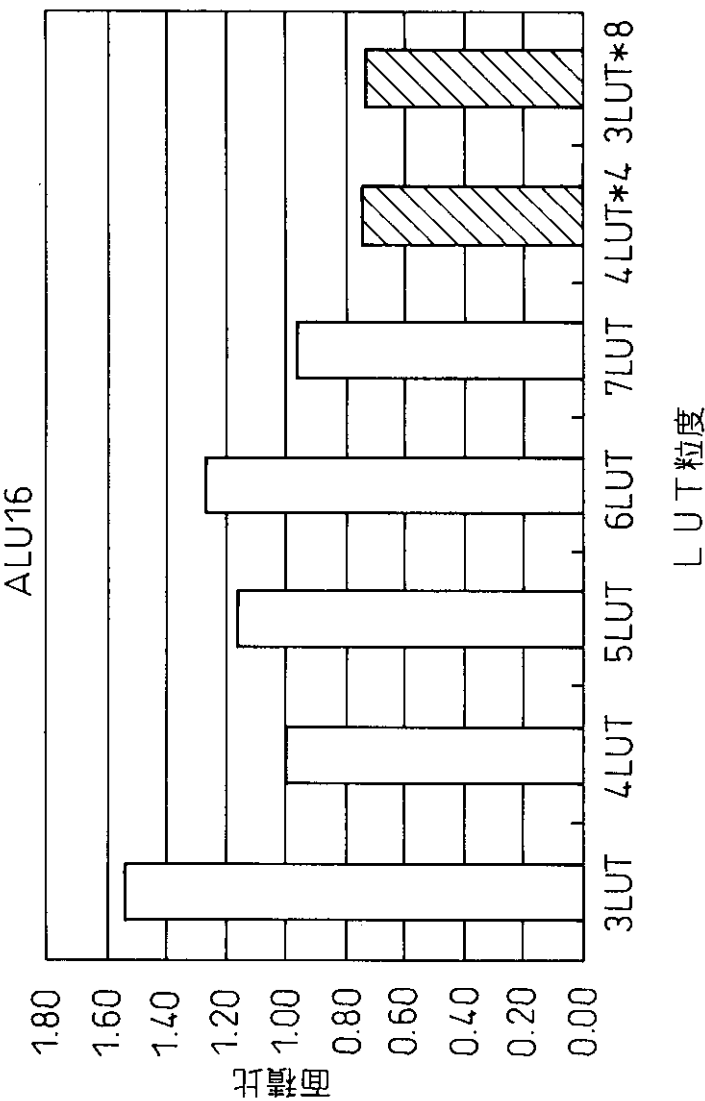
図13

8オペレーションのALU回路（ALU16）の一構成例
を示すブロック図



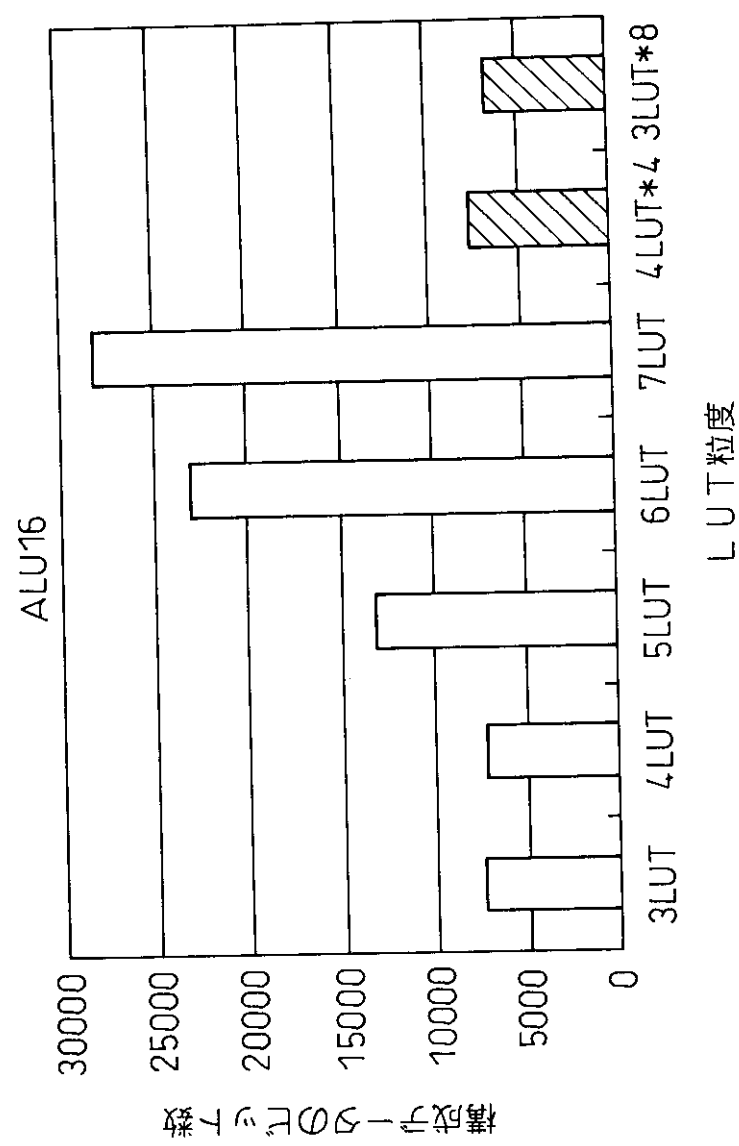
【図 1 4】
図 14

図13に示すALU16に対して従来および本発明に係るFPGAで
使用されるLUTに実装したときの面積比の相違を示す図



【図 15】
図 15

図13に示すALU16に対して従来および本発明に係るFPGAで使用されるLUTに実装したときの構成データビット数の相違を示す図



【書類名】 特許願
【整理番号】 0100295
【提出日】 平成13年 6月29日
【あて先】 特許庁長官 及川 耕造 殿
【国際特許分類】 H03K 19/177
H01L 21/82
【発明の名称】 ルックアップテーブル、ルックアップテーブルを備える
プログラマブル論理回路装置、および、ルックアップテ
ーブルの構成方法
【請求項の数】 11
【発明者】
 【住所又は居所】 (省略)
 【氏名】 末吉 敏則
【発明者】
 【住所又は居所】 (省略)
 【氏名】 飯田 全広
【特許出願人】
 【識別番号】 396023993
 【氏名又は名称】 株式会社半導体理工学研究センター
【代理人】
 【識別番号】 100077517
 【弁理士】
 【氏名又は名称】 石田 敬
 【電話番号】 03-5470-1900
【選任した代理人】
 【識別番号】 100092624
 【弁理士】
 【氏名又は名称】 鶴田 準一

【選任した代理人】
【識別番号】 100100871
【弁理士】
【氏名又は名称】 土屋 繁

【選任した代理人】
【識別番号】 100082898
【弁理士】
【氏名又は名称】 西山 雅也

【選任した代理人】
【識別番号】 100081330
【弁理士】
【氏名又は名称】 樋口 外治

【手数料の表示】
【予納台帳番号】 036135
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9903088

【ブルーフの要否】 要

【書類名】	出願審査請求書
【整理番号】	0100295
【提出日】	平成13年 6月29日
【あて先】	特許庁長官 及川 耕造 殿
【出願の表示】	
【出願番号】	特願2001-199644
【請求項の数】	11
【請求人】	
【識別番号】	396023993
【氏名又は名称】	株式会社半導体理工学研究センター
【代理人】	
【識別番号】	100077517
【弁理士】	
【氏名又は名称】	石田 敬
【電話番号】	03-5470-1900
【手数料の表示】	
【予納台帳番号】	036135
【納付金額】	106,300円
【プルーフの要否】	要

検索報告書

書誌事項

指導者名	木南 仁	指導者コード	L082
検索者名	吉村 邦比古	検索者コード	K755
レコード種別	161		
テーマコード	5J042		
特許出願の番号	特願2001-199644		
外注管理番号	2003147965		
納品種別	1	1：通常 2：クロス 3：対話対象 4：クロス・対話対象	
対話実施日			
初期評価指定	1	1：通常 2：初期評価	
検索日	2004年 3月12日		
検索報告書作成日	2004年 3月15日		
まとめ種別	無し		

1. 本願発明の特徴

本願発明の特徴を表す図面番号：6 図

<<本願発明の特徴>>

構成：

請求項(1)複数のLUTユニット、内部構成を制御する手段を備えたM入力N出力のルックアップテーブル。

請求項(2) (1)に於いて構成制御手段はLUTユニットの入出力信号を選択する複数セレクタ、これを制御し

複数ユニットの構成を規定するセレクタ制御手段を備える。

請求項(3) (2)のセレクタ制御手段はメモリを備えこのデータに基づき制御。

請求項(4) (3)のセレクタの少なくとも一つはLUTユニットの入出力に設けられた入力信号及び出力信号セレ

クタを備えメモリデータによって制御される。

請求項(5) (1)においてM=6、N=3

請求項(6) (5)のLUTは8つの3入力1出力のユニットを備える。

請求項(7) (5)のLUT4つの3入力2出力LUTユニットを備える。

請求項(8) (1)乃至(7)のLUT及び複数論理ブロック、ブロックに接続される複数配線、配線交差点の複数スイ

ッチ、ブロックI/Oと配線間の接続ブロック、外部との外部との I / O ブロックを備えたプログラマブル論理

回路装置。

請求項(9) (1)の構成方法。

請求項(10) (9)に於いて複数 L U T ユニットの入出力信号はLUT内に格納されたデータに応じて選択制御。

請求項(11) (9)に於いて少なくとも一つのLUTユニットの入出力信号は格納データ又は入力信号の所定関数に

より選択制御される。

目的：(12)LUTの面積、消費電力の低減。

2． 検索論理式

年月範囲： 年 月 日～2001年 6月29日

N o .	クレーム N o .	テーマコード	検索論理式	件数
1	1-11	5J042	H03K19/177*[(L U T+ルック, 1C, アップ)/TX+?? L U T+??ルックアップ??ルック・アップ]	67
2	1-11	無テーマ	(L U T+ルック, 1C, アップ)/TI-1	153
3	1-11	5F064	[(L U T+ルック, 1C, アップ)/TX+?? L U T+??ルックアップ??ルック・アップ]-1-12	65

スクリーニング件数合計： 285

3． スクリーニングサーチの結果（提示文献毎の表示）

N o .	提示文献	代表 カテ ゴリ	式N o .
1	特開平09-181598号公報	A	1
2	特開平08-237109号公報	A	1
3	特開平10-078861号公報	A	2
4	特開平04-335453号公報	A	2
5	特開昭64-072197号公報	A	2

提示文献数： 5

4. スクリーニングサーチの結果（クレーム別形式）

クレーム N o .	文献 N o .	カテ ゴリ	関連 個所	本願発明との対比相違点及び発見できなかった構成について
1-11	1	A	P3-5 F3-7	(1)' 複数LUTを並列、直列に接続して論理機能の数に対応させる例を従来例として示し伝播速度の点で不利としている。発明としてLUTとデコーダに入力を分割してセレクタで両者の出力を併せる方式を採っている。本願もLUT、デコーダ、セレクタの接続の構成の自由度を増したものでこの三者の機能は似たようなものである。
1-11	2	A	P6F1 0	(1)' 文献1 とほぼ同じだが図10にはLUT2個とデコーダをセレクタで結合しこれをNANDでさらに結合した例。
1-11	3	A	P2,3 F1	(1)" メモリの有効活用のため2つのLUTを従属関係にしてフラグで制御する。本願の考え方と同じと思われる。
1-11	4	A	P2F1	(1)" LUT用メモリ低減のためアドレスを分離し各メモリにアクセスしその結果を他のメモリで加算。
1-11	5	A	P1-3 F3,4 ,7	(1)" LUTの例としてマトリックス状に配置されたメモリを各出力を次の入力とした空間回転用ルックアップ方式と本願に近い出力が次段のアドレスとなる縦続型が示されているが詳細が理解出来ない。

5. 備考（検索者用）

LUTは文献3で見られるようにMUX、セレクタ、デコーダとメモリとの組合せと考えられる。

拒絶理由通知書

特許出願の番号	特願 2 0 0 1 - 1 9 9 6 4 4	
起案日	平成 1 6 年 4 月 7 日	
特許庁審査官	彦田 克文	9 1 8 2 5 X 0 0
特許出願人代理人	石田 敬（外 4 名） 様	
適用条文	第 2 9 条第 2 項、第 3 6 条	

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から 6 0 日以内に意見書を提出して下さい。

理 由

A. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記 of 刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第 2 9 条第 2 項の規定により特許を受けることができない。

記

<刊行物一覧>

1. 特開平 8 - 2 3 7 1 0 9 号公報
2. 特開平 3 - 6 3 8 4 6 号公報

・請求項 1 について：対応する刊行物は 1
(備考)

刊行物 1 の図 7 とその説明文（明細書本文第 1 4 欄）には、以下のような発明が記載されている。

複数の L U T ユニット（3 0 2, 3 0 4）と、該複数の L U T ユニットによる内部構成を制御する内部構成制御手段（マルチプレクサ 3 0 6）とを備えることを特徴とするルックアップテーブル（P L C プログラマブルロジックセル 3 0 0）。

本願請求項 1 に係る発明と刊行物 1 に記載された上記発明とに、格別な相違は認められない。

・請求項2について：刊行物は1、2
(備考)

本願請求項2に係る発明と刊行物1の図7に記載された前記発明を比較すると、両者には次に挙げるような相違点が認められる。

すなわち、本願請求項2に係る発明では、「内部構成制御手段」として「複数のLUTユニットの入出力信号を選択する複数のセクタ」を用いているのに対し、刊行物1の図7に記載された前記発明では、複数のLUTユニットの出力信号を選択するセクタ(306)のみを用いている点。

しかし、刊行物2の第1図と説明文(本文第3頁右上欄第17行～左下欄第16行)にも記載されているように、LUTユニット(14)の入力段にセクタ(12)を設けることによって、該LUTユニットへの入力信号を選択可能にすることは周知技術である。

この周知技術を、刊行物1の図7に記載された前記発明に適用すること(すなわち、刊行物1の図7に記載された発明において、LUTユニット302および304の各LUTユニットの入力段に、入力信号を選択するセクタを設けること)に、格別な困難性は認められないから、本願請求項2に係る発明は、刊行物1記載の発明と刊行物2記載の周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

・請求項3：刊行物は1、2
(備考)

一般にセクタを制御するため信号として、メモリに格納されたデータを用いることは、例示するまでもなく周知技術である。

よって、本願請求項3に係る発明も、刊行物1記載の発明と刊行物2記載の周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

・請求項4：刊行物は1、2
(備考)

請求項4に係る発明も、刊行物1記載の発明と刊行物2記載の周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

詳細は、この拒絶理由通知における請求項1～3に関する備考欄を参照されたい。

・請求項5：刊行物は1、2
(備考)

ルックアップテーブルにおいて、入力信号の数を何本にするか、そして出力信号の数を何本にするかは、当業者が必要に応じて適宜決定すべき設計事項と認められる。

- ・請求項 6、7：刊行物は 1、2
(備考)

請求項 6、7 に記載された事項は、いずれも当業者が必要に応じてなし得る設計的事項の範囲を超えるものではないと認められる。

- ・請求項 8：刊行物は 1、2
(備考)

請求項 8 に記載されているような構成を持つプログラマブル論理回路装置は、例示するまでもなく周知技術である。

- ・請求項 9：刊行物は 1、2
(備考)

刊行物 1 の図 7 とその説明文（明細書本文第 14 欄）には、以下のような発明が記載されている。

複数の LUT ユニット（302、304）を準備し、該複数の LUT ユニットの出力信号を選択制御して（マルチプレクサ 306 の動作を参照。）所定の内部構成モードを設定するようにしたことを特徴とするルックアップテーブルの構成方法。

本願請求項 9 に係る発明と刊行物 1 の図 7 に記載された上記発明を比較すると、両者には次に挙げるような相違点が認められる。

すなわち、本願請求項 9 に係る発明では、「複数の LUT ユニットの入出力信号を選択制御」する構成が用いているのに対し、刊行物 1 の図 7 に記載された前記発明では、複数の LUT ユニットの出力信号のみを選択制御している点。

しかし、刊行物 2 の第 1 図と説明文（本文第 3 頁右上欄第 17 行～左下欄第 16 行）にも記載されているように、LUT ユニット（14）の入力信号を選択制御する構成（マルチプレクサ 12 の動作を参照。）を採用することは周知技術である。

この周知技術を、刊行物 1 の図 7 に記載された前記発明に適用すること（すなわち、刊行物 1 の図 7 に記載された発明において、LUT ユニット 302 および 304 の各 LUT ユニットの入力信号を選択制御する構成を追加すること）に、格別な困難性は認められないから、本願請求項 9 に係る発明は、刊行物 1 記載の発明と刊行物 2 記載の周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

- ・請求項 10：刊行物は 1、2

(備考)

一般に信号の選択制御のためのデータとして、装置内の記憶手段に格納されたデータを用いることは、例示するまでもなく周知技術である。

・請求項 1 1 : 刊行物は 1、2

(備考)

一般に信号の選択制御のためのデータとして、装置内の記憶手段に格納されたデータを用いることは、例示するまでもなく周知技術である。

刊行物 1 の図 7 に記載された発明に、刊行物 2 の第 1 図に記載された周知技術を適用する際に、さらにこの周知技術（信号の選択制御のためのデータとして、装置内に格納されたデータを用いる技術）を適用することに、格別な困難性は認められないから、本願請求項 1 1 に係る発明は、刊行物 1 記載の発明と刊行物 2 記載の周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

(補正の示唆：

請求項 4 および 1 1 については、下記のような補正をそれぞれ施すことによって、刊行物 1 や 2 との差違が明確になるものと思われる。

・請求項 4 : 「前記メモリに格納するデータおよび／または前記入力信号に応じて制御され」という記載を「前記メモリに格納するデータおよび前記入力信号に応じて制御される」と補正する。(つまり、「／または」という言葉を削除する。)

・請求項 1 1 : 「それぞれ当該ルックアップテーブル内に格納されるデータおよび／または入力信号の所定の関数により選択制御される」とあるを、「それぞれ当該ルックアップテーブル内に格納されるデータおよび入力信号の所定の関数により選択制御される」と補正する。(すなわち、「／または」という言葉を削除する。)

なお、上記の補正等の示唆は法律的效果を生じさせるものではなく、拒絶理由を解消するための一案である。明細書等をどのように補正するかは出願人が決定すべきものである。)

B. この出願は、特許請求の範囲の記載が下記の点で、特許法第 3 6 条第 6 項第 2 号に規定する要件を満たしていない。

記

請求項 1 1 は、請求項 9 を引用する形式の請求項であるが、請求項 9 の発明が「方法」の発明であるのに対し、この請求項 9 を引用している請求項 1 1 の発明が「物」の発明として表現されているために、請求項 1 1 に係る発明のカテゴリーが不明瞭となっている。

(補正の示唆：請求項 1 1 の文末「・・・ことを特徴とするルックアップテーブル。」を「・・・ことを特徴とするルックアップテーブルの構成方法。」と補正すれば、この記載不備は解消すると認められる。)

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

先行技術文献調査結果の記録

・調査した分野 I P C 第 7 版
H 0 3 K 1 9 / 0 0

- ・先行技術文献
- 特開平 9 - 1 8 1 5 9 8 号公報（図 2 参照。刊行物 1 と同様な技術が記載。）
- 実開昭 6 2 - 1 9 5 8 6 1 号公報（第 1 図のセクタ 1 5、2 0 を参照。刊行物 1 や 2 と類似の技術が記載。）
- 特開平 1 - 1 8 3 6 8 5 号公報（第 1 図のスイッチ手段 4 0 0 参照。刊行物 2 と同様な技術が記載。）
- 特開昭 6 4 - 8 6 2 8 0 号公報（第 1 図参照。刊行物 1 と同様な技術が記載。）
- 特開昭 6 2 - 2 8 8 8 9 1 号公報（第 1 図のセクタ 2 0 参照。同上。）

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

部長／代理	審査長／代理	審査官	審査官補
	石井 研一	彦田 克文	
	8 1 2 4	9 1 8 2	

【書類名】 手続補正書
 【整理番号】 2001199644
 【提出日】 平成16年 5月26日
 【あて先】 特許庁審査官 彦田 克文 殿
 【事件の表示】
 【出願番号】 特願2001-199644
 【補正をする者】
 【識別番号】 396023993
 【氏名又は名称】 株式会社半導体理工学研究センター
 【代理人】
 【識別番号】 100077517
 【弁理士】
 【氏名又は名称】 石田 敬
 【電話番号】 03-5470-1900
 【発送番号】 132270

【手続補正1】

【補正対象書類名】 明細書
 【補正対象項目名】 特許請求の範囲
 【補正方法】 変更
 【補正の内容】

【特許請求の範囲】

【請求項1】 M入力N出力のルックアップテーブルであって、
 複数のLUTユニットと、
 該複数のLUTユニットによる内部構成を制御する内部構成制御手段とを備え、
該内部構成制御手段は、
前記複数のLUTユニットの入出力信号を選択する複数のセクタと、
該各セクタを制御して前記複数のLUTユニットによる構成を規定するセクタ制
御手段とを備え、
該セクタ制御手段は、メモリを備え、該メモリに格納するデータに応じて前記複数の
セクタを制御し、
前記セクタは、
少なくとも1つの前記LUTユニットの入力に設けられて入力信号の選択を行う入力
信号選択用セクタと、
前記LUTユニットの出力に設けられて出力信号の選択を行う出力信号選択用セク
タとを備え、該入力信号選択用セクタおよび該出力信号選択用セクタは、前記メモリ
に格納するデータおよび前記入力信号に応じて制御されることを特徴とするルックアップ
テーブル。
 【請求項2】 請求項1に記載のルックアップテーブルにおいて、前記M入力N出力
のルックアップテーブルは、6入力3出力のルックアップテーブルであることを特徴とす
るルックアップテーブル。
 【請求項3】 請求項2に記載のルックアップテーブルにおいて、前記6入力3出力
のルックアップテーブルは、8つの3入力1出力LUTユニットを備えることを特徴とす
るルックアップテーブル。
 【請求項4】 請求項2に記載のルックアップテーブルにおいて、前記6入力3出力
のルックアップテーブルは、4つの3入力2出力LUTユニットを備えることを特徴とす
るルックアップテーブル。
 【請求項5】 複数の論理ブロックと、該各論理ブロックに接続される複数の配線と
、該各配線の交差個所に設けられた複数のスイッチ手段と、該各論理ブロックの入出力線
と前記各配線との間に設けられた接続ブロックと、外部との入出力を行うI/Oブロック
とを備えるプログラマブル論理回路装置であって、

前記論理ブロックは、請求項 1～4 のいずれか 1 項に記載のルックアップテーブルを備えることを特徴とするプログラマブル論理回路装置。

【請求項 6】 M入力N出力のルックアップテーブルを構成する方法であって、
複数の LUT ユニットの準備し、
該複数の LUT ユニットの入出力信号を選択制御して所定の内部構成モードを設定し、
少なくとも 1 つの前記 LUT ユニットに入力する信号、および、該 LUT ユニットが出力する信号は、それぞれ当該ルックアップテーブル内に格納されるデータおよび入力信号の所定の関数により選択制御されることを特徴とするルックアップテーブルの構成方法。

【手続補正2】

【補正対象書類名】 明細書
 【補正対象項目名】 0006
 【補正方法】 変更
 【補正の内容】
 【0006】

【課題を解決するための手段】

本発明の第 1 の形態によれば、M入力N出力のルックアップテーブルであって、複数の LUT ユニットと、該複数の LUT ユニットによる内部構成を制御する内部構成制御手段とを備え、該内部構成制御手段は、前記複数の LUT ユニットの入出力信号を選択する複数のセレクトと、該各セレクトを制御して前記複数の LUT ユニットによる構成を規定するセレクト制御手段とを備え、該セレクト制御手段は、メモリを備え、該メモリに格納するデータに応じて前記複数のセレクトを制御し、前記セレクトは、少なくとも 1 つの前記 LUT ユニットの入力に設けられて入力信号の選択を行う入力信号選択用セレクトと、前記 LUT ユニットの出力に設けられて出力信号の選択を行う出力信号選択用セレクトとを備え、該入力信号選択用セレクトおよび該出力信号選択用セレクトは、前記メモリに格納するデータおよび前記入力信号に応じて制御されることを特徴とするルックアップテーブルが提供される。

【手続補正3】

【補正対象書類名】 明細書
 【補正対象項目名】 0007
 【補正方法】 変更
 【補正の内容】
 【0007】

本発明の第 2 の形態によれば、複数の論理ブロックと、該各論理ブロックに接続される複数の配線と、該各配線の交差個所に設けられた複数のスイッチ手段と、該各論理ブロックの入出力線と前記各配線との間に設けられた接続ブロックと、外部との入出力を行う I/O ブロックとを備えるプログラマブル論理回路装置であって、前記論理ブロックは、M入力N出力のルックアップテーブルであって、複数の LUT ユニットと、該複数の LUT ユニットによる内部構成を制御する内部構成制御手段とを有するルックアップテーブルを備え、該内部構成制御手段は、前記複数の LUT ユニットの入出力信号を選択する複数のセレクトと、該各セレクトを制御して前記複数の LUT ユニットによる構成を規定するセレクト制御手段とを備え、該セレクト制御手段は、メモリを備え、該メモリに格納するデータに応じて前記複数のセレクトを制御し、前記セレクトは、少なくとも 1 つの前記 LUT ユニットの入力に設けられて入力信号の選択を行う入力信号選択用セレクトと、前記 LUT ユニットの出力に設けられて出力信号の選択を行う出力信号選択用セレクトとを備え、該入力信号選択用セレクトおよび該出力信号選択用セレクトは、前記メモリに格納するデータおよび前記入力信号に応じて制御されることを特徴とするプログラマブル論理回路装置が提供される。

【手続補正4】

【補正対象書類名】 明細書
 【補正対象項目名】 0008
 【補正方法】 変更
 【補正の内容】
 【0008】

本発明の第3の形態によれば、M入力N出力のルックアップテーブルを構成する方法であって、複数のLUTユニットを準備し、該複数のLUTユニットの入出力信号を選択制御して所定の内部構成モードを設定し、少なくとも1つの前記LUTユニットに入力する信号、および、該LUTユニットが出力する信号は、それぞれ当該ルックアップテーブル内に格納されるデータおよび入力信号の所定の関数により選択制御されることを特徴とするルックアップテーブルの構成方法が提供される。

本発明によれば、LUT内にモード変更用のメモリを設けることにより、従来のFPGAで使用されるLUTと異なり、複数の入力数および出力数を有するLUTを実現することができる。これにより、分割された回路が必要とする入力信号数に適したLUTで構成することが可能となり、実装面積の増加を防ぐことができる。また、同時に動作しない回路を同一のLUT内に重ね合わせて実装し、これらを切り替えながら動作させることで、実装面積だけでなく消費電力も大幅に削減することができる。

【手続補正5】

【補正対象書類名】 明細書
 【補正対象項目名】 0037
 【補正方法】 変更
 【補正の内容】
 【0037】

図11は図9の6入力3出力LUTにおける3入力2出力LUTユニットの他の例を示すブロック図である。

図11に示すLUTユニット831は、アドレスデコーダ8314、および、2組の8ビットのメモリユニット群M81～M88およびM91～M98を備えている。アドレスデコーダ8314は、3ビットの入力信号A、B、Cをデコードして2組のメモリユニット群M81～M88およびM91～M98の各1つを指定し、それぞれデータ（出力信号Q：セクタ826の入力『0』に供給される信号と、セクタ826の入力『1』に供給される信号）を出力する。

【手続補正6】

【補正対象書類名】 明細書
 【補正対象項目名】 0038
 【補正方法】 変更
 【補正の内容】
 【0038】

図12は図9の6入力3出力LUTにおける3入力2出力LUTユニットのさらに他の例を示すブロック図である。

図12に示すLUTユニット831は、アドレスデコーダ8315、セクタ8316、8317、および、8組の2ビットのメモリユニット群M111、M121；M112、M122；…；M118、M128を備えている。アドレスデコーダ8315は、1ビットの入力信号Aをデコードして8組のメモリユニット群M111、M121～M118、M128の各1つを指定し、さらに、2ビットの入力信号B、Cによって、メモリユニット群M111、M121～M114、M124の内の一組のデータ（出力信号Q：セクタ826の入力『0』に供給される信号）と、メモリユニット群M115、M125～

M118, M128の内の一組のデータ（セクタ826の入力『1』に供給される信号）とを選択して出力する。

【手続補正7】

【補正対象書類名】 明細書
【補正対象項目名】 0040
【補正方法】 変更
【補正の内容】
【0040】

この図13に示すALU回路（ALU16）90に対して、従来のFPGAで使用されている3入力1出力LUTから7入力1出力LUT（横軸：3LUT～7LUT）に実装した場合と、本発明に係るFPGAで使用される図6に示すような6入力3出力LUT（8つの3入力1出力LUT731～738、モード変更用メモリ71およびセクタ721～726を備える構成：3LUT*8）および図9に示すような6入力3出力LUT（4つの3入力2出力LUT831～834、モード変更用メモリ81およびセクタ821～826を備える構成：4LUT*4）に実装した場合とを比較して、次の図14および図15に示す。なお、ALU16は、例えば、配線の切り替えを行うデータセクタ（LUTを使用する必要がない回路）、ランダムロジック（LUTで構成される回路）、および、フリップフロップ（論理ブロックの固定部分の回路）を備えている。また、図14および図15の比較は、LUTの構成以外の条件が実質的に同一として行われているのはいうまでもない。

〔理由A〕この出願の下記の請求項に係る発明は、その出願前日本国又は外国において頒布された下記の記事に記載された発明に基づいて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない、並びに、

- ・請求項 1 : 引用文献 1
- ・請求項 2 ~ 11 : 引用文献 1、2

1. 特開平08-237109号公報
2. 特開平03-063846号公報

(2) そこで、出願人にありましては、本意見書と同時提出の**手続補正書**により、上記拒絶理由を解消すべく「**特許請求の範囲**」および「**発明の詳細な説明**」を補正致しました。

さらに、出願時の請求項5～8は、実質的に新たな請求項1に従属する新たな請求項2～5と補正し、また、出願時の請求項10は削除致しました。

(3) 上述した各請求項の補正により、特許法第29条第2項の規定に基づく拒絶理由、並びに、特許法第36条第6項第2号の規定に基づく拒絶理由は解消されたものと考えます。

(4) 従いまして、本願の請求項 1 ～ 6 に係る発明は、特許されるべきものと確信致します。

お手数ながら、同時提出の手續補正書を御高覧の上、再度、ご審査賜りますようお願い申し上げます。

以上

特許査定

特許出願の番号
起案日
特許庁審査官
発明の名称

請求項の数
特許出願人
代理人

特願 2 0 0 1 - 1 9 9 6 4 4
平成 1 6 年 6 月 1 6 日
彦田 克文 9 1 8 2 5 X 0 0
ルックアップテーブル、ルックアップテーブルを
備えるプログラマブル論理回路装置、および、ル
ックアップテーブルの構成方法
6
株式会社半導体理工学研究センター
石田 敬（外 4 名）

この出願については、拒絶の理由を発見しないから、特許査定する。

部長／代理	審査長／代理	審査官	審査官補	分類確定官
	石井 研一	彦田 克文		石井 研一
	8 1 2 4	9 1 8 2		8 1 2 4

- | | |
|--------------|----|
| 1. 出願種別 | 通常 |
| 2. 参考文献 | 有 |
| 3. 特許法第30条適用 | 無 |
| 4. 発明の名称の変更 | 無 |

5. 国際特許分類 (IPC)

H 0 3 K	1 9 / 1 7 7	,
H 0 1 L	2 1 / 8 2	A

6. 併記特許分類

版コード 4

7. 菌寄託

8. 分割・変更の遡及を認めない旨の表示

特許査定（特許査定メモ）

特許出願の番号

特願2001-199644

1. 調査した分野（IPC第7版，DB名）

H03K 19／177
H01L 21／82

2. 参考特許文献

特開平08-237109	(JP, A)
特開平03-063846	(JP, A)
特開平09-181598	(JP, A)
特開平01-183685	(JP, A)
特開昭64-086280	(JP, A)
特開昭62-288891	(JP, A)
実開昭62-195861	(JP, U)

3. 参考図書雑誌