

Complaint

July [hw:] 29, 2022

To: Department of Intellectual Property Rights, Tokyo District Court

Attorney for Plaintiff, Yuzo Wada [seal:] Seal of Attorney, Yuzo
Wada

Same as above, Attorney, Naoyuki Goto [seal:] Seal of Attorney,
Naoyuki Goto

Same as above, Patent Attorney Taro Yaguchi [seal:] Seal of Patent
Attorney, Taro Yaguchi

Indication of Parties

As noted in the attached List of Parties

Cases of claims for damages, etc.

Value of the Litigated Items: 100 million yen

Stamp for affixing 320,000 yen

Table of Contents

Purpose of Claim.....	6
Cause of Claim.....	6
Section 1 Party	6
1 Plaintiff.....	6
2 Defendant Intel Corporation.....	6
3 Defendant Intel K.K.	6
Section 2 Plaintiff's patent rights.....	7
1 Patent Rights.....	7
2 Details of the Patent Rights	7
3 Configuration of the Case Invention	9
(1) Configuration of the Case Invention 1	9
(2) Configuration of the Case Invention 5	10
(3) Configuration of the Case Invention 6	10
4 Overview of the Case Invention	11
(1) Technical background	11
(2) Purpose of the Case Invention	13
(3) Summary of the Case Invention.....	14
Section 3 Defendants' Infringement	16
1 Defendants' manufacture and sale of Defendants' Product	16
2 Configuration of Defendants' Product and Defendants' Method.....	17
3 Comparison between Case Invention 1 and Defendants' Product and infringement of Patent Right 1 (direct infringement).....	19
(1) Configuration Requirement 1A and Configuration 1a	19
(2) Configuration Requirement 1B and Configuration 1b	19
(3) Configuration Requirement 1C and Configuration 1c	20
(4) Configuration Requirement 1D, 1D-1 and 1D-2 and Configurations 1d, 1d-1 and 1d -2..	21
(5) Configuration Requirement 1E and Configuration 1e	22
(6) Configuration Requirements 1F, 1F-1 and 1F-2 and Configurations 1f, 1f-1 and 1f-2	22
(7) Configuration Requirements 1G and Configuration 1g	23
(8) Configuration Requirements 1H and Configuration 1h	24
(9) Summary	25
4 Comparison between Case Invention 5 and Defendants' Product and infringement of Patent Right 5 (direct infringement).....	25
(1) Configuration Requirement 5A and Configuration 5a	25
(2) Configuration Requirement 5B and Configuration 5b	25
(3) Configuration Requirement 5C and Configuration 5c	26
(4) Configuration Requirements 5D and 5d.....	26

(5) Configuration Requirement 5E and Configuration 5e	27
(6) Configuration Requirements 5F and 5f.....	27
(7) Configuration Requirements 5G and Configuration 5g	28
(8) Configuration Requirements 5H and Configuration 5h	28
(9) Summary	29
5 Comparison between Case Invention 6 and the Defendants' Method and infringement of Patent Right 6(indirect infringement).....	29
(1) Configuration Requirement 6A and Configuration 6a	29
(2) Configuration Requirement 6B and Configuration 6b	29
(3) Configuration Requirement 6C and Configuration 6c	30
(4) Configuration Requirement 6D and Configuration 6d.....	30
(5) Configuration Requirement 6E and Configuration 6e	31
(6) Summary	32
Section 4 Right to Claim for Compensatory Damages and Right to Claim Unjust Enrichment ...	32
1 Right to Claim for Compensatory Damages.....	32
2 Right to Claim Unjust Enrichment	32
Section 5 Conclusion	33
Method of Evidence	33
Attached Documents	33
List of Defendants' Products	35
Section 1 Defendants' Product 1 (Stratix II Series) (Plaintiff's Exhibit 5).....	35
Section 2 Defendants' Product 2 (Stratix II GX Series) (Plaintiff's Exhibit 6).....	35
Section 3 Defendants' Product 3 (Stratix III series) (Plaintiff's Exhibit 7)	35
Section 4 Defendants' Product 4 (Stratix IV Series) (Plaintiff's Exhibit 8)	35
Section 5 Defendants' Product 5 (Stratix V Series) (Plaintiff's Exhibit 9)	35
Section 6 Defendants' Product 6 (Stratix 10 Series) (Plaintiff's Exhibit 10)	35
Section 7 Defendants' Product 7 (Arria GX Series) (Plaintiff's Exhibit 11).....	36
Section 8 Defendants' Product 8 (Arria II series) (Plaintiff's Exhibit 12).....	36
Section 9 Defendants' Product 9 (Arria V series) (Plaintiff's Exhibit 13)	37
Section 10 Defendants' Product 10 (Arria 10 Series) (Plaintiff's Exhibit 14).....	37
Section 11 Defendants' Product 11 (Cyclone V Series) (Plaintiff's Exhibit 15).....	38
Section 12 Defendants' Product 12 (Cyclone 10 Series) (Plaintiff's Exhibit 16).....	38
Section 13 Defendants' Product 13 (Agilex Series) (Plaintiff's Exhibit 17-1 to Plaintiff's Exhibit 17- 3).....	38
Defendants' Product/Defendants' Method Description.....	40
Section 1 Configuration common to Defendants' Product	40
1 Overall configuration of the ALM for Defendants' Product	40
2 Combination of LUTs that can be achieved with ALM modules.....	42
3 Concept of Configuring a combined LUT from a plurality of LUTs	44
4 Switching of input signal and output signal	47
(1) Introduction	47

(2)	One independent 6LUT (first LUT configuration mode).....	49
(3)	When 2 independent 4LUTs are configured (second LUT configuration mode).....	51
(4)	Configuration mode of 5LUT and 3LUT (third LUT configuration mode).....	52
(5)	Select input/output signals by multiplexer and control multiplexer.....	53
5	Defendants' Product Configuration 1	57
(1)	Configurations 1a and 1h	57
(2)	Configurations 1b and 1c	57
(3)	Configurations 1d, 1d-1, and 1d-2	58
(4)	Configuration 1e.....	58
(5)	Configuration 1f, 1f-1, and 1f-2.....	58
(6)	Configuration 1 g	59
(7)	Configuration of Defendants' Product	59
6	Defendants' Product Configuration 5.....	60
(1)	Configuration 5a.....	60
(2)	Configuration 5b	61
(3)	Configurations 5c and 5d	62
(4)	Configuration 5e.....	63
(5)	Configuration 5f and 5h	64
(6)	Configuration 5g	64
(7)	Configuration of Defendants' Product	64
7	Configuration 6 of Defendants' Method	64
(1)	Configuration 6a.....	64
(2)	Configuration 6b	65
(3)	Configuration 6c.....	65
(4)	Configuration 6d	65
(5)	Configuration 6e.....	66
(6)	Configuration of Defendants' Method	66
Section 2	Description of each Defendants' Product	66
1	Defendants' Product 1 (Stratix II series) (Plaintiff's Exhibit 5).....	66
2	Defendants' Product 2 (Stratix II GX Series) (Plaintiff's Exhibit 6)	69
3	Defendants' Product 3 (Stratix III series) (Plaintiff's Exhibit 7).....	71
4	Defendants' Product 4 (Stratix IV Series) (Plaintiff's Exhibit 8).....	73
5	Defendants' Product 5 (Stratix V series) (Plaintiff's Exhibit 9).....	76
6	Defendants' Product 6 (Stratix 10 series) (Plaintiff's Exhibit 10).....	79
7	Defendants' Product 7 (Arria GX series) (Plaintiff's Exhibit 11)	81
8	Defendants' Product 8 (Arria II series) (Plaintiff's Exhibit 12)	83
9	Defendants' Product 9 (Arria V series) (Plaintiff's Exhibit 13).....	85
10	Defendants' Product 10 (Arria 10 series) (Plaintiff's Exhibit 14).....	89
11	Defendants' Product 11 (Cyclone V series) (Plaintiff's Exhibit 15).....	90

12	Defendants' Product 12 (Cyclone 10 series) (Plaintiff's Exhibit 16).....	92
13	Defendants' Product 13 (Agilex series) (Plaintiff's Exhibit 17-1 to Plaintiff's Exhibit 17-3)	93
	Index of the Parties	94

Purpose of Claim

Following orders;

- 1 The Defendants shall jointly and severally pay to the Plaintiff 100 million yen and the amount calculated at a rate of 3% per annum from the day following the date of service of this Complaint to the date of payment; and
 - 2 Litigation expenses shall be borne by the Defendants;
- and a provisional execution declaration to such effect are requested.

Cause of Claim

Section 1 Party

1 Plaintiff

The Plaintiff is a professor at the Faculty of Advanced Science and Technology, Kumamoto University. For many years, Plaintiff has been involved in research and development on field programmable gate array (Field - programmable gate array, hereinafter referred to as “FPGA”.) and other computer-related matters.

2 Defendant Intel Corporation

Defendant Intel Corporation (hereinafter referred to as “Defendant Intel US”.) is a company established under the laws of the United States, and conducts business such as manufacturing and sales of CPU (central computing processing equipment), FPGA, and other computer-related semiconductor products, etc. worldwide.

3 Defendant Intel K.K.

Defendant Intel K.K. (hereinafter referred to as “Defendant Intel Japan”.) is a wholly owned subsidiary of Defendant Intel US, a corporation incorporated under the laws of Japan and wholly owned by Defendant Intel US. Defendant Intel Japan primarily conducts business in

Japan, including the development and provision of technology and products, and the sale of products of Defendant Intel US.

Section 2 Plaintiff's patent rights

1 Patent Rights

The Plaintiff is the inventor of the patented invention referred to as Patent 3,580,785 below (hereinafter referred to as the "Patent in this Case"). Plaintiff received the patent rights pertaining to the Patent in this Case (hereinafter referred to as the "Patent Rights".) from Semiconductor Technology Academic Research Center, Inc. on July 29, 2014, together with all rights related to the rights under the Patent Rights, and became the patent holder (Plaintiff's Exhibit 1). The Patent Rights expired on June 29, 2021.

Name of Invention	LOOK UP TABLE, PROGRAMMABLE LOGIC CIRCUIT DEVICE HAVING LOOK UP TABLE, AND THE LOOK UP TABLE CONFIGURATION METHOD
Patent number	Patent number 3,580,785
Application No.	Patent application 2001-199644
Date of application	June 29, 2001
Publication number	Japanese Unexamined Patent Application Publication 2003-018000
Publication Date	January 17, 2003
Date of Registration	July 30, 2004
Lifetime Expiration Date	June 29, 2021

2 Details of the Patent Rights

The text of Claims 1, 5 and 6 of the Patent Rights is as follows (Plaintiff's Exhibit 2). Hereinafter, the inventions according to Claims 1, 5, and 6 are referred to as "Case Invention 1", "Case Invention 5", and "Case Invention 6", respectively, and together, they are referred to

as “Case Invention”.

(Claim 1).

A lookup table with M inputs and N outputs, characterized in that the table is equipped with

a plurality of LUT units, and

an internal configuration control means for controlling the internal configuration of the plurality of LUT units;

the internal configuration control means comprises

a plurality of selectors for selecting input/output signals of the plurality of LUT units and

a selector control means for controlling each selector to define a configuration of the plurality of LUT units;

the selector control means comprises a memory, and controls the plurality of selectors according to data stored in the memory;

the selector is equipped with

an input signal selection selector provided at the input of at least one LUT unit for selecting an input signal, and

an output signal selection selector that is provided at the output of the LUT unit for selecting an output signal, wherein the input signal selection selector and the output signal selection selector are controlled according to the data stored in the memory and the input signal.

(Claim 5)

A programmable logic circuit device, comprising a plurality of logic blocks; a plurality of wirings connected to each logic block; a plurality of switch means provided at intersections of the wirings; a connection block provided between the input/output line of each logic block and each wiring, and I/O block for external input/output, characterized in that

The logic block comprises the lookup table according to any one of claims 1-4.

(Claim 6)

A method of constructing a look-up table, an M-input N-output lookup table, characterized in that,

multiple LUT units are prepared,

the input/output signals of the plurality of LUT units are selectively controlled to set a predetermined internal configuration mode,

and the signal input to at least one of the LUT units and the signal output by the LUT unit are each selectively controlled by a predetermined function of the data stored in the lookup table and the input signal.”

3 Configuration of the Case Invention

(1) Configuration of the Case Invention 1

The Case Invention 1 is explained as the following structural elements.

1A A lookup table with M inputs and N outputs, characterized in that the table is equipped with

1B a plurality of LUT units, and

1C an internal configuration control means for controlling the internal configuration of the plurality of LUT units;

1D the internal configuration control means comprises

1D-1 a plurality of selectors for selecting input/output signals of the plurality of LUT units, and

1D-2 a selector control means for controlling each selector to define a configuration of the plurality of LUT units;

1E the selector control means comprises a memory, and controls the plurality of selectors according to data stored in the memory;

1F the selector is equipped with

1F-1 an input signal selection selector provided at the input of at least one LUT unit for selecting an input signal, and

1F-2 an output signal selection selector that is provided at the output of the LUT unit for selecting an output signal,

1G wherein the input signal selection selector and the output signal selection selector are controlled according to the data stored in the memory and the input signal.

1H [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

(2) Configuration of the Case Invention 5

The Case Invention 5 is explained as the following structural elements.

5A A programmable logic circuit device, comprising a plurality of logic blocks;

5B a plurality of wirings connected to each logic block;

5C a plurality of switch means provided at intersection of the wirings;

5D a connection block provided between the input/output line of each logic block and each wiring; and

5E I/O block for external input/output,

5F [a programmable logic circuit device] characterized in that

5G the logic block comprises the lookup table according to any one of claims 1 - 4.

5H [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

(3) Configuration of the Case Invention 6

The Case Invention 6 is explained as the following structural elements.

- 6A A method of constructing a look-up table, an M-input N-output lookup table, characterized in that
- 6B multiple LUT units are prepared,
- 6C the input/output signals of the plurality of LUT units are selectively controlled to set a predetermined internal configuration mode, and
- 6D the signal input to at least one of the LUT units and the signal output by the LUT unit are each selectively controlled by a predetermined function of the data stored in the lookup table and the input signal.
- 6E [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

4 Overview of the Case Invention

(1) Technical background

The Case Invention relates to programmable logic circuit devices.

Programmable logic circuit devices are devices that can achieve logic circuits according to various user requirements by electrically programming internal circuits, and are generally referred to as "PLD" and "FPGA" (Patent Specification (refers to the content described in the Plaintiff's Exhibit 2. The same applies hereinafter.) Paragraph [0001]). Programmable logic circuit devices have a circuit to execute the true value that is referred to as a lookup table (hereinafter also referred to as "LUT"), so an overview of LUT is described below.

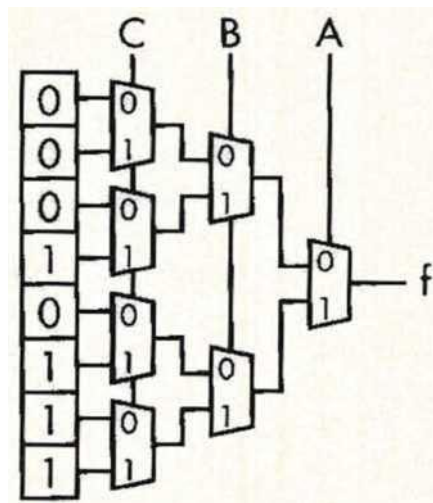
The LUT comprises a memory table defining a logical value that determines what output is to be made to the input signal. The function of the LUT is described below by using the example of an LUT with 3 inputs A, B, and C. For each of these, if the input signal "1" means that the vote is one vote, and the input signal "0" means that the vote against is one vote, consider creating a circuit to adopt a majority vote. In this case, if "1" input signal is 3 or 2, the output must be passed, and if "1" input signal is 1 or 0, it must be rejected. If the passage is shown as "1" and the rejection is shown as "0," the patterns of the output f for the

input signals A to C can be expressed in the following 8 ways (2 to the 3rd power)
(Plaintiff's Exhibit 3). This type of table is referred to as "Truth Table."

A	B	C	f
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

(a) Expression by Truth Table

When the relationship between the input signal and the output with respect to the above truth table is expressed in logic circuits, the following occurs.



(b) Expression by LUT

In this way, a "lookup table" (LUT) is a logic circuit that executes the true value, with a

memory table that stores the logic value shown on the left side of the above figure (those in the figure that are aligned with “0, 0, 0, 1, 0, 1, 1, 1” from the top to the bottom) (Patent Specification Paragraph [0005]).

In the above figure, if C is 0, B is 0, and A is 0, the logic value of “0” at the top appears as the output of f. In other words, if all of A, B, and C are votes against, “0” will be output, which means a rejection. When C is 1, B is 1, and A is 0, the logic value of “1”, which is the 4th value from the top, appears as the output of f. In other words, if A is the vote against and B and C are the votes (in favor), “1”, which means passage, will be output. In order to determine the processing of the above output, it is necessary to prepare the eight cases (2 to the 3rd power) of combination of voting in the same manner as in the truth table, so eight numbers are arranged in the memory table (LUT mask).

The above LUT defines the logic value for one output (f) from 3 inputs (A, B, and C). Therefore, it is an LUT for 3-input 1-output. In addition, for example, in the case of LUT with 4-input 1-output, it is necessary to determine the logic value of 16 cases (2 to the 4th power).

(2) Purpose of the Case Invention

At the time of the invention of the Case Invention, there was a strong desire to reduce the circuit area of LUT (Patent Specification Paragraph [0001]).

Prior to the Case Invention, it was known that increasing the input size of the LUT contributed to speeding up the processing speed, but in exchange, [the field] faced the problem of reduced implementation efficiency. That is, in the conventional FPGA both the number of inputs M and the number of outputs N of the LUT were fixed values (in reality, N was 1), and the implementation of any arbitrary logic circuit was made using a plurality of LUTs divided into M inputs and N outputs (N is 1) circuit units. Therefore, if a circuit with less than M bits input is generated due to circuit division, one LUT must be assigned to the

circuit with less than M bits input, which reduced the implementation efficiency and caused an increase in the mounting area and power consumption (Patent Specification paragraphs [0004] and [0005]).

When implementing a logic circuit in an LUT, it is generally advantageous to reduce the circuit area because increasing the number of inputs in the LUT can reduce the number of LUTs used, but low implementation efficiency will not be advantageous.

The Case Invention was made in light of such circumstances, and was made with the objective of reducing circuit area and reducing power consumption by increasing the implementation efficiency of the LUT, i.e. programmable logic circuit equipment (Patent Specification Paragraph [0005]).

(3) Summary of the Case Invention

The Plaintiff is currently a professor at the Faculty of Advanced Science and Technology, Kumamoto University. When he was studying at the doctoral course of Faculty of Advanced Science and Technology, Kumamoto University, during his research of FPGA, he focused on the fact that the larger the size of the LUT, the larger the size of the unused area (for example, if only 3 inputs are used in the case of 8-input LUT, 5 inputs will be unused), and conceived of a method for effectively utilizing the unused area, which led to the completion of the Case Invention. Hereinafter referred to as “M input” for M units of inputs and “N output” for N units of outputs (M represents the number of inputs and N represents the number of outputs). In addition, the LUT of the M input is referred to as “MLUT” (for example, if it is an LUT of 8 inputs, it is referred to as “8LUT”).

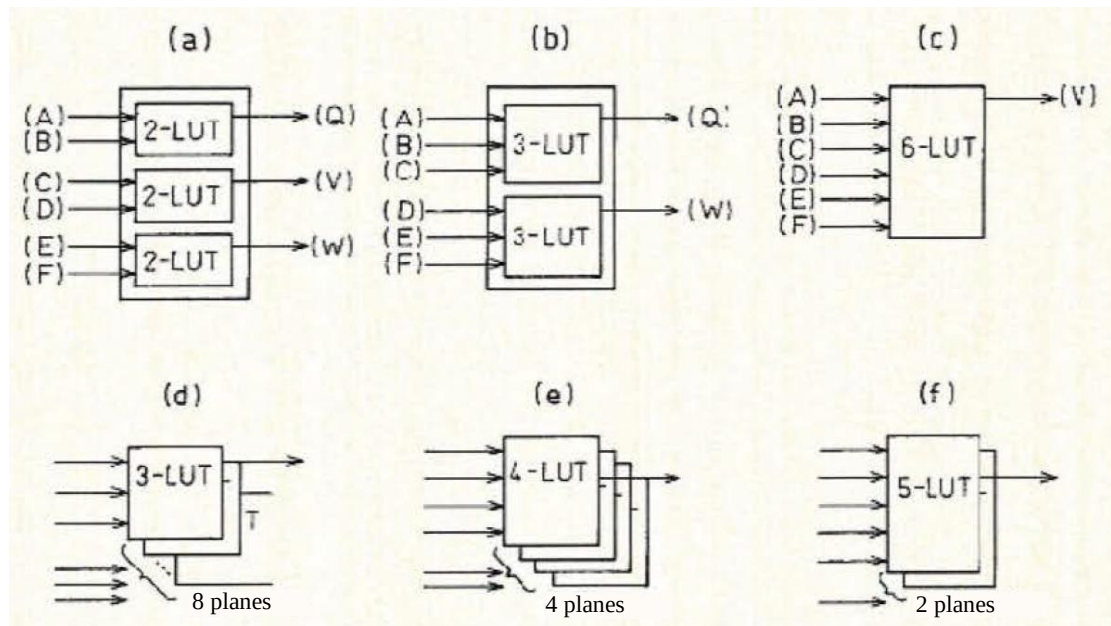
In short, the Case Invention is configured so that the internal configuration mode can be set so that the single LUT with M input N output operates not only as a single LUT but also as a plurality of LUTs (Patent Specification paragraphs [0006] to [0008]). This makes it possible to configure the LUT suitable for the number of input signals required by the divided

circuit, and prevents the increase in the mounting area (Patent Specification paragraph [0008]).

In the embodiment of the Case Invention, a specific example of a configurable internal configuration mode is shown in Figure 3 (below figure) of the Patent Specification. Among these, for example, in the example of Figure 3(a), the internal configuration mode was set to operate by dividing the 6-input 3-output LUT (M input, N output LUT) into three 2-input 1-output LUTs (Patent Specification paragraph [0012]). Figure 3(b) is an example in which the internal configuration mode is set so that a 6-input 3-output LUT (M-input N-output LUT) is divided into two 3-input 1-output LUTs (Patent Specification paragraph [0014]). (Note that figure 3 was rotated 90 degrees to the right for ease of viewing.)

Block diagram showing the internal configuration mode of the 6-input, 3-output LUT shown in Figure 2

Fig. 3



In the case of conventional LUTs, for example, even 6-input 1-output LUTs, in order to realize three 2-input 1-output circuits, it was not possible to divide the circuits within the LUT, so three 6-input 1-output LUTs were required. In addition, in the case of a conventional 6-

input 1-output LUT, two 6-input 1-output LUTs were required to assign two 3-input 1-output circuits to the LUT. However, in the case of the 6-input 3-output LUT, which is an embodiment of the Case Invention, since the internal configuration mode can be set to operate by dividing the circuit, three 2-input 1-output circuits or two 3-input 1-output circuits can be realized with one 6-input 1-output LUT (Patent Specification paragraph [0012]).

As stated above, the Case Invention can increase the implementation efficiency of LUT, and can reduce the mounting area and power consumption, which are the purposes of the Case Invention (Patent Specification paragraphs [0005], [0013]).

Section 3 Defendants' Infringement

1 Defendants' manufacture and sale of Defendants' Product

The Defendants are manufacturing, importing and selling FPGA devices (FPGA and SoC FPGA) including products listed in Appendices List of Defendants' Products (hereinafter referred to as "Defendants' Product") (Plaintiff's Exhibit 4 to Plaintiff's Exhibit 17-3).

Among the Defendants' Product, those manufactured and sold from around 2004 to around December 2015 were manufactured and sold by Altera Corporation (hereinafter referred to as "Altera"). Defendant Intel US acquired and merged with Altera in 2015, and subsequently continued to manufacture and sell FPGA Devices manufactured by Altera as a business of Defendant Intel US to date. The manufacturing and sales period for each Defendants' Product is found to be as follows based on the date of creation of each Defendants' Product description (for descriptions with multiple versions, the date of creation of the earliest version thereof):

Defendants' Product	Manufacturing and sales period
Defendants' Product 1 (Plaintiff's Exhibit 5)	From around February 2004
Defendants' Product 2 (Plaintiff's Exhibit 6)	From around August 2006

Defendants' Product 3 (Plaintiff's Exhibit 7)	From around November 2006
Defendants' Product 4 (Plaintiff's Exhibit 8)	From around May 2008
Defendants' Product 5 (Plaintiff's Exhibit 9)	From around July 2010
Defendants' Product 6 (Plaintiff's Exhibit 10)	From around October 2016
Defendants' Product 7 (Plaintiff's Exhibit 11)	From around May 2007
Defendants' Product 8 (Plaintiff's Exhibit 12)	From around February 2009
Defendants' Product 9 (Plaintiff's Exhibit 13)	From around May 2011
Defendants' Product 10 (Plaintiff's Exhibit 14)	From around December 2013
Defendants' Product 11 (Plaintiff's Exhibit 15)	From around October 2011
Defendants' Product 12 (Plaintiff's Exhibit 16)	From around May 2017
Defendants' Product 13 (Plaintiff's Exhibit 17-1 to -3)	From around April 2019

2 Configuration of Defendants' Product and Defendants' Method

As described in Appendices Defendants' Product/Defendants' Method Description (hereinafter referred to as "Defendants' Product / Defendants' Method Description"), Defendants' Product comprises an ALM (means "Adaptive Logic Module" as described in Defendants' Product / Defendants' Method Description) having the following configuration.

- 1a An ALM with M inputs and N outputs, comprising;
- 1b a group of LUTs comprising a plurality of LUTs, and
- 1c internal configuration control means for controlling the internal configuration of the group of LUTs,
- 1d the internal configuration control means, comprising;
 - 1d-1 a plurality of multiplexers for selecting input and output signals of the group of LUTs, and
 - 1d-2 SRAM for controlling each multiplexer and defining the configuration of the ALM by the group of LUTs; and
- 1e the SRAM controls a plurality of multiplexers according to the bit values to be stored, and
- 1f the plurality of multiplexers comprising;
 - 1f-1 a multiplexer for input signal selection provided at at least one input of the group of LUTs to

- select the input signal, and
- 1f-2 a multiplexer for output signal selection provided at the output of the group of LUTs to select the output signal; and
- 1g the multiplexer for input signal selection and the multiplexer for output signal selection are controlled according to the bit value stored in the SRAM and input signal.
- 1h [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

In addition, the Defendants' Product comprises the following configuration.

- 5a An FPGA device, comprising a plurality of LABs,
- 5b a plurality of LAB wirings connected to each LAB;
- 5c a plurality of switch means provided at the intersection of each LAB wiring,
- 5d a connection block provided between the input/output lines of each LAB and each LAB wiring, and
- 5e an I/O block for input/output to/from the outside, where
- 5f [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]
- 5g each of the LABs has an ALM.
- 5h [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

In addition, because the Defendants' Product is an FPGA, it is a device that can achieve logic circuits according to various demands by electrically programming internal circuits (see technical background described in **Section 2•4•(1)** above.). In order to realize (programming) logic circuits in accordance with these requirements, it is necessary to implement LUT masks for Defendants' Product and control the internal configuration. To this end, the following method (hereinafter referred to as "Defendants' Method") is implemented. Therefore, the only use of Defendants' Product is by implementing the Defendants' Method.

- 6a A method for configuring an M-input N-output ALM, comprising:
- 6b preparing a group of LUTs comprising a plurality of LUTs,
- 6c selecting and controlling input signals and output signals of the group of LUTs to set a predetermined LUT configuration mode, and
- 6d the input signal input to at least one LUT of the group of LUTs and the output signal output from the LUT are, respectively, selected and controlled by the data stored in the ALM and the predetermined function of the input signal.
- 6e [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

3 Comparison between Case Invention 1 and Defendants' Product and infringement of Patent Right 1 (direct infringement)

(1) Configuration Requirement 1A and Configuration 1a

Configuration Requirement 1A of the Case Invention is as follows.

A lookup table with M inputs and N outputs,

in contrast, the ALM for the Defendants' Product comprises Configuration 1a; wherein

An ALM with M inputs and N outputs, comprising;

“M inputs and N outputs” of configuration 1a corresponds to “M inputs and N outputs” of Configuration Requirement 1A. In addition, “ALM” in Configuration 1a comprises the function of a lookup table as a whole due to the combination of a plurality of lookup tables, so it corresponds to “lookup table” in Configuration Requirement 1A.

Accordingly, the ALM of the Defendants' Product satisfies Configuration Requirement 1A.

(2) Configuration Requirement 1B and Configuration 1b

Configuration Requirement 1B of the Case Invention 1 is as follows.

a plurality of LUT units; and

in contrast, the ALM for the Defendants' Product comprises Configuration 1b; wherein

a group of LUTs comprising a plurality of LUTs, and

The "LUT unit" of the Configuration Requirement 1B means an individual LUT.

Therefore, "LUT" in Configuration 1b corresponds to "LUT unit" in Configuration Requirement 1B, and "a group of LUTs comprising a plurality of LUTs" in Configuration 1b corresponds to "a plurality of LUT units" in Configuration Requirement 1B.

Accordingly, the ALM for the Defendants' Product satisfies Configuration Requirement 1B.

(3) Configuration Requirement 1C and Configuration 1c

Configuration Requirement 1C of the Case Invention 1 is as follows.

an internal configuration control means for controlling the internal configuration of the plurality of LUT units;

in contrast, the ALM for the Defendants' Product comprises Configuration 1c; wherein

an internal configuration control means for controlling the internal configuration of the group of LUTs,

As stated in (2), "the group of LUTs" of configuration 1c corresponds to "the plurality of LUT units" of Configuration Requirement 1C. In addition, since the "internal configuration control means for controlling the internal configuration of the group of LUTs" in Configuration 1c is a means for controlling the internal configuration of the group of LUTs, it corresponds to "an internal configuration control means for controlling the internal configuration by a plurality of LUT units" in Configuration Requirement 1C.

Accordingly, the ALM for the Defendants' Product satisfies Configuration Requirement 1C.

(4) Configuration Requirement 1D, 1D-1 and 1D-2 and Configurations 1d, 1d-1 and 1d-2

Configuration Requirement 1D, 1D-1, and 1D-2 of the Case Invention 1 are as follows.

1D	the internal configuration control means comprises
1D-1	a plurality of selectors for selecting input/output signals of the plurality of LUT units, and
1D-2	a selector control means for controlling each selector to define a configuration of the plurality of LUT units;

In contrast, the ALM for the Defendants' Product comprises Configuration 1d, 1d-1 and 1d-2; wherein

- 1d the internal configuration control means comprising;
- 1d-1 a plurality of multiplexers for selecting input and output signals of the group of LUTs; and
- 1d-2 SRAM for controlling each multiplexer and defining the configuration of the ALM by the group of LUTs;

As described in **(3)** above, "Internal configuration control means" of Configuration 1d corresponds to "Internal configuration control means" of Configuration Requirement 1D. As described in (2) above, "the group of LUTs" of Configuration 1d-1 corresponds to "the plurality of LUT units" of Configuration Requirement 1D-1.

In addition, the "plurality of multiplexers for selecting input and output signals of the group of LUTs," in Configuration 1d-1, corresponds to the "plurality of selectors for selecting input/output signals of the plurality of LUT units" in Configuration Requirement 1D-1.

Furthermore, the "SRAM" in "for controlling each multiplexer and defining the configuration of the ALM by the group of LUTs" in Configuration 1d-2 corresponds to the "selector control means" that comprises the function of defining the configuration of the ALM by the stored bit values, and therefore, it corresponds to the "selector control means for controlling each selector to define a configuration of the plurality of LUT units" in Configuration Requirement 1D-2.

Accordingly, the ALM of the Defendants' Product meets the Configuration Requirements 1D, 1D-1, and 1D-2.

(5) Configuration Requirement 1E and Configuration 1e

Configuration Requirement 1E of the Case Invention 1 is as follows.

the selector control means comprises a memory, and controls the plurality of selectors according to data stored in the memory;
--

In contrast, the ALM for the Defendants' Product comprises configuration 1e; wherein

the SRAM controls a plurality of multiplexers according to the bit values to be stored,

As stated in (4), "a plurality of multiplexers" in Configuration 1e correspond to "the plurality of selectors" in Configuration Requirement 1E. In addition, as the "SRAM" in Configuration 1e is itself memory, it corresponds to "the selector control means comprises a memory" in Configuration Requirement 1E. In addition, "the bit values to be stored" in Configuration 1e corresponds to "data stored in the memory" in Configuration Requirement 1E, because it is data stored in SRAM that is memory.

Accordingly, the ALM of the Defendants' Product satisfies Configuration Requirement 1E.

(6) Configuration Requirements 1F, 1F-1 and 1F-2 and Configurations 1f, 1f-1 and 1f-2

Configuration Requirements 1F, 1F-1 and 1F-2 of the Case Invention 1 are as follows.

1F	the selector is equipped with
1F-1	an input signal selection selector provided at the input of at least one LUT unit for selecting an input signal, and
1F-2	an output signal selection selector that is provided at the output of the LUT unit for selecting an output signal,

In contrast, the ALM for the Defendants' Product comprises of Configuration 1f, 1f-1 and 1f-2; wherein

- 1f the plurality of multiplexers comprising;
- 1f-1 a multiplexer for input signal selection provided at at least one input of the group of LUTs to select the input signal, and
- 1f-2 a multiplexer for output signal selection provided at the output of the group of LUTs to select the output signal.

As stated in (4), "the plurality of multiplexers" in Configuration 1f corresponds to "the selector" in Configuration Requirement 1F. In addition, the "multiplexer for input signal selection provided at at least one input of the group of LUTs to select the input signal" in Configuration 1f-1 constitutes ALUT by selecting the input signal, so it corresponds to the "input signal selection selector provided at the input of at least one LUT unit for selecting an input signal" in Configuration Requirement 1F-1.

In addition, the "multiplexer for output signal selection provided at the output of the group of LUTs to select the output signal" in Configuration 1f-2 constitutes ALUT by selecting output signals, so it corresponds to the "output signal selection selector that is provided at the output of the LUT unit for selecting an output signal" in Configuration Requirement 1F-2.

Accordingly, the ALM for Defendants' Product meets the Configuration Requirements 1F, 1F-1 and 1F-2.

(7) Configuration Requirements 1G and Configuration 1g

The Configuration Requirement 1G of the Case Invention 1 is as follows.

The input signal selection selector and the output signal selection selector are controlled according to the data stored in the memory and the input signal.
--

In contrast, the ALM for Defendants' Product comprises Configuration 1g; wherein

the multiplexer for input signal selection and the multiplexer for output signal selection are controlled according to the bit value stored in the SRAM and input signal.

As stated in (6) above, the "multiplexer for input signal selection and multiplexer for output signal selection" in Configuration 1g fall under "multiplexer for input signal selection" and "multiplexer for output signal selection" in Configuration Requirement 1G.

In addition, as explained in (5) above, the "bit values to be stored" in Configuration 1e corresponds to the "data stored in the memory" in Configuration Requirement 1E, so the "... controlled according to bit values stored in SRAM" in Configuration 1g corresponds to "...controlled according to the data stored in the memory" in Configuration Requirement 1G.

Furthermore, "controlled according to ... input signal" of Configuration 1g corresponds to "controlled according to ... the input signal" of Configuration Requirement 1G.

Accordingly, the ALM for the Defendants' Product satisfies Configuration Requirement 1G.

(8) Configuration Requirements 1H and Configuration 1h

Configuration Requirement 1H of the Case Invention 1 is as follows.

A lookup table ..., characterized in that [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]
--

In contrast, the ALM for the Defendants' Product comprised Configuration 1h; wherein

An ALM ... comprising. [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

As described in (1) above, "ALM" in Configuration 1h corresponds to the "lookup table" of Configuration Requirement 1H.

Accordingly, the ALM for the Defendants' Product satisfies Configuration Requirement 1H.

(9) Summary

As stated in **(1) - (8)** above, the ALM of the Defendants' Product satisfies all the Configuration Requirements of Case Invention 1. Therefore, the Defendants' Product comprising the ALM belong to the technical scope of the Case Invention 1. Therefore, the actions of the Defendant described in 1 above correspond to actions that infringe the Patent Rights.

4 Comparison between Case Invention 5 and Defendants' Product and infringement of Patent Right 5 (direct infringement)

(1) Configuration Requirement 5A and Configuration 5a

Configuration Requirement 5A of the Case Invention 5 is as follows.

a plurality of logic blocks;

in contrast, Defendants' Product comprises Configuration 5a

a plurality of LABs,

"LAB" in Configuration 5a is a logic array block, and therefore falls under "logic block" in Configuration Requirement 5A.

Accordingly, the Defendants' Product meet Configuration Requirement 5A.

(2) Configuration Requirement 5B and Configuration 5b

Configuration Requirement 5B of the Case Invention 5 is as follows.

a plurality of wirings connected to each logic block;

In contrast, Defendants' Product comprises Configuration 5b

a plurality of LAB wirings connected to each LAB;

As stated in **(1)** above, “each LAB” of configuration 5b corresponds to “each logic block” of Configuration Requirement 5B. In addition, “a plurality of LAB wirings” in Configuration 5b corresponds to “a plurality of wirings” in Configuration Requirement 5B.

Accordingly, Defendants’ Products meet Configuration Requirement 5B.

(3) Configuration Requirement 5C and Configuration 5c

Configuration Requirement 5C of the Case Invention 5 is as follows.

a plurality of switch means provided at intersection of the wirings;
--

in contrast, Defendants’ Product comprises Configuration 5c

a plurality of switch means provided at the intersection of each LAB wiring.

As stated in **(1)** and **(2)** above, “each LAB wiring” of configuration 5c corresponds to “the wirings” of Configuration Requirement 5C. In addition, “a plurality of switch means provided at the intersection” in Configuration 5c corresponds to “a plurality of switch means provided at the intersection ” in Configuration Requirement 5C.

Accordingly, the Defendants’ Product meets the Configuration Requirement 5C.

(4) Configuration Requirements 5D and 5d

Configuration Requirement 5D of the Case Invention 5 is as follows.

a connection block provided between the input/output line of each logic block and each wiring; and
--

in contrast, Defendants’ Product comprises Configuration 5d; wherein

a connection block provided between the input/output lines of each LAB and each LAB wiring, and

As stated in (1) above, “LAB” corresponds to “logic block”, so “input/output line of each LAB” in the Configuration 5d corresponds to “input/output line of each logic block” in Configuration Requirement 5D. In addition, “a connection block provided between ...” in the Configuration 5d corresponds to the “connection block provided between ...” in the Configuration Requirement 5D.

Accordingly, the Defendants’ Product meet Configuration Requirement 5D.

(5) Configuration Requirement 5E and Configuration 5e

Configuration Requirement 5E of the Case Invention 5 is as follows.

I/O block for external input/output,

in contrast, Defendants’ Product comprises Configuration 5e

an I/O block for input/output to/from the outside, where

Because there is no difference between Configuration 5e and Configuration 5E, the Defendants’ Product meet Configuration 5E.

(6) Configuration Requirements 5F and 5f

Configuration Requirement 5F of the Case Invention 5 is as follows.

[a programmable logic circuit device] characterized in that

in contrast, Defendants’ Product with configuration 5f is

an FPGA device. [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

“FPGA device” of Configuration 5f is “programmable logic circuit device” of Configuration Requirement 5F.

Accordingly, Defendants’ Product meets Configuration Requirement 5F.

(7) Configuration Requirements 5G and Configuration 5g

Configuration Requirement 5G of the Case Invention 5 is as follows.

the logic block comprises the lookup table according to any one of claims 1 - 4.
--

In contrast, Defendants’ Product comprises Configuration 5g

each of the LABs has an ALM.

As stated in **(1)** above, “LAB” of configuration 5g corresponds to “the logic block” of Configuration Requirement 5G. In addition, “ALM” of Configuration 5g is “ALM” of Configuration 1a, so this corresponds to “the lookup table according to ... claim[s] 1...” of Configuration Requirement 5G.

Accordingly, Defendants’ Product meet Configuration Requirement 5G.

(8) Configuration Requirements 5H and Configuration 5h

Configuration Requirement 5H of the Case Invention 5 is as follows.

A programmable logic circuit device, comprising [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]
--

In contrast, Defendants’ Product is of Configuration 5h, where it is

A FPGA device, comprising [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

As described in **(6)** above, “FPGA device” of Configuration 5h corresponds to “programmable logic circuit device” of Configuration Requirement 5H.

Accordingly, Defendants’ Product meet Configuration Requirement 5H.

(9) Summary

As described in **(1) - (8)** above, the Defendants’ Product satisfy all the Configuration Requirements of the Case Invention 5, and therefore fall within the technical scope of the Case Invention 5. Therefore, the actions of the Defendant described in 1 above correspond to actions that infringe the Patent Rights.

5 Comparison between Case Invention 6 and the Defendants’ Method and infringement of Patent Right 6(indirect infringement)

(1) Configuration Requirement 6A and Configuration 6a

Configuration Requirement 6A of the Case Invention 6 is as follows.

A method of constructing a look-up table, an M-input N-output lookup table, characterized in that

in contrast, the Defendants’ Method comprises configuration 6a; wherein

A method for configuring an M-input N-output ALM, comprising:

“ALM” in Configuration 6a corresponds to the “lookup table” in Configuration Requirement 6A based on the description **3 •(1)** above.

Accordingly, the Defendants’ Method satisfies Configuration Requirement 6A.

(2) Configuration Requirement 6B and Configuration 6b

Configuration Requirement 6B of the Case Invention 6 is as follows.

multiple LUT units are prepared,

In contrast, the Defendants’ Method comprises Configuration 6b; wherein

preparing a group of LUTs comprising a plurality of LUTs, ...

Based on the description in **3•(2)** above, the “group of LUTs comprising a plurality of LUTs” of Configuration 6b corresponds to “multiple LUT units” of Configuration Requirement 6B.

Accordingly, the Defendants’ Method satisfies Configuration Requirement 6B.

(3) Configuration Requirement 6C and Configuration 6c

Configuration Requirement 6C of the Case Invention 6 is as follows.

the input/output signals of the plurality of LUT units are selectively controlled to set a predetermined internal configuration mode, and

in contrast, the Defendants’ Method comprises Configuration 6c, wherein

selecting and controlling input signals and output signals of the group of LUTs to set a predetermined LUT configuration mode, and

As described in **(2)** above, “the group of LUTs” of Configuration 6c corresponds to “the plurality of LUT units” of Configuration Requirement 6C. Then, “selecting and controlling input signals and output signals of the group of LUTs” in Configuration 6c corresponds to “the input/output signals of the plurality of LUT units are selectively controlled” in Configuration Requirement 6C.

In addition, “to set a predetermined LUT configuration mode” in Configuration 6c corresponds to “to set a predetermined internal configuration mode” in Configuration Requirement 6C, since it is to configure the ALUT by setting the internal configuration of a group of LUTs.

Accordingly, the Defendants’ Method satisfies Configuration Requirement 6C.

(4) Configuration Requirement 6D and Configuration 6d

Configuration Requirement 6D of the Case Invention 6 is as follows.

the signal input to at least one of the LUT units and the signal output by the LUT unit are each selectively controlled by a predetermined function of the data stored in the lookup table and the input signal

In contrast, the Defendants' Method comprises Configuration 6d, wherein

the input signal input to at least one LUT of the group of LUTs and the output signal output from the LUT are, respectively, selected and controlled by the data stored in the ALM and the predetermined function of the input signal

As described in **(2)** above, the group of LUTs in the Defendants' Method corresponds to "multiple LUT units" in Configuration Requirement 6B. Therefore, "at least one LUT of the group of LUTs" in Configuration 6d corresponds to "at least one of the LUT units" in Configuration Requirement 6D. In addition, as stated in **(1)** above, "ALM" of Configuration 6d corresponds to "the lookup table" of Configuration Requirement 6D.

Accordingly, the Defendants' Method satisfies Configuration Requirement 6D.

(5) Configuration Requirement 6E and Configuration 6e

Configuration Requirement 6E of the Case Invention 6 is as follows.

A method of constructing a look-up table ... characterized in that [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

In contrast, the Defendants' Method in configuration 6e is

A method for configuring an ... ALM, comprising [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

As stated in **(1)** above, "ALM" of Configuration 6e corresponds to the "look-up table" of Configuration Requirement 6E.

Accordingly, the Defendants' Method satisfies Configuration Requirement 6E.

(6) Summary

As described in (1) through (5) above, the Defendants' Method implemented when the Defendants or the persons who obtained the Defendants' Product programing the Defendants' Product satisfy all the Configuration Requirements of the Case Invention 6, and therefore fall within the technical scope of the Case Invention 6. As described in 2 above, using Defendants' Product by implementing Defendants' Method is the only use of the Defendants' Product, so it corresponds to the product used only for the use of the method of the Case Invention 6. Therefore, the acts of the defendant described in 1 above are acts of producing, transferring, or importing items used only for the use of the method of the Case Invention 6, and therefore are considered to infringe the Patent Rights (Article 101 Item 4 of the Patent Act).

Section 4 Right to Claim for Compensatory Damages and Right to Claim Unjust Enrichment

1 Right to Claim for Compensatory Damages

The Defendants manufactured, imported, and sold Defendants' Products as a business that infringed or were deemed to infringe the Patent Rights without paying royalties to the Plaintiff from at least February 2004 to June 29, 2021, which is the expiration date of the Patent in this Case. The Defendants' FPGA sales in Japan from February 2004 to June 29, 2021, totaled no less than 378,109,040,000 yen. The amount equivalent to the licensing fee for the Patent Rights does not fall below 3% of the sales of FPGAs by Defendants in Japan that is 11,343,271,200 yen.

Therefore, the Plaintiff has the right to claim compensation for damages against the Defendant in an amount not less than 11,343,271,200 yen as the amount equivalent to the reasonable licensing fee for the Patent Rights (Article 102, Paragraph 3 of the Patent Act) and in attorneys' fees (Article 709 of the Civil Code).

2 Right to Claim Unjust Enrichment

Defendants received a benefit equivalent to such amount without cause under law without paying the amount equal to the reasonable license fees for the Patent Rights described in 1 above.

Therefore, the Plaintiff suffered losses equal to the same amount. This amount does not fall below 11,343,271,200 yen, as described in **1** above.

Therefore, the Plaintiff has the right to claim payment from the Defendant of unjust enrichment not to fall below JPY 11,343,271,200 (Article 703 of the Civil Code) and interest (Article 704 of the Civil Code).

Section 5 Conclusion

Therefore, the Plaintiff claims joint and several payment from Defendants of 100 million yen as part of the right to claim damages based on tort (**Section 4 • 1** above) and the right to claim unjust enrichment (**Section 4 • 2** above) and payment of money (interest on the right to claim damages for delay and the right to claim unjust enrichment) at a rate of 3% per annum from the day following the date of service of this Complaint to the date of payment.

Method of Evidence

As stated in the Description of Evidence (1)

Attached Documents

- 1 Complaint: 2 duplicates, 4 copies
- 2 Explanatory statement of evidence (1): 1 original, 2 duplicates and 4 copies
- 3 Plaintiff's Exhibits: 7 copies each
- 4 Power of attorney for the lawsuit: 2 originals
- 5 Certificate of Corporate Citizenship (Defendant Intel US, English and translation): 1 original
- 6 Certificate of Eligibility (for Defendant Intel Japan): 1 original
- 7 Certificate of supplementary note of specific infringement lawsuit counsel: 1 copy

End of document

(Appendices)

List of Defendants' Products

Section 1 Defendants' Product 1 (Stratix II Series) (Plaintiff's Exhibit 5)

All FPGA devices with part number prefix (String preceded by part number. The same applies hereinafter.) "EP2S" (Plaintiff's Exhibit 18). However, it does not include those whose part number prefix is "EP2SGX".

Section 2 Defendants' Product 2 (Stratix II GX Series) (Plaintiff's Exhibit 6)

All FPGA devices with part number prefix "EP2SGX" (Plaintiff's Exhibit 18).

Section 3 Defendants' Product 3 (Stratix III series) (Plaintiff's Exhibit 7)

All FPGA devices whose part number prefix includes "EP3S" (Plaintiff's Exhibit 18).

Section 4 Defendants' Product 4 (Stratix IV Series) (Plaintiff's Exhibit 8)

All FPGA devices whose part number prefix includes "EP4S" (Plaintiff's Exhibit 18).

Section 5 Defendants' Product 5 (Stratix V Series) (Plaintiff's Exhibit 9)

All FPGA devices whose part number prefix includes "5S" (Plaintiff's Exhibit 18).

Section 6 Defendants' Product 6 (Stratix 10 Series) (Plaintiff's Exhibit 10)

Each product shown in the table below (Plaintiff's Exhibit 19-1 to Plaintiff's Exhibit 19-6).

Product Collection	Product Name
Stratix 10 DX FPGA	Stratix 10 DX 1100 FPGA Stratix 10 DX 2100 FPGA Stratix 10 DX 2800 FPGA
Stratix 10 GX FPGA	Stratix 10 GX 400 FPGA Stratix 10 GX 650 FPGA Stratix 10 GX 850 FPGA Stratix 10 GX 1100 FPGA Stratix 10 GX 1650 FPGA Stratix 10 GX 1660 FPGA Stratix 10 GX 2100 FPGA Stratix 10 GX 2110 FPGA Stratix 10 GX 2500 FPGA Stratix 10 GX 2800 FPGA Stratix 10 GX 10M FPGA
Stratix 10 MX FPGA	Stratix 10 MX 1650 FPGA Stratix 10 MX 2100 FPGA
Stratix 10 SX SoC FPGA	Stratix 10 SX 400 FPGA Stratix 10 SX 650 FPGA Stratix 10 SX 850 FPGA Stratix 10 SX 1100 FPGA Stratix 10 SX 1650 FPGA Stratix 10 SX 2100 FPGA Stratix 10 SX 2500 FPGA Stratix 10 SX 2800 FPGA
Stratix 10 TX FPGA	Stratix 10 TX 400 FPGA Stratix 10 TX 850 FPGA Stratix 10 TX 1100 FPGA Stratix 10 TX 1650 FPGA Stratix 10 TX 2100 FPGA Stratix 10 TX 2500 FPGA Stratix 10 TX 2800 FPGA
Stratix 10 NX FPGA	Stratix 10 NX 2100 FPGA

Section 7 Defendants’ Product 7 (Arria GX Series) (Plaintiff’s Exhibit 11)

All FPGA devices with part number prefix “EP1AGX” (Plaintiff’s Exhibit 18).

Section 8 Defendants’ Product 8 (Arria II series) (Plaintiff’s Exhibit 12)

All FPGA devices with part number prefix “EP2AGX” (Plaintiff’s Exhibit 18).

Section 9 Defendants' Product 9 (Arria V series) (Plaintiff's Exhibit 13)

Each product shown in the table below (Plaintiff's Exhibit 20-1 to Plaintiff's Exhibit 20-5).

Product Collection	Product Name
Arria V GT FPGA	Arria V 5AGTC3 FPGA Arria V 5AGTC7 FPGA Arria V 5AGTD3 FPGA Arria V 5AGTD7 FPGA
Arria V GX FPGA	Arria V 5AGXA1 FPGA Arria V 5AGXA3 FPGA Arria V 5AGXA5 FPGA Arria V 5AGXA7 FPGA Arria V 5AGXB1 FPGA Arria V 5AGXB3 FPGA Arria V 5AGXB5 FPGA Arria V 5AGXB7 FPGA
Arria V GZ FPGA	Arria V 5AGZE1 FPGA Arria V 5AGZE3 FPGA Arria V 5AGZE5 FPGA Arria V 5AGZE7 FPGA
Arria V ST SoC FPGA	Arria V 5ASTD3 FPGA Arria V 5ASTD5 FPGA
Arria V SX SoC FPGA	Arria V 5ASXB3 FPGA Arria V 5ASXB5 FPGA

Section 10 Defendants' Product 10 (Arria 10 Series) (Plaintiff's Exhibit 14)

Each product shown in the table below (Plaintiff's Exhibit 21-1 to Plaintiff's Exhibit 21-3).

Product Collection	Product Name
Arria 10 GT FPGA	Arria 10 GT 900 FPGA Arria 10 GT 1150 FPGA
Arria 10 GX FPGA	Arria 10 GX 160 FPGA Arria 10 GX 220 FPGA Arria 10 GX 270 FPGA Arria 10 GX 320 FPGA Arria 10 GX 480 FPGA Arria 10 GX 570 FPGA Arria 10 GX 660 FPGA Arria 10 GX 900 FPGA Arria 10 GX 1150 FPGA
Arria 10 SX SoC FPGA	Arria 10 SX 160 FPGA Arria 10 SX 220 FPGA Arria 10 SX 270 FPGA

	Arria 10 SX 320 FPGA Arria 10 SX 480 FPGA Arria 10 SX 570 FPGA Arria 10 SX 660 FPGA
--	--

Section 11 Defendants' Product 11 (Cyclone V Series) (Plaintiff's Exhibit 15)

Each product shown in the table below (Plaintiff's Exhibit 22).

Product Collection	Product Name
Cyclone V E FPGA	Cyclone V 5CEA2 FPGA Cyclone V 5CEA4 FPGA Cyclone V 5CEA5 FPGA Cyclone V 5CEA7 FPGA Cyclone V 5CEA9 FPGA
Cyclone V GT FPGA	Cyclone V 5CGTD5 FPGA Cyclone V 5CGTD7 FPGA Cyclone V 5CGTD9 FPGA
Cyclone V GX FPGA	Cyclone V 5CGXC3 FPGA Cyclone V 5CGXC4 FPGA Cyclone V 5CGXC5 FPGA Cyclone V 5CGXC7 FPGA Cyclone V 5CGXC9 FPGA
Cyclone V SE SoC FPGA	Cyclone V 5CSEA2 FPGA Cyclone V 5CSEA4 FPGA Cyclone V 5CSEA5 FPGA Cyclone V 5CSEA6 FPGA
Cyclone V ST SoC FPGA	Cyclone V 5CSTD5 FPGA Cyclone V 5CSTD6 FPGA
Cyclone V SX SoC FPGA	Cyclone V 5CSXC2 FPGA Cyclone V 5CSXC4 FPGA Cyclone V 5CSXC5 FPGA Cyclone V 5CSXC6 FPGA

Section 12 Defendants' Product 12 (Cyclone 10 Series) (Plaintiff's Exhibit 16)

Each product shown in the table below (Plaintiff's Exhibit 23).

Product Collection	Product Name
Cyclone 10 GX FPGA	Cyclone 10 10CX085 FPGA Cyclone 10 10CX105 FPGA Cyclone 10 10CX150 FPGA Cyclone 10 10CX220 FPGA

Section 13 Defendants' Product 13 (Agilex Series) (Plaintiff's Exhibit 17-1 to Plaintiff's Exhibit 17-3)

Each product shown in the table below (Plaintiff's Exhibit 24).

Product Collection	Product Name
Agilex F-Series FPGAs and SoC FPGAs	AGF 004 AGF 006 AGF 008 AGF 012 AGF 014 AGF 022 AGF 027
Agilex I-Series SoC FPGA	AGI 022 AGI 027
Agilex M-Series FPGA	AGM 032 AGM 039

Defendants' Product/Defendants' Method Description

Section 1 Configuration common to Defendants' Product

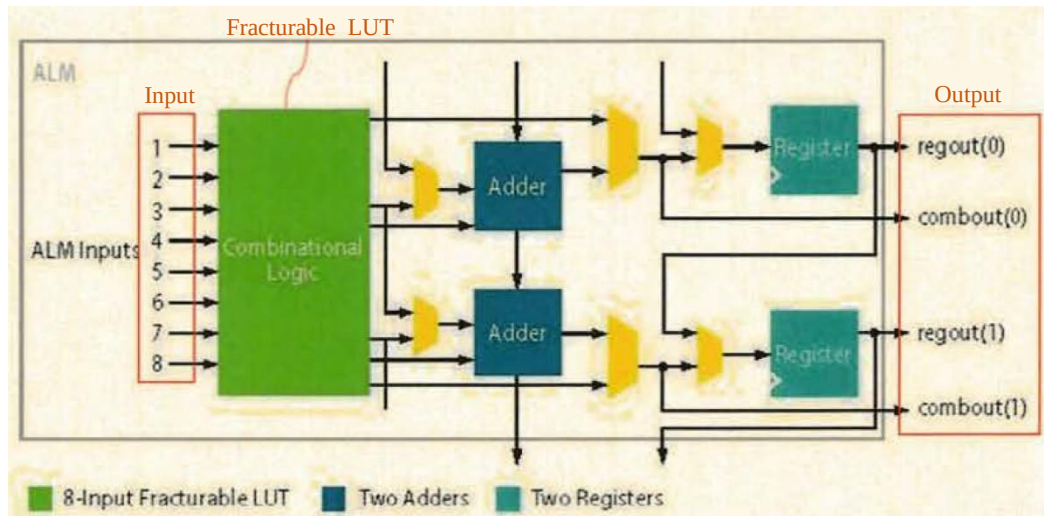
1 Overall configuration of the ALM for Defendants' Product

- (1) All the Defendants' Products have high logic efficiency LUT modules (meaning those that can be divided into a plurality of LUTs, the same applies hereinafter) named Adaptive Logic Module (Adaptive Logic Module, hereinafter referred to as "ALM") by Altera.
- (2) The configuration of the ALM for the Defendants' Product is disclosed in "FPGA Architecture" (Plaintiff's Exhibit 25) which is the white paper (document explaining technical information) published by Altera in 2006. ALM for Defendants' Products as shown in explanation and Figure 1 of Plaintiff's Exhibit 25 (red frame and explanation added) cited below, is configured with eight inputs, an LUT which can be fractured (the area described as "Combinational Logic") and four outputs (however, the number of outputs may vary depending on the product, as described below.) .

Logic•Fabric

ALM is the key to realize a high-performance, area-efficient architecture. As shown in Figure 1, the ALM consists of combinational logic, 2 registers, and 2 adders. The combinational part has eight inputs and includes an LUT that can be divided into 2 adaptive LUTs by using Altera's proprietary LUT technology (ALUTs). While the entire ALM is required to implement any arbitrary 6-input function, a combinational logic block has eight inputs, allowing a diverse combination of 2 functions to be implemented in one ALM.

(Plaintiff's Exhibit 25, Page 1, Lines 14 to 19)



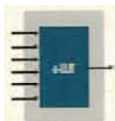
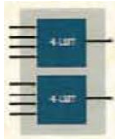
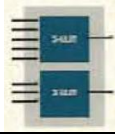
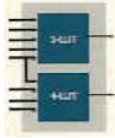
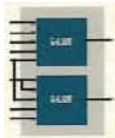
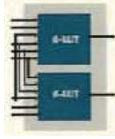
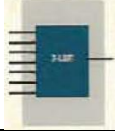
(Plaintiff's Exhibit 25, Figure 1)

In addition to a full 6-input LUT, you can implement, for example, two independent 4-input functions, or one 5-input function and one 3-input function with independent inputs. ... With 1 ALM, you have the flexibility to implement 2.5 logic elements (LE) of a classic 4-input LUT (4-LUT) architecture, consisting of one 4-LUT, carry-logic, and one register. (Plaintiff's Exhibit 25, Page 1, Lines 20-25)

- (3) In this way, a fracturable LUT comprises a plurality of LUTs therein, which can be configured in any arbitrary combination to realize a plurality of LUTs with various input/output counts within a single LUT.
- (4) The ALM described in (2) above is shown in Figure 6 on page 7 of Plaintiff's Exhibit 25, with the following detailed block diagram (explanation, frames, etc. in red are added), and the fracturable LUT of (2) above is shown to have a plurality of LUTs (in the following figure, a total of six LUTs, two 4LUTs and four 3LUTs, are described as shown in the red frame).

- First LUT configuration mode: one 6-input 1-output ALUT
- Second LUT configuration mode: two 4-input 1-output ALUTs
- Third LUT configuration mode: one 5-input 1-output ALUT and one 3-input 1-output ALUT
- Fourth LUT configuration mode: one 5-input 1-output ALUT and one 4-input 1-output ALUT (however, one input is shared between two ALUTs.)
- Fifth LUT configuration mode: two 5-input 1-output ALUTs (however, two inputs are shared between two ALUTs.)
- Sixth LUT configuration mode: two 6-input 1-output ALUTs (however, four inputs are shared between two ALUTs.)
- Seventh LUT configuration mode: One 7-input 1-output ALUT

Table 1. Flexibility of the ALM

Configuration	Description
	It is possible to enter any 6-input function in one Stratix II ALM. 6-inputs 1-output x 1
	One Stratix II ALM can be configured to implement 2 independent 4 inputs, or thereby small LUTs. This configuration has a “backward compatibility mode”. It makes possible to easily migrate traditional 4-input LUT FPGA designs to the Stratix II family. 4-inputs 1-output x 2
	One Stratix II ALM can be configured to implement one 5-input LUT and one 3-input LUT. The inputs to the two LUTs are independent of each other. You can use a 3-input LUT to implement any logic function with no more than 3 inputs. Therefore, a combination of 5 input LUT/2-input LUT is also possible. 5-inputs 1-output + 3-inputs 1-output
	One Stratix II ALM can be configured to implement one 5-input LUT and one 4-input LUT. You must have one of the inputs to be shared between the two LUTs. The 5-input LUT has up to 4 independent inputs. The 4-input LUT has up to 3 independent inputs. Input sharing between LUTs is very common in FPGA designs, and the Quartus® II software automatically detects logic functions structured in this way. 5-input 1-output + 4-input 1-output
	One Stratix II ALM can be configured to implement two 5-input LUTs. In this case, 2 of the inputs between the LUTs are common, and up to 3 independent inputs are allowed for each of the 5 input LUT. 5-inputs 1-output x 2
	If there are two 6-input functions with the same logic operation and 4 shared inputs, these two 6-input functions can be implemented in one Stratix II ALM. For example, a 4x2 crossbar switch with 4 data input lines and 2 sets of unique select signals requires four LEs in the Stratix family. In the Stratix II family, only one ALM is required for this same function. [illegible], 6-input AND data. ALM implements the same function on a 6-input [illegible] with 4 shared inputs. 3 [illegible] 6-inputs 1-output x 2
	You can implement a subset of seven variable functions in one Stratix II ALM in the extended mode. The Quartus II software automatically recognizes the applicable 7-input function and fits it into one ALM. For more information on the types of seven-input functions that can be implemented in a single ALM, see “Stratix II Device Handbook”. 7-inputs 1-output x 1

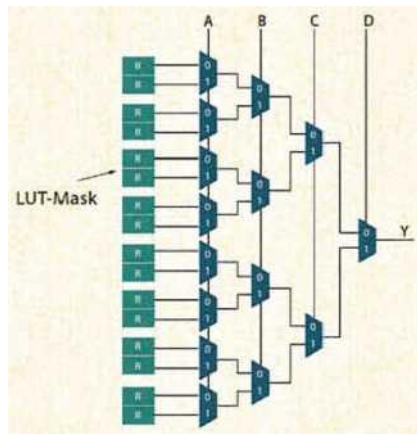
3 Concept of Configuring a combined LUT from a plurality of LUTs

- (1) Based on Plaintiff’s Exhibit 25, we will explain the concept of configuring a combined LUT from a plurality of LUTs, which is one of the common characteristics of the Case Invention and the Defendants’ Product. Plaintiff’s Exhibit 25 contains the following text (underlines were added by the Plaintiff.).

Building Look-up Tables (LUTs)

Knowing an overview of how LUTs are built will help explain ALM's innovative functions. LUTs are typically built from SRAM bits to hold the configuration memory (CRAM) LUT mask and a multiplexer set to select the bit of CRAM that is to drive the output. To implement a k-input LUT (k-LUT) - a k-input LUT that can perform any function- 2^k SRAM bits and a $2^k : 1$ multiplexer are required. Figure 2 shows a 4-LUT, which consists of a 16-bits of SRAM and a 16:1 multiplexer implemented as a tree of 2:1 multiplexers. The 4-LUT can implement any function of the 4 inputs (A, B, C, D) by setting the appropriate values for the LUT mask. To simplify the 4-LUT in Figure 2, it can also be built from two 3-LUTs connected by a 2:1 multiplexer.

(Plaintiff's Exhibit 25, Page 3, Lines 1 to 9)



(Plaintiff's Exhibit 25, Left figure of Figure 2 on page 3)

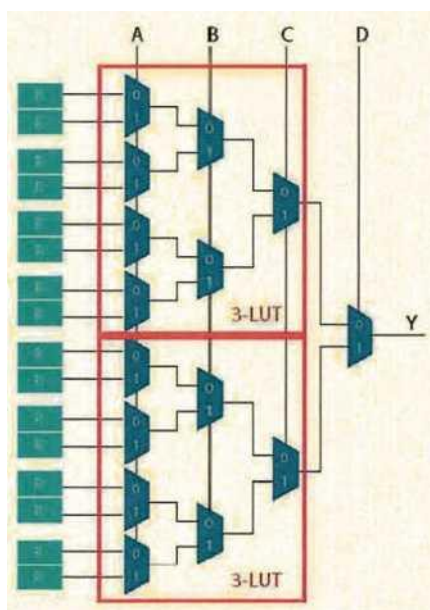
- (2) In the above, LUT of 4-input 1-output is described. Here, "LUT mask" refers to an array of logical values, as described in the body of the Complaint **Section 2-4-(1)**, which is the bit value (0 or 1) of SRAM, that is static random access memory.
- (3) In the above figure, A, B, C, and D refer to 4 input signals, and one output called Y is made for these 4 input signals. What output is made to these 4 input signals is determined by referring to the bit value stored in configuration memory (CRAM), and the part that determines

which CRAM bit value is selected in response to the specific input signal is referred to as “multiplexer” and depicted in the figure above in the trapezoidal form as shown below.



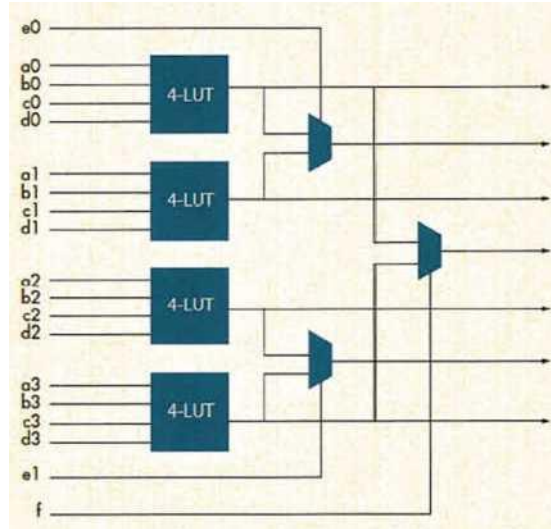
Multiplexer

- (4) In Plaintiff’s Exhibit 25, the set built with a plurality of multiplexers is described as “multiplexer set”.
- (5) The operation of the LUT mask and the multiplexer set is as described in **Section 2•4•(1)** of the body of the Complaint, and if the input signal A is "0", the LUT mask value corresponding to "0" of each multiplexer under A is selected. As a result of the same being performed in B, C, and D, one LUT mask value corresponding to the combination of the inputs of said A to D is selected, and the selected LUT mask value is output as Y.
- (6) In addition, in the right figure of Figure 2 on page 3 of Plaintiff’s Exhibit 25, it is stated that the above 4LUT can be composed of two 3LUTs as follows.



(Plaintiff’s Exhibit 25, Page 3, Figure 2, Right)

- (7) In addition, Figure 3 on page 4 of Plaintiff's Exhibit 25 describes a method of configuring a larger 6LUT with a plurality of 4LUTs.



(Plaintiff's Exhibit 25, Page 4, Figure 3)

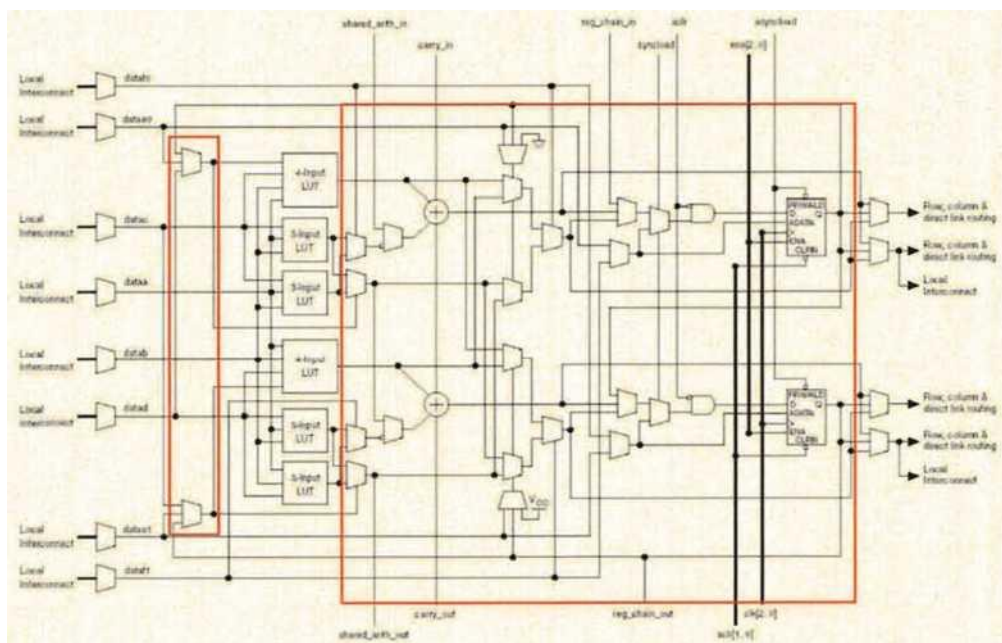
- (8) In the case of the figure above, 3 multiplexers are provided outside the four 4LUTs. Four signals, a (a0 to a3), b (b0 to b3), c (c0 to c3), and d (d0 to d3) are inputs to the each of four 4LUTs. In addition, it is configured that e (e0 and e1) and f are input for the 3 multiplexers on the right side of the 4LUTs.
- (9) In such a configuration, each 4LUT is properly mapped by the LUT mask, and by inputting the same input signals to all 4LUTs and inputting the input signals of e and f into the 3 multiplexers in the latter stage of the LUT, an output signal of a 6LUT is output (selection of input signals and output signals by mapping is described in 4 below.).

4 Switching of input signal and output signal

(1) Introduction

In the ALM of the Defendants' Product, it is not sufficient to set the LUT mask described above alone to configure two or more LUTs (ALUTs) with different input and output numbers described in **1** above, and a means to realize the concept of combining a plurality of LUTs (hereinafter also referred to as the "group of LUTs") described in **3** above is required. For this purpose, it is necessary to appropriately select the input signals and output signals for the group of LUTs according to the method of combining the group of LUTs.

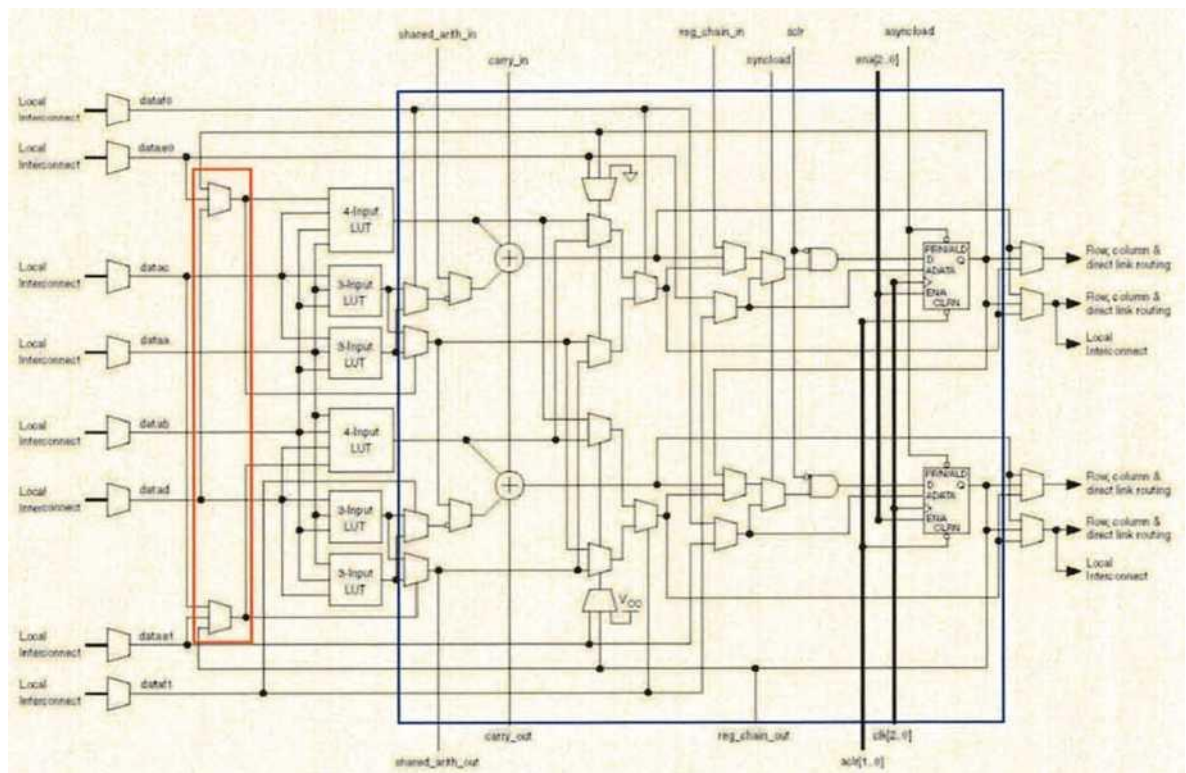
In other words, as explained in **2** above, there are a plurality of methods for configuring ALUT by combining the group of LUTs in ALM of the Defendants' Product, and the combination can be changed (hereinafter, the pattern of the combination of the group of LUTs is referred to as "LUT configuration mode"). For this reason, the ALM of the Defendants' Product has the internal configuration control means to change the combination of the group of LUTs according to the LUT configuration mode, i.e., to control the internal configuration, at the red framed area in Figure 6 of Plaintiff's Exhibit 25 below (red frame added.), etc. The internal configuration control means comprises a memory for controlling according to the LUT configuration mode.



(Plaintiff's Exhibit 25, Page 7, Figure 6)

The selection of input signals and output signals for the group of LUTs is made by at least a portion of a plurality of multiplexers provided in the former and latter stages of the group

of LUTs. In Figure 6 of Plaintiff's Exhibit 25, which is repeated below (frame has been added.), the multiplexers in the red frame area are multiplexers provided in the former stage of the group of LUTs, and the multiplexers in the blue frame area are multiplexers provided in the latter stage of the group of LUTs. At least some of these multiplexers are controlled by the internal configuration control means described above to achieve the desired internal configuration.



(Plaintiff's Exhibit 25, Page 7, Figure 6)

The operation of the internal configuration control means is described below.

(2) One independent 6LUT (first LUT configuration mode)

In the case of the first LUT configuration mode (one 6-input 1-output ALUT) shown in Table 1 of Plaintiff's Exhibit 25, the ALM of the Defendants' Product realizes a single 6-input 1-output LUT, i.e. 6LUT, in which case the remaining other 2-inputs out of the above eight inputs are set to be unused.

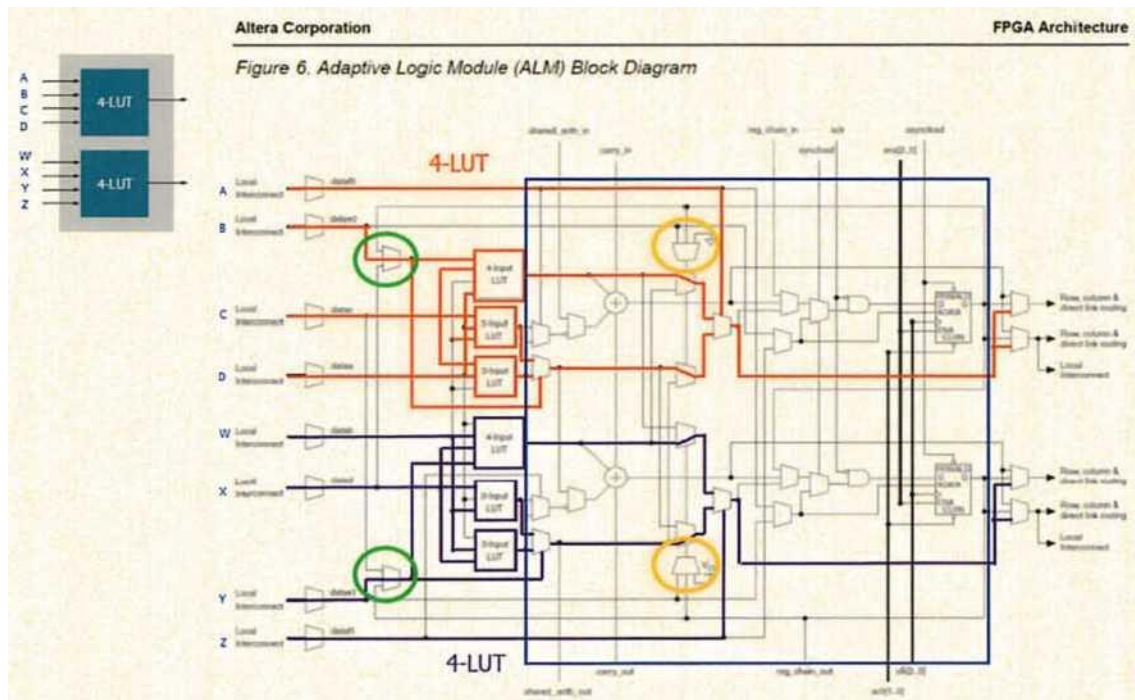
In the figure below, an example of a state for realizing the first LUT configuration mode (an example of one of multiple possible combinations.) is added to Figure 6 on page 7 of Plaintiff's Exhibit 25. For clarity, the signal lines and LUTs used are shown in red, and the six input signals of the ALM are marked with A to F, and framed, etc. for other explanations.

In the above state, the selection of the input signals to the group of LUTs is made by at least 2 multiplexers shown in the figure with a green circle, and the selection of the output signal from the group of LUTs is made by at least a portion of the multiplexers included in the region framed in the figure with a blue border.

selection (green circled) and multiplexers for output signal selection (at least multiplexers provided in the latter stage of the orange circled multiplexer) are controlled by, at least, data for controlling internal configuration stored in the vicinity of two green-circled multiplexers and one orange-circled multiplexer, etc. to select and output the values required to configure this first configuration mode.

(3) When 2 independent 4LUTs are configured (second LUT configuration mode).

An example of a state for realizing the second LUT configuration mode (two 4-input 1-output ALUTs) shown in Table 1 of Plaintiff's Exhibit 25 (an example of one of multiple possible combinations.) is shown in the following figure. The signal lines and LUTs used for the two 4-input 1-output ALUTs are shown separately in red and purple, and the input signals are marked A-D and W-Z, and framed, etc. for other explanations.



In the above state, the selection of the input signals to the group of LUTs is made by at least 2 multiplexers shown in the figure with a green circle, and the selection of the output

signals from the group of LUTs is made by at least a portion of the multiplexers included in the region framed in the figure with a blue border.

Also, in the generation of a circuit on the FPGA, if it is mapped to a second LUT configuration mode i.e., two 4LUTs, in order to achieve this, at least the data for controlling the internal configuration stored in the vicinity of the 2 multiplexers circled in green and the 2 multiplexers circled in orange, etc., controls the multiplexers for input signal selection (the ones circled in green) and the multiplexers for output signal selection (at least the multiplexers connected to the latter stage of the multiplexers circled in orange) to select and output the values required to configure this second configuration mode.

(4) Configuration mode of 5LUT and 3LUT (third LUT configuration mode)

An example of a state for realizing the third LUT configuration mode shown in Table 1 of Plaintiff's Exhibit 25 (one 5-input 1-output ALUT and one 3-input 1-output LUT) (an example of one of multiple possible combinations.) is shown in the following figure. Color coded for each ALUT in the same way as the second LUT configuration mode above. Descriptions for 5LUT are shown in red and those for 3LUT are shown in purple, respectively. In addition, the input signals are marked A-E and X-Z, and framed, etc., for other explanations.

Altera Corporation

FPGA Architecture

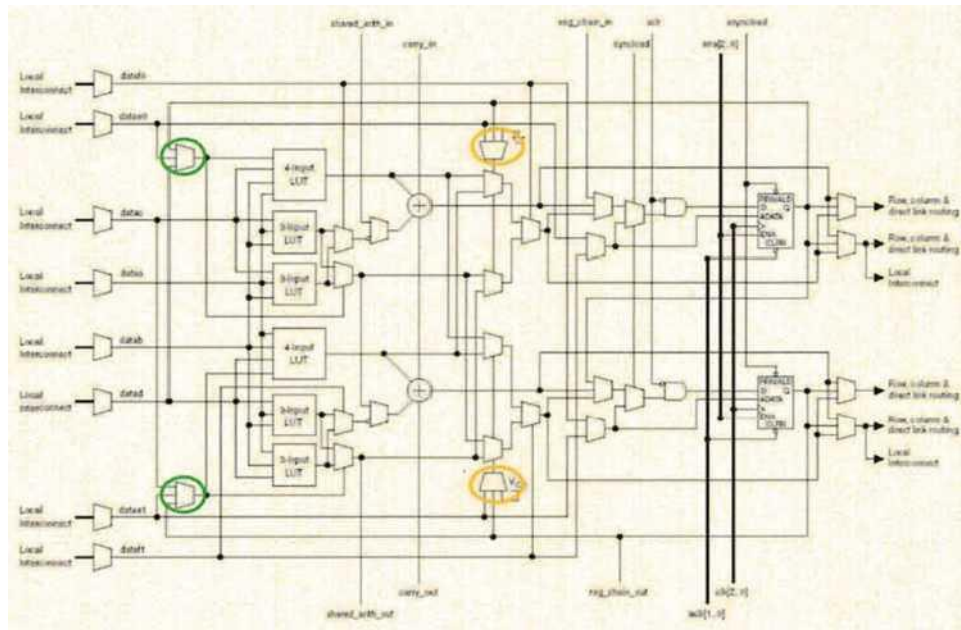
Figure 6. Adaptive Logic Module (ALM) Block Diagram

The diagram illustrates the internal structure of an Adaptive Logic Module (ALM). It features a 5-input Look-Up Table (LUT) and a 3-input LUT. The 5-LUT is connected to inputs A, B, C, D, and E. The 3-LUT is connected to inputs X, Y, and Z. The diagram shows the internal logic, including multiplexers, AND/OR gates, and a carry chain. The 5-LUT is labeled '5-LUT' and the 3-LUT is labeled '3-LUT'. The diagram also shows the internal routing and the connection to the next ALM via a carry chain.

In addition, if it is mapped to the third LUT configuration mode, i.e., one 5LUT and one 3LUT, when generating the circuit on the FPGA, at least the data for controlling the internal configuration stored in the vicinity of 2 multiplexers surrounded by green circles and 2 multiplexers surrounded by an orange circle, etc. controls the multiplexers for input signal selection (2 multiplexers surrounded by green circles) and the multiplexers for output signal selection (at least multiplexers connected to the latter stage of the multiplexers surrounded by orange circles) to output the required values.

(5) Select input/output signals by multiplexer and control multiplexer

- a. As described in (2) through (4) above, when configuring ALUT in the ALM of the Defendants' Product, in addition to setting the LUT mask, a plurality of multiplexers for selecting the input signals to the group of LUTs and the output signal from the group of LUTs (together referred to as "input/output signal") are controlled.
- b. A plurality of multiplexers for the selection of these input/output signals is controlled by the bit value stored in the SRAM (SRAM configuration bit: SRAM setting bit). The SRAM referred to here is a memory that exists at least in the vicinity of the green circled multiplexers and orange circled multiplexers described in (2) through (4) above, and stores data for controlling the desired internal configuration (configuration mode) described above. At a minimum, this SRAM is present in the vicinity of the multiplexers with a green circle and the multiplexers with an orange circle in the following figure.



- c. A specific explanation regarding the presence of SRAM that stores bit values for setting and controlling the multiplexers is described in Plaintiff's Exhibit 26. In other words, on page 4 of

Plaintiff's Exhibit 26, the operation of the multiplexer was explained as "switched multiplexer" (Swap MUX) as follows (Underlines were added by the Plaintiff.).

(Plaintiff's Exhibit 26, right column, lines 26 to 28 on page 4)

...

...When in fractured mode setting the configuration SRAM-bit to 0 disconnects the upper ALM-half from the lower.

(Comparative translation)

... [bilingual:] When in fractured mode setting the configuration SRAM - bit to 0 disconnects the upper ALM-half from the lower.

(Plaintiff's Exhibit 26, Page 4, Right column, Bottom line 17 to Bottom line)

...A final modification is to introduce introduce swap muxes controlled by SRAM configuration bits R and T, for reasons which will become clear shortly.

The operation of the logic module of Figure 9 is now a bit more complex. There are still two outputs and 8 inputs, and all previous properties. However there is an additional benefit from the latter transformation that makes it particularly powerful. Note that when a 6,2 ALM is used in 6-LUT mode, there are two outputs unused (wasted). With the additional circuitry, which denoted shared LUT-mask or SLM, the logic module can now be configured to implement two 6-input functions that share 4 inputs as long as they share the identical LUT-mask function. By setting R=1 and T=1, S=0 and U=1, and reorganizing the LUT mask appropriately, SLM1 becomes a 6-LUT function of (a1,a2,b1,b2,c1,d1) and SLM2 becomes the same function, only of (a1,a2,b1,b2,c2,d2).

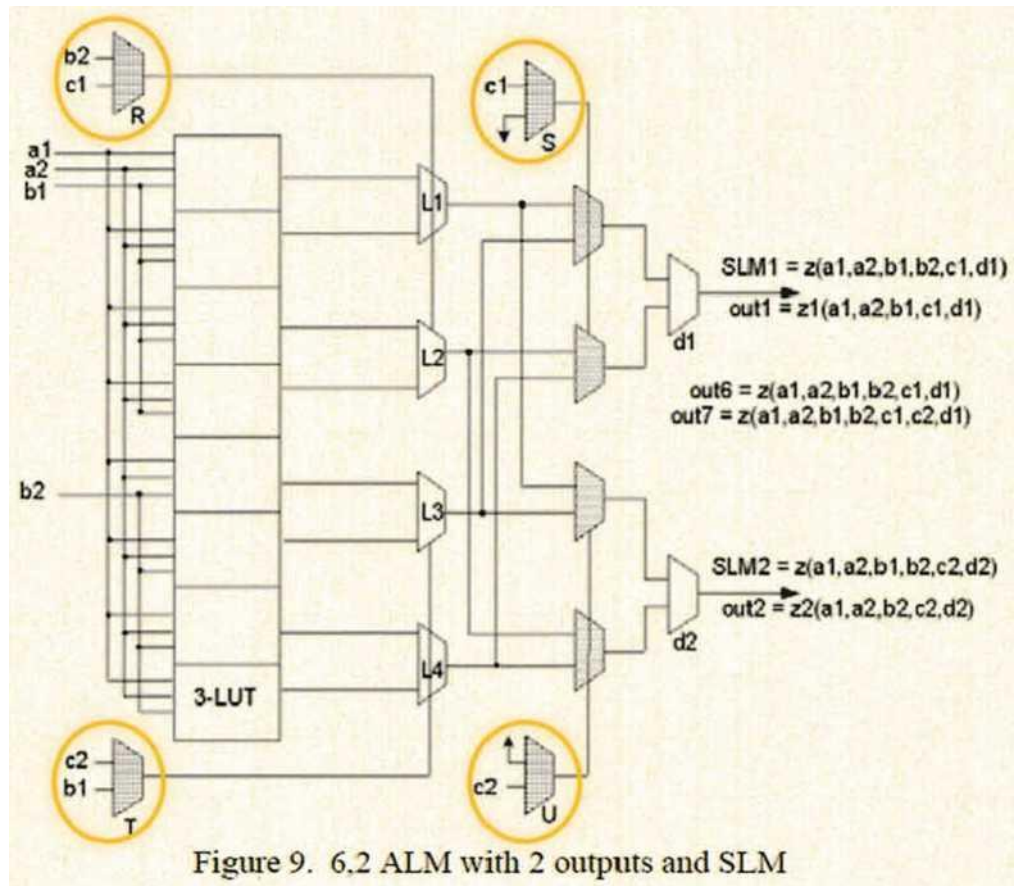
(Comparative translation)

[bilingual:] The ...final change is to introduce swap muxes controlled by SRAM configuration bits R and T, for the reasons which will become clear shortly.

The operation of the logic element of Figure 9 is now a bit more complex. There are still two outputs, the 8 inputs, and all previous properties. However, there is an additional benefit from the latter transformation that makes it particularly powerful. Note that when a 6, 2 ALM is used in 6-LUT mode, there are two outputs unused (wasted). With the additional circuitry, which denoted shared LUT-mask or LSM, the logic module can now be configured to implement two 6-input functions that share 4 inputs, as long as they share the identical LUT mask function. By setting R=1 and T=1, S=0 and U=1, and reorganizing the LUT mask appropriately, SLM 1 becomes a 6-LUT function of (a1, a2, b1, b2, c1, d1), and SLM2 becomes the same function,

only of (a1, a2, b1, b2, c2, d2).

(Plaintiff's Exhibit 26, Figure 9)



(Caption translation)

Figure 9. 6,2 ALM with 2 outputs and SLM

- d. First, from the description that “[w]hen in fractured mode setting the configuration SRAM - bit to 0 disconnects the upper ALM-half from the lower,” it is understood that the upper and lower parts of the ALM are separated by the configuration SRAM bit setting, i.e., by controlling the input signal, the upper and lower parts are divided and operated as separate LUTs.
- e. From the statements “... to introduce swap muxes controlled by SRAM configuration bits R and T” and “Note that when a 6, 2 ALM is used in 6-LUT mode, there are two outputs unused

(wasted). ... By setting R=1 and T=1, S=0 and U=1, and reorganizing the LUT mask appropriately, SLM 1 becomes a 6-LUT function of (a1, a2, b1, b2, c1, d1), and SLM2 becomes the same function, only of (a1, a2, b1, b2, c2, d2).” above and from Figure 9, it is understood that the selection of the 2 output signals that were not used in ALM is controlled by the bit values R, T, S and U, which are bit values stored in the SRAM (SRAM configuration bits: SRAM setting bits).

f Figure 9 is an example constructed with eight 3-LUTs, and four multiplexers for selecting output signals are provided. The bit values for controlling four multiplexers R, T, S, and U for the output signal selection are set to R=1, T=1, S=0, and U=1, respectively, and thus operate as two 6LUTs, provided that the LUT mask is properly mapped.

In the same way in the Defendants’ Product as well, there are multiplexers for input signal selection and multiplexers for output signal selection that are controlled by the bit values stored in the SRAM.

5 Defendants’ Product Configuration 1

(1) Configurations 1a and 1h

As described in 1•(1) through (3) above, the ALM of the Defendants’ Product can be said to be M input N output (Configurations 1a and 1h described below).

(2) Configurations 1b and 1c

As described in 1•(4) above, the ALM of the Defendants’ Product comprises a group of LUTs consisting of a plurality of LUTs (Configuration 1b).

In addition, as described in 4•(1) through (5) above, the ALM of Defendants’ Product can be configured internally in a plurality of modes of ALM by setting the LUT mask and an internal configuration control means.

Accordingly, the ALM of the Defendants' Product comprises an internal configuration control means that controls the internal configuration of the group of LUTs (Configuration 1c described below).

(3) Configurations 1d, 1d-1, and 1d-2

As described in 4•(1) and (2) above, the ALM of the Defendants' Product comprises an internal configuration control means (Configuration 1d described below), and has a plurality of multiplexers for selecting input signals to and output signals from the group of LUTs at the former and the latter stages of the group of LUTs (limited to those whose LUT configuration mode is set and their operation controlled by the bit values stored in the SRAM as described in (6) below. Hereinafter the same shall apply when referring to "a plurality of multiplexers" in this Defendants' Product/Defendants' Method Description). (Configuration 1d - 1 described below).

Also, as described in 4•(5) above, the ALM of the Defendants' Product controls the aforementioned plurality of multiplexers by means of bit values stored in SRAM, and defines how the ALM is configured from the aforementioned group of LUTs (Configuration 1d-2 described below).

(4) Configuration 1e

As described in 4•(5) above, the ALM of the Defendants' Product comprises SRAM, and the setting of the multiplexer is made by the bit value stored in the SRAM (Configuration 1e described below).

(5) Configuration 1f, 1f-1, and 1f-2

As described in 4•(2) through (4) above, the plurality of multiplexers of the ALM of Defendants' Product (Configuration 1f described below) comprises at least one input signal selection multiplexer provided for input of the group of LUTs to select an input signal (Configuration 1f-1 described below) and an output signal selection multiplexer provided for

output of the group of LUTs to select an output signal (Configuration 1f - 2 described below).

(6) Configuration 1 g

As described in 4▪(5) above, the multiplexer for input signal selection and multiplexer for output signal selection in the plurality of multiplexers of the ALM of the Defendants' Product are set to LUT configuration mode based on the bit value stored in SRAM, and its operation is controlled. In addition, these multiplexers output the output signal in response to the input signals input to the group of LUTs, and are therefore also controlled in response to input signals. Therefore, the multiplexer for input signal selection and the multiplexer for output signal selection in the plurality of multiplexers of the ALM of the Defendants' Product are controlled according to the bit value stored in SRAM and input signal (Configuration 1g described below).

(7) Configuration of Defendants' Product

It had been established that, based on (1)-(6) above, ALM for Defendants' Product has the following configuration.

- 1a An ALM with M inputs and N outputs, comprising
- 1b a group of LUTs comprising a plurality of LUTs, and
- 1c internal configuration control means for controlling the internal configuration of the group of LUTs,
- 1d the internal configuration control means comprising;
 - 1d-1 a plurality of multiplexers for selecting input and output signals of the group of LUTs, and
 - 1d-2 SRAM for controlling each multiplexer and defining the configuration of the ALM by the group of LUTs; and
- 1e the SRAM controls a plurality of multiplexers according to the bit values to be stored, and

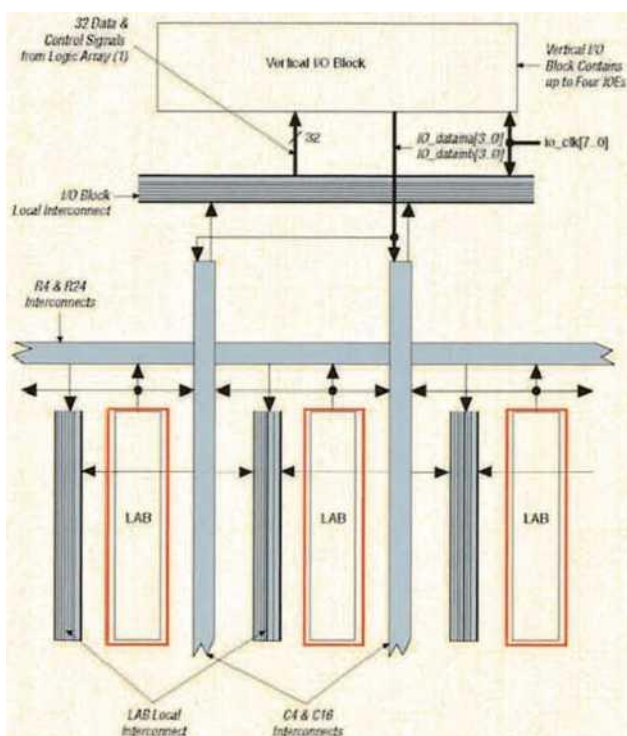
- 1f the plurality of multiplexers comprising;
- 1f-1 a multiplexer for input signal selection provided at at least one input of the group of LUTs to select the input signal, and
- 1f-2 a multiplexer for output signal selection provided at the output of the group of LUTs to select the output signal; and
- 1g the multiplexer for input signal selection and the multiplexer for output signal selection are controlled according to the bit value stored in SRAM and input signal.
- 1h [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

6 Defendants' Product Configuration 5

(1) Configuration 5a

The Defendants' Product is an FPGA device that is configured by connecting a plurality of logic array blocks (hereinafter referred to as "LAB"). For example, as seen in Figure 3-47 of Defendants' Product 2 (Plaintiff's Exhibit 6), Defendants' Product has a plurality of LABs (parts with red boxes added in the following figure) (Configuration 5a as described below).

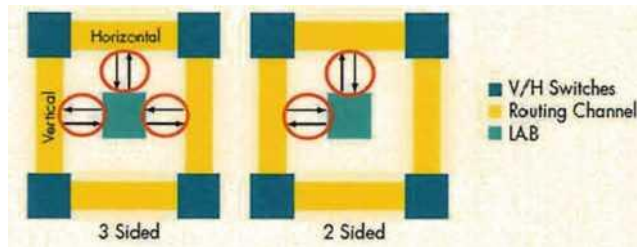
Figure 3-47. Connecting the Column I/O Block to the Interconnect



(2) Configuration 5b

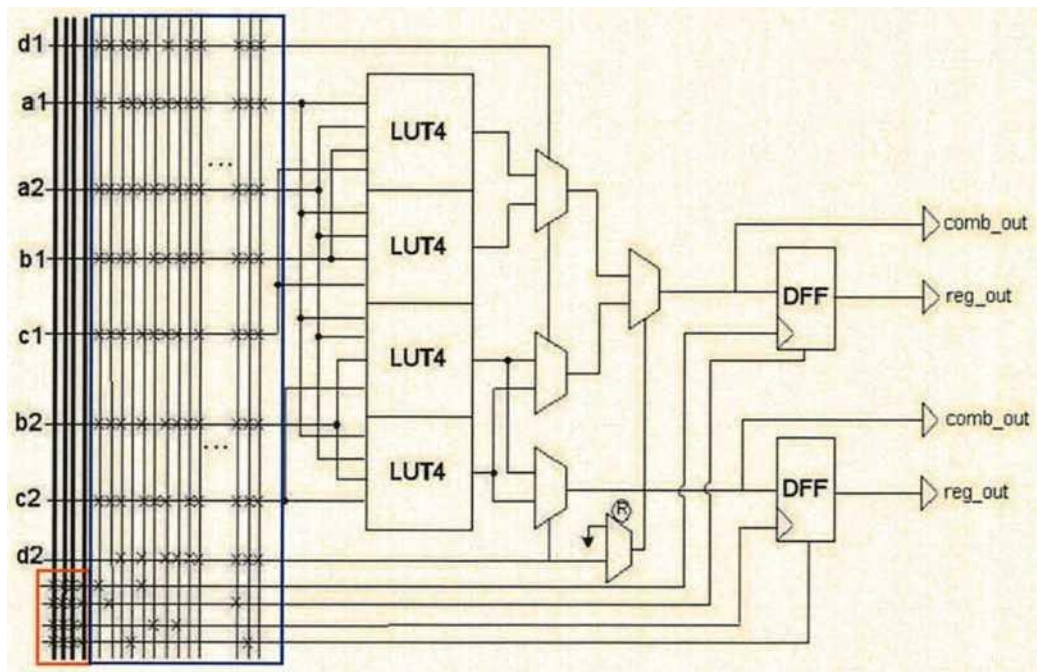
The wiring connected to the LAB is shown in Figure 13 of Plaintiff's Exhibit 25. In the following figure (Red circles were added.), the arrows circled in red correspond to the wires connecting "LAB" in the center to "Vertical" and "Horizontal" in the surrounding area. On page 12, lines 5 and 6 of Plaintiff's Exhibit 25, it states, "This wiring architecture provides connections between logic block clusters called logic array blocks (LABs)," and on line 8, it states, "The wiring consists of wires connecting a number of rows and columns." As stated, each arrow in Figure 13 does not mean a single wire, but rather a conceptual representation of a plurality of wires. Therefore, the LAB of the Defendants' Product is connected with a plurality of wiring (hereinafter referred to as "LAB wiring") (Configuration 5b described below).

Figure 13 Number of sides of the wiring architecture



(3) Configurations 5c and 5d

The state of the plurality of wires described in (2) above is shown in Figure 8 of Plaintiff's Exhibit 26, for example.



(Plaintiff's Exhibit 26, Figure 8)

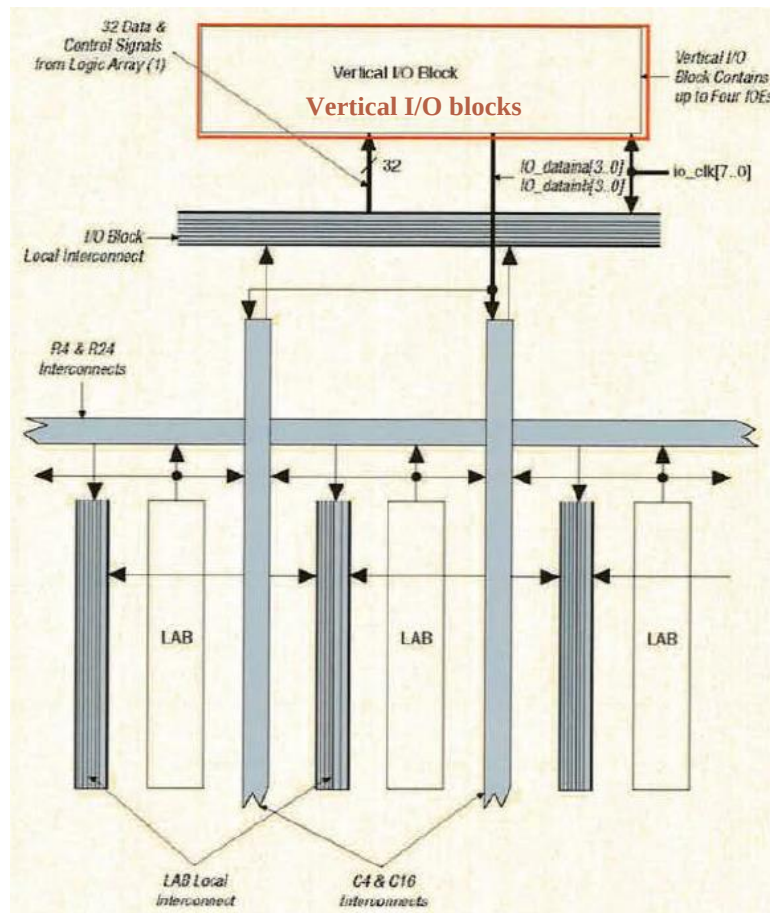
In the above figure, the intersection point in the area encircled by the red frame refers to the switch means provided at the intersection of each LAB wiring, and the intersection point in the area encircled by the blue frame refers to the connection block provided between the input/output line of LAB (line in longitudinal direction) and the LAB wiring (line in lateral direction). Therefore, the Defendants' Product have a plurality of switch means provided at the intersection of each LAB wiring (Configuration 5c described below) and a connection

block provided between the input/output lines of each LAB and each LAB wiring (Configuration 5d described below).

(4) Configuration 5e

The Defendants' Product contains an I/O block for input and output to and from the outside of the Defendants' Product. For example, in Figure 3-47 of Plaintiff's Exhibit 6, Defendants' Product 2 is shown to have a "vertical I/O block" in the section marked with the following red frame.

Figure 3-47. Connecting the Column I/O Block to the Interconnect



Therefore, the Defendants' Product comprises an I/O block that performs input/output with the external (Configuration 5e).

(5) Configuration 5f and 5h

As described in 1 above, the Defendants' Product are FPGA devices (Configurations 5f and 5h described below).

(6) Configuration 5g

The LAB for the Defendants' Product comprises ALM, for example, as shown in Figure 3-1 of Plaintiff's Exhibit 6 (Configuration 5g described below).

(7) Configuration of Defendants' Product

From (1) through (6) above, in addition to 5 above, the Defendants' Product also has the following configuration.

- 5a An FPGA device, comprising a plurality of LABs,
- 5b a plurality of LAB wirings connected to each LAB;
- 5c a plurality of switch means provided at the intersection of each LAB wiring,
- 5d a connection block provided between the input/output lines of each LAB and each LAB wiring; and
- 5e an I/O block for input/output to/from outside;
- 5f *[Note from translator: In Japanese, 5f states "FPGA device", but in English it makes sense to include this 5a.]*
- 5g each of the LABs has an ALM.
- 5h *[Note from translator: In Japanese, 5h states "FPGA device", but in English it makes sense to include this in 5a.]*

7 Configuration 6 of Defendants' Method

(1) Configuration 6a

As stated in Configuration 1a (5•(1) above), the ALM of the Defendants' Product is the M input N output. Therefore, when programming the Defendants' Product, the ALM of the M input N output is configured (Configuration 6a described below), i.e., the internal configuration is controlled.

(2) Configuration 6b

As described in Configuration 1b (5•(2) above), the ALM of Defendants' Product comprises a group of LUTs consisting of a plurality of LUT units. Therefore, the Defendants' Product are prepared with a group of LUTs consisting of a plurality of LUTs (Configuration 6b described below).

(3) Configuration 6c

As described in Configurations 1d through 1f-2 (5•(3) through (5) above), when programming Defendants' Product, the ALM of Defendants' Product selects and controls input and output signals of the Group of LUTs using a plurality of multiplexers to set the prescribed LUT configuration mode. Thus, for the Defendants' Product, the prescribed LUT configuration mode is set by selecting and controlling the input signal and output signal of the Group of LUTs (configuration 6c).

(4) Configuration 6d

As described in Configuration 1g (5•(6) above), in programming the Defendants' Product, the input signal input to at least one LUT of the group of LUTs and the output signal output from the LUT are each selected and controlled by SRAM provided in the internal configuration control means of the ALM. In addition, the input and output signals of the LUT are subject to selection and control by the relationship of input and output according to the LUT mask, i.e., function, due to the nature of the LUT. Therefore, in controlling the internal configuration of the Defendants' Product, the input signal input to at least one LUT of the group of LUTs and the output signal output from the LUT will be selected and controlled by data stored in the ALM and a predetermined function of input signal, respectively (Configuration 6d).

(5) Configuration 6e

ALM is configured by programming the Defendants' Product (Configuration 6e).

(6) Configuration of Defendants' Method

Based on the above **(1)-(5)**, it had been established that the Defendants' Method executed when programming the internal circuits of the Defendants' Products has the following configuration.

- 6a A method for configuring an M-input N-output ALM, comprising;
- 6b preparing a group of LUTs comprising a plurality of LUTs,
- 6c selecting and controlling input signals and output signals of the group of LUTs to set a predetermined LUT configuration mode, and
- 6d the input signal input to at least one LUT of the group of LUTs and the output signal output from the LUT are, respectively, selected and controlled by the data stored in the ALM and the predetermined function of the input signal.
- 6e [Translator note: Deleted because of Japanese sentence structure. The translation has already been included in the description above.]

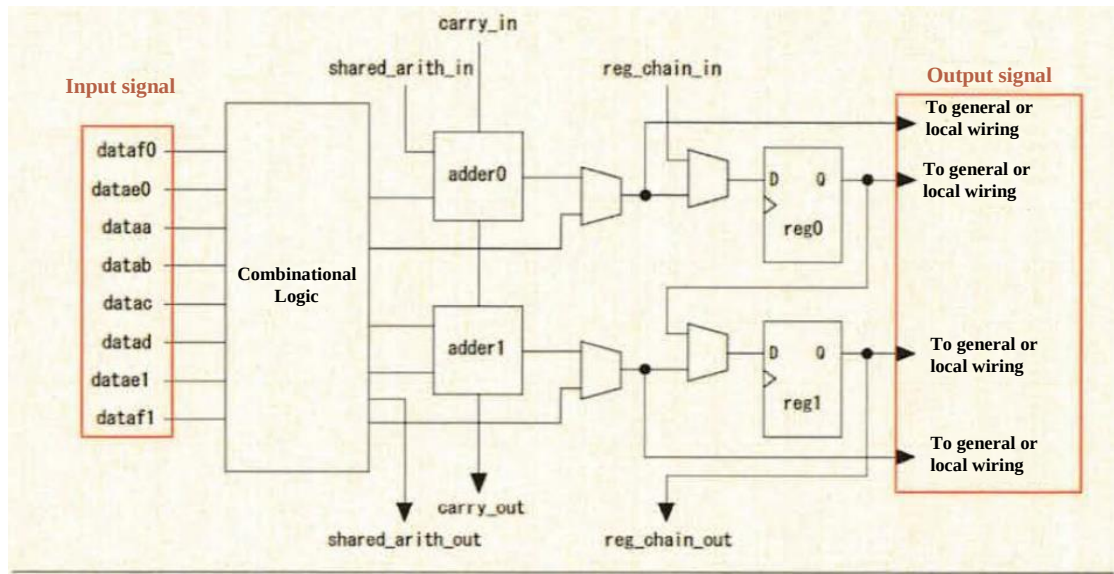
Section 2 Description of each Defendants' Product

In the following, we will individually explain that each Defendants' Product of Defendants' Product 1 through 13 comprises the configuration described in **Section 1** above.

1 Defendants' Product 1 (Stratix II series) (Plaintiff's Exhibit 5)

The basic configuration of the ALM for Defendants' Product 1 is explained in Plaintiff's Exhibit 5.

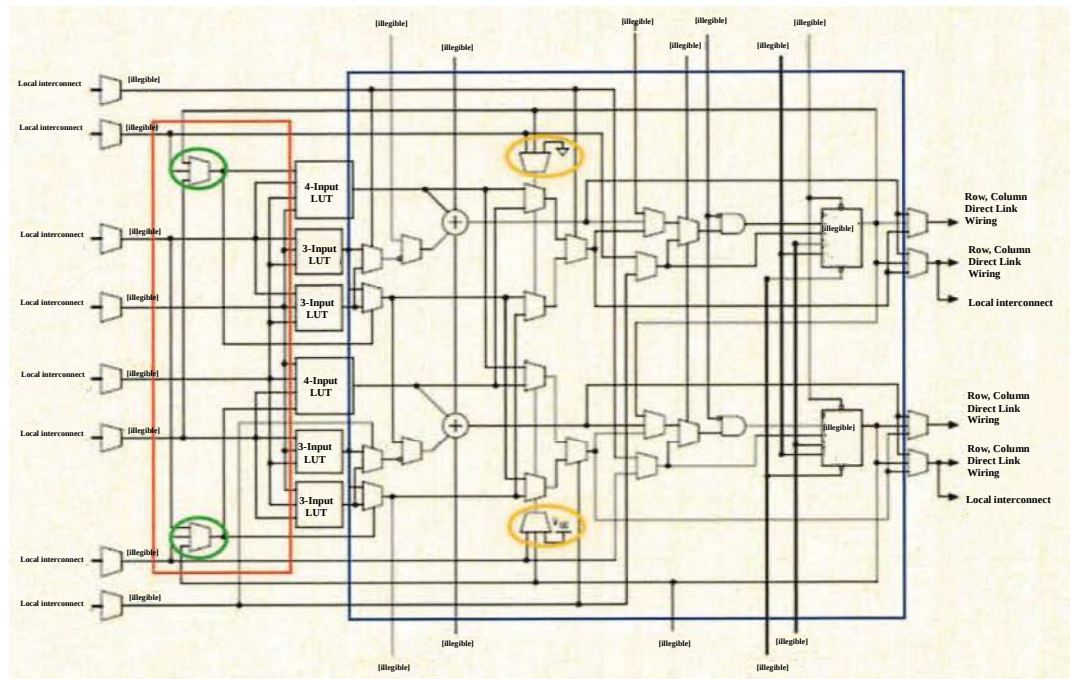
As follows, the basic configuration of the ALM for Defendants' Product 1 is described in Figure 2-5 of Plaintiff's Exhibit 5 (Red frame and explanation were added by the Plaintiff.).



(Excerpt and translation from Plaintiff's Exhibit 5, Figure 2-5)

Each of the 8 signals on the left “data f0” through “data f1” represents the input signals. In addition, the four signals on the right marked “To General or Local Wiring” represents the output signal. In this regard, the configuration shown in Figure 2-5 of Plaintiff's Exhibit 5 is the same as the configuration shown in Figure 1 of Plaintiff's Exhibit 25, in that the ALM of 8 input 4 output, that is M input N output, and the fracturable LUT configured by a combination of LUTs has a plurality of LUTs within it, and by configuring them in any combination, a plurality of LUTs with various input/output numbers can be realized within one LUT.

Furthermore, in Figure 2-6 of Plaintiff's Exhibit 5, details of the ALM for the Stratix II architecture are shown below (Frames and circles were added.).



(Extracted translation of Plaintiff's Exhibit 5, Figure 2-6)

In Figure 2-6 of Plaintiff's Exhibit 5, each of the two "4-input LUT" corresponds to a 4LUT, and each of the four "3-input LUT" corresponds to a 3LUT. Accordingly, the ALM of Defendants' Product 1 comprises a group of LUTs consisting of six LUTs.

In Figure 2-6 of Plaintiff's Exhibit 5, the multiplexers in the red frame area are multiplexers provided in the former stage of the group of LUTs, and the multiplexers in the blue frame area is a multiplexer provided in the latter stage of the group of LUTs. In addition, there are multiplexers for input signal selection in the red frame area and multiplexers for output signal selection in the blue frame area, respectively.

In addition, the input signal selection multiplexer is controlled by the bit value stored in the SRAM that exists near the multiplexer circled in green at least, and the output signal selection multiplexer is controlled by the bit value stored in the SRAM that exists near the multiplexer circled in orange at least.

The configuration shown in Figure 2-6 of Plaintiff's Exhibit 5, including these points, is the same as the configuration shown in Figure 6 of Plaintiff's Exhibit 25 in that it comprises a group of LUTs consisting of a plurality of LUTs and a plurality of multiplexers for selecting input signals to and output signals from the group of LUTs, and these plurality of multiplexers are controlled by bit values stored in SRAM and input signals.

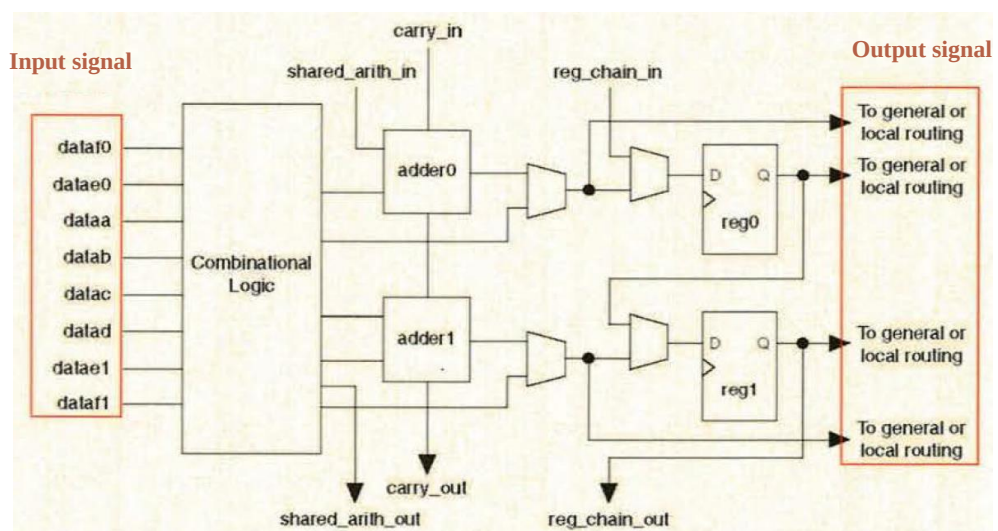
Therefore, the ALM of Defendants' Product 1 comprises Configuration 1a through 1h of Defendants' Product as described in **Section 1•5•(7)**, and Defendants' Product 1 comprises Configuration 5a through 5h of Defendants' Product as described in **Section 1•6•(7)**.

In addition, it has been established that the Defendants' Method executed when programming Defendants' Product 1 comprises Configuration 6a through 6e of the Defendants' Method described in **Section 1•7•(6)**.

2 Defendants' Product 2 (Stratix II GX Series) (Plaintiff's Exhibit 6)

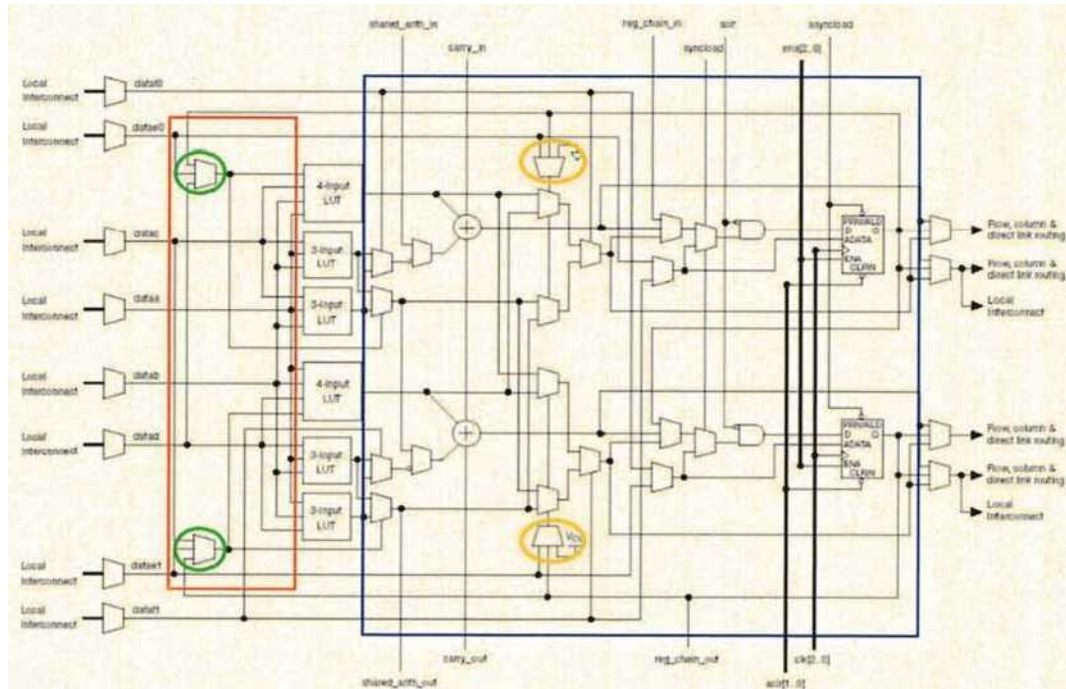
The basic configuration of the ALM for Defendants' Product 2 is explained in Plaintiff's Exhibit 6.

As follows, the basic configuration of the ALM for Defendants' Product 2 is described in Figure 3-4 of Plaintiff's Exhibit 6 (Red frame and explanation were added by the Plaintiff.).



(Plaintiff's Exhibit 6, Figure 3-4)

In addition, in Figure 3-5 of Plaintiff's Exhibit 6, details of the ALM for the Stratix II GX architecture are shown below (Frames and circles were added.).



(Plaintiff's Exhibit 6, Figure 3-5)

As stated above, the basic configuration of the ALM shown in Plaintiff's Exhibit 6 is the same as the basic configuration of the ALM shown in Plaintiff's Exhibit 25 as follows.

- ① Each of the eight signals in the red frame shown as "input signals" on the left side of Plaintiff's Exhibit 6 represents the input signals, and each of the four signals shown as "output signals" on the right side [of Plaintiff's Exhibit 6] represents the output signals. Therefore, the ALM of Defendants' Product 2 is an ALM of 8-input 4-output, that is, M-input N-output.
- ② There are multiplexers for input signal selection in the red frame area of Plaintiff's Exhibit 6, Figure 3-5 and they are controlled by the bit values stored in SRAM, at least which exists in vicinity of multiplexers surrounded by green circles, etc., and input signals.

③ There are multiplexers for selecting output signals in the blue frame region of Plaintiff's Exhibit 6, Figure 3-5, and they are controlled by the bit values stored in the SRAM, at least which exists in vicinity of the multiplexers surrounded by orange circles, etc., and input signals.

In addition, the ALM of Defendants' Product 2 has the characteristics shown in Plaintiff's Exhibit 25.

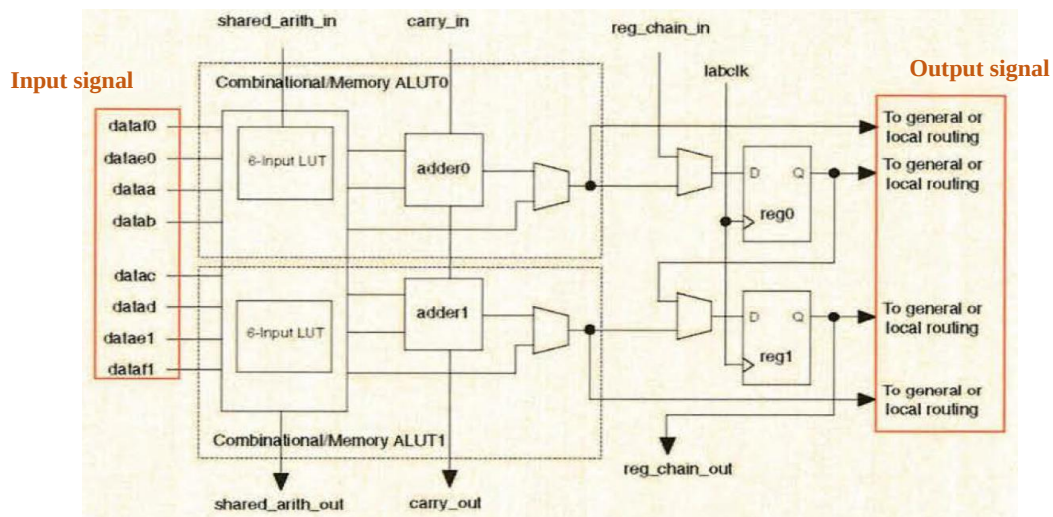
Therefore, the ALM of Defendants' Product 2 comprises Configuration 1a through 1h of Defendants' Product as described in **Section 1•5•(7)**, and Defendants' Product 2 comprises Configuration 5a through 5h of Defendants' Product as described in **Section 1•6•(7)**.

In addition, the Defendants' Method executed when programming Defendants' Product 2 has been established to have Configuration 6a through 6e of the Defendants' Method described in **Section 1•7•(6)**.

3 Defendants' Product 3 (Stratix III series) (Plaintiff's Exhibit 7)

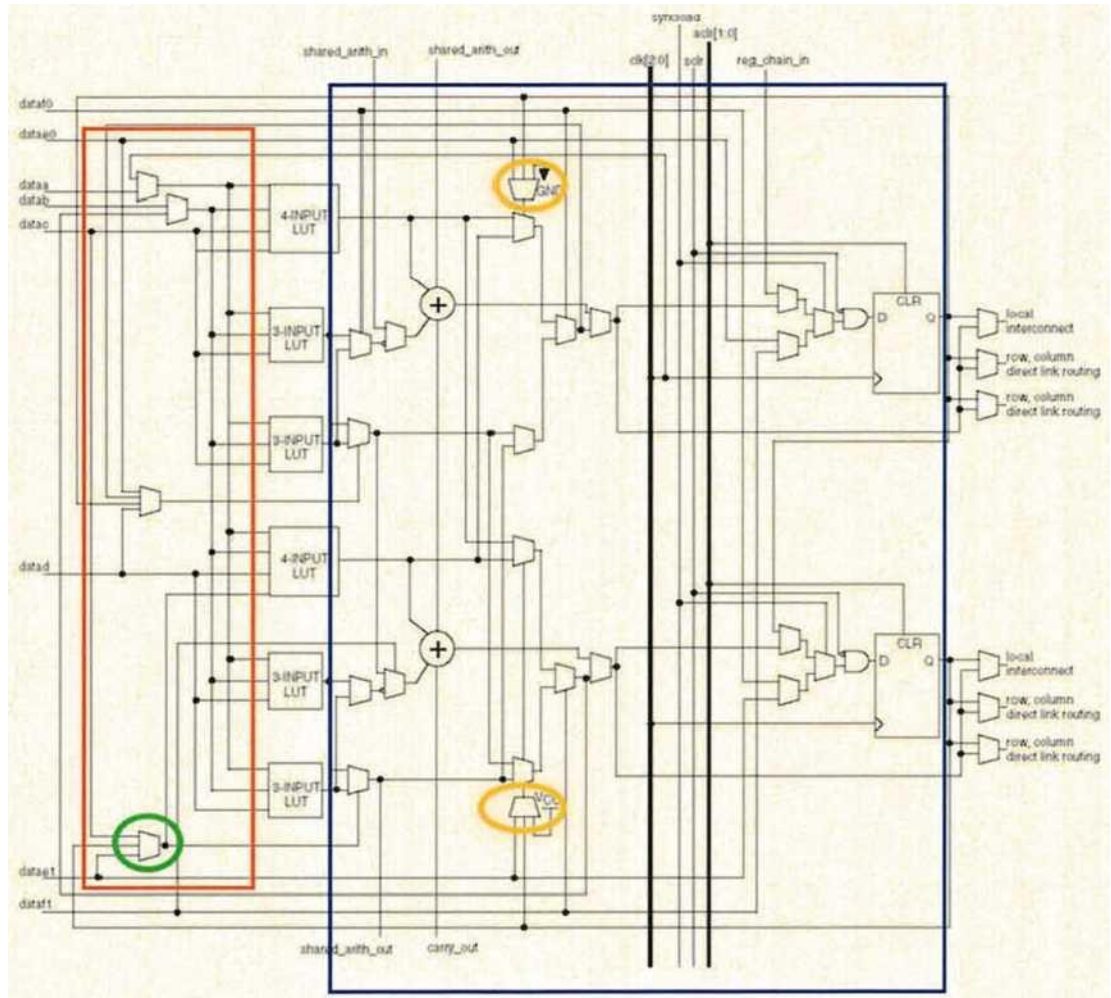
The basic configuration of the ALM for Defendants' Product 3 is explained in Plaintiff's Exhibit 7.

As follows, the basic configuration of the ALM for Defendants' Product 3 is described in Figure 2-5 of Plaintiff's Exhibit 7 (Red frame and explanation were added by the Plaintiff.).



(Plaintiff's Exhibit 7, Figure 2-5)

In addition, in Figure 2-6 of Plaintiff's Exhibit 7, the details of the ALM for the Stratix III architecture are shown as follows (Description, frame, etc. were added.).



(Plaintiff's Exhibit 7, Figure 2-6)

As stated above, the basic configuration of the ALM shown in Plaintiff's Exhibit 7 is the same as the basic configuration of the ALM shown in Plaintiff's Exhibit 25 as follows.

- ① Each of the eight signals in the red frame shown as "input signals" on the left side of Plaintiff's Exhibit 7, Figure 2-5, represents the input signals, and each of the four signals shown as "output signals" on the right side [of Plaintiff's Exhibit 7, Figure 2-5] represents the output signals. Therefore, the ALM for Defendants' Product 3 is ALM for 8-input 4-

output, that is M-input N-output.

- ② There are multiplexers for input signal selection in the red frame area of Plaintiff's Exhibit 7, Figure 2-6, and they are controlled by the bit values stored in the SRAM, at least which exists in vicinity of the multiplexers surrounded by green circles, etc., and input signals.
- ③ There are multiplexer for output signal selection in the blue frame area of Plaintiff's Exhibit 7, Figure 2-6, and they are controlled by the bit values stored in the SRAM, at least which exists in vicinity of the multiplexers surrounded by orange circles, etc., and input signals.

In addition, the ALM of Defendants' Product 3 has the characteristics shown in Plaintiff's Exhibit 25.

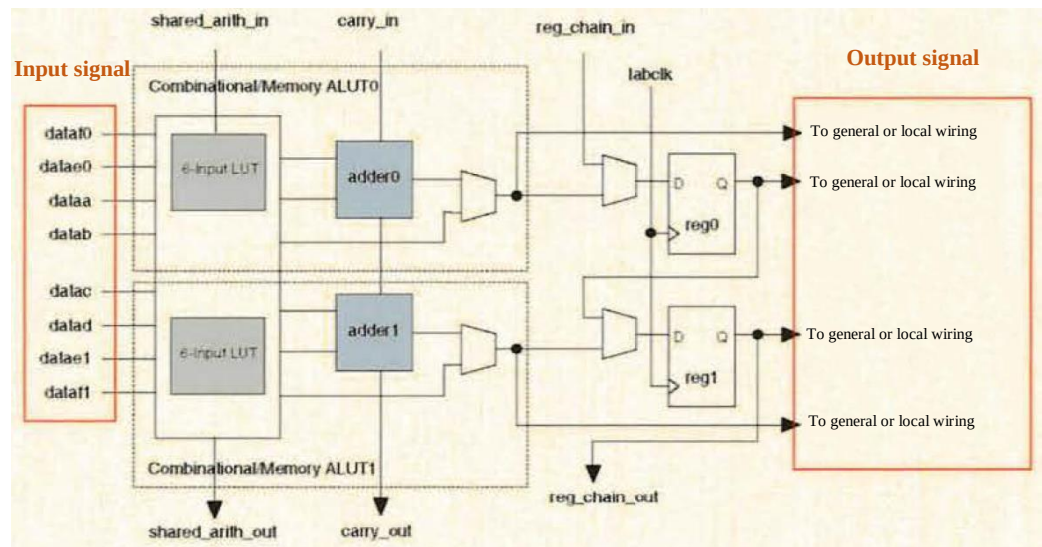
Therefore, the ALM of Defendants' Product 3 comprises Configuration 1a through 1h of Defendants' Product as described in **Section 1•5•(7)**, and Defendants' Product 3 comprises Configuration 5a through 5h of Defendants' Product as described in **Section 1•6•(7)**.

In addition, the Defendants' Method executed when programming Defendants' Product 3 has been established to have Configuration 6a through 6e of the Defendants' Method described in **Section 1•7•(6)**.

4 Defendants' Product 4 (Stratix IV Series) (Plaintiff's Exhibit 8)

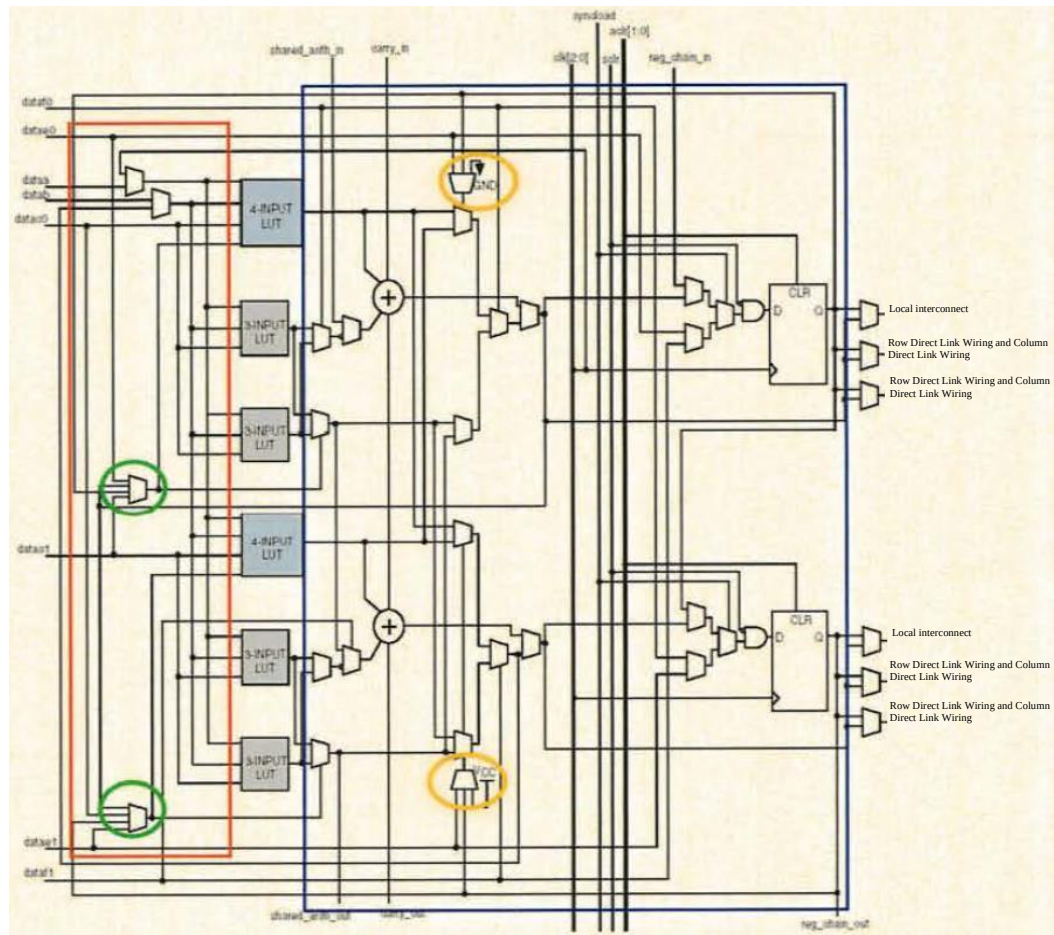
The basic configuration of the ALM for Defendants' Product 4 is explained in Plaintiff's Exhibit 8.

As shown below, Figure 2-5 of Plaintiff's Exhibit 8 describes the basic configuration of the ALM for Defendants' Product 4 (Red frame and explanation were added by the Plaintiff.).



(Plaintiff's Exhibit 8, Figure 2-5)

In addition, in Figure 2-6 of Plaintiff's Exhibit 8, the details of the ALM of the Stratix IV architecture are shown as follows (Description, frame, etc. were added.).



(Plaintiff's Exhibit 8, Figure 2-6)

The basic configuration of the ALM shown in Plaintiff's Exhibit 8 as described above is the same as the basic configuration of the ALM shown in Plaintiff's Exhibit 25 as follows.

- ① Each of the eight signals in the red frame shown as "input signals" on the left side of Plaintiff's Exhibit 8, Figure 2-5, represents the input signals, and each of the four signals shown as "output signals" on the right side [of Plaintiff's Exhibit 8, Figure 2-5] represents the output signals. Therefore, the ALM for Defendants' Product 4 is ALM for 8-input 4-output, that is M-input N-output.
- ② There are multiplexers for input signal selection in the red frame area of Plaintiff's Exhibit 8, Figure 2-6 and they are controlled by the bit values stored in the SRAM, at least which exists in vicinity of the multiplexers surrounded by green circles, etc., and input signals.
- ③ There are multiplexers for selecting output signals in the blue frame region of Plaintiff's

Exhibit 8, Figure 2-6, and they are controlled by the bit values stored in the SRAM, at least which exists in vicinity of the multiplexers surrounded by orange circles, etc., and input signals.

In addition, the ALM of Defendants' Product 4 has the characteristics shown in Plaintiff's Exhibit 25.

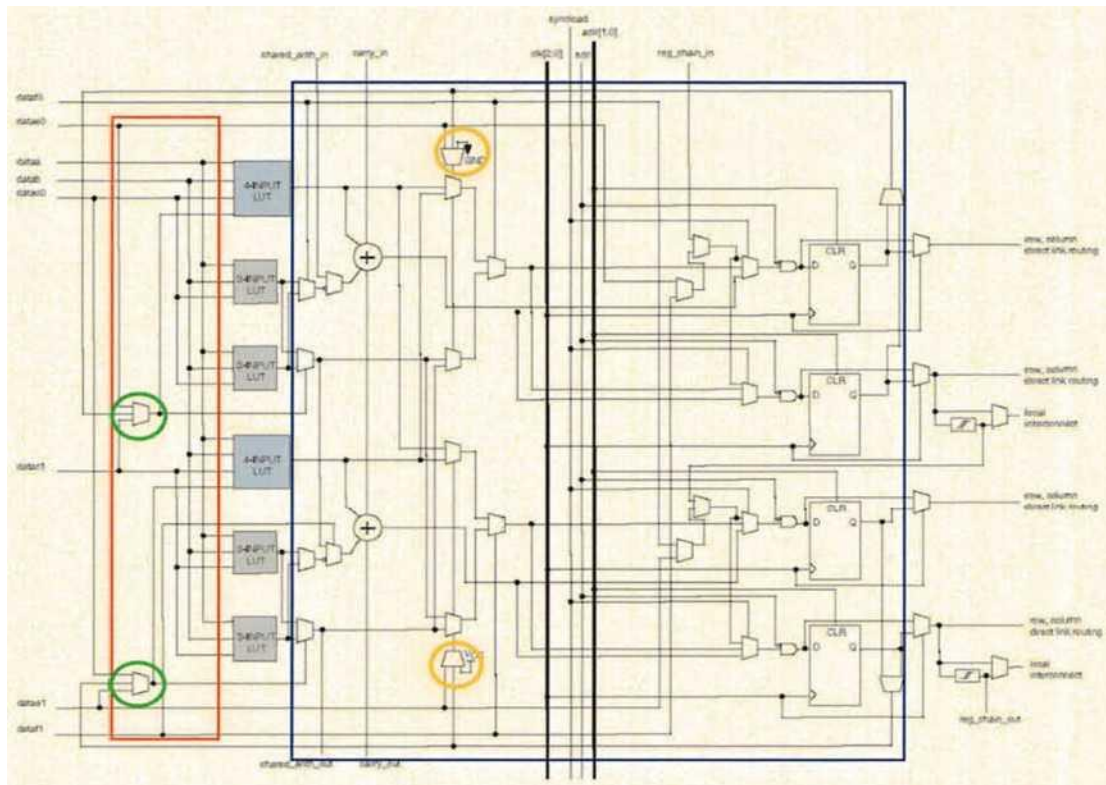
Therefore, the ALM of Defendants' Product 4 comprises Configuration 1a through 1h of Defendants' Product as described in **Section 1•5•(7)**, and Defendants' Product 4 comprises Configuration 5a through 5h of Defendants' Product as described in **Section 1•6•(7)**.

In addition, it has been established that the Defendants' Method executed when programming Defendants' Product 4 comprises Configuration 6a through 6e of the Defendants' Method described in **Section 1•7•(6)**.

5 Defendants' Product 5 (Stratix V series) (Plaintiff's Exhibit 9)

The basic configuration of the ALM for Defendants' Product 5 is explained in Plaintiff's Exhibit 9.

As follows, the basic configuration of the ALM for Defendants' Product 5 is described in Figure 1-5 of Plaintiff's Exhibit 9 (Red frame and explanation were added by the Plaintiff.).



(Plaintiff's Exhibit 9, Figure 1-6)

As stated above, the basic configuration of the ALM shown in Plaintiff's Exhibit 9 is the same as the basic configuration of the ALM shown in Plaintiff's Exhibit 25 as follows.

- ① Each of the eight signals in the red frame shown as "input signals" on the left side of Plaintiff's Exhibit 9, Figure 1-5 corresponds to the input signals, and each of the eight signals shown as "output signals" on the right side [of the Plaintiff's Exhibit 9, Figure 1-5] corresponds to the output signals. However, Plaintiff's Exhibit 9, Figure 1-6 depicted these output signals as six [signals]. Accordingly, the ALM of Defendants' Product 5 is an ALM of 8-input 6-output or 8-output, that is, M-input N-output.
- ② There are multiplexers for input signal selection in the red frame area of Plaintiff's Exhibit 9, Figure 1-6, and they are controlled by the bit values stored in SRAM, at least which exists in vicinity of the multiplexers surrounded by green circles, etc., and input signals.
- ③ There are multiplexers for output signal selection in the blue frame region of Plaintiff's Exhibit 9, Figure 1-6, and they are controlled by the bit values stored in SRAM, at least

which exists in vicinity of the multiplexers surrounded by orange circles, etc., and input signals.

In addition, the ALM of Defendants' Product 5 has the characteristics shown in Plaintiff's Exhibit 25

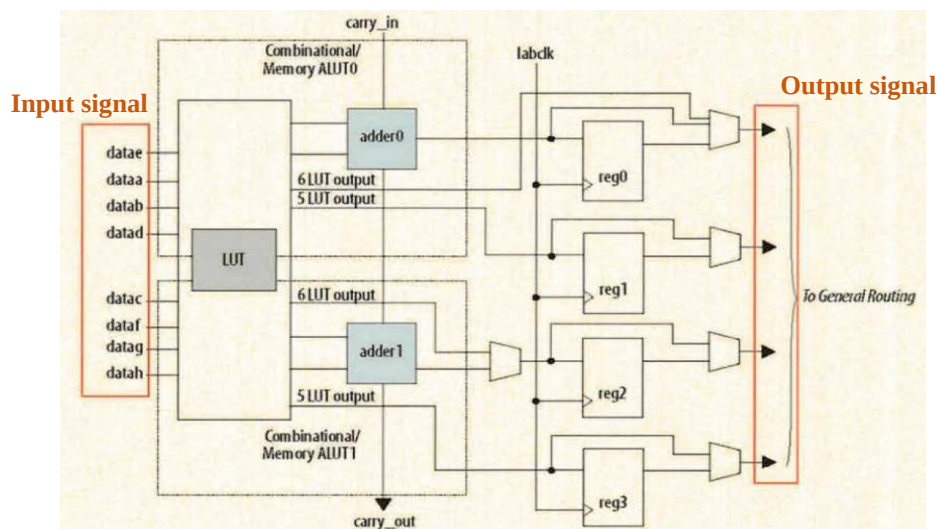
Therefore, the ALM of Defendants' Product 5 comprises Configuration 1a through 1h of Defendants' Product as described in **Section 1•5•(7)**, and Defendants' Product 5 comprises Configuration 5a through 5h of Defendants' Product as described in **Section 1•6•(7)**.

In addition, the Defendants' Method executed when programming Defendants' Product 5 has been established to have Configuration 6a through 6e of the Defendants' Method described in **Section 1•7•(6)**.

6 Defendants' Product 6 (Stratix 10 series) (Plaintiff's Exhibit 10)

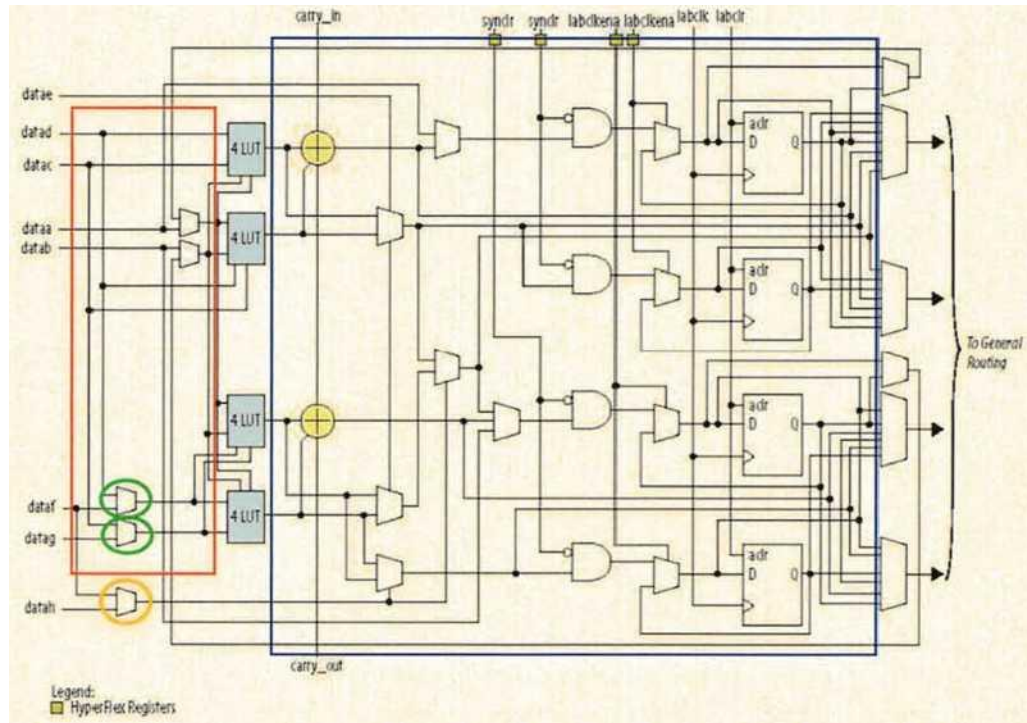
The basic configuration of the ALM for Defendants' Product 6 is described in Plaintiff's Exhibit 10.

As follows, the basic configuration of the ALM for Defendants' Product 6 is described in Figure 6 of Plaintiff's Exhibit 10 (Red frame and explanation were added by the Plaintiff.).



(Plaintiff's Exhibit 10, Figure-6)

In addition, in Figure-7 of Plaintiff's Exhibit 10, details of the ALM for Defendants' Product 6 are shown below (Explanation, frame, etc. were added.).



(Plaintiff's Exhibit 10, Figure-7)

The basic configuration of the ALM shown in Plaintiff's Exhibit 10 is the same as the basic configuration of the ALM shown in Plaintiff's Exhibit 25 as follows.

- ① Each of the eight signals in the red frame shown as "input signals" on the left side of Plaintiff's Exhibit 10, Figure-6 corresponds to the input signals, and each of the four signals shown as "output signals" on the right side [of Plaintiff's Exhibit 10, Figure-6] corresponds to the output signals. Therefore, the ALM for Defendants' Product 6 is ALM for 8-input 4-output, that is, M-input N-output.
- ② There are multiplexers for input signal selection in the red frame area of Plaintiff's Exhibit 10, Figure-7, and they are controlled by the bit values stored in the SRAM, at least which exists in vicinity of the multiplexer surrounded by green circles, etc., and input signals.
- ③ There are multiplexers for output signal selection in the blue frame region of Plaintiff's

Exhibit 10, Figure-7, and they are controlled by the bit values stored in the SRAM, at least which exists in vicinity of the multiplexer surrounded by an orange circles, etc., and input signals.

In addition, the ALM of Defendants' Product 6 has the characteristics shown in Plaintiff's Exhibit 25

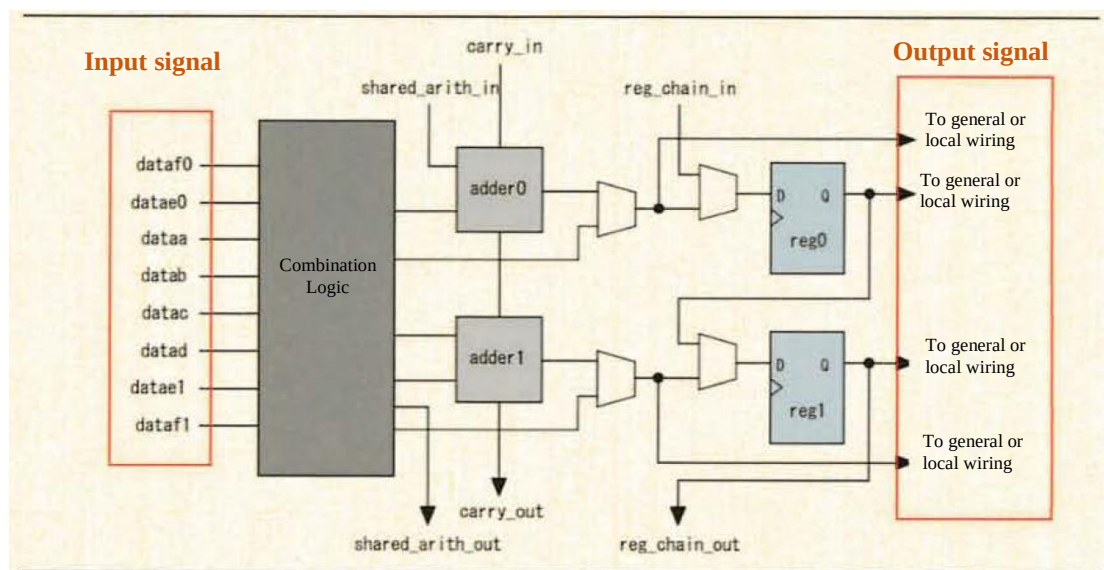
Therefore, the ALM of Defendants' Product 6 comprises Configuration 1a through 1h of Defendants' Product as described in **Section 1•5•(7)**, and Defendants' Product 6 comprises Configuration 5a through 5h of Defendants' Product as described in **Section 1•6•(7)**.

In addition, the Defendants' Method executed when programming Defendants' Product 6 has been established to have Configuration 6a through 6e of the Defendants' Method described in **Section 1•7•(6)**.

7 Defendants' Product 7 (Arria GX series) (Plaintiff's Exhibit 11)

The basic configuration of the ALM for Defendants' Product 7 is described in Plaintiff's Exhibit 11.

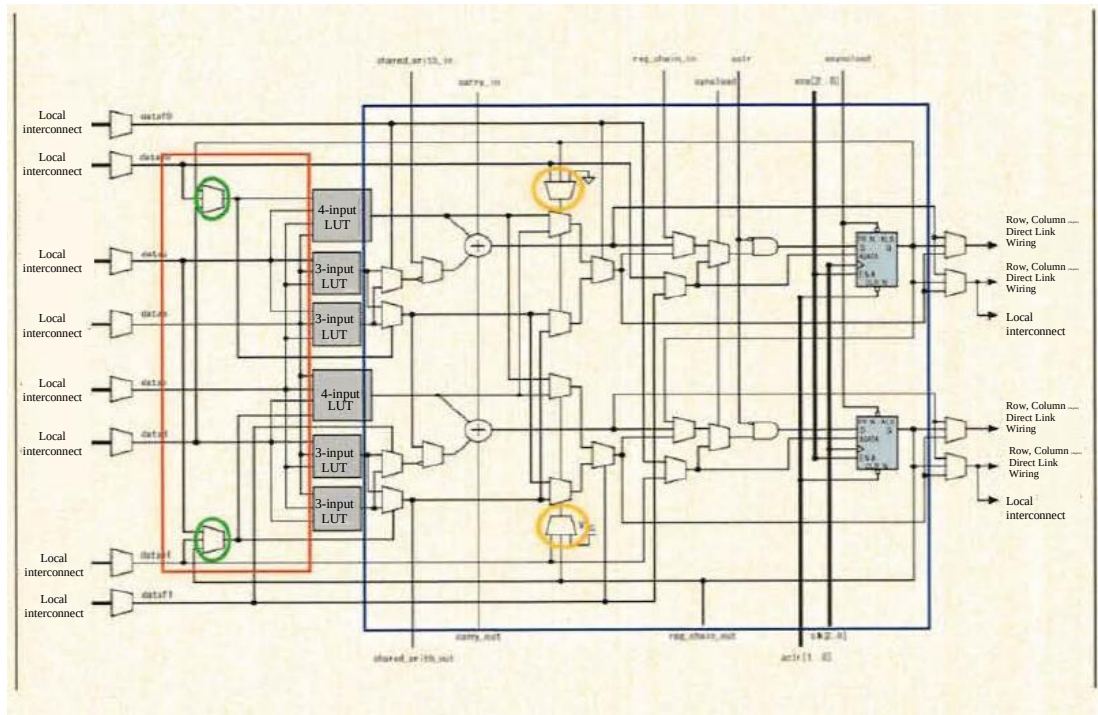
As follows, the basic configuration of the ALM for Defendants' Product 7 is described in Figure 2-28 of Plaintiff's Exhibit 11 (Red frame and explanation were added by the Plaintiff.).



(Abridged translation of Plaintiff's Exhibit 11, Figure 2-28)

In addition, in Figure 2-29 of Plaintiff's Exhibit 11, details of the ALM for Defendants'

Product 7 are shown as follows (Explanation, frame, etc. were added.).



(Abridged translation of Plaintiff’s Exhibit 11, Figure 2-29)

As stated above, the basic configuration of the ALM shown in Plaintiff’s Exhibit 11 is the same as the basic configuration of the ALM shown in Plaintiff’s Exhibit 25 in the following points.

- ① Each of the eight signals in the red frame shown as “input signals” on the left side of Plaintiff’s Exhibit 11, Figure 2-28, represents the input signals, and each of the four signals shown as “output signals” on the right side [of Plaintiff’s Exhibit 11, Figure 2-28] represents the output signals. Therefore, the ALM for Defendants’ Product 7 is the ALM for 8-input 4-output, that is, M-input N-output.
- ② There are multiplexers for input signal selection in the red frame area of Plaintiff’s Exhibit 11, Figure 2-29, and they are controlled by the bit values stored in SRAM, at least which exists in vicinity of the multiplexers surrounded by green circles, etc., and input signals.
- ③ There are multiplexers for output signal selection in the blue frame region of Plaintiff’s Exhibit 11, Figure 2-29 and they are controlled by the bit values stored in SRAM, at least

which exists in vicinity of the multiplexers surrounded by orange circles, etc., and input signals.

In addition, the ALM of Defendants' Product 7 has the characteristics shown in Plaintiff's Exhibit 25.

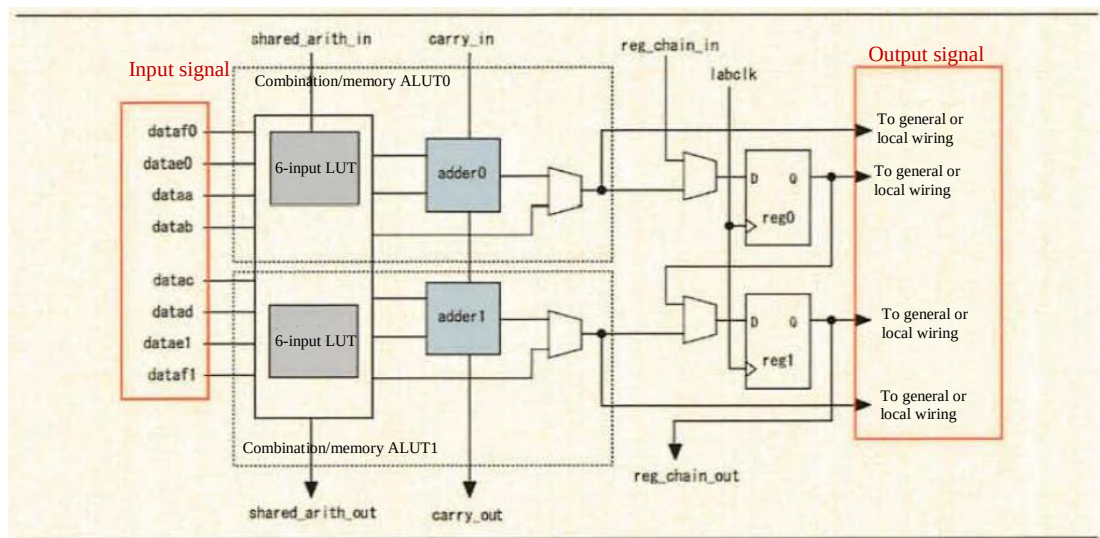
Therefore, the ALM of Defendants' Product 7 comprises Configuration 1a through 1h of Defendants' Product as described in **Section 1•5•(7)**, and Defendants' Product 7 comprises Configuration 5a through 5h of Defendants' Product as described in **Section 1•6•(7)**.

In addition, the Defendants' Method executed when programming Defendants' Product 7 is founded to have Configuration 6a through 6e of the Defendants' Method described in **Section 1•7•(6)**.

8 Defendants' Product 8 (Arria II series) (Plaintiff's Exhibit 12)

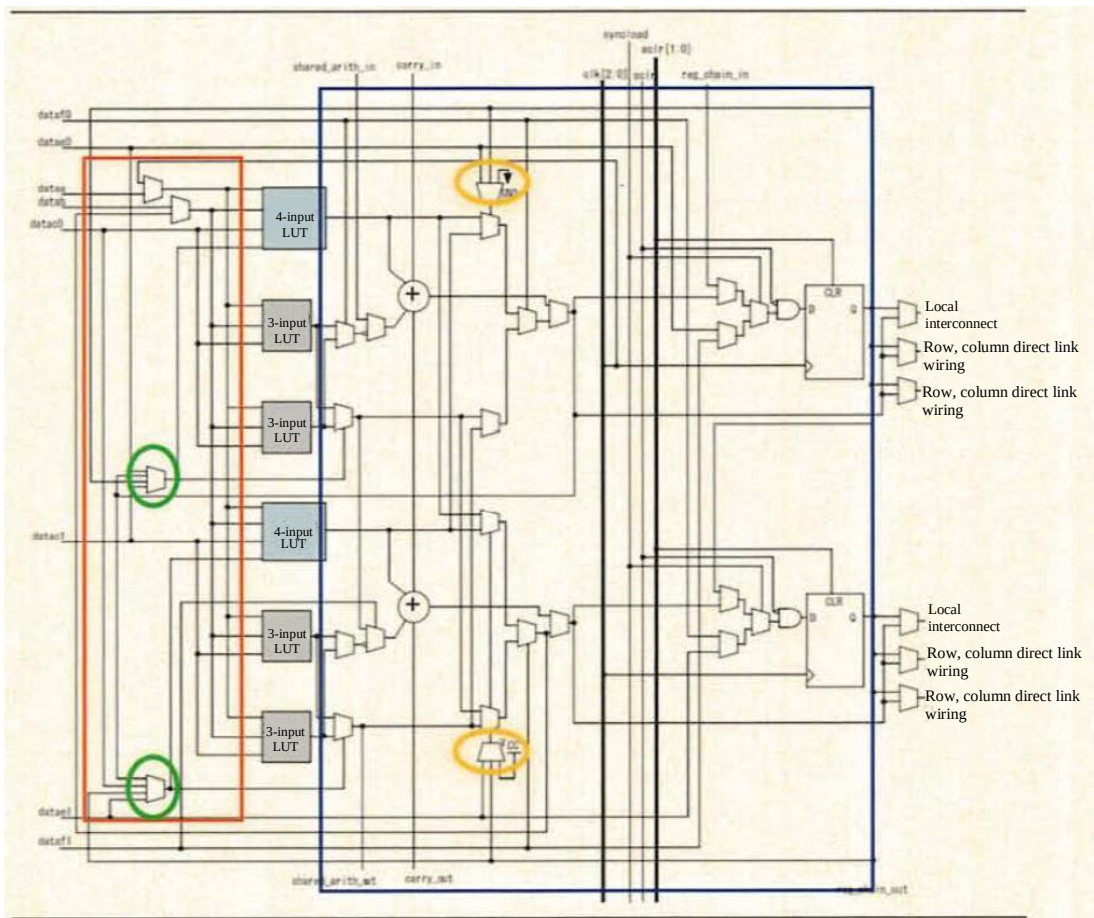
The basic configuration of the ALM for Defendants' Product 8 is described in Plaintiff's Exhibit 12.

As shown below, Figure 2-5 of Plaintiff's Exhibit 12 describes the basic configuration of the ALM for Defendants' Product 8 (Red frame and explanation were added by the Plaintiff.).



(Abridged translation of Plaintiff's Exhibit 12, Figure 2-5)

In addition, in Figure 2-6 of Plaintiff's Exhibit 12, details of the ALM for Defendants' Product 8 are shown as follows (Explanation, frame, etc. were added.).



(Abridged translation of Plaintiff’s Exhibit 12, Figure 2-6)

As stated above, the basic configuration of the ALM shown in Plaintiff’s Exhibit 12 is the same as the basic configuration of the ALM shown in Plaintiff’s Exhibit 25 in the following points.

- ① Each of the eight signals in the red frame shown as “input signals” on the left side of Plaintiff’s Exhibit 12, Figure 2-5, represents the input signals, and each of the four signals shown as “output signals” on the right side [of Plaintiff’s Exhibit 12, Figure 2-5] represents the output signals. Therefore, the ALM of Defendants’ Product 8 is an ALM of 8-input 4-output, that is, M-input N-output.
- ② There are multiplexers for input signal selection in the red frame area of Plaintiff’s Exhibit 12, Figure 2-6, and they are controlled by the bit values stored in SRAM, at least which exists in vicinity of the multiplexers surrounded by green circles, etc., and input signals.
- ③ There are multiplexers for output signal selection in the blue frame region of Plaintiff’s

Exhibit 12 Figure 2-6, and they are controlled by the bit values stored in SRAM, at least which exists in vicinity of the multiplexers circled by orange circles, etc., and input signals.

In addition, the ALM of Defendants' Product 8 has the characteristics shown in Plaintiff's Exhibit 25.

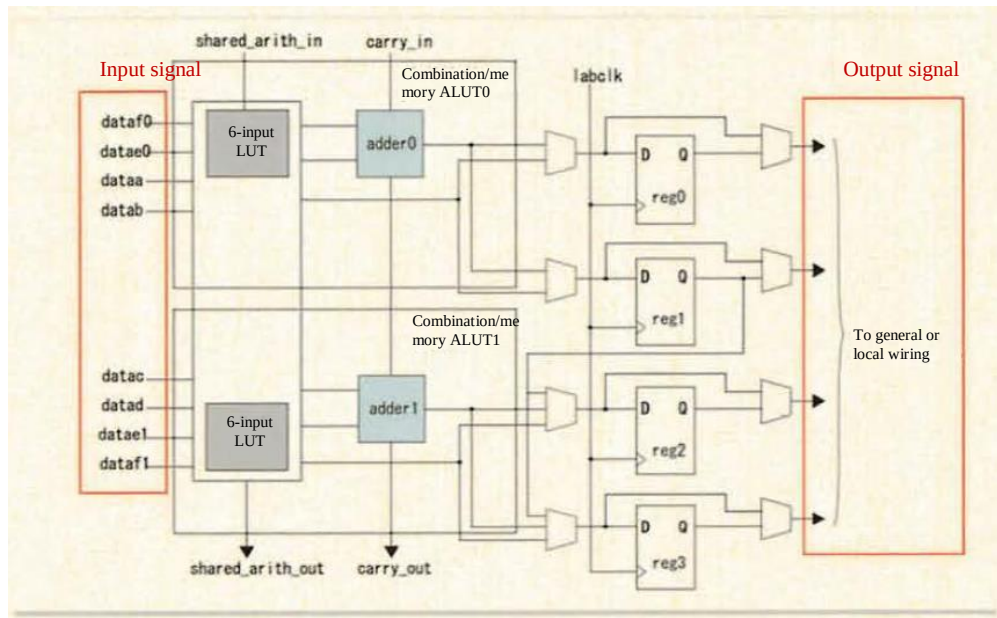
Therefore, the ALM of Defendants' Product 8 comprises Configuration 1a through 1h of Defendants' Product as described in **Section 1•5•(7)**, and Defendants' Product 8 comprises Configuration 5a through 5h of Defendants' Product as described in **Section 1•6•(7)**.

In addition, the Defendants' Method executed when programming Defendants' Product 8 is founded to have Configuration 6a through 6e of the Defendants' Method described in **Section 1•7•(6)**.

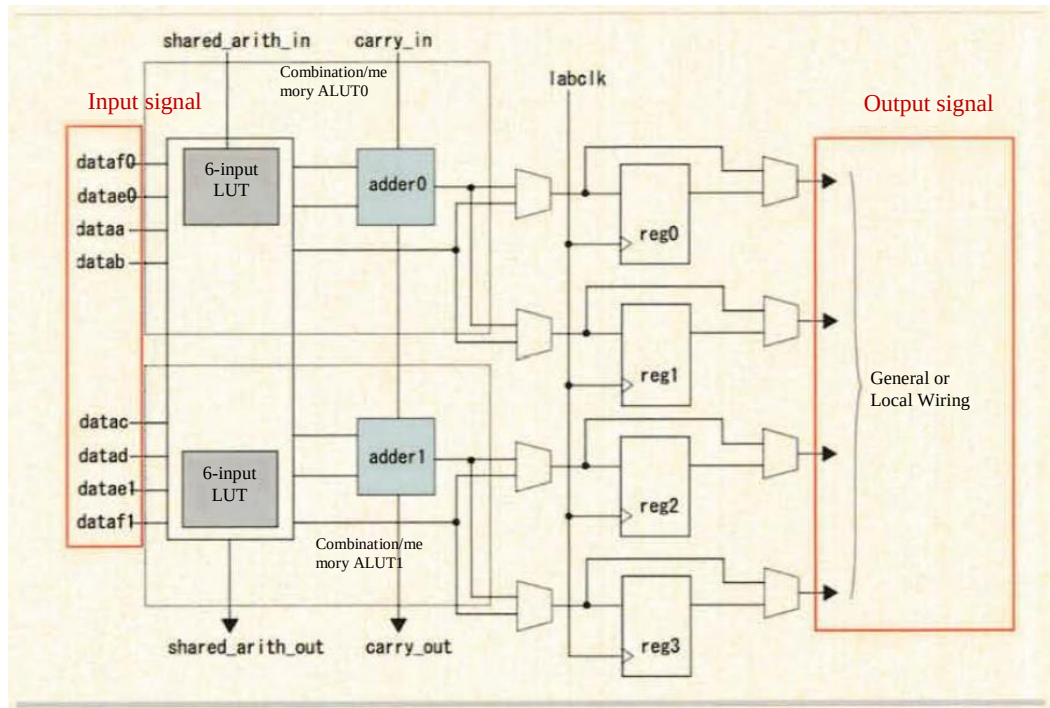
9 Defendants' Product 9 (Arria V series) (Plaintiff's Exhibit 13)

The basic configuration of the ALM for Defendants' Product 9 is explained in Plaintiff's Exhibit 13.

As shown below, the basic configuration of the ALM for Defendants' Product 9 is shown in Figure 1-7 of Plaintiff's Exhibit 13 (regarding each of "Arria V GX FPGA", "Arria V GT FPGA", "Arria V SX SoC FPGA", and "Arria V ST SoC FPGA" product collections), and Figure 1-8 [of Plaintiff's Exhibit 13] (regarding "Arria V GZ FPGA" product collection) (Red frame and explanation added by the Plaintiff.).

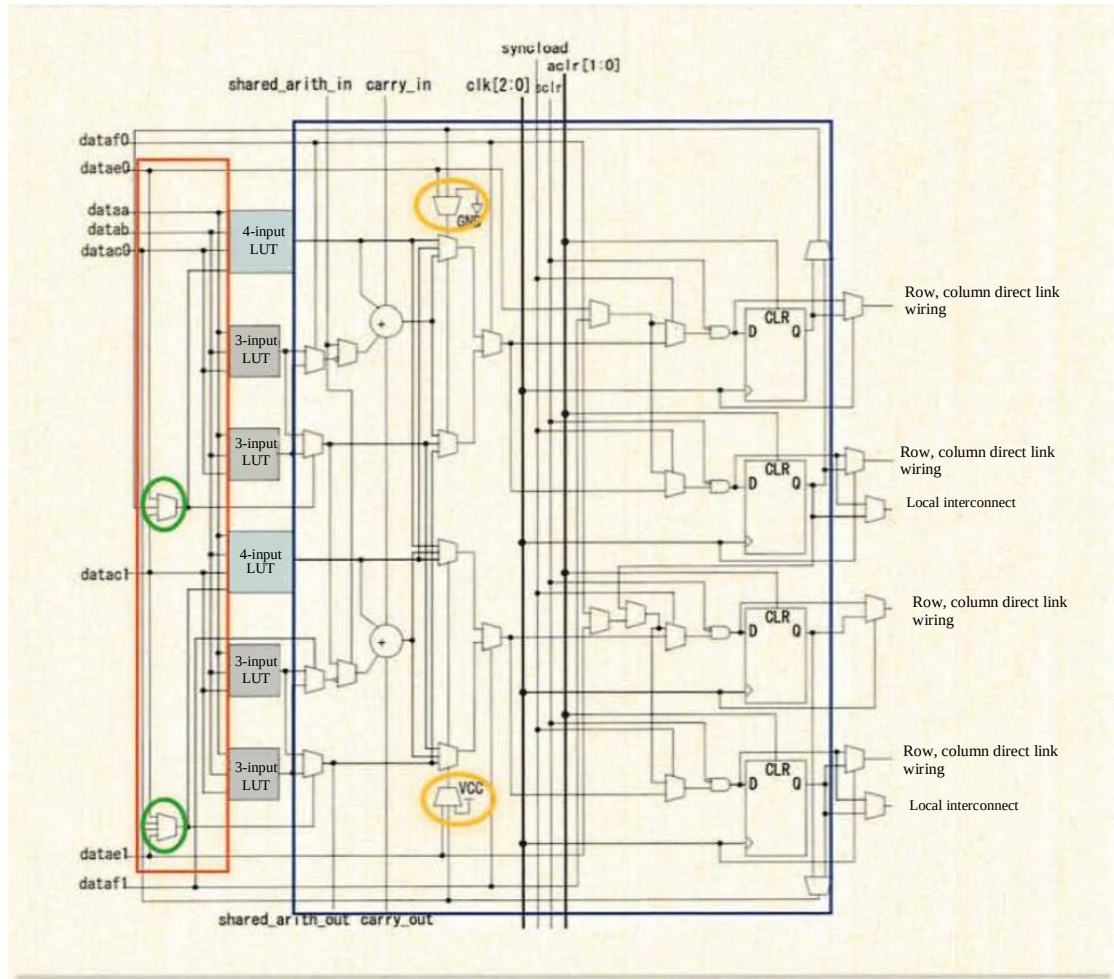


(Excerpt from Plaintiff's Exhibit 13, Figure 1-7)

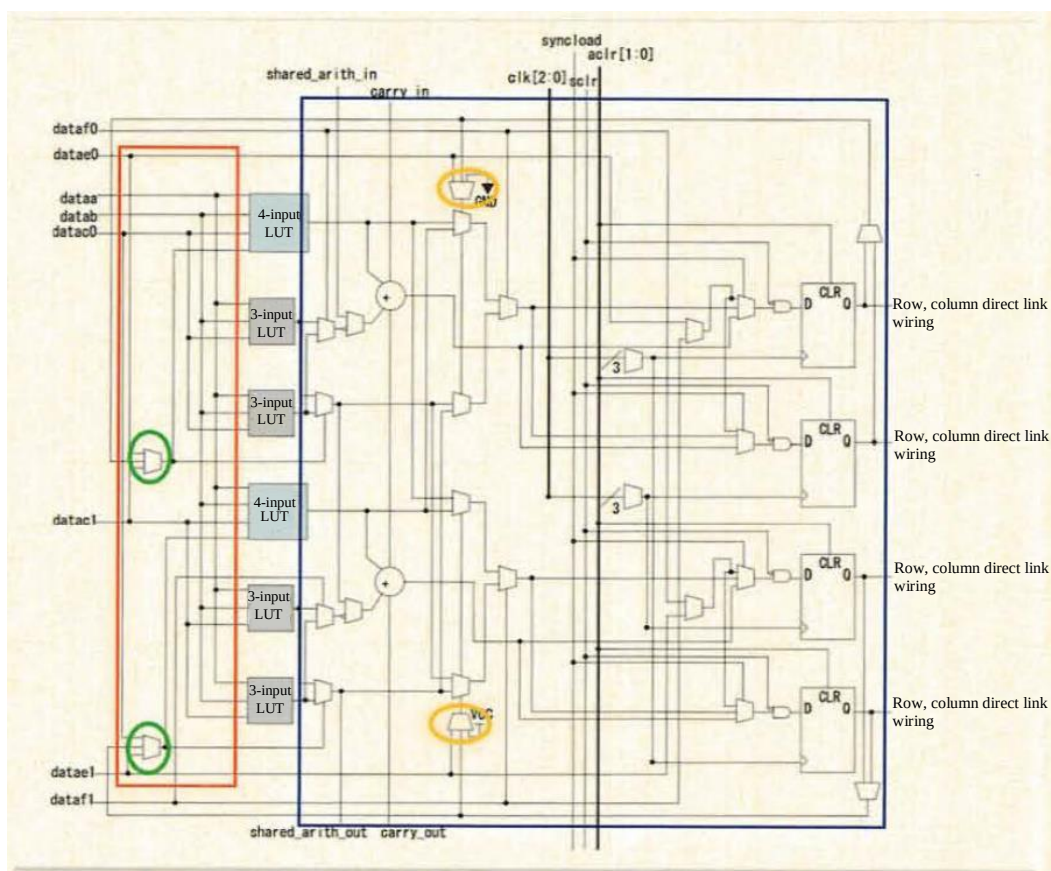


(Excerpt from Plaintiff's Exhibit 13, Figure 1-8)

In addition, in Plaintiff's Exhibit 13, Figure 1-9 (regarding each of "Arria V GX FPGA", "Arria V GT FPGA", "Arria V SX SoC FPGA" and "Arria V ST SoC FPGA" product collections) and Figure 1-10 (regarding "Arria V GZ FPGA" product collection) show the following details of the ALM of Defendants' Product 9 (Explanations, frames, etc. were added.).



(Excerpt from Plaintiff's Exhibit 13, Figure 1-9)



(Abridged translation from Plaintiff's Exhibit 13, Figure 1-10)

As stated above, the basic configuration of the ALM shown in Plaintiff's Exhibit 13 is the same as the basic configuration of the ALM shown in Plaintiff's Exhibit 25 in the following points.

- ① Each of the eight signals in the red frame shown as "input signals" on the left side of Plaintiff's Exhibit 13, Figure 1-7 and Figure 1-8, represents the input signals, and each of the four signals shown as "output signals" on the right side of [Plaintiff's Exhibit 13, Figure 1-7 and Figure 1-8] represents the output signals. Therefore, the ALM for Defendants' Product 9 is ALM for 8-input 4-output, that is, M-input N-output.
- ② Plaintiff's Exhibit 13, Figure 1-9 and Figure 1-10 have multiplexers for input signal selection in the red frame region, and are controlled by the bit values stored in SRAM, at least which exists in vicinity of the multiplexers surrounded by green circles, etc., and input signals.
- ③ Plaintiff's Exhibit 13, Figure 1-9 and Figure 1-10 have multiplexers for output signal selection in the blue frame region, and are controlled by the bit values stored in SRAM, at

least which exists in vicinity of the multiplexers surrounded by orange circles, etc., and input signals.

In addition, the ALM of Defendants' Product 9 has the characteristics shown in Plaintiff's Exhibit 25.

Therefore, the ALM of Defendants' Product 9 comprises Configuration 1a through 1h of Defendants' Product as described in **Section 1•5•(7)**, and Defendants' Product 9 comprises configuration 5a through 5h of Defendants' Product as described in **Section 1•6•(7)**.

In addition, the Defendants' Method executed when programming Defendants' Product 9 has been established to have Configuration 6a through 6e of the Defendants' Method described in **Section 1•7•(6)**.

10 Defendants' Product10 (Arria 10 series) (Plaintiff's Exhibit 14)

The basic configuration of the ALM for Defendants' Product 10 is described in Plaintiff's Exhibit 14.

As follows, Plaintiff's Exhibit 14 states that the basic configuration of the ALM of Defendants' Product 10 is the same as the previous generation, that is Arria V Series (Defendants' Product 9).

1.5. Adaptive Logic Modules

The Arria 10 device uses 20 nm ALM as a basic building block for logic fabrics.

The ALM architecture uses the same architecture as the previous generation FPGA, making it easy to implement efficient logic functions and change IP across device generations.

(Plaintiff's Exhibit 14, Page 17, Line 1 from the bottom to Page 18, Line 2 from the top)

Furthermore, the previous generation of the Arria 10 series (Defendants' Product 10) was the Arria V series (Defendants' Product 9), as "Arria V GZ FPGA" is listed before "Intel Arria 10 FPGA" in Plaintiff's Exhibit 27, which shows "all generations of the Arria series". Therefore, it is found that the ALM of Defendants' Product 10 comprises Configuration 1a through 1h of Defendants' Product as described in **Section 1•5•(7)**, and Defendants' Product 10 comprises

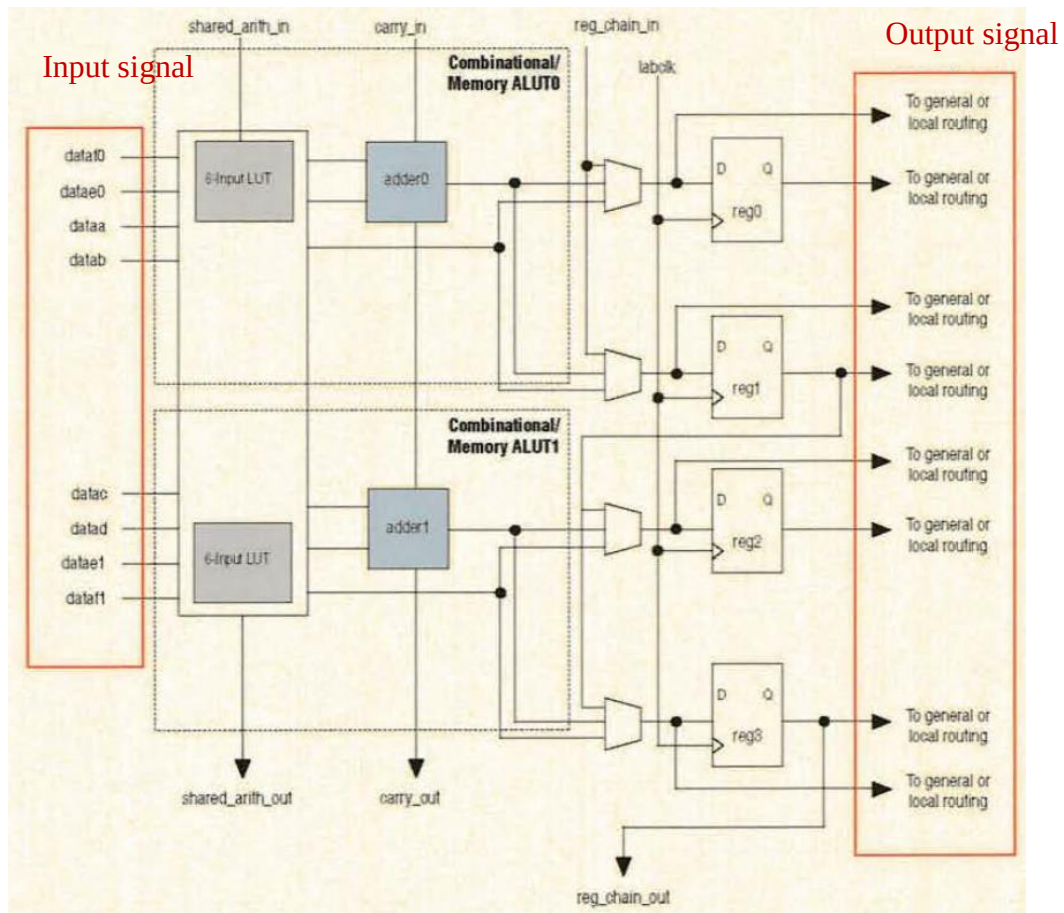
Configuration 5a through 5h of Defendants' Product as described in **Section 1•6•(7)**.

In addition, the Defendants' Method executed when programming Defendants' Product 10 has been established to have Configuration 6a through 6e of the Defendants' Method described in **Section 1•7•(6)**.

11 Defendants' Product 11 (Cyclone V series) (Plaintiff's Exhibit 15)

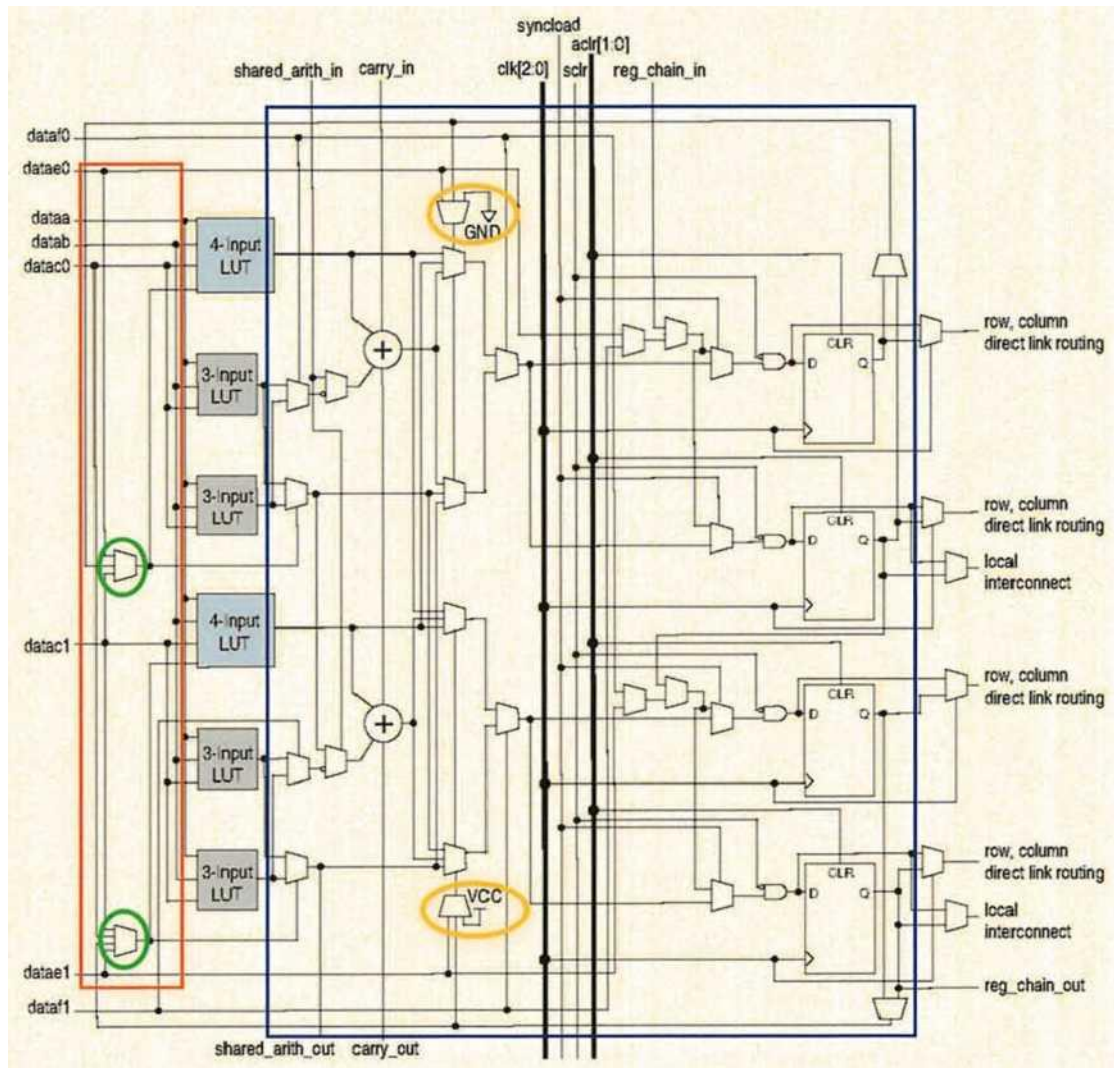
The basic configuration of the ALM for Defendants' Product 11 is described in Plaintiff's Exhibit 15.

As follows, the basic configuration of the ALM for Defendants' Product 11 is described in Figure 1-5 of Plaintiff's Exhibit 15 (Red frame and explanation were added by the Plaintiff.).



(Plaintiff's Exhibit 15, Figure 1-5)

In addition, in Plaintiff's Exhibit 15, Figure 1-6 details the ALM for Defendants' Product 11 as shown below (Explanation, frame, etc. were added.).



(Plaintiff's Exhibit 15, Figure 1-6)

As stated above, the basic configuration of the ALM shown in Plaintiff's Exhibit 15 is the same as the basic configuration of the ALM shown in Plaintiff's Exhibit 25 in the following points.

- ① Each of the eight signals in the red frame shown as "input signals" on the left side of Plaintiff's Exhibit 15, Figure 1-5, represents the input signals, and each of the eight signals shown as "output signals" on the right side [of Plaintiff's Exhibit 15, Figure 1-5] represents the output signals. However, these output signals are depicted as six in Plaintiff's Exhibit 15, Figure 1-6. Accordingly, the ALM of Defendants' Product 11 is the ALM of 8-input 6-output or 8-input 8-output; that is, M-input N-output.
- ② There are multiplexers for input signal selection in the red frame area of Plaintiff's Exhibit

15, Figure 1-6, and they are controlled by the bit values stored in the SRAM, at least which exists in vicinity of the multiplexer surrounded by green circles, etc., and input signals.

- ③ There are multiplexers for output signal selection in the blue frame area of Plaintiff's Exhibit 15, Figure 1-6, and they are controlled by the bit values stored in SRAM, at least which exists in vicinity of the multiplexer surrounded by orange circles, etc., and input signals.

In addition, the ALM of Defendants' Product 11 has the characteristics shown in Plaintiff's Exhibit 25.

Therefore, the ALM of Defendants' Product 11 comprises Configuration 1a through 1h of Defendants' Product as described in **Section 1•5•(7)** and Defendants' Product 11 comprises Configuration 5a through 5h of Defendants' Product as described in **Section 1•6•(7)**.

In addition, it has been established that the Defendants' Method executed when programming Defendants' Product 11 comprises Configuration 6a through 6e of the Defendants' Method as described in **Section 1•7•(6)**.

12 Defendants' Product 12 (Cyclone 10 series) (Plaintiff's Exhibit 16)

The basic configuration of the ALM for Defendants' Product 12 is described in Plaintiff's Exhibit 16 as follows.

Plaintiff's Exhibit 16 states that the basic configuration of the ALM of Defendants' Product 12 is the same as the previous generation; namely, the Cyclone V series (Defendants' Product 11), as follows.

Adaptive Logic Modules

The Intel Cyclone10 GX device uses 20 nm ALM as a basic building block for logic fabrics. The ALM architecture uses the same architecture as the previous generation FPGA, making it easy to implement efficient logic functions and change IP across device generations.
(Plaintiff's Exhibit 16, Page 8, line 5 from the bottom to the Bottom line)

The fact that the previous generation of the Cyclone 10 series (Defendants' Product 12) was the Cyclone V series (Defendants' Product 11) is indicated in Plaintiff's Exhibit 28, which shows "all

generations of Cyclone FPGAs,” where “Cyclone V FPGA” is listed before “Intel Cyclone 10 FPGA”. Therefore, the ALM of Defendants’ Product 12 comprises Configuration 1a through 1h of Defendants’ Product as described in **Section 1•5•(7)**, and Defendants’ Product 12 comprises Configuration 5a through 5h of Defendants’ Product as described in **Section 1•6•(7)**.

In addition, it has been established that the Defendants’ Method executed when programming Defendants’ Product 12 comprises Configuration 6a through 6e of the Defendants’ Method described in **Section 1•7•(6)**.

13 Defendants’ Product 13 (Agilex series) (Plaintiff’s Exhibit 17-1 to Plaintiff’s Exhibit 17-3)

The basic configuration of the ALM for Defendants’ Product 13 is explained in Plaintiff’s Exhibit 17-1 to Plaintiff’s Exhibit 17-3.

As shown below, in Plaintiff’s Exhibit 17-2, it is stated that the ALM of Defendants’ Product 13 is the same as the Stratix 10 Series (Defendants’ Product 6) and Arria 10 Series (Defendants’ Product 10).

1.10. Adaptive Logic Module (ALM)

Intel® Agilex™ devices use the Enhanced Adaptive Logic Module (ALM). This is similar to previous generations of Intel® Stratix®10 and Intel® Arria®10 FPGAs. This enables efficient implementation of logic functions and makes it easier to convert IP between devices.

(Plaintiff’s Exhibit 17-2, lines 1 through 4 of the main body of text)

Therefore, the ALM of Defendants’ Product 13 comprises Configuration 1a through 1h of Defendants’ Product as described in **Section 1•5•(7)**, and Defendants’ Product 13 comprises Configuration 5a through 5h of Defendants’ Product as described in **Section 1•6•(7)**.

In addition, it has been established that the Defendants’ Method executed when programming Defendants’ Product 13 comprises Configuration 6a through 6e of the Defendants’ Method described in **Section 1•7•(6)**.

(Appendices)

Index of the Parties

[Zip Code]862-0970	7-11-6-802 Toroku, Chuo-ku, Kumamoto-shi, Kumamoto-ken
Plaintiff	Masahiro Iida
[Zip Code]105-0001	Toranomon 2-10-1, Minato-ku, Tokyo
	Toranomon Twin Building, East Building 16F
	Uchida & Samejima Law Firm (Place of Service)
	Tel 03-5561-8550
	FAX 03-5561-8558
Counsel for Plaintiff	Yuzo Wada
Same as above	Naoyuki Goto (in charge)
[Zip Code]102-0084	5-6 Nibancho, Chiyoda-ku, Tokyo
	Aioi Nissei Dowa Sampo Nibancho Building, 8F
	Keisen Associates
Patent Attorney for Plaintiff	Taro Yaguchi
	2200 Mission College Blvd., Santa Clara, California, 95054 United States of America (Primary office address)
	2200 Mission College Blvd., Santa Clara, California, 95054 United States of America, MS-RNB-6-91 (Mailing address)
Defendant	Intel Corporation

Aforementioned
representative

Pat Gelsinger

[Zip Code]102-0094

Kokusai Building 5F, 3-1-1 Marunouchi, Chiyoda-ku, Tokyo

Defendant

Intel K.K.

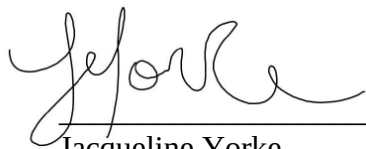
Aforementioned
representative Director

Kunimasa Suzuki



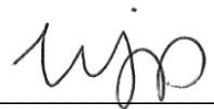
City of New York, State of New York, County of New York

I, Jacqueline Yorke, hereby certify that the document “**The Complaint filed in Iida v. Intel, July 29, 2022, in the Department of Intellectual Property Rights, Tokyo District Court**” is, to the best of my knowledge and belief, a true and accurate translation from Japanese into English.



Jacqueline Yorke

Sworn to before me this
March 1, 2023



Signature, Notary Public



Stamp, Notary Public

LANGUAGE AND TECHNOLOGY SOLUTIONS FOR GLOBAL BUSINESS

1250 BROADWAY, 32ND FLOOR, NEW YORK, NY 10001 | T 212.689.5555 | F 212.689.1059 | WWW.TRANSPERFECT.COM
OFFICES IN 90 CITIES WORLDWIDE

副 本

訴 状

令和4年7月29日

東京地方裁判所知的財産権部 御中

原告訴訟代理人弁護士 和 田 祐 造



同 弁護士 後 藤 直 之



同 弁理士 矢 口 太 郎



当事者の表示

別紙当事者目録記載のとおり

損害賠償等請求事件

訴訟物の価額 金1億円

貼用印紙 金32万円

目次

請求の趣旨	6
請求の原因	6
第1 当事者	6
1 原告	6
2 被告インテル・コーポレーション	6
3 被告インテル株式会社	6
第2 原告の特許権	7
1 本件特許権	7
2 本件特許権の内容	7
3 本件発明の構成	9
(1) 本件発明1の構成	9
(2) 本件発明5の構成	10
(3) 本件発明6の構成	10
4 本件発明の概要	11
(1) 技術的な背景	11
(2) 本件発明の課題	13
(3) 本件発明の概要	14
第3 被告らの侵害行為	16
1 被告らによる被告製品の製造及び販売	16
2 被告製品及び被告方法の構成	17
3 本件発明1と被告製品との対比及び本件特許権1の侵害（直接侵害）	19
(1) 構成要件1 Aと構成1 a	19
(2) 構成要件1 Bと構成1 b	19
(3) 構成要件1 Cと構成1 c	20
(4) 構成要件1 D、1 D-1及び1 D-2と構成1 d、1 d-1及び1 d-2	21
(5) 構成要件1 Eと構成1 e	22
(6) 構成要件1 F、1 F-1及び1 F-2と構成1 f、1 f-1及び1 f-2	22
(7) 構成要件1 Gと構成1 g	23
(8) 構成要件1 Hと構成1 h	24
(9) 小括	25
4 本件発明5と被告製品との対比及び本件特許権5の侵害（直接侵害）	25
(1) 構成要件5 Aと構成5 a	25
(2) 構成要件5 Bと構成5 b	25
(3) 構成要件5 Cと構成5 c	26
(4) 構成要件5 Dと構成5 d	26

(5) 構成要件 5 E と構成 5 e	27
(6) 構成要件 5 F と構成 5 f	27
(7) 構成要件 5 G と構成 5 g	28
(8) 構成要件 5 H と構成 5 h	28
(9) 小括	29
5 本件発明 6 と被告方法との対比及び本件特許権 6 の侵害（間接侵害）	29
(1) 構成要件 6 A と構成 6 a	29
(2) 構成要件 6 B と構成 6 b	29
(3) 構成要件 6 C と構成 6 c	30
(4) 構成要件 6 D と構成 6 d	30
(5) 構成要件 6 E と構成 6 e	31
(6) 小括	32
第 4 損害賠償請求権及び不当利得返還請求権	32
1 損害賠償請求権	32
2 不当利得返還請求権	32
第 5 結論	33
証拠方法	33
附属書類	33
被告製品目録	35
第 1 被告製品 1 (Stratix II シリーズ) (甲 5)	35
第 2 被告製品 2 (Stratix II GX シリーズ) (甲 6)	35
第 3 被告製品 3 (Stratix III シリーズ) (甲 7)	35
第 4 被告製品 4 (Stratix IV シリーズ) (甲 8)	35
第 5 被告製品 5 (Stratix V シリーズ) (甲 9)	35
第 6 被告製品 6 (Stratix 10 シリーズ) (甲 10)	35
第 7 被告製品 7 (Arria GX シリーズ) (甲 11)	36
第 8 被告製品 8 (Arria II シリーズ) (甲 12)	36
第 9 被告製品 9 (Arria V シリーズ) (甲 13)	37
第 10 被告製品 10 (Arria 10 シリーズ) (甲 14)	37
第 11 被告製品 11 (Cyclone V シリーズ) (甲 15)	38
第 12 被告製品 12 (Cyclone 10 シリーズ) (甲 16)	38
第 13 被告製品 13 (Agilex シリーズ) (甲 17 の 1 ～ 甲 17 の 3)	38
被告製品・被告方法説明書	40
第 1 被告製品に共通する構成	40
1 被告製品の ALM の全体的な構成	40
2 ALM モジュールで実現可能な LUT の組み合わせ	42
3 複数の LUT から、組み合わせられた LUT を構成する概念	44
4 入力信号及び出力信号の切換え	47
(1) はじめに	47

(2)	1つの独立した6 LUT (第1のLUT構成モード)	49
(3)	2つの独立した4 LUTに構成する場合 (第2のLUT構成モード)	51
(4)	5 LUTと3 LUTの構成モード (第3のLUT構成モード)	52
(5)	マルチプレクサによる入出力信号の選択及びマルチプレクサの制御	53
5	被告製品の構成 1	57
(1)	構成 1 a 及び 1 h	57
(2)	構成 1 b 及び 1 c	57
(3)	構成 1 d、1 d-1 及び 1 d-2	58
(4)	構成 1 e	58
(5)	構成 1 f、1 f-1 及び 1 f-2	58
(6)	構成 1 g	59
(7)	被告製品の構成	59
6	被告製品の構成 5	60
(1)	構成 5 a	60
(2)	構成 5 b	61
(3)	構成 5 c 及び 5 d	62
(4)	構成 5 e	63
(5)	構成 5 f 及び 5 h	64
(6)	構成 5 g	64
(7)	被告製品の構成	64
7	被告方法の構成 6	64
(1)	構成 6 a	64
(2)	構成 6 b	65
(3)	構成 6 c	65
(4)	構成 6 d	65
(5)	構成 6 e	66
(6)	被告方法の構成	66
第2	各被告製品の説明	66
1	被告製品1 (Stratix IIシリーズ) (甲5)	66
2	被告製品2 (Stratix II GXシリーズ) (甲6)	69
3	被告製品3 (Stratix IIIシリーズ) (甲7)	71
4	被告製品4 (Stratix IVシリーズ) (甲8)	73
5	被告製品5 (Stratix Vシリーズ) (甲9)	76
6	被告製品6 (Stratix 10シリーズ) (甲10)	79
7	被告製品7 (Arria GXシリーズ) (甲11)	81
8	被告製品8 (Arria IIシリーズ) (甲12)	83
9	被告製品9 (Arria Vシリーズ) (甲13)	85
10	被告製品10 (Arria 10シリーズ) (甲14)	89
11	被告製品11 (Cyclone Vシリーズ) (甲15)	90

12	被告製品12 (Cyclone 10シリーズ) (甲16)	92
13	被告製品13 (Agilexシリーズ) (甲17の1～甲17の3)	93
当事者目録.....		94

請求の趣旨

- 1 被告らは、原告に対し、連帯して金1億円及びこれに対する本訴状送達の日
翌日から支払済みまで年3分の割合による金員を支払え
 - 2 訴訟費用は被告らの負担とする
- との判決並びに仮執行宣言を求める。

請求の原因

第1 当事者

1 原告

原告は、熊本大学大学院先端科学研究部の教授である。原告は、長年にわたり、フィールド・プログラマブル・ゲート・アレイ (Field-programmable gate array、以下「FPGA」という。) その他のコンピュータに関する研究開発に携わっている。

2 被告インテル・コーポレーション

被告インテル・コーポレーション (以下「被告米国インテル」という。) は、米国法に基づき設立された会社であり、CPU (中央演算処理装置)、FPGA その他のコンピュータに関する半導体製品等の製造、販売等の事業を世界的に行っている。

3 被告インテル株式会社

被告インテル株式会社 (以下「被告日本インテル」という。) は、日本法に基づき設立された株式会社であり、その株式の全部を被告米国インテルが保有する、被告米国インテルの完全子会社である。被告日本インテルは、主に日本に

において、技術及び製品の開発、提供並びに被告米国インテルの製品の販売等の事業を行っている。

第2 原告の特許権

1 本件特許権

原告は、以下の特許第3580785号（以下「本件特許」という。）の特許発明の発明者である。原告は、本件特許に係る特許権（以下「本件特許権」という。）を、平成26年（2014年）7月29日、株式会社半導体理工学研究センターから、本件特許権に基づく権利に関する一切の権限と共に譲り受け、特許権者となった（甲1）。本件特許権は、令和3年（2021年）6月29日に存続期間が満了した。

発明の名称	ルックアップテーブル、ルックアップテーブルを備えるプログラマブル論理回路装置、および、ルックアップテーブルの構成方法
特許番号	特許第3580785号
出願番号	特願2001-199644
出願日	平成13年（2001年）6月29日
公開番号	特開2003-018000号
公開日	平成15年（2003年）1月17日
登録日	平成16年（2004年）7月30日
存続期間満了日	令和3年（2021年）6月29日

2 本件特許権の内容

本件特許権の請求項1、5及び6の記載は、次のとおりである（甲2）。以下、請求項1、5及び6にかかる発明をそれぞれ「本件発明1」、「本件発明5」及

び「本件発明 6」といい、併せて「本件発明」という。

「【請求項 1】

M入力N出力のルックアップテーブルであって、

複数のLUTユニットと、

該複数のLUTユニットによる内部構成を制御する内部構成制御手段とを備え、

該内部構成制御手段は、

前記複数のLUTユニットの入出力信号を選択する複数のセクタと、

該各セクタを制御して前記複数のLUTユニットによる構成を規定するセクタ制御手段とを備え、

該セクタ制御手段は、メモリを備え、該メモリに格納するデータに応じて前記複数のセクタを制御し、

前記セクタは、

少なくとも1つの前記LUTユニットの入力に設けられて入力信号の選択を行う入力信号選択用セクタと、

前記LUTユニットの出力に設けられて出力信号の選択を行う出力信号選択用セクタとを備え、該入力信号選択用セクタおよび該出力信号選択用セクタは、前記メモリに格納するデータおよび前記入力信号に応じて制御されることを特徴とするルックアップテーブル。

【請求項 5】

複数の論理ブロックと、該各論理ブロックに接続される複数の配線と、該各配線の交差個所に設けられた複数のスイッチ手段と、該各論理ブロックの入出力線と前記各配線との間に設けられた接続ブロックと、外部との入出力を行うI/Oブロックとを備えるプログラマブル論理回路装置であって、

前記論理ブロックは、請求項1～4のいずれか1項に記載のルックアップ

テーブルを備えることを特徴とするプログラマブル論理回路装置。

【請求項 6】

M入力N出力のルックアップテーブルを構成する方法であって、
複数のLUTユニットを準備し、

該複数のLUTユニットの入出力信号を選択制御して所定の内部構成モードを設定し、

少なくとも1つの前記LUTユニットに入力する信号、および、該LUTユニットが出力する信号は、それぞれ当該ルックアップテーブル内に格納されるデータおよび入力信号の所定の関数により選択制御されることを特徴とするルックアップテーブルの構成方法。」

3 本件発明の構成

(1) 本件発明 1 の構成

本件発明 1 は、以下の構成要件に分説される。

1 A M入力N出力のルックアップテーブルであって、

1 B 複数のLUTユニットと、

1 C 該複数のLUTユニットによる内部構成を制御する内部構成制御手段とを備え、

1 D 該内部構成制御手段は、

1 D-1 前記複数のLUTユニットの入出力信号を選択する複数のセクタと、

1 D-2 該各セクタを制御して前記複数のLUTユニットによる構成を規定するセクタ制御手段とを備え、

1 E 該セクタ制御手段は、メモリを備え、該メモリに格納するデータに応じて前記複数のセクタを制御し、

1 F 前記セレクトは、

1 F-1 少なくとも1つの前記LUTユニットの入力に設けられて入力信号の選択を行う入力信号選択用セレクトと、

1 F-2 前記LUTユニットの出力に設けられて出力信号の選択を行う出力信号選択用セレクトとを備え、

1 G 該入力信号選択用セレクトおよび該出力信号選択用セレクトは、前記メモリに格納するデータおよび前記入力信号に応じて制御される

1 H ことを特徴とするルックアップテーブル。

(2) 本件発明5の構成

本件発明5は、以下の構成要件に分説される。

5 A 複数の論理ブロックと、

5 B 該各論理ブロックに接続される複数の配線と、

5 C 該各配線の交差個所に設けられた複数のスイッチ手段と、

5 D 該各論理ブロックの入出力線と前記各配線との間に設けられた接続ブロックと、

5 E 外部との入出力を行うI/Oブロックとを備える

5 F プログラマブル論理回路装置であって、

5 G 前記論理ブロックは、請求項1～4のいずれか1項に記載のルックアップテーブルを備える

5 H ことを特徴とするプログラマブル論理回路装置。

(3) 本件発明6の構成

本件発明6は、以下の構成要件に分説される。

- 6 A M入力N出力のルックアップテーブルを構成する方法であって、
- 6 B 複数のLUTユニットを準備し、
- 6 C 該複数のLUTユニットの入出力信号を選択制御して所定の内部構成モードを設定し、
- 6 D 少なくとも1つの前記LUTユニットに入力する信号、および、該LUTユニットが出力する信号は、それぞれ当該ルックアップテーブル内に格納されるデータおよび入力信号の所定の関数により選択制御される
- 6 E ことを特徴とするルックアップテーブルの構成方法。

4 本件発明の概要

(1) 技術的な背景

本件発明は、プログラマブル論理回路装置に関するものである。

プログラマブル論理回路装置は、内部回路を電氣的にプログラムすることでユーザの様々な要求に応じた論理回路を実現することができるデバイスであり、一般に、「PLD」や「FPGA」と称されている（本件特許明細書（甲2の記載内容をいう。以下同じ。）の段落【0001】）。プログラマブル論理回路装置は、ルックアップテーブル（以下「LUT」ともいう。）といわれる真理値を実行する回路を有するので、以下にLUTの概要を説明する。

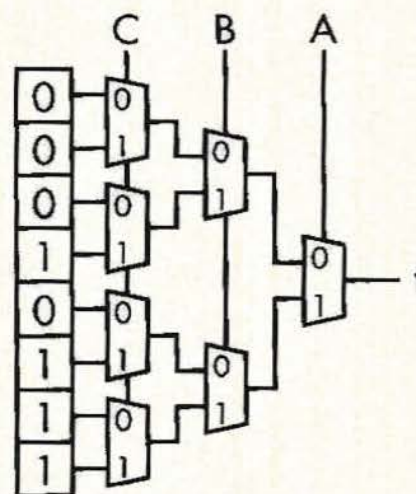
LUTは、入力信号に対してどのような出力をするかを定める論理値を定めたメモリテーブルを備える。LUTの機能をA、B及びCの3個の入力がされる場合を例に説明する。それぞれ、「1」の入力信号であれば賛成票が1票、「0」の入力信号であれば反対票が1票であるという意味を持たせる場合において、多数決を採る回路を組むことを考える。この場合、「1」の入力信号が3個又は2個の場合は可決、「1」の入力信号が1個又は0個の場合は否決という出力をしなければならない。可決を「1」、否決を「0」で表すこと

にすると、入力信号A～Cに対する出力fのパターンは、以下の8通り（2の3乗）で示すことができる（甲3）。このような表を「真理値表」という。

A	B	C	f
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

（a）真理値表による表現

上記の真理値表に対する入力信号と出力の関係を論理回路で表現すると、以下のようになる。



（b）LUT による表現

このように、「ルックアップテーブル」（LUT）は、上の図の左側に示さ

れた論理値を記憶するメモリテーブル（図中で上から下に「0、0、0、1、0、1、1、1」と並んだもの）を備えた、真理値を実行する論理回路である（本件特許明細書段落【0005】）。

上の図において、Cが0、Bが0、Aが0の入力の場合、最も上の「0」の論理値が、fの出力として現れる。すなわち、A、B及びCの全てが反対票だった場合に、否決を意味する「0」が出力されることになる。Cが1、Bが1、Aが0の入力の場合、上から4個目の論理値である「1」が、fの出力として現れる。すなわち、Aが反対票でB及びCが賛成票だった場合に、可決を意味する「1」を出力することになる。上記の出力の処理を定めるためには、真理値表と同じく8通り（2の3乗）の場合分けが必要であるため、メモリテーブル（LUTマスク）に8個の数字が並んでいる。

上記のLUTは、3つの入力（A、B及びC）に対して1つの出力（f）がなされるための論理値を定めたものであるから、3入力1出力のLUTである。その他、例えば4入力1出力のLUTの場合、16個（2の4乗）の論理値を定めることが必要となる。

(2) 本件発明の課題

本件発明の発明当時、LUTの回路面積の削減が強く要望されていた（本件特許明細書段落【0001】）。

本件発明以前、LUTの入力サイズを拡大することが処理の高速化に寄与することが知られていたが、それと引き換えに実装効率が下がるという問題に直面していた。すなわち、従来のFPGAは、LUTの入力数M及び出力数N（実際には、Nは1であった。）が共に固定値であり、任意の論理回路の実装は、M入力N出力（Nは1）の回路単位に分割された複数のLUTを用いて行うようになっていた。そのため、回路分割により入力数がMビット未満の回路が生じた場合には、この入力数がMビット未満の回路に対しても1

つのLUTを割り当てなければならず、実装効率が下がり、実装面積及び消費電力の増加をもたらす原因になっていた（本件特許明細書段落【0004】及び【0005】）。

論理回路をLUTに実装する場合、一般的に、LUTの入力数を増やすとLUTの使用個数を減少させることができるので回路面積を削減する上で有利であるが、実装効率が低いと、その利点は生かされない。

本件発明は、このような事情に鑑みてなされたものであり、LUT、すなわちプログラマブル論理回路装置の実装効率を上げることで、回路面積の削減及び消費電力の低減を図ることを目的としてなされたものである（本件特許明細書段落【0005】）。

(3) 本件発明の概要

原告は、現在熊本大学大学院の教授であるが、熊本大学大学院博士課程在学中に、FPGAの研究を行う中で、LUTのサイズを大きくすればするほど、未利用領域が大きくなること（例えば、8入力のLUTの場合に3入力しか用いない場合に5入力分が未利用になることを意味する。）に着目し、当該未利用領域を有効活用するための方法を着想することで本件発明を完成するに至った。以下、入力がM個あることを「M入力」、出力がN個あることを「N出力」ともいう（Mは入力数、Nは出力数を表す数値）。また、M入力のLUTを「MLUT」（例えば、8入力のLUTであれば、「8LUT」）ともいう。

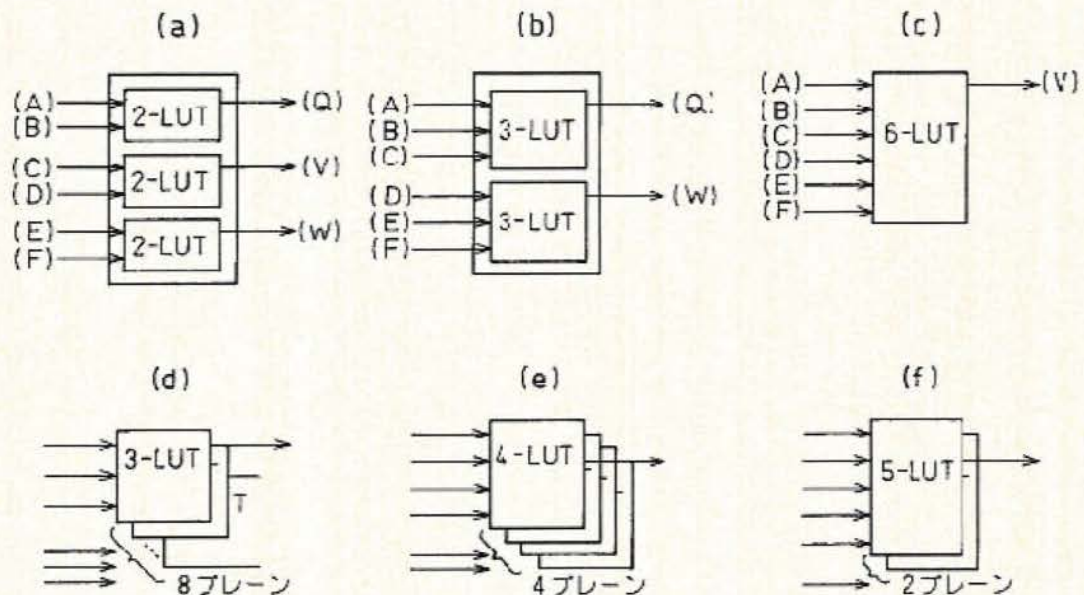
本件発明は、端的に言えば、単一のM入力N出力のLUTを、単一のLUTとしてだけでなく複数のLUTとしても動作するように内部構成モードを設定できるように構成したものである（本件特許明細書段落【0006】～【0008】）。これにより、分割された回路が必要とする入力信号数に適したLUTで構成することが可能となり、実装面積の増加を防ぐことができ

る（本件特許明細書段落【0008】）。

本件発明の実施形態において、設定可能な内部構成モードの具体例が本件特許明細書の図3（下図）に示されている。このうち、例えば、図3（a）の例では、6入力3出力LUT（M入力、N出力のLUT）を3個の2入力1出力LUTに分割して動作するように内部構成モードを設定した例である（本件特許明細書段落【0012】）。また、図3（b）は、6入力3出力LUT（M入力N出力のLUT）を2個の3入力1出力LUTに分割して動作するように内部構成モードを設定した例である（本件特許明細書段落【0014】）。（なお、図3は、見やすさのため右に90度回転した。）

図2に示す6入力3出力LUTの内部構成モードを示すブロック図

図3



従来のLUTの場合、例えば、6入力1出力LUTであっても、3個の2入力1出力回路を実現するためには、LUT内部で回路を分割することができないため、3個の6入力1出力LUTを必要としていた。また、従来の6

入力1出力LUTの場合、2個の3入力1出力回路をLUTに割り当てるには、2個の6入力1出力LUTを必要としていた。しかし、本件発明の実施形態である6入力3出力LUTの場合には、回路を分割して動作するように内部構成モードを設定することができるため、1つの6入力1出力LUTで、3個の2入力1出力回路や2個の3入力1出力回路を実現することができる（本件特許明細書段落【0012】）。

上記のとおり、本件発明はLUTの実装効率を高めることができ、本件発明の目的である実装面積及び消費電力の低減を図ることができる（本件特許明細書段落【0005】、【0013】）。

第3 被告らの侵害行為

1 被告らによる被告製品の製造及び販売

被告らは、別紙被告製品目録記載の製品（以下「被告製品」という。）を含むFPGAデバイス（FPGA及びSoC FPGA）を製造、輸入及び販売している（甲4～甲17の3）。

被告製品のうち、2004年頃から2015年12月頃までに製造・販売されていたものは、アルテラ・コーポレーション（以下「アルテラ社」という。）が製造・販売していたものである。被告米国インテルは、2015年にアルテラ社を買収して吸収合併し、その後、アルテラ社が製造していたFPGAデバイスについては、被告米国インテルの事業として、現在に至るまで製造及び販売を継続している。各被告製品の製造・販売期間は、各被告製品の説明書の作成日（バージョンが複数存在する説明書については、その最も古いバージョンの作成日付）に基づき、以下のとおりであると認定される。

被告製品	製造・販売期間
被告製品1（甲5）	2004（平成16）年2月頃～
被告製品2（甲6）	2006（平成18）年8月頃～

被告製品 3 (甲 7)	2006 (平成 18) 年 11 月頃～
被告製品 4 (甲 8)	2008 (平成 20) 年 5 月頃～
被告製品 5 (甲 9)	2010 (平成 22) 年 7 月頃～
被告製品 6 (甲 10)	2016 (平成 28) 年 10 月頃～
被告製品 7 (甲 11)	2007 (平成 19) 年 5 月頃～
被告製品 8 (甲 12)	2009 (平成 21) 年 2 月頃～
被告製品 9 (甲 13)	2011 (平成 23) 年 5 月頃～
被告製品 10 (甲 14)	2013 (平成 25) 年 12 月頃～
被告製品 11 (甲 15)	2011 (平成 23) 年 10 月頃～
被告製品 12 (甲 16)	2017 (平成 29) 年 5 月頃～
被告製品 13 (甲 17 の 1～3)	2019 (平成 31) 年 4 月頃～

2 被告製品及び被告方法の構成

被告製品は、別紙被告製品・被告方法説明書（以下「被告製品・被告方法説明書」という。）に記載したとおり、以下の構成を有するALM（被告製品・被告方法説明書において説明する「アダプティブ・ロジック・モジュール」を意味する。）を備える。

- 1 a M入力N出力のALMであって、
- 1 b 複数のLUTで構成されるLUT群と、
- 1 c LUT群の内部構成を制御する内部構成制御手段を備え、
- 1 d 内部構成制御手段は、
 - 1 d-1 LUT群の入力信号及び出力信号を選択するための複数のマルチプレクサと、
 - 1 d-2 各マルチプレクサを制御してLUT群によるALMの構成を規定するSRAMとを備え、
- 1 e SRAMは、格納するビット値により複数のマルチプレクサを制御し、
- 1 f 複数のマルチプレクサは、
 - 1 f-1 少なくとも1つのLUT群の入力に設けられて入力信号の選択

を行う入力信号選択用マルチプレクサと、

1 f - 2 LUT群の出力に設けられて出力信号の選択を行う出力信号選択用マルチプレクサとを備え、

1 g 入力信号選択用マルチプレクサ及び出力信号選択用マルチプレクサは、SRAMに格納するビット値及び入力信号に応じて制御される

1 h ことを特徴とするALM。

また、被告製品は、以下の構成を有する。

5 a 複数のLABと、

5 b 各LABに接続される複数のLAB配線と、

5 c 各LAB配線の交差個所に設けられた複数のスイッチ手段と、

5 d 各LABの入出力線と各LAB配線との間に設けられた接続ブロックと、

5 e 外部との入出力を行うI/Oブロックとを備える

5 f FPGAデバイスであって、

5 g LABは、ALMを備える

5 h ことを特徴とするFPGAデバイス。

また、被告製品はFPGAであるから、内部回路を電氣的にプログラミングすることで様々な要求に応じた論理回路を実現することができるデバイスである（上記**第2・4・(1)**において説明した技術的な背景を参照。）。当該要求に応じた論理回路の実現（プログラミング）のため、被告製品にLUTマスクを実施するとともに内部構成を制御することが必要である。そのため、以下の方法（以下「被告方法」という。）が実施される。したがって、被告製品は、被告方法を実施して用いるのが唯一の用法である。

- 6 a M入力N出力のALMを構成する方法であって、
- 6 b 複数のLUTで構成されるLUT群を準備し、
- 6 c LUT群の入力信号及び出力信号を選択及び制御して所定のLUT構成モードを設定し、
- 6 d LUT群の少なくとも1つのLUTに入力される入力信号及びLUTから出力される出力信号は、それぞれALM内に格納されるデータ及び入力信号の所定の関数により選択及び制御される
- 6 e ことを特徴とするALMの構成方法。

3 本件発明1と被告製品との対比及び本件特許権1の侵害（直接侵害）

(1) 構成要件1 Aと構成1 a

本件発明の構成要件1 Aは、以下のとおりである。

M入力N出力のルックアップテーブルであって、

これに対し、被告製品のALMは、構成1 a

M入力N出力のALMであって、

を有する。

構成1 aの「M入力N出力」は、構成要件1 Aの「M入力N出力」に該当する。また、構成1 aの「ALM」は、複数のルックアップテーブルの組合せにより、全体としてルックアップテーブルの機能を有するから、構成要件1 Aの「ルックアップテーブル」に該当する。

したがって、被告製品のALMは、構成要件1 Aを充足する。

(2) 構成要件1 Bと構成1 b

本件発明1の構成要件1 Bは、以下のとおりである。

複数のLUTユニットと、

これに対し、被告製品のALMは、構成1 b

複数のLUTで構成されるLUT群と、

を有する。

構成要件1 Bの「LUTユニット」は、個別のLUTを意味する。したがって、構成1 bの「LUT」が構成要件1 Bの「LUTユニット」に該当し、構成1 bの「複数のLUTで構成されるLUT群」は、構成要件1 Bの「複数のLUTユニット」に該当する。

したがって、被告製品のALMは、構成要件1 Bを充足する。

(3) 構成要件1 Cと構成1 c

本件発明1の構成要件1 Cは、以下のとおりである。

該複数のLUTユニットによる内部構成を制御する内部構成制御手段とを備え、

これに対し、被告製品のALMは、構成1 c

LUT群の内部構成を制御する内部構成制御手段を備え、

を有する。

(2)で述べたとおり、構成1 cの「LUT群」は、構成要件1 Cの「該複数のLUTユニット」に該当する。また、構成1 cの「LUT群の内部構成を制御する内部構成制御手段」は、LUT群の内部構成を制御する手段であるから、構成要件1 Cの「該複数のLUTユニットによる内部構成を制御する内部構成制御手段とを備え、」に該当する。

したがって、被告製品のALMは、構成要件1 Cを充足する。

(4) 構成要件 1 D、1 D-1 及び 1 D-2 と構成 1 d、1 d-1 及び 1 d-2

本件発明 1 の構成要件 1 D、1 D-1 及び 1 D-2 は、以下のとおりである。

- 1 D 該内部構成制御手段は、
- 1 D-1 前記複数の LUT ユニットの入出力信号を選択する複数のセクタと、
- 1 D-2 該各セクタを制御して前記複数の LUT ユニットによる構成を規定するセクタ制御手段とを備え、

これに対し、被告製品の ALM は、構成 1 d、1 d-1 及び 1 d-2

- 1 d 内部構成制御手段は、
- 1 d-1 LUT 群の入力信号及び出力信号を選択するための複数のマルチプレクサと、
- 1 d-2 各マルチプレクサを制御して LUT 群による ALM の構成を規定する SRAM とを備え、

を有する。

上記(3)に記載したとおり、構成 1 d の「内部構成制御手段」は、構成要件 1 D の「該内部構成制御手段」に該当する。上記(2)で述べたとおり、構成 1 d-1 の「LUT 群」は、構成要件 1 D-1 の「前記複数の LUT ユニット」に該当する。

また、構成 1 d-1 の「LUT 群の入力信号及び出力信号を選択するための複数のマルチプレクサと、」は、構成要件 1 D-1 の「前記複数の LUT ユニットの入出力信号を選択する複数のセクタと、」に該当する。

さらに、構成 1 d-2 における「各マルチプレクサを制御して LUT 群による ALM の構成を規定する SRAM とを備え、」における「SRAM」は、記憶したビット値により ALM の構成を規定する機能を有する「セクタ制御手段」に該当するから、構成要件 1 D-2 の「該各セクタを制御して前記複数の LUT ユニットによる構成を規定するセクタ制御手段とを備え、」に該当する。

したがって、被告製品のALMは、構成要件1D、1D-1及び1D-2を充足する。

(5) 構成要件1Eと構成1e

本件発明1の構成要件1Eは、以下のとおりである。

該セクタ制御手段は、メモリを備え、該メモリに格納するデータに応じて前記複数のセクタを制御し、
--

これに対し、被告製品のALMは、構成1e

SRAMは、格納するビット値により複数のマルチプレクサを制御し、を有する。

(4)で述べたとおり、構成1eにおける「複数のマルチプレクサ」は構成要件1Eの「前記複数のセクタ」に該当する。また、構成1eにおける「SRAM」は、それ自体がメモリであるから、構成要件1Eの「該セクタ制御手段は、メモリを備え、」に該当する。また、構成1eの「格納するビット値」は、SRAMすなわちメモリに格納されるデータであるから、構成要件1Eの「該メモリに格納するデータ」に該当する。

したがって、被告製品のALMは、構成要件1Eを充足する。

(6) 構成要件1F、1F-1及び1F-2と構成1f、1f-1及び1f-2

本件発明1の構成要件1F、1F-1及び1F-2は、以下のとおりである。

1F	前記セクタは、
1F-1	少なくとも1つの前記LUTユニットの入力に設けられて入力信号の選択を行う入力信号選択用セクタと、
1F-2	前記LUTユニットの出力に設けられて出力信号の選択を行う出力信号選択用セクタとを備え、

これに対し、被告製品のALMは、構成1 f、1 f - 1及び1 f - 2

- 1 f 複数のマルチプレクサは、
- 1 f - 1 少なくとも1つのLUT群の入力に設けられて入力信号の選択を行う入力信号選択用マルチプレクサと、
- 1 f - 2 LUT群の出力に設けられて出力信号の選択を行う出力信号選択用マルチプレクサとを備え、

を有する。

(4)で述べたとおり、構成1 fにおける「複数のマルチプレクサ」は構成要件1 Fの「前記セクタ」に該当する。また、構成1 f - 1における「少なくとも1つのLUT群の入力に設けられて入力信号の選択を行う入力信号選択用マルチプレクサ」は、入力信号を選択することによりALUTを構成するものであるから、構成要件1 F - 1の「少なくとも1つの前記LUTユニットの入力に設けられて入力信号の選択を行う入力信号選択用セクタ」に該当する。

また、構成1 f - 2における「LUT群の出力に設けられて出力信号の選択を行う出力信号選択用マルチプレクサ」は、出力信号を選択することによりALUTを構成するものであるから、構成要件1 F - 2の「前記LUTユニットの出力に設けられて出力信号の選択を行う出力信号選択用セクタ」に該当する。

したがって、被告製品のALMは、構成要件1 F、1 F - 1及び1 F - 2を充足する。

(7) 構成要件1 Gと構成1 g

本件発明1の構成要件1 Gは、以下のとおりである。

該入力信号選択用セクタおよび該出力信号選択用セクタは、前記メモリに格納するデータおよび前記入力信号に応じて制御される
--

これに対し、被告製品のALMは、構成1 g

入力信号選択用マルチプレクサ及び出力信号選択用マルチプレクサ
は、SRAMに格納するビット値及び入力信号に応じて制御される

を有する。

上記(6)において述べたとおり、構成1 gの「入力信号選択用マルチプレクサ」及び「出力信号選択用マルチプレクサ」は、構成要件1 Gの「入力信号選択用マルチプレクサ」及び「出力信号選択用マルチプレクサ」に該当する。

また、上記(5)において説明したとおり、構成1 eの「格納するビット値」は構成要件1 Eの「該メモリに格納するデータ」に該当するから、構成1 gの「SRAMに格納するビット値…に応じて制御される」は、構成要件1 Gの「前記メモリに格納するデータ…に応じて制御される」に該当する。

さらに、構成1 gの「入力信号に応じて制御される」は、構成要件1 Gの「入力信号に応じて制御される」に該当する。

したがって、被告製品のALMは、構成要件1 Gを充足する。

(8) 構成要件1 Hと構成1 h

本件発明1の構成要件1 Hは、以下のとおりである。

ことを特徴とするルックアップテーブル。

これに対し、被告製品のALMは、構成1 h

ことを特徴とするALM。

を有する。

上記(1)に記載したとおり、構成1 hの「ALM」は、構成要件1 Hの「ルックアップテーブル」に該当する。

したがって、被告製品のALMは、構成要件1 Hを充足する。

(9) 小括

上記(1)ないし(8)に記載したとおり、被告製品のALMは、本件発明1の構成要件を全て充足する。したがって、当該ALMを備える被告製品は、本件発明1の技術的範囲に属する。したがって、上記1に記載した被告の行為は、本件特許権を侵害する行為に該当する。

4 本件発明5と被告製品との対比及び本件特許権5の侵害（直接侵害）

(1) 構成要件5Aと構成5a

本件発明5の構成要件5Aは、以下のとおりである。

複数の論理ブロックと、

これに対し、被告製品は、構成5a

複数のLABと、

を有する。

構成5aにおける「LAB」は、ロジック・アレイ・ブロックであるから、構成要件5Aの「論理ブロック」に該当する。

したがって、被告製品は、構成要件5Aを充足する。

(2) 構成要件5Bと構成5b

本件発明5の構成要件5Bは、以下のとおりである。

該各論理ブロックに接続される複数の配線と、

これに対し、被告製品は、構成5b

各LABに接続される複数のLAB配線と、

を有する。

上記(1)で述べたところから、構成 5 b の「各 L A B」は構成要件 5 B の「該各論理ブロック」に該当する。また、構成 5 b の「複数の L A B 配線」は、構成要件 5 B の「複数の配線」に該当する。

したがって、被告製品は、構成要件 5 B を充足する。

(3) 構成要件 5 C と構成 5 c

本件発明 5 の構成要件 5 C は、以下のとおりである。

該各配線の交差個所に設けられた複数のスイッチ手段と、

これに対し、被告製品は、構成 5 c

各 L A B 配線の交差個所に設けられた複数のスイッチ手段と、

を有する。

上記(1)及び(2)で述べたところから、構成 5 c の「各 L A B 配線」は、構成要件 5 C の「該各配線」に該当する。また、構成 5 c の「交差個所に設けられた複数のスイッチ手段」は、構成要件 5 C の「交差個所に設けられた複数のスイッチ手段」に該当する。

したがって、被告製品は、構成要件 5 C を充足する。

(4) 構成要件 5 D と構成 5 d

本件発明 5 の構成要件 5 D は、以下のとおりである。

該各論理ブロックの入出力線と前記各配線との間に設けられた接続ブロックと、

これに対し、被告製品は、構成 5 d

各 L A B の入出力線と各 L A B 配線との間に設けられた接続ブロッ

クと、

を有する。

上記(1)において述べたとおり「LAB」は「論理ブロック」に該当するから、構成5 dの「各LABの入出力線」は、構成要件5 Dの「該各論理ブロックの入出力線」に該当する。また、構成5 dの「…との間に設けられた接続ブロック」は、構成要件5 Dの「との間に設けられた接続ブロック」に該当する。

したがって、被告製品は、構成要件5 Dを充足する。

(5) 構成要件5 Eと構成5 e

本件発明5の構成要件5 Eは、以下のとおりである。

外部との入出力を行うI/Oブロックとを備える

これに対し、被告製品は、構成5 e

外部との入出力を行うI/Oブロックとを備える

を有する。

構成5 eと構成要件5 Eとの間に違いはないから、被告製品は、構成要件5 Eを充足する。

(6) 構成要件5 Fと構成5 f

本件発明5の構成要件5 Fは、以下のとおりである。

プログラマブル論理回路装置であって、

これに対し、被告製品は、構成5 f

FPGAデバイスであって、

を有する。

構成 5 f の「FPGA デバイス」は、構成要件 5 F の「プログラマブル論理回路装置」である。

したがって、被告製品は、構成要件 5 F を充足する。

(7) 構成要件 5 G と構成 5 g

本件発明 5 の構成要件 5 G は、以下のとおりである。

前記論理ブロックは、請求項 1 ～ 4 のいずれか 1 項に記載のルックアップテーブルを備える

これに対し、被告製品は、構成 5 g

LAB は、ALM を備える

を有する。

上記(1)のとおり、構成 5 g の「LAB」は構成要件 5 G の「前記論理ブロック」に該当する。また、構成 5 g の「ALM」は、構成 1 a の「ALM」であるから、構成要件 5 G の「請求項 1 …に記載のルックアップテーブル」に該当する。

したがって、被告製品は、構成要件 5 G を充足する。

(8) 構成要件 5 H と構成 5 h

本件発明 5 の構成要件 5 H は、以下のとおりである。

ことを特徴とするプログラマブル論理回路装置。

これに対し、被告製品は、構成 5 h

ことを特徴とする FPGA デバイス。

を有する。

上記(6)に記載したとおり、構成 5 h の「FPGA デバイス」は、構成要件 5 H の「プログラマブル論理回路装置」に該当する。

したがって、被告製品は、構成要件 5 H を充足する。

(9) 小括

上記(1)ないし(8)に記載したとおり、被告製品は、本件発明 5 の構成要件を全て充足するから、本件発明 5 の技術的範囲に属する。したがって、上記 1 に記載した被告の行為は、本件特許権を侵害する行為に該当する。

5 本件発明 6 と被告方法との対比及び本件特許権 6 の侵害（間接侵害）

(1) 構成要件 6 A と構成 6 a

本件発明 6 の構成要件 6 A は、以下のとおりである。

M 入力 N 出力のルックアップテーブルを構成する方法であって、

これに対し、被告方法は、構成 6 a

M 入力 N 出力の A L M を構成する方法であって、

を有する。

上記 3 ・ (1) に記載したところから、構成 6 a の「A L M」は構成要件 6 A の「ルックアップテーブル」に該当する。

したがって、被告方法は、構成要件 6 A を充足する。

(2) 構成要件 6 B と構成 6 b

本件発明 6 の構成要件 6 B は、以下のとおりである。

複数の L U T ユニットを準備し、

これに対し、被告方法は、構成 6 b

複数のLUTで構成されるLUT群を準備し、
を有する。

上記3・(2)に記載したところから、構成6bの「複数のLUTで構成されるLUT群」は、構成要件6Bの「複数のLUTユニット」に該当する。

したがって、被告方法は、構成要件6Bを充足する。

(3) 構成要件6Cと構成6c

本件発明6の構成要件6Cは、以下のとおりである。

該複数のLUTユニットの入出力信号を選択制御して所定の内部構成モードを設定し、

これに対し、被告方法は、構成6c

LUT群の入力信号及び出力信号を選択及び制御して所定のLUT構成モードを設定し、

を有する。

上記(2)のとおり、構成6cの「LUT群」は構成要件6Cの「該複数のLUTユニット」に該当する。そうすると、構成6cの「LUT群の入力信号及び出力信号を選択及び制御して」は、構成要件6Cの「該複数のLUTユニットの入出力信号を選択制御して」に該当する。

また、構成6cの「所定のLUT構成モードを設定し、」は、LUT群の内部構成を設定することでALUTを構成することであるから、構成要件6Cの「所定の内部構成モードを設定し、」に該当する。

したがって、被告方法は、構成要件6Cを充足する。

(4) 構成要件6Dと構成6d

本件発明6の構成要件6Dは、以下のとおりである。

少なくとも1つの前記LUTユニットに入力する信号、および、該LUTユニットが出力する信号は、それぞれ当該ルックアップテーブル内に格納されるデータおよび入力信号の所定の関数により選択制御される

これに対し、被告方法は、構成6 d

LUT群の少なくとも1つのLUTに入力される入力信号及びLUTから出力される出力信号は、それぞれALM内に格納されるデータ及び入力信号の所定の関数により選択及び制御される

を有する。

上記(2)のとおり、被告方法におけるLUT群は構成要件6 Bの「複数のLUTユニット」に該当するから、構成6 dの「LUT群の少なくとも1つのLUT」は、構成要件6 Dの「少なくとも1つの前記LUTユニット」に該当する。また、上記(1)のとおり、構成6 dの「ALM」は、構成要件6 Dの「当該ルックアップテーブル」に該当する。

したがって、被告方法は、構成要件6 Dを充足する。

(5) 構成要件6 Eと構成6 e

本件発明6の構成要件6 Eは、以下のとおりである。

ことを特徴とするルックアップテーブルの構成方法。

これに対し、被告方法は、構成6 e

ことを特徴とするALMの構成方法。

を有する。

上記(1)のとおり、構成6 eの「ALM」は、構成要件6 Eの「ルックアップテーブル」に該当する。

したがって、被告方法は、構成要件6 Eを充足する。

(6) 小括

上記(1)ないし(5)に記載したとおり、被告ら又は被告製品を入手した者が被告製品にプログラミングするにあたり実施される被告方法は、本件発明6の構成要件を全て充足するから、本件発明6の技術的範囲に属する。上記2に記載したとおり、被告製品は、被告方法を実施して用いるのが唯一の用法であるから、本件発明6の方法の使用にのみ用いる物に該当する。したがって、上記1に記載した被告の行為は、本件発明6の方法の使用にのみ用いる物の生産、譲渡又は輸入をする行為であるから、本件特許権を侵害するものとみなされる（特許法101条4号）。

第4 損害賠償請求権及び不当利得返還請求権

1 損害賠償請求権

被告らは、遅くとも平成16年2月から本件特許満了日である令和3年6月29日までの間、原告に対して実施料を支払うことなく、本件特許権を侵害し又は侵害するとみなされる被告製品を業として製造、輸入及び販売した。平成16年2月から令和3年6月29日までの、被告らの日本におけるFPGAの売上額は、3781億0904万円を下らない。本件特許権の実施料相当額は、被告らの日本におけるFPGAの売上額の3%すなわち113億4327万1200円を下らない。

したがって、原告は、被告に対し、本件特許権の合理的な実施料に相当する金額（特許法102条3項）として113億4327万1200円を下らない額及び弁護士費用の損害賠償請求権の支払請求権を有する（民法709条）。

2 不当利得返還請求権

被告らは、上記1記載の本件特許権の合理的な実施料に相当する金額を支払わないことにより、法律上の原因なく同金額に相当する利益を受け、そのため、

原告は、同金額に相当する損失を受けた。同金額は、上記 1 のとおり、113 億 4327 万 1200 円を下らない。

したがって、原告は、被告に対し、113 億 4327 万 1200 円を下らない額の不当利得返還請求権（民法 703 条）及び利息（民法 704 条）の支払請求権を有する。

第 5 結論

よって、原告は、被告らに対し、不法行為に基づく損害賠償請求権（上記第 4・1）及び不当利得返還請求権（上記第 4・2）の一部として、連帯して金 1 億円及びこれに対する本訴状送達の日翌日から支払済みまで年 3 分の割合による金員（損害賠償請求権に対する遅延損害金及び不当利得返還請求権に対する利息）の支払を請求する。

証拠方法

証拠説明書（1）記載のとおり

附属書類

1 訴状	副本 2 通、写し 4 通
2 証拠説明書（1）	正本 1 通、副本 2 通、写し 4 通
3 甲号証	写し各 7 通
4 訴訟委任状	原本 2 通
5 法人国籍証明書（被告米国インテル、英文及び翻訳）	原本 1 通
6 資格証明書（被告日本インテル）	原本 1 通
7 特定侵害訴訟代理業務付記証書	写し 1 通

以 上

(別紙)

被告製品目録

第1 被告製品1 (Stratix IIシリーズ) (甲5)

パーツナンバーのプリフィクス (パーツナンバーの先頭に付される文字列。以下同じ。) が「EP2S」である全てのFPGAデバイス (甲18)。ただし、パーツナンバーのプリフィクスが「EP2SGX」であるものを含まない。

第2 被告製品2 (Stratix II GXシリーズ) (甲6)

パーツナンバーのプリフィクスが「EP2SGX」である全てのFPGAデバイス (甲18)。

第3 被告製品3 (Stratix IIIシリーズ) (甲7)

パーツナンバーのプリフィクスが「EP3S」を含む全てのFPGAデバイス (甲18)。

第4 被告製品4 (Stratix IVシリーズ) (甲8)

パーツナンバーのプリフィクスが「EP4S」を含む全てのFPGAデバイス (甲18)。

第5 被告製品5 (Stratix Vシリーズ) (甲9)

パーツナンバーのプリフィクスが「5S」を含む全てのFPGAデバイス (甲18)。

第6 被告製品6 (Stratix 10シリーズ) (甲10)

以下の表に示す各製品 (甲19の1～甲19の6)。

製品コレクション	製品名
Stratix 10 DX FPGA	Stratix 10 DX 1100 FPGA Stratix 10 DX 2100 FPGA Stratix 10 DX 2800 FPGA
Stratix 10 GX FPGA	Stratix 10 GX 400 FPGA Stratix 10 GX 650 FPGA Stratix 10 GX 850 FPGA Stratix 10 GX 1100 FPGA Stratix 10 GX 1650 FPGA Stratix 10 GX 1660 FPGA Stratix 10 GX 2100 FPGA Stratix 10 GX 2110 FPGA Stratix 10 GX 2500 FPGA Stratix 10 GX 2800 FPGA Stratix 10 GX 10M FPGA
Stratix 10 MX FPGA	Stratix 10 MX 1650 FPGA Stratix 10 MX 2100 FPGA
Stratix 10 SX SoC FPGA	Stratix 10 SX 400 FPGA Stratix 10 SX 650 FPGA Stratix 10 SX 850 FPGA Stratix 10 SX 1100 FPGA Stratix 10 SX 1650 FPGA Stratix 10 SX 2100 FPGA Stratix 10 SX 2500 FPGA Stratix 10 SX 2800 FPGA
Stratix 10 TX FPGA	Stratix 10 TX 400 FPGA Stratix 10 TX 850 FPGA Stratix 10 TX 1100 FPGA Stratix 10 TX 1650 FPGA Stratix 10 TX 2100 FPGA Stratix 10 TX 2500 FPGA Stratix 10 TX 2800 FPGA
Stratix 10 NX FPGA	Stratix 10 NX 2100 FPGA

第7 被告製品7 (Arria GXシリーズ) (甲11)

パーツナンバーのプリフィクスが「EP1AGX」である全てのFPGAデバイス (甲18)。

第8 被告製品8 (Arria IIシリーズ) (甲12)

パーツナンバーのプリフィクスが「EP2AGX」である全てのFPGAデバイス (甲18)。

第9 被告製品9 (Arria Vシリーズ) (甲13)

以下の表に示す各製品 (甲20の1～甲20の5)。

製品コレクション	製品名
Arria V GT FPGA	Arria V 5AGTC3 FPGA Arria V 5AGTC7 FPGA Arria V 5AGTD3 FPGA Arria V 5AGTD7 FPGA
Arria V GX FPGA	Arria V 5AGXA1 FPGA Arria V 5AGXA3 FPGA Arria V 5AGXA5 FPGA Arria V 5AGXA7 FPGA Arria V 5AGXB1 FPGA Arria V 5AGXB3 FPGA Arria V 5AGXB5 FPGA Arria V 5AGXB7 FPGA
Arria V GZ FPGA	Arria V 5AGZE1 FPGA Arria V 5AGZE3 FPGA Arria V 5AGZE5 FPGA Arria V 5AGZE7 FPGA
Arria V ST SoC FPGA	Arria V 5ASTD3 FPGA Arria V 5ASTD5 FPGA
Arria V SX SoC FPGA	Arria V 5ASXB3 FPGA Arria V 5ASXB5 FPGA

第10 被告製品10 (Arria 10シリーズ) (甲14)

以下の表に示す各製品 (甲21の1～甲21の3)。

製品コレクション	製品名
Arria 10 GT FPGA	Arria 10 GT 900 FPGA Arria 10 GT 1150 FPGA
Arria 10 GX FPGA	Arria 10 GX 160 FPGA Arria 10 GX 220 FPGA Arria 10 GX 270 FPGA Arria 10 GX 320 FPGA Arria 10 GX 480 FPGA Arria 10 GX 570 FPGA Arria 10 GX 660 FPGA Arria 10 GX 900 FPGA Arria 10 GX 1150 FPGA
Arria 10 SX SoC FPGA	Arria 10 SX 160 FPGA Arria 10 SX 220 FPGA Arria 10 SX 270 FPGA

	Arria 10 SX 320 FPGA Arria 10 SX 480 FPGA Arria 10 SX 570 FPGA Arria 10 SX 660 FPGA
--	--

第 11 被告製品 11 (Cyclone V シリーズ) (甲 15)

以下の表に示す各製品 (甲 22)。

製品コレクション	製品名
Cyclone V E FPGA	Cyclone V 5CEA2 FPGA Cyclone V 5CEA4 FPGA Cyclone V 5CEA5 FPGA Cyclone V 5CEA7 FPGA Cyclone V 5CEA9 FPGA
Cyclone V GT FPGA	Cyclone V 5CGTD5 FPGA Cyclone V 5CGTD7 FPGA Cyclone V 5CGTD9 FPGA
Cyclone V GX FPGA	Cyclone V 5CGXC3 FPGA Cyclone V 5CGXC4 FPGA Cyclone V 5CGXC5 FPGA Cyclone V 5CGXC7 FPGA Cyclone V 5CGXC9 FPGA
Cyclone V SE SoC FPGA	Cyclone V 5CSEA2 FPGA Cyclone V 5CSEA4 FPGA Cyclone V 5CSEA5 FPGA Cyclone V 5CSEA6 FPGA
Cyclone V ST SoC FPGA	Cyclone V 5CSTD5 FPGA Cyclone V 5CSTD6 FPGA
Cyclone V SX SoC FPGA	Cyclone V 5CSXC2 FPGA Cyclone V 5CSXC4 FPGA Cyclone V 5CSXC5 FPGA Cyclone V 5CSXC6 FPGA

第 12 被告製品 12 (Cyclone 10 シリーズ) (甲 16)

以下の表に示す各製品 (甲 23)。

製品コレクション	製品名
Cyclone 10 GX FPGA	Cyclone 10 10CX085 FPGA Cyclone 10 10CX105 FPGA Cyclone 10 10CX150 FPGA Cyclone 10 10CX220 FPGA

第 13 被告製品 13 (Agilex シリーズ) (甲 17 の 1 ~ 甲 17 の 3)

以下の表に示す各製品（甲 2 4）。

製品コレクション	製品名
Agilex F シリーズ FPGA および SoC FPGA	AGF 004
	AGF 006
	AGF 008
	AGF 012
	AGF 014
	AGF 022
	AGF 027
Agilex I-Series SoC FPGA	AGI 022
	AGI 027
Agilex M-Series FPGA	AGM 032
	AGM 039

(別紙)

被告製品・被告方法説明書

第1 被告製品に共通する構成

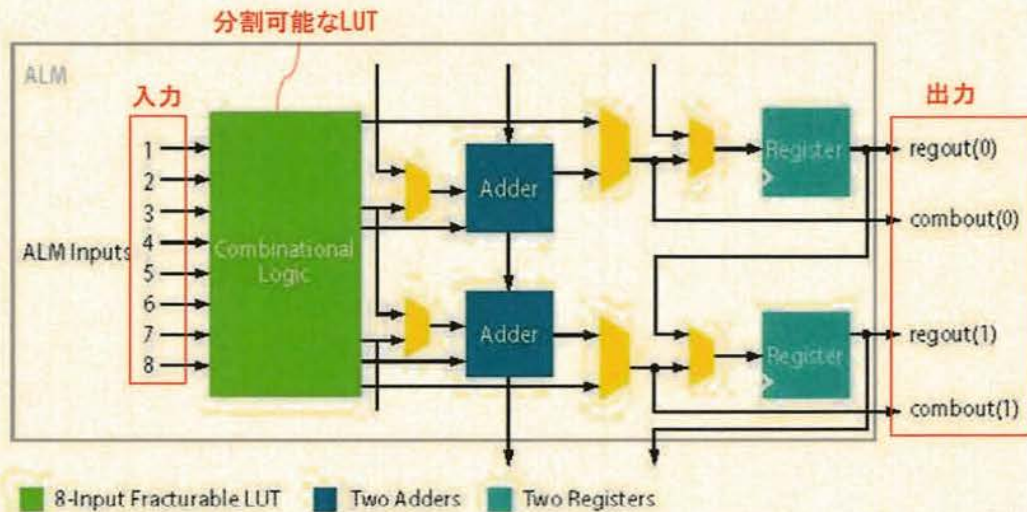
1 被告製品のALMの全体的な構成

- (1) 被告製品は、いずれも、アルテラ社により Adaptive Logic Module (アダプティブ・ロジック・モジュール、以下「ALM」という。)と名付けられた、高ロジック効率のLUTモジュール(複数のLUTに分割可能なものをいう。以下同じ。)を備える。
- (2) 被告製品のALMの構成は、アルテラ社が平成18年(2006年)に公開したホワイトペーパー(技術情報を説明する文書)である「FPGAアーキテクチャ」(甲25)に開示されている。被告製品のALMは、甲25の以下の説明及び図1(赤枠及び説明を追加した。)に示されるように、8個の入力、分割可能なLUT(「Combinational Logic」と記載された部分)及び4個の出力(ただし、後述のとおり、製品によって出力数が異なる場合もある。)で構成されている。

ロジック・ファブリック

高性能で面積効率の高いアーキテクチャを実現する鍵はALMです。図1に示すとおり、ALMは組み合わせロジック、2個のレジスタ、および2個の加算器で構成されています。組み合わせ部には8つの入力があり、アルテラ独自のLUT技術を使用して2個のアダプティブLUT(ALUT)に分割できるLUTが含まれています。任意の6入力ファンクションを実装するにはALM全体が必要ですが、組み合わせロジック・ブロックには8つの入力があるため、1個のALMで2つのファンクションの多様な組み合わせを実装できます。

(甲25・1頁14行～19行)

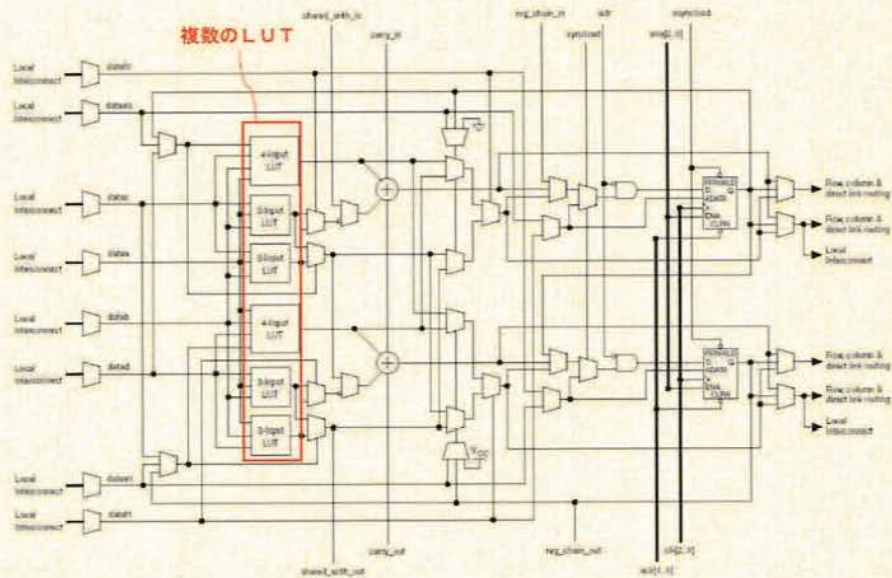


(甲 2 5 ・ 図 1)

フル 6 入力 LUT の他に、例えば 2 個の独立した 4 入力ファンクションまたは独立した入力を持つ 1 個の 5 入力ファンクションと 1 個の 3 入力ファンクションを実装できます。…1 個の ALM で、1 個の 4-LUT、キャリー・ロジック、1 個のレジスタで構成されるクラシック 4 入力 LUT (4-LUT) アーキテクチャのロジック・エレメント (LE) を 2.5 個実装できる柔軟性があります。

(甲 2 5 ・ 1 頁 2 0 ～ 2 5 行)

- (3) このように、分割可能な LUT は、内部に複数の LUT を備えており、これらを任意に組み合わせて構成することで、様々な入出力数を有する複数の LUT を 1 つの LUT 内で実現することができる。
- (4) 上記(2)の ALM は、甲 2 5 の 7 頁の図 6 において、以下の詳しいブロック図 (赤色の説明、枠等を追加した。) で示されており、上記(2)の分割可能な LUT は、複数の LUT (以下の図においては、赤枠内に示すとおり、2 個の 4 LUT と 4 個の 3 LUT の計 6 個の LUT が記載されている。) を有することが示されている。



(甲 2 5 ・ 図 6)

- (5) ALMは、上記の複数（甲 2 5 の 7 頁の図 6 の例では 6 個）の LUT を任意に組み合わせることにより、入力数を変化させた 2 個の LUT を構成することができる。このようにして LUT の組合せにより構成された LUT（換言すれば、ALM を分割して構成された LUT）は、上記(2)に示したとおり、甲 2 5 において「アダプティブ LUT」、「Adaptive LUT」又は「ALUT」とされている。ALM は、このように 2 個の ALUT に分割して用いることができる。
- (6) 甲 2 5 に先立ち、アルテラ社の研究者である M. Hutton らにより発表された、ALM に関する論文「Fracturable FPGA Logic Elements」（対訳：分割可能な FPGA 論理素子）（甲 2 6）においても、甲 2 5 においても紹介されている ALM の基本的な構成及びその優位性が詳細に説明されている。

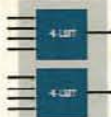
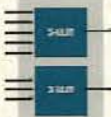
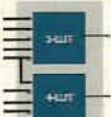
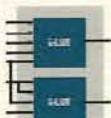
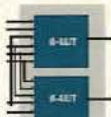
2 ALM モジュールで実現可能な LUT の組み合わせ

上記 1 に記載したとおり、被告製品の ALM は、1 つ又は 2 つの ALUT として構成することができる。具体的には、甲 2 5 の表 1 に示されるとおり、以

下の7通りのALUTを構成することができる。

- ・第1のLUT構成モード：1個の6入力1出力ALUT
- ・第2のLUT構成モード：2個の4入力1出力ALUT
- ・第3のLUT構成モード：1個の5入力1出力ALUT及び1個の3入力1出力ALUT
- ・第4のLUT構成モード：1個の5入力1出力ALUT及び1個の4入力1出力ALUT（ただし、1個の入力を2個のALUT間で共有する。）
- ・第5のLUT構成モード：2個の5入力1出力ALUT（ただし、2個の入力を2個のALUT間で共有する。）
- ・第6のLUT構成モード：2個の6入力1出力ALUT（ただし、4個の入力を2個のALUT間で共有する。）
- ・第7のLUT構成モード：1個の7入力1出力ALUT

表 1. ALM の柔軟性

構成	説明
	1 個の Stratix II ALM で任意の 6 入力ファンクションを入力できます。 6 入力 1 出力 x 1
	1 個の Stratix II ALM で、2 つの独立した 4 入力、またはそれより小さい LUT を実装するように構成できます。この構成には、「下位互換性モード」があります。従来の 4 入力 LUT の FPGA デザインを Stratix II ファミリーに容易に移行することができます。 4 入力 1 出力 x 2
	1 個の Stratix II ALM で、1 個の 5 入力 LUT と 1 個の 3 入力 LUT を実装するように構成できます。2 個の LUT の入力はそれぞれ独立しています。3 入力 LUT を使用して、入力が 3 つ以下の任意のロジック・ファンクションを実装できます。したがって、5 入力 LUT/2 入力 LUT の組み合わせも可能です。 5 入力 1 出力 + 3 入力 1 出力
	1 個の Stratix II ALM で、1 個の 5 入力 LUT と 1 個の 4 入力 LUT を実装するように構成できます。いずれかの入力を 2 個の LUT 間で共有させる必要があります。5 入力 LUT には最大 4 個の独立した入力があります。4 入力 LUT には最大 3 個の独立した入力があります。LUT 間での入力の共有は FPGA デザインでは極めて一般的であり、Quartus II ソフトウェアはこの方法で最適化されたロジック・ファンクションを自動検出します。 5 入力 1 出力 + 4 入力 1 出力
	1 個の Stratix II ALM は、2 個の 5 入力 LUT を実装するよう構成できます。この場合、LUT 間の入力のうち 2 つは共通で、各 5 入力 LUT に対して最大 3 つの独立した入力が増えます。 5 入力 1 出力 x 2
	同じロジック動作と 4 つの共有入力を持つ 6 入力ファンクションが 2 個ある場合、これら 2 個の 6 入力ファンクションは 1 個の Stratix II ALM で実装できます。 例えば、4 本のデータ入力ラインと 2 組の固有の選択信号を持つ 4x2 クロスバー・スイッチは、Stratix ファミリーでは 4 個の LE が必要です。Stratix II ファミリーでは、この同じファンクションに必要な ALM は 1 個だけで済みます。6 入力 AND ゲートも同様です。ALM は、4 つの共有入力を持つ 6 入力ファンクションを実装した場合、3 個の ALM に同じファンクションを実装した場合は、1 個の ALM で実装できます。 6 入力 1 出力 x 2
	拡張モードの 1 個の Stratix II ALM で、7 変数ファンクションのサブセットを実装することができます。Quartus II ソフトウェアは、該当する 7 入力ファンクションを自動的に認識し、1 個の ALM に適合させます。1 個の ALM に実装できる 7 入力ファンクションの種類については、「Stratix II デバイス・ハンドブック」を参照してください。 7 入力 1 出力 x 1

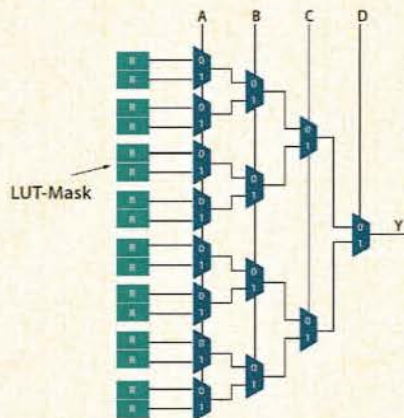
3 複数の LUT から、組み合わせられた LUT を構成する概念

- (1) 本件発明及び被告製品において共通する特徴の 1 つである、複数の LUT から、組み合わせられた LUT を構成する概念を、甲 25 に基づき説明する。
- 甲 25 には、以下の記載がある（下線は原告が追加した。）。

ルック・アップ・テーブル (LUT) の構築

LUT がどのように構築されるかの概要を知っておくと、ALM の革新機能を説明するのに役立ちます。LUT は一般に、コンフィギュレーション・メモリ (CRAM) LUT マスクを保持するための SRAM ビット、および出力をドライブする CRAM ビットを選択するためのマルチプレクサ・セットから構築されます。k 入力 LUT (k-LUT) -任意のファンクションを実行できる k 入力の LUT-を実装するには、 2^k SRAM ビットと $2^k:1$ マルチプレクサが必要です。図 2 は 4-LUT を示していますが、これは 16 ビットの SRAM と、2:1 マルチプレクサのツリーとして実装された 16:1 マルチプレクサから構成されています。4-LUT は LUT マスクに適切な値を設定することによって、4 つの入力 (A、B、C、D) の任意のファンクションを実装できます。図 2 の 4-LUT を簡素化するために、2:1 マルチプレクサで接続された 2 個の 3-LUT から構築することもできます。

(甲 2 5・3 頁 1 行～9 行)



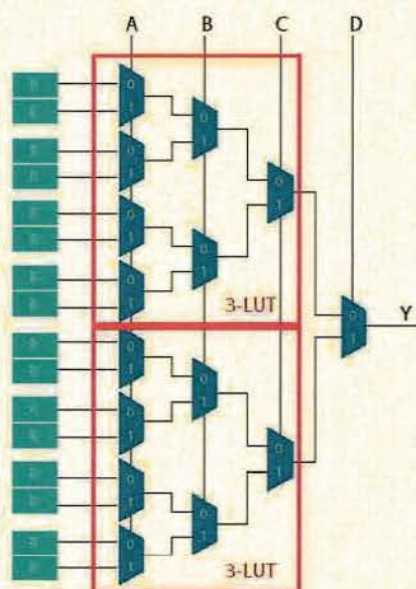
(甲 2 5・3 頁図 2 の左図)

- (2) 上記においては、4 入力 1 出力の LUT が記載されている。ここで、「LUT マスク」とは、訴状本文第 2・4・(1)において説明したとおり、論理値の配列を意味するものであり、SRAM すなわちスタティック・ランダム・アクセス・メモリのビット値 (0 又は 1) である。
- (3) 上の図において、A、B、C 及び D が 4 つの入力信号を意味し、これらの 4 つの入力信号に対して Y という 1 つの出力がなされる。これら 4 つの入力信号に対していかなる出力をするか、コンフィギュレーション・メモリ (CRAM) に記憶されたビット値を参照することになるが、具体的な入力信号を受けていずれの CRAM のビット値を選択するかを決定するパーツは、

「マルチプレクサ」と呼ばれ、上の図において台形で描かれた、以下に示すものである。

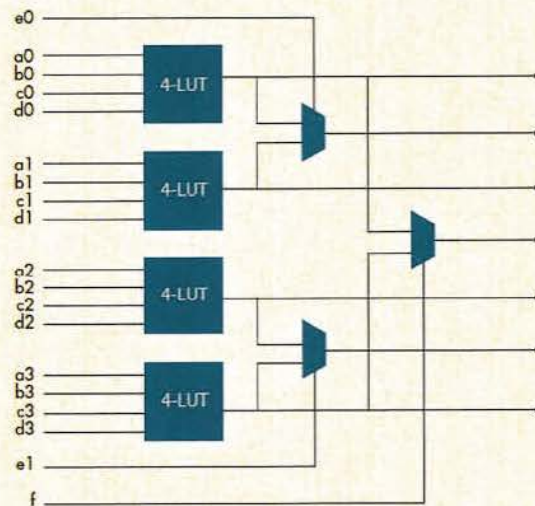


- (4) 甲25では、複数のマルチプレクサで構築される集合が、「マルチプレクサ・セット」と記載されている。
- (5) LUTマスクとマルチプレクサ・セットの動作は、訴状本文第2・4・(1)に記載したとおりであり、入力信号Aが「0」であれば、Aの下にある各マルチプレクサの「0」に対応するLUTマスク値が選択される。同じことがB、C及びDにおいても行われる結果、当該A～Dの入力の組合せに対応する1つのLUTマスク値が選択され、選択されたLUTマスク値がYとして出力される。
- (6) また、甲25・3頁図2の右図においては、以下のとおり、上記の4LUTが、2個の3LUTから構成することもできることが記載されている。



(甲25・3頁図2の右図)

- (7) さらに、甲25の4頁の図3には、複数の4LUTでより大きな6LUTを構成する方法が記載されている。



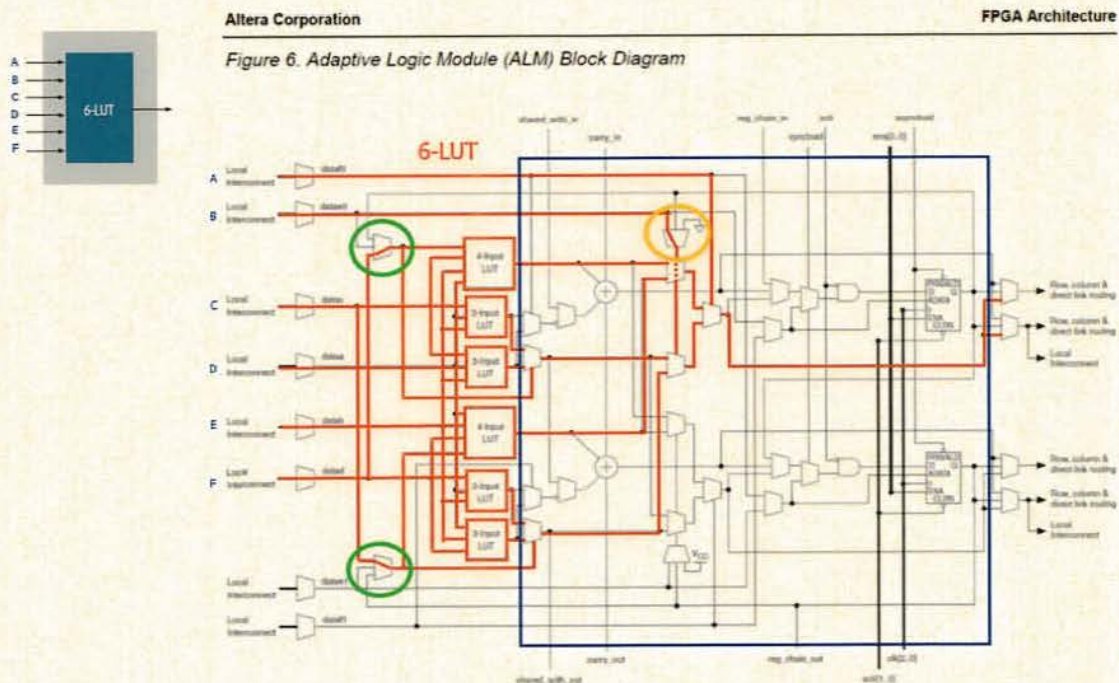
(甲25・4頁図3)

- (8) 上の図の場合、4個の4LUTの外に3個のマルチプレクサが設けられている。4個の4LUTには、a (a0ないしa3)、b (b0ないしb3)、c (c0ないしc3) 及びd (d0ないしd3) の4個の信号がそれぞれ入力されている。また、4LUTの右側の3個のマルチプレクサに対し、e (e0及びe1) 及びfの入力が行われるように構成されている。
- (9) このような構成において、LUTマスクによりそれぞれの4LUTが適切にマッピングされ、かつ、全ての4LUTに同じ入力信号を入力すると共に、e及びfの入力信号をLUTの後段の3つのマルチプレクサに入力することで、6LUTの出力信号が出力されることになる(マッピングによる入力信号及び出力信号の選択については、以下4において説明する。)

4 入力信号及び出力信号の切換え

- (1) はじめに

下図は、甲25の7頁の図6に、第1のLUT構成モードを実現するための状態の一例（複数の組合せが考えられるうちの一例である。）を加筆したものである。分かりやすいように、使用される信号線及びLUTを赤色で示すと共に、6つのALMの入力信号にA～Fの符号を付し、その他説明のために枠等を付した。



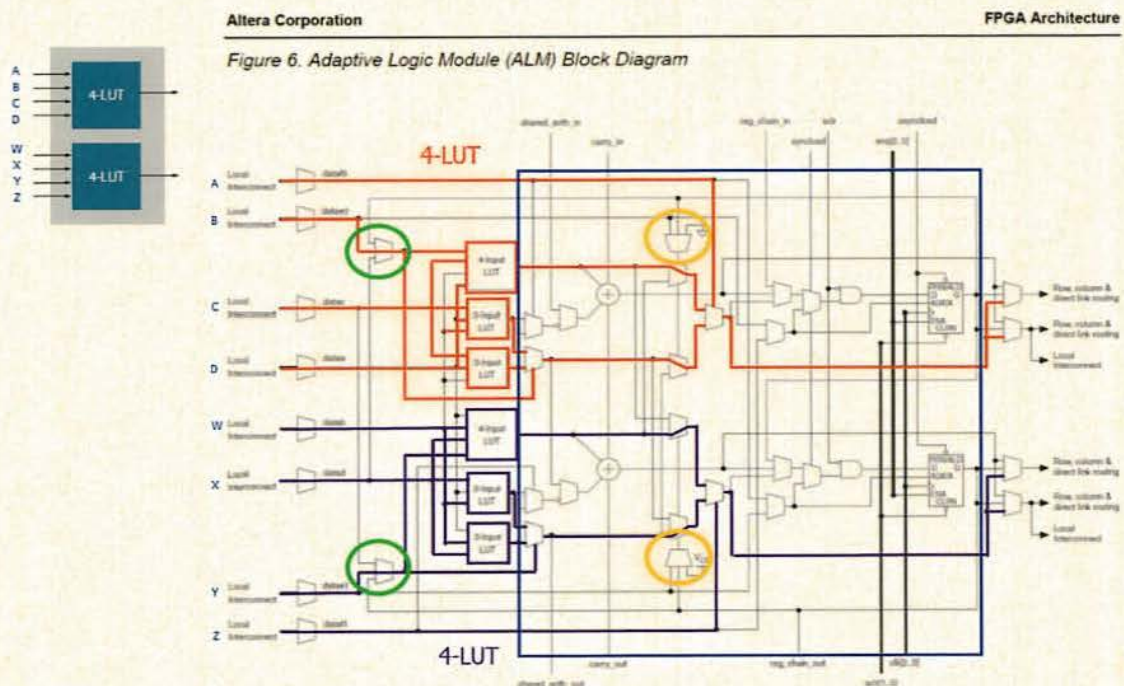
上記の状態において、LUT群への入力信号の選択は、少なくとも、図に緑色の丸で示した2個のマルチプレクサによってなされ、LUT群からの出力信号の選択は、図に青色の枠で囲った領域に含まれるマルチプレクサの少なくとも一部によってなされる。

また、FPGA上の回路の生成において、第1のLUT構成モードすなわち1個の6LUTにマッピングされた場合、それを実現するため、少なくとも、緑色の丸で囲った2個のマルチプレクサ及びオレンジ色の丸で囲った1個のマルチプレクサの付近等に記憶された、内部構成を制御するためのデー

タにより、入力信号選択用のマルチプレクサ（緑色の丸で囲ったもの）及び出力信号選択用のマルチプレクサ（少なくとも、オレンジ色の丸で囲ったマルチプレクサの後段に設けられたマルチプレクサ）が、この第1の構成モードを構成するために必要な値を選択出力するように制御される。

(3) 2つの独立した4 LUTに構成する場合（第2のLUT構成モード）。

甲25の表1に示される第2のLUT構成モード（2個の4入力1出力ALUT）を実現するための状態の一例（複数の組合せが考えられるうちの一例である。）を、以下の図に示した。2つの4入力1出力ALUTに使用される信号線及びLUTを、それぞれ赤色及び紫色で区別して示すと共に、入力信号にA～D及びW～Zの符号を付し、その他説明のために枠等を付した。



上記の状態において、LUT群への入力信号の選択は、少なくとも、図に緑色の丸で示した2個のマルチプレクサによってなされ、LUT群からの出

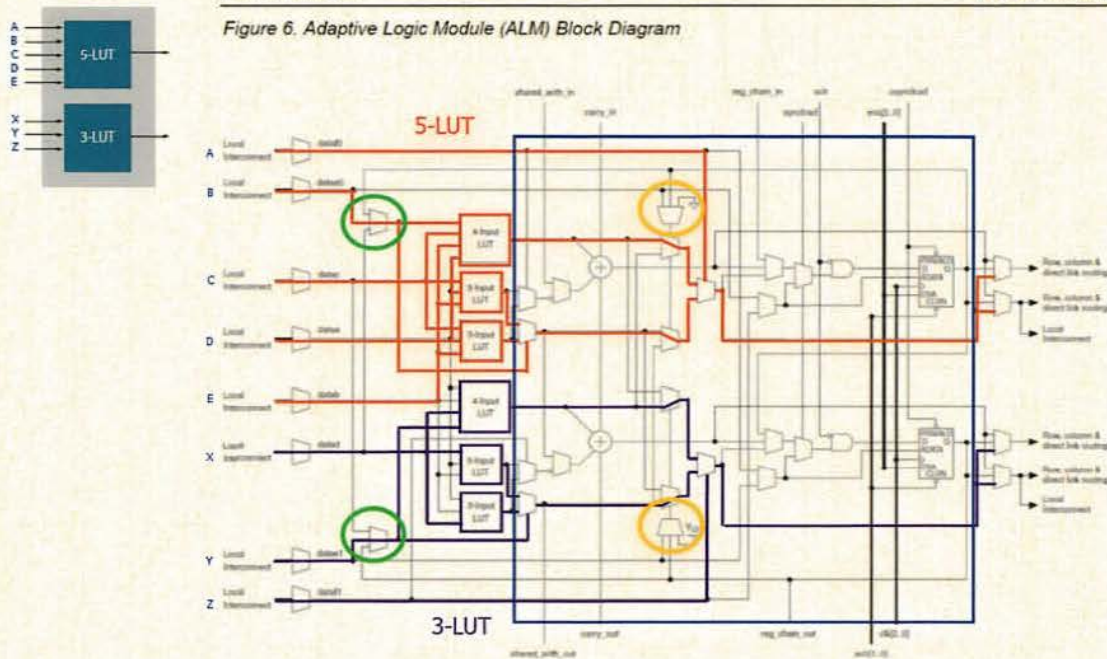
力信号の選択は、図に青色の枠で囲った領域に含まれるマルチプレクサの少なくとも一部によってなされる。

また、FPGA上の回路の生成において、第2のLUT構成モードすなわち2個の4LUTにマッピングされた場合、それを実現するため、少なくとも、緑色の丸で囲った2個のマルチプレクサ及びオレンジ色の丸で囲った2個のマルチプレクサの付近等に記憶された内部構成を制御するためのデータにより、入力信号選択用のマルチプレクサ（緑色の丸で囲ったもの）及び出力信号選択用のマルチプレクサ（少なくとも、オレンジ色の丸で囲ったマルチプレクサの後段に接続されたマルチプレクサ）が、この第2の構成モードを構成するために必要な値を選択出力するように制御される。

(4) 5LUTと3LUTの構成モード（第3のLUT構成モード）

甲25の表1に示される第3のLUT構成モード（1個の5入力1出力ALUT及び1個の3入力1出力LUT）を実現するための状態の一例（複数の組合せが考えられるうちの一例である。）を、以下の図に示した。上記第2のLUT構成モードと同様にALUTごとに色分けした。5LUTが赤色、3LUTが紫色で区別して示されている。また、入力信号にA～E及びX～Zの符号を付し、その他説明のために枠等を付した。

Figure 6. Adaptive Logic Module (ALM) Block Diagram



上記の状態において、LUT群への入力信号の選択は、少なくとも、図に緑色の丸で示した2個のマルチプレクサによってなされ、LUT群からの出力信号の選択は、図に青色の枠で囲った領域に含まれるマルチプレクサの少なくとも一部によってなされる。

また、FPGA上の回路の生成において、第3のLUT構成モードすなわち1個の5LUT及び1個の3LUTにマッピングされた場合、それを実現するため、少なくとも、緑色の丸で囲った2個のマルチプレクサ及びオレンジ色の丸で囲った2個のマルチプレクサの付近等に記憶された内部構成を制御するためのデータにより、入力信号選択用のマルチプレクサ（緑色の丸で囲った2個のマルチプレクサ）及び出力信号選択用のマルチプレクサ（少なくとも、オレンジ色の丸で囲ったマルチプレクサの後段に接続されたマルチプレクサ）に対し、必要な値を出力するための制御が行われる。

(5) マルチプレクサによる入出力信号の選択及びマルチプレクサの制御

4 頁において、マルチプレクサが「切替マルチプレクサ」(S w a p M U X)として、以下のとおり動作が説明されている（下線は原告が追加した。）。

（甲 2 6 ・ 4 頁右欄 2 6 行～2 8 行）

…When in fractured mode setting the configuration SRAM-bit to 0 disconnects the upper ALM-half from the lower.

（対訳）

…分割モードにおいて、構成 SRAM ビットをゼロに設定すると、ALM の上部半分が下部から切り離される。

（甲 2 6 ・ 4 頁右欄下 1 7 行～最下行）

…A final modification is to introduce introduce swap muxes controlled by SRAM configuration bits R and T, for reasons which will become clear shortly.

The operation of the logic module of Figure 9 is now a bit more complex. There are still two outputs and 8 inputs, and all previous properties. However there is an additional benefit from the latter transformation that makes it particularly powerful. Note that when a 6,2 ALM is used in 6-LUT mode, there are two outputs unused (wasted). With the additional circuitry, which denoted shared LUT-mask or SLM, the logic module can now be configured to implement two 6-input functions that share 4 inputs as long as they share the identical LUT-mask function. By setting R=1 and T=1, S=0 and U=1, and reorganizing the LUT mask appropriately, SLM1 becomes a 6-LUT function of (a1,a2,b1,b2,c1,d1) and SLM2 becomes the same function, only of (a1,a2,b1,b2,c2,d2).

（対訳）

…最終的変更は、以下で明白となる理由により、SRAM 構成ビット R および T によって制御されるスワップマルチプレクサを導入することである。

図 9 の論理素子の操作は僅かばかり複雑である。2 つの出力、8 つの入力、および上述の全ての特性は同じである。しかし、後者の変更により、特に強力な利点が追加されている。6, 2 ALM が 6-LUT モードで 사용되는場合、2 つの出力は未使用（無駄）であることに注目されたい。論理モジュールは、共有 LUT マスク（SLM）と呼ばれる追加回路を用いることにより、同一の LUT マスク関数を共有している限り、4 つの入力を共有する 2 つの 6 入力関数を実行するように構成できる。R=1 および T=1、並びに S=0 および U=1 に設定し、LUT マスクを適切に再構成することにより、SLM1 は (a1、a2、b1、b2、c1、d1) の 6-LUT 関数となり、

SLM2は $(a1、a2、b1、b2、c2、d2)$ の同じ関数となる。

(甲26・図9)

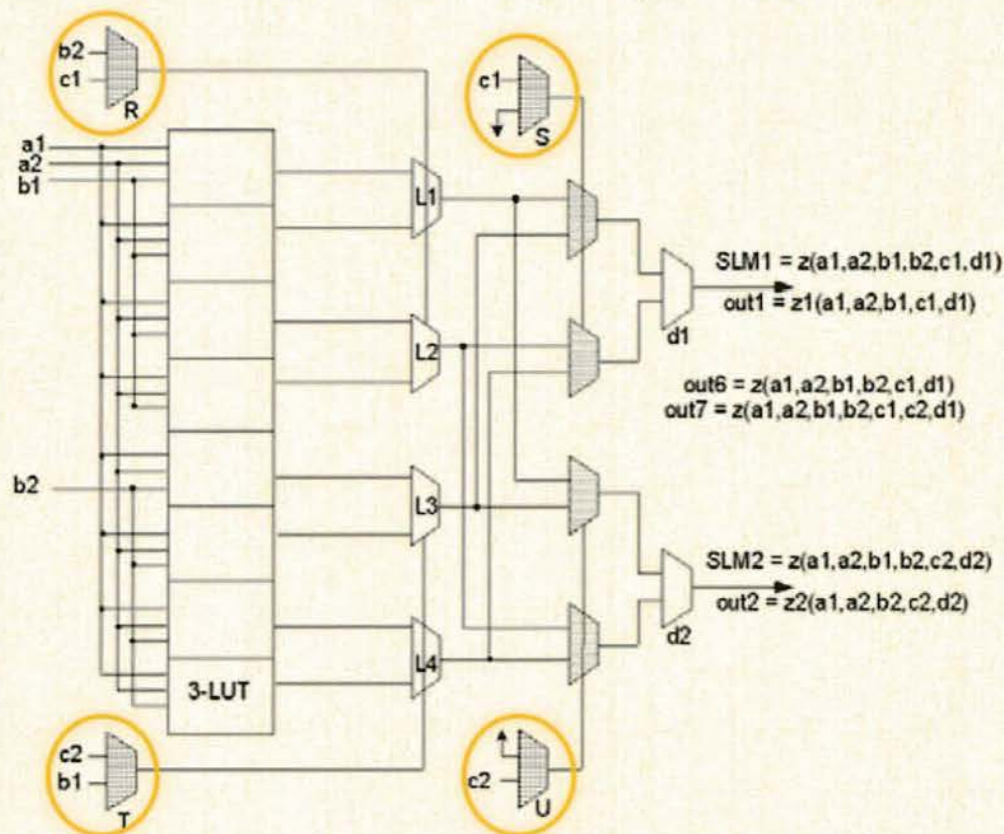


Figure 9. 6,2 ALM with 2 outputs and SLM

(キャプションの対訳)

図9 2出力およびSLMを有する6, 2ALM

エ まず、上記の「分割モードにおいて、構成SRAMビットをゼロに設定すると、ALMの上部半分が下部から切り離される」との記載から、構成SRAMビットの設定によりALMの上部と下部が切り離される、すなわち入力信号を制御することで上部と下部を分割し、それぞれ別のLUTとして動作させることが理解される。

オ また、上記の「…SRAM構成ビットRおよびTによって制御されるスワップマルチプレクサを導入する…」、「6, 2ALMが6-LUTモードで使

用される場合、2つの出力は未使用（無駄）であることに注目されたい。…
R = 1 および T = 1、並びに S = 0 および U = 1 に設定し、LUTマスクを
適切に再構成することにより、SLM1は（a 1、a 2、b 1、b 2、c 1、
d 1）の6-LUT関数となり、SLM2は（a 1、a 2、b 1、b 2、c
2、d 2）の同じ関数となる。」との記載及び図9から、ALMにおいて未使
用であった2つの出力信号の選択が、R、T、S及びUという、SRAMに
格納されたビット値（SRAM configuration bit:SRAM設定ビット）により制御されることが理解される。

カ 図9は、8個の3LUTを用いて構成された例であり、4つの出力信号選
択用のマルチプレクサが設けられている。4つの出力信号選択用のマルチプ
レクサR、T、S、Uを制御するためのビット値は、それぞれ、R = 1、T
= 1、S = 0、U = 1 に設定され、これらにより、LUTマスクが適当にマ
ッピングされていることを条件として、2つの6LUTとして動作する。

被告製品においても同様に、SRAMに格納されたビット値によって制御
される入力信号選択用のマルチプレクサ及び出力信号選択用のマルチプレ
クサがある。

5 被告製品の構成1

(1) 構成1 a 及び 1 h

上記1・(1)ないし(3)に記載したとおり、被告製品のALMは、M入力N出
力であるといえる（後述の構成1 a 及び 1 h）。

(2) 構成1 b 及び 1 c

上記1・(4)に記載したとおり、被告製品のALMは、複数のLUTからな
るLUT群を有する（構成1 b）。

また、上記4・(1)ないし(5)に記載したとおり、被告製品のALMは、LU

Tマスクと内部構成制御手段を設定することにより、ALMを複数のモードに内部構成することが可能である。したがって、被告製品のALMは、LUT群の内部構成を制御する内部構成制御手段を有する（後述の構成1c）。

(3) 構成1d、1d-1及び1d-2

上記4・(1)及び(2)に記載したとおり、被告製品のALMは内部構成制御手段を有し（後述の構成1d）、前記のLUT群の前段及び後段にLUT群への入力信号及びLUT群からの出力信号を選択するための複数のマルチプレクサ（後述(6)で述べる、SRAMに格納されたビット値によりLUT構成モードが設定され、その動作が制御されるものに限る。以下、本被告製品・被告方法説明書において「複数のマルチプレクサ」というときは同じ。）を有する（後述の構成1d-1）。

また、上記4・(5)に記載したとおり、被告製品のALMは、SRAMに格納されたビット値により前記の複数のマルチプレクサを制御し、前記LUT群からALMをどのように構成するかを規定する（後述の構成1d-2）。

(4) 構成1e

上記4・(5)に記載したとおり、被告製品のALMは、SRAMを有し、マルチプレクサの設定は、SRAMに格納されたビット値によってなされる（後述の構成1e）。

(5) 構成1f、1f-1及び1f-2

上記4・(2)~(4)に記載したとおり、被告製品のALMの前記複数のマルチプレクサ（後述の構成1f）は、少なくとも1つの、LUT群の入力に設けられて入力信号の選択を行う入力信号選択用マルチプレクサ（後述の構成1f-1）及びLUT群の出力に設けられて出力信号の選択を行う出力信号選

択用マルチプレクサ（後述の構成 1 f - 2）を備える。

(6) 構成 1 g

上記 4・(5)に記載したとおり、被告製品のALMの前記複数のマルチプレクサにおける入力信号選択用マルチプレクサ及び出力信号選択用マルチプレクサは、SRAMに格納されたビット値によりLUT構成モードが設定され、その動作が制御される。また、これらのマルチプレクサは、LUT群に入力される入力信号に応じて出力信号を出力するから、入力信号に応じて制御されるものでもある。したがって、被告製品のALMの前記複数のマルチプレクサにおける入力信号選択用マルチプレクサ及び出力信号選択用マルチプレクサは、SRAMに格納するビット値及び入力信号に応じて制御される（後述の構成 1 g）。

(7) 被告製品の構成

以上(1)~(6)から、被告製品のALMは、以下の構成を有すると認定される。

- 1 a M入力N出力のALMであって、
- 1 b 複数のLUTで構成されるLUT群と、
- 1 c LUT群の内部構成を制御する内部構成制御手段を備え、
- 1 d 内部構成制御手段は、
 - 1 d - 1 LUT群の入力信号及び出力信号を選択するための複数のマルチプレクサと、
 - 1 d - 2 各マルチプレクサを制御してLUT群によるALMの構成を規定するSRAMとを備え、
- 1 e SRAMは、格納するビット値により複数のマルチプレクサを制御し、

1 f 複数のマルチプレクサは、

1 f-1 少なくとも1つのLUT群の入力に設けられて入力信号の選択を行う入力信号選択用マルチプレクサと、

1 f-2 LUT群の出力に設けられて出力信号の選択を行う出力信号選択用マルチプレクサとを備え、

1 g 入力信号選択用マルチプレクサ及び出力信号選択用マルチプレクサは、SRAMに格納するビット値及び入力信号に応じて制御される

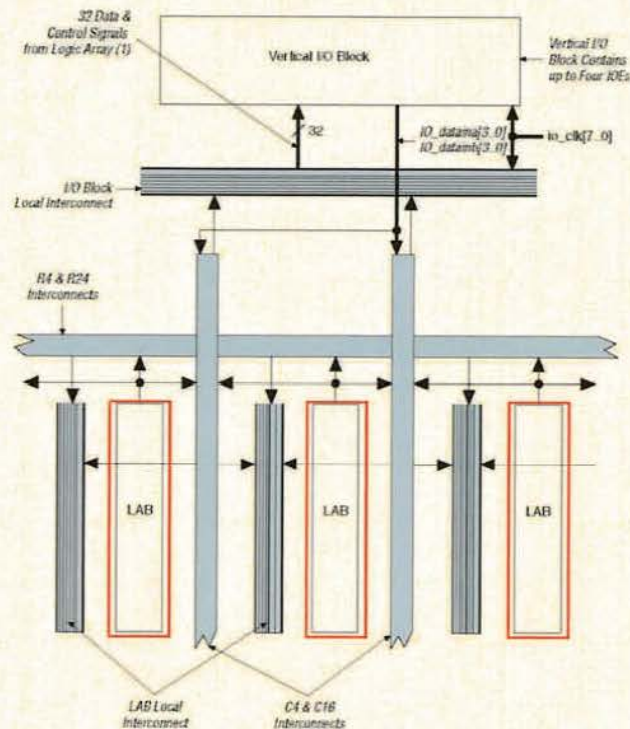
1 h ことを特徴とするALM。

6 被告製品の構成5

(1) 構成5 a

被告製品は、複数のロジック・アレイ・ブロック（以下「LAB」という。）が接続されて構成されるFPGAデバイスである。例えば、被告製品2（甲6）の図3-47から分かるとおり、被告製品は複数のLAB（以下の図で赤枠を追加した部分）を有する（後述の構成5 a）。

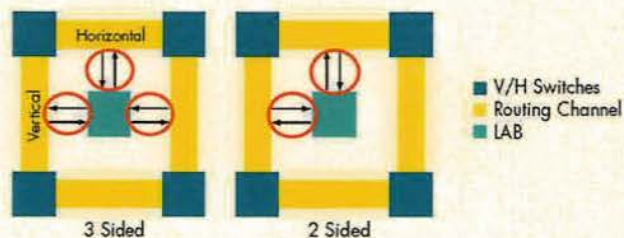
図 3-47. インタコネクต์へのカラム I/O ブロックの接続



(2) 構成 5 b

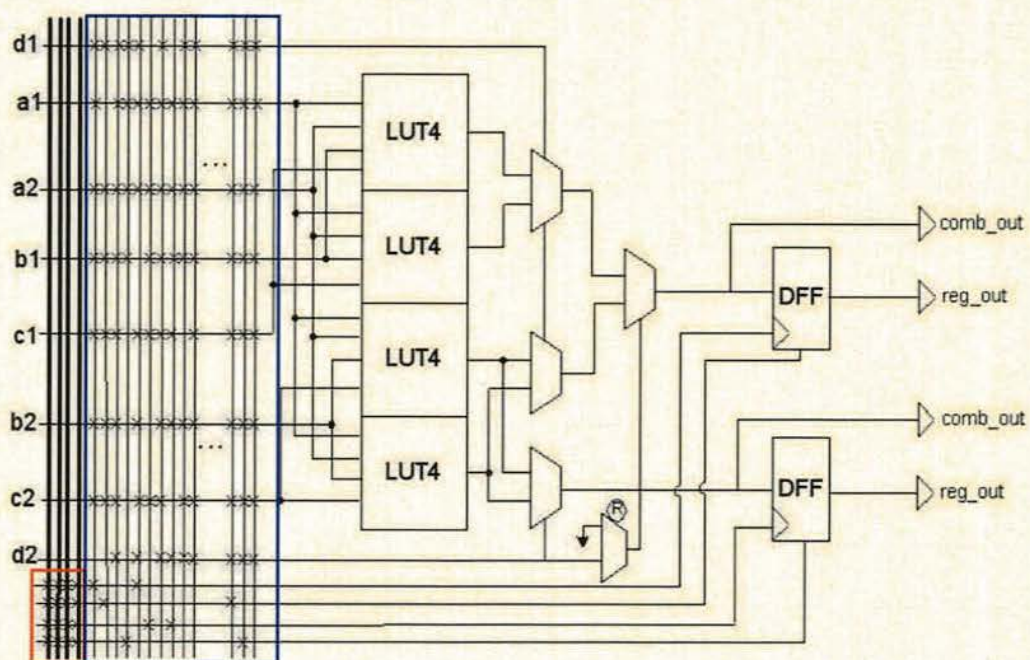
甲 2 5 の図 1 3 に L A B に接続された配線が示されている。以下の図（赤丸を追加した。）において赤丸で囲んだ矢印が、中心にある「L A B」と周囲の「V e r t i c a l」及び「H o r i z o n t a l」を結ぶ配線に当たる。甲 2 5 の 1 2 頁 5、6 行目に「この配線アーキテクチャは、ロジック・アレイ・ブロック（L A B）と呼ばれるロジック・ブロック・クラスタ間の接続を提供」と記載され、8 行目に「配線は多数のロウとカラムを接続するワイヤで構成されます。」と記載されているとおり、図 1 3 の各矢印が 1 本の配線を意味するのではなく、複数の配線を概念的に示したものである。したがって、被告製品の L A B には、複数の配線（以下「L A B 配線」という。）が接続されている（後述の構成 5 b）。

図 13. 配線アーキテクチャのサイド数



(3) 構成 5 c 及び 5 d

上記(2)に記載した複数の配線の状態は、例えば甲 2 6 の図 8 に示される。



(甲 2 6 ・ 図 8)

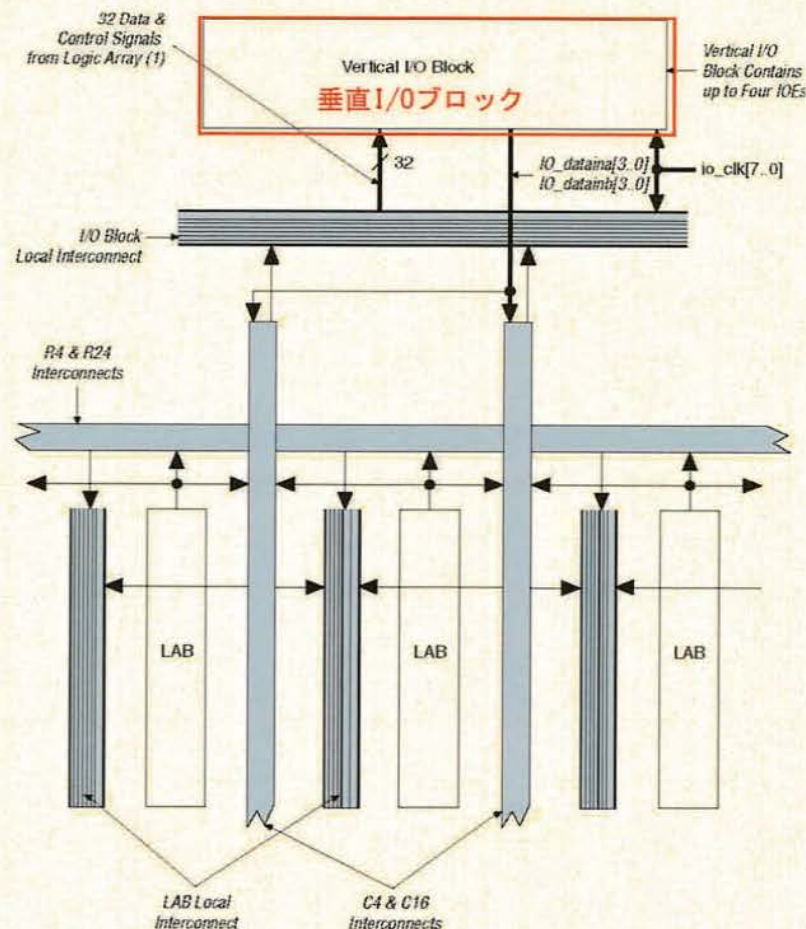
上の図において、赤枠で囲んだ領域にある交点は、各 LAB 配線の交差個所に設けられたスイッチ手段を意味し、青枠で囲んだ領域にある交点は、各 LAB の入出力線（縦向きの線）と LAB 配線（横向きの線）との間に設けられた接続ブロックを意味する。したがって、被告製品は、各 LAB 配線の交差個所に設けられた複数のスイッチ手段（後述の構成 5 c）及び各 LAB

の入出力線と各LAB配線との間に設けられた接続ブロック（後述の構成5 d））を有する。

(4) 構成5 e

被告製品は、被告製品の外部との入出力を行うためのI/Oブロックを有する。例えば、被告製品2は、甲6の図3-47において、以下の赤枠を付した部分に「垂直I/Oブロック」を有することが示されている。

図3-47. インタコネクトへのカラムI/Oブロックの接続



したがって、被告製品は、外部との入出力を行うI/Oブロックを備える（後述の構成5 e）。

(5) 構成 5 f 及び 5 h

上記 1 に記載したとおり、被告製品は、FPGA デバイスである（後述の構成 5 f 及び 5 h）。

(6) 構成 5 g

被告製品の LAB は、例えば甲 6 の図 3-1 に示されるとおり、ALM を備える（後述の構成 5 g）。

(7) 被告製品の構成

以上(1)~(6)から、被告製品は、上記 5 に加え、以下の構成も有する。

5 a 複数の LAB と、

5 b 各 LAB に接続される複数の LAB 配線と、

5 c 各 LAB 配線の交差個所に設けられた複数のスイッチ手段と、

5 d 各 LAB の入出力線と各 LAB 配線との間に設けられた接続ブロックと、

5 e 外部との入出力を行う I/O ブロックとを備える

5 f FPGA デバイスであって、

5 g LAB は、ALM を備える

5 h ことを特徴とする FPGA デバイス。

7 被告方法の構成 6

(1) 構成 6 a

構成 1 a（上記 5・(1)記載）のとおり、被告製品の ALM は、M 入力 N 出力である。したがって、被告製品にプログラミングをすると、M 入力 N 出力の ALM が構成され（後述の構成 6 a）、すなわち内部構成の制御が行われる。

(2) 構成 6 b

構成 1 b (上記 5・(2)記載) のとおり、被告製品の A L M は、複数の L U T ユニットで構成される L U T 群を備える。したがって、被告製品には複数の L U T で構成される L U T 群が準備されている (後述の構成 6 b)。

(3) 構成 6 c

構成 1 d ないし 1 f - 2 (上記 5・(3)ないし(5)記載) のとおり、被告製品にプログラミングをすると、被告製品の A L M は、複数のマルチプレクサにより L U T 群の入力信号及び出力信号を選択及び制御して所定の L U T 構成モードを設定する。このように、被告製品では、L U T 群の入力信号及び出力信号を選択及び制御して所定の L U T 構成モードが設定される (後述の構成 6 c)。

(4) 構成 6 d

構成 1 g (上記 5・(6)記載) のとおり、被告製品にプログラミングをするにあたり、L U T 群の少なくとも 1 つの L U T に入力される入力信号及び L U T から出力される出力信号は、それぞれ、A L M の内部構成制御手段に備えられた S R A M による選択及び制御を受ける。また、L U T の入力信号及び出力信号は、L U T の性質上、L U T マスクに従った入力と出力の関係、すなわち関数による選択及び制御を受ける。したがって、被告製品における内部構成の制御では、L U T 群の少なくとも 1 つの L U T に入力される入力信号及び L U T から出力される出力信号は、それぞれ A L M 内に格納されるデータ及び入力信号の所定の関数により選択及び制御されることとなる (後述の構成 6 d)。

(5) 構成 6 e

被告製品にプログラミングをすることにより、ALMが構成される（後述の構成 6 e）。

(6) 被告方法の構成

以上(1)～(5)から、被告製品においてその内部回路にプログラミングをする際に実行される被告方法は、以下の構成を有すると認定される。

- 6 a M入力N出力のALMを構成する方法であって、
- 6 b 複数のLUTで構成されるLUT群を準備し、
- 6 c LUT群の入力信号及び出力信号を選択及び制御して所定のLUT構成モードを設定し、
- 6 d LUT群の少なくとも1つのLUTに入力される入力信号及びLUTから出力される出力信号は、それぞれALM内に格納されるデータ及び入力信号の所定の関数により選択及び制御される
- 6 e ことを特徴とするALMの構成方法。

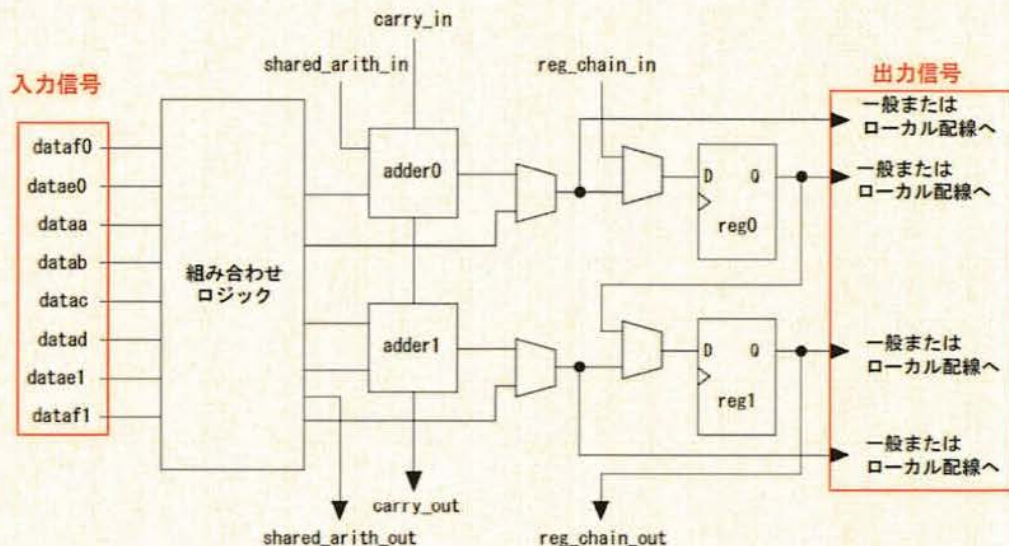
第2 各被告製品の説明

以下において、被告製品1～被告製品13の各被告製品が、上記第1に記載した構成を備えることを個別に説明する。

1 被告製品1 (Stratix IIシリーズ) (甲5)

被告製品1のALMの基本的な構成が、甲5において説明されている。

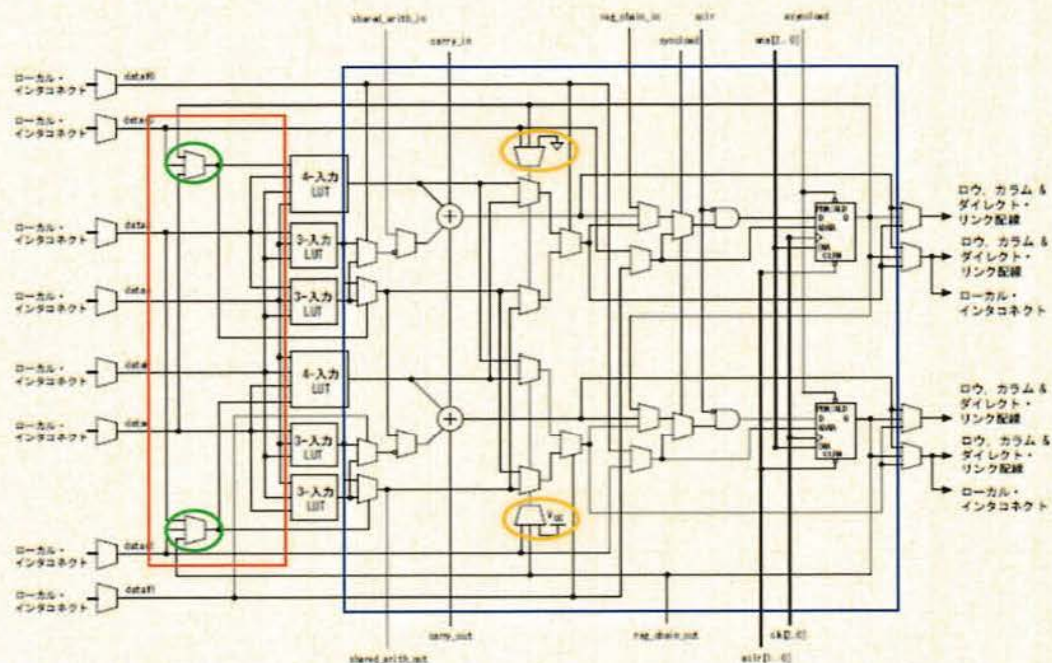
以下のとおり、甲5の図2-5に被告製品1のALMの基本的な構成が記載されている（赤枠及び説明は原告が追加した。）。



(甲 5 抄訳・図 2－5)

左側の「dataf0」ないし「dataf1」の8本の各信号が入力信号に当たる。また、右側の4本の「一般またはローカル配線へ」と記載のある信号が出力信号に当たる。この点を含め、甲5の図2－5に示す構成は、8入力4出力すなわちM入力N出力のALMであって、LUTの組合せにより構成された分割可能なLUTは、内部に複数のLUTを備えており、これらを任意に組み合わせて構成することで、様々な入出力数を有する複数のLUTを1つのLUT内で実現することができるという点において、甲25の図1に示す構成と同じである。

さらに、甲5の図2－6には、Stratix IIアーキテクチャのALMの詳細が以下のとおり示されている（枠及び丸を追加した。）。



(甲 5 抄訳・図 2-6)

甲 5 の図 2-6 において、2 個の「4-入力 LUT」と記載のある各部分が 4 LUT に、4 個の「3-入力 LUT」と記載のある各部分が 3 LUT にそれぞれ当たる。したがって、被告製品 1 の ALM は、6 個の LUT で構成される LUT 群を備える。

甲 5 の図 2-6 において、赤枠の領域にあるマルチプレクサが LUT 群の前端に設けられたマルチプレクサであり、青枠の領域内にあるマルチプレクサが LUT 群の後段に設けられたマルチプレクサである。また、赤枠の領域内に入力信号選択用マルチプレクサが、青枠の領域内に出力信号選択用マルチプレクサが、それぞれ存在する。

また、入力信号選択用マルチプレクサは、少なくとも緑色の丸で囲ったマルチプレクサの付近等に存在する S R A M に記憶されたビット値により制御され、出力信号選択用マルチプレクサは、少なくともオレンジ色の丸で囲ったマルチプレクサの付近等に存在する S R A M に記憶されたビット値により制御

される。

これらの点を含め、甲5の図2-6に示す構成は、複数のLUTで構成されるLUT群並びにLUT群への入力信号及びLUT群からの出力信号を選択するための複数のマルチプレクサを備え、これらの複数のマルチプレクサがSRAMに記憶されたビット値及び入力信号により制御されるという点において、甲25の図6に示す構成と同じである。

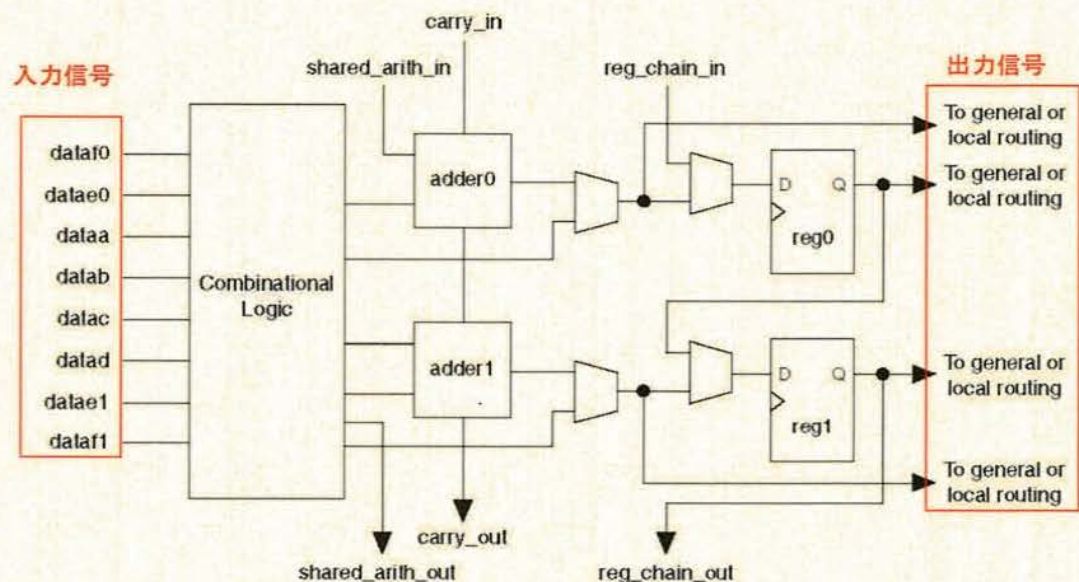
したがって、被告製品1のALMは、**第1・5・(7)**で述べた被告製品の構成1a～1hを有し、被告製品1は、**第1・6・(7)**で述べた被告製品の構成5a～5hを有すると認定される。

また、被告製品1にプログラミングをする際に実行される被告方法は、**第1・7・(6)**で述べた被告方法の構成6a～6eを有すると認定される。

2 被告製品2 (Stratix II GXシリーズ) (甲6)

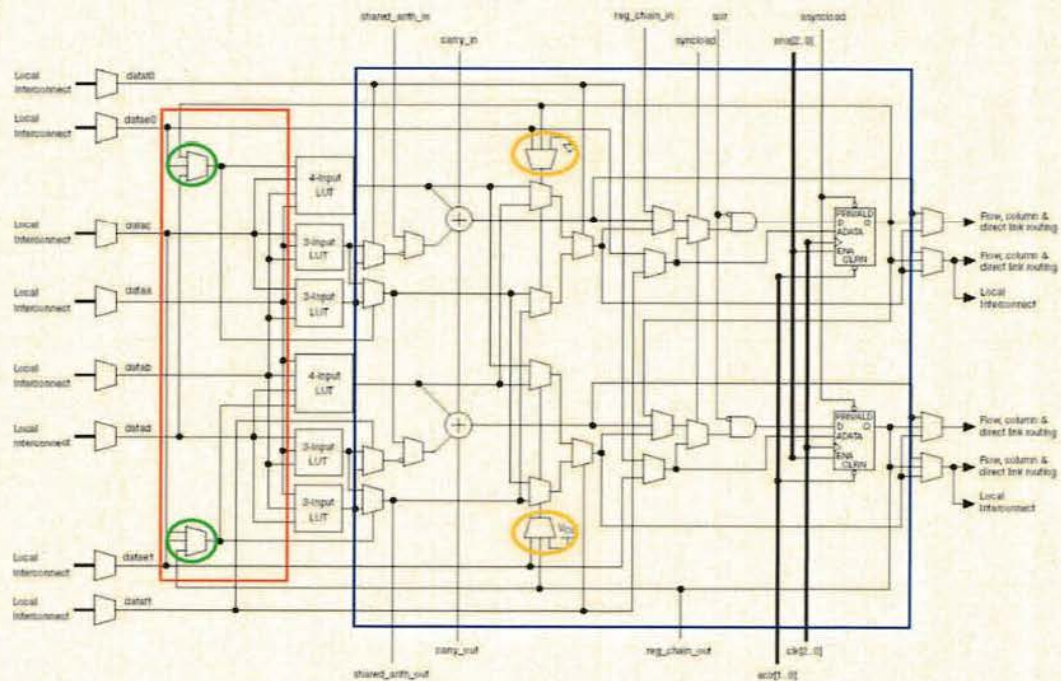
被告製品2のALMの基本的な構成が、甲6において説明されている。

以下のとおり、甲6の図3-4に被告製品2のALMの基本的な構成が記載されている(赤枠及び説明は原告が追加した。)



(甲6・図3-4)

また、甲6の図3-5には、Stratix II GXアーキテクチャのALMの詳細が以下のとおり示されている(枠及び丸を追加した。)



(甲6・図3-5)

上記のとおり甲6に示されたALMの基本構成は、以下のとおり、甲25に示されたALMの基本構成と同一である。

- ① 甲6・図3-4の左側の「入力信号」として示した赤枠内の8本の各信号が入力信号、右側の「出力信号」として示した4本の各信号が出力信号に当たる。したがって、被告製品2のALMは、8入力4出力すなわちM入力N出力のALMである。
- ② 甲6・図3-5の赤枠の領域内に入力信号選択用マルチプレクサがあり、少なくとも緑色の丸で囲ったマルチプレクサの付近等のSRAMに記憶されたビット値及び入力信号により制御される。

③ 甲 6・図 3－5 の青枠の領域内に出力信号選択用マルチプレクサがあり、少なくともオレンジ色の丸で囲ったマルチプレクサの付近等の S R A M に記憶されたビット値及び入力信号により制御される。

その他、被告製品 2 の A L M は、甲 2 5 に示された特徴を備える。

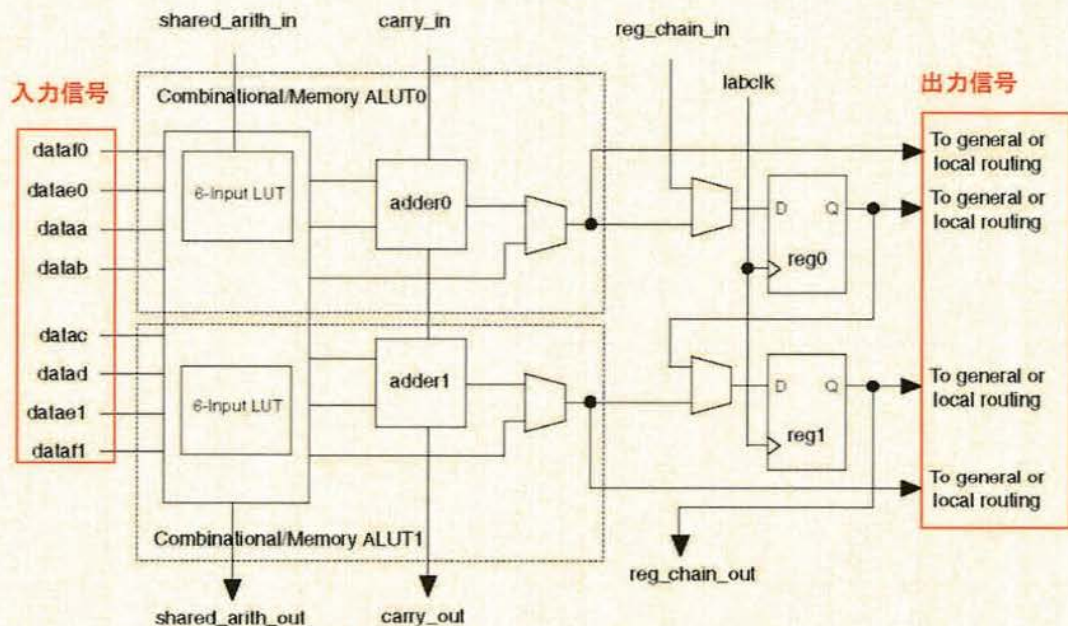
したがって、被告製品 2 の A L M は、**第 1・5・(7)**で述べた被告製品の構成 1 a ～ 1 h を有し、被告製品 2 は、**第 1・6・(7)**で述べた被告製品の構成 5 a ～ 5 h を有すると認定される。

また、被告製品 2 にプログラミングをする際に実行される被告方法は、**第 1・7・(6)**で述べた被告方法の構成 6 a ～ 6 e を有すると認定される。

3 被告製品 3 (S t r a t i x Ⅲシリーズ) (甲 7)

被告製品 3 の A L M の基本的な構成が、甲 7 において説明されている。

以下のとおり、甲 7 の図 2－5 に被告製品 3 の A L M の基本的な構成が記載されている (赤枠及び説明は原告が追加した。)



3

1

- ① 甲7・図2-5左側の「入力信号」として示した赤枠内の8本の各信号が入力信号、右側の「出力信号」として示した4本の各信号が出力信号に当たる。したがって、被告製品3のALMは、8入力4出力すなわちM入

力N出力のALMである。

- ② 甲7・図2-6の赤枠の領域内に入力信号選択用マルチプレクサがあり、少なくとも緑色の丸で囲ったマルチプレクサの付近等のSRAMに記憶されたビット値及び入力信号により制御される。
- ③ 甲7・図2-6の青枠の領域内に出力信号選択用マルチプレクサがあり、少なくともオレンジ色の丸で囲ったマルチプレクサの付近等のSRAMに記憶されたビット値及び入力信号により制御される。

その他、被告製品3のALMは、甲25に示された特徴を備える。

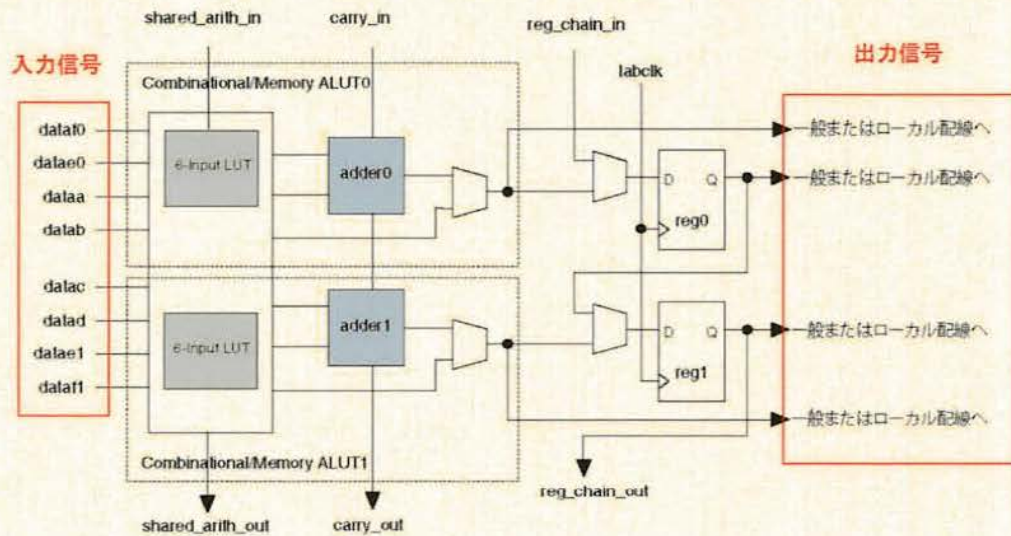
したがって、被告製品3のALMは、**第1・5・(7)**で述べた被告製品の構成1a～1hを有し、被告製品3は、**第1・6・(7)**で述べた被告製品の構成5a～5hを有すると認定される。

また、被告製品3にプログラミングをする際に実行される被告方法は、**第1・7・(6)**で述べた被告方法の構成6a～6eを有すると認定される。

4 被告製品4 (Stratix IVシリーズ) (甲8)

被告製品4のALMの基本的な構成が、甲8において説明されている。

以下のとおり、甲8の図2-5に被告製品4のALMの基本的な構成が記載されている(赤枠及び説明は原告が追加した。)



(甲 8 ・ 図 2 - 5)

また、甲 8 の図 2 - 6 には、S t r a t i x IVアーキテクチャのALMの詳細が以下のとおり示されている（説明、枠等を追加した。）。

少なくともオレンジ色の丸で囲ったマルチプレクサの付近等の S R A M に記憶されたビット値及び入力信号により制御される。

その他、被告製品 4 の A L M は、甲 2 5 に示された特徴を備える。

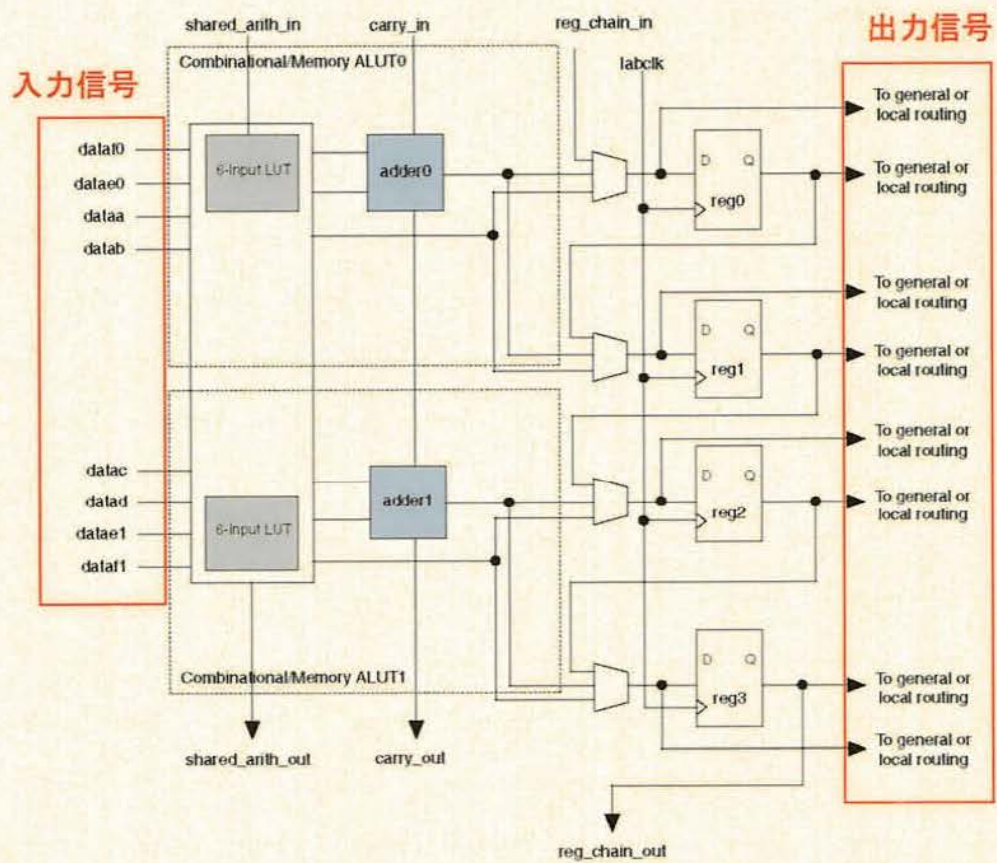
したがって、被告製品 4 の A L M は、**第 1 ・ 5 ・ (7)**で述べた被告製品の構成 1 a ～ 1 h を有し、被告製品 4 は、**第 1 ・ 6 ・ (7)**で述べた被告製品の構成 5 a ～ 5 h を有すると認定される。

また、被告製品 4 にプログラミングをする際に実行される被告方法は、**第 1 ・ 7 ・ (6)**で述べた被告方法の構成 6 a ～ 6 e を有すると認定される。

5 被告製品 5 (S t r a t i x V シリーズ) (甲 9)

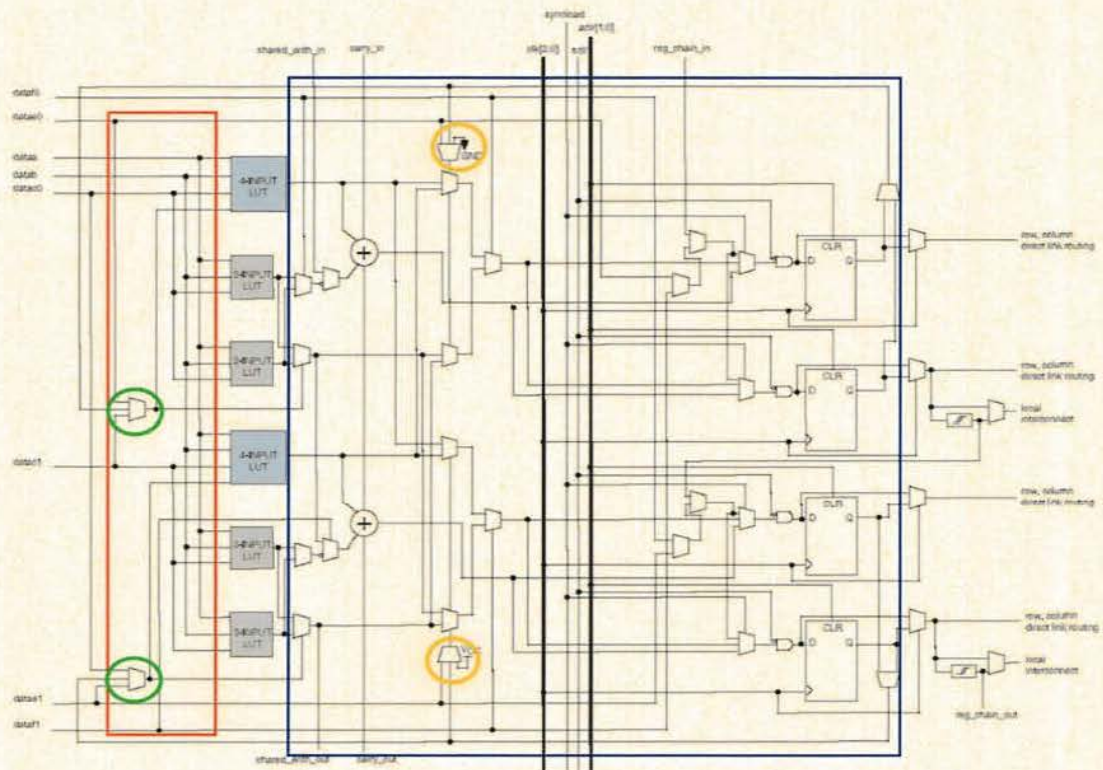
被告製品 5 の A L M の基本的な構成が、甲 9 において説明されている。。

以下のとおり、甲 9 の図 1 － 5 に被告製品 5 の A L M の基本的な構成が記載されている（赤枠及び説明は原告が追加した。）。



(甲 9 ・ 図 1 - 5)

また、甲 9 の図 1 - 6 には、StratiX V アーキテクチャの ALM の詳細が以下のとおり示されている（説明、枠等を追加した。）。



(甲9・図1-6)

上記のとおり甲9に示されたALMの基本構成は、以下のとおり、甲25に示されたALMの基本構成と同一である。

- ① 甲9・図1-5左側の「入力信号」として示した赤枠内の8本の各信号が入力信号、右側の「出力信号」として示した8本の各信号が出力信号に当たる。ただし、この出力信号は、甲9・図1-6においては6本が描かれている。したがって、被告製品5のALMは、8入力6出力又は8出力、すなわちM入力N出力のALMである。
- ② 甲9・図1-6の赤枠の領域内に入力信号選択用マルチプレクサがあり、少なくとも緑色の丸で囲ったマルチプレクサの付近等のSRAMに記憶されたビット値及び入力信号により制御される。
- ③ 甲9・図1-6の青枠の領域内に出力信号選択用マルチプレクサがあり、少なくともオレンジ色の丸で囲ったマルチプレクサの付近等のSRAM

に記憶されたビット値及び入力信号により制御される。

その他、被告製品 5 の A L M は、甲 2 5 に示された特徴を備える。

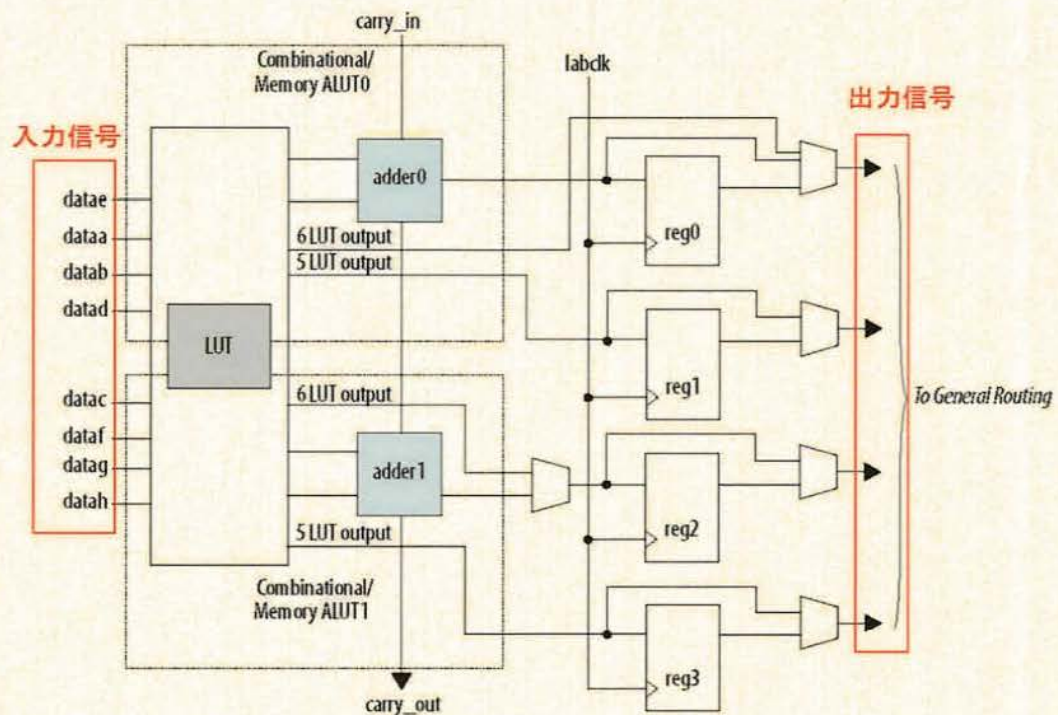
したがって、被告製品 5 の A L M は、**第 1 ・ 5 ・ (7)**で述べた被告製品の構成 1 a ～ 1 h を有し、被告製品 5 は、**第 1 ・ 6 ・ (7)**で述べた被告製品の構成 5 a ～ 5 h を有すると認定される。

また、被告製品 5 にプログラミングをする際に実行される被告方法は、**第 1 ・ 7 ・ (6)**で述べた被告方法の構成 6 a ～ 6 e を有すると認定される。

6 被告製品 6 (S t r a t i x 1 0 シリーズ) (甲 1 0)

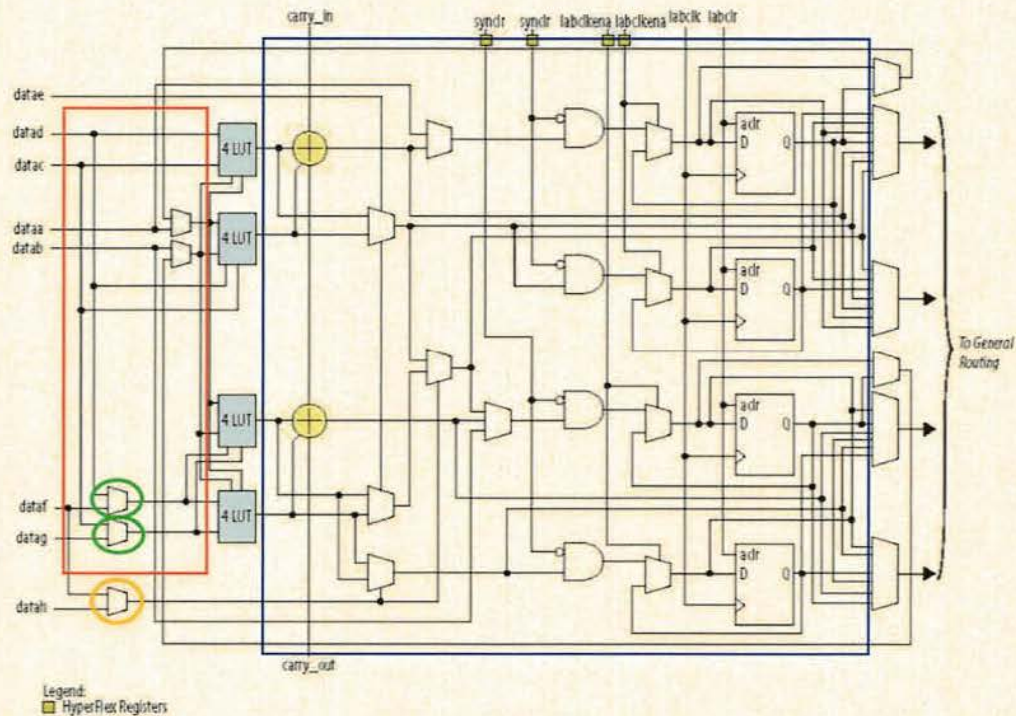
被告製品 6 の A L M の基本的な構成が、甲 1 0 において説明されている。

以下のとおり、甲 1 0 の図－ 6 に被告製品 6 の A L M の基本的な構成が記載されている（赤枠及び説明は原告が追加した。）。



(甲 1 0 ・ 図－ 6)

また、甲１０の図－７には、被告製品６のＡＬＭの詳細が以下のとおり示されている（説明、枠等を追加した。）。



（甲１０・図－７）

甲１０に示されたＡＬＭの基本構成は、以下のとおり、甲２５に示されたＡＬＭの基本構成と同一である。

- ① 甲１０・図－６左側の「入力信号」として示した赤枠内の８本の各信号が入力信号、右側の「出力信号」として示した４本の各信号が出力信号に当たる。したがって、被告製品６のＡＬＭは、８入力４出力すなわちＭ入力Ｎ出力のＡＬＭである。
- ② 甲１０・図－７の赤枠の領域内に入力信号選択用マルチプレクサがあり、少なくとも緑色の丸で囲ったマルチプレクサの付近等のＳＲＡＭに記憶されたビット値及び入力信号により制御される。
- ③ 甲１０・図－７の青枠の領域内に出力信号選択用マルチプレクサがあり、

少なくともオレンジ色の丸で囲ったマルチプレクサの付近等のSRAMに記憶されたビット値及び入力信号により制御される。

その他、被告製品6のALMは、甲25に示された特徴を備える。

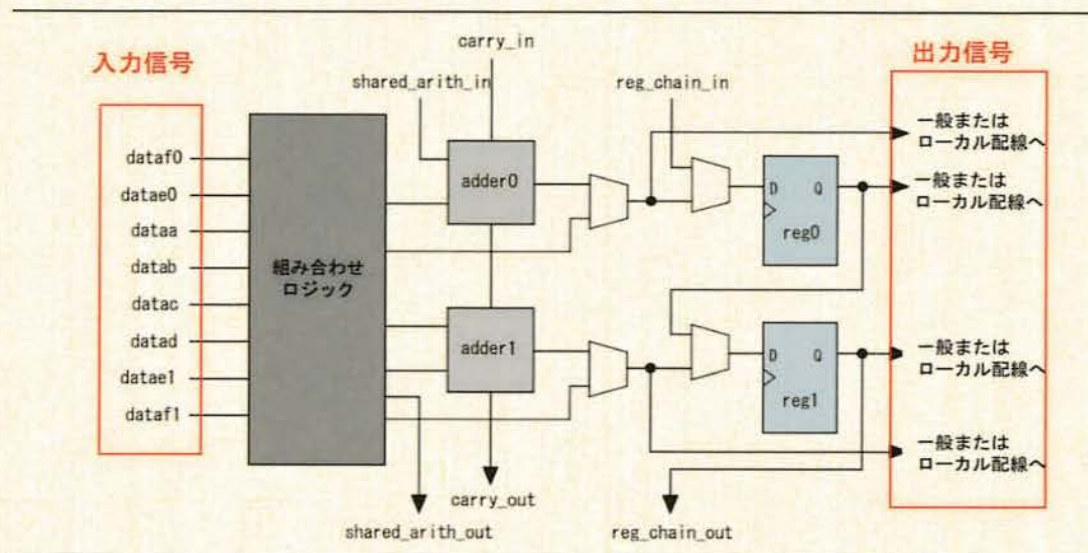
したがって、被告製品6のALMは、**第1・5・(7)**で述べた被告製品の構成1a～1hを有し、被告製品6は、**第1・6・(7)**で述べた被告製品の構成5a～5hを有すると認定される。

また、被告製品6にプログラミングをする際に実行される被告方法は、**第1・7・(6)**で述べた被告方法の構成6a～6eを有すると認定される。

7 被告製品7 (Arria GXシリーズ) (甲11)

被告製品7のALMの基本的な構成が、甲11において説明されている。

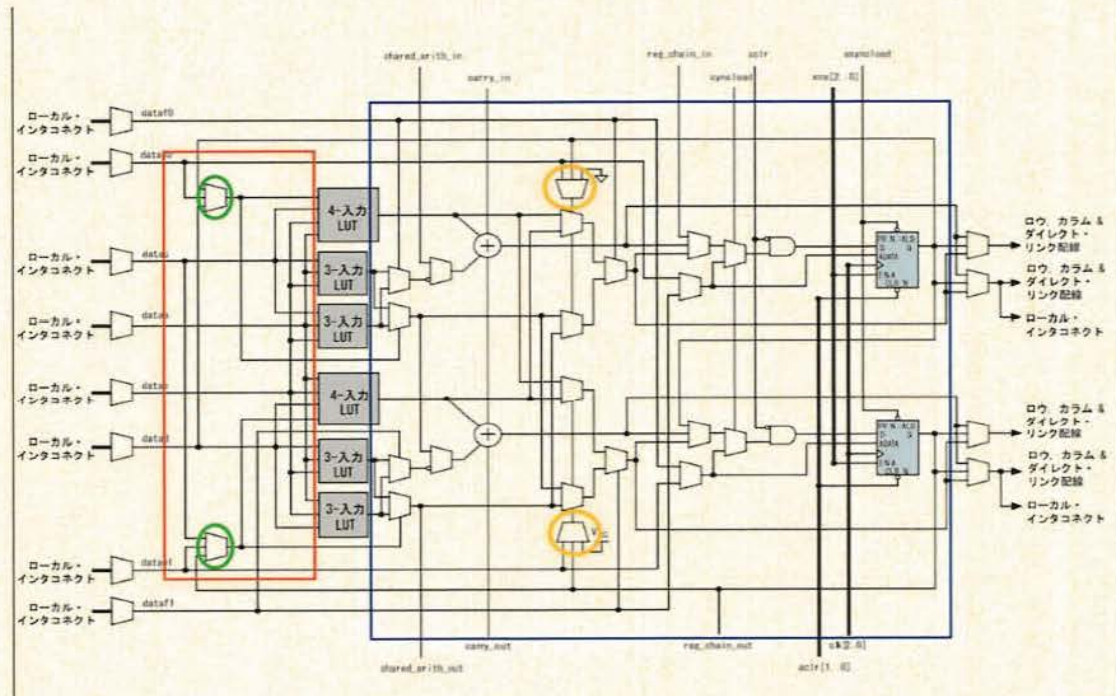
以下のとおり、甲11の図2-28に被告製品7のALMの基本的な構成が記載されている(赤枠及び説明は原告が追加した。)



(甲11抄訳・図2-28)

また、甲11の図2-29には、被告製品7のALMの詳細が以下のとおり

示されている（説明、枠等を追加した。）。



（甲 1 1 抄訳・図 2 - 2 9）

上記のとおり甲 1 1 に示された A L M の基本構成は、以下の点において、甲 2 5 に示された A L M の基本構成と同一である。

- ① 甲 1 1 ・図 2 - 2 8 左側の「入力信号」として示した赤枠内の 8 本の各信号が入力信号、右側の「出力信号」として示した 4 本の各信号が出力信号に当たる。したがって、被告製品 7 の A L M は、8 入力 4 出力すなわち M 入力 N 出力の A L M である。
- ② 甲 1 1 ・図 2 - 2 9 の赤枠の領域内に入力信号選択用マルチプレクサがあり、少なくとも緑色の丸で囲ったマルチプレクサの付近等の S R A M に記憶されたビット値及び入力信号により制御される。
- ③ 甲 1 1 ・図 2 - 2 9 の青枠の領域内に出力信号選択用マルチプレクサがあり、少なくともオレンジ色の丸で囲ったマルチプレクサの付近等の S R

AMに記憶されたビット値及び入力信号により制御される。

その他、被告製品7のALMは、甲25に示された特徴を備える。

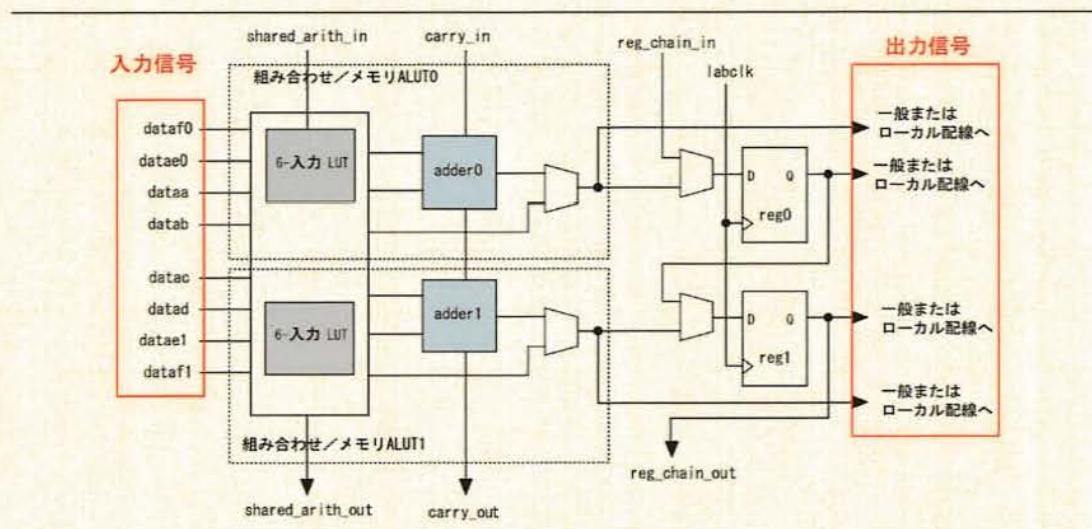
したがって、被告製品7のALMは、**第1・5・(7)**で述べた被告製品の構成1a～1hを有し、被告製品7は、**第1・6・(7)**で述べた被告製品の構成5a～5hを有すると認定される。

また、被告製品7にプログラミングをする際に実行される被告方法は、**第1・7・(6)**で述べた被告方法の構成6a～6eを有すると認定される。

8 被告製品8 (Arria IIシリーズ) (甲12)

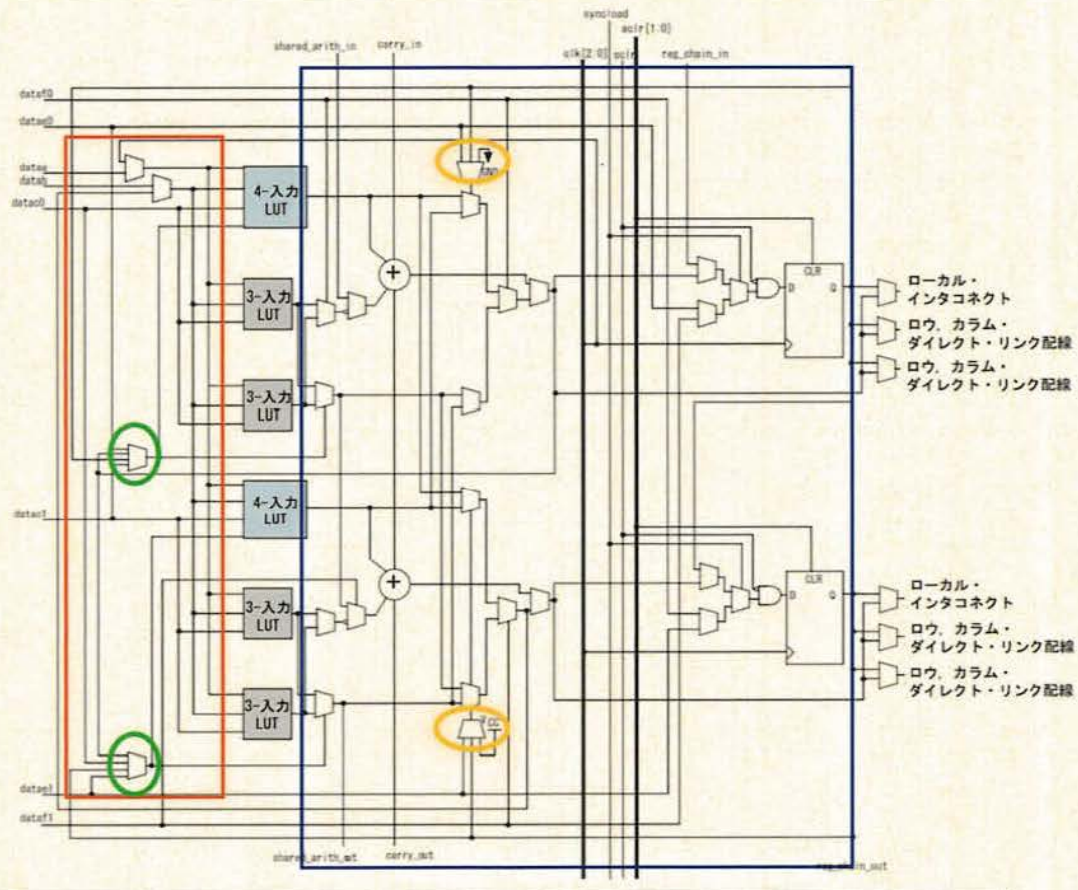
被告製品8のALMの基本的な構成が、甲12において説明されている。

以下のとおり、甲12の図2-5に被告製品8のALMの基本的な構成が記載されている（赤枠及び説明は原告が追加した。）。



(甲12抄訳・図2-5)

また、甲12の図2-6には、被告製品8のALMの詳細が以下のとおり示されている（説明、枠等を追加した。）。



(甲 1 2 抄訳・図 2 - 6)

上記のとおり甲 1 2 に示された A L M の基本構成は、以下の点において、甲 2 5 に示された A L M の基本構成と同一である。

- ① 甲 1 2 ・図 2 - 5 左側の「入力信号」として示した赤枠内の 8 本の各信号が入力信号、右側の「出力信号」として示した 4 本の各信号が出力信号に当たる。したがって、被告製品 8 の A L M は、8 入力 4 出力すなわち M 入力 N 出力の A L M である。
- ② 甲 1 2 ・図 2 - 6 の赤枠の領域内に入力信号選択用マルチプレクサがあり、少なくとも緑色の丸で囲ったマルチプレクサの付近等の S R A M に記憶されたビット値及び入力信号により制御される。
- ③ 甲 1 2 ・図 2 - 6 の青枠の領域内に出力信号選択用マルチプレクサがあ

り、少なくともオレンジ色の丸で囲ったマルチプレクサの付近等のSRAMに記憶されたビット値及び入力信号により制御される。

その他、被告製品8のALMは、甲25に示された特徴を備える。

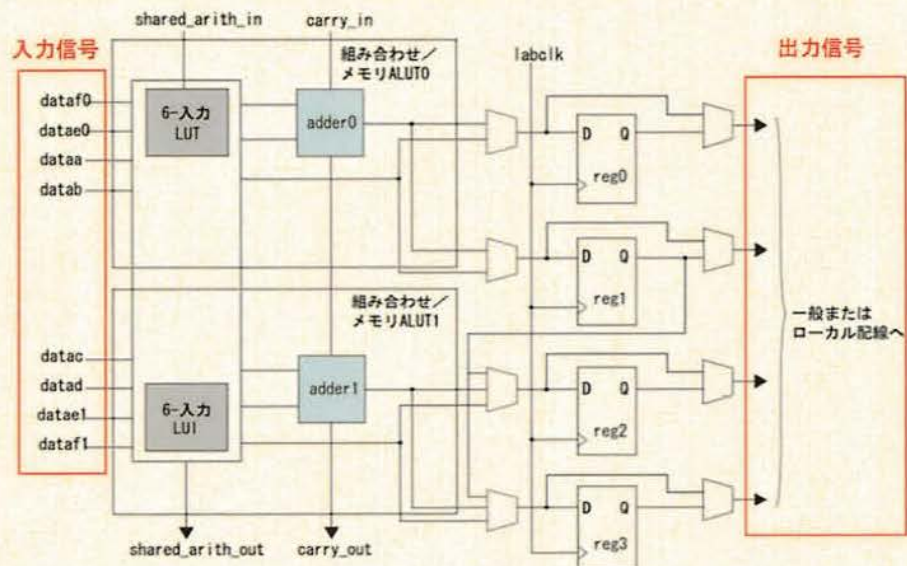
したがって、被告製品8のALMは、**第1・5・(7)**で述べた被告製品の構成1a～1hを有し、被告製品8は、**第1・6・(7)**で述べた被告製品の構成5a～5hを有すると認定される。

また、被告製品8にプログラミングをする際に実行される被告方法は、**第1・7・(6)**で述べた被告方法の構成6a～6eを有すると認定される。

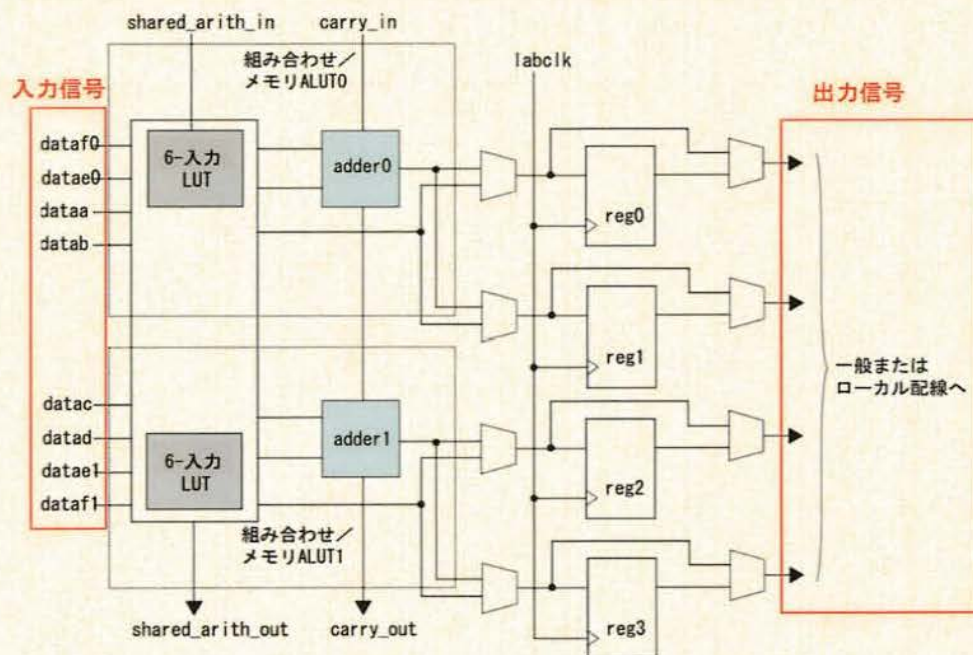
9 被告製品9 (Arria Vシリーズ) (甲13)

被告製品9のALMの基本的な構成が、甲13において説明されている。

以下のとおり、甲13の図1-7 (「Arria V GX FPGA」、「Arria V GT FPGA」、「Arria V SX SoC FPGA」及び「Arria V ST SoC FPGA」の各製品コレクションについて) 及び図1-8 (「Arria V GZ FPGA」の製品コレクションについて) に、被告製品9のALMの基本的な構成が記載されている (赤枠及び説明は原告が追加した。)

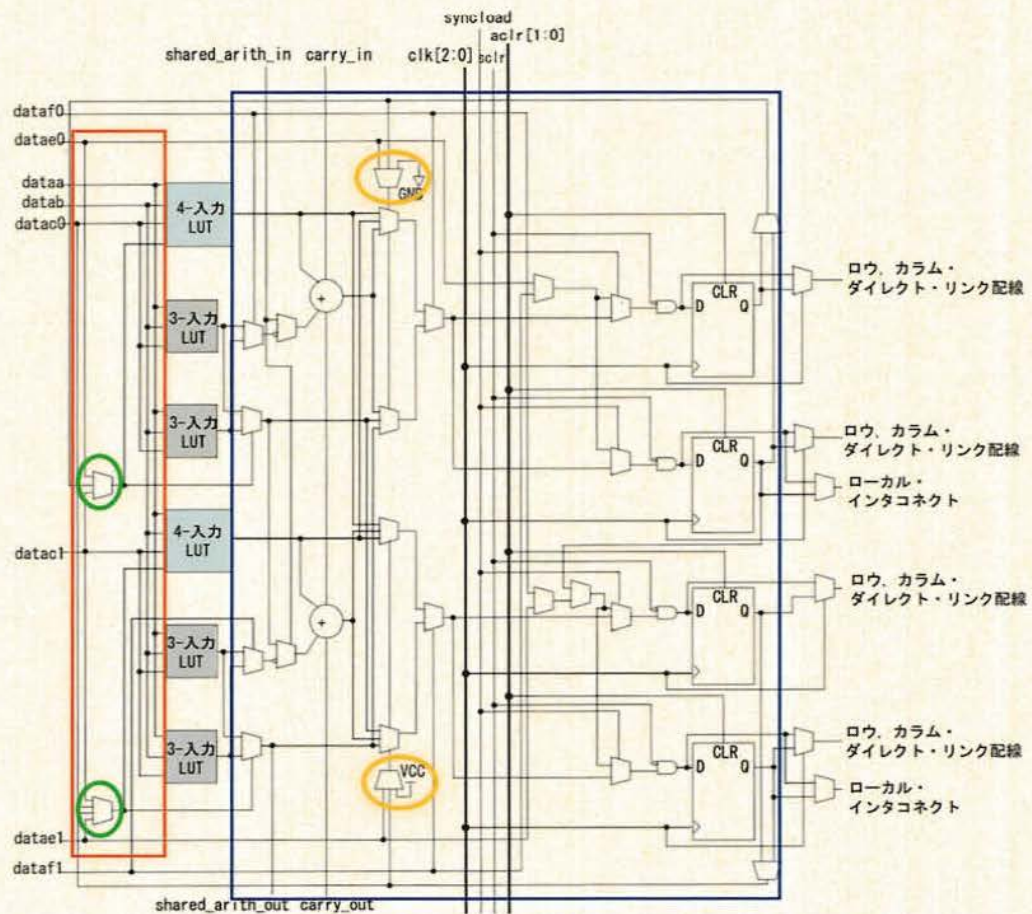


(甲 1 3 抄訳・図 1 - 7)

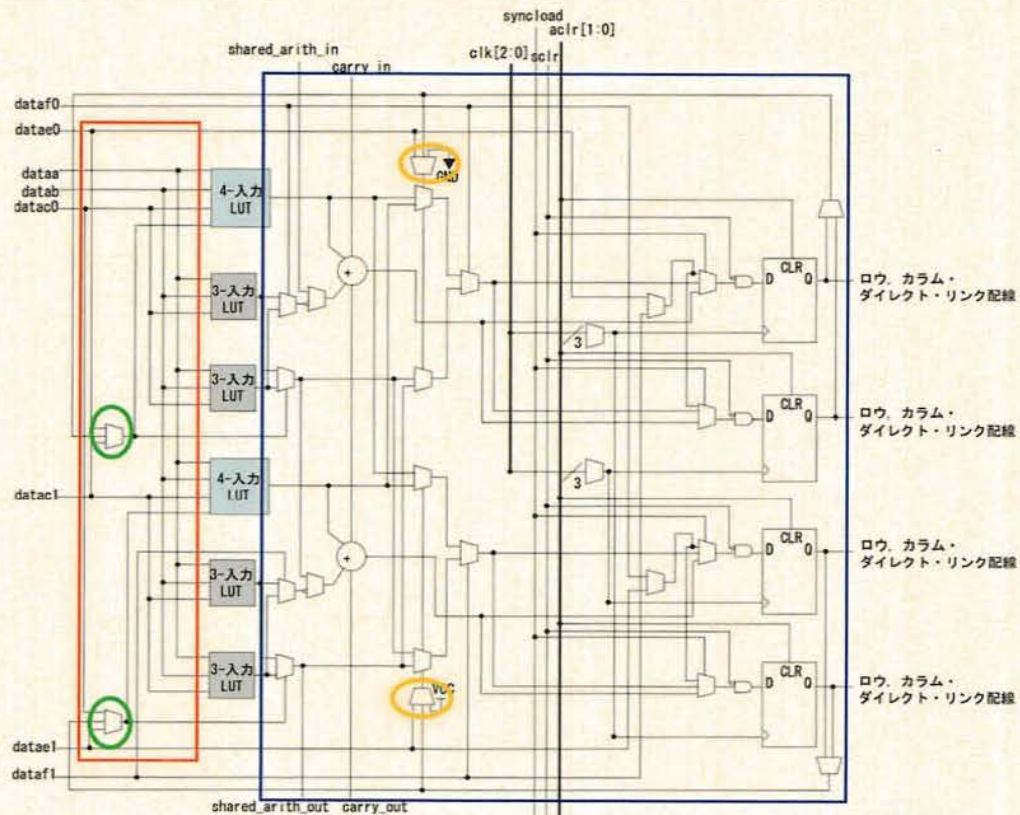


(甲 1 3 抄訳・図 1 - 8)

また、甲13の図1-9（「Arria V GX FPGA」、「Arria V GT FPGA」、「Arria V SX SoC FPGA」及び「Arria V ST SoC FPGA」の各製品コレクションについて）及び図1-10（「Arria V GZ FPGA」の製品コレクションについて）には、被告製品9のALMの詳細が以下のとおり示されている（説明、枠等を追加した。）。



(甲13抄訳・図1-9)



(甲 1 3 抄訳・図 1 - 1 0)

上記のとおり、甲 1 3 に示された A L M の基本構成は、以下の点において、甲 2 5 に示された A L M の基本構成と同一である。

- ① 甲 1 3 ・図 1 - 7 及び図 1 - 8 の左側の「入力信号」として示した赤枠内の 8 本の各信号が入力信号、右側の「出力信号」として示した 4 本の各信号が出力信号に当たる。したがって、被告製品 9 の A L M は、8 入力 4 出力すなわち M 入力 N 出力の A L M である。
- ② 甲 1 3 ・図 1 - 9 及び図 1 - 1 0 の赤枠の領域内に入力信号選択用マルチプレクサがあり、少なくとも緑色の丸で囲ったマルチプレクサの付近等の S R A M に記憶されたビット値及び入力信号により制御される。
- ③ 甲 1 3 ・図 1 - 9 及び図 1 - 1 0 の青枠の領域内に出力信号選択用マルチプレクサがあり、少なくともオレンジ色の丸で囲ったマルチプレクサの

付近等の S R A M に記憶されたビット値及び入力信号により制御される。

その他、被告製品 9 の A L M は、甲 2 5 に示された特徴を備える。

したがって、被告製品 9 の A L M は、**第 1 ・ 5 ・ (7)** で述べた被告製品の構成 1 a ～ 1 h を有し、被告製品 9 は、**第 1 ・ 6 ・ (7)** で述べた被告製品の構成 5 a ～ 5 h を有すると認定される。

また、被告製品 9 にプログラミングをする際に実行される被告方法は、**第 1 ・ 7 ・ (6)** で述べた被告方法の構成 6 a ～ 6 e を有すると認定される。

10 被告製品 10 (A r r i a 10 シリーズ) (甲 14)

被告製品 10 の A L M の基本的な構成が、甲 14 において説明されている。

以下のとおり、甲 14 には、被告製品 10 の A L M の基本的な構成が前世代すなわち A r r i a V シリーズ (被告製品 9) と同じであることが記載されている。

1.5. アダプティブ・ロジック・モジュール

A r r i a 10 デバイスは、20 nm A L M をロジック・ファブリックの基本的なビルディング・ブロックとして使用しています。

A L M のアーキテクチャーには、前世代 F P G A のものと同じアーキテクチャーが使用されており、効率的なロジック・ファンクションの実装、およびデバイス世代間における IP の変更が容易に実行可能です。

(甲 14 ・ 17 頁下 1 行 ～ 18 頁 2 行)

なお、A r r i a 10 シリーズ (被告製品 10) の前世代が A r r i a V シリーズ (被告製品 9) であることは、「A r r i a シリーズの全世代」を示す甲 27 において、「インテル A r r i a 10 F P G A」の前に「A r r i a V G Z F P G A」が記載されているとおりである。したがって、被告製品 10 の A L M は、**第 1 ・ 5 ・ (7)** で述べた被告製品の構成 1 a ～ 1 h を有し、被告製品 10 は、**第 1 ・ 6 ・ (7)** で述べた被告製品の構成 5 a ～ 5 h を有すると認

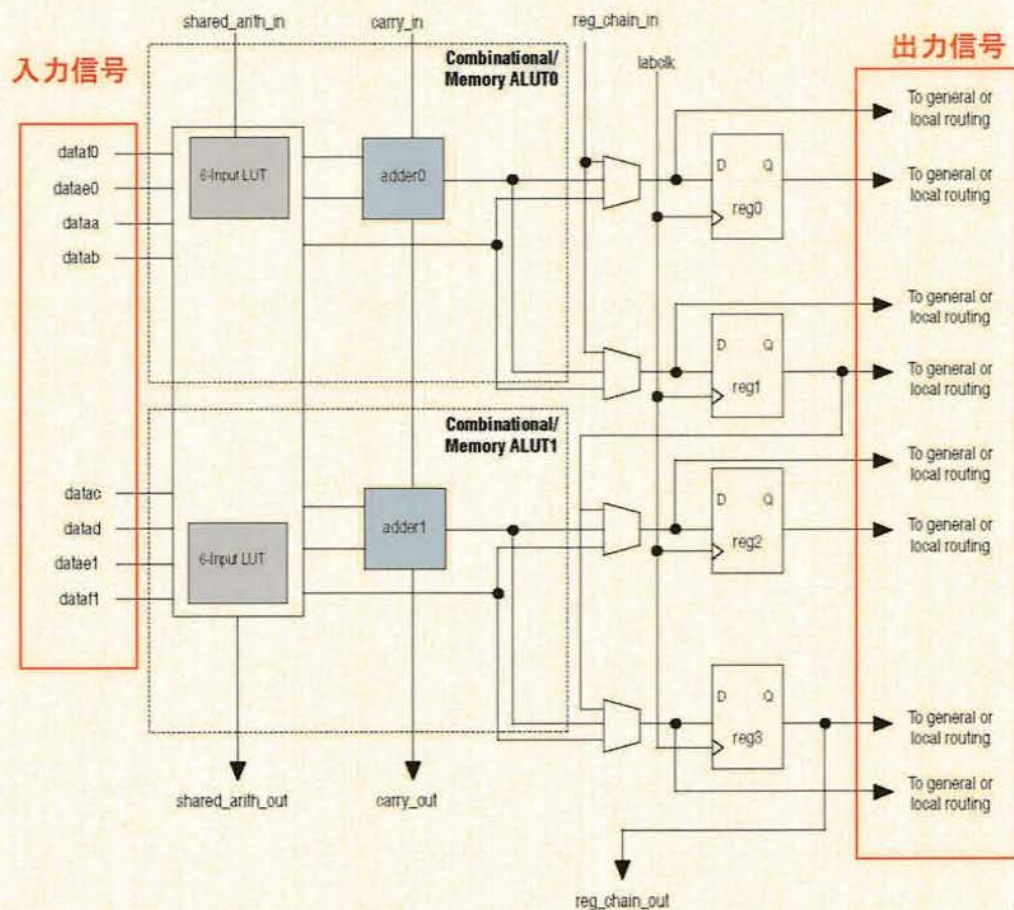
定される。

また、被告製品 10 にプログラミングをする際に実行される被告方法は、第 1・7・(6)で述べた被告方法の構成 6 a ～ 6 e を有すると認定される。

11 被告製品 11 (Cyclone V シリーズ) (甲 15)

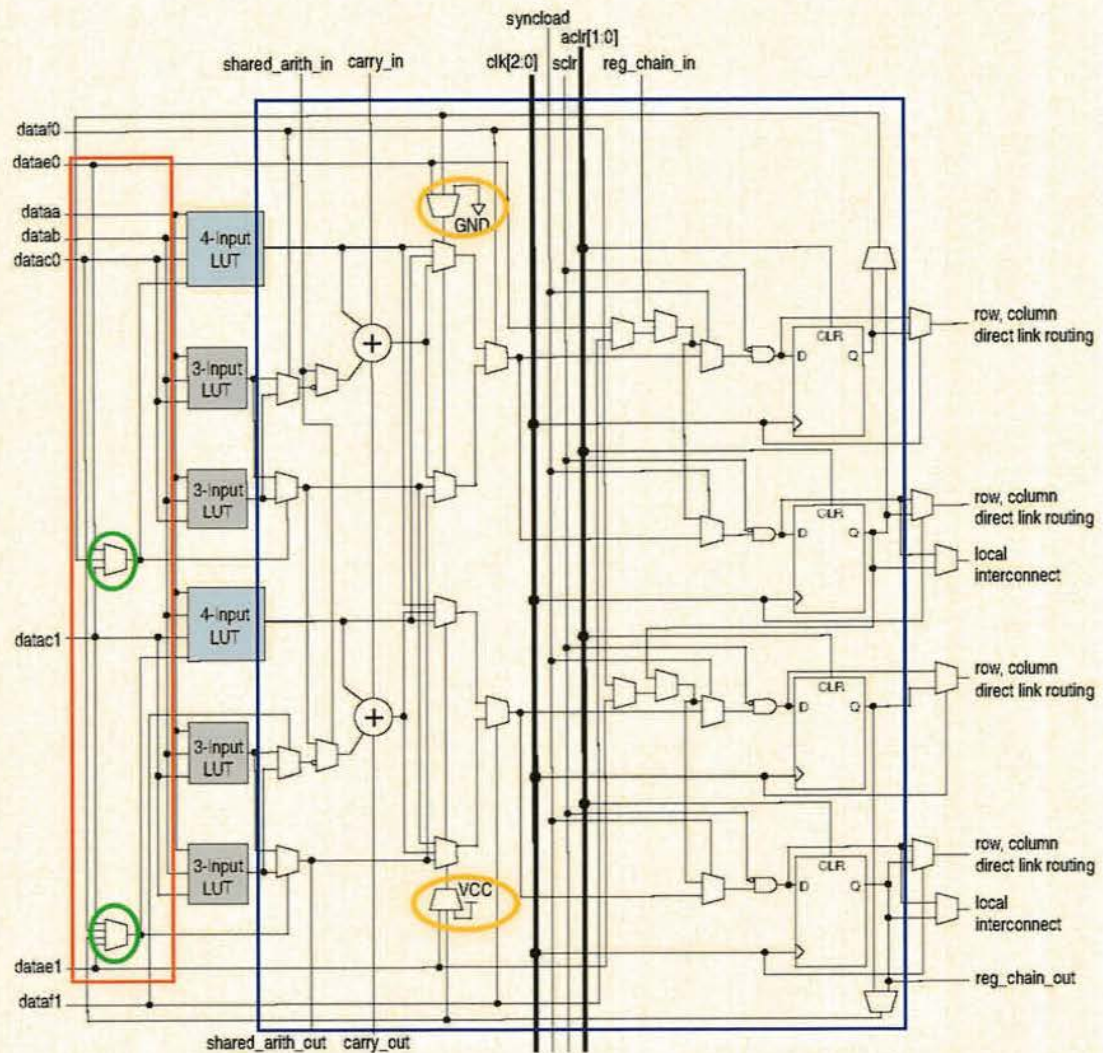
被告製品 11 の ALM の基本的な構成が、甲 15 において説明されている。

以下のとおり、甲 15 の図 1-5 に被告製品 11 の ALM の基本的な構成が記載されている (赤枠及び説明は原告が追加した。)



(甲 15 ・ 図 1 - 5)

また、甲 15 の図 1-6 には、被告製品 11 の ALM の詳細が以下のとおり示されている (説明、枠等を追加した。)



(甲 1 5 ・ 図 1 - 6)

上記のとおり甲 1 5 に示されたALMの基本構成は、以下の点において、甲 2 5 に示されたALMの基本構成と同一である。

- ① 甲 1 5 ・ 図 1 - 5 左側の「入力信号」として示した赤枠内の 8 本の各信号が入力信号、右側の「出力信号」として示した 8 本の各信号が出力信号に当たる。ただし、この出力信号は、甲 1 5 ・ 図 1 - 6 においては 6 本が描かれている。したがって、被告製品 1 1 のALMは、8 入力 6 出力又は 8 入力 8 出力すなわちM入力N出力のALMである。
- ② 甲 1 5 ・ 図 1 - 6 の赤枠の領域内に入力信号選択用マルチプレクサがあ

り、少なくとも緑色の丸で囲ったマルチプレクサの付近等のSRAMに記憶されたビット値及び入力信号により制御される。

- ③ 甲15・図1-6の青枠の領域内に出力信号選択用マルチプレクサがあり、少なくともオレンジ色の丸で囲ったマルチプレクサの付近等のSRAMに記憶されたビット値及び入力信号により制御される。

その他、被告製品11のALMは、甲25に示された特徴を備える。

したがって、被告製品11のALMは、**第1・5・(7)**で述べた被告製品の構成1a～1hを有し、被告製品11は、**第1・6・(7)**で述べた被告製品の構成5a～5hを有すると認定される。

また、被告製品11にプログラミングをする際に実行される被告方法は、**第1・7・(6)**で述べた被告方法の構成6a～6eを有すると認定される。

12 被告製品12 (Cyclone 10シリーズ) (甲16)

被告製品12のALMの基本的な構成が、甲16において説明されている。

以下のとおり、甲16には、被告製品12のALMの基本的な構成が、前世代すなわちCyclone Vシリーズ(被告製品11)と同じであることが記載されている。

アダプティブ・ロジック・モジュール

インテルCyclone 10 GX デバイスは、20 nm ALM をロジック・ファブリックの基本的なビルディング・ブロックとして使用しています。

ALM のアーキテクチャーには、前世代 FPGA のものと同じアーキテクチャーが使用されており、効率的なロジック・ファンクションの実装、およびデバイス世代間における IP の変更が容易に実行可能です。

(甲16・8頁下5行～最下行)

なお、Cyclone 10シリーズ(被告製品12)の前世代がCyclone Vシリーズ(被告製品11)であることは、「Cyclone FPGA

Aの全世代」を示す甲28において、「インテルCyclone 10 FPGA」の前に「Cyclone V FPGA」が記載されているとおりである。したがって、被告製品12のALMは、**第1・5・(7)**で述べた被告製品の構成1a～1hを有し、被告製品12は、**第1・6・(7)**で述べた被告製品の構成5a～5hを有すると認定される。

また、被告製品12にプログラミングをする際に実行される被告方法は、**第1・7・(6)**で述べた被告方法の構成6a～6eを有すると認定される。

13 被告製品13 (Agilexシリーズ) (甲17の1～甲17の3)

被告製品13のALMの基本的な構成が、甲17の1～甲17の3において説明されている。

以下のとおり、甲17の2には、被告製品13のALMが、Stratix 10シリーズ(被告製品6)及びArria 10シリーズ(被告製品10)と同様であることが記載されている。

1.10. アダプティブ・ロジック・モジュール(ALM)

インテル® Agilex™デバイスでは、拡張アダプティブ・ロジック・モジュール(ALM)を使用します。これは、前世代のインテル® Stratix® 10 およびインテル® Arria® 10 FPGA と同様です。それにより、ロジック機能を効率的に実装し、IP をデバイス間で変換することが容易にできるようになります。

(甲17の2・本文1行～4行)

したがって、被告製品13のALMは、**第1・5・(7)**で述べた被告製品の構成1a～1hを有し、被告製品13は、**第1・6・(7)**で述べた被告製品の構成5a～5hを有すると認定される。

また、被告製品13にプログラミングをする際に実行される被告方法は、**第1・7・(6)**で述べた被告方法の構成6a～6eを有すると認定される。

(別紙)

当事者目録

〒862-0970 熊本県熊本市中央区渡鹿7-11-6-802

原 告 飯 田 全 広

〒105-0001 東京都港区虎ノ門2-10-1

虎ノ門ツインビルディング東棟16階

弁護士法人内田・鮫島法律事務所（送達場所）

電 話 03-5561-8550

FAX 03-5561-8558

原告訴訟代理人弁護士 和 田 祐 造

同 後 藤 直 之（担当）

〒102-0084 東京都千代田区二番町5-6

あいおいニッセイ同和損保二番町ビル8階

恵泉国際特許事務所

原告訴訟代理人弁理士 矢 口 太 郎

アメリカ合衆国、カリフォルニア州95054、サンタクララ、2200 ミッションカレッジ通り（主たる事務所の住所）

アメリカ合衆国、カリフォルニア州95054、サンタクララ、MS-RNB-6-91、2200 ミッションカレッジ通り（郵送先住所）

被 告 インテル・コーポレーション

上記代表者

パット・ゲルシンガー

〒102-0094 東京都千代田区丸の内三丁目1番1号国際ビル5階

被 告 インテル株式会社

上記代表者代表取締役 鈴木 国 正