

(19) Japan Patent Office
(JP)(12) **Public patent bulletin (B2)** (11) Patent number

Patent No. 3580785

(P3580785)

(45) Issued date **October 27, 2004 (10.27.2004)**

(24) Publication date July 30, 2004 (7.30.2004)

(51) Int. Cl. ⁷	F1			
HO3K	19/177	HO3K	19/177	
HO1L	21/82	HO1L	21/82	A

Number of claims 6 (16 pages
in total)

(21) Application Number	Japanese Patent Application 2001-199644 (P2001-199644)	(73) Applicant	396023993
(22) Application Filing Date	June 29, 2001 (6.29.2001)		Semiconductor Technology Academic Research Center
(65) Japanese Unexamined Patent Application Publication No.	Japanese Unexamined Patent Application Publication No. 2003-18000 (P2003-18000A)		6th floor, Yusen Shin-Yokohama Building, 3-17-2 Shin-Yokohama, Kohoku-ku, Yokohama City, Kanagawa Prefecture
(43) Publication date	January 17, 2003 (1.17.2003.)		
Request for examination	June 29, 2001 (6.29.2001)	(74) Agent	100077517
			Takashi Ishida, Patent Attorney
		(74) Agent	100092624
			Junichi Tsuruta, Patent Attorney
		(74) Agent	100100871
			Shigeru Tsuchiya, Patent Attorney
		(74) Agent	100082898
			Masaya Nishiyama, Patent Attorney
		(74) Agent	100081330
			Sotoji Higuchi, Patent Attorney

Continued on the last page

(54) (Title of the Invention) LOOK UP TABLE, PROGRAMMABLE LOGIC CIRCUIT DEVICE HAVING LOOK UP TABLE, AND THE LOOK UP TABLE CONFIGURATION METHOD

(57) (Scope of Patent Claims)

(Claim 1)

A lookup table with M inputs and N outputs, characterized in that the table is equipped with a plurality of LUT units, and an internal configuration control means for controlling the internal configuration of the plurality of LUT units; the internal configuration control means comprises a plurality of selectors for selecting input/output signals of the plurality of LUT units and a selector control means for controlling each selector to define a configuration of the plurality of LUT units; the selector control means comprises a memory, and controls the plurality of selectors according to data stored in the memory; the selector is equipped with an input signal selection selector provided at the input of at least one LUT unit for selecting an input signal, and an output signal selection selector that is provided at the output of the LUT unit for selecting an output signal, wherein the input signal selection selector and the output signal selection selector are controlled according to the data stored in the memory and the input signal.

(Claim 2)

The lookup table according to claim 1, characterized in that the M-input N-output lookup table is a 6-input 3-output lookup table.

10

20

(Claim 3)

The lookup table of claim 2, characterized in that the 6-input 3-output lookup table comprises eight 3-input 1-output LUT units.

(Claim 4)

The lookup table of claim 2, characterized in that the 6-input 3-output lookup table comprises four 3-input 2-output LUT units.

(Claim 5)

A programmable logic circuit device, comprising a plurality of logic blocks; a plurality of wirings connected to each logic block; a plurality of switch means provided at intersections of the wirings; a connection block provided between the input/output line of each logic block and each wiring; and I/O block for external input/output, characterized in that: the logic block comprises the lookup table according to any one of claims 1-4.

10

(Claim 6)

A method of constructing a look-up table, an M-input N-output lookup table, characterized in that, multiple LUT units are prepared, the input/output signals of the plurality of LUT units are selectively controlled to set a predetermined internal configuration mode, and the signal input to at least one of the LUT units and the signal output by the LUT unit are each selectively controlled by a predetermined function of the data stored in the lookup table and the input signal.

20

(Detailed Description of the Invention)

(0001)

(Technical field to which the invention belongs)

The present invention relates to a technology for configuring a lookup table with which the mounting area can be reduced.

In recent years, programmable logic circuit devices have attracted attention as devices capable of realizing logic circuits that meet various user needs by electrically programming internal circuits. This programmable logic circuit device, known as a Programmable Logic Device (PLD) or Field Programmable Gate Array Hardware (FPGA), beyond its use for hardware prototyping, has recently come to be used for constructing large-scale circuits (e.g., microprocessors, etc.) that themselves have various functions. Such a programmable logic circuit device has a lookup table (LUT) as a main component, and there is a strong demand for a reduction in the circuit area of this LUT.

30

(0002)

(Conventional technology)

A look-up table (LUT), which is a major element of programmable logic circuit devices (PLDs and FPGAs), consists of memory and can implement any logic circuit. A basic configuration of such an FPGA has been proposed in the past, for example, in US Patent Nos. 4,706,216 and 4,870,302. In addition, multi-context and clustering of multiple LUTs in FPGA have been proposed, for example, in US Pat. Nos. 5,778,439 and 5,905,385. Furthermore, the research results regarding the evaluation of the LUT used for FPGA (for example, evaluation and performance evaluation regarding functionality and area, evaluation of clustering, etc.) are presented in, for example, J. Rose et al., "Architecture of Field-Programmable Gate Arrays: The Effect of Logic Block Functionality on Area Efficiency", IEEE J. Solid-State Circuits, vol. 25, no. 5, pp. 1217-1225, Oct. 1990, J. Rose et al., "The Effect of Logic Block Architecture on FPGA Performance", IEEE J. Solid-State Circuits, vol. 27, no. 3, pp. 281-287, Mar. 1992, and E. Ahmed et al., "The Effect of Logic LUT and Cluster Size on Deep-Submicron FPGA Performance and Density", FPGA 2000, Monterey, CA USA, 2000.

40

(0003)

In a programmable logic circuit device, the number of bits M of the input signal of the logic circuit that can be implemented corresponds to the number of bits of the address of the memory forming the LUT, and the number of bits N of the output signal corresponds to the number of output bits of the memory. Therefore, a logic circuit that can be implemented in one LUT is an arbitrary M-input N-output logic circuit. Such a LUT is referred to herein as an M-input N-output LUT.

(0004)

(Problem to Be Solved by the Invention)

10

Conventionally, for example, in an FPGA, both the number of inputs M and the number of outputs N of LUTs are fixed values, and an arbitrary logic circuit is divided into M input N output circuit units and implemented using multiple LUTs.

Therefore, in conventional FPGAs, if a circuit with less than M bits of inputs is created by dividing the circuit, one LUT must be assigned to the circuit with less than M bits of inputs, causing an increase in the mounting area.

(0005)

In view of the above-described problems of the conventional programmable logic circuit device, the main object of the present invention is to reduce the circuit area of a lookup table (LUT), that is, a programmable logic circuit device. Another object of the present invention is to reduce the power consumption of the programmable logic circuit device.

20

(0006)

(Means for Solving the Problem)

The first aspect of the present invention is to provide a lookup table with M inputs and N outputs, characterized in that the table is equipped with a plurality of LUT units, and an internal configuration control means for controlling the internal configuration of the plurality of LUT units; the internal configuration control means comprises a plurality of selectors for selecting input/output signals of the plurality of LUT units and a selector control means for controlling each selector to define a configuration of the plurality of LUT units; the selector control means comprises a memory, and controls the plurality of selectors according to data stored in the memory; the selector is equipped with an input signal selection selector provided at the input of at least one LUT unit for selecting an input signal, and an output signal selection selector that is provided at the output of the LUT unit and selects an output signal, wherein the input signal selection selector and the output signal selection selector are controlled according to the data stored in the memory and the input signal.

30

(0007)

The second aspect of the present invention is to provide a programmable logic circuit device, comprising a plurality of logic blocks; a plurality of wirings connected to each logic block; a plurality of switch means provided at intersections of the wirings; a connection block provided between the input/output line of each logic block and each wiring; and I/O block for external input/output, where the lookup table comprises M inputs and N outputs, characterized in that the table is equipped with a plurality of LUT units, and an internal configuration control means for controlling the internal configuration of the plurality of LUT units; the internal configuration control means comprises a plurality of selectors for selecting input/output signals of the plurality of LUT units and a selector control means for controlling each selector to define a configuration of the plurality of LUT units; the selector control means comprises a memory, and controls the plurality of selectors according to data stored in the memory; the selector is equipped with an input signal selection selector provided at the input of at least one LUT unit for selecting an input signal, and an output signal selection selector that is provided at the output of the LUT

40

50

unit for selecting an output signal, wherein the input signal selection selector and the output signal selection selector are controlled according to the data stored in the memory and the input signal.

(0008)

The third aspect of the present invention provides a method for configuring an M-input N-output lookup table, comprising: preparing a plurality of LUT units; selectively controlling the input/output signals of the plurality of LUT units to set a predetermined internal configuration mode, and selectively controlling each of the signal input to at least one of the LUT units and the signal output by the LUT unit by a predetermined function of the data stored in the lookup table and the input signal.

According to the present invention, by providing a mode change memory in the LUT, unlike the LUT used in conventional FPGAs, it is possible to realize an LUT having a plurality of inputs and outputs. As a result, it is possible to configure LUTs suitable for the number of input signals required by the divided circuits, thereby preventing an increase in mounting area. In addition, by stacking circuits that do not operate at the same time in the same LUT and operating them while switching between them, it is possible to greatly reduce not only the mounting area but also the power consumption.

(0009)

(Embodiments of the invention)

A lookup table, a programmable logic circuit device having the lookup table, and a method of configuring the lookup table according to the present invention will be described in detail below with reference to the accompanying drawings.

FIG. 1 is a block diagram showing an example of FPGA to which the present invention is applied. In FIG. 1, reference numeral 100 is an FPGA as an example of a programmable logic circuit device, 101 is an I/O block, 102 is a logic block (CLB: Configurable Logic Block), 103 is a connection block (C), and 104 is a switch matrix (S), and 105 indicates wiring.

(0010)

As shown in FIG. 1, an FPGA 100 is configured with logic blocks (CLBs) 102 arranged in an array, wiring (circuit area) 105 surrounding these CLBs 102, and I/O blocks 101 for inputting/outputting with the outside. A switch matrix (S) 104 is arranged at the intersection of each wiring 105 for connecting them, and a connection block (C) 103 is arranged between each input/output line of each CLB 102 and the wiring 105. Each CLB 102 is configured with a lookup table (LUT) 121, a latch 122, and a selector 123. The present invention is primarily related to the configuration of the LUT 121.

(0011)

FIG. 2 is a block diagram showing a 6-input 3-output LUT as an example of the LUT in FPGA, and shows an example of the LUT 121 in FIG. 1. That is, the LUT shown in FIG. 2 corresponds to a configuration in which $M=6$ and $N=3$ in the M-input N-output LUT. Regarding the values of M and N, $M=6$ and $N=3$ are merely examples, and there are other various values, and there are also cases where $M=N$ or $M<N$.

(0012)

FIG. 3 is a block diagram showing the internal configuration modes of the 6-input 3-output LUT shown in FIG. 2. By changing the values (X, Y, Z) of the mode change memory (71), as described later in detail, 6-input 3-output LUT can be set to internal configurations as shown in FIGS. 3(a) to 3(f).

Specifically, FIG. 3(a) shows a case where a 6-input, 3-output LUT is mode-set as three 2-input, 1-output LUTs. For example, in a conventional FPGA (conventionally, a 4-input 1-output LUT is used as a unit), 3 LUTs (4-input 1-output LUT) are required to assign three 2-input 1-output circuits to the LUT. However, in the configuration shown in FIG. 3(a), only one 6-input 3-output LUT is sufficient.

10

20

30

40

50

(0013)

By the way, the area ratio of the 4-input 1-output LUT and the 6-input 3-output LUT, including the wiring area, is about 1:1.5. Therefore, in the configuration shown in FIG. 3(a), for example, compared to the conventional example using three 4-input 1-output LUTs, the circuit mounting area ratio is $(1 \times 3) : 1.5$, that is, about 1:0.5. can be reduced, decreasing the area by up to about 50%.

(0014)

Also, FIG. 3(b) shows a case where the mode was set as two 3-input 1-output LUTs. In this case, for example, compared to the conventional example using two 4-input 1-output LUTs, the circuit mounting area ratio is $(1 \times 2) : 1.5$, that is, about 1:0.75 can be reduced, decreasing the area by up to about 25%.

Furthermore, FIG. 3(c) shows a case where the mode was set as a 6-input 1-output LUT instead of a 6-input 3-output LUT.

(0015)

FIG. 3(d) shows the mode setting as 3-input 1-output LUT x 8 planes. FIG. 3(e) shows the case where the mode was set as 4-input 1-output LUT x 4 planes, and FIG. 3(f) shows the case where the mode was set as 5-input 1-output LUT x 2 planes. FIG. 4 is a diagram for explaining an example of the circuit mapping method in the lookup table, and shows the reason why the mode settings of FIGS. 3(d) to 3(f) are possible.

(0016)

As shown in FIG. 4, for example, in mapping methods using control structures such as if~, else, and case in Register Transfer Level (RTL) description in Hardware Description Language (HDL), since conditional branches are explicitly guaranteed not to operate concurrently, the processing within each condition is mapped to each context. Switching between contexts is performed, for example, by a signal from a control circuit implemented in another LUT (lookup table).

(0017)

In such a case, as shown in FIGS. 3(d) to 3(f), a plurality of LUTs can be composed of one LUT. Specifically, in the case of FIG. 3(d), eight 3-input 1-output LUTs can be configured with one LUT (one 6-input 3-output LUT in the case of FIG. 3(d)). In addition, in the case of FIG. 3(e), four 4-input 1-output LUTs can be configured with one LUT, and in the case of FIG. 3(f), two 5-input 1-output LUTs can be configured with one LUT.

(0018)

Specifically, the configuration shown in FIG. 3(e) can realize a maximum area reduction of up to about 62%, for example, by making the circuit mounting area ratio of $(1 \times 4) : 1.5$, that is, it can be reduced to about 1:0.375, with respect to the conventional 40 examples using four 4-input 1-output LUTs. In other words, the LUT of the embodiment shown in FIG. 3(e) (LUT composed of one 6-input 3-output LUT) can be configured with a conventional LUT having about 32% of the mounting area (LUT configured with four 4-input 1-output LUTs), further significantly reducing power consumption.

(0019)

Further, for example, the circuit mounting area of the ALU circuit of 8 operations can be reduced to about 75%, improving the mounting efficiency, comparing of mounting with a conventional 4-input 1-output LUT, and using a 6-input 3-output LUT as shown in Fig. 3(e) as a 4-input 1-output LUT x 4 planes.

FIG. 5 is a block diagram showing a 6-input 3-output LUT 7 as an example of LUT in an FPGA according to the present invention together with input and output signals, equivalent to that in which six input signals A, B, C, D, E, F and three output signals Q, V, W are added to the 6-input, 3-output LUT121 shown in FIG. 2.

10

20

30

40

(0020)

FIG. 6 is a block diagram showing an example of the internal configuration of the 6-input 3-output LUT shown in FIG. 5.

As shown in FIG. 6, the 6-input 3-output LUT 7 (121) includes a mode change memory 71, selectors 721-726, and 3-input 1-output LUT units (memory arrays) 731-738. The mode change memory 71 stores 3-bit data X, Y, Z designated by the user. The relationship between the 6-bit inputs A to F and the 3-bit outputs Q, V, and W is set according to user's requests.

(0021)

Each selector (selector for input signal selection) 721 to 725 selects the input signals according to the data X, Y, and Z stored in the mode change memory 71, respectively, after inputting a predetermined signal in the 6-bit input signal. That is, the signals A and C are input to the selector 721, signals B and D are input to the selector 722, and one signal selected from selection signal F0 (X, Y, Z) defined by data X, Y, Z, respectively, is output. The signals A and D are similarly input to the selector 723, signals B and E are input to the selector 724, signals C and F are further input to the selector 725, and one signal selected from selection signal F1 (X, Y, Z) defined by data X, Y, Z, respectively, is output.

(0022)

Each of the 3-input 1-output LUT units 731-738 includes an address decoder, a memory, and a selector, and outputs a 1-bit signal in response to a 3-bit input signal, as will be described later. That is, signals A, B, and C are input to the LUT units 731, 732, 734 to 736, and 738, respectively, also, either signal A or C and either signal B or D selected by the selection signal F0, and the signal C are input to the LUT unit 733. Further, either signal A or D, either signal B or E, and either signal C or F selected by selection signal F1 are input to LUT unit 737. The output signals of the LUT units 731 to 738 are input to a selector (selector for output signal selection) 726, and one signal from a selection signal F2 (D, E, F, X, Y, Z) defined by signals D, E, F and data X, Y, Z is selected and output as signal V. Signal Q is output from LUT unit 731, and signal W is output from LUT unit 737.

(0023)

FIG. 7 is a block diagram showing an example of a 3-input 1-output LUT unit 731 in the 6-input 3-output LUT 7 of FIG. 6. The 3-input 1-output LUT units 731 to 738 all have the same configuration.

The LUT unit 731 shown in FIG. 7 includes an address decoder 7311, a selector 7312, and memory unit groups M11 to M14 and M21 to M24 each composed of two sets of 4 bits. The address decoder 7311 decodes the 2-bit input signals A and B, to designate one each of the memory unit groups M11 to M14 and M21 to M24, and furthermore, according to the input signal C, choose one set of either memory unit groups M11-M14 or M21-M24 to output data.

(0024)

FIG. 8 is a block diagram showing another example of a 3-input 1-output LUT unit 731 in the 6-input 3-output LUT 7 of FIG. 6.

The LUT unit 731 shown in FIG. 8 includes an address decoder 7313 and an 8-bit memory unit group M31-M38. The address decoder 7313 decodes the 3-bit input signals A, B, and C, and designates one of the memory unit groups M31 to M38 to output its data (Q).

10

20

30

40

(0025)

The relationship between 3-bit data X, Y, Z specified in the mode change memory 71 in the 6-input 3-output LUT shown in FIG.6 and the corresponding internal configuration (setting mode) will be described with reference to FIGS. 3(a) to 3(f).

First, as shown in FIG. 3(a), when the 6-input, 3-output LUT 7 (121) is set to the mode of three 2-input, 1-output LUTs, the selection signals F0 and F1 select input "1" in selectors 721, 722 and 723-725, and selection signal F2 selects input "2" in selector 726.

(0026)

That is, the user designates the 3-bit data X, Y, Z to be stored in the mode change memory 71, so that the selection signals F0 (X, Y, Z) and F1 (X, Y, Z) select input "1" in each selector 721, 722 and 723-725, and so that the selection signal F2 (D, E, F, X, Y, Z) selects the input "2" in the selector 726.

(0027)

Then, it is possible to configure as three 2-input 1-output LUTs shown in Fig. 3(a), by using LUT unit 731 that outputs signal Q after signals A, B, and C are input; LUT unit 733 input with signals C, D via selectors 721 and 722 and direct signal C and that outputs signal V via selector 726; and LUT unit 737 input with the signals D, E, and F via the selectors 723 to 725 and outputs the signal W. Note that either input signal C in the LUT unit 731 or input signal C in LUT unit 733, and input signal D via the selector 723 in the LUT unit 737 are extra input signals in each LUT unit, but these do not pose a problem.

(0028)

Then, as shown in FIG. 3(b), when mode setting a 6-input 3-output LUT 7 as two 3-input 1-output LUTs, the selection signal F1 designates 3-bit data X, Y, Z to be stored in the mode change memory 71 so as to select input "1" in the selectors 723-725. Then, it is possible to configure as two 3-input 1-output LUTs shown in Fig. 3(b), by using LUT unit 731 that outputs signal Q after signals A, B, and C are input; and LUT unit 737 input with the signals D, E, and F via the selectors 723 to 725 and outputs the signal W.

(0029)

As shown in Fig. 3(c), when setting the mode of a 6-input 3-output LUT as a 6-input 1-output LUT, the selection signals F0 and F1 select the input "0" in each selector, and the selection signal F2 determines the value of selector 726 by input signals D, E, and F and outputs signal V. That is, a 1-bit signal V is output from 6-bit inputs of signals A, B, and C and signals D, E, and F.

(0030)

As shown in Fig. 3(d), when setting the mode of a 6-input 3-output LUT as a 3-input 1-output LUT x 8 planes, the selection signals F0 and F1 select the input "0" in each selector, and the selection signal F2 determines the value of selector 726 by signals D, E, and F and outputs signal V. In this case, signals D, E, and F use plane switching signals.

(0031)

As shown in Fig. 3(e), when setting the mode of a 6-input 3-output LUT as a 4-input 1-output LUT x 4 planes, too, the selection signals F0 and F1 select the input "0" in each selector, and the selection signal F2 determines the value of selector 726 by signals D, E, and F and outputs signal V. In this case, signal D is one of the 4-bit input signals along with signals A, B, and C, and signals E and F use plane switching signals.

(0032)

As shown in Fig. 3(f), when setting the mode of a 6-input 3-output LUT as a 5-input 1-output LUT x 2 planes, the selection signals F0 and F1 select the input "0" in each selector, and the selection signal F2 determines the value of selector 726 by signals D, E, and F and outputs signal V. In this case, signals D and E are two of the 5-bit input signals along with signals A, B, and C, and signal F uses a plane switching signal.

10

20

30

40

(0033)

As described above, according to this embodiment, for example, a 6-input 3-output LUT can be used as various internal configuration modes by changing the values X, Y, and Z of the mode change memory 71.

FIG. 9 is a block diagram showing another example of the internal configuration of the 6-input 3-output LUT shown in FIG. 5, and shows an example of the internal configuration of the 6-input 3-output LUT different from that shown in FIG. 6.

(0034)

As shown in FIG. 9, the 6-input 3-output LUT 8 (121) has a mode change memory 81, selectors 821-826, and 3-input 2-output LUT units 831-834. The mode change memory 81 stores 3-bit data X, Y, Z designated by the user. The relationship between the 6-bit inputs A to F and the 3-bit outputs Q, V, W is set according to the user's request.

(0035)

That is, while the 6-input 3-output LUT 7 shown in FIG. 6 described above has eight 3-input 1-output LUT units 731 to 738, the present 6-input 3-output LUT 8 shown in FIG. 9, except for being equipped with four 3-input 2-output LUT units 831-834, has substantially the same configuration.

3-bit data X, Y, Z designated to the mode change memory 81 in the LUT 8 shown in FIG. 9, selection signals F0 (X,Y,Z), F1 (X,Y,Z) and F2 (D, E, F, X, Y, Z) accordingly, and the operations of the selectors 821 to 826 (corresponding to the selectors 721 to 726) controlled by these selection signals F0, F1 and F2 are similar to that described with reference to FIGS. 6 and 3(a)-3(f), so the description thereof is omitted here.

(0036)

FIG. 10 is a block diagram showing an example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9. All of the 3-input 2-output LUT units 831 to 834 have the same configuration.

The LUT unit 831 shown in FIG. 10 includes an address decoder 8311, selectors 8312 and 8313, and memory unit groups M41-M44, M51-M54, M61-M64, and M71-M74, each of which consists of four sets of 4 bits. The address decoder 8311 decodes the 2-bit input signals A and B to designate each one of four memory unit groups M41-M44, M51-M54, M61-M64 and M71-M74, and further selects and outputs, according to the input signal C, one set of data of the memory unit groups M41 to M44 or M51 to M54 (output signal Q: signal supplied to the input "0" of the selector 826), and one set of data of memory unit groups M61-M64 or M71-M74 (signal supplied to input "1" of selector 826).

(0037)

FIG. 11 is a block diagram showing another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.

The LUT unit 831 shown in FIG. 11 comprises an address decoder 8314 and two sets of 8-bit memory unit groups M81-M88 and M91-M98. The address decoder 8314 decodes the 3-bit input signals A, B, C to designate one of the two groups of memory units M81-M88 and M91-M98, and outputs data (output signal Q: the signal supplied to the input "0" of the selector 826 and the signal supplied to the input "1" of the selector 826).

(0038)

10

20

30

40

50

FIG. 12 is a block diagram showing still another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.

The LUT unit 831 shown in FIG. 12 includes an address decoder 8315, selectors 8316 and 8317, and eight sets of 2-bit memory unit groups M111, M121; M112, M122, ... M118, M128. The address decoder 8315 decodes the 1-bit input signal A to designate each one of the eight memory unit groups M111, M121 to M118, M128, and with 2-bit input signals B and C, further selects and outputs one set of data in the memory unit groups M111, M121 to M114 and M124 (output signal Q: signal supplied to input "0" of selector 826) and one set of data in the memory unit groups M115, M125 to M118 and M128 (signal supplied to input "1" of selector 826).

(0039)

FIG. 13 is a block diagram showing a configuration example of an 8-operation ALU circuit (ALU16) 90. In FIG. 13, reference characters G and H denote 16-bit data, I denotes a command signal that determines the operation, and J denotes an output signal. As shown in FIG. 13, the ALU circuit 90 includes eight arithmetic circuits of an OR circuit 91 to which 16-bit data G and H are input, respectively; an AND circuit 92; an XOR circuit 93; a not circuit 94; + (addition) circuit 95; NE (Not Equal) circuit 96; GT (Greater Than) circuit 97; and SHIFT (shift) circuit 98, as well as a selector 99 that selects the outputs of these eight arithmetic circuits 91 to 98 by a command signal I; where output signal J corresponding to the command signal I is output.

(0040)

FIG. 14 and FIG. 15 below showed a comparison between the case of implementing from a 3-input 1-output LUT used in conventional FPGAs to a 7-input 1-output LUT (horizontal axis: 3 LUT to 7 LUT) for the ALU circuit (ALU 16) 90 shown in FIG. 13 and the case of implementing 6-input 3-output LUT as shown in FIG. 6 (a configuration comprising eight 3-input 1-output LUTs 731 to 738, mode change memory 71 and selectors 721 to 726: 3 LUT*8), and a 6-input 3-output LUT as shown in FIG. 9 (a configuration comprising four 3-input 2-output LUTs 831 to 834, mode change memory 81 and selectors 821 to 826: 4 LUT*4) used in the FPGA according to the present invention. The ALU 16 includes, for example, a data selector (a circuit that does not need to use an LUT) for switching wiring, a random logic (a circuit configured with an LUT), and a flip-flop (a circuit that is a fixed portion of a logic block). It goes without saying that the comparison between FIGS. 14 and 15 is made under substantially the same conditions other than the configuration of the LUT.

(0041)

FIG. 14 shows the difference in area ratio when the ALU 16 shown in FIG. 13 is mounted on the LUTs (3 LUT to 7 LUT and 6-input 3-output LUT (3 LUT*8 and 4 LUT*4)) used in the conventional and inventive FPGAs, and FIG. 15 is a diagram showing the difference in the number of configuration data bits when the ALU 16 shown in FIG. 13 is implemented in LUTs used in the conventional and the inventive FPGAs. The vertical axis in FIG. 14 shows the area ratio when configured using various LUTs, assuming that the area is 1 when configured using a commonly used 4-input 1-output LUT (4 LUTs), and the vertical axis in FIG. 15 indicates the number of bits of configuration data when configured using various LUTs.

(0042)

As is clear from FIG. 14, for example, the area ratio when the ALU 16 as shown in FIG. 13 is mounted on the 6-input 3-output LUT (3 LUT*8 and 4 LUT*4) used in the FPGA according to the present invention is significantly smaller than when the same ALU 16 is mounted on the LUTs (3 LUTs to 7 LUTs) used in the conventional FPGA. Specifically, for example, 3 LUT*8, where a 6-input 3-output LUT is implemented as a 3-input 1-output $\times$ 8 planes gives an area about 75% when implemented using a 4-input 1-output LUT (4 LUTs), which has the smallest area among conventional LUTs.

10

20

30

40

(0043)

Furthermore, as is clear from FIG. 15, the number of configuration data bits, when the ALU 16 is implemented with the 6-input 3-output LUT (3 LUT*8 and 4 LUT*4) used in the FPGA according to the present invention is equivalent to that of 4 LUTs, which is the smallest among conventional LUTs. That is, the reason the 6-input 3-output LUT of the present invention can have a comparable number of configuration data bits, despite requiring four times as many configuration data for 4-input 1-output, for example, is that while the conventional LUT constructs the selectors in output stage with LUTs, in the present invention, the number of LUTs used can be reduced by switching the wiring.

(0044)

In the above description, the 6-input 3-output LUT used in the FPGA according to the present invention is merely an example, and the present invention can be applied to an M-input N-output (for example, 8-input 4-output) LUT. Furthermore, it goes without saying that changes are possible, and the configuration of the 6-input 3-output LUT itself is not limited to, for example, the eight 3-input 1-output LUT units shown in FIG. 6 and four 3-input 2-output LUT units shown in FIG. 9.

(0045)

(Effect of the Invention)

As described in detail above, according to the present invention, it is possible to reduce the circuit area of the lookup table (LUT), that is, the programmable logic circuit device. Furthermore, according to the present invention, the power consumption of the programmable logic circuit device can also be reduced.

(Brief Description of the Drawings)

(FIG. 1) is a block diagram showing an example of an FPGA to which the present invention is applied.

(FIG. 2) is a block diagram showing a 6-input 3-output LUT as an example of the LUT in FPGA.

(FIG. 3) is a block diagram showing internal configuration modes of the 6-input 3-output LUT shown in FIG. 2.

(FIG. 4) is a diagram for explaining an example of a circuit mapping method in a lookup table.

(FIG. 5) is a block diagram showing a 6-input 3-output LUT as an example of the LUT in the FPGA according to the present invention together with input/output signals

(FIG. 6) is a block diagram showing an example of internal configuration modes of the 6-input 3-output LUT shown in FIG. 5.

(FIG. 7) is a block diagram showing an example of a 3-input 1-output LUT unit in the 6-input 3-output LUT of FIG. 6.

(FIG. 8) is a block diagram showing another example of a 3-input 1-output LUT unit in the 6-input 3-output LUT of FIG. 6.

(FIG. 9) is a block diagram showing another example of internal configuration modes of the 6-input 3-output LUT shown in FIG. 5.

(FIG. 10) is a block diagram showing an example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.

(FIG. 11) is a block diagram showing another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.

(FIG. 12) is a block diagram showing another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.

(FIG. 13) is a block diagram showing a configuration example of an 8-operation ALU circuit (ALU 16).

(FIG. 14) is a diagram showing a difference in area ratio when the ALU 16 shown in FIG. 13 is mounted on LUTs used in conventional and FPGAs according to the present invention.

(FIG. 15) is a diagram showing a configuration data bit number when the ALU 16 shown in FIG. 13 is mounted on LUTs used in conventional and FPGAs according to the present invention.

(Explanation of References)

7, 8, 121 ... lookup table (LUT: 6-input 3-output LUT)

71, 81...Mode change memory

10

20

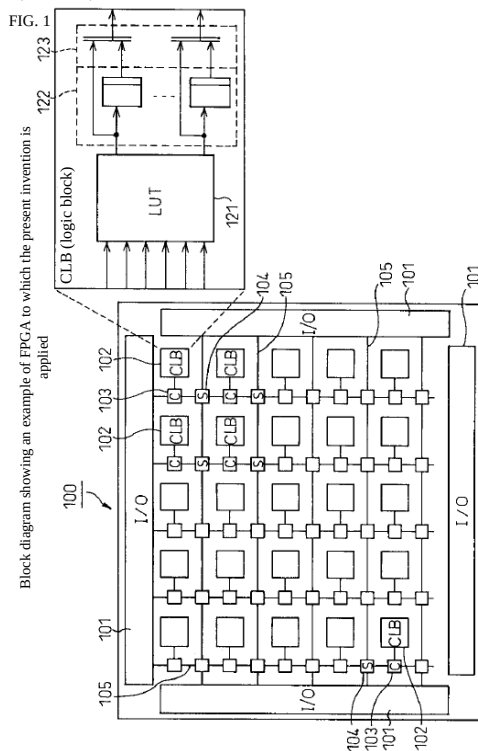
30

40

100... Programmable logic circuit device (FPGA)
 101... I/O block
 102... Logical block (CLB)
 103 ... Connection block (C)
 104... Switch matrix (S)
 105...Wiring
 122... Latch
 123... Selector
 721 to 726, 821 to 826... Selector
 731 to 738... 3-input 1-output LUT unit
 831 to 834... 3-input 2-output LUT unit

10

(FIG. 1)



(FIG. 2)

FIG. 2

Block diagram showing 6-input 3-output LUT as an example of LUT in FPGA

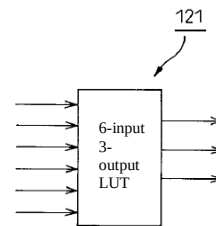


FIG. 3

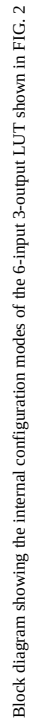


FIG. 4

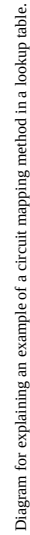


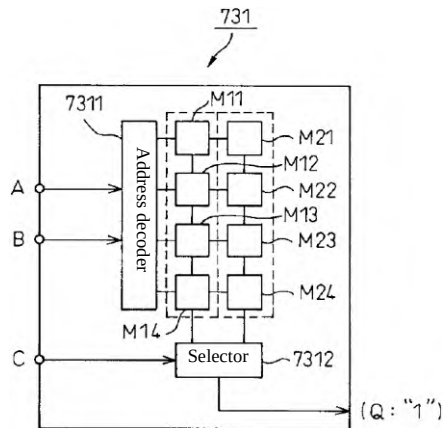
FIG. 5

FIG. 6

(FIG. 7)

FIG. 7

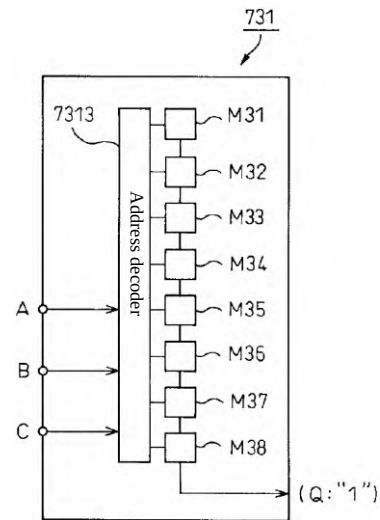
Block diagram showing an example of a 3-input 1-output LUT unit in the 6-input 3-output LUT in FIG. 6



(FIG. 8)

FIG. 8

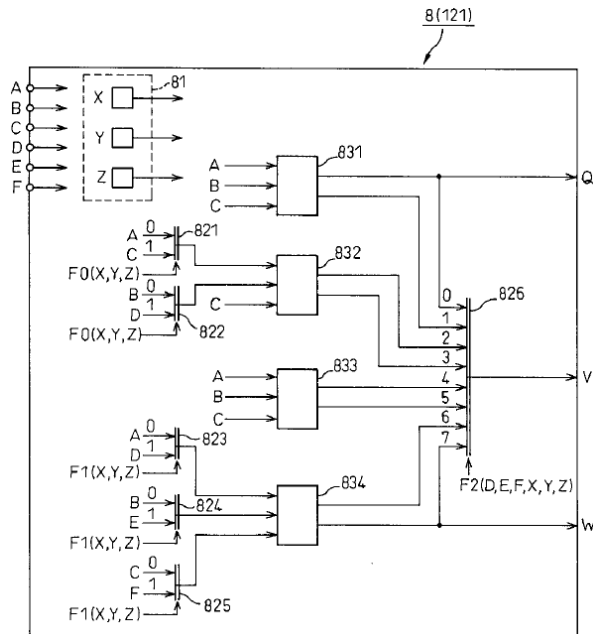
Block diagram showing another example of a 3-input 1-output LUT unit in the 6-input 3-output LUT of FIG. 6



(FIG. 9)

FIG. 9

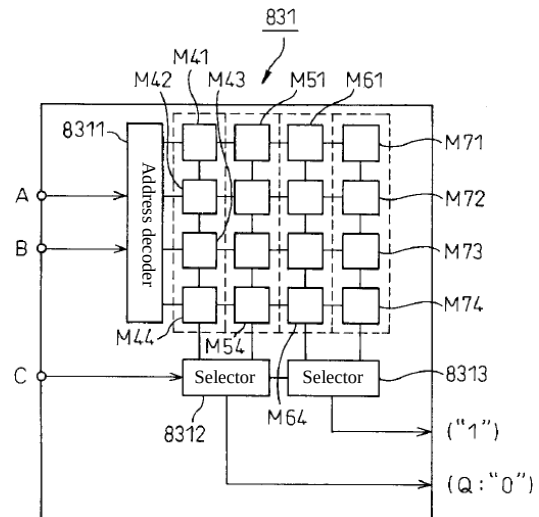
Block diagram showing another example of the internal configuration of the 6-input 3-output LUT shown in FIG. 5



(FIG. 10)

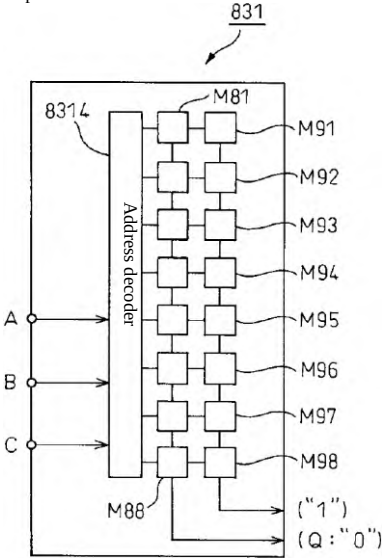
FIG. 10

Block diagram showing an example of a 3-input 2-output LUT unit in the 6-input 3-output LUT in FIG. 9



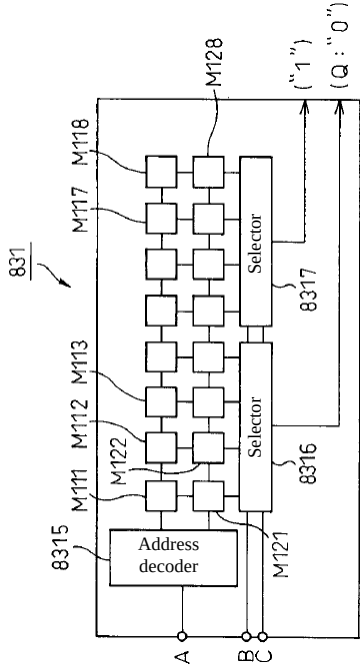
(FIG. 11)

FIG. 11
Block diagram showing another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9.



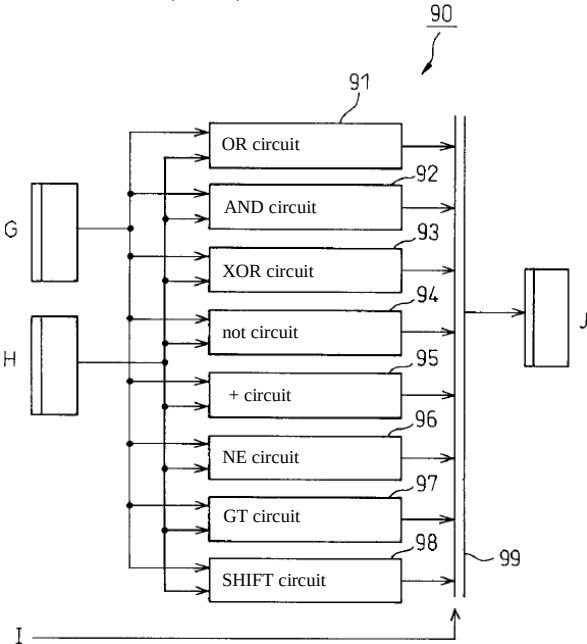
(FIG12)

FIG. 12
Block diagram showing another example of a 3-input 2-output LUT unit in the 6-input 3-output LUT of FIG. 9



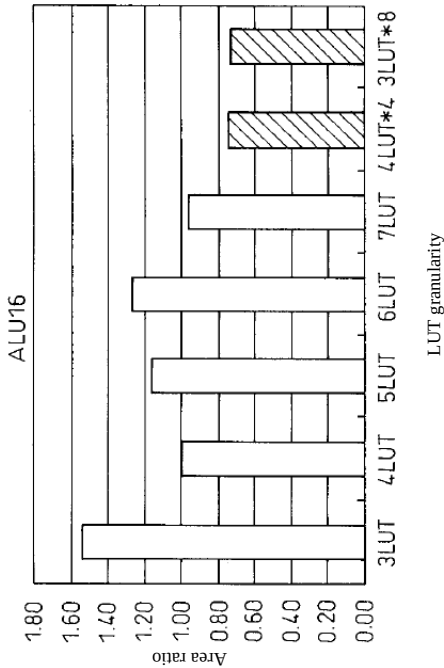
(FIG13)

FIG. 13
Block diagram showing a configuration example of an 8-operation ALU circuit (ALU 16)



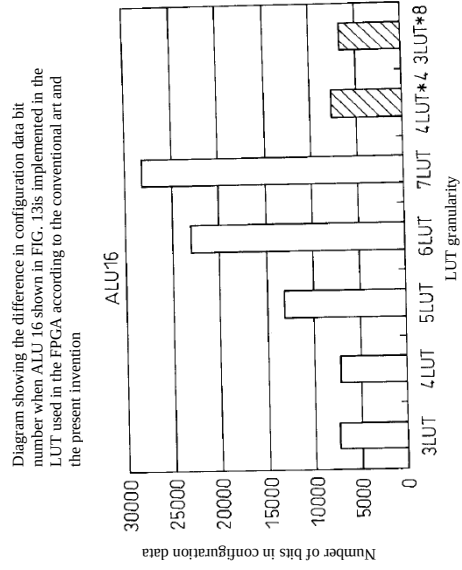
(FIG14)

FIG. 14
Diagram showing the difference in area ratio when the ALU 16 shown in FIG. 13 is mounted on the LUT used in the conventional FPGA and the FPGA according to the present invention



(FIG. 15)

FIG. 15



Continued from the front page

(72) Inventor Toshinori Sueyoshi
7-763-2-1 Kurokami, Kumamoto City, Kumamoto Prefecture

(72) Inventor Masahiro Iida
5-1-102 Takaya, Fujisawa City, Kanagawa Prefecture

Examiner Katsufumi Hikoda

(56) Reference Japanese Unexamined Patent Application Publication No. 08-237109 (JP, A)
Japanese Unexamined Patent Application Publication No. 03-063846 (JP, A)
Japanese Unexamined Patent Application Publication No. 09-181598 (JP, A)
Japanese Unexamined Patent Application Publication No. 01-183685 (JP, A)
Japanese Unexamined Patent Application Publication No. 64-086280 (JP, A)
Japanese Unexamined Patent Application Publication No. 62-288891 (JP, A)
Japanese Unexamined Utility Model Application Publication No. S62-195861 (JP, U)

(58) Investigated field (Int. Cl.⁷, DB name)
H03K 19/177
H01L 21/82



I, Natalia Lehmann, hereby certify that I am fluent in both the Japanese and English languages, and that I have reviewed and translated Japanese Patent No. JP 3,580,785. This translation is, to the best of my knowledge and belief, a true and accurate translation from Japanese to English. I declare under penalty of perjury under the laws of the United States that the foregoing is true and accurate.

Natalia Lehmann
NAME

Friday, October 14, 2022
DATE

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3580785号
(P3580785)

(45) 発行日 平成16年10月27日(2004.10.27)

(24) 登録日 平成16年7月30日(2004.7.30)

(51) Int.Cl.⁷

F I

H 0 3 K 19/177

H 0 3 K 19/177

H 0 1 L 21/82

H 0 1 L 21/82

A

請求項の数 6 (全 16 頁)

(21) 出願番号	特願2001-199644 (P2001-199644)	(73) 特許権者	396023993
(22) 出願日	平成13年6月29日 (2001.6.29)		株式会社半導体理工学研究センター
(65) 公開番号	特開2003-18000 (P2003-18000A)		神奈川県横浜市港北区新横浜 3 丁目 1 7 番
(43) 公開日	平成15年1月17日 (2003.1.17)		地 2 友泉新横浜ビル6階
審査請求日	平成13年6月29日 (2001.6.29)	(74) 代理人	100077517
			弁理士 石田 敬
		(74) 代理人	100092624
			弁理士 鶴田 準一
		(74) 代理人	100100871
			弁理士 土屋 繁
		(74) 代理人	100082898
			弁理士 西山 雅也
		(74) 代理人	100081330
			弁理士 樋口 外治
		最終頁に続く	

(54) 【発明の名称】 ルックアップテーブル、ルックアップテーブルを備えるプログラマブル論理回路装置、および、
ルックアップテーブルの構成方法

(57) 【特許請求の範囲】

【請求項 1】

M入力N出力のルックアップテーブルであって、
 複数の L U T ユニットと、
 該複数の L U T ユニットによる内部構成を制御する内部構成制御手段とを備え、
 該内部構成制御手段は、
 前記複数の L U T ユニットの入出力信号を選択する複数のセレクトと、
 該各セレクトを制御して前記複数の L U T ユニットによる構成を規定するセレクト制御手
 段とを備え、
 該セレクト制御手段は、メモリを備え、該メモリに格納するデータに応じて前記複数のセ
 レクトを制御し、
 前記セレクトは、
 少なくとも 1 つの前記 L U T ユニットの入力に設けられて入力信号の選択を行う入力信号
 選択用セレクトと、
 前記 L U T ユニットの出力に設けられて出力信号の選択を行う出力信号選択用セレクトと
 を備え、該入力信号選択用セレクトおよび該出力信号選択用セレクトは、前記メモリに格
 納するデータおよび前記入力信号に応じて制御されることを特徴とするルックアップテー
 ブル。

【請求項 2】

請求項 1 に記載のルックアップテーブルにおいて、前記 M 入力 N 出力のルックアップテー

10

20

ブルは、6入力3出力のルックアップテーブルであることを特徴とするルックアップテーブル。

【請求項3】

請求項2に記載のルックアップテーブルにおいて、前記6入力3出力のルックアップテーブルは、8つの3入力1出力LUTユニットを備えることを特徴とするルックアップテーブル。

【請求項4】

請求項2に記載のルックアップテーブルにおいて、前記6入力3出力のルックアップテーブルは、4つの3入力2出力LUTユニットを備えることを特徴とするルックアップテーブル。

10

【請求項5】

複数の論理ブロックと、該各論理ブロックに接続される複数の配線と、該各配線の交差個所に設けられた複数のスイッチ手段と、該各論理ブロックの入出力線と前記各配線との間に設けられた接続ブロックと、外部との入出力を行うI/Oブロックとを備えるプログラマブル論理回路装置であって、
前記論理ブロックは、請求項1～4のいずれか1項に記載のルックアップテーブルを備えることを特徴とするプログラマブル論理回路装置。

【請求項6】

M入力N出力のルックアップテーブルを構成する方法であって、
複数のLUTユニットを準備し、

20

該複数のLUTユニットの入出力信号を選択制御して所定の内部構成モードを設定し、
少なくとも1つの前記LUTユニットに入力する信号、および、該LUTユニットが出力する信号は、それぞれ当該ルックアップテーブル内に格納されるデータおよび入力信号の所定の関数により選択制御されることを特徴とするルックアップテーブルの構成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は実装面積の削減が可能なルックアップテーブルの構成技術に関する。

近年、プログラマブル論理回路装置は、内部回路を電氣的にプログラムすることでユーザーの様々な要求に応じた論理回路を実現することができるデバイスとして注目されている。

30

このプログラマブル論理回路装置は、PLD (Programmable Logic Device) 或いはFPGA (Field Programmable Gate Array) として知られているが、最近では、ハードウェアの試作に対する利用を越えて、それ自体で様々な機能を有する大規模な回路 (例えば、マイクロプロセッサ等) を構成するためにも使用されるようになって来ている。このようなプログラマブル論理回路装置は、ルックアップテーブル (LUT: Look Up Table) を主要な構成要素としているが、このLUTの回路面積の削減が強く要望されている。

【0002】

【従来の技術】

プログラマブル論理回路装置 (PLDやFPGA) の主要な要素であるルックアップテーブル (LUT) はメモリから構成されており、任意の論理回路を実装することが可能である。このようなFPGAの基本的な構成は、従来、例えば、米国特許第4706216号および第4870302号に提案されている。また、FPGAにおけるマルチコンテキスト (multi-context) および複数のLUTのクラスタ化に関しては、例えば、米国特許第5778439号および第5905385号等に提案されている。さらに、FPGA等を使用するLUTに対する評価 (例えば、機能性と面積に関する評価並びに性能評価、および、クラスタ化の評価等) に関しては、例えば、J. Rose et al., "Architecture of Field-Programmable Gate Arrays: The Effect of Logic Block Functionality on Area Efficiency", IEEE J

40

50

. Solid-State Circuits, vol. 25, no. 5, pp. 1217-1225, Oct. 1990、J. Rose et al., "The Effect of Logic Block Architecture on FPGA Performance", IEEE J. Solid-State Circuits, vol. 27, no. 3, pp. 281-287, Mar. 1992、および、E. Ahmed et al., "The Effect of LUT and Cluster Size on Deep-Submicron FPGA Performance and Density", FPGA 2000, Monterey, CA USA, 2000に研究成果が示されている。

10

【0003】

プログラマブル論理回路装置において、実装できる論理回路の入力信号のビット数MはLUTを構成するメモリのアドレスのビット数に対応し、また、出力信号のビット数Nはメモリの出力ビット数に対応している。したがって、1つのLUTに実装できる論理回路は、任意のM入力N出力の論理回路となる。本明細書では、このようなLUTをM入力N出力LUTと表す。

【0004】**【発明が解決しようとする課題】**

従来、例えば、FPGAにおいて、LUTの入力数Mおよび出力数Nは共に固定値であり、任意の論理回路は、M入力N出力の回路単位に分割され、複数のLUTを用いて実装されるようになってい

20

る。そのため、従来のFPGAでは、回路分割により入力数がMビット未満の回路が生じた場合、この入力数がMビット未満の回路に対しても1つのLUTを割り当てなければならず、実装面積の増加をもたらす原因になっている。

【0005】

本発明は、上述した従来のプログラマブル論理回路装置が有する課題に鑑み、ルックアップテーブル(LUT)すなわちプログラマブル論理回路装置の回路面積を削減することを主たる目的とする。さらに、本発明は、プログラマブル論理回路装置の消費電力の低減も目的とする。

【0006】**【課題を解決するための手段】**

本発明の第1の形態によれば、M入力N出力のルックアップテーブルであって、複数のLUTユニットと、該複数のLUTユニットによる内部構成を制御する内部構成制御手段とを備え、該内部構成制御手段は、前記複数のLUTユニットの入出力信号を選択する複数のセレクトアと、該各セレクトアを制御して前記複数のLUTユニットによる構成を規定するセレクトア制御手段とを備え、該セレクトア制御手段は、メモリを備え、該メモリに格納するデータに応じて前記複数のセレクトアを制御し、前記セレクトアは、少なくとも1つの前記LUTユニットの入力に設けられて入力信号の選択を行う入力信号選択用セレクトアと、前記LUTユニットの出力に設けられて出力信号の選択を行う出力信号選択用セレクトアとを備え、該入力信号選択用セレクトアおよび該出力信号選択用セレクトアは、前記メモリに格納するデータおよび前記入力信号に応じて制御されることを特徴とするルックアップテーブルが提供される。

30

40

【0007】

本発明の第2の形態によれば、複数の論理ブロックと、該各論理ブロックに接続される複数の配線と、該各配線の交差個所に設けられた複数のスイッチ手段と、該各論理ブロックの入出力線と前記各配線との間に設けられた接続ブロックと、外部との入出力を行うI/Oブロックとを備えるプログラマブル論理回路装置であって、前記論理ブロックは、M入力N出力のルックアップテーブルであって、複数のLUTユニットと、該複数のLUTユニットによる内部構成を制御する内部構成制御手段とを有するルックアップテーブルを備え、該内部構成制御手段は、前記複数のLUTユニットの入出力信号を選択する複数のセ

50

レクタと、該各セクタを制御して前記複数のLUTユニットによる構成を規定するセクタ制御手段とを備え、該セクタ制御手段は、メモリを備え、該メモリに格納するデータに応じて前記複数のセクタを制御し、前記セクタは、少なくとも1つの前記LUTユニットの入力に設けられて入力信号の選択を行う入力信号選択用セクタと、前記LUTユニットの出力に設けられて出力信号の選択を行う出力信号選択用セクタとを備え、該入力信号選択用セクタおよび該出力信号選択用セクタは、前記メモリに格納するデータおよび前記入力信号に応じて制御されることを特徴とするプログラマブル論理回路装置が提供される。

【0008】

本発明の第3の形態によれば、M入力N出力のルックアップテーブルを構成する方法であって、複数のLUTユニットを準備し、該複数のLUTユニットの入出力信号を選択制御して所定の内部構成モードを設定し、少なくとも1つの前記LUTユニットに入力する信号、および、該LUTユニットが出力する信号は、それぞれ当該ルックアップテーブル内に格納されるデータおよび入力信号の所定の関数により選択制御されることを特徴とするルックアップテーブルの構成方法が提供される。

本発明によれば、LUT内にモード変更用のメモリを設けることにより、従来のFPGAで使用されるLUTと異なり、複数の入力数および出力数を有するLUTを実現することができる。これにより、分割された回路が必要とする入力信号数に適したLUTで構成することが可能となり、実装面積の増加を防ぐことができる。また、同時に動作しない回路を同一のLUT内に重ね合わせて実装し、これらを切り替えながら動作させることで、実装面積だけでなく消費電力も大幅に削減することができる。

【0009】

【発明の実施の形態】

以下、本発明に係るルックアップテーブル、ルックアップテーブルを備えるプログラマブル論理回路装置、および、ルックアップテーブルの構成方法を添付図面に従って詳述する。

図1は本発明が適用されるFPGAの一例を示すブロック図である。図1において、参照符号100はプログラマブル論理回路装置の一例としてのFPGA、101はI/Oブロック、102は論理ブロック(CLB: Configurable Logic Block)、103は接続ブロック(C)、104はスイッチマトリクス(S)、そして、105は配線を示している。

【0010】

図1に示されるように、FPGA100は、アレー状に配置された論理ブロック(CLB)102、これらCLB102を取り囲む配線(回線領域)105、および、外部との入出力を行うI/Oブロック101を備えて構成される。各配線105の交差個所には、それらを接続するためのスイッチマトリクス(S)104が配置され、さらに、各CLB102の入出力線と配線105との間にはそれぞれ接続ブロック(C)103が配置されている。各CLB102は、ルックアップテーブル(LUT)121、ラッチ122、および、セクタ123を備えて構成される。本発明は、主としてLUT121の構成に関するものである。

【0011】

図2はFPGAにおけるLUTの一例としての6入力3出力LUTを示すブロック図であり、図1におけるLUT121の一例を示すものである。すなわち、図2に示すLUTは、M入力N出力LUTにおいて、M=6、N=3の場合の構成に対応するものである。なお、MおよびNの値に関して、M=6、N=3は単なる一例であり、他の様々な値の場合もあり、さらに、M=N、或いは、M<Nとなる場合もある。

【0012】

図3は図2に示す6入力3出力LUTの内部構成モードを示すブロック図であり、後に詳述するように、モード変更用メモリ(71)の値(X, Y, Z)を変えることで、6入力3出力LUTを図3(a)~図3(f)に示すような内部構成に設定することができるの

10

20

30

40

50

を示している。

具体的に、図3(a)は、6入力3出力LUTを3個の2入力1出力LUTとしてモード設定した場合を示している。例えば、従来のFPGA(従来、4入力1出力LUTを単位として使用されている)において、3個の2入力1出力回路をLUTに割り当てるには3つのLUT(4入力1出力LUT)を必要とするが、図3(a)に示す構成では、1つの6入力3出力LUTだけで十分である。

【0013】

ところで、配線の領域を含む4入力1出力LUTと6入力3出力LUTの面積比は、1:1.5程度である。したがって、図3(a)に示す構成は、例えば、3つの4入力1出力LUTを使用する従来例に対して、回路の実装面積比を $(1 \times 3) : 1.5$ 、すなわち、1:0.5程度にすることができ、最大約50%の面積の削減が実現できる。

10

【0014】

また、図3(b)は、2個の3入力1出力LUTとしてモード設定した場合を示す。この場合、例えば、2つの4入力1出力LUTを使用する従来例に対して、回路の実装面積比を $(1 \times 2) : 1.5$ 、すなわち、1:0.75程度にすることができ、最大25%の面積の削減が実現できる。

さらに、図3(c)は、6入力3出力LUTを6入力1出力LUTとしてモードを設定した場合を示す。

【0015】

図3(d)は、3入力1出力LUT $\times 8$ プレーンとしてモード設定した場合を示し、図3(e)は、4入力1出力LUT $\times 4$ プレーンとしてモードを設定した場合を示し、そして、図3(f)は、5入力1出力LUT $\times 2$ プレーンとしてモード設定した場合を示す。図4はルックアップテーブルにおける回路のマッピング方法の一例を説明するための図であり、上記図3(d)～図3(f)のモード設定が可能な理由を示すものである。

20

【0016】

図4に示されるように、例えば、HDL(Hardware Description Language)におけるRTL(Register Transfer Level)記述内のif～, else, case等の制御構造を利用したマッピング方法においては、条件分岐は明示的に同時動作でないことが保証されているため、各条件内の処理を各コンテキストにマッピングする。なお、各コンテキストの切り替えは、例えば、他のLUT(ルックアップテーブル)に実装された制御回路からの信号で行う。

30

【0017】

このような場合には、上述した図3(d)～図3(f)に示されるように、複数のLUTを1つのLUTで構成することができる。具体的に、図3(d)の場合には、8つの3入力1出力LUTを1つのLUT(図3(d)の場合には、1つの6入力3出力LUT)で構成することができる。また、図3(e)の場合には、4つの4入力1出力LUTを1つのLUTで構成することができ、さらに、図3(f)の場合には、2つの5入力1出力LUTを1つのLUTで構成することができる。

【0018】

具体的に、図3(e)に示す構成は、例えば、4つの4入力1出力LUTを使用する従来例に対して、回路の実装面積比を $(1 \times 4) : 1.5$ 、すなわち、1:0.375程度にすることができ、最大約62%の面積の削減が実現できる。換言すると、図3(e)に示す実施例のLUT(1個の6入力3出力LUTで構成したLUT)は、従来のLUT(4個の4入力1出力LUTで構成したLUT)の約32%の実装面積で構成することができ、さらに、消費電力も大幅に低減することができる。

40

【0019】

また、例えば、8オペレーションのALU回路を、従来の4入力1出力LUTに実装した場合と、図3(e)に示すような6入力3出力LUTを4入力1出力LUT $\times 4$ プレーンとして使用し、これに実装した場合とを比較すると、回路実装面積を約75%にして実装効率の向上を実現することができる。

50

図5は本発明に係るFPGAにおけるLUTの一例としての6入力3出力LUT7を入力信号と共に示すブロック図であり、図2に示す6入力3出力LUT121に対して6つの入力信号A, B, C, D, E, Fと3つの出力信号Q, V, Wを追加したものに相当する。

【0020】

図6は図5に示す6入力3出力LUTの内部構成の一例を示すブロック図である。

図6に示されるように、6入力3出力LUT7(121)は、モード変更用メモリ71、セクタ721~726、および、3入力1出力LUTユニット(メモリアレイ)731~738を備えている。モード変更用メモリ71は、ユーザにより指定された3ビットのデータX, Y, Zを格納するようになっており、6ビットの入力A~Fと3ビットの出力Q, V, Wとの関係をユーザの要求に応じて設定するようになっている。

10

【0021】

各セクタ(入力信号選択用セクタ)721~725には、6ビットの入力信号内の所定の信号が入力され、それぞれモード変更用メモリ71に格納されたデータX, Y, Zに応じて入力信号の選択を行うようになっている。すなわち、セクタ721には信号A, Cが入力され、また、セクタ722には信号B, Dが入力され、それぞれデータX, Y, Zにより規定される選択信号F0(X, Y, Z)により一方の信号が選択されて出力される。同様に、セクタ723には信号A, Dが入力され、また、セクタ724には信号B, Eが入力され、さらに、セクタ725には信号C, Fが入力され、それぞれデータX, Y, Zにより規定される選択信号F1(X, Y, Z)により一方の信号が選択されて出力される。

20

【0022】

各3入力1出力LUTユニット731~738は、後述するように、アドレスデコーダ、メモリ、および、セクタを備え、それぞれ3ビットの入力信号に応じて1ビットの信号を出力する。すなわち、各LUTユニット731, 732, 734~736および738には、それぞれ信号A, B, Cが入力され、また、LUTユニット733には、選択信号F0により選択された信号AまたはCの一方と信号BまたはDの一方、および、信号Cが入力される。さらに、LUTユニット737には、選択信号F1により選択された信号AまたはDの一方、信号BまたはEの一方、および、信号CまたはFの一方が入力される。そして、LUTユニット731~738の出力信号はセクタ(出力信号選択用セクタ)726に入力され、信号D, E, FおよびデータX, Y, Zにより規定される選択信号F2(D, E, F, X, Y, Z)により1つの信号が選択され、信号Vとして出力される。なお、信号Qは、LUTユニット731の出力とされ、また、信号Wは、LUTユニット737の出力とされている。

30

【0023】

図7は図6の6入力3出力LUT7における3入力1出力LUTユニット731の一例を示すブロック図である。なお、各3入力1出力LUTユニット731~738は全て同様の構成とされている。

図7に示すLUTユニット731は、アドレスデコーダ7311、セクタ7312、および、2組の4ビットで構成されたメモリユニット群M11~M14, M21~M24を備えている。アドレスデコーダ7311は、2ビットの入力信号A, Bをデコードしてメモリユニット群M11~M14およびM21~M24の各1つを指定し、さらに、入力信号Cによって、メモリユニット群M11~M14またはM21~M24の一方の組を選択してデータを出力する。

40

【0024】

図8は図6の6入力3出力LUT7における3入力1出力LUTユニット731の他の例を示すブロック図である。

図8に示すLUTユニット731は、アドレスデコーダ7313、および、8ビットのメモリユニット群M31~M38を備えている。アドレスデコーダ7313は、3ビットの入力信号A, B, Cをデコードしてメモリユニット群M31~M38の1つを指定してそ

50

のデータ (Q) を出力する。

【0025】

上述した図6に示す6入力3出力LUTにおけるモード変更用メモリ71に指定された3ビットデータX, Y, Zと、それに対応した内部構成(設定モード)の関係を図3(a)～図3(f)に対応させて説明する。

まず、図3(a)に示すように、6入力3出力LUT7(121)を3個の2入力1出力LUTとしてモード設定する場合、選択信号F0およびF1は各セクタ721, 722および723～725において入力『1』を選択し、さらに、選択信号F2はセクタ726において入力『2』を選択する。

【0026】

すなわち、ユーザは、選択信号F0(X, Y, Z)およびF1(X, Y, Z)が各セクタ721, 722および723～725における入力『1』を選択するように、且つ、選択信号F2(D, E, F, X, Y, Z)がセクタ726における入力『2』を選択するように、モード変更用メモリ71に格納する3ビットデータX, Y, Zを指定する。

【0027】

そして、信号A, B, Cが入力されて信号Qを出力するLUTユニット731、セクタ721, 722を介した信号C, Dおよび直接の信号Cが入力されてセクタ726を介して信号Vを出力するLUTユニット733、および、セクタ723～725を介した信号D, E, Fが入力されて信号Wを出力するLUTユニット737を使用することで、図3(a)に示す3個の2入力1出力LUTとして構成することができる。なお、LUT 20
ユニット731における入力信号C、LUTユニット733における一方の入力信号C、および、LUTユニット737におけるセクタ723を介した入力信号Dは、各LUTユニットにおいて余分な入力信号となっているが、問題となることはない。

【0028】

次に、図3(b)に示すように、6入力3出力LUT7を2個の3入力1出力LUTとしてモード設定する場合、選択信号F1はセクタ723～725における入力『1』を選択するようにモード変更用メモリ71に格納する3ビットデータX, Y, Zを指定する。そして、信号A, B, Cが入力されて信号Qを出力するLUTユニット731、および、セクタ723～725を介した信号D, E, Fが入力されて信号Wを出力するLUT 30
ユニット737を使用することで、図3(b)に示す2個の3入力1出力LUTとして構成することができる。

【0029】

図3(c)に示すように、6入力3出力LUTを6入力1出力LUTとしてモード設定する場合には、選択信号F0およびF1は各セクタにおける入力『0』を選択し、選択信号F2は入力信号D, E, Fによってセクタ726の値を決定し、信号Vを出力する。すなわち、信号A, B, Cと信号D, E, Fの6ビット入力により、1ビットの信号Vを出力する。

【0030】

図3(d)に示すように、6入力3出力LUTを3入力1出力LUT×8プレーンとしてモード設定する場合には、選択信号F0およびF1は各セクタにおける入力『0』を選択し、選択信号F2は信号D, E, Fによってセクタ726の値を決定し、信号Vを出力する。この場合、信号D, E, Fはプレーン切り替え信号が使用される。 40

【0031】

図3(e)に示すように、6入力3出力LUTを4入力1出力LUT×4プレーンとしてモード設定する場合にも、選択信号F0およびF1は各セクタにおける入力『0』を選択し、選択信号F2は信号D, E, Fによってセクタ726の値を決定し、信号Vを出力する。この場合、信号Dは、信号A, B, Cと共に4ビットの入力信号の1つであり、また、信号EおよびFはプレーン切り替え信号が使用されることになる。

【0032】

図3(f)に示すように、6入力3出力LUTを5入力1出力LUT×2プレーンとして 50

モード設定する場合には、選択信号 F 0 および F 1 は各セクタにおける入力『0』を選択し、選択信号 F 2 は信号 D, E, F によってセクタ 7 2 6 の値を決定し、信号 V を出力する。この場合、信号 D および E は、信号 A, B, C と共に 5 ビットの入力信号の 2 つであり、また、信号 F はプレーン切り替え信号が使用されることになる。

【0033】

上述したように、本実施例によれば、例えば、6 入力 3 出力 LUT を、モード変更用メモリ 7 1 の値 X, Y, Z を変えることにより様々な内部構成モードとして使用することができる。

図 9 は図 5 に示す 6 入力 3 出力 LUT の内部構成の他の例を示すブロック図であり、前述した図 6 とは異なる 6 入力 3 出力 LUT の内部構成の例を示すものである。

10

【0034】

図 9 に示されるように、6 入力 3 出力 LUT 8 (1 2 1) は、モード変更用メモリ 8 1、セクタ 8 2 1 ~ 8 2 6、および、3 入力 2 出力 LUT ユニット 8 3 1 ~ 8 3 4 を備えている。モード変更用メモリ 8 1 は、ユーザにより指定された 3 ビットのデータ X, Y, Z を格納するようになっており、6 ビットの入力 A ~ F と 3 ビットの出力 Q, V, W との関係はユーザの要求に応じて設定するようになっている。

【0035】

すなわち、上述した図 6 に示す 6 入力 3 出力 LUT 7 が 8 つの 3 入力 1 出力 LUT ユニット 7 3 1 ~ 7 3 8 を備えていたのに対して、図 9 に示す本 6 入力 3 出力 LUT 8 は、4 つの 3 入力 2 出力 LUT ユニット 8 3 1 ~ 8 3 4 を備えている点を除き、他は実質的に同様の構成とされている。

20

なお、図 9 に示す LUT 8 におけるモード変更用メモリ 8 1 に指定する 3 ビットのデータ X, Y, Z と、それにしがつた選択信号 F 0 (X, Y, Z), F 1 (X, Y, Z) および F 2 (D, E, F, X, Y, Z)、並びに、これら選択信号 F 0, F 1, F 2 により制御される各セクタ 8 2 1 ~ 8 2 6 (セクタ 7 2 1 ~ 7 2 6 に対応) の動作は、図 6 および図 3 (a) ~ 図 3 (f) を参照して説明したのと同様であり、ここではその説明を省略する。

【0036】

図 10 は図 9 の 6 入力 3 出力 LUT における 3 入力 2 出力 LUT ユニットの一例を示すブロック図である。なお、各 3 入力 2 出力 LUT ユニット 8 3 1 ~ 8 3 4 は全て同様の構成とされている。

30

図 10 に示す LUT ユニット 8 3 1 は、アドレスデコーダ 8 3 1 1、セクタ 8 3 1 2, 8 3 1 3、および、4 組の 4 ビットで構成されたメモリユニット群 M 4 1 ~ M 4 4, M 5 1 ~ M 5 4, M 6 1 ~ M 6 4, M 7 1 ~ M 7 4 を備えている。アドレスデコーダ 8 3 1 1 は、2 ビットの入力信号 A, B をデコードして 4 組のメモリユニット群 M 4 1 ~ M 4 4, M 5 1 ~ M 5 4, M 6 1 ~ M 6 4 および M 7 1 ~ M 7 4 の各 1 つを指定し、さらに、入力信号 C によって、メモリユニット群 M 4 1 ~ M 4 4 または M 5 1 ~ M 5 4 の一方の組のデータ (出力信号 Q: セクタ 8 2 6 の入力『0』に供給される信号) と、メモリユニット群 M 6 1 ~ M 6 4 または M 7 1 ~ M 7 4 の一方の組のデータ (セクタ 8 2 6 の入力『1』に供給される信号) とを選択して出力する。

40

【0037】

図 11 は図 9 の 6 入力 3 出力 LUT における 3 入力 2 出力 LUT ユニットの他の例を示すブロック図である。

図 11 に示す LUT ユニット 8 3 1 は、アドレスデコーダ 8 3 1 4、および、2 組の 8 ビットのメモリユニット群 M 8 1 ~ M 8 8 および M 9 1 ~ M 9 8 を備えている。アドレスデコーダ 8 3 1 4 は、3 ビットの入力信号 A, B, C をデコードして 2 組のメモリユニット群 M 8 1 ~ M 8 8 および M 9 1 ~ M 9 8 の各 1 つを指定し、それぞれデータ (出力信号 Q: セクタ 8 2 6 の入力『0』に供給される信号と、セクタ 8 2 6 の入力『1』に供給される信号) を出力する。

【0038】

50

図12は図9の6入力3出力LUTにおける3入力2出力LUTユニットのさらに他の例を示すブロック図である。

図12に示すLUTユニット831は、アドレスデコーダ8315、セクタ8316、8317、および、8組の2ビットのメモリユニット群M111, M121; M112, M122; …; M118, M128を備えている。アドレスデコーダ8315は、1ビットの入力信号Aをデコードして8組のメモリユニット群M111, M121~M118, M128の各1つを指定し、さらに、2ビットの入力信号B, Cによって、メモリユニット群M111, M121~M114, M124の内の一組のデータ（出力信号Q:セクタ826の入力『0』に供給される信号）と、メモリユニット群M115, M125~M118, M128の内の一組のデータ（セクタ826の入力『1』に供給される信号）とを選択して出力する。

10

【0039】

図13は8オペレーションのALU回路(ALU16)90の一構成例を示すブロック図である。図13において、参照符号GおよびHは16ビットのデータ、Iはオペレーションを決めるコマンド信号、そしてJは出力信号を示している。

図13に示されるように、ALU回路90は、それぞれ16ビットのデータGおよびHが入力されたOR回路91、AND回路92、XOR回路93、not回路94、+（加算）回路95、NE（Not Equal）回路96、GT（Greater Than）回路97およびSHIFT（シフト）回路98の8つの演算回路と、これら8つの演算回路91~98の出力をコマンド信号Iにより選択するセクタ99とを備え、コマンド信号Iに対応した出力信号J部を出力するようになっている。

20

【0040】

この図13に示すALU回路(ALU16)90に対して、従来のFPGAで使用されている3入力1出力LUTから7入力1出力LUT（横軸：3LUT~7LUT）に実装した場合と、本発明に係るFPGAで使用される図6に示すような6入力3出力LUT（8つの3入力1出力LUT731~738、モード変更用メモリ71およびセクタ721~726を備える構成：3LUT*8）および図9に示すような6入力3出力LUT（4つの3入力2出力LUT831~834、モード変更用メモリ81およびセクタ821~826を備える構成：4LUT*4）に実装した場合とを比較して、次の図14および図15に示す。なお、ALU16は、例えば、配線の切り替えを行うデータセクタ（LUTを使用する必要がない回路）、ランダムロジック（LUTで構成される回路）、および、フリップフロップ（論理ブロックの固定部分の回路）を備えている。また、図14および図15の比較は、LUTの構成以外の条件が実質的に同一として行われているのはいうまでもない。

30

【0041】

図14は図13に示すALU16を従来および本発明に係るFPGAで使用されるLUT（3LUT~7LUTおよび6入力3出力LUT（3LUT*8並びに4LUT*4））に実装したときの面積比の相違を示す図であり、また、図15は図13に示すALU16に対して従来および本発明に係るFPGAで使用されるLUTに実装したときの構成データビット数の相違を示す図である。図14における縦軸は、一般に使用されている4入力1出力LUT（4LUT）を用いて構成した場合の面積を1とし、それに対する様々なLUTを使用して構成した場合の面積比を示し、また、図15における縦軸は、様々なLUTを使用して構成した場合の構成データのビット数を示している。

40

【0042】

図14から明らかなように、例えば、図13に示すようなALU16を本発明に係るFPGAで使用されている6入力3出力LUT（3LUT*8および4LUT*4）に実装した場合の面積比は、同じのALU16を従来のFPGAで使用されているLUT（3LUT~7LUT）に実装した場合に比べて大幅に小さくなるのが分かる。具体的に、例えば、6入力3出力LUTを3入力1出力*8プレーンとして実装した3LUT*8は、従来のLUT中で最小面積を示す4入力1出力LUT（4LUT）を用いて実装した場合の

50

約 75% の面積とすることができると分かる。

【0043】

さらに、図 15 から明らかなように、ALU16 を本発明に係る FPG A で使用されている 6 入力 3 出力 LUT (3 LUT * 8 および 4 LUT * 4) に実装した場合の構成データビット数は、従来の LUT 中で最小の 4 LUT の場合と同等であることが判る。すなわち、本発明 6 入力 3 出力 LUT は、例えば、4 入力 1 出力に対して 4 倍の構成データを必要とするにも関わらず、構成データビット数を同等とすることができるのは、従来の LUT が出力段のセレクタを LUT により構成しているのに対して、本発明では配線の切り替えによって行われるので LUT の使用数を削減することができるからである。

【0044】

以上の説明において、本発明に係る FPG A で使用される 6 入力 3 出力 LUT は、単なる一例であり、M 入力 N 出力 (例えば、8 入力 4 出力) の LUT に適用することができる。さらに、例えば、6 入力 3 出力 LUT 自体の構成に関しても、図 6 に示す 8 つの 3 入力 1 出力 LUT ユニットおよび図 9 に示す 4 つの 3 入力 2 出力 LUT ユニットに限定されるものではなく、様々な変更が可能なものというまでもない。

【0045】

【発明の効果】

以上、詳述したように、本発明によれば、ルックアップテーブル (LUT) すなわちプログラマブル論理回路装置の回路面積を削減することができる。さらに、本発明によれば、プログラマブル論理回路装置の消費電力を低減することもできる。

【図面の簡単な説明】

【図 1】 本発明が適用される FPG A の一例を示すブロック図である。

【図 2】 FPG A における LUT の一例としての 6 入力 3 出力 LUT を示すブロック図である。

【図 3】 図 2 に示す 6 入力 3 出力 LUT の内部構成モードを示すブロック図である。

【図 4】 ルックアップテーブルにおける回路のマッピング方法の一例を説明するための図である。

【図 5】 本発明に係る FPG A における LUT の一例としての 6 入力 3 出力 LUT を入出力信号と共に示すブロック図である。

【図 6】 図 5 に示す 6 入力 3 出力 LUT の内部構成の一例を示すブロック図である。

【図 7】 図 6 の 6 入力 3 出力 LUT における 3 入力 1 出力 LUT ユニットの一例を示すブロック図である。

【図 8】 図 6 の 6 入力 3 出力 LUT における 3 入力 1 出力 LUT ユニットの他の例を示すブロック図である。

【図 9】 図 5 に示す 6 入力 3 出力 LUT の内部構成の他の例を示すブロック図である。

【図 10】 図 9 の 6 入力 3 出力 LUT における 3 入力 2 出力 LUT ユニットの一例を示すブロック図である。

【図 11】 図 9 の 6 入力 3 出力 LUT における 3 入力 2 出力 LUT ユニットの他の例を示すブロック図である。

【図 12】 図 9 の 6 入力 3 出力 LUT における 3 入力 2 出力 LUT ユニットのさらに他の例を示すブロック図である。

【図 13】 8 オペレーションの ALU 回路 (ALU16) の一構成例を示すブロック図である。

【図 14】 図 13 に示す ALU16 に対して従来および本発明に係る FPG A で使用される LUT に実装したときの面積比の相違を示す図である。

【図 15】 図 13 に示す ALU16 に対して従来および本発明に係る FPG A で使用される LUT に実装したときの構成データビット数の相違を示す図である。

【符号の説明】

7, 8, 121...ルックアップテーブル (LUT: 6 入力 3 出力 LUT)

71, 81...モード変更用メモリ

10

20

30

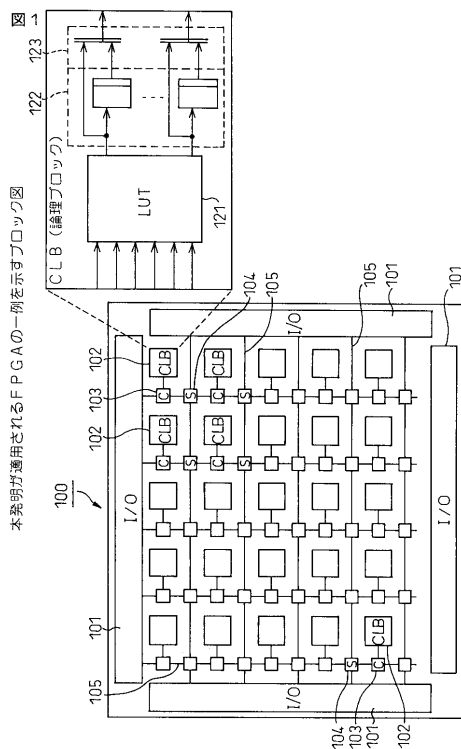
40

50

1 0 0 … プログラマブル論理回路装置 (F P G A)
 1 0 1 … I / O ブロック
 1 0 2 … 論理ブロック (C L B)
 1 0 3 … 接続ブロック (C)
 1 0 4 … スイッチマトリクス (S)
 1 0 5 … 配線
 1 2 2 … ラッチ
 1 2 3 … セレクタ
 7 2 1 ~ 7 2 6 , 8 2 1 ~ 8 2 6 … セレクタ
 7 3 1 ~ 7 3 8 … 3 入力 1 出力 L U T ユニツト
 8 3 1 ~ 8 3 4 … 3 入力 2 出力 L U T ユニツト

10

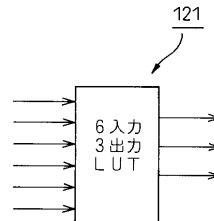
【図 1】



【図 2】

図 2

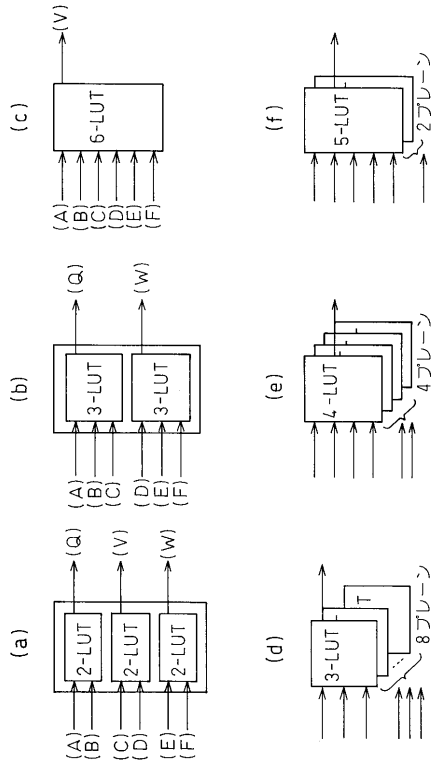
F P G A における L U T の一例としての 6 入力 3 出力 L U T を示すブロック図



【図 3】

図 3

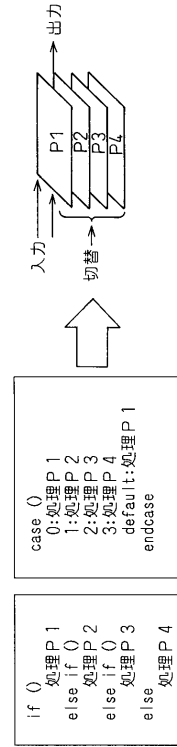
図 2 に示す 6 入力 3 出力 LUT の内部構成モードを示すブロック図



【図 4】

図 4

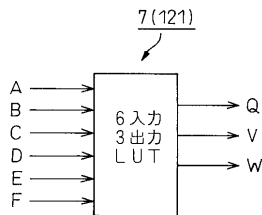
ルックアップテーブルにおける回路のマッピング方法の一例を説明するための図



【図 5】

図 5

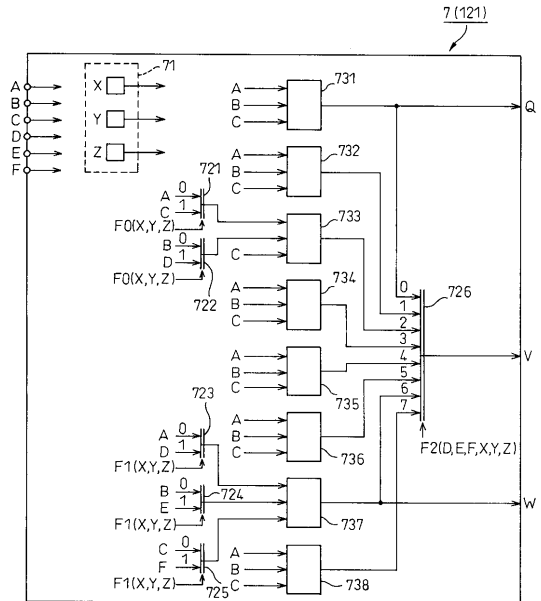
本発明に係る FPGA における LUT の一例としての 6 入力 3 出力 LUT を入出力信号と共に示すブロック図



【図 6】

図 6

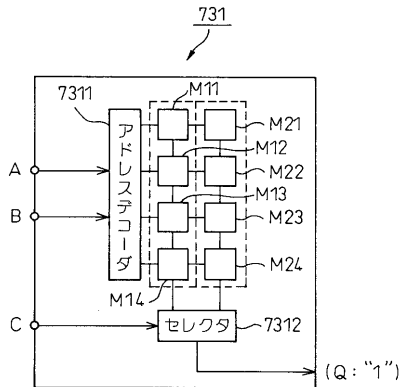
図 5 に示す 6 入力 3 出力 LUT の内部構成の一例を示すブロック図



【 図 7 】

图 7

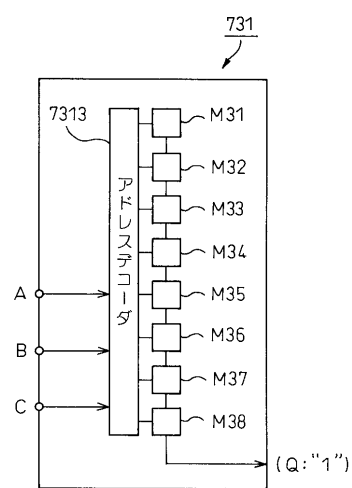
図6の6入力3出力LUTにおける3入力1出力LUTユニット
の一例を示すブロック図



【図 8】

图 8

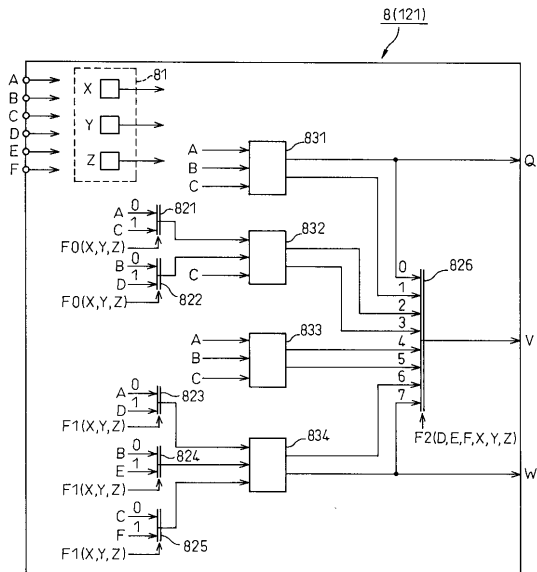
図6の6入力3出力LUTにおける3入力1出力LUTユニット
の他の例を示すブロック図



【圖 9】

圖 9

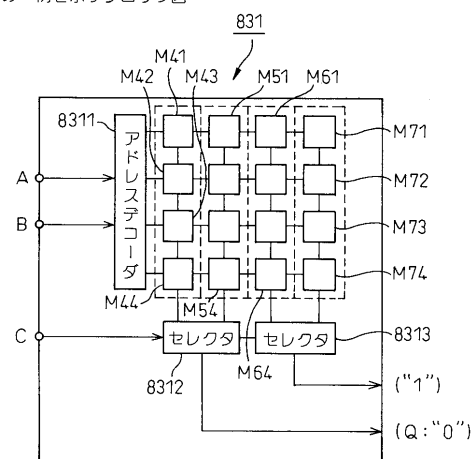
図5に示す6入力3出力LUTの内部構成の他の例を示すブロック図



【 図 1 0 】

图 10

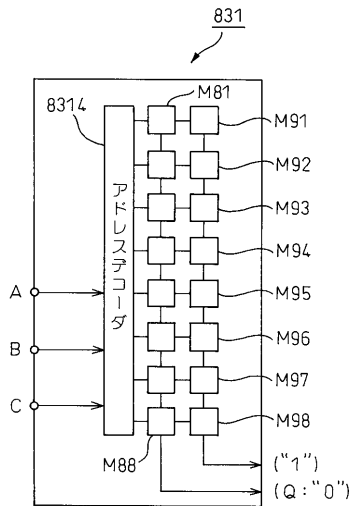
図9の6入力3出力LUTにおける3入力2出力LUTユニット
の一例を示すブロック図



【図 1 1】

図 11

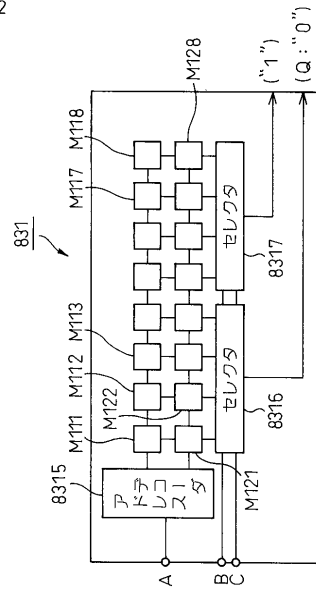
図 9 の 6 入力 3 出力 LUT における 3 入力 2 出力 LUT ユニットの他の例を示すブロック図



【図 1 2】

図 12

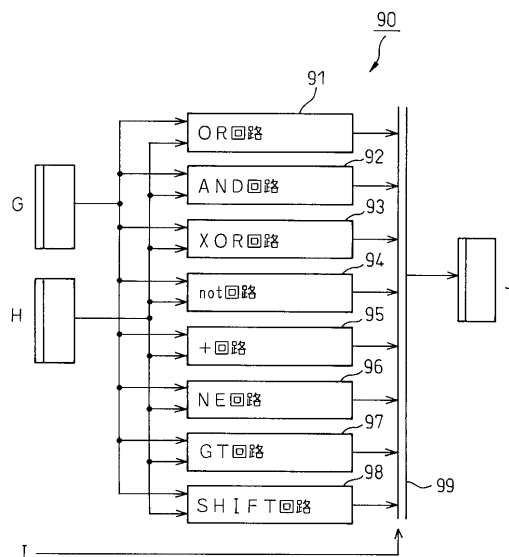
図 9 の 6 入力 3 出力 LUT における 3 入力 2 出力 LUT ユニットのさらに他の例を示すブロック図



【図 1 3】

図 13

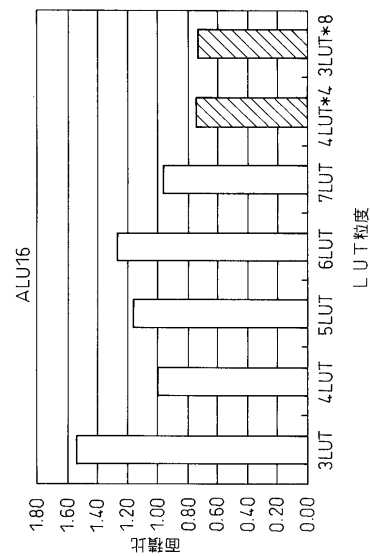
8 オペレーションの ALU 回路 (ALU16) の一構成例を示すブロック図



【図 1 4】

図 14

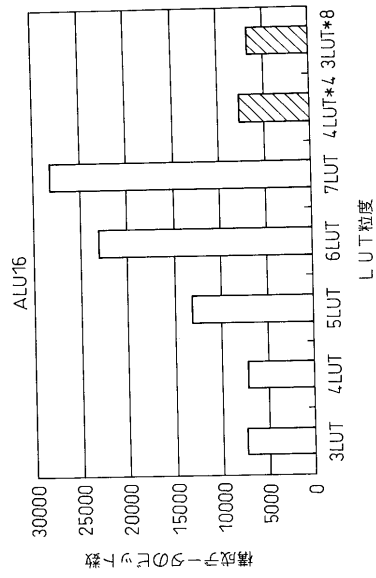
図 13 に示す ALU16 に対して従来および本発明に係る FPGAs で使用される LUT に実装したときの面積比の相違を示す図



【図 15】

図15

図13に示すALU16に対して従来および本発明に係るFPGAで用いられるLUTに実装したときの構成要素ビット数の相違を示す図



フロントページの続き

- (72)発明者 末吉 敏則
熊本県熊本市黒髪7-763-2-1
(72)発明者 飯田 全広
神奈川県藤沢市高谷5-1-102

審査官 彦田 克文

- (56)参考文献 特開平08-237109 (JP, A)
特開平03-063846 (JP, A)
特開平09-181598 (JP, A)
特開平01-183685 (JP, A)
特開昭64-086280 (JP, A)
特開昭62-288891 (JP, A)
実開昭62-195861 (JP, U)

- (58)調査した分野(Int.Cl.⁷, DB名)
H03K 19/177
H01L 21/82