

(19) [Issuing Country] Japan Patent Office (JP)
 (12) [Publication Name] Gazette of Unexamined Patent Applications (A)
 (11) [Publication Number] 2001-005723 (P2001-5723A)
 (43) [Publication Date] January 12, 2001 (2001.1.12)

(51) [Int.Cl. ⁷]	[ID Codes]	[FI]	[Theme Codes (Reference)]
G06F 12/06	522	G06F 12/06	522B 5B025
	515		515H 5B060
	520		520F
G11C 16/04		G11C17/00	625

[Examination Request] Not Yet Received
 [Number of Claims] 6
 [Application Format] Online (OL)
 [Total Number of Pages] 10

(21) [Application Number] H11-173852
 (22) [Filing Date] June 21, 1999 (1999.6.21)
 (71) [Applicant]
 [Identification Number] 000006013
 [Name] Mitsubishi Electric Corporation
 [Address] 2-2-3 Marunouchi, Chiyoda-ku, Tokyo
 (72) [Inventor]
 [Name] Tomio SUZUKI
 [Address] Mitsubishi Electric Corporation, 2-2-3 Marunouchi, Chiyoda-ku, Tokyo
 (74) [Agent]
 [Identification Number] 100064746
 [Attorney]
 [Name] Hisao FUKAMI (and 3 others)
 [F Terms (Reference)]
 5B025 AC05 AE03 AE05
 5B060 MM02

(54) [Title of the Invention]

Semiconductor Memory Apparatus and Memory System Using the Apparatus

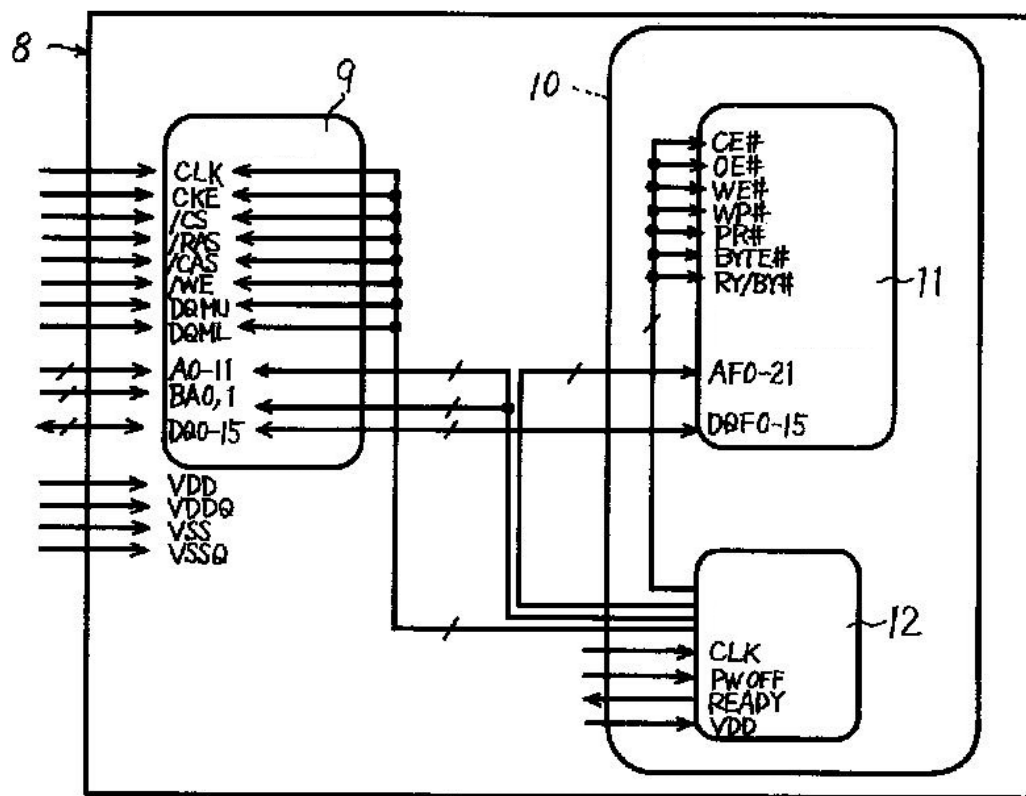
(57) [Abstract]

[Problem]

To provide a semiconductor memory apparatus that can be accessed quickly and that has nonvolatile data.

[Solution]

A semiconductor memory 8 includes DRAM 9, a flash memory 11, and a transfer control circuit 12. The transfer control circuit 12 transfers data in the flash memory 11 to the DRAM 9 in response to a rising power supply potential VDD, transfers data in the DRAM 9 to the flash memory 11 in response to a PW OFF signal indicating that the external power supply switch 15 has been turned off, and outputs a READY signal for turning off the internal power supply switch 7. This operates as a DRAM 9 during normal operation, and operates as flash memory 11 when the power is off.



9: DRAM
10: Flash memory unit

11: Flash memory
12: Transfer control circuit

[Claims]

[Claim 1]

A semiconductor memory apparatus that reads and writes data in response to an external control signal and an external address signal, the semiconductor memory apparatus comprising:

a volatile semiconductor memory device that reads and writes data in response to the external control signal and the external address signal during normal operation;

a nonvolatile semiconductor memory device whose data input and output terminals are connected to the data input and output terminals of the volatile semiconductor memory device;

a first transfer control circuit for transferring data in the nonvolatile semiconductor memory device to the volatile semiconductor memory device in response to the application of a power supply voltage to the semiconductor memory apparatus;

a data erase circuit for erasing stored data in the nonvolatile semiconductor memory device during normal operation in response to the completion of a data transfer from the nonvolatile semiconductor memory device to the volatile semiconductor memory device;

and
a second transfer control circuit for transferring data in the volatile semiconductor memory device to the nonvolatile semiconductor memory device in response to the supply of a power stoppage notice signal for giving notice that the supply of the power supply voltage will be stopped, and outputting a power stop permission signal for permitting stoppage of the supply of the power supply voltage in response to the completion of the data transfer.

[Claim 2]

The semiconductor memory apparatus according to claim 1, wherein the semiconductor memory device is housed in a single package.

[Claim 3]

The semiconductor memory apparatus according to claim 1, wherein the semiconductor memory apparatus is divided and housed in a plurality of packages forming a module.

[Claim 4]

The semiconductor memory apparatus according to claim 2 or claim 3, wherein a chip including at least a portion of the volatile semiconductor memory device and a chip including at least a portion of the nonvolatile semiconductor memory device are stacked inside the package or packages.

[Claim 5]

The semiconductor memory apparatus according to any one of claim 1 to claim 4, wherein the volatile semiconductor memory device is a DRAM, and the nonvolatile semiconductor memory device is flash memory.

[Claim 6]

A memory system comprising:

a semiconductor memory apparatus that reads and writes data in response to an external control signal and an external address signal; and

a power supply circuit for applying a power supply voltage to the semiconductor memory apparatus, wherein the semiconductor memory apparatus comprises:

- a volatile semiconductor memory device that reads and writes data in response to the external control signal and the external address signal during normal operation;
- a nonvolatile semiconductor memory device whose data input and output terminals are connected to the data input and output terminals of the volatile semiconductor memory device;
- a first transfer control circuit for transferring data in the nonvolatile semiconductor memory device to the volatile semiconductor memory device in response to the application of a power supply voltage to the semiconductor memory apparatus;
- a data erase circuit for erasing stored data in the nonvolatile semiconductor memory device during normal operation in response to the completion of a data transfer from the nonvolatile semiconductor memory device to the volatile semiconductor memory device;
- and
- a second transfer control circuit for transferring data in the volatile semiconductor memory device to the nonvolatile semiconductor memory device in response to the supply of a power stoppage notice signal for giving notice that the supply of the power supply voltage will be stopped, and outputting a power stop permission signal for permitting stoppage of the supply of the power supply voltage in response to the completion of the data transfer;
- and
- the power supply circuit comprises:
 - an external power supply switch having one electrode that receives an external power supply voltage;
 - a signal generating circuit that provides the power stop notice signal to the second transfer control circuit in response to the external power supply switch being turned off; and
 - a power supply including a voltage converting circuit connected to the other electrode of the external power supply switch and converting an external power supply voltage applied via the external power supply switch to the power supply voltage, and a battery charged with the power supply voltage generated by the voltage converting circuit; and
 - an internal power supply switch having one electrode that receives output voltage from the battery in the power supply and another electrode connected to a power supply terminal of the semiconductor memory apparatus, the internal power supply switch being turned on in response to the external power supply switch being turned on and being turned off in response to the power stop permission signal being outputted from the second transfer control circuit.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

The present invention relates to a semiconductor memory apparatus and a memory system using this apparatus, and more specifically to a semiconductor memory apparatus that reads and writes data in response to an external control signal and an external address signal and a memory system using this apparatus.

[0002]

[Prior Art]

DRAMs currently used in a wide variety of applications can be accessed at high speed, but are volatile memories that lose stored information when the power is turned off. Therefore,

power to a DRAM has to be turned off after information in the DRAM has been written to a nonvolatile storage medium such as a hard disk or a flash memory card. Also, when the power is turned on again, some of the data in the nonvolatile storage medium such as a hard disk or flash memory card has to be written to the DRAM.

[0003]

DRAM is used, for example, as the main memory of personal computers, and because nothing is stored in the DRAM immediately after the power is turned on, a basic program for exchanging data with a keyboard or hard disk first has to be written to the DRAM. Because the basic program is usually in ROM, a DRAM, ROM, and data bus and control circuit for transferring data from the ROM to the DRAM have to be mounted on the motherboard of the personal computer.

[0004]

[Problem to Be Solved by the Invention]

Because the transfer of data from the ROM to the DRAM is slow, a considerable amount of time is required after turning on power to the personal computer before the user can actually start working on the personal computer, and this time cannot be shortened.

[0005]

Therefore, the main object of the present invention is to provide a semiconductor memory apparatus that can be accessed quickly and that has nonvolatile data, and to provide a memory system using this apparatus.

[0006]

[Means for Solving the Problem]

The invention according to claim 1 is a semiconductor memory apparatus that reads and writes data in response to an external control signal and an external address signal, the semiconductor memory apparatus including a volatile semiconductor memory device, a nonvolatile semiconductor memory device, a first transfer control circuit, a data erase circuit, and a second transfer control circuit. The volatile semiconductor memory device reads and writes data in response to the external control signal and the external address signal during normal operation. The nonvolatile semiconductor memory device has data input and output terminals connected to the data input and output terminals of the volatile semiconductor memory device. The first transfer control circuit transfers data in the nonvolatile semiconductor memory device to the volatile semiconductor memory device in response to the application of a power supply voltage to the semiconductor memory apparatus. The data erase circuit erases stored data in the nonvolatile semiconductor memory device during normal operation in response to the completion of a data transfer from the nonvolatile semiconductor memory device to the volatile semiconductor memory device. The second transfer control circuit transfers data in the volatile semiconductor memory device to the nonvolatile semiconductor memory device in response to the supply of a power stoppage notice signal for giving notice that the supply of the power supply voltage will be stopped, and outputs a power stop permission signal for permitting stoppage of the supply of the power supply voltage in response to the completion of the data transfer.

[0007]

The invention in claim 2 is the semiconductor memory apparatus according to claim 1, wherein the semiconductor memory device is housed in a single package.

[0008]

The invention in claim 3 is the semiconductor memory apparatus according to claim 1, wherein the semiconductor memory apparatus is divided and housed in a plurality of packages forming a module.

[0009]

The invention in claim 4 is the semiconductor memory apparatus according to claim 2 or claim 3, wherein a chip including at least a portion of the volatile semiconductor memory device and a chip including at least a portion of the nonvolatile semiconductor memory device are stacked inside the package or packages.

[0010]

The invention in claim 5 is the semiconductor memory apparatus according to any one of claim 1 to claim 4, wherein the volatile semiconductor memory device is a DRAM, and the nonvolatile semiconductor memory device is flash memory.

[0011]

The invention according to claim 6 is a memory system including a semiconductor memory apparatus that reads and writes data in response to an external control signal and an external address signal, and a power supply circuit for applying a power supply voltage to the semiconductor memory apparatus. The semiconductor memory apparatus includes a volatile semiconductor memory device, a nonvolatile semiconductor memory device, a first transfer control circuit, a data erase circuit, and a second transfer control circuit. The volatile semiconductor memory device reads and writes data in response to the external control signal and the external address signal during normal operation. The nonvolatile semiconductor memory device has data input and output terminals connected to the data input and output terminals of the volatile semiconductor memory device. The first transfer control circuit transfers data in the nonvolatile semiconductor memory device to the volatile semiconductor memory device in response to the application of a power supply voltage to the semiconductor memory apparatus. The data erase circuit erases stored data in the nonvolatile semiconductor memory device during normal operation in response to the completion of a data transfer from the nonvolatile semiconductor memory device to the volatile semiconductor memory device. The second transfer control circuit transfers data in the volatile semiconductor memory device to the nonvolatile semiconductor memory device in response to the supply of a power stoppage notice signal for giving notice that the supply of the power supply voltage will be stopped, and outputs a power stop permission signal for permitting stoppage of the supply of the power supply voltage in response to the completion of the data transfer. The power supply circuit includes an external power supply switch, a signal generating circuit, a power supply, and an internal power supply switch. The external power supply switch has one electrode that receives an external power supply voltage. The signal generating circuit provides a power stop notice signal to the second transfer control circuit in response to the external power supply switch being turned off. The power supply includes a voltage converting circuit connected to the other electrode of the external power supply switch and converting an external power supply voltage applied via the external power supply switch to the power supply voltage, and a battery charged with the power

supply voltage generated by the voltage converting circuit. The internal power supply switch has one electrode that receives output voltage from the battery in the power supply and another electrode connected to a power supply terminal of the semiconductor memory apparatus, the internal power supply switch being turned on in response to the external power supply switch being turned on and being turned off in response to the power stop permission signal being outputted from the second transfer control circuit.

[0012]

[Embodiments of the Invention]

Fig. 1 is a block diagram showing essential components on the motherboard 1 of a personal computer in an embodiment of the invention. Referring to FIG. 1, this motherboard 1 includes a CPU 2, an ASIC 3, a signal generating circuit 4, a memory controller 5, a direct current power supply 6, an internal power supply switch 7, and a semiconductor memory 8.

[0013]

CPU 2 performs various arithmetic and control operations. The ASIC 3 is an application-specific integrated circuit device for exchanging data with, for example, a keyboard, a hard disk, and a display such as a liquid crystal display panel.

[0014]

The signal generating circuit 4 is connected to the output terminal of an external power supply switch 15 to generate signal ϕ 1 and apply it to the memory controller 5. The signal ϕ 1 is at the "H" level when the external power supply switch 15 is turned on and alternating current power supply voltage VAC is applied, and is at the "L" level when the external power supply switch 15 is turned off.

[0015]

The memory controller 5 exchanges data with the CPU 2 and the semiconductor memory 8 serving as the main memory. The memory controller 5 sets signal ϕ 1 to the "H" level to turn on internal power supply switch 7 in response to the external power supply switch 15 being turned on, applies a pulse signal PW OFF (power supply stop notice signal) to the semiconductor memory 8 in response to the external power supply switch 15 being turned off and signal ϕ 1 reaching the "L" level, and sets signal ϕ 1' to the "L" level to turn off the internal power supply switch 7 in response to a READY signal (power supply stop permission signal) from the semiconductor memory 8.

[0016]

The direct current power supply 6 includes a voltage converting circuit that rectifies and smoothes the alternating current power supply voltage VAC supplied via the external power supply switch 15 and converts it into direct current power supply voltages VCC, VDD, and VDDQ for the motherboard 1, and a plurality of rechargeable batteries, each charged by the direct current power supply voltages VCC, VDD, VDDQ generated by the voltage converting circuit. Because the direct current power supply 6 incorporates rechargeable batteries, it supplies the power supply voltages VCC, VDD, and VDDQ for a predetermined amount of time even when the external power supply switch 15 has been turned off and the supply of alternating voltage VAC has been stopped. The power supply potentials VCC, VDD, VDDQ

and the ground potentials VSS, VSSQ generated by direct current power supply 6 are applied to the internal power supply switch 7.

[0017]

The internal power supply switch 7 is turned on while signal $\phi 1'$ from memory controller 5 is at the "H" level, power supply potentials VDD, VDDQ and ground potentials VSS, VSSQ are applied to the semiconductor memory 8, and power supply potential VCC is applied to the CPU 2, the ASIC 3, and the memory controller 5, etc. It is turned off while signal $\phi 1'$ is at the "L" level, and the supply of power supply potentials VCC, VDD, VDDQ and ground potentials VSS, VSSQ is cut off.

[0018]

The semiconductor memory 8 is driven by power supply potentials VDD, VDDQ and ground potentials VSS, VSSQ, stores data provided from the memory controller 5, and provides read data to the memory controller 5. In other words, as shown in Fig. 2, the semiconductor memory 8 includes DRAM 9 and a flash memory unit 10, and the flash memory unit 10 includes flash memory 11 and a transfer control circuit 12.

[0019]

The DRAM 9 receives a clock signal CLK, control signals CKE, /CS, /RAS, /CAS, /WE, DQMU, and DQML, and address signals A0 to A11, BA0, and BA1 from the memory controller 5 during normal operations, and stores data DQ0 to DQ15 supplied from the memory controller 5 during a write operation, and supplies read data to the memory controller 5 during a read operation.

[0020]

In addition, the DRAM 9 receives clock signal CLK, control signals CKE, /CS, /RAS, /CAS, /WE, DQMU, and SQML, and address signals A0 to A11, BA0, and BA1 from the transfer control circuit 12 during data fetching and data storage, stores read data DQF0 to DQF15 in the flash memory 11 during data fetching, and supplies read data DQ0 to DQ15 to the flash memory 11 during data storage.

[0021]

The flash memory 11 receives control signals CE#, OE#, WE#, WP#, PR#, BYTE#, and RY/BY# and address signals AF0 to AF21 from the transfer control circuit 12, and stores read data DQ0 to DQ15 from the DRAM 9 during data storage, and supplies read data DQF0 to DQF15 to the DRAM 9 during data fetching.

[0022]

The transfer control circuit 12 transfers data stored in the flash memory 11 to the DRAM 9 in response to the rising edge of the power supply potential VDD, and erases all of the data in the flash memory 11 after completing the data transfer. In addition, the transfer control circuit 12 transfers data in the DRAM 9 to the flash memory 11 in response to a PW OFF signal from the memory controller 5, and sends a READY to signal the memory controller 5 in response to completing the data transfer.

[0023]

Fig. 3 is a flowchart showing the operations performed by the motherboard 1 in Fig. 1 and Fig. 2, and Fig. 4 is a timing chart for these operations. First, when the external power supply switch 15 is turned on while the power supply is off in ① (time t₀), alternating current power supply voltage VAC is supplied to the signal generating circuit 4, signal $\phi 1$ is set to the "H" level, signal $\phi 1'$ is set to the "H" level, and the internal power supply switch 7 is turned on. Output potentials VDD, VDDQ, VSS, and VSSQ from the direct current power supply 6 are supplied to the semiconductor memory 8, and output voltage VCC from the direct current power supply 6 is supplied to CPU 2, ASIC 3, and memory controller 5, etc.

[0024]

After a predetermined amount of time has passed since the rising edge of the power supply potential VDD (time t₀), the transfer control circuit 12 fetches data in ② (times t₁ to t₂). In other words, as shown in Fig. 5, read address signals AF0 to AF21 and read commands (with signals CE# and OE# set to the "L" level and signals WE# and PR# set to the "H" level) synchronized with the clock signal CLK are supplied from the transfer control circuit 12 to the flash memory 11. Meanwhile, a write command (WR) and write address signals A0 to A15 are supplied from the transfer control circuit 12 to the DRAM 9, and the data stored in the flash memory 11 is fetched and stored in the DRAM 9.

[0025]

After the data fetching in ② has been completed, the normal operations in ③ are performed (times t₂ to t₃). During normal operations, the semiconductor memory 8 operates as a DRAM 9 from the perspective of the memory controller 5. The DRAM 9 is in an idle state or access standby when not accessed by the memory controller 5 (ⓐ), and reads and writes data when accessed (ⓑ). However, a refresh operation is periodically performed even while in the idle state.

[0026]

Meanwhile, the data in the flash memory 11 is erased during this period (Ⓒ). The data is erased by the transfer control circuit 12. The data in the flash memory 11 is erased in this manner because all data in the memory cells has to be erased in order to write data to a flash memory 11. The flash memory 11 in which the data in all memory cells has been erased enters an idle state or access standby (ⓓ).

[0027]

When the external power supply switch 15 is turned off in ③ (time t₃), the signal $\phi 1$ reaches the "L" level and the supply of the alternating current power supply voltage VAC for the direct current power supply 6 is stopped. Because the direct current power supply 6 includes rechargeable batteries as described above, it continues to output power supply voltages VCC, VDD, and VDDQ even when the supply of the alternating current power supply voltage VAC is stopped.

[0028]

In addition, a PW OFF pulse signal is outputted from the memory controller 5 to the transfer control circuit 12 in response to the falling edge of signal $\phi 1$ at the "L" level, and data storage in ④ is performed in response by the transfer control circuit 12 (times t₃ to t₄). In other words, as shown in Fig. 6, a read command (RD) and read address signals A0 to A15

synchronized with the clock signal CLK are supplied from the transfer control circuit 12 to the DRAM 9. Meanwhile, write commands (with signals CE# and WE# set to the "L" level and signals OE# and PR# are set to the "H" level) and write address signals AF0 to AF21 are transferred from the transfer control circuit 12 to the flash memory 11. Data stored in the DRAM 9 is fetched and stored in the flash memory 11.

[0029]

After the transfer control circuit 12 has sent the final write address signal to the flash memory 11, the transfer control circuit 12 outputs a READY signal at the "H" level to the memory controller 5 (time t4). In response, signal $\phi 1'$ reaches the "L" level to turn off internal power supply switch 7 (time t5), and the supply of power supply potentials VDD, VDDQ and ground potentials VSS, VSSQ to the semiconductor memory 8 is cut off.

[0030]

Fig. 7 is a diagram showing the configuration of the semiconductor memory 8. A DRAM chip 9' is provided in the center of the package 20, a flash memory chip 11' is provided on the lower side in the figure, and a transfer control circuit chip 12' is provided on the upper side in the figure. Chips 9', 11' and 12' are connected via pads 21 and bonding wires 22.

[0031]

A plurality of pins P1 to P54 are arranged at a predetermined pitch along both long sides of the package 20. Each of pins P1 to P54 is connected via a bonding wire 22 to a pad 21 of the DRAM chip 9'. Pins P1 to P54 are used to apply power supply potentials VDD, VDDQ and ground potentials VSS, VSSQ, input clock signal CLK, control signals CKE, /CS, /RAS, /CAS, /WE, DQMU, and DQML, address signals A0 to A11, BA0, and BA1, input and output data DQ0 to DQ15, input the PW OFF signal, and output the READY signal.

[0032]

In the present embodiment, a DRAM 9, flash memory 11, and transfer control circuit 12 are provided in a semiconductor memory 8, data in the flash memory 11 is transferred to the DRAM 9 in response to the external power supply switch 15 of the personal computer being turned on, the DRAM 9 is used as the semiconductor memory 8 and data in flash memory 11 is erased during normal operations, and data in the DRAM 9 is stored in the flash memory 11 in response to the external power supply switch 15 being turned off. In this way, a semiconductor memory 8 can be realized that enables high-speed access like a DRAM but has data nonvolatility like a flash memory.

[0033]

The cost of the motherboard 1 can also be reduced because a ROM separately mounted on the motherboard 1 becomes unnecessary and a data transfer circuit from the ROM to the main memory becomes unnecessary. Because there is no need to transfer data from the ROM to the main memory, the time from turning on the power to the personal computer becoming ready for use is shortened.

[0034]

Modified examples of this embodiment will now be described. In the modified example shown in Fig. 8, a DRAM chip 9' is provided in the central portion of the package 30, and the

chip 10' for the flash memory unit 10 is provided on the surface of the DRAM chip 9' in the central portion. These chips 9' and 10' are connected via a plurality of pads 21 and bonding wires 22. Note that the pins have been omitted to simplify the drawing. Because the chips 9' and 10' are stacked inside the package 30 in this modified example, the area occupied by the chips 9', 10' is reduced, and the package 30 can be made smaller.

[0035]

In the modified example shown in Fig. 9, a DRAM chip 9' is provided in the central portion of the package 40, and a chip 10' for the flash memory unit 10 is provided on the surface of the DRAM chip 9' in the central portion. These chips 9' and 10' are connected via a plurality of balls 41. The pads 21 of the DRAM chip 9' are connected to external pins P via bonding wires 22. These chips 9', 10' are sealed with a resin 42. In this modified example, the chips 9', 10' are stacked inside the package 40, and the chips 9', 10' are connected via balls 41. In this way, the area occupied by the chips 9', 10' is reduced, and the package 40 can be made smaller.

[0036]

The DRAM 9 and the flash memory unit 10 may also be integrated into a single chip. They can also be sealed in a thinner package by using bumps to connect the chip.

[0037]

Also, as shown in Fig. 10, a module 50 that operates as a single memory unit may be constructed by assembling a plurality of semiconductor memories 8. For example, a 256 MB fast access nonvolatile memory can be realized by mounting eight semiconductor memories 8 in the present invention on the substrate of a Mitsubishi Electric 256 MB 168 pin unbuffered dual inline module. This 256 MB module can also be used as the main memory in a personal computer by pre-storing data that is usually stored in ROM in the flash memory 11 of the semiconductor memory 8. As a result, the data transfer bus between the ROM and the main memory on the motherboard of a conventional personal computer, the bus control circuit, and the ROM become unnecessary. In addition, a module formed using a semiconductor memory 8 of the present invention may be used instead of a conventional floppy disk or CDROM.

[0038]

In the modified example shown in Fig. 11, the module 51 is composed of a plurality of semiconductor memories 8 and a control circuit 52. The control circuit 52 receives direct current power supply potential VDD from a direct current power supply 60 outside of the module 51 via an input terminal 53, and supplies direct current power supply potentials VDD and VDDQ to each semiconductor memory 8 in the module 51. Also, the control circuit 52 supplies a PW OFF signal to each semiconductor memory 8 in response to the supply of the direct current power supply potential VDD from the direct current power supply 60 being stopped, and the supply of the direct current power supply potentials VDD and VDDQ to each semiconductor memory 8 is stopped when a READY signal has been outputted from all of the semiconductor memories 8.

[0039]

In other words, as shown in Fig. 12, the direct current power supply 60 converts the alternating current power supply voltage VAC applied via an external power supply switch

15 into direct current power supply potential VDD. The control circuit 52 includes a rechargeable battery 61, an internal power supply switch 62, a signal generating circuit 63, and an AND gate 64. The rechargeable battery 61 is charged with the direct current power supply potential VDD from the direct current power supply 60 and outputs direct current power supply potentials VDD and VDDQ. The rechargeable battery 61 continues to output direct current power supply potentials VDD and VDDQ for a predetermined period of time even when supply of the direct current power supply potential VDD from the direct current power supply 60 has been stopped.

[0040]

The internal power supply switch 62 receives the output potentials VDD and VDDQ from the rechargeable battery 61, turns on to apply direct current power supply potentials VDD and VDDQ to each semiconductor memory 8 when control signal $\phi 1'$ is at the "H" level, and turns off to stop the supply of direct current power supply potentials VDD and VDDQ to the semiconductor memories 8 when control signal $\phi 1'$ is at the "L" level. The AND gate 64 receives a READY signal from all of the semiconductor memories 8. The output signal $\phi 64$ from the AND gate 64 reaches the "H" level in response to all READY signals reaching the "H" level.

[0041]

The signal generating circuit 63 sets signal $\phi 1'$ to the "H" level to turn on internal power supply switch 62 in response to the external power supply switch 15 being turned on and the direct current power supply potential VDD being outputted from the direct current power supply 60, supplies a PW OFF pulse signal to each semiconductor memory 8 in response to the external power supply switch 15 being turned off and output from the direct current power supply potential VDD from the direct current power supply 60 being stopped, and sets signal $\phi 1'$ to the "L" level to turn off the internal power supply switch 62 in response to the READY signals from all of the semiconductor memories 8 reaching "H" level and the output signal $\phi 64$ from AND gate 64 reaching the "H" level.

[0042]

Because the control circuit 52 generates a PW OFF signal and controls internal power supply switch 62 in response to a READY signal in this modified example, the configuration of the memory controller 5 can be simplified in comparison to the system in Fig. 1 in which the memory controller 5 is responsible for this function.

[0043]

In the modified example shown in Fig. 11, the module 51 is composed of a semiconductor memory 8 in which the DRAM, flash memory, and transfer control circuit are sealed in a single package. However, the present invention is not limited to this modified example, and a chip in which the transfer control circuit is realized using a conventional DRAM, flash memory, ASIC, etc. may be mounted separately on the module board.

[0044]

It should be noted that the embodiments disclosed at this time should be considered as illustrative in all respects and not limitative. The scope of the present invention is indicated by the scope of the claims rather than the description provided above, and is intended to

include all modifications within the scope of the claims and any meaning equivalent to the scope.

[0045]

[Effects of the Invention]

As mentioned above, the invention according to claim 1 is a semiconductor memory apparatus including a volatile semiconductor memory device that reads and writes data in response to the external control signal and the external address signal during normal operation, a nonvolatile semiconductor memory device whose data input and output terminals are connected to the data input and output terminals of the volatile semiconductor memory device, a first transfer control circuit for transferring data in the nonvolatile semiconductor memory device to the volatile semiconductor memory device in response to the application of a power supply voltage, a data erase circuit for erasing stored data in the nonvolatile semiconductor memory device during normal operation after completion of a data transfer, and a second transfer control circuit for transferring data in the volatile semiconductor memory device to the nonvolatile semiconductor memory device in response to the supply of a power stoppage notice signal, and outputting a power stop permission signal in response to the completion of the data transfer. As a result, a semiconductor memory apparatus can be realized that operates as a volatile semiconductor memory device during normal operations and does not lose data even when the power is turned off.

[0046]

The invention in claim 2 is the semiconductor memory apparatus according to claim 1, wherein the semiconductor memory device is housed in a single package. In this case, the semiconductor memory apparatus is easier to handle.

[0047]

The invention in claim 3 is the semiconductor memory apparatus is divided and housed in a plurality of packages forming a module. In this case, the semiconductor memory apparatus is easier to handle, and the storage capacity can be increased.

[0048]

The invention in claim 4 is the semiconductor memory apparatus according to claim 2 or claim 3, wherein a chip including at least a portion of the volatile semiconductor memory device and a chip including at least a portion of the nonvolatile semiconductor memory device are stacked inside the package or packages. In this case, the size of the package or packages can be reduced.

[0049]

The invention in claim 5 is the semiconductor memory apparatus according to any one of claim 1 to claim 4, wherein the volatile semiconductor memory device is a DRAM, and the nonvolatile semiconductor memory device is flash memory. The present invention is particularly effective in this case.

[0050]

The invention in claim 6 is a memory system including a semiconductor memory apparatus according to claim 1 and a power supply circuit for applying a power supply voltage to the semiconductor memory apparatus. The power supply circuit is provided with an external power supply switch having one electrode that receives an external power supply voltage, a signal generating circuit that provides the power stop notice signal to the second transfer control circuit in response to the external power supply switch being turned off, a power supply including a voltage converting circuit connected to the other electrode of the external power supply switch and converting an external power supply voltage applied via the external power supply switch to the power supply voltage and a battery charged with the power supply voltage generated by the voltage converting circuit, and an internal power supply switch that supplies output voltage from the battery to the semiconductor memory apparatus in response to the external power supply switch being turned on, and that stops the supply of output voltage from the battery in response to a power stop permission signal. In this case, a semiconductor memory apparatus can be realized that operates as a volatile semiconductor memory device during normal operations and does not lose data even when the power is turned off, and that can easily transfer data in the volatile semiconductor memory device to the nonvolatile semiconductor memory device when the external power supply switch is turned off.

[Brief Description of the Drawings]

[Fig. 1]

Fig. 1 is a block diagram showing the configuration of the motherboard in a personal computer in an embodiment of the invention.

[Fig. 2]

Fig. 2 is a block diagram showing the configuration of the semiconductor memory in Fig. 1.

[Fig. 3]

Fig. 3 is a flowchart showing operations performed by the motherboard in Fig. 1.

[Fig. 4]

Fig. 4 is a time chart showing operations performed by the motherboard in Fig. 1.

[Fig. 5]

Fig. 5 is a time chart showing a data fetching operation for the semiconductor memory in Fig. 2.

[Fig. 6]

Fig. 6 is a time chart showing a data storage operation for the semiconductor memory in Fig. 2.

[Fig. 7]

Fig. 7 is a diagram showing the configuration of the semiconductor memory in Fig. 2.

[Fig. 8]

Fig. 8 is a diagram showing a modified example of the embodiment.

[Fig. 9]

Fig. 9 is a diagram showing another modified example of the embodiment.

[Fig. 10]

Fig. 10 is a diagram showing yet another modified example of the embodiment.

[Fig. 11]

Fig. 11 is a diagram showing still another modified example of the embodiment.

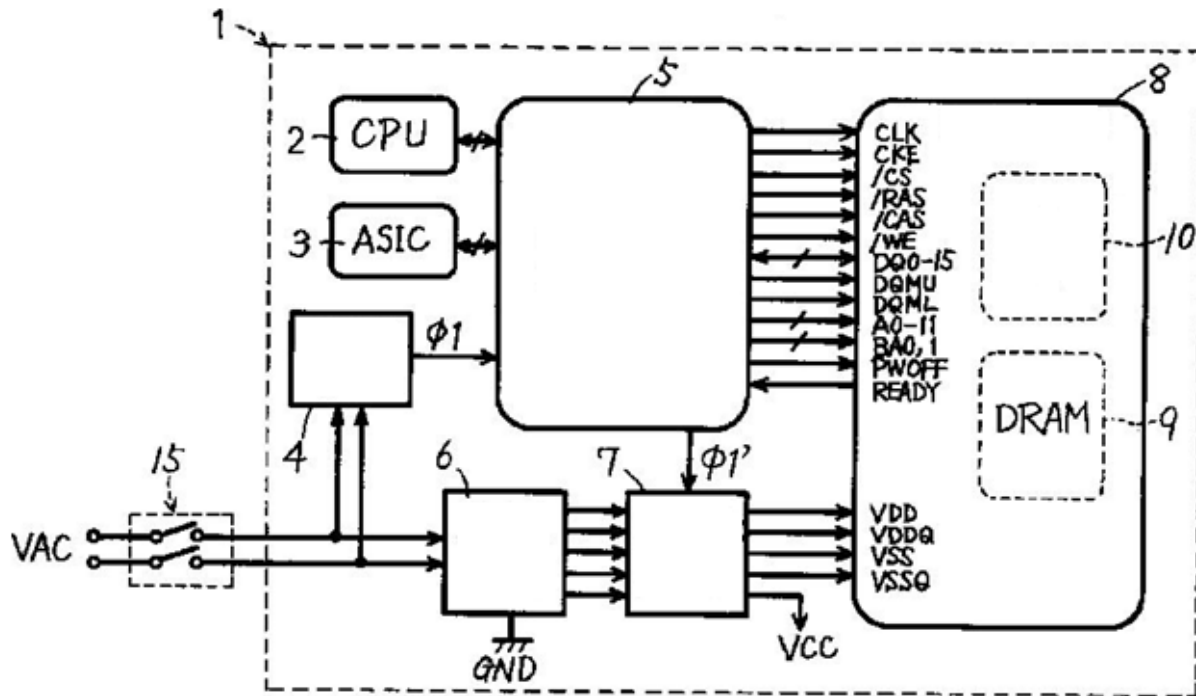
[Fig. 12]

Fig. 12 is a circuit block diagram showing the configuration of the control circuit shown in Fig. 11.

[Key to the Drawings]

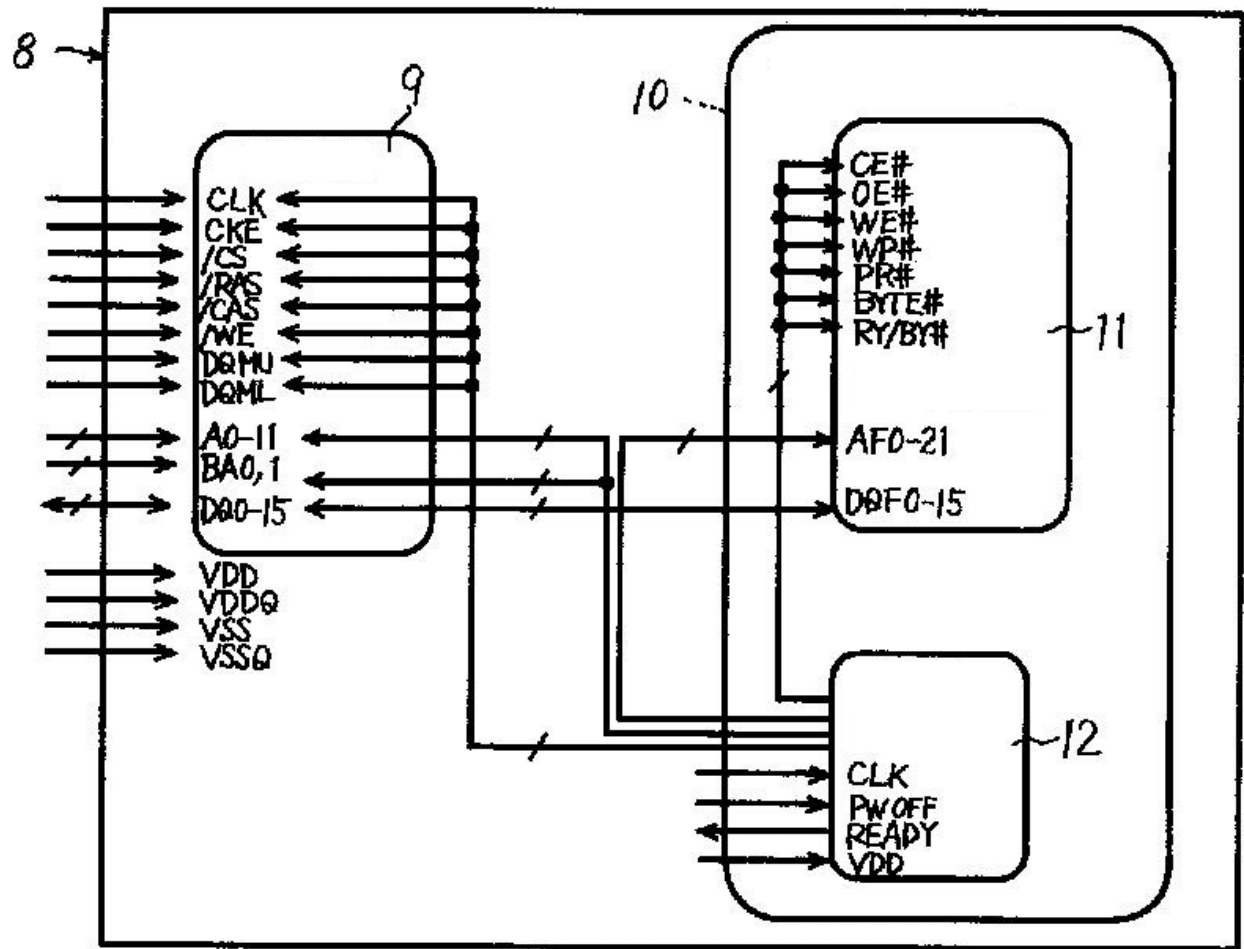
1: Motherboard
2: CPU
3: ASIC
4, 63: Signal generating circuit
5: Memory controller
6, 60: Direct current power supply
7, 62: Internal power supply switch
8: Semiconductor memory
9: DRAM
9': DRAM chip
10: Flash memory unit
10': Flash memory chip
11: Flash memory
11': Flash memory chip
12: Transfer control circuit
12': Transfer control circuit chip
15: External power supply switch
20, 30, 40: Package
21: Pad
22: Bonding wire
41: Ball
50, 51: Module
52: Control circuit
53: Terminal
61: Rechargeable battery
64: AND gate
P: Pin

[Fig. 1]



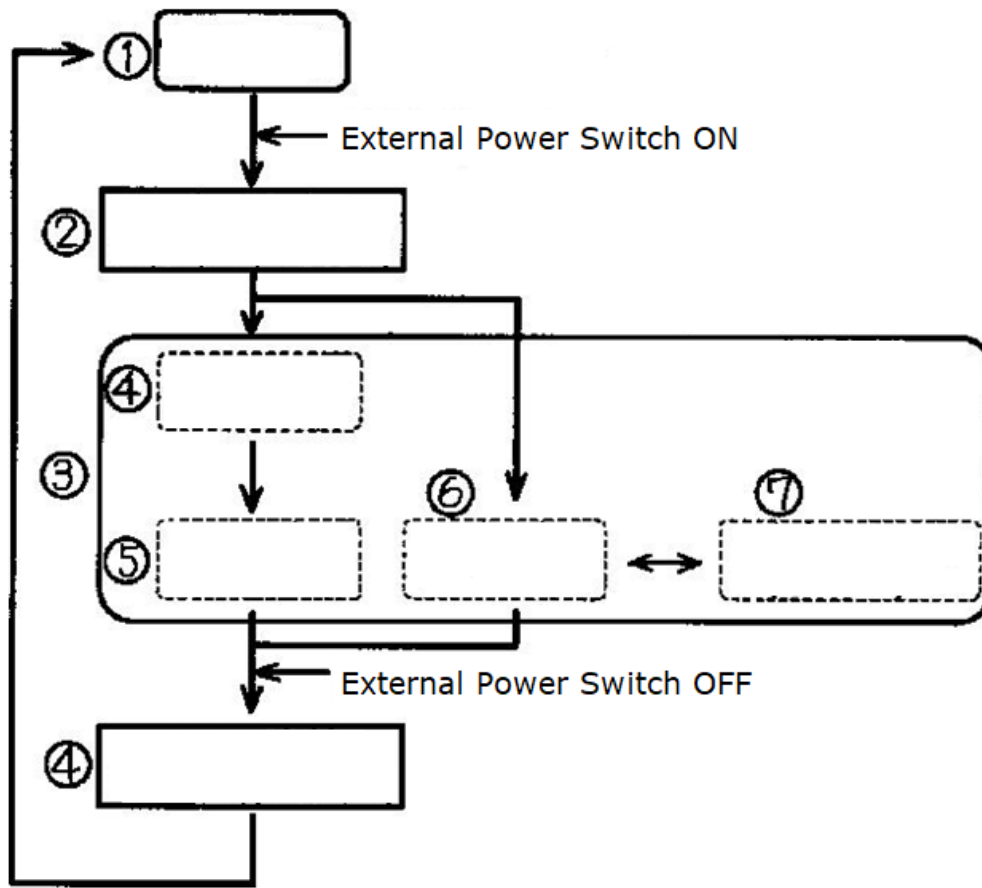
- 4: Signal generating circuit
- 5: Memory controller
- 6: Direct current power supply
- 7: Internal power supply switch
- 8: Semiconductor memory
- 10: Flash memory unit

[Fig. 2]



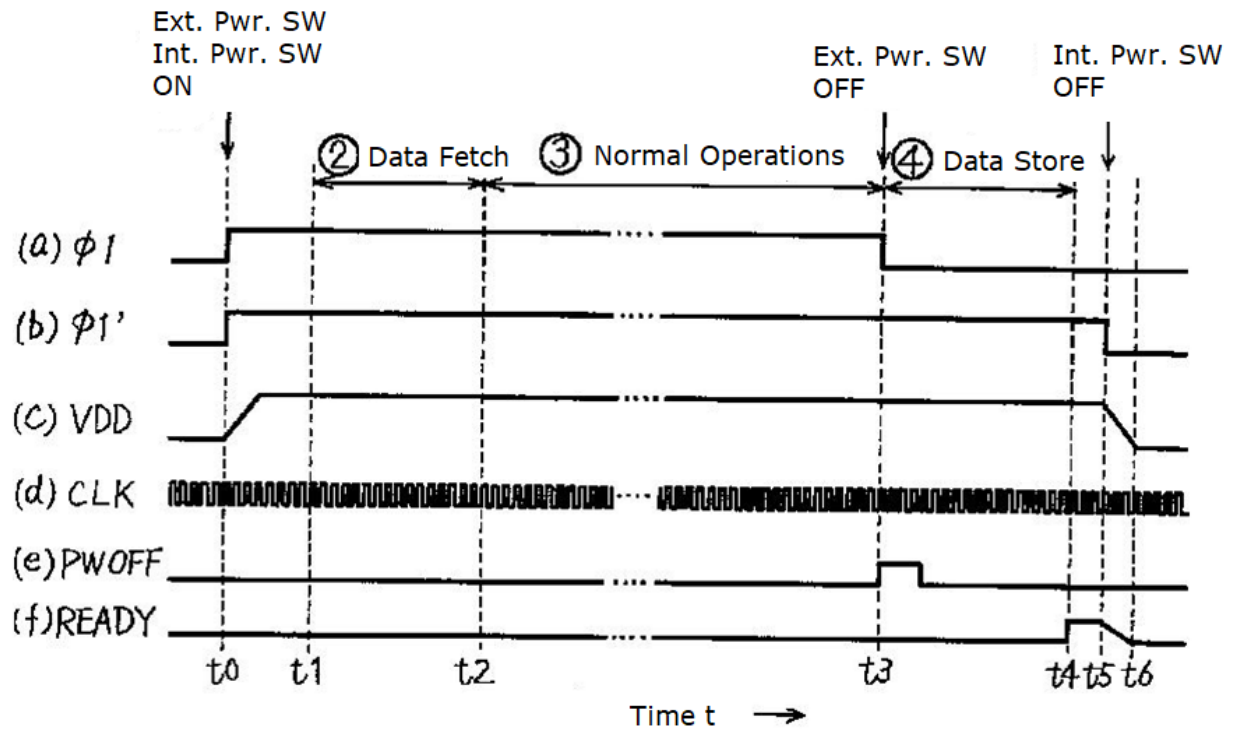
- 9: DRAM
- 10: Flash memory unit
- 11: Flash memory
- 12: Transfer control circuit

[Fig. 3]

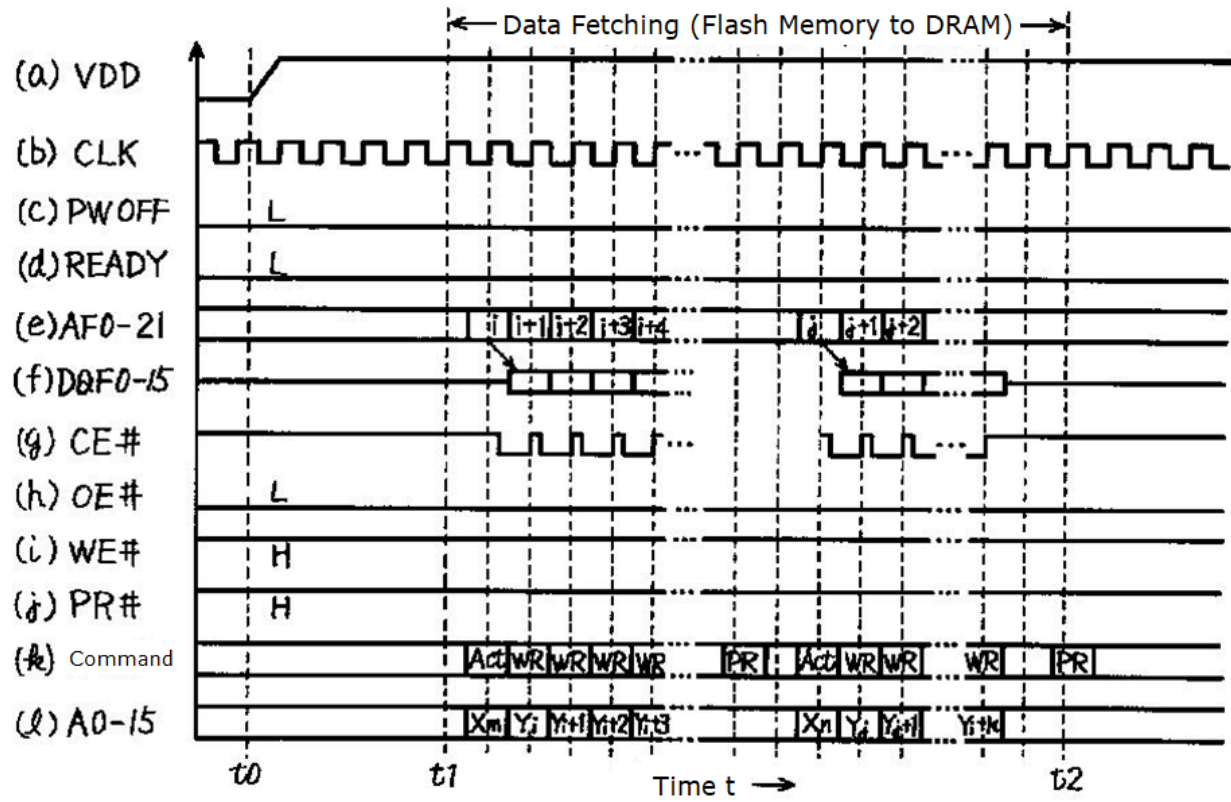


- (1) Power OFF
- (2) Fetch Data (Flash Memory → DRAM)
- (3) Normal Operations
- (4) Delete Data (Flash Memory)
- (5) Idle (Flash Memory)
- (6) Idle (DRAM)
- (7) Read/Write/Refresh (DRAM)
- (4) Store Data (DRAM → Flash Memory)

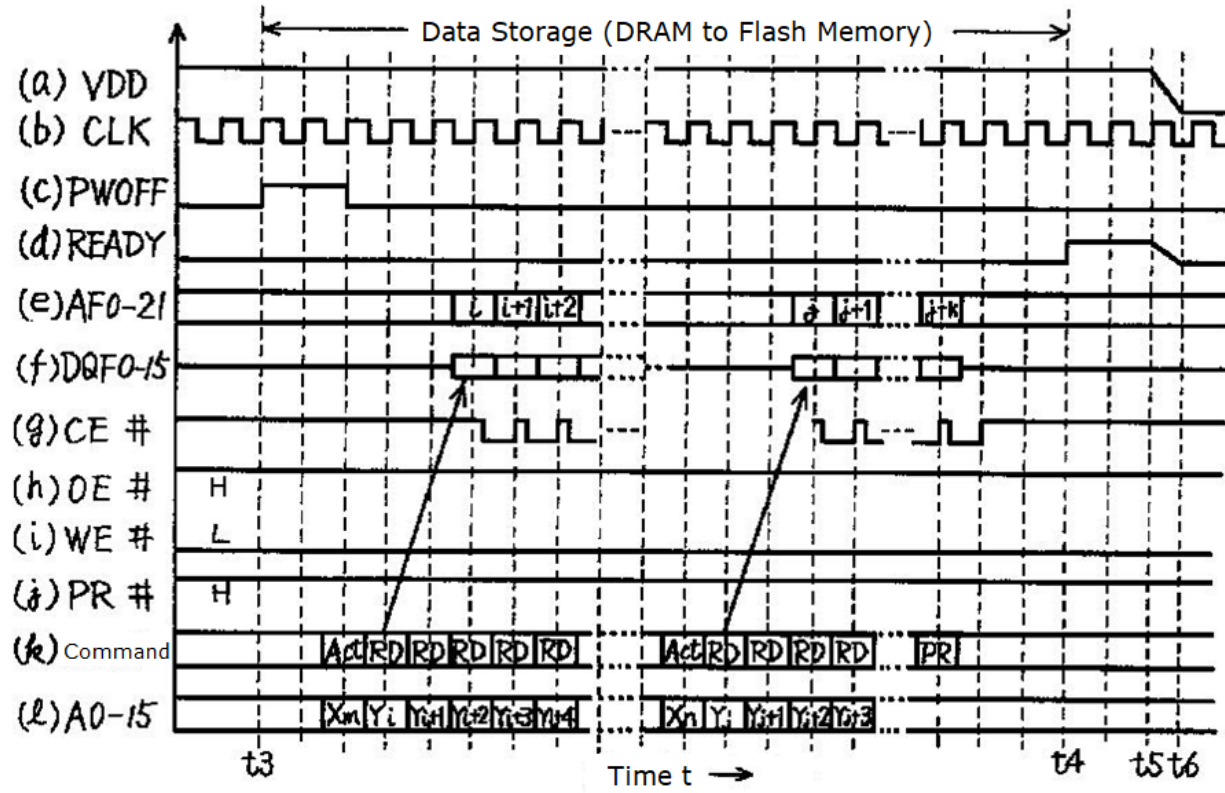
[Fig. 4]



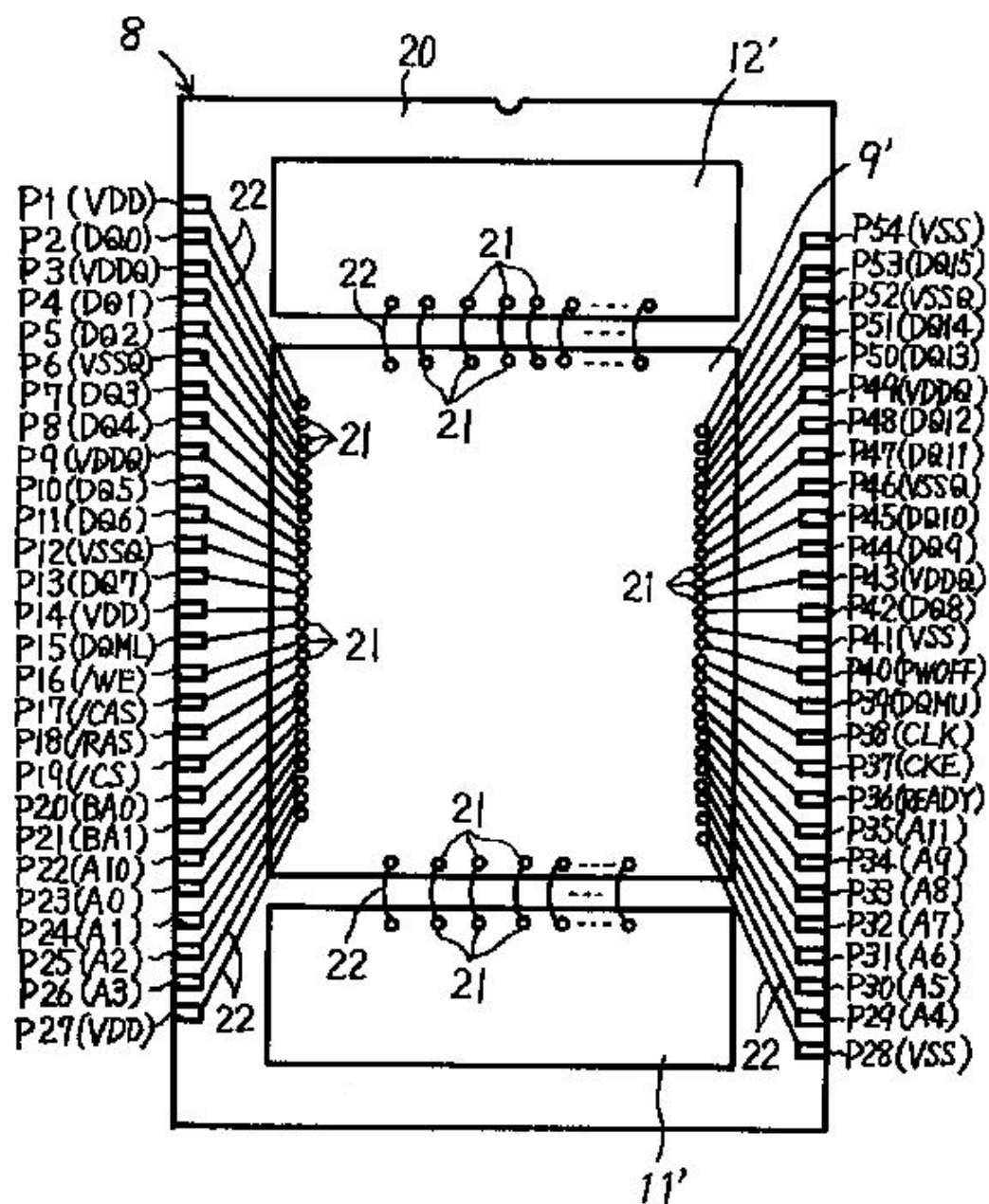
[Fig. 5]



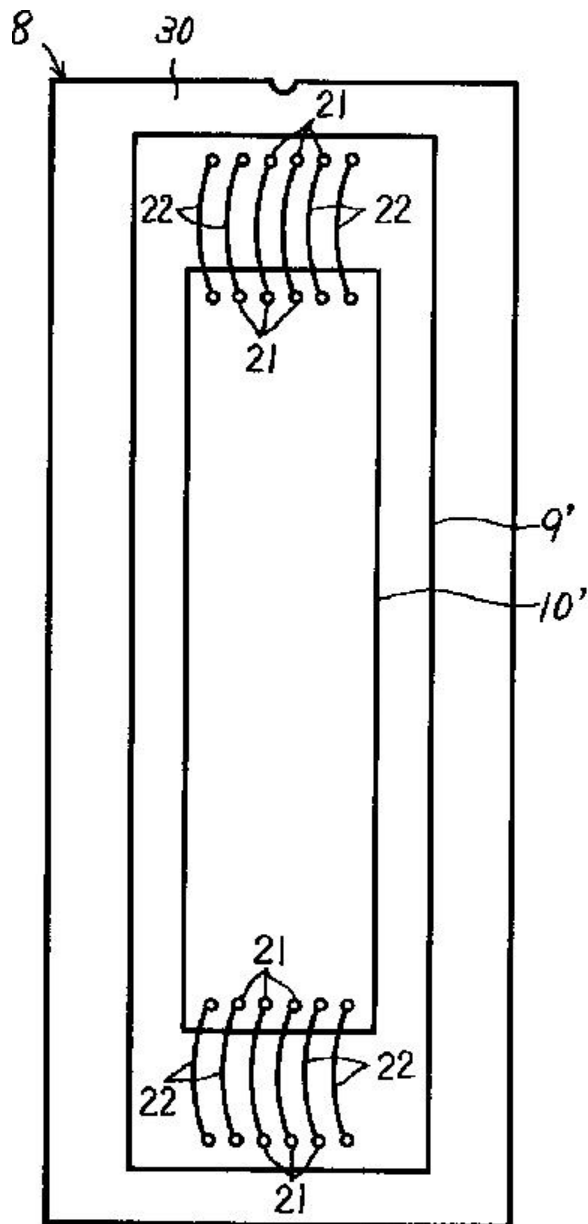
[Fig. 6]



[Fig. 7]

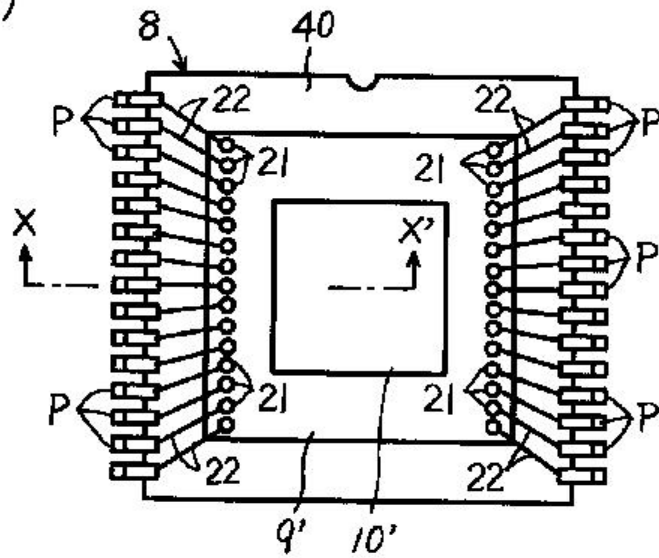


[Fig. 8]

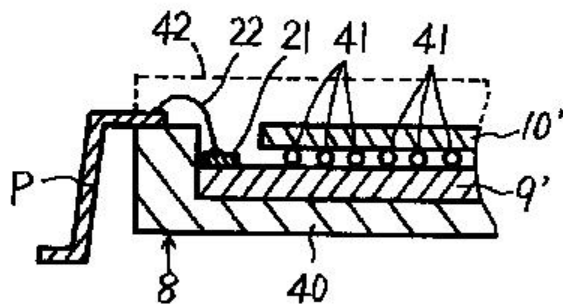


[Fig. 9]

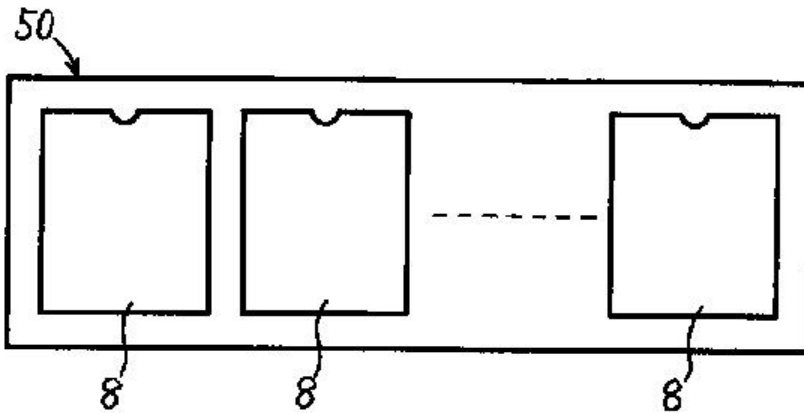
(a)



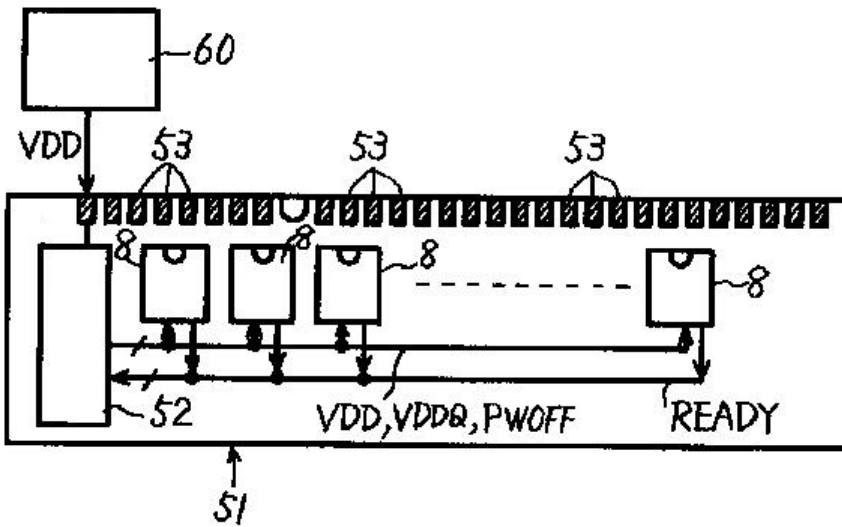
(b)



[Fig. 10]



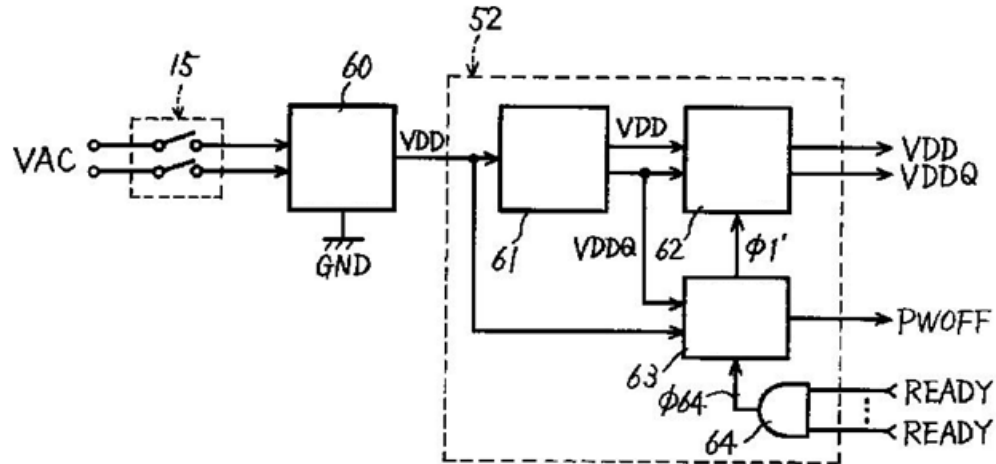
[Fig. 11]



52: Control circuit

60: Direct current power supply

[Fig. 12]



- 60: Direct current power supply
- 61: Rechargeable battery
- 62: Internal power supply switch
- 63: Signal generating circuit

Certification of Accuracy

I, Frank McGee, hereby attest that I am a translator fluent in English and Japanese, that I have translated the attached document from Japanese to English, and that to the best of my knowledge, ability and belief this translation is a true, accurate and complete translation of the original Japanese document that was provided to me.

The document is designated as: #87110_Tomio_JP2001005723A



Frank McGee

23 January 2023

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-5723

(P2001-5723A)

(43)公開日 平成13年1月12日(2001.1.12)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)	
G 0 6 F 12/06	5 2 2	G 0 6 F 12/06	5 2 2 B	5 B 0 2 5
	5 1 5		5 1 5 H	5 B 0 6 0
	5 2 0		5 2 0 F	
G 1 1 C 16/04		G 1 1 C 17/00	6 2 5	

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21)出願番号 特願平11-173852

(22)出願日 平成11年6月21日(1999.6.21)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 鈴木 富夫

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外3名)

Fターム(参考) 5B025 AC05 AE03 AE05

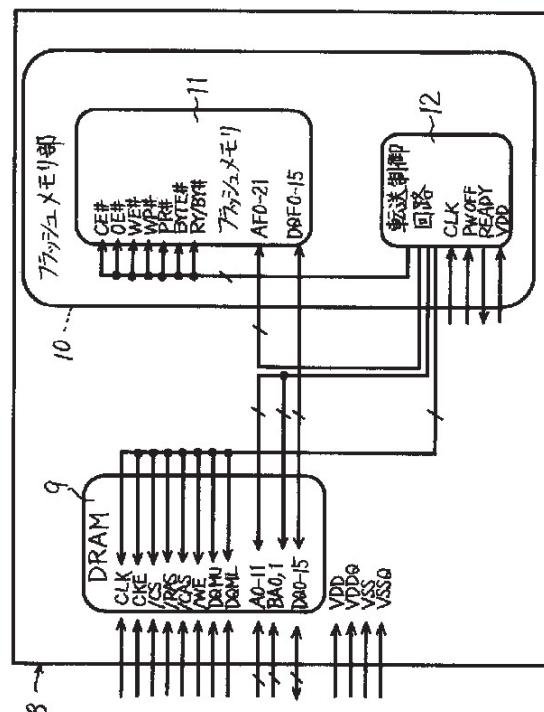
5B060 MM02

(54)【発明の名称】 半導体記憶装置およびそれを用いたメモリシステム

(57)【要約】

【課題】 高速アクセスが可能で、データの不揮発性を有する半導体記憶装置を提供する。

【解決手段】 半導体メモリ8は、DRAM9、フラッシュメモリ11および転送制御回路12を含む。転送制御回路12は、電源電位VDDの立上がりに応答してフラッシュメモリ11のデータをDRAM9に転送させ、外部電源スイッチ15がオフされたことを示す信号PW OFFが与えられたことに応じてDRAM9のデータをフラッシュメモリ11に転送させ、内部電源スイッチ7をオフさせるための信号READYを出力する。通常動作時はDRAM9として動作し、電源オフ時はフラッシュメモリ11として動作する。



【特許請求の範囲】

【請求項1】 外部制御信号および外部アドレス信号に応答してデータの読出／書込を行なう半導体記憶装置であって、

通常動作時は前記外部制御信号および前記外部アドレス信号に応答して前記データの読出／書込を行なう揮発性半導体記憶装置、

そのデータ入出力端子が前記揮発性半導体記憶装置のデータ入出力端子に接続された不揮発性半導体記憶装置、前記半導体記憶装置に電源電圧が与えられたことに応じて、前記不揮発性半導体記憶装置のデータを前記揮発性半導体記憶装置に転送させる第1の転送制御回路、前記不揮発性半導体記憶装置から前記揮発性半導体記憶装置へのデータ転送が終了したことに応じて、前記通常動作時に前記不揮発性半導体記憶装置の記憶データを消去するデータ消去回路、および前記電源電圧の供給が停止されることを予告するための電源停止予告信号が与えられたことに応じて前記揮発性半導体記憶装置のデータを前記不揮発性半導体記憶装置に転送させ、そのデータ転送が終了したことに応じて前記電源電圧の供給の停止を許可するための電源停止許可信号を出力する第2の転送制御回路を備える、半導体記憶装置。

【請求項2】 前記半導体記憶装置は、1つのパッケージ内に収容されている、請求項1に記載の半導体記憶装置。

【請求項3】 前記半導体記憶装置は、複数のパッケージ内に分割して収容されてモジュール化されている、請求項1に記載の半導体記憶装置。

【請求項4】 前記揮発性半導体記憶装置の少なくとも一部を含むチップと前記不揮発性半導体記憶装置の少なくとも一部を含むチップとは、前記パッケージ内で積層されている、請求項2または請求項3に記載の半導体記憶装置。

【請求項5】 前記揮発性半導体記憶装置はDRAMであり、前記不揮発性半導体記憶装置はフラッシュメモリである、請求項1から請求項4のいずれかに記載の半導体記憶装置。

【請求項6】 メモリシステムであって、外部制御信号および外部アドレス信号に応答してデータの読出／書込を行なう半導体記憶装置、および前記半導体記憶装置に電源電圧を与えるための電源回路を備え、前記半導体記憶装置は、通常動作時は前記外部制御信号および前記外部アドレス信号に応答して前記データの読出／書込を行なう揮発性半導体記憶装置、

そのデータ入出力端子が前記揮発性半導体記憶装置のデータ入出力端子に接続された不揮発性半導体記憶装置、前記半導体記憶装置に前記電源電圧が与えられたことに応じて、前記不揮発性半導体記憶装置のデータを前記揮

発性半導体記憶装置に転送させる第1の転送制御回路、前記不揮発性半導体記憶装置から前記揮発性半導体記憶装置へのデータ転送が終了したことに応じて、前記通常動作時に前記不揮発性半導体記憶装置の記憶データを消去するデータ消去回路、および前記電源電圧の供給が停止されることを予告するための電源停止予告信号が与えられたことに応じて前記揮発性半導体記憶装置のデータを前記不揮発性半導体記憶装置に転送させ、そのデータ転送が終了したことに応じて前記電源電圧の供給の停止を許可するための電源停止許可信号を出力する第2の転送制御回路を含み、

前記電源回路は、

その一方電極が外部電源電圧を受ける外部電源スイッチ、

前記外部電源スイッチが非導通状態にされたことに応じて前記電源停止予告信号を前記第2の転送制御回路に与える信号発生回路、

前記外部電源スイッチの他方電極に接続され、前記外部電源スイッチを介して与えられた外部電源電圧を前記電源電圧に変換する電圧変換回路と、該電圧変換回路で生成された電源電圧で充電された電池とを含む電源、およびその一方電極が前記電源の前記電池の出力電圧を受け、その他方電極が前記半導体記憶装置の電源端子に接続され、前記外部電源スイッチが導通状態にされたことに応じて導通し、前記第2の転送制御回路から前記電源停止許可信号が出力されたことに応じて非導通になる内部電源スイッチを含む、メモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置およびそれを用いたメモリシステムに関し、特に、外部制御信号および外部アドレス信号に応答してデータの読出／書込を行なう半導体記憶装置およびそれを用いたメモリシステムに関する。

【0002】

【従来の技術】現在種々の用途に使用されているDRAMは、高速アクセスが可能であるが、揮発性メモリであるため電源をオフした場合は記憶されていた情報が失われてしまう。このため、ハードディスクやフラッシュメモリカードなどの不揮発性記憶媒体にDRAMの情報を書込んでからDRAMの電源をオフする必要がある。また再度電源を投入した後は、まずハードディスクやフラッシュメモリカードなどの不揮発性記憶媒体の中の一部のデータをDRAMに書込む必要がある。

【0003】たとえばパーソナルコンピュータの主記憶としてDRAMが使用されているが、電源投入直後にはDRAMには何も記憶されていないので、まず最初に、キーボードあるいはハードディスクとのデータのやり取りをするための基本プログラムなどをDRAMに書込む必要がある。通常、上記の基本プログラムなどはROM

に記憶されているものを使用するため、パーソナルコンピュータのマザーボードには、DRAMと、ROMと、ROMからDRAMへデータを転送するためのデータバスおよび制御回路を実装する必要があった。

【0004】

【発明が解決しようとする課題】しかし、上記ROMからDRAMへのデータ転送は低速であるため、パーソナルコンピュータに電源を投入してから実際にパーソナルコンピュータで作業を開始できるまでにある程度の時間を要し、この時間を短縮できないという問題があった。

【0005】それゆえに、この発明の主たる目的は、高速アクセスが可能で、かつデータの揮発性を有する半導体記憶装置およびそれを用いたメモリシステムを提供することである。

【0006】

【課題を解決するための手段】請求項1に係る発明は、外部制御信号および外部アドレス信号に応答してデータの読出／書込を行なう半導体記憶装置であって、揮発性半導体記憶装置、不揮発性半導体記憶装置、第1の転送制御回路、データ消去回路、および第2の転送制御回路を備える。揮発性半導体記憶装置は、通常動作時は外部制御信号および外部アドレス信号に応答してデータの読出／書込を行なう。不揮発性半導体記憶装置のデータ入出力端子は揮発性半導体記憶装置のデータ入出力端子に接続される。第1の転送制御回路は、半導体記憶装置に電源電圧が与えられたことに応じて、不揮発性半導体記憶装置のデータを揮発性半導体記憶装置に転送させる。データ消去回路は、不揮発性半導体記憶装置から揮発性半導体記憶装置へのデータ転送が終了したことに応じて、通常動作時に不揮発性半導体記憶装置の記憶データを消去する。第2の転送制御回路は、電源電圧の供給が停止されることを予告するための電源停止予告信号が与えられたことに応じて揮発性半導体記憶装置のデータを不揮発性半導体記憶装置に転送させ、そのデータ転送が終了したことに応じて電源電圧の供給の停止を許可するための電源停止許可信号を出力する。

【0007】請求項2に係る発明では、請求項1に係る発明の半導体記憶装置は、1つのパッケージ内に収容されている。

【0008】請求項3に係る発明では、請求項1に係る発明の半導体記憶装置は、複数のパッケージ内に分割して収容されてモジュール化されている。

【0009】請求項4に係る発明では、請求項2または3に係る発明の揮発性半導体記憶装置の少なくとも一部を含むチップと不揮発性半導体記憶装置の少なくとも一部を含むチップとは、パッケージ内で積層されている。

【0010】請求項5に係る発明では、請求項1から4のいずれかに係る発明の揮発性半導体記憶装置はDRAMであり、不揮発性半導体記憶装置はフラッシュメモリである。

【0011】請求項6に係る発明は、メモリシステムであって、外部制御信号および外部アドレス信号に応答してデータの読出／書込を行なう半導体記憶装置と、半導体記憶装置に電源電圧を与えるための電源回路を備える。半導体記憶装置は、揮発性半導体記憶装置、揮発性半導体記憶装置、第1の転送制御回路、データ消去回路、および第2の転送制御回路を含む。揮発性半導体記憶装置は、通常動作時は外部制御信号および外部アドレス信号に応答してデータの読出／書込を行なう。不揮発性半導体記憶装置のデータ入出力端子は揮発性半導体記憶装置のデータ入出力端子に接続される。第1の転送制御回路は、半導体記憶装置に電源電圧が与えられたことに応じて、不揮発性半導体記憶装置のデータを揮発性半導体記憶装置に転送させる。データ消去回路は、不揮発性半導体記憶装置から揮発性半導体記憶装置へのデータ転送が終了したことに応じて、通常動作時に不揮発性半導体記憶装置の記憶データを消去する。第2の転送制御回路は、電源電圧の供給が停止されることを予告するための電源停止予告信号が与えられたことに応じて揮発性半導体記憶装置のデータを不揮発性半導体記憶装置に転送させ、そのデータ転送が終了したことに応じて電源電圧の供給の停止を許可するための電源停止許可信号を出力する。電源回路は、外部電源スイッチ、信号発生回路、電源、および内部電源スイッチを含む。外部電源スイッチの一方電極は外部電源電圧を受ける。信号発生回路は、外部電源スイッチが非導通状態にされたことに応じて電源停止予告信号を第2の転送制御回路に与える。電源は、外部電源スイッチの他方電極に接続され、外部電源スイッチを介して与えられた外部電源電圧を電源電圧に変換する電圧変換回路と、その電圧変換回路で生成された電源電圧で充電された電池とを含む。内部電源スイッチは、その一方電極が電源の電池の出力電圧を受け、その他方電極が半導体記憶装置の電源端子に接続され、外部電源スイッチが導通状態にされたことに応じて導通し、第2の転送制御回路から電源停止許可信号が出力されたことに応じて非導通になる。

【0012】

【発明の実施の形態】図1は、この発明の一実施の形態によるパーソナルコンピュータのマザーボード1の要部を示すブロック図である。図1を参照して、このマザーボード1は、CPU2、ASIC3、信号発生回路4、メモリコントローラ5、直流電源6、内部電源スイッチ7、および半導体メモリ8を備える。

【0013】CPU2は、各種の演算および制御動作を実行する。ASIC3は、キーボード、ハードディスク、液晶パネルなどの表示装置などとデータの授受を行なうための特定用途向け半導体集積回路装置である。

【0014】信号発生回路4は、外部電源スイッチ15の出力端子に接続され、信号φ1を生成してメモリコントローラ5に与える。信号φ1は、外部電源スイッチ1

5がオンされて交流電源電圧VACが与えられたことに応じて「H」レベルとなり、外部電源スイッチ15がオフされたことに応じて「L」レベルとなる。

【0015】メモリコントローラ5は、CPU2と主記憶である半導体メモリ8との間でデータの授受を行なう。また、メモリコントローラ5は、外部電源スイッチ15がオンされて信号φ1が「H」レベルになったことに応じて信号φ1'を「H」レベルにして内部電源スイッチ7をオンさせ、外部電源スイッチ15がオフされて信号φ1が「L」レベルになったことに応じてパルス信号PWOFF（電源停止予告信号）を半導体メモリ8に与え、半導体メモリ8から信号READY（電源停止許可信号）が与えられたことに応じて信号φ1'を「L」レベルにして内部電源スイッチ7をオフさせる。

【0016】直流電源6は、外部電源スイッチ15を介して与えられる交流電源電圧VACを整流、平滑化などしてマザーボード1用の直流電源電圧VCC、VDD、VDDQに変換する電圧変換回路と、それぞれが電圧変換回路で生成された複数の直流電源電圧VCC、VDD、VDDQで充電される複数の充電式電池とを含む。直流電源6は、充電式電池を内蔵しているので、外部電源スイッチ15がオフされて交流電圧VACの供給が停止されても所定時間は電源電圧VCC、VDD、VDDQを供給する。直流電源6で生成された電源電位VCC、VDD、VDDQおよび接地電位VSS、VSSQは内部電源スイッチ7に与えられる。

【0017】内部電源スイッチ7は、メモリコントローラ5からの信号φ1'が「H」レベルの期間はオンして電源電位VDD、VDDQおよび接地電位VSS、VSSQを半導体メモリ8に与えると同時に電源電位VCCをCPU2、ASIC3、メモリコントローラ5などに与え、信号φ1'が「L」の期間はオフして電源電位VCC、VDD、VDDQおよび接地電位VSS、VSSQの供給を遮断する。

【0018】半導体メモリ8は、電源電位VDD、VDDQおよび接地電位VSS、VSSQによって駆動され、メモリコントローラ5から与えられたデータを記憶するとともに、読出したデータをメモリコントローラ5に与える。すなわち、半導体メモリ8は、図2に示すように、DRAM9およびフラッシュメモリ部10を備え、フラッシュメモリ部10はフラッシュメモリ11および転送制御回路12を含む。

【0019】DRAM9は、通常動作時はメモリコントローラ5からクロック信号CLK、制御信号CKE、/CS、/RAS、/CAS、/WE、DQMU、DQML、およびアドレス信号A0～A11、BA0、BA1を受け、書込動作時はメモリコントローラ5から与えられたデータDQ0～DQ15を記憶し、読出動作時は読出データをメモリコントローラ5に与える。

【0020】また、DRAM9は、データ取出時および

データ格納時は転送制御回路12からクロック信号CLK、制御信号CKE、/CS、/RAS、/CAS、/WE、DQMU、SQML、およびアドレス信号A0～A11、BA0、BA1を受け、データ取出時はフラッシュメモリ11の読出データDQF0～DQF15を記憶し、データ格納時は読出データDQ0～DQ15をフラッシュメモリ11に与える。

【0021】フラッシュメモリ11は、転送制御回路12から制御信号CE#、OE#、WE#、WP#、PR#、BYTE#、RY/BY#、アドレス信号AF0～AF21を受け、データ格納時はDRAM9の読出データDQ0～DQ15を記憶し、データ取出時は読出データDQF0～DQF15をDRAM9に与える。

【0022】転送制御回路12は、電源電位VDDの立上がりエッジにตอบสนองして、フラッシュメモリ11に格納されたデータをDRAM9に転送させ、データ転送を終了した後はフラッシュメモリ11のデータを一括消去する。また、転送制御回路12は、メモリコントローラ5から信号PWOFFが与えられたことに応じてDRAM9のデータをフラッシュメモリ11に転送させ、データ転送が終了したことに応じて信号READYをメモリコントローラ5に与える。

【0023】図3は図1および図2に示したマザーボード1の動作を示すフロー図、図4はその動作を示すタイムチャートである。まず①の電源オフ状態において外部電源スイッチ15がオンされると（時刻t0）、信号発生回路4に交流電源電圧VACが供給されて信号φ1が「H」レベルになり、信号φ1'が「H」レベルになって内部電源スイッチ7がオンされる。直流電源6の出力電位VDD、VDDQ、VSS、VSSQが半導体メモリ8に供給されるとともに直流電源6の出力電圧VCCがCPU2、ASIC3、メモリコントローラ5などに供給される。

【0024】電源電位VDDの立上がりエッジ（時刻t0）から所定時間経過した後、転送制御回路12によって②のデータ取出が行なわれる（時刻t1～t2）。すなわち、図5に示すように、クロック信号CLKに同期して読出アドレス信号AF0～AF21と読出コマンド（信号CE#、OE#が「L」レベルにされ、信号WE#、PR#が「H」レベルにされる）が転送制御回路12からフラッシュメモリ11に与えられる一方、書込コマンド（WR）と書込アドレス信号A0～A15が転送制御回路12からDRAM9に与えられ、フラッシュメモリ11に格納されていたデータが取出されてDRAM9に格納される。

【0025】②のデータ取出が終了した後は、③の通常動作が行なわれる（時刻t2～t3）。通常動作時はメモリコントローラ5から見て、半導体メモリ8はDRAM9として動作する。DRAM9は、メモリコントローラ5によってアクセスされない期間はアクセス待ちのア

アイドル状態となり(⑥)、アクセスされた場合はデータの読出/書込を行なう(⑦)。ただし、アイドル状態でも定期的にリフレッシュ動作が実施される。

【0026】一方、フラッシュメモリ11のデータは、この期間に消去される(④)。データの消去は、転送制御回路12によって行なわれる。このようにフラッシュメモリ11のデータを消去するのは、フラッシュメモリ11にデータを書込むためには、一旦全メモリセルのデータを消去しておく必要があるからである。全メモリセルのデータが消去されたフラッシュメモリ11は、アクセス待ちのアイドル状態となる(⑤)。

【0027】③の状態において外部電源スイッチ15がオフされると(時刻t3)、信号φ1が「L」レベルになるとともに直流電源6用の交流電源電圧VACの供給が停止される。上述のとおり直流電源6は充電式電池を含んでいるので交流電源電圧VACの供給が停止されても電源電圧VCC, VDD, VDDQを出力し続ける。

【0028】また、信号φ1の「L」レベルへの立下がりエッジにตอบสนองしてパルス信号PWOFFがメモリコントローラ5から転送制御回路12に出力され、これに応じて転送制御回路12によって④のデータ格納が行なわれる(時刻t3～t4)。すなわち、図6に示すように、クロック信号CLKに同期して読出コマンド(RD)と読出アドレス信号A0～A15が転送制御回路12からDRAM9に与えられる一方、書込コマンド(信号CE#, WE#が「L」レベルにされ、信号OE#, PR#が「H」レベルにされる)および書込アドレス信号AF0～AF21が転送制御回路12からフラッシュメモリ11に与えられ、DRAM9の記憶データが取出されてフラッシュメモリ11に格納される。

【0029】転送制御回路12からフラッシュメモリ11に最後の書込アドレス信号が与えられた後、転送制御回路12からメモリコントローラ5に「H」レベルの信号READYが出力される(時刻t4)。これに応じて信号φ1が「L」レベルとなって内部電源スイッチ7がオフされ(時刻t5)、半導体メモリ8への電源電位VDD, VDDQおよび接地電位VSS, VSSQの供給が遮断される。

【0030】図7は、半導体メモリ8の構成を示す図である。パッケージ20の中央部にDRAMチップ9'が設けられ、その図中下側にフラッシュメモリチップ11'が設けられ、その図中上側に転送制御回路チップ12'が設けられる。チップ9', 11', 12'間はパッド21およびボンディングワイヤ22で接続されている。

【0031】パッケージ20の両側の長辺に沿って複数のピンP1～P54が所定のピッチで配置されている。ピンP1～P54の各々は、ボンディングワイヤ22によってDRAMチップ9'のパッド21に接続されている。ピンP1～P54は、電源電位VDD, VDDQお

よび接地電位VSS, VSSQの印加、クロック信号CLK、制御信号CKE, /CS, /RAS, /CAS, /WE, DQMU, DQML、アドレス信号A0～A11, BA0, BA1の入力、データDQ0～DQ15の入出力、信号PWOFFの入力、信号READYの出力に用いられる。

【0032】この実施の形態では、半導体メモリ8内にDRAM9、フラッシュメモリ11および転送制御回路12を設け、パーソナルコンピュータの外部電源スイッチ15がオンされたことに応じてフラッシュメモリ11のデータをDRAM9に転送し、通常動作時は半導体メモリ8をDRAM9として使用するとともにフラッシュメモリ11のデータを消去し、外部電源スイッチ15がオフされたことに応じてDRAM9のデータをフラッシュメモリ11に格納する。したがって、DRAMと同様に高速アクセスが可能でフラッシュメモリと同様にデータの不揮発性を有する半導体メモリ8を実現できる。

【0033】また、従来マザーボード1上に別途実装されていたROMが不要となりかつROMから主記憶へのデータ転送回路が不要となるため、マザーボード1の低コスト化が図られる。また、ROMから主記憶へのデータ転送が不要となるため、電源投入からパーソナルコンピュータが使用可能になるまでの時間が短縮される。

【0034】以下、この実施の形態の変更例について説明する。図8の変更例では、パッケージ30の中央部にDRAMチップ9'が設けられ、DRAMチップ9'の表面中央部にフラッシュメモリ部10のチップ10'が設けられる。チップ9'と10'は、複数のパッド21およびボンディングワイヤ22で接続される。なお、ピンは図面の簡単化のため省略されている。この変更例では、チップ9'と10'をパッケージ30内で積層したので、チップ9', 10'が占める面積が小さくなり、パッケージ30は小さくてすむ。

【0035】図9の変更例では、パッケージ40の中央部にDRAMチップ9'が設けられ、DRAMチップ9'の表面中央部にフラッシュメモリ部10のチップ10'が設けられる。チップ9'と10'は、複数のボール41で接続される。DRAMチップ9'のパッド21と外部ピンPはボンディングワイヤ22で接続される。チップ9', 10'は、樹脂42によって封止される。この変更例では、チップ9'と10'をパッケージ40内で積層し、かつチップ9'と10'をボール41で接続したので、チップ9', 10'が占める面積が小さくなり、パッケージ40が小さくてすむ。

【0036】また、DRAM9とフラッシュメモリ部10を1チップ化してもよい。チップの接続にバンパを用いることにより、より薄型のパッケージに封止できる。

【0037】また、図10に示すように、複数の半導体メモリ8を組立てて1つのメモリとして動作するモジュール50を構成してもよい。たとえば、当社の256M

B168 pin UnBuffered dual in lineモジュールの基板に本願発明の半導体メモリ8を8個搭載して256MBの高速アクセス可能な不揮発性メモリを実現することが可能である。この256MBのモジュールは、従来はROMに記憶させていたデータを半導体メモリ8のフラッシュメモリ11に予め記憶しておくことにより、パーソナルコンピュータの主記憶として使用することも可能である。これにより、従来パーソナルコンピュータのマザーボード上に設けられていたROMと主記憶の間のデータ転送用バス、その制御回路およびROMを不要とすることができる。また、本願発明の半導体メモリ8を用いて形成したモジュールを、従来のフロッピーやCDROMの代わりに使用してもよい。

【0038】図11の変更例では、複数の半導体メモリ8と制御回路52とでモジュール51が構成される。制御回路52は、モジュール51外の直流電源60から入力端子53を介して直流電源電位VDDを受け、モジュール51内の各半導体メモリ8に直流電源電位VDD、VDDQを与える。また、制御回路52は、直流電源60からの直流電源電位VDDの供給が停止されたことに応じて信号PWOFFを各半導体メモリ8に与え、全半導体メモリ8から信号READYが出力されたことに応じて各半導体メモリ8への直流電源電位VDD、VDDQの供給を停止する。

【0039】すなわち、直流電源60は、図12に示すように、外部電源スイッチ15を介して与えられる交流電源電圧VACを直流電源電位VDDに変換する。制御回路52は、充電式電池61、内部電源スイッチ62、信号発生回路63およびANDゲート64を含む。充電式電池61は、直流電源60からの直流電源電位VDDで充電され、直流電源電位VDD、VDDQを出力する。充電式電池61は、直流電源60からの直流電源電位VDDの供給が停止されても、所定時間は直流電源電位VDD、VDDQを出力し続ける。

【0040】内部電源スイッチ62は、充電式電池61の出力電位VDD、VDDQを受け、制御信号φ1'が「H」レベルの期間はオンして直流電源電位VDD、VDDQを各半導体メモリ8に与え、制御信号φ1'が「L」レベルの期間はオフして直流電源電位VDD、VDDQの半導体メモリ8への供給を停止する。ANDゲート64は、全半導体メモリ8から信号READYを受ける。ANDゲート64の出力信号φ64は、すべての信号READYが「H」レベルになったことに応じて「H」レベルとなる。

【0041】信号発生回路63は、外部電源スイッチ15がオンされて直流電源60から直流電源電位VDDが出力されたことに応じて信号φ1'を「H」レベルにして内部電源スイッチ62をオンさせ、外部電源スイッチ15がオフされて直流電源60からの直流電源電位VDDの出力が停止されたことに応じてパルス信号PWOFF

Fを各半導体メモリ8に与え、全半導体メモリ8からの信号READYが「H」レベルになってANDゲート64の出力信号φ64が「H」レベルになったことに応じて信号φ1'を「L」レベルにし内部電源スイッチ62をオフさせる。

【0042】この変更例では、制御回路52が信号PWOFFを生成するとともに信号READYに応答して内部電源スイッチ62を制御するので、この機能をメモリコントローラ5に負担させていた図1のシステムに比べてメモリコントローラ5の構成の簡単化を図ることができる。

【0043】なお、図11の変更例では、DRAM、フラッシュメモリおよび転送制御回路を1つのパッケージ内に封入した半導体メモリ8でモジュール51を構成したが、これに限るものではなく、従来のDRAM、フラッシュメモリおよびASICなどで転送制御回路を実現したチップをモジュール基板上に別々に搭載してもよい。

【0044】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0045】

【発明の効果】以上のように、請求項1に係る発明の半導体記憶装置では、通常動作時は外部制御信号および外部アドレス信号に応答してデータの読出／書込を行なう揮発性半導体記憶装置と、そのデータ入出力端子が揮発性半導体記憶装置のデータ入出力端子に接続された不揮発性半導体記憶装置と、電源電圧が与えられたことに応じて不揮発性半導体記憶装置のデータを揮発性半導体記憶装置に転送する第1の転送制御回路と、データ転送終了後の通常動作時に不揮発性半導体記憶装置のデータを消去するデータ消去回路と、電源停止予告信号が与えられたことに応じて揮発性半導体記憶装置のデータを不揮発性半導体記憶装置に転送し、そのデータ転送が終了したことに応じて電源停止許可信号を出力する第2の転送制御回路とが設けられる。したがって、通常動作時は揮発性半導体記憶装置として動作し、電源をオフしてもデータが失われない半導体記憶装置を実現できる。

【0046】請求項2に係る発明では、請求項1に係る発明の半導体記憶装置は、1つのパッケージ内に収容されている。この場合は、半導体記憶装置の取扱いが容易になる。

【0047】請求項3に係る発明では、請求項1に係る発明の半導体記憶装置は、複数のパッケージ内に分割して収容されてモジュール化されている。この場合は、半導体記憶装置の取扱いが容易になり、かつ記憶容量の大容量化が可能となる。

【0048】請求項4に係る発明では、請求項2または3に係る発明の揮発性半導体記憶装置の少なくとも一部を含むチップと不揮発性半導体記憶装置の少なくとも一部を含むチップとは、パッケージ内で積層されている。この場合は、パッケージの小型化が可能となる。

【0049】請求項5に係る発明では、請求項1から4のいずれかに係る発明の揮発性半導体記憶装置はDRAMであり、不揮発性半導体記憶装置はフラッシュメモリである。この発明は、この場合に特に有効となる。

【0050】請求項6に係る発明のメモリシステムは、請求項1に係る発明の半導体記憶装置と、その半導体記憶装置に電源電圧を与えるための電源回路を備え、電源回路は、その一方電極が外部電源電圧を受ける外部電源スイッチと、外部電源スイッチが非導通状態にされたことに応じて電源停止予告信号を第2の転送制御回路に与える信号発生回路と、外部電源スイッチを介して与えられた外部電源電圧から生成された内部電源電圧で充電される電池を含む電源と、外部電源スイッチが導通状態にされたことに応じて電池の出力電圧を半導体記憶装置に与え、電源停止許可信号に応答して電池の出力電圧の供給を停止する外部電源スイッチとを含む。この場合は、通常動作時は揮発性半導体記憶装置として動作し、電源をオフしてもデータが失われない半導体記憶装置を実現でき、かつ外部電源スイッチが非導通にされたときに揮発性半導体記憶装置のデータが不揮発性半導体記憶装置に容易に転送できる。

【図面の簡単な説明】

【図1】 この発明の一実施の形態によるパーソナルコンピュータのマザーボードの構成を示すブロック図である。

【図2】 図1に示した半導体メモリの構成を示すブロック図である。

【図3】 図1に示したマザーボードの動作を示すフロー図である。

【図4】 図1に示したマザーボードの動作を示すタイムチャートである。

【図5】 図2に示した半導体メモリのデータ取出動作を示すタイムチャートである。

【図6】 図2に示した半導体メモリのデータ格納動作を示すタイムチャートである。

【図7】 図2に示した半導体メモリの構成を示す図である。

【図8】 この実施の形態の変更例を示す図である。

【図9】 この実施の形態の他の変更例を示す図である。

【図10】 この実施の形態のさらに他の変更例を示す図である。

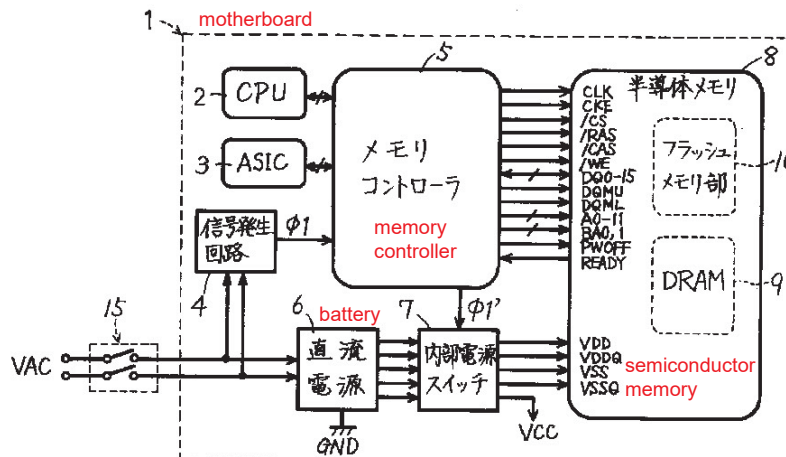
【図11】 この実施の形態のさらに他の変更例を示す図である。

【図12】 図11に示した制御回路の構成を示す回路ブロック図である。

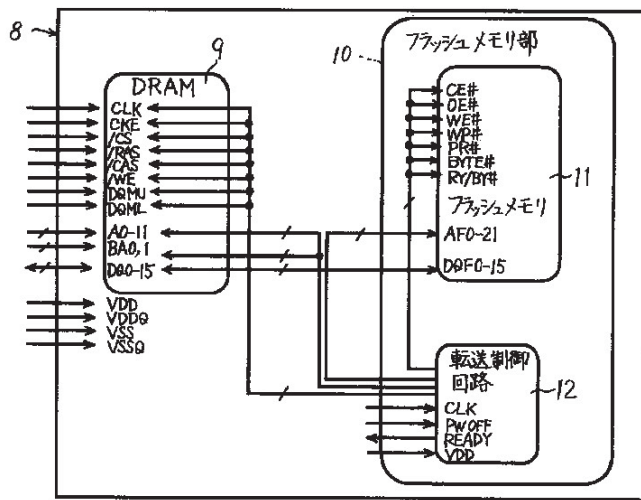
【符号の説明】

1 マザーボード、2 CPU、3 ASIC、4、6 信号発生回路、5メモリコントローラ、6、60 直流電源、7、62 内部電源スイッチ、8半導体メモリ、9 DRAM、9' DRAMチップ、10 フラッシュメモリ部、10' フラッシュメモリ部のチップ、11 フラッシュメモリ、11' フラッシュメモリチップ、12 転送制御回路、12' 転送制御回路チップ、15 外部電源スイッチ、20、30、40 パッケージ、21 パッド、22 ボンディングワイヤ、41 ボール、50、51 モジュール、52 制御回路、53 端子、61 充電式電池、64 ANDゲート、P ピン。

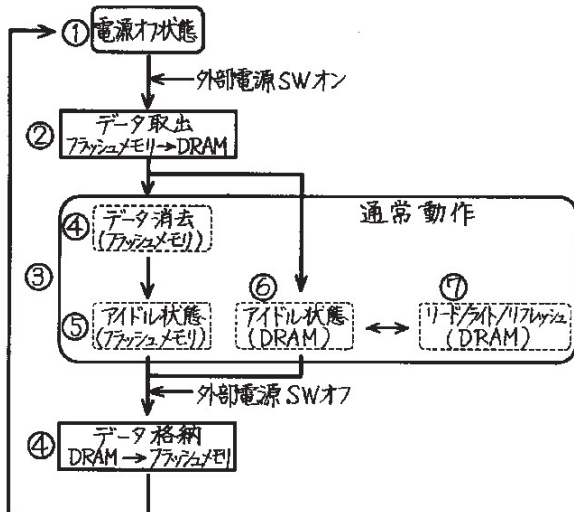
【図1】



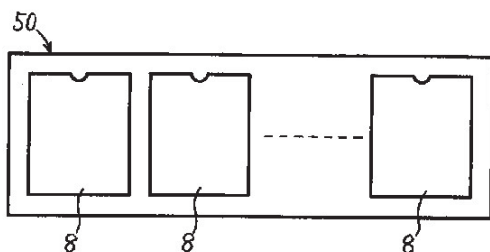
【図2】



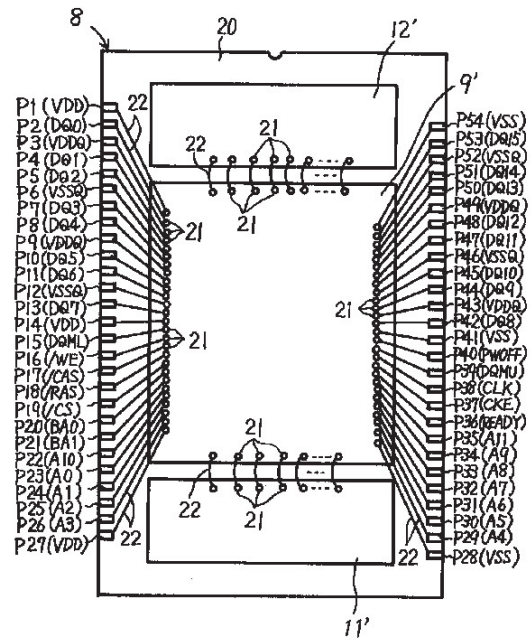
【図3】



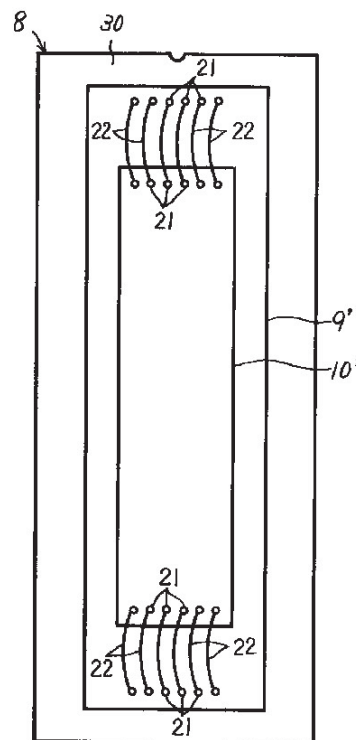
【図10】



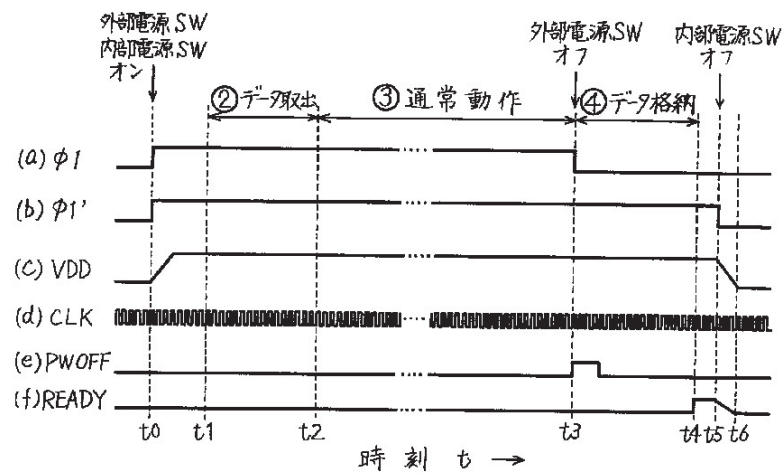
【図7】



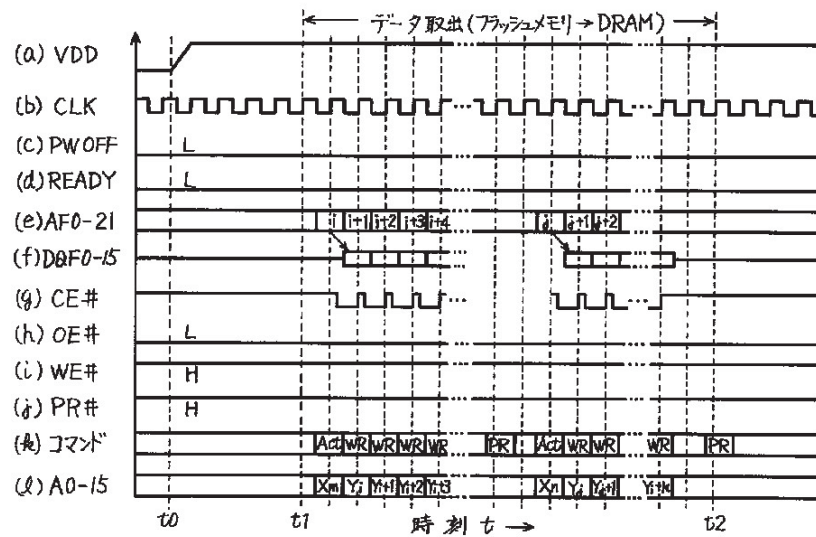
【図8】



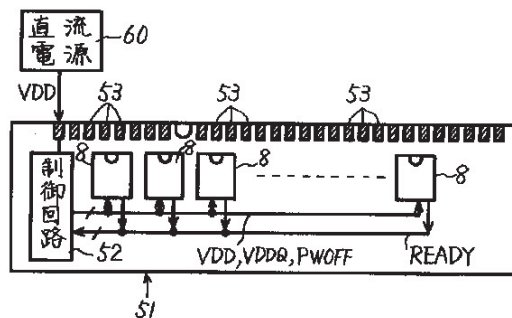
【図4】



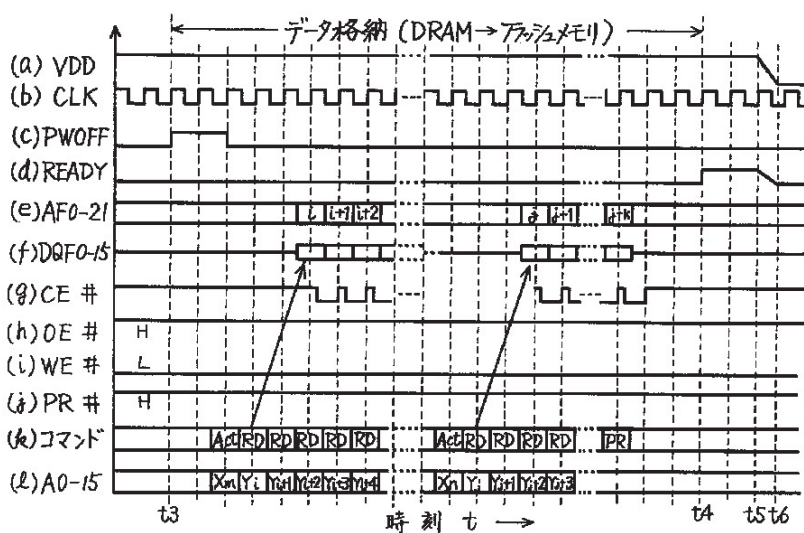
【図5】



【図11】



【图6】



【图9】

【图 12】

