

Certification of Accuracy

I, Frank McGee, hereby attest that I am a translator fluent in English and Japanese, that I have translated the attached document from Japanese to English, and that to the best of my knowledge, ability and belief this translation is a true, accurate and complete translation of the original Japanese document that was provided to me.

The document is designated as: #87110_Ujiie_JPS61024094A



Frank McGee

23 January 2023

(19) [Issuing Country] Japan Patent Office (JP)
 (12) [Publication Name] Gazette of Unexamined Patent Applications (A)
 (11) [Publication Number] S61-024094
 (43) [Publication Date] February 1, 1986

(51) [Int.Cl. ⁵]	[ID Codes]	[Internal Reference Nos.]
G11C 17/00	101	6549-5B

[Examination Request] Not Yet Received
 [Number of Independent Claims] 1
 [Total Number of Pages] 6

(54) [Title of the Invention] Semiconductor Memory Device
 (21) [Application Number] S59-142380
 (22) [Filing Date] July 11, 1984
 (72) [Inventor]
 [Name] Kazuaki UJIIE
 [Address] Hitachi Microcomputer Engineering Co., Ltd., 1479 Josuihoncho, Kodaira-shi, Tokyo
 (72) [Inventor]
 [Name] Nobuyuki SATO
 [Address] Hitachi Microcomputer Engineering Co., Ltd., 1479 Josuihoncho, Kodaira-shi, Tokyo
 (71) [Applicant]
 [Name] Hitachi Microcomputer Engineering Co., Ltd.
 [Address] 1479 Josuihoncho, Kodaira-shi, Tokyo
 (71) [Applicant]
 [Name] Hitachi, Ltd.
 [Address] 4-6 Kanda-Surugadai, Chiyoda-ku, Tokyo
 (74) [Agent]
 [Name] Akio TAKAHASHI (and 1 other)
 Continued on Last Page

Specification

Title of the Invention

Semiconductor Memory Device

2. Claims

(1) A semiconductor memory device that has a memory array composed of nonvolatile memory elements and that is electrically capable of writing and erasing data, the semiconductor memory device characterized in that a booster circuit is provided that can generate two types of voltage higher than a power supply voltage supplied from the outside, writing to the memory elements is performed by the lower voltage generated by the booster circuit, and information stored in the memory elements is erased by the higher voltage generated by the booster circuit.

(2) The semiconductor memory device according to claim 1, wherein the booster circuit comprises a charge pump circuit and clamping means for fixing the voltage boosted by the charge pump circuit at a constant level.

(3) The semiconductor memory device according to claim 2, wherein the clamping means comprises at least two clamp diodes each adapted to have a different breakdown voltage and a switching means connected in series with the clamp diodes that is turned ON during writing or erasing, and the breakdown voltages of the clamp diodes are formed to match the write voltage and the erase voltage.

Detailed Description of the Invention

[Technical Field]

[01] The present invention relates to a semiconductor memory technology and, more specifically, to a technology that is especially effective when applied to a data write/erase system of an electrically erasable programmable read-only memory device, such as to a write/erase circuit of an EEPROM device.

[Background Art]

[02] Read-only semiconductor memory devices in which information can be written and erased electrically have been proposed, such as EEPROM devices using insulated gate field effect transistors called MNOS (metal nitride oxide semiconductor) transistors as the memory elements.

In an MNOS, data is written by trapping a charge at the interface between a nitride film (Si_3N_4 film) and an oxide film (SiO_2 film) formed under the gate electrode using the tunnel effect. During erasing, a reverse voltage is applied to remove the trapped charge.

[03] The present inventors developed such a data write/erase system for an EEPROM device in which a well region in which MNOS transistors have been formed is set to the ground potential and a high voltage such as +15 V is applied to the gate electrodes to inject charges during writing, and the gate electrodes are set to the ground potential and a voltage of +15 V is applied to the well region to remove the charges during erasing.

[04] However, in the write/erase system described above, because the write voltage and the erase voltage are equal, the minimum erase time is about 10 times longer than the minimum write time due to the difference in mobility between electrons and holes.

[05] More specifically, in a graph showing the relationship between the programming and erasing voltage V_{PP} and the required time on the time axis with a logarithmic scale, such as the one shown in Fig. 5, the write characteristics form straight line A and the erase characteristics form straight line B sloping downward to the right. Thus, when the write voltage and erase voltage are equal (V_{PP1}), the time t_E required for erasing is approximately ten times greater than the time t_P required for writing. As a result, the time required to rewrite data in the entire EEPROM device is significantly longer. (An EEPROM is explained in comparative detail in JP S55-156370 A.)

[Object of the Invention]

[06] An object of the present invention is to provide a writing/erasing system that makes the data erasing time substantially equal to the writing time in an EEPROM device, thereby shortening the total data rewriting time.

[07] Other purposes and novel characteristics of the present invention will become clear from information provided in the present specification and the appended drawings.

[Summary of the Invention]

[08] The following is a summary of representative aspects of the present invention among the aspects of the invention disclosed in the present application.

[09] Specifically, the object mentioned above, namely, shortening the erase time to approximately that of the write time and thus reducing the time required to overwrite all data in an EEPROM device by removing charges injected by a write voltage at a higher voltage, is achieved using a configuration in which a booster circuit is provided that can generate two different voltages in response to the signals used to control writing and erasing and, during erasing, a higher voltage than during writing is applied to the nonvolatile memory elements in the opposite direction to remove charges.

[Embodiments]

[10] Fig. 1 is a block diagram showing an example of an EEPROM device to which the present invention has been applied.

[11] In this figure, 1 is a memory array in which a plurality of memory cells are arranged in, for example, a 256 x 256 bit matrix. As shown in Fig. 2, each memory cell that makes up the memory array 1 includes a selection switch MOSFET Q_s that has a gate terminal connected to a word line WL and a drain terminal connected to a data line DL (or bit line), and a nonvolatile storage element Q_m made of an MNOS transistor or the like connected between the source of the selection switch MOSFET Q_s and a circuit ground point.

[12] While not limited in any particular way, each row of the memory array 1 may be divided into words (8 bits), and groups of memory cells (256 words) arranged in word units may be formed in the column direction (data line direction) in the same well region.

[13] X-system selection circuits 2a, 2b are arranged on both sides of the memory array 1 in which an X-decoder that selects a single word line among the 256 word lines is integrated

with a write circuit that applies a high voltage (write voltage) V_{PP1} such as +15 V to the gate electrodes of a memory element (MNOS transistor) during writing.

X-system selection circuits 2a, 2b are arranged on both sides of the memory array 1 in this way because it is difficult to arrange relatively large X-decoders and write circuits within the minimum spacing of the word lines, so the word line pitch is minimized by alternately arranging write circuits on the left and right sides of the memory array.

[14] A Y-system selection circuit 3 in which a word line, a parallel Y gate, and an erase circuit are integrated is arranged outside of the memory array 1 (on the lower side in the drawing). A sense amplifier 4 is provided adjacent to the Y-system selection circuit 3, and the Y gate of the Y-system selection circuit 3 connects eight data lines to which 8-bit memory cells are connected to the sense amplifier 4 to amplify the read signal during data writing by a selection signal from the Y-decoder 5 that decodes a Y-system address signal. During data erasing, the erase circuit in the Y-system selection circuit 3 applies an erase voltage V_{PP2} that is higher than the write voltage V_{PP1} to the well region in which the corresponding 8-bit memory cells are formed based on a selection signal supplied from the Y-decoder 5.

[15] The read data amplified by the sense amplifier 4 is outputted through an input/output buffer circuit 6 to an external terminal I/O.

[16] A write blocking circuit 7 connected to each data line in the memory array 1 is arranged on one side of the memory array 1 opposite the Y-system selection circuit 3 (on the upper side in the drawing). During data writing, the write blocking circuit 7 blocks writing by applying a high voltage similar to the write voltage V_{PP1} to the drains of memory elements that do not require writing (charge injection).

[17] In a memory element such as an MNOS transistor, a charge is trapped at the interface between nitride film and oxide film under a gate electrode when the well region is grounded and a high voltage (V_{PP1}) such as 15 V is applied to the gate electrode due to the tunnel effect. However, if a high voltage similar to the write voltage (V_{PP1}) is applied to the drain region of an MNOS transistor at this time, charge injection does not occur due to the tunnel effect. This enables the writing of "1" and "0" data.

[18] In the present embodiment, a booster circuit 8 is provided that boosts a power supply voltage V_{CC} such as +5 V, generates the write voltage V_{PP1} and the erase voltage V_{PP2} and supplies them to the write circuit in the X-system selection circuits 2a, 2b, the erase circuit in the Y-system selection circuit 3, and the write blocking circuit 7 during writing and erasing. Also provided is a control circuit 9 for forming internal control signals for controlling the booster circuit 8, the X-system selection circuits 2a, 2b, Y-system selection circuit 3, etc. based on control signals supplied from the outside such as chip enable signals $\overline{CE}$ and write enable signals $\overline{WE}$.

[19] Fig. 3 shows an example of this booster circuit 8.

[20] The booster circuit 8 includes a charge pump 10 that receives charges from an externally supplied power supply voltage V_{CC} such as +5 V and gradually raises the level to generate a voltage that is much higher than the power supply voltage V_{CC} such as 20 to 25 V, clamp diodes D_1 , D_2 for limiting the voltage generated by the charge pump 10 to form a constant write voltage V_{PP1} and erase voltage V_{PP2} , and switch MOSFETs Q_1 , Q_2 connected in series with clamp diodes D_1 and D_2 , respectively.

[21] In other words, in order to define the write time t_P and the erase time t_E , the write voltage V_{PP1} and the erase voltage V_{PP2} have to be determined relatively accurately. However, when a charge pump 10 is used alone, the level of the boosted voltage fluctuates significantly due to variations in the constitutive elements. Therefore, the present embodiment uses clamp diodes D_1 , D_2 that can be formed with a relatively high degree of accuracy to clamp the voltage boosted by the charge pump 10 with the breakdown voltages of the clamp diodes, and generate a stable write voltage V_{PP1} and erase voltage V_{PP2} .

[22] The clamp diodes D_1 , D_2 are formed to have breakdown voltages that are equal to write voltage V_{PP1} and the erase voltage V_{PP2} , respectively.

Diodes with different breakdown voltages can be formed with a high degree of accuracy by using, for example, Zener diodes and appropriately controlling the amount of ion implantation that occurs into the semiconductor region.

[23] Control signals A_1 , A_2 supplied from the control circuit 9 are applied to the gate terminals of each switch MOSFET Q_1 , Q_2 . Control signal A_1 is set to high level only when data is written, and control signal A_2 is set to high level only when data is erased. Control signals A_1 and A_2 turn the switch MOSFETs Q_1 , Q_2 ON and OFF.

[24] Therefore, when the charge pump 10 is activated and the control circuit 9 supplies high-level control signal A_1 to the booster circuit 8, MOSFET Q_1 is turned ON while MOSFET Q_2 remains turned OFF. Therefore, when the output voltage from the charge pump 10 is equal to or greater than the breakdown voltage (V_{PP1}) of diode D_1 , current flows from the charge pump 10 via diode D_1 and MOSFET Q_1 . As a result, the output voltage from the booster circuit 8 is fixed to the breakdown voltage of diode D_1 , that is, V_{PP1} , and this voltage is supplied to the write circuit and the write blocking circuit 7 in the X-system selection circuits 2a, 2b.

[25] Meanwhile, when erasing data, a high-level control signal A_2 is supplied from the control circuit 9 to the booster circuit 8, and MOSFET Q_2 is turned on while MOSFET Q_1 remains turned OFF. As a result, current flows through diode D_2 , and the output from the booster circuit 8 is fixed at the breakdown voltage of diode D_2 , that is, V_{PP2} , which is supplied to the erase circuit in the Y-system selection circuit 3.

[26] Moreover, in the present embodiment, diodes D_1 , D_2 are formed in advance so that the breakdown voltages of the clamp diodes D_1 , D_2 match a write voltage V_{PP1} and an erase voltage V_{PP2} that make the erase time t_E equal to the write time t_P as indicated by the dashed line in Fig. 5. As a result, erasing is performed at a higher voltage than writing, the time t_E required for erasing becomes almost the same as the time P required for writing, and the time required for rewriting all data is shortened significantly.

[27] In the present embodiment, a diode-connected MOSFET Q_3 is provided between the output terminal of the charge pump 10 and the power supply voltage V_{CC} . Because the gate terminal of the MOSFET Q_3 is connected to the power supply voltage V_{CC} , it remains ON until the output voltage from the charge pump 10 reaches the V_{CC} level (5 V). As a result, immediately after the charge pump 10 starts boosting, the output terminal of the charge pump 10 is charged up to the power supply voltage V_{CC} via the MOSFET Q_3 , shortening the time required for boosting the voltage to the target voltage.

[28] There are no particular restrictions on the charge pump 10, which can be configured, for example, as shown in Fig. 4.

[29] In other words, a plurality of diode-connected MOSFETs Q_{d1} , Q_{d2} ... Q_{dm} are connected in series between the power supply voltage V_{CC} and the output terminal, and capacitors C_1 , C_2 , ... C_m are connected, respectively, to nodes N_1 to N_m on the gate connection side of each MOSFET Q_{d1} to Q_{dm} . Two clock pulses ϕ , $\bar{\phi}$ with opposite phases supplied from the control circuit 9 are applied to the terminals opposite the capacitors C_1 to C_m .

[30] When clock pulse ϕ changes to the high level, the levels of nodes N_1 , N_3 , etc. are raised via the odd-numbered capacitors C_1 , C_3 , etc., so MOSFETs Q_{d1} , Q_{d3} , etc. are turned ON in an instant, and the charge of nodes N_1 , N_3 , etc. is sent toward nodes N_2 , N_4 , etc.

[31] Because MOSFETs Q_{d2} , Q_{d4} , etc. are OFF at this time, the charge does not flow in the reverse direction (to the V_{CC} supply side). Next, when clock pulse $\bar{\phi}$ changes to the high level, the levels of nodes N_2 , N_4 , etc. are raised via the even-numbered capacitors C_2 , C_4 , etc., and the charge is sent to nodes N_3 , N_5 , etc. via MOSFETs Q_{d2} , Q_{d4} , etc.

[32] In this way, the charge is gradually sent to the output terminal side, and the output voltage of the charge pump 10 is boosted. Because the charge pump 10 experiences a little loss at each stage, the voltage cannot be boosted by 5 V at each stage. However, the desired voltage can be obtained by connecting the MOSFETs Q_d and the capacitors C over an appropriate number of stages. For example, when a voltage of 20 to 25 V is to be generated by the charge pump 10 as in the present embodiment, a connection with 10 stages between the MOSFETs Q_d and capacitors C is sufficient.

[33] Note that the present embodiment may be configured so that, in the write circuit and erase circuit on the side receiving the write voltage V_{PP1} and the erase voltage V_{PP2} generated by the booster circuit 8, a single stage (or several stages) are provided with the same configuration as each stage of the charge pump in Fig. 4, and the boosting compensates for the loss occurring in the supply path from the booster circuit 8.

[Effects]

[34] Because a booster circuit is provided that can generate two different voltages in response to signals that control writing and erasing, and because a voltage higher than the voltage used during writing is applied when erasing data to the nonvolatile memory elements in the opposite direction to remove charges, the erase time is shortened to the same level as the write time due to the effect of removing the charge injected by the write voltage by using a higher voltage, and this results in a significantly shorter time required to rewrite all data in an EEPROM device.

[35] A detailed description of the invention devised by the present inventors was provided above with reference to an embodiment. However, the present invention is not limited to this embodiment and various modifications can be made without departing from the spirit of the invention. For example, the booster circuit 8 in the embodiment is not limited to the configuration of the embodiment shown in Fig. 3 and Fig. 4, and various modifications are conceivable. Also, the clamp diodes D_1 , D_2 do not have to be formed on the same chip, and can be external diodes.

[Field of Industrial Applicability]

[36] In the description provided above, the invention devised primarily by the present inventors was applied to an EEPROM device using MNOS transistors as memory elements, which is the background art in the field of industrial applicability. However, the present invention is not limited to this description, and can be applied to floating gate tunnel

injection-type MOSFETs and all other semiconductor memory devices that use electrically programmable and erasable nonvolatile memory elements.

Brief Description of the Drawings

Fig. 1 is a block diagram showing an example of an EEPROM device to which the present invention has been applied;

Fig. 2 is a circuit diagram showing an example of the configuration of a memory cell in the EEPROM device;

Fig. 3 is a circuit diagram showing an example of a booster circuit;

Fig. 4 is a circuit diagram showing an example of a configuration for the charge pump; and

Fig. 5 is a diagram used to explain the relationship between the write voltage, erase voltage, and time required for writing and erasing.

1: Memory array

2a, 2b: X-system selection circuit

3: Y-system selection circuit

4: Sense amplifier

5: Y-decoder

6: Input/output buffer circuit

7: Write blocking circuit

8: Booster circuit

9: Control circuit

10: Charge pump

Qm: Memory element (MNOS)

Qs: Selection switch MOSFET

WL: Word line

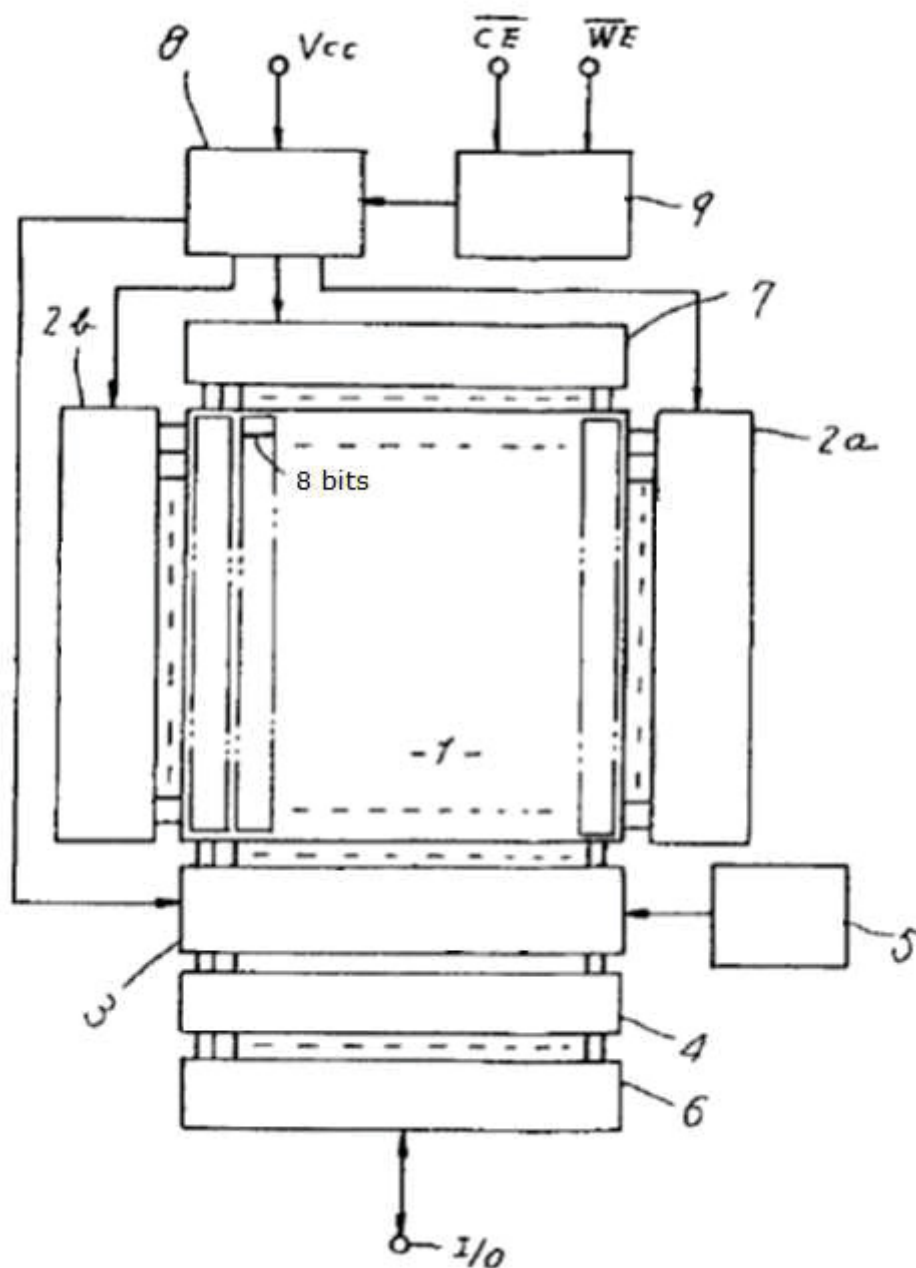
DL: Data line

D₁, D₂: Clamp diode

Q₁, Q₂: Switch MOSFET

Agent Akio TAKAHASHI, Patent Attorney [seal]

Fig. 1



- 1: Memory array
- 2a, 2b: X system selection circuits (X decoder + write circuit)
- 3: Y system selection circuit (Y gate, erase circuit)
- 4: Sense amplifier
- 5: Y decoder
- 6: Input/output buffer
- 7: Write blocking circuit
- 8: Booster circuit
- 9: Control circuit

Fig. 2

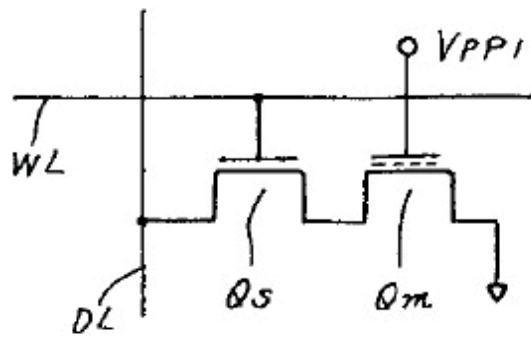
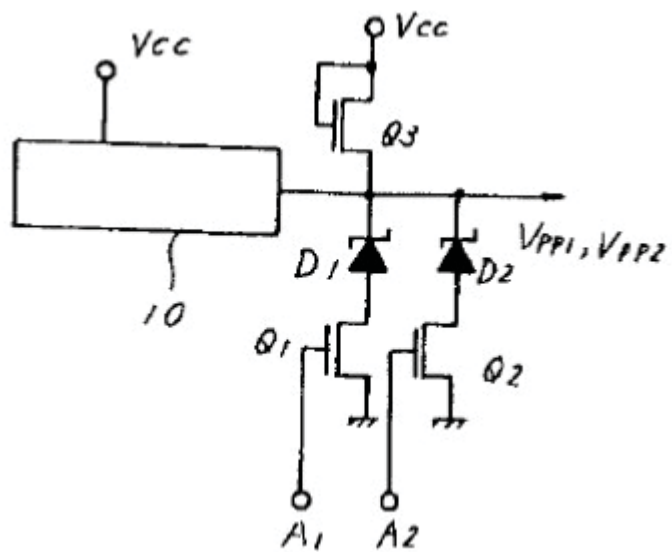


Fig. 3



10: Charge pump

Fig. 4

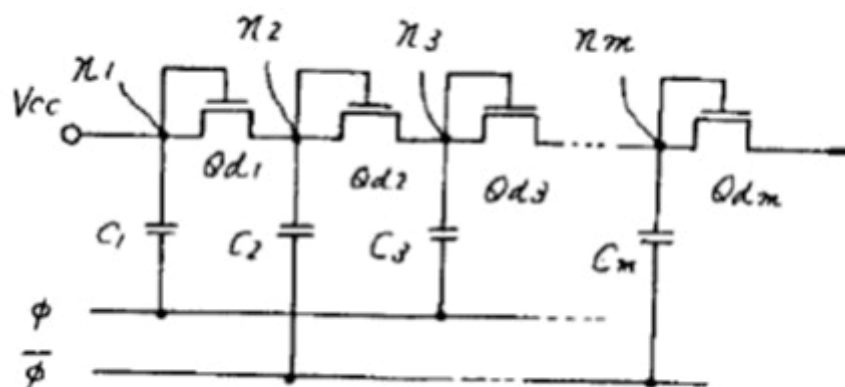
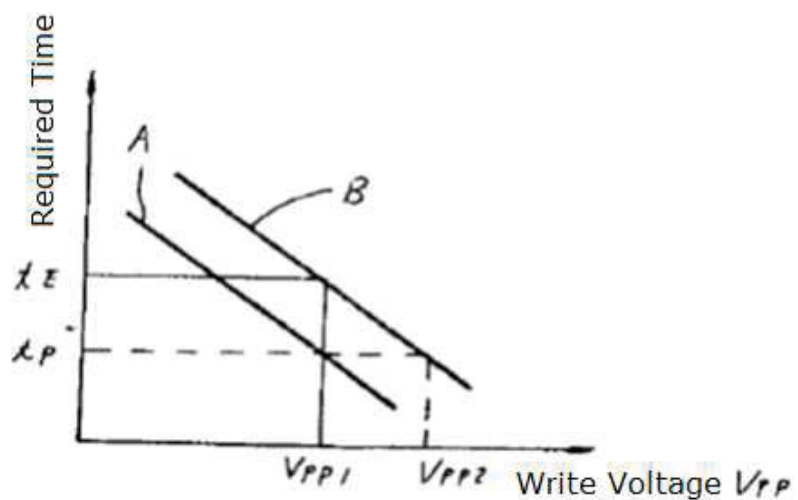


Fig. 5



Continued from First Page

(72) [Inventor]

[Name] Masaaki TERASAWA

[Address] Hitachi Microcomputer Engineering Co., Ltd., 1479 Josuihoncho, Kodaira-shi, Tokyo

(72) [Inventor]

[Name] Shinji NABEYA

[Address] Hitachi, Ltd., Musashi Plant, 1450 Josuihoncho, Kodaira-shi, Tokyo

⑫ 公開特許公報(A)

昭61-24094

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)2月1日

G 11 C 17/00

1 0 1

6549-5B

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭59-142380

⑰ 出 願 昭59(1984)7月11日

⑱ 発 明 者 氏 家 和 聡 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 発 明 者 佐 藤 信 之 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑳ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社
小平市上水本町1479番地

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 高橋 明夫 外1名

最終頁に続く

明 細 書

発明の名称

半導体記憶装置

特許請求の範囲

1. 不揮発性記憶素子からなるメモリアレイを備え、電氣的にデータの書き込み・消去が可能にされた半導体記憶装置であって、外部から供給される電源電圧に基づいてこれよりも高い2種類の電圧を発生可能な昇圧回路が設けられ、該昇圧回路により発生される低い方の電圧によって上記記憶素子への書き込みが行なわれるとともに、上記昇圧回路により発生される高い方の電圧によって上記記憶素子に記憶された情報の消去が行なわれるようにされてなることを特徴とする半導体記憶装置。

2. 上記昇圧回路は、チャージポンプ回路とこのチャージポンプ回路で昇圧された電圧を一定のレベルに固定するクランプ手段とから構成されてなることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 上記クランプ手段は、各々異なるブレイクダ

ウン電圧を有するようにされた少なくとも2つのクランプダイオードと、このクランプダイオードと直列に接続され、書き込み時または消去時にそれぞれオン状態にされるスイッチ手段とにより構成され、上記各クランプダイオードのブレイクダウン電圧が書き込み電圧と消去電圧にそれぞれ一致するように形成されてなることを特徴とする特許請求の範囲第2項記載の半導体記憶装置。

発明の詳細な説明

〔技術分野〕

この発明は、半導体記憶技術さらには電氣的に書き込み消去可能な読出し専用の半導体記憶装置におけるデータの書き込み消去方式に適用して特に有効な技術に関し、例えばEEPROM(エレクトリカル・イレイサブル・プログラム・リード・オンリー・メモリ)装置の書き込み消去回路に利用して有効な技術に関する。

〔背景技術〕

従来、電氣的に情報を書込み、消去できるようにされた読出し専用の半導体記憶装置として、例

例えばMNOS（メタル・ナイトライド・オキシド・セミコンダクタ）と呼ばれる絶縁ゲート型電界効果トランジスタを記憶素子として使用したEEPROM装置が提案されている。MNOSは、ゲート電極の下に形成された窒化膜（ Si_3N_4 膜）と酸化膜（ SiO_2 膜）との界面に、トンネル効果によって電荷をトラップしてデータの書き込みを行なうものであり、消去の際には逆電圧を印加してトラップされていた電荷を引き抜く。

上記のようなEEPROM装置におけるデータの書き込み消去方式として、本発明者は、書き込み時にはMNOSが形成されたウェル領域を接地電位にしてゲート電極に+15Vのような高電圧を印加させて電荷の注入を行ない、また、消去時にはゲート電極を接地電位にしてウェル領域に+15Vの電圧を印加させて電荷を引き抜くようにしたものを開発した。

しかしながら、上記のような書き込み消去方式では、書き込み電圧と消去電圧が等しいため、電子とホールの移動度の違いにより、最小消去時間が最

小書き込み時間のおよそ10倍程度も長くなるという不都合がある。

すなわち、書き込みおよび消去電圧 V_{PP} と所要時間との関係を時間軸を対数目盛としたグラフで示すと、第5図に示すごとく、書き込み特性は実線A、消去特性は実線Bのようにほぼ右下がりの直線になる。従って書き込み電圧と消去電圧を等しく（ V_{PP1} ）すると、消去に要する時間 t_E は書き込みに要する t_P のおよそ10倍となる。その結果、EEPROM装置全体のデータ書換えに要する時間が大幅に長くなってしまふ。（なお、EEPROMについては、特開昭55-156370号公報に比較的詳しく説明されている。）

〔発明の目的〕

この発明の目的は、EEPROM装置におけるデータ消去時間を書込み時間をほぼ等しくさせて、トータルのデータ書換え時間を短縮できるようにする書き込み消去方式を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図

面から明かになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、書き込み、消去を制御する信号に応じて異なる2つの電圧を発生可能な昇圧回路を設け、データ消去時には書き込み時よりも高い電圧を不揮発性の記憶素子に逆向きに印加して電荷を引き抜くように構成することによって、書き込み電圧により注入された電荷をそれよりも高い電圧で引き抜くことで消去時間を書込み時間と同じ程度まで短くさせ、これによってEEPROM装置の全データの書換えに要する時間を短縮させるという上記目的を達成するものである。

〔実施例〕

第1図は、本発明が適用されるEEPROM装置全体の概略構成を示すブロック図である。

同図において、1は複数個のメモリセルが例えば256×256ビットのマトリックス状に配設されてなるメモリアレイである。メモリアレイ1

を構成する各メモリセルは、第2図に示すようにワード線WLにゲート端子が接続され、データ線（もしくはビット線）DLにドレイン端子が接続された選択用スイッチMOSFET Q_s と、この選択用スイッチMOSFET Q_s のソースと回路の接地点との間に接続されたMNOS等からなる不揮発性の記憶素子 Q_m とによって構成されている。

また、特に制限されないが、メモリアレイ1は各行がワード（8ビット）単位に分割されて、ワード単位で列方向（データ線方向）に並んで配設されたメモリセル群（256ワード）は、同一のウェル領域上に形成されている。

メモリアレイ1の両側には、256本のワード線の中から1本のワード線を選択するXデコーダと、書き込み時に記憶素子（MNOS）のゲート電極に+15Vのような高電圧（書き込み電圧） V_{PP1} を印加する書き込み回路とが一体になったX系選択回路2a、2bが配設されている。このように、X系選択回路2a、2bをメモリアレイ1の

両側に配設したのは、ワード線の最小配設間隔内に比較的大きな各Xデコーダおよび書き込み回路を配設するのが困難であるため、メモリアレイの左右に交互に書き込み回路を配設することによりワード線のピッチを最小にできるようにするためである。

また、メモリアレイ1の外側(図面では下側)には、ワード線と平行にYゲートと消去回路が一体になったY系選択回路3が配設されている。このY系選択回路3と隣接してセンスアンプ4が設けられており、Y系選択回路3内のYゲートは、Y系のアドレス信号をデコードするYデコーダ5からの選択信号によって、データ読出し時に、上記8ビットのメモリスルが接続された8本のデータ線をセンスアンプ4に接続して、読出し信号を増幅させる。また、Y系選択回路3内の消去回路は、データ消去時に、Yデコーダ5から供給される選択信号に基づいて、対応する8ビットのメモリスルが形成されているウェル領域に上記書き込み電圧 V_{pp1} よりも高い消去電圧 V_{pp2} を印加

さらに、この実施例では、書き込み時および消去時に、+5Vのような電源電圧 V_{cc} を昇圧して、上記書き込み電圧 V_{pp1} や消去電圧 V_{pp2} を発生して上記X系選択回路2a、2b内の書込回路やY系選択回路3内の消去回路および書込阻止回路7に供給する昇圧回路8と、外部から供給されるチップイネーブル信号 $\overline{CE}$ やライトイネーブル信号 $\overline{WE}$ のような複数の制御信号に基づいて、上記昇圧回路8やX系選択回路2a、2b、Y系選択回路3等を制御するための内部制御信号を形成する制御回路9が設けられている。

第3図には、上記昇圧回路8の一実施例が示されている。

昇圧回路8は、外部から供給される+5Vのような電源電圧 V_{cc} から電荷の供給を受けて徐々にレベルを押し上げて、電源電圧 V_{cc} よりもはるかに高い20~25Vのような電圧を発生するチャージポンプ10と、このチャージポンプ10で発生される電圧を制限して一定の書き込み電圧 V_{pp1} と消去電圧 V_{pp2} を形成するためのクランプ

させる。

センスアンプ4によって増幅された読出しデータは、入出力バッファ回路6を介して外部端子I/Oへ出力される。

メモリアレイ1の上記Y系選択回路3と反対側の一侧(図面では上側)には、メモリアレイ1内の各データ線に接続された書込阻止回路7が配設されている。この書込阻止回路7は、データ書き込み時に、書き込み(電荷の注入)を必要としない記憶素子のドレインに書き込み電圧 V_{pp1} と同じような高電圧を印加して書き込みを阻止する。

MNOSのような記憶素子にあっては、ウェル領域を接地電位にしてゲート電極に15Vのような高電圧(V_{pp1})を印加すると、トンネル効果によりゲート電極下の窒化膜と酸化膜との界面に電荷がトラップされる。しかし、このときMNOSのドレイン領域に書き込み電圧(V_{pp1})と同じような高電圧が印加されると、トンネル効果による電荷の注入が起こらない。これによって、データ“1”、“0”に応じた書き込みが可能にされる。

ダイオード D_1 、 D_2 と、これらのクランプダイオード D_1 と D_2 にそれぞれ直列に接続されたスイッチMOSFET Q_1 、 Q_2 とによって構成されている。

つまり、書き込み時間 t_p と消去時間 t_e を規定するためには、書き込み電圧 V_{pp1} と消去電圧 V_{pp2} を比較的正確に決めてやる必要がある。しかし、チャージポンプ10のみでは、これを構成する素子のバラツキ等によって昇圧される電圧のレベルがかなり変動してしまう。そこで、上記実施例では、比較的精度よく形成できるクランプダイオード D_1 、 D_2 を用いて、チャージポンプ10で昇圧された電圧をクランプダイオードのブレイクダウン電圧でクランプして、安定した書き込み電圧 V_{pp1} と消去電圧 V_{pp2} を発生させるようにされている。

上記クランプダイオード D_1 と D_2 は、それぞれ書き込み電圧 V_{pp1} と消去電圧 V_{pp2} に等しいブレイクダウン電圧を有するように形成されている。このようにブレイクダウン電圧の異なるダ

イオードは、例えばツェナーダイオードを用いてその半導体領域へのイオン打込み量を適当に制御してやることにより、かなり精度よく形成することができる。

上記各スイッチMOSFET Q_1 と Q_2 のゲート端子には、前記制御回路9から供給される制御信号 A_1 と A_2 が印加されている。制御信号 A_1 は、データ書込み時にのみハイレベルにされ、制御信号 A_2 はデータ消去時にのみハイレベルにされるような信号である。これらの制御信号 A_1 と A_2 とによってスイッチMOSFET Q_1 と Q_2 がオン、オフ制御される。

従って、データ書込み時にチャージポンプ10が動作されるとともに、制御回路9からハイレベルの制御信号 A_1 が昇圧回路8に供給されると、MOSFET Q_2 はオフされた状態でMOSFET Q_1 がオンされる。そのため、チャージポンプ10の出力電圧がダイオード D_1 のブレイクダウン電圧 (V_{PP1}) 以上になると、チャージポンプ10からダイオード D_1 およびMOSFET Q

1 を通って電流が流れる。これによって、昇圧回路8の出力電圧はダイオード D_1 のブレイクダウン電圧すなわち V_{PP1} に固定され、これが前記X系選択回路2a, 2b内の書込み回路や書込阻止回路7に供給される。

一方、データ消去時には、制御回路9からハイレベルの制御信号 A_2 が昇圧回路8に供給され、MOSFET Q_1 がオフされた状態でMOSFET Q_2 がオンされる。その結果、ダイオード D_2 に電流が流れて、昇圧回路8の出力がダイオード D_2 のブレイクダウン電圧すなわち V_{PP2} に固定され、これがY系選択回路3内の消去回路に供給される。

しかも、上記実施例では、予めクランプダイオード D_1 と D_2 のブレイクダウン電圧が、第5図に破線で示すように、消去時間 (t_E) を書込み時間 t_P と同じにするような書込み電圧 V_{PP1} と消去電圧 V_{PP2} に一致するようにダイオード D_1 , D_2 が形成される。その結果、書込み時よりも高い電圧で消去が行なわれるようになり、消

去に要する時間 t_E が書込みに要する時間 t_P とほぼ同じになって、全データの書換えに必要な時間が大幅に短縮される。

さらに、上記実施例では、チャージポンプ10の出力端子と電源電圧 V_{cc} との間にダイオード接続されたMOSFET Q_3 が設けられている。このMOSFET Q_3 は、そのゲート端子が電源電圧 V_{cc} に接続されているため、チャージポンプ10の出力電圧が V_{cc} レベル (5V) に達するまではオン状態にされている。これによって、チャージポンプ10の昇圧開始直後は、チャージポンプ10の出力端子がMOSFET Q_3 を通して電源電圧 V_{cc} までチャージアップされるようになり、目標の電圧まで昇圧されるのに要する時間が短縮される。

なお、上記チャージポンプ10は、特に制限されないが、例えば第4図に示すように構成することができる。

すなわち、電源電圧 V_{cc} と出力端子との間には、ダイオード接続された複数個のMOSFET Q_d

1, Q_{d2} , ..., Q_{dm} が直列に接続され、各MOSFET Q_{d1} ~ Q_{dm} のゲート接続側のノード N_1 ~ N_m には、それぞれキャパシタ C_1 , C_2 , ..., C_m が接続されている。そして、各キャパシタ C_1 ~ C_m の反対側の端子には、制御回路9から供給される互いに逆相関係の2つのクロックパルス ϕ , $\bar{\phi}$ が印加されるようにされている。

クロックパルス ϕ がハイレベルに変化すると、奇数番目のキャパシタ C_1 , C_3 , ... を介してノード N_1 , N_3 , ... のレベルが持ち上げられるため、MOSFET Q_{d1} , Q_{d3} , ... が瞬間的にオンされてノード N_1 , N_3 , ... の電荷がノード N_2 , N_4 , ... 側へ送られる。

このとき、MOSFET Q_{d2} , Q_{d4} , ... はオフ状態にあるため、電荷が逆方向 (V_{cc} 供給側) へ流れることはない。次にクロックパルス $\bar{\phi}$ がハイレベルに変化すると、偶数番目のキャパシタ C_2 , C_4 , ... を介してノード N_2 , N_4 , ... のレベルが持ち上げられて、MOSFET Q_{d2} , Q_{d4} , ... を介してノード N_3 , N_5 ,

…側へ電荷が送られる。

このようにして、除々に電荷が出力端子側へ送られて行くことにより、チャージポンプ10の出力電圧が昇圧されて行く。上記チャージポンプ10は各段において少しずつロスがあるため、各段で5Vずつ昇圧してやることはできないが、適当な段数だけMOSFETQdとキャパシタCを接続してやることにより、所望の電圧を得ることができる。例えば実施例のように、チャージポンプ10によって20~25Vの電圧を発生したい場合には、MOSFETQdとキャパシタCとからなる段を、10段程度接続してやればよい。

なお、上記実施例の場合、昇圧回路8で発生された書込み電圧 V_{pp1} や消去電圧 V_{pp2} の供給を受ける側の書込回路や消去回路内に、第4図のチャージポンプの各段と同じような構成の段を一段（もしくは数段）設けて昇圧させ、昇圧回路8からの供給経路の途中でのロスを補なうように構成してもよい。

【効果】

【利用分野】

以上の説明では、主として本発明者によってなされた発明を、その背景となった利用分野であるMNOSを記憶素子としたEEPROM装置に適用したものについて説明したが、それに限定されず、フローティングゲート型トンネル注入方式のMOSFETその他電氣的に書込み消去可能な不揮発性記憶素子を用いたすべての半導体記憶装置に利用することができる。

図面の簡単な説明

第1図は、本発明が適用されるEEPROM装置の一例を示すブロック図、

第2図は、EEPROM装置のメモリセルの構成の一例を示す回路図、

第3図は、昇圧回路の一実施例を示す回路構成図、

第4図は、チャージポンプの構成例を示す回路図、

第5図は、書込み電圧および消去電圧と、書込み、消去に要する時間との関係を示す説明図であ

る。書込み、消去を制御する信号に応じて異なる2つの電圧を発生可能な昇圧回路を設け、データ消去時には書込み時よりも高い電圧を不揮発性の記憶素子に逆向きに印加して電荷を引き抜くようにしたので、書込み電圧により注入された電荷がそれよりも高い電圧で引き抜かれるようになるという作用により、消去時間が書込み時間と同じ程度まで短くされ、その結果EEPROM装置の全データの書換えに要する時間が大幅に短縮されるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば前記実施例における昇圧回路8は、第3図および第4図に示す実施例の構成に限定されず、種々の変形例が考えられる。また、クランプダイオード D_1 、 D_2 は同一のチップ上に形成される必要はなく、外付けのダイオードにすることも可能である。

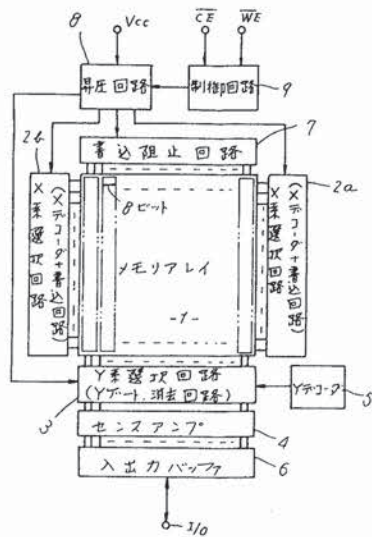
る。

1…メモリアレイ、2a、2b…X系選択回路、3…Y系選択回路、4…センスアンプ、5…Yデコーダ、6…入出力バッファ回路、7…書込阻止回路、8…昇圧回路、9…制御回路、10…チャージポンプ、 Q_m …記憶素子(MNOS)、 Q_s …選択用スイッチMOSFET、WL…ワード線、DL…データ線、 D_1 、 D_2 …クランプダイオード、 Q_1 、 Q_2 …スイッチMOSFET。

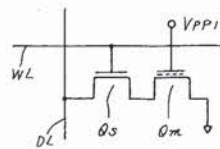
代理人 弁理士 高橋 明夫



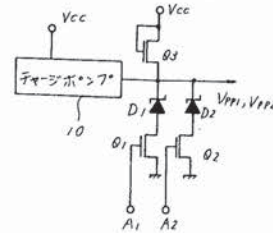
第 1 図



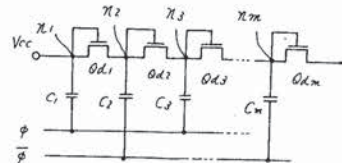
第 2 図



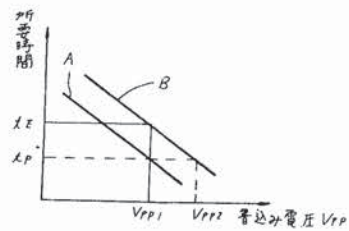
第 3 図



第 4 図



第 5 図



第1頁の続き

⑫発 明 者 寺 沢 正 明 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内
 ⑫発 明 者 鍋 谷 慎 二 小平市上水本町1450番地 株式会社日立製作所武蔵工場内