jc839 U.S. PTO
01/27/03

01-29-03 10352733 .012703

PTO/SB/05 (03-01)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No.	ATM-234
First Inventor	Lorenzo Bedarida
Title	VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD.
Express Mail Label No.	EV 064399991 US

APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents.

1. [✔] Fee Transmittal Form (e.g., PTO/SB/17) *(Submit an original and a duplicate for fee processing)*
2. [ ] Applicant claims small entity status. See 37 CFR 1.27.
3. [✔] Specification [*Total Pages* 27] *(preferred arrangement set forth below)*
   - Descriptive title of the invention
   - Cross Reference to Related Applications
   - Statement Regarding Fed sponsored R & D
   - Reference to sequence listing, a table, or a computer program listing appendix
   - Background of the Invention
   - Brief Summary of the Invention
   - Brief Description of the Drawings (*if filed*)
   - Detailed Description
   - Claim(s)
   - Abstract of the Disclosure
4. [✔] Drawing(s) *(35 U.S.C. 113)* [*Total Sheets* 7]
5. Oath or Declaration [*Total Pages* 3]
   a. [✔] Newly executed (original or copy)
   b. [ ] Copy from a prior application (37 CFR 1.63 (d)) *(for continuation/divisional with Box 18 completed)*
      i. [ ] DELETION OF INVENTOR(S) Signed statement attached deleting inventor(s) named in the prior application, see 37 CFR 1.63(d)(2) and 1.33(b).
6. [ ] Application Data Sheet. See 37 CFR 1.76

ADDRESS TO: Assistant Commissioner for Patents
Box Patent Application
Washington, DC 20231

7. [ ] CD-ROM or CD-R in duplicate, large table or Computer Program (*Appendix*)
8. Nucleotide and/or Amino Acid Sequence Submission *(if applicable, all necessary)*
   a. [ ] Computer Readable Form (CRF)
   b. Specification Sequence Listing on:
      i. [ ] CD-ROM or CD-R (2 copies); or
      ii. [ ] paper
   c. [ ] Statements verifying identity of above copies

jc1132 U.S. PTO 10/352733 01/27/03

ACCOMPANYING APPLICATION PARTS

9. [ ] Assignment Papers (cover sheet & document(s))
10. [ ] 37 CFR 3.73(b) Statement *(when there is an assignee)* [ ] Power of Attorney
11. [ ] English Translation Document *(if applicable)*
12. [ ] Information Disclosure Statement (IDS)/PTO-1449 [ ] Copies of IDS Citations
13. [ ] Preliminary Amendment
14. [✔] Return Receipt Postcard (MPEP 503) *(Should be specifically itemized)*
15. [✔] Certified Copy of Priority Document(s) *(if foreign priority is claimed)*
16. [ ] Nonpublication Request under 35 U.S.C. 122 (b)(2)(B)(i). Applicant must attach form PTO/SB/35 or its equivalent.
17. [✔] Other: Cert. of Mailing; Check.....

18. If a CONTINUING APPLICATION, *check appropriate box, and supply the requisite information below and in a preliminary amendment, or in an Application Data Sheet under 37 CFR 1.76:*

[ ] Continuation [ ] Divisional [ ] Continuation-in-part (CIP) of prior application No.: _____ / _____

Prior application information: *Examiner:* _____ *Group Art Unit:* _____

For CONTINUATION OR DIVISIONAL APPS only: The entire disclosure of the prior application, from which an oath or declaration is supplied under Box 5b, is considered a part of the disclosure of the accompanying continuation or divisional application and is hereby incorporated by reference. The incorporation can only be relied upon when a portion has been inadvertently omitted from the submitted application parts.

19. CORRESPONDENCE ADDRESS

[✔] *Customer Number or Bar Code Label* 003897 *(Insert Customer No. or Attach bar code label here)* or [✔] *Correspondence address below*

Name	Schneck & Schneck				
Address	P.O. Box 2-E				
City	San Jose	*State*	CA	*Zip Code*	95109-0005
Country	U.S.A.	*Telephone*	408/297-9733	*Fax*	408/297-9748

Name (Print/Type)	Thomas Schneck	*Registration No. (Attorney/Agent)*	24,518
Signature	Thomas Schneck	*Date*	01/27/2003

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Box Patent Application, Washington, DC 20231.

MICRON 1002

PTO/SB/17 (01-03)
Approved for use through 04/30/2003. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT ($) 840.00

Complete if Known	
Application Number	
Filing Date	
First Named Inventor	Lorenzo Bedarida
Examiner Name	
Art Unit	
Attorney Docket No.	ATM-234

METHOD OF PAYMENT *(check all that apply)*

☑ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☑ Deposit Account:

Deposit Account Number: 19-0590

Deposit Account Name: Schneck & Schneck

The Commissioner is authorized to: *(check all that apply)*

☐ Charge fee(s) indicated below ☑ Credit any overpayments

☑ Charge any additional fee(s) during the pendency of this application

☐ Charge fee(s) indicated below, **except for the filing fee** to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code	Large Entity Fee ($)	Small Entity Fee Code	Small Entity Fee ($)	Fee Description	Fee Paid
1001	750	2001	375	Utility filing fee	750.00
1002	330	2002	165	Design filing fee	
1003	520	2003	260	Plant filing fee	
1004	750	2004	375	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	

SUBTOTAL (1) ($) 750.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below		Fee Paid
Total Claims	25	-20** =	5	x 18	=	90.
Independent Claims	3	- 3** =	0	x 84	=	
Multiple Dependent					=	

Large Entity Fee Code	Large Entity Fee ($)	Small Entity Fee Code	Small Entity Fee ($)	Fee Description
1202	18	2202	9	Claims in excess of 20
1201	84	2201	42	Independent claims in excess of 3
1203	280	2203	140	Multiple dependent claim, if not paid
1204	84	2204	42	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) ($) 90.00

***or number previously paid, if greater; For Reissues, see above*

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Fee Code	Large Entity Fee ($)	Small Entity Fee Code	Small Entity Fee ($)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for *ex parte* reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	410	2252	205	Extension for reply within second month	
1253	930	2253	465	Extension for reply within third month	
1254	1,450	2254	725	Extension for reply within fourth month	
1255	1,970	2255	985	Extension for reply within fifth month	
1401	320	2401	160	Notice of Appeal	
1402	320	2402	160	Filing a brief in support of an appeal	
1403	280	2403	140	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,300	2453	650	Petition to revive - unintentional	
1501	1,300	2501	650	Utility issue fee (or reissue)	
1502	470	2502	235	Design issue fee	
1503	630	2503	315	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	750	2809	375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	750	2810	375	For each additional invention to be examined (37 CFR 1.129(b))	
1801	750	2801	375	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid **SUBTOTAL (3)** ($)

SUBMITTED BY				(Complete *if applicable*)	
Name *(Print/Type)*	Thomas Schneck	Registration No. *(Attorney/Agent)*	24,518	Telephone	(408) 297-9733
Signature				Date	01/27/2003

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, Washington, DC 20231.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

PTO/SB/93 (10-96)
Approved for use through 10/31/99. OMB 0651-0031
Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

ATM-234

Certificate under 37 CFR 1.10 of Mailing by "Express Mail"

EV 064399991 US
"Express Mail" label number

January 27, 2003
Date of Deposit

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

Sally Azevedo
Signature of person mailing correspondence

Sally Azevedo
Typed or printed name of person mailing correspondence

Note: Each paper must have its own certificate of mailing by "Express Mail".

Burden Hour Statement: This form is estimated to take 0.1 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.

Description

VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD

TECHNICAL FIELD

The present invention relates generally to charge pump circuits and more particularly pertains to variable charge pump circuits adapted for providing any of several target output voltage levels.

BACKGROUND ART

Many types of memory devices require high voltages for reading, programming and erasing instructions. This is true for memory with page, bulk, and sector erases.

The most common approach to generate high internal voltages is to use charge pump circuits to boost a voltage supplied to the memory circuit. A charge pump circuit uses an array of capacitors to increase the supply voltage. A low power source is coupled to a charge pump circuit to generate necessary high voltages for erasing, reading and programming operations in a memory.

Fig. 1 shows a schematic diagram of a typical two-stage charge pump circuit 100 that generates a boosted output voltage V_{pump} with a magnitude that is greater than the magnitude of a supply voltage V_{cc} supplied by a source 102, such as from an external pin of the memory chip. The voltage source 102 is coupled to a first diode-connected NMOS transistor 104. The source of this first NMOS transistor 104 is coupled to a capacitor 106 and to a second diode-connected NMOS transistor 110. The source of the second NMOS transistor 110 is coupled to a second capacitor 108 and to a third NMOS transistor 112. The third transistor 112 has its gate connected to its drain and its source connected to the output voltage

V_{pump}. The other terminals 114 and 118 of the capacitors 106 and 108 receive respective clock signals CK and CKN of opposite phase. The internal high voltages are obtained by boosting the series of capacitances 106, 108 with the internal supply voltage V_{cc}. The capacitors 106 and 108 store and transfer charge at the rate of the clocks. Node A is the junction between the capacitor 106 and the source of the diode-connected NMOS transistor 110. Node B is the junction between the capacitor 108 and the diode-connected NMOS transistor 112. The voltage at node A equals the sum of the voltages of the capacitor 106 and V_{cc}. The voltage at node B equals the voltage of the capacitor 108. The output voltage (V_{pump}) is the sum of the voltages at nodes A and B. Depending on the efficiency of the charge pump circuit 100, the pump output voltage (V_{pump}) is the amount of voltage that the transistor 112 delivers to the output terminal. A first regulator may be provided with feedback from the pump output voltage to rapidly turn the charge pump on and off in order to minimize ripples in the pump output voltage.

In a two-stage charge pump circuit like that shown in Fig. 1, the pump output voltage V_{pump} can be less than the maximum voltage that the charge pump circuit 100 can possibly deliver. For example, the charge pump may be called upon to supply any of several different output voltages (V_{pump}), only one of which is near the maximum. More generally, for n-stage pump circuit the maximum pump output ($V_{out,max}$) equals to $(n+1)* V_{cc}$. The current that the charge pump is able to furnish is $I_{out} = f(V_{dd} \cdot N_P \cdot C_P/N_S \cdot T_{CK})$, when N_P is the number of parallel stages, N_S is the number of series stages, C_P is the capacitance value and T_{CK} is the charge pump clock period. The clock signals CK and CKN define the charge transfer rate from the internal power supply 114. Equivalently, the faster the clock rate, the faster the pump voltage reaches the target voltage.

Usually, a charge pump output (V_{pump}) that is significantly less than the maximum output (V_{max}) experiences a ripple voltage signal caused by the sharing of charge between the capacitance of the pump circuit and that of the load circuit. The frequency of the ripple voltage coincides with the charge and discharge cycles of the clock. The output voltage rises above (overshoots) the target voltage during a charge cycle, and then drops again as a function of the RC discharge of the load and the load capacitance C_L. The level of voltage overshoots is proportional to the difference between the maximum pump output voltage, V_{max} and the pump output (V_{pump}). In another word, the voltage overshoot is proportional to the excess charge being dumped into the load capacitance.

This ripple phenomenon is very critical when a charge pump circuit 100 has to provide any of several different regulated V_{out} values. When a single charge pump circuit 100 has to furnish more than one V_{pump} value ranging from a very low to a very high value. In this case, the pump boost capacitor has to be larger in order to guarantee that the charge pump circuit 100 is able to furnish sufficient current at the highest voltage, but is over efficient at furnishing current at very low V_{pump} values, generating in this last case very high ripple. Because the overshoot is due to pure charge sharing between internal pump capacitance and external load, the lower the regulated pump output, the higher the charge sharing and the higher the voltage overshoot.

Referring to Figs. 2A, 2B and 2C, the graphs of three different pump voltage outputs, VA, VB (=2·VA), and VC (=4·VA), from the same charge pump circuit plotted against time show that V_{pump} and I_{out} are strictly depending on target pump value and charge pump behavior. When charge pump specification such as V_{max} and $load_{max}$ are known, the dimension of the pump can be defined in order to achieve the best efficient pump. The dimension of the

pump 100 is identified with minimum consumption, area, and the number of stages. Fig. 2A shows the lowest pump output voltage VA with the highest overshoot problem because the charge pump circuit is over efficient for the given load capacitance. Fig. 2B shows a lower overshoot problem for the higher pump voltage VB because the load is better matched to the pump circuit 100. Fig. 2C shows almost no overshoot problem for the highest pump voltage VC near V_{max}, which is the best load match for this charge pump circuit.

In one attempt to solve the overshoot problem in charge pumps, the U.S. Patent No. 6,370,046 entitled "Ultra-Capacitor Based Dynamically Regulated Charge Pump Power Converter" by Nebrigic et al. (the '046 patent), uses a power converter to provide electrical power by dynamically controlling a switch matrix of the charge pump that includes a flying ultra capacitor. The '046 dynamically provides the power upon demand by sensing the output voltage and changing the operating frequency of the charge pump in response. In particular, the dynamic controller operates a capacitive power output stage to pump charge at a rate to maintain an output voltage V_{out} across a load capacitor. The dynamic controller discharges a fly capacitor into the load capacitor when the output voltage drops below a reference voltage. The closed loop dynamic control allows for maintaining a desired output voltage by charging and discharging the flying ultra capacitor. The '046 patent also discloses a two state controller that switches a flying ultra capacitor at a slow rate to produce increased output power. The two states controller maintains a predetermined voltage ripple across the flying ultra capacitor to attain efficient charge transfer to the output capacitor.

An object of the invention is to provide a charge pump circuit with a minimum-ripple pump output

voltage and at the same time maintain the basic structure of charge pump and of regulator.

SUMMARY OF THE INVENTION

The object is met by a charge pump circuit with variable load. The charge pump circuit comprises one or more stages operable to receive a supply voltage and generate one or more pump voltages. A plurality of loads are connectable to the charge pump output, each load associated with a specific target pump voltage. A load selector means couples a selected load to the output according to the target pump voltage.

In conclusion, a new approach to select dynamically the best load for a pump as a function of the target output voltage.

In another embodiment, a regulator may be provided to monitor the output for unacceptable levels of overshoot and attach an additional load in the event such unacceptable overshoot is detected.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a schematic diagram of a three stage charge pump circuit.

Fig. 2A illustrates a response of the charge pump circuit of Fig. 1.

Fig. 2B illustrates another response of the charge pump circuit of Fig. 1.

Fig. 2C illustrates a response of the charge pump circuit of Fig. 1.

Fig. 3 is a schematic diagram of a charge pump circuit according to the present invention.

Fig. 4A is a response of the charge pump circuit of Fig. 3 when EN_A is on.

Fig. 4B is a response of the charge pump circuit of Fig. 3 when EN_B is on.

Fig. 4C is a response of the charge pump circuit of Fig. 3 when EN_C is on.

Fig. 5A is a schematic diagram of an embodiment of the load A of Fig. 3.

Fig. 5B is a schematic diagram of another alternative embodiment of the load A of Fig. 3.

Fig. 6 is a block diagram of an alternative embodiment of the charge pump circuit 300 coupled with a load selector for enabling/disenabling the pump circuit 300 when Vcfra is less than Vref.

Fig. 7 is a block diagram of another embodiment of the charge pump circuit 300.

Fig. 8 is a block diagram of a memory system that uses the charge pump circuit of Fig. 6.

Fig. 9 is a block diagram of a computer system that uses the memory system of Fig. 7.

Fig. 10 is a flow chart of a method for dynamically selecting a best load to reduce the voltage ripples compared to those obtained from the circuit of Fig. 1.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENT

With Reference to Fig. 3, a charge pump circuit 300 comprises a pumping circuit including one or more pump stages operable to receive a supply voltage V_{cc} and generate one or more pump voltages. The charge pump circuit 300 is shown with two pump stages, but more generally the charge pump circuit 300 can have n stages, where n>1. The charge pump circuit 300 includes several different loads 322, 326, and 330, each connectable via a respective switch 320, 324, 328 to the output 334 of the charge pump circuit. Depending on the desired pump output V_{out}, the switches select an appropriate load associated with a specific pump voltage to result in a minimum voltage ripple.

The pumping circuit includes three diodes 304, 306, and 308 (implemented here as diode-connected n-channel transistors) that are connected in series. The input terminal of the first diode 304 is coupled to a supply voltage V_{cc} 302. The output of the first diode is connected to the input terminal of the second diode 306, and the output terminal of the third diode is connected the output 332 of the charge pump circuit 300.

The charge pump circuit 300 also includes two capacitors 310 and 312, one for each pump stage. A first terminal of the first capacitor 310 is coupled to the output of the first diode 304 and the input of the second diode 306. A first terminal of the second capacitor 312 is coupled to the output of the second diode 306 and the input of the third diode 308. In an n-stage charge pump circuit, a last capacitor is coupled to the input terminal of the last diode.

A clock signal CLK supplied at input 314 is coupled in series with a set of inverters 316 and 318. The output of the first inverter 316 is coupled to a second terminal of the first capacitor 310. The output of the second inverter 318 is coupled to a second terminal of the second capacitor 312. In an n-stage charge pump, additional inverters in the series are connected to the other capacitor stages.

The charge pump circuit 300 of the present invention also includes several different loads 322, 326, and 328. Loads can be capacitors or current sinkers. Each load is associated with a different pump output voltage V_{out}. The number of loads provided to the circuit may vary, depending on the number of target pump voltages that can be provided. A given load can be associated to a fixed output voltage or to a small voltage interval. The first load 322 is associated with a pump output voltage VA and is connected to a first switch 320. The first switch is enabled by a control signal EN_A.

Similarly, the second load 324 is associated with a pump output voltage VB and is connected to a second switch 324. The second switch 324 is enabled by EN_B. Finally, the third load 330 is associated with a pump output voltage VC and is connected to a switch 328. The third switch 328 is enabled by EN_C. The three switches 320, 324, and 328 together with their respective control signals EN_A, EN_B,, and EN_C form a load selector means that reduce voltage ripple at the charge pump output 334 to a minimum.

When an instruction for either VA, VB, or VC is received by a controller (not shown), the controller (not shown) generates the enable control signal EN_A, EN_B or EN_C that selects an appropriate load for this voltage that gives the minimum voltage ripple. Only one load can be selected at a time. For example, if voltage VA is selected, EN_A causes the first switch 320 to close, connecting the first load to the output terminal of the charge pump circuit 300. The remaining loads 326 and 330 are disconnected from the output terminal because their respective switches 324 and 328 are open.

The output of the charge pump circuit 300 is shown in Fig. 4A. There is minimal ripple because the load is matched with the load capacitor 322 of the pumping circuit. In this case, the charge sharing effect, as discussed above, is minimal because of the additional of the selected load A.

Similarly, referring to Fig. 4B, the response of the charge pump circuit 300 is shown when load B 326 in Fig. 3 is selected by means of the second switch 324 being closed by control signal EN_B. When load B 326 is selected load A 320 and load C 330 are disconnected from the output of the charge pump circuit 300. In contrast to the graph 2B of Fig. 2, the voltage ripple of the charge pump output in this case is at minimum because the charge dumped into the load capacitance is significantly

reduced because the load provided by load B makes the load of the pump matched to the internal pumping capacitor.

Referring to Fig. 4C, the response of the charge pump circuit 300 is shown when load C 330 in Fig. 3 is selected by means of the third switch 328 being closed by control signal EN_C. When load C 330 is selected load A 322 and load B 326 are disconnected from the output of the charge pump circuit 300. The voltage ripple of the charge pump output in this case is also at minimum because the charge dumped into the load capacitance is significantly reduced because the load capacitance and the internal capacitance are matched.

In reference to Fig. 5A, one embodiment of the EN_A switch 320 and the load A 322 are shown. The switches 324 and 328 are similarly constructed. In this embodiment, the switch EN_A is an NMOS transistor whose gate is connected to the EN_A terminal, whose source is connected to electrical ground 332, and whose drain is connected to a load capacitor 502A. One terminal of the load capacitor 502A is connected to the pump output (V_{out}). When voltage VA is selected, the EN_A terminal is HIGH, the NMOS transistor is turned on, connecting the load A to the output (V_{out}).

Fig. 5B shows another embodiment of the switch EN_A 320 and the load A 322. In this embodiment the switch EN_A comprises an elevator circuit 502B whose input is connected to the EN_A terminal, and output is connected to the gate of an NMOS transistor 504B. The drain of the NMOS transistor 504B is connected to the pump output (V_{out}) and the source is connected to a load capacitor 506B. The second terminal of the load capacitor 506B is connected to the electrical ground 322. When voltage VA is selected, the EN_A terminal is HIGH, the output of the elevator circuit 502B is high. The

NMOS transistor is turned on, connecting the load A to the output (V_{out}).

Referring to Fig. 6, a simpler controller of the pump output voltage V_{pump} is the charge pump circuit 600. This circuit comprises a pump circuit 100 as described in Fig. 1, a comparator 602, a first resistor network 604 and a second resistor network 606. The charge pump circuit 600 compares a sample of the pump output voltage (Vcfra) to a reference voltage (Vref). Whenever Vcfra is larger than Vref, the comparator 602 disables the pump circuit 100 via an ENAPUMP terminal of the comparator 602.

Referring to Fig. 7, another embodiment of the present invention is shown with the selector means expanded to further compare the maximum acceptable ripple on pump voltage output sampled on node Vcfrb with the reference voltage (Vref). The charge pump circuit 700 includes a pumping circuit 100 as shown in Fig. 1, a first comparator 702 to compare the sampled target pump output (Vcfra) with the reference voltage (Vref), a first resistor 704, a second resistor 706, a third resistor 708, and a fourth resistor 710, a logic circuit 712, a second comparator 714, a set load switch 716 connected to a set load 718, an EN_A switch 720 connected to a load A 722, an EN_B switch 724 connected to load B 726, and an EN_C switch 728 connected to a load C 730. The second terminals of the second resistor 706, the fourth resistor 710, the load S 718, the load A 722, the load B 722, and the load C 730 are connected to an electrical ground 732.

As mentioned above, the first comparator 702 disables the pump 100 whenever the pump output voltage (Vcfra) sampled by means of the first resistive network is greater than the reference voltage (Vref). Otherwise, the first comparator 702 leaves the pump circuit 100 to continue to operate. When the voltage Vcfra is greater than the reference voltage (Vref) the charge pump circuit

700 performs the second test to further minimize the voltage ripple at the pump output (V_{out}). The second comparator 714 instructs the logic circuit 712 to add the load S 718 whenever the maximum acceptable ripple on target output sampled at node Vcfrb is greater than the reference voltage (Vref); otherwise, the second comparator 714 leaves the pump circuit 700 to operate without adding any load.

Moreover, an additional feedback circuitry can be implemented to have a direct control on pump output. In this way it is possible to decide the best load also in function of the temperature and supply voltage.

With reference to Fig. 8, a block diagram of a memory system includes the charge pump circuit 600 of Fig. 6. The memory system includes an address decoder 802, control circuit 806, and read/write/erase/verify circuitry 808 coupled to a memory cell array 804. In addition, the address decoder 802 is coupled to an address bus 810, the control circuit 806 is coupled to a control bus 812, and the read/write/erase/verify circuitry 808 is coupled to a data bus 814. The pumped output voltage V_P generated by the charge pump circuit 600 may be applied to number of components within the memory system. In the memory system, the charge pump circuit 600 applies the pumped output voltage to the read/write/erase/verify circuit 808 that may utilize this voltage in a data buffer to enable that buffer to transmit or receive full logic level signals on the data bus. The charge pump circuit 600 also applies the pumped output voltage to the address decoder 802, in turn, may utilize this voltage to apply boosted wordline voltages to the array. In operation, external circuitry, such as processor or memory controller, applies address, data, and control signals on the respective busses 810, 812, 814 to transfer data to and from the memory system 800. When contained in a flash memory, the charge pump circuit

600 would typically receive an external supply voltage V_{cc} and generate a plurality of switchable voltage V_p that are used to perform program and erase operations in blocks of nonvolatile memory cells contained in the array. Each local decoder provided within the memory cell array sectors 0, 1, ...5 comprises at least one n-type transistor to pass negative voltage and at least one p-type MOS transistor to pass the positive voltage to an addressed row of that sector.

Fig. 9 is a block diagram of a computer system 900 including computing circuitry 802 that contains the memory device 800 of Fig. 8. The computing circuitry 802 with its associated processor 804 performs various computing functions such as executing specific software to perform specific calculations or tasks. In addition, the computer system includes one or more input devices 806, such as a keyboard or a mouse, coupled to the computer circuit to allow an operator to interface with the computer system. Typically, the computer system also includes on or more output devices coupled to the computer circuitry, such output devices typically being a printer or a video terminal. One or more data storage devices are also typically coupled to the computer circuitry to store data or to retrieve data from external storage media. Examples of typical storage devices include hard and floppy disks, tape cassettes, and compact disc read-only memory (CD-ROM). The computer circuitry is typically coupled to the memory device through appropriate address, data, and control busses to provide for writing data to and reading data from memory device.

Another aspect of the present invention provides a method for achieving minimum voltage ripple of the charge pump operation in a memory device, which may be employed in association with the memory devices and computer system illustrated and described above.

Referring to Fig. 10, the flow chart shows a method 1000 usable especially with the circuits of Figs. 3 and 7 for achieving minimum voltage ripple in the charge pump circuit 600 by dynamically selecting the best load that yield the desired result, including the decision whether to set load S in addition to one of the loads A, B or C. The method begins by choosing a desired output pump voltage (step 1004), selecting a load associated with the selected output pump voltage (step 1006), comparing (step 1008) the target output voltage (Vcfra) to a reference voltage (Vref), comparing (step 1010) the maximum ripple target output voltage (Vcfrb) to the reference voltage (Vref). The resistor network going Vcfrb is made to give Vcfrb < Vcfra for a given output voltage V_{pump}. Whenever the target output voltage Vcfra is less than the Vref, else continue the pumping process. Whenever Vcfrb is greater than Vref, adding a load; otherwise, continue to next step. Whenever minimum acceptable overshoot on output pump target Vcfrc is less than Vref (step 1014), removing a load and continue; otherwise continue to see if power is off (step 1016). If power is off then end the charge pump process.

The method 1000 starts at step 1002. The instruction begins and orders the bus controller to instruct the charge pump circuit 600 to begin.

At step 1004, the instruction provides information to the charge pump circuit 600 near the voltage needed at the output node.

At the step 1006, the switch enables a load corresponding to the selected pump voltage by switching on the load that provides the best voltage ripple by means of either EN_A, EN_B, or EN_C function as discussed above. The pumping phase (step 1007) is enabled.

At step 1008, after the pump circuit 600 reaches the desired value, in order to ensure that the pump output is at the right output voltage value, the

charge pump circuit measures the pump output against the reference voltage. Whenever the measured pump output voltage (Vcfra) is greater than the reference voltage, it means that there is overshoot (the output voltage is beyond the target voltage). The logic circuit of the charge pump circuit orders the charge pump circuit 600 to halt operation (step 1009). Whenever the measured pump output voltage (Vcfra) is less than the reference voltage, the output is lower than the desired value and, the circuit 600 continues to enable the pumping (step 1007) of the charge pump circuit.

At step 1010, the output voltage (Vcrfb) is compared with the reference voltage (Vref) in order to find out whether voltage overshoots occur. Whenever Vcfrb is greater than or equal to the reference voltage (Vref), it means there are voltage overshoots and the logic goes to the next step.

At step 1012, the circuit 600 adds a load so that voltage ripple can be reduced. This step continues until the voltage ripple is reduced and then the circuit 600 goes to the next step.

At step 1014, the circuit 600 compares the output voltage (Vcfrc) to the reference voltage (Vref) to find if a minimum drop on the output voltage occurs. For a given V_{pump} the resistor network is made to give Vcfrc > Vcfra. If Vcfrc is strictly lower than the reference voltage (Vref), it means there are voltage undershoots and the logic goes to the next step.

At step 1016, the circuit 600 removes a load so that voltage drop can be reduced. This step continues until the voltage drop is reduced and then the circuit 600 moves to next step.

At step 1016, when the minimum voltage ripple is achieved, the circuit 600 observes if the power is turned off. If the power is not off, the method 1000 repeats steps 1008 to 1016 until the power is off.

At step 1018, when the power is off, the method 1000 ends.

Claims

What is claimed is:

1. A charge pump circuit for generating a charge pump voltage having minimal voltage ripples, comprising:

a) a pumping circuit comprising one or more stages operable to receive a supply voltage and generate a selected one of a plurality of pump voltages;

b) a plurality of loads selectively coupleable to an output of the pumping circuit, each load associated with a specific pump voltage; and

c) a load selector means for selectively coupling a load associated with a specific pump voltage to the output of said pumping circuit.

2. The charge pump circuit of claim 1, wherein the load selector means includes a target output pump selector for shutting down the variable charge pump circuit when the target output pump voltage (Vcfra) is greater than or equal to a reference voltage (Vref).

3. The charge pump circuit of claim 2, wherein the load selector means further includes a maximum ripple on the target output selector means for adding a load, whenever a maximum ripple on the target output voltage (Vcfrb) greater than the reference voltage (Vref) then the maximum ripple on the target output selector means adds additional loads until the Vcfrb voltage is less than or equal to the reference voltage (Vref).

4. The charge pump circuit of claim 1, wherein the pumping circuit comprises:

a) a plurality of diodes coupled in series, each diode having an input terminal and an output terminal, the input terminal of the first diode in the series is coupled to the supply voltage, the output of the first diode being connected to the input terminal of the second diode, and the output terminal of the last diode connected to the output pump;

b) a plurality of capacitors having a first terminal and a second terminal, wherein the first terminal of the first capacitor being coupled to the output of a first diode and the input of a second diode, the first terminal of the second capacitor being coupled to the output of the second diode and the input of a third diode, and the first terminal of the last capacitor is coupled to the input terminal of a last diode;

c) a plurality of inverters coupled in series to one another, each having an input terminal and an output terminal, the output of the first inverter being coupled to the second terminal of the first capacitor forming the first stage of the charge pump circuit, the second output of the second inverter coupled to the second terminal of the second capacitor forming the second stage of the charge pump circuit, and the output of the last inverter is coupled to the second terminal of the last capacitor forming the last stage of the charge pump circuit; and

d) a clock signal coupled to the input terminal of the first inverter.

5. The variable charge pump circuit of claim 4, wherein each of the plurality of diodes is a diode-connected NMOS transistor, the gate of each transistor being connected to its drain forming the input terminal and its source forming the second terminal.

6. The charge pump circuit of claim 1, wherein the load selector means is a plurality of switches, one switch for each of said loads, each switch having a first terminal, a second terminal, and an enable terminal, the switch being coupled in series with each load, the first terminal of the switch being coupled to the output pump and the second terminal of the switch is coupled to each load.

7. The charge pump circuit of claim 1, wherein each load selector means comprises an NMOS transistor having a gate, a drain and a source, the gate of the NMOS load transistor being coupled to an enable signal, the source of the load NMOS load transistor being coupled to an electrical ground, and the drain being coupled to a load.

8. The charge pump circuit of claim 7, wherein each load is a capacitor or a current sinker having a first terminal and a second terminal, the first terminal being coupled to the pump voltage and the second terminal being coupled to the drain of the NMOS transistor.

9. The charge pump circuit of claim 1 wherein each load selector means comprises an elevator circuit having an input terminal and an output terminal, the input terminal being coupled to an enable signal, the output terminal being coupled to a load NMOS transistor, the gate of the load NMOS transistor being connected to the output terminal of the elevator circuit, the drain of the NMOS transistor being coupled to the pump output, and the source being coupled to the load.

10. The charge pump circuit of claim 9, wherein each load is a capacitor or a current sinker having a first terminal and a second terminal, the first terminal being coupled to the source of the NMOS transistor and the second terminal being coupled to an electrical ground.

11. The charge pump circuit of claim 2 wherein the target output pump selector comprises:

a) a first comparator having two input terminals, an output terminal and a first enable terminal, one of the two input terminals being connected to the reference voltage (Vref);

b) a first resistor network having two terminals, the first terminal being coupled to the output pump, the second terminal being coupled to one of the input terminals of the first comparator;

c) a second resistor network having two terminals, the first terminal being coupled to the second terminal of the first resistor network, and the second terminal of the second resistor network being coupled to an electrical ground; and

d) a reference voltage source (Vref) coupled to one of the input terminals of the first comparator.

12. The charge pump circuit of claim 11, wherein the maximum overshoot on target output selector means comprises:

a) a third resistor network having two terminals, the first terminal is coupled to the output pump;

b) a fourth resistor network having two terminals, the first terminal is coupled to second terminal of the third resistor network, and the second terminal of the fourth resistor network being coupled to an electrical ground;

c) a second comparator having two input terminal, an output terminal, and an enable terminal, one of the input terminals being coupled to the input terminal of the fourth resistor network and the other of the input terminals being coupled to the reference voltage Vref;

d) a logic circuit having two terminals, the first terminal is coupled to the output terminal of the second comparator; and

e) a set load coupled to the pump output and being controlled by the logic circuit for adding an additional load to the output pump when the output pump has an overshoot greater than a maximum allowed on the output terminal.

13. A memory device, comprising:

an address bus;

a control circuit;

a data bus;

an address decoder coupled to the address bus;

a read/write circuit coupled to the data bus;

a memory cell array coupled to the address decoder, control circuit, and read/write circuit; and

a charge pump circuit that generates a boosted

output voltage with minimum ripples on an output node coupled to the address decoder, read/write circuit, and memory cell array, the charge pump circuit comprising:

a) a pumping circuit comprising one or more stages operable to receive a supply voltage and generate one or more pump voltages;

b) a plurality of loads, each load associated with a specific pump voltage and selectively coupleable to an output of the pump circuit (output pump);

c) a load selector means coupled to the output pump for selecting a load that satisfies a specific pump voltage;

d) a target output pump selector sampling the output of the pump circuit for shutting down the variable charge pump circuit whenever the sampled output voltage (vcfra) is greater than or equal to a reference voltage (Vref);

e) a maximum ripple on target output selector means sampling the output of the pump circuit for adding a load, whenever a maximum ripple on sampled output voltage (Vcfrb) is greater or equal to than the reference voltage (Vref) then the output selector means adds additional loads until the Vcfrb voltage is less than the reference voltage (Vref).

14. A memory system of claim 13, wherein the pumping circuit comprises:

a) a plurality of diodes coupled in series, each diode having an input terminal and an output terminal, the input terminal of the first diode in the series being coupled to the supply voltage, the output of the first diode being connected to the input terminal of the second diode, and the output terminal of the last diode connected to the output pump voltage;

b) a plurality of capacitors having a first terminal and a second terminal, wherein the first terminal of the first capacitor being coupled to the output of the first diode, the first terminal of the second capacitor being coupled to the output of the second diode, and the first terminal of the last capacitor being coupled to the input terminal of the last diode;

c) a plurality of inverter coupled in series to one another, each having an input terminal and an output terminal, the output of the first inverter being coupled to the second terminal of the first capacitor and the input of the second inverter forming the first stage of the charge pump circuit, the second output of the second inverter coupled to the second terminal of the second capacitor forming the second stage of the charge pump circuit, and the output of the last inverter being coupled to the input of the last diode; and

d) a clock signal coupled to the input terminal of the first inverter.

15. The memory system of claim 13, wherein the plurality of diodes is a NMOS transistor connected as a diode, the gate of each transistor being connected to its drain forming the input terminal and the source forming the second terminal.

16. The memory system of claim 13, wherein the load selector means is a switch having a first and a second terminal coupled in series with each load, the first terminal of the switch being coupled to the output pump and the second terminal of the switch is coupled to the load.

17. The memory system of claim 13, wherein each load selector means comprises an NMOS transistor having a gain a drain and a source, the gate of the NMOS load transistor being coupled to an enable signal, the source of the load NMOS load transistor being coupled to an electrical ground, and the drain being coupled to a load.

18. The memory system of claim 17, wherein the load is a capacitor having a first terminal and a second terminal, the first terminal being coupled to the pump voltage and the second terminal being coupled to the drain of the NMOS transistor.

19. The memory system of claim 13 wherein each load selector means comprises an elevator circuit having an input terminal and an output terminal, the input terminal being coupled to an enable signal, the output terminal being coupled to a load NMOS transistor, the gate of the load NMOS transistor being connected to the output terminal of the elevator circuit, the drain of the NMOS transistor being coupled to the pump output.

20. The memory system of claim 19, wherein each load is a capacitor having a first terminal and a second terminal, the first terminal being coupled to the source of the NMOS transistor and the second terminal being coupled to an electrical ground.

21. The memory system of claim 13, wherein load selector means comprises:

a) a first comparator having two input terminal, an output terminal and a first enable terminal, one of the two input terminals connected to the reference voltage (Vref);

b) a first resistor network having two terminals, the first terminal being coupled to the output pump, the second terminal being coupled to the output terminal of the first comparator;

c) a second resistor network having two terminals, the first terminal is coupled to the second terminal of the first resistor network, and the second terminal of the second resistor network being coupled to an electrical ground;

d) a third resistor network having two terminals, the first terminal being coupled to the output pump;

e) a fourth resistor network having two terminals, the first terminal being coupled to the second terminal of the third resistor network, the second terminal of the fourth resistor network being coupled to ground;

f) a second comparator having two input terminals, and output terminal and an enable terminal, one of the input terminals being coupled to the input

terminal of the fourth resistor network and the other of the input terminals being coupled to the reference voltage Vref; and

g) a logic circuit having two terminals, the first terminal coupled to the second comparator.

22. The memory system of claim 21, wherein the pumping circuit comprises:

a) a plurality of capacitors or current sinkers having a first terminal and a second terminal, wherein the first terminal of the first capacitor being coupled to the output of the first diode, the first terminal of the second capacitor being coupled to the output of the second diode, and the first terminal of the last capacitor being coupled to the input terminal of the last diode;

b) a plurality of inverter coupled in series to one another, each having an input terminal and an output terminal, the output of the first inverter being coupled to the second terminal of the first capacitor and the input of the second inverter forming the first stage of the charge pump circuit, the second output of the second inverter coupled to the second terminal of the second capacitor forming the second stage of the charge pump circuit, and the output of the last inverter being coupled to the input of the last diode; and

c) a clock signal coupled to the input terminal of the first inverter.

23. The memory system of claim 13, wherein the memory cell is a flash memory cell.

24. A method for generating an output voltage with minimal ripples in a charge pump circuit, comprising:

a) selecting a output pump voltage (Vpump);

b) turning on a load associated with the selected Vpump; and

c) comparing a target output voltage (Vcfra) with a reference voltage (Vref) whenever the target output voltage greater than the reference voltage, disabling the charge pump circuit; whenever the target output voltage is less or equal to the voltage reference, leaving the charge pump circuit on.

25. The method of claim 24, further comprises the following steps:

a) comparing a maximum acceptable ripple on output voltage value (Vcfrb) with a reference voltage (Vref) whenever the maximum acceptable ripple output voltage value is greater than the reference voltage, connecting a load until the Vcfrb voltage value is less than or equal to the reference voltage;

b) comparing a minimum acceptable drop on output voltage value (Vcfrc) with the reference voltage(Vref), whenever the minimum acceptable drop on output voltage value is less than the reference voltage, removing a load until the Vcfrc voltage value is greater than the reference voltage.

Abstract of the Disclosure

A variable charge pump circuit uses a plurality of selectable loads to minimize the voltage ripples of the pumped output by selecting the appropriate load for a preselected pump voltage. The charge pump circuit also compares the pump voltage to a reference voltage to shut down the variable charge pump circuit if the pump voltage is larger than the reference voltage. The charge pump circuit also compares the maximum voltage output to the reference voltage to monitor whether the maximum ripple on voltage output is larger than the reference voltage. The charge pump circuit comprises one or more stages operable to receive a supply voltage and generate one or more pump voltages, a plurality of loads each associated with a specific pump voltage, and a load selector means coupled to the output pump and the plurality of loads for selecting a load associated with a specific pump voltage.

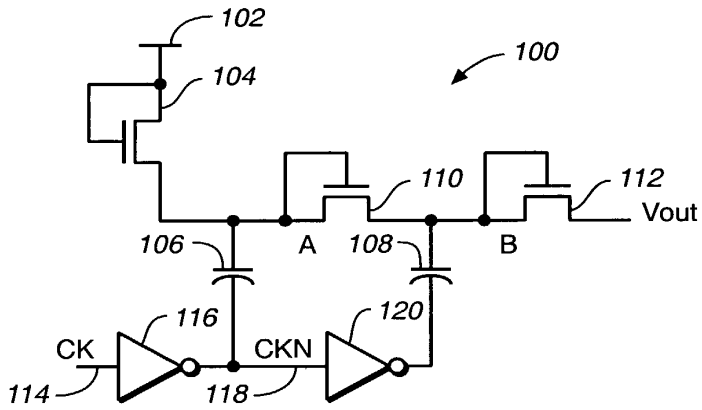


FIG._1 (PRIOR ART)

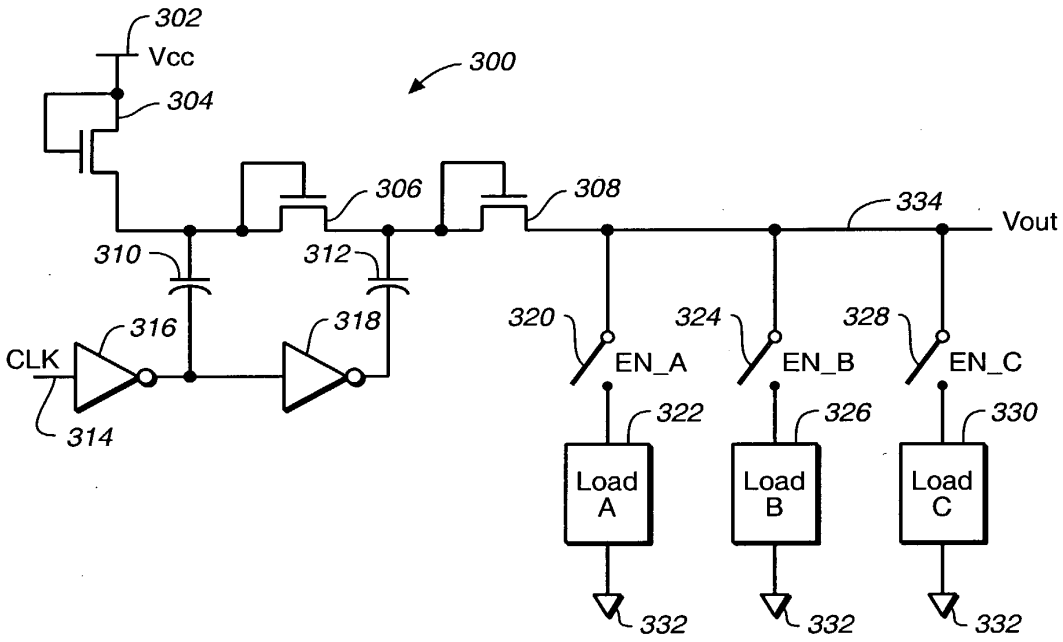


FIG._3

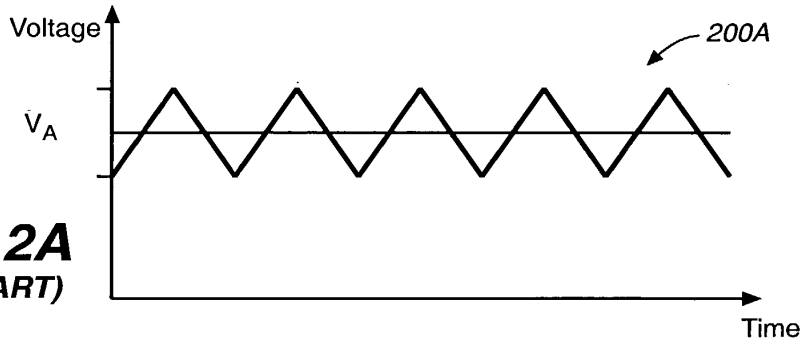


FIG._2A
(PRIOR ART)

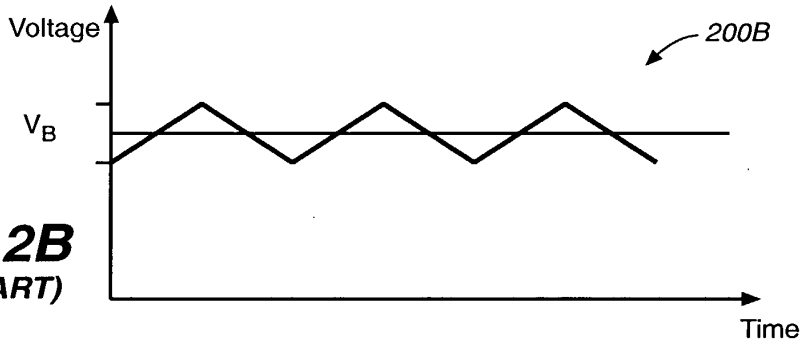


FIG._2B
(PRIOR ART)

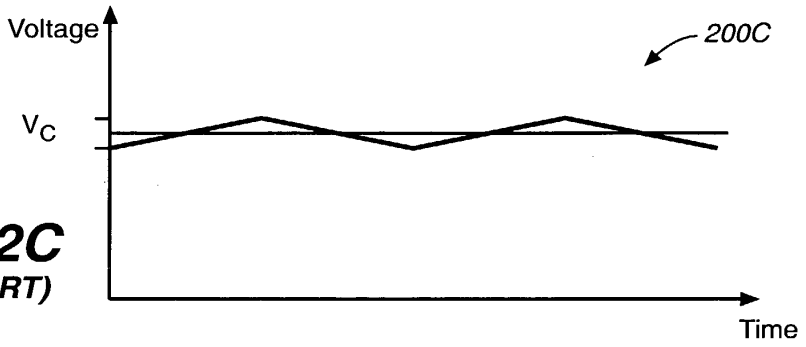


FIG._2C
(PRIOR ART)

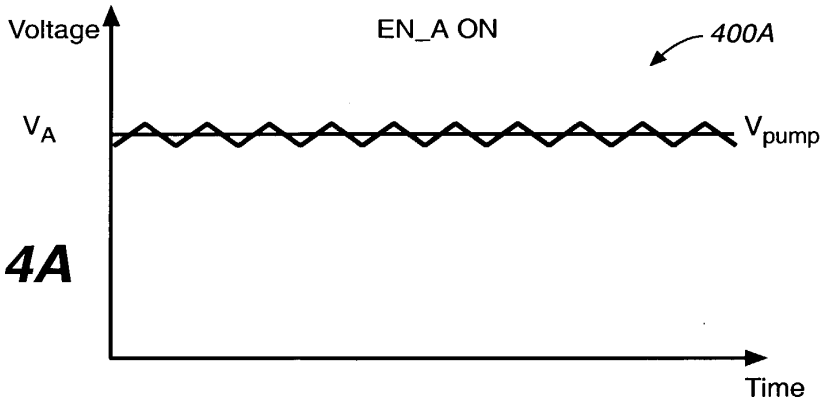


FIG._4A

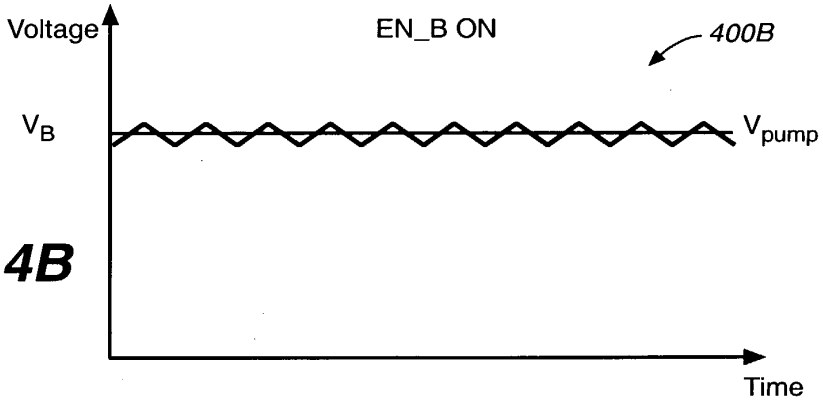


FIG._4B

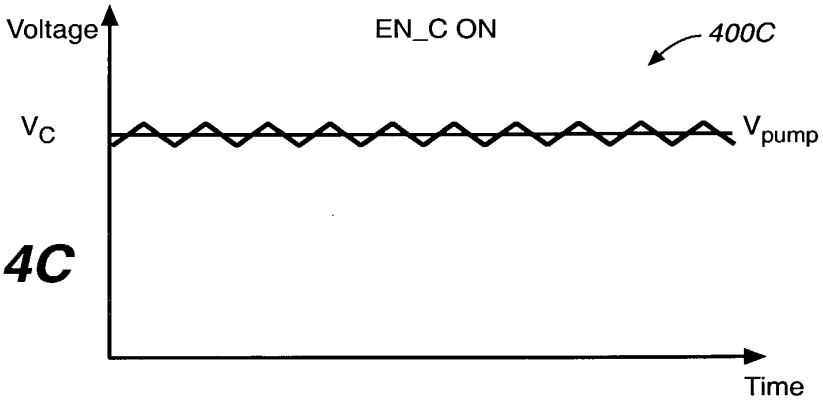


FIG._4C

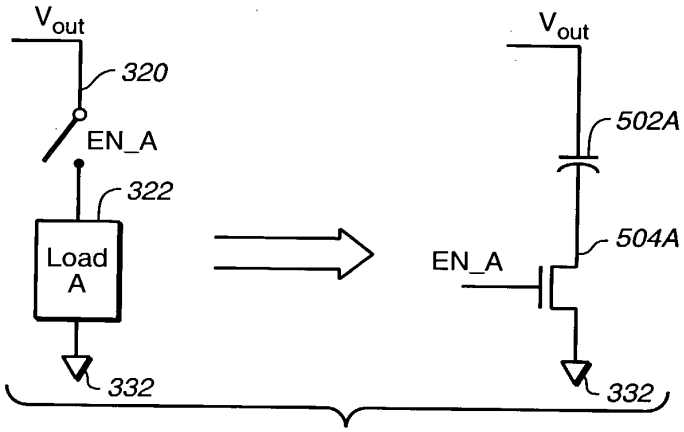


FIG._5A

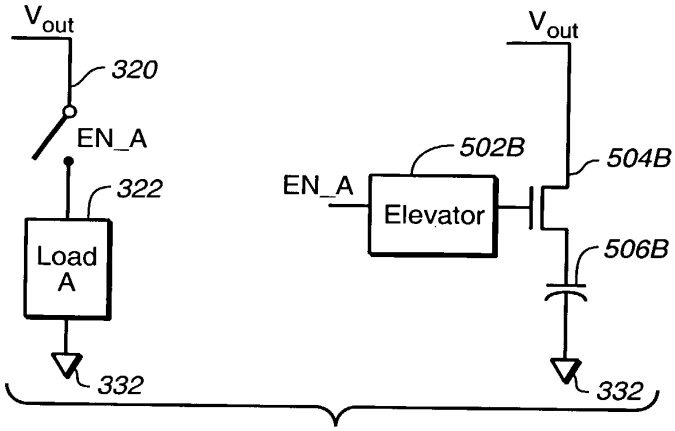


FIG._5B

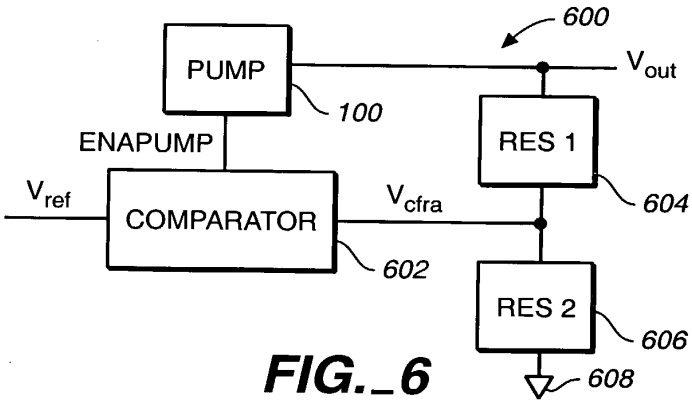


FIG._6

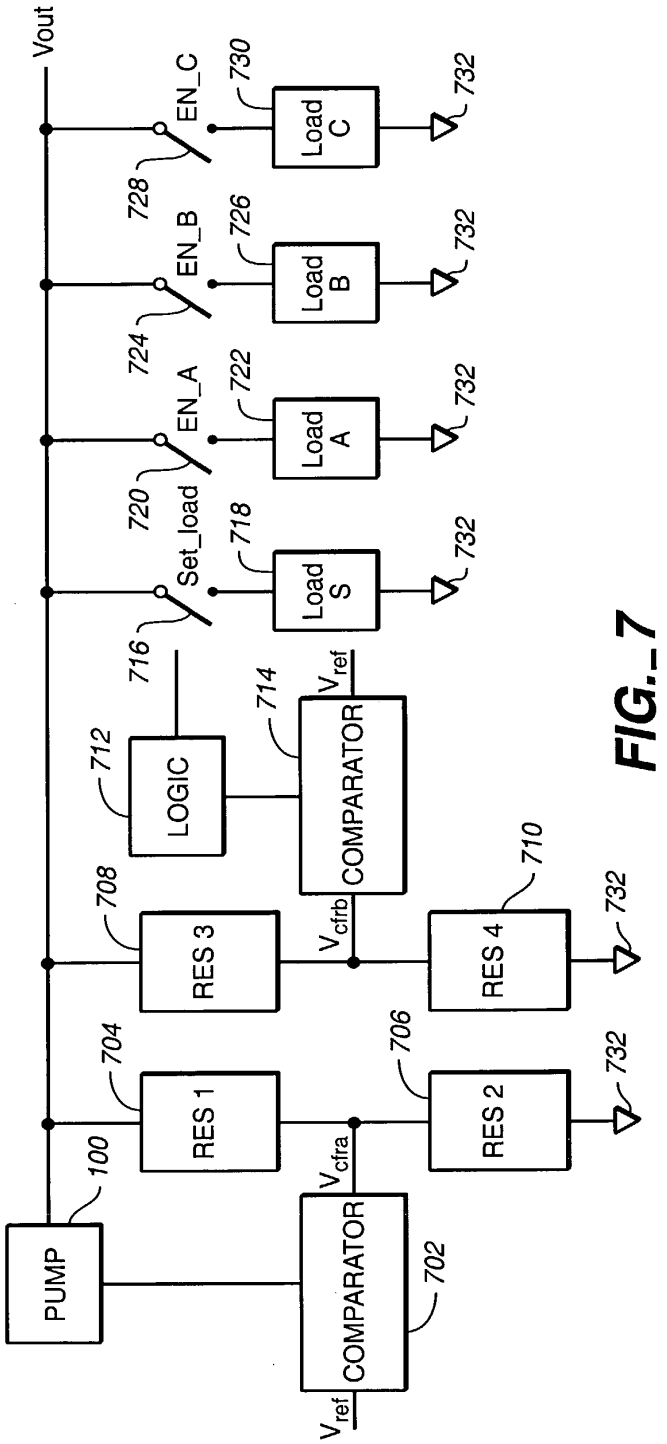

700
Vout
PUMP
100
COMPARATOR
702
V_{ref}
V_{cfra}
RES 1
704
RES 2
706
732
RES 3
708
RES 4
710
V_{cfrb}
LOGIC
712
COMPARATOR
714
V_{ref}
716
Set_load
720
EN_A
724
EN_B
728
EN_C
Load S
718
Load A
722
Load B
726
Load C
730

FIG._7

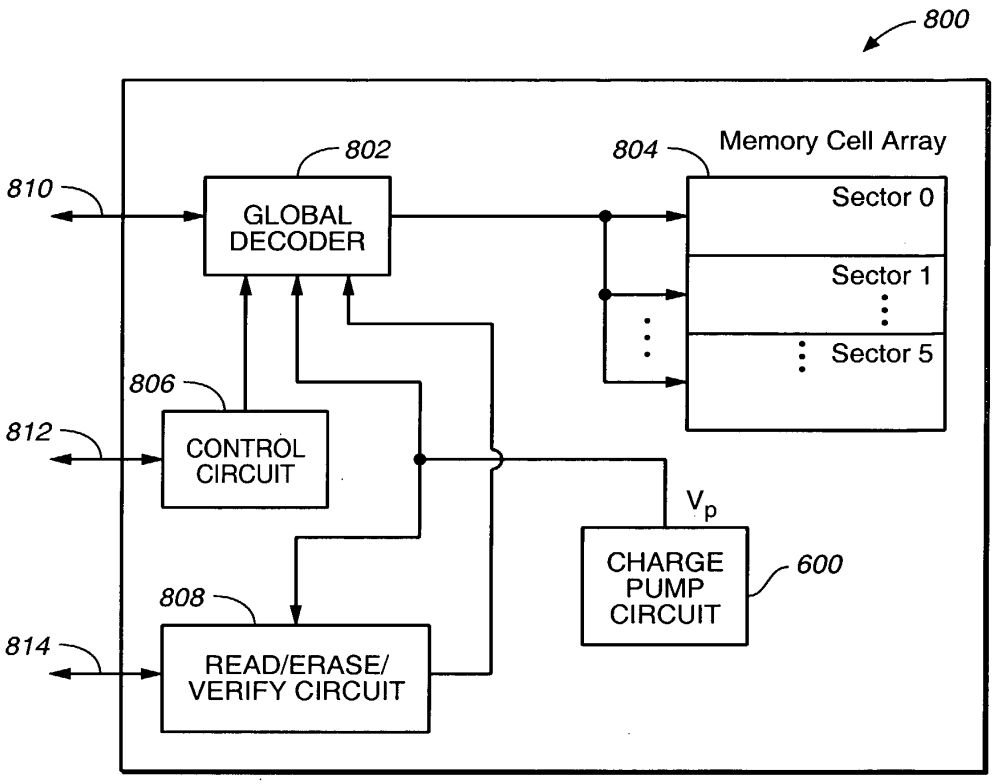

800
802
804
Memory Cell Array
810
GLOBAL DECODER
Sector 0
Sector 1
Sector 5
806
812
CONTROL CIRCUIT
V_p
CHARGE PUMP CIRCUIT
600
808
814
READ/ERASE/ VERIFY CIRCUIT

FIG._8

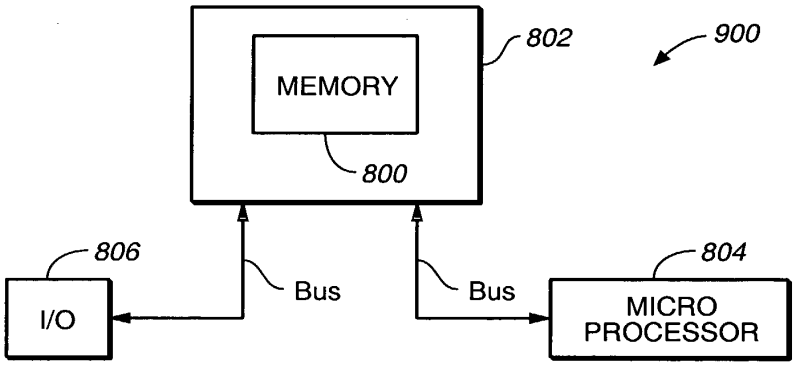

802
900
MEMORY
800
806
Bus
Bus
804
I/O
MICRO PROCESSOR

FIG._9

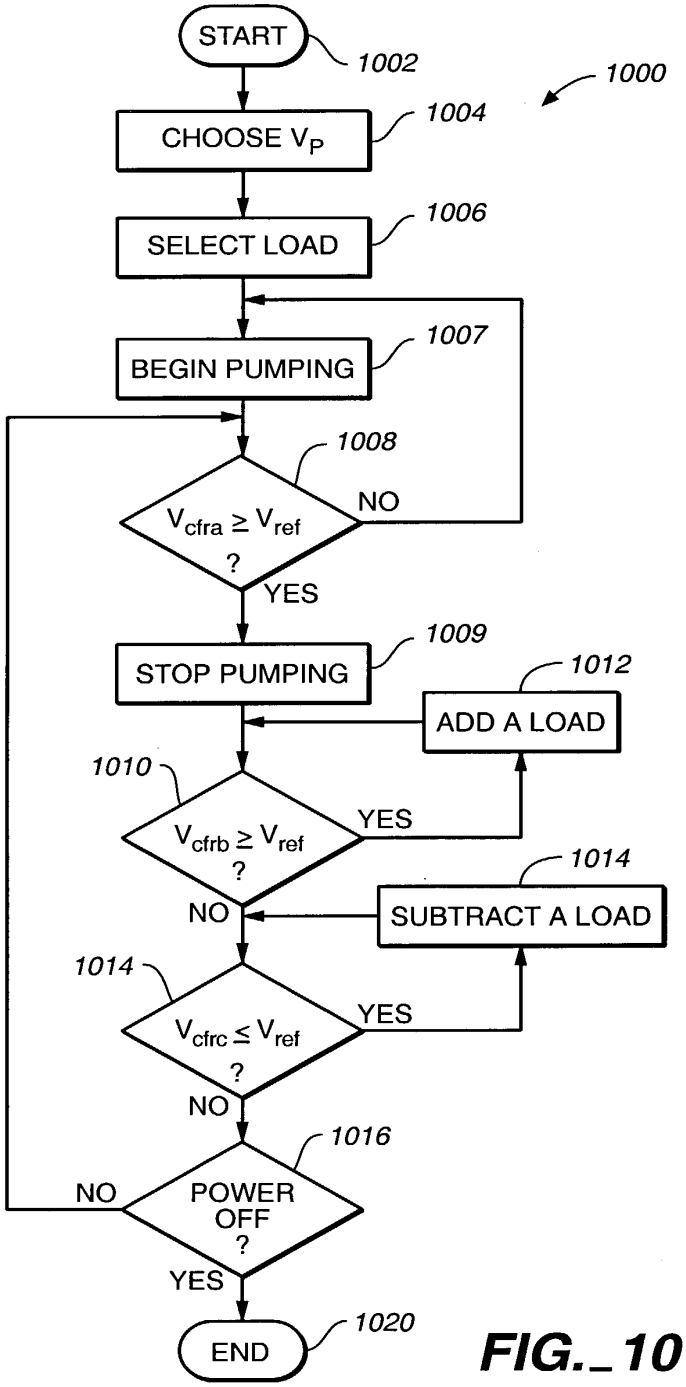

START
1002
1000
CHOOSE V_P
1004
SELECT LOAD
1006
BEGIN PUMPING
1007
1008
$V_{cfra} \geq V_{ref}$?
NO
YES
STOP PUMPING
1009
1012
ADD A LOAD
1010
$V_{cfrb} \geq V_{ref}$?
YES
1014
SUBTRACT A LOAD
NO
1014
$V_{cfrc} \leq V_{ref}$?
YES
NO
1016
POWER OFF ?
NO
YES
END
1020

FIG._10

Please type a plus sign (+) inside this box → [+]

PTO/SB/01 (12-97)
Approved for use through 9/30/00. OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION FOR UTILITY OR DESIGN PATENT APPLICATION (37 CFR 1.63)

☒ Declaration Submitted with Initial Filing **OR** ☐ Declaration Submitted after Initial Filing (surcharge (37 CFR 1.16 (e)) required)

Attorney Docket Number	ATM-234
First Named Inventor	Lorenzo Bedarida
COMPLETE IF KNOWN	
Application Number	/
Filing Date	
Group Art Unit	
Examiner Name	

As a below named inventor, I hereby declare that:

My residence, post office address, and citizenship are as stated below next to my name.

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD

(Title of the Invention)

the specification of which
☒ is attached hereto
OR
☐ was filed on (MM/DD/YYYY) _____ as United States Application Number or PCT International Application Number _____ and was amended on (MM/DD/YYYY) _____ (if applicable).

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment specifically referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56.

I hereby claim foreign priority benefits under 35 U.S.C. 119(a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT international application which designated at least one country other than the United States of America, listed below and have also identified below, by checking the box, any foreign application for patent or inventor's certificate, or of any PCT international application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached? YES	Certified Copy Attached? NO
MI 2002A 002268	Italy	10/25/2002	☐	☒	☐

☐ Additional foreign application numbers are listed on a supplemental priority data sheet PTO/SB/02B attached hereto:

I hereby claim the benefit under 35 U.S.C. 119(e) of any United States provisional application(s) listed below.

Application Number(s)	Filing Date (MM/DD/YYYY)	
		☐ Additional provisional application numbers are listed on a supplemental priority data sheet PTO/SB/02B attached hereto.

Burden Hour Statement: This form is estimated to take 0.4 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.

Please type a plus sign (+) inside this box → [+]

PTO/SB/01 (12-97)
Approved for use through 9/30/00. OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Utility or Design Patent Application

I hereby claim the benefit under 35 U.S.C. 120 of any United States application(s), or 365(c) of any PCT international application designating the United States of America, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of 35 U.S.C. 112, I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56 which became available between the filing date of the prior application and the national or PCT international filing date of this application.

U.S. Parent Application or PCT Parent Number	Parent Filing Date (MM/DD/YYYY)	Parent Patent Number *(if applicable)*

☐ Additional U.S. or PCT international application numbers are listed on a supplemental priority data sheet PTO/SB/02B attached hereto.

As a named inventor, I hereby appoint the following registered practitioner(s) to prosecute this application and to transact all business in the Patent and Trademark Office connected therewith: ☒ Customer Number 003897 → *Place Customer Number Bar Code Label here*
OR
☒ Registered practitioner(s) name/registration number listed below

Name	Registration Number	Name	Registration Number
Thomas Schneck	24,518	David M. Schneck	43,094
Mark Protsik	31,788	Nissa Strottman	52,257
Gina McCarthy	42,986		

☐ Additional registered practitioner(s) named on supplemental Registered Practitioner Information sheet PTO/SB/02C attached hereto.

Direct all correspondence to: ☒ Customer Number or Bar Code Label 003897 *OR* ☒ Correspondence address below

Name	Thomas Schneck				
Address	Law Offices of Thomas Schneck				
Address	P.O. Box 2-E				
City	San Jose	State	CA	ZIP	95109-0005
Country	USA	Telephone	408/297-9733	Fax	408/297-9748

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. 1001 and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Name of Sole or First Inventor: ☐ A petition has been filed for this unsigned inventor

Given Name (first and middle [if any])	Family Name or Surname
Lorenzo	Bedarida

Inventor's Signature	L. Bed					Date	11/22/02
Residence: City	Vimercate	State		Country	Italy	Citizenship	Italy
Post Office Address	Piazza Marconi 7A						
Post Office Address							
City	Vimercate	State		ZIP	20059	Country	Italy

☒ Additional inventors are being named on the 1 supplemental Additional Inventor(s) sheet(s) PTO/SB/02A attached hereto

Please type a plus sign (+) inside this box → [+]

PTO/SB/02A (3-97)
Approved for use through 9/30/98. OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION

ADDITIONAL INVENTOR(S)
Supplemental Sheet
Page 1 of 1

Name of Additional Joint Inventor, if any:	☐ A petition has been filed for this unsigned inventor						
Given Name (first and middle [if any])			Family Name or Surname				
Simone			Bartoli				
Inventor's Signature					**Date**	11/22/02	
Residence: City	Carbiago	**State**		**Country**	Italy	**Citizenship**	Italy
Post Office Address	Via Monte Bianco 21						
Post Office Address							
City	Carbiago	**State**		**ZIP**	20090	**Country**	Italy

Name of Additional Joint Inventor, if any:	☐ A petition has been filed for this unsigned inventor						
Given Name (first and middle [if any])			Family Name or Surname				
Stefano			Sivero				
Inventor's Signature					**Date**	11/22/02	
Residence: City	Vergiate	**State**		**Country**	Italy	**Citizenship**	Italy
Post Office Address	Via S. Giacomo 6						
Post Office Address							
City	Vergiate	**State**		**ZIP**	21029	**Country**	Italy

Name of Additional Joint Inventor, if any:	☐ A petition has been filed for this unsigned inventor						
Given Name (first and middle [if any])			Family Name or Surname				
Inventor's Signature					**Date**		
Residence: City		**State**		**Country**		**Citizenship**	
Post Office Address							
Post Office Address							
City		**State**		**ZIP**		**Country**	

Burden Hour Statement: This form is estimated to take 0.4 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.

PATENT APPLICATION SERIAL NO. _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

01/30/2003 SSITHIB1 00000041 10352733

01 FC:1001	750.00 OP
02 FC:1202	90.00 OP

PTO-1556
(5/87)

*U.S. Government Printing Office: 2001 — 481-697/59173

PATENT APPLICATION FEE DETERMINATION RECORD
Effective January 1, 2003

Application or Docket Number: 10342733

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS	25	
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	25 minus 20=	* 4
INDEPENDENT CLAIMS	3 minus 3 =	*
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	$375	OR	BASIC FEE	$750
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL		OR	TOTAL	840

CLAIMS AS AMENDED - PART II

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

BEST AVAILABLE COPY

AMENDMENT C

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

BEST AVAILABLE COPY

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

MODULARIO
L.C.A. - 101

Mod. C.E. - 1-4-7

J1132 U.S. PTO
10/352733
01/27/03

Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

MARCA DA BOLLO
10,33 Euro

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

N. MI2002 A 002268

Invenzione Industriale

Si dichiara che l'unita copia è conforme ai documenti originali depositati con la domanda di brevetto sopraspecificata, i cui dati risultano dall'accluso processo verbale di deposito.

ATM_234

na, lì 15 NOV. 2002

IL DIRIGENTE
Sig.ra E. MARINELLI

4/117166 vz

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO
UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

MODULO A

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

A. RICHIEDENTE (I)

1) Denominazione ATMEL CORPORATION

Residenza San Jose, CA (US) codice

2) Denominazione

Residenza codice

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome Barchielli Giovanna ed altri cod. fiscale

denominazione studio di appartenenza Ufficio Internazionale Brevetti Ing.C.Gregorj S.p.A.

via Dogana n. 1 città MILANO cap 20123 (prov) MI

C. DOMICILIO ELETTIVO destinatario

via n. città cap (prov)

D. TITOLO classe proposta (sez/cl/scl) G11C gruppo/sottogruppo /

Circuito pompa di cariche variabile con carico dinamico"

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☒ SE ISTANZA: DATA / / N° PROTOCOLLO

E. INVENTORI DESIGNATI (cognome nome)

1) BEDARIDA, Lorenzo
2) BARTOLI, Simone
3) SIVERO, Stefano
4)

F. PRIORITÀ

	nazione o organizzazione	tipo di priorità	numero di domanda	data di deposito	allegato S/R
1)	//			/ /	
2)				/ /	

SCIOGLIMENTO RISERVE — Data / N° Protocollo

/ / /

/ / /

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

	N. es.			
Doc. 1)	2	PROV	n. pag. 46	riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) ....
Doc. 2)	2	PROV	n. tav. 07	disegno (obbligatorio se citato in descrizione, 1 esemplare) .....
Doc. 3)	0	RIS		lettera d'incarico, ~~procura o riferimento procura generale~~ .....
Doc. 4)	1	RIS		designazione inventore .....
Doc. 5)	0	RIS		documenti di priorità con traduzione in italiano .....
Doc. 6)	0	RIS		autorizzazione o atto di cessione .....
Doc. 7)	0			nominativo completo del richiedente

SCIOGLIMENTO RISERVE — Data / N° Protocollo

/ / /

/ / /

/ / /

/ / /

confronta singole priorità

/ / /

8) attestati di versamento, totale lire euro Quattrocentosettantadue/56.= obbligatorio

COMPILATO IL 25/10/2002 **FIRMA DEL(I) RICHIEDENTE(I)** Barchielli Giovanna

CONTINUA SI/NO NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO SI

CAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO MILANO codice 155

VERBALE DI DEPOSITO NUMERO DI DOMANDA MI2002A 002268 Reg. A.

L'anno DUEMILADUE il giorno VENTICINQUE del mese di OTTOBRE

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraripportato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE IL RAPPRESENTANTE PUR INFORMATO DEL CONTENUTO DELLA CIRCOLARE N.423 DEL 01.03.2001 EFFETTUA IL DEPOSITO CON RISERVA DI LETTERA DI INCARICO.

IL DEPOSITANTE

Bollo dell'Ufficio

L'UFFICIALE ROGANTE
M.CORTONESI

PROSPETTO A

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA MI2002A 002268 REG. A

NUMERO BREVETTO

DATA DI DEPOSITO 25/10/2002

DATA DI RILASCIO



D. TITOLO

"Circuito pompa di cariche variabile con carico dinamico"

L. RIASSUNTO

Un circuito pompa di cariche variabile impiega una pluralità di carichi selezionabili per minimizzare le ondulazioni di tensione dell'uscita pompata selezionando il carico appropriato per una tensione pompa preselezionata. Il circuito pompa di cariche compara pure la tensione pompa con una tensione di riferimento per arrestare il circuito pompa di cariche variabili se la tensione pompa è superiore alla tensione di riferimento. Il circuito pompa di cariche compara pure la tensione d'uscita massima con la tensione di riferimento per monitorare se l'ondulazione massima sulla tensione d'uscita è superiore alla tensione di riferimento. Il circuito pompa di cariche comprende uno o più stadi atti ad operare per ricevere una tensione di alimentazione e generare una o più tensioni pompa, una pluralità di carichi ciascuno associato con una tensione pompa specifica, e mezzi selettori di carico accoppiati alla pompa di uscita e alla pluralità di carichi per selezionare un carico associato con una tensione pompa specifica. (Fig. 3)

M. DISEGNO

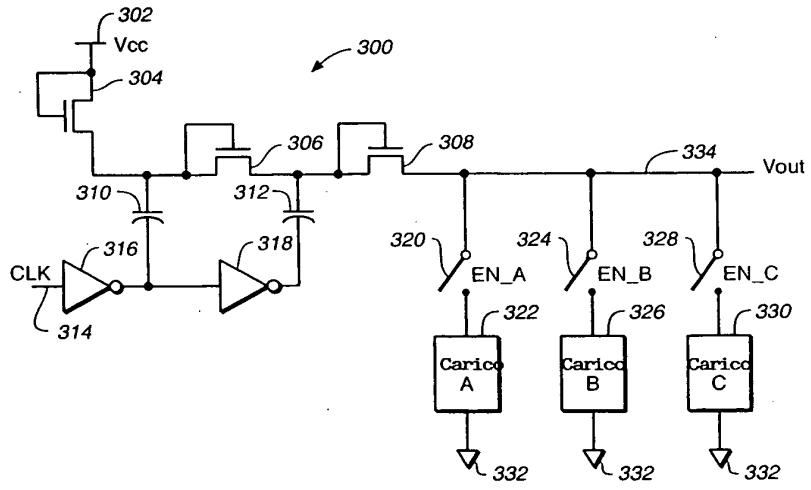


FIG._3

(Dott.ssa G. Barchielli)
n. albo 523

Descrizione del brevetto per invenzione industriale avente per titolo:

"Circuito pompa di cariche variabile con carico dinamico"

a nome: **Atmel Corporation**

con sede: **2325 Orchard Parkway**

San Jose, CA 95131 (U.S.A.)

MI 2002 A 002268

di nazionalità statunitense ed elettivamente domiciliata presso i suoi mandatari: Dr. E. Klausner, Dr. A. Santostefano, p.i. R. Monti, D.ssa G. Barchielli, a Milano, Via Dogana 1

(Ufficio Internazionale Brevetti Ing. C.Gregorj S.p.A.)

depositata il Nr.

DESCRIZIONE

CAMPO TECNICO

La presente invenzione riguarda generalmente circuiti pompa di cariche e, più particolarmente riguarda circuiti pompa di cariche variabili atti a fornire uno qualsiasi di vari livelli di tensione di uscita desiderati.

TECNICA DI SFONDO

C.C.I.A.A. BREVETTI 25 OTT. 2002 MILANO

Molti tipi di dispositivi di memoria richiedono alte tensioni per leggere, programmare e cancellare istruzioni. Ciò è vero per memoria con can-

(Dott.ssa G. Barchielli)
n. albo 523

cellazioni di pagine, in massa e di settori.

La soluzione più comune relativamente al generare alte tensioni interne è quella di impiegare circuiti pompa di cariche per elevare la tensione alimentata dal circuito di memoria. Un circuito pompa di cariche impiega un complesso di condensatori per aumentare la tensione di alimentazione. Una sorgente di bassa potenza è accoppiata ad un circuito pompa di cariche per generare alte tensioni necessarie per operazioni di cancellazione, lettura e programmazione in una memoria.

Fig. 1 illustra uno schema di massima di un tipico circuito pompa di cariche a due stadi 100 che genera una tensione di uscita elevata V_{pump} con un'ampiezza che è superiore all'ampiezza di una tensione di alimentazione V_{cc} alimentata da una sorgente 102, come ad esempio da un piedino esterno della piastrina o "chip" di memoria. La sorgente 102 di tensione è accoppiata a un primo transistor NMOS collegato a diodo 104. L'elettrodo di sorgente o "source" di tale primo transistor NMOS 104 è accoppiato ad un condensatore 106 ed un secondo transistor NMOS collegato a diodo 110. L'elettrodo di sorgente o "source" del secondo transistor NMOS 110

(Dott.ssa G. Barchielli)
n. albo 523

è accoppiato ad un secondo condensatore 108 e ad un terzo transistor NMOS 112. Il terzo transistor 112 ha il proprio elettrodo di porta o "gate" collegato al suo elettrodo di pozzo o "drain", e il suo elettrodo di sorgente collegato alla tensione di uscita V_{pump}. Gli altri terminali 114 e 118 dei condensatori 106 e 108 ricevono rispettivi segnali d'orologio CK e CKN di fase opposta. Le alte tensioni interne sono ottenute elevando la serie di condensatori 106, 108 con la tensione di alimentazione interna V_{CC}. I condensatori 106 e 108 memorizzano e trasferiscono carica alla velocità o frequenza degli orologi. Il nodo A è la giunzione tra il condensatore 106 e la sorgente del transistor NMOS collegato a diodo 110. Il nodo B è la giunzione tra il condensatore 108 ed il transistor NMOS collegato a diodo 112. La tensione in corrispondenza del nodo A eguaglia la somma delle tensioni del condensatore 106 e di V_{CC}. La tensione in corrispondenza del nodo B eguaglia la tensione del condensatore 108. La tensione d'uscita (V_{pump}) è la somma delle tensioni in corrispondenza dei nodi A e B. In dipendenza dalla efficienza del circuito pompa di cariche 100, la tensione d'uscita pompa (V_{pump}) è la quantità di

(Dott.ssa G. Barchielli)
n. albo 523



tensione che il transistor 112 fornisce al terminale di uscita. Un primo regolatore può essere dotato di retroazione dalla tensione d'uscita pompa per commutare rapidamente la pompa di cariche agli stati on e off per minimizzare ondulazioni nella tensione d'uscita pompa.

In un circuito pompa di cariche a due stadi come quello rappresentato in Fig. 1, la tensione d'uscita pompa V_{pump} può essere inferiore alla tensione massima che il circuito pompa di cariche 100 è possibilmente in grado di fornire. Ad esempio, la pompa di cariche può essere richiesta per alimentare una qualsiasi di varie differenti tensioni di uscita (V_{pump}), solamente una delle quali è prossima a quella massima. Più generalmente, per un circuito pompa a n-stadi, l'uscita di pompa massima ($V_{out-max}$) è uguale a $(n+1) * V_{cc}$. La corrente che la pompa di cariche è in grado di fornire è $I_{out} = f (V_{dd} \cdot N_p \cdot C_p/N_s \cdot T_{CK})$, in cui N_p è il numero di stadi in parallelo, N_s è il numero di stadi in serie, C_p è il valore di capacità e T_{CK} è il periodo d'orologio della pompa di cariche. Il segnale di orologio CK e CKN definiscono la velocità di trasferimento di cariche dall'alimentatore di energia

(Dott.ssa G. Barchielli)
n. albo 523

elettrica interno 114. In modo equivalente, tanto più elevata è la frequenza d'orologio, tanto più velocemente la tensione pompa raggiunge la tensione desiderata.

Solitamente, un'uscita (V_{pump}) della pompa di cariche che è significativamente inferiore all'uscita massima (V_{max}) manifesta un segnale di tensione di ondulazione provocato dalla condivisione di cariche tra la capacità del circuito pompa e quella del circuito di carico. La frequenza della tensione di ondulazione coincide con i cicli di carica e scarica dell'orologio. La tensione d'uscita aumenta al di sopra della (supera a elongazione) tensione desiderata durante un ciclo di carica, e quindi diminuisce nuovamente in funzione della scarica RC del carico e della capacità di carico C_L. Il livello di sovra-elongazione di tensione è proporzionale alla differenza tra la tensione d'uscita massima della pompa, V_{max}, e l'uscita (V_{pump}) della pompa. In altre parole, la sovra-elongazione o "overshoot" di tensione è proporzionale all'eccesso di cariche che sono scaricate per la capacità di carico.

Questo fenomeno di ondulazione o "ripple" è

(dott.ssa G. Barchielli)
n. albo 523

estremamente critico quando un circuito pompa di cariche 100 deve fornire uno qualsiasi di vari valori V_{out} regolati differenti. Quando un singolo circuito 100 pompa di cariche deve fornire più di un valore V_{pump} variante da un valore estremamente basso ad un valore estremamente elevato, in questo caso, il condensatore di elevazione o "boost" della pompa deve essere più grande al fine di garantire che il circuito pompa di cariche 100 sia in grado di fornire sufficiente corrente alla tensione massima, ma sia sovra-efficiente nel fornire corrente a bassissimi valori V_{pump}, generando in questo caso una ondulazione estremamente elevata. Poiché la sovra-elongazione è dovuta a pura condivisione di cariche tra la capacità interna della pompa ed il carico esterno, tanto più bassa è l'uscita regolata della pompa, tanto più elevata risulta la condivisione di cariche e tanto più elevata è la sovra-elongazione di tensione.

Facendo riferimento alle Fig. 2A, 2B e 2C, i grafici di tre differenti tensioni d'uscita pompa VA, VB (=2·VA), e VC (=4·VA), dal medesimo circuito pompa di cariche tracciati rispetto al tempo mostrano che V_{pump} e I_{out} sono strettamente dipenden-

(Dott.ssa G. Barchielli)
n. albo 523

ti dal valore pompa desiderato e dal comportamento della pompa di cariche. Quando specifiche della pompa di cariche come V_{max} e $load_{max}$ o carico massimo siano note, la dimensione della pompa può essere definita al fine di ottenere la pompa meglio efficiente. La dimensione della pompa 100 è identificata con consumo, area e numero di stadi minimi. Fig. 2A illustra la tensione d'uscita pompa più bassa VA con il massimo problema di sovra-elongazione poiché il circuito pompa di cariche è sovra-efficiente per la data capacità di carico. Fig. 2B mostra un inferiore problema di sovra-elongazione o "overshoot" per la tensione pompa più alta VB poiché il carico è meglio adattato al circuito pompa 100. Fig. 2C mostra pressoché assenza di problema di sovra-elongazione o "overshoot" per la tensione pompa più alta VC prossima a V_{max}, che rappresenta il miglior adattamento del carico per questo circuito pompa di cariche.

In un tentativo di risolvere il problema della sovra-elongazione o "overshoot" in pompe di cariche, il Brevetto Statunitense No. 6 370 046 dal titolo "Ultra-Capacitor Based Dynamically Regulated Charge Pump Power Converter" (Convertitore di Po-

(Dott.ssa G. Barchielli)
n. albo 523



tenza a Pompa di Cariche Regolata Dinamicamente a Base di Ultra-Condensatori) a nome Nebrigic et al. (il Brevetto '046), impiega un convertitore di potenza per fornire potenza o energia elettrica controllante dinamicamente una matrice di interruttori della pompa di cariche che include un ultra-condensatore "volante". Il Brevetto '046 fornisce dinamicamente la potenza sotto domanda rilevando la tensione d'uscita e variando la frequenza di funzionamento della pompa di cariche in risposta ad essa. In particolare, il controllore dinamico attiva uno stadio d'uscita di potenza capacitivo per pompare carica ad una velocità tale da mantenere una tensione di uscita V_{out} ai capi di un condensatore di carico. Il controllore dinamico scarica un condensatore volante o "fly" nel condensatore di carico quando la tensione di uscita diminuisce al di sopra di una tensione di riferimento. Il controllo dinamico ad anello chiuso consente il mantenimento di una tensione d'uscita desiderata caricando e scaricando l'ultra-condensatore "volante". Il Brevetto '046 descrive pure un controllore a due stati che commuta un ultra-condensatore "flying" o volante ad una bassa velocità per produrre aumenta-

(Dott.ssa G. Barchielli)
n. albo 523

ta potenza d'uscita. Il controllore a due stati mantiene una ondulazione di tensione predeterminata ai capi dell'ultra-condensatore "flying" per ottenere efficiente trasferimento di carica al condensatore d'uscita.

Uno scopo dell'invenzione è quello di fornire un circuito pompa di cariche con una tensione d'uscita di pompa ad ondulazione minima e al tempo stesso in grado di mantenere la struttura basilare della pompa di cariche e del regolatore o stabilizzatore.

SOMMARIO DELL'INVENZIONE

Tale scopo è raggiunto mediante un circuito pompa di cariche con carico variabile. Il circuito pompa di cariche comprende uno o più stadi atti ad operare per ricevere una tensione di alimentazione e generare una o più tensioni pompa. Una pluralità di carichi sono collegabili all'uscita della pompa di cariche, e ciascun carico essendo associato con una tensione pompa desiderata specifica. Mezzi selettori di carico accoppiano un carico selezionato all'uscita conformemente alla tensione pompa desiderata.

In conclusione, è fornita una nuova soluzione

(Dott.ssa G. Barchielli)
n. albo 523

per selezionare dinamicamente il carico migliore per una pompa in funzione della tensione d'uscita desiderata o "target".

In un'altra forma di realizzazione, può essere previsto un regolatore o stabilizzatore per monitorare l'uscita relativamente a livelli inaccettabili di sovra-elongazione o "overshoot" e collegare un carico addizionale nella eventualità che tale inaccettabile sovra-elongazione o "overshoot" sia rivelata.

BREVE DESCRIZIONE DEI DISEGNI

Fig. 1 è uno schema di massima di un circuito pompa di cariche a tre stadi.

Fig. 2A illustra una risposta del circuito pompa di cariche di Fig. 1.

Fig. 2B illustra un'altra risposta del circuito pompa di cariche di Fig. 1.

Fig. 2C illustra una risposta del circuito pompa di cariche di Fig. 1.

Fig. 3 è uno schema di massima di un circuito pompa di cariche secondo la presente invenzione.

Fig. 4A è una risposta del circuito pompa di cariche di Fig. 3 quando EN_A è on o attivo.

Fig. 4B è una risposta del circuito pompa di

(Dott.ssa G. Barchielli)
n. albo 523

cariche di Fig. 3 quando EN_B è on o attivo.

Fig. 4C è una risposta del circuito pompa di cariche di Fig. 3 quando EN_C è on o attivo.

Fig. 5A è uno schema di massima di una forma di realizzazione del carico A di Fig. 3.

Fig. 5B è uno schema di massima di un'altra forma di realizzazione alternativa del carico A di Fig. 3.

Fig. 6 è uno schema a blocchi di una forma di realizzazione alternativa del circuito pompa di cariche 300 accoppiato con un selettore di carico per abilitare/disabilitare il circuito pompa quando Vcfra è inferiore a Vref.

Fig. 7 è uno schema a blocchi di un'altra forma di realizzazione del circuito pompa di cariche 300.

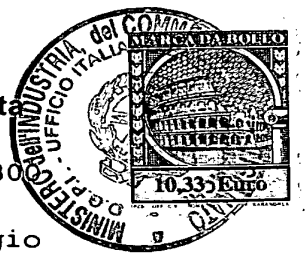
Fig. 8 è uno schema a blocchi di un sistema di memoria che impiega il circuito pompa di cariche di Fig. 6.

Fig. 9 è uno schema a blocchi di un sistema di computer che impiega il sistema di memoria di Fig. 7.

Fig. 10 è un diagramma di flusso di un procedimento per selezionare dinamicamente un carico ot-

(Dott.ssa G. Barchielli)
n. albo 523

timale per ridurre le ondulazioni di tensione rispetto a quelle ottenute dal circuito di Fig. 1.



Descrizione Dettagliata Della Forma Di Realizzazione Preferita

Facendo riferimento a Fig. 3, un circuito 300 pompa di cariche comprende un circuito di pompaggio includente uno o più stadi di pompa atti ad operare per ricevere una tensione di alimentazione V_{cc} e generare una o più tensioni pompa. Il circuito pompa di cariche 300 è rappresentato con due stadi di pompa, ma più generalmente il circuito pompa di cariche 300 può avere n stadi, in cui n<62>1. Il circuito pompa di cariche 300 include vari differenti carichi 322, 326, e 330, ciascuno collegabile tramite un rispettivo interruttore 320, 324, 328 all'uscita 324 del circuito pompa di cariche. In dipendenza dall'uscita di pompa desiderata V_{out}, gli interruttori selezionano un carico appropriato associato con una tensione pompa specifica per fornire una ondulazione di tensione minima.

Il circuito di pompaggio include tre diodi 304, 306 e 308 (qui implementati come transistor a canale n collegati a diodo) che sono collegati in serie. Il terminale di ingresso del primo diodo 304 è accoppiato ad una tensione di alimentazione V_{cc}

(Dott.ssa G. Barchielli)
n. albo 523

302. L'uscita del primo diodo è collegata al terminale di ingresso del secondo diodo 306, ed il terminale di uscita del terzo diodo è collegato all'uscita 332 del circuito pompa di cariche 300.

Il circuito pompa di cariche 300 include pure due condensatori 310 e 312, uno per ciascuno stadio pompa. Un primo terminale del primo condensatore 310 è accoppiato all'uscita del primo diodo 304 e all'ingresso del secondo diodo 306. Un primo terminale del secondo condensatore 312 è accoppiato all'uscita del secondo diodo 306 e all'ingresso del terzo diodo 308. In un circuito pompa di cariche a n-stadi, un ultimo condensatore è accoppiato al terminale di ingresso dell'ultimo diodo.

Un segnale d'orologio CLK alimentato all'ingresso 314 è accoppiato in serie con un insieme di invertitori 316 e 318. L'uscita del primo invertitore 316 è accoppiata ad un secondo terminale del primo condensatore 310. L'uscita del secondo invertitore 318 è accoppiata ad un secondo terminale del secondo condensatore 310. L'uscita del secondo invertitore 318 è accoppiata ad un secondo terminale del secondo condensatore 312. In una pompa di cariche a n-stadi, addizionali invertitori nella serie

(Dott.ssa G. Barchielli)
n. albo 523

sono collegati agli altri stadi a condensatori.

Il circuito pompa di cariche 300 della presente invenzione include pure vari differenti carichi 322, 326 e 328. I carichi possono essere costituiti da condensatori o assorbitori o dissipatori di corrente. Ciascun carico è associato in una differente tensione d'uscita pompa V_{out}. Il numero di carichi associati al circuito può variare, in dipendenza dal numero di tensioni pompa desiderate che possono essere fornite. un dato carico può essere associato ad una tensione d'uscita fissa o ad un piccolo campo di tensioni. Il primo carico 322 è associato con una tensione d'uscita pompa VA ed è collegato ad un primo interruttore o commutatore 320. Il primo interruttore è abilitato mediante un segnale di controllo EN_A. Analogamente, il secondo carico 324 è associato con una tensione d'uscita pompa VB ed è collegato ad un secondo interruttore o commutatore 324. Il secondo interruttore 324 è abilitato mediante EN_B. Da ultimo il terzo carico 330 è associato con una tensione d'uscita pompa VC ed è collegato ad un interruttore o commutatore 328. Il terzo interruttore 328 è abilitato mediante EN_C. I tre interruttori 320, 324, e 328 assieme ai

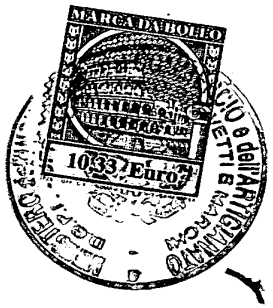
(Dott.ssa G. Barchielli)
n. albo 523

loro rispettivi segnali di controllo EN_A, EN_B, e EN_C formano mezzi selettori di carico che riducono l'ondulazione di tensione in corrispondenza dell'uscita 334 della pompa di cariche ad un minimo.

Quando un'istruzione o per VA, VB o per VC viene ricevuta da un controllore (non rappresentato), il controllore (non rappresentato) genera il segnale di controllo di abilitazione EN_A, EN_B o EN_C che seleziona un carico appropriato per questa tensione che fornisce l'ondulazione di tensione minima. Solamente un carico può essere selezionato alla volta. Ad esempio, se viene selezionata la tensione VA, EN_A fa sì che il primo interruttore 320 abbia a chiudersi, collegando il primo carico al terminale di uscita del circuito pompa di cariche 300. I rimanenti carichi 326 e 330 sono scollegati dal terminale di uscita poiché i loro rispettivi interruttori 324 e 328 sono aperti.

L'uscita del circuito 300 pompa di cariche è rappresentata in Fig. 4A. Vi è ondulazione minima poiché il carico è adattato con il condensatore di carico 322 del circuito di pompaggio. In questo caso, l'effetto di condivisione di cariche, com'è stato discusso precedentemente, è minimo a causa

(Dott.ssa G. Barchielli)
n. albo 523



dell'addizionale carico selezionato A.

Analogamente, facendo riferimento a Fig. 4B, la risposta del circuito pompa di cariche 300 è mostrata quando il carico B 326 di Fig. 3 viene selezionato mediante il secondo interruttore 324 che viene chiuso mediante il segnale di controllo EN_B. Quando viene selezionato il carico B 326, il carico A 320 ed il carico C 330 sono scollegati dall'uscita del circuito 300 pompa di cariche. Diversamente dal grafico 2B di Fig. 2, l'ondulazione di tensione dell'uscita della pompa di cariche in questo caso è minima poiché la carica scaricata nel condensatore di carico è notevolmente ridotta poiché il carico fornito dal carico B rende il carico della pompa adattato al condensatore di pompaggio interno.

Facendo riferimento a Fig. 4C, la risposta del circuito 300 pompa di cariche è rappresentata quando il carico C 330 di Fig. 3 viene selezionato mediante il terzo interruttore 328 che viene chiuso tramite il segnale di controllo EN_C. Quando il carico C 330 viene selezionato, il carico A 322 ed il tensione B 326 sono scollegati dall'uscita del circuito 300 pompa di cariche. L'ondulazione di tensione dell'uscita della pompa di cariche in questo

(Dott.ssa G. Barchielli)
n. albo 523

caso è pure minima poiché la carica scaricata nella capacità di carico è notevolmente ridotta, poiché la capacità di carico e la capacità interna sono adattate.

Facendo riferimento a Fig. 5A, in essa è illustrata una forma di realizzazione dell'interruttore 320 di EN_A e del carico A 322. L'interruttore 324 e 328 sono costruiti in modo simile. In questa forma di realizzazione, l'interruttore EN_A è un transistor NMOS la cui porta è collegata al terminale di EN_A, la cui sorgente è collegata alla massa elettrica 332 e il cui pozzo è collegato ad un condensatore di carico 502A. Un terminale del condensatore di carico 502A è collegato all'uscita pompa (V_{out}). Quando viene selezionata la tensione VA, il terminale di EN_A è alto o "HIGH", il transistor NMOS è commutato in accensione allo stato on, collegando il carico A all'uscita (V_{out}).

Fig. 5B illustra un'altra forma di realizzazione dell'interruttore EN_A 320 e del carico A 322. In questa forma di realizzazione, l'interruttore EN_A comprende un circuito elevatore 502B il cui ingresso è collegato al terminale di EN_A e la cui uscita è collegata alla porta del transistor

(Dott.ssa G. Barchielli)
n. albo 523

NMOS 504B. Il pozzo del transistor NMOS 504B è collegato all'uscita pompa (V_{out}) e la sorgente è collegata ad un condensatore di carico 506B. Il secondo terminale del condensatore di carico 506B è collegato alla massa elettrica 322. Quando viene selezionata la tensione VA, il terminale EN_A è ALTO, l'uscita del circuito elevatore 502B essendo alta. Il transistor NMOS è commutato allo stato on o in accensione, collegando il carico A alla uscita (V_{out}).

Facendo riferimento a Fig. 6, un controllore più semplice della tensione di uscita pompa V_{pump} è il circuito 600 a pompa di cariche. Questo circuito comprende un circuito pompa 100 come rappresentato in Fig. 1, un comparatore 602, una prima rete 604 di resistori ed una seconda rete 606 di resistori. Il circuito pompa di cariche 600 compara un campione della tensione d'uscita pompa (Vcfra) ad una tensione di riferimento (Vref). Ogni qualvolta Vcfra è maggiore di Vref, il comparatore 602 disabilita il circuito pompa 100 attraverso un terminale ENAPUMP del comparatore 602.

Facendo riferimento a Fig. 7, in essa è illustrata un'altra forma di realizzazione della pre-

(Dott.ssa G. Barchielli)
n. albo 523

sente invenzione con mezzi selettori espansi per comparare ulteriormente l'ondulazione accettabile massima sulla tensione d'uscita pompa campionata sul nodo Vcfrb con la tensione di riferimento (Vcref). Il circuito pompa di cariche 700 include un circuito di pompaggio 100 com'è rappresentato in Fig. 1, un primo comparatore 702 per comparare l'uscita pompa desiderata campionata (Vcfra) con la tensione di riferimento (Vcref), un primo resistore 704, un secondo resistore 706, un terzo resistore 708, e un quarto resistore 710, un circuito logico 712, un secondo comparatore 714, un interruttore 716 di carico impostato collegato ad un carico impostato 718, un interruttore 720 di EN_A collegato ad un carico A 722, un interruttore 724 di EN_B collegato al carico B 726, ed un interruttore 728 di EN_C collegato ad un carico C 730. I secondi terminali del secondo resistore 706, del quarto resistore 710, del carico S 718, del carico A 722, del carico B 722 e del carico C 730 sono collegati ad una massa elettrica 732.

Come di è menzionato precedentemente, il primo comparatore 702 disabilita la pompa 100 ogni qualvolta la tensione d'uscita pompa (Vcfra) cam-

(Dott.ssa G. Barchielli)
n. albo 523



pionata mediante la prima rete resistiva è superiore alla tensione di riferimento (Vref). Diversamente, il primo comparatore 702 consente al circuito pompa 100 di continuare a funzionare. Quando la tensione Vcfra è superiore alla tensione di riferimento (Vref), il circuito 700 pompa di cariche esegue la seconda prova per minimizzare ulteriormente l'ondulazione di tensione in corrispondenza dell'uscita (V_{out}) della pompa. Il secondo comparatore 714 istruisce il circuito logico 712 di aggiungere il carico S 718 ogni qualvolta l'ondulazione accettabile massima sull'uscita desiderata campionata in corrispondenza del nodo Vcfrb è superiore alla tensione di riferimento (Vref); diversamente, il secondo comparatore 714 consente al circuito pompa 700 di operare senza aggiungere alcun carico.

Inoltre, una addizionale circuiteria di retroazione può essere implementata per avere un controllo diretto sull'uscita della pompa. In questo modo, è possibile decidere il carico migliore pure in funzione della temperatura e della tensione di alimentazione.

Facendo riferimento a Fig. 8, uno schema a blocchi di un sistema di memoria include il circui-

Dott.ssa G. Barchielli
n. albo 523

to 600 a pompa di cariche di Fig. 6. Il sistema di memoria include un decodificatore 802 di indirizzi, un circuito di controllo 806, e circuiteria 808 di lettura/scrittura/cancellazione/verifica accoppiata ad una matrice 804 di celle di memoria. In aggiunta, il decodificatore 802 di indirizzi è accoppiato ad un bus 810 degli indirizzi, il circuito di controllo 806 è accoppiato ad un bus di controllo 812 e la circuiteria 808 di lettura/scrittura/cancellazione/verifica è accoppiata ad un bus di dati 814. La tensione d'uscita pompata V_p generata dal circuito pompa di cariche 600 può essere applicata ad una pluralità di componenti entro il sistema di memoria. Nel sistema di memoria, il circuito pompa di cariche 600 applica la tensione d'uscita pompata al circuito 808 di lettura/scrittura/cancellazione/verifica che può utilizzare questa tensione in un buffer di dati per abilitare buffer a trasmettere o ricevere segnali di pieno livello logico sul bus dei dati. Il circuito pompa di cariche 600 applica pure la tensione d'uscita pompata al decodificatore 802 di indirizzi che, a sua volta, può utilizzare questa tensione per applicare tensioni elevate di linee di parole alla matrice o comples-

(Dott.ssa G. Barchielli)
n. albo 523

so. Nel funzionamento, circuiteria esterna, come ad esempio un processore o un controllore di memoria, applica segnali di indirizzo, dati e controllo sui rispettivi bus o vie collettrici 810, 812, 814 per trasferire dati al e dal sistema 800 di memoria. Quando contenuto in una memoria flash, il circuito pompa di cariche 600 riceverà tipicamente una tensione di alimentazione esterna V_{CC} e genererà una pluralità di tensioni commutabili V_p che sono impiegate per eseguire operazioni di programmazione e cancellazione in blocchi di celle di memoria non volatili contenuti nella matrice. Ciascun decodificatore locale è previsto entro i settori 0, 1, ...5 della matrice o complesso di celle di memoria comprende almeno un transistor di tipo n per lasciar passare tensione negativa ed almeno un transistor MOS di tipo-p per lasciar passare la tensione positiva ad una riga indirizzata di quel settore.

Fig. 9 rappresenta uno schema a blocchi di un sistema di computer 900 includente circuiteria di calcolo 802 che contiene il dispositivo di memoria 800 di Fig. 8. La circuiteria di calcolo 802 con il suo processore associato 804 esegue varie funzioni di calcolo come ad esempio esecuzione di specifico

(Dott.ssa G. Barchielli)
n. albo 523

software per attuare calcoli o compiti specifici. In aggiunta, il sistema di computer include uno o più dispositivi di ingresso 806, come una tastiera o un mouse, accoppiati al circuito del computer per consentire ad un operatore di interfacciarsi con il sistema del computer. Tipicamente, il sistema del computer include pure uno o più dispositivi di uscita accoppiati alla circuiteria del computer, tali dispositivi di uscita essendo tipicamente una stampante o un videoterminale. Uno o più dispositivi di memorizzazione di dati sono pure tipicamente accoppiati alla circuiteria del computer per memorizzare dati e per recuperare dati da supporti di memoria esterni. Esempi di tipici dispositivi di memorizzazione includono dischi rigidi e flessibili o "hard e floppy disks", cassette di nastro, e memorie di sola lettura a compact disc (CD-ROM). La circuiteria del computer è tipicamente accoppiata al dispositivo di memoria attraverso appropriati bus di indirizzi, dati e controllo per fornire scrittura di dati al e lettura di dati dal dispositivo di memoria.

Un altro aspetto della presente invenzione fornisce un procedimento per ottenere ondulazione

Dott.ssa G. Barchielli
n. albo 523



di tensione minima della pompa di cariche operante in un dispositivo di memoria, che può essere impiegato in associazione con i dispositivi di memoria ed il sistema di computer precedentemente illustrati e descritti.

Facendo riferimento a Fig. 10, il diagramma di flusso illustra un procedimento o metodo 1000 suscettibile di essere impiegato specialmente con i circuiti delle Fig. 3 e 7 per ottenere ondulazione di tensione minima nel circuito pompa di cariche 600 selezionando dinamicamente il carico migliore che fornisce il risultato desiderato, includente la decisione del fatto se impostare o collegare il carico S in aggiunta a uno dei carichi A, B o C. Il procedimento inizia scegliendo una tensione a pompa d'uscita desiderata (passo 1004), selezionando un carico associato con la tensione pompa d'uscita selezionata (passo 1006), comparando (passo 1008) la tensione di uscita desiderata (Vcfra) ad una tensione di riferimento (Vref), comparando (passo 1010) la tensione d'uscita desiderata di ondulazione massima (Vcfrb) alla tensione di riferimento (Vref). La rete di resistori fornente Vcfrb è indotta a fornire Vcfrb <60> Vcfra per una data ten-

(Dott.ssa G. Barchielli)
n. albo 523

sione di uscita V_{pump}, ogni qualvolta la tensione d'uscita desiderata Vcfra è inferiore alla Vref, diversamente il processo di pompaggio essendo continuato. Ogni qualvolta Vcfrb è superiore a Vref, deve essere aggiunto un carico; diversamente si deve continuare al passo successivo. Ogni qualvolta la sovra-elongazione accettabile minima sulla Vcfrc desiderata d'uscita della pompa è inferiore a Vref (passo 1014), è necessario rimuovere un carico e continuare; diversamente si deve continuare per determinare se la potenza è off o esclusa (passo 1016). Se la potenza è off, allora il processo di pompaggio di cariche deve essere terminato.

Il procedimento 1000 inizia in corrispondenza del passo o fase 1002. L'istruzione inizia ed ordina al controllore del bus di istruire il circuito pompa di cariche 600 per l'avviamento.

Nel passo 1004, l'istruzione fornisce informazione al circuito pompa di cariche 600 vicino alla tensione richiesta in corrispondenza del nodo d'uscita.

Nel passo 1006, l'interruttore abilita un carico corrispondente alla tensione pompa selezionata commutando sul carico che fornisce la miglior ondu-

(Dott.ssa G. Barchielli)
n. albo 523

lazione di tensione tramite o la funzione EN_A, EN_B o la funzione EN_C com'è stato discusso precedentemente. La fase di pompaggio (passo 1007) è così abilitata.

Nel passo 1008, dopo che il circuito pompa 600 ha raggiunto il valore desiderato, al fine di garantire che l'uscita della pompa abbia il giusto valore della tensione d'uscita, il circuito pompa di cariche misura l'uscita della pompa rispetto alla tensione di riferimento. Ogni qualvolta la tensione d'uscita della pompa misurata (Vcfra) è superiore alla tensione di riferimento, ciò significa che vi è sovra-elongazione (la tensione di uscita è oltre la tensione desiderata). Il circuito logico del circuito pompa di cariche ordina al circuito pompa di cariche 600 di arrestare il funzionamento (passo 1009). Ogni qualvolta la tensione di uscita pompa misurata (Vcfra) è inferiore alla tensione di riferimento, l'uscita è inferiore al valore desiderata ed il circuito 600 continua ad abilitare il pompaggio (passo 1007) nel circuito pompa di cariche.

Nel passo 1010, la tensione di uscita (Vcfrb) viene comparata con la tensione di riferimento (Vref) al fine di trovare se si verificano sovra-

(Dott.ssa G. Barchielli)
n. albo 523

elongazioni di tensione. Ogni qualvolta Vcfrb è superiore o uguale alla tensione di riferimento (Vref), ciò significa che vi sono sovra-elongazioni di tensione e la logica va al passo successivo.

Nel passo 1012, il circuito 600 aggiunge un carico in modo tale che l'ondulazione di tensione può essere ridotta. Questo passo continua finché l'ondulazione di tensione non si è ridotta e quindi il circuito 600 va al passo successivo.

Nel passo 1014, il circuito 600 compara la tensione di uscita (Vcfrc) con la tensione di riferimento (Vref) per trovare se si verifica una caduta minima sulla tensione di uscita. Per una data V_{pump}, la rete di resistori viene indotta a fornire Vcfrc <62> Vcfra. Se Vcfrc è strettamente inferiore alla tensione di riferimento (Vref), allora ciò significa che vi sono sub-elongazioni o "undershoots" di tensione, e la logica va al passo successivo.

Nel passo 1016, il circuito 600 rimuove un carico per cui la caduta di tensione può essere ridotta. Questa fase continua finché la caduta di tensione non è stata ridotta e quindi il circuito 600 va al passo successivo.

Nel passo 1016, quando è ottenuta l'ondula-

(Dott.ssa G. Barchielli)
n. albo 523

zione di tensione minima, il circuito 600 osserva se la potenza è commutata allo stato off o in esclusione. Se la potenza non è off, allora il procedimento o metodo 1000 ripete i passi o fasi da 1008 a 1016 finché la potenza non è off.



In corrispondenza del passo 1018, quando la potenza è off, il procedimento o metodo 1000 termina.

(Dott.ssa G. Barchielli)
n. albo 523

RIVENDICAZIONI

1. Circuito pompa di cariche per generare una tensione pompa di cariche avente ondulazione di tensione minime, comprendente:

a) un circuito di pompaggio comprendente uno o più stadi atti ad operare per ricevere una tensione di alimentazione e generare una selezionata di una pluralità di tensioni pompa;

b) una pluralità di carichi accoppiabili selettivamente ad un'uscita del circuito di pompaggio, ciascun carico essendo associato con una tensione pompa specifica; e

c) mezzi selettori di carico per accoppiare selettivamente un carico associato con la tensione pompa specifica all'uscita di detto circuito di pompaggio.

2. Circuito pompa di cariche secondo la rivendicazione 1, in cui mezzi selettori di carico includono un selettore d'uscita desiderata della pompa per arrestare il circuito pompa di cariche variabile quando la tensione pompa d'uscita desiderata (Vcfra) è superiore o uguale ad una tensione di riferimento (Vref).

3. Circuito pompa di cariche secondo la ri-

(Dott.ssa G. Barchielli)
n. albo 523

vendicazione 2, in cui i mezzi selettori di carico includono inoltre mezzi selettori di ondulazione massima sull'uscita desiderata per aggiungere un carico, ogni qualvolta un'ondulazione massima sulla tensione d'uscita desiderata (Vcfrb) è superiore alla tensione di riferimento (Vref), quindi l'ondulazione massima sui mezzi selettori d'uscita desiderata aggiungendo carichi addizionali finché la tensione Vcfrb non è inferiore o uguale alla tensione di riferimento (Vref).

4. Circuito pompa di cariche secondo la rivendicazione 1, in cui il circuito di pompaggio comprende:

a) una pluralità di diodi accoppiati in serie, ciascun diodo avendo un terminale di ingresso ed un terminale di uscita, il terminale di ingresso del primo diodo nella serie essendo accoppiato alla tensione di alimentazione, l'uscita del primo diodo essendo collegata al terminale di ingresso del secondo diodo, ed il terminale di uscita dell'ultimo diodo essendo collegato alla pompa d'uscita;

b) una pluralità di condensatori aventi un primo terminale ed un secondo terminale, in cui il primo terminale del primo condensatore è accoppiato

(Dott.ssa G. Barchielli)
n. albo 523

all'uscita di un primo diodo e all'ingresso di un secondo diodo, il primo terminale del secondo condensatore essendo accoppiato all'uscita del secondo diodo e all'ingresso del terzo diodo, ed il primo terminale dell'ultimo condensatore essendo accoppiato al terminale d'ingresso di un ultimo diodo;

c) una pluralità di invertitori accoppiati in serie l'uno all'altro, ciascuno avente un terminale di ingresso ed un terminale di uscita, l'uscita del primo invertitore essendo accoppiata al secondo terminale del primo condensatore formante il primo stadio del circuito pompa di cariche, la seconda uscita del secondo invertitore essendo accoppiata al secondo terminale del secondo condensatore formante il secondo stadio del circuito pompa di cariche, e l'uscita dell'ultimo invertitore essendo accoppiata al secondo terminale dell'ultimo condensatore formando l'ultimo stadio del circuito pompa di cariche; e

d) un segnale d'orologio accoppiato al terminale di ingresso del primo invertitore.

5. Circuito pompa di cariche variabile secondo la rivendicazione 4, in cui ciascuno della pluralità di diodi è un transistor NMOS collegato a

(Dott.ssa G. Barchielli)
n. albo 523



diodo, la porta di ciascun transistor essendo collegata al suo pozzo formando il terminale di ingresso e la sua sorgente formando il secondo terminale.

6. Circuito pompa di cariche secondo la rivendicazione 1, in cui i mezzi selettori di carico sono una pluralità di interruttori, un interruttore per ciascuno di detti carichi, ciascun interruttore avendo un primo terminale, un secondo terminale, ed un terminale di abilitazione, l'interruttore essendo accoppiato in serie con ciascun carico, il primo terminale dell'interruttore essendo accoppiato alla pompa d'uscita ed il secondo terminale dell'interruttore essendo accoppiato a ciascun carico.

7. Circuito pompa di cariche secondo la rivendicazione 1, in cui ciascun mezzo selettore di carico comprende un transistor NMOS avente una porta, un pozzo ed una sorgente, la porta del transistor di carico NMOS essendo accoppiata ad un segnale di abilitazione, la sorgente del transistor di carico NMOS essendo accoppiata ad una massa elettrica, ed il pozzo essendo accoppiato ad un carico.

8. Circuito pompa di cariche secondo la rivendicazione 7, in cui ciascun carico è un conden-

(Dott.ssa G. Barchielli)
n. albo 523

satore o un assorbitore di corrente avente un primo terminale ed un secondo terminale, il primo terminale essendo accoppiato alla tensione pompa ed il secondo terminale essendo accoppiato al pozzo del transistor NMOS.

9. Circuito pompa di cariche secondo la rivendicazione 1, in cui ciascun mezzo selettore di carico comprende un circuito elevatore avente un terminale di ingresso ed un terminale di uscita, il terminale di ingresso essendo accoppiato ad un segnale di abilitazione, il terminale di uscita essendo accoppiato ad un transistor NMOS di carico, la porta del transistor NMOS di carico essendo collegata al terminale di uscita del circuito elevatore, il pozzo del transistor NMOS essendo accoppiato all'uscita della pompa, e la sorgente essendo accoppiata al carico.

10. Circuito pompa di cariche secondo la rivendicazione 9, in cui ciascun carico è un condensatore o un assorbitore di corrente avente un primo terminale ed un secondo terminale, il primo terminale essendo accoppiato alla sorgente del transistor NMOS ed il secondo terminale essendo accoppiato ad una massa elettrica.

(Dott.ssa G. Barchielli)
n. albo 523

11. Circuito pompa di cariche secondo la rivendicazione 2, in cui il selettore d'uscita di pompa desiderata comprende:

a) un primo comparatore avente due terminali di ingresso, un terminale di uscita ed un primo terminale di abilitazione, uno dei due terminali di ingresso essendo collegato alla tensione di riferimento (Vref);

b) una prima rete di resistori avente due terminali, il primo terminale essendo accoppiato alla pompa d'uscita, il secondo terminale essendo accoppiato a uno dei terminali di ingresso del primo comparatore;

c) una seconda rete di resistori avente due terminali, il primo terminale essendo accoppiato al secondo terminale della prima rete di resistori, ed il secondo terminale della seconda rete di resistori essendo accoppiato ad una massa elettrica; e

d) una sorgente di tensione di riferimento (Vref) accoppiata a uno dei terminali d'ingresso del primo comparatore.

12. Circuito pompa di cariche secondo la rivendicazione 11, in cui la sovra-elongazione (overshoot) massima sui mezzi selettori d'uscita

(Dott.ssa G. Barchielli)
n. albo 523

desiderata comprendono:

a) una prima rete di resistori avente due terminali, il primo terminale essendo accoppiato alla pompa d'uscita;

b) una quarta rete di resistori avente due terminali, il primo terminale essendo accoppiato al secondo terminale della terza rete di resistori, ed il secondo terminale della quarta rete di resistori essendo accoppiato ad una massa elettrica;

c) un secondo comparatore avente due terminali d'ingresso, un terminale di uscita, ed un terminale di abilitazione, uno dei terminali d'ingresso essendo accoppiato al terminale di ingresso della quarta rete di resistori e l'altro dei terminali di ingresso essendo accoppiato alla tensione di riferimento (Vref);

d) un circuito logico avente due terminali, il primo terminale essendo accoppiato al terminale di uscita del secondo comparatore; e

e) un carico impostato accoppiato all'uscita della pompa ed essendo controllato mediante il circuito logico per aggiungere un carico addizionale alla pompa d'uscita quando la pompa d'uscita ha una sovra-elongazione di tensione (overshoot) superiore

(Dott.ssa G. Barchielli)
n. albo 523

ad un massimo consentito sul terminale d'uscita.

13. Dispositivo di memoria comprendente:

un bus di indirizzi;

un circuito di controllo;

un bus di dati;

un decodificatore di indirizzi accoppiato al bus di indirizzi;

un circuito di lettura/scrittura accoppiato al bus di dati;

una matrice di celle di memoria accoppiata al decodificatore degli indirizzi, al circuito di controllo, e al circuito di lettura/scrittura; e

un circuito pompa di cariche che genera una tensione di uscita elevata con ondulazioni minime su un nodo d'uscita accoppiato al decodificatore degli indirizzi, al circuito di lettura/scrittura, e alla matrice di celle di memoria, il circuito pompa di cariche comprendendo:

a) un circuito di pompaggio comprendente uno o più stadi atti ad operare per ricevere una tensione di alimentazione e generare una o più tensioni pompa;

b) una pluralità di carichi, ciascun carico essendo associato con una tensione pompa specifica

(Dott.ssa G. Barchielli)
n. albo 523

e accoppiabile selettivamente ad un'uscita del circuito pompa (pompa d'uscita);

c) mezzi selettori di carico accoppiati alla pompa d'uscita per selezionare un carico soddisfacente una tensione pompa specifica;

d) un selettore di pompa d'uscita desiderata campionante l'uscita del circuito pompa per arrestare il circuito pompa di cariche variabile ogni qualvolta la tensione d'uscita campionata (Vcfra) è superiore o uguale ad un tensione di riferimento (Vref);

e) mezzi selettori di ondulazione massima su uscita desiderata campionanti l'uscita del circuito pompa per aggiungere un carico, ogni qualvolta un'ondulazione massima sulla tensione d'uscita campionata (Vcfrb) è superiore o uguale alla tensione di riferimento (Vref), quindi i mezzi selettori di uscita aggiungendo carichi addizionali finché la tensione Vcfrb non è inferiore alla tensione di riferimento (Vref).

14. Sistema di memoria 2 la rivendicazione 13, in cui il circuito di pompaggio comprende:

a) una pluralità di diodi accoppiati in serie, ciascun diodo avendo un terminale di ingresso

(Dott.ssa G. Barchielli)
n. albo 523

ed un terminale di uscita, il terminale di ingresso del primo diodo nella serie essendo accoppiato alla tensione di alimentazione, l'uscita del primo diodo essendo collegata al terminale di ingresso del secondo diodo e il terminale di uscita dell'ultimo diodo essendo collegato alla tensione pompa d'uscita;

b) una pluralità di condensatori aventi un primo terminale ed un secondo terminale, in cui il primo terminale del primo condensatore è accoppiato all'uscita del primo diodo, il primo terminale del secondo condensatore essendo accoppiato all'uscita del secondo diodo, e il primo terminale dell'ultimo condensatore essendo accoppiato al terminale d'ingresso dell'ultimo diodo;

c) una pluralità di invertitori accoppiati in serie l'uno all'altro, ciascuno avente un terminale di ingresso ed un terminale d'uscita, l'uscita del primo invertitore essendo accoppiata al secondo terminale del primo condensatore ed all'ingresso del secondo invertitore formando il primo stadio del circuito pompa di cariche, la seconda uscita del secondo invertitore essendo accoppiata al secondo terminale del secondo condensatore formando

(Dott.ssa G. Barchielli)
n. albo 523

il secondo stadio del circuito pompa di cariche, e l'uscita dell'ultimo invertitore essendo accoppiata all'ingresso dell'ultimo diodo; e

d) un segnale d'orologio accoppiato al terminale di ingresso del primo invertitore.

15. Sistema di memoria secondo la rivendicazione 13, in cui la pluralità di diodi sono un transistor NMOS collegato come un diodo, la porta di ciascun transistor essendo collegata al suo pozzo formando il terminale d'ingresso e la sorgente formando il secondo terminale.

16. Sistema di memoria secondo la rivendicazione 13, in cui i mezzi selettori di carico sono un interruttore o commutatore avente un primo ed un secondo terminali accoppiati in serie con ciascun carico, il primo terminale dell'interruttore essendo accoppiato alla pompa d'uscita ed il secondo terminale dell'interruttore essendo accoppiato al carico.

17. Sistema di memoria secondo la rivendicazione 13, in cui ciascun mezzo selettore di carico comprende un transistor NMOS avente una porta, un pozzo ed una sorgente, la porta del transistor di carico NMOS essendo accoppiata ad un segnale di

(Dott.ssa G. Barchielli)
n. albo 523



abilitazione, la sorgente del transistor di carico NMOS essendo accoppiata a massa elettrica, ed il pozzo essendo accoppiato ad un carico.

18. Sistema di memoria secondo la rivendicazione 17, in cui il carico è un condensatore avente un primo terminale ed un secondo terminale, il primo terminale essendo accoppiato alla tensione pompa ed il secondo terminale essendo accoppiato al pozzo del transistor NMOS.

19. Sistema di memoria secondo la rivendicazione 13, in cui ciascun mezzo selettore di carico comprende un circuito elevatore avente un terminale di ingresso ed un terminale di uscita, il terminale di ingresso essendo accoppiato ad un segnale di abilitazione, il terminale di uscita essendo accoppiato ad un transistor NMOS di carico, la porta del transistor NMOS di carico essendo collegata al terminale di uscita del circuito elevatore, il pozzo del transistor NMOS essendo accoppiato all'uscita della pompa.

20. Sistema di memoria secondo la rivendicazione 19, in cui ciascun carico è un condensatore avente un primo terminale ed un secondo terminale, il primo terminale essendo accoppiato alla sorgente

(Dott.ssa G. Barchielli)
n. albo 523

del transistor NMOS ed il secondo terminale essendo accoppiato ad una massa elettrica.

21. Sistema di memoria secondo la rivendicazione 13, in cui i mezzi selettori di carico comprendono:

a) un primo comparatore avente due terminali di ingresso, un terminale di uscita ed un primo terminale di abilitazione,

uno dei due terminali di ingresso essendo collegato alla tensione di riferimento (Vref);

b) una prima rete di resistori avente due terminali, il primo terminale d'ingresso essendo accoppiato alla pompa d'uscita, il secondo terminale essendo accoppiato al terminale d'uscita del primo comparatore;

c) una seconda rete di resistori avente due terminali, il primo terminale essendo accoppiato al secondo terminale della prima rete di resistori, ed il secondo terminale della seconda rete di resistori essendo accoppiato ad una massa elettrica;

d) una terza rete di resistori avente due terminali, il primo terminale essendo accoppiato alla pompa d'uscita;

e) una quarta rete di resistori avente due

(Dott.ssa G. Barchielli)
n. albo 523

terminali, il primo terminale essendo accoppiato al secondo terminale della terza rete di resistori, il secondo terminale della quarta rete di resistori essendo accoppiato a massa;

f) un secondo comparatore avente due terminali di ingresso, un terminale di uscita ed un terminale di abilitazione, uno dei terminali di ingresso essendo accoppiato al terminale di ingresso della quarta rete di resistori e l'altro dei terminali di ingresso essendo accoppiato alla tensione di riferimento (Vref) e

g) un circuito logico avente due terminali, il primo terminale essendo accoppiato al secondo comparatore.

22. Sistema di memoria secondo la rivendicazione 21, in cui il circuito di pompaggio comprende:

a) una pluralità di condensatori o assorbitori di corrente aventi un primo terminale ed un secondo terminale, in cui il primo terminale del primo condensatore è accoppiato all'uscita del primo diodo, il primo terminale del secondo condensatore essendo accoppiato all'uscita del secondo diodo, ed il primo terminale dell'ultimo condensatore essendo

(Dott.ssa G. Barchielli)
n. albo 523

accoppiato al terminale d'ingresso dell'ultimo diodo;

b) una pluralità di invertitori accoppiati in serie l'uno all'altro, ciascuno avente un terminale di ingresso ed un terminale d'uscita, l'uscita del primo invertitore essendo accoppiata al secondo terminale del primo condensatore e

l'ingresso del secondo invertitore formando il primo stadio del circuito pompa di cariche, la seconda uscita del secondo invertitore essendo accoppiata al secondo terminale del secondo condensatore formando il secondo stadio del circuito pompa di cariche, e l'uscita dell'ultimo invertitore essendo accoppiata all'ingresso dell'ultimo diodo; e

c) un segnale d'orologio accoppiato al terminale di ingresso del primo invertitore.

23. Sistema di memoria secondo la rivendicazione 13, in cui la cella di memoria è una cella di memoria flash.

24. Procedimento per generare una tensione di uscita con ondulazioni minime in un circuito pompa di cariche, comprendente:

a) selezionare una tensione pompa d'uscita (V_{pump});

(Dott.ssa G. Ba...chielli)
n. albo 523



b) commutare in inserzione un carico associato con la V_{pump} selezionata; e

c) comparare una tensione d'uscita desiderata (Vcfra) con una tensione di riferimento (Vref) ogni qualvolta la tensione d'uscita desiderata è superiore alla tensione di riferimento, disabilitare il circuito pompa di cariche; ogni qualvolta la tensione di uscita desiderata è inferiore o uguale alla tensione di riferimento, lasciare il circuito pompa di cariche in stato on o di funzionamento.

25. Procedimento secondo la rivendicazione 24, comprendente inoltre le fasi seguenti:

a) comparare un valore di ondulazione accettabile massima sulla tensione di uscita (Vcfrb) con una tensione di riferimento (Vref) ogni qualvolta il valore della tensione di uscita di ondulazione accettabile massima è superiore alla tensione di riferimento, collegare un carico finché il valore della tensione Vcfrb è inferiore o uguale alla tensione di riferimento;

b) comparare un valore di caduta di tensione accettabile minima sulla tensione d'uscita (Vcfrc) con la tensione di riferimento (Vref), ogni qualvolta il valore della caduta accettabile minima

sulla tensione di uscita è inferiore alla tensione di riferimento, rimuovere un carico finché il valore della tensione Vcfrc è superiore alla tensione di riferimento.

(Dott.ssa G. Barchielli)
n. albo 523

CAMERA DI COMMERCIO · MILANO

117166

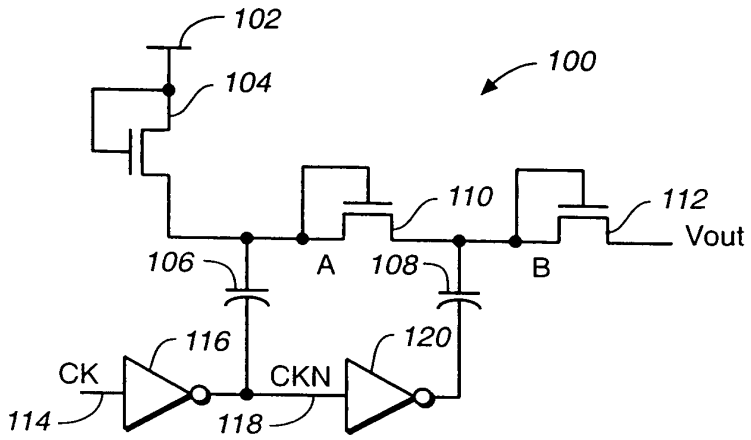


FIG._1 (TECNICA NOTA)

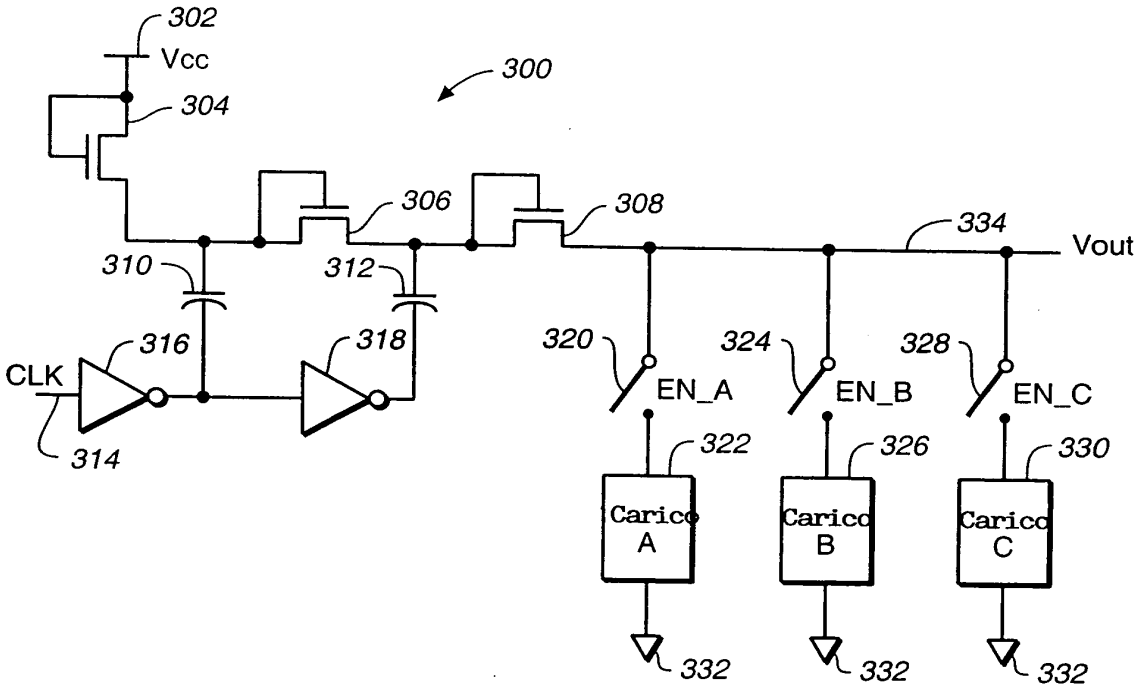


FIG._3

MI 2002A 002268

(Dott.ssa G. Barchielli)
n. albo 523

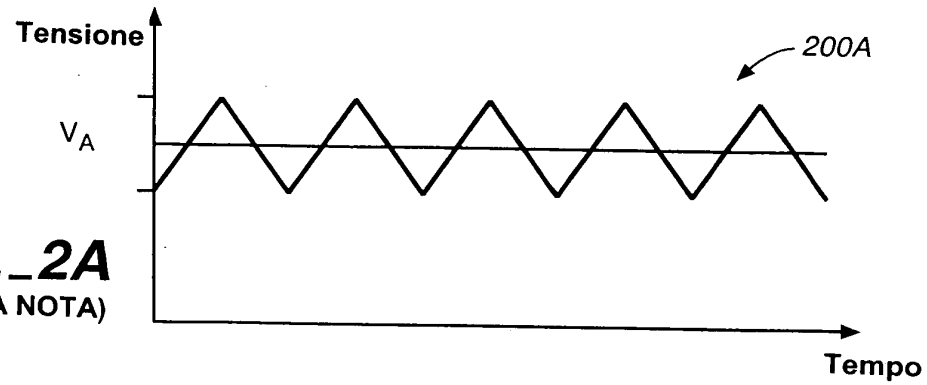


FIG._2A
(TECNICA NOTA)

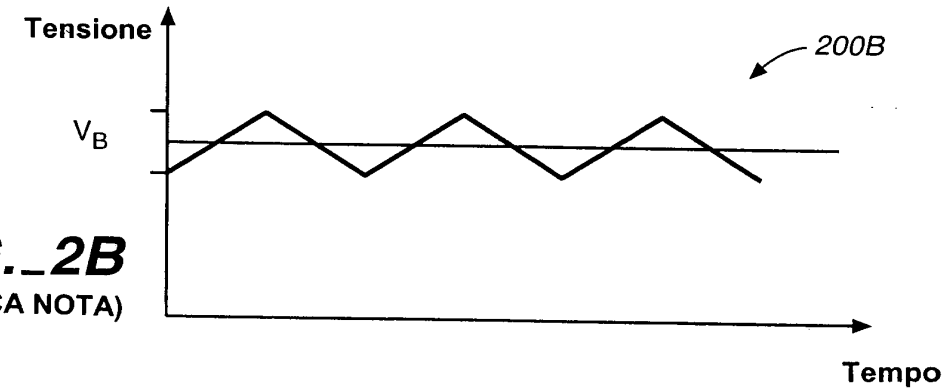


FIG._2B
(TECNICA NOTA)

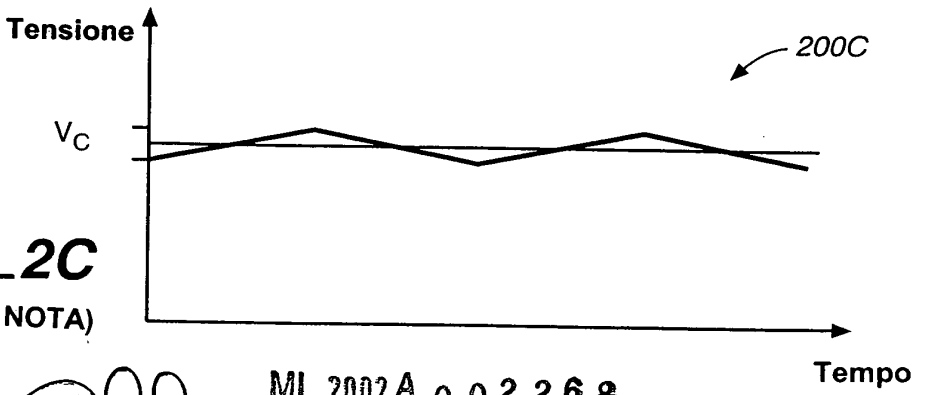


FIG._2C
(TECNICA NOTA)

MI 2002A 002268

(Dott.ssa G. Barchielli)
n. albo 523

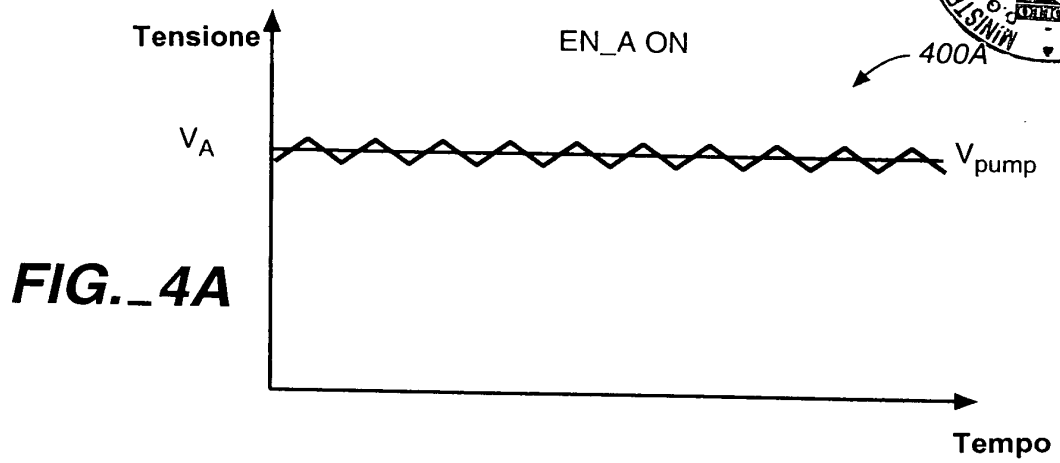


FIG._4A

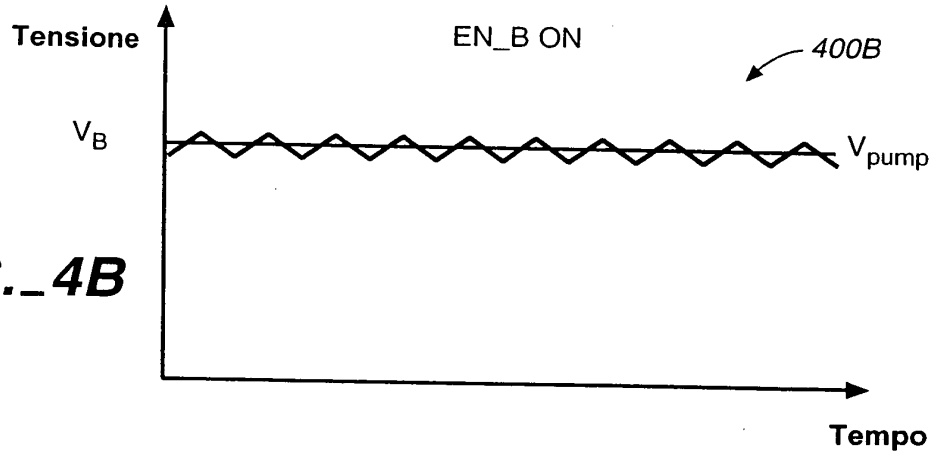


FIG._4B

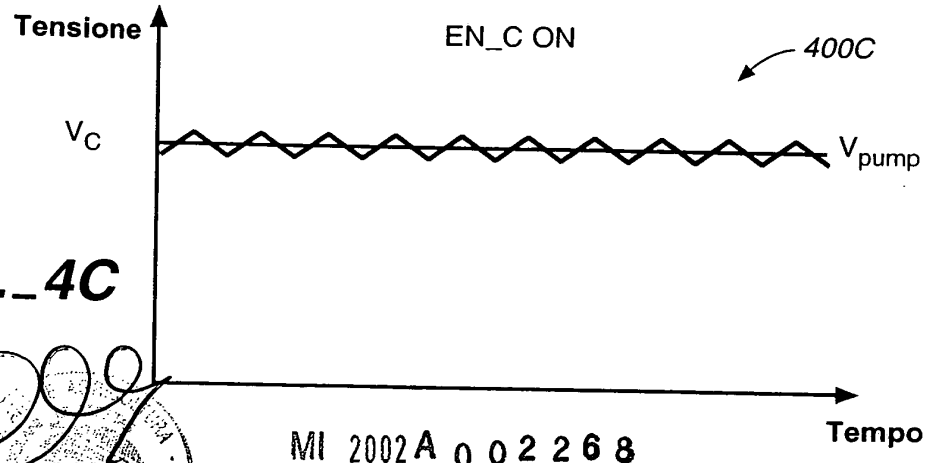


FIG._4C

MI 2002A 002268

(Dott.ssa G. Barchielli)
n. albo 523

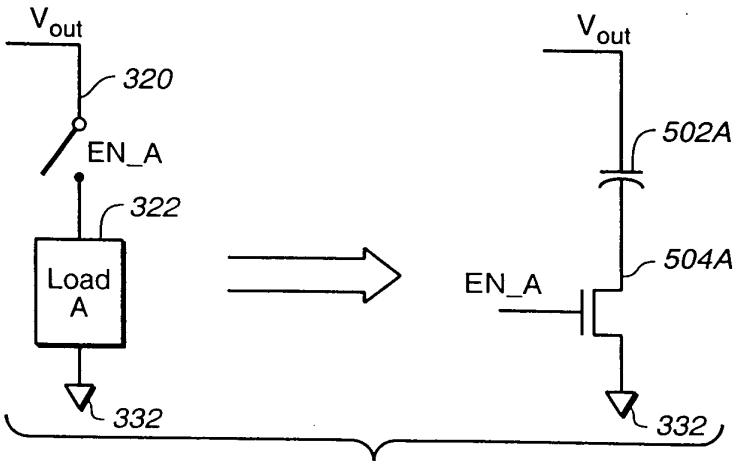


FIG._5A

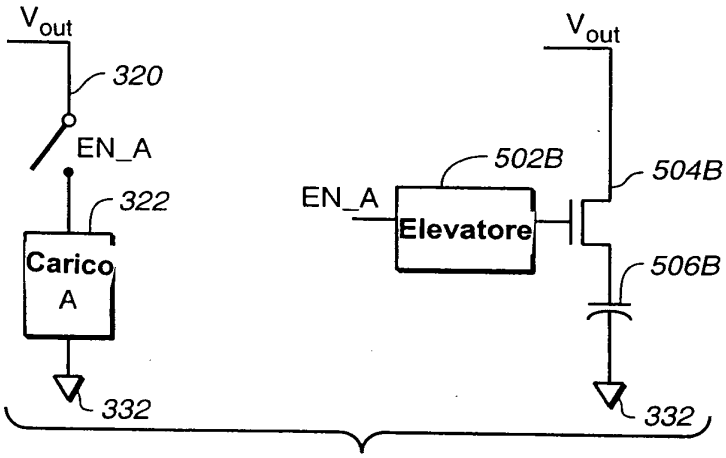


FIG._5B

MI 2002A 002268

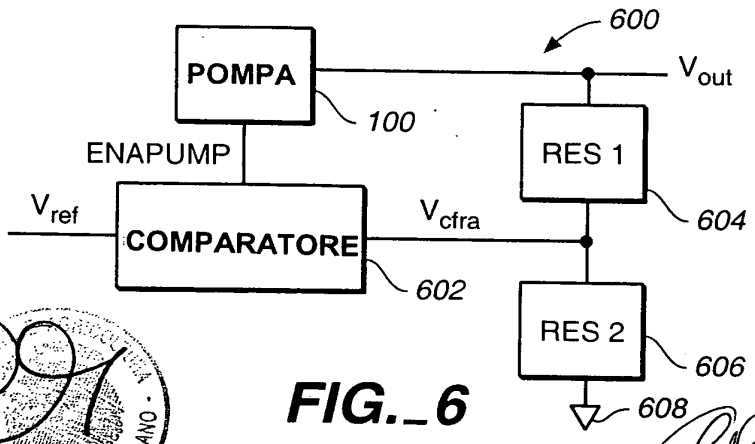


FIG._6

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA MILANO

(Dott.ssa G. Barchielli)
n. albo 523

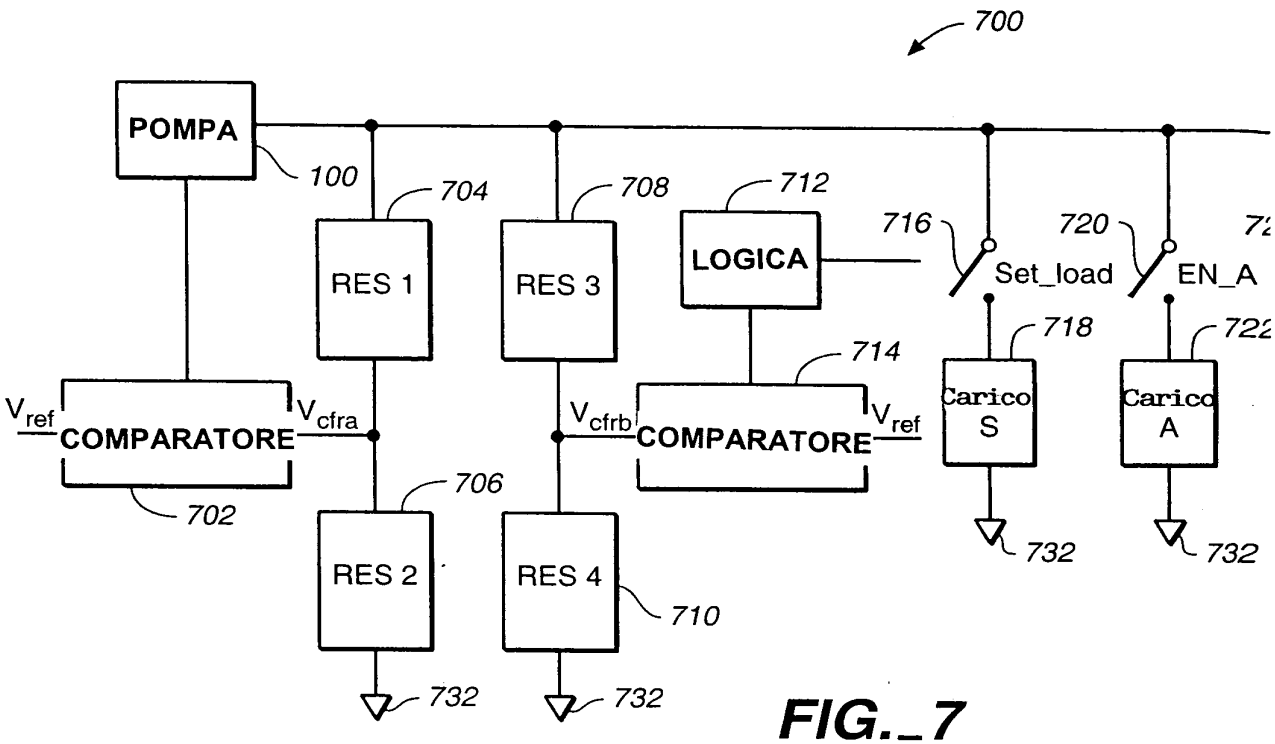


FIG._7

MI 2002A 002268

(Dott.ssa G. Barchielli)
n. albo 523

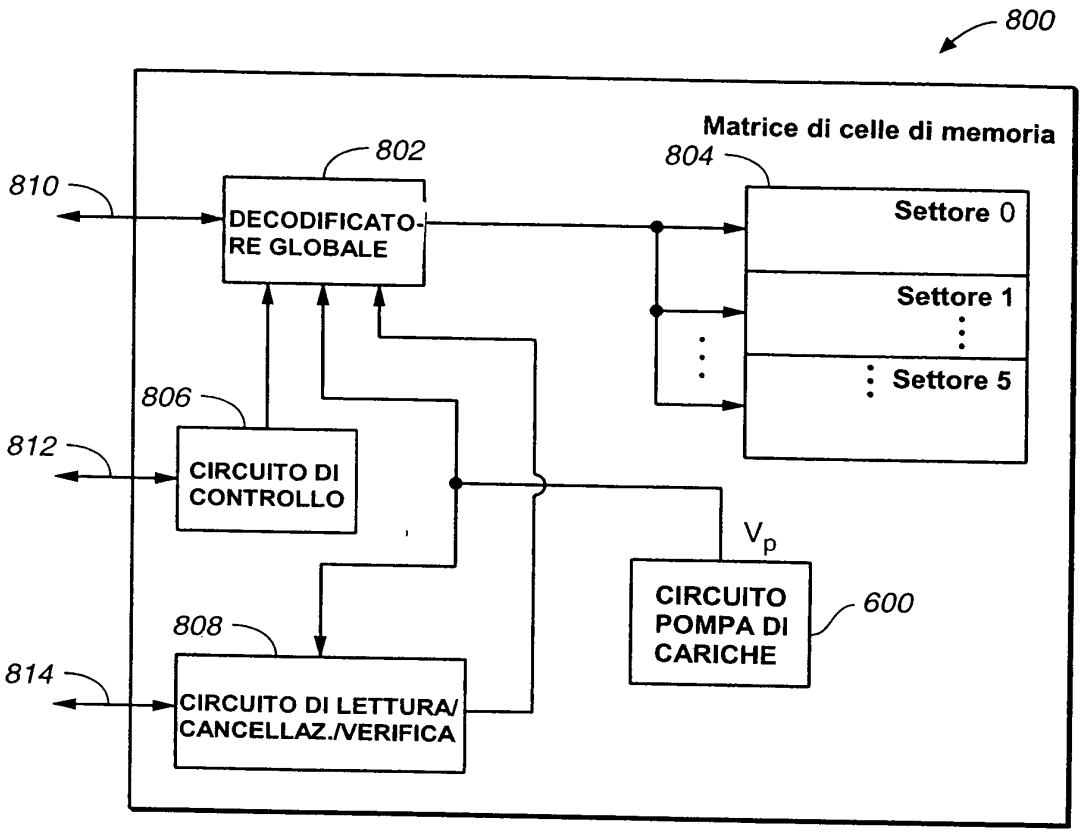


FIG._8

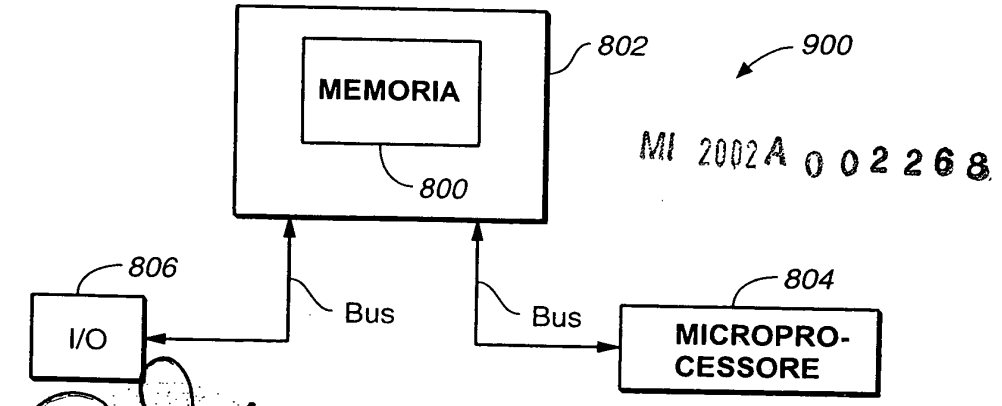


FIG._9

MI 2002A 002268

(Dott.ssa G. Barchielli)
n. albo 523

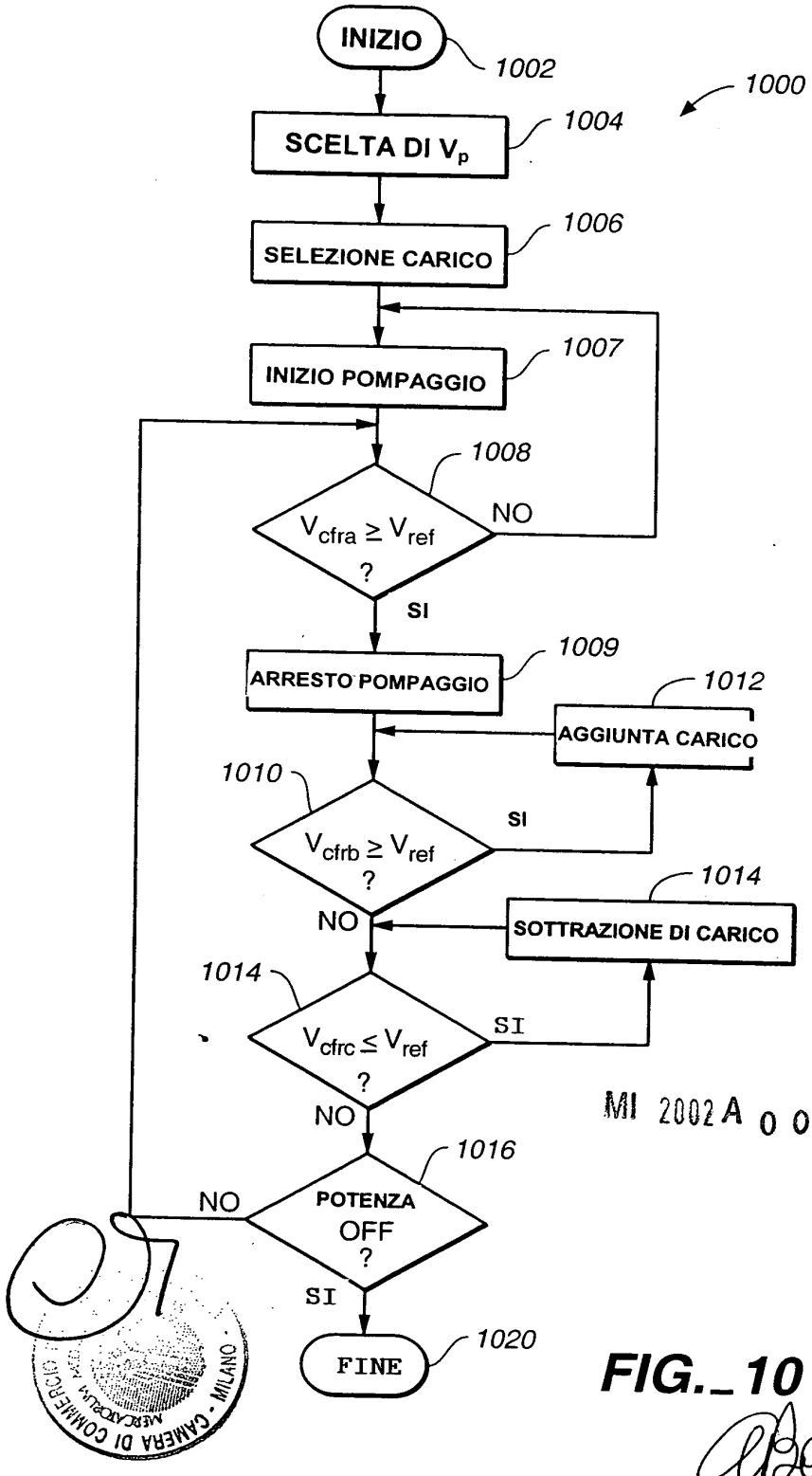


FIG._10

MI 2002 A 002268

(Dott.ssa G. Barchielli)
n. albo 523

O.I.P.E JC14
APR 16 2003
PATENT & TRADEMARK OFFICE

2816
#3
EN

Electronic Filing System (EFS) Data

RECEIVED 4/30/03
APR 18 2003
TECHNOLOGY CENTER 2800

Electronic Patent Application Submission

USPTO Use Only

EFS ID:	26069
Application ID:	10352733
Title of Invention:	VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD
First Named Inventor:	Lorenzo Bedarida
Domestic/Foreign Application:	Domestic Application
Filing Date:	2003-04-16
Effective Receipt Date:	2003-04-16
Submission Type:	Information Disclosure Statement
Filing Type:	
Confirmation number:	8062
Attorney Docket Number:	ATM-234
Total Fees Authorized:	

Digital Certificate Holder: cn=Thomas Schneck, ou=Registered Attorneys, ou=Patent and Trademark Office, ou=Department of Commerce, o=U.S. Government, c=US
Certificate Message Digest: hAdKAZhYp1rQPjJm+69IYg==

OIPE JC149
APR 16 2003
PATENT & TRADEMARK OFFICE

Electronic Information Disclosure Statement

VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD

RECEIVED
APR 18 2003
TECHNOLOGY CENTER 2800

Application:	10/352733
Confirmation:	8062
Applicant(s):	Lorenzo Bedarida
Docket Number:	ATM-234
Group Art Unit:	2816
Examiner:	
search string:	(4580067 or 5363066 or 6052015 or 6163187 or 6188212 or 6300839 or 6320797 or 6370046 or 6424570 or 20020008567 or 20020093854).pn.

US Patent Documents

Note: Applicant is not required to submit a paper copy of cited US Patent Documents

init	Citation No.	Patent Number	Date	Bar Code	Patentee	Class	Subclass
	P01	4580067	1986-04-01		Proebsting et al.	307	296R
	P02	5363066	1994-11-08		Chen et al.	331	17
	P03	6052015	2000-04-18		Desbonnets	327	382
	P04	6163187	2000-12-19		Sano	327	157
	P05	6188212	2001-02-		Larson et al.	323	281

OIPE JC149 APR 16 2003 PATENT & TRADEMARK OFFICE

			13				
	P06	6300839	2001-10-09		Bazargan et al.	331	57
	P07	6320797	2001-11-20		Liu	365	189.11
	P08	6370046	2002-04-09		Nebrigic et al.	363	60
	P09	6424570	2002-07-23		Le et al.	365	185.18

RECEIVED APR 18 2003 TECHNOLOGY CENTER 2800

Published Applications

Note: Applicant is not required to submit a paper copy of cited US Patent Documents

init	Citation No.	Patent Number	Date	Bar Code	Patentee	Class	Subclass
	U01	20020008567	2002-01-24		Henry	327	536
	U02	20020093854	2002-07-18		Liu	365	189.11

Signature

Examiner Name	Date

O.I.P.E. JC149 APR 16 2003 PATENT & TRADEMARK OFFICE

TRANSMITTAL FORM

RECEIVED APR 18 2003 TECHNOLOGY CENTER 2800

Electronic Version 1.0.3

Stylesheet Version: 1.0

Submission Type: Information Disclosure Statement

Application Number: 10/352,733

Attorney Docket Number: ATM-234

VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD

First Named Inventor: Mr. Lorenzo Bedarida

SUBMITTED BY

Name:	Mr. Thomas Schneck
Registration Number:	24518
Electronic Signature Mark: /thomas schneck/	Date Signed: 20030416

I certify that the use of this system is for OFFICIAL correspondence between patent applicants or their representatives and the USPTO. Fraudulent or other use besides the filing of official correspondence by authorized parties is strictly prohibited, and subject to a fine and/or imprisonment under applicable law.

I, the undersigned, certify that I have viewed a display of document(s) being electronically submitted to the United States Patent and Trademark Office, using either the USPTO provided style sheet or software, and that this is the document(s) I intend for initiation or further prosecution of a patent application noted in the submission. This document(s) will become part of the official electronic record at the USPTO.

Attached Files:

us-information-disclosure-statement	ATM234ids.xml



Comments:

RECEIVED
APR 18 2003
TECHNOLOGY CENTER 2800

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

0003897 7590 12/19/2003

SCHNECK & SCHNECK
P.O. BOX 2-E
SAN JOSE, CA 95109-0005

EXAMINER	
ZWEIZIG, JEFFERY SHAWN	
ART UNIT	**PAPER NUMBER**
2816	

DATE MAILED: 12/19/2003

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/352,733	01/27/2003	Lorenzo Bedarida	ATM-234	8062

TITLE OF INVENTION: VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1330	$300	$1630	03/19/2004

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATEN PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHT THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPO PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM TH MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. TH STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOV REFLECTS A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE APPLIED IN THIS APPLICATION. THE PTOL-85B (O AN EQUIVALENT) MUST BE RETURNED WITHIN THIS PERIOD EVEN IF NO FEE IS DUE OR THE APPLICATION WIL BE REGARDED AS ABANDONED.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:
A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status is changed, pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above and notify the United States Patent and Trademark Office of the change in status, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is n claiming SMALL ENTITY status, check the box below and enclo the PUBLICATION FEE and 1/2 the ISSUE FEE shown above.

☐ Applicant claims SMALL ENTITY status.
See 37 CFR 1.27.

II. PART B - FEE(S) TRANSMITTAL should be completed and returned to the United States Patent and Trademark Office (USPTO) w your ISSUE FEE and PUBLICATION FEE (if required). Even if the fee(s) have already been paid, Part B - Fee(s) Transmittal should completed and returned. If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should completed and an extra copy of the form should be submitted.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (703) 746-4000

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 4 should be completed wh appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Legibly mark-up with any corrections or use Block 1)

0003897 7590 12/19/2003

SCHNECK & SCHNECK
P.O. BOX 2-E
SAN JOSE, CA 95109-0005

Note: A certificate of mailing can only be used for domestic mailings of Fee(s) Transmittal. This certificate cannot be used for any other accompany papers. Each additional paper, such as an assignment or formal drawing, m have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the Un States Postal Service with sufficient postage for first class mail in an envel addressed to the Mail Stop ISSUE FEE address above, or being facsim transmitted to the USPTO, on the date indicated below.

(Depositor's na
(Signat
(D

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/352,733	01/27/2003	Lorenzo Bedarida	ATM-234	8062

TITLE OF INVENTION: VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1330	$300	$1630	03/19/2004

EXAMINER	ART UNIT	CLASS-SUBCLASS
ZWEIZIG, JEFFERY SHAWN	2816	327-536000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. Inclusion of assignee data is only appropriate when an assignment been previously submitted to the USPTO or is being submitted under separate cover. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent); ❑ individual ❑ corporation or other private group entity ❑ governm

4a. The following fee(s) are enclosed:

❑ Issue Fee

❑ Publication Fee

❑ Advance Order - # of Copies _____

4b. Payment of Fee(s):

❑ A check in the amount of the fee(s) is enclosed.

❑ Payment by credit card. Form PTO-2038 is attached.

❑ The Director is hereby authorized by charge the required fee(s), or credit any overpayment Deposit Account Number _____ (enclose an extra copy of this form).

Director for Patents is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above.

(Authorized Signature) (Date)

NOTE; The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/352,733	01/27/2003	Lorenzo Bedarida	ATM-234	8062

0003897 7590 12/19/2003

SCHNECK & SCHNECK
P.O. BOX 2-E
SAN JOSE, CA 95109-0005

EXAMINER	
ZWEIZIG, JEFFERY SHAWN	
ART UNIT	**PAPER NUMBER**
2816	

DATE MAILED: 12/19/2003

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 0 day(s). If the issue fee is paid on the date that is three months after t mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a ha months) after the mailing date of this notice, the Patent Term Adjustment will be 0 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date th determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retriev (PAIR) system (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office Patent Legal Administration at (703) 305-1383. Questions relating to issue and publication fee payments should directed to the Customer Service Center of the Office of Patent Publication at (703) 305-8283.

Notice of Allowability	Application No.	Applicant(s)	
	10/352,733	BEDARIDA ET AL.	
	Examiner	Art Unit	
	Jeffrey S. Zweizig	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *3*.
2. ☒ The allowed claim(s) is/are *1-25*.
3. ☒ The drawings filed on *27 January 2003* are accepted by the Examiner.
4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☒ All b) ☐ Some* c) ☐ None of the:
      1. ☒ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.
5. ☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. § 119(e) (to a provisional application).
   (a) ☐ The translation of the foreign language provisional application has been received.
6. ☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. §§ 120 and/or 121.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application. **THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.**

7. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.

8. ☐ CORRECTED DRAWINGS must be submitted.
   (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
      1) ☐ hereto or 2) ☐ to Paper No. ____.
   (b) ☐ including changes required by the proposed drawing correction filed _____, which has been approved by the Examiner.
   (c) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No. _____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet.

9. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1☒ Notice of References Cited (PTO-892)
2☐ Notice of Informal Patent Application (PTO-152)
3☐ Notice of Draftperson's Patent Drawing Review (PTO-948)
4☐ Interview Summary (PTO-413), Paper No.____ .
5☒ Information Disclosure Statements (PTO-1449), Paper No. 4/16/03
6☐ Examiner's Amendment/Comment
7☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
8☒ Examiner's Statement of Reasons for Allowance
9☐ Other

Allowable Subject Matter

1. The Prior Art of record does not appear to disclose a charge pump with a selectable voltage output and a selectable load wherein a load is selected so as to minimize output ripple for a given output voltage.

Conclusion

2. Any inquiry concerning this communication or earlier communications from the examiner should be directed to Jeffrey S. Zweizig whose telephone number is (703) 305-7243. The examiner can normally be reached on Monday thru Friday 5:30 am to 2:00 pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Timothy P. Callahan can be reached on (703) 308-4876. The fax phone number for the organization where this application or proceeding is assigned is (703) 872-9306.

Any inquiry of a general nature or relating to the status of this application or proceeding should be directed to the receptionist whose telephone number is (703) 308-0956.

Jeffrey S. Zweizig
Primary Examiner
Art Unit 2816

JZ

OIPE JC14
APR 16 2003
PATENT & TRADEMARK OFFICE

Electronic Information Disclosure Statement

VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD

RECEIVED
APR 18 2003
TECHNOLOGY CENTER 2800

Application:	10/352733
Confirmation:	8062
Applicant(s):	Lorenzo Bedarida
Docket Number:	ATM-234
Group Art Unit:	2816
Examiner:	
search string:	(4580067 or 5363066 or 6052015 or 6163187 or 6188212 or 6300839 or 6320797 or 6370046 or 6424570 or 20020008567 or 20020093854).pn.

US Patent Documents

Note: Applicant is not required to submit a paper copy of cited US Patent Documents

init	Citation No.	Patent Number	Date	Bar Code	Patentee	Class	Subclass
JZ	P01	4580067	1986-04-01		Proebsting et al.	307	296R
JZ	P02	5363066	1994-11-08		Chen et al.	331	17
JZ	P03	6052015	2000-04-18		Desbonnets	327	382
JZ	P04	6163187	2000-12-19		Sano	327	157
JZ	P05	6188212	2001-02-13		Larson et al.	323	281

OIPE JC140 APR 16 2003 PATENT & TRADEMARK OFFICE

			13				
JZ	P06	6300839	2001-10-09		Bazargan et al.	331	57
JZ	P07	6320797	2001-11-20		Liu	365	189.11
JZ	P08	6370046	2002-04-09		Nebrigic et al.	363	60
JZ	P09	6424570	2002-07-23		Le et al.	365	185.18

RECEIVED APR 18 2003 TECHNOLOGY CENTER 2800

Published Applications

Note: Applicant is not required to submit a paper copy of cited US Patent Documents

init	Citation No.	Patent Number	Date	Bar Code	Patentee	Class	Subclass
JZ	U01	20020008567	2002-01-24		Henry	327	536
JZ	U02	20020093854	2002-07-18		Liu	365	189.11

Signature

Examiner Name	Date
Jeffrey Zweizig	12/17/03

Notic of Referenc s Cited	Application/Control No. 10/352,733	Applicant(s)/Patent Under Reexamination BEDARIDA ET AL.	
	Examiner Jeffrey S. Zweizig	Art Unit 2816	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-6,518,828	02-2003	Seo et al.	327/534
*	B	US-6,208,197	03-2001	Ternullo et al.	327/536
*	C	US-5,754,417	05-1998	Nicollini, Germano	363/60
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Issue Classification	Application No.	Applicant(s)	
	10/352,733	BEDARIDA ET AL.	
	Examiner	Art Unit	
	Jeffrey S. Zweizig	2816	

ISSUE CLASSIFICATION

ORIGINAL CLASS	ORIGINAL SUBCLASS	CROSS REFERENCE(S) CLASS	CROSS REFERENCE(S) SUBCLASS (ONE SUBCLASS PER BLOCK)
327	536	NONE	

INTERNATIONAL CLASSIFICATION

G	0	5	F	1/10
				/
				/
				/
				/

(Assistant Examiner) (Date)

(Legal Instruments Examiner) 12/17/03 (Date)

JEFFREY ZWEIZIG
PRIMARY EXAMINER

(Primary Examiner) 12/17/03 (Date)

Total Claims Allowed: 25

O.G. Print Claim(s)	O.G. Print Fig.
1	7

☒ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		31		61		91		121		151		181
	2		32		62		92		122		152		182
	3		33		63		93		123		153		183
	4		34		64		94		124		154		184
	5		35		65		95		125		155		185
	6		36		66		96		126		156		186
	7		37		67		97		127		157		187
	8		38		68		98		128		158		188
	9		39		69		99		129		159		189
	10		40		70		100		130		160		190
	11		41		71		101		131		161		191
	12		42		72		102		132		162		192
	13		43		73		103		133		163		193
	14		44		74		104		134		164		194
	15		45		75		105		135		165		195
	16		46		76		106		136		166		196
	17		47		77		107		137		167		197
	18		48		78		108		138		168		198
	19		49		79		109		139		169		199
	20		50		80		110		140		170		200
	21		51		81		111		141		171		201
	22		52		82		112		142		172		202
	23		53		83		113		143		173		203
	24		54		84		114		144		174		204
	25		55		85		115		145		175		205
	26		56		86		116		146		176		206
	27		57		87		117		147		177		207
	28		58		88		118		148		178		208
	29		59		89		119		149		179		209
	30		60		90		120		150		180		210

Search Notes

Application No.	Applicant(s)	
10/352,733	BEDARIDA ET AL.	
Examiner	**Art Unit**	
Jeffrey S. Zweizig	2816	

SEARCHED

Class	Subclass	Date	Examiner
327	530	12/17/2003	JZ
	534		
	535		
	536		
	537		

INTERFERENCE SEARCHED

Class	Subclass	Date	Examiner
327	**536**	12/17/2003	JZ

SEARCH NOTES (INCLUDING SEARCH STRATEGY)

	DATE	EXMR
EAST	12/17/2003	JZ

L #	Hits	Search Text
L1	410583	select
L2	97526	selectable
L3	458586	1 or 2
L4	693230	load or loads
L5	124780	3 and 4
L6	9537	charge adj pump
L7	1775	5 and 6

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (703) 746-4000

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 4 should be completed wh appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Legibly mark-up with any corrections or use Block 1)

0003897 7590 12/19/2003

SCHNECK & SCHNECK
P.O. BOX 2-E
SAN JOSE, CA 95109-0005

OIPE JC107 JAN 30 2004 PATENT & TRADEMARK OFFICE

Note: A certificate of mailing can only be used for domestic mailings of Fee(s) Transmittal. This certificate cannot be used for any other accompany papers. Each additional paper, such as an assignment or formal drawing, m have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the Un States Postal Service with sufficient postage for first class mail in an envel addressed to the Mail Stop ISSUE FEE address above, or being facsim transmitted to the USPTO, on the date indicated below.

Merle P. Garcia	(Depositor's na
Merle P. Garcia	(Signat
January 27, 2004	(D

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/352,733	01/27/2003	Lorenzo Bedarida	ATM-234	8062

TITLE OF INVENTION: VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1330	$300	$1630	03/19/2004

EXAMINER	ART UNIT	CLASS-SUBCLASS
ZWEIZIG, JEFFERY SHAWN	2816	327-536000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 Thomas Schneck
2 Mark Protsik
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. Inclusion of assignee data is only appropriate when an assignment been previously submitted to the USPTO or is being submitted under separate cover. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: Atmel Corporation

(B) RESIDENCE: (CITY and STATE OR COUNTRY): San Jose, California

Please check the appropriate assignee category or categories (will not be printed on the patent); ☐ individual ☒ corporation or other private group entity ☐ governm

4a. The following fee(s) are enclosed:

☒ Issue Fee
☒ Publication Fee
☒ Advance Order - # of Copies 10

4b. Payment of Fee(s):

☒ A check in the amount of the fee(s) is enclosed.
☐ Payment by credit card. Form PTO-2038 is attached.
☒ The Director is hereby authorized by charge the required fee(s), or credit any overpayment Deposit Account Number 19-0590 (enclose an extra copy of this form).

Director for Patents is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above.

02/03/2004 SADDUE 00000114 10352733
01 FC:1501 1330.00 OP
02 FC:1504 300.00 OP
03 FC:8001 30.00 OP

(Authorized Signature) Thomas Schneck (Date) 01/27/2004

NOTE; The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

( )

RECEIVED
CENTRAL FAX CENTER
FEB 0 8 2008

SCHWEGMAN ■ LUNDBERG ■ WOESSNER
PATENT, TRADEMARK & COPYRIGHT ATTORNEYS
P.O. Box 2938
Minneapolis, MN 55402
Telephone (612) 373-6900 Facsimile (612) 339-3061

February 5, 2008

TO: Commissioner for Patents
Attn: Post Issue
Facsimile Center
P.O. Box 1450
Alexandria, VA 22313-1450

FROM: Bradley A. Forrest

OUR REF: 2800.021US1

FAX NUMBER (571) 273-8300

Document(s) Transmitted: **Revocation and Power of Attorney & Change of Correspondence Address (1 pg.).**

Total pages of this transmission, including cover letter: 2 pgs.
If you do NOT receive all of the pages described above, please telephone us at 612-373-6900 or fax us at 612-339-3061.

In re. Patent Application of: Lorenzo Bedarida et al.
Serial No.: 10/352,733
Filed: January 27, 2003
Confirmation No.: 8062
Title: VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD

Patent No.: 6,724,241
Issue Date: April 20, 2004
Docket No.: 2800.021US1

By: _____
Name: Bradley A. Forrest
Reg. No.: 30,837

I hereby certify that this paper is being transmitted by facsimile to the U.S. Patent and Trademark Office on the date shown below.

_____
Michele Quaranto

2-8-2008
Date of Transmission

RECEIVED
CENTRAL FAX CENTER
FEB 0 8 2008

PATENT

S/N 10/352,733

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	Lorenzo Bedarida et al.	Patent No.:	6,724,241
Serial No.:	10/352,733	Issue Date:	April 20, 2004
Filed:	January 27, 2003	Docket:	2800.021US1
Customer No.	76287	Confirmation No.:	8062
Title:	VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD		

REVOCATION AND POWER OF ATTORNEY
CERTIFICATE UNDER 37 CFR § 3.73(b)
&
CHANGE OF CORRESPONDENCE ADDRESS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

In accordance with 37 C.F.R. Section 1.36, M.P.E.P. Section 402.05 and 402.07, please revoke any existing Powers of Attorney, if any, and appoint the following attorneys and/or patent agents to prosecute this application and to transact all business in the Patent and Trademark Office in connection therewith:

Customer Number: 76287

CERTIFICATE UNDER 37 CFR § 3.73(b)

Atmel Corporation hereby certifies that it is the assignee of the entire right, title and interest in the patent application identified above by virtue of an assignment from the inventor(s) recorded 02/19/2003 on Reel 013761, Frames 0984 - 0987. To the best of my knowledge and belief, title is in Atmel Corporation, the assignee.

Pursuant to 37 C.F.R. § 3.73(b) I hereby declare that I am empowered to sign this certificate on behalf of Atmel Corporation, the assignee.

I hereby declare that all statements made herein of my own knowledge are true, and that all statements made on information and belief are believed to be true.

Please direct all correspondence in this case to:

Schwegman, Lundberg & Woessner, P.A.
Customer No. 76287

Date 1/29/08

By P G Reutens
Name: Patrick Reutens
Title: Chief Legal Officer

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
10/352,733	01/27/2003	Lorenzo Bedarida	2800.021US1

CONFIRMATION NO. 8062

76287
SCHWEGMAN, LUNDBERG & WOESSNER / ATMEL
P.O. BOX 2938
MINNEAPOLIS, MN 55402

POA ACCEPTANCE LETTER

OC000000028388503

Date Mailed: 02/21/2008

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 02/08/2008.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

/mbeyene/

Office of Initial Patent Examination (571) 272-4000 or 1-800-PTO-9199

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
10/352,733	01/27/2003	Lorenzo Bedarida	ATM-234

CONFIRMATION NO. 8062

3897
SCHNECK & SCHNECK
P.O. BOX 2-E
SAN JOSE, CA 95109-0005

POWER OF ATTORNEY NOTICE

OC000000028388394

Date Mailed: 02/21/2008

NOTICE REGARDING CHANGE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 02/08/2008.

- The Power of Attorney to you in this application has been revoked by the assignee who has intervened as provided by 37 CFR 3.71. Future correspondence will be mailed to the new address of record(37 CFR 1.33).

/mbeyene/

Office of Initial Patent Examination (571) 272-4000 or 1-800-PTO-9199

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	PATENT NUMBER	GROUP ART UNIT	FILE WRAPPER LOCATION
10/352,733	6724241	2816	06B0

OC000000047253883

Correspondence Address/Fee Address Change

The following fields have been set to Customer Number 94166 on 04/19/2011

- **Correspondence Address**
- **Maintenance Fee Address**

The address of record for Customer Number 94166 is:

94166
Fish & Richardson PC / Atmel
P.O.Box 1022
Minneapolis, MN 55440

PART 1 - ATTORNEY/APPLICANT COPY
page 1 of 1