8256808

THE UNITED STATES OF AMERICA

TO ALL TO WHOM THESE PRESENTS SHALL COME:

UNITED STATES DEPARTMENT OF COMMERCE

United States Patent and Trademark Office

June 06, 2022

THIS IS TO CERTIFY THAT ANNEXED IS A TRUE COPY FROM THE RECORDS OF THIS OFFICE OF THE FILE WRAPPER AND CONTENTS OF:

APPLICATION NUMBER: *10/886,014*
FILING DATE: *July 06, 2004*
PATENT NUMBER: *7414599*
ISSUE DATE: *August 19, 2008*

Certified by

Performing the Functions and Duties of the
Under Secretary of Commerce
for Intellectual Property
and Director of the United States
Patent and Trademark Office

20427 U.S. PTO
070604

22278 U.S. PTO
10/886014
070604

UTILITY PATENT APPLICATION TRANSMITTAL
(Only for new nonprovisional applications under 37 CFR 1.53(b))

Docket No.	:	52226/DBP/S1082
Inventor(s)	:	Ho-Kyoon Chung; Yang-Wan Kim; Choon-Yul Oh; Oh-Kyong Kwon; and Sang-Moo Choi
Title	:	ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR
Express Mail Label No.	:	EV327917029US

ADDRESS TO: Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 6, 2004

1. _X_ **FEE TRANSMITTAL FORM** *(Submit an original, and a duplicate for fee processing).*

2. **IF A CONTINUING APPLICATION**
   _____ This application is a of patent application No. .
   Prior application information: Examiner ; Group Art Unit: .

   _____ This application claims the benefit of Provisional Application No. pursuant to 35 U.S.C. §119(e) and 37 CFR §1.78(a)(4).

3. **APPLICATION COMPRISED OF**

   Specification
   _27_ Specification, claims and Abstract (total pages)

   Drawings
   _5_ Sheets of formal drawing(s) (FIGS. 1 to 7)

   Declaration and Power of Attorney
   _____ Newly executed
   _X_ Unexecuted declaration
   _____ Copy from a prior application (37 CFR 1.63(d))(for continuation and divisional)

4. _____ **Microfiche Computer Program** *(Appendix)*

5. _____ Nucleotide **and/or Amino Acid** Sequence **Submission** *(if applicable, all necessary)*
   _____ Computer Readable Copy
   _____ Paper Copy (identical to computer copy)
   _____ Statement verifying identity of above copies

6. **APPLICANT(S) STATUS UNDER 37 CFR §1.27**
   _____ Applicant(s) and any others associated with it/them under §1.27(a) are a SMALL ENTITY

UTILITY PATENT APPLICATION TRANSMITTAL
(Only for new nonprovisional applications under 37 CFR 1.53(b))
Docket No.: 52226/DBP/S1082

7. **ALSO ENCLOSED ARE**

_____ Request and Certificate under 35 U.S.C. §122(b)(2)(B)(i) **Request for Non-Publication)**
_____ Preliminary Amendment
_____ Includes "Cross-Reference to Related Applications"
_____ A Petition for Extension of Time for the parent application and the required fee are enclosed
_____ An Assignment of the invention with the Recordation Cover Sheet and the recordation fee are enclosed
_____ This application is owned by pursuant to an Assignment recorded at Reel , Frame
__X__ Information Disclosure Statement (IDS)/PTO/SB/08A/B
_____ Copies of IDS Citations
__X__ Certified copy of Priority Document(s) (*if foreign priority is claimed)*
_____ English Translation Document *(if applicable)*
__X__ Return Receipt Postcard (MPEP 503) (should be specifically itemized).
_____ Other:

8. **CORRESPONDENCE ADDRESS**

CHRISTIE, PARKER & HALE, LLP, P.O. BOX 7068, PASADENA, CA 91109-7068
Customer Number: 23363

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By _____
D. Bruce Prout
Reg. No. 20,958
626/795-9900

SDC-1351-00000059
SDC EX. 2001 - 3/503

20427 U.S. PTO
070604

FEE TRANSMITTAL
UTILITY PATENT APPLICATION

DATE: July 6, 2004

Docket No. : 52226/DBP/S1082
Inventor(s) : Ho-Kyoon Chung; Yang-Wan Kim; Choon-Yul Oh; Oh-Kyong Kwon; and Sang-Moo Choi
Title : ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR

Duplicate ___

FEE DETERMINATION

CLAIMS AS FILED					
	NUMBER FILED	NUMBER EXTRA	SMALL ENTITY RATE	LARGE ENTITY RATE	FEE
TOTAL CLAIMS	20 – 20	= 0	x $9.00	0 x $18.00	0
INDEPENDENT CLAIMS	6 – 3	= 3	x $43.00	3 x $86.00	258
MULTIPLE-DEPENDENT CLAIMS FEE			$145.00	$290.00	0
BASIC FEE			$385.00	$770.00	770
				TOTAL FILING FEE	$1028
List Independent Claims: 1, 8, 15, 16, 18 and 20					

METHOD OF PAYMENT

__X__ No filing fee enclosed.

__X__ No Deposit Account Authorization.

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By _____
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/aam

AAM PAS573111.1-*-07/6/04 11:53 AM

ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR

CROSS-REFERENCE TO RELATED APPLICATION

This application claims the benefit of Korean Patent Application No. 2003-45610, filed Jul 7, 2003, the disclosure of which is hereby incorporated herein by reference in its entirety.

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates to a flat panel display and, more specifically, to a pixel circuit in an organic light emitting device capable of realizing high gradation by self-compensating a threshold voltage of a transistor that drives an electroluminescent (EL) element, and a method for driving the same.

2. Description of the Related Art

Normally, an organic light emitting device may be classified into a passive matrix organic light emitting diode (OLED) and an active matrix OLED (AMOLED), and can be classified into a current driving OLED and a voltage driving OLED depending on the manner in which the EL element is driven.

A typical AMOLED is generally composed of a plurality of gate lines, a plurality of data lines, a plurality of power lines, and a plurality of pixels connected to the lines and arranged in a matrix form. Each pixel is normally

composed of: an EL element; two transistors, in which one is a switching transistor for transferring a data signal while the other is a driving transistor for driving the EL element depending on the data signal; and one capacitor for maintaining the data voltage.

Although this AMOLED has an advantage in that power consumption is low, current intensity flowing through the EL element changeing over time, causing display nonuniformity, can be a problem. This results from a change in voltage between the gate and the source of the driving transistor for driving the EL element, namely, the threshold voltage of the driving transistor, which leads to a change in the current flowing through the EL element. Since the threshold voltage of a thin film transistor for the driving transistor changes depending on manufacturing process parameters, it becomes difficult to manufacture transistors in the AMOLED so that all of the transistors have the same threshold voltage. Thus, there are threshold voltage deviations between pixels.

In order to solve this voltage deivation problem, a method has been developed for compensating the threshold voltage depending on manufacturing process parameters by adding a transistor for threshold voltage compensation. U.S. Patent No. 6,229,506 ('506 patent) discloses an organic light emitting device for compensating the threshold voltage deviation. The '506 patent discloses a pixel structure in which a current source adjusts a voltage between the source and the gate of a driving transistor with respect to an overdrive voltage thereof and compensates the threshold voltage deviation of the driving transistor. The organic light emitting device in the '506 patent performs a

SDC-1351-00000062
SDC EX. 2001 - 6/503

two-step operation involving a data load (data write) step and a continuous light-emitting step, in which a current source adjusts a voltage between the source and the gate of the driving transistor with respect to the overdrive voltage and compensates the threshold voltage deviation of the driving transistor.

However, the organic light emitting device as described above employs a current driving approach for driving the EL element which depends on a data signal current level applied from the current source and has difficulty in charging a data line. Because a parasitic capacitance of the data line is relatively larger while the current level of the data signal provided from the current source is relatively smaller, the data becomes unstable as well as considerably long time is required to charge the data line.

In order to solve the data line charging problem in the current driving approach, an organic light emitting device having a mirror type pixel structure has been proposed. Fig. 1 shows a pixel circuit of a voltage driving manner having a mirror type in a conventional voltage driving organic light emitting device.

Referring to Fig. 1, the pixel circuit comprises first P-type transistor T11 in which the gate of the first transistor is connected to current scan signal SCAN[n] applied to an associated scan line of a plurality of gate lines. Data signal VDATAm applied to an associated data line of a plurality of data lines is applied to its source. Second P-type transistor T12 in which a previous scan signal SCAN[n-1] is applied to a scan line just before the current scan line is applied to its gate. Initialization voltage Vinti is applied to its drain. Third and

SDC-1351-00000063
SDC EX. 2001 - 7/503

fourth P-type transistors T13 and T14 have a mirror type configuration. Fifth N-type transistor T15 in which previous scan signal SCAN[n-1] is applied to its gate has its drain coupled to the drain of fourth transistor T14. EL element EL11 is connected between fifth transistor T15 and ground voltage VSS. First capacitor C11 is connected between the gate and the source of fourth transistor T14.

Operation of the pixel in the organic light emitting device having the above-described structure will be described with reference to an operation waveform diagram of Fig. 2. Here, it is assumed that a scan line to be currently driven is the n-th scan line. A scan signal applied to the n-th scan line is SCAN[n]. A scan line driven before the current scan line is the (n-1)th scan line. A scan signal applied to the (n-1)th scan line is SCAN[n-1].

First of all, in initializing the operation, if predetermined levels of previous scan signal SCAN[n-1] and current scan signal SCAN[n] are applied thereto, that is, if a low level of previous scan signal SCAN[n-1] and a high level of current scan signal SCAN[n] are applied thereto, transistor T12 is turned on and transistors T11 and T15 are turned off, such that mirror-type transistors T13 and T14 are also turned off. Accordingly, the data stored in capacitor C11 is initialized through transistor T12 to initialization voltage Vinti.

Meanwhile, in programming data, if predetermined levels of previous scan signal SCAN[n-1] and current scan signal are applied thereto, that is, if a high level of previous scan signal SCAN[n-1] and a low level of current scan signal SCAN[n] are applied thereto, transistor T12 is turned off and transistor T11 is turned on, such that mirror-type transistors T13 and T14 are turned on.

SDC-1351-00000064
SDC EX. 2001 - 8/503

Thus, a data signal voltage level VDATAm applied to the data line is transferred through transistor T13 to the gate of driving transistor T14. At this time, since transistor T15 is turned on by previous scan signal SCAN[n-1], a driving current corresponding to the data signal voltage VDATAm applied to the gate of driving transistor T14 flows into EL element EL 11 for its light-emitting.

The voltage applied to the gate of transistor T14 becomes VDATA-$V_{TH(T13)}$, and the current flowing through EL element EL11 is represented by the following Expression 1.

$$I_{EL11} = \frac{\beta}{2}\left(V_{GS(T14)} - V_{TH(T14)}\right)^2$$

$$= \frac{\beta}{2}\left(V_{DD} - V_{DATA} + V_{TH(T13)} - V_{TH(T14)}\right)^2 \qquad \ldots\ldots(1)$$

Where, $I_{EL\,11}$ represents the current flowing through organic EL element EL 11, $V_{GS(T14)}$ represents a voltage between the source and the gate of transistor T14, $V_{TH(13)}$ represents a threshold voltage of transistor T13, V_{DATA} represents a data voltage, and β represents a constant value, respectively.

At this time, if threshold voltages of transistors T13 and T14 for the current mirror are identical with each other, i.e., if $V_{TH(T13)} = V_{TH(T14)}$, the threshold voltage of the transistor can be compensated, thereby maintaining the driving current of EL element EL 11 to be uniform.

However, although transistors T13 and T14 configuring the current mirror are arranged adjacent to each other on a substrate in the voltage driving manner of the current mirror type as described above, it is very difficult to obtain the same threshold voltage due to the manufacturing process parameters of TFT. Therefore, there is a problem that it is difficult to obtain a uniform driving

SDC-1351-00000065
SDC EX. 2001 - 9/503

current due to deviation of the threshold voltage of TFT, resulting in degraded image quality.

A technique for solving the image quality degradation due to the threshold voltage deviation between TFTs for the current mirror in the voltage driving manner of the current mirror type as described above is disclosed in U.S. Patent No. 6,362,798 ('798 patent). In the '798 patent, a compensating thin film transistor having a diode form is connected to a gate of the driving transistor in order to compensate the threshold voltage of the driving transistor. However, there is a problem with the '798 patent that when threshold voltages of the thin film transistor for compensation and the thin film transistor for driving EL element drive are different from each other, threshold voltage deviation of the driving transistor is not compensated, as well.

SUMMARY OF THE INVENTION

The present invention, therefore, addresses the aforementioned problem of the prior art, and provides a pixel circuit in an organic light emitting device capable of detecting and self-compensating threshold voltage deviations, and a method for driving the same.

Further in accordance with the present invention a pixel circuit in an organic light emitting device is provided capable of compensating threshold voltage deviations regardless of manufacturing process parameters, and a method for driving the same.

Still further in accordance with the present invention a pixel circuit in an organic light emitting device is provided which is capable of allowing a driving

SDC-1351-00000066
SDC EX. 2001 - 10/503

current flowing through an EL element to be uniform regardless of threshold voltage deviation between respective pixels, and a method for driving the same.

Yet still further in accordance with the present invention a pixel circuit in an organic light emitting device is provided capable of realizing high gradation representation regardless of threshold voltage deviation between respective pixels, and a method for driving the same.

According to one aspect of the invention, there is provided a pixel circuit in an organic light emitting device. A first transistor delivers a data signal voltage in response to a current scan line signal. A second transistor generates a driving current depending on the data signal voltage delivered through the first transistor. A third transistor detects and self-compensates threshold voltage deviations in the second transistor. A capacitor for stores the data signal voltage delivered to the second transistor. An electroluminescent element emits light corresponding to the driving current generated through the second transistor.

According to another aspect of the invention, there is provided a pixel circuit in an organic light emitting device. A first transistor delivers a data signal voltage in response to a current scan line signal. A second transistor programs the data signal voltage and generates a driving current in response to the programmed data signal when light is emitted. A third transistor provides the data signal voltage for the second transistor in response to the current scan signal. A capacitor maintains the data signal voltage programmed onto the second transistor. A fourth transistor delivers a power supply voltage to the second transistor when the light is emitted. A fifth transistor delivers the driving

SDC-1351-00000067
SDC EX. 2001 - 11/503

current, provided from the second transistor, depending on the data signal voltage when the light is emitted. An electroluminescent element emits light corresponding to the driving current delivered through the fifth transistor. The third transistor connects the second transistor in the form of a diode in response to the current scan signal, so that the second transistor detects and compensates its threshold voltage deviation in itself.

The first transistor is composed of a PMOS transistor including a gate to which the current scan line signal is applied, a source to which the data signal voltage is applied, and a drain coupled to the second transistor. The second transistor is composed of a PMOS transistor including a gate coupled to one terminal of the capacitor, a source coupled to the first transistor, and a drain coupled to the electroluminescent element. The third transistor is composed of a PMOS transistor including a gate to which the current scan signal is applied, and a drain and a source which are coupled to the gate and the drain of the second transistor, respectively, so that the second transistor is connected in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor. The fourth transistor is composed of a PMOS transistor including a gate to which the current light-emitting signal is applied, a source to which a power supply voltage is applied, and a drain coupled to the second transistor. The fifth transistor is composed of a PMOS transistor including a gate to which the current light-emitting signal is applied, a source coupled to the second transistor, and a drain coupled to the electroluminescent element.

SDC-1351-00000068
SDC EX. 2001 - 12/503

According to yet another aspect of the invention, there is provided pixel circuit in an organic light emitting device. An electroluminescent element emits light depending on an applied driving current. A first transistor delivers a data signal voltage in response to a current scan line signal. A second transistor for generates a driving current to drive the electroluminescent element in response to the data signal voltage. A third transistor connects the second transistor in the form of a diode in response to a current scan signal to self-compensate a threshold voltage of the second transistor. A capacitor stores the data signal voltage delivered to the second transistor. A fourth transistor delivers a power supply voltage to the second transistor in response to a current light-emitting signal. A fifth transistor provides the driving current, provided from the second transistor, for the electroluminescent element in response to the current light-emitting signal.

According to yet still another aspect of the invention, there is provided a pixel circuit in an organic light emitting device. A first transistor includes a gate to which a current scan signal is applied, and a source to which a data signal voltage is applied. A second transistor has its source coupled to a drain of the first transistor. A third transistor has its drain and source connected between a gate and a drain of the second transistor. A fourth transistor includes a gate to which a current light-emitting signal is applied, a source to which a power supply voltage is applied, and a drain coupled to the source of the second transistor. A fifth transistor includes a gate to which the current light-emitting signal is applied, a source coupled to the drain of the second transistor, and a drain coupled to one terminal of an electroluminescent element. The

electroluminescent element has one terminal coupled to the drain of the fifth transistor and the other terminal grounded. A capacitor has one terminal coupled to the gate of the second transistor. A power supply voltage is applied to the other terminal of the capacitor.

According to yet still another aspect of the invention, there is provided a pixel circuit in an organic light emitting device having a plurality of data lines, a plurality of scan lines, a plurality of power lines, and a plurality of pixels each connected to one associated data line, scan line and power line of the plurality of data lines, scan lines and power lines. Each pixel comprises: a first transistor including a gate to which a current scan signal to be applied to the associated scan line is applied, and a source to which a data signal voltage from the data line is applied; a second transistor whose source is coupled to a drain of the first transistor; a third transistor whose drain and source are connected between a gate and a drain of the second transistor, respectively; a fourth emitting transistor including a gate to which a current light-emitting signal is applied, a source to which a power supply voltage from the power line is applied, and a drain coupled to the source of the second transistor; a fifth transistor including a gate to which the current light-emitting signal is applied, and a source coupled to the drain of the second transistor; an electroluminescent element including one terminal coupled to the drain of the fifth transistor and the other terminal grounded; and a capacitor including one terminal coupled to the gate of the second transistor, and the other terminal to which the power supply voltage from the power line is applied.

SDC-1351-00000070
SDC EX. 2001 - 14/503

According to yet still another aspect of the invention, there is provided a method of driving a pixel in an organic light emitting device having a plurality of data lines, a plurality of scan lines, a plurality of power lines, and a plurality of pixels each connected to an associated one data line, scan line and power line of the plurality of data lines, scan lines and power lines. The method comprises: performing initialization in response to a scan signal applied to a scan line just before the associated scan line; compensating threshold voltage deviation in response to a scan signal applied to the associated scan line, and programming a data voltage applied from the associated data line, regardless of the threshold voltage deviation; and generating a driving current corresponding to the data voltage to emit an electroluminescent (EL) element in response to a current light-emitting signal.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 illustrates a circuit construction of a pixel in a conventional organic light emitting device.

Fig. 2 is a waveform diagram for explaining operation of the pixel in the conventional organic light emitting device.

Fig. 3 illustrates a circuit construction of a pixel in an organic light emitting device according to an embodiment of the present invention.

Fig. 4 is a waveform diagram for explaining operation of the pixel in the organic light emitting device according to the embodiment of the present invention, as shown in Fig. 3.

Figs. 5 to 7 are circuit construction diagrams for explaining initialization operation, program operation and light-emitting operation of a pixel in an

SDC-1351-00000071
SDC EX. 2001 - 15/503

organic light emitting device according to an embodiment of the present invention.

DETAILED DESCRIPTION

The organic light emitting device in accordance with the present invention includes a plurality of gate lines; a plurality of data lines; a plurality of power lines; and a plurality of pixels each arranged in an associated gate line, data line and power line of the plurality of gate lines, data lines and power lines. Fig. 3 shows only one pixel arranged in an associated gate line (the n-th gate line), data line (the m-th data line) and power line (the m-th power line).

Referring to Fig. 3, each pixel in the organic light emitting device according to the present invention is composed of six transistors T31-T36, one capacitor C31 and electroluminescent (EL) element EL31. That is, each pixel includes organic electroluminescent device EL31 for emitting light corresponding to an applied driving current; first switching transistor T32 for switching data signal voltage VDATAm, applied to the associated data line, in response to current scan line signal SCAN[n] applied to the associated scan line; driving transistor T31 for supplying a driving current of the organic electroluminescent device corresponding to the data signal voltage inputted to its gate through first switching transistor T32; threshold voltage compensation transistor T33 for compensating the threshold voltage of driving transistor T31; and capacitor C31 for storing the data signal that is applied to the gate of driving transistor T31.

First switching transistor T32 is composed of a P-type thin film transistor

SDC-1351-00000072
SDC EX. 2001 - 16/503

in which current scan signal SCAN[n], applied to the associated scan line, is applied to its gate, data signal voltage VDATAm, applied to the associated data line, is applied to its source, and its drain is connected to the source of driving transistor T31.

Driving transistor T31 is composed of a P-type thin film transistor in which its gate is connected to one terminal of capacitor C31 and its drain is connected to one terminal of EL element EL31. Threshold voltage compensation transistor T33 is composed of a P-type thin film transistor in which its drain and source are connected to the gate and drain of driving transistor T31, respectively, and a current scan signal scan [n] is applied to the gate of transistor T33. Power supply voltage VDD from the associated power line is provided for the other side of capacitor C31.

Further, each pixel comprises second switching transistor T35 for providing power supply voltage VDD for driving transistor T31 in response to current light-emitting signal EMI[n], and third switching transistor T36 for providing a driving current, generated through driving transistor T31, for EL element EL31 in response to current light-emitting signal EMI[n].

Second switching transistor T35 is composed of a P-type thin film transistor in which current light-emitting signal EMI[n] is applied to its gate, the power supply voltage from the associated power supply voltage line is applied to its source, and its drain is connected to the source of driving transistor T32. Third switching transistor T36 is composed of a P-type thin film transistor in which current light-emitting signal EMI[n] is applied to its gate, its source is coupled to the drain of driving transistor T31, and the drain of transistor T36 is

SDC-1351-00000073
SDC EX. 2001 - 17/503

coupled to one terminal of EL element EL31. The other terminal of EL element EL31 is grounded.

Moreover, each pixel includes initialization transistor T34 for initializing the data signal stored in capacitor C31 in response to a previous scan signal SCAN[n-1] applied to a scan line just before the associated scan line. Transistor T34 is composed of a P-type thin film transistor in which previous scan signal SCAN[n-1] is applied to its gate, its source is coupled to the one terminal of capacitor C31, and initialization voltage Vinti is applied to its drain.

Operation of the pixel having the above-described configuration according to the present invention will be described with reference to Figs. 4 to 7.

First, in an initialization operation, during an initialization period in which previous scan signal SCAN[n-1] is of a low level, and current scan signal SCAN[n] and light-emitting signal EMI[n] are of high level as shown in Fig. 4, since transistor T34 is turned on by the low level of previous scan signal SCAN[n-1], and transistors T31-T33 and T35-T36 are turned off by the high level of current scan signal SCAN[n] and current light-emitting signal EMI[n], an initialization path (as indicated by a solid line shown in Fig. 5) is formed. Accordingly, the data signal that has been stored in capacitor C31, namely, a gate voltage of driving transistor T31, is initialized.

Next, in a data program operation, during a programming period in which previous scan signal scan [n-1] is at a high level, current scan signal SCAN[n] is at a low level and current light-emitting signal EMI[n] is at a high level as shown in Fig. 4, transistor T34 is turned off, and transistor T33 is turned

SDC-1351-00000074
SDC EX. 2001 - 18/503

on by the low level of current scan signal SCAN[n], such that driving transistor T31 is connected in the form of a diode.

Since switching transistor T32 is also turned on by current scan signal SCAN[n], and switching transistors T35 and T36 are turned off by current light-emitting signal EMI[n], such that a data program path (as indicated by a solid line shown in Fig. 6) is formed. Accordingly, data voltage VDATAm applied to the associated data line is provided for the gate of driving transistor T31 through threshold voltage compensation transistor T33.

Since driving transistor T31 is in the diode connection, VDATAm-$V_{TH(T31)}$ is applied to the gate of transistor T31 and the gate voltage is stored in capacitor C31, such that the program operation is completed.

Finally, in a light-emitting operation, during an light-emitting period in which previous scan signal SCAN[n-1] is of high level, current scan signal SCAN[n] becomes a high level, and then current light-emitting signal EMI[n] becomes a low level as shown in Fig. 4, an light-emitting path (as indicated by the solid line as shown in Fig. 7) is formed. That is, switching transistors T35 and T36 are turned on by the low level of current light-emitting signal EMI[n], initialization transistor T34 is turned off by the high level of previous scan signal SCAN[n-1], and threshold voltage compensation transistor T33 and switching transistor T32 are turned off by the high level of current scan signal SCAN[n]. Accordingly, a driving current generated in response to the data signal voltage applied to the gate of driving transistor T31 is provided through transistor T31 for organic EL element EL31, such that the light-emitting of organic EL element EL31 occurs.

SDC-1351-00000075
SDC EX. 2001 - 19/503

At this time, the current into organic EL element EL31 is represented by the following Expression 2.

$$I_{EL31} = \frac{\beta}{2}(V_{GS} - V_{TH(M31)})^2$$

$$= \frac{\beta}{2}(V_{DD} - V_{DATA} + V_{TH(M31)} - V_{TH(M31)})^2 \quad \ldots\ldots (2)$$

Where, I_{EL31} represents the current flowing into organic EL element EL31, V_{GS} represents a voltage between the source and the gate of transistor T31, $V_{TH(T31)}$ represents a threshold voltage of transistor T31, V_{DATA} represents a data voltage, and β represent a constant value, respectively.

As can be seen from the Expression 2, the driving current flows through EL element EL31, corresponding to the data signal voltage applied to the data line regardless of the threshold voltage of current driving transistor T31. That is, because the present invention detects and self-compensates the threshold voltage deviation in current driving transistor T31 through transistor T33, it is possible to finely control the current flowing into the organic EL element, thereby providing the high gradation of the organic EL element.

Further, if the data for a previous frame time has a high level of voltage and the data for a next frame time has a low level of voltage, the data signal can be no longer applied to the gate node of transistor T31 owing to the diode connection property of transistor T31, and thus switching transistor T34 is placed to initialize the gate node of transistor T31 into a predetermined level Vinti per frame.

As described above, driving transistor T31 in the present invention can self-compensate the threshold voltage deviation by detecting its own threshold

SDC-1351-00000076
SDC EX. 2001 - 20/503

voltage.

Although the embodiment of the present invention illustrates the pixel circuit composed of six transistors and one capacitor, the present invention is applicable to all constructions for detecting and self-compensating a threshold voltage. Moreover, the pixel circuit can be configured of a NMOS transistor, a CMOS transistor or the like other than the PMOS transistor.

According to the embodiment of the present invention as described above, there are advantages that it is possible to realize high gradation by detecting and self-compensating the threshold voltage deviation in the driving transistor as well as to solve a charging problem in the data line by driving the driving transistor in the voltage driving manner.

Although the present invention has been described with reference to the exemplary embodiments thereof, it will be appreciated by those skilled in the art that it is possible to modify and change the present invention variously without departing from the spirit and scope of the present invention as set forth in the following claims.

SDC-1351-00000077
SDC EX. 2001 - 21/503

WHAT IS CLAIMED IS:

1. A pixel circuit in an organic light emitting device, comprising:

a first transistor for delivering a data signal voltage in response to a current scan line signal;

a second transistor for generating a driving current depending on the data signal voltage delivered through the first transistor;

a third transistor for detecting and self-compensating threshold voltage deviation in the second transistor;

a capacitor for storing the data signal voltage delivered to the second transistor; and

an electroluminescent element for emitting light corresponding to the driving current generated through the second transistor.

2. The pixel circuit in the organic light emitting device of claim 1, further comprising:

a fourth initialization transistor for discharging the data signal voltage stored in the capacitor in response to a scan signal just before the current scan signal.

3. The pixel circuit in the organic light emitting device of claim 1, further comprising:

a fifth transistor for providing a power supply voltage for the second transistor in response to a current light-emitting signal; and

SDC-1351-00000078
SDC EX. 2001 - 22/503

a sixth transistor for providing a driving current for the electroluminescent element through the second transistor in response to the current light-emitting signal.

4. The pixel circuit in the organic light emitting device of claim 1, wherein the first transistor is composed of a PMOS transistor including a gate to which the current scan line signal is applied, a source to which the data signal voltage is applied, and a drain coupled to the second transistor.

5. The pixel circuit in the organic light emitting device of claim 1, wherein the second transistor is composed of a PMOS transistor including a gate coupled to one terminal of the capacitor, a source coupled to the first transistor, and a drain coupled to the electroluminescent element.

6. The pixel circuit in the organic light emitting device of claim 5, wherein the third transistor is composed of a PMOS transistor including a gate to which the current scan signal is applied, and a drain and a source which are coupled to the gate and the drain of the second transistor, respectively, so that the third transistor connects the second transistor in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor.

7. The pixel circuit in the organic light emitting device of claim 1, further comprising:

SDC-1351-00000079
SDC EX. 2001 - 23/503

a voltage source for providing the data signal voltage through the first transistor for the second transistor.

8. A pixel circuit in an organic light emitting device, comprising:

a first transistor for delivering a data signal voltage in response to a current scan line signal;

a second transistor for programming the data signal voltage and for generating a driving current in response to a programmed data signal when light is emitted;

a third transistor for providing the data signal voltage for the second transistor in response to the current scan signal;

a capacitor for maintaining the data signal voltage programmed onto the second transistor;

a fourth transistor for delivering a power supply voltage to the second transistor when the light is emitted;

a fifth transistor for delivering the driving current, provided from the second transistor, in response to the data signal voltage when the light is emitted; and

an electroluminescent element for emitting light corresponding to the driving current delivered through the fifth transistor,

wherein the third transistor connects the second transistor in the form of a diode in response to the current scan signal so that the second transistor detects and compensates its threshold voltage deviation in itself.

SDC-1351-00000080
SDC EX. 2001 - 24/503

9. The pixel circuit in the organic light emitting device of claim 8, further comprising:

a sixth initialization transistor for discharging the data signal voltage stored in the capacitor in response to a scan signal just before the current scan signal upon initialization.

10. The pixel circuit in the organic light emitting device of claim 8, wherein the first transistor is composed of a PMOS transistor including a gate to which the current scan line signal is applied, a source to which the data signal voltage is applied, and a drain coupled to the second transistor.

11. The pixel circuit in the organic light emitting device of claim 8, wherein the second transistor is composed of a PMOS transistor including a gate coupled to one terminal of the capacitor, a source coupled to the first transistor, and a drain coupled to the electroluminescent element.

12. The pixel circuit in the organic light emitting device of claim 11, wherein the third transistor is composed of a PMOS transistor including a gate to which the current scan signal is applied, and a drain and a source which are coupled to the gate and the drain of the second transistor, respectively, so that the third transistor connects the second transistor in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor.

SDC-1351-00000081
SDC EX. 2001 - 25/503

13. The pixel circuit in the organic light emitting device of claim 8, further comprising:

a voltage source for providing the data signal voltage through the first transistor for the second transistor.

14. The pixel circuit in the organic light emitting device of claim 8, wherein the fourth transistor is composed of a PMOS transistor including a gate to which the current light-emitting signal is applied, a source to which a power supply voltage is applied, and a drain coupled to the second transistor; and

the fifth transistor is composed of a PMOS transistor including a gate to which the current light-emitting signal is applied, a source coupled to the second transistor, and a drain coupled to the electroluminescent element.

15. A pixel circuit in an organic light emitting device, comprising:

an electroluminescent element for emitting light in response to an applied driving current;

a first transistor for delivering a data signal voltage in response to a current scan line signal;

a second transistor for generating a driving current to drive the electroluminescent element in response to the data signal voltage;

a third transistor for connecting the second transistor in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor;

SDC-1351-00000082
SDC EX. 2001 - 26/503

a capacitor for storing the data signal voltage delivered to the second transistor;

a fourth transistor for delivering a power supply voltage to the second transistor in response to a current light-emitting signal; and

a fifth transistor for providing the driving current, provided from the second transistor, for the electroluminescent element in response to the current light-emitting signal.

16. A pixel circuit in an organic light emitting device, comprising:

a first transistor including a gate to which a current scan signal is applied, and a source to which a data signal voltage is applied;

a second transistor whose source is coupled to a drain of the first transistor;

a third transistor whose drain and source are connected between a gate and a drain of the second transistor;

a fourth transistor including a gate to which a current light-emitting signal is applied, a source to which a power supply voltage is applied, and a drain coupled to the source of the second transistor;

a fifth transistor including a gate to which the current light-emitting signal is applied, a source coupled to the drain of the second transistor, and a drain coupled to one terminal of an electroluminescent element;

the electroluminescent element having the one terminal coupled to the drain of the fifth transistor and the other terminal grounded; and

SDC-1351-00000083
SDC EX. 2001 - 27/503

a capacitor in which one terminal of the capacitor is coupled to the gate of the second transistor and a power supply voltage is applied to the other terminal of the capacitor.

17. The pixel circuit in the organic light emitting device of claim 16, further comprising:

a sixth transistor including a gate to which a scan signal just before the current scan signal is applied;

a source coupled to the one terminal of the capacitor; and

a drain to which an initialization voltage is applied.

18. A pixel circuit in an organic light emitting device having a plurality of data lines, a plurality of scan lines, a plurality of power lines, and a plurality of pixels each connected to one associated data line, scan line and power line of the plurality of data lines, scan lines and power lines, each pixel comprising:

a first transistor including a gate to which a current scan signal to be applied to the associated scan line is applied, and a source to which a data signal voltage from the data line is applied;

a second transistor whose source is coupled to a drain of the first transistor;

a third transistor whose drain and source are connected between a gate and a drain of the second transistor, respectively;

a fourth emitting transistor including a gate to which a current light-emitting signal is applied, a source to which a power supply voltage from

the power line is applied, and a drain coupled to the source of the second transistor;

a fifth transistor including a gate to which the current light-emitting signal is applied, and a source coupled to the drain of the second transistor;

an electroluminescent element including one terminal coupled to the drain of the fifth transistor and the other terminal grounded; and

a capacitor including one terminal coupled to the gate of the second transistor, and the other terminal to which the power supply voltage from the power line is applied.

19. The pixel circuit in the organic light emitting device of claim 18, further comprising:

a sixth transistor including a gate to which a scan signal to be applied to a scan line just before the associated scan line is applied, a source coupled to the one terminal of the capacitor, and a drain to which an initialization voltage is applied.

20. A method of driving a pixel in an organic light emitting device having a plurality of data lines, a plurality of scan lines, a plurality of power lines, and a plurality of pixels each connected to an associated one data line, scan line and power line of the plurality of data lines, scan lines and power lines, the method comprising:

performing initialization in response to a scan signal applied to a scan line just before the associated scan line;

SDC-1351-00000085
SDC EX. 2001 - 29/503

compensating threshold voltage deviation in response to a scan signal applied to the associated scan line, and programming a data signal voltage, applied from the associated data line, regardless of the threshold voltage deviation; and

generating a driving current corresponding to the data signal voltage to emit an EL (electroluminescent) element in response to a current light-emitting signal.

SDC-1351-00000086
SDC EX. 2001 - 30/503

ABSTRACT OF THE DISCLOSURE

A pixel circuit in an organic light emitting device capable of realizing high gradation representation by self-compensating a threshold voltage, and a method for driving the same. The pixel circuit includes an electroluminescent element for emitting light in response to an applied driving current. A first transistor delivers a data signal voltage in response to a current scan line signal. A second transistor generates a driving current to drive the electroluminescent element in response to the data signal voltage. A third transistor connects the second transistor in the form of a diode in response to a current scan signal to self-compensate the threshold voltage of the second transistor. A capacitor stores the data signal voltage delivered to the second transistor. A fourth transistor delivers a power supply voltage to the second transistor in response to a current light-emitting signal. A fifth transistor provides the driving current, provided from the second transistor, for the electroluminescent element in response to the current light-emitting signal.

FIG. 1
(PRIOR ART)

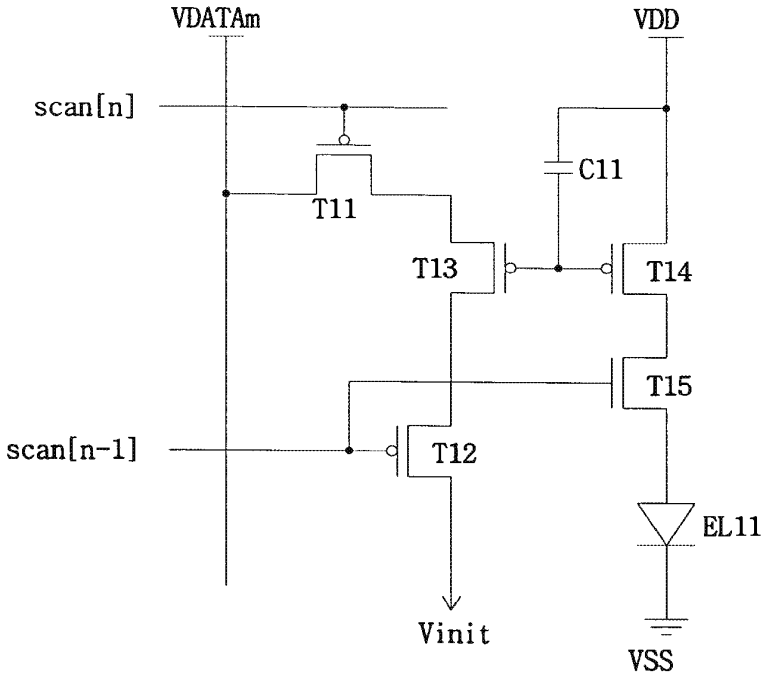


FIG. 2
(PRIOR ART)

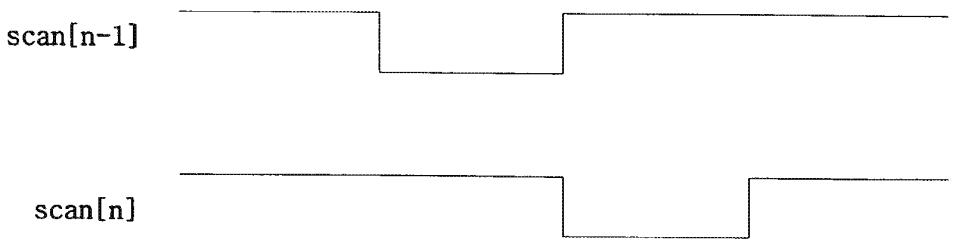


FIG. 3

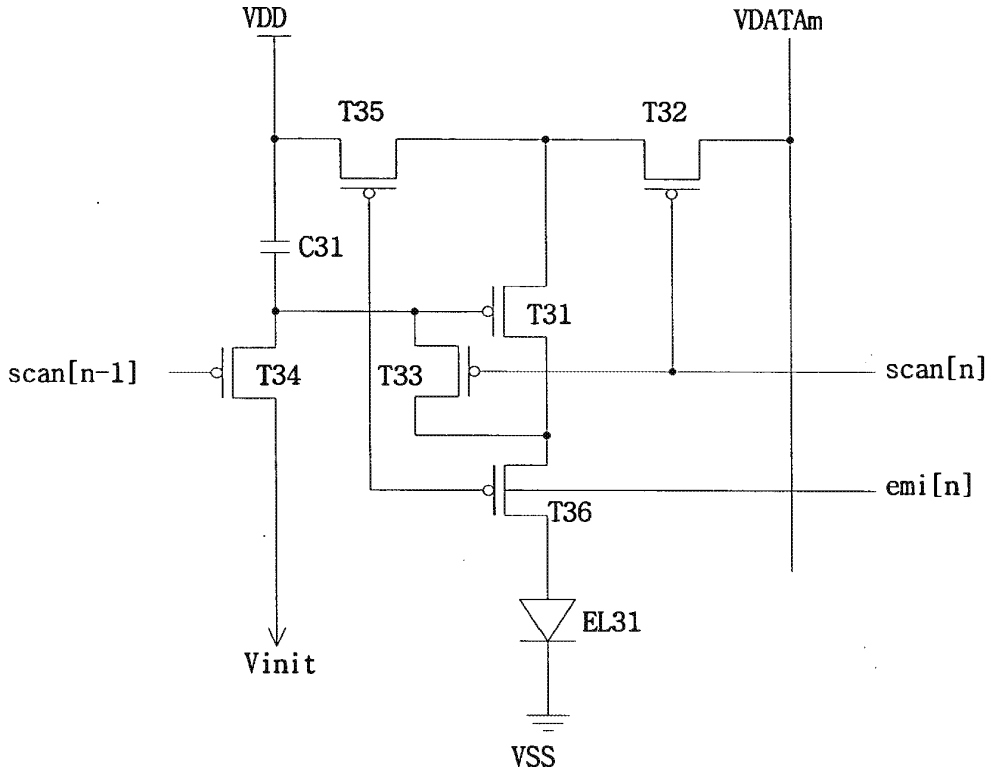

VDD
VDATAm
T35
T32
C31
T31
scan[n-1]
T34
T33
scan[n]
emi[n]
T36
EL31
Vinit
VSS

FIG. 4

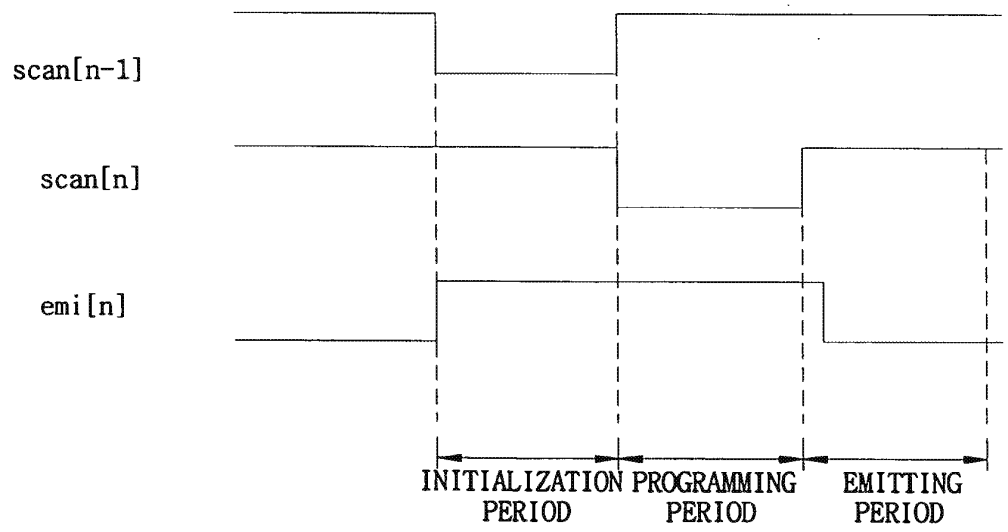

scan[n-1]
scan[n]
emi[n]
INITIALIZATION PERIOD
PROGRAMMING PERIOD
EMITTING PERIOD

FIG. 5

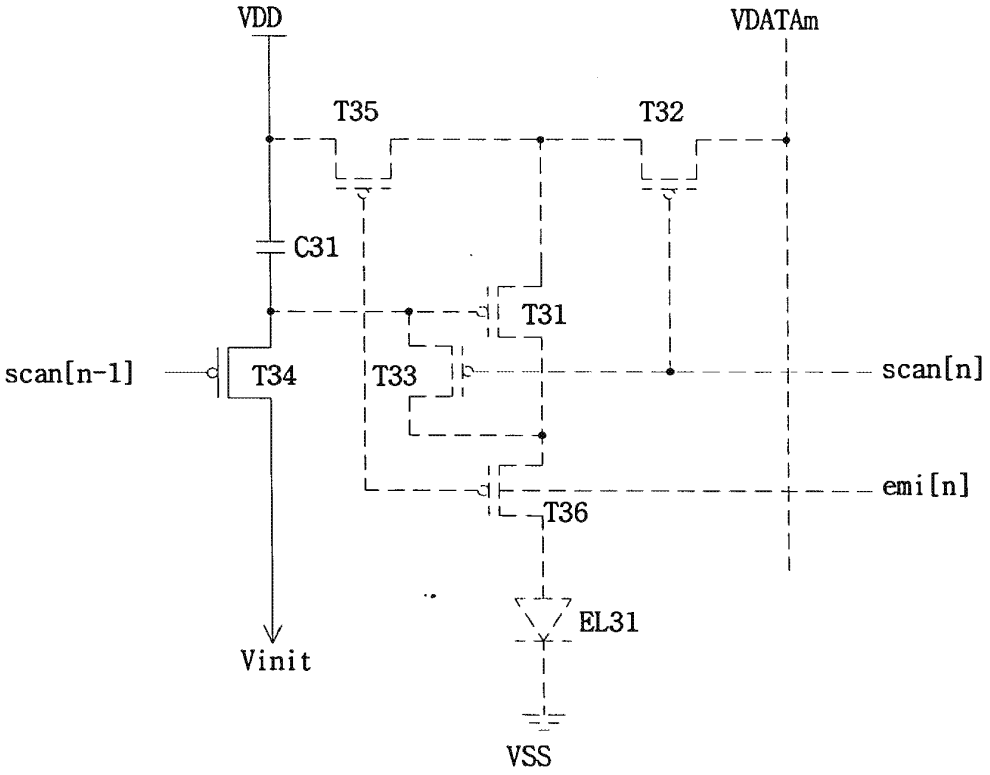

VDD
VDATAm
T35
T32
C31
T31
scan[n-1]
T34
T33
scan[n]
emi[n]
T36
EL31
Vinit
VSS

FIG. 6

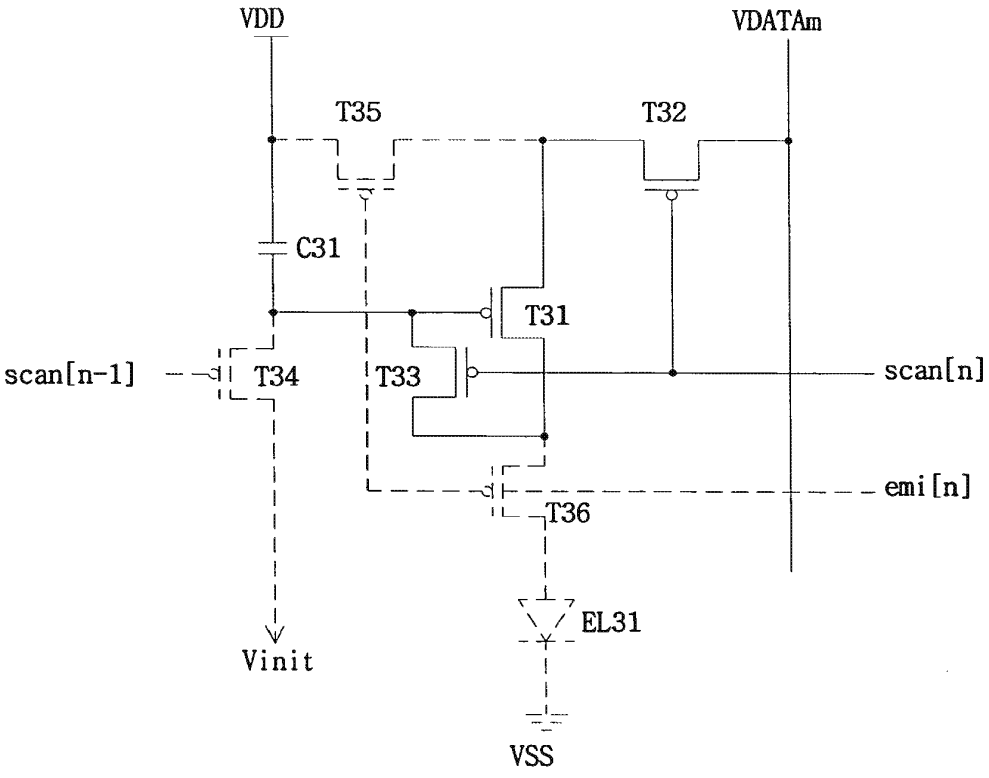
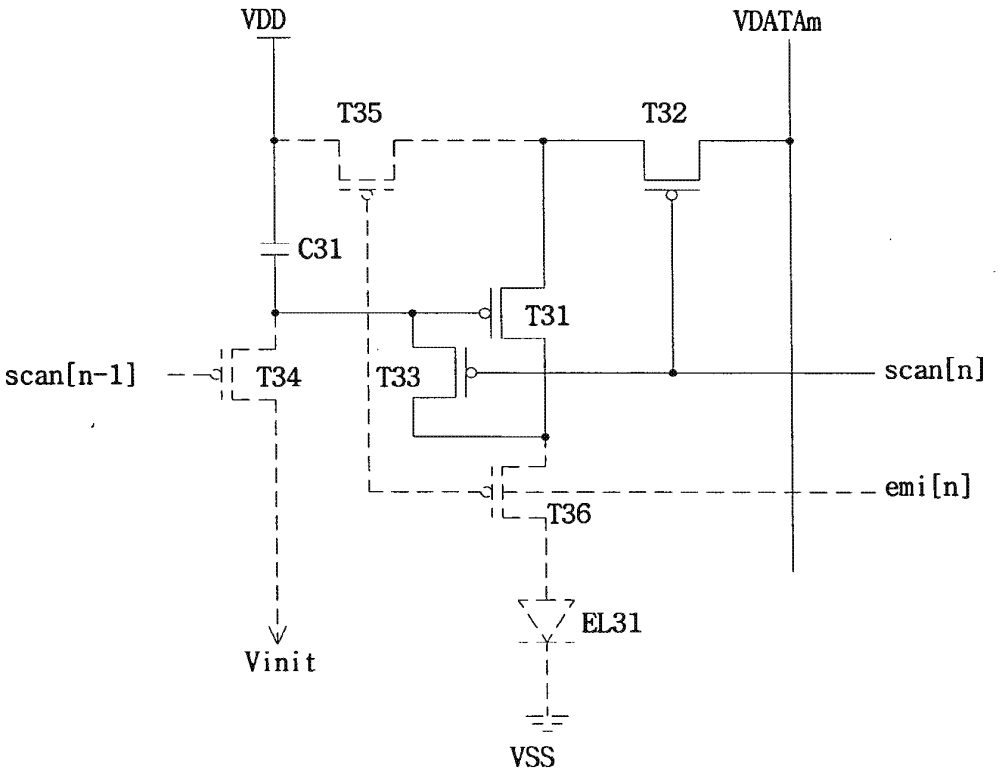

VDD
VDATAm
T35
T32
C31
T31
scan[n-1]
T34
T33
scan[n]
emi[n]
T36
EL31
Vinit
VSS

FIG. 7


VDD
VDATAm
T35
T32
C31
T31
scan[n-1]
T34
T33
scan[n]
emi[n]
T36
EL31
Vinit
VSS

Rev. 11/00 **DECLARATION AND POWER OF ATTORNEY FOR PATENT APPLICATION** PATENT

Docket No. : 52226/DBP/S1082

As a below named inventor, I hereby declare that:

My residence, mailing address and citizenship are as stated below next to my name.

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR, the specification of which is attached hereto unless the following is checked:

__X__ was filed on __July 6, 2004__ as United States Application Number or PCT International Application Number _____ and was amended on _____ (if applicable).

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment specifically referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR § 1.56, including for continuation-in-part applications, material information which became available between the filing date of the prior application and the national or PCT international filing date of the continuation-in-part application.

I hereby claim foreign priority benefits under 35 U.S.C. § 119(a)-(d) or § 365(b) of the foreign application(s) for patent or inventor's certificate, or § 365(a) of any PCT International application which designated at least one country other than the United States of America, listed below and have also identified below, any foreign application for patent or inventor's certificate, or any PCT International application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application(s)

Application Number	Country	Filing Date (day/month/year)	Priority Claimed
2003-0045610	Korea	7 July 2003	YES

I hereby claim the benefit under 35 U.S.C. § 119(e) of any United States provisional application(s) listed below.

Application Number	Filing Date

I hereby claim the benefit under 35 U.S.C. § 120 of any United States application(s), or any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of 35 U.S.C. § 112, I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR § 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of this application.

Application Number	Filing Date	Patented/Pending/Abandoned

POWER OF ATTORNEY: I hereby appoint the following attorneys and agents of the law firm CHRISTIE, PARKER & HALE, LLP to prosecute this application and any U.S. continuation or divisional application based on it, and to prosecute any international application under the Patent Cooperation Treaty based on it, and to transact all

business in the U.S. Patent and Trademark Office connected with either of them in accordance with instructions from the assignee of the entire interest in this application; or from the first or sole inventor named below in the event the application is not assigned; or from SUNGWOO INTERNATIONAL PATENT & TRADEMARK LAW OFFICE in the event the power granted herein is for an application filed on behalf of a foreign attorney or agent.

D. Bruce Prout	(20,958)	Richard A. Wallen	(22,671)	Tom H. Dao	(44,641)
Richard J. Ward, Jr.	(24,187)	Michael J. MacDermott	(29,946)	Frank L. Cire	(42,419)
Walter G. Maxwell	(25,355)	Anne Wang	(36,045)	Rodney V. Warfford	(51,304)
William P. Christie	(29,371)	Constantine Marantidis	(39,759)	Rose A. Hickman	(P-54,167)
David A. Dillard	(30,831)	Daniel R. Kimbell	(34,849)	Colin T. Dorrian	(54,658)
Thomas J. Daly	(32,213)	Daniel M. Cavanagh	(41,661)	Oliver S. Bajracharya	(55,905)
Edward R. Schwartz	(31,135)	Gary J. Nelson	(44,257)	R. W. Johnston	(17,968)
John D. Carpenter	(34,133)	Josephine E. Chang	(46,083)	Hayden A. Carney	(22,653)
Wesley W. Monroe	(39,778)	Joel A. Kauth	(41,886)	Russell R. Palmer, Jr.	(22,994)
David A. Plumley	(37,208)	Raymond R. Tabandeh	(43,945)	LeRoy T. Rahn	(20,356)
Gregory S. Lampert	(35,581)	Cynthia A. Bonner	(44,548)	Richard D. Seibel	(22,134)
Mark Garscia	(31,953)	Jun-Young E. Jeon	(43,693)	Vincent G. Gioia	(19,959)
Syed A. Hasan	(41,057)	Stephen D. Burbach	(40,285)	Richard J. Paciulan	(28,248)
Harold E. Wurst	(22,183)	David J. Steele	(47,317(		
Robert A. Green	(28,301)	John W. Peck	(44,284)		

The authority under this Power of Attorney of each person named above shall automatically terminate and be revoked upon such person ceasing to be a member or associate of or of counsel to that law firm.

DIRECT TELEPHONE CALLS TO: D. Bruce Prout, 626/795-9900

SEND CORRESPONDENCE TO: **Customer Number: 23363**
CHRISTIE, PARKER & HALE, LLP
P.O. Box 7068
Pasadena, CA 91109-7068

I declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. 1001 and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

NAME OF SOLE OR FIRST INVENTOR			
Ho-Kyoon Chung			
Inventor's Signature			Date
Residence: City Yongin-si	State	Country Korea	Citizenship Korean
Mailing Address:	109-202, Samsungchereville Apt., Shinbong-ri, Suji-eup, Yongin-si, Gyeonggi-do, Korea		

SDC-1351-00000094
SDC EX. 2001 - 38/503

DECLARATION FOR PATENT APPLICATION

Docket No. 52226/DBP/S1082

NAME OF SECOND INVENTOR Yang-Wan Kim			
Inventor's Signature			Date
Residence: City Seoul	State	Country Korea	Citizenship Korean
Mailing Address:	98-209, Sillim2-dong, Gwanak-gu, Seoul, Korea		

NAME OF THIRD INVENTOR Choon-Yul Oh			
Inventor's Signature			Date
Residence: City Gunpo-si	State	Country Korea	Citizenship Korean
Mailing Address:	310-1202, Jugong Apt., Dang-dong, Gunpo-si, Gyeonggi-do, Korea		

NAME OF FOURTH INVENTOR Oh-Kyong Kwon			
Inventor's Signature			Date
Residence: City Seoul	State	Country Korea	Citizenship Korean
Mailing Address:	14-1102, Jangmi Apt., Shincheon-dong, Songpa-gu, Seoul, Korea		

NAME OF FIFTH INVENTOR Sang-Moo Choi			
Inventor's Signature			Date
Residence: City Suwon-si	State	Country Korea	Citizenship Korean
Mailing Address:	303, Haeseongvil, 1027-5, Yeongtong-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do, Korea		

AAM PAS556171.1-*-07/6/04 11:27 AM

SDC-1351-00000095
SDC EX. 2001 - 39/503

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

EXPRESS MAIL NO. EV327917029US

Applicant	: Ho-Kyoon Chung, et al.
Application No.	: N/A
Filed	: July 6, 2004
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR
Grp./Div.	: N/A
Examiner	: N/A
Docket No.	: 52226/DBP/S1082

INFORMATION DISCLOSURE STATEMENT
37 CFR § 1.97(b)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
July 6, 2004

Commissioner:

In compliance with the duty of disclosure under 37 CFR §§ 1.56, 1.97 and 1.98, and in accordance with the provisions in the Manual of Patent Examining Procedure §§ 609 and 707.05(b), enclosed is FORM PTO/SB/08A/B listing the references that are known to applicant. This filing is timely because it is made during one of the periods described in 37 CFR § 1.97(b).

It is respectfully requested that the listed references be considered in the examination of this application and identified on the list of references cited on the patent issuing for this application. Applicant also requests that an initialed copy of FORM PTO/SB/08A/B be entered in the application file and returned to applicant with the next communication from the Office in accordance with MPEP § 609.

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By D. Bruce Prout

D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/aam
Enclosures: Form PTO/SB/08A/B

AAM PAS573091.1-*-07/6/04 11:12 AM

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B	**Attorney Docket Number**	**52226/DBP/S1082**
INFORMATION DISCLOSURE **STATEMENT BY APPLICANT** (use as many sheets as necessary)	Application Number	N/A
	Filing Date	July 6, 2004
	Applicant(s)	Ho-Kyoon Chung, et al.
	Group Art Unit	N/A
	Examiner Name	N/A

U.S. PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	DOCUMENT NUMBER Number - Kind Code[2] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee
		6,229,506 B1	05-08-2001	Dawson, et al.
		6,362,798 B1	03-26-2002	Kimura, et al.

FOREIGN PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	FOREIGN PATENT DOCUMENT Country Code[3] - Number[4] - Kind Code[5] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T[6] (✓)

OTHER DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

AAM PAS573092.1-*-07/6/04 11:04 AM

EXAMINER SIGNATURE		DATE CONSIDERED	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

SDC-1351-00000097
SDC EX. 2001 - 41/503

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

EXPRESS MAIL NO. EV327917029US

Applicant	: Ho-Kyoon Chung, et al.
Application No.	: N/A
Filed	: July 6, 2004
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR
Grp./Div.	: N/A
Examiner	: N/A
Docket No.	: 52226/DBP/S1082

LETTER FORWARDING CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
July 6, 2004

Commissioner:

Enclosed is a certified copy of Korean patent Application No. 2003-0045610, which was filed on July 7, 2003, the priority of which is claimed in the above-identified application.

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By _____
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/aam
Enclosure: Certified copy of patent application

AAM PAS573078.1-*-07/6/04 11:12 AM

대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2003-0045610
Application Number

출 원 년 월 일 : 2003년 07월 07일
Date of Application JUL 07, 2003

출 원 인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.

2003 년 09 월 17 일

특 허 청
COMMISSIONER

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.07
【발명의 명칭】	유기전계 발광표시장치의 화소회로 및 그의 구동방법
【발명의 영문명칭】	Pixel circuit in OLED and Method for fabricating the same
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	김양완
【성명의 영문표기】	KIM,YANG WAN
【주민등록번호】	750710-1066712
【우편번호】	151-012
【주소】	서울특별시 관악구 신림2동 98-209호
【국적】	KR
【발명자】	
【성명의 국문표기】	정호균
【성명의 영문표기】	CHUNG,HO KYOON
【주민등록번호】	500707-1029613
【우편번호】	449-844
【주소】	경기도 용인시 수지읍 신봉리 삼성쉐르빌 109동 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	오춘열
【성명의 영문표기】	OH,CHOON YUL
【주민등록번호】	650211-1068619

SDC-1351-00000100
SDC EX. 2001 - 44/503

【우편번호】 435-010
【주소】 경기도 군포시 당동 886 주공 310-1202호
【국적】 KR
【발명자】
【성명의 국문표기】 권오경
【성명의 영문표기】 KWON,OH KYOUNG
【주민등록번호】 550407-1023118
【우편번호】 138-240
【주소】 서울특별시 송파구 신천동 장미아파트 14동 1102호
【국적】 KR
【발명자】
【성명의 국문표기】 최상무
【성명의 영문표기】 CHOI,SANG MOO
【주민등록번호】 770120-1621711
【우편번호】 143-191
【주소】 서울특별시 광진구 자양1동 612-83 301호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
박상수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 11 면 11,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 20 항 749,000 원
【합계】 789,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

SDC-1351-00000101
SDC EX. 2001 - 45/503

【요약서】

【요약】

본 발명은 문턱전압을 자체보상하여 높은 계조표현을 할 수 있는 유기전계 발광표시장치의 화소회로 및 그의 구동방법을 개시한다.

본 발명의 화소회로는 인가되는 구동전류에 따라서 빛을 발광하는 발광소자와; 현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와; 상기 전압레벨의 데이터신호에 응답하여 EL소자를 구동시켜 주기 위한 구동전류를 발생하기 위한 제2트랜지스터와; 현재스캔신호에 응답하여 상기 제2트랜지스터를 다이오드형태로 연결시켜 그의 문턱전압을 보상하기 위한 제3트랜지스터와; 상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와; 발광신호에 응답하여 전원전압을 제2트랜지스터에 전달하기 위한 제4트랜지스터와; 상기 발광신호에 응답하여 제2트랜지스터로부터 제공되는 구동전류를 EL소자로 제공하기 위한 제5트랜지스터를 포함한다.

본 발명은 EL소자를 구동하는 트랜지스터의 문턱전압을 자체 보상하여 EL소자를 통해 균일한 구동전류가 흐르도록 하여 줌으로서, 높은 계조를 표현할 수 있다.

【대표도】

도 3

SDC-1351-00000102
SDC EX. 2001 - 46/503

【명세서】

【발명의 명칭】

유기전계 발광표시장치의 화소회로 및 그의 구동방법{Pixel circuit in OLED and Method for fabricating the same}

【도면의 간단한 설명】

도 1은 종래의 유기전계 발광표시장치에 있어서, 화소의 구조를 나타낸 도면,

도 2는 종래의 유기전계 발광표시장치에 있어서, 화소의 동작을 설명하기 위한 파형도,

도 3은 본 발명의 일 실시예에 따른 유기전계 발광표시장치에 있어서, 화소의 구조를 나타낸 도면,

도 4는 도 3에 도시된 본 발명의 일 실시예에 따른 유기전계 발광표시장치에 있어서, 화소의 동작을 설명하기 위한 동작파형도,

도 5 내지 도 7은 본 발명의 일 실시예에 따른 유기전계 발광표시장치에 있어서, 화소의 초기화동작, 프로그램동작 및 발광동작을 설명하기 위한 회로구성도,

도면의 주요 부분에 대한 부호의 설명

T31 : 구동 트랜지스터 T32, T35, T36 : 스위칭 트랜지스터

C31 : 캐패시터 EL31 : 유기전계 발광소자

SDC-1351-00000103
SDC EX. 2001 - 47/503

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 평판표시장치에 관한 것으로서, 보다 구체적으로는 EL소자를 구동하는 트랜지스터의 문턱전압을 자체보상하여 높은 계조를 실현할 수 있는 유기전계 발광표시장치의 화소회로 및 그의 구동방법에 관한 것이다.

<10> 통상적으로, 유기전계 발광표시장치는 EL소자를 구동하는 방식에 따라 패시브 매트릭스형 OLED와 액티브 매트릭스형 OLED로 분류하고, 전류구동방식의 OLED와 전압구동방식의 OLED로 분류할 수 있다.

<11> AMOLED 는 복수개의 게이트라인, 복수개의 데이터 라인 및 복수개의 공통전원라인과, 상기 라인들에 연결되어 매트릭스형태로 배열되는 복수개의 화소를 구비한다. 각 화소는 통상적으로 EL소자, 2개의 트랜지스터, 즉 데이터신호를 전달하기 위한 스위칭 트랜지스터와, 상기 데이터신호에 따라 상기 EL 소자를 구동시켜 주기위한 구동트랜지스터와, 상기 데이터전압을 유지시켜 주기위한 하나의 캐패시터로 이루어진다.

<12> 이러한 AMOLED는 소비전력이 적은 이점이 있지만, 시간에 따라 EL소자를 통해 흐르는 전류세기가 변하여 표시불균일을 초래하는 문제점이 있었다. 이는 EL소자를 구동하는 구동 트랜지스터의 게이트와 소오스간의 전압, 즉 구동 트랜지스터의 문턱전압(threshold voltage)이 변하여 EL 소자를 통해 흐르는 전류가 변하기 때문이다.

SDC-1351-00000104
SDC EX. 2001 - 48/503

<13> 즉, 상기 구동 트랜지스터용 박막 트랜지스터는 제조공정변수에 따라 문턱전압이 변하게 되므로, AMOLED의 모든 트랜지스터의 문턱전압이 동일하게 되도록 트랜지스터를 제조하는 것이 어려우며, 이에 따라 화소간 문턱전압의 편차가 존재하기 때문이다.

<14> 이를 해결하기 위하여, 문턱전압보상용 트랜지스터를 추가하여 제조공정변수에 따른 문턱전압을 보상하여 주는 방법이 있었다. 미국특허 제6,229,506호에는 문턱전압의 편차를 보상하기 위한 유기전계 발광표시장치가 개시되었다. 상기 미국특허에는 전류소오스가 구동 트랜지스터의 오버드라이브전압(overdrive voltage)에 대하여 소오스-게이트간 전압을 조절하고 구동 트랜지스터의 문턱전압편차를 보상하는 화소구조가 개시되었다. 상기 미국특허의 유기전계 발광표시장치는 데이터로드(데이타기입)단계 및 연속적인 발광단계의 2단계동작을 하는 것으로서, 전류소오스가 오버드라이브 전압(overdrive voltage)에 대하여 구동 트랜지스터의 소오스-게이트간의 전압을 조정하고 구동 트랜지스터의 문턱전압의 편차를 보상하였다.

<15> 그러나, 상기한 바와같은 유기전계 발광표시장치는 전류 소오스로부터 인가되는 전류레벨의 데이타신호에 따라 EL 소자를 구동하는 전류구동방식으로서, 데이터 라인을 차아지(charge)하는 데 어려움이 있었다. 즉, 데이터라인의 기생 캐패시턴스는 상대적으로 크고, 전류 소오스로부터 제공되는 데이터신호의 전류레벨은 상대적으로 작기 때문에, 데이터라인을 차아지하는 데 상당히 긴 시간이 소요될 뿐만 아니라 데이터가 불안정해지는 문제점이 있었다.

<16> 상기한 바와같은 전류구동방식의 데이터 라인 차아지 문제를 해결하기 위하여 미러타입의 화소구조를 갖는 유기전계 발광표시장치가 제안되었다. 도 1은 종래의 전압구동방식의 유기전계 발광표시장치에 있어서, 미러타입을 갖는 전압구동방식의 화소회로를 도시한 것이다.

<17> 도 1을 참조하면, 다수의 게이트라인 즉, 스캔라인중 해당하는 스캔라인에 인가되는 현재스캔신호 scan[n]에 게이트가 연결되고 다수의 데이터라인중 해당하는 데이터라인에 인가되

SDC-1351-00000105
SDC EX. 2001 - 49/503

는 데이타신호 VDATAm가 소오스에 인가되는 p형의 제1트랜지스터(T11)와, 상기 현재 스캔라인 바로이전의 스캔라인에 인가되는 이전스캔신호 scan[n-1]가 게이트에 인가되고, 드레인에 초기화전압(Vinti)가 인가되는 p형의 제2트랜지스터(T12)와, 미러형태를 갖는 p형 제3 및 제4트랜지스터(T13), (T14)와, 상기 이전 스캔신호 scan[n-1]가 게이트에 인가되고 드레인이 상기 제4트랜지스터(T14)의 드레인에 연결되는 n형의 제5트랜지스터(T15)와, 상기 제5트랜지스터(T15)와 접지전압(VSS)사이에 연결되는 EL소자(EL11)와, 상기 제4트랜지스터(T14)의 게이트-소오스간에 연결되는 제1캐패시터(C11)를 구비한다.

<18> 상기한 바와같은 구조를 갖는 유기전계 발광표시장치의 화소의 동작을 도 2의 동작파형도를 참조하여 설명하면 다음과 같다. 이때, 현재 구동하고자 하는 스캔라인이 n 번째 스캔라인이고 상기 n 번째 스캔라인에 인가되는 스캔신호가 scan[n]이며, 현재 스캔라인 이전에 구동되는 스캔라인이 n-1 번째 스캔라인이고, 상기 n-1번째 스캔라인에 인가되는 스캔신호를 scan[n-1]이라 한다.

<19> 먼저, 초기화동작시에는, 소정레벨의 이전 스캔신호 scan[n-1] 및 현재 스캔신호 scan[n]가 인가되면, 즉 로우레벨의 이전 스캔신호 scan[n-1]와 하이레벨의 현재 스캔신호 scan[n]가 인가되면, 트랜지스터(T12)가 턴온되고, 트랜지스터(T11), (T15)가 턴온되어 미러타입의 트랜지스터(T13), (T14)도 턴오프된다. 따라서, 캐패시터(C11)에 저장된 데이터는 트랜지스터(T12)를 통해 초기화전압(Vinti)으로 초기화된다.

<20> 한편, 데이터 프로그램시에는, 소정레벨의 이전 스캔신호 scan[n-1] 및 현재 스캔신호가 인가되면, 즉 하이레벨의 이전 스캔신호 scan[n-1]와 로우레벨의 현재 스캔신호 scan[n]가 인가되면, 트랜지스터(T12)는 턴오프되고, 트랜지스터(T11)가 턴온되어 미러타입의 트랜지스터(T13), (T14)가 턴온된다.

SDC-1351-00000106
SDC EX. 2001 - 50/503

<21> 따라서, 데이터라인에 인가되는 전압레벨의 데이터신호(VDATAm)가 트랜지스터(T13)을 통해 구동 트랜지스터(T14)의 게이트에 전달된다. 이때, 이전 스캔신호 scan[n-1]에 의해 트랜지스터(T15)가 턴온되므로, 구동 트랜지스터(T14)의 게이트에 인가되는 전압레벨의 데이터신호(VDATAm)에 대응하는 구동전류가 EL소자(EL11)로 흐르게 되어 발광하게 된다.

<22> 상기 트랜지스터(T14)의 게이트에 인가되는 전압은 VDATA-Vth(T13)가 되고, EL소자(EL11)를 통해 흐르는 전류는 하기의 [수학식 1]으로 표현된다.

<23>

【수학식 1】

$$I_{EL11} = \frac{\beta}{2}(V_{GS(T14)} - V_{TH(T14)})^2$$

$$= \frac{\beta}{2}(V_{DD} - V_{DATA} + V_{TH(T13)} - V_{TH(T14)})^2 \quad \cdots\cdots(1)$$

<24> 여기서, I_{EL11} 은 유기EL소자(EL11)에 흐르는 전류, $V_{GS(T14)}$는 트랜지스터(T14)의 소오스와 게이트사이의 전압, $V_{TH(13)}$은 트랜지스터(T13)의 문턱전압, V_{DATA}는 데이터전압, β는 상수값을 각각 나타낸다.

<25> 이때, 전류미러용 트랜지스터(T13), (T14)의 문턱전압이 같으면, 즉 $V_{TH(T13)}=V_{TH(T14)}$ 가 같다면, 트랜지스터의 문턱전압을 보상할 수 있어 EL 소자(EL11)의 구동전류를 균일하게 유지할 수 있다.

<26> 그러나, 상기한 바와같은 전류미러형 전압구동방식에서는 전류미러를 구성하는 트랜지스터(T13), (T14)가 서로 인접하여 기판상에 배열되더라도 TFT의 제조공정변수에 의해 동일한 문턱전압을 얻는 것은 매우 어렵다. 그러므로, TFT 의 문턱전압의 편차에 의해 균일한 구동전류를 얻기 어려우며, 이에 따라 화질저하를 초래하는 문제점이 있었다.

<27> 상기한 바와같은 전류미러타입의 전압구동방식에 있어서, 전류미러용 TFT간 문턱전압편차에 따른 화질저하문제를 해결하기 위한 기술이 미국특허 제6,362,798호에 개시되었다. 상기

SDC-1351-00000107
SDC EX. 2001 - 51/503

미국특허는 구동 트랜지스터의 문턱전압을 보상하기 위하여 다이오드형태의 보상용 박막 트랜지스터를 구동 트랜지스터의 게이트에 연결구성하였다. 그러나, 상기 미국특허 또한 보상용 박막 트랜지스터와 EL 소자구동용 박막 트랜지스터의 문턱전압이 동일하지 않은 경우 구동 트랜지스터의 문턱전압의 편차가 보상되지 않는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<28> 따라서, 본 발명은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 문턱전압의 편차를 검출하여 자체적으로 보상(self-compensation)할 수 있는 유기전계 발광표시장치의 화소회로 및 그의 구동방법을 제공하는 데 그 목적이 있다.

<29> 본 발명의 다른 목적은 제조공정변수에 무관하게 문턱전압의 편차를 보상할 수 있는 유기전계 발광표시장치의 화소회로 및 그의 구동방법을 제공하는 데 있다.

<30> 본 발명의 또 다른 목적은 각 화소간의 문턱전압편차에 관계없이 EL소자를 통해 균일한 구동전류가 흐르게 할 수 있는 유기전계 발광표시장치의 화소회로 및 그의 구동방법을 제공하는 데 있다.

<31> 본 발명의 또 다른 목적은 각 화소간의 문턱전압편차에 관계없이 높은 계조표현을 할 수 있는 유기전계 발광표시장치의 화소회로 및 그의 구동방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<32> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와; 상기 제1트랜지스터를 통해 전달되는 전압레벨의 데이터신호에 따라 구동전류를 발생하기 위한 제2트랜지스터와; 상기 제2트랜지스터의 문턱전압편차를 검출하여 자체 보상하기 위한 제3트랜지스터와; 상기 제2트랜지스터에 전달되

SDC-1351-00000108
SDC EX. 2001 - 52/503

는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와; 상기 제2트랜지스터를 통해 발생된 구동전류에 대응하여 빛을 발광하는 EL소자를 구비하는 유기전계 발광표시장치의 화소회로를 제공하는 것을 특징으로 한다.

<33> 또한, 본 발명은 데이터 프로그램시 현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와; 데이터 프로그램시 전압레벨의 데이터신호를 프로그램하고, 발광시 프로그램된 데이터신호에 응답하여 구동전류를 발생하는 제2트랜지스터와; 데이터 프로그램시 현재스캔신호에 응답하여 전압레벨의 데이터신호를 상기 제2트랜지스터로 제공하기 위한 제3트랜지스터와; 데이터 프로그램시 제2트랜지스터에 프로그램된 전압레벨의 데이터신호를 유지시켜 주기 위한 상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와; 발광시 전원전압을 제2트랜지스터에 전달하기 위한 제4트랜지스터와; 발광시 전압레벨의 데이터신호에 따라 제2트랜지스터로부터 전달하기 위한 제5트랜지스터와; 상기 제5트랜지스터를 통해 전달되는 구동전류에 대응하여 빛을 발광하는 EL 소자를 포함하며, 데이터 프로그램시 상기 제3트랜지스터는 상기 현재 스캔신호에 응답하여 상기 제2트랜지스터를 다이오드형태로 연결시켜줌으로써, 제2트랜지스터는 그의 문턱전압의 편차를 자체적으로 검출하여 보상하여 주도록 하는 유기전계 발광표시장치의 화소회로를 제공하는 것을 특징으로 한다.

<34> 상기 제1트랜지스터는 현재 스캔라인신호가 게이트에 인가되고, 전압레벨의 데이터신호가 소오스에 인가되며, 드레인이 상기 제2트랜지스터에 연결되는 PMOS 트랜지스터로 구성된다. 상기 제2트랜지스터는 게이트가 상기 캐패시터의 일측단자에 인가되고, 소오스가 제1트랜지스터에 연결되며, 드레인이 상기 EL소자에 연결되는 PMOS 트랜지스터로 구성된다. 상기 제3트랜지스터는 현재 스캔신호가 게이트에 인가되고 제2트랜지스터의 게이트와 소오스에 드레인과 소오스가 각각 연결되어, 현재 스캔신호에 응답하여 제2트랜지스터를 다이오드형태로 연결시켜

SDC-1351-00000109
SDC EX. 2001 - 53/503

문턱전압을 자체 보상시켜주기 위한 PMOS트랜지스터로 구성된다. 제4트랜지스터는 상기 현재발광신호가 게이트에 인가되고, 소오스에 전원전압이 인가되며, 드레인이 상기 제2트랜지스터에 연결되는 PMOS 트랜지스터로 구성되며, 제5트랜지스터는 상기 현재발광신호가 게이트에 인가되고, 소오스가 제2트랜지스터에 연결되며, 드레인이 상기 EL 소자에 연결되는 PMOS 트랜지스터로 구성된다.

<35> 또한, 본 발명은 인가되는 구동전류에 따라서 빛을 발광하는 발광소자와; 현재 스캔라인 신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와; 상기 전압레벨의 데이터신호에 응답하여 EL소자를 구동시켜 주기 위한 구동전류를 발생하기 위한 제2트랜지스터와; 현재스캔신호에 응답하여 상기 제2트랜지스터를 다이오드형태로 연결시켜 그의 문턱전압을 자체 보상하기 위한 제3트랜지스터와; 상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와; 현재발광신호에 응답하여 전원전압을 제2트랜지스터에 전달하기 위한 제4트랜지스터와; 상기 현재발광신호에 응답하여 제2트랜지스터로부터 제공되는 구동전류를 EL소자로 제공하기 위한 제5트랜지스터를 포함하는 유기전계 발광표시장치의 화소회로를 제공하는 것을 특징으로 한다.

<36> 또한, 게이트에 현재 스캔신호가 인가되고, 소오스에 전압레벨의 데이터신호가 인가되는 제1트랜지스터와; 상기 제1트랜지스터의 드레인에 소오스가 연결되는 제2트랜지스터와; 상기 제2트랜지스터의 게이트와 드레인사이에 각각 드레인과 소오스가 각각 연결되는 제3트랜지스터와; 상기 현재발광신호가 게이트에 인가되고, 소오스에 전원전압이 인가되며, 드레인이 상기 제2트랜지스터의 소오스에 연결되는 제4트랜지스터와; 현재발광신호가 게이트에 인가되고, 소오스가 상기 제2트랜지스

SDC-1351-00000110
SDC EX. 2001 - 54/503

터의 드레인에 연결되고, 드레인이 EL소자에 연결되는 제5트랜지스터와; 상기 제5트랜지스터의 드레인에 일측단자가 연결되고, 타측단자가 접지된 발광소자와; 상기 제2트랜지스터의 게이트에 일측단자가 연결되고, 타측단자에 전원전압이 인가되는 캐패시터를 포함하는 유기전계 발광표시장치의 화소회로를 제공하는 것을 특징으로 한다.

<37> 또한, 본 발명은 다수의 데이터라인과; 다수의 스캔라인과; 다수의 공통전원라인과; 상기 복수개의 데이터라인, 스캔라인 및 공통전원라인중 해당하는 하나의 데이터라인, 스캔라인 및 공통전원라인에 각각 연결되는 다수의 화소를 포함하는 유기전계 발광표시장치에 있어서, 각 화소는 게이트에 상기 해당하는 스캔라인에 인가된 현재 스캔신호가 인가되고, 소오스에 데이터라인으로부터 전압레벨의 데이터신호가 인가되는 제1트랜지스터와; 상기 제1트랜지스터의 드레인에 소오스가 연결되는 제2트랜지스터와; 상기 제2트랜지스터의 게이트와 드레인사이에 각각 드레인과 소오스가 각각 연결되는 제3트랜지스터와; 현재발광신호가 게이트에 인가되고, 소오스에 상기 공통전원라인으로부터 전원전압이 인가되며, 드레인이 상기 제2트랜지스터의 소오스에 연결되는 제4트랜지스터와; 상기 현재발광신호가 게이트에 인가되고, 소오스가 상기 제2트랜지스터의 드레인에 연결되는 제5트랜지스터와; 상기 제5트랜지스터의 드레인에 일측단자가 연결되고, 타측단자가 접지된 발광소자와; 상기 제2트랜지스터의 게이트에 일측단자가 연결되고, 타측단자에 공통전원라인으로부터 전원전압이 인가되는 캐패시터를 포함하는 유기전계 발광표시장치의 화소회로를 제공하는 것을 특징으로 한다.

<38> 또한, 본 발명은 다수의 데이터라인과; 다수의 스캔라인과; 다수의 공통전원라인과; 상기 복수개의 데이터라인, 스캔라인 및 공통전원라인중 해당하는 하나의 데이터라인, 스캔라인 및 공통전원라인에 각각 연결되는 다수의 화소를 포함하는 유기전계 발광표시장치에 있어서, 각 화소는 해당하는 스캔라인의 바로 이전 스캔라인에 인가되는 스캔신호에 응답하여 초기화시

SDC-1351-00000111
SDC EX. 2001 - 55/503

켜주는 단계와; 해당하는 스캔라인에 인가되는 스캔신호에 응답하여 문턱전압의 편차를 보상하고, 상기 문턱전압의 편차에 무관하게 해당하는 데이터 라인으로부터 인가되는 전압레벨의 데이터전압을 프로그램하는 단계와; 현재발광신호에 응답하여 상기 전압레벨의 데이터전압에 대응하는 구동전류를 발생하여 EL소자를 발광시켜 주는 단계를 구비하는 유기전계 발광표시장치의 화소구동방법을 제공하는 것을 특징으로 한다.

<39> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

<40> 도 3는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, 하나의 화소에 대한 구조를 나타낸 것이다, 본 발명의 유기전계 발광표시장치는 복수개의 게이트라인과, 복수개의 데이터라인과, 복수개의 공통전원라인과, 상기 복수개의 게이트라인, 데이터라인 및 공통전원라인중 해당하는 하나의 게이트라인, 데이터라인 및 공통전원라인에 각각 배열되는 복수개의 화소를 포함하며, 도 3에는 해당하는 게이트라인(n번째 게이트라인), 데이터라인(m번째 데이터라인) 및 공통전원라인(m번째 데이타라인)에 배열된 하나의 화소에 대하여 한정 도시한 것이다.

<41> 도 3를 참조하면, 본 발명의 유기전계 발광표시장치의 각 화소는 6개의 트랜지스터(T21-T26)와 하나의 캐패시터(C21) 및 EL 소자(EL31)로 이루어진다. 즉, 각 화소는 인가되는 구동전류에 대응하는 빛을 발광하는 유기전계 발광소자(EL31)와, 해당하는 스캔라인에 인가되는 현재 스캔라인신호 scan[n]에 응답하여 해당하는 데이터라인에 인가되는 전압레벨의 데이터신호(VDATAm)를 스위칭하기 위한 제1스위칭 트랜지스터(T32)와, 상기 제1스위칭 트랜지스터(T32)를 통해 게이트에 입력되는 상기 전압레벨의 데이터전압에 대응하여 상기 유기전계 발광소자의 구동전류를 공급하는 구동용 트랜지스터(T31)와, 상기 구동용 트랜지스터(T31)의 문턱

SDC-1351-00000112
SDC EX. 2001 - 56/503

전압을 보상하기 위한 문턱전압보상용 트랜지스터(T33) 및 상기 구동용 트랜지스터(T31)의 게이트에 인가되는 데이터신호를 저장하기 위한 캐패시터(C31)를 포함한다.

<42> 이때, 상기 제1스위칭 트랜지스터(T32)는 게이트에 해당하는 스캔라인에 인가되는 현재 스캔신호 scan[n]가 인가되고 소오스에 해당하는 데이터라인에 인가되는 전압레벨의 데이터신호(VDATAm)가 인가되며, 드레인이 상기 구동용 트랜지스터(T31)의 소오스에 연결되는 p형 박막 트랜지스터로 구성된다.

<43> 상기 구동용 트랜지스터(T31)는 게이트가 상기 캐패시터의 일측단자에 연결되고, 드레인이 상기 EL소자(EL31)의 일측단자에 연결되는 p형 박막 트랜지스터로 구성된다. 상기 문턱전압 보상용 트랜지스터(T33)는 상기 구동용 트랜지스터(T31)의 게이트와 드레인에 각각 드레인과 소오스가 각각 연결되고 게이트에 현재 스캔신호 scan[n]가 인가되는 p형 박막 트랜지스터로 구성된다. 상기 캐패시터(C31)의 타측에는 해당하는 공통전원라인으로부터 전원전압(VDD)이 제공된다.

<44> 또한, 각 화소는 현재발광신호 emi[n]에 응답하여 상기 전원전압(VDD)을 구동용 트랜지스터(T31)로 제공하기위한 제2스위칭 트랜지스터(T35)와, 상기 현재발광신호 emi[n]에 응답하여 상기 구동용 트랜지스터(T31)를 통해 발생된 구동전류를 상기 EL소자(EL31)로 제공하기 위한 제3스위칭 트랜지스터(T36)를 구비한다.

<45> 이때, 상기 제2스위칭 트랜지스터(T35)는 현재발광신호 emi[n]가 게이트에 인가되고, 소오스에 상기 해당하는 전원전압라인으로부터 전원전압이 인가되며, 드레인이 상기 구동용 트랜지스터(T32)의 소오스에 연결되는 p형 박막 트랜지스터로 구성된다. 상기 제3스위칭 트랜지스터(T36)는 현재 발광신호 emi[n]가 게이트에 인가되고, 소오스가 상기 구동 트랜지스터(T31)의

SDC-1351-00000113
SDC EX. 2001 - 57/503

드레인에 연결되고, 드레인이 상기 EL소자(EL31)의 일단에 연결되는 p형 박막 트랜지스터로 구성된다. 상기 EL소자(EL31)의 타단은 접지되어 있다.

<46> 게다가, 각 화소는 해당하는 스캔라인 바로 이전의 스캔라인에 인가되는 이전 스캔신호 scan[n-1]에 응답하여 상기 캐패시터(31)에 저장된 데이터신호를 초기화시켜 주기 위한 초기화용 트랜지스터(T34)를 포함한다. 상기 트랜지스터(T34)는 게이트에 이전 스캔신호 scan[n-1]가 인가되고 소오스가 상기 캐패시터(C21)의 일측단자에 연결되며 드레인에 초기화전압(Vinti)가 인가되는 p형 박막 트랜지스터로 이루어진다.

<47> 상기한 바와같은 구성을 갖는 본 발명의 화소의 동작을 도 4 내지 도 7을 참조하여 설명하면 다음과 같다.

<48> 먼저, 초기화동작시에는, 도 4에 도시된 바와같이 이전 스캔신호 scan[n-1]가 로우레벨이고 현재스캔신호 scan[n]와 발광신호 emi[n]가 하이레벨인 초기화구간에서, 로우레벨의 이전 스캔신호 scan[n-1] 에 의해 트랜지스터(T34)가 턴온되고, 하이레벨의 현재스캔신호 scan[n]와 현재발광신호 emi[n]에 의해 다른 트랜지스터(T31-T33)과 (T35-T36)가 턴오프되므로, 도 5에서와 같은 초기화패스(실선표시)가 형성된다. 따라서, 캐패시터(C31)에 저장되어 있던 데이터 즉, 구동 트랜지스터(T31)의 게이트전압은 초기화된다.

<49> 다음, 데이터 프로그램 동작시에는, 도 4와 같이 이전스캔신호 scan[n-1]가 하이레벨이고 현재스캔신호 scan[n]가 로우레벨이며 현재발광신호 emi[n]가 하이레벨인 프로구램구간에서, 트랜지스터(T34)는 턴오프되고, 로우레벨의 현재스캔신호 scan[n]에 의해 트랜지스터(T33)가 턴온되어 구동 트랜지스터(T31)는 다이오드형태로 연결된다.

SDC-1351-00000114
SDC EX. 2001 - 58/503

<50> 이때, 현재스캔신호 scan[n] 에 의해 스위칭 트랜지스터(T32)도 턴온되고, 현재발광신호 emi[n]에 의해 스위칭 트랜지스터(T35), (T36)가 턴오프되므로, 도 5의 실선으로 표시된 바와 같은 데이터 프로그램패스가 형성된다. 따라서, 해당하는 데이터라인에 인가되는 데이터전압 VDATAm이 문턱전압 보상용 트랜지스터(T33)을 통해 상기 구동 트랜지스터(T31)의 게이트에 제공된다.

<51> 상기 구동 트랜지스터(T31)는 다이오드 연결되어 있으므로 트랜지스터(T31)의 게이트전압에는 $VDATAm-V_{TH(T31)}$ 이 인가되고, 상기 게이트전압이 캐패시터(C31)에 저장되어 프로그램동작이 완료된다.

<52> 마지막으로, 발광시에는 도 4에도시된 바와같이 이전 스캔신호 scan[n-1]이 하이레벨이고, 현재 스캔신호 scan[n]이 하이레벨로 된 다음 현재발광신호 emi[n]가 로우레벨로 되는 발광구간에서, 도 6에서와 같이 실선으로 표시된 발광패스가 형성된다. 즉, 로우레벨의 현재발광신호 emi[n]에 의해 스위칭 트랜지스터(T35), (T36)가 턴온되고, 하이레벨의 이전스캔신호 scan[n-1]에 의해 초기화 트랜지스터(T34)가 턴오프되며, 하이레벨의 현재 스캔신호 scan[n]에 의해 문턱전압 보상용 트랜지스터(T33)와 스위칭 트랜지스터(T32)가 턴오프된다. 따라서, 구동 트랜지스터(T31)의 게이트에 인가되는 전압레벨의 데이터신호에 대응하여 발생되는 구동전류가 트랜지스터(T31)를 통해 유기EL소자(EL31)로 제공되어 유기EL소자(EL31)는 발광을 하게 된다.

<53> 이때, 유기EL소자(EL31)로 흐르는 전류는 하기의 [수학식 2]과 같다.

<54>

【수학식 2】

$$I_{EL31} = \frac{\beta}{2}(V_{GS} - V_{TH(M31)})^2$$

$$= \frac{\beta}{2}(V_{DD} - V_{DATA} + V_{TH(M31)} - V_{TH(M31)})^2$$

SDC-1351-00000115
SDC EX. 2001 - 59/503

<55> 여기서, I_{EL31} 은 유기EL소자(EL31)에 흐르는 전류, V_{GS}는 트랜지스터(T31)의 소오스와 게이트사이의 전압, $V_{TH(T31)}$은 트랜지스터(T31)의 문턱전압, V_{DATA}는 데이터전압, β는 상수값을 각각 나타낸다.

<56> 상기의 식(2)으로부터 알 수 있는 바와같이, 전류구동용 트랜지스터(T31)의 문턱전압에 관계없이 데이터라인에 인가되는 전압레벨의 데이터신호에 대응하여 구동전류가 EL 소자(EL31)를 통해 흐른다. 즉 본 발명에서는 전류구동용 트랜지스터(T31)의 문턱전압의 편차를 트랜지스터(T33)를 통해 검출하여 자체적으로 보상하여 주기 때문에 유기EL소자에 흐르는 전류를 미세하게 제어할 수 있으며, 이에 따라 고계조의 유기EL장치를 제공할 수 있다.

<57> 또한, 이전프레임시간동안의 데이터가 높은 레벨이고 다음 프레임시간의 데이터가 낮은 레벨의 전압이라면 트랜지스터(T31)의 다이오드연결특성에 의해 트랜지스터(T31)의 게이트노드에는 더 이상 데이터신호가 인가될 수 없으므로, 스위칭 트랜지스터(T34)를 두어 트랜지스터(T31)의 게이트노드를 프레임마다 소정레벨(Vinti)로 초기화시켜 준다.

<58> 상기한 바와같이, 본 발명에서는 구동 트랜지스터(T31)가 자신의 문턱전압을 검출하여(self-Vth detection) 문턱전압의 편차를 자체적으로 보상할 수 있다.

<59> 본 발명의 실시예에서는 화소회로가 6개의 트랜지스터와 하나의 캐패시터로 구성되는 것을 예시하였으나, 문턱전압을 검출하여 자체보상하는 구조에는 모두 가능하다. 뿐만 아니라, PMOS 트랜지스터외에 NMOS 트랜지스터 또는 CMOS 트랜지스터 등으로 구성하는 것도 가능하다.

【발명의 효과】

<60> 상기한 바와같은 본 발명의 실시예에 따르면, 구동 트랜지스터의 문턱전압의 편차를 검출하여 자체적으로 보상하여 줌으로써 높은 계조를 실현할 수 있을 뿐만 아니라 전압구동방식

SDC-1351-00000116
SDC EX. 2001 - 60/503

으로 구동트랜지스터를 구동시켜 줌으로써 데이터라인의 차아징문제를 해결할 수 있는 이점이 있다.

<61> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

SDC-1351-00000117
SDC EX. 2001 - 61/503

【특허청구범위】

【청구항 1】

현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와;

상기 제1트랜지스터를 통해 전달되는 전압레벨의 데이터신호에 따라 구동전류를 발생하는 제2트랜지스터와;

상기 제2트랜지스터의 문턱전압편차를 검출하여 자체 보상하기 위한 제3트랜지스터와;

상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와;

상기 제2트랜지스터를 통해 발생되는 구동전류에 대응하여 빛을 발광하는 EL소자를 구비하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 2】

제1항에 있어서, 상기 현재 스캔신호의 바로 이전의 스캔신호에 응답하여 상기 캐패시터에 저장된 전압레벨의 데이터신호를 방전시켜 주는 초기화용 제4트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 3】

제1항에 있어서, 현재발광신호에 의해 응답하여 전원전압을 상기 제2트랜지스터로 제공하기 위한 제5트랜지스터와;

상기 현재발광신호에 응답하여 상기 제2트랜지스터를 통해 EL소자로 구동전류를 제공하는 제6트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

SDC-1351-00000118
SDC EX. 2001 - 62/503

【청구항 4】

제1항에 있어서, 상기 제1트랜지스터는 현재 스캔라인신호가 게이트에 인가되고, 전압레벨의 데이터신호가 소오스에 인가되며, 드레인이 상기 제2트랜지스터에 연결되는 PMOS 트랜지스터로 구성되는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 5】

제1항에 있어서, 상기 제2트랜지스터는 게이트가 상기 캐패시터의 일측단자에 연결되고, 소오스가 제1트랜지스터에 연결되며, 드레인이 상기 EL소자에 연결되는 PMOS 트랜지스터로 구성되는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 6】

제5항에 있어서, 상기 제3트랜지스터는 현재 스캔신호가 게이트에 인가되고 제2트랜지스터의 게이트와 드레인에 각각 드레인과 소오스가 연결되어, 현재 스캔신호에 응답하여 제2트랜지스터를 다이오드형태로 연결시켜 문턱전압을 자체보상시켜 주기 위한 PMOS트랜지스터로 이루어지는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 7】

제1항에 있어서, 상기 제1트랜지스터를 통해 제2트랜지스터로 전압레벨의 데이터신호를 제공하기 위한 전압소오스를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 8】

데이터 프로그램시 현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와;

SDC-1351-00000119
SDC EX. 2001 - 63/503

데이터 프로그램시 전압레벨의 데이터신호를 프로그램하고, 발광시 프로그램된 데이터 신호에 응답하여 구동전류를 발생하는 제2트랜지스터와;

데이터 프로그램시 현재스캔신호에 응답하여 전압레벨의 데이터신호를 상기 제2트랜지스터로 제공하기 위한 제3트랜지스터와;

데이터 프로그램시 제2트랜지스터에 프로그램된 전압레벨의 데이터신호를 유지시켜 주기 위한 상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와;

발광시 전원전압을 제2트랜지스터에 전달하기 위한 제4트랜지스터와;

발광시 전압레벨의 데이터신호에 따라 제2트랜지스터로부터 제공되는 구동전류를 전달하는 제5트랜지스터와;

상기 제5트랜지스터를 통해 전달되는 구동전류에 대응하여 빛을 발광하는 EL소자를 포함하며,

데이터 프로그램시 상기 제3트랜지스터는 상기 현재 스캔신호에 응답하여 상기 제2트랜지스터를 다이오드형태로 연결시켜줌으로써, 제2트랜지스터는 그의 문턱전압의 편차를 자체적으로 검출하여 보상하여 주도록 하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 9】

제8항에 있어서, 초기화시 상기 현재 스캔신호의 바로 이전의 스캔신호에 응답하여 상기 캐패시터에 저장된 전압레벨의 데이터신호를 방전시켜 주는 초기화용 제6트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

SDC-1351-00000120
SDC EX. 2001 - 64/503

【청구항 10】

제8항에 있어서, 상기 제1트랜지스터는 현재 스캔라인신호가 게이트에 인가되고, 전압레벨의 데이터신호가 소오스에 인가되며, 드레인이 상기 제2트랜지스터에 연결되는 PMOS 트랜지스터로 구성되는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 11】

제8항에 있어서, 상기 제2트랜지스터는 게이트가 상기 캐패시터의 일측단자에 연결되고, 소오스가 제1트랜지스터에 연결되며, 드레인이 상기 EL소자에 연결되는 PMOS 트랜지스터로 구성되는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 12】

제11항에 있어서, 상기 제3트랜지스터는 현재 스캔신호가 게이트에 인가되고 제2트랜지스터의 게이트와 소오스에 드레인과 소오스가 각각 연결되어, 현재 스캔신호에 응답하여 제2트랜지스터를 다이오드형태로 연결시켜 문턱전압을 자체보상시켜주기 위한 PMOS트랜지스터로 이루어지는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 13】

제8항에 있어서, 상기 제1트랜지스터를 통해 제2트랜지스터로 전압레벨의 데이터신호를 제공하기 위한 전압소오스를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 14】

제8항에 있어서, 제4트랜지스터는 상기 현재발광신호가 게이트에 인가되고, 소오스에 전원전압이 인가되며, 드레인이 상기 제2트랜지스터에 연결되는 PMOS 트랜지스터로 구성되며,

SDC-1351-00000121
SDC EX. 2001 - 65/503

제5트랜지스터는 상기 현재발광신호가 게이트에 인가되고, 소오스가 제2트랜지스터에 연결되며, 드레인이 상기 EL 소자에 연결되는 PMOS 트랜지스터로 구성되는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 15】

인가되는 구동전류에 따라서 빛을 발광하는 발광소자와;

현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와;

상기 전압레벨의 데이터신호에 응답하여 EL소자를 구동시켜 주기 위한 구동전류를 발생하기 위한 제2트랜지스터와;

현재스캔신호에 응답하여 상기 제2트랜지스터를 다이오드형태로 연결시켜 그의 문턱전압을 자체보상하기 위한 제3트랜지스터와;

상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와;

현재발광신호에 응답하여 전원전압을 제2트랜지스터에 전달하기 위한 제4트랜지스터와;

상기 현재발광신호에 응답하여 제2트랜지스터로부터 제공되는 구동전류를 EL소자로 제공하기 위한 제5트랜지스터를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 16】

게이트에 현재 스캔신호가 인가되고, 소오스에 전압레벨의 데이터신호가 인가되는 제1트랜지스터와;

상기 제1트랜지스터의 드레인에 소오스가 연결되는 제2트랜지스터와;

상기 제2트랜지스터의 게이트와 드레인사이에 각각 드레인과 소오스가 각각 연결되는 제3트랜지스터와;

SDC-1351-00000122
SDC EX. 2001 - 66/503

현재발광신호가 게이트에 인가되고, 소오스에 전원전압이 인가되며, 드레인이 상기 제2 트랜지스터의 소오스에 연결되는 제4트랜지스터와;

상기 현재발광신호가 게이트에 인가되고, 소오스가 상기 제2트랜지스터의 드레인에 연결되며, 드레인이 상기 EL 소자의 일측단자에 연결되는 제5트랜지스터와;

상기 제5트랜지스터의 드레인에 일측단자가 연결되고, 타측단자가 접지된 발광소자와;

상기 제2트랜지스터의 게이트에 일측단자가 연결되고, 타측단자에 전원전압이 인가되는 캐패시터를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 17】

제16항에 있어서, 게이트에 상기 현재스캔신호 바로 이전의 스캔신호가 인가되고, 소오스가 상기 캐패시터의 일측단자에 연결되며, 타측단자에 초기화전압이 인가되는 제6트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 18】

다수의 데이터라인과;

다수의 스캔라인과;

다수의 공통전원라인과;

상기 복수개의 데이터라인, 스캔라인 및 공통전원라인중 해당하는 하나의 데이터라인, 스캔라인 및 공통전원라인에 각각 연결되는 다수의 화소를 포함하는 유기전계 발광표시장치에 있어서,

각 화소는 게이트에 상기 해당하는 스캔라인에 인가된 현재 스캔신호가 인가되고, 소오스에 데이터라인으로부터 전압레벨의 데이터신호가 인가되는 제1트랜지스터와;

SDC-1351-00000123
SDC EX. 2001 - 67/503

상기 제1트랜지스터의 드레인에 소오스가 연결되는 제2트랜지스터와;

상기 제2트랜지스터의 게이트와 드레인사이에 각각 드레인과 소오스가 각각 연결되는 제3트랜지스터와;

현재발광신호가 게이트에 인가되고, 소오스에 상기 공통전원라인으로부터 전원전압이 인가되며, 드레인이 상기 제2트랜지스터의 소오스가 연결되는 제4발광 트랜지스터와;

상기 현재발광신호가 게이트에 인가되고, 소오스에 상기 제2트랜지스터의 드레인이 연결되는 제5트랜지스터와;

상기 제5트랜지스터의 드레인에 일측단자가 연결되고, 타측단자가 접지된 발광소자와;

상기 제2트랜지스터의 게이트에 일측단자가 연결되고, 타측단자에 공통전원라인으로부터 전원전압이 인가되는 캐패시터를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 19】

제18항에 있어서, 게이트에 해당하는 스캔라인 바로 이전의 스캔라인에 인가되는 스캔신호가 인가되고, 소오스가 상기 캐패시터의 일측단자에 연결되며, 타측단자에 초기화전압이 인가되는 제6트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

【청구항 20】

다수의 데이터라인과; 다수의 스캔라인과; 다수의 공통전원라인과; 상기 복수개의 데이터라인, 스캔라인 및 공통전원라인중 해당하는 하나의 데이터라인, 스캔라인 및 공통전원라인에 각각 연결되는 다수의 화소를 포함하는 유기전계 발광표시장치에 있어서,

SDC-1351-00000124
SDC EX. 2001 - 68/503

각 화소는 해당하는 스캔라인의 바로 이전 스캔라인에 인가되는 스캔신호에 응답하여 초기화시켜주는 단계와;

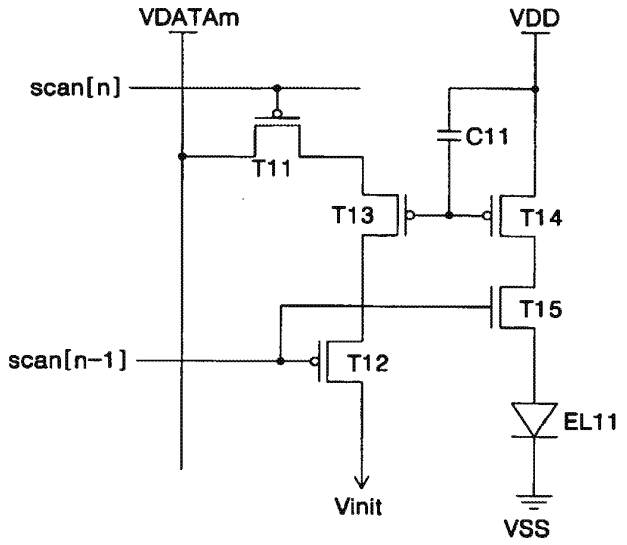
해당하는 스캔라인에 인가되는 스캔신호에 응답하여 문턱전압의 편차를 보상하고, 상기 문턱전압의 편차에 무관하게 해당하는 데이터 라인으로부터 인가되는 전압레벨의 데이터전압을 프로그램하는 단계와;

현재발광신호에 응답하여 상기 전압레벨의 데이터전압에 대응하는 구동전류를 발생하여 EL소자를 발광시켜 주는 단계를 구비하는 것을 특징으로 하는 유기전계 발광표시장치의 화소구동방법.

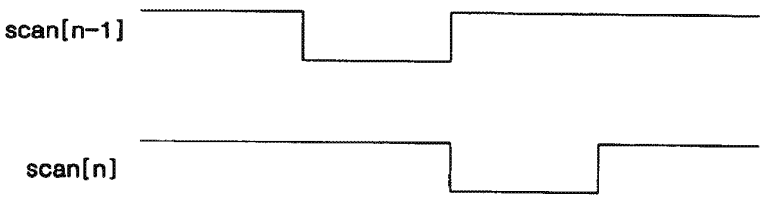
SDC-1351-00000125
SDC EX. 2001 - 69/503

【도면】

【도 1】

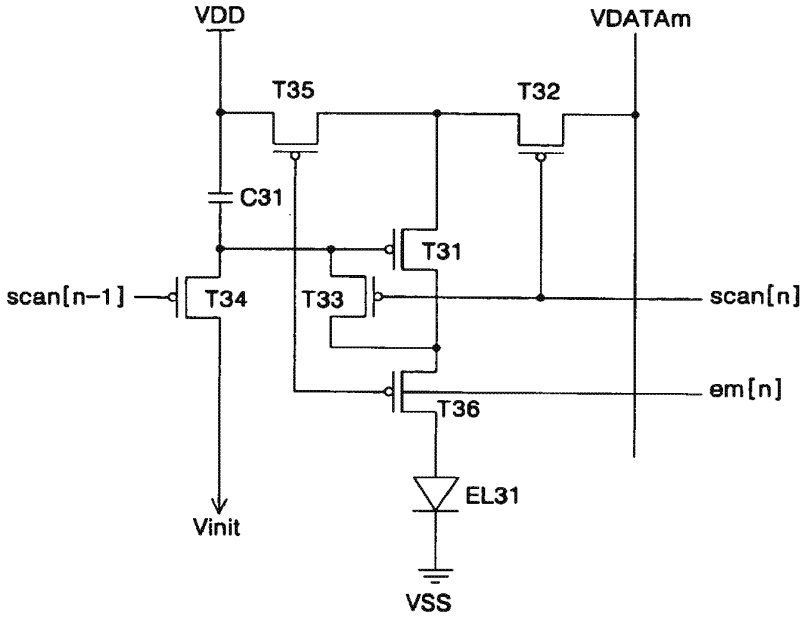


【도 2】

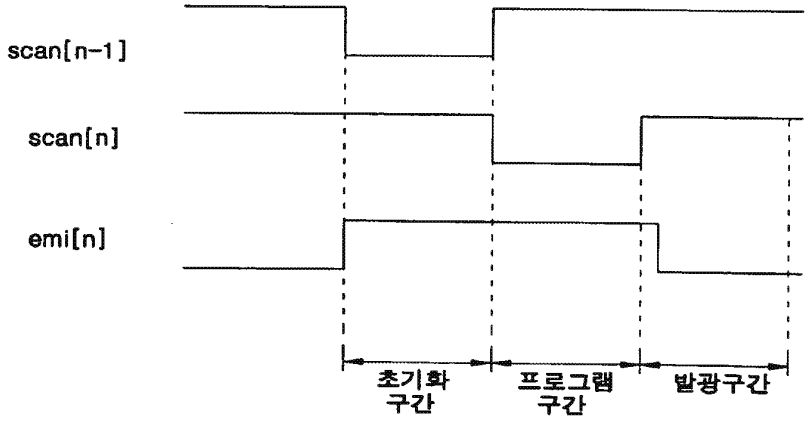


SDC-1351-00000126
SDC EX. 2001 - 70/503

【도 3】

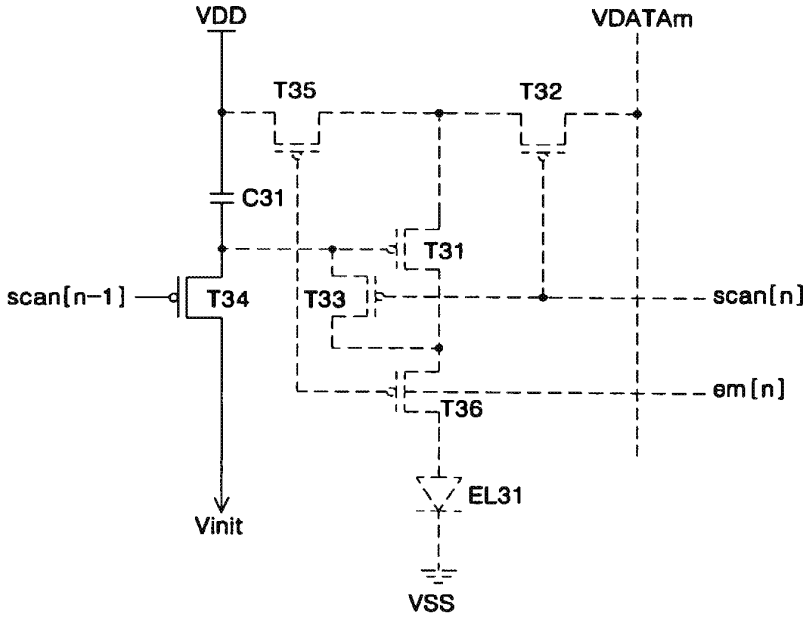


【도 4】

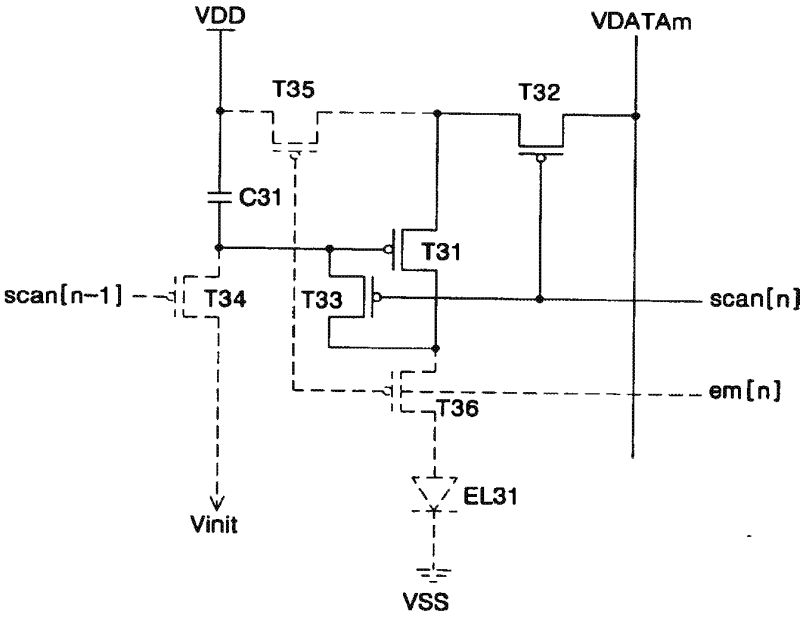


SDC-1351-00000127
SDC EX. 2001 - 71/503

【도 5】

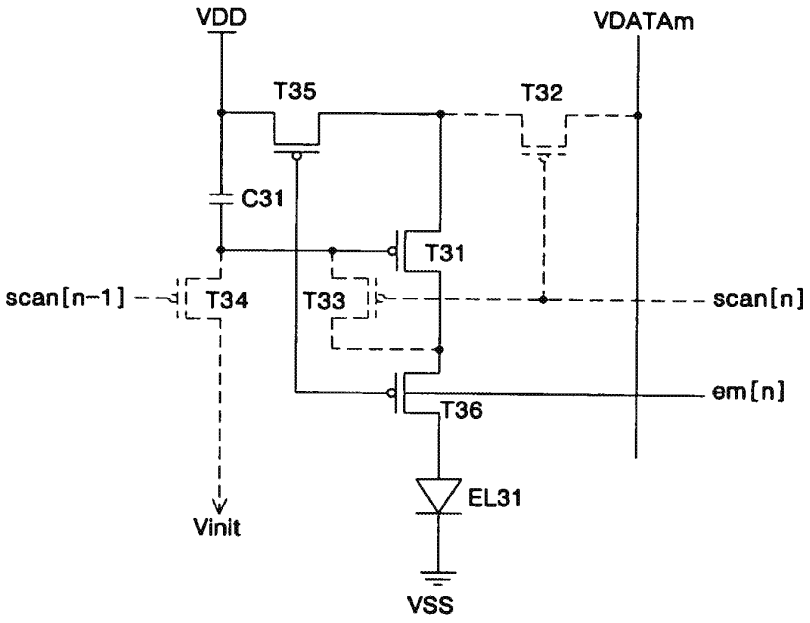


【도 6】



SDC-1351-00000128
SDC EX. 2001 - 72/503

【도 7】



SDC-1351-00000129
SDC EX. 2001 - 73/503

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2003

Application or Docket Number: 10886014

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS	20	
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	20 minus 20=	* —
INDEPENDENT CLAIMS	6 minus 3 =	* 3
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	385.00	OR	BASIC FEE	770.00
XS 9=		OR	XS18=	
X43=		OR	X86=	258
+145=		OR	+290=	
TOTAL		OR	TOTAL	1028

CLAIMS AS AMENDED - PART II

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
***If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

SDC-1351-00000130
SDC EX. 2001 - 74/503

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371 (c) DATE	FIRST NAMED APPLICANT	ATTORNEY DOCKET NUMBER
10/886,014	07/06/2004	Ho-Kyoon Chung	52226/DBP/S1082

CONFIRMATION NO. 8338

23363
CHRISTIE, PARKER & HALE, LLP
PO BOX 7068
PASADENA, CA 91109-7068

FORMALITIES LETTER

OC000000013690032

Date Mailed: 09/01/2004

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

FILED UNDER 37 CFR 1.53(b)

Filing Date Granted

Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items and pay any fees required below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The statutory basic filing fee is missing.
  Applicant must submit $ **770** *to complete the basic filing fee for a non-small entity. If appropriate, applicant may make a written assertion of entitlement to small entity status and pay the small entity filing fee (37 CFR 1.27).*
- The oath or declaration is unsigned.
- To avoid abandonment, a late filing fee or oath or declaration surcharge as set forth in 37 CFR 1.16(e) of $130 for a non-small entity, must be submitted with the missing items identified in this letter.

The applicant needs to satisfy supplemental fees problems indicated below.

The required item(s) identified below must be timely submitted to avoid abandonment:

- Additional claim fees of **$258** as a non-small entity, including any required multiple dependent claim fee, are required. Applicant must submit the additional claim fees or cancel the additional claims for which fees are due.

SUMMARY OF FEES DUE:

Total additional fee(s) required for this application is **$1158** for a Large Entity

- **$770** Statutory basic filing fee.
- **$130** Late oath or declaration Surcharge.

- Total additional claim fee(s) for this application is **$258**

- **$258** for **3** independent claims over 3.

Replies should be mailed to: Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria VA 22313-1450

A copy of this notice MUST be returned with the reply.

E. R

Customer Service Center
Initial Patent Examination Division (703) 308-1202
PART 3 - OFFICE COPY

IFW

OIPE JC71
OCT 05 2004
PATENT & TRADEMARK OFFICE

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371 (c) DATE	FIRST NAMED APPLICANT	ATTORNEY DOCKET NUMBER
10/886,014	07/06/2004	Ho-Kyoon Chung	52226/DBP/S1082

CONFIRMATION NO. 8338

23363
CHRISTIE, PARKER & HALE, LLP
PO BOX 7068
PASADENA, CA 91109-7068

FORMALITIES LETTER

OC000000013690032

Date Mailed: 09/01/2004

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

10/06/2004 HLE333 00000074 031728 10886014

01 FC:1051 130.00 OP
02 FC:1001 790.00 OP
03 FC:1201 26.00 DA 238.00 OP

FILED UNDER 37 CFR 1.53(b)

Filing Date Granted

Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items and pay any fees required below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The statutory basic filing fee is missing.
  Applicant must submit $ **770** *to complete the basic filing fee for a non-small entity. If appropriate, applicant may make a written assertion of entitlement to small entity status and pay the small entity filing fee (37 CFR 1.27).*
- The oath or declaration is unsigned.
- To avoid abandonment, a late filing fee or oath or declaration surcharge as set forth in 37 CFR 1.16(e) of $130 for a non-small entity, must be submitted with the missing items identified in this letter.

The applicant needs to satisfy supplemental fees problems indicated below.

The required item(s) identified below must be timely submitted to avoid abandonment:

- Additional claim fees of **$258** as a non-small entity, including any required multiple dependent claim fee, are required. Applicant must submit the additional claim fees or cancel the additional claims for which fees are due.

SUMMARY OF FEES DUE:

Total additional fee(s) required for this application is **$1158** for a Large Entity

- **$770** Statutory basic filing fee.
- **$130** Late oath or declaration Surcharge.

- Total additional claim fee(s) for this application is **$258**

- **$258** for **3** independent claims over 3.

Replies should be mailed to: Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria VA 22313-1450

A copy of this notice MUST be returned with the reply.

E.T.

Customer Service Center
Initial Patent Examination Division (703) 308-1202
PART 2 - COPY TO BE RETURNED WITH RESPONSE

OIPE JC71
OCT 05 2004
PATENT & TRADEMARK OFFICE

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being deposited with the U.S. Postal Service as first class mail in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on September 30, 2004.

Diane L. Goss

Applicant	: Ho-Kyoon Chung, et al.
Application No.	: 10/886,014
Filed	: July 6, 2004
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR
Grp./Div.	: 2821
Examiner	: To be determined
Docket No.	: 52226/DBP/S1082

LETTER IN RESPONSE TO NOTICE TO FILE MISSING PARTS OF APPLICATION

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
September 30, 2004

Commissioner:

In response to the Notice to File Missing Parts of Application dated September 1, 2004, enclosed are:

1. Copy of Notice to File Missing Parts of Application.
2. Checks for the filing fee plus additional claims ($1,028), and surcharge ($130) for a large entity.
3. Executed Declaration and Power of Attorney.

The Commissioner is hereby authorized to charge any fees under 37 CFR 1.16 and 1.17 which may be required during the **pendency** of this application to Deposit Account No. 03-1728.

Application No. 10/886,014

Please show our docket number with any charge or credit to our Deposit Account. **A copy of this letter is enclosed.**

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By _____

D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/dg
Enclosures
DLG PAS585008.1-*-09/29/04 11:39 AM

SDC-1351-00000136
SDC EX. 2001 - 80/503

OIPE JC71
OCT 05 2004
PATENT & TRADEMARK OFFICE

Rev. 11/00 **DECLARATION AND POWER OF ATTORNEY FOR PATENT APPLICATION** PATENT

Docket No. : 52226/DBP/S1082

As a below named inventor, I hereby declare that:

My residence, mailing address and citizenship are as stated below next to my name.

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR, the specification of which is attached hereto unless the following is checked:

__X__ was filed on __July 6, 2004__ as United States Application Number or PCT International Application Number _____ and was amended on _____ (if applicable).

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment specifically referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR § 1.56 including for continuation-in-part applications, material information which became available between the filing date of the prior application and the national or PCT international filing date of the continuation-in-part application.

I hereby claim foreign priority benefits under 35 U.S.C. § 119(a)-(d) or § 365(b) of the foreign application(s) for patent or inventor's certificate, or § 365(a) of any PCT International application which designated at least one country other than the United States of America, listed below and have also identified below, any foreign application for patent or inventor's certificate, or any PCT International application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application(s)

Application Number	Country	Filing Date (day/month/year)	Priority Claimed
2003-0045610	Korea	7 July 2003	YES

I hereby claim the benefit under 35 U.S.C. § 119(e) of any United States provisional application(s) listed below.

Application Number	Filing Date

I hereby claim the benefit under 35 U.S.C. § 120 of any United States application(s), or any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of 35 U.S.C. § 112, I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR § 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of this application.

Application Number	Filing Date	Patented/Pending/Abandoned

POWER OF ATTORNEY: I hereby appoint the following attorneys and agents of the law firm CHRISTIE, PARKER & HALE, LLP to prosecute this application and any U.S. continuation or divisional application based on it, and to prosecute any international application under the Patent Cooperation Treaty based on it, and to transact all

OIPE JC71
OCT 06 2004
PATENT & TRADEMARK OFFICE

DECLARATION FOR PATENT APPLICATION

Docket No. 52226/DBP/S1082

business in the U.S. Patent and Trademark Office connected with either of them in accordance with instructions from the assignee of the entire interest in this application; or from the first or sole inventor named below in the event the application is not assigned; or from SUNGWOO INTERNATIONAL PATENT & TRADEMARK LAW OFFICE in the event the power granted herein is for an application filed on behalf of a foreign attorney or agent.

D. Bruce Prout	(20,958)	Richard A. Wallen	(22,671)	Tom H. Dao	(44,641)
Richard J. Ward, Jr.	(24,187)	Michael J. MacDermott	(29,946)	Frank L. Cire	(42,419)
Walter G. Maxwell	(25,355)	Anne Wang	(36,045)	Rodney V. Warfford	(51,304)
William P. Christie	(29,371)	Constantine Marantidis	(39,759)	Rose A. Hickman	(P-54,167)
David A. Dillard	(30,831)	Daniel R. Kimbell	(34,849)	Colin T. Dorrian	(54,658)
Thomas J. Daly	(32,213)	Daniel M. Cavanagh	(41,661)	Oliver S. Bajracharya	(55,905)
Edward R. Schwartz	(31,135)	Gary J. Nelson	(44,257)	R. W. Johnston	(17,968)
John D. Carpenter	(34,133)	Josephine E. Chang	(46,083)	Hayden A. Carney	(22,653)
Wesley W. Monroe	(39,778)	Joel A. Kauth	(41,886)	Russell R. Palmer. Jr.	(22,994)
David A. Plumley	(37,208)	Raymond R. Tabandeh	(43,945)	LeRoy T. Rahn	(20,356)
Gregory S. Lampert	(35,581)	Cynthia A. Bonner	(44,548)	Richard D. Seibel	(22,134)
Mark Garscia	(31,953)	Jun-Young E. Jeon	(43,693)	Vincent G. Gioia	(19,959)
Syed A. Hasan	(41,057)	Stephen D. Burbach	(40,285)	Richard J. Paciulan	(28,248)
Harold E. Wurst	(22,183)	David J. Steele	(47,317(		
Robert A. Green	(28,301)	John W. Peck	(44,284)		

The authority under this Power of Attorney of each person named above shall automatically terminate and be revoked upon such person ceasing to be a member or associate of or of counsel to that law firm.

DIRECT TELEPHONE CALLS TO: D. Bruce Prout, 626/795-9900

SEND CORRESPONDENCE TO: **Customer Number: 23363**
CHRISTIE, PARKER & HALE, LLP
P.O. Box 7068
Pasadena, CA 91109-7068

I declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. 1001 and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

NAME OF SOLE OR FIRST INVENTOR			
Ho-Kyoon Chung			
Inventor's Signature Ho Kyoon Chung			Date August 11, 2004
Residence: City Yongin-si	State	Country Korea	Citizenship Korean
Mailing Address:	109-202, Samsungchereville Apt., Shinbong-ri, Suji-eup, Yongin-si, Gyeonggi-do, Korea		

SDC-1351-00000138
SDC EX. 2001 - 82/503

DECLARATION FOR PATENT APPLICATION

Docket No. 52226/DBP/S1082

NAME OF SECOND INVENTOR				
Yang-Wan Kim				
Inventor's Signature			Date August 11, 2004	
Residence: City Seoul	State	Country Korea	Citizenship Korean	
Mailing Address:	98-209. Sillim2-dong. Gwanak-gu. Seoul. Korea			

NAME OF THIRD INVENTOR				
Choon-Yul Oh				
Inventor's Signature			Date August 11, 2004	
Residence: City Gunpo-si	State	Country Korea	Citizenship Korean	
Mailing Address:	310-1202, Jugong Apt., Dang-dong. Gunpo-si. Gyeonggi-do. Korea			

NAME OF FOURTH INVENTOR				
Oh-Kyong Kwon				
Inventor's Signature			Date August 11, 2004	
Residence: City Seoul	State	Country Korea	Citizenship Korean	
Mailing Address:	14-1102, Jangmi Apt., Shincheon-dong. Songpa-gu. Seoul. Korea			

NAME OF FIFTH INVENTOR				
Sang-Moo Choi				
Inventor's Signature			Date August 11, 2004	
Residence: City Suwon-si	State	Country Korea	Citizenship Korean	
Mailing Address:	303, Haeseongvil, 1027-5, Yeongtong-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do, Korea			

RJP PAS556171.1-*-07/22/04 7:56 AM

SDC-1351-00000139
SDC EX. 2001 - 83/503

OIPE JC71
OCT 05 2004
PATENT & TRADEMARK OFFICE

TEN PATENT PRACTITIONERS TO BE RECOGNIZED BY PTO IN APPLICATION TO WHICH POWER OF ATTORNEY IS DIRECTED

D. Bruce Prout	(20,958)
Richard J. Ward, Jr.	(24,187)
LeRoy T. Rahn	(20,356)
Walter G. Maxwell	(25,355)
William P. Christie	(29,371)
David A. Dillard	(30,831)
Thomas J. Daly	(32,213)
Edward R. Schwartz	(31,135)
John D. Carpenter	(34,133)
Wesley W. Monroe	(39,778)

By D. Bruce Prout

D. Bruce Prout
Reg. No. 20,958

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being electronically filed with the United States Patent and Trademark Office on October 19, 2006.

Diane L. Goss

Applicant	: Ho-Kyoon Chung, et al.	Confirmation No.8338
Application No.	: 10/886,014	
Filed	: July 6, 2004	
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREOF	
Grp./Div.	: 2629	
Examiner	: Richard A. Hjerpe	
Docket No.	: 52226/S1082	

INFORMATION DISCLOSURE STATEMENT
37 CFR § 1.97(b)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
October 19, 2006

Commissioner:

In compliance with the duty of disclosure under 37 CFR §§ 1.56, 1.97 and 1.98, and in accordance with the provisions in the Manual of Patent Examining Procedure §§ 609 and 707.05(b), enclosed is FORM PTO/SB/08A/B listing a reference that is known to applicant. A copy of the listed reference is enclosed. This filing is timely because it is made during one of the periods described in 37 CFR § 1.97(b).

It is respectfully requested that the listed reference be considered in the examination of this application and identified on the list of references cited on the patent issuing for this application. Applicant also requests that an initialed copy of FORM PTO/SB/08A/B be entered in the application file and returned to applicant with the next communication from the Office in accordance with MPEP § 609.

The Commissioner is hereby authorized to charge any fees which may be required by this paper to Deposit Account No. 03-1728. Please show our docket number with any Deposit Account transaction.

Respectfully submitted,
CHRISTIE, PARKER & HALE, LLP

By _____
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/dg
Enclosures: PTO/SB/08A/B, w/reference

DLG PAS705962.1-*-10/18/06 12:30 PM

SDC-1351-00000142
SDC EX. 2001 - 86/503

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B **INFORMATION DISCLOSURE** **STATEMENT BY APPLICANT** (use as many sheets as necessary)	**Attorney Docket Number**	**52226/S1082**
	Application Number	**10/886,014**
	Filing Date	**July 6, 2004**
	Applicant(s)	**Ho-Kyoon Chung, et al.**
	Group Art Unit	**2629**
	Examiner Name	**Richard A. Hjerpe**

U.S. PATENT DOCUMENTS				
EXAMINER INITIALS	Cite No.[1]	DOCUMENT NUMBER Number - Kind Code[2] (If Known)	PUBLICATION DATE MM-DD-YYYY	NAME OF PATENTEE

FOREIGN PATENT DOCUMENTS					
EXAMINER INITIALS	Cite No.[1]	Foreign Patent Document Country Code[3] - Number[4] - Kind Code[5] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T[6] (✓)
		KR 2002-0025842	04-04-2002	Anzai et al.	Korean Patent Abstracts

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		Korean Patent Abstracts, Publication No. 1020020025842 A, dated April 4, 2002, in the name of Katsuya Anzai et al.

DLG PAS705960.1-*-10/18/06 12:27 PM

EXAMINER SIGNATURE		DATE CONSIDERED	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/dg

SDC-1351-00000143
SDC EX. 2001 - 87/503

KOREAN PATENT ABSTRACTS XML 1(1-1) Save

Please Click here to view the drawing Korean FullDoc.

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

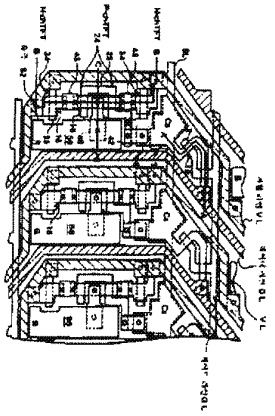
(11)Publication number: 1020020025842 A
(43)Date of publication of application: 04.04.2002

(21)Application number: 1020010060955
(22)Date of filing: 29.09.2001
(51)Int. Cl G09G 3/30

(71)Applicant: SANYO ELECTRIC CO., LTD.
(72)Inventor: ANZAI KATSUYA
KOMIYA NAOAKI

(54) SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

(57) Abstract:



PURPOSE: A thin film transistor for supplying a power to an electroluminescent(EL) element is provided to alleviate a characteristic deviation of a transistor supplying a power to a driving device such as an organic EL element and to prevent a radiation luminescent from deviating in the driving device by averaging a deviation of power supplying to the driving device. CONSTITUTION: Each pixel includes a first TFT(10), a storage capacitor(Cs), two pch-second TFTs(24), two nch-compensation TFTs(34) which are diode-connected between the power supply line(VL) and the second TFTs(24), and an organic EL element (50) connected to the drains of the second TFTs(24). A pixel is placed in the region surrounded by a gate line(GL) extending in the row direction and a power supply line(VL) and a data line(DL) both extending in the column direction. A delta arrangement is employed for realizing a more high resolution color display device wherein the positions for R, G and B pixels are shifted at each row, and consequently, the data line(DL) and the power supply line(VL) are not straight, but extend in the column direction through the gap between pixels having positions shifted for each row.

copyright KIPO 2002

SDC-1351-00000144
SDC EX. 2001 - 88/503

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G09G 3/30

(11) 공개번호 특2002-0025842
(43) 공개일자 2002년04월04일

(21) 출원번호 10-2001-0060955
(22) 출원일자 2001년09월29일

(30) 우선권주장 JP-P-2000-0030
0982
JP-P-2001-0027 2000년09월29일 일본(JP)
9802 2001년09월14일 일본(JP)

(71) 출원인 산요 덴키 가부시키가이샤
다카노 야스아키
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 안자이가쯔야
일본기후껭안빠찌궁안빠찌쪼오흐모리180
고미야나오아끼
일본효고껭고베시다루미꾸오또기1-5

(74) 대리인 구영창
장수길
이중희

심사청구 : 있음

(54) 반도체 장치 및 표시 장치

요약

복수의 유기 EL 소자로의 공급 전류 편차를 저감한다.

유기 EL 소자(50)와 전원 라인 VL 사이에, 전원 라인 VL로부터 공급되는 전류량을 제어하는 소자 구동용 TFT(20)를 구비하고, TFT(20)의 채널 길이 방향을, 화소의 길이 방향, 또는 TFT(20)를 제어하는 스위칭용 TFT(10)에 데이터 신호를 공급하는 데이터 라인 DL의 연장 방향, 또는 TFT(20)의 능동층(16)을 다결정화하기 위한 레이저 어닐링의 주사 방향과 평행한 방향에 배치한다. 또한 전원 라인 VL과 TFT(20) 사이에 TFT(20)와 역 특성의 보상용 TFT(30)를 구비하고 있어도 좋다.

SDC-1351-00000145
SDC EX. 2001 - 89/503

대표도

도 8

색인어

유기 EL 소자, 소자 구동용 TFT, 스위칭용 TFT, 레이저 어닐링

명세서

도면의 간단한 설명

도 1은 액티브 매트릭스형 유기 EL 표시 장치의 1 화소의 회로 구성을 나타내는 도면.

도 2는 본 발명의 실시예 1에 따른 액티브 매트릭스형 유기 EL 표시 장치의 1 화소당 회로 구성예를 나타내는 도면.

도 3은 TFT의 I-V 특성을 나타내는 도면.

도 4는 본 발명 및 종래의 회로 구성에 의해서 실현되는 효과를 나타내는 도면.

도 5는 본 발명의 실시예 1에 따른 액티브 매트릭스형 유기 EL 표시 장치의 1 화소당의 다른 회로 구성예를 나타내는 도면.

도 6은 본 발명의 실시예 1에 따른 액티브 매트릭스형 유기 EL 표시 장치의 1 화소당의 다른 회로 구성예를 나타내는 도면.

도 7은 본 발명의 실시예 1에 따른 액티브 매트릭스형 유기 EL 표시 장치의 1 화소당의 또 다른 회로 구성예를 나타내는 도면.

도 8은 도 7에 나타내는 회로 구성을 구비한 본 실시예 1에 따른 액티브 매트릭스형 유기 EL 패널의 평면 구성도.

도 9는 도 8의 A-A, B-B, C-C선에 따라 자른 단면 구성을 나타내는 도면.

도 10은 실시예 2에 따른 액티브 매트릭스형 유기 EL 패널의 1 화소당의 평면도 및 단면도.

도 11은 실시예 2에 따른 액티브 매트릭스형 유기 EL 패널의 1 화소당의 다른 평면 구성예.

도 12는 실시예 3에 따른 액티브 매트릭스형 유기 EL 패널의 1 화소당의 평면도.

도 13은 실시예 3에 따른 액티브 매트릭스형 유기 EL 패널의 1 화소당의 다른 평면 구성예.

도 14는 실시예 2에 따른 액티브 매트릭스형 유기 EL 패널의 1 화소당의 다른 평면 구성예.

도 15는 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 단면 및 평면 구조를 나타내는 도면.

도 16은 실시예 3에 따른 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 단면 및 평면 구조예를 나타내는 도면.

도 17은 실시예 3에 따른 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 다른 단면 구조예를 나타내는 도면.

SDC-1351-00000146
SDC EX. 2001 - 90/503

도 18은 실시예 3에 따른 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 다른 단면 구조예를 나타내는 도면.

도 19는 실시예 3에 따른 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 다른 단면 구조예를 나타내는 도면.

도 20은 실시예 3에 따른 제2 TFT의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트부에서의 다른 단면 구조예를 나타내는 도면.

< 도면의 주요 부분에 대한 간단한 설명>

1 : 기판(투명 기판)

2, 25, 35 : 게이트 전극

4 : 게이트 절연막

6, 16 : 능동층(p-Si막)

10 : 제1 TFT(스위칭용 TFT)

14 : 층간 절연막

18 : 평탄화 절연층

20, 22, 24 : 제2 TFT(소자 구동용 TFT)

30, 32, 34 : 보상용 TFT

40, 42 : 커넥터(배선층)

41 : 금속 접속층

50 : 유기 EL 소자

51 : 발광 소자층

52 : 양극

53 : 제1 홀 수송층

54 : 제2 홀 수송층

55 : 유기 발광층

56 : 전자 수송층

57 : 음극

GL : 게이트 라인

SDC-1351-00000147
SDC EX. 2001 - 91/503

VL : 전원 라인

DL : 데이터 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 표시 장치, 특히 그 화소부의 회로 구성 트랜지스터에 관한 것이다.

자발광 소자인 일렉트로 루미네센스(Electroluminescence: 이하 EL이라고 함) 소자를 각 화소에 발광 소자로서 이용하는 EL 표시 장치는, 자발광형임과 함께, 얇고 소비 전력이 작다는 등의 유리한 점이 있으며, 액정 표시 장치(LCD)나 CRT 등의 표시 장치에 대신하는 표시 장치로서 주목받으며 연구가 진행되고 있다.

또한, 그 중에서도 EL 소자를 개별적으로 제어하는 박막 트랜지스터(TFT) 등의 스위치 소자를 각 화소에 마련하여, 화소마다 EL 소자를 제어하는 액티브 매트릭스형 EL 표시 장치는, 고정세도의 표시 장치로서 기대되고 있다.

도 1은 m행 n열의 액티브 매트릭스형 EL 소자 장치에서의 1 화소당의 회로 구성을 나타내고 있다. EL 표시 장치에서는 기판 상에 복수개의 게이트 라인 GL이 행 방향으로 연장되고, 복수개의 데이터 라인 DL 및 전원 라인 VL이 열 방향으로 연장되어 있다. 또한 각 화소는 유기 EL 소자(50), 스위칭용 TFT(제1 TFT)(10), EL 소자 구동용 TFT(제2 TFT)(20) 및 보조 용량 Cs를 구비하고 있다.

제1 TFT(10)는 게이트 라인 GL과 데이터 라인 DL에 접속되어 있고, 게이트 전극에 게이트 신호(선택 신호)를 수신하여 온한다. 이 때 데이터 라인 DL로 공급되고 있는 데이터 신호는 제1 TFT(10)와 제2 TFT(20) 사이에 접속된 보조 용량 Cs에 보존된다. 제2 TFT(20)의 게이트 전극에는 상기 제1 TFT(10)를 통해서 공급된 데이터 신호에 따른 전압이 공급되고, 이 제2 TFT(20)는 그 전압치에 따른 전류를 전원 라인 VL로부터 유기 EL 소자(50)에 공급한다. 이와 같은 동작에 의해, 각 소자마다 데이터 신호에 따른 휘도로 유기 EL 소자를 발광시켜, 원하는 이미지가 표시된다.

여기서, 유기 EL 소자는 음극과 양극 사이에 마련된 유기 발광층에 전류를 공급함으로써 발광하는 전류 구동형의 소자이다. 한편, 데이터 라인 DL로 출력되는 데이터 신호는, 표시 데이터에 따른 진폭의 전압 신호이다. 따라서, 종래보다 유기 EL 표시 장치에서는 이러한 데이터 신호에 의해서 유기 EL 소자를 정확하게 발광시킬 목적으로, 각 화소에는 제1 TFT(10)와 제2 TFT(20)를 마련하고 있다.

발명이 이루고자 하는 기술적 과제

상술한 유기 EL 표시 장치에 있어서, 그 표시 품질 및 신뢰성이 아직 충분하지 않아, 제1 및 제2 TFT(10, 20) 각각의 특성 편차를 해소할 필요가 있다. 특히, 전원 라인 VL로부터 유기 EL 소자(50)로 공급하는 전류량을 제어하는 제2 TFT의 특성 편차는 직접 발광 휘도에 편차를 발생시키므로, 그 편차를 작게 하는 것이 요구되고 있다.

또한, 이들 제1 및 제2 TFT(10, 20)를 동작 속도가 빠르고, 저 전압 구동이 가능한 다결정 실리콘 TFT에 의해서 구성하는 것이 적합하다. 다결정 실리콘을 얻기 위해서는, 비정질 실리콘을 레이저 어닐링에 의해서 다결정화시키는 것이 행해지는데, 조사 레이저의 조사 면내에서의 에너지 편차 등에 기인하여 다결정 실리콘의 그레인 사이즈가 불균일하게 된다. 이 그레인 사이즈의 편차, 특히 TFT 채널 부근에 있어서 편차가 발생하면, TFT의 온 전류 특성 등에 편차가 생긴다고 하는 문제도 있다.

SDC-1351-00000148
SDC EX. 2001 - 92/503

본 발명은 상기 과제를 감안하여 이루어진 것으로서, 유기 EL 소자를 제어하는 TFT의 특성 편차를 완화함으로써, 각 발광 화소를 균일한 휘도로 발광시킬 수 있는 액티브 매트릭스형 유기 EL 패널을 제공하는 것을 목적으로 한다.

또한, 본 발명의 다른 목적은 유기 EL 소자 등을 피 구동 소자로서 구비하는 장치에 있어서, 그 신뢰성이나 특성 향상을 도모하는 것이다.

상기 목적을 달성하기 위해서 본 발명은, 제1 및 제2 전극 사이에 발광층을 구비하여 구성되는 일렉트로 루미네센스 소자와, 게이트 신호를 게이트에 수신하여 동작하고, 데이터 신호를 수취하는 스위칭용 박막 트랜지스터와, 구동 전원과 상기 일렉트로 루미네센스 소자 사이에 마련되고, 상기 스위칭용 박막 트랜지스터로부터 공급되는 데이터 신호에 따라, 상기 구동 전원으로부터 상기 일렉트로 루미네센스 소자에 공급하는 전력을 제어하는 소자 구동용 박막 트랜지스터를 포함하되, 상기 구동 전원과 상기 소자 구동용 박막 트랜지스터 사이에는, 상기 소자 구동용 박막 트랜지스터와 역 도전 특성의 보상용 박막 트랜지스터가 더 마련되어 있다.

이와 같은 역 도전 특성의 보상용 박막 트랜지스터에 의해, 소자 구동용 박막 트랜지스터와에서, 특성 시프트의 편차를 상호 흡수할 수 있기 때문에, 개개의 트랜지스터의 편차를 전체적으로 완화할 수 있어, 특성 편차에 의한 일렉트로 루미네센스 소자에서의 발광 휘도 편차를 방지할 수 있다.

또한, 본 발명의 다른 양태는, 상기 보상용 박막 트랜지스터가 상기 구동 전원과 상기 소자 구동용 박막 트랜지스터 사이에 다이오드 접속되어 있는 것이다.

이에 의해 보상용 박막 트랜지스터에 대하여 특별한 제어 신호를 공급할 필요없이 소자 구동용 박막 트랜지스터의 특성 편차를 보상할 수 있다.

본 발명의 다른 양태는, 상기 표시 장치에 있어서, 상기 소자 구동용 박막 트랜지스터가, 상호 병렬 접속된 복수의 박막 트랜지스터로 구성되는 것이다.

본 발명의 또 다른 양태는, 상기 소자 구동용 박막 트랜지스터가, 상기 구동 전원과 상기 일렉트로 루미네센스 소자 사이에, 상호 병렬 접속된 복수의 박막 트랜지스터로 구성되고, 상기 보상용 박막 트랜지스터는, 상기 병렬 접속된 복수의 박막 트랜지스터와 상기 구동 전원 사이에 각각 마련되어 있는 것이다.

이와 같이 소자 구동용 박막 트랜지스터를 병렬로 복수 마련함으로써, 개개의 트랜지스터에 특성 편차가 발생하더라도, 병렬 접속된 트랜지스터의 전체 특성에 대한 영향을 완화할 수 있다. 이 때문에, EL 소자에 대하여 편차가 적게 전류를 공급할 수 있다. 또한, 보상용 박막 트랜지스터에 대해서도 이것을 복수로 하면, 개개의 트랜지스터의 특성 편차가 화소 트랜지스터 전체의 특성에 부여하는 영향을 저감할 수 있어, EL 소자의 균일 휘도에서의 발광이 용이하게 된다.

본 발명의 다른 양태에 있어서, 상기 반도체 장치는, 매트릭스 형상으로 배치된 각 소자가, 상기 스위칭용 박막 트랜지스터와, 상기 소자 구동용 박막 트랜지스터와, 상기 보상용 박막 트랜지스터와, 표시 소자로서의 상기 피 구동 소자를 구비한 액티브 매트릭스형 표시 장치에 이용할 수 있다.

본 발명의 다른 양태에서는, 상기 반도체 장치에 있어서, 상기 소자 구동용 박막 트랜지스터 및 상기 보상용 박막 트랜지스터의 채널 길이 방향은, 상기 스위칭용 박막 트랜지스터에 상기 데이터 신호를 공급하는 데이터 라인이 연장되는 방향을 따르도록 배치되어 있다.

본 발명의 다른 양태는, 매트릭스 형상으로 배치된 복수의 화소 각각이, 적어도, 피 구동 소자와, 구동 전원으로부터의 전력을 피 구동 소자에 공급하는 소자 구동용 박막 트랜지스터를 구비하는 액티브 매트릭스형 표시 장치에 있어서, 상기 복수의 화소의 각 화소 영역은, 매트릭스의 행 및 열 방향의 변 중 한쪽이 다른쪽보다 길고, 상기 소자 구동용 박막 트랜지스터는, 그 채널 길이 방향이 상기 소자 영역의 긴 쪽의 변을 따라서 배치되어 있다.

SDC-1351-00000149
SDC EX. 2001 - 93/503

본 발명의 다른 양태에 따른 표시 장치에서는, 상기 화소 영역은, 매트릭스의 행 방향보다도 열 방향의 변이 길고, 상기 소자 구동용 박막 트랜지스터는, 그 채널 길이 방향이 상기 열 방향을 따라서 배치되어 있다.

본 발명의 다른 양태에 따른 반도체 장치에서는, 전원 라인으로부터의 구동 전류를 대응하는 피 구동 소자에 공급하는 적어도 하나의 소자 구동용 박막 트랜지스터와, 선택시에 공급되는 데이터에 기초하여 상기 소자 구동용 박막 트랜지스터를 제어하는 스위칭용 박막 트랜지스터를 구비하되, 상기 소자 구동용 박막 트랜지스터의 채널 길이 방향은, 상기 스위칭용 박막 트랜지스터에 상기 데이터 신호를 공급하는 데이터 라인이 연장되는 방향을 따르도록 배치되어 있다.

이상과 같은 배치를 채용함으로써, 피 구동 소자에 전력을 공급하는 소자 구동용 박막 트랜지스터의 채널 길이를 길게 할 수 있어, 내압 등 트랜지스터의 신뢰성을 향상시킬 수 있다. 또한, 피 구동 소자에 대하여 각각 마련되는 소자 구동용 박막 트랜지스터의 특성을 평균화할 수 있으며, 피 구동 소자가 공급 전력에 의해서 발광 휘도가 다른 발광 소자 등의 경우에 있어서도 소자마다의 발광 휘도 편차를 억제할 수 있다. 또한, 예를 들면 1개의 피 구동 소자에 대하여 각각 충분한 채널 길이를 갖는 복수의 소자 구동용 박막 트랜지스터를 병렬 또는 직렬 접속하여 화소 내에 효율적으로 배치하는 것 등이 용이하고, 피 구동 소자가 발광 소자 등인 경우에 발광 영역을 증가시키는 것도 가능하게 된다.

본 발명의 다른 양태에 따른 반도체 장치 또는 표시 장치는, 상기 소자 구동용 박막 트랜지스터의 채널 길이 방향이, 상기 트랜지스터의 채널 영역을 어닐링하기 위한 선 형상 펄스 레이저의 주사 방향을 따르도록 상기 소자 구동용 박막 트랜지스터가 형성되어 있다.

이와 같이 소자 구동용 박막 트랜지스터의 채널 길이 방향에 레이저 어닐링의 주사 방향을 정합시킴으로써, 다른 피 구동 소자에 전력을 공급하는 소자 구동용 박막 트랜지스터의 트랜지스터 특성과의 차를 확실하게 작게 할 수 있다.

레이저 어닐링에서는 레이저 출력 에너지의 편차가 있다. 이 편차에는 펄스 레이저의 1 조사 영역 내에서의 편차와, 쇼트 사이에서의 편차가 존재한다. 한편, 예를 들면 액티브 매트릭스형 표시 장치 등의 반도체 장치에 채용되는 소자 구동용 박막 트랜지스터는, 채널 폭에 대하여 채널 길이가 대단히 길게 설계되는 경우가 많다. 또한, 상술한 바와 같이 화소 영역의 긴 쪽 변을 따라 배치하거나, 열 방향 혹은 데이터 라인의 연장 방향을 따라서 소자 구동용 박막 트랜지스터를 형성함으로써, 소자 구동용 박막 트랜지스터의 채널 길이를 충분한 길이로 하는 것이 용이해진다. 그리고, 레이저의 주사 방향을 소자 구동용 박막 트랜지스터의 채널 길이 방향과 대강 일치시킨다든가, 환언하면, 레이저 조사 영역의 길이 방향이 채널을 그 폭 방향으로 가로지르도록 설정함으로써, 1개의 소자 구동용 박막 트랜지스터의 채널 전체 영역이 단일 쇼트에 의해서 어닐링되지 않도록 용이하게 조정할 수 있다. 이것은 예를 들면 상기 소자 구동용 박막 트랜지스터의 채널 길이를 펄스 레이저의 1회 이동 피치보다도 길게 설정하면 용이하게 실현할 수 있다. 따라서, 동일 기판 상에 복수의 피 구동 소자가 형성되고, 이 소자에 각각 전력을 공급하는 소자 구동용 박막 트랜지스터가 복수 형성되는 경우에, 이 박막 트랜지스터의 능동층은 복수회의 쇼트에 의해서 레이저 어닐링할 수 있게 되고, 쇼트 사이에서의 에너지 편차를 각 트랜지스터가 균등하게 받아, 각 박막 트랜지스터의 특성을 확실하게 평균화할 수 있게 된다. 이에 의해서, 예를 들면 피 구동 소자로서 유기 화합물이 발광층에 이용된 유기 EL 소자가 이용된 유기 EL 표시 장치 등에서는, 각 화소에 마련되는 유기 EL 소자에서의 발광 휘도 편차를 대단히 작게 할 수 있다.

본 발명의 다른 양태에서는 상기 반도체 장치에 있어서, 상기 소자 구동용 박막 트랜지스터의 채널 길이 방향은, 상기 스위칭용 박막 트랜지스터의 채널 길이 방향과 일치하지 않는다.

스위칭용 박막 트랜지스터는, 이 트랜지스터를 선택하는 선택 라인과 데이터 신호를 공급하는 데이터 라인이 교차하는 근방에 배치되고, 대부분의 경우, 선택 라인의 연장 방향과 스위칭용 박막 트랜지스터의 채널 길이 방향이 대강 평행하도록 배치된다. 이와 같은 경우에, 소자 구동용 박막 트랜지스터의 채널 길이 방향을 스위칭용 박막 트랜지스터와 다른 방향으로 배치함으로써, 소자 구동용 박막 트랜지스터는 채널 길이를 길게 하는 것이 용이해진다.

SDC-1351-00000150
SDC EX. 2001 - 94/503

본 발명의 다른 양태에 따른 반도체 장치에서는, 공급 전력에 따라 동작하는 피 구동 소자와, 상기 피 구동 소자에 전력을 공급하기 위한 전원 라인 사이에, 상기 피 구동 소자로의 공급 전력을 제어하기 위한 n개(n은 2이상의 정수)의 박막 트랜지스터를 구비하되, 상기 박막 트랜지스터와, 대응하는 상기 피 구동 소자는, n-1 이하의 수의 컨택트에 의해서 서로 전기적으로 접속되어 있다.

피 구동 소자로의 전력 공급의 확실성이나 편차 방지 등의 관점에 있어서, 피 구동 소자에 전력을 공급하는 소자 구동용 박막 트랜지스터를 복수 마련하는 것은 효과가 높다. 한편, 예를 들면 피 구동 소자가 발광 소자 등인 경우에 있어서 컨택트부는 비 발광 영역으로 되는 경우가 많다. 따라서, 피 구동 소자에 전력을 공급하는 n개의 박막 트랜지스터와 피 구동 소자의 컨택트 수를 n-1 이하로 함으로써, 장치로서의 신뢰성 향상을 도모하면서 피 구동 소자의 실제 동작 영역(발광 소자이면 발광 영역)을 최대한 확보할 수 있게 된다.

본 발명의 다른 양태에 따른 반도체 장치는, 공급 전력에 따라 동작하는 피 구동 소자와, 상기 피 구동 소자에 전력을 공급하기 위한 전원 라인 사이에, 상기 피 구동 소자로의 공급 전력을 제어하기 위한 박막 트랜지스터를 구비하되, 상기 박막 트랜지스터와, 대응하는 상기 피 구동 소자는, 배선층에 의해서 서로 전기적으로 접속되고, 상기 배선층과 상기 박막 트랜지스터의 컨택트 위치와, 상기 배선층과 상기 피 구동 소자의 컨택트 위치가 이격되어 배치되어 있다.

이와 같이 배선층과 상기 박막 트랜지스터의 컨택트 위치와, 상기 배선층과 상기 피 구동 소자의 컨택트 위치가 이격되어 배치됨으로써, 배선층보다도 상층에 형성되는 경우가 많은 피 구동 소자를 보다 평탄한 면 위에 형성하는 것이 용이해진다. 박막 트랜지스터와 배선층은 절연층에 의해 이격되어 있고, 이들 컨택트는 절연층에 형성한 컨택트 홀에서 행해진다. 또한, 배선층과 피 구동 소자의 접속은 양자를 절연하는 절연층에 형성한 컨택트 홀을 통해서 행해진다. 따라서, 박막 트랜지스터와 배선층을 접속하는 컨택트 홀과, 배선층과 피 구동 소자를 접속하는 컨택트 홀이 중첩된 위치에 형성되면, 가장 상층에 형성되는 피 구동 소자는 2개(2단)의 컨택트 홀에 의해서 형성된 큰 요철면 상에 형성되게 된다. 피 구동 소자로서 발광 소자, 예를 들면 유기 화합물이 발광층에 이용된 유기 EL 소자를 채용한 경우, 유기 화합물을 포함하는 층은 그 형성면의 평탄성이 불량하면, 전계 집중 등이 발생하여, 그 장소로부터 발광 불능으로 되는 다크 스폿 등이 발생하기 쉽다. 따라서, 배선층과 피 구동 소자의 컨택트를 박막 트랜지스터와 배선층의 컨택트부로부터 이격함으로써, 피 구동 소자의 형성 영역에서의 평탄성을 향상시킬 수 있다.

본 발명의 다른 양태에 따른 반도체 장치에서는, 상기 피 구동 소자가 제1 및 제2 전극 사이에 발광 소자층을 구비한 발광 소자이고, 상기 배선층의 상층에 형성된 절연층에는 컨택트 홀이 형성되어 있으며, 상기 컨택트 홀에 있어서, 상기 배선층은 상기 절연층 상에 상기 컨택트 홀을 덮으며 형성된 상기 발광 소자의 상기 제1 전극과 접속되며, 상기 제1 전극의 적어도 컨택트 홀 영역은 평탄화층에 의해 덮이고, 상기 제1 전극 및 상기 평탄화층의 상층에 상기 발광 소자층이 형성되어 있는 것을 특징으로 한다.

제1 전극의 컨택트 홀 영역을 편탄화층에 의해 덮음으로써, 즉 컨택트 홀의 존재에 의해 움푹 패인 부분을 편탄화층에 의해 매립함으로써, 제1 전극과 평탄화층으로 대단히 평탄성이 높은 면을 구성할 수 있다. 따라서, 이 평탄성이 높은 면 위에 발광 소자층을 형성함으로써 소자의 신뢰성을 향상시키는 것이 가능하게 된다.

본 발명의 다른 양태에 따른 반도체 장치는, 공급 전력에 따라 동작하고, 제1 및 제2 전극 사이에 발광 소자층을 구비하는 피 구동 소자와, 상기 피 구동 소자에 전력을 공급하기 위한 전원 라인의 사이에, 상기 피 구동 소자로의 공급 전력을 제어하기 위한 박막 트랜지스터를 구비하되, 상기 박막 트랜지스터와, 대응하는 상기 피 구동 소자는, 하층에 형성된 상기 박막 트랜지스터와 상기 피 구동 소자의 층간을 이격하는 절연층에 형성된 컨택트 홀에 있어서 직접 또는 간접적으로 서로 전기적으로 접속되며, 상기 제1 전극의 적어도 컨택트 홀 영역은 평탄화층에 의해서 덮이고, 상기 제1 전극 및 상기 평탄화층의 상층에 상기 발광 소자층이 형성되어 있다.

SDC-1351-00000151
SDC EX. 2001 - 95/503

제1 전극의 상방에는 발광 소자층이 형성되는데, 이 제1 전극에 콘택트 홀의 존재에 의해서 발생하는 움푹 패인 부분은 평탄화층에 의해서 덮기 때문에, 예를 들면 이 움푹 패인 부분이 깊다고 하더라도, 제1 전극과 평탄화층에 의해서 대단히 평탄성이 높은 면을 구성할 수 있고, 이 평탄성이 높은 면 위에 발광 소자층을 형성함으로써 소자의 신뢰성을 향상시킬 수 있게 된다.

본 발명의 다른 양태는, 상기한 피 구동 소자는 유기 화합물을 발광층에 이용한 유기 일렉트로 루미네센스 소자이다. 이러한 유기 EL 소자에서는 고휘도이고 또한 발광색과 재료의 선택 범위가 넓지만, 전류 구동이기 때문에 공급 전류량의 편차가 발광 휘도의 편차에 영향을 미치는데, 상기한 바와 같은 화소의 회로 구성이나 배치의 채용에 의해 공급 전류량을 균일하게 유지하는 것이 용이하다. 또한, 상술한 바와 같은 컨택트의 배치 및 구조를 채용하여, 개구율이 크고 또한 발광층 등의 소자층을 평탄한 면에 형성할 수 있어, 신뢰성이 높은 소자를 얻을 수 있다.

발명의 구성 및 작용

이하, 도면을 이용하여 본 발명의 바람직한 실시예에 대하여 설명한다.

(실시예 1)

도 2는 본 발명의 실시예 1에 따른 m행 n열의 액티브 매트릭스형 EL 표시 장치에 있어서의 1 화소당의 회로 구성을 나타내고 있다. 도시하는 바와 같이 각 화소는 유기 EL 소자(50), 스위칭용 TFT(제1 TFT)(10), 소자 구동용 TFT(제2 TFT)(20) 및 보조 용량 Cs를 구비하며, 여기서는, 행 방향으로 연장되는 게이트 라인 GL과, 열 방향으로 연장되는 데이터 라인 DL에 의해 둘러싸인 영역에 구성되어 있다. 본 실시예에서는 또한, 도전 특성이 상기 제2 TFT(20)와 역의 보상용 TFT(30)가 전원 라인 VL과 제2 TFT(20) 사이에 삽입되어 있다. 이 보상용 TFT(30)는 게이트와 소스 또는 드레인 한쪽이 접속되어 다이오드 접속되어 있고, 상기 다이오드 전원 라인 VL과 제2 TFT(20) 사이에 순방향으로 접속되어 있다. 따라서, 특별한 제어 신호를 공급하지 않으면서 동작시킬 수 있게 되어 있다.

제1 TFT(10)는 게이트 신호를 그 게이트에 수신하여 온하고, 이에 의해, 제1 TFT(10)와 제2 TFT(20) 사이에 접속된 보조 용량 Cs에 데이터 라인 DL로 공급되고 있는 데이터 신호가 보존되고, 보조 용량 Cs의 한쪽 전극 전위가 상기 데이터 신호와 동일하게 된다. 제2 TFT(20)는 전원 라인 VL과 유기 EL 소자(소자의 양극)(50) 사이에 마련되고, 그 게이트에 인가되는 데이터 신호의 전압치에 대응한 전류를 전원 라인 VL로부터 유기 EL 소자(50)에 공급하도록 동작한다. 도 2에 도시하는 예에서는 제1 TFT(10)에는 고속 응답 가능한 nch-TFT가 이용되고, 제2 TFT(20)에는 pch-TFT가 이용되고 있다.

보상용 TFT(30)에는 상기 제2 TFT(20)와 역 극성의 nch-TFT가 이용되고 있으며, 제2 TFT(20)의 I(전류)-V(전압) 특성이 변동된 경우, 정확히 역 방향으로 그 I-V 특성이 변동되어, 제2 TFT(20)의 특성 변동을 보상한다.

도 3은 능동층에 다결정 실리콘을 이용한 nch-TFT 및 pch-TFT의 I-V 특성을 나타내고 있다. nch-TFT는 게이트로의 인가 전압이 소정의 플러스 전압(+Vth) 이상으로 되면 전류치가 급격하게 상승하고, 한쪽의 pch-TFT는 게이트로의 인가 전압이 소정의 마이너스 전압(-Vth) 이하로 되면 전류치가 급격하게 상승한다. 여기서, 예를 들면 동일 기판 상에 형성된 nch-TFT와 pch-TFT는 nch-TFT의 임계값 +Vth가 커지는 방향, 즉 도 3에 있어서 오른쪽으로 시프트하도록 변동한 경우, pch-TFT의 임계값 -Vth는 같은 정도만큼 도3의 오른쪽으로 시프트한다. 반대로 nch-TFT의 임계값 +Vth가 왼쪽으로 시프트할 때는, pth-TFT의 임계값 -Vth도 좌측으로 시프트한다. 예를 들면, 제조 조

SDC-1351-00000152
SDC EX. 2001 - 96/503

건의 편차 등에 의해서, 도 2의 제2 TFT(20)에 이용되고 있는 pch-TFT의 -Vth가 오른쪽으로 어긋난 경우, 종래라면 동일 조건화에 있어서 유기 EL 소자(50)에 공급되는 전류량이 바로 감소하여 버린다. 그러나, 본 실시예에서는 상기 제2 TFT(20)와 전원 라인 VL 사이에 마련되어 있는 pch-TFT로 이루어지는 보상용 TFT(30)의 흐르는 전류량이 많아진다.

본 실시예에서는 도 2에 도시하는 바와 같이, 서로 역 극성으로 이루어지는 제2 TFT(20)와 보상용 TFT(30)가 전원 라인 VL과 유기 EL 소자(50) 사이에 마련되어 있기 때문에, 2개의 TFT는 상시 서로에 흐르는 전류량을 보상하도록 조화를 이루게 된다. 물론, 보상용 TFT(30)가 존재하지 않는 도 1과 같은 종래 회로 구성보다도 본 실시예의 회로 구성에서는, 보상용 TFT(30)가 존재하는 분만큼, 유기 EL 소자(50)에 공급 가능한 최대 전류치는 감소한다. 그러나, 인간의 눈은 고휘도측에서의 식별 감도가 중간 휘도에서의 감도에 비하여 대단히 낮기 때문에, 최대 공급 전류치가 다소 감소하더라도 표시 품질에는 거의 영향을 주지 않는다. 한편, 각 화소에 있어서, 제2 TFT(20)와 보상용 TFT(30)가 서로에 흐르기 시작하는 전류를 상호 조정하기 때문에, 화소 사이에서의 유기 EL 소자(50)로의 공급 전류량의 편차를 저감할 수 있게 된다.

다음에, 도 4를 참조하여, 본 실시예의 회로 구성에 의해서 실현되는 효과에 대하여 설명한다. 도 4의 상단은 도 2에 나타내는 본 실시예의 화소 회로 구성에 의해서 유기 EL 소자를 발광시킨 경우, 도 4의 하단은 도 1에 나타내는 종래의 화소 회로 구성에 의해서 유기 EL 소자를 발광시킨 경우의 인가 전압(데이터 신호)과 발광 휘도의 관계의 일례를 나타내고 있다. 도4의 설정은 인가 전압(데이터 신호) 8V일 때를 유기 EL 소자에 대한 요구 최대 휘도로 하고 있고, 8V 내지 10V 사이에서 계조 표시가 행해지고 있는 경우를 예로 들고 있다. 또한, 도 4의 상단 및 하단의 각 3개의 샘플은 서로 다른 제조 조건하에서 각각 도 2 및 도 1의 회로 구성의 유기 EL 패널을 형성한 경우, 즉 화소부의 TFT의 특성을 고의로 편차시킨 경우의 발광 휘도 특성이다.

도 4로부터 분명한 바와 같이, 종래의 회로 구성에서는, 화소부 TFT의 특성이 서로 다른 3가지 샘플에 있어서, 설정된 데이터 신호 전압 범위 8V 내지 10V에서 휘도 특성이 크게 변화하고 있는 데 반하여, 본 실시예의 회로 구성에서는, 시감(視感)되지 않는 고휘도 영역에서의 특성이 다를뿐, 3가지 샘플의 중간조 영역에서의 휘도 특성차는 대단히 작다. 따라서, 각 화소를 본 실시예와 같은 회로 구성으로 함으로써, TFT, 특히 큰 영향을 미치는 제2 TFT(20)의 특성에 편차가 생겨도, 이것과 역 극성의 보상용 TFT(30)의 존재에 의해 그 편차를 보상할 수 있어, 유기 EL 소자의 발광 휘도의 편차를 억제할 수 있게 된다.

도 5는 본 실시예에 따른 회로 구성의 다른 예를 나타내고 있다. 상술한 도 2와 다른 점은 nch-TFT를 이용하여 제2 TFT(22)가 구성되고, 또한 보상용 TFT(32)에는 다이오드 접속된 pch-TFT를 이용하고 있는 점이다. 이와 같은 구성에 의해서도 제2 TFT(22)에서의 특성 편차를 보상용 TFT(32)에 의해 보상할 수 있다.

도 6은 본 실시예에 따른 회로 구성의 또 다른 예를 나타내고 있다. 도 2의 회로 구성과 다른 점은 제2 TFT가 복수 병렬하여 보상용 TFT(30)와 유기 EL 소자(50) 사이에 마련되어 있다는 것이다. 또, TFT의 극성은 도 2와 마찬가지로, 제2 TFT(24)가 pch, 보상용 TFT(30)가 nch이다. 2개의 제2 TFT(24)는 그 게이트가 모두 제1 TFT(10) 및 보조 용량 Cs의 제1 전극측과 접속되고, 각 소스는 보상용 TFT(30)와 접속되고, 드레인이 유기 EL 소자(50)와 접속되어 있다. 이와 같이 제2 TFT(24)를 병렬하여 마련함으로써, 제2 TFT의 특성 편차에 따른 유기 EL 소자로의 공급 전류 편차를 더욱 저감할 수 있게 된다.

SDC-1351-00000153
SDC EX. 2001 - 97/503

여기서, 2개의 제2 TFT(24) 각각의 흐르는 전류치 목표를 i로 하면, 당연히 2개의 제2 TFT(24)의 합계 목표 전류치는 2i로 된다. 편차에 의해, 예를 들면 한쪽 제2 TFT(24)의 전류 공급 능력이 i/2로 되어 버려도, 다른쪽 제2 TFT(24)가 i/2를 초과한 전류를 흘리고 있으면, 목표 2i에 대해 (3/2)i를 유기 EL 소자에 공급할 수 있다. 또한, 최악으로 한쪽 TFT의 전류 공급 능력이 0으로 되었다고 하여도, 도 6의 예라면, 다른쪽 TFT에 의해 전류 i를 유기 EL 소자에 공급하는 것이 가능하다. 단일 TFT에 의해 제2 TFT(24)를 구성한 경우, 이것이 전류 공급 능력 0으로 되면, 그 화소는 결함으로 되는 것과 비교하면, 그 효과는 현격하게 크다.

또한, 본 실시예의 각 TFT는 레이저 어닐링 처리에 의해 a-Si를 다결정화하지만, 복수의 제2 TFT(24)를 병렬하여 마련하는 경우, 각 제2 TFT(24)의 능동 영역으로 동시에 레이저가 조사되지 않도록 레이저 조사 방향에 대해서 그 형성 장소를 어긋나게 하는 등의 궁리가 용이하다. 그리고, 그와 같은 배치로 함으로써, 모든 제2 TFT(24)가 결함으로 될 가능성을 현격히 저하시킬 수 있어, 레이저 어닐링에 기인한 특성 편차를 최소 한도로 억제할 수 있게 된다. 게다가, 상술한 바와 같이, 제2 TFT(24)와 전원 라인 VL 사이에 보상용 TFT(30)를 마련하고 있기 때문에, 그 어닐링 조건 등의 편차에 의해 제2 TFT(24)의 임계값에 시프트가 발생하여도, 보상용 TFT(30)에 의해 이것을 완화할 수 있다.

도 7은 본 실시예의 또 다른 화소 회로 구성을 나타내고 있다. 상술한 도 6의 구성과 다른 점은, 제2 TFT(24)뿐만 아니라, 보상용 TFT도 복수 마련되고, 각 보상용 TFT(34)가 각각 전원 라인 VL과 제2 TFT(24) 사이에 마련되어 있다는 점이다. 보상용 TFT(34)에 대해서도 도 7과 같이 복수로 하면, 각 보상용 TFT(34)에 발생하는 전류 공급 전력의 편차를 전체적으로 완화할 수 있어, 유기 EL 소자(50)로의 공급 전류 능력의 편차를 보다 확실하게 저감시키는 것이 가능해진다.

도 8은 상기 도 7과 같은 회로 구성으로 되는 유기 EL 표시 장치의 평면 구성의 일례를 나타내고 있다. 또한, 도 9a는 도 8의 A-A선을 따라 자른 개략 단면, 도 9b는 도 8의 B-B선을 따라 자른 개략 단면, 도 9c는 도 8의 C-C선을 따라 자른 개략 단면을 나타내고 있다. 또, 도 9에 있어서, 동시에 형성되는 층(막)에는 기능이 다른 것을 제외하고 기본적으로 동일 부호가 부여되어 있다.

도 8에 도시하는 바와 같이, 각 화소는 제1 TFT(10), 보조 용량 Cs, 2개의 pch의 제2 TFT(24), 전원 라인 VL과 그 제2 TFT(24) 사이에 다이오드 접속되어 마련된 nch의 2개의 보상용 TFT(34), 그리고 제2 TFT(24)의 드레인과 접속된 유기 EL 소자(50)를 구비한다. 또한, 도 8의 예에서는(이것에 한정되지는 않지만), 행 방향으로 연장되는 게이트 라인 GL과 열 방향으로 연장되는 전원 라인 VL과 데이터 라인 DL로 둘러싸인 영역에 1 화소가 배치되어 있다. 또, 도 8의 예에서는, 보다 고품위의 컬러 표시 장치를 실현하기 위해서, R, G, B의 화소가 각 행마다 그 배치 위치가 어긋난, 이른바 델타 배열이 채용되고 있기 때문에, 데이터 라인 DL 및 전원 라인 VL은 일직선 형상이 아니라, 행마다 위치가 어긋난 화소의 간극을 뚫고 지나가도록 열 방향으로 연장되어 있다.

각 화소 영역에 있어서, 게이트 라인 GL과 데이터 라인 DL의 교차부 근방에는 제1 TFT(10)가 형성되어 있다. 능동층(6)에는 레이저 어닐링 처리에 의해서 a-Si를 다결정화하여 얻은 p-Si가 이용되고, 이 능동층(6)은 게이트 라인 GL로부터 돌출된 게이트 전극(2)을 2회 걸친 패턴으로 되어 있으며, 도 7에서는 싱글 게이트 구조로 나타내고 있지만, 회로적으로는 듀얼 게이트 구조로 되어 있다. 능동층(6)은 게이트 전극(2)을 덮으며 형성된 게이트 절연막(4) 상에 형성되어 있고, 게이트 전극(2)의 바로 상부 영역이 채널, 그 양측에는 불순물이 도핑된 소스 영역 6S, 드레인 영역 6D가 형성되어 있다. 제1 TFT(10)는 게이트 라인 GL로 출력되는 선택 신호에 고속 응답하는 것이 요망되기 때문에, 여기서, 소스 영역 6S, 6D에는 인(P) 등의 불순물이 도핑되어, nch-TFT로서 구성되어 있다.

SDC-1351-00000154
SDC EX. 2001 - 98/503

제1 TFT(10)의 드레인 영역 6D는 제1 TFT(10) 전체를 덮으며 형성되는 층간 절연막(14) 상에 형성된 데이터 라인 DL과 그 층간 절연막(14)에 개구된 컨택트 홀에 의해 접속되어 있다.

이 제1 TFT(10)의 소스 영역 6S에는 보조 용량 Cs가 접속되어 있다. 이 보조 용량 Cs는 제1 전극(7)과 제2 전극(8)이 층간에 게이트 절연막(4)을 사이에 두고 중첩되어 있는 영역에 형성되어 있다. 제1 전극(7)은 도 8에 있어서 게이트 라인 GL과 마찬가지로 연장되어 있고, 게이트와 동일 재료로 형성된 용량 라인 SL과 일체로 형성되어 있다. 또한, 제2 전극(8)은 제1 TFT(10)의 능동층(6)과 일체이고, 그 능동층(6)이 제1 전극(7)의 형성 위치까지 연장되어 구성되어 있다. 제2 전극(8)은 커넥터(42)를 통해서 제2 TFT(24)의 게이트 전극(25)과 접속되어 있다.

2개의 pch의 제2 TFT(24)와 2개의 nch의 보상용 TFT(34)의 단면 구성은 도 9b와 같이 되어 있다. 이들 제2 TFT 및 보상용 TFT(24, 34)는 데이터 라인 DL(전원 라인 VL)을 따르는 방향으로, 각 TFT마다 섬 형상으로 패터닝된 능동층(16)을 각 기능층으로서 이용하고 있다. 따라서, 본 예에서는 이들 제2 TFT(24) 및 보상용 TFT(34)의 채널은 그 채널 길이 방향이 데이터 라인 DL, 여기서는 가늘고 긴 형상의 1 화소의 길이 방향을 따르도록 배치되어 있다. 또, 이 능동층(16)은 제1 TFT(10)의 능동층(6)과 동시에 형성된 것이며, 레이저 어닐링 처리에 의해 a-Si가 다결정화되어 형성된 다결정 실리콘이 이용되고 있다.

도 9b의 양단에 위치하는 보상용 TFT(34)는, 그 드레인 영역이 층간 절연막(14)으로 개구된 컨택트 홀을 통해서, 각각 동일한 전원 라인 VL과 접속되어 있다. 또한, 보상용 TFT(34)의 채널 영역 바로 아래에는 게이트 절연막(4)을 사이에 두고 게이트 전극(35)이 배치되어 있다. 이 게이트 전극(35)은 게이트 라인 GL과 동일 재료로 동시에 형성된 층이지만, 도 8에 도시하는 바와 같이 컨택트 홀에 있어서 전원 라인 VL과 접속되어 있다. 따라서, 이 보상용 TFT(34)는 도 7의 회로도에 도시한 바와 같이, 게이트와 드레인이 모두 전원 라인 VL과 접속된 다이오드를 구성하고 있다. 또한, 이 보상용 TFT(34)의 소스 영역은, pch TFT로 구성되는 제2 TFT(24)의 소스 영역과 이격 배치되어 있으며, 컨택트 배선(43)에 의해서 상호 각각 접속되어 있다.

제2 TFT(24)의 각 게이트 전극(25)은, 보상용 TFT(34)의 게이트 전극(35)과 마찬가지로, 게이트 라인 GL과 동일 재료로 동시에 형성된 도전층으로, 보조 용량 Cs의 제2 전극(8)과 커넥터(42)를 통해서 접속되고, 그 보조 용량 Cs의 형성 영역으로부터 전원 라인 VL을 따라서 연장되고, 또한 능동층(16) 아래로 연장되어 있고, 2개의 제2 TFT(24)의 각 게이트 전극(25)을 구성하고 있다.

유기 EL 소자(50)는 예를 들면 도 9c와 같은 단면 구조를 구비하고 있고, 상술한 바와 같은 각 TFT가 형성된 후, 상면 평탄화의 목적에서, 기판 전면에 형성된 평탄화 절연층(18) 상에 형성되어 있다. 이 유기 EL 소자(50)는 양극(투명 전극)(52)과, 최상층에 각 화소 공통으로 형성된 음극(금속 전극)(57) 사이에 유기층이 적층되어 형성되어 있다. 여기서, 이 양극(52)은 제2 TFT(24)의 소스 영역과 직접 접속되어 있지 않고, 배선층을 구성하는 커넥터(40)를 통해서 접속되어 있다.

여기서, 본 실시예에서는 도 8과 같이, 2개의 제2 TFT(24)는 1개의 커넥터(40)와 공통으로 접속되어 있고, 이 커넥터(40)는 유기 EL 소자(50)의 양극(52)과 1개소에서 컨택트하고 있다. 즉, 유기 EL 소자(50)는 n개의 제2 TFT(24)와 (n-1)개 이하의 컨택트에 의해 접속되어 있다. 컨택트 영역은 비 발광 영역으로 되는 경우도 있으며, 이와 같이 유기 EL 소자(50)와 커넥터(40)(제2 TFT(24))의 컨택트 수를 가능한 적게 함으로써, 발광 영역을 가능한 크게 할 수 있게 한다. 또, 이 컨택트 수에 관한 다른 예에 대해서는 실시예 3으로서 후술한다.

SDC-1351-00000155
SDC EX. 2001 - 99/503

또한, 본 실시예에서는 도 8 및 도 9c에 도시하는 바와 같이 커넥터(40)와 양극(52)의 접속 위치는 커넥터(40)와 제2 TFT(24)의 접속 위치와 어긋나게 배치되어 있다. 호수하는 유기 화합물을 포함하는 발광 소자층(51)은 국부적으로 얇은 장소 등이 있으면 전계 집중이 일어나기 쉽고, 전계 집중이 일어난 장소로부터 열화가 시작되는 일이 있다. 따라서 유기 재료가 이용되는 발광 소자층(51)의 형성면은 가능한 평탄한 것이 바람직하다. 컨택트 홀의 상층에서는 이 컨택트 홀에 기인한 움푹 패인 부분이 생겨, 컨택트 홀이 깊으면 깊을수록 그 움푹 패인 부분이 커진다. 따라서 양극(52)의 형성 영역 외에 커넥터(40)와 제2 TFT(24)의 소스 영역을 접속하는 컨택트 홀을 배치함으로써, 상부에 유기층이 형성되는 양극(52)의 상면을 가능한 평탄하게 하는 것을 가능하게 하고 있다. 또, 양극(52)의 상면을 평탄하게 하는 예에 대해서는 실시예 4로서 후술한다.

발광 소자층(유기층)(51)은 양극측으로부터, 예를 들면 제1 홀 수송층(53), 제2 홀 수송층(54), 유기 발광층(55), 전자 수송층(56)이 순차적으로 적층되어 있다. 일례로서, 제1 홀 수송층(52)은 MTDATA: 4, 4', 4''-tris(3-methylphenl- pheylamino)triphenylamine, 제2 홀 수송층(54)은 TPD: N, N'-diphenyl-N, N'-di(3-methylphenyl)-1,1'-biphenyl-4,4'-diamine, 유기 발광층(55)은 R, G, B의 목적으로 하는 발광색에 따라 다르지만, 예를 들면, 퀴나크리돈(Quinacridone) 유도체를 포함하는 $BeBq_2$: bis(10-hydroxybenzo[h]quinolinato)beryllium을 포함하며, 전자 수송층(56)은 BeBq로 구성된다. 또한, 도 9c에 도시하는 예에 있어서, 유기 EL 소자(50)는 ITO(Indium Tin Oxide) 등으로 이루어지는 양극(52)과, 유기 발광층(55) 이외의 각 유기층(53, 54, 56) 및 Al 등으로 이루어지는 음극(57)이 각 화소 공통으로 형성되어 있다.

상기 EL 소자의 다른 구성예로서는 오른쪽에 든 재료를 이용한 왼쪽 층이 순차적으로 적층 형성된 소자를 들 수 있다.

a. 투명 전극(양극)

b. 홀 수송층: NBP

c. 발광층: 레드(R)… 호스트 재료(Alq_3)에 적색 도펀트(DCJTB)를 도핑

그린(G)… 호스트 재료(Alq_3)에 녹색 도펀트(Coumarin 6)를 도핑

블루(B)… 호스트 재료(Alq_3)에 청색 도펀트(Perylene)를 도핑

d. 전자 수송층: Alq_3

e. 전자 주입층: 불화 리튬(LiF)

f. 전극(음극): 알루미늄(Al)

또, 여기서, 상기 약칭으로 기재한 재료의 정식 명칭은 이하와 같다.

. 「NBP」 … N,N'-Di((naphthalene-1-yl)-N,N'-diphenyl-benzidine)

. 「Alq_3」 … Tris(8-hydroxyquinolinato)aluminum

. 「DCJTB」 … (2-(1,1-Dimethylethyl)-6-(2-(2,3,6,7-tetrahydro-1,1,7,7-tetramethyl-1H,5H-benzo[ij]quinolizin-9-yl)ethenyl)-4H-pyran-4-ylidene) propanedinitrile

. 「Coumarin6」 … 3-(2-Benzothiazolyl)-7-(diethylamino)coumarin

. 「BAlq」 … (1,1'-Bisphenyl-4-Olato)bis(2-methyl-8-quinolinplate-N1,08) Aluminum

SDC-1351-00000156
SDC EX. 2001 - 100/503

단, 물론 이와 같은 구성에는 한정되지 않는다.

이상과 같은 구조의 화소에 있어서, 게이트 라인 GL에 선택 신호가 인가되면, 제1 TFT(10)가 온하여, 데이터 라인 DL의 전위와, 보조 용량 Cs의 제2 전극(8)과 접속된 그 소스 영역 전위가 동등하게 된다. 제2 TFT(24)의 게이트 전극(25)에는 데이터 신호에 따른 전압이 공급되고, 제2 TFT(24)는 그 전압치에 따라서 전원 라인 VL로부터 보상용 TFT(34)를 통해서 공급되는 전류를 유기 EL 소자(50)의 양극(52)에 공급한다. 이와 같은 동작에 의해, 각 화소마다 데이터 신호에 따른 전류를 정확하게 유기 EL 소자(50)에 공급할 수 있어, 편차가 없는 표시가 가능해진다.

도 8에 도시하는 바와 같이, 전원 라인 VL과 유기 EL 소자(50) 사이에 보상용 TFT(34)와 제2 TFT(24)가 이 순서로 복수 계열(여기서는 2계열) 마련되어 있기 때문에, 한쪽 시스템에서 편차에 의한 특성 시프트나 결함 등이 발생하여도, 정상적인 특성의 다른쪽 시스템이 존재함으로써, 복수 계열의 합계 결정되는 공급 전류량의 편차를 완화할 수 있도록 하였다.

또한, 도 8에 도시하는 평면 배치에서는, 모두 능동층이 레이저 어닐링 처리에 의해서 다결정화된 다결정 실리콘층이 이용되고 있지만, 이 어닐링 처리는 일례로서 도면의 횡 방향으로 긴 레이저 빔을 열 방향으로 주사하여 행한다. 이와 같은 경우에도, 제1 TFT(10)의 채널 방향과, 제2 및 보상용 TFT(24, 34)의 각 능동층 길이 채널 방향은 일치하지 않으며, 또한 형성 위치가 제1 TFT(10)과 제2 TFT(24)에 의해 이격되어 있다. 이 때문에, 레이저 어닐링에 의해서, 제1 및 제2 TFT(10, 24), 제2 및 보상용 TFT(24, 34)에 동시에 문제가 발생하는 것을 방지하는 것이 가능하다.

또, 제1 TFT(10), 제2 TFT(24) 및 보상용 TFT(34) 모두 바텀 게이트 구조로서 설명했지만, 능동층보다도 게이트 전극이 상층에 형성된 탑 게이트 구조이더라도 무방하다.

(실시예 2)

다음에, 본 발명의 다른 실시예 2에 대하여 설명한다. 실시예 1에서는 트랜지스터의 특성 편차에 의한 화소 사이에서 발광 휘도의 편차를 방지하기 위해서, 소자 구동용 박막 트랜지스터와 역 도전 특성의 보상용 박막 트랜지스터를 마련하고 있다. 이에 대하여, 본 실시예 2에서는 소자 구동용 박막 트랜지스터(제2 TFT)의 배치에 착안하여 화소 사이에서의 발광 휘도의 편차를 제어한다. 도 10은 실시예 2에 따른 1 화소당의 구성예를 나타내고 있으며, 도 10a는 개략 평면도 도 10b는 도 10a의 B-B선을 따라 자른 단면도이다. 이 구성은 도 1과 동일한 회로 구성으로 나타낸다. 또한, 도면 중 이미 설명한 도면과 대응하는 부분에는 동일 부호를 부여하였다.

본 실시예 2에 있어서, 1 화소는 유기 EL 소자(50), 제1 TFT(스위칭용 박막 트랜지스터)(10), 보조 용량 Cs, 제2 TFT(소자 구동용 박막 트랜지스터)(20)를 구비한다. 실시예 1과 달리, 전원 라인 VL과 유기 EL 소자(50) 사이에는 단일 제2 TFT(20)가 형성되어 있는데, 이 제2 TFT(20)는 상술한 도 8과 마찬가지로, 그 채널 길이 방향이, 가늘고 길게 형성된 화소의 길이 방향에 따르도록 배치되어 있다. 그리고, 본 실시예 2에서는 이와 같이 화소 영역의 길이 방향에 채널 길이 방향이 향하도록 제2 TFT(20)를 배치함으로써, 도 10a와 같이 채널 길이가 대단히 긴 제2 TFT(20)를 배치하는 경우에도, 또한, 상술한 도 8에 도시하는 바와 같이 전원 라인 VL과 유기 EL 소자(50) 사이에 제2 TFT(20)나 보상용 TFT(30)를 배치할 필요가 있는 경우에도, 유기 EL 소자(50)의 발광 영역을 최대한 확보하면서, 면적이 한정된 1 화소 영역 내에 필요한 TFT를 효과적으로 배치할 수 있도록 하고 있다.

본 실시예 2에서는, 화소의 길이 방향으로 제2 TFT(20)를 배치함으로써, 도 10a 및 도 10b에 도시하는 바와 같이, 제

SDC-1351-00000157
SDC EX. 2001 - 101/503

2 TFT(20)의 채널 길이를 충분히 길게 할 수 있도록 하고 있다. 제2 TFT(20)의 채널 길이를 충분히 길게 함으로써, TFT 내압 향상에 의한 신뢰성이 향상된다. 또한, 제2 TFT(20)의 트랜지스터 특성의 평균화가 가능하게 되어, 화소마다의 제2 TFT(20)의 전류 공급 능력 편차를 저감할 수 있으며, 이 능력 편차에 의해 발생하는 유기 EL 소자(50)의 발광 휘도 편차를 대단히 작게 할 수 있게 된다.

또한, 본 실시예 2에 있어서는, 실시예 1과 마찬가지로, 제2 TFT(20)는 비정질 실리콘층을 레이저 어닐링에 의해서 다결정화하여 얻은 다결정 실리콘층을 반도체층(능동층)(16)으로서 이용한다. 이 경우에, 레이저 어닐링의 주사 방향을 제2 TFT(20)의 채널 길이 방향과 일치하는 방향으로 설정하는, 바꾸어 말하면 펄스 레이저 조사 영역의 길이 방향에지가 채널(16c)을 폭 방향으로 가로지르도록 배치하고, 또한 상술한 바와 같이 제2 TFT(20)의 채널 길이를 길게 함으로써, 제2 TFT(20)의 특성 편차의 저감이 가능하게 된다. 이것은 단일 레이저 쇼트에 의해서 제2 TFT(20)의 채널 전체 영역이 어닐링되지 않도록 조정하는 것이 용이하며, 다른 화소의 제2 TFT(20)와 그 특성에 큰 차가 발생하는 것을 방지할 수 있고, 이에 의해 제2 TFT(20)의 특성에 대해서 보다 높은 평균화 효과를 얻는 것이 가능하기 때문이다.

제2 TFT(20)는 유기 EL 소자(50)에 대하여 구동 전원(전원 라인 VL)으로부터의 비교적 큰 전류를 공급하는 것이 요구되지만, 능동층(16)에 다결정 실리콘을 이용한 p-Si-TFT를 제2 TFT(20)에 이용하는 경우, 요구 능력과 비교하여 p-Si의 이동도는 충분한 값이며, 제2 TFT(20)는 그 채널 길이를 길게 설계하여도 충분한 전류 공급 능력을 발휘할 수 있다. 또한, 제2 TFT(20)는 전원 라인 VL과 직접 접속되기 때문에 요구 내압이 높고, 채널 길이 CL은 채널 폭보다도 크게 하는 것이 요구되는 경우가 많다. 따라서, 이와 같은 관점에서도 제2 TFT(20)는 충분히 긴 채널 길이로 하는 것이 바람직하고, 이를 위해 제2 TFT(20)를 그 채널 길이 방향이 화소 영역의 길이 방향을 따르도록 형성함으로써, 1 화소 영역 내에 긴 채널을 구비하는 제2 TFT(20)를 효율적으로 배치하는 것이 가능하게 된다.

표시면 상에 복수의 화소가 매트릭스 형상으로 배치되어 구성되는 표시 장치에서는 대부분의 경우, 수직 방향(열 방향)보다도 수평 방향(행 방향)이 보다 높은 해상도가 요구되기 때문에, 각 화소는 상술한 도 8이나 도 10a에 도시하는 바와 같이 열 방향으로 긴 형상으로 설계되는 경향이 강하다. 이와 같은 경우에, 열 방향으로 채널 길이 방향이 향하도록 제2 TFT(20)를 배치하면, 화소 영역의 길이 방향으로 채널 길이 방향이 따르게 되어, 상술한 바와 같은 요구되는 채널 길이의 확보가 용이하게 된다.

또한, 본 실시예 2에 도시하는 바와 같이, 각 화소에 표시 소자를 구동하기 위한 스위치 소자가 마련되는 액티브 매트릭스형 표시 장치에서는, 열 방향으로 제1 TFT(10)에 데이터 신호를 공급하는 데이터 라인 DL이 배치되고, 행 방향으로는 선택 라인(게이트 라인) GL이 배치된다. 따라서, 데이터 라인 DL이 연장되는 방향(열 방향)으로 채널 길이 방향이 따르도록 제2 TFT(20)를 배치함으로써, 긴 채널 길이를 확보하면서, 제2 TFT(20)를 효율적으로 화소 영역 내에 배치하는 것이 용이하게 된다. 또, 도 10의 예에서는, 구동 전원 Pvdd로부터 전원 라인 VL에 의해서 각 화소에 전력이 공급되는 레이아웃이 채용되어 있고, 이 전원 라인 VL에 대해서도 데이터 라인 DL과 마찬가지로 열 방향으로 연장되어 있기 때문에, 제2 TFT(20)의 채널 길이 방향은 이 전원 라인 VL의 연장 방향과도 일치하고 있다.

그런데, 본 실시예 2에서는 상기와 같이 제2 TFT(20)의 채널 길이 방향이 레이저 어닐링의 주사 방향과 일치하도록, 혹은 열 방향(데이터 라인 DL의 연장 방향)과 평행하게 되도록 설정하고 있지만, 제1 TFT(10)에 대해서는 게이트 라인 GL이 연장되는 행 방향으로 그 채널 길이 방향이 일치하도록 배치되어 있다. 따라서, 본 실시예 2에 있어서는, 제1 TFT(10)와 제2 TFT(20)에서는 그 채널 길이 방향이 서로 다른 배치로 되어 있다.

SDC-1351-00000158
SDC EX. 2001 - 102/503

다음에 본 실시예 2에 따른 표시 장치의 단면 구조에 대해서 도 10b를 참조하여 설명한다. 도 10b는 제2 TFT(20) 및 이 제2 TFT(20)와 접속되는 유기 EL 소자(50)의 단면 구조를 나타내고 있다. 또 도시하지 않은 제1 TFT(10)에 대해서는 채널의 길이, 더블 게이트라는 점 및 능동층(6)의 도전형이 서로 다르다는 점 등을 제외하면, 기본 구조는 도 10b의 제2 TFT(20)와 거의 공통하고 있다.

실시예 1에 있어서 예시한 제1 및 제2 TFT는 모두 바텀 게이트 구조이지만, 본 실시예 2에서는 제1 및 제2 TFT(10, 20)는 능동층보다 게이트 전극이 상층에 형성된 탑 게이트 구조에 한정되는 것이 아니라, 바텀 게이트 구조이어도 좋다.

제2 TFT(20)의 능동층(16) 및 제1 TFT(10)의 능동층(6)은, 상기한 바와 같이 모두 기판(1) 상에 형성된 비정질 실리콘층을 레이저 어닐링하여 다결정화해서 얻어진 다결정 실리콘으로 구성되어 있다. 다결정 실리콘으로 이루어지는 능동층(6) 및 능동층(16) 위에는 게이트 절연막(4)이 형성되어 있다. 제1 TFT(10) 및 제2 TFT(20)의 각 게이트 전극(2 및 25)은, 이 게이트 절연막(4)의 위에 형성되어 있으며, 제2 TFT(20)가 게이트 전극(25)은 제1 TFT(10)의 능동층(6)과 일체의 보조 용량 Cs의 제2 전극(8)과 접속되고, 도 10a에 도시하는 바와 같이 보조 용량 Cs와의 접속 부분으로부터 열 방향으로 연장되어 게이트 절연막(4) 상에 능동층(16)의 상방을 넓게 덮도록 패터닝되어 있다.

제2 TFT(20)의 능동층(16)은 게이트 전극(25)에 의해서 상방이 덮여 있는 영역이 채널 영역 16c이고, 이 채널 영역 16c의 양측에는 각각 소스 영역 16s와, 드레인 영역 16d가 형성되어 있다. 본 실시예 2에서는 이 능동층(16)의 소스 영역 16s는 보조 용량 Cs의 근방에 있어서, 게이트 절연막(4) 및 층간 절연막(14)을 관통하여 형성된 컨택트 홀을 통해서 전원 라인 VL과 전기적으로 접속되어 있다. 또한, 드레인 영역 16d는 매트릭스의 다음 행에 상당하는 게이트 라인 GL의 근방에서, 게이트 절연막(4) 및 층간 절연막(14)을 관통하여 형성된 컨택트 홀을 통해서 커넥터(배선층)(40)와 접속되어 있다. 커넥터(40)는 드레인 영역 16d와의 접속 영역으로부터 유기 EL 소자(50)의 형성 영역까지 연장되고, 상기 층간 절연막(14) 및 전원 라인 VL 및 커넥터(40)를 덮으며 형성되어 있는 평탄화 절연층(18)에 형성된 컨택트 홀을 통해서 유기 EL 소자(50)의 ITO 전극(양극)(52)과 전기적으로 접속되어 있다.

또한, 도 10b에서는 상기 평탄화 절연층(18) 상에는 유기 EL 소자(50)의 양극(52)의 형성 중앙 영역만 개구되고, 양극(52)의 에지, 배선 영역 및 제1 및 제2 TFT의 형성 영역을 덮도록 제2 평탄화 절연층(61)이 형성되어 있다. 그리고, 유기 EL 소자(50)의 발광 소자층(51)이 양극(52) 및 제2 평탄화 절연층(61) 상에 형성되어 있다. 또한, 발광 소자층(51) 상에는 전체 화소 공통의 음극(57)이 형성되어 있다.

다음에, 제2 TFT(20)의 채널 길이 CL과 레이저의 이동 피치 P의 관계에 대하여 설명한다. 상술과 같이, 제2 TFT(20)의 채널 길이 CL에 대해서는 충분히 길게 하는 것이 바람직하지만, 1회의 펄스 레이저로 채널 전체 영역이 어닐링되지 않도록 하기 위해서는 레이저의 이동 피치 P가 채널 길이 CL에 대하여 P< CL로 되는 것이 바람직하다. 이동 피치 P는 레이저 어닐링 장치의 광학계 시스템 등의 설정에 의해 조정 가능한 경우가 있는데, 이와 같은 경우, CL> P로 되도록 장치를 조정하는 것이 적합하다. 예를 들면, 200dpi 정도의 해상도의 표시 장치인 경우, 화소 행 방향의 길이는 30㎛ 정도이더라도, 열 방향은 80㎛ 정도를 확보할 수 있다. 또한, 레이저의 이동 피치 P 20㎛ 내지 35㎛인 경우에 있어서, 제2 TFT(20)를 그 채널 길이 방향이 화소 길이 방향으로 향하도록 배치함으로써 채널 길이 CL은 50㎛ 내지 80㎛ 정도를 확보할 수 있어, 상기 관계를 충족시킬 수 있다. 이와 같은 관계이면 제2 TFT(20)의 채널 영역 16c는 반드시 복수회 펄스 레이저가 조사되어 다결정화되게 되고, 마찬가지로 복수회의 펄스 레이저 조사에 의해 다결정화되는 다른 화소의 제2 TFT(20)와의 사이에서, 그 특성의 차를 저감하는 것이 가능해진다.

이상의 설명에서는 1 화소 내에 있어서 유기 EL 소자(50)와 전원 라인 VL 사이에 단일의 제2 TFT(20)가 형성되어 있다. 그러나, 제2 TFT(20)는 1 화소 내에 복수 마련되어 있어도 좋다. 도 11은 1 화소 내에서, 복수의 제2 TFT(20)가 능동층(16)과 유기 EL 소자(50) 사이에 병렬 접속되는 경우의 레이아웃의 일례를 나타내고 있다. 또, 도 11에 도

SDC-1351-00000159
SDC EX. 2001 - 103/503

시하는 화소 구성의 등가 회로는 상술한 도 6의 회로에 있어서 보상용 TFT(30)를 제외한 경우와 동일하며, 2개의 제2 TFT(20)의 소스 영역(16sa, 16sb)이 모두 각각 커넥터(40)를 통해서 유기 EL 소자(50)의 양극(52)과 접속되어 있다. 이와 같이 1 화소 내에 제2 TFT(20)를 복수 마련함으로써, 1 화소에 대하여 복수의 제2 TFT(20)의 양방이 동시에 불량으로 되어 유기 EL 소자에 전류 공급 불능으로 될 확률을 최저로도 절반 이하로 저감할 수 있다.

2개의 제2 TFT(20a, 20b)의 배치에 대해서는 도 10과 마찬가지로, 화소 영역의 길이 방향(여기서는 데이터 라인 DL의 연장 방향과도 일치)에 대하여, 그 채널 길이 방향이 거의 평행으로 되도록 배치한다. 이와 같은 배치에 의해, 발광 영역을 최대한 확보하면서 각 채널 길이 CL을 가능한 길게 확보할 수 있게 되어 있다. 또한, 레이저 어닐링의 주사 방향에 대해서는, 도 11에 있어서도, 2개의 제2 TFT(20a, 20b)의 어느 채널 길이 방향과도 평행하게 되도록 설정되어 있다. 또한, 양 능동층(16a, 16b)은 일직선 상에 나란히 배열되어 있다. 복수의 제2 TFT(20a, 20b)의 각 능동층을 서로 일직선 상에 나란히 배열하는 것이 반드시 필수는 아니지만, 제2 TFT(20a, 20b)의 각 채널 영역(16ca, 16cb)은 레이저 주사 방향에 대하여 서로 완전히 일치하지 않고, 약간이라도 어긋나 있음으로써, 제2 TFT(20a, 20b)의 특성이 동일하게 편차되는 것을 보다 확실하게 방지할 수 있다. 즉, 채널 길이 방향이 서로 레이저 주사 방향으로 어긋나 있음으로써, 동일한 펄스에 의해서 2개의 TFT의 채널이 동시에 어닐링될 가능성이 감소되어, 제2 TFT(20a, 20b)의 특성이 완전히 동일하게 설정치로부터 어긋나거나, 양방의 트랜지스터가 동시에 동작하지 않는다고 하는 문제 발생 가능성을 대폭 저감할 수 있어, 화소마다에서의 유기 EL 소자(50)로 공급하는 총 전류량의 편차를 저감할 수 있다.

2개의 제2 TFT(20a, 20b)의 채널 길이 CLa, CLb는 이들 모두가 상기와 같이 레이저의 이동 피치 P보다 큰 것이 바람직하다. 또한, 복수의 제2 TFT(20a, 20b)의 채널(16ca와 16cb)의 이격 거리 L에 대해서도, 레이저의 이동 피치 P보다도 크게 하는 것이 보다 바람직하다. 그러나, 도 11과 같이 복수의 제2 TFT(20)가 1 화소 내에 배치되어 있는 경우, 적어도 2개의 제2 TFT(20a, 20b)의 합계 채널 길이와 상기 이격 거리 L의 합계가 이동 피치 P보다 크면, 레이저 어닐링에 의해서, 1 화소 내의 복수의 트랜지스터 TFT2a, TFT2b에 동시에 문제가 발생하거나 또는 동일하게 특성이 어긋나는 것을 방지할 수 있어, 화소마다에서의 특성 편차 저감 효과를 얻을 수 있다.

(실시예 3)

다음에, 실시예 3으로서, 1 화소 내에 있어서 복수의 제2 TFT(20)와 대응하는 유기 EL 소자(50)와의 보다 효율적인 접속 방법에 대하여 설명한다. 상술한 실시예 1 및 실시예 2의 도 11에 도시하는 바와 같이, 1 화소 내에서 유기 EL 소자(50)와 전원 라인 VL 사이에 복수의 제2 TFT(20)를 마련하는 것은, 신뢰성 향상 및 특성 향상 등의 관점에서 적합하다. 이와 같이 복수의 제2 TFT(20)를 1 화소 내에 마련하는 경우, 도 11에 도시한 바와 같이, 제2 TFT(20a, 20b)와 유기 EL 소자(50)를 각각 접속함으로써, 전원 라인 VL로부터 유기 EL 소자(50)로의 제2 TFT(20)를 통해서 전류 공급이 보다 확실하게 된다. 그러나, 도 10b에 도시하는 바와 같은 투명한 양극(52)으로부터 하방의 기판(1)을 통해서 외부로 유기 발광층(55)으로부터의 광을 사출하는 타입의 유기 EL 소자인 경우, 컨택트부는 차광되는 일이 많다. 예를 들면, 도 9c나 도 10b에서는, 유기 EL 소자(50)의 제2 TFT(20)의 접속은 금속 배선인 배선층(40)을 통해서 행해지고, 이 배선층(40)과 양극(52)의 컨택트부에서는 양극(52)의 하방에 차광성의 배선층(40)이 존재하고 있으며, 이 영역에서는 유기 발광층(55)으로부터의 광은 기판(1)측으로 빠져나갈 수는 없다. 따라서, 제2 TFT(20)와 유기 EL 소자(50)의 컨택트부를 제2 TFT(20)의 개수 n과 동일한 수만큼 마련하면 컨택트 수에 비례하여 발광 면적이 감소하여 버린다.

그러므로, 발광 면적의 감소를 최소한으로 하기 위해서는, 1 화소당의 제2 TFT(20)의 수 $n(n \geq 2)$에 대하여, 그 제2 TFT(20)와 유기 EL 소자(50)의 컨택트 수를 $n-1$ 이하로 하는 것이 적합하다. 상기 도 8이나, 이하에 설명하는 도 12, 도 13 및 도 14에서는, n개의 제2 TFT(20)와 유기 EL 소자(50)를 $n-1$ 이하의 컨택트 수로 접속하고 있다. 또, 이하에서 설명하는 각 도면에 있어서, 이미 설명한 도면과 공통되는 부분에는 동일 부호를 붙이고 설명을 생략한다.

SDC-1351-00000160
SDC EX. 2001 - 104/503

도 12에서는 전원 라인 VL과 유기 EL 소자(50) 사이에 2개의 제2 TFT(20a, 20b)를 병렬 접속한 경우의 유기 EL 소자(50)와의 컨택트 방법을 나타내고 있다. 또, 2개의 제2 TFT(20a, 20b)는 상술한 도 11과 마찬가지로, 그 채널 길이 방향이 화소의 길이 방향(데이터 라인 DL의 연장 방향), 또는 게이저 어닐링의 주사 방향에 대하여 평행하게 되도록 배치되고, 또한 서로 어긋나도록 배치되어 있어, 화소 사이에서의 휘도 편차의 저감 및 신뢰성 향상을 도모하고 있다.

도 12의 예에서는 단일의 섬 형상으로 패터닝된 p-Si로 이루어지는 반도체층이 2개의 제2 TFT(20a, 20b)의 능동층(16a, 16b)으로서 이용되고 있다. 이 반도체 패턴은 그 열 방향의 양단측이, 각 제2 TFT(20a, 20b)의 소스 영역(p-ch TFT인 경우)(16sa, 16sb)이고, 각각 전원 라인 VL과 접속되어 있다. 또한, 반도체 패턴의 중앙 부근이 2개의 제2 TFT(20a, 20b)의 드레인 영역(p-ch TFT인 경우)(16da, 16db)은, 2개의 TFT 사이에 배치된 단일 배선층(40)과, 층간 절연막(14) 및 게이트 절연막(4)을 관통하여 형성된 공통의 컨택트 홀에 있어서 접속되어 있다(도 10b 참조).

이 배선층(40)은 유기 EL 소자(50)의 양극 형성 영역으로 연장되고, 도 10b의 단면 구조와 마찬가지로 평탄화 절연층(18)에 개구된 1개소의 컨택트 홀을 통해서 유기 EL 소자(50)의 양극(52)과 접속되어 있다. 여기서, 배선층(40)과 양극(52)의 접속 위치는, 도 12에 있어서, 양극(52)의 화소 길이 방향의 중앙 부근으로 되어 있다. 컨택트 위치는 도 12와 같이 한정되는 것은 아니지만, 도 12와 같이 양극(52)의 비교적 중앙 부근에 가까운 위치에 배치되게 되고, 금속 전극과 비교하면 고저항의 ITO 등으로 이루어지는 양극(52)의 형성 영역 내에서의 전류 밀도의 평균화 효과가 얻어져, 각 화소의 발광면 내에서의 발광 휘도의 균일성을 높이는 것이 가능하다.

도 13에 도시하는 예에서는, 제2 TFT(20)의 수를 3으로 하고, 이들 3개의 TFT(20-1, 20-2, 20-3)를 전원 라인 VL과 유기 EL 소자(50)의 양극(52) 사이에 병렬 접속하고 있다. 3개의 제2 TFT(20)의 능동층(16)은 일체이고, 채널 길이 방향은 도면 중의 행 방향으로 설정되어 있다. 제2 TFT(20-1 내지 20-3)의 각 채널 영역(16c1 내지 16c3)은 서로 그 채널 폭 방향에 있어서, 능동층(16)의 패턴이 개구되어 있음으로써 분리되어 있다.

이 3개의 제2 TFT(20)는, 여기서는 전원 라인 VL과 1개소에서 접속되고, 또한 단일 배선층(40)에 의해 유기 EL 소자(50)의 양극(52)과도 1개소에서 접속되며, 게이트 전극(25)은 3개의 TFT에 대하여 공통이고, 보조 용량 Cs의 제2 전극(8)과 전기적으로 접속되고, 또한 보조 용량 Cs 부근에서 열 방향으로 연장한 금속 배선에 의해서 구성되어 있다. 도 13의 구성예에서는 3개의 제2 TFT(20-1 내지 20-3)와 유기 EL 소자(50)가 1개의 컨택트부에 의해서 접속되어 있고, 유기 EL 소자(50)의 형성 영역에 차지하는 컨택트부의 비율을 낮게 할 수 있어, 1 화소당의 개구율, 즉 발광 면적을 높게 할 수 있다.

도 14에 도시하는 예에서는, 제2 TFT(20)의 수를 4로 하고, 이들 4개의 제2 TFT(20-1 내지 20-4)는, 전기적으로는 전원 라인 VL과 유기 EL 소자(50)의 양극(52) 사이에 병렬 접속되어 있다. 4개의 제2 TFT(20)의 능동층(16)은 일체로 구성되고, 각 제2 TFT(20-1 내지 20-4)의 채널 길이 방향은 도 12 등과 마찬가지로, 화소 영역의 길이 방향 또는 데이터 라인 DL의 연장 방향과 평행하게 설정되고, 4개가 거의 일직선 상에 나란히 배치되어 있다.

SDC-1351-00000161
SDC EX. 2001 - 105/503

4개의 제2 TFT(20-1 내지 20-4)는, 여기서는 전원 라인 VL과 3개소에서 접속되고, 제1 및 제2 배선층(40-1 및 40-2)에 의해 유기 EL 소자(50)의 양극(52)과 2개소에서 접속되어 있다. 도 14의 구성예에서는 단일 능동층(16)의 가장 외측에 위치하는 제2 TFT(20-1, 20-4)의 각 소스 영역(16s_1, 16s_4)이 각각 다른 2로 전원 라인 VL과 접속되고, 중앙에 위치하는 제2 TFT(20-2, 20-3)의 각 소스 영역(16s_2, 16s_3)이 공통으로 전원 라인 VL과 접속되어 있다. 제2 TFT(20-1 및 20-2)와 유기 EL 소자(50)는, 제2 TFT(20-1 및 20-2) 사이에서 유기 EL 소자(50)로 연장되는 제1 배선층(40-1)에 드레인 영역(16d_1 및 16d_2)이 접속되고, 이 제1 배선층(40-1)은 유기 EL 소자(50)의 형성 영역으로 연장되어, 소자의 양극(52)과 접속되어 있다. 또한, 제2 TFT(20-3 및 20-4)와 유기 EL 소자(50)는, 제2 TFT(20-3 및 20-4) 사이에서 유기 EL 소자(50)로 연장되는 제2 배선층(40-2)에 드레인 영역(16d_3 및 16d_4)이 접속되고, 이 제2 배선층(40-2)은 유기 EL 소자(50)의 형성 영역으로 연장되어, 소자의 양극(52)과 접속되어 있다. 이와 같이, 4개의 제2 TFT(20-1 내지 20-4)와 유기 EL 소자(50)는 2개소만 접속되어 있고, 4개의 제2 TFT(20-1 내지 20-4)를 마련함에 따른 발광 영역의 감소를 억제하고 있다.

또한, 도 14의 구성에 있어서는, 4개의 제2 TFT(20-1 내지 20-4)를 화소의 길이 방향에 따라서 거의 일직선 상에 채널 길이 방향이 향하도록 배치하고 있기 때문에, 제2 TFT(20-1 내지 20-4)를 효율적으로 1 화소 내에 배치하는 것을 가능하게 하고 있다.

(실시예 4)

다음에, 도 15 내지 도 20을 참조하여, 제2 TFT(20)와 유기 EL 소자(50)의 접속 구조에 대하여 설명한다. 실시예 3에서 설명한 바와 같이, 유기 EL 소자(50)와 제2 TFT(20)의 컨택트 영역은, 투명 양극(52)을 투과하여 하방의 기판(1)으로부터 외부로 광을 방사하는 방식(바텀 에미션)인 경우, 비 발광 영역으로 되는 일이 많다. 또한, 대부분의 집적 회로 등에 있어서는 집적도의 향상, 표시 장치이면 해상도의 향상 등을 실현하기 위해서는, 컨택트 면적을 가능한 적게 하는 것이 요망된다. 이와 같은 관점에서는 제2 TFT(20)의 능동층(16)과 유기 EL 소자(50)의 양극(52)을 직접 접속하는 경우에도, 접속 특성의 향상을 위해 직접 접속하지 않고 금속 접속층(Al층이나 Cr층 등)을 개재시키는 경우에 있어서도, 도 15에 도시하는 바와 같이 층간 절연막(14)의 제1 컨택트 홀(70), 평탄화 절연층(18)의 제2 컨택트 홀(72)을 중첩하여 형성하는 것이 바람직하다.

그러나, 복수의 컨택트 홀을 도 15a에 도시하는 바와 같이 중첩하여 형성한 경우, 컨택트 홀 합계 단차(h70+h72)가 커져, 컨택트 홀 상에 형성되는 층의 표면 평탄도가 저하된다. 또한, 양극 에지 영역에서의 발광 소자층(51)의 커버리지 불량에 따른 양극(52)과 음극(57)의 단락을 방지하기 위해서, 도 15a에 도시하는 바와 같이 양극(52)의 에지 영역을 덮는 제2 평탄화 절연층(61)이 채용되는 경우가 있는데, 이 제2 평탄화 절연층(61)은 양극(52)의 중앙 영역에서는 개구된다. 따라서, 제2 평탄화 절연층(61)의 개구부는 상기 제1 및 제2 컨택트 홀(70 및 72)의 근방에 형성되게 되고, 발광 소자층(51)의 형성면은 또한 이 제2 평탄화 절연층(61)의 개구에 의한 단차 h74의 영향도 받게 된다.

한편, 유기 EL 소자(50)는 발광 소자층(51)에 전류를 흘려보냄으로써 유기 발광층(55)에 포함되는 발광성 유기 화합물을 발광시키고 있으며, 발광 소자층(51)의 층 내에 있어서 그 두께에 큰 차가 있으면, 다른 부분보다 얇은 부분에서 전계 집중이 일어나기 쉬워, 그러한 부분에 다크 스폿이 발생하기 쉽다는 것이 알려져 있다. 다크 스폿은 표시 품질을 저하시키고, 또한 소자 구동에 의해 확대되는 일도 많기 때문에, 소자 수명을 단축시켜 버리기도 한다. 따라서, 컨택트 영역의 상층에 유기 EL 소자(50)를 형성하는 경우에는, 발광 소자층(51)의 형성면의 평탄성을 가능한 높이는 것이 요구되며, 발광 소자층(51)이 대단히 요철이 많은 면에 형성되게 되는 도 15와 같은 컨택트 구조는 발광 소자층(51)의 신뢰성 향상 등의 관점에서는 바람직하지 않다.

도 16은 이상을 근거로, 발광 소자층(51)의 형성면에서의 평탄성을 높인 접속 방법의 예를 도시하고 있다. 도 16a는

SDC-1351-00000162
SDC EX. 2001 - 106/503

제2 TFT(20)의 능동층(16)과 유기 EL 소자(50)의 양극(52)과의 컨택트 부분의 단면 구조, 도 16b는 이 컨택트 부분의 개략 단면 구조를 나타내고 있다. 도 16에 도시하는 접속 구조는 양극(52)의 에지 영역을 덮는 제2 평탄화 절연층(61)이 존재하다는 점과 제2 TFT가 탑 게이트라는 점을 제외하고 실시예 1에서 설명한 도 8 및 도 9와 공통되며 배선층(40)과 양극(52)의 접속 위치가, 배선층(40)과 제2 TFT(20)의 능동층(16)과의 접속 위치와 어긋나게 배치되어 있다. 이와 같은 레이아웃을 채용함으로써, 배선층(40)과 양극(52)의 컨택트 영역에서는 양극 표면, 즉 발광 소자층(51)의 형성면은 제2 컨택트 홀(72)에 의한 단차 h72의 영향을 받을뿐, 도 15와 같이 제1 컨택트 홀(70)에 의한 단차 h70의 영향을 받지 않는다. 따라서, 도 15와 도 16의 비교로부터도 이해할 수 있듯이, 발광 소자층 형성면, 특히 유기 발광층(55)이 형성되고 화소의 발광 영역에서의 소자층 형성면의 평탄성 향상이 도모되고 있다.

도 17은 상기 도 16에서의 발광 소자층의 형성면을 더욱 평탄하게 하기 위한 방법을 나타내고 있다. 도 17에 도시하는 예에서는 도 16과 마찬가지로, 배선층(40)과 유기 EL 소자(50)의 양극(52)을 접속하는 제2 컨택트 홀(72)의 형성 위치를 제1 컨택트 홀(70)의 형성 위치로부터 어긋나게 함과 함께, 제2 평탄화 절연층(61)에 의해서 제2 컨택트 홀(72)을 덮고 있다. 따라서, 유기 발광층(55)이 형성되는 영역에서는 제1 컨택트 홀(70)은 물론이고 제2 컨택트 홀(72)에 의한 단차의 영향도 받지 않으면서, 발광 소자층 형성면의 평탄성을 한층 향상시키는 것이 가능하게 되어 있다. 또한, 제2 평탄화 절연층(61)은 양극(52)의 에지 영역을 덮고 있으므로 양극(52)과 음극(57)의 쇼트 등도 확실하게 방지되고 있다.

여기서, 유기 EL 소자의 발광 영역은, 양극(52)과 음극(57) 사이에 배치되는 유기 발광층(55)을 사이에 두고 대향하는 영역이 되고, 양극(52)과 발광 소자층(51) 사이에 제2 평탄화 절연층(61)이 형성되어 있는 영역은 발광하지 않는다. 따라서, 도 17에 도시하는 구성에서는, 엄밀하게는 제2 평탄화 절연층(61)이 양극(52)의 에지뿐만 아니라 제2 컨택트 홀(72)의 상방까지 덮기 때문에, 그 만큼 발광 영역은 감소하게 된다. 그러나, 이미 설명한 바와 같이 하층에 차광성의 배선층(40) 등이 형성되어 있으면, 배선층(40)의 형성 영역은 외부에서 보면 비 발광 영역으로 된다. 따라서, 도 17과 같이 제2 평탄화 절연층(61)이 제2 컨택트 홀(72)을 덮는 구조를 채용하여도 그에 의한 1 화소당의 실제 발광 면적의 감소를 억제할 수 있다.

제2 평탄화 절연층(61)에 의해서 컨택트 홀을 덮는 방법은, 상술한 도 15와 같이 제1 및 제2 컨택트 홀(70, 72)이 중첩하여 배치되는 레이아웃에 채용하는 것에 의해서도, 발광 소자층 형성면의 평탄성 향상 효과를 발휘한다. 즉, 도 18에 도시하는 컨택트부의 단면 구조와 같이, 제2 TFT(20)의 능동층(16)과 유기 EL 소자(50)의 양극(52)이 중첩하여 형성된 제1 및 제2 컨택트 홀(70, 72)에 의해서 접속되고, 이 2개의 컨택트 홀에 의해 양극(52)의 상면이 깊게 움푹 패인 영역을 제2 평탄화 절연층(61)으로 덮는다. 따라서, 컨택트 홀(70 및 72)의 상방에서의 발광 소자층 형성면은, 제2 평탄화 절연층(61)에 의해서 형성된 평탄성이 양호한 면으로 된다. 또한, 도 18에서는 2개의 컨택트 홀(70, 72)을 동일한 위치에 형성함으로써, 1 화소 내에서의 소자 배치 효율이 높고, 또한 발광 영역의 향상에 기여하는 것도 용이하게 된다.

도 19는 또 다른 발광 소자층 형성면의 평탄화 방법을 설명하고 있다. 도 17과 다른 점은, 제2 컨택트 홀(72)의 형성 영역에 있어서, 양극(52) 상에 제2 평탄화 절연층(61)이 아니라, 매립층(62)을 선택적으로 형성하여 컨택트 홀에 의한 움푹 패인 부분을 매립하고 있는 점이다. 이와 같이 제2 컨택트 홀(72)을 덮는 양극(52) 상에 선택적으로 매립층(62)을 형성함으로써, 제2 평탄화 절연층(61) 등을 마련하지 않은 경우일지라도, 컨택트 홀 상의 발광 소자층 형성면을 평탄하게 할 수 있다. 또한, 도 20에 도시하는 바와 같이, 제1 및 제2 컨택트 홀(70, 72)을 중첩하여 형성하는 경우에도 19와 마찬가지로 매립층(62)을 채용하여도 좋다. 도 20에서는 2개의 컨택트 홀이 중첩하여 형성되는 영역에 있어서, 양극(52) 상에 매립층(62)을 선택적으로 형성하고 있고, 2개의 컨택트 홀에 의해서 형성되는 깊게 움푹 패인 부분이 매립되어 있다. 도 19 및 도 20 모두에 있어서, 발광 소자층(51)은 컨택트 홀 형성 영역에서는 매립층(62)의 평탄

SDC-1351-00000163
SDC EX. 2001 - 107/503

한 면 위에 형성되게 되고, 이 영역에서의 발광 소자층의 문제 발생을 방지할 수 있다.

또, 제2 평탄화 절연층(61) 및 상기 매립층(62)의 재질은 상면이 평탄하게 되면 어떠한 것이어도 되지만, 발광 소자층(51)과 반응하거나 함수성이 아니고 안정적이며 절연성 재료가 좋다. 예를 들면 폴리이미드나, HMOSO, TOMCAT, TEOS 등을 이용할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 있어서는 유기 EL 소자 등의 피 구동 소자에 전력을 공급하는 트랜지스터의 특성 편차를 완화하는 것이 가능하고, 피 구동 소자로의 공급 전력의 편차를 평균화하여, 피 구동 소자에서의 발광 휘도 편차 등을 방지할 수 있다.

또한, 본 발명에서는 피 구동 소자와 이 소자에 전력 공급하는 트랜지스터를 최소한의 컨택트 수로 접속함으로써, 한정된 면적 내에 효율 좋게 필요한 트랜지스터나 소자 등을 배치할 수 있다. 따라서, 피 구동 소자로서 예를 들면 EL 소자 등이 채용되는 경우에 1 화소 단위 등에 있어서의 발광 면적율을 향상시킬 수 있다.

또한, 본 발명에서는 피 구동 소자를 형성하는 면의 평탄성을 향상시킬 수 있어, 피 구동 소자의 신뢰성을 향상시키는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

게이트 신호를 게이트에 수신하여 동작하고, 데이터 신호를 수취하는 스위칭용 박막 트랜지스터와,

구동 전원과 피 구동 소자 사이에 구비되어, 상기 스위칭용 박막 트랜지스터로부터 공급되는 데이터 신호에 따라, 상기 구동 전원으로부터 상기 피 구동 소자로 공급하는 전력을 제어하는 소자 구동용 박막 트랜지스터를 포함하되,

상기 구동 전원과 상기 소자 구동용 박막 트랜지스터 사이에는, 상기 소자 구동용 박막 트랜지스터와 역 도전 특성의 보상용 박막 트랜지스터가 더 구비되어 있는 것을 특징으로 하는 반도체 장치.

청구항 2.

제1항에 있어서,

상기 보상용 박막 트랜지스터는, 상기 구동 전원과 상기 소자 구동용 박막 트랜지스터 사이에 다이오드 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 소자 구동용 박막 트랜지스터는, 상호 병렬 접속된 복수의 박막 트랜지스터로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 4.

제1항 또는 제2항에 있어서,

SDC-1351-00000164
SDC EX. 2001 - 108/503

상기 소자 구동용 박막 트랜지스터는, 상기 구동 전원과 상기 피 구동 소자 사이에 상호 병렬 접속된 복수의 박막 트랜지스터로 구성되고,

상기 보상용 박막 트랜지스터는, 상기 병렬 접속된 복수의 박막 트랜지스터와 상기 구동 전원 사이에 각각 마련되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5.

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 피 구동 소자는, 제1 및 제2 전극 사이에 발광층을 구비하여 구성되는 일렉트로 루미네센스 소자인 것을 특징으로 하는 반도체 장치.

청구항 6.

제5항에 있어서,

상기 일렉트로 루미네센스 소자는, 유기 화합물을 발광층에 이용한 유기 일렉트로 루미네센스 소자인 것을 특징으로 하는 반도체 장치.

청구항 7.

제1항 내지 제6항 중 어느 한 항에 있어서,

매트릭스 형상으로 배치된 각 소자가,

상기 스위칭용 박막 트랜지스터와, 상기 소자 구동용 박막 트랜지스터와, 상기 보상용 박막 트랜지스터와, 표시 소자로서의 상기 피 구동 소자를 구비한 액티브 매트릭스형 표시 장치에 이용되고 있는 것을 특징으로 하는 반도체 장치.

청구항 8.

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 소자 구동용 박막 트랜지스터 및 상기 보상용 박막 트랜지스터의 채널 길이 방향은, 상기 스위칭용 박막 트랜지스터에 상기 데이터 신호를 공급하는 데이터 라인이 연장되는 방향을 따르도록 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 9.

매트릭스 형상으로 배치된 복수의 화소 각각이, 적어도, 피 구동 소자와, 구동 전원으로부터의 전력을 피 구동 소자에 공급하는 소자 구동용 박막 트랜지스터를 구비하는 액티브 매트릭스형 표시 장치에 있어서,

상기 복수의 화소의 각 화소 영역은, 매트릭스의 행 및 열 방향의 변 중 한쪽이 다른쪽보다 길고, 상기 소자 구동용 박막 트랜지스터는, 그 채널 길이 방향이 상기 소자 영역의 긴 쪽의 변을 따라서 배치되어 있는 것을 특징으로 하는 표시 장치.

청구항 10.

제9항에 있어서,

SDC-1351-00000165
SDC EX. 2001 - 109/503

상기 화소 영역은, 매트릭스의 행 방향보다도 열 방향의 변이 길고, 상기 소자 구동용 박막 트랜지스터는, 그 채널 길이 방향이 상기 열 방향을 따라서 배치되어 있는 것을 특징으로 하는 표시 장치.

청구항 11.

전원 라인으로부터의 구동 전류를 대응하는 피 구동 소자에 공급하는 적어도 하나의 소자 구동용 박막 트랜지스터와,

선택시에 공급되는 데이터에 기초하여 상기 소자 구동용 박막 트랜지스터를 제어하는 스위칭용 박막 트랜지스터를 구비하되,

상기 소자 구동용 박막 트랜지스터의 채널 길이 방향은, 상기 스위칭용 박막 트랜지스터에 상기 데이터 신호를 공급하는 데이터 라인이 연장되는 방향을 따르도록 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 12.

제1항 내지 제8항 및 제11항 중 어느 한 항에 있어서,

상기 소자 구동용 박막 트랜지스터의 채널 길이 방향은, 상기 스위칭용 박막 트랜지스터의 채널 길이 방향과 일치하지 않는 것을 특징으로 하는 반도체 장치 또는 표시 장치.

청구항 13.

제1항 내지 제12항 중 어느 한 항에 있어서,

상기 소자 구동용 박막 트랜지스터의 채널 길이 방향이, 상기 트랜지스터의 채널 영역을 어닐링하기 위한 선 형상 펄스 레이저의 주사 방향을 따르도록 상기 소자 구동용 박막 트랜지스터가 형성되어 있는 것을 특징으로 하는 반도체 장치 또는 표시 장치.

청구항 14.

공급 전력에 따라 동작하는 피 구동 소자와, 상기 피 구동 소자에 전력을 공급하기 위한 전원 라인 사이에, 상기 피 구동 소자로의 공급 전력을 제어하기 위한 n개(n은 2이상의 정수)의 박막 트랜지스터를 구비하되,

상기 n개의 복수의 박막 트랜지스터와, 대응하는 상기 피 구동 소자는, n-1 이하의 수의 컨택트에 의해서 서로 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 15.

공급 전력에 따라 동작하는 피 구동 소자와, 상기 피 구동 소자에 전력을 공급하기 위한 전원 라인 사이에, 상기 피 구동 소자로의 공급 전력을 제어하기 위한 박막 트랜지스터를 구비하되,

상기 박막 트랜지스터와, 대응하는 상기 피 구동 소자는, 배선층에 의해서 서로 전기적으로 접속되고, 상기 배선층과 상기 박막 트랜지스터의 컨택트 위치와, 상기 배선층과 상기 피 구동 소자의 컨택트 위치가 이격되어 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 16.

제15항에 있어서,

상기 피 구동 소자는 제1 및 제2 전극 사이에 발광 소자층을 구비한 발광 소자이고,

SDC-1351-00000166
SDC EX. 2001 - 110/503

상기 배선층의 상층에 형성된 절연층에는 컨택트 홀이 형성되어 있고, 상기 컨택트 홀에 있어서, 상기 배선층은 상기 절연층 상에 상기 컨택트 홀을 덮으며 형성된 상기 발광 소자의 상기 제1 전극과 접속되고,

상기 제1 전극의 적어도 컨택트 홀 영역은 평탄화층에 의해 덮이고, 상기 제1 전극 및 상기 평탄화층의 상층에 상기 발광 소자층이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 17.

공급 전력에 따라 동작하고, 제1 및 제2 전극 사이에 발광 소자층을 구비하는 피 구동 소자와, 상기 피 구동 소자에 전력을 공급하기 위한 전원 라인 사이에, 상기 피 구동 소자로의 공급 전력을 제어하기 위한 박막 트랜지스터를 구비하되,

상기 박막 트랜지스터와 대응하는 상기 피 구동 소자는, 하층에 형성된 상기 박막 트랜지스터와 상기 피 구동 소자의 층간을 이격하는 절연층에 형성된 컨택트 홀에 있어서 직접 또는 간접적으로 서로 전기적으로 접속되고,

상기 제1 전극의 적어도 컨택트 홀 영역은 평탄화층에 의해서 덮이고, 상기 제1 전극 및 상기 평탄화층의 상층에 상기 발광 소자층이 형성되어 있는 것을 특징으로 하는 반도체 장치.

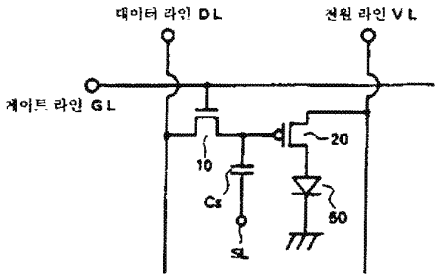
청구항 18.

제9항 내지 제17항 중 어느 한 항에 있어서,

상기 피 구동 소자는, 유기 화합물을 발광층에 이용한 유기 일렉트로 루미네센스 소자인 것을 특징으로 하는 반도체 장치 또는 표시 장치.

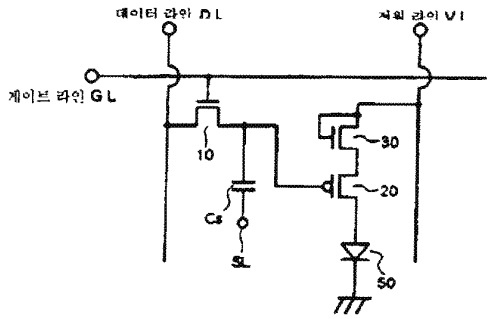
도면

도면 1

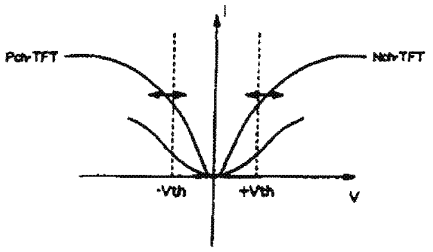


SDC-1351-00000167
SDC EX. 2001 - 111/503

도면 2

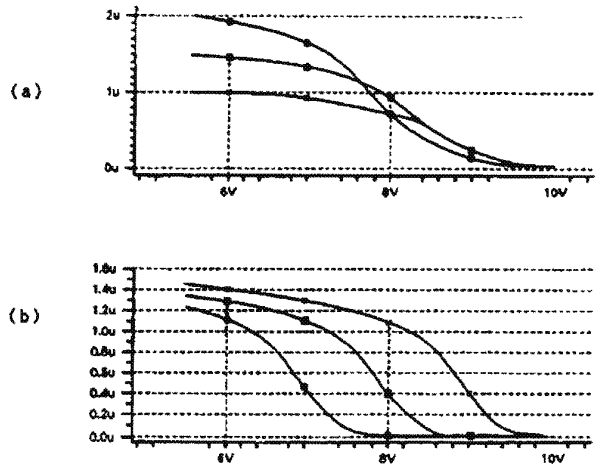


도면 3

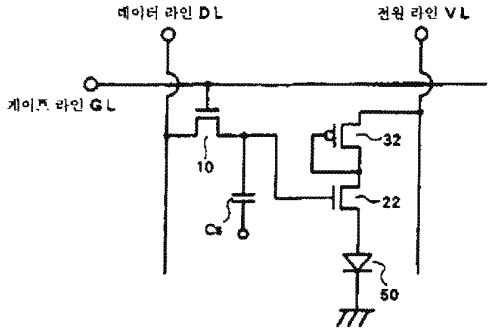


SDC-1351-00000168
SDC EX. 2001 - 112/503

도면 4

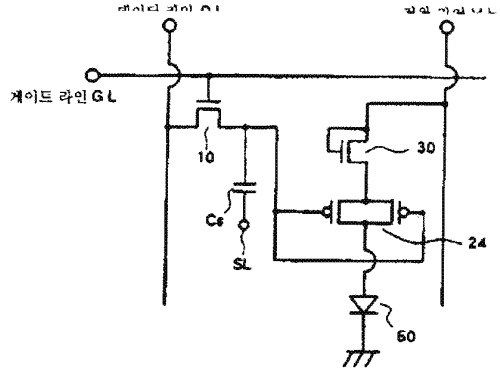


도면 5

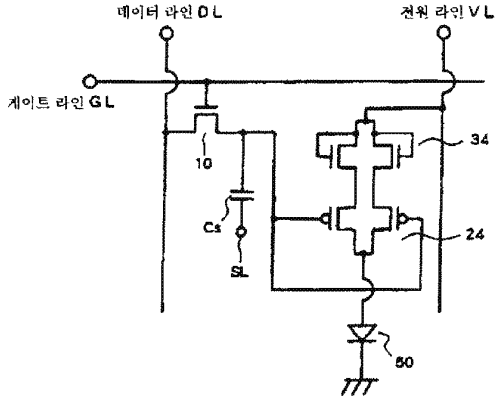


SDC-1351-00000169
SDC EX. 2001 - 113/503

도면 6

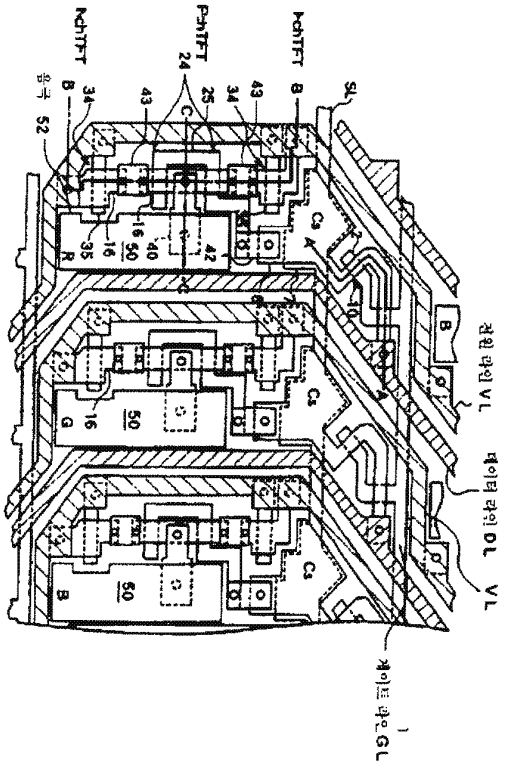


도면 7



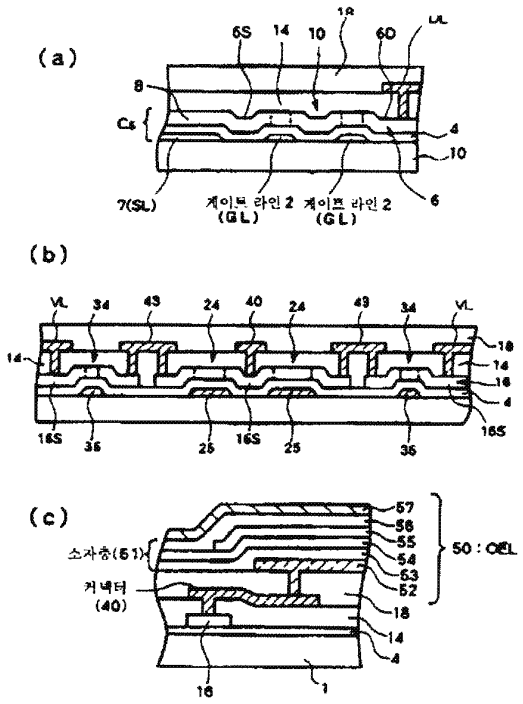
SDC-1351-00000170
SDC EX. 2001 - 114/503

도면 8



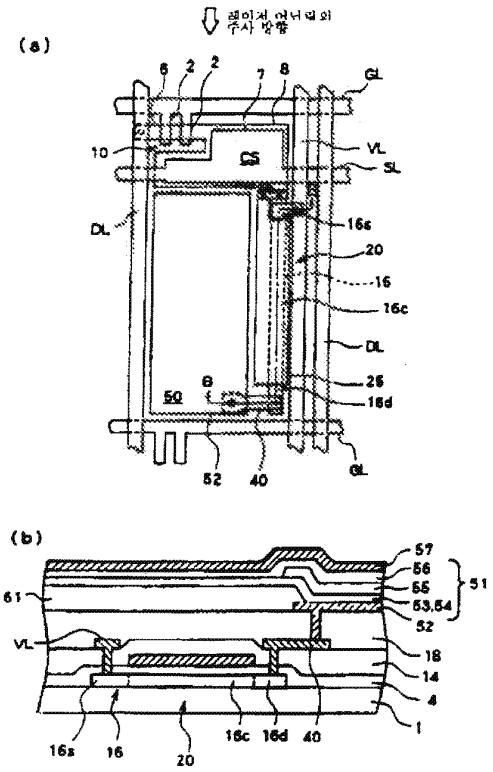
SDC-1351-00000171
SDC EX. 2001 - 115/503

도면 6



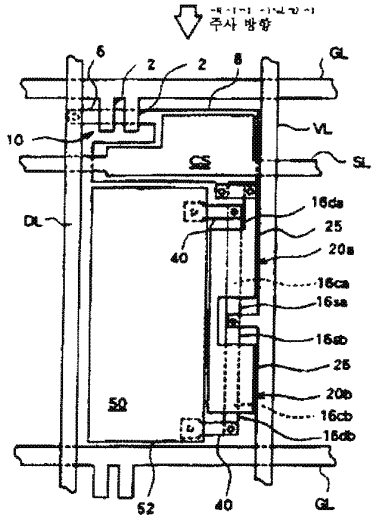
SDC-1351-00000172
SDC EX. 2001 - 116/503

도면 10

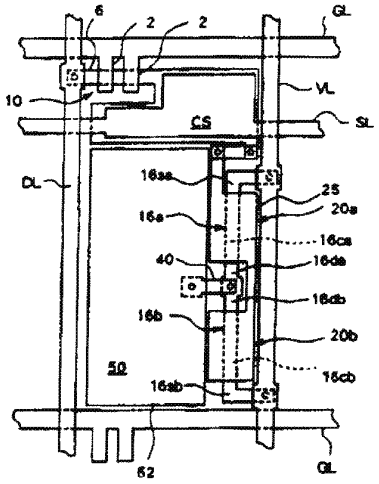


SDC-1351-00000173
SDC EX. 2001 - 117/503

도면 11

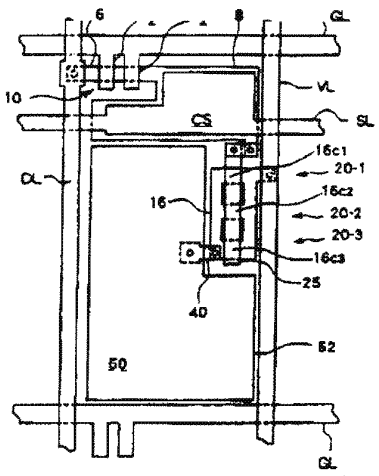


도면 12

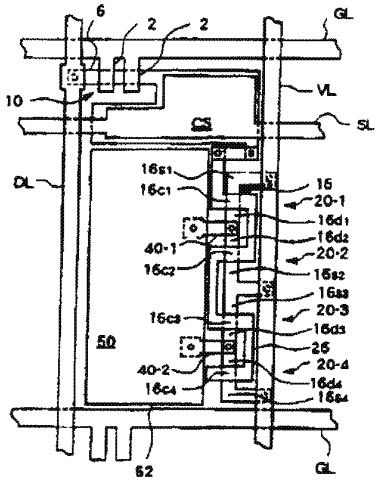


SDC-1351-00000174
SDC EX. 2001 - 118/503

도면 13

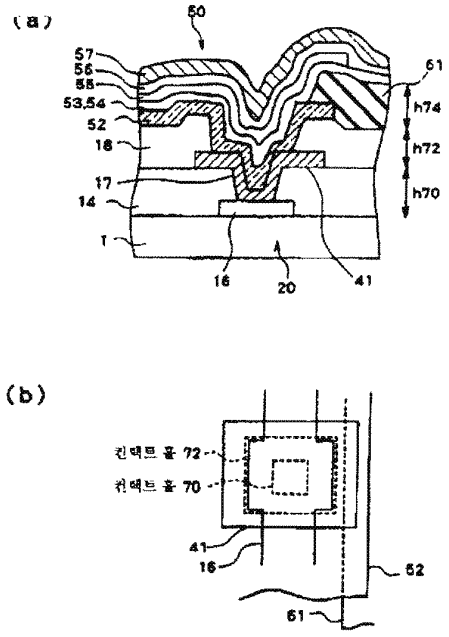


도면 14



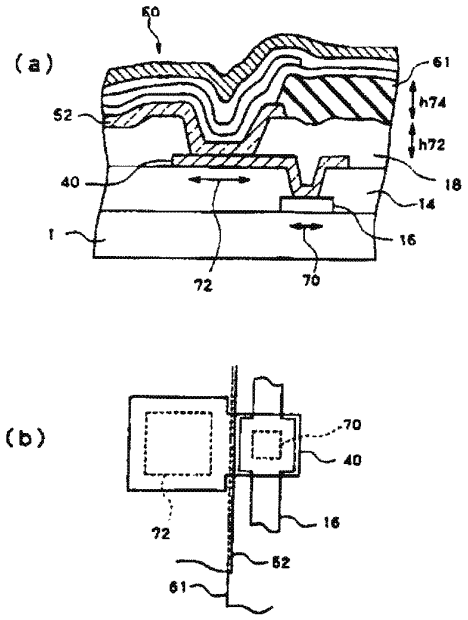
SDC-1351-00000175
SDC EX. 2001 - 119/503

도면 15

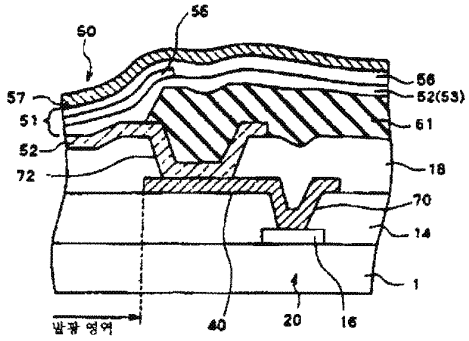


SDC-1351-00000176
SDC EX. 2001 - 120/503

도면 16

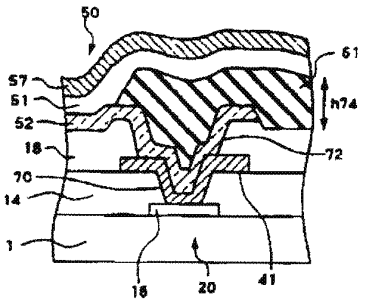


도면 17

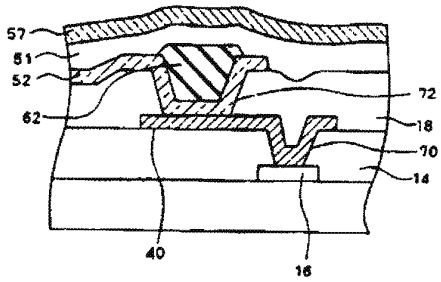


SDC-1351-00000177
SDC EX. 2001 - 121/503

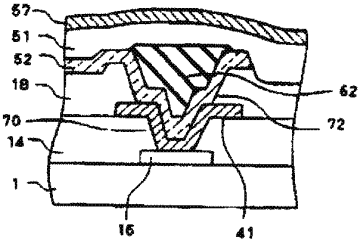
도면 18



도면 19



도면 20



SDC-1351-00000178
SDC EX. 2001 - 122/503

Electronic Acknowledgement Receipt

EFS ID:	1262684
Application Number:	10886014
International Application Number:	
Confirmation Number:	8338
Title of Invention:	Organic light emitting device pixel circuit and driving method therefor
First Named Inventor/Applicant Name:	Ho-Kyoon Chung
Customer Number:	23363
Filer:	D. Bruce Prout/Diane Goss
Filer Authorized By:	D. Bruce Prout
Attorney Docket Number:	52226/DBP/S1082
Receipt Date:	19-OCT-2006
Filing Date:	06-JUL-2004
Time Stamp:	15:17:54
Application Type:	Utility

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Filed	52226ids.pdf	79819	no	3
Warnings:					

Information:					
This is not an USPTO supplied IDS fillable form					
2	Foreign Reference	52226kr842.pdf	1265441	no	35
Warnings:					
Information:					
			Total Files Size (in bytes):	1345260	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B **INFORMATION DISCLOSURE** **STATEMENT BY APPLICANT** (use as many sheets as necessary)	**Attorney Docket Number**	**52226/S1082**
	Application Number	10/886,014
	Filing Date	July 6, 2004
	Applicant(s)	Ho-Kyoon Chung, et al.
	Group Art Unit	2629
	Examiner Name	Richard A. Hjerpe

U.S. PATENT DOCUMENTS				
EXAMINER INITIALS	Cite No.[1]	DOCUMENT NUMBER Number - Kind Code[2] (If Known)	PUBLICATION DATE MM-DD-YYYY	NAME OF PATENTEE
		6,091,203	07-18-2000	Kawashima et al.

FOREIGN PATENT DOCUMENTS					
EXAMINER INITIALS	Cite No.[1]	Foreign Patent Document Country Code[3] - Number[4] - Kind Code[5] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T[6] (✓)
		CN 1361510 A	07-31-2002	Kwon	Korean Patent Abstract for Corresponding app KR 1020020056353 A

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		Office Action dated December 1, 2006 for corresonding Chinese Patent Application No. 200410063736.X (including English translation).
		Korean Patent Abstracts, Publication No. 1020020056353 A; Publication Date: 07-10-2002; in the name of Kwon.

VDW PAS725645.1-*-02/27/07 12:03 PM

EXAMINER SIGNATURE		DATE CONSIDERED	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/vdw

SDC-1351-00000181
SDC EX. 2001 - 125/503

KOREAN PATENT ABSTRACTS XML 1(1-1) Save

Please Click here to view the drawing Korean FullDoc. English Fulltext

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

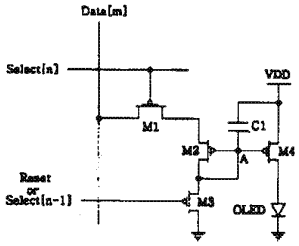
(11)Publication number: 1020020056353 A
(43)Date of publication of application: 10.07.2002

(21)Application number: 1020000085683
(22)Date of filing: 29.12.2000
(51)Int. Cl G09G 3/30

(71)Applicant: SAMSUNG SDI CO., LTD.
(72)Inventor: KWON, O GYEONG

(54) PIXEL CIRCUIT OF VOLTAGE DRIVE TYPE ORGANIC ELECTRO-LUMINESCENCE DEVICE

(57) Abstract:



PURPOSE: A pixel circuit of a voltage drive type organic electro-luminescence device is provided to display high gray scales by compensating for threshold voltage of a TFT(Thin Film Transistor). CONSTITUTION: The first and the fourth transistors(M1 to M4) are formed by PMOS type transistors. A selection signal line is connected with a gate of the first transistor(M1). A data signal line is connected with a drain of the first transistor(M1) in order to perform a switching function. The second transistor(M2) has a drain connected with a source of the first transistor(M1). A gate and a source of the second transistor(M2) is connected to each other in order to perform a function of a diode. A node(A) is used for compensating for threshold voltage included in a data signal. A reset signal and a selection signal of a previous line are applied to a gate of the third transistor(M3). A drain of the third transistor(M3) is connected with the node(A). A source of the third transistor(M3) is connected with a ground in order to initialize the node (A). A condenser(C1) is connected between Vdd and the node(A). The fourth transistor(M4) has a gate connected with the node(A).

copyright KIPO 2003

SDC-1351-00000182
SDC EX. 2001 - 126/503

[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]

G09G 3/30

[12]发明专利申请公开说明书

[21]申请号 01137773.9

[43]公开日 2002年7月31日

[11]公开号 CN 1361510A

[22]申请日 2001.11.2 [21]申请号 01137773.9

[30]优先权

[32]2000.12.29 [33]KR [31]85683/00

[71]申请人 三星SDI株式会社

地址 韩国京畿道

[72]发明人 权五敬

[74]专利代理机构 北京市柳沈律师事务所

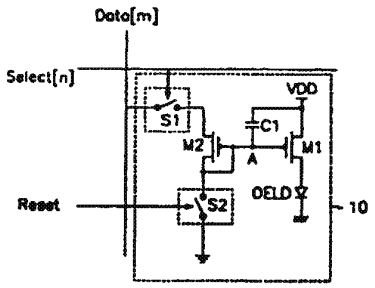
代理人 王志森 黄小临

权利要求书4页 说明书11页 附图页数13页

[54]发明名称 有机电发光显示器及其驱动方法和像素电路

[57]摘要

公开一种有机电发光显示器和像素电路，包括：有机电发光元件，用于 对应于所提供的电流进行发光；第一开关，用于响应于提供到扫描线的选择信 号切换提供到数据线的数据电压；第一薄膜晶体管，用于响应于经过第一开 关提供到第一薄膜晶体管栅极的数据电压，向有机电发光元件提供电流；第 二薄膜晶体管，其栅极连接到第一薄膜晶体管的栅极，用于补偿第一薄膜晶 体管的阈值电压偏差；以及电容，用于在预定时间期间维持提供到第一薄膜晶 体管的栅极的数据电压。



ISSN1008-4274

知识产权出版社出版

SDC-1351-00000183
SDC EX. 2001 - 127/503

权 利 要 求 书

1. 一种有机电发光显示器(OELD)，包括:

多条数据线，用于传输用于显示图像信号的数据电压;

多条扫描线，用于传输选择信号;以及

多个像素电路，分别形成在由数据线和扫描线限定的多个像素上;

每个像素电路包括:

有机电发光(EL)元件，用于对应于所提供的电流进行发光;

第一开关，用于响应于提供到扫描线的选择信号切换提供到数据线的数据电压;

第一薄膜晶体管(TFT)，用于响应于经过第一开关提供到第一 TFT 栅极的数据电压，向有机 EL 元件提供电流;

第二 TFT，其栅极连接到第一 TFT 的栅极，用于补偿第一 TFT 的阈值电压偏差;以及

电容，用于在预定时间期间维持提供到第一 TFT 的栅极的数据电压。

2.根据权利要求 1 所述的有机电发光显示器，其中该有机电发光显示器还包括第二开关，用于响应一控制信号将向第一 TFT 的栅极提供的数据电压初始化。

3.根据权利要求 2 所述的有机电发光显示器，其中该控制信号是一附加的外部复位信号。

4.根据权利要求 2 所述的有机电发光显示器，其中该控制信号是一先前的扫描线的选择信号。

5. 根据权利要求 4 所述的有机电发光显示器，其中在向像素提供选择信号之前将数据电压提供到数据线。

6. 根据权利要求 2 所述的有机电发光显示器，其中第二 TFT 的栅极和漏极连接在一起。

7. 根据权利要求 2 所述的有机电发光显示器，其中第一开关是第三 TFT，该第三 TFT 的栅极连接到扫描线，源极 (或漏极)连接到数据线，漏极 (或源极)连接到第二 TFT 的源极 (或漏极);第二开关是第四 TFT，该第四 TFT 的栅极连接到控制信号，源极 (或漏极)连接到第一 TFT 的栅极，向漏极 (或源极)提供用于复位的预定电压。

SDC-1351-00000184
SDC EX. 2001 - 128/503

8.根据权利要求 7 所述的有机电发光显示器，其中向第四 TFT 的漏极提供的的预定电压是地电压。

9.根据权利要求 7 所述的有机电发光显示器，其中向第四 TFT 的漏极提供的的预定电压是预充电电压。

10.根据权利要求 9 所述的有机电发光显示器，其中按边界将预充电电压设置得小于向第一 TFT 的栅极提供的最小数据电压以便代表最大灰度值。

11.根据权利要求 7 所述的有机电发光显示器，其中第四 TFT 的栅极和漏极连接在一起。

12. 根据权利要求 7 所述的有机电发光显示器，其中第一到第四 TFT 具有相同的导电类型。

13. 根据权利要求 7 所述的有机电发光显示器，其中第一到第三 TFT 为第一导电类型的晶体管，第四 TFT 为第二导电类型的晶体管，其具有的极性与第一导电类型的晶体管具有的极性相反。

14. 根据权利要求 7 所述的有机电发光显示器，其中第一和第二 TFT 为第一导电类型的晶体管，第三和第四 TFT 为第二导电类型的晶体管，它们具有的极性与第一导电类型的晶体管具有的极性相反。

15. 根据权利要求 1 所述的有机电发光显示器，其中第一和第二 TFT 具有几乎相同的阈值电压。

16. 根据权利要求 15 所述的有机电发光显示器，其中第一和第二 TFT 与数据线或扫描线并联并形成在同一条线上。

17.一种用于驱动一有机电发光显示器(OELD)的方法，该 OELD 包括：多条数据线、与数据线交叉的多条扫描线以及多个阵列型像素，该像素具有在由数据线和扫描线限定的区域中形成的 TFT 并向有机 EL 元件提供电流，

该用于驱动 OELD 的方法包括步骤：向数据线提供用于显示图像信号的数据电压；

顺序地向扫描线提供用于选择一像素行的选择信号；

响应于选择信号切换提供到数据线的数据电压，并补偿所提供的数据电压，以降低 TFT 的阈值电压偏差;以及

向 TFT 的栅极传输经补偿的数据电压和向有机 EL 元件提供电流。

18.根据权利要求 17 所述的方法，其中该方法还包括步骤：响应一控制信号将向该 TFT 的栅极提供的数据电压初始化。

SDC-1351-00000185
SDC EX. 2001 - 129/503

19.根据权利要求 18 所述的方法，其中该控制信号是一附加的外部复位信号。

20.根据权利要求 18 所述的方法，其中该控制信号是一先前的扫描线的选择信号。

21. 根据权利要求 20 所述的方法，其中在向扫描线提供选择信号之前将数据电压提供到数据线。

22. 一种有机电发光显示器(OELD)像素电路，形成在由多条数据线和扫描线限定的多个像素上，该 OELD 像素电路包括:

有机电发光(EL)元件;

第一薄膜晶体管(TFT)，其漏极连接到有机 EL 元件;

第二 TFT，其栅极连接到第一 TFT 的栅极，第二 TFT 的栅极和漏极连接在一起;

第一开关，其控制端连接到扫描线，其第一端和第二端分别连接到数据线和第二 TFT 的源极;

以及一电容，连接在第一 TFT 的栅极和源极之间。

23.根据权利要求 22 所述的像素电路，该像素电路还包括第二开关，其具有一向其提供控制信号的控制端，连接到第二 TFT 的漏极的第一端，以及一向其提供预定电压的第二控制端。

24.根据权利要求 23 所述的像素电路，其中将一附加的外部复位信号提供到第二开关的控制端。

25.根据权利要求 23 所述的有机电发光显示器，其中一先前的扫描线连接到第二开关的控制端。

26.根据权利要求 23 所述的像素电路，其中第一开关是第三 TFT，该第三 TFT 的栅极连接到扫描线，源极 (或漏极)连接到数据线，漏极 (或源极)连接到第二 TFT 的源极 (或漏极);第二开关是第四 TFT，该第四 TFT 的栅极连接到控制信号，源极 (或漏极)连接到第一 TFT 的栅极，向漏极 (或源极)提供用于复位的预定电压。

27.根据权利要求 26 所述的像素电路，其中第四 TFT 的栅极和漏极连接在一起。

28.根据权利要求 26 所述的像素电路，其中第一到第四 TFT 具有相同的导电类型。

SDC-1351-00000186
SDC EX. 2001 - 130/503

29. 根据权利要求 26 所述的像素电路，其中第一到第三 TFT 为第一导电类型的晶体管，第四 TFT 为第二导电类型的晶体管，其具有的极性与第一导电类型的晶体管具有的极性相反。

30. 根据权利要求 26 所述的像素电路，其中第一和第二 TFT 为第一导电类型的晶体管，第三和第四 TFT 为第二导电类型的晶体管，它们具有的极性与第一导电类型的晶体管具有的极性相反。

31. 根据权利要求 22 所述的像素电路，其中第一和第二 TFT 具有几乎相同的阈值电压。

32. 根据权利要求 3 所述的有机电发光显示器，其中第一和第二 TFT 与数据线或扫描线并联并形成在同一条线上。

SDC-1351-00000187
SDC EX. 2001 - 131/503

说　明　书

有机电发光显示器及其驱动方法和像素电路

技术领域

本发明涉及一种电发光(EL)显示器及EL显示器的驱动方法和EL显示器的像素电路。更具体地说，本发明涉及一种有机电发光显示器(OELD)及其驱动方法和一用于补偿薄膜晶体管(TFT)的阈值电压偏差以及当通过利用 TFT 驱动 OELD 中的像素时实现高灰度级显示的像素电路。

背景技术

通常，OELD 以电方式激励萤光有机化合物以便发光，并对数量为 (N × M)个的有机电发光单元进行电压驱动或电流驱动以显示图像。如图 1 中所示，有机发光单元包括：一阳极(ITO)、有机薄膜以及阴极层(金属)。有机薄膜为多层，包括发射层(EML)、电子输送层(ETL)以及空穴输送层(HTL)，以便在电子浓度和空穴浓度之间实现良好的均衡，以此提高发射效率，另外该有机薄膜包括电子注入层(EIL) 和空穴注入层(HIL)。

如上所述的驱动有机单元的方法分类为无源阵列法和有源阵列法。无源阵列法形成与各负电极垂直的各正电极，并选择和驱动各线；而有源阵列法将 TFT 和电容连接到每一 ITO 像素电极，使得可以依据电容维持电压。

图 2 表示利用 TFT 驱动 OELD 的常规像素电路，其示出在数量为 (N × M)个的像素中的一个像素。参照图 2，电流驱动晶体管(Mb)连接到 OELD 并提供电流以便发光。利用切换晶体管(Ma)提供的数据电压控制通过该电流驱动晶体管(Mb)的电流。在这种情况下，一电容连接在电流驱动晶体管(Mb)的源极和栅极之间，该电容用于维持在预定的帧周期期间提供的电压。切换晶体管(Ma) 的栅极响应于第 n 选择信号线 SELect [n]，而源极响应于数据线 Data [m]。

参照图 3，对于具有上述结构的像素的操作，当通过提供到切换晶体管(Ma)的栅极的选择信号 SELect [n] 使晶体管(Ma)导通时，数据电压 V_{DATA} 经

SDC-1351-00000188
SDC EX. 2001 - 132/503

过一数据线提供到晶体管(Mb)的栅极(节点 A)。响应于提供到该栅极的数据电压 V_{DATA}，电流经过晶体管(Mb)流到 OELD 以便发光。

在这种情况下，流过 OELD 的电流按下式表示

式 1:

$$I_{OELD}=\frac{\beta}{2}\cdot(V_{GS}-V_{TH})^2=\frac{\beta}{2}\cdot(V_{DD}-V_{DATA}-V_{TH})^2$$

其中 I_{OELD} 代表流过 OELD 的电流， V_{GS} 代表晶体管(Mb)的源极和栅极之间的电压，V_{TH} 代表晶体管(Mb)的阈值电压，V_{DATA} 代表数据电压，β 代表一常数。

如式 1 所表示的和按照图 2 中所示的像素电路，将对应于数据电压 V_{DATA} 的电流提供到 OELD，并 OELD 响应于提供的电流进行发光。在这种情况下，数据电压 V_{DATA} 具有处于预定范围内的多级数值，以便显示灰度。

然而，常规的像素电路难于实现高灰度级，这是因为由其制造过程产生的固有的 TFT 的阈值电压 V_{DH} 偏差。例如，在利用处于 3 伏范围内的数据电压驱动 TFT 像素的情况下，两个代表相邻灰度值的数据电压彼此必须分开约 12 毫伏(=3 伏/256)，以便实现 8 位(256) 灰度级。如果阈值电压偏差为 100 毫伏，则使数据电压难于彼此鉴别，从而导致灰度级下降。

发明内容

本发明的目的是提供一种用于补偿TFT阈值电压偏差和显示高灰度级的 OELD。

根据本发明的一个方面的 OELD，包括：多条数据线，用于传输用于显示图像信号的数据电压；多条扫描线，用于传输选择信号;以及多个像素电路，分别形成在数据线和扫描线限定的多个像素上;各像素电路包括：有机 EL 元件，用于对应于所提供的电流进行发光;第一开关，用于响应于提供到扫描线的选择信号切换提供到数据线的数据电压；第一 TFT，用于响应于经过第一开关提供到 TFT 栅极的数据电压，向有机 EL 元件提供电流；第二 TFT，其栅极连接到第一 TFT 的栅极，用于补偿第一 TFT 的阈值电压偏差;以及电容，用于在预定时间期间维持提供到第一 TFT 的栅极的数据电压。

根据本发明的一个方面的方法，驱动一 OELD，该 OELD 包括：多条数

SDC-1351-00000189
SDC EX. 2001 - 133/503

据线、与数据线交叉的多条扫描线以及多个阵列型像素，该像素具有在由数据线和扫描线限定的区域中形成的 TFT 并向有机 EL 元件提供电流，该用于驱动 OELD 的方法包括步骤：向数据线提供用于显示图像信号的数据电压；顺序地向扫描线提供用于选择一像素行的选择信号；响应于选择信号切换提供到数据线的数据电压，并补偿所提供的数据电压，以降低 TFT 的阈值电压偏差的影响;以及向 TFT 的栅极传输经补偿的数据电压和向有机 EL 元件提供电流。

此外，该方法还包括一步骤：响应一控制信号将向 TFT 的栅极提供的数据电压初始化。

根据本发明的一个方面的 OELD 像素电路形成在由多条数据线和扫描线限定的多个像素上，该 OELD 像素电路包括：有机电发光(OEL)元件；第一薄膜晶体管(TFT)，其漏极连接到有机 EL 元件；第二 TFT，其栅极连接到第一 TFT 的栅极，第二 TFT 的栅极和漏极连接在一起；第一开关，其控制端连接到扫描线，其第一端和第二端分别连接到数据线和第二 TFT 的源极;以及一电容，连接在第一 TFT 的栅极和源极之间。

附图说明

包含在说明书中并构成其一部分的附图表示本发明的一个实施例，并与说明书一起用于解释本发明的原理，其中

图 1 表示通常的有机 EL 元件的示意图；

图 2 表示用于驱动有机 EL 元件的常规的像素电路；

图 3 表示常规的像素电路的时序图；

图 4 表示根据本发明的一个优选实施例的 OELD 装置；

图 5 表示根据本发明的一个优选实施例的像素电路；

图 6 表示根据本发明的第一优选实施例的像素电路；

图 7 表示根据本发明的第二优选实施例的像素电路；

图 8(a)和 8(b)表示图 6 所示的像素电路的时序图；

图 9 表示图 7 所示的像素电路的时序图；

图 10 表示根据本发明的第三优选实施例的像素电路；

图 11(a)和 11(b)表示图 10 所示的像素电路的时序图；

SDC-1351-00000190
SDC EX. 2001 - 134/503

图 12 表示根据本发明的第四优选实施例的像素电路;

图 13 表示根据本发明的第五优选实施例的像素电路;

图 14 表示根据本发明的第六优选实施例的像素电路;

图 15 表示根据本发明的第七优选实施例的像素电路;

图 16 和 17 表示图 14 和 15 所示的像素电路的时序图;

图 18 表示根据本发明的第八优选实施例的像素电路;

图 19 表示根据本发明的第九优选实施例的像素电路;

图 20 表示根据本发明的优选实施例的有机 EL 元件的配置图;以及

图 21 表示关于断面线 A-B 的图 20 的横断面图。

具体实施方式

在如下的详细说明中，通过简单地对本发明人实施本发明时的所考虑的最佳方式进行说明，仅表示和说明本发明的优选实施例。将会认识到在不脱离本发明的情况下，能在各个方面对进行本发明改进。因此，附图与说明书应被看作是说明性的而不是限定性的。

「图 4 表示根据本发明的一个优选实施例的 OELD。

如图所示，该 OELD 包括: OELD 面板 10、数据驱动器 30 以及扫描驱动器 20.

OELD 面板 10 包括: 多条数据线 D1 到 Dy，用于传输用于显示图像信号的数据电压;多条扫描线 S1 到 Sz，用于传输选择信号;以及像素电路 11，形成在由数据线和扫描线所围绕的多个像素中的每个像素上。

数据驱动器 30 向数据线提供用于显示图像信号的数据电压，扫描驱动器 20 顺序地向扫描线提供选择信号。

图 5 表示根据本发明的一优选实施例的像素电路 11。

如图所示，该像素电路 11 包括: OELD、TFT M1 和 M2、开关 S1 和 S2 以及电容 C1.

OELD 对应于所提供的电流进行发光，电流驱动晶体管 M1 的源极连接到电源电压 VDD，漏极连接到 OELD 并向 OELD 提供一对应于经过数据线向晶体管 M1 的栅极提供的数据电压的电流。

晶体管 M 2 的栅极连接到晶体管 M1 的栅极，晶体管 M 2 的栅极和漏极

SDC-1351-00000191
SDC EX. 2001 - 135/503

相连接，晶体管 M2 起一个二极管的作用。晶体管 M2 补偿用于提供电流的 M1 的阈值电压偏差。根据 5 图中所示的像素电路，电流驱动晶体管 M1 和阈值电压补偿晶体管 M 2 是按 PMOS 型 TFT 构成的，但是也可以按 NMOS 型 TFT 构成，下面将进行介绍。

连接在电源电压 VDD 和晶体管 M1 的栅极之间的电容 C1 在预定时间期间维持向晶体管 M1 的栅极提供的数据电压。

开关 S1 响应于利用扫描线提供的选择信号 SELect [n] 进行切换，并经过晶体管 M 2 将提供到数据线的数据电压传输到电流驱动晶体管 M1。开关 S2 响应于一复位信号将晶体管 M1 的栅极电压初始化。

下面介绍根据本发明的优选实施例的如图 5 中所示的像素电路的操作。

当按照提供到开关 S1 的选择信号 SELect [n] 使开关 S1 导通时，经过晶体管 M 2 将提供到数据线的数据电压 V_{DATA} 提供到电流驱动晶体管 M1 的栅极(节点 A)，并响应于提供到该栅极的数据电压 V_{DATA}，电流经过晶体管 M1 流到 OELD 以便发光。

在这种情况下，流到 OELD 的电流按下式表示:

式 2

$$I_{OELD}=\frac{\beta}{2}\cdot(V_{GS}-V_{TH1})^2=\frac{\beta}{2}\cdot(V_{DD}-(V_{DATA}-V_{TH2})-V_{TH1})^2$$

其中 I_{OELD} 代表流过 OELD 的电流，V_{GS} 代表晶体管 M1 的源极和栅极之间的电压，V_{TH1} 代表晶体管 M1 的阈值电压，V_{TH2} 代表晶体管 M2 的阈值电压，V_{DATA} 代表数据电压，β 代表一常数。

在这种情况下，如果晶体管 M1 和 M2 的阈值电压是相同的，即，$V_{TH1}=V_{TH2}$，则可以用式 3 表示:

根据本发明的优选实施例，由于晶体管 M1 和 M2 是在几乎相同的操作条件下制造的，两个晶体管的阈值电压偏差是极小的，因此，阈值电压实际上看成是相同的。

式 3

$$I_{OELD}=\frac{\beta}{2}\cdot(V_{DD}-V_{DATA})^2$$

因此，根据本发明的优选实施例，如由式 3 所示，OELD 流过与提供到数据线的数据电压相对应的电流，而与电流驱动晶体管 M1 的阈值电压无关。

SDC-1351-00000192
SDC EX. 2001 - 136/503

即，由于晶体管 M2 补偿了电流驱动晶体管 M1 的阈值电压偏差，晶体管 M1 可以精确地控制流过 OELD 的电流，因此，提供了具有高灰度级的 OELD。

当在前一帧周期期间的数据处在高电平电压和下一帧周期期间的数据处在低电平电压时，由于晶体管 M2 的二极管连接特性，就不再向节点 A 提供数据电压。因此，可设置开关 S 2，以便在每一帧周期内按照预定的电平(例如地电平)初始化。在这种情况下，可以利用一附加的复位信号或利用刚刚在此之前的选择信号 SELect [n-1] 驱动晶体管 M 2，以增加 OELD 的像素的孔径比。

图 6 表示根据本发明的第一优选实施例的 OELD 的像素电路。如图所示，该像素电路以与图 5 中所示的像素电路相似的方式包括：为 PMOS 晶体管的电流驱动晶体管 M1 和阈值电压补偿晶体管 M 2、PMOS 晶体管 M3 和 M4 的开关 S1 和 S2。

另外，将一附加复位信号 Reset 提供到晶体管 M4 的栅极，用于将晶体管 M1 的栅极电压复位。

图 8(a)和 8(b)表示用于驱动图 6 所示的像素电路的时序图。

参照图 8(a)，利用一初始复位信号将节点 A 初始化，利用选择信号 SELect [n] 选择一对应的像素，并将数据信号 Data [m] 提供到该对应的像素。即，按照图 8(a)中所示的驱动方法，按照复位信号、选择信号和数据信号的次序将各信号提供到各对应的晶体管。

详细地说，将外部复位信号 Reset 提供到晶体管 M4 的栅极，以便将节点 A 初始化到地电位，将选择信号 SELect [n] 提供到晶体管 M3 的栅极，以便激励该对应的像素。将数据信号 Data [m] 提供到该激励的晶体管 M3 的源极，以便驱动电流驱动晶体管 M 1。在这种情况下，经过电流驱动晶体管 M 1 流到 OELD 的电流，按式 3 表示。

利用图 8(a)和 8(b)的时间关系图，可以驱动根据本发明的第一优选实施例的利用外部复位信号 Reset 的像素电路。

参照图 8(b)，利用一初始复位信号 Reset 将节点 A 初始化，将数据信号 Data [m] 提供到数据线并利用选择信号 SELect [n] 选择一对应的像素。即，按照图 8(b)中所示的驱动方法，按照复位信号、数据信号和选择信号的次序将各信号提供到对应的晶体管。

图 7 表示根据本发明的第二优选实施例的 OELD 的像素电路。除了晶体

SDC-1351-00000193
SDC EX. 2001 - 137/503

管 M4 的栅极连接到一先前的扫描线以外，根据该第二优选实施例的像素电路几乎与图 6 中所示的 OELD 的像素电路相同。即，根据该第二优选实施例的像素电路利用该先前的扫描线的选择信号 SELect [n-1]，取代外部复位信号 Reset，并将选择信号 SELect [n-1] 提供到晶体管 M 的栅极。

如上所述，当不需要附加的外部复位信号 Reset 时，就不需要用于传输复位信号附加的引线，因此，可以提高像素的孔径比。

图 9 表示根据该第二优选实施例的像素电路的时序图。

如所图示，根据用于利用扫描信号复位节点 A 的该第二优选实施例，必须按照先前的选择信号(复位信号)、数据信号和当前的选择信号的次序将各信号提供到各对应的晶体管。即，必须在当前的选择信号 SELect [n] 提供到扫描线之前将数据电压提供到数据线。

若在提供当前的数据电压之前提供选择信号 SELect [n]，如图 8(a)中所示，将提供到数据线的先前的数据电压经过晶体管 M3 提供到电流驱动晶体管 M1。因此，必须在将当前的数据电压提供到数据线之后，将选择信号提供到数据线。

图 10 表示根据本发明的第三优选实施例的 OELD 的像素电路。图 11(a)和 11(b)表示图 10 所示的像素电路的时序图。如图 10 中所示，根据本发明的第三优选实施例的像素电路包括：与图 6 和 7 不同的 NMOS 型晶体管 M5 到 M8，并且其结构与图 6 和 7 所示的像素电路对称。

由于本领域的技术人员根据对图 6 和 7 所作的介绍，可以易于理解图 10 所示的像素电路的操作和图 11(a)和 11(b)所示的时序图，所以不再重复进行介绍。

图 12 表示根据本发明的第四优选实施例的 OELD 的像素电路。

如图所示，除了取代地电压将预充电电压 Vpre 提供到切换晶体管 M4 的漏极以外，根据该第四优选实施例的像素电路几乎与图 6 和 7 中所示的 OELD 的像素电路相同。如上所述，当取代地电平将预充电电压电平 Vpre 提供到切换晶体管 M4 的漏极时，节点 A 的初始电压可以增加到预充电电压电平 Vpre，因此，晶体管的切换时间和功能消耗可以降低。在这种情况下，最好建立稍低于提供到节点 A 的最小电压的预充电电压 Vpre，该最小电压与提供到数据线的最小电压及最大灰度值(即白电平)相对应。

图 13 表示根据本发明的第五优选实施例的 OELD 的像素电路。

SDC-1351-00000194
SDC EX. 2001 - 138/503

如图所示，除了切换晶体管 M4 的漏极和栅极相互连接，起一个二极管作用及晶体管 M4 的栅极(即二极管的输入端)连接到外部复位信号端或先前的扫描线以外，根据该第五优选实施例的像素电路几乎与图 6 和 7 中所示的像素电路相同。

如图所示，根据该优选实施例，还可以利用连接到二极管的晶体管 M4 对节点 A 进行初始化，以及当利用复位信号或先前的选择信号取代地电压或预充电电压时，由于不需要形成附加的接地引线和预充电引线，引线的总量降低而孔径比增加。

图 14 表示根据本发明的第六优选实施例的 OELD 的像素电路。

如图所示，除了使用 NMOS 晶体管 M9 取代 PMOS 晶体管 M4 以外，根据该第六优选实施例的像素电路几乎与图 6 中所示的像素电路相同。将外部复位信号提供到晶体管 M9 的栅极。

参照图 6，当向作为 PMOS 晶体管的切换晶体管 M4 提供复位信号时，在复位操作中将预定的电压(例如地电平)提供到晶体管 M4 的栅极，并且由于这一复位操作使晶体管 M4 的源极(节点 A)电压持续降低。因此，晶体管 M4 的栅极和源极之间的电压 V_{GS} 持续降低，从节点 A 经过晶体管 M4 流到地的电流或预充电电压持续降低，需要明显的复位时间。此外，由于晶体管 M4 的栅极和源极之间的电压差必须大于阈值电压 V_{th} 的绝对值，当假设在复位操作中提供的复位信号是地电压时，节点 A 的实际最低电压变为 $|V_{th}|$。

与此不同，根据第六优选实施例的像素电路，由于使用 NMOS 晶体管作为切换晶体管 M9，可能实现的节点 A 的最低电压几乎为地电平，因此，可以加宽显示灰度值的数据电压的范围，另外，与图 6 不同由于晶体管 M9 的栅极和源极之间的电压 V_{GS} 是恒定的，从节点 A 经过晶体管 M4 流到地的电流或预充电电压是恒定的，因此可以快速地执行复位操作。

图 16 表示根据本发明的第六优选实施例的用于驱动像素电路的时间关系图。如图所示，由于在根据第六优选实施例的像素电路中，向作为 NMOS 晶体管的晶体管 M9 的栅极提供复位信号，复位信号的波形与图 8(a)中所示的复位信号的波形相反。

由于本领域的技术人员可以易于理解图 14 中所示的像素电路的操作和图 16 所示的时间关系图，故不重复进行介绍。

图 15 表示根据本发明的第七优选实施例的 OELD 的像素电路。图 17 表

SDC-1351-00000195
SDC EX. 2001 - 139/503

示图 15 所用的驱动波形的时序图。

如图 15 中所示，除了将先前的扫描线连接到作为 NMOS 晶体管的晶体管 M9 的栅极，将先前的选择信号 SELect[n]用作复位信号以及作为 NMOS 晶体管的晶体管 M10 的栅极连接到扫描线以外，根据该第七优选实施例的像素电路具有几乎与图 14 中所示的像素电路相同的结构。

当将耦合到 NMOS 晶体管 M9 的栅极的先前的选择信号用作复位信号时，用于切换数据电压的晶体管必须是 NMOS 晶体管。

如图 17 中所示，由于根据本发明的第七优选实施例的像素电路利用先前的选择信号复位节点 A，必须按照先前的选择信号(复位信号)、数据信号和当前的选择信号的次序将信号提供到各对应的晶体管。

图 18 和 19 表示根据本发明的第八和九优选实施例的 OELD 的像素电路。

图 18 和 19 中所示的像素电路中的 PMOS 晶体管和 NMOS 晶体管是与按照图 14 和 15 中所示的像素电路中的 PMOS 晶体管和 NMOS 晶体管对称变化的。

由于本领域的技术人员根据上述介绍可以易于理解图 18 和 19 中所示的像素电路的操作，故不重复进行介绍。

下面介绍根据本发明的优选实施例的 OELD 的配置图和横断面图。

图 20 表示 OELD 的配置图，更准确地说，表示图 13 中所示的像素电路的配置。

图 21 表示关于断面线 A-B 的图 20 的横断面图。

参照图 20 和 21，区域Ⅰ、Ⅱ、Ⅲ和Ⅴ分别定义为用于在其上形成 TFT M3、M2、M1 和 M4 的区域以及区域Ⅳ定义为用于在其上形成 OELD 的区域。

如图 20 和 21 中所示，多晶硅 (多-硅)层 200 形成在一透明绝缘衬底 100 上，在其上形成 SiO_2 或 SiNx 的栅极隔离层 300。

Al 和 Cr 的扫描线 400 沿水平方向在栅极隔离层 300 上按图形形成与多晶硅层 200 相交叉。栅极电极 410 分别形成在其中扫描线 400 与在区域Ⅰ和Ⅴ中的多晶硅层 200 重叠的部分上。此外，在同一层上按图形形成第一电容电极 450，其材料与扫描线 400 相同。栅极电极 410 分别形成在其中第一电容电极 450 与在区域Ⅱ和Ⅲ中的多晶硅层 200 重叠的部分上。

在这种情况下，在栅极电极 410 之下多晶硅层 200 的部分是未掺杂的，形成沟道区 220。在多晶硅层 200 中的沟道区 220 的两个外侧掺杂 p 型掺杂

SDC-1351-00000196
SDC EX. 2001 - 140/503

剂并分别形成漏极区 230 和源极区 210。

SiO_2 或 SiNx 的隔离夹层 500 形成在栅极层例如扫描线 400 或第一电容电极 450 的顶部，栅极隔离层 300 和隔离夹层 500 具有触孔 C1 和 C2 以便露出源极区 210 和漏极区 230。

Cr 或 Mo 的数据线 600 沿垂直方向形成在夹层 500 上。从数据线 600 延伸的和与在区域 I 即源极区 210 中的多晶硅层 200 的部分重叠的部分变为源极电极 610。在这种情况下，源极电极 610 经过形成在夹层 500 上的触孔 C1 连接到源极区 210。

此外，用于形成电容的重叠在第一电容电极 450 上的第二电容电极 650 形成在一与数据线 600 的对应部分相同的层上，其材料与数据线 600 相同。一其中第二电容电极 650 与在区域III中的多晶硅层 200 的部分重叠的部分，即源极区 210 变为源极电极 610。在这种情况下，源极电极 610 经过触孔 C1 连接到源极区 210。

第一到第四信号线 640、660、670 和 680 形成在与数据线 600 相同的层上，其材料与数据线 600 相同。一其中第一信号线 640 与在区域II中的多晶硅层 200 的部分重叠的部分，即漏极区 230 变为漏极电极 620;一其中第二信号线 660 与在区域V中的多晶硅层 200 的部分重叠的部分，变为源极电极 610。一其中第三信号线 670 与在区域V中的漏极区 230 重叠的部分，变为漏极电极 620;以及一其中第四信号线 680 与在区域III中的漏极区 230 重叠的部分，变为漏极电极 620。在这种情况下，源极电极 610 和漏极电极 620 分别经过触孔 C1 和 C2 连接到源极区 210 和漏极区 230。

第一和第二信号线 640 和 660 经过触孔 C3 连接到第一电容电极 450 上，因此，如图 13 中所示，晶体管 M2 的漏极电极连接到晶体管 M2 和 M1 的栅极电极以及晶体管 M4 的源极电极。第三信号线 670 经过触孔 C3 连接到先前的扫描线 SELect [n-1] 上，因此，如图 3 中的等值电路所示，晶体管 M4 的漏极电极连接到先前的扫描线上。

SiO_2 或 SiNx 的钝化层 700 在形成数据引线例如数据线 600 以及源极电极 610 和漏极电极 620 上。铟锡氧化物(ITO)的透明像素电极 800 形成在一在区域IV上形成的保护隔离层 700 上。像素电极 800 通过形成在钝化层 700 上的触孔 C4 连接到 TFT M1 的漏极电极 620 上。

平整层 900 形成在保护隔离层 700 和像素电极 800 上，有机 EL 元件 1000

SDC-1351-00000197
SDC EX. 2001 - 141/503

形成在平整层 900 和像素电极 800 上。

按照在图 20 中所示的 OELD，TFT M1 和 M2 提供在与数据线 600 平行的一条线上。在制造 OELD 时，激光束以平行方式扫描各数据线。由于根据本发明的优选实施例，TFT M1 和 M2 位于在与数据线 600 平行的一条线上，它们被相同的激光束扫描。因此，由于 TFT M1 和 M2 是按照几乎相同的操作条件制造的，它们的阈值电压变得几乎相同。

因此，根据本发明的优选实施例，由于满足 $V_{TH1}=V_{TH2}$，实际上满足式 3，可以实现高灰度级的 OELD。

如图 20 和 21 中所示 OELD 的配置图和横断面图代表一个示范性的实施例，可以实现该实施例的各种变化。

例如，在制造 OELD 时，利用激光束以平行方式扫描各数据线，TFT M1 和 M2 可以位于在与扫描线平行的用相同的激光束扫描的一条线上。

如上所述，本发明有效地补偿了用于驱动 OELD 的 TFT 阈值电压偏差并实现高灰度级的 OELD。

虽然，已结合目前被认为是最实用和优选的实施例介绍了本发明，但应理解，本发明并不局限于所公开的实施例，而且相反，其意在覆盖包含在所提出的权利要求的构思和范围内的各种改进和等效配置。

SDC-1351-00000198
SDC EX. 2001 - 142/503

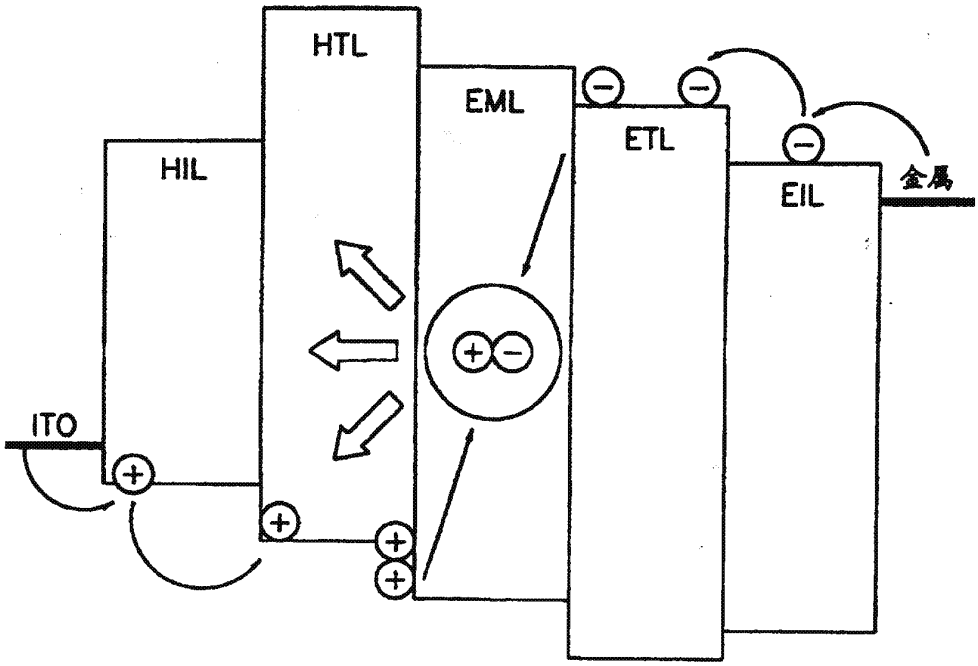


图1

SDC-1351-00000199
SDC EX. 2001 - 143/503

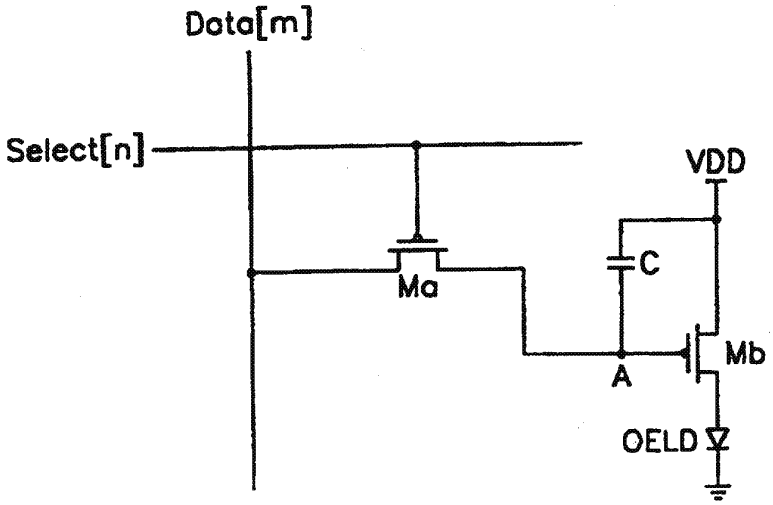


图 2

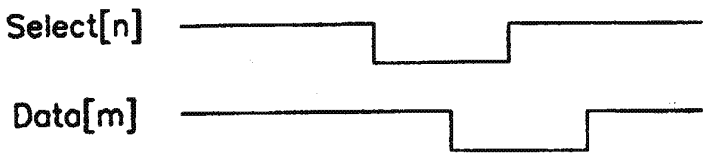


图 3

SDC-1351-00000200
SDC EX. 2001 - 144/503

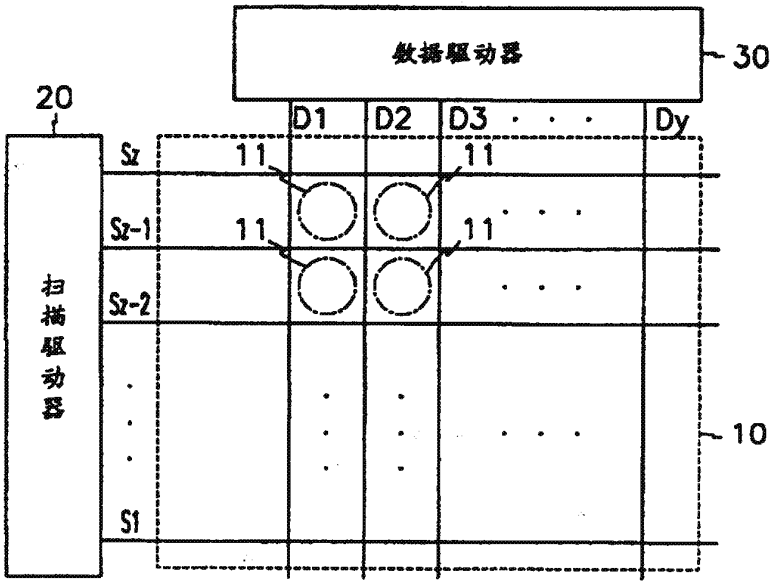


图 4

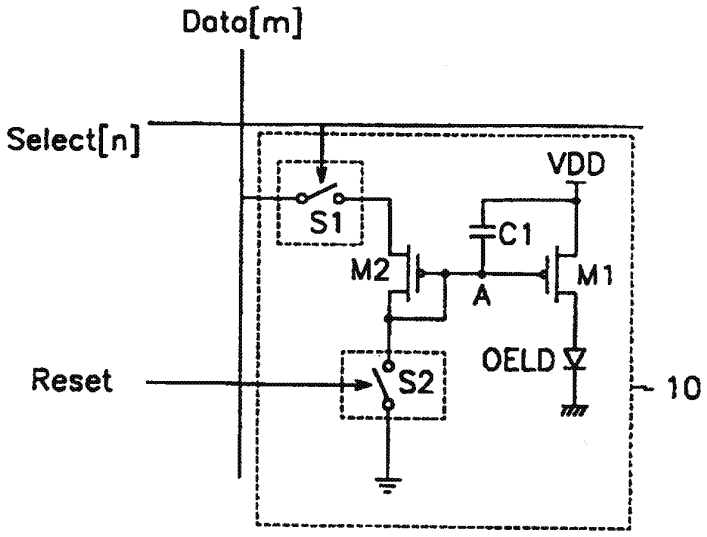


图 5

SDC-1351-00000201
SDC EX. 2001 - 145/503

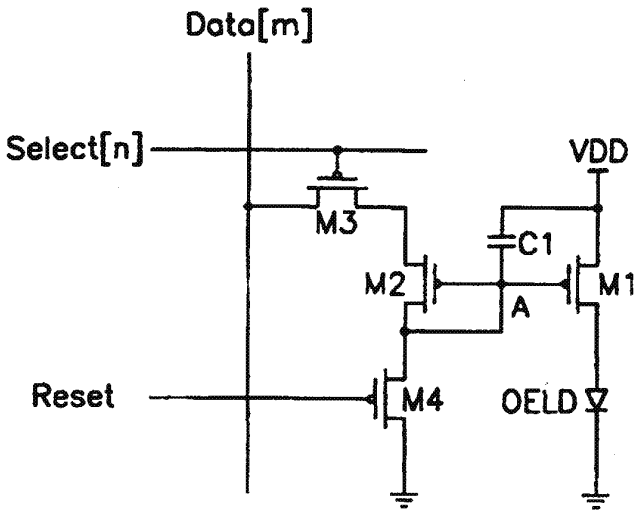


图 6

SDC-1351-00000202
SDC EX. 2001 - 146/503

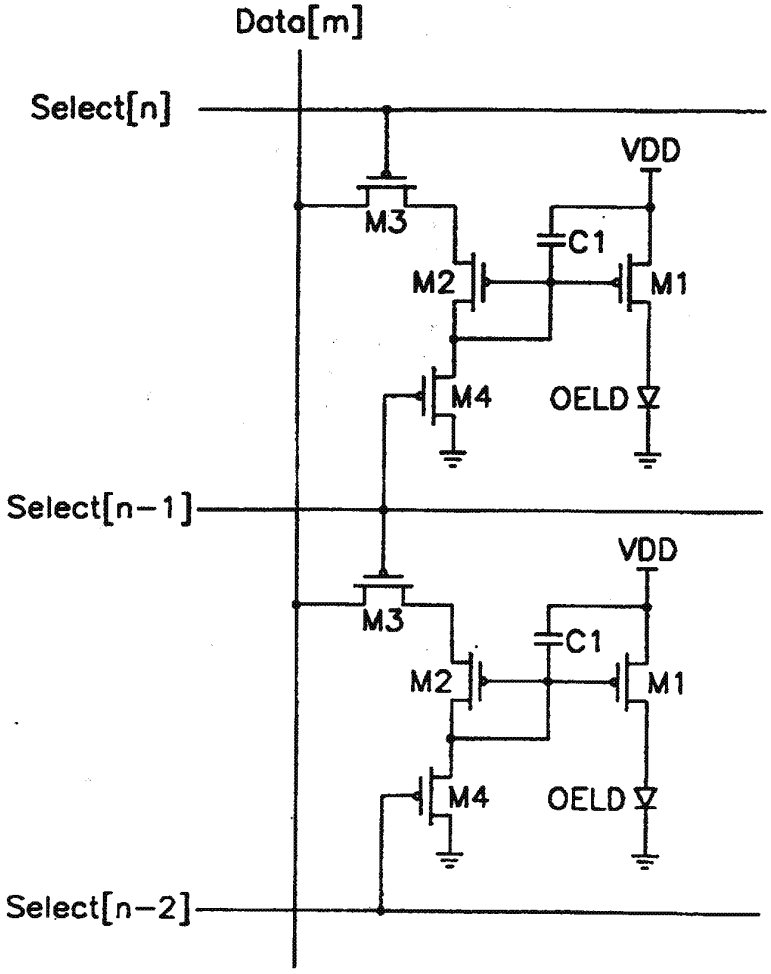


图 7

SDC-1351-00000203
SDC EX. 2001 - 147/503

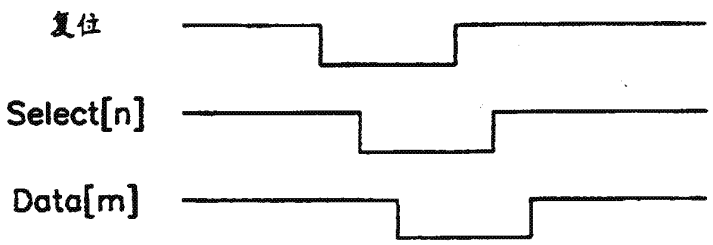


图 8A

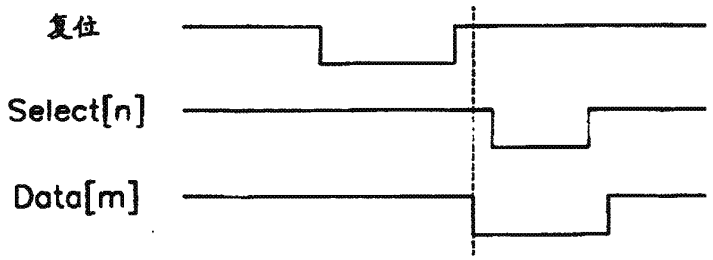


图 8B

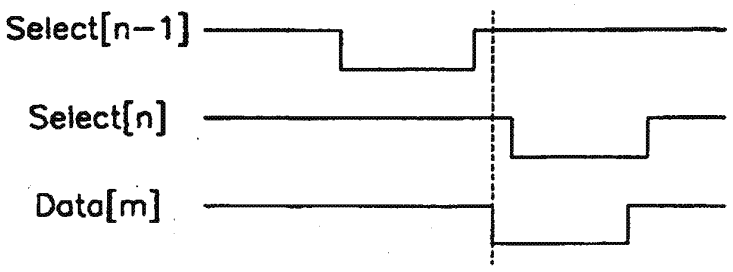


图 9

SDC-1351-00000204
SDC EX. 2001 - 148/503

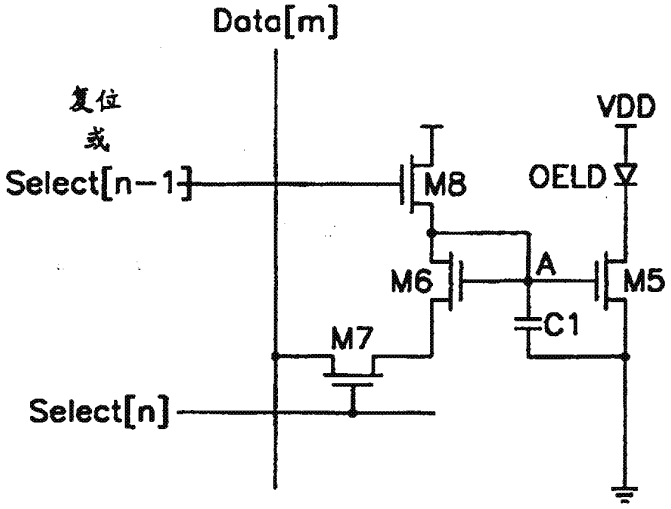


图 10

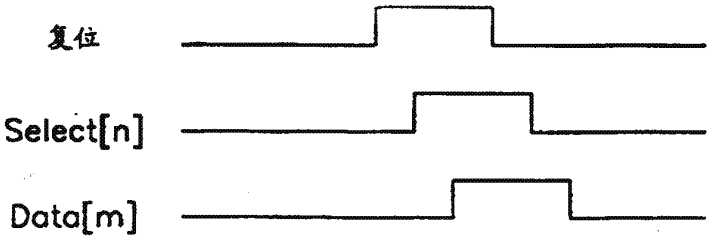


图 11A

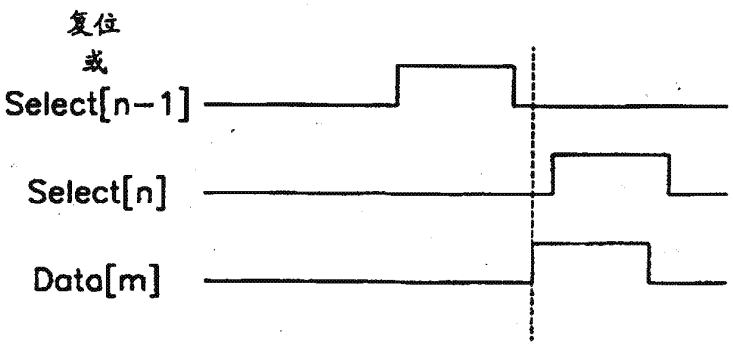


图 11B

SDC-1351-00000205
SDC EX. 2001 - 149/503

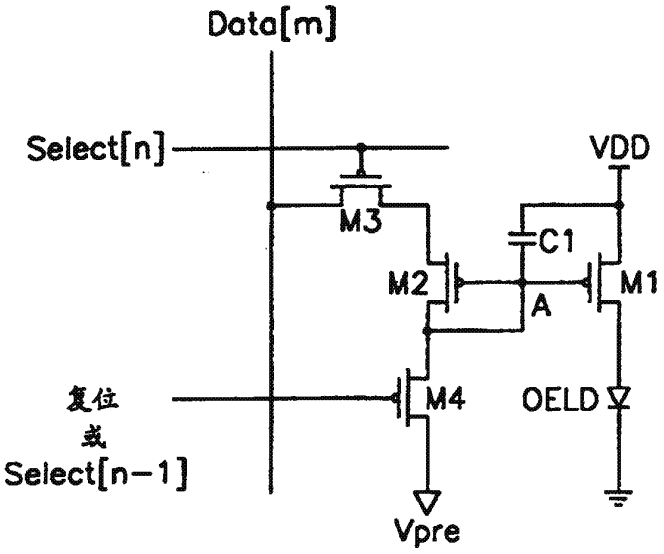


图 12

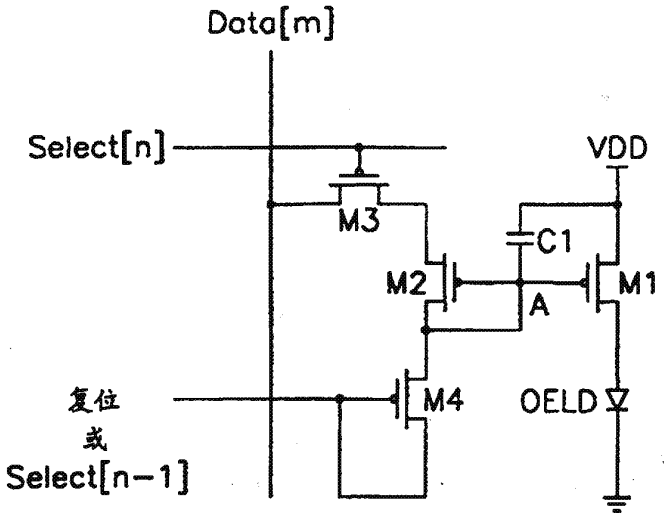


图 13

SDC-1351-00000206
SDC EX. 2001 - 150/503

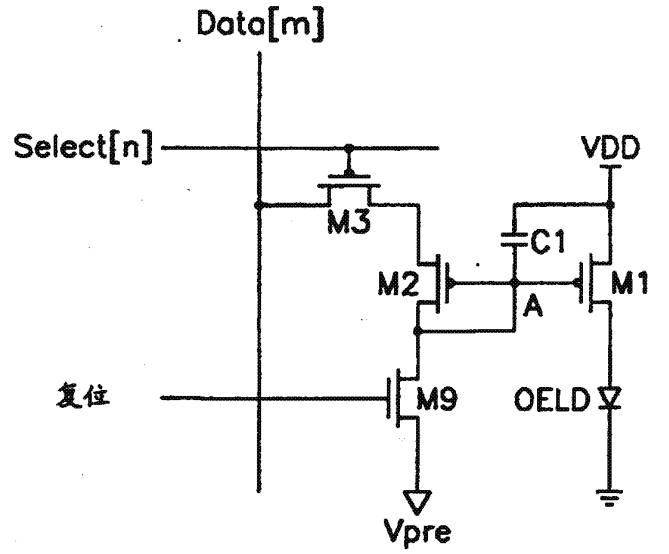


图 14

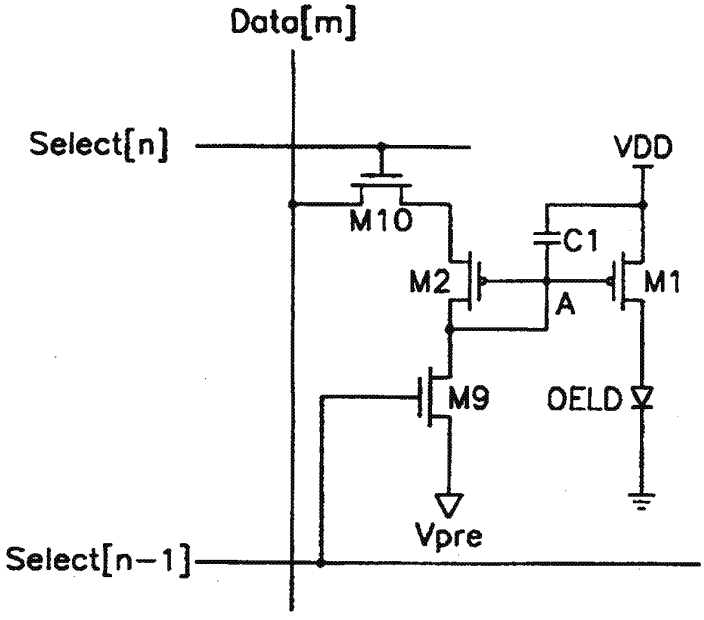


图 15

SDC-1351-00000207
SDC EX. 2001 - 151/503

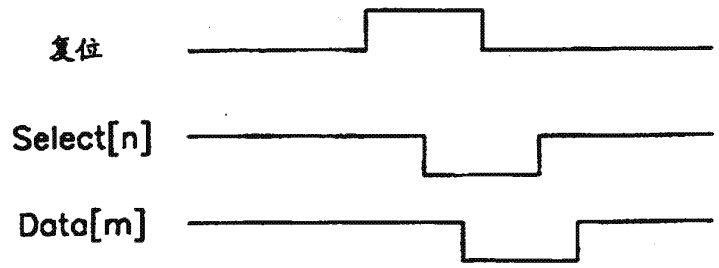


图 16

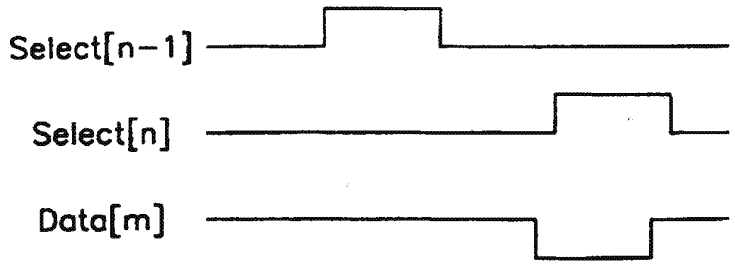


图 17

SDC-1351-00000208
SDC EX. 2001 - 152/503

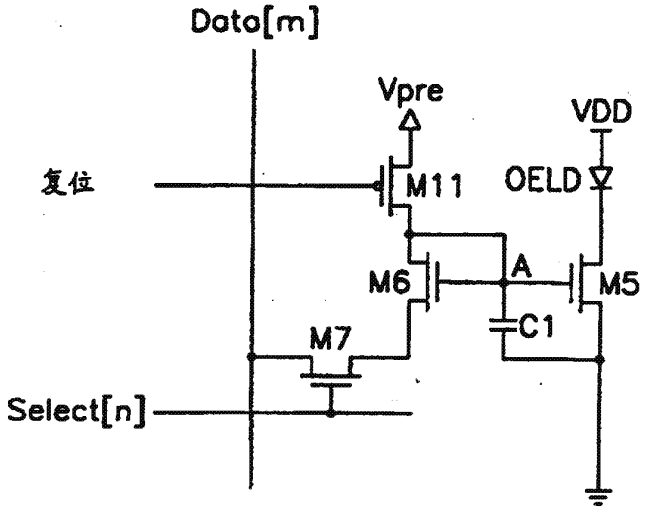


图 18

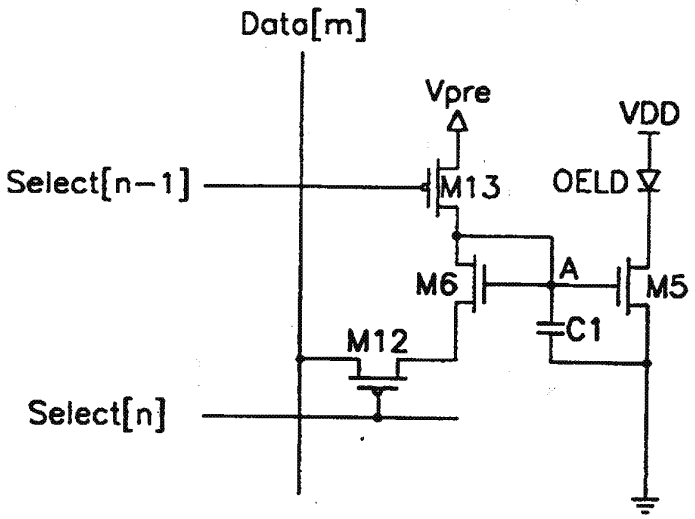


图 19

SDC-1351-00000209
SDC EX. 2001 - 153/503

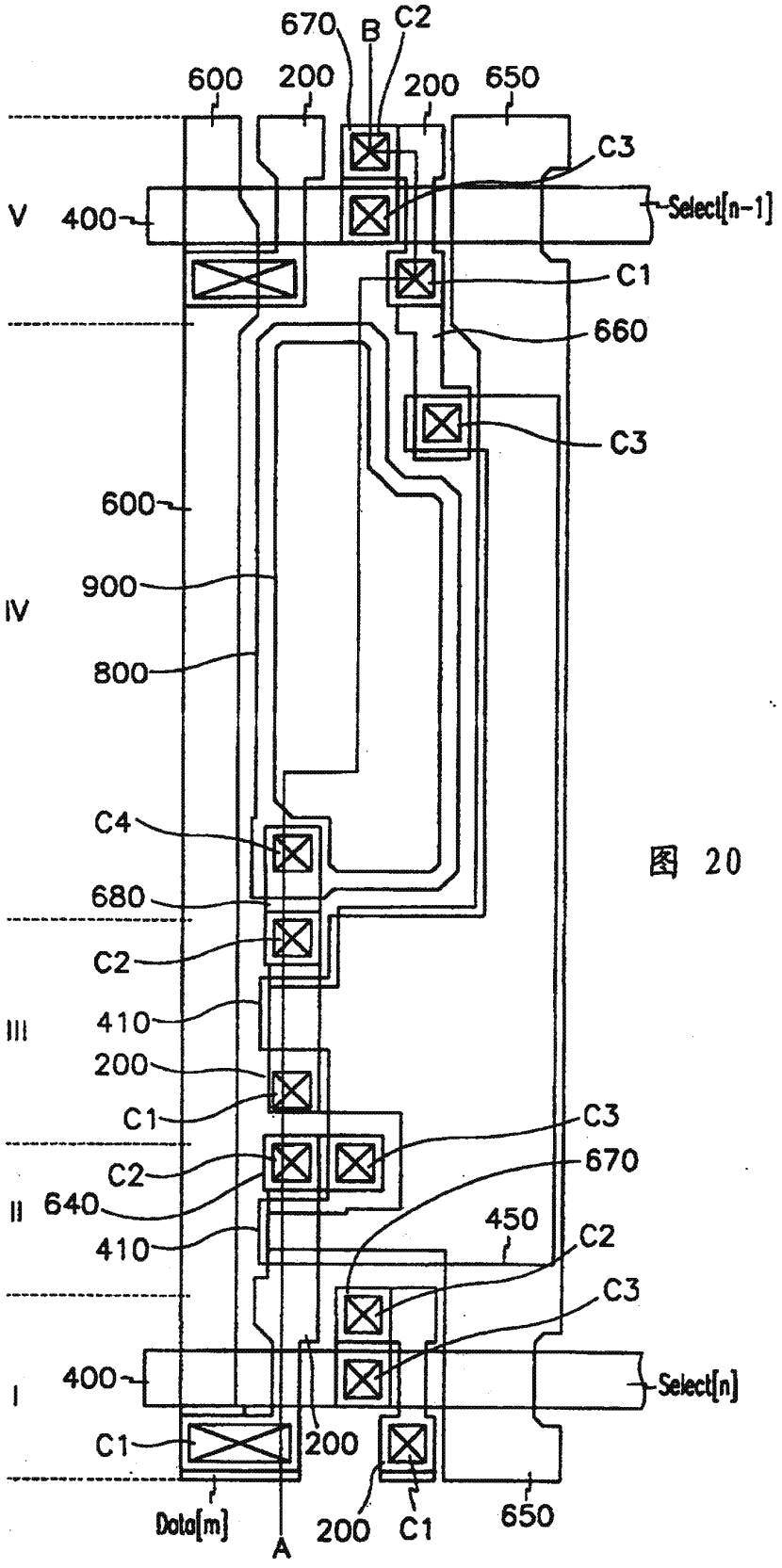


图 20

SDC-1351-00000210
SDC EX. 2001 - 154/503

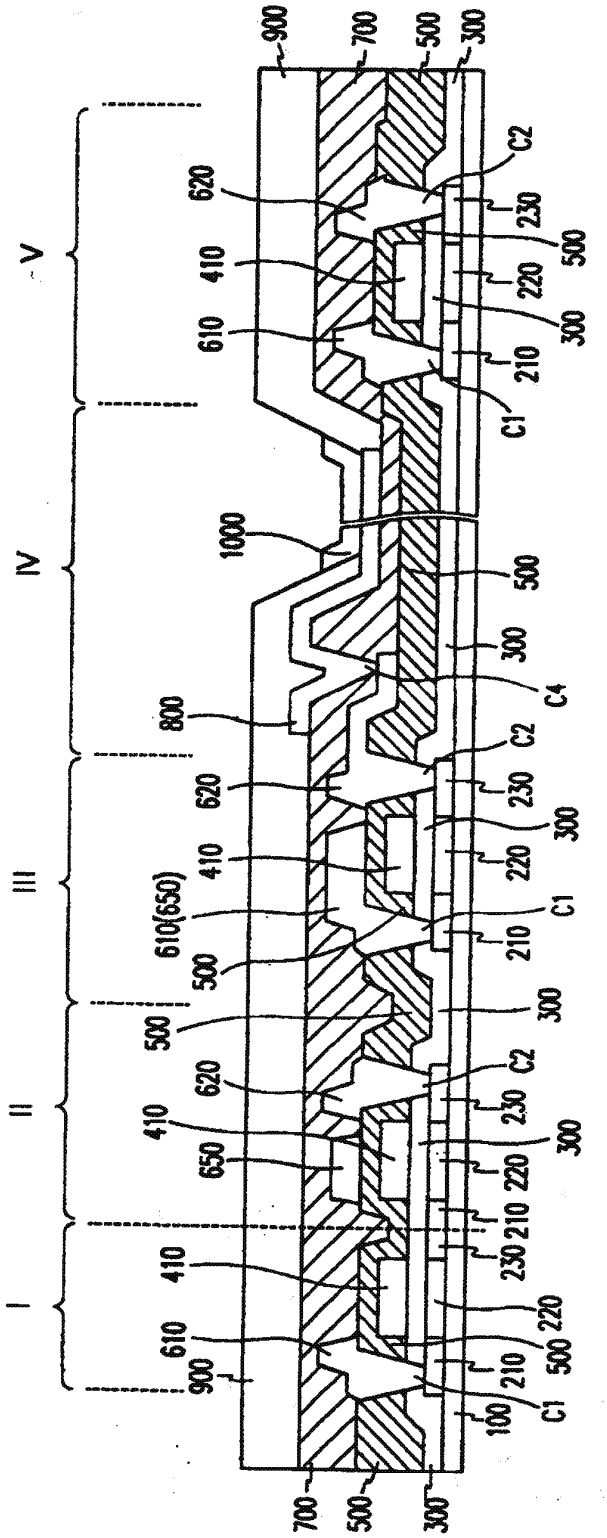


图 21

SDC-1351-00000211
SDC EX. 2001 - 155/503

The Patent Office of the People's Rep...
Address: No. 6 XITUCHENG ROAD, JIMEN BRIDGE, HAIDIAN DISTRICT, BEIJING Post Code: 100088

Applicant:. SAMSUNG SDI CO., LTD.	ISSUING DATE: 2006.12.1
Agent: Yali Shao	
Application No.: 200410063736.X	
Title. ORGANIC LIGHT EMITTING DEVICE PIXEL CIRC...	

THE FIRST OFFICE ACTION

1. ☑ The applicant filed a request for substantive examination on Year ____Month____Day____according to Article 35 Paragraph 1 of the Patent Law. The examiner has conducted a substantive examination to the above-mentioned patent application.

☐ According to Article 35 paragraph 2 of the Patent Law. Chinese Patent office decided on its own initiative to conduct a substantive examination to the above-mentioned patent application.

2. ☐ The applicant requested to take
Year 03 Month 7 Day 7 on which an application is filed with the KR patent office as the priority date.
Year_____Month_____Day_____on which an application is filed with the_____patent office as the priority date.
Year_____Month_____Day_____on which an application is filed with the_____patent office as the priority date.

☑ The applicant has submitted the copy of the earliest application document certified by the competent authority of that country.

☐ According to Article 30 of the Patent Law, if the applicant has not yet submitted the copy of the earliest application document certified by the competent authority of that country, the declaration for Priority shall be deemed not to have been made.

☐ This application is a PCT application.

3. ☐ The applicant submitted the amended document(s) on Year____Month____Day____and Year____Month_____Day after examination, _____submitted on Year_____Month_____Day_____is/are not accepted.
_____submitted on Year_____Month_____Day_____is/are not accepted
because the said amendment(s) ☐ is/are not in conformity with Article 33 of the Patent Law.
☐ is/are not in conformity with Rule 51 of the Implementing Regulations..

☐ The concrete reason(s) for not accepting the amendment(s) is/are presented on the text of Office Action.

4. ☑ The examination has been conducted based on the application text as originally filed.

☐ The examination has been conducted based on the following text(s):
page(s)_____of the specification, Claim(s)_____, and figure(s)_____in the original text of the application submitted on the filing day.
page(s)_____of the specification, claim(s)_____, and figure(s)_____submitted on Year____Month_____Day____
page(s)_____of the specification, claim(s)_____, and figure(s)_____submitted on Year____Month_____Day____

5. ☐ This notification was made without undergoing search.

☑ This notification was made with undergoing search.

☑ The following reference document(s) is/are cited:(the reference numeral(s) thereof will be used in the examination procedure hereafter)

NO.	Reference No. or Title	Publishing Date
1	CN1361510A	2002.7.31
2	US6091203A	2000.7.18
3		
4		
5		

6. Concluding comments

☐ on the specification:

☐ The contents of the application are in contrary to Article 5 of the Patent Law and therefore are not patentable.

☐ The contents of the application do not possess the practical applicability as prescribed in Paragraph 4 of Article 5 of the Patent Law.

☐ The specification is not in conformity with the provision of Paragraph 3 of Article 26 of the Patent Law.

☐ The presentation of the specification is not in conformity with the provision of Rule 18 of the Implementing Regulations.

☑ on the claims:

☐ Claim(s) _____ belong(s) to non-patentable subject matter as prescribed in Article 25 of the Patent law.

☐ Claim(s) _____ do(es) not comply with the definition of a patent as provided in Rule 2 paragraph 1 of the Implementing Regulations.

☑ Claim(s) 1-2, 7 do(es) not possess novelty as requested by Article 22 paragraph 2 of the Patent Law.

☑ Claim(s) 2, 15 do(es) not possess inventiveness as requested by Article 22 paragraph 3 of the Patent Law.

☐ Claim(s) _____ do(es) not possess practical applicability as requested by Article 22 paragraph 4 of the Patent Law.

☑ Claim(s) 16, 18 do(es) not comply with the provision of Article 26 paragraph 4 of the Patent Law.

☐ Claim(s) _____ do(es) not comply with the provision of Article 31 paragraph 1 of the Patent Law.

☑ Claim(s) 6, 12 do(es) not comply with provision of Rule 20 of the Implementing Regulations.

☐ Claim(s) _____ do(es) not comply with provision of Rule 21 of the Implementing Regulations.

☐ Claim(s) _____ do(es) not comply with provision of Rule 22of the Implementing Regulations.

☐ Claim(s) _____ do(es) not comply with provision of Rule 23 of the Implementing Regulations.

☐ Claim(s) _____ do(es) not comply with the provision of Article 9 of the Patent Law.

☐ Claim(s) _____ do(es) not comply with the provision of Rule 13 paragraph 1 of the Implementing Regulations.

The detailed analysis for the above concluding comments is prescribed in the [illegible] Office Action.

7. Based on the above concluding comments, the examiner is of the opinion that

☐ The applicant should amend the application document(s) in accordance with the requirement as specified in the Office Action.

☑ The applicant should, in his observation, expound the patentability of the application of the application, amend the defects pointed out in the Office Action; or the application can hardly be approved.

☐ The examined deems that the application lacks substantive features to make it patentable. Therefore, the application will be rejected if no convincing reasons are provided to prove its patentability.

8. The applicant should pay attention to the following matters:

(1) According to Article 37 of the Patent Law, the applicant is required to submit his observations within **Four** months upon receipt of this Office Action. If the time limit for making response is not met without any justified reason, the application to have been withdraw.

(2) The amendment(s) made by the applicant must meet the requirements of Article 33 of the Patent Law. The amended text should be in duplicate, its format should conform to the related confinement in the Guidance for Examination.

(3) The applicant and/or the agent should not go to the Chinese Patent Office to interview the examiner without being invited.

(4) The observation and/of the amended document(s) must be mailed of delivered to the Receiving Section of the Chinese Patent Office. No legal effect shall apply for any document(s) that not mailed to or reached the Receiving Section.

9. The text of this Office Action contains 5 page(s), and has the following attachment(s):

☑ 2 copies of the cited references, all together 48 pages.

☐

Examination Dept. No._____ Examiner_____ Seal of Examination Dept. for business only _____.

(if the Office Action wasn't stamped by the specified seal, it has no legal effect)

TEXT OF THE FIRST OFFICE ACTION

Application No.: 200410063736.X

(I)

1. The independent claim 1 does not possess novelty.

Claim 1 seeks protection for a pixel circuit in an organic emitting device. Reference 1 (CN1361510A) discloses an organic electric lighting displaying device and its driving method and picture element circuit, more particularly, the present invention relates to an organic EL display (OLED), its driving methods and a pixel circuit for compensating for deviations of the threshold voltage of a thin film transistor (TFT) and achieving high gray scale display when driving the pixels of the OELD by using the TFT (corresponding to the pixel circuit in an organic light emitting device in the present application) (refer to lines 17 on page 4 to line 6 on page 7, and Figs. 5-7 in the specification, that is, paragraph 0016 on page 3 to paragraph 0040 on page 5, and Figs 5-7 in the specification of its family application EP1220191), wherein the pixel circuit includes: a PMOS transistor M3 functions as a switch (corresponding to the first transistor in the present application), the gate of which being connected to the scanning line, and the scanning line provides the current selection signal Select [n] of which the source is connected to the data line; and the data line provides data voltage signal data[m]; when M3 is turned on in response to the scanning line signal Select[n], the data signal voltage of the data line signal data[m] is transmitted correspondingly (corresponding to delivering a data signal voltage in response to a current scan line signal in the present application); current driving transistor M1 (corresponding to the second transistor in the present application), the source of which being connected to the power voltage VDD, and the drain being connected to OELD and providing the OELD with a current corresponding to the data voltage supplied to the gate of the transistor M1 via said data line (corresponding to generating a driving current depending on the data signal voltage delivered through the first transistor in the present application); a transistor M2 (corresponding to the third transistor in the present application), the gate of which is connected to the gate of the transistor M1, and the gate and drain of the transistor M2 is connected with each other; at this time, the transistor M2 functions as a diode for compensating the threshold voltage deviation of M1 for supplying current (corresponding to detecting and self-compensating threshold voltage deviation in the second transistor in the present application); the capacitor C1 is connected between the power voltage VDD and the gate of the transistor M1 (corresponding to the capacitor in the present application), which can supply data voltage to the gate of the transistor M1 during a predetermined

SDC-1351-00000214
SDC EX. 2001 - 158/503

time period continuously (corresponding to storing the data signal voltage delivered to the second transistor in the present application); and an OELD (corresponding to the electroluminescent element for emitting light in the present invention), which emits light corresponding to the driving current generated by the data voltage that is supplied to the gate of the transistor M1 via the data line (corresponding to emitting light corresponding to the driving current generated through the second transistor in the present application). Thus it can be seen, Reference 1 has already disclosed all the technical features of the present claim, and the technical solution disclosed by Reference 1 belongs to the same technical field as the technical solution for which protection is sought in the present claim and can achieve the same technical effects. Therefore, the technical solution for which protection is sought in the present claim does not possess novelty as prescribed in Article 22, clause 2 of the Patent Law of China.

2. The dependent claim 2 does not possess novelty.

Claim 2 refers to claim 1, and the additional technical features thereof are "further comprising a fourth initialization transistor for discharge the data signal voltage stored in the capacitor in response to a scan signal just before the current scan signal". The pixel circuit disclosed in Reference 1 (refer to the last line on page 6 to line 4 on page 7 and Fig. 7 in the specification, that is, paragraph 0039 on page 4 and Fig. 7 in the specification of its family application EP1220191) uses the select signal Select[n-1] of the previous scan line to supply the select signal Select[n-1] to the gate of the transistor M4 (corresponding to the fourth transistor in the present application), so as to initialize the node A to a ground electric potential, and discharges the data voltage for being provided to the gate of the transistor M1 continuously, which is stored in the capacitor C1, so as to initialize the gate voltage of the transistor M1. Thus it can be seen, the additional technical features of claim 2 have also been disclosed by Reference 1 correspondingly, and the functions realized by them in Reference 1 are the same as the functions realized by them in the present invention. Therefore, the technical solution for which protection is sought in the present dependent claim does not possess novelty as prescribed in Article 22, clause 2 of the Patent Law of China either.

3. The dependent claim 3 does not possess inventiveness.

The dependent claim 3 refers to claim 1, and the additional technical features of claim 3 are "a fifth transistor for providing a power supply voltage for the second transistor in response to a current light-emitting signal; and a sixth transistor for providing a driving current for the electroluminescent element through the second transistor in response to the current light-emitting signal". The difference between the technical solution for which protection is sought in the present claim and Reference 1 lies in the above additional technical features.

SDC-1351-00000215
SDC EX. 2001 - 159/503

Reference 2 (US6091203A) discloses an image display device with element driving device for matrix drive of multiple active elements (refer to line 32 in column 7 to line 4 in column 11, and Figs. 2-7 in the specification), wherein both of the switching elements 17 (corresponding to the sixth transistor in the present application) and 20 (corresponding to the fifth transistor in the present application) can be constructed by transistor, and one terminal of which is connected to the control line 22 together; when a control signal is received (corresponding to be in response to the current light-emitting in the present application), the switching element 20 is turned on correspondingly to supply signal voltage to the transistor 18 (corresponding to providing a power supply voltage for the second transistor in the present application); the switching element 17 is turned on correspondingly and transmits the control current to the EL element 12 (corresponding to providing a driving current for the electroluminescent element through the second transistor in response to the current light-emitting signal in the present application).

Thus it can be seen, the above-mentioned additional technical features have already been disclosed by Reference 2, and the functions realized by these technical features in Reference 2 are the same as the functions realized to solve the technical problem in the present application. Reference 2 presents the inspiration of applying the above technical features into Reference 1 so as to solve the technical problems thereof. At the same time, the technical solutions for which protection is sought in References 1 and 2 and claim 3 all belong to the field of driving circuit of light-emitting display device, so their technical fields are the same. It is obvious for those skilled in the art to obtain the technical solution for which protection is sought in claim 3 by combining Reference 2 on the basis of Reference 1. Therefore, the technical solution for which protection is sought in the present claim does not possess any prominent substantive technical features, nor does it represent a notable progress, and thus does not possess inventiveness as prescribed in Article 22, clause 3 of the Patent Law of China.

4. The dependent claim 7 does not possess novelty.

The dependent claim 7 refers to claim 1, and the additional technical feature thereof is "comprising a voltage source for providing the data signal voltage through the first transistor for the second transistor". However, Reference 1 has already disclosed this additional technical feature (refer to the last line on page 4 to line 4 on page 5 and Fig. 5 in the specification, that is, paragraph 0033 on page 3 and Fig. 5 in the specification of its family application EP1220191). Moreover, the function realized by this in Reference 1 is the same as the function realized by it in the present application. When claim 1 referred to by the present claim does not possess novelty, the present dependent claim does not possess novelty as prescribed in Article 22, clause 2 of the Patent Law of China either.

5. The independent claim 15 does not possess inventiveness.

SDC-1351-00000216
SDC EX. 2001 - 160/503

Claim 15 seeks protection for a pixel circuit in an organic light emitting device. Reference 1 (CN1361510A) discloses an organic electric lighting displaying device and its driving method and picture element circuit, more particularly, the present invention relates to an organic EL display (OLED), its driving methods and a pixel circuit for compensating for deviations of the threshold voltage of a thin film transistor (TFT) and achieving high gray scale display when driving the pixels of the OELD by using the TFT (corresponding to the pixel circuit in an organic light emitting device in the present application) (refer to lines 17 on page 4 to line 6 on page 7, and Figs. 5-7 in the specification, that is, paragraph 0016 on page 3 to paragraph 0040 on page 5, and Figs 5-7 in the specification of its family application EP1220191), wherein the present pixel circuit includes: a PMOS transistor M3 functions as a switch (corresponding to the first transistor in the present application), the gate of which being connected to the scanning line, and the scanning line provides the current selection signal Select[n] of which the source is connected to the data line; and the data line provides data voltage signal data[m]; when M3 is turned on in response to the scanning line signal Select[n], the data signal voltage of the data line signal data[m] is transmitted (corresponding to delivering a data signal voltage in response to a current scan line signal in the present application); current driving transistor M1 (corresponding to the second transistor in the present application), the source of which being connected to the power voltage VDD, and the drain being connected to OELD and providing the OELD with a current corresponding to the data voltage supplied to the gate of the transistor M1 via said data line (corresponding to generating a driving current to drive the electroluminescent element in response to the data signal voltage in the present application); a transistor M2 (corresponding to the third transistor in the present application), the gate of which is connected to the gate of the transistor M1, and the gate of the transistor M2 is connected to the drain; the transistor M2 functions as a diode for compensating the threshold voltage deviation of M1 for supplying current (corresponding to connecting the second transistor in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor in the present application); the capacitor C1 connected between the power voltage VDD and the gate of the transistor M1 (corresponding to the capacitor in the present application), which can supply data voltage to the gate of the transistor M1 during a predetermined time period continuously (corresponding to storing the data signal voltage delivered to the second transistor in the present application); and an OELD (corresponding to the electroluminescent element for emitting light in the present application), which emits light corresponding to the driving current generated by the data voltage that is supplied to the gate of the transistor M1 via the data line (corresponding to emitting light in response to an applied driving current in the present application).

Thus it can be seen, compare claim 15 with Reference 1, the differences lie in "a fourth transistor for delivering a power supply voltage to second transistor in response to a current light-emitting signal; and a fifth transistor for providing the driving current, provided from the second transistor, for the electroluminescent element in

SDC-1351-00000217
SDC EX. 2001 - 161/503

response to the current light-emitting signal". Reference 2(US6091203A) discloses an image display device with element driving device for matrix drive of multiple active elements (refer to line 32 in column 7 to line 4 in column 11, and Figs. 2-7 in the specification), wherein both of the switching elements 17 (corresponding to the fifth transistor in the present application) and 20 (corresponding to the fourth transistor in the present application) can be constructed by transistor, and one terminal of which is connected to the control line 22 together; when a control signal is received (corresponding to be in response to the current light-emitting in the present application), the switching element 20 is turned on correspondingly to supply signal voltage to the transistor 18 (corresponding to providing a power supply voltage for the second transistor in the present application); the switching element 17 is turned on correspondingly and transmits the control current to the EL element 12 (corresponding to providing a driving current for the electroluminescent element through the second transistor in response to the current light-emitting signal in the present application). Thus it can be seen, the above distinctive technical features have already been disclosed by Reference 2, and the functions realized by these technical features in Reference 2 are the same as the functions realized to solve the technical problem in the present application. Reference 2 presents the inspiration of applying the above-mentioned technical features into the present Reference 1 so as to solve the technical problem thereof. At the same time, the technical solutions for which protection is sought in References 1 and 2 and claim 15 all belong to the field of driving circuit of light-emitting display device, hence their technical fields are the same. It is obvious for those skilled in the art obtain the technical solution for which protection is sought in claim 15 by combining Reference 2 on the basis of Reference 1. Therefore, the technical solution for which protection is sought in the present claim does not possess any prominent substantive features, nor does it represent a notable progress, and thus does not possess inventiveness as prescribed in Article 22, clause 3 of the Patent Law of China.

(II)

1. The dependent claim 6 does not comply with the provision of Rule 20, paragraph 1 of the Implementing Regulations of the Patent Law of China.

Claim 6 refers to claim 5, and the technical feature recorded therein, that is, "the third transistor is composed of ..., and a drain and a source which are coupled to the gate and the drain of the second transistor, respectively" may be misunderstood as (1) the drain of the third transistor is coupled to the gate of the second transistor, and the source of the third transistor is coupled to the drain of the second transistor; (2) the drain of the third transistor is coupled to the drain of the second transistor, and the source of the third transistor is coupled to the gate of the second transistor; etc., which renders the protection scope of the present claim not clear. The applicant should make amendments to this.

SDC-1351-00000218
SDC EX. 2001 - 162/503

2. The dependent claim 12 does not comply with the provision of Rule 20, paragraph 1 of the Implementing Regulations of the Patent Law of China.

Claim 12 refers to claim 11, and the technical feature recorded therein, that is, "the third transistor is composed of ..., and a drain and a source which are coupled to the gate and the drain of the second transistor, respectively" may be misunderstood as (1) the drain of the third transistor is coupled to the gate of the second transistor, and the source of the third transistor is coupled to the drain of the second transistor; (2) the drain of the third transistor is coupled to the drain of the second transistor, and the source of the third transistor is coupled to the gate of the second transistor; etc., which renders the protection scope of the present claim not clear. The applicant should make amendments to this.

3. The independent claim 16 does not comply with the provision of Article 26, clause 4 of the Patent Law of China.

Claim 16 has the content of "a third transistor whose drain and source are connected between a gate and a drain of the second transistor". However, as can be determined from the disclosure in the drawings of the specification, the drain of the third transistor is connected to the gate of the second transistor, and the source of the third transistor is connected to the drain of the second transistor. Thus it can be seen, the contents recorded in the present claim are not in consistency with the contents in the specification, and cannot be supported by the specification, and hence the present claim does not comply with the provision of Article 26, clause 4 of the Patent Law of China. The applicant should make amendments to this.

4. The independent claim 18 does not comply with the provision of Article 26, clause 4 of the Patent Law of China.

Claim 18 has the content of "a third transistor whose drain and source are connected between a gate and a drain of the second transistor". However, as can be determined from the disclosure in the drawings of the specification, the drain of the third transistor is connected to the gate of the second transistor, and the source of the third transistor is connected to the drain of the second transistor. Thus it can be seen, the contents recorded in the present claim are not in consistency with the contents in the specification, and cannot be supported by the specification, and hence do not comply with the provision of Article 26, clause 4 of the Patent Law of China. The applicant should make amendments to this.

5. There is no need for the parenthesis in the feature "EL (electroluminescent) element" recorded in claim 20 to exist. The applicant should delete the parenthesis.

The applicant should make responses within the response time limit as designated in

SDC-1351-00000219
SDC EX. 2001 - 163/503

this Office Action, making detailed explanations to all of the problems pointed out in this Office Action one by one, and make amendments to the patent application documents according to the opinions in the present Office Action. In particular, the applicant shall amend the independent claims and the corresponding dependent claims in accordance with the references cited in the present Office Action, and come up with reasons in the Observation to prove that the newly amended independent claims possess novelty and inventiveness as compared with the references cited in the present Office Action and the prior art previous to the application date mentioned in the original specification. In addition, adaptive amendments should be made to the specification according to the amended claims. The amendments to be made to the application documents by the applicant shall not go beyond the initial disclosure of the specification and claims so as to comply with the provision of Article 33 of the Patent Law of China.

Examiner: Dong Lv

XXL

SDC-1351-00000220
SDC EX. 2001 - 164/503

邮政编码：100101
北京市朝阳区北辰东路8号汇宾大厦A0601
北京市柳沈律师事务所
马莹,邵亚丽

发文日期

申请号：200410063736X

申请人：三星SDI株式会社

发明创造名称：有机发光器件像素电路及其驱动方法

第一次审查意见通知书

1. ☑应申请人提出的实审请求，根据专利法第35条第1款的规定，国家知识产权局对上述发明专利申请进行实质审查。
   ☐根据专利法第35条第2款的规定，国家知识产权局决定自行对上述发明专利申请进行审查。
2. ☑申请人要求以其在：
   KR 专利局的申请日 2003年07月07日为优先权日，
   专利局的申请日 年 月 日为优先权日，
   专利局的申请日 年 月 日为优先权日，
   专利局的申请日 年 月 日为优先权日，
   专利局的申请日 年 月 日为优先权日。
   ☑申请人已经提交了经原申请国受理机关证明的第一次提出的在先申请文件的副本。
   ☐申请人尚未提交经原申请国受理机关证明的第一次提出的在先申请文件的副本，根据专利法第30条的规定视为未提出优先权要求。
3. ☐经审查，申请人于：
   年 月 日提交的 不符合实施细则第51条的规定；
   年 月 日提交的 不符合专利法第33条的规定；
   年 月 日提交的
4. 审查针对的申请文件：
   ☑原始申请文件。 ☐审查是针对下述申请文件的
   申请日提交的原始申请文件的权利要求第 项、说明书第 页、附图第 页；
   年 月 日提交的权利要求第 项、说明书第 页、附图第 页；
   年 月 日提交的权利要求第 项、说明书第 页、附图第 页；
   年 月 日提交的权利要求第 项、说明书第 页、附图第 页；
   年 月 日提交的说明书摘要， 年 月 日提交的摘要附图。
5. ☐本通知书是在未进行检索的情况下作出的。
   ☑本通知书是在进行了检索的情况下作出的。
   ☑本通知书引用下述对比文献（其编号在今后的审查过程中继续沿用）：

编号	文件号或名称	公开日期（或抵触申请的申请日）
1	CN1361510 A	2002-07-31
2	US6091203 A	2000-07-18

Cited References

6. 审查的结论性意见：
   ☐关于说明书：
   ☐申请的内容属于专利法第5条规定的不授予专利权的范围。

SDC-1351-00000221
SDC EX. 2001 - 165/503

□说明书不符合专利法第 26 条第 3 款的规定。
□说明书不符合专利法第 33 条的规定。
□说明书的撰写不符合实施细则第 18 条的规定。
□_____

☑关于权利要求书：
☑权利要求 1-2、7 不具备专利法第 22 条第 2 款规定的新颖性。
☑权利要求 3、15 不具备专利法第 22 条第 3 款规定的创造性。
□权利要求_____不具备专利法第 22 条第 4 款规定的实用性。
□权利要求_____属于专利法第 25 条规定的不授予专利权的范围。
☑权利要求 16、18 不符合专利法第 26 条第 4 款的规定。
□权利要求_____不符合专利法第 31 条第 1 款的规定。
□权利要求_____不符合专利法第 33 条的规定。
□权利要求_____不符合专利法实施细则第 2 条第 1 款关于发明的定义。
□权利要求_____不符合专利法实施细则第 13 条第 1 款的规定。
☑权利要求 6、12 不符合专利法实施细则第 20 条的规定。
□权利要求_____不符合专利法实施细则第 21 条的规定。
□权利要求_____不符合专利法实施细则第 22 条的规定。
□权利要求_____不符合专利法实施细则第 23 条的规定。
□_____

上述结论性意见的具体分析见本通知书的正文部分。

7. 基于上述结论性意见，审查员认为：
□申请人应按照通知书正文部分提出的要求，对申请文件进行修改。
☑申请人应在意见陈述书中论述其专利申请可以被授予专利权的理由，并对通知书正文部分中指出的不符合规定之处进行修改，否则将不能授予专利权。
□专利申请书没有可以被授予专利权的实质性内容，如果申请人没有陈述理由或者陈述理由不充分，其申请将被驳回。
□_____

8. 申请人应注意下述事项：
(1)根据专利法第 37 条的规定，申请人应在收到本通知书之日起的肆个月内陈述意见，如果申请人无正当理由逾期不答复，其申请将被视为撤回。
(2)申请人对其申请的修改应符合专利法第 33 条的规定，修改文本应一式两份，其格式应符合审查指南的有关规定。
(3)申请人的意见陈述书和/或修改文本应邮寄或递交国家知识产权局专利局受理处，凡未邮寄或递交给受理处的文件不具备法律效力。
(4)未经预约，申请人和/或代理人不得前来国家知识产权局专利局与审查员举行会晤。

9. 本通知书正文部分共有 5 页，并附有下述附件：
☑引用的对比文件的复印件共 2 份 48 页。□_____

审查员：吕东伟(59343)
2006 年 11 月 2 日　　审查部门 光电技术审查部

回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局受理处收
(注：凡寄给审查员个人的信函不具有法律效力)

SDC-1351-00000222
SDC EX. 2001 - 166/503

第一次审查意见通知书正文

申请号：200410063736X

（一）

1、独立权利要求1不具备新颖性。

权利要求1请求保护一种有机发光器件中的像素电路，对比文件1（CN1361510A）公开了一种有机电发光显示器及其驱动方法和像素电路，更具体地说，本发明涉及一种有机电发光显示器(OELD)及其驱动方法和一用于补偿薄膜晶体管(TFT)的阈值电压偏差以及当通过利用TFT驱动OELD中的像素时实现高灰度级显示的像素电路（相当于本申请的有机发光器件中的像素电路）（见说明书第4页17行－第7页第6行，附图5－7），其中该像素电路包括：起开关作用的PMOS晶体管M3（相当于本申请的第一晶体管），其栅极连接到扫描线，且该扫描线提供当前选择信号select[n]，其源极连接到数据线，且该数据线提供数据电压信号data[m]，当M3响应扫描线信号select[n]时导通，从而传送数据线信号data[m]的数据信号电压（相当于本申请中的用于响应当前扫描线信号而传送数据信号电压）；电流驱动晶体管M1（相当于本申请的第二晶体管），其源极连接到电源电压VDD，漏极连接到OELD并向OELD提供一对应于经过所述数据线向晶体管M1的栅极提供的数据电压的电流（相当于本申请的用于根据通过的所述第一晶体管传送的所述数据电压信号，生成驱动电流）；晶体管M2（相当于本申请中的第三晶体管），其栅极连接到晶体管M1的栅极，晶体管M2的栅极和漏极相连接，此时晶体管M2起一个二极管的作用，补偿用于提供电流的M1的阈值电压偏差（相当于本申请中的用于检测和自补偿所述第二晶体管中的阈值电压偏差）；连接在电源电压VDD和晶体管M1的栅极之间的电容C1（相当于本申请中的电容器），其在预定时间期间维持向晶体管M1的栅极提供的数据电压（相当于本申请中的用于存储传送到所述第二晶体管中的所述数据信号电压）；以及OELD（相当于本申请中的场致发光器件），其通过对应于经过数据线向晶体管M1的栅极提供的数据电压生成的驱动电流进行发光（相当于本申请中的用于发出相应于通过所述第二晶体管生成的驱动电流的光）。由此可见，对比文件1已经公开了该权利要求的全部技术特征，且对比文件1所公开的技术方案与该权利要求所要求保护的技术方案属于同一技术领域，并能产生相同的技术效果，因此该权利要求所要求保护的技术方案不具备专利法第22条第2款规定的新颖性。

2、从属权利要求2不具备新颖性。

权利要求2引权1且其附加技术特征为"进一步包括第四初始化晶体管，用于响应正好在所述当前扫描信号之前的扫描信号，放电存储在所述电容器中的所述数据信号电压"。对比文件1中公开的（见说明书第6页最后1行－第7页第4行，附图7）像素电路利用该先前的扫描线的选择信号SELect[n-1]，选择该信号SELect[n-1]提供到晶体管M4

SDC-1351-00000223
SDC EX. 2001 - 167/503

（相当于本申请中的第四晶体管）的栅极，以便将节点A初始化到地电位，将存储在电容器中C1中用于维持向晶体管M1的栅极提供的数据电压放电，从而将晶体管M1的栅极电压初始化。由此可见，权2的附加技术特征也已在对比文件1中相应地公开，且其在该对比文件中所起的作用与其在本发明中所起的作用相同。因此当该从属权利要求所要求保护的技术方案也不具备专利法第22条第2款所规定的新颖性。

3、从属权利要求3不具备创造性。

从属权利要求3引权1且其附加技术特征为"第五晶体管，用于响应当前发光信号，向所述第二晶体管提供电源电压；以及第六晶体管，用于响应当前发光信号，通过所述第二晶体管向所述场致发光元件提供驱动电流"。该权利要求保护的技术方案与D1区别在于上述附加技术特征。

对比文件2（US6091203A）公开了一种带有复合有源矩阵元件构成的驱动电路的图像显示装置（见第7栏32行－第11栏4行，附图2－7），其中，控制元件17（相当于本申请中的第六晶体管）和20（相当于本申请中的第五晶体管）均可由晶体管构成，他们的一端共同连接在控制信号线22上，当接收到控制信号时（相当于本申请中的响应当前发光信号），控制元件20响应导通，向晶体管18提供信号电压（相当于本申请中的向所述第二晶体管提供电源电压），控制元件17响应导通，将控制电流传递至发光器件12（相当于本申请中的通过所述第二晶体管向所述场致发光元件提供驱动电流）。

由此可见，上述附加技术特征已经被对比文件2公开，并且这些技术特征在对比文件2中所起的作用与其在本申请中所要解决的技术问题所起的作用相同，对比文件2给出了将上述技术特征用于该对比文件1以解决技术问题的启示。同时，对比文件1和2与权利要求1要求保护的技术方案均为发光显示装置的驱动电路领域，所以技术领域相同，在对比文件1的基础上结合对比文件2得到权利要求1所要求保护的技术方案对本领域技术人员来说是显而易见的，因此该权利要求所要求保护的技术方案不具备突出的实质性特点和显著的进步，不具备专利法第22条第3款规定的创造性。

4、从属权利要求7不具备新颖性。

从属权利要求7引权1且其附加技术特征为"包括一电压源，用于通过所述第一晶体管，向所述第二晶体管提供所述数据信号电压"。但对比文件1已经公开了该附加技术特征（见说明书第4页最后1行－第5页第4行，附图5），且其在该对比文件1中所起的作用与其在本申请中所起的作用相同，在其引用的权利要求1不具备新颖性的情况下，该从属权利要求也不具备专利法第22条第2款规定的新颖性。

5、独立权利要求15不具备创造性。

权利要求15请求保护一种有机发光器件中的像素电路，对比文件1（CN1361510A）

SDC-1351-00000224
SDC EX. 2001 - 168/503

公开了一种有机电发光显示器及其驱动方法和像素电路，更具体地说，本发明涉及一种有机电发光显示器(OELD)及其驱动方法和一用于补偿薄膜晶体管(TFT)的阈值电压偏差以及当通过利用TFT驱动OELD中的像素时实现高灰度级显示的像素电路（相当于本申请的有机发光器件中的像素电路）（见说明书第4页17行－第7页第6行，附图5－7），其中该像素电路包括：起开关作用的PMOS晶体管M3（相当于本申请的第一晶体管），其栅极连接到扫描线，且该扫描线提供当前选择信号select[n]，其源极连接到数据线，且该数据线提供数据电压信号data[m]，当M3响应扫描线信号select[n]时导通，从而传送数据线信号data[m]的数据信号电压（相当于本申请中的用于响应当前扫描线信号而传送数据信号电压）；电流驱动晶体管M1（相当于本申请的第二晶体管），其源极连接到电源电压VDD，漏极连接到OELD并向OELD提供一对应于经过所述数据线向晶体管M1的栅极提供的数据电压的电流（相当于本申请的用于响应所述数据信号电压生成驱动电流，以驱动所述场致发光元件）；晶体管M2（相当于本申请中的第三晶体管），其栅极连接到晶体管M1的栅极，晶体管M2的栅极和漏极相连接，晶体管M2起一个二极管的作用。晶体管M2补偿用于提供电流的M1的阈值电压偏差（相当于本申请中的用于响应当前扫描信号，以二极管的形式连接到所述第二晶体管，以自补偿所述第二晶体管中的阈值电压）；连接在电源电压VDD和晶体管M1的栅极之间的电容C1（相当于本申请中的电容器），其在预定时间期间维持向晶体管M1的栅极提供的数据电压（相当于本申请中的用于存储传送到所述第二晶体管中的所述数据信号电压）；以及OELD（相当于本申请中的场致发光元件），其通过对应于经过数据线向晶体管M1的栅极提供的数据电压生成的驱动电流进行发光（相当于本申请中的用于发出响应施加的驱动电流而发光）。

可见，权利要求15与对比文件1相比，区别特征为："第四晶体管，用于响应当前发光信号，将电源电压传送到向所述第二晶体管；以及第五晶体管，用于响应当前发光信号，向所述场致发光元件提供从所述第二晶体管提供的驱动电流"。对比文件2（US6091203A）公开了一种带有复合有源矩阵元件构成的驱动电路的图像显示装置（见第7栏32行－第11栏4行，附图2－7），其中，控制元件17（相当于本申请中的第五晶体管）和20（相当于本申请中的第四晶体管）均可由晶体管构成，他们的一端共同连接在控制信号线22上，当接收到控制信号时（相当于本申请中的响应当前发光信号），控制元件20响应导通，向晶体管18提供信号电压（相当于本申请中的将电源电压传送到所述第二晶体管），控制元件17响应导通，将控制电流传递至发光器件12（相当于本申请中的向所述场致发光元件提供从所述第二晶体管提供的驱动电流）。由此可见，上述区别技术特征已经被对比文件2公开，并且这些技术特征在对比文件2中所起的作用与其在本申请中所要解决的技术问题所起的作用相同，对比文件2给出了

SDC-1351-00000225
SDC EX. 2001 - 169/503

将上述技术特征用于该对比文件1以解决技术问题的启示。同时，对比文件1和2与权利要求15要求保护的技术方案均为发光显示装置的驱动电路领域，所以技术领域相同，在对比文件1的基础上结合对比文件2得到权利要求15所要求保护的技术方案对本领域技术人员来说是显而易见的，因此该权利要求所要求保护的技术方案不具备突出的实质性特点和显著的进步，不具备专利法第22条第3款规定的创造性。

（二）

1、从属权利要求6不符合专利法实施细则第20条第1款的规定。

权利要求6引权5且其中记载的特征："第三晶体管分别耦合到所述第二晶体管的栅极和漏极的漏极和源极"有歧义：（1）第三晶体管的漏极耦合到所述第二晶体管的栅极，第三晶体管的源极耦合到所述第二晶体管的漏极；（2）第三晶体管的漏极耦合到所述第二晶体管的漏极，第三晶体管的源极耦合到所述第二晶体管的栅极；等等，这造成了该权利要求保护范围不清楚，申请人应当对此进行修改。

2、从属权利要求12不符合专利法实施细则第20条第1款的规定。

权利要求12引权11且其中记载的特征："第三晶体管分别耦合到所述第二晶体管的栅极和漏极的漏极和源极"有歧义：（1）第三晶体管的漏极耦合到所述第二晶体管的栅极，第三晶体管的源极耦合到所述第二晶体管的漏极；（2）第三晶体管的漏极耦合到所述第二晶体管的漏极，第三晶体管的源极耦合到所述第二晶体管的栅极；等等，这造成了该权利要求保护范围不清楚，申请人应当对此进行修改。

3、独立权利要求16不符合专利法第26条第4款的规定。

其中记载到："第三晶体管，其漏极和源极连接在所述第二晶体管的栅极和漏极之间"，但从说明书附图中公开的内容可以确定：第三晶体管的漏极连接在所述第二晶体管的栅极，第三晶体管的源极连接在所述第二晶体管的漏极，由此可见，该权利要求记载的内容与说明书中记载的内容不一致，没有以说明书为依据，因此不符合专利法第26条第4款的规定，申请人应当对此进行修改。

4、独立权利要求18不符合专利法第26条第4款的规定。

其中记载到："第三晶体管，其漏极和源极连接在所述第二晶体管的栅极和漏极之间"，但从说明书附图中公开的内容可以确定：第三晶体管的漏极连接在所述第二晶体管的栅极，第三晶体管的源极连接在所述第二晶体管的漏极，因此该权利要求记载的内容与说明书中记载的内容不一致，没有以说明书为依据，因此不符合专利法第26条第4款的规定，申请人应当对此进行修改。

5、权利要求20中记载的特征"EL（场致发光）元件"中的括号无存在必要，申请人应将其删除。

SDC-1351-00000226
SDC EX. 2001 - 170/503

申请人应在本通知书指定的答复期限内作出答复，对本通知书中提出的所有问题逐一详细地作出说明，并根据本通知书的意见对专利申请文件作出修改，尤其是应根据本通知书中引用的对比文件修改独立权利要求以及相应的从属权利要求，并在意见陈述书中论述新修改的独立权利要求相对于本通知书中引用的对比文件以及原说明书中提到的申请日前的现有技术具有新颖性和创造性的理由。此外，说明书应根据修改后的权利要求书作适应性修改。申请人对申请文件的修改应当符合专利法第33条的规定，不得超出原说明书和权利要求书的记载范围。

审查员：[illegible]
代码：6343

SDC-1351-00000227
SDC EX. 2001 - 171/503

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being electronically filed with the United States Patent and Trademark Office on February 27, 2007 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.

Vickie D. Wall

Applicant	: Ho-Kyoon Chung, et al.	Confirmation No. 8338
Application No.	: 10/886,014	
Filed	: July 6, 2004	
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR	
Grp./Div.	: 2629	
Examiner	: Richard A. Hjerpe	
Docket No.	: 52226/S1082	

INFORMATION DISCLOSURE STATEMENT AND CERTIFICATION UNDER § 1.97(e)(1)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
February 27, 2007

Commissioner:

In compliance with the duty of disclosure under 37 CFR §§ 1.56, 1.97 and 1.98, and in accordance with the provisions in the Manual of Patent Examining Procedure §§ 609 and 707.05(b), enclosed is FORM PTO/SB/08A/B with a listing of references that are known to applicant. Copies of each of the references listed under "FOREIGN PATENT DOCUMENTS" and "OTHER DOCUMENTS" are enclosed.

It is respectfully requested that these references be considered in the examination of this application and identified on the list of references cited on the patent issuing on this application. Applicant also requests that an initialed copy of said FORM PTO/SB/08A/B be entered in the application file and returned to applicant with the next communication from the Office in accordance with MPEP § 609.

Applicant's undersigned attorney hereby certifies, in accordance 37 CFR § 1.97(e)(1), that each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement.

The Commissioner is hereby authorized to charge any fees which may be required by this paper to Deposit Account No. 03-1728. Please show our docket number with any Deposit Account transaction.

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

D. Bruce Prout

By _____
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/vdw
Enclosures: PTO/SB/08A/B w/references (3)

VDW PAS725646.1-*-02/27/07 3:45 PM

SDC-1351-00000229
SDC EX. 2001 - 173/503

Electronic Acknowledgement Receipt

EFS ID:	1548267
Application Number:	10886014
International Application Number:	
Confirmation Number:	8338
Title of Invention:	Organic light emitting device pixel circuit and driving method therefor
First Named Inventor/Applicant Name:	Ho-Kyoon Chung
Customer Number:	23363
Filer:	D. Bruce Prout/Vickie Wall
Filer Authorized By:	D. Bruce Prout
Attorney Docket Number:	52226/S1082
Receipt Date:	27-FEB-2007
Filing Date:	06-JUL-2004
Time Stamp:	18:57:40
Application Type:	Utility

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Filed	52226_SB08.pdf	45243	no	1
Warnings:					

Information:					
This is not an USPTO supplied IDS fillable form					
2	Foreign Reference	CN1361510A.pdf	1017848	no	30
Warnings:					
Information:					
3	NPL Documents	52226_Chinese_OA_20061201.pdf	905360	no	16
Warnings:					
Information:					
4	Information Disclosure Statement (IDS) Filed	52226_Information_Disclosure_Statement.pdf	51419	no	2
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
			Total Files Size (in bytes):	2019870	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	178	345/80.ccls.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 12:43
L3	2344	driv$3 adj3 current near5 (transistor or TFT) with signal	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 12:56
L4	67089	(power or voltage) near5 (transistor or TFT) with signal	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 12:56
L5	845	3 same 4	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 12:45
L6	2	5 and 1	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 12:52
L14	521	driv$3 adj3 current near5 (transistor or TFT) with signal with gate	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 12:56
L15	23292	(power or voltage) near5 (transistor or TFT) with signal with gate	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 12:56
L16	237	14 same 15	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 12:57
L18	2944	345/76,82.ccls.	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 12:58

SDC-1351-00000232
SDC EX. 2001 - 176/503

EAST Search History

L19	68	16 and 18	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 13:01
L20	100610	emit$4 near3 signal	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 13:01
L21	19	19 and 20	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT	OR	OFF	2007/07/03 13:02

SDC-1351-00000233
SDC EX. 2001 - 177/503

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L7	158200	current near3 driv$3	US-PGPUB; USPAT; JPO	OR	ON	2007/07/03 09:15
L8	53427	(threshold near3 voltage) with (transistor TFT)	US-PGPUB; USPAT; JPO	OR	ON	2007/07/03 09:15
L9	10872	(threshold near3 voltage) with capacitor	US-PGPUB; USPAT; JPO	OR	ON	2007/07/03 09:15
L10	1295	L7 and L8 and L9	US-PGPUB; USPAT; JPO	OR	ON	2007/07/03 09:15
L11	7310	(345/76-83).ccls. or (315/169.1-169.4).ccls.	US-PGPUB; USPAT; JPO	OR	ON	2007/07/03 09:15
L12	247	L11 and L10	US-PGPUB; USPAT; JPO	OR	ON	2007/07/03 09:15

Sixth transistor

Compensat threshold

SDC-1351-00000234
SDC EX. 2001 - 178/503

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/886,014	07/06/2004	Ho-Kyoon Chung	52226/S1082	8338

23363 7590 07/12/2007
CHRISTIE, PARKER & HALE, LLP
PO BOX 7068
PASADENA, CA 91109-7068

EXAMINER	
HO, HOAI QUAN T	
ART UNIT	**PAPER NUMBER**
2609	
MAIL DATE	**DELIVERY MODE**
07/12/2007	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

SDC-1351-00000235
SDC EX. 2001 - 179/503

Office Action Summary	Application No.	Applicant(s)	
	10/886,014	CHUNG ET AL.	
	Examiner	Art Unit	
	Hoai-Quan T. Ho	2609	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *06 July 2004*.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-20* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☒ Claim(s) *8-19* is/are allowed.

6)☒ Claim(s) *1,2,4-7 and 20* is/are rejected.

7)☒ Claim(s) *3* is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *06 July 2004* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *See Continuation Sheet*.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____.
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

SDC-1351-00000236
SDC EX. 2001 - 180/503

Continuation of Attachment(s) 3). Information Disclosure Statement(s) (PTO/SB/08), Paper No(s)/Mail Date :7/06/2004; 10/19/2006; 2/27/2007; 2/27/2007..

SDC-1351-00000237
SDC EX. 2001 - 181/503

DETAILED ACTION

Priority

1. Receipt is acknowledged of papers submitted under 35 U.S.C. 119(a)-(d), which papers have been placed of record in the file.

2. This office acknowledges receipt of the following item from the Applicant: Information Disclosure Statement (IDS) was considered.

3. Claims 1-20 are presented for examination.

Claim Rejections - 35 USC § 102

4. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> (b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

5. Claims 1, 2, 4-7, and 20 are rejected under 35 U.S.C. 102(b) as being anticipated by Dawson et al. USP 6229506.

As per claim 1, Dawson discloses a pixel circuit (Fig 2, element 200) in an organic light emitting device, comprising: a first transistor (Fig 2, element 250) for delivering a data signal voltage in response (Col 3, line 55) to a current scan line signal (Fig 2, element 210); a second transistor (Fig 2, element 260) for generating a driving current depending on the data signal voltage delivered through the first transistor (Col 3, lines 43-44); a capacitor (Fig 2, element 280) for storing the data signal voltage delivered to the second transistor; and an electroluminescent element (Fig 2, element 290) for emitting light corresponding to the driving current generated through the second transistor (Col 3, line 39).

Dawson does not elaborate on how the third transistor (Fig 2, element 240) works, although from Fig 2, one can see that the third transistors has the same connections from the drain, source and gate nodes, in which are all connected to the same elements as this invention. As best understood by the examiner, the third transistor will function identically between the two invention in which it would detect and self-compensate threshold voltage deviations in the second transistor.

As per claim 2, Dawson discloses the pixel circuit in the organic light emitting device of claim 1, further comprising: a fourth initialization transistor (Fig 2, element 270) for discharging the data signal voltage stored in the capacitor in response to a scan signal just before the current scan signal (Col 3, lines 60-61).

As per claim 4, Dawson discloses the pixel circuit in the organic light emitting device of claim 1, wherein the first transistor is composed of a PMOS transistor (Col 3, line 12) including a gate (Fig 2, G) to which the current scan line (Fig 2, 210) signal is applied, a source (Fig 2, S) to which the data signal voltage is applied, and a drain coupled to the second transistor (Fig 2).

As per claim 5, Dawson discloses the pixel circuit in the organic light emitting device of claim 1, wherein the second transistor is composed of a PMOS transistor (Col 3, line 12) including a gate coupled to one terminal of the capacitor, a source coupled to the first transistor, and a drain coupled to the electroluminescent element (Fig 2).

As per claim 6, Dawson discloses the pixel circuit in the organic light emitting device of claim 5, wherein the third transistor is composed of a PMOS transistor including a gate to which the current scan signal is applied, and a drain and a source which are coupled to the gate and the drain of the second transistor, respectively, so that the third transistor connects the second

transistor in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor (Fig 2).

As per claim 7, it is inherent that there should be some kind of voltage source or supply to provide functionality to the first and second transistor so that the data signal voltage can flow through those two transistors.

As per claim 20, A method of driving a pixel (Fig 2, element 200) in an organic light emitting device having a plurality of data lines (Fig 2, element 220), a plurality of scan lines (Fig 2, element 210), a plurality of power lines (Fig 2, element 295), and a plurality of pixels each connected to an associated one data line, scan line and power line of the plurality of data lines, scan lines and power lines (Col 3, lines 4-10), the method comprising: performing initialization in response to a scan signal applied to a scan line just before the associated scan line (Col 3, lines 45-67); compensating threshold voltage deviation in response to a scan signal applied to the associated scan line (See claim 1), and programming a data signal voltage, applied from the associated data line, regardless of the threshold voltage deviation; and generating a driving current corresponding to the data signal voltage (Col 3, lines 31-67) to emit an EL (electroluminescent) element in response to a current light-emitting signal (Fig 3, element 340).

Allowable Subject Matter

6. Claim 3 is objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

The following is a statement of reasons for the indication of allowable subject matter:

Claim 3 would be allowable if it was combined with claim 1. None of the prior art teaches the limitations "a fifth transistor for providing a power supply voltage for the second transistor in response to a current light-emitting signal; and a sixth transistor for providing a driving current for the electroluminescent element through the second transistor in response to the current light-emitting signal" of claim 3.

7. Claims 8-19 are allowed.

The following is an examiner's statement of reasons for allowance:

None of the prior art teaches the limitations:

"a fourth transistor for delivering a power supply voltage to the second transistor when the light is emitted; a fifth transistor for delivering the driving current, provided from the second transistor, in response to the data signal voltage when the light is emitted " in combination with all other limitations of claim 8.

"a fourth transistor for delivering a power supply voltage to the second transistor in response to a current light-emitting signal; and a fifth transistor for providing the driving current, provided from the second transistor, for the electroluminescent element in response to the current light-emitting signal" of claim 15.

"a fourth transistor including a gate to which a current light-emitting signal is applied, a source to which a power supply voltage is applied, and a drain coupled to the source of the second transistor" in combination with all other limitations of claim 16.

"a fourth emitting transistor including a gate to which a current light-emitting signal is applied, a source to which a power supply voltage from the power line is applied, and a drain coupled to the source of the second transistor; a fifth transistor including a gate to which the

current light-emitting signal is applied, and a source coupled to the drain of the second transistor" in combination with all other limitations of claim 18.

Claims 9-14 are allowable because these claims are dependant upon claim 8.

Claim 17 is allowable because these claims are dependant upon claim 16.

Claim 19 is allowable because these claims are dependant upon claim 18.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Hoai-Quan T. Ho whose telephone number is 571-270-3148. The examiner can normally be reached on 7:30 A.M. - 4:30 P.M. EST.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Eisen Alexander can be reached on 571-272-7687. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

H-Q. Ho

July 6, 2007

ALEXANDER EISEN
PRIMARY EXAMINER
TECHNOLOGY CENTER 2600

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B	Attorney Docket Number	52226/DBP/S1082
INFORMATION DISCLOSURE **STATEMENT BY APPLICANT** (use as many sheets as necessary)	Application Number	N/A
	Filing Date	July 6, 2004
	Applicant(s)	Ho-Kyoon Chung, et al.
	Group Art Unit	N/A
	Examiner Name	N/A

U.S. PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	DOCUMENT NUMBER Number - Kind Code[2] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee
/H.H./		6,229,506 B1	05-08-2001	Dawson, et al.
/H.H./		6,362,798 B1	03-26-2002	Kimura, et al.

FOREIGN PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	FOREIGN PATENT DOCUMENT Country Code[3] - Number[4] - Kind Code[5] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T[6] (✓)

OTHER DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

AAM PAS573092.1-*-07/6/04 11:04 AM

EXAMINER SIGNATURE	/Hoai Quan Ho/	DATE CONSIDERED	07/05/2007

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B **INFORMATION DISCLOSURE** **STATEMENT BY APPLICANT** (use as many sheets as necessary)		
	Attorney Docket Number	**52226/S1082**
	Application Number	**10/886,014**
	Filing Date	**July 6, 2004**
	Applicant(s)	**Ho-Kyoon Chung, et al.**
	Group Art Unit	**2629**
	Examiner Name	**Richard A. Hjerpe**

U.S. PATENT DOCUMENTS				
EXAMINER INITIALS	Cite No.[1]	DOCUMENT NUMBER Number - Kind Code[2] (If Known)	PUBLICATION DATE MM-DD-YYYY	NAME OF PATENTEE

FOREIGN PATENT DOCUMENTS					
EXAMINER INITIALS	Cite No.[1]	Foreign Patent Document Country Code[3] - Number[4] - Kind Code[5] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T[6] (✓)
/H.H./		KR 2002-0025842	04-04-2002	Anzai et al.	Korean Patent Abstracts

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
/H.H./		Korean Patent Abstracts, Publication No. 1020020025842 A, dated April 4, 2002, in the name of Katsuya Anzai et al.

DLG PAS705960.1-*-10/18/06 12:27 PM

EXAMINER SIGNATURE	/Hoai Quan Ho/	DATE CONSIDERED	07/05/2007

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/dg

SDC-1351-00000245
SDC EX. 2001 - 189/503

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B **INFORMATION DISCLOSURE** **STATEMENT BY APPLICANT** (use as many sheets as necessary)	**Attorney Docket Number**	**52226/S1082**
	Application Number	10/886,014
	Filing Date	July 6, 2004
	Applicant(s)	Ho-Kyoon Chung, et al.
	Group Art Unit	2629
	Examiner Name	Richard A. Hjerpe

U.S. PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	DOCUMENT NUMBER Number - Kind Code[2] (If Known)	PUBLICATION DATE MM-DD-YYYY	NAME OF PATENTEE
/H.H./		6,091,203	07-18-2000	Kawashima et al.

FOREIGN PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	Foreign Patent Document Country Code[3] - Number[4] - Kind Code[5] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T[6] (✓)
/H.H./		CN 1361510 A	07-31-2002	Kwon	Korean Patent Abstract for Corresponding app KR 1020020056353 A

OTHER DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
/H.H./		Office Action dated December 1, 2006 for corresonding Chinese Patent Application No. 200410063736.X (including English translation).
/H.H./		Korean Patent Abstracts, Publication No. 1020020056353 A; Publication Date: 07-10-2002; in the name of Kwon.

VDW PAS725645.1-*-02/27/07 12:03 PM

EXAMINER SIGNATURE	/Hoai Quan Ho/	DATE CONSIDERED	07/05/2007

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/vdw

SDC-1351-00000246
SDC EX. 2001 - 190/503

Notice of References Cited	Application/Control No. 10/886,014	Applicant(s)/Patent Under Reexamination CHUNG ET AL.	
	Examiner Hoai-Quan T. Ho	Art Unit 2609	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-6,229,506	05-2001	Dawson et al.	345/82
*	B	US-2004/0041750	03-2004	Abe, Katsumi	345/076
*	C	US-2004/0145547	07-2004	Oh, Choon-Yul	345/076
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

SDC-1351-00000247
SDC EX. 2001 - 191/503

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Bib Data Sheet

CONFIRMATION NO. 8338

SERIAL NUMBER	FILING OR 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
10/886,014	07/06/2004 RULE	345	2609	52226/S1082

APPLICANTS

Ho-Kyoon Chung, Yongin-si, KOREA, REPUBLIC OF;
Yang-Wan Kim, Seoul, KOREA, REPUBLIC OF;
Choon-Yul Oh, Gunpo-si, KOREA, REPUBLIC OF;
Oh-Kyong Kwon, Seoul, KOREA, REPUBLIC OF;
Sang-Moo Choi, Suwon-si, KOREA, REPUBLIC OF;

**** CONTINUING DATA ***************************

**** FOREIGN APPLICATIONS *********************

REPUBLIC OF KOREA 2003-0045610 07/07/2003 HTH Yes

IF REQUIRED, FOREIGN FILING LICENSE GRANTED
** 08/31/2004

Foreign Priority claimed	STATE OR COUNTRY	SHEETS DRAWING	TOTAL CLAIMS	INDEPENDENT CLAIMS
☑ yes ☐ no	KOREA, REPUBLIC OF	5	20	6

35 USC 119 (a-d) conditions met: ☑ yes ☐ no ☐ Met after Allowance

Verified and Acknowledged: Examiner's Signature _____ Initials HTH

ADDRESS
23363

TITLE

Organic light emitting device pixel circuit and driving method therefor

FILING FEE RECEIVED	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit
1184		

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	10886014	CHUNG ET AL.
	Examiner	**Art Unit**
	Ho, Hoai-Quan T	2609

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	07/05/2007								
	1	✓								
	2	✓								
	3	O								
	4	✓								
	5	✓								
	6	✓								
	7	✓								
	8	=								
	9	=								
	10	=								
	11	=								
	12	=								
	13	=								
	14	=								
	15	=								
	16	=								
	17	=								
	18	=								
	19	=								
	20	✓								

SDC-1351-00000249

SDC EX. 2001 - 193/503

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	10886014	CHUNG ET AL.
	Examiner	Art Unit
	Ho, Hoai-Quan T	2609

SEARCHED			
Class	Subclass	Date	Examiner
345, 315	345/76-83; 315/169.1-169.4	7/05/2007	HTH

SEARCH NOTES		
Search Notes	Date	Examiner
See East Search History (Sheet Attached)	7/05/2007	HTH

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	7319	(345/76-83).ccls. or (315/169. 1-169.4).ccls.	US-PGPUB; USPAT; JPO	OR	ON	2007/07/05 09:15
L2	12177	(current near3 driv$3) and ((threshold near3 voltage) with (transistor TFT capacitor))	US-PGPUB; USPAT; JPO	OR	ON	2007/07/05 09:16
L3	9142	((fifth 5th) near (transistor TFT))	US-PGPUB; USPAT; JPO	OR	ON	2007/07/05 09:17
L4	35986	((power voltage) near3 suppl$3) same (signal near5 gate)	US-PGPUB; USPAT; JPO	OR	ON	2007/07/05 09:19
L5	35	1 and 2 and 3 and 4	US-PGPUB; USPAT; JPO	OR	ON	2007/07/05 09:19

SDC-1351-00000251
SDC EX. 2001 - 195/503

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	15894	(345/76-100).ccls.	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 09:30
L2	158093	current near3 driv$3	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 09:31
L3	163420	voltage near3 driv$3	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 09:32
L4	503176	driv$3 same (transistor switch$2 TFT)	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 09:34
L5	66097	4 same capacitor	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 09:34
L6	91929	threshold same voltage same (transistor switch$2)	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 09:35
L7	961	1 and (2 3) and 5 and 6	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 09:36
L8	6056	(current near3 (source mirror)) same (pixel EL electro$1luminescent)	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 09:38
L9	399	7 and 8	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 09:40
L10	339	7 and 8 and ((power suppl$3) near3 voltage)	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 09:41
L11	62	7 and 8 and ((6th sixth six) near2 (transistor switch$2))	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 09:44
L12	29	((compensat$2 feed$1back) same voltage) and 11	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 11:14
L13	134999	driv$3 near2 (transistor switch$2 TFT)	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 11:15
L14	207	(2 3) and (13 same capacitor) and 6 and 8 and 13 and ((compensat$2 feed$1back) same voltage)	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 11:18
L15	169	14 and "345".clas.	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 11:18

SDC-1351-00000252
SDC EX. 2001 - 196/503

EAST Search History

L16	0	14 and (345/76-82)	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 11:19
L17	123	14 and (345/76-82).ccls.	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 11:21
L18	141	14 and ((345/76-83).ccls. (315/169.1-169:4).ccls.)	US-PGPUB; USPAT; JPO	OR	ON	2007/06/28 11:24
L19	28	("3590156" | "3761617" | "4006383" | "4114070" | "4482841" | "4528480" | "4532506" | "4554539" | "4613793" | "4652872" | "4736137" | "4797667" | "4957747" | "4958105" | "4962374" | "4963861" | "4975691" | "5003302" | "5028916" | "5063378" | "5079483" | "5095248" | "5172032" | "5302966" | "5463279" | "5670979" | "5684365" | "5952789").PN.	US-PGPUB; USPAT; USOCR	OR	ON	2007/06/28 14:46

SDC-1351-00000253
SDC EX. 2001 - 197/503

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being electronically filed with the United States Patent and Trademark Office on July 20, 2007 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.

Diane L. Goss

Applicant	: Ho-Kyoon Chung, et al.	Confirmation No. 8338
Application No.	: 10/886,014	
Filed	: July 6, 2004	
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREOF	
Grp./Div.	: 2609	
Examiner	: Hoai Quan T. Ho	
Docket No.	: 52226/S1082	

INFORMATION DISCLOSURE STATEMENT WITH FEE UNDER 37 CFR §§ 1.97(c) AND 1.17(p)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
July 20, 2007

Commissioner:

In compliance with the duty of disclosure under 37 CFR §§ 1.56, 1.97 and 1.98, and in accordance with the provisions in the Manual of Patent Examining Procedure §§ 609 and 707.05(b), enclosed is FORM PTO/SB/08A/B listing the references that are known to applicant. Copies of each of the listed Foreign Patent and Other Documents references are enclosed.

It is respectfully requested that the listed references be considered in the examination of this application and identified on the list of references cited on the patent issuing for this application. Applicant also requests that an initialed copy of FORM PTO/SB/08A/B be entered in the application file and returned to applicant with the next communication from the Office in accordance with MPEP § 609.

Enclosed, via deposit account, is the processing fee of $180 as required by 37 CFR § 1.17(p). The Commissioner is hereby authorized to charge any fees which may be required by this paper to Deposit Account No. 03-1728. Please show our docket number with any Deposit Account transaction.

Respectfully submitted,
CHRISTIE, PARKER & HALE, LLP

By _____
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/dg
Enclosures: Copy of IDS
Form PTO/SB/08A/B, w/references

DLG PAS747105.1-*-07/20/07 3:00 PM

SDC-1351-00000255
SDC EX. 2001 - 199/503

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B **INFORMATION DISCLOSURE** **STATEMENT BY APPLICANT** (use as many sheets as necessary)		
	Attorney Docket Number	52226/S1082
	Application Number	10/886,014
	Filing Date	July 6, 2004
	Applicant(s)	Ho-Kyoon Chung, et al.
	Group Art Unit	2609
	Examiner Name	Hoai Quan T. Ho

U.S. PATENT DOCUMENTS				
EXAMINER INITIALS	Cite No.[1]	DOCUMENT NUMBER Number - Kind Code[2] (If Known)	PUBLICATION DATE MM-DD-YYYY	NAME OF PATENTEE
		2003/0067424 A1	04-10-2003	Akimoto et al.

FOREIGN PATENT DOCUMENTS					
EXAMINER INITIALS	Cite No.[1]	Foreign Patent Document Country Code[3] - Number[4] - Kind Code[5] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T[6] (✓)
		EP 1 220 191	07-03-2002	Kwon	
		JP 2000-347621	12-15-2000	Kondo et al.	Patent Abstracts of Japan
		JP 2002-215096	07-31-2002	Kwon	Patent Abstracts of Japan
		JP 2002-244617	08-30-2002	Furumiya	Patent Abstracts of Japan
		JP 2003-173165	06-20-2003	Aoki	Patent Abstracts of Japan
		JP 2003-202833	07-18-2003	Kimura et al.	Patent Abstracts of Japan
		JP 2003-223138	08-08-2003	Kimura	Patent Abstracts of Japan
		JP 2004-133240	04-30-2004	Asano et al.	Patent Abstracts of Japan

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		European Search Report dated April 23, 2007, for EP 04090270.2, in the name of Samsung SDI Co., Ltd.
		Patent Abstracts of Japan, Publiction No. 2000-347621, dated December 15, 2000, in the name of Yuji Kondo, et al.

EXAMINER SIGNATURE		DATE CONSIDERED	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/dg

SDC-1351-00000256
SDC EX. 2001 - 200/503

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B **INFORMATION DISCLOSURE** **STATEMENT BY APPLICANT** (use as many sheets as necessary)		
	Attorney Docket Number	52226/S1082
	Application Number	10/886,014
	Filing Date	July 6, 2004
	Applicant(s)	Ho-Kyoon Chung, et al.
	Group Art Unit	2609
	Examiner Name	Hoai Quan T. Ho

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		Patent Abstracts of Japan, Publiction No. 2002-215096, dated July 31, 2002, in the name of Oh-Kyong Kwon
		Patent Abstracts of Japan, Publiction No. 2002-244617, dated August 30, 2002, in the name of Naoaki Furumiya
		Patent Abstracts of Japan, Publiction No. 2003-173165, dated June 20, 2003, in the name of Aoki Yoshiaki
		Patent Abstracts of Japan, Publiction No. 2003-202833, dated July 18, 2003, in the name of Hajime Kimura, et al.
		Patent Abstracts of Japan, Publiction No. 2003-223138, dated August 8, 2003, in the name of Hajime Kimura.
		Patent Abstracts of Japan, Publiction No. 2004-133240, dated April 30, 2004, in the name of Shin Asano.

DLG PAS746962.1-*-07/20/07 2:50 PM

EXAMINER SIGNATURE		DATE CONSIDERED	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/dg

SDC-1351-00000257
SDC EX. 2001 - 201/503

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 1 220 191 A2

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
03.07.2002 Bulletin 2002/27

(51) Int Cl.[7]: **G09G 3/32**

(21) Application number: **01125334.1**

(22) Date of filing: **26.10.2001**

(84) Designated Contracting States:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE TR
Designated Extension States:
AL LT LV MK RO SI

(30) Priority: **29.12.2000 KR 2000085683**

(71) Applicant: **Samsung SDI Co., Ltd.**
Suwon-Si, Kyungki-do (KR)

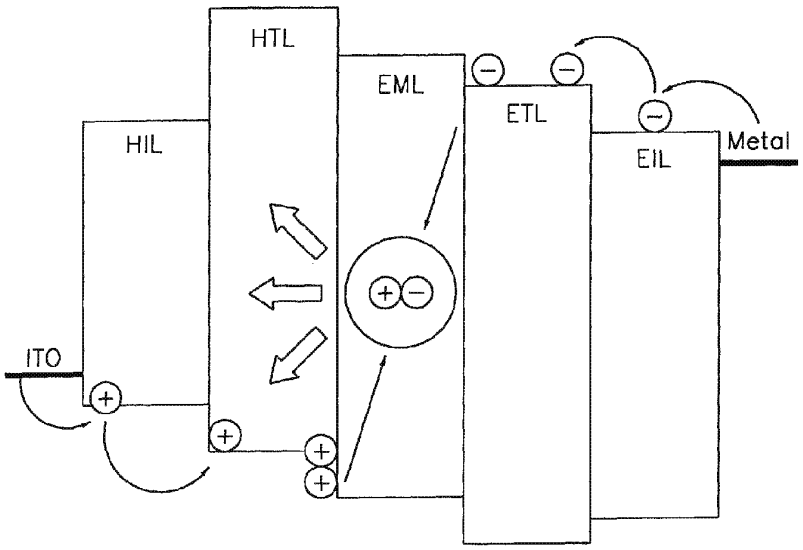
(72) Inventor: **Kwon, Oh-Kyong**
Songpa-ku, Seoul (KR)

(74) Representative: **Modiano, Guido, Dr.-Ing. et al**
Modiano, Josif, Pisanty & Staub,
Baaderstrasse 3
80469 München (DE)

(54) Organic electroluminescent display, driving method and pixel circuit thereof

(57) Disclosed is an OELD and a pixel circuit which comprise: an organic EL element for emitting light corresponding to a supplied current; a first switch for switching data voltage supplied to a data line in response to a select signal supplied to a scan line; a first TFT for supplying the current to the organic EL element in response to the data voltage supplied to a gate of the first TFT via the first switch; a second TFT having a gate coupled to the gate of the first TFT and compensating for a deviation of a threshold voltage of the first TFT; and a capacitor for maintaining the data voltage supplied to the gate of the first TFT during a predetermined time.

FIG.1



EP 1 220 191 A2

Printed by Jouve, 75001 PARIS (FR)

SDC-1351-00000258
SDC EX. 2001 - 202/503

Description

BACKGROUND OF THE INVENTION

(a) Field of the Invention

[0001] The present invention relates to an organic electroluminescent (EL) display, a driving method of the EL display and a pixel circuit of the EL display. More specifically, the present invention relates to an organic EL display (OELD), its driving methods and a pixel circuit for compensating for deviations of the threshold voltage of a thin film transistor (TFT) and achieving high gray scale display when driving the pixels of the OELD by using the TFT.

(b) Description of the Related Art

[0002] In general, the OELD electrically excites fluorescent organic compounds to emit light, and performs voltage driving or current driving on a (N x M) number of organic luminescent cells so as to display images. As shown in FIG. 1, the organic luminescent cell comprises an anode (ITO), an organic thin film, and a cathode layer (Metal). The organic thin film comprises multi-layers including an emitting layer (EML), an electron transport layer (ETL), and a hole transport layer (HTL) so as to provide a good balance between the electron concentration and the hole concentration thereby improving emitting efficiency, and it additionally comprises an electron injecting layer (EIL) and a hole injecting layer (HIL).

[0003] Methods for driving the organic luminescent cells as described above are categorized as a passive matrix method and an active matrix method. The passive matrix method forms positive electrodes to be perpendicular to negative electrodes and selects lines and drives them, and the active matrix method connects the TFT and a capacitor to each ITO pixel electrode so that the voltage may be maintained according to capacitance.

[0004] FIG. 2 shows a conventional pixel circuit for driving an OELD using a TFT, illustrating a pixel from among a (N x M) number of the pixels. Referring to FIG. 2, a current driving transistor (Mb) is coupled to the OELD and supplies current to emit light. The current through the current driving transistor (Mb) is controlled by the data voltage supplied via a switching transistor (Ma). In this instance, a capacitor C for maintaining the supplied voltage during a predetermined frame period is coupled between the source and the gate of the current driving transistor (Mb). The gate of the switching transistor (Ma) responds to an n-th select signal line Select[n], and the source to a data line Data[m].

[0005] Referring to FIG. 3, as to an operation of the pixel having the above-described configuration, when the transistor Ma is turned on by the select signal Select[n] supplied to the gate of the switching transistor Ma, the data voltage V_{DATA} is supplied to the gate (node A) of the transistor Mb via a data line. In response to the data voltage V_{DATA} supplied to the gate, the current flows to the OELD via the transistor Mb to emit light.

[0006] In this instance, the current that flows to the OELD is expressed as follows:

Equation 1

$$I_{OELD} = \frac{\beta}{2}\cdot(V_{GS}-V_{TH})^2 = \frac{\beta}{2}\cdot(V_{DD}-V_{DATA}-V_{TH})^2$$

where I_{OELD} represents the current flowing to the OELD, V_{GS} represents the voltage between the source and the gate of the transistor Mb, V_{TH} represents the threshold voltage of the transistor Mb, V_{DATA} represents the data voltage, and β represents a constant.

[0007] As expressed in Equation 1 and according to the pixel circuit as shown in FIG. 2, the current corresponding to the supplied data voltage V_{DATA} is supplied to the OELD, and in response to the supplied current, the OELD emits light. In this instance, the data voltage V_{DATA} has multi-step values within a predetermined range so as to show the gray.

[0008] However, it is difficult for the conventional pixel circuit to achieve high gray scale because of deviations of the threshold voltage V_{TH} of the TFT inherent from manufacturing process thereof. For example, in the case of driving the TFT pixels with data voltage in the range of 3 volts, two data voltages representing adjacent gray levels mest be apart from each other approximately by 12mV(=3V/256) so as to implement 8-bit(256) gray scale. If the deviation of threshold voltage is 100mV, it is difficult to discriminate one data voltage from another which results in decreased gray scale.

SUMMARY OF THE INVENTION

[0009] It is an object of the present invention to provide an OELD for compensating for deviations of the threshold voltage of the TFT and displaying high gray scale.

[0010] An OELD according to one aspect of the present invention comprises: a plurality of data lines for transmitting

SDC-1351-00000259
SDC EX. 2001 - 203/503

data voltages for displaying image signals; a plurality of scan lines for transmitting select signals; and a plurality of pixel circuits respectively formed on a plurality of pixels defined by the data lines and the scan lines, individual pixel circuits comprising: an organic EL element for emitting light corresponding to a supplied current; a first switch for switching data voltage supplied to a data line in response to a select signal supplied to a scan line; a first TFT for supplying the current to the organic EL element in response to the data voltage supplied to a gate of the first TFT via the first switch; a second TFT having a gate coupled to the gate of the first TFT and compensating for a threshold voltage deviation of the first TFT; and a capacitor for maintaining the data voltage supplied to the gate of the first TFT during a predetermined time.

[0011] A method according to one aspect of the present invention is to drive an OELD including a plurality of data lines, a plurality of scan lines crossing the data lines, and a plurality of matrix type pixels having TFTs formed in regions defined by the data lines and the scan lines and supplying current to organic EL elements, the method for driving an OELD comprises the steps of: supplying a data voltage for displaying image signals to the data lines; sequentially supplying a select signal for selecting a pixel row to the scan lines; switching the data voltage supplied to the data lines in response to the select signal, and compensating the supplied data voltage to reduce a the effect of threshold voltage deviation of the TFT; and transmitting the compensated data voltage to a gate of the TFT and supplying the current to the organic EL element.

[0012] Furthermore, the method may further comprise the step of initializing the data voltage supplied to the gate of the TFT in response to a control signal.

[0013] An OELD pixel circuit according to one aspect of the present invention is formed on a plurality of pixels defined by a plurality of data lines and scan lines, the OELD pixel circuit comprises: an organic electroluminescent (EL) element; a first thin film transistor (TFT) having a drain coupled to the organic EL element; a second TFT having a gate coupled to a gate of the first TFT, and the gate and a drain of the second TFT being coupled together; a first switch having a control terminal coupled to the scan line, and having a first terminal and a second terminal respectively coupled to the data line and a source of the second TFT; and a capacitor coupled between the gate and a source of the first TFT.

BRIEF DESCRIPTION OF THE DRAWINGS

[0014] The accompanying drawings, which are incorporated in and constitute a part of the specification, illustrate an embodiment of the invention, and, together with the description, serve to explain the principles of the invention:

FIG. 1 shows a diagram of a general organic EL element;
FIG. 2 shows a conventional pixel circuit for driving the organic EL element;
FIG. 3 shows a timing diagram ef for the conventional pixel circuit;
FIG. 4 shows an OELD device according to a preferred embodiment of the present invention;
FIG. 5 shows a pixel circuit according to a preferred embodiment of the present invention;
FIG. 6 shows a pixel circuit according to a first preferred embodiment of the present invention;
FIG. 7 shows a pixel circuit according to a second preferred embodiment of the present invention;
FIGs. 8(a) and 8(b) show timing diagrams for the pixel circuit as shown in FIG. 6;
FIG. 9 shows a timing diagram for the pixel circuit as shown in FIG. 7;
FIG. 10 shows a pixel circuit according to a third preferred embodiment of the present invention;
FIGs. 11(a) and 11(b) show timing diagrams for the pixel circuit as shown in FIG. 10;
FIG. 12 shows a pixel circuit according to a fourth preferred embodiment of the present invention;
FIG. 13 shows a pixel circuit according to a fifth preferred embodiment of the present invention;
FIG. 14 shows a pixel circuit according to a sixth preferred embodiment of the present invention;
FIG. 15 shows a pixel circuit according to a seventh preferred embodiment of the present invention;
FIGs. 16 and 17 show timing diagrams for the pixel circuit as shown in FIGs. 14 and 15;
FIG. 18 shows a pixel circuit according to an eighth preferred embodiment of the present invention;
FIG. 19 shows a pixel circuit according to a ninth preferred embodiment of the present invention;
FIG. 20 shows a layout of an organic EL element according to the preferred embodiment of the present invention; and
FIG. 21 shows a cross sectional view of FIG. 20 with respect to a line **A-B**.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

[0015] In the following detailed description, only the preferred embodiment of the invention has been shown and described, simply by way of illustration of the best mode contemplated by the inventor(s) of carrying out the invention. As will be realized, the invention is capable of modification in various obvious respects, all without departing from the invention. Accordingly, the drawings and description are to be regarded as illustrative in nature, and not restrictive.

SDC-1351-00000260
SDC EX. 2001 - 204/503

[0016] FIG. 4 shows an OELD according to a preferred embodiment of the present invention.

[0017] As shown, the OELD comprises an OELD panel 10; a data driver 30; and a scanning driver 20.

[0018] The OELD panel 10 comprises a plurality of data lines D1 to Dy for transmitting data voltages for displaying image signals; scan lines S1 to Sz for transmitting select signals; and a pixel circuit 11 formed on each of a plurality of pixels surrounded by the data lines and the scan lines.

[0019] The data driver 30 supplies the data voltage for displaying the image signals to the data lines, and the scanning driver 20 sequentially supplies the select signals to the scan lines.

[0020] FIG. 5 shows the pixel circuit 11 according to the preferred embodiment of the present invention.

[0021] As shown, the pixel circuit 11 comprises an OELD, TFTs M1 and M2, switches S1 and S2, and a capacitor C1.

[0022] The OELD emits light corresponding to the supplied current, and the current driving transistor M1 has a source coupled to the power voltage VDD and a drain coupled to the OELD, and supplies the current corresponding to the data voltage which is provided to a gate of the transistor M1 via the data line, to the OELD.

[0023] The transistor M2 has a gate coupled to the gate of the transistor M1, and the gate and a drain of the transistor M2 are coupled to function as a diode, and the transistor M2 compensates for deviations of the threshold voltage of the transistor M1 for supplying the current. According to the pixel circuit shown in FIG. 5, the current supply transistor M1 and the threshold voltage compensation transistor M2 are configured in PMOS type TFTs, but can also be configured in NMOS type TFTs to be subsequently described.

[0024] The capacitor C1, coupled between the power voltage VDD and the gate of the transistor M1, maintains the data voltage supplied to the gate of the transistor M1 during a predetermined frame period.

[0025] The switch S1 is switched responsive to the select signal Select[n] supplied by the scan line, and transmits the data voltage supplied to the data line to the current driving transistor M1 via the transistor M2. The switch S2 initializes the gate voltage of the transistor M1 in response to a reset signal.

[0026] An operation of the pixel circuit according to the preferred embodiment as shown in FIG. 5 will now be described.

[0027] When the switch S1 is turned on according to the select signal Select[n] supplied to the switch S1, the data voltage V_{DATA} supplied to the data line is supplied to the gate (node A) of the driving transistor M1 via the transistor M2, and in response to the data voltage V_{DATA} supplied to the gate, the current flows to the OELD via the transistor M1 to emit light.

[0028] In this instance, the current flowing to the OELD is expressed as follows:

Equation 2

$$I_{OELD}=\frac{\beta}{2}\cdot(V_{GS}-V_{TH1})^2=\frac{\beta}{2}\cdot(V_{DD}-(V_{DATA}-V_{TH2})-V_{TH1})^2$$

where I_{OELD} represents the current flowing to the OELD, V_{GS} represents the voltage between the source and the gate of the transistor M1, V_{TH1} represents the threshold voltage of the transistor M1, V_{TH2} represents the threshold voltage of the transistor M2, and β represents a constant.

[0029] In this instance, if the threshold voltages of the transistors M1 and M2 are identical, that is, $V_{TH1} = V_{TH2}$, Equation 2 can be expressed in Equation 3. According to the preferred embodiment of the present invention, since the transistors M1 and M2 are manufactured under almost identical process conditions, the deviation of the threshold voltages of the two transistors are minimal, and accordingly, the threshold voltages become virtually identical.

Equation 3

$$I_{OELD}=\frac{\beta}{2}\cdot(V_{DD}-V_{DATA})^2$$

[0030] Therefore, according to the preferred embodiment of the present invention, the OELD as expressed by Equation 3 flows the current corresponding to the data voltage supplied to the data line without relation to the threshold voltage of the current driving transistor M1. That is, since the transistor M2 compensates for the deviation of the threshold voltage of the current driving transistor M1, the transistor M1 can precisely control the current flowing to the OELD, and accordingly, the OELD with high gray scale is provided.

[0031] When the data during a previous frame period is a high level voltage and the data of a subsequent frame period is a low level voltage, no more data signal can be supplied to the node A because of diode connection characteristics of the transistor M2. Therefore, the switch S2 may be provided to initialize the node A for each time frame period with a predetermined level (e.g., a ground level). In this instance, the switch S2 can be driven by an additional reset signal or by a just previous select signal Select[n-1] to increase an aperture ratio of pixels of the OELD.

SDC-1351-00000261
SDC EX. 2001 - 205/503

[0032] FIG. 6 shows a pixel circuit of the OELD according to a first preferred embodiment of the present invention. As shown, the pixel circuit comprises a current supplying transistor M1 and a threshold voltage compensation transistor M2 of PMOS transistors, and switches S1 and S2 of PMOS transistors M3 and M4 in the like manner of the pixel circuit of FIG. 5.

[0033] Also, an additional reset signal Reset is supplied to a gate of the transistor M4 for resetting the gate voltage of the transistor M1.

[0034] FIGs. 8(a) and 8(b) show timing diagrams for driving the pixel circuit of FIG. 6.

[0035] Referring to FIG. 8(a), the node A is initialized by the initial reset signal, a corresponding pixel is selected via the select signal Select[n], and the data signal Data[m] is supplied to the corresponding pixel. That is, according to the driving method shown in FIG. 8(a), signals are supplied to the respective transistors in order of the reset signal, the select signal and the data signal.

[0036] In detail, an external reset signal Reset is supplied to the gate of the transistor M4 to initialize the node A into a ground level, and a select signal Select[n] is supplied to the gate of the transistor M3 to activate the corresponding pixel. A data signal Data[m] is supplied to the source of the activated transistor M3 to drive the current driving transistor M1. In this instance, the current that flows to the OELD via the current driving transistor M1 is expressed in Equation 3.

[0037] The pixel circuit for using the external reset signal according to the first preferred embodiment of the present invention can be driven using the timing diagram of FIG. 8(b) as well as that of FIG. 8(a).

[0038] Referring to FIG. 8(b), the node A is initialized by the initial reset signal Reset, the data signal Data[m] is supplied to the data line, and the corresponding pixel is selected via the select signal Select[n]. That is, according to the driving method shown in FIG. 8(b), signals are supplied to the respective transistors in order of the reset signal, the data signal and the select signal.

[0039] FIG. 7 shows a pixel circuit of the OELD according to a second preferred embodiment of the present invention. The pixel circuit according to the second preferred embodiment is almost identical to the pixel circuit of FIG. 6 except that the gate of the transistor M4 is coupled to a previous scan line. That is, the pixel circuit according to the second preferred embodiment uses the select signal Select[n-1] of the previous scan line instead of an additional external reset signal Reset, and supplies the select signal Select[n-1] to the gate of the transistor M4.

[0040] As described above, when the additional external reset signal is not used, no additional wiring for transmitting the reset signal is needed, and accordingly, the aperture ratio of the pixel can be increased.

[0041] FIG. 9 shows a timing diagram for driving the OELD according to the second preferred embodiment.

[0042] As shown, according to the second preferred embodiment for resetting the node A using the scanning signal, the signals must be supplied to the respective transistors in order of the previous select signal (reset signal), the data signal and the present select signal. That is, the data voltage must be supplied to the data line before the present select signal Select[n] is supplied to the scan line.

[0043] In the case the select signal Select[n] is supplied before the present data voltage is supplied as shown in FIG. 8(a), the previous data voltage supplied to the data line is supplied to the current driving transistor M1 via the transistor M3. Therefore, the select signal must be supplied to the data line after the present data voltage is supplied to the data line.

[0044] FIG. 10 shows a pixel circuit of the OELD according to a third preferred embodiment of the present invention, and FIGs. 11(a) and 11(b) show timing diagrams for driving the pixel circuit of FIG. 10. As shown in FIG. 10, the pixel circuit according to the third preferred embodiment of the present invention comprises NMOS type transistors M5 to M8 differing from the pixel circuits of FIGs. 6 and 7 and having a configuration totally symmetrical with the pixel circuits of FIGs. 6 and 7.

[0045] Since an operation of the pixel circuit of FIG. 10 and the timing diagrams of FIGs. 11(a) and 11(b) can be easily understood by a skilled person according to the descriptions of FIGs. 6 and 7, a repeated description will not be provided.

[0046] FIG. 12 shows a pixel circuit of the OELD according to a fourth preferred embodiment of the present invention.

[0047] As shown, the pixel circuit according to the fourth preferred embodiment has a configuration almost identical to those of the pixel circuits of FIGs. 6 and 7 except that a pre-charge voltage Vpre instead of the ground voltage is supplied to the drain of the switching transistor M4. As described above, when the pre-charge voltage is supplied to the drain of the transistor M4, the initial voltage of the node A can be increased to the pre-charge voltage level Vpre instead of the ground level, and hence, switching time of the transistor and power consumption can be reduced. In this instance, it is preferable to establish the pre-charge voltage to be slightly less than the minimum voltage supplied to the node A theat corresponds to the minimum voltage supplied to the data line and the maximum gray level (i.e. white level).

[0048] FIG. 13 shows a pixel circuit of OELD according to a fifth preferred embodiment of the present invention.

[0049] As shown, the pixel circuit according to the fifth preferred embodiment has a configuration almost identical to those of the pixel circuits of FIGs. 6 and 7 except that the drain and the gate of the switching transistor M4 are coupled to function as a diode and the gate of the transistor M4 (i.e., an input terminal of the diode) is coupled to an external

SDC-1351-00000262
SDC EX. 2001 - 206/503

reset signal terminal or a previous scan line.

[0050] As shown, according to the preferred embodiment, the node A can also be initialized via the transistor M4 coupled to the diode, and when the reset signal or the previous select signal is used instead of the ground voltage or the pre-charge voltage, since additional ground wiring or pre-charge wiring is not needed to be formed, the amount of wiring is reduced and the aperture ratio is increased.

[0051] FIG. 14 shows a pixel circuit of the OELD according to a sixth preferred embodiment of the present invention.

[0052] As shown, the pixel circuit according to the sixth preferred embodiment has a configuration almost identical to that of the pixel circuit of FIG. 6 except that the NMOS transistor M9 is used instead of the PMOS type transistor M4. An external reset signal is supplied to the gate of the transistor M9.

[0053] Referring to FIG. 6, when the switching transistor M4 to which the reset signal is supplied is a PMOS transistor, a predetermined voltage (e.g., the ground level) is supplied to the gate of the transistor M4 at a reset operation, and the voltage at the source (node A) of the transistor M4 continues to be decreased because of the reset operation. Therefore, the voltage V_{GS} between the gate and the source of the transistor M4 continues to be decreased and the current flowing to the ground or the pre-charge voltage from the node A via the transistor M4 continues to be reduced and substantial reset time is required. Also, since the voltage difference between the gate and the source of the transistor M4 must be greater than the absolute value of the threshold voltage Vth, when it is assumed that the reset signal supplied at the reset operation is the ground voltage, the actual lowest voltage at the node A becomes |Vth|.

[0054] Differing from this, according to the pixel circuit according to the sixth preferred embodiment, since an NMOS transistor is used for the switching transistor M9, the lowest voltage at the node A that can be achieved is almost the ground level, and accordingly, the range of the data voltage to display gray levels can be widened. Also, since the voltage V_{GS} between the gate and the source of the transistor M9 is constant differing from FIG. 6, the current flowing to the ground or the pre-charge voltage from the node A via the transistor M4 is constant, and accordingly, the reset operation can be quickly performed.

[0055] FIG. 16 shows a timing diagram for driving the pixel circuit according to the sixth preferred embodiment. As shown, since the transistor M9 having the gate to which the reset signal is supplied is an NMOS transistor in the pixel circuit according to the sixth preferred embodiment, the reset signal has a waveform opposite to that of the reset signal of FIG. 8(a).

[0056] Since the operation of the pixel circuit of FIG. 14 and the timing diagram of FIG. 16 can be easily understood by a skilled person, a repeated description will not be provided.

[0057] FIG. 15 shows a pixel circuit of the OELD according to a seventh preferred embodiment of the present invention, and FIG. 17 shows a timing diagram of a driving waveform used in FIG. 15.

[0058] As shown by FIG. 15, the pixel circuit according to a seventh preferred embodiment has a configuration almost identical to that of the pixel circuit of FIG. 14 except that the previous scan line is coupled to the gate of the NMOS transistor M9, the previous select signal Select[n-1] is used as a reset signal, and the transistor M10 having the gate coupled to the scan line is an NMOS transistor.

[0059] When the previous select signal coupled to the gate of the NMOS transistor M9 is used as a reset signal, the transistor for switching the data voltage must be an NMOS transistor.

[0060] As shown by FIG. 17, since the pixel circuit according to the seventh preferred embodiment resets the node A using a previous select signal, the signals must be supplied to the respective transistor in order of the previous select signal (reset signal), the data signal and the present select signal.

[0061] FIGs. 18 and 19 respectively show pixel circuits of the OELD according to eighth and ninth preferred embodiments of the present invention.

[0062] The PMOS transistors and the NMOS transistors of the respective pixel circuits of FIGs. 18 and 19 are symmetrically changed with those of the pixel circuits of FIGs. 14 and 15.

[0063] Since the operation of the pixel circuits in FIGs. 18 and 19 can be easily understood by a skilled person according to the above description, a repeated description will not be provided.

[0064] A layout and a cross sectional view of the OELD according to the preferred embodiment of the present invention will now be described.

[0065] FIG. 20 shows a layout of the OELD, and more precisely, a layout of the pixel circuit of FIG. 13.

[0066] FIG. 21 shows a cross sectional view of FIG. 20 with respect to the line A-B.

[0067] Referring to FIGs. 20 and 21, the regions I, II, III and V respectively define the regions for forming the TFTs M3, M2, M1 and M4 thereon, and the region IV for forming the OELD thereon.

[0068] As shown in FIGs. 20 and 21, a polycrystalline silicon(poly-Si) layer 200 is formed on a transparent insulation substrate 100, and a gate insulation layer 300 of SiO_2 or SiNx is formed thereon.

[0069] A scan line 400 of Al and Cr is patterned in the horizontal direction on the gate insulation layer 300 to be crossed with the polycrystalline silicon layer 200. Gate electrodes 410 are respectively formed on portions where the scan lines 400 are superimposed with the polycrystalline silicon layer 200 in the I and V regions. Also, a first capacitor electrode 450 is patterned on the same layer with the same material as the scan line 400. The gate electrodes 410

SDC-1351-00000263
SDC EX. 2001 - 207/503

are respectively formed on the portions where the first capacitor electrode 450 is superimposed with the polycrystal silicon layer 200 of the II and III regions.

[0070] In this instance, a portion of the polycrystalline silicon layer 200 under the gate electrode 410 is not doped and forms a channel region 220. Both outer sides of the channel region 220 in polycrystalline silicon layer 200 are doped with p-type dopant and respectively form a drain region 230 and a source region 210.

[0071] An insulating interlayer layer 500 of silicon dioxide or silicon nitride is formed on the top of the gate layer such as the scan line 400 or the first capacitor electrode 450, and the gate insulation layer 300 and the interlayer layer 500 have contact holes C1 and C2 to expose the source and drain regions 210 and 230.

[0072] A data line 600 of Cr or Mo is formed in the perpendicular direction on the interlayer layer 500. A portion extended from the data line 600 and superimposed with a portion of the silicon layer 200 of the region I, that is, the source region 210, becomes a source electrode 610. In this instance, the source electrode 610 is connected to the source region 210 via the contact hole C1 formed on the interlayer layer 500.

[0073] Also, a second capacitor electrode 650 superimposed on the first capacitive line 450, for forming capacitance, is formed on a layer identical with that of the data line 600 and with a material identical with that of the data line 600. A portion where the second capacitor electrode 650 is superimposed with a portion of the silicon layer 200 of the region III, that is, the source region 210, becomes the source electrode 610. In this instance, the source electrode 610 is connected to the source region 210 via the contact hole C1.

[0074] First to fourth signal lines 640, 660, 670 and 680 are formed on the the same layer with the same material as the data line 600. A portion where the first signal line 640 is superimposed with a portion of the polycrystalline silicon layer 200 of the region II, that is, the drain region 230, becomes the drain electrode 620, and a portion where the second signal line 660 is superimposed with the source region 210 of the region V becomes the source electrode 610. A portion where the third signal line 670 is superimposed with the drain region 230 of the region V becomes the drain electrode 620, and a portion where the fourth signal line 680 is superimposed with the drain region 230 of the region III becomes the drain electrode 620. In this instance, the source and drain electrodes 610 and 620 are respectively connected to the source and drain regions 210 and 230 via the contact holes C1 and C2.

[0075] The first and second signal lines 640 and 660 are connected to the first capacitor electrode 450 via a contact hole C3, and accordingly, as shown in FIG. 13, the drain electrode of the transistor M2 is connected to the gate electrodes of the transistors M2 and M1 and the source electrode of the transistor M4. The third signal line 670 is connected to a previous scan line Select[n-1] via the contact hole C3, and therefore, as shown by the equivalent circuit in FIG. 3, the drain electrode of the transistor M4 is connected to the previous scan line.

[0076] A passivation layer 700 of silicon oxide and silicon nitride is provided on the data wiring such as the data line 600 and the source and drain electrodes 610 and 620. A transparent pixel electrode 800 of indium-tin-oxide (ITO) is formed on the protective insulation layer 700 formed on the region IV. The pixel electrode 800 is connected to the drain electrode 620 of the TFT M1 through a via hole C4 formed on the passivation layer 700.

[0077] A flattening layer 900 is formed on the protective insulation layer 700 and the pixel electrode 800, and an organic EL element layer 1000 is formed on the flattening layer 900 and the pixel electrode 800.

[0078] According to the OELD shown in FIG. 20, the TFTs M2 and M1 are provided on one line in parallel to the data line 600. In the case of manufacturing the OELD, laser beams are scanned in parallel to the data lines. Since the TFTs M2 and M1 are located on the line in parallel to the data line 600 according to the preferred embodiment of the present invention, they are scanned with the same laser beams. Hence, since the TFTs M1 and M2 are manufactured under almost the same process condition, their threshold voltages become almost identical.

[0079] Therefore, according to the preferred embodiment of the present invention, since it is satisfied that $V_{TH1} = V_{TH2}$, Equation 3 is virtually satisfied and the OELD of high gray scale can be implemented.

[0080] The layout and the cross sectional view of the OELD shown in FIGs. 20 and 21 represents an exemplified embodiment, and diversified variations of embodiments can be implemented.

[0081] For example, in the case of manufacturing the OELD using scanned laser beams in parallel to the scan lines, the TFTs M2 and M1 may be located on the line in parallel to the scan line to be scanned with the same laser beams.

[0082] As described above, the present invention effectively compensates for the deviation of the threshold voltage of the TFT for driving the OELD and implements an OELD of higher gray scale.

[0083] While this invention has been described in connection with what is presently considered to be the most practical and preferred embodiment, it is to be understood that the invention is not limited to the disclosed embodiments, but, on the contrary, is intended to cover various modifications and equivalent arrangements included within the spirit and scope of the appended claims. where technical features mentioned in any claim are followed by reference signs, those reference signs have been included for the sole purpose of increasing the intelligibility of the claims and accordingly, such reference signs do not have any limiting effect on the scope of each element identified by way of example by such reference signs.

SDC-1351-00000264
SDC EX. 2001 - 208/503

Claims

1. An organic electroluminescent display (OELD) comprising:

   a plurality of data lines for transmitting data voltages for representing image signals;
   a plurality of scan lines for transmitting select signals; and
   a plurality of pixel circuits respectively formed on a plurality of pixels defined by the data lines and the scan lines, each pixel circuit comprising:

      an organic electroluminescent (EL) element for emitting light corresponding to a supplied current;
      a first switch for switching data voltage supplied to a data line in response to a select signal supplied to a scan line;
      a first thin film transistor (TFT) for supplying the current to the organic EL element in response to the data voltage supplied to a gate of the first TFT via the first switch;
      a second TFT having a gate coupled to the gate of the first TFT and compensating for a threshold voltage deviation of the first TFT; and
      a capacitor for maintaining the data voltage supplied to the gate of the first TFT during a predetermined time.

2. The OELD of claim 1, wherein the OELD further comprises a second switch for initializing the data voltage supplied to the gate of the first TFT in response to a control signal.

3. The OELD of claim 2, wherein the control signal is an additional external reset signal.

4. The OELD of claim 2, wherein the control signal is a select signal of a previous scan line.

5. The OELD of claim 4, wherein the data voltage is supplied to the data line before the select signal is supplied to the pixel.

6. The OELD of claim 2, wherein a gate and a drain of the second TFT are coupled together.

7. The OELD of claim 2, wherein the first switch is a third TFT having a gate coupled to the scan line, a source (or a drain) coupled to the data line, and a drain (or a source) coupled to a source (or a drain) of the second TFT, and the second switch is a fourth TFT having a gate coupled to the control signal, a source (or a drain) coupled to the gate of the first TFT, and a drain (or a source) to which a predetermined voltage for a resetting is supplied.

8. The OELD of claim 7, wherein the predetermined voltage supplied to the drain of the fourth TFT is a ground voltage.

9. The OELD of claim 7, wherein the predetermined voltage supplied to the drain of the fourth TFT is a pre-charge voltage.

10. The OELD of claim 9, wherein the pre-charge voltage is set to be marginally less than the minimum data voltage supplied to the gate of the first TFT so as to represent the maximum gray level.

11. The OELD of claim 7, wherein the gate and the drain of the fourth TFT are coupled together.

12. The OELD of claim 7, wherein the first to fourth TFTs have an identical conductive type.

13. The OELD of claim 7, wherein the first to third TFTs are first conductive type transistors, and the fourth TFT is a second conductive type transistor which has a polarity opposite to that of the first conductive type transistors.

14. The OELD of claim 7, wherein the first and second TFTs are first conductive type transistors, and the third and fourth TFTs are second conductive type transistors which have polarity opposite to that of the first conductive type transistors.

15. The OELD of claim 1, wherein the first and second TFTs have almost identical threshold voltages.

16. The OELD of claim 15, wherein the first and second TFTs are parallel to the data line or the scan line, and formed

SDC-1351-00000265
SDC EX. 2001 - 209/503

on a same line.

17. A method for driving an organic electroluminescent display (OELD) including a plurality of data lines, a plurality of scan lines crossing the data lines, and a plurality of matrix type pixels having thin film transistors (TFTs) which are formed in regions defined by the data lines and the scan lines and supply current to organic electroluminescent (EL) elements, comprising the steps of:

supplying a data voltage for representing image signals to the data lines;
sequentially supplying a select signal for selecting a pixel row to the scan lines;
switching the data voltage supplied to the data lines in response to the select signal, and compensating the supplied data voltage to reduce a threshold voltage deviation of the TFT; and
transmitting the compensated data voltage to a gate of the TFT, and supplying the current to the organic EL element.

18. The method of claim 17, wherein the method further comprising the step of initializing the data voltage supplied to the gate of the TFT in response to a control signal.

19. The method of claim 18, wherein the control signal is an additional external reset signal.

20. The method of claim 18, wherein the control signal is a select signal of a previous scan line.

21. The method of claim 20, wherein the data voltage is supplied to the data line before the select signal is supplied tothe scan line.

22. An organic electroluminescent display (OELD) pixel circuit formed on a plurality of pixels defined by a plurality of data lines and scan lines, comprising:

an organic electroluminescent (EL) element;
a first thin film transistor (TFT) having a drain coupled to the organic EL element;
a second TFT having a gate coupled to a gate of the first TFT, and the gate and a drain of the second TFT being coupled together;
a first switch having a control terminal coupled to the scan line, and having a first terminal and a second terminal respectively coupled to the data line and a source of the second TFT; and
a capacitor coupled between the gate and a source of the first TFT.

23. The pixel circuit of claim 22, wherein the pixel circuit further comprises a second switch having a control terminal to which a control signal is supplied, a first terminal coupled to the drain of the second TFT, and a second terminal to which a predetermined voltage is supplied.

24. The pixel circuit of claim 23, wherein an additional external reset signal is supplied to the control terminal of the second switch.

25. The pixel circuit of claim 23, wherein a previous scan line is coupled to the control terminal of the second switch.

26. The pixel circuit of claim 23, wherein the first switch is a third TFT having a gate coupled to the scan line, a source (or a drain) coupled to the data line, and a drain (or a source) coupled to a source (or a drain) of the second TFT, and the second switch is a fourth TFT having a gate for responding to the control signal, a source (or a drain) coupled to the gate of the first TFT, and a drain (or a source) to which a predetermined voltage for a reset process is supplied.

27. The pixel circuit of claim 26, wherein the gate and the drain of the fourth TFT are coupled together.

28. The pixel circuit of claim 26, wherein the first to fourth TFTs have an identical conductive type.

29. The pixel circuit of claim 26, wherein the first to third TFTs are first conductive type transistors, and the fourth TFT is a second conductive type transistor which has a polarity opposite to that of the first conductive type transistors.

30. The pixel circuit of claim 26 wherein the first and second TFTs are first conductive type transistors, and the third

SDC-1351-00000266
SDC EX. 2001 - 210/503

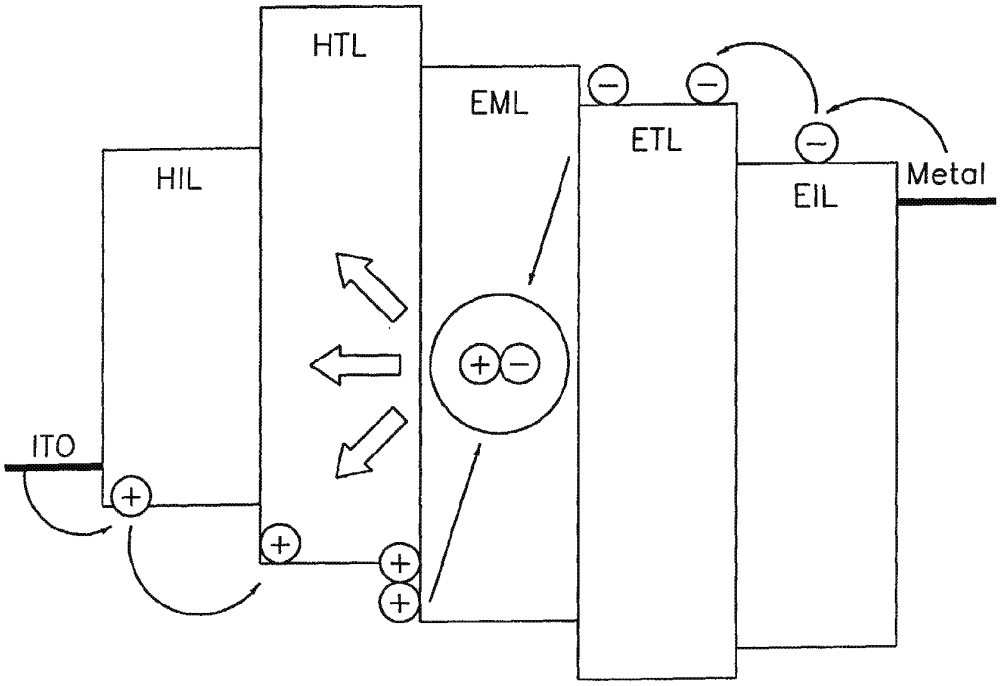
and fourth TFTs are second conductive type transistors which have polarity opposite to that of the first conductive type transistors.

31. The pixel circuit of claim 22, wherein the first and second TFTs have almost identical threshold voltages.

32. The OELD of claim 3, wherein the first and second TFTs are parallel to the data line or the scan line, and formed on the same line.

SDC-1351-00000267
SDC EX. 2001 - 211/503

FIG.1



SDC-1351-00000268
SDC EX. 2001 - 212/503

FIG.2(Prior Art)

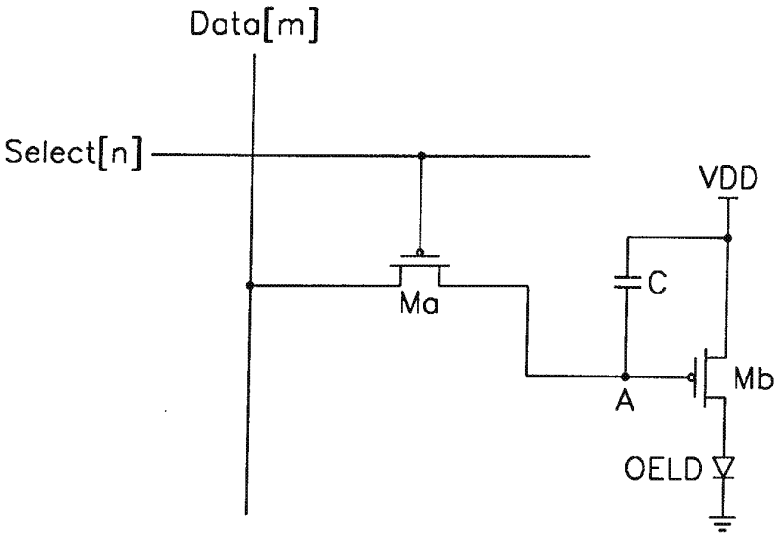
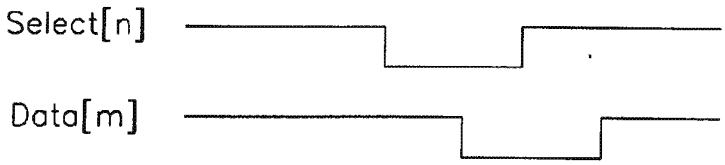


FIG.3



SDC-1351-00000269
SDC EX. 2001 - 213/503

FIG.4

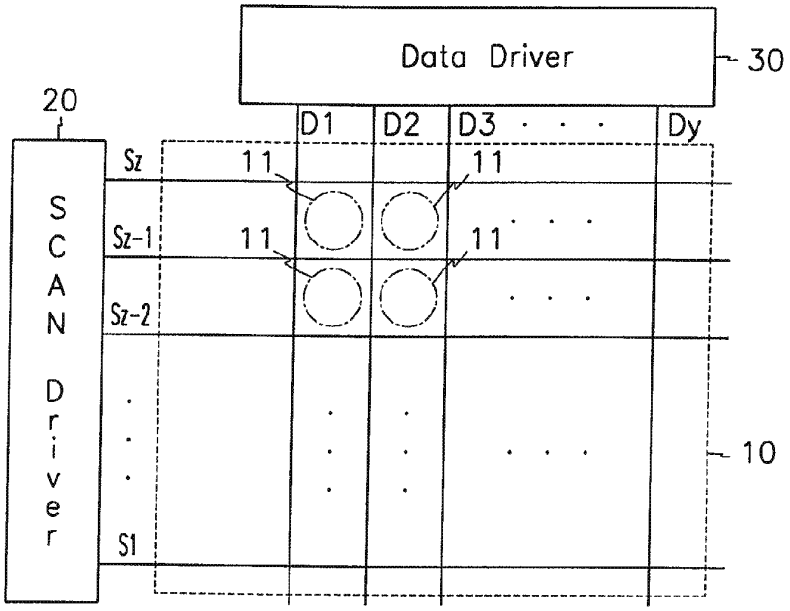
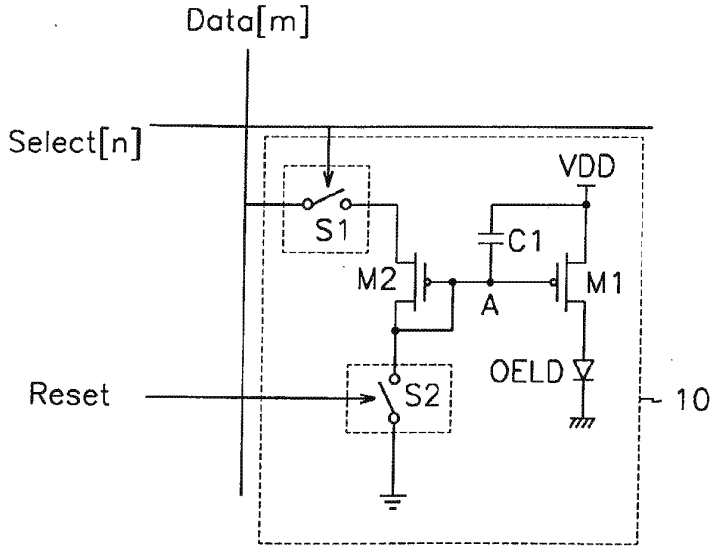
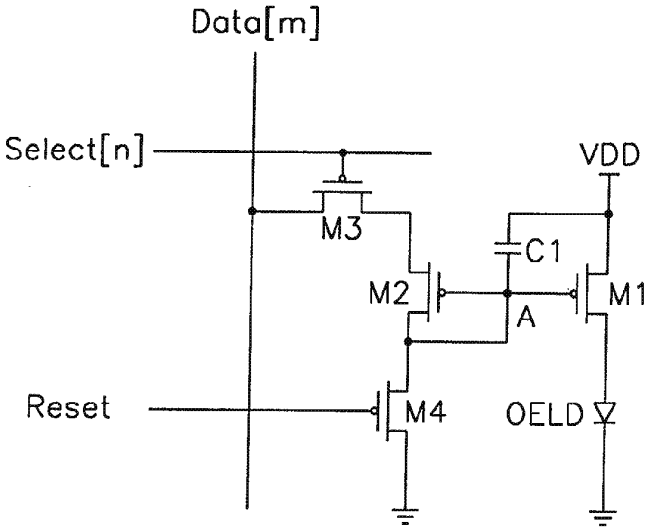


FIG.5



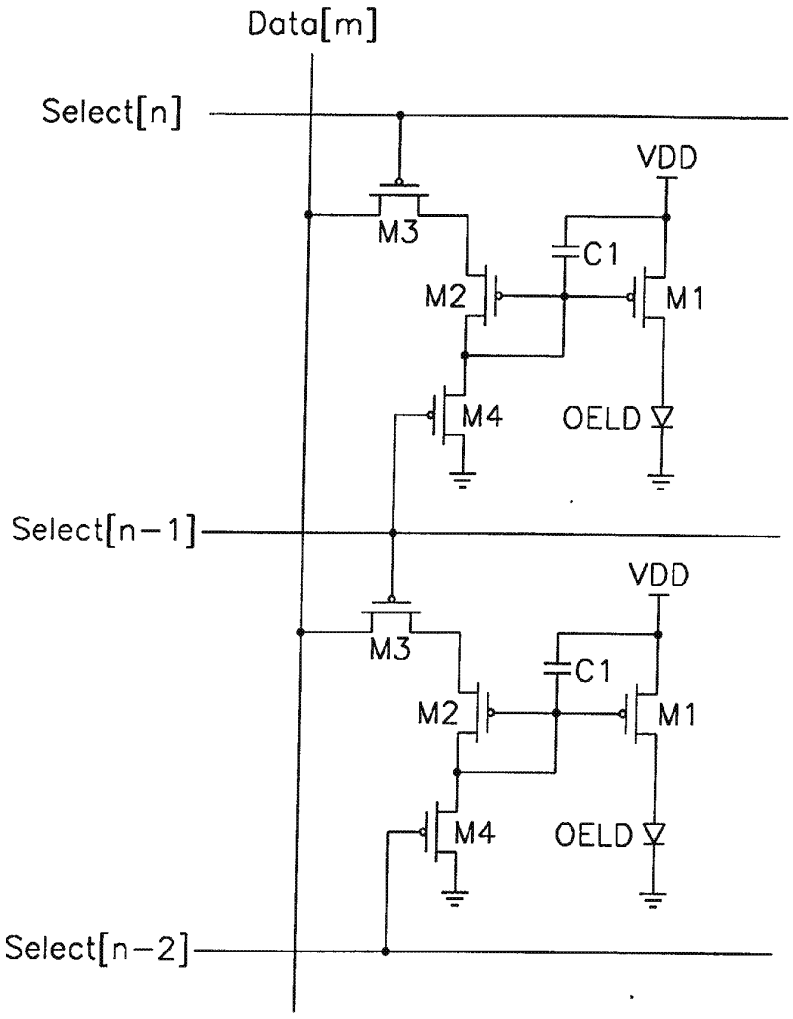
SDC-1351-00000270
SDC EX. 2001 - 214/503

FIG.6



SDC-1351-00000271
SDC EX. 2001 - 215/503

FIG.7



SDC-1351-00000272
SDC EX. 2001 - 216/503

FIG.8A

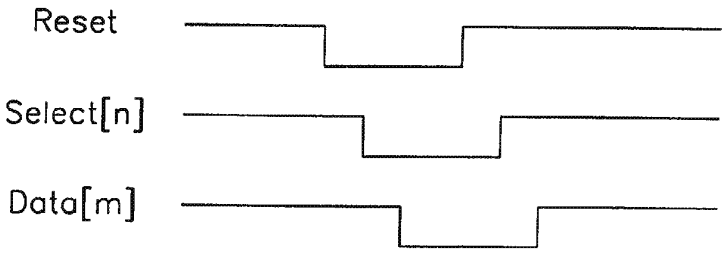


FIG.8B

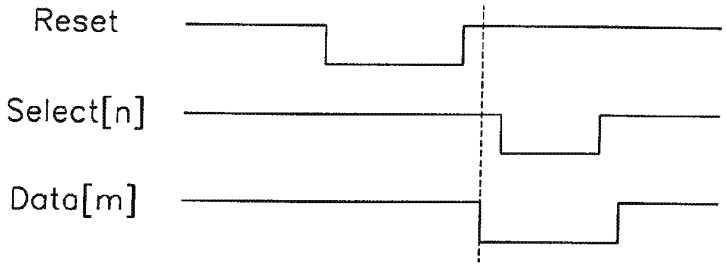
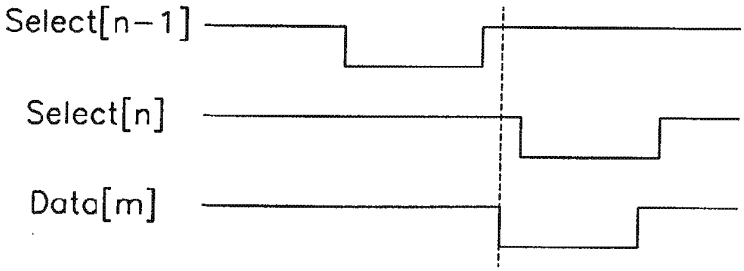


FIG.9



SDC-1351-00000273
SDC EX. 2001 - 217/503

FIG.10

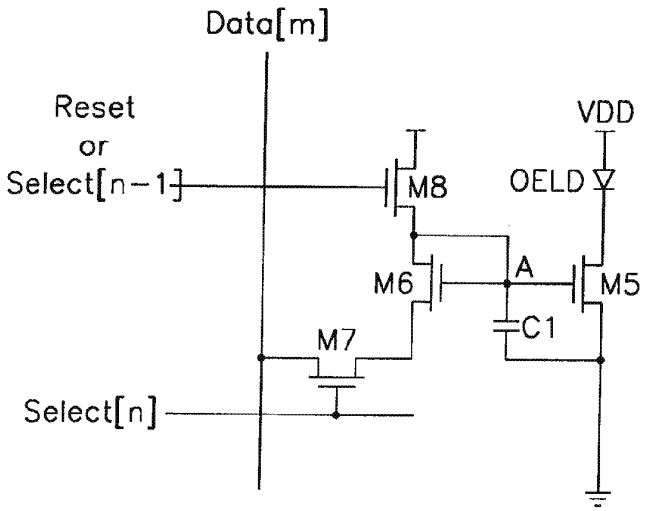


FIG.11A

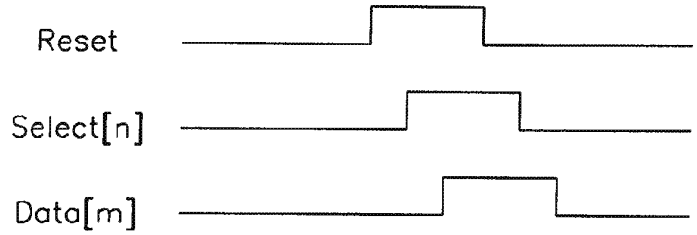
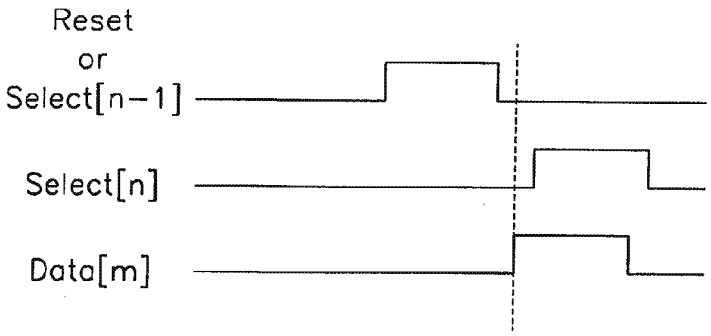


FIG.11B



SDC-1351-00000274
SDC EX. 2001 - 218/503

FIG.12

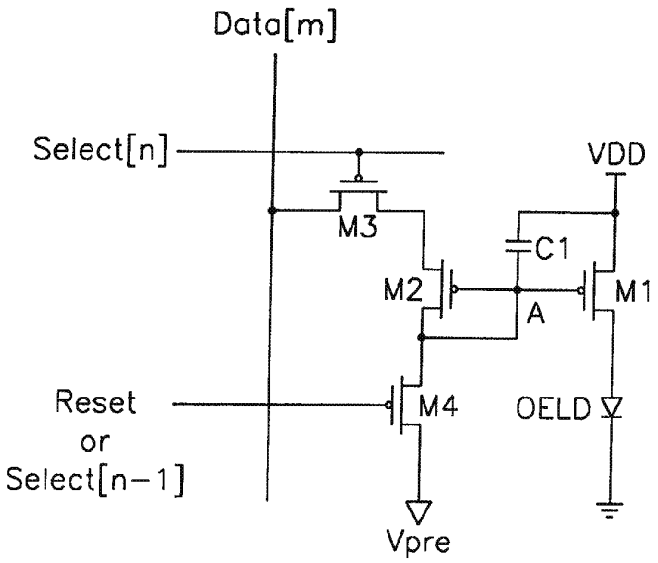
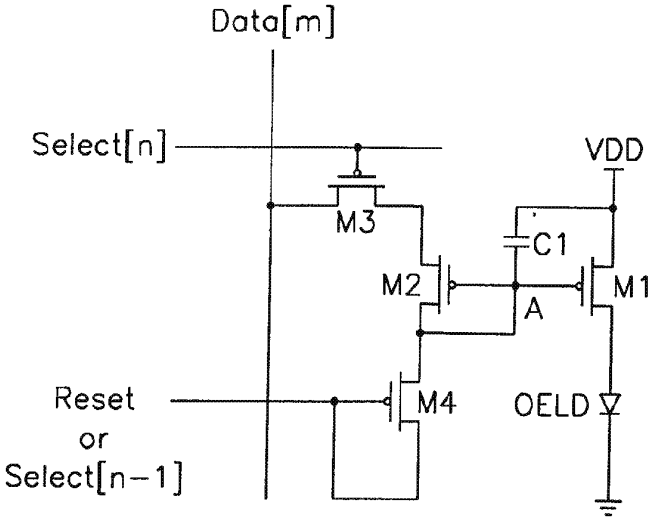


FIG.13



SDC-1351-00000275
SDC EX. 2001 - 219/503

FIG.14

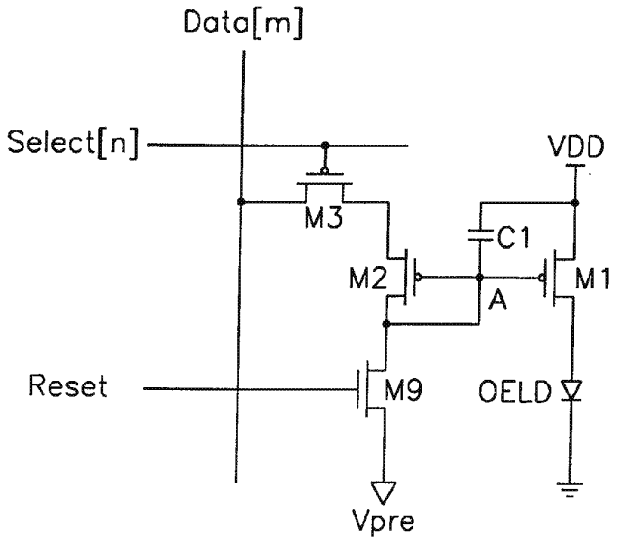
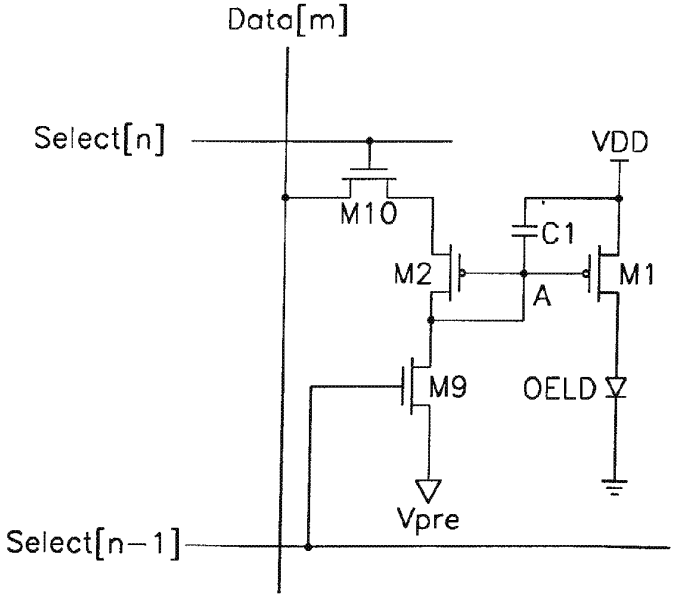


FIG.15



SDC-1351-00000276
SDC EX. 2001 - 220/503

FIG.16

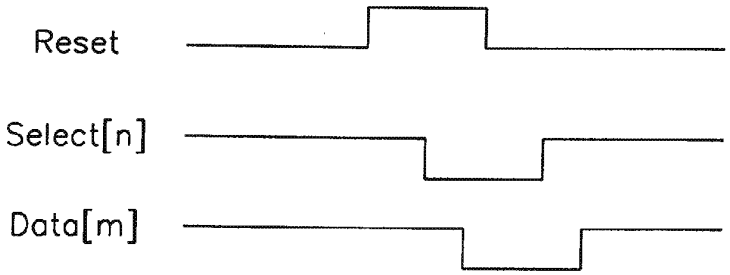
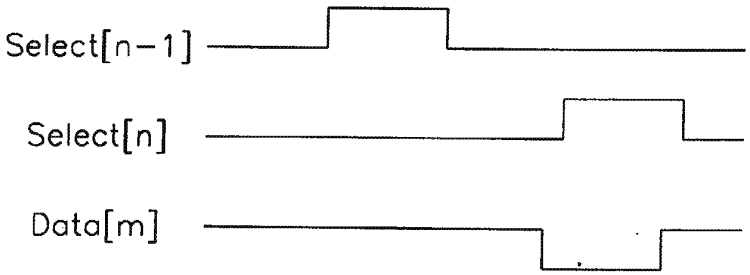


FIG.17



SDC-1351-00000277
SDC EX. 2001 - 221/503

FIG.18

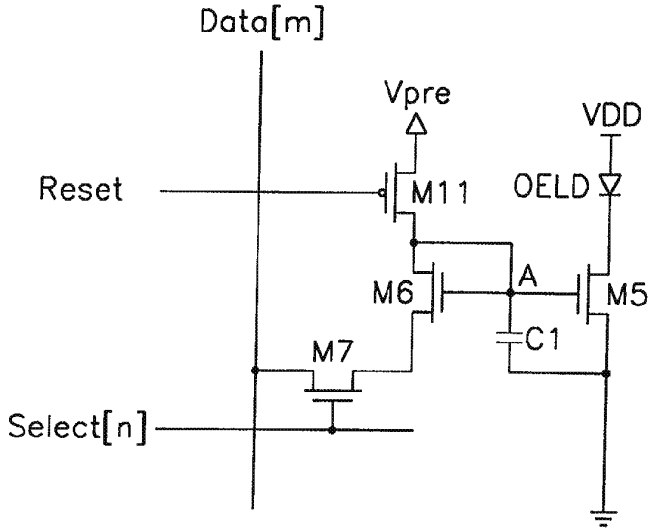
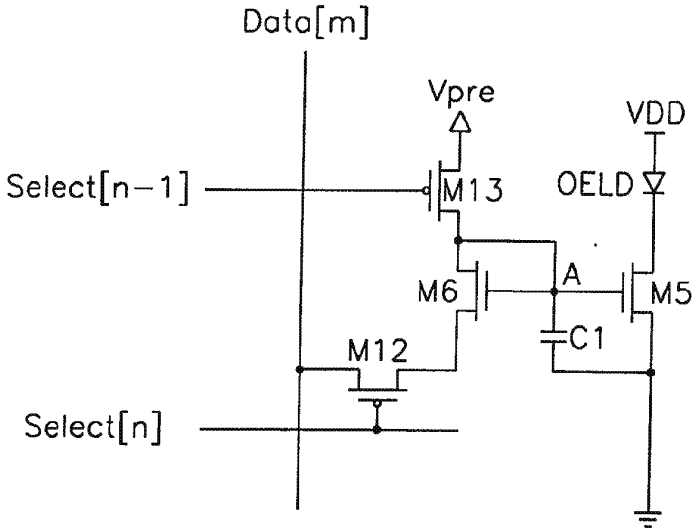
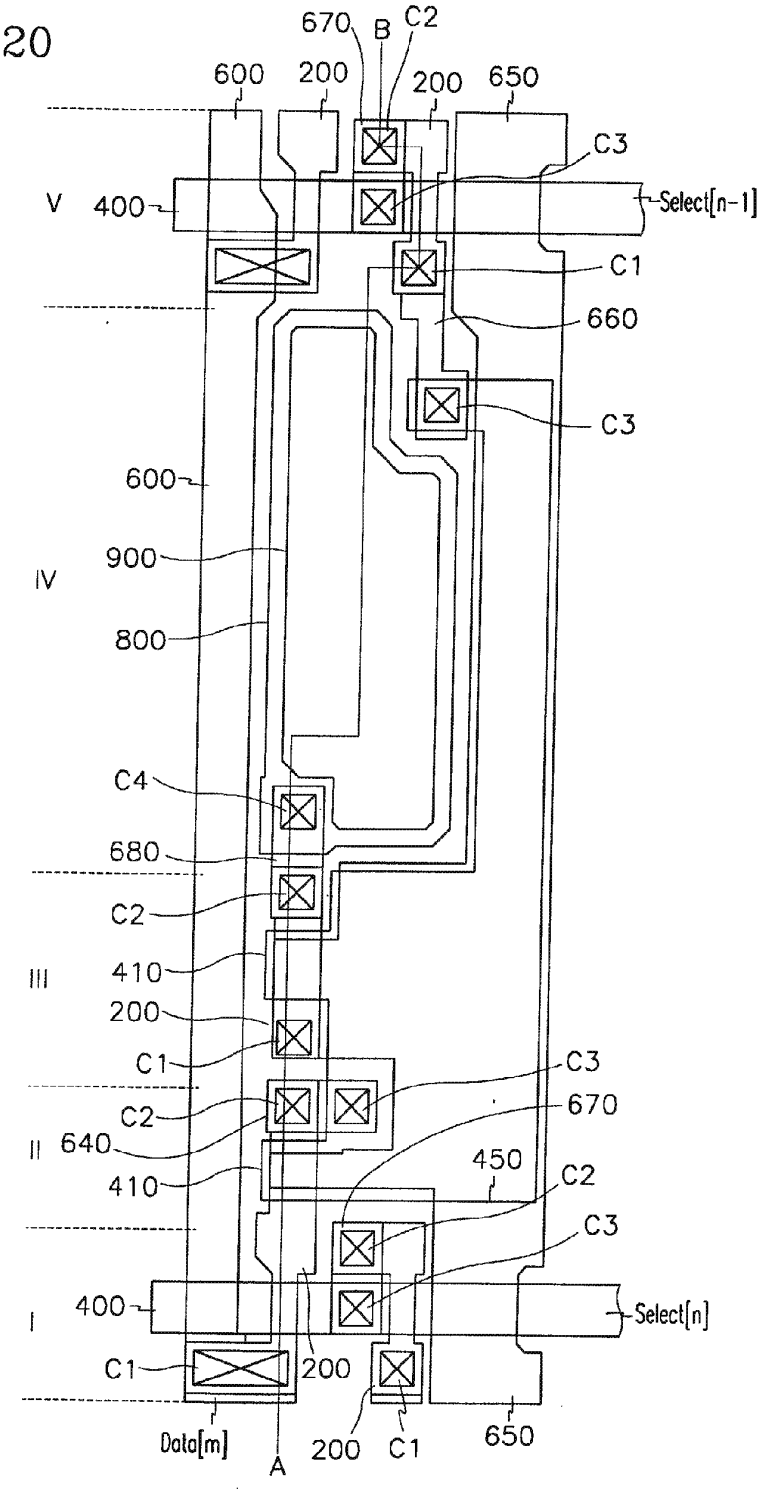


FIG.19



SDC-1351-00000278
SDC EX. 2001 - 222/503

FIG.20



SDC-1351-00000279
SDC EX. 2001 - 223/503

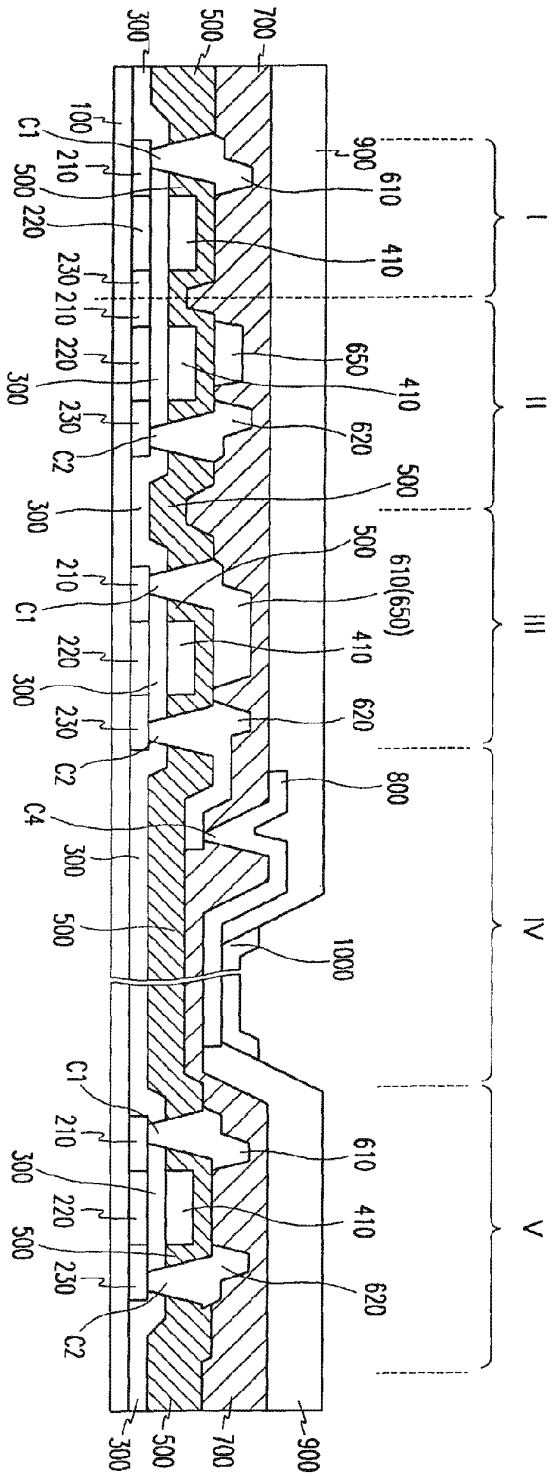


FIG.21

SDC-1351-00000280
SDC EX. 2001 - 224/503

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-347621
(43)Date of publication of application : 15.12.2000

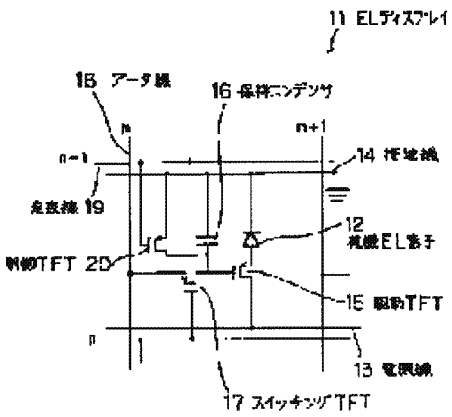
(51)Int.Cl. G09G 3/30
G09F 9/30
G09G 3/20
// H05B 33/14

(21)Application number : 11-162422
(22)Date of filing : 09.06.1999

(71)Applicant : NEC CORP
(72)Inventor : KONDO YUJI
ODA ATSUSHI

(54) METHOD AND DEVICE FOR IMAGE DISPLAY

(57)Abstract:
PROBLEM TO BE SOLVED: To provide an image display device for active driving organic EL elements of M-lines and N-columns capable of prolonging the life of the organic EL elements.
SOLUTION: The driving voltage of a power line 13 is applied to an organic EL element 12 corresponding to the holding voltage of a holding condenser 16 to control light emission of an organic EL element 12 by active driving. In this case, the deriving voltage of the organic EL element 12 is stopped for a moment just before lighting control by discharging the holding voltage of the holding capaciter 16 on the (n) column at a timing of a scanning voltage on the (n-1) column.



LEGAL STATUS

[Date of request for examination]	23.05.2000
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3259774
[Date of registration]	14.12.2001
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's	

SDC-1351-00000281
SDC EX. 2001 - 225/503

decision of rejection]
[Date of extinction of right]

SDC-1351-00000282
SDC EX. 2001 - 226/503

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－347621
（P2000－347621A）
(43)公開日　平成12年12月15日(2000.12.15)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｇ０９Ｇ　3/30		Ｇ０９Ｇ　3/30	Ｊ	３Ｋ００７
Ｇ０９Ｆ　9/30	３３８	Ｇ０９Ｆ　9/30	３３８	５Ｃ０８０
	３６５		３６５Ｃ	５Ｃ０９４
Ｇ０９Ｇ　3/20	６２４	Ｇ０９Ｇ　3/20	６２４Ｂ	
			６２４Ｅ	

審査請求　有　請求項の数17　ＯＬ　（全 16 頁）　最終頁に続く

(21)出願番号　特願平11－162422

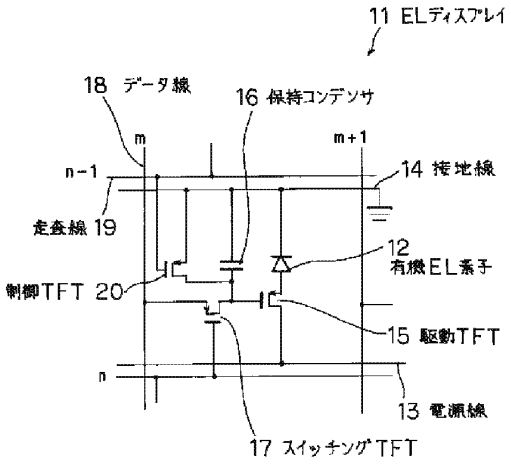
(22)出願日　平成11年６月９日(1999.6.9)

(71)出願人　000004237
日本電気株式会社
東京都港区芝五丁目７番１号
(72)発明者　近藤　祐司
東京都港区芝五丁目７番１号　日本電気株式会社内
(72)発明者　小田　淳
東京都港区芝五丁目７番１号　日本電気株式会社内
(74)代理人　100088328
弁理士　金田　暢之　（外２名）

最終頁に続く

(54)【発明の名称】　画像表示方法および装置

(57)【要約】
【課題】　Ｍ行Ｎ列の有機ＥＬ素子をアクティブ駆動する画像表示装置において、有機ＥＬ素子の寿命を延長する。
【解決手段】　保持コンデンサ１６の保持電圧に対応して電源線１３の駆動電圧を有機ＥＬ素子１２に印加し、有機ＥＬ素子１２をアクティブ駆動で発光制御する。ただし、第(ｎ－１)列目の走査電圧のタイミングで第ｎ列目の保持コンデンサ１６の保持電圧を放電するなどし、有機ＥＬ素子１２の駆動電圧を点灯制御の直前に一瞬だけ停止させる。



SDC-1351-00000283
SDC EX. 2001 - 227/503

1

【特許請求の範囲】

【請求項１】　M行N列(MおよびNは各々所定の自然数)の二次元状に配列されている(M×N)個の有機ＥＬ(Electro-Luminescence)素子と、これら(M×N)個の前記有機ＥＬ素子の発光輝度が個々に設定されたデータ電圧が順番に印加されるM行のデータ線と、これらM行のデータ線に印加されるデータ電圧に同期して走査電圧が順番に入力されるN列の走査線と、これらN列の走査線に順番に入力される走査電圧により一列ずつオン状態とされるM行N列のスイッチング手段と、これらM行N列のスイッチング手段のオン状態に対応してM行の前記データ線から印加される(M×N)個のデータ電圧を個々に保持するM行N列の電圧保持手段と、所定の駆動電圧が常時印加されている一対の電源電極と、この電源電極に常時印加されている駆動電圧を(M×N)個の前記電圧保持手段の保持電圧に個々に対応して(M×N)個の前記有機ＥＬ素子に印加するM行N列の駆動トランジスタと、を具備している画像表示装置の画像表示方法であって、第ｎ列目の前記走査線に走査電圧が入力される直前に第ｎ列目のM個の前記有機ＥＬ素子への駆動電圧の印加を停止させるようにした画像表示方法。

【請求項２】　M行N列の二次元状に配列されている(M×N)個の有機ＥＬ素子と、これら(M×N)個の前記有機ＥＬ素子の発光輝度が個々に設定されたデータ電圧が順番に印加されるM行のデータ線と、これらM行のデータ線に印加されるデータ電圧に同期して走査電圧が順番に入力されるN列の走査線と、これらN列の走査線に順番に入力される走査電圧により一列ずつオン状態とされるM行N列のスイッチング手段と、これらM行N列のスイッチング手段のオン状態に対応してM行の前記データ線から印加される(M×N)個のデータ電圧を個々に保持するM行N列の電圧保持手段と、所定の駆動電圧が常時印加されている一対の電源電極と、この電源電極に常時印加されている駆動電圧を(M×N)個の前記電圧保持手段の保持電圧に個々に対応して(M×N)個の前記有機ＥＬ素子に印加するM行N列の駆動トランジスタと、を具備している画像表示装置の画像表示方法であって、第ｎ列目の前記走査線に走査電圧が入力される直前に第ｎ列目のM個の前記有機ＥＬ素子に駆動電圧とは極性が反対の反対電圧を印加させるようにした画像表示方法。

【請求項３】　M行N列の二次元状に配列されている(M×N)個の有機ＥＬ素子と、

これら(M×N)個の前記有機ＥＬ素子の発光輝度が個々に設定されたデータ電圧が順番に印加されるM行のデータ線と、

これらM行のデータ線に印加されるデータ電圧に同期して走査電圧が順番に入力されるN列の走査線と、

これらN列の走査線に順番に入力される走査電圧により一列ずつオン状態とされるM行N列のスイッチング手段と、

2

これらM行N列のスイッチング手段のオン状態に対応してM行の前記データ線から印加される(M×N)個のデータ電圧を個々に保持するM行N列の電圧保持手段と、

所定の駆動電圧が常時印加されている一対の電源電極と、

この電源電極に常時印加されている駆動電圧を(M×N)個の前記電圧保持手段の保持電圧に個々に対応して(M×N)個の前記有機ＥＬ素子に印加するM行N列の駆動トランジスタと、

第ｎ列目の前記走査線に走査電圧が入力される直前に第ｎ列目のM個の前記有機ＥＬ素子への駆動電圧の印加を停止させる通電制御手段と、を具備している画像表示装置。

【請求項４】　M行N列の二次元状に配列されている(M×N)個の有機ＥＬ素子と、

これら(M×N)個の前記有機ＥＬ素子の発光輝度が個々に設定されたデータ電圧が順番に印加されるM行のデータ線と、

これらM行のデータ線に印加されるデータ電圧に同期して走査電圧が順番に入力されるN列の走査線と、

これらN列の走査線に順番に入力される走査電圧により一列ずつオン状態とされるM行N列のスイッチング手段と、

これらM行N列のスイッチング手段のオン状態に対応してM行の前記データ線から印加される(M×N)個のデータ電圧を個々に保持するM行N列の電圧保持手段と、

所定の駆動電圧が常時印加されている一対の電源電極と、

この電源電極に常時印加されている駆動電圧を(M×N)個の前記電圧保持手段の保持電圧に個々に対応して(M×N)個の前記有機ＥＬ素子に印加するM行N列の駆動トランジスタと、

第ｎ列目の前記走査線に走査電圧が入力される直前に第ｎ列目のM個の前記有機ＥＬ素子に駆動電圧とは極性が反対の反対電圧を印加させる通電制御手段と、を具備している画像表示装置。

【請求項５】　前記通電制御手段は、第(ｎ－ａ)列目(ａはNより小さい自然数)の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子への駆動電圧の印加を停止させる請求項３記載の画像表示装置。

【請求項６】　前記通電制御手段は、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子に反対電圧を印加させる請求項４記載の画像表示装置。

【請求項７】　前記通電制御手段は、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子への駆動電圧の印加を停止させるとともに反対電圧を印加させる請求項４記載の画像表示装置。

【請求項８】　前記通電制御手段は、第(ｎ－ｂ)列目(ｂはａより大きくNより小さい整数)の前記走査線に走

SDC-1351-00000284
SDC EX. 2001 - 228/503

査電圧が入力されると第ｎ列目の前記有機ＥＬ素子への駆動電圧の印加を停止させ、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子に反対電圧を印加させる請求項４記載の画像表示装置。

【請求項９】　前記通電制御手段は、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記電圧保持手段の保持電圧を放電させる請求項５記載の画像表示装置。

【請求項１０】　前記通電制御手段は、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子と前記電源電極との接続を切断する請求項５または９記載の画像表示装置。

【請求項１１】　前記通電制御手段は、第(ｎ－ａ)列目の前記走査線に入力される走査電圧を反対電圧として第ｎ列目の前記有機ＥＬ素子に通電させる請求項６ないし８の何れか一記載の画像表示装置。

【請求項１２】　前記通電制御手段は、第(ｎ－ｂ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記電圧保持手段の保持電圧を放電させ、第(ｎ－ａ)列目の前記走査線に入力される走査電圧を反対電圧として第ｎ列目の前記有機ＥＬ素子に通電させる請求項８記載の画像表示装置。

【請求項１３】　前記通電制御手段は、第(ｎ－ｂ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子と前記電源電極との接続を切断し、第(ｎ－ａ)列目の前記走査線に入力される走査電圧を反対電圧として第ｎ列目の前記有機ＥＬ素子に通電させる請求項８記載の画像表示装置。

【請求項１４】　“ａ＝１”であり、
前記通電制御手段は、第Ｎ列目の前記走査線に走査電圧が入力されると第一列目の前記有機ＥＬ素子の通電を制御する請求項５ないし７の何れか一記載の画像表示装置。

【請求項１５】　“ａ＝１”であり、
第一列目の前記走査線に並設されて第一列目の走査電圧の直前にダミーの走査電圧が入力されるダミー線も具備しており、前記通電制御手段は、前記ダミー線に走査電圧が入力されると第一列目の前記有機ＥＬ素子の通電を制御する請求項５ないし７の何れか一記載の画像表示装置。

【請求項１６】　“ａ＝１，ｂ＝２”であり、
前記通電制御手段は、第(Ｎ－１)列目の前記走査線に走査電圧が入力されると第一列目の前記有機ＥＬ素子への駆動電圧の印加を停止させ、第Ｎ列目の前記走査線に走査電圧が入力されると第一列目の前記有機ＥＬ素子に反対電圧を印加させるとともに第二列目の前記有機ＥＬ素子への駆動電圧の印加を停止させる請求項８記載の画像表示装置。

【請求項１７】　“ａ＝１，ｂ＝２”であり、
第一列目の前記走査線に並設されて第一列目の走査電圧の直前にダミーの走査電圧が順番に入力される第一第二のダミー線も具備しており、
前記通電制御手段は、前記第一のダミー線に走査電圧が入力されると第一列目の前記有機ＥＬ素子への駆動電圧の印加を停止させ、前記第二のダミー線に走査電圧が入力されると第一列目の前記有機ＥＬ素子に反対電圧を印加させるとともに第二列目の前記有機ＥＬ素子への駆動電圧の印加を停止させる請求項８記載の画像表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、二次元状に配列された多数の有機ＥＬ素子をアクティブ駆動して画像を表示する画像表示方法および装置とに関する。

【０００２】

【従来の技術】現在、自動車の室内などの明暗が顕著に変化する場所で各種画像を表示する画像表示装置として、多数の有機ＥＬ素子を二次元状に配列させてドットマトリクスの画像を表示するＥＬディスプレイが開発されている。有機ＥＬ素子は自発光する発光素子であり、低電圧の直流電流で駆動することができる。

【０００３】有機ＥＬ素子の駆動方法としてはパッシブ方式とアクティブ方式があるが、アクティブ方式は表示画像を更新するまで有機ＥＬ素子を連続的に点灯するので高輝度を高効率に実現することができる。ここで、画像表示装置の一従来例として有機ＥＬ素子をアクティブ駆動するＥＬディスプレイを図１４および図１５を参照して以下に説明する。なお、図１４は一従来例のＥＬディスプレイの要部を示す回路図、図１５は各部の信号波形を示すタイムチャート、である。

【０００４】ここで一従来例として例示するＥＬディスプレイ１は、図１４に示すように、有機ＥＬ素子２を具備しており、一対の電源電極として電源線３と接地線４とを具備している。電源線３には所定の駆動電圧が常時印加されており、接地線４は基準電圧である“０”電圧に常時維持されている。

【０００５】有機ＥＬ素子２は、接地線４には直接に接続されているが、電源線３には駆動ＴＦＴ(Thin Film Transistor)５を介して接続されている。この駆動ＴＦＴ５はゲート電極を具備しており、電源線３から接地線４に印加される駆動電圧を、そのゲート電極に印加されるデータ電圧に対応して有機ＥＬ素子２に供給する。

【０００６】駆動ＴＦＴ５のゲート電極には、電圧保持手段として保持コンデンサ６の一端が接続されており、この保持コンデンサ６の他端も接地線４に接続されている。また、この保持コンデンサ６および駆動ＴＦＴ５のゲート電極には、スイッチング手段であるスイッチングＴＦＴ７を介してデータ線８が接続されており、このスイッチングＴＦＴ７のゲート電極には、走査線９が接続されている。

SDC-1351-00000285
SDC EX. 2001 - 229/503

5

【０００７】データ線８には、有機ＥＬ素子２の発光輝度を駆動制御するためのデータ電圧が供給され、走査線９には、スイッチングＴＦＴ７を動作制御するための走査電圧が入力される。保持コンデンサ６は、データ電圧を保持して駆動ＴＦＴ５のゲート電極に印加し、スイッチングＴＦＴ７は、保持コンデンサ６とデータ線８との接続をオンオフする。

【０００８】なお、ここで一従来例として例示するＥＬディスプレイ１では、実際には(Ｍ×Ｎ)個の有機ＥＬ素子２がＭ行Ｎ列の二次元状に配列されており(図示せず)、このＭ行Ｎ列の有機ＥＬ素子２にＭ行のデータ線８とＮ列の走査線９とがマトリクス接続されている。また、ここでは図面で上下方向と平行な一次元を行、左右方向と平行な一次元を列、として行列を表現するが、これは定義の問題なので反対でも良い。

【０００９】上述のような構造のＥＬディスプレイ１は、有機ＥＬ素子２を可変自在な発光輝度で駆動制御することができる。その場合、図１５(ｂ)(ｃ)に示すように、走査線９に走査電圧を入力してスイッチングＴＦＴ７をオン状態に動作制御し、同図(ｅ)に示すように、この状態でデータ線８から有機ＥＬ素子２の発光輝度に対応したデータ電圧を保持コンデンサ６に供給して保持させる。

【００１０】同図(ｄ)に示すように、この保持コンデンサ６が保持したデータ電圧は駆動ＴＦＴ５のゲート電極に印加されるので、同図(ｆ)に示すように、電源線３と接地線４とに常時発生している駆動電圧が駆動ＴＦＴ５によりゲート電圧に対応して有機ＥＬ素子２に供給されることになり、この有機ＥＬ素子２はデータ線８に供給されたデータ電圧に対応した輝度で発光することになる。

【００１１】ＥＬディスプレイ１では、Ｍ行のデータ線８とＮ列の走査線９とにデータ電圧と走査電圧とがマトリクス入力されるので、Ｍ行Ｎ列の有機ＥＬ素子２が個々に相違する輝度で点灯されることになり、画素単位で階調表現されたドットマトリクスの画像が表示される。

【００１２】その場合、ＥＬディスプレイ１では、図１５(ａ)(ｂ)に示すように、Ｎ列の走査線９には走査電圧が一列ずつ順番に入力されるので、この走査電圧が入力されているときに、Ｍ行のデータ線８に一列のＭ個のデータ電圧が順番に入力されることになる。

【００１３】また、前述のように保持コンデンサ６が保持したデータ電圧に対応して有機ＥＬ素子２に駆動電圧が印加される状態は、走査線９の走査電圧によりスイッチングＴＦＴ７がオフ状態に動作制御されても継続される。このため、有機ＥＬ素子２は、所定の輝度に制御された点灯を次回の制御まで継続することになり、ＥＬディスプレイ１は画像を高輝度かつ高コントラストに表示することができる。

【００１４】

6

【発明が解決しようとする課題】上述のようなＥＬディスプレイ１では、Ｍ行Ｎ列の有機ＥＬ素子２を個々に所望の輝度で点灯させて多階調の画像を表示することができ、特に、所望の電圧に制御した有機ＥＬ素子２の駆動電圧の印加を次回の制御まで継続させることができるので、有機ＥＬ素子２を連続的に点灯させて画像を高輝度に表示することができる。

【００１５】しかし、上述のようにアクティブ駆動するＥＬディスプレイ１では、有機ＥＬ素子２が短寿命である。その理由は各種が想定されているが、特性的に有機ＥＬ素子２は同一極性の駆動電圧が連続的に印加されると短寿命となることが判明している。

【００１６】例えば、有機ＥＬ素子２をパッシブ駆動するＥＬディスプレイ(図示せず)では、その駆動過程で有機ＥＬ素子２に印加される電圧の極性が反転されるため、アクティブ駆動の場合に比較して有機ＥＬ素子２が長寿命となることが確認されている。しかし、前述のようにパッシブ方式のＥＬディスプレイでは、有機ＥＬ素子２を高輝度かつ高効率に点灯できないため、高輝度が要望される装置に利用することが困難である。

【００１７】本発明は上述のような課題に鑑みてなされたものであり、有機ＥＬ素子をアクティブ駆動で高輝度かつ高効率に点灯しながらも長寿命とすることができる画像表示方法および装置を提供することを目的とする。

【００１８】

【課題を解決するための手段】本発明の一の画像表示装置は、Ｍ行Ｎ列の二次元状に配列されている(Ｍ×Ｎ)個の有機ＥＬ素子と、これら(Ｍ×Ｎ)個の前記有機ＥＬ素子の発光輝度が個々に設定されたデータ電圧が順番に印加されるＭ行のデータ線と、これらＭ行のデータ線に印加されるデータ電圧に同期して走査電圧が順番に入力されるＮ列の走査線と、これらＮ列の走査線に順番に入力される走査電圧により一列ずつオン状態とされるＭ行Ｎ列のスイッチング手段と、これらＭ行Ｎ列のスイッチング手段のオン状態に対応してＭ行の前記データ線から印加される(Ｍ×Ｎ)個のデータ電圧を個々に保持するＭ行Ｎ列の電圧保持手段と、所定の駆動電圧が常時印加されている一対の電源電極と、この電源電極に常時印加されている駆動電圧を(Ｍ×Ｎ)個の前記電圧保持手段の保持電圧に個々に対応して(Ｍ×Ｎ)個の前記有機ＥＬ素子に印加するＭ行Ｎ列の駆動トランジスタと、第ｎ列目の前記走査線に走査電圧が入力される直前に第ｎ列目のＭ個の前記有機ＥＬ素子への駆動電圧の印加を停止させる通電制御手段と、を具備している。

【００１９】従って、本発明の画像表示装置による画像表示方法では、(Ｍ×Ｎ)個の有機ＥＬ素子がＭ行Ｎ列の二次元状に配列されている状態で、これら(Ｍ×Ｎ)個の有機ＥＬ素子の発光輝度が個々に設定された(Ｍ×Ｎ)個のデータ電圧がＭ行のデータ線の各々に順番にＮ個ずつ印加され、これらＭ行のデータ線に印加されるデータ電

SDC-1351-00000286
SDC EX. 2001 - 230/503

圧に同期してＮ列の走査線に走査電圧が順番に入力される。これらＮ列の走査線に順番に入力される走査電圧によりＭ行Ｎ列のスイッチング手段が一列ずつオン状態とされ、これらＭ行Ｎ列のスイッチング手段のオン状態に対応してＭ行のデータ線から印加される(Ｍ×Ｎ)個のデータ電圧をＭ行Ｎ列の電圧保持手段が個々に保持する。電源電極に常時印加されている駆動電圧を(Ｍ×Ｎ)個の電圧保持手段の保持電圧に個々に対応してＭ行Ｎ列の駆動トランジスタが(Ｍ×Ｎ)個の有機ＥＬ素子に印加するので、これでＭ行Ｎ列の有機ＥＬ素子が個々に相違する輝度でアクティブ駆動されてドットマトリクスの多階調の画像が表示される。ただし、第ｎ列目の走査線に走査電圧が入力される直前に第ｎ列目のＭ個の有機ＥＬ素子への駆動電圧の印加を通電制御手段が停止させるので、同一輝度の画像が連続的に表示される場合でもアクティブ駆動される有機ＥＬ素子の通電が画像の表示制御の直前に一瞬だけ停止される。

【００２０】本発明の他の画像表示装置は、Ｍ行Ｎ列の二次元状に配列されている(Ｍ×Ｎ)個の有機ＥＬ素子と、これら(Ｍ×Ｎ)個の前記有機ＥＬ素子の発光輝度が個々に設定されたデータ電圧が順番に印加されるＭ行のデータ線と、これらＭ行のデータ線に印加されるデータ電圧に同期して走査電圧が順番に入力されるＮ列の走査線と、これらＮ列の走査線に順番に入力される走査電圧により一列ずつオン状態とされるＭ行Ｎ列のスイッチング手段と、これらＭ行Ｎ列のスイッチング手段のオン状態に対応してＭ行の前記データ線から印加される(Ｍ×Ｎ)個のデータ電圧を個々に保持するＭ行Ｎ列の電圧保持手段と、所定の駆動電圧が常時印加されている一対の電源電極と、この電源電極に常時印加されている駆動電圧を(Ｍ×Ｎ)個の前記電圧保持手段の保持電圧に個々に対応して(Ｍ×Ｎ)個の前記有機ＥＬ素子に印加するＭ行Ｎ列の駆動トランジスタと、第ｎ列目の前記走査線に走査電圧が入力される直前に第ｎ列目のＭ個の前記有機ＥＬ素子に駆動電圧とは極性が反対の反対電圧を印加させる通電制御手段と、を具備している。

【００２１】従って、本発明の画像表示装置による画像表示方法では、(Ｍ×Ｎ)個の有機ＥＬ素子がＭ行Ｎ列の二次元状に配列されている状態で、これら(Ｍ×Ｎ)個の有機ＥＬ素子の発光輝度が個々に設定された(Ｍ×Ｎ)個のデータ電圧がＭ行のデータ線の各々に順番にＮ個ずつ印加され、これらＭ行のデータ線に印加されるデータ電圧に同期してＮ列の走査線に走査電圧が順番に入力される。これらＮ列の走査線に順番に入力される走査電圧によりＭ行Ｎ列のスイッチング手段が一列ずつオン状態とされ、これらＭ行Ｎ列のスイッチング手段のオン状態に対応してＭ行のデータ線から印加される(Ｍ×Ｎ)個のデータ電圧をＭ行Ｎ列の電圧保持手段が個々に保持する。電源電極に常時印加されている駆動電圧を(Ｍ×Ｎ)個の電圧保持手段の保持電圧に個々に対応してＭ行Ｎ列の駆動トランジスタが(Ｍ×Ｎ)個の有機ＥＬ素子に印加するので、これでＭ行Ｎ列の有機ＥＬ素子が個々に相違する輝度でアクティブ駆動されてドットマトリクスの多階調の画像が表示される。ただし、第ｎ列目の走査線に走査電圧が入力される直前に通電制御手段が第ｎ列目のＭ個の有機ＥＬ素子に駆動電圧とは極性が反対の反対電圧を印加させるので、同一輝度の画像が連続的に表示される場合でもアクティブ駆動される有機ＥＬ素子に印加される電圧の極性が画像の表示制御の直前に一瞬だけ反転される。

【００２２】上述のような画像表示装置において、前記通電制御手段は、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子への駆動電圧の印加を停止させることも可能である。この場合、第(ｎ－ａ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ素子への駆動電圧の印加を停止させるので、第ｎ列目の走査線に走査電圧が入力される直前に第ｎ列目のＭ個の有機ＥＬ素子への駆動電圧の印加を停止させることが、所望のタイミングで簡単かつ確実に実行される。

【００２３】上述のような画像表示装置において、前記通電制御手段は、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子に反対電圧を印加させることも可能である。この場合、第(ｎ－ａ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ素子に反対電圧を印加させるので、第ｎ列目の走査線に走査電圧が入力される直前に第ｎ列目のＭ個の有機ＥＬ素子に駆動電圧とは極性が反対の反対電圧を印加させることが、所望のタイミングで簡単かつ確実に実行される。

【００２４】上述のような画像表示装置において、前記通電制御手段は、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子への駆動電圧の印加を停止させるとともに反対電圧を印加させることも可能である。この場合、第(ｎ－ａ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ素子への駆動電圧の印加を停止させて反対電圧を印加させるので、第ｎ列目の走査線に走査電圧が入力される直前に第ｎ列目のＭ個の有機ＥＬ素子に駆動電圧とは極性が反対の反対電圧を印加させることが、所望のタイミングで簡単かつ確実に実行される。

【００２５】上述のような画像表示装置において、前記通電制御手段は、第(ｎ－ｂ)列目(ｂはａより大きくＮより小さい整数)の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子への駆動電圧の印加を停止させ、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子に反対電圧を印加させることも可能である。

【００２６】この場合、第(ｎ－ｂ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ

SDC-1351-00000287
SDC EX. 2001 - 231/503

素子への駆動電圧の印加を停止させ、第(ｎ－ａ)列目の走査線に走査電圧が入力されると第ｎ列目の有機ＥＬ素子に反対電圧を印加させるので、有機ＥＬ素子への反対電圧の通電は駆動電圧の印加が確実に停止されてから実行される。

【００２７】上述のような画像表示装置において、前記通電制御手段は、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記電圧保持手段の保持電圧を放電させることも可能である。この場合、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると通電制御手段が第ｎ列目の電圧保持手段の保持電圧を放電させるので、有機ＥＬ素子への駆動電圧の印加を停止させることが電圧保持手段の動作制御により実現される。

【００２８】上述のような画像表示装置において、前記通電制御手段は、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子と前記電源電極との接続を切断することも可能である。この場合、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ素子と電源電極との接続を切断するので、有機ＥＬ素子への駆動電圧の印加を停止させることが確実に実行される。

【００２９】上述のような画像表示装置において、前記通電制御手段は、第(ｎ－ａ)列目の前記走査線に入力される走査電圧を反対電圧として第ｎ列目の前記有機ＥＬ素子に通電させることも可能である。この場合、第(ｎ－ａ)列目の走査線に入力される走査電圧を通電制御手段が反対電圧として第ｎ列目の有機ＥＬ素子に通電させるので、有機ＥＬ素子に通電させる反対電圧として走査電圧が利用される。

【００３０】上述のような画像表示装置において、前記通電制御手段は、第(ｎ－ｂ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記電圧保持手段の保持電圧を放電させ、第(ｎ－ａ)列目の前記走査線に入力される走査電圧を反対電圧として第ｎ列目の前記有機ＥＬ素子に通電させることも可能である。

【００３１】この場合、第(ｎ－ｂ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の電圧保持手段の保持電圧を放電させ、第(ｎ－ａ)列目の走査線に入力される走査電圧を反対電圧として第ｎ列目の有機ＥＬ素子に通電させるので、電圧保持手段の動作制御により有機ＥＬ素子への駆動電圧の印加が停止され、この通電電流が停止された有機ＥＬ素子に走査電圧が反対電圧として通電される。

【００３２】上述のような画像表示装置において、前記通電制御手段は、第(ｎ－ｂ)列目の前記走査線に走査電圧が入力されると第ｎ列目の前記有機ＥＬ素子と前記電源電極との接続を切断し、第(ｎ－ａ)列目の前記走査線に入力される走査電圧を反対電圧として第ｎ列目の前記有機ＥＬ素子に通電させることも可能である。

【００３３】この場合、第(ｎ－ｂ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ素子と電源電極との接続を切断し、第(ｎ－ａ)列目の走査線に入力される走査電圧を反対電圧として第ｎ列目の有機ＥＬ素子に通電させるので、電源電極の切断により有機ＥＬ素子への駆動電圧の印加が停止され、この通電電流が停止された有機ＥＬ素子に走査電圧が反対電圧として通電される。

【００３４】上述のような画像表示装置において、“ａ＝１”であり、前記通電制御手段は、第Ｎ列目の前記走査線に走査電圧が入力されると第一列目の前記有機ＥＬ素子の通電を制御することも可能である。この場合、“ａ＝１”なので一列前の走査線に走査電圧が入力されると通電制御手段が有機ＥＬ素子の通電を制御するが、第一列目の前記有機ＥＬ素子の通電は最終列である第Ｎ列目の走査線に走査電圧が入力されると制御される。

【００３５】上述のような画像表示装置において、“ａ＝１”であり、第一列目の前記走査線に並設されて第一列目の走査電圧の直前にダミーの走査電圧が入力されるダミー線も具備しており、前記通電制御手段は、前記ダミー線に走査電圧が入力されると第一列目の前記有機ＥＬ素子の通電を制御することも可能である。

【００３６】この場合、“ａ＝１”なので一列前の走査線に走査電圧が入力されると通電制御手段が有機ＥＬ素子の通電を制御するが、第一列目の走査線に並設されたダミー線にダミーの走査電圧が第一列目の走査電圧の直前に入力されるので、第一列目の有機ＥＬ素子の通電はダミー線にダミーの走査電圧が入力されると制御される。

【００３７】上述のような画像表示装置において、“ａ＝１，ｂ＝２”であり、前記通電制御手段は、第(Ｎ－１)列目の前記走査線に走査電圧が入力されると第一列目の前記有機ＥＬ素子への駆動電圧の印加を停止させ、第Ｎ列目の前記走査線に走査電圧が入力されると第一列目の前記有機ＥＬ素子に反対電圧を印加させるとともに第二列目の前記有機ＥＬ素子への駆動電圧の印加を停止させることも可能である。

【００３８】この場合、“ａ＝１，ｂ＝２”なので二列前の走査線に走査電圧が入力されると通電制御手段が有機ＥＬ素子に印加される駆動電圧を停止させ、一列前の走査線に走査電圧が入力されると有機ＥＬ素子に反対電圧を印加させる。ただし、第一列目の有機ＥＬ素子は第(Ｎ－１)列目の走査線に走査電圧が入力されると駆動電圧が停止され、第Ｎ列目の走査線に走査電圧が入力されると反対電圧が通電される。第二列目の有機ＥＬ素子は第Ｎ列目の走査線に走査電圧が入力されると駆動電圧が停止される。

【００３９】上述のような画像表示装置において、“ａ＝１，ｂ＝２”であり、第一列目の前記走査線に並設されて第一列目の走査電圧の直前にダミーの走査電圧が順番に入力される第一第二のダミー線も具備しており、前

SDC-1351-00000288
SDC EX. 2001 - 232/503

記通電制御手段は、前記第一のダミー線に走査電圧が入力されると第一列目の前記有機ＥＬ素子への駆動電圧の印加を停止させ、前記第二のダミー線に走査電圧が入力されると第一列目の前記有機ＥＬ素子に反対電圧を印加させるとともに第二列目の前記有機ＥＬ素子への駆動電圧の印加を停止させることも可能である。

【００４０】この場合、“ａ＝１，ｂ＝２”なので二列前の走査線に走査電圧が入力されると通電制御手段が有機ＥＬ素子に印加される駆動電圧を停止させ、一列前の走査線に走査電圧が入力されると有機ＥＬ素子に反対電圧を印加させる。ただし、第一列目の走査線に並設された第一第二のダミー線に第一第二のダミーの走査電圧が第一列目の走査電圧の直前に入力されるので、第一列目の有機ＥＬ素子は第一のダミー線に走査電圧が入力されると駆動電圧が停止され、第二のダミー線に走査電圧が入力されると反対電圧が通電される。第二列目の有機ＥＬ素子は第二のダミー線に走査電圧が入力されると駆動電圧が停止される。

【００４１】なお、本発明で云う各種手段は、その機能を実現するように形成されていれば良く、例えば、専用のハードウェア、適正な機能がプログラムにより付与されたコンピュータ、適正なプログラムによりコンピュータの内部に実現された機能、これらの組み合わせ、等を許容する。

【００４２】

【発明の実施の形態】本発明の実施の第一の形態を図１ないし図４を参照して以下に説明する。ただし、本実施の形態に関して前述した一従来例と同一の部分は、同一の名称を使用して詳細な説明は省略する。また、ここでも図面で上下方向と平行な一次元を行、左右方向と平行な一次元を列、として行列を表現するが、これは説明を簡略化するために便宜的に定義するものであり、反対の呼称を拒絶するものではない。

【００４３】なお、図１は本発明の画像表示装置の実施の第一の形態であるＥＬディスプレイの要部の回路構造を示す回路図、図２はＥＬディスプレイの全体構造を示すブロック図、図３は有機ＥＬ素子の部分の薄膜構造を示す断面図、図４はＥＬディスプレイの各部の信号波形を示すタイムチャート、である。

【００４４】本実施の形態のＥＬディスプレイ１１も、図１に示すように、一従来例のＥＬディスプレイ１と同様に、(Ｍ×Ｎ)個の有機ＥＬ素子１２を具備しており、図２に示すように、この(Ｍ×Ｎ)個の有機ＥＬ素子１２がＭ行Ｎ列の二次元状に配列されている。

【００４５】なお、本実施の形態のＥＬディスプレイ１１は、いわゆるＶＧＡ(Video Graphics Array)規格に対応しており、ＲＧＢ(Red,Green,Blue)方式でカラー画像を表示出力するので、(480×1980)個の有機ＥＬ素子１２が480行1980列に配列されている。

【００４６】本実施の形態のＥＬディスプレイ１１も、

一対の電源電極として電源線１３と接地線１４とを具備しており、有機ＥＬ素子１２は、接地線１４には直接に接続されており、電源線１３には駆動トランジスタである駆動ＴＦＴ１５を介して接続されている。

【００４７】この駆動ＴＦＴ１５のゲート電極には、電圧保持手段として保持コンデンサ１６が接続されており、この保持コンデンサ１６も接地線１４に接続されている。この保持コンデンサ１６および駆動ＴＦＴ１５のゲート電極には、スイッチング手段であるスイッチングＴＦＴ１７のドレイン電極が接続されており、このスイッチングＴＦＴ１７は、ソース電極にデータ線１８が接続されるとともにゲート電極に走査線１９が接続されている。

【００４８】しかし、本実施の形態のＥＬディスプレイ１１は、一従来例のＥＬディスプレイ１とは相違して、“5.0(Ｖ)”の矩形パルスの走査電圧が第ｎ列目の走査線１９に入力される直前に第ｎ列目のＭ個の有機ＥＬ素子１２への駆動電圧の印加を停止させる通電制御手段として、Ｍ行Ｎ列の制御ＴＦＴ２０がＭ行Ｎ列の有機ＥＬ素子１２の一個ごとに一個ずつ設けられている。

【００４９】この制御ＴＦＴ２０は、ドレイン電極が保持コンデンサ１６と駆動ＴＦＴ１５との接続配線に接続されており、ソース電極が接地線１４に接続されている。ただし、第ｎ列目のＭ個の制御ＴＦＴ２０のゲート電極は、第(ｎ－１)列目の走査線１９に接続されているので、第(ｎ－１)列目の走査線１９に走査電圧が入力されると第ｎ列目の保持コンデンサ１６の“5.0～0.0(Ｖ)”の保持電圧を放電させる。

【００５０】ただし、“ｎ＝１”となる第一列目の制御ＴＦＴ２０に対しては、第(ｎ－１)列目の走査線１９が存在しない。そこで、本実施の形態のＥＬディスプレイ１１では、図２に示すように、ダミー線２１が第一列目の走査線１９に並設されており、このダミー線２１に第一列目のＭ個の制御ＴＦＴ２０のゲート電極が接続されている。

【００５１】そして、Ｎ列の走査線１９と一列のダミー線２１とは一個の走査駆動回路２２に接続されており、この走査駆動回路２２は、(Ｎ＋１)個の走査電圧を一画面の表示ごとに一列のダミー線２１とＮ列の走査線１９とに順番に入力するので、ダミー線２１には、第一列目の走査線１９に走査電圧が入力される直前にダミーの走査電圧が入力される。

【００５２】なお、Ｍ行のデータ線１８は一個のデータ駆動回路２３に接続されており、このデータ駆動回路２３は、一画面の表示ごとに(Ｍ×Ｎ)個の“5.0～0.0(Ｖ)”のデータ電圧をＭ行のデータ線１８の各々にＮ個の走査電圧に同期して順番に印加するので、一列ごとにＭ個の保持コンデンサ１６にＭ個のデータ電圧が順番に保持される。

【００５３】本実施の形態のＥＬディスプレイ１１で

SDC-1351-00000289
SDC EX. 2001 - 233/503

も、図２および図３に示すように、上述した有機ＥＬ素子１２などの各部が、一個のガラス基板３０の一面に層膜構造で形成されている。より詳細には、図３に示すように、駆動ＴＦＴ１５や制御ＴＦＴ２０は、ガラス基板３０の面上に積層されたｐ－Ｓｉ製のアイランド３１上に形成されており、このアイランド３１上にゲート酸化膜３２が積層されている。

【００５４】このゲート酸化膜３２の中央部分にはアルミニウム等の金属製のゲート電極３３が積層されており、その両側にはソース電極３４とドレイン電極３５とが接続されている。これらの電極３４，３５は電源線１３や接地線１４と一体に形成されており、上述のような構造は絶縁層３６で一様に封入されている。

【００５５】有機ＥＬ素子１２は、絶縁層３６の上面に形成されており、この絶縁層３６の面上にはＩＴＯ(Indium Tin Oxide)製の陽極４１が積層されている。この陽極４１上には、正孔輸送層４２、発光層４３、電子輸送層４４、金属製の陰極４５、が順番に積層されており、これらで有機ＥＬ素子１２が形成されている。

【００５６】なお、上述のような絶縁層３６は要所にコンタクトホールが形成されており、このコンタクトホールにより、有機ＥＬ素子１２の陽極４１と駆動ＴＦＴ１５のソース電極３４とが接続されており、陰極４５と接地線１４とが接続されている。

【００５７】本実施の形態のＥＬディスプレイ１１は、上述のようにＭ行Ｎ列の有機ＥＬ素子１２に各種線１３，１４…や各種素子１５，１６…や各種回路２２，２３等を接続したものであり、外部入力される画像データに対応して画像を表示する。有機ＥＬ素子１２は、図３に示すように、発光層４３等で形成されているが、図２に示すように、ＥＬディスプレイ１１のＭ行Ｎ列の画素領域に対応した形状に各々形成されている。

【００５８】上述のような構成において、本実施の形態のＥＬディスプレイ１１も、一従来例のＥＬディスプレイ１と同様に、Ｍ行Ｎ列の有機ＥＬ素子１２を個々に所望の輝度で発光させて画素単位で多階調のドットマトリクス画像を表示することができ、特に、有機ＥＬ素子１２を個々にアクティブ駆動するので高効率に高輝度を実現することができる。

【００５９】その場合、図４に示すように、Ｎ列の走査線１９に走査電圧が順番に入力されてＭ行Ｎ列のスイッチングＴＦＴ１７が一列ずつ順番にオン状態とされるので、その一列のＭ個の有機ＥＬ素子１２の発光輝度に対応したデータ電圧がＭ行のデータ線１８に個々に印加される。

【００６０】すると、このＭ個のデータ電圧はスイッチングＴＦＴ１７を介して一列のＭ個の保持コンデンサ１６に個々に保持され、この保持コンデンサＩ６の保持電圧は一列のＭ個の駆動ＴＦＴ１５のゲート電極に個々に印加されるので、電源線１３に常時印加されている駆動電圧が駆動ＴＦＴ１５により一列のＭ個の有機ＥＬ素子１２に供給される。

【００６１】その電流量は保持コンデンサ１６から駆動ＴＦＴ１５のゲート電極に印加される電圧に対応するので、一列のＭ個の有機ＥＬ素子１２がデータ線１８に供給された制御電流に対応した輝度で発光することになり、この動作状態は走査電圧がオフ状態となっても保持コンデンサ１６の保持電圧により維持される。

【００６２】上述のような動作がＮ列の走査線１９ごとに順番に実行されるので、本実施の形態のＥＬディスプレイ１１は、Ｍ行Ｎ列の有機ＥＬ素子１２を個々に所望の輝度で発光させて画素単位で階調表現されたドットマトリクスの画像を表示することができる。しかも、有機ＥＬ素子１２の発光状態は保持コンデンサ１６の保持電圧により次回の発光制御まで維持されるので、高効率に高輝度が実現される。

【００６３】ただし、本実施の形態のＥＬディスプレイ１１では、上述のように有機ＥＬ素子１２をアクティブ駆動するが、有機ＥＬ素子１２の通電を発光制御の直前に一瞬だけ停止させる。つまり、第(ｎ－１)列目の走査線１９に走査電圧が入力されるとき、その走査電圧により第ｎ列目の制御ＴＦＴ２０をオン状態として第ｎ列目の保持コンデンサ１６の両端を接地線１４に接続し、第ｎ列目の有機ＥＬ素子１２の通電を停止させる。

【００６４】このため、本実施の形態のＥＬディスプレイ１１では、アクティブ駆動により有機ＥＬ素子１２の発光状態を次回の発光制御まで維持するが、その発光制御の直前に有機ＥＬ素子１２の通電を一瞬だけ停止させるので、アクティブ駆動する有機ＥＬ素子１２の寿命を延長することができる。

【００６５】特に、有機ＥＬ素子１２の通電を一時停止させることを一列前の走査線１９の走査電圧で制御するので、有機ＥＬ素子１２の通電を最適なタイミングで確実に制御することができる。しかも、第一列目の走査線１９の手前にはダミー線２１が並設されており、このダミー線２１に入力するダミーの走査電圧により第一列目の有機ＥＬ素子１２の通電を停止させるので、Ｍ行Ｎ列の有機ＥＬ素子１２の全部の通電を最適なタイミングで確実に制御することができる。

【００６６】なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態では第ｎ列目の有機ＥＬ素子１２の通電を第(ｎ－１)列目の走査線１９の走査電圧のタイミングで一時停止させることを例示したが、これを第(ｎ－ａ)列目の走査線１９の走査電圧のタイミングとすることも可能である。ただし、“ａ”を二以上とすると、ダミー線２１の本数も増加させる必要があり、有機ＥＬ素子１２が消灯する時間も増加して全体の輝度が低下するので、一般的には“ａ＝Ｉ”とすることが最適である。

SDC-1351-00000290
SDC EX. 2001 - 234/503

【００６７】また、上記形態では第一列目の走査線１９にダミー線２１を並設してダミーの走査電圧を入力することを例示したが、最終列である第Ｎ列目の走査線１９を第一列目の制御ＴＦＴ２０に接続し、第Ｎ列目の走査線１９に入力される走査電圧で第一列目の有機ＥＬ素子１２の通電を一時停止させることも可能である。

【００６８】ダミー線２１を追加する構造では、ダミー線２１や走査駆動回路２２の内部回路を追加する必要があるが、面倒な配線の引き回しは無用である。第Ｎ列目の走査線１９を第一列目の制御ＴＦＴ２０に接続する構造では、配線の引き回しが面倒な可能性はあるが、ダミー線２１や走査駆動回路２２の内部回路の追加は無用である。つまり、これらは相互に一長一短を有するので、実際に装置を実施する場合には各種条件を考慮して最適な一方を選択することが好適である。

【００６９】さらに、上記形態ではＭ行Ｎ列の有機ＥＬ素子１２の通電を制御するために制御ＴＦＴ２０もＭ行Ｎ列に配列することを例示した。しかし、制御ＴＦＴ２０は走査電圧ごとに一列のＭ個の有機ＥＬ素子１２の通電を制御できれば良いので、例えば、Ｎ列の走査線１９の一本と一列のＭ個の有機ＥＬ素子１２とにＮ個の制御ＴＦＴ２０を一個ずつ接続することも可能である。

【００７０】制御ＴＦＴ２０もＭ行Ｎ列に配列する構造では、回路規模が増大するが、面倒な配線の引き回しは無用であり、制御ＴＦＴ２０をＮ列のみ配列する構造では、配線の引き回しが面倒な可能性はあるが、回路規模を削減することができるので、これらも実際には最適な一方を選択することが好適である。

【００７１】なお、ＥＬディスプレイ１１を実際に製造する場合には同一パターンの薄膜回路をＭ行Ｎ列に形成するので、制御ＴＦＴ２０もＭ行Ｎ列に配列する構造は製造が容易である。そこで、制御ＴＦＴ２０をＮ列のみ配列する場合は、その制御ＴＦＴ２０を画素領域の外側で各列の端部などに位置させて別個に形成することが好適である。

【００７２】つぎに、本発明の実施の第二の形態を図５および図６を参照して以下に説明する。ただし、これより以下の実施の形態では、それ以前の実施の形態と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。なお、図５は実施の第二の形態のＥＬディスプレイの要部の回路構造を示す回路図、図６は各部の信号波形を示すタイムチャート、である。

【００７３】本実施の形態のＥＬディスプレイ５１では、図５に示すように、第ｎ列目の走査線１９に走査電圧が入力される直前に第ｎ列目のＭ個の有機ＥＬ素子１２への駆動電圧の印加を停止させる通電制御手段として、Ｍ行Ｎ列の第一の制御ＴＦＴ２０とともに第二の制御ＴＦＴ５２もＭ行Ｎ列の有機ＥＬ素子１２の一個ごとに一個ずつ設けられている。

【００７４】第ｎ列目の第二の制御ＴＦＴ５２は、ゲート電極が第(ｎ－１)列目の走査線１９に接続されており、両端が有機ＥＬ素子１２の両端に接続されている。なお、この第二の制御ＴＦＴ５２も、第一列目ではゲート電極がダミー線２１に接続されている。

【００７５】上述のような構成において、本実施の形態のＥＬディスプレイ５１も、第一の形態として前述したＥＬディスプレイ１１と同様に、アクティブ駆動する有機ＥＬ素子１２の通電を発光制御の直前に一瞬だけ停止させる。その場合、図６に示すように、第(ｎ－１)列目の走査線１９に入力される走査電圧により第ｎ列目の第一第二の制御ＴＦＴ２０，５２の両方をオン状態とし、第ｎ列目の保持コンデンサ１６の両端を接地線１４に接続するとともに、第ｎ列目の有機ＥＬ素子１２の両端を短絡させる。

【００７６】このため、本実施の形態のＥＬディスプレイ５１では、より確実に有機ＥＬ素子１２の通電を一時停止させることができ、より良好にアクティブ駆動する有機ＥＬ素子１２の寿命を延長することができる。なお、上述の第二の制御ＴＦＴ５２も、Ｍ行Ｎ列でなくＮ列のみとすることが可能である。

【００７７】つぎに、本発明の実施の第三の形態を図７および図８を参照して以下に説明する。なお、図７は実施の第二の形態のＥＬディスプレイの要部の回路構造を示す回路図、図８は各部の信号波形を示すタイムチャート、である。

【００７８】本実施の形態のＥＬディスプレイ６１では、図７に示すように、Ｍ行Ｎ列の第一の制御ＴＦＴ２０とともに制御コンデンサ６２も、通電制御手段としてＭ行Ｎ列の有機ＥＬ素子１２の一個ごとに一個ずつ設けられている。

【００７９】第ｎ列目の制御コンデンサ６２は、一端が第(ｎ－１)列目の走査線１９に接続されており、他端が有機ＥＬ素子１２と駆動ＴＦＴ１５との接点に接続されている。なお、この制御コンデンサ６２も、第一列目では一端がダミー線２１に接続されている。

【００８０】上述のような構成において、本実施の形態のＥＬディスプレイ６１では、図６に示すように、第(ｎ－１)列目の走査線１９に入力される走査電圧により、第ｎ列目の制御ＴＦＴ２０をオン状態にするとともに、制御コンデンサ６２の一端に走査電圧の電圧を印加する。

【００８１】すると、図８に示すように、制御コンデンサ６２は他端に極性が反対のスパイクノイズを発生するので、これが駆動電圧とは極性が反対の反対電圧として有機ＥＬ素子１２に通電される。このため、本実施の形態のＥＬディスプレイ６１では、有機ＥＬ素子１２を発光制御する直前に駆動電圧とは極性が反対の反対電圧を印加させることができ、より良好に有機ＥＬ素子１２の寿命を延長することができる。

【００８２】なお、本実施の形態のＥＬディスプレイ６

SDC-1351-00000291
SDC EX. 2001 - 235/503

１では、上述のように制御コンデンサ６２で発生するスパイクノイズを反対電圧として有機ＥＬ素子１２に確実に通電するため、同図に示すように、Ｎ列の走査線１９に順番に印加される走査電圧に所定時間の間隔を設定することが好適である。

【００８３】つぎに、本発明の実施の第四の形態を図９および図１０を参照して以下に説明する。なお、図９は実施の第二の形態のＥＬディスプレイの要部の回路構造を示す回路図、図１０は各部の信号波形を示すタイムチャート、である。

【００８４】本実施の形態のＥＬディスプレイ７１では、図９に示すように、Ｍ行Ｎ列の第一の制御ＴＦＴ２０とともに第三から第五の制御ＴＦＴ７２～７４が、通電制御手段としてＭ行Ｎ列の有機ＥＬ素子１２の一個ごとに各々一個ずつ設けられている。

【００８５】第三の制御ＴＦＴ７２は、ゲート電極が駆動ＴＦＴ１５と並列に保持コンデンサ１６に接続されており、ソース電極が接地線１４に接続されており、ドレイン電極が駆動ＴＦＴ１５とは反対の有機ＥＬ素子１２の一端に接続されている。このため、第三の制御ＴＦＴ７２は駆動ＴＦＴ１５と同様に、電源線３から接地線４に印加される駆動電圧を保持コンデンサ１６の保持電圧に対応して有機ＥＬ素子１２に供給するので、保持コンデンサ１６の保持電圧が放電されると、有機ＥＬ素子１２を電源線１３および接地線１４から切断する。

【００８６】第ｎ列目の第四の制御ＴＦＴ７３は、ゲート電極とソース電極とが第(ｎ－１)列目の走査線１９に接続されており、ドレイン電極が有機ＥＬ素子１２と第三の制御ＴＦＴ７２との接点に接続されている。第ｎ列目の第五の制御ＴＦＴ７４は、ゲート電極が第(ｎ－１)列目の走査線１９に接続されており、ソース電極が有機ＥＬ素子１２と駆動ＴＦＴ１５との接点に接続されており、ドレイン電極が接地線１４に接続されている。

【００８７】このため、第ｎ列目の第四第五の制御ＴＦＴ７３，７４は、第ｎ列目の走査線１９に走査電圧が入力されるとオン状態となり、その走査電圧を駆動電圧とは極性が反対の反対電圧として第ｎ列目の有機ＥＬ素子１２から接地線１４まで通電させる。

【００８８】上述のような構成において、本実施の形態のＥＬディスプレイ７１では、図１０に示すように、第(ｎ－１)列目の走査線１９に入力される走査電圧により第ｎ列目の第一の制御ＴＦＴ２０をオン状態として第ｎ列目の保持コンデンサ１６の保持電圧を放電させ、これで駆動ＴＦＴ１５と第三の制御ＴＦＴ７２とをオフ状態として第ｎ列目の有機ＥＬ素子１２を浮遊させる。

【００８９】同時に、第(ｎ－１)列目の走査線１９に入力される走査電圧により第ｎ列目の第四第五の制御ＴＦＴ７３，７４をオン状態として有機ＥＬ素子１２の両端を第(ｎ－１)列目の走査線１９と接地線１４とに接続し、第(ｎ－１)列目の走査線１９の走査電圧を駆動電圧とは極性が反対の反対電圧として有機ＥＬ素子１２に通電する。

【００９０】このため、本実施の形態のＥＬディスプレイ７１では、有機ＥＬ素子１２を発光制御する直前に駆動電圧とは極性が反対の反対電圧を確実に通電させることができ、より良好に有機ＥＬ素子１２の寿命を延長することができる。特に、走査線１９に入力される走査電圧を反対電圧として利用するので、反対電圧を生成するために専用の回路が必要でなく、本実施の形態のＥＬディスプレイ７１は、簡単な構造で適正な反対電圧を印加させることができる。

【００９１】なお、上記形態のＥＬディスプレイ７１の第四の制御ＴＦＴ７３は、第(ｎ－１)列目の走査線１９に走査電圧が入力されるときに、この走査電圧を有機ＥＬ素子１２に供給できれば良いので、図１１に一変形例として例示するＥＬディスプレイ８２のように、上述の第四の制御ＴＦＴ７３をダイオード素子８２に換装することも可能である。

【００９２】つぎに、本発明の実施の第五の形態を図１２および図１３を参照して以下に説明する。なお、図１２は実施の第二の形態のＥＬディスプレイの要部の回路構造を示す回路図、図１３は各部の信号波形を示すタイムチャート、である。

【００９３】本実施の形態のＥＬディスプレイ９１では、図１２に示すように、通電制御手段である第ｎ列目の第一の制御ＴＦＴ２０のゲート電極が、第(ｎ－２)列目の走査線１９に接続されているので、第一の制御ＴＦＴ２０は、第(ｎ－２)列目の走査線１９に走査電圧が入力されると保持コンデンサ１６の保持電圧を放電する。

【００９４】上述のような構成において、本実施の形態のＥＬディスプレイ９１では、図１３に示すように、第(ｎ－２)列目の走査線１９に走査電圧が入力された時点で保持コンデンサ１６の保持電圧が放電されて第ｎ列目の有機ＥＬ素子１２が浮遊される。このような状態で第(ｎ－１)列目の走査線１９に走査電圧が入力されると、この走査電圧が反対電圧として有機ＥＬ素子１２に通電される。

【００９５】このため、本実施の形態のＥＬディスプレイ９１では、有機ＥＬ素子１２を発光制御する直前に、有機ＥＬ素子１２への駆動電圧の印加が確実に停止され、このように駆動電圧の印加が完全に停止された状態で、有機ＥＬ素子１２に反対電圧が通電される。従って、本実施の形態のＥＬディスプレイ９１では、有機ＥＬ素子１２に反対電圧を確実に通電させることができ、さらに良好に有機ＥＬ素子１２の寿命を延長することが可能である。

【００９６】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

【００９７】本発明の一の画像表示装置による画像表示

SDC-1351-00000292
SDC EX. 2001 - 236/503

方法では、(M×N)個の有機ＥＬ素子がM行N列の二次元状に配列されている状態で、これら(M×N)個の有機ＥＬ素子の発光輝度が個々に設定された(M×N)個のデータ電圧がM行のデータ線の各々に順番にＮ個ずつ印加され、これらM行のデータ線に印加されるデータ電圧に同期してＮ列の走査線に走査電圧が順番に入力され、これらＮ列の走査線に順番に入力される走査電圧によりM行N列のスイッチング手段が一列ずつオン状態とされ、これらM行N列のスイッチング手段のオン状態に対応してM行のデータ線から印加される(M×N)個のデータ電圧をM行Ｎ列の電圧保持手段が個々に保持すると、電源電極に常時印加されている駆動電圧を(M×N)個の電圧保持手段の保持電圧に個々に対応してM行Ｎ列の駆動トランジスタが(M×N)個の有機ＥＬ素子に印加するので、これでM行N列の有機ＥＬ素子が個々に相違する輝度でアクティブ駆動されてドットマトリクスの多階調の画像が表示されるが、第ｎ列目の走査線に走査電圧が入力される直前に第ｎ列目のM個の有機ＥＬ素子への駆動電圧の印加を通電制御手段が停止させることにより、同一輝度の画像が連続的に表示される場合でも、アクティブ駆動される有機ＥＬ素子の通電を画像の表示制御の直前に一瞬だけ停止させるので、有機ＥＬ素子の寿命を延長することができる。

【００９８】本発明の他の画像表示装置による画像表示方法では、第ｎ列目の走査線に走査電圧が入力される直前に通電制御手段が第ｎ列目のM個の有機ＥＬ素子に駆動電圧とは極性が反対の反対電圧を印加させることにより、同一輝度の画像が連続的に表示される場合でも、アクティブ駆動される有機ＥＬ素子に印加される電圧の極性が画像の表示制御の直前に一瞬だけ反転されるので、有機ＥＬ素子の寿命を延長することができる。

【００９９】また、上述のような画像表示装置において、第(ｎ－ａ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ素子への駆動電圧の印加を停止させることにより、第ｎ列目の走査線に走査電圧が入力される直前に第ｎ列目のM個の有機ＥＬ素子への駆動電圧の印加を停止させることを、所望のタイミングで簡単かつ確実に実行することができる。

【０１００】また、第(ｎ－ａ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ素子に反対電圧を印加させることにより、第ｎ列目の走査線に走査電圧が入力される直前に第ｎ列目のM個の有機ＥＬ素子に駆動電圧とは極性が反対の反対電圧を印加させることを、所望のタイミングで簡単かつ確実に実行することができる。

【０１０１】また、第(ｎ－ａ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ素子への駆動電圧の印加を停止させて反対電圧を印加させることにより、第ｎ列目の走査線に走査電圧が入力される直前に第ｎ列目のM個の有機ＥＬ素子に駆動電圧とは極性が反対の反対電圧を印加させることを、所望のタイミングで簡単かつ確実に実行することができる。

【０１０２】また、第(ｎ－ｂ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ素子への駆動電圧の印加を停止させ、第(ｎ－ａ)列目の走査線に走査電圧が入力されると第ｎ列目の有機ＥＬ素子に反対電圧を印加させることにより、有機ＥＬ素子の駆動電圧の印加を確実に停止させてから、有機ＥＬ素子に反対電圧を確実に通電することができる。

【０１０３】また、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると通電制御手段が第ｎ列目の電圧保持手段の保持電圧を放電させることにより、有機ＥＬ素子への駆動電圧の印加を停止させることを、電圧保持手段の動作制御により簡単かつ確実に実行することができる。

【０１０４】また、第(ｎ－ａ)列目の前記走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ素子と電源電極との接続を切断することにより、有機ＥＬ素子への駆動電圧の印加の停止を確実に実行することができる。

【０１０５】また、第(ｎ－ａ)列目の走査線に入力される走査電圧を通電制御手段が反対電圧として第ｎ列目の有機ＥＬ素子に通電させることにより、有機ＥＬ素子に通電させる反対電圧として走査電圧を利用することができるので、適正な反対電圧を簡単な構造で確実に発生させることができる。

【０１０６】また、第(ｎ－ｂ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の電圧保持手段の保持電圧を放電させ、第(ｎ－ａ)列目の走査線に入力される走査電圧を反対電圧として第ｎ列目の有機ＥＬ素子に通電させることにより、第(ｎ－ｂ)列目の走査線の走査電圧により有機ＥＬ素子への駆動電圧の印加を停止させることができ、この通電電流が停止された有機ＥＬ素子に第(ｎ－ａ)列目の走査線の走査電圧を反対電圧として通電させることができ、駆動電圧が完全に停止した有機ＥＬ素子に反対電圧を印加することができる。

【０１０７】また、第(ｎ－ｂ)列目の走査線に走査電圧が入力されると通電制御手段が第ｎ列目の有機ＥＬ素子と電源電極との接続を切断し、第(ｎ－ａ)列目の走査線に入力される走査電圧を反対電圧として第ｎ列目の有機ＥＬ素子に通電させることにより、第(ｎ－ｂ)列目の走査線の走査電圧により有機ＥＬ素子への駆動電圧の印加を停止させることができ、この通電電流が停止された有機ＥＬ素子に第(ｎ－ａ)列目の走査線の走査電圧を反対電圧として通電させることができ、駆動電圧が完全に停止した有機ＥＬ素子に反対電圧を印加することができる。

【０１０８】また、第一列目の有機ＥＬ素子の通電を最終列である第Ｎ列目の走査線の走査電圧で制御することにより、一列前の走査線に走査電圧が入力されると通電

SDC-1351-00000293
SDC EX. 2001 - 237/503

制御手段が有機ＥＬ素子の通電を制御する構造でも、第一列目の有機ＥＬ素子の通電を簡単な構造で適正なタイミングに制御することができる。

【０１０９】また、第一列目の走査線に並設されたダミー線にダミーの走査電圧が第一列目の走査電圧の直前に入力され、第一列目の有機ＥＬ素子の通電はダミー線にダミーの走査電圧が入力されると制御されることにより、一列前の走査線に走査電圧が入力されると通電制御手段が有機ＥＬ素子の通電を制御する構造でも、第一列目の有機ＥＬ素子の通電を簡単な構造で適正なタイミングに制御することができる。

【０１１０】また、第一列目の有機ＥＬ素子は第(Ｎ－１)列目の走査線に走査電圧が入力されると駆動電圧が停止され、第Ｎ列目の走査線に走査電圧が入力されると反対電圧が通電され、第二列目の有機ＥＬ素子は第Ｎ列目の走査線に走査電圧が入力されると駆動電圧が停止されることにより、二列前の走査線に走査電圧が入力されると通電制御手段が有機ＥＬ素子に印加される駆動電圧を停止させ、一列前の走査線に走査電圧が入力されると有機ＥＬ素子に反対電圧を印加させる構造でも、第一列目および第二列目の有機ＥＬ素子の通電を簡単な構造で適正なタイミングに制御することができる。

【０１１１】また、第一列目の走査線に並設された第一第二のダミー線に第一第二のダミーの走査電圧が第一列目の走査電圧の直前に入力され、第一列目の有機ＥＬ素子は第一のダミー線に走査電圧が入力されると駆動電圧が停止され、第二のダミー線に走査電圧が入力されると反対電圧が通電され、第二列目の有機ＥＬ素子は第二のダミー線に走査電圧が入力されると駆動電圧が停止されることにより、二列前の走査線に走査電圧が入力されると通電制御手段が有機ＥＬ素子に印加される駆動電圧を停止させ、一列前の走査線に走査電圧が入力されると有機ＥＬ素子に反対電圧を印加させる構造でも、第一列目および第二列目の有機ＥＬ素子の通電を簡単な構造で適正なタイミングに制御することができる。

【図面の簡単な説明】

【図１】本発明の画像表示装置の実施の第一の形態であるＥＬディスプレイの要部の回路構造を示す回路図である。

【図２】ＥＬディスプレイの全体構造を示すブロック図である。

【図３】有機ＥＬ素子の部分の薄膜構造を示す断面図である。

【図４】ＥＬディスプレイの各部の信号波形を示すタイムチャートである。

【図５】実施の第二の形態のＥＬディスプレイの要部の回路構造を示す回路図である。

【図６】各部の信号波形を示すタイムチャートである。

【図７】実施の第二の形態のＥＬディスプレイの要部の回路構造を示す回路図である。

【図８】各部の信号波形を示すタイムチャートである。

【図９】実施の第二の形態のＥＬディスプレイの要部の回路構造を示す回路図である。

【図１０】各部の信号波形を示すタイムチャートである。

【図１１】一変形例のＥＬディスプレイの要部の回路構造を示す回路図である。

【図１２】実施の第二の形態のＥＬディスプレイの要部の回路構造を示す回路図である。

【図１３】各部の信号波形を示すタイムチャートである。

【図１４】一従来例のＥＬディスプレイの要部を示す回路図である。

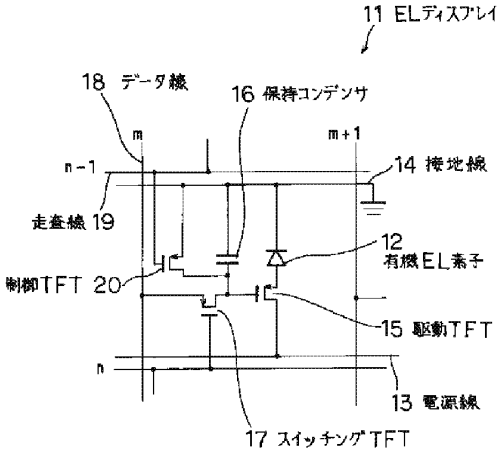
【図１５】各部の信号波形を示すタイムチャートである。

【符号の説明】

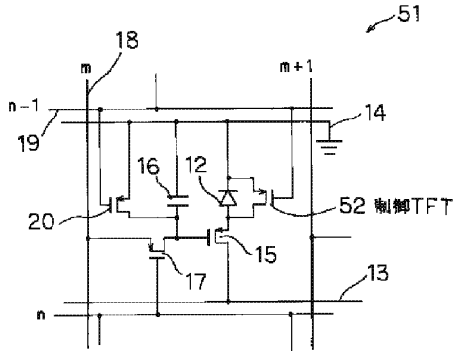
１１，５１，６１，７１，８１，９１　ＥＬディスプレイ
１２　有機ＥＬ素子
１３　一対の電源電極の一方である電源線
１４　一対の電源電極の一方である接地線
１５　駆動トランジスタである駆動ＴＦＴ
１６　電圧保持手段である保持コンデンサ
１７　スイッチング手段であるスイッチングＴＦＴ
１８　データ線
１９　走査線
２０，５２，７２～７４　通電制御手段である制御ＴＦＴ
２１　ダミー線
６２　通電制御手段である制御コンデンサ
８２　通電制御手段であるダイオード素子

SDC-1351-00000294
SDC EX. 2001 - 238/503

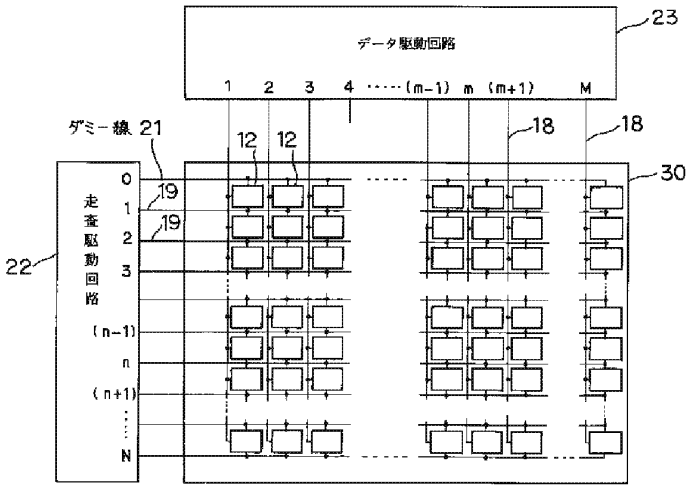
【図１】



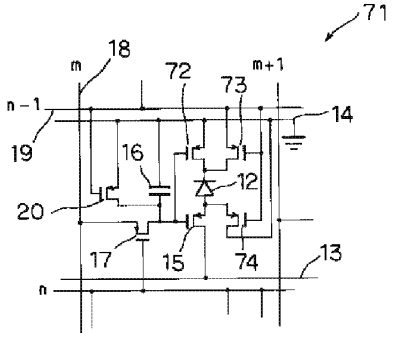
【図５】



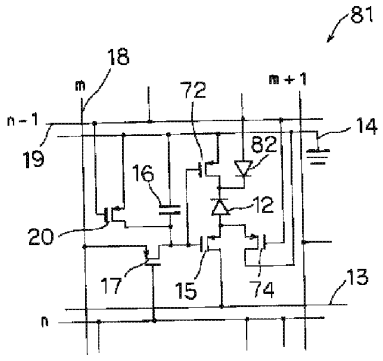
【図２】



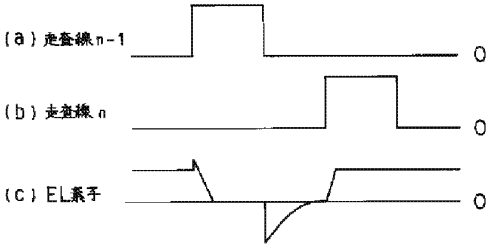
【図９】



【図１１】

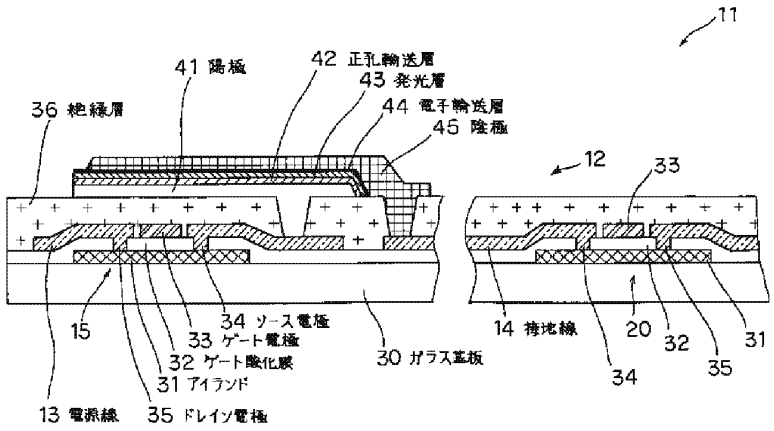


【図８】

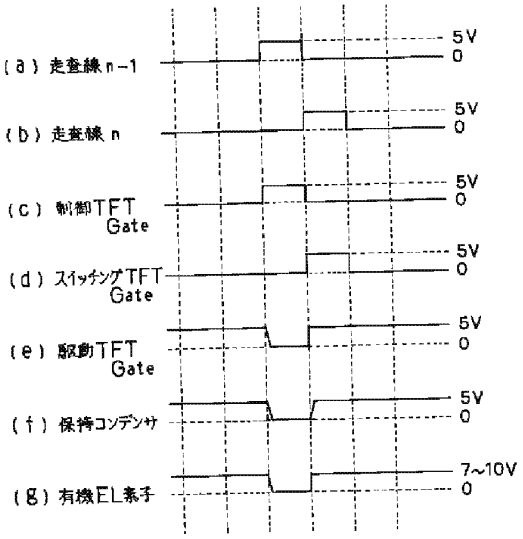


SDC-1351-00000295
SDC EX. 2001 - 239/503

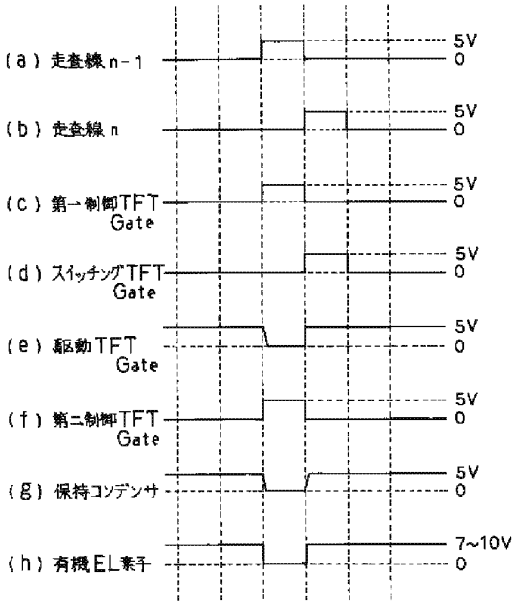
【図３】



【図４】

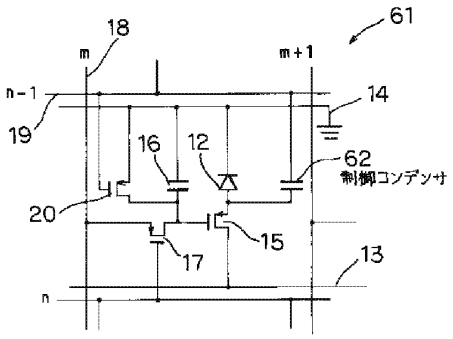


【図６】

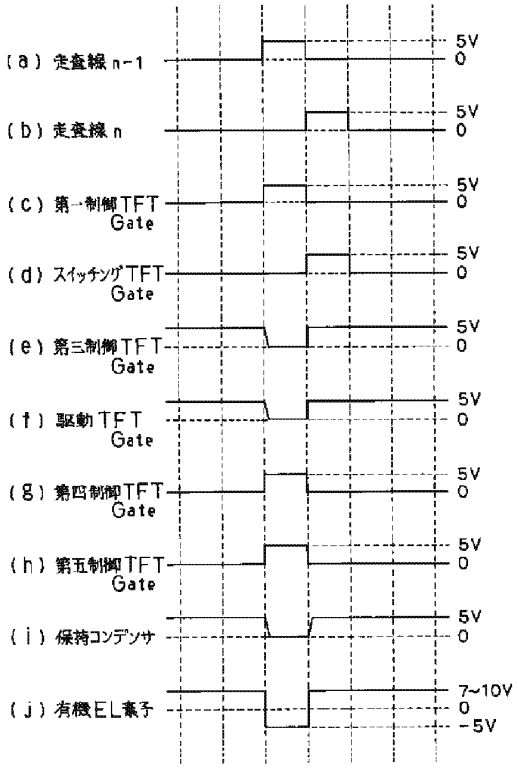


SDC-1351-00000296
SDC EX. 2001 - 240/503

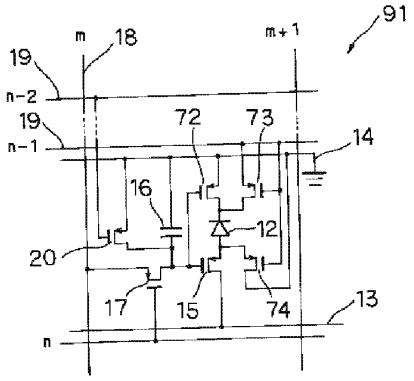
【図７】



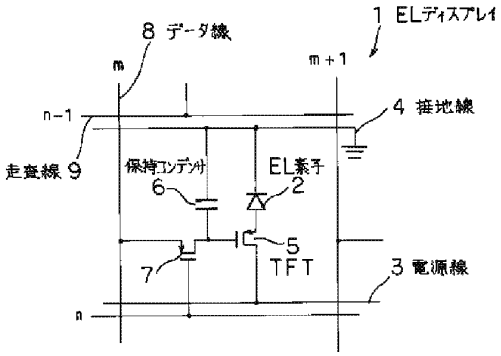
【図１０】



【図１２】

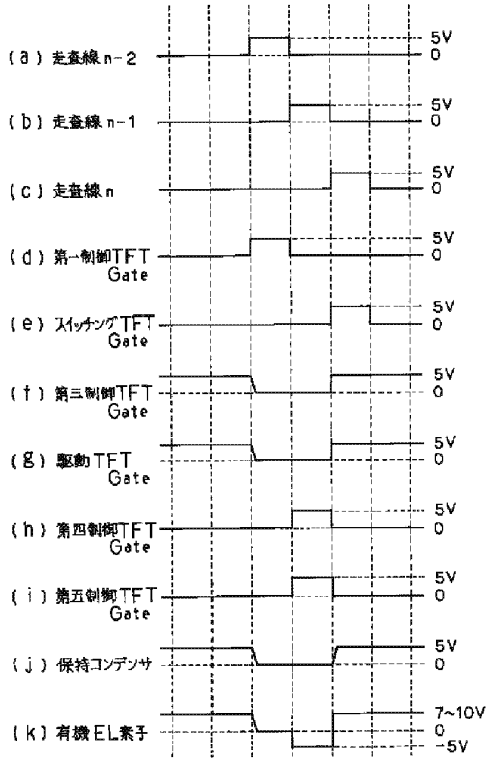


【図１４】

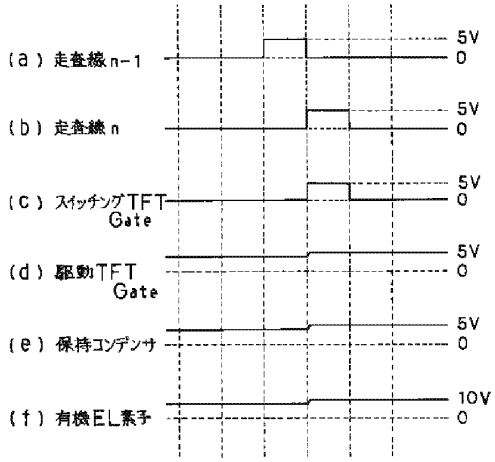


SDC-1351-00000297
SDC EX. 2001 - 241/503

【図１３】



【図１５】



フロントページの続き

(51)Int.Cl.[7]	識別記号	FI	テーマコード(参考)
G09G 3/20	670	G09G 3/20	670K
// H05B 33/14		H05B 33/14	A

Fターム(参考)　3K007 AB02 AB04 AB11 BA06 CB01
DA01 DB03 EB00 GA02
5C080 AA06 BB05 CC03 DD03 DD29
EE28 FF11 HH11 JJ02 JJ03
JJ04 JJ06
5C094 AA37 AA54 BA03 BA29 CA19
DB01 DB04 EA04 EA05 EA10
EB02 FA01 FA02 GA10 JA20

SDC-1351-00000298
SDC EX. 2001 - 242/503

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-215096
(43)Date of publication of application : 31.07.2002

(51)Int.Cl. G09G 3/30
G09F 9/30
G09G 3/20
H05B 33/14

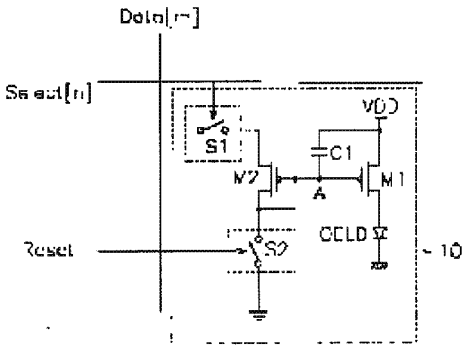
(21)Application number : 2001-365551
(22)Date of filing : 30.11.2001

(71)Applicant : SAMSUNG SDI CO LTD
(72)Inventor : KWON OH-KYONG

(30)Priority
Priority number : 2000 200085683 Priority date : 29.12.2000 Priority country : KR

(54) ORGANIC ELECTRO-LUMINESCENCE DISPLAY DEVICE, DRIVING METHOD THEREFOR, AND PIXEL CIRCUIT THEREFOR

(57)Abstract:
PROBLEM TO BE SOLVED: To realize high gradations compensating for deviation of a threshold voltage of a thin film transistor when driving an organic electro-luminescence element.
SOLUTION: The pixel circuit comprises an organic electro-luminescence element OELD emitting light corresponding to an applied current quantity, a 1st switch S1 for switching a data voltage to be applied to the data line in response to a selection signal applied to a scanning line, a 1st transistor M1 for supplying a current to the organic electro-luminescence element correspondingly to the data voltage inputted to the gate through the 1st switch S1, a 2nd transistor M2 of which the gate is connected with the gate of the 1st transistor M1 for compensating for the deviation of the threshold voltage of this 1st transistor M1, and a capacitor C1 for holding the data voltage applied to the gate of the 1st transistor M1 for prescribed period.



LEGAL STATUS

[Date of request for examination] 14.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

SDC-1351-00000299
SDC EX. 2001 - 243/503

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

SDC-1351-00000300
SDC EX. 2001 - 244/503

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号
特開2002－215096
（P2002－215096A）
(43)公開日　平成14年７月31日(2002.7.31)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード(参考)
Ｇ０９Ｇ　3/30		Ｇ０９Ｇ　3/30	Ｊ	３Ｋ００７
Ｇ０９Ｆ　9/30	３３８	Ｇ０９Ｆ　9/30	３３８	５Ｃ０８０
	３６５		３６５Ｚ	５Ｃ０９４
Ｇ０９Ｇ　3/20	６１１	Ｇ０９Ｇ　3/20	６１１Ｈ	
	６２４		６２４Ｂ	

審査請求　未請求　請求項の数34　ＯＬ　（全 14 頁）　最終頁に続く

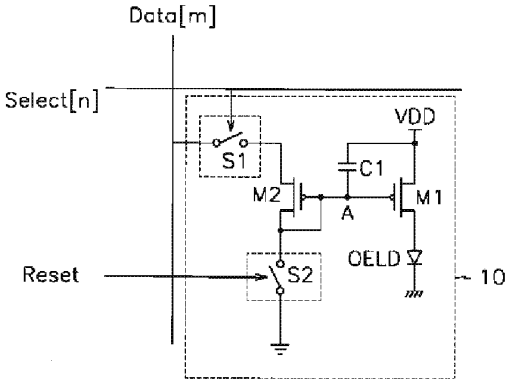
(21)出願番号　特願2001－365551(P2001－365551)
(22)出願日　平成13年11月30日(2001.11.30)
(31)優先権主張番号　２０００－０８５６８３
(32)優先日　平成12年12月29日(2000.12.29)
(33)優先権主張国　韓国（ＫＲ）

(71)出願人　590002817
三星エスディアイ株式会社
大韓民國京畿道水原市八達區▲しん▼洞
575番地
(72)発明者　權　五　敬
大韓民国ソウル市松坡區新川洞（無番地）
ジャンミ・アパートメント14棟1102号
(74)代理人　100107308
弁理士　北村　修一郎

最終頁に続く

(54)【発明の名称】　有機電界発光表示装置、有機電界発光表示装置の駆動方法及び有機電界発光表示装置のピクセル回路

(57)【要約】
【課題】　有機電界発光素子を薄膜トランジスタを利用して駆動する場合に薄膜トランジスタのしきい電圧の偏差を補償して高階調を可能にする。
【解決手段】　印加される電流の量に対応する光を発光する有機電界発光素子ＯＥＬＤ、走査線に印加される選択信号に応答して前記データ線に印加されるデータ電圧をスイッチングするための第１スイッチＳ１、第１スイッチＳ１を通ってゲートに入力される前記データ電圧に対応し前記有機電界発光素子に電流を供給する第１トランジスタＭ１、このトランジスタＭ１のしきい電圧偏差を補償するため第１トランジスタＭ１のゲートにゲートが連結されている第２トランジスタＭ２、第１トランジスタＭ１のゲートに印加されるデータ電圧を所定時間維持するためのコンデンサーＣ１を備える。



SDC-1351-00000301
SDC EX. 2001 - 245/503

1

【特許請求の範囲】

【請求項１】　画像信号を示すデータ電圧を伝達する複数のデータ線、選択信号を伝達するための複数の走査線、及び前記複数のデータ線と前記複数の走査線によって規定される複数のピクセルに各々形成される複数のピクセル回路を備え、

前記ピクセル回路が、

印加される電流の量に対応する光を発光する有機電界発光素子、

前記走査線に印加される選択信号に応答して前記データ線に印加されるデータ電圧をスイッチングするための第１スイッチ、

前記第１スイッチを通ってゲートに入力される前記データ電圧に対応して前記有機電界発光素子に電流を供給する第１薄膜トランジスタ、

前記第１薄膜トランジスタのしきい電圧偏差を補償するため、前記第１薄膜トランジスタのゲートにゲートが連結されている第２薄膜トランジスタ、及び前記第１薄膜トランジスタのゲートに印加されるデータ電圧を所定時間維持するためのコンデンサーを備えた有機電界発光表示装置。

【請求項２】　制御信号に応答して前記第１薄膜トランジスタのゲートに印加されたデータ電圧を初期化する第２スイッチを有する請求項１に記載の有機電界発光表示装置。

【請求項３】　前記制御信号は、外部リセット信号である請求項２に記載の有機電界発光表示装置。

【請求項４】　前記制御信号は、直前の走査線の選択信号である請求項２に記載の有機電界発光表示装置。

【請求項５】　現在の選択信号が印加される前に、直前の前記データ電圧が前記データ線に印加される請求項４に記載の有機電界発光表示装置。

【請求項６】　前記第２薄膜トランジスタは、ゲートとドレーンが互いに電気的に連結される請求項２に記載の有機電界発光表示装置。

【請求項７】　前記第１スイッチは、ゲートに前記走査線が連結され、ソースに前記データ線が連結されて、ドレーンに前記第２薄膜トランジスタのドレーンが連結される第３薄膜トランジスタであり、

前記第２スイッチは、ゲートに前記制御信号が印加され、ソースに前記第１薄膜トランジスタのゲートが連結されて、ドレーンにリセットのための所定電圧が印加される第４薄膜トランジスタである請求項２に記載の有機電界発光表示装置。

【請求項８】　前記第４薄膜トランジスタのソースに印加される所定電圧は、接地電圧である請求項７に記載の有機電界発光表示装置。

【請求項９】　前記第４薄膜トランジスタのソースに印加される所定電圧は、プリチャージ電圧である請求項７に記載の有機電界発光表示装置。

2

【請求項１０】　前記プリチャージ電圧は、最大グレーレベルを表示するために前記第１薄膜トランジスタのゲートに印加される最少データ電圧より低い値に設定される請求項９に記載の有機電界発光表示装置。

【請求項１１】　前記第４薄膜トランジスタは、ゲートとドレーンが互いに連結される請求項７に記載の有機電界発光表示装置。

【請求項１２】　前記第１スイッチは、ゲートに前記走査線が連結され、ドレーンに前記データ線が連結されて、ソースに前記第２薄膜トランジスタのソースが連結される第３薄膜トランジスタであり、

前記第２スイッチは、ゲートに前記制御信号が印加され、ドレーンに前記第１薄膜トランジスタのゲートが連結されて、ソースにリセットのための所定電圧が印加される第４薄膜トランジスタである請求項２に記載の有機電界発光表示装置。

【請求項１３】　前記第１乃至第４薄膜トランジスタは同一電導タイプの薄膜トランジスタである請求項７又は１２に記載の有機電界発光表示装置。

【請求項１４】　前記第１、第２、第３薄膜トランジスタは第１電導タイプのトランジスタであり、前記第４薄膜トランジスタは第２電導タイプのトランジスタである請求項７又は１２に記載の有機電界発光表示装置。

【請求項１５】　前記第１及び第２薄膜トランジスタは第１電導タイプのトランジスタであり、前記第３及び第４薄膜トランジスタは第２電導タイプのトランジスタである請求項７又は１２に記載の有機電界発光表示装置。

【請求項１６】　前記第１薄膜トランジスタと前記第２薄膜トランジスタは同一のしきい電圧値を有する請求項２に記載の有機電界発光表示装置。

【請求項１７】　前記第１薄膜トランジスタと前記第２薄膜トランジスタは前記データ線と平行しており、同一面上に形成される請求項１６に記載の有機電界発光表示装置。

【請求項１８】　複数のデータ線、前記複数のデータ線に交差する複数の走査線、前記複数のデータ線と複数の走査線によって規定される領域に形成されて各々有機電界発光素子に電流を供給する薄膜トランジスタを有する行列形態の複数のピクセルを含む有機電界発光表示装置の駆動方法において、

画像信号を示すデータ電圧を前記複数のデータ線に印加する第１段階、

前記ピクセルの行を選択するための選択信号を前記複数の走査線に順次に印加する第２段階、

前記選択信号に応答して前記データ線に印加されたデータ電圧をスイッチングした後、印加されたデータ電圧を前記薄膜トランジスタのしきい電圧偏差を減らすために補償する第３段階、及び前記補償されたデータ電圧を前記薄膜トランジスタのゲートに伝達して前記有機電界発光表示素子に電流を供給する第４段階を、

SDC-1351-00000302
SDC EX. 2001 - 246/503

含む有機電界発光表示装置の駆動方法。

【請求項１９】　制御信号に応答して前記薄膜トランジスタのゲートに印加されたデータ電圧を初期化する第５段階を含む請求項１８に記載の有機電界発光表示装置の駆動方法。

【請求項２０】　前記制御信号は外部リセット信号である請求項１９に記載の有機電界発光表示装置の駆動方法。

【請求項２１】　前記制御信号は、直前の走査線の選択信号である請求項１９に記載の有機電界発光表示装置の駆動方法。

【請求項２２】　現在の選択信号が印加される前に、直前の前記データ電圧が前記データ線に印加される請求項２１に記載の有機電界発光表示装置の駆動方法。

【請求項２３】　複数のデータ線と複数の走査線によって規定される複数のピクセルに各々形成される複数のピクセル回路において、

前記ピクセル回路は、

有機電界発光素子、

前記電界発光素子にドレーンが電気的に連結される第１薄膜トランジスタ、

前記第１薄膜トランジスタのゲートにゲートとソースが共に連結される第２薄膜トランジスタ、

前記走査線に制御端子が連結され、前記データ線と前記第２薄膜トランジスタのソースに各々第１端子及び第２端子が電気的に連結される第１スイッチ、

及び、前記第１薄膜トランジスタのゲートとソースの間に連結されるコンデンサーを含む有機電界発光表示装置のピクセル回路。

【請求項２４】　制御信号が制御端子に印加され、第１端子が前記第２薄膜トランジスタのドレーンに電気的に連結されて、第２端子に所定電圧が印加される第２スイッチを有する請求項２３に記載の有機電界発光表示装置のピクセル回路。

【請求項２５】　前記第２スイッチの制御端子には、外部リセット信号が印加される請求項２４に記載の有機電界発光表示装置のピクセル回路。

【請求項２６】　前記第２スイッチの制御端子には、直前の走査線が連結される請求項２４に記載の有機電界発光表示装置のピクセル回路。

【請求項２７】　前記第１スイッチは、ゲートに前記走査線が連結され、ソースに前記データ線が連結されて、ドレーンに前記第２薄膜トランジスタのドレーンが連結される第３薄膜トランジスタであり、

前記第２スイッチは、ゲートに前記制御信号が印加され、ソースに前記第１薄膜トランジスタのゲートが連結されて、ドレーンにリセットのための所定電圧が印加される第４薄膜トランジスタである請求項２４に記載の有機電界発光表示装置のピクセル回路。

【請求項２８】　前記第４薄膜トランジスタは、ゲートとドレーンが互いに電気的に連結されている請求項２７に記載の有機電界発光表示装置のピクセル回路。

【請求項２９】　前記第１スイッチは、ゲートに前記走査線が連結され、ドレーンに前記データ線が連結されて、ソースに前記第２薄膜トランジスタのソースが連結される第３薄膜トランジスタであり、

前記第２スイッチは、ゲートに前記制御信号が印加され、ドレーンに前記第１薄膜トランジスタのゲートが連結されて、ソースにリセットのための所定電圧が印加される第４薄膜トランジスタである請求項２４に記載の有機電界発光表示装置のピクセル回路。

【請求項３０】　前記第１乃至第４薄膜トランジスタは、同一電導タイプの薄膜トランジスタである請求項２７又は２９に記載の有機電界発光表示装置のピクセル回路。

【請求項３１】　前記第１、第２、第３薄膜トランジスタは、第１電導タイプのトランジスタであり、前記第４薄膜トランジスタは第２電導タイプのトランジスタである請求項２７又は２９に記載の有機電界発光表示装置のピクセル回路。

【請求項３２】　前記第１及び第２薄膜トランジスタは第１電導タイプのトランジスタであり、前記第３及び第４薄膜トランジスタは第２電導タイプのトランジスタである請求項２７又は２９に記載の有機電界発光表示装置のピクセル回路。

【請求項３３】　前記第１薄膜トランジスタと前記第２薄膜トランジスタは、同一のしきい電圧値を有する請求項２４に記載の有機電界発光表示装置のピクセル回路。

【請求項３４】　前記第１薄膜トランジスタと前記第２薄膜トランジスタは前記データ線と平行しており、同一線上に形成される請求項３３に記載の有機電界発光表示装置のピクセル回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は有機電界発光（electroluminescent；以下、'EL'とする）表示装置、有機ＥＬ表示装置の駆動方法及び有機ＥＬ表示装置のピクセル回路に関し、さらに詳しくは有機ＥＬ表示装置のピクセルを薄膜トランジスタ（thin film transistor；以下、'TFT'とする）を利用して駆動する場合にＴＦＴのしきい電圧（threshold voltage）誤差を補償して高輝度階調再現を可能にする有機ＥＬ表示装置、有機ＥＬ表示装置の駆動方法及びピクセル回路に関する。

【０００２】

【従来の技術】一般に有機ＥＬ表示装置は蛍光性有機化合物を電気的に励起して発光させる表示装置であって、Ｎ×Ｍ個に行列配置された有機発光セルを電圧駆動あるいは電流駆動して映像を表現できるようになっている。このような有機発光セルは図１に示すように、アノード（ＩＴＯ）、有機薄膜、カソードレイヤ（Metal）の積

SDC-1351-00000303
SDC EX. 2001 - 247/503

5

層構造を有している。有機薄膜は電子と正孔の均衡を良くして発光効率を向上させるために発光層（EML: emitting layer）、電子輸送層（ETL: Electron Transport Layer）及び、正孔輸送層（HTL: Hole Transport Layer）を含む多層構造からなり、また独立の電子注入層（EIL: Electron Injecting Layer）と正孔注入層（HIL: Hole Injecting Layer）を含んでいる。

【０００３】このような有機発光セルを駆動する方式には、単純マトリックスである受動駆動（passive matrix）方式と、ＴＦＴを利用した能動駆動（active matrix）方式がある。単純マトリックス方式は正極線と負極線を直交させて形成し、ラインを選択して各ピクセルを瞬間的に駆動するが、能動駆動方式はＴＦＴとコンデンサーを各ＩＴＯ画素電極に接続してコンデンサー容量によって電圧を維持し、比較的長時間駆動するようにする駆動方式である。

【０００４】図２は有機ＥＬ素子を、ＴＦＴを利用して駆動するためのピクセル回路であって、Ｎ×Ｍ個のピクセル群のうちの一つｎ行ｍ烈交点を代表的に示したものである。図２に示す構造では、有機ＥＬ素子（ＯＥＬＤ）に電流を制御する電流駆動形トランジスタ（Ｍｂ）が連結されて発光のための電流を供給する。電流駆動形トランジスタ（Ｍｂ）の電流量はスイッチングトランジスタ（Ｍａ）を通って印加されるデータ電圧によって制御される。この時、印加された電圧を一定期間維持するためのコンデンサー（C）がトランジスタ（Ｍｂ）のソースとゲートの間に連結される。トランジスタ（Ｍａ）のゲートにはｎ番目の選択信号線（Ｓｅｌｅｃｔ[ｎ]）が連結されており、ソース側にはｍ番目のデータ線（Ｄａｔａ[ｍ]）が連結されている。

【０００５】この構造のピクセルの動作を説明すると、図３に示すようにスイッチングトランジスタ（Ｍａ）のゲートに印加されるｎ番目の選択信号（Ｓｅｌｅｃｔ[ｎ]）によってトランジスタ（Ｍａ）がオンになると、データ線を通ってデータ電圧（V_{DATA}）が駆動用トランジスタ（Ｍｂ）のゲート（ノードＡ）に印加される。そして、ゲートに印加されるデータ電圧（V_{DATA}）に対応してトランジスタ（Ｍｂ）を通じて有機ＥＬ素子（ＯＥＬＤ）に電流が流れて発光する。

【０００６】この時、有機ＥＬ素子に流れる電流は数１に示す式１の通りである。

【数１】

$$I_{OELD} = \frac{\beta}{2}\cdot(V_{GS}-V_{TH})^2 = \frac{\beta}{2}\cdot(V_{DD}-V_{DATA}-V_{TH})^2$$

ここで、I_{OELD}は有機ＥＬ素子に流れる電流、V_{GS}はトランジスタ（Ｍｂ）のソースとゲートの間の電圧、V_{TH}はトランジスタ（Ｍｂ）のしきい電圧、V_{DATA}はデータ電圧、βは定数値を示す。V_{DD}は電源電圧である。

【０００７】前記式１に示したように、図２に示したピクセル回路によると印加されるデータ電圧（V_{DATA}）に

6

対応する電流が有機ＥＬ素子（ＯＥＬＤ）に供給され、供給された電流に対応して有機ＥＬ素子が発光する。この時、印加されるデータ電圧（V_{DATA}）は階調を表現するために一定の範囲で多段階の値を取る。

【０００８】

【発明が解決しようとする課題】ところが、前記のような従来のピクセル回路では、製造工程の不均一性によって生じるＴＦＴのしきい電圧（V_{TH}）の偏差で高輝度の階調再現を得にくい場合がある。例えば、３Ｖでピクセルの ＴＦＴを駆動する場合、８ビット（２５６）階調を表現するためには１２ｍＶ（=３Ｖ/２５６）間隔でＴＦＴのゲート電圧に電圧を印加しなければならないが、製造工程のばらつきによるＴＦＴのしきい電圧の偏差が１００ｍＶである場合には高輝度の階調を良好に表現するのに問題が残る。

【０００９】本発明は前記のような問題点を解決するために薄膜トランジスタ（ＴＦＴ）のしきい電圧の偏差を補償して高輝度の階調を表現することができる有機ＥＬ表示装置を提供することにその目的がある。

【００１０】

【課題を解決するための手段】上記目的を達成するための本発明の一つの特徴による有機電界発光表示装置は、請求項１に記載されているように、画像信号を示すデータ電圧を伝達する複数のデータ線、選択信号を伝達するための複数の走査線、及び前記複数のデータ線と前記複数の走査線によって規定される複数のピクセルに各々形成される複数のピクセル回路を備え、前記ピクセル回路が、印加される電流の量に対応する光を発光する有機電界発光素子、前記走査線に印加される選択信号に応答して前記データ線に印加されるデータ電圧をスイッチングするための第１スイッチ、前記第１スイッチを通ってゲートに入力される前記データ電圧に対応して前記有機電界発光素子に電流を供給する第１薄膜トランジスタ、前記第１薄膜トランジスタのしきい電圧偏差を補償するため、前記第１薄膜トランジスタのゲートにゲートが連結されている第２薄膜トランジスタ、及び前記第１薄膜トランジスタのゲートに印加されるデータ電圧を所定時間維持するためのコンデンサーを備えたことにある。ここで、請求項２に記載されているように、制御信号に応答して前記第１薄膜トランジスタのゲートに印加されたデータ電圧を初期化する第２スイッチを有することが好ましい。

【００１１】さらに、請求項７又は１２に記載されているように、前記第１スイッチは、ゲートに前記走査線が連結され、ソース（またはドレーン）に前記データ線が連結されて、ドレーン（またはソース）に前記第２薄膜トランジスタのドレーン（またはソース）が連結される第３薄膜トランジスタであり、前記第２スイッチは、ゲートに前記制御信号が印加され、ソース（またはドレーン）に前記第１薄膜トランジスタのゲートが連結され

SDC-1351-00000304
SDC EX. 2001 - 248/503

て、ドレーン（またはソース）にリセットのための所定電圧が印加される第４薄膜トランジスタであることが好ましい。

【００１２】一方、複数のデータ線、前記複数のデータ線に交差する複数の走査線、前記複数のデータ線と複数の走査線によって規定される領域に形成されて各々有機電界発光素子に電流を供給する薄膜トランジスタを有する行列形態の複数のピクセルを含む有機電界発光表示装置の駆動方法において、請求項１８に記載されているように、画像信号を示すデータ電圧を前記複数のデータ線に印加する第１段階、前記ピクセルの行を選択するための選択信号を前記複数の走査線に順次に印加する第２段階、前記選択信号に応答して前記データ線に印加されたデータ電圧をスイッチングした後、印加されたデータ電圧を前記薄膜トランジスタのしきい電圧偏差を減らすために補償する第３段階、及び前記補償されたデータ電圧を前記薄膜トランジスタのゲートに伝達して前記有機電界発光表示素子に電流を供給する第４段階を、含むことが好ましい。この場合、請求項１９に記載されているように、制御信号に応答して前記薄膜トランジスタのゲートに印加されたデータ電圧を初期化する第５段階を含むことが好ましい。

【００１３】さらに、複数のデータ線と複数の走査線によって規定される複数のピクセルに各々形成される複数のピクセル回路において、請求項２３に記載されているように、前記ピクセル回路は、有機電界発光素子、前記電界発光素子にドレーンが電気的に連結される第１薄膜トランジスタ、前記第１薄膜トランジスタのゲートにゲートとソースが共に連結される第２薄膜トランジスタ、前記走査線に制御端子が連結され、前記データ線と前記第２薄膜トランジスタのソースに各々第１端子及び第２端子が電気的に連結される第１スイッチ、及び、前記第１薄膜トランジスタのゲートとソースの間に連結されるコンデンサーを含むことが好ましい。さらに、この構成において、請求項２７、２９に記載されているように、前記第１スイッチは、ゲートに前記走査線が連結され、ソース（またはドレーン）に前記データ線が連結されて、ドレーン（またはソース）に前記第２薄膜トランジスタのドレーン（またはソース）が連結される第３薄膜トランジスタであり、前記第２スイッチは、ゲートに前記制御信号が印加され、ソース（またはドレーン）に前記第１薄膜トランジスタのゲートが連結されて、ドレーン（またはソース）にリセットのための所定電圧が印加される第４薄膜トランジスタであることが好ましい。

【００１４】

【発明の実施の形態】以下、添付した図面を参照して本発明の実施の形態を詳細に説明する。

【００１５】図４は本発明の実施の形態による有機ＥＬ表示装置を示す図面である。

【００１６】図４に示したように、本発明の実施の形態による有機ＥＬ表示装置は有機ＥＬ表示装置パネル１０、データドライバー（Data Driver)３０、走査ドライバー（SCAN Driver)２０を有して構成される。

【００１７】有機ＥＬ表示装置パネル１０は画像信号を示すデータ電圧を伝達する複数のデータ線（Ｄ１、Ｄ２、Ｄ３、、、Ｄｙ）、選択信号を伝達するための走査線（Ｓ１、Ｓ２、Ｓ３、…,Ｓｚ）、前記複数のデータ線と複数の走査線の交点毎に規定されるピクセルに各々形成されるピクセル回路１１を有する。

【００１８】データドライバー３０は複数のデータ線に画像信号を示すデータ電圧を印加し、走査ドライバー２０は複数の走査線に選択信号を順次に印加する。

【００１９】図５は、各々本発明の実施の形態によるピクセル回路１１を示す図面である。

【００２０】図５に示したように、本発明の実施の形態によるピクセル回路１１は有機ＥＬ素子（ＯＥＬＤ）、薄膜トランジスタ（Ｍ１、Ｍ２）、スイッチ（Ｓ１、Ｓ２）、コンデンサー（Ｃ１）を備えている。

【００２１】有機ＥＬ素子（ＯＥＬＤ）は印加される電流の量に対応する光を発光し、電流駆動用トランジスタ（Ｍ１）は、電源電圧（ＶＤＤ）にソースが連結されて、有機ＥＬ素子（ＯＥＬＤ）にドレーンが連結され、ゲートに印加されるデータ線から供給されるデータ電圧に対応する電流を有機ＥＬ素子に供給する。

【００２２】トランジスタ（Ｍ２）は、前記トランジスタ（Ｍ１）のゲートにゲートとドレーンが各々連結されてダイオード機能を果たし、前記電流駆動用トランジスタ（Ｍ１）のしきい電圧偏差を補償する役割を果たす。図５に示したピクセル回路によると、電流駆動用トランジスタ（Ｍ１）としきい電圧補償用トランジスタ（Ｍ２）をＰＭＯＳ形薄膜トランジスタで構成したが、後述するようにＮＭＯＳ形薄膜トランジスタで構成することも可能である。

【００２３】コンデンサー（Ｃ１）は電源電圧（ＶＤＤ）とトランジスタ（Ｍ１）のゲートの間に連結されてトランジスタ（Ｍ１）のゲートに印加されるデータ電圧を一定期間維持する。

【００２４】スイッチ（Ｓ１）は走査線から印加される選択信号（Ｓｅｌｅｃｔ[ｎ]）に応答してスイッチングして、データ線に印加されるデータ電圧を電圧補償用トランジスタ（Ｍ２）を通じて電流駆動用トランジスタ（Ｍ１）に伝達する。スイッチ（Ｓ２）はリセット信号（Ｒｅｓｅｔ）に応答して電流駆動用トランジスタ（Ｍ１）のゲート電圧を初期化する。

【００２５】次には図５に示した本発明の実施の形態によるピクセル回路の動作を説明する。

【００２６】スイッチ（Ｓ１）に印加される選択信号（Ｓｅｌｅｃｔ[ｎ]）によってスイッチ（Ｓ１）がオンになると、データ線に印加されたデータ電圧（V_{DATA}）が電圧補償用トランジスタ（Ｍ２）を通じて電流駆動用

SDC-1351-00000305
SDC EX. 2001 - 249/503

トランジスタ（Ｍ１）のゲート（ノードＡ）に伝達される。そして、ゲートに印加されるデータ電圧（V_{DATA}）に対応してトランジスタ（Ｍ１）を通じて有機ＥＬ素子（ＯＥＬＤ）に電流が流れて発光が行われる。

$$I_{OELD} = \frac{\beta}{2}\cdot(V_{GS}-V_{TH1})^2 = \frac{\beta}{2}\cdot(V_{DD}-(V_{DATA}-V_{TH2})-V_{TH1})^2$$

ここで、I_{OELD}は有機ＥＬ素子に流れる電流、V_{GS}は電流駆動用トランジスタ（Ｍ１）のソースとゲートの間の電圧、V_{TH1}は電流駆動用トランジスタ（Ｍ１）のしきい電圧、V_{TH2}は電圧補償用トランジスタ（Ｍ２）のしきい電圧、βは定数値を示す。V_{DD}は電源電圧である。

【００２８】この時、電流駆動用トランジスタ（Ｍ１）と電圧補償用トランジスタ（Ｍ２）のしきい電圧が殆ど同一であれば、つまり、$V_{TH1}=V_{TH2}$であれば、式２は次の数３に示す式３で表現できる。実際に本発明の実施の形態によれば、トランジスタ（Ｍ１）とトランジスタ（Ｍ２）が殆ど同一な工程条件で製造されるために二つのトランジスタのしきい電圧の間には偏差が殆どなく、しきい電圧が同一になる。

【００２９】

【数３】

$$I_{OELD} = \frac{\beta}{2}\cdot(V_{DD}-V_{DATA})^2$$

【００３０】従って、本発明の実施の形態によれば有機ＥＬ素子（ＯＥＬＤ）が数３に示す式３から分かるように、電流駆動用トランジスタ（Ｍ１）のしきい電圧に関係なくデータ線に印加されるデータ電圧に対応する電流が流れる。つまり、本発明の実施の形態によればトランジスタ（Ｍ２）が電流駆動用トランジスタ（Ｍ１）のしきい電圧の偏差を補償するために有機ＥＬ素子に流れる電流を微細に制御することができて高精度の階調を表現できる有機ＥＬ表示装置を提供することができる。

【００３１】一方、本発明の実施の形態によれば直前のフレーム期間のデータが高いレベルの電圧であり、その次のフレーム期間のデータが低いレベルの電圧であればトランジスタ（Ｍ２）のダイオード連結特性によってノードＡにはそれ以上データ信号が印加できなくなるのでスイッチ（Ｓ２）をおいてノードＡをフレームごとに所定レベル（例えば、接地レベル）に初期化する。この時スイッチ（Ｓ２）は後述するように別途のリセット信号を利用して駆動することができ、ＯＥＬＤピクセルの開口率を高めるために直前の選択信号（Ｓｅｌｅｃｔ[ｎ－１]）で駆動することもできる。

【００３２】図６は本発明の第１実施の形態による有機ＥＬ表示装置のピクセル回路を示す図面である。図６に示したように、本発明の第１実施の形態によるピクセル回路は図５に示したピクセル回路と同様に電流駆動用トランジスタ（Ｍ１）としきい電圧補償用トランジスタ（Ｍ２）をＰＭＯＳトランジスタで構成し、スイッチ（Ｓ１、Ｓ２）も各々ＰＭＯＳ形トランジスタ（Ｍ３、Ｍ４）で構成した。

＊【００２７】この時、本発明の実施の形態によって有機ＥＬ素子に流れる電流は次の数２に示す式２の通りである。

【数２】

【００３３】また、トランジスタ（Ｍ１）のゲート電圧をリセットさせるためのトランジスタ（Ｍ４）のゲートには別途のリセット信号（Ｒｅｓｅｔ）が印加される。

【００３４】図８（イ）及び図８（ロ）は図６に示したピクセル回路を駆動するためのタイミング図である。

【００３５】まず、図８（イ）を参照すると、最初のリセット信号（Ｒｅｓｅｔ）によってノードＡを初期化させた後、選択信号（Ｓｅｌｅｃｔ[ｎ]）により該当ピクセル行を選択し、その後データ信号（Ｄａｔａ[ｍ]）を印加してｍ列の該当ピクセルを発光させる。つまり、図８（イ）に示した駆動方法によればリセット信号、選択信号、データ信号の順序で各トランジスタに信号が印加される。

【００３６】具体的には、トランジスタ（Ｍ４）のゲートに外部リセット（Ｒｅｓｅｔ）信号を印加して、まずノードＡを接地レベルに初期化した後、選択信号（Ｓｅｌｅｃｔ[ｎ]）をトランジスタ（Ｍ４）のゲートに印加して該当ピクセル行を活性化する。その後、活性化したトランジスタ（Ｍ４）のソースにデータ信号（Ｄａｔａ[ｍ]）を印加してｍ列の電流駆動用トランジスタ（Ｍ１）を駆動させる。この時、電流駆動用トランジスタ（Ｍ１）を通じて有機ＥＬ素子に流れる電流は前述した式３の通りである。

【００３７】一方、外部リセット信号を使用する本発明の第１実施の形態によるピクセル回路は図８（イ）に示したタイミング図以外に図８（ロ）に示したタイミング図を利用して駆動することができる。

【００３８】図８（ロ）の例にあっては、最初リセット信号（Ｒｅｓｅｔ）によってノードＡを初期化させた後、ｍ列のデータ線にデータ信号（Ｄａｔａ[ｍ]）を印加し、その後選択信号（Ｓｅｌｅｃｔ[ｎ]）によりｎ行の該当ピクセルを選択する。つまり、図８（ロ）に示した駆動方法によるとリセット信号、データ信号、選択信号の順序に各トランジスタに信号が印加される。

【００３９】図７は本発明の第２実施の形態による有機ＥＬ表示装置のピクセル回路を示す図面である。本発明の第２実施の形態によるピクセル回路は図６に示したピクセル回路と殆ど同一な構成を有するが、トランジスタ（Ｍ４）のゲートが直前の走査線に連結されるという点が異なる。つまり、本発明の第２実施の形態によるピクセル回路はトランジスタ（Ｍ４）のゲートに印加する信号を、独立の外部リセット信号を使用する代わりに直前の走査線の選択信号（Ｓｅｌｅｃｔ[ｎ－１]）を利用す

SDC-1351-00000306
SDC EX. 2001 - 250/503

る。

【００４０】このように、外部の別の外部リセット信号を利用しない場合にはリセット信号を伝達するための別途の配線が必要でないためにピクセルの開口率を高めることができるという長所がある。

【００４１】図９は本発明の第２実施の形態による有機ＥＬ表示装置を駆動するためのタイミング図である。

【００４２】図９に示したように、直前の走査信号を利用してノードＡをリセットさせる本発明の第２実施の形態によると必ず直前の選択信号（リセット信号）、データ信号、現在の選択信号の順序に各トランジスタに信号を印加しなければならない。つまり、現在の選択信号（Select[ｎ]）が走査線に印加される前にデータ線にデータ電圧が印加されなければならない。

【００４３】万一、図８（イ）に示したように現在のデータ電圧が印加される前に選択信号（Select[ｎ]）が印加される場合にはデータ線に印加されていた直前のデータ電圧がトランジスタ（Ｍ４）を通じて電流駆動用トランジスタ（Ｍ１）に印加される。従って、必ずデータ線に現在のデータ電圧が印加された後、選択信号が印加されなければならない。

【００４４】図１０は本発明の第３実施の形態による有機ＥＬ表示装置のピクセル回路を示し、図１１（イ）及び図１１（ロ）は図１０に示したピクセル回路を駆動するためのタイミング図である。図１０に示したように、本発明の第３実施の形態によるピクセル回路は図６または図７に示したピクセル回路の全てのトランジスタが前例のＰＭＯＳ形からＮＭＯＳ形トランジスタ（Ｍ５、Ｍ６、Ｍ７、Ｍ８）に変化しており、図６または図７に示した回路に対して完全に対称構造をしている。これによって、ピクセル面積に占めるトランジスタ面積が減少する効果がある（ＮＭＯＳは易動度が大きいので、チャンネル幅を小さくできる）。

【００４５】図１０に示したピクセル回路の動作説明及び図１１（イ）及び図１１（ロ）に示したタイミング図の説明は、図６及び図７について、既に説明した内容をもとにして、本発明の属する技術分野における通常の知識を有する者であれば容易に分かる内容であるので、重複する説明を省略する。

【００４６】図１２は本発明の第４実施の形態による有機ＥＬ表示装置を示す図面である。

【００４７】図１２に示したように、本発明の第４実施の形態によるピクセル回路は図６または図７に示したピクセル回路と殆ど同じ構成を有するが、スイッチングトランジスタ（Ｍ４）のドレーンを接地する代わりにプリチャージ電圧（Ｖpre）を印加するという点が異なる。このように、トランジスタ（Ｍ４）のドレーンに接地電圧の代わりにプリチャージ電圧を印加すればノードＡの初期化電圧を接地レベルの代わりにプリチャージ（Ｖpre）電圧レベルまで高めることができるのでトランジスタのスイッチング（switching）時間だけでなく消費電力までも減らすことができるという長所がある。この時、プリチャージ電圧は最大グレーレベルに到達するためにノードＡに印加される電圧（つまり、データ線に印加される最低電圧）より多少低い値に設定するのが好ましい。

【００４８】図１３は本発明の第５実施の形態による有機ＥＬ表示装置を示す図面である。

【００４９】図１３に示したように、本発明の第５実施の形態によるピクセル回路は図６または図７に示したピクセル回路と殆ど同一な構成を有するが、スイッチングトランジスタ（Ｍ４）のドレーンとゲートが連結されてダイオード機能を行い、トランジスタ（Ｍ４）のゲート（つまり、ダイオードの入力端子）に外部リセット信号端子または直前の走査線が連結されるという点が異なる。

【００５０】図１３に示したように、本発明の実施の形態によるとダイオード連結されたトランジスタ（Ｍ４）によってもノードＡを初期化させることができるが、このように接地電圧やプリチャージ電圧を利用する代わりに、リセット信号や直前の選択信号を利用する場合には、別途の接地配線やプリチャージ配線を形成する必要がないために全体的に配線の数を減らすことができて開口率を高めることができるという長所がある。

【００５１】図１４は本発明の第６実施の形態による有機ＥＬ表示装置を示す図面である。

【００５２】図１４に示したように、本発明の第６実施の形態によるピクセル回路は図６に示したピクセル回路と殆ど同じ構成を有するが、ＰＭＯＳ形トランジスタ（Ｍ４）を使用する代わりにＮＭＯＳ形トランジスタ（Ｍ９）を使用する点が異なる。図１４でトランジスタ（Ｍ９）のゲートには外部の別途リセット信号が印加される。

【００５３】図６に示したようにリセット信号が印加されるスイッチングトランジスタ（Ｍ４）がＰＭＯＳトランジスタである場合には、リセット動作時にトランジスタ（Ｍ４）のゲートには一定の電圧（例えば、接地レベル）が印加される反面、トランジスタ（Ｍ４）のソース（ノードＡ）の電圧はリセット動作の影響で継続して低くなる。従って、トランジスタ（Ｍ４）のゲートとソースの間の電圧（V_{GS}）が続けて低くなってノードＡからトランジスタ（Ｍ４）を通じて接地点またはプリチャージ電圧点に流れる電流が引続き減少しリセットに相当な時間がかかる。また、トランジスタ（Ｍ４）がオンになるためにはトランジスタ（Ｍ４）のゲートとソース間の電圧差がしきい電圧（V_{TH}）の絶対値より大きくなければならないために、リセット動作時に印加されるリセット信号が接地電圧であると仮定すればノードＡの実際最低電圧は$|V_{TH}|$となる。

【００５４】これに比べて、本発明の第６実施の形態に

SDC-1351-00000307
SDC EX. 2001 - 251/503

よるピクセル回路によればスイッチングトランジスタ（Ｍ９）としてＮＭＯＳトランジスタを用いるために、ノードＡの接地最低電圧を殆ど接地レベルまで低くすることができるので階調を表現するためのデータ電圧幅をさらに広めることができる長所がある。また、トランジスタ（Ｍ９）のゲートとソースの間の電圧（V_{GS}）が図６とは異なって一定であるため、ノードＡからトランジスタ（Ｍ４）を通じて接地点またはプリチャージ電圧点に流れる電流が一定で迅速にリセットを行うことができるという長所がある。

【００５５】図１６は本発明の第６実施の形態によるピクセル回路を駆動するためのタイミング図である。図１６に示したように、第６実施の形態によるピクセル回路はリセット信号がゲートに印加されるトランジスタ（Ｍ９）がＮＭＯＳ形トランジスタであるために、リセット信号が図８（イ）に示したリセット信号と反対の波形を有する。

【００５６】一方、図１４に示したピクセル回路に対する動作と図１６に示したタイミング図に対する説明は以前の説明から本発明の属する技術分野における通常の知識を有する者が容易に理解できるので重複する説明は省略する。

【００５７】図１５は発明の第７実施の形態による有機ＥＬ表示装置のピクセル回路を示し、図１７は図１５に用いられる駆動波形のタイミング図である。

【００５８】図１５に示したように、本発明の第７実施の形態によるピクセル回路は図１４に示したピクセル回路と殆ど同一な構成を有するが、ＮＭＯＳトランジスタ（Ｍ９）のゲートに直前の走査線が連結されて直前の選択信号（Ｓｅｌｅｃｔ[ｎ－１]）がリセット信号として用いられるという点と走査線にゲートが連結されるトランジスタ（Ｍ１０）がＮＭＯＳトランジスタという点が異なる。

【００５９】図１５に示したように、ＮＭＯＳトランジスタ（Ｍ９）のゲートに連結されるリセット信号を直前の選択信号を使用する場合には、データ電圧をスイッチングするためのトランジスタも同様にＮＭＯＳトランジスタを利用しなければならない。

【００６０】図１７に示したように、本発明の第７実施の形態によるピクセル回路は直前の選択信号を利用してノードＡをリセットさせるために、図９と同様に直前の選択信号（リセット信号）、データ信号、現在の選択信号の順序に各トランジスタに信号を印加しなければならない。

【００６１】図１８及び図１９は各々本発明の第８及び第９実施の形態による有機ＥＬ表示装置のピクセル回路を示す図面である。

【００６２】図１８及び図１９に示したピクセル回路は各々図１４及び図１５に示したピクセル回路と各々ＰＭＯＳトランジスタとＮＭＯＳトランジスタが対称的に変わったものである。

【００６３】図１８及び図１９に示したピクセル回路の動作及び動作タイミング図は以前に説明した内容から当業者が容易に理解できるので、以下重複する説明を省略する。

【００６４】次に、本発明の実施の形態による有機電界発光表示装置の配置構造及び断面構造を説明する。

【００６５】図２０は本発明の実施の形態による有機ＥＬ表示装置の配置構造を示した図面であり、具体的に図１３に示したピクセル回路の配置構造を示す図面である。

【００６６】図２１は図２０のＡ－Ｂ線に対する断面図である。

【００６７】図２０及び図２１で、Ｉ、ＩＩ、ＩＩＩ、Ｖ領域は各々薄膜トランジスタ（Ｍ４）、薄膜トランジスタ（Ｍ２）、薄膜トランジスタ（Ｍ１）、隣接ピクセルの薄膜トランジスタ（Ｍ４）が形成される領域であり、ＩＶ領域は有機ＥＬ素子（ＯＥＬＤ）が形成される領域である。

【００６８】図２０及び図２１に示したように、透明な絶縁基板１００上に多結晶シリコン層２００が形成されており、多結晶シリコン層２００が形成されている基板１００上にはシリコンダイオキサイド（SiO_x）やシリコンナイトライド（SiN_x）などからなるゲート絶縁膜３００が形成されている。

【００６９】ゲート絶縁膜３００上にはシリコン層２００と交差するようにアルミニウム（Ａｌ）、クロム（Ｃｒ）等で作られたゲート線４００が横方向に形成されている。ゲート線４００がＩ領域及びＶ領域のシリコン層２００と重なる部分に各々ゲート電極４１０が形成される。また、キャパシタンスを形成するための第１維持電極線４５０がゲート線４００と同一層に同一物質で形成されている。この第１維持電極線４５０がＩＩ領域及びＩＩＩ領域のシリコン層２００と重なる部分に各々ゲート電極４１０が形成される。

【００７０】この時、シリコン層２００の中で、ゲート電極４１０下部に置かれた部分はドーピングされていなく、その両側は各々ｎ形不純物でドーピングされているが、ｎ形不純物でドーピングされている領域が各々ソース領域２３０及びドレーン領域２１０を形成しドーピングされていない領域がチャンネル領域２２０を形成する。

【００７１】ゲート線４００及び第１維持電極線４５０などのゲート配線層上部にはシリコンダイオキサイド、シリコンナイトライドなどの物質からなる層間絶縁膜５００が形成されており、ゲート絶縁膜３００と層間絶縁膜５００はドレーン及びソース領域２１０、２３０を露出する接触孔（Ｃ１、Ｃ２）を有している。

【００７２】層間絶縁膜５００上にはクロム（Ｃｒ）またはモリブデン（Ｍｏ）のような物質でデータ線６００

SDC-1351-00000308
SDC EX. 2001 - 252/503

が縦方向に形成されている。データ線６００から延びてＩ領域のシリコン層２００の一部、つまり、ソース領域２１０と重なる部分がソース電極６１０になる。この時、ドレーン電極６１０は層間絶縁膜５００に形成されている接触孔（Ｃ１）を通ってドレーン領域２１０と連結されている。

【００７３】また、第１維持電極線４１０上に重なってキャパシタンスを形成するための第２維持電極線６５０がデータ線６００と同一層に同一物質で形成されている。この第２維持電極線６５０がＩＩＩ領域のシリコン層２００の一部、つまり、ソース領域２１０と重なる部分がソース電極６１０になる。この時、ソース電極６１０は接触孔（Ｃ１）を通ってソース領域２１０に連結されている。

【００７４】また、第１信号線６４０、第２信号線６６０、第３信号線６７０及び第４信号線６８０がデータ線６００と同一層に同一物質で形成されている。第１信号線６４０がＩＩ領域のシリコン層２００の一部、つまり、ドレーン領域２３０と重なる部分がソース電極６２０になり、第２信号線６６０がＶ領域のソース領域２１０と重なる部分がソース電極６１０になる。第３信号線６７０がＶ領域のソース領域２３０と重なる部分がソース電極６１０になり、第４信号線６８０がＩＩＩ領域のドレーン領域と重なる部分がドレーン電極６２０になる。この時、ソース電極６１０及びドレーン電極６２０は各々接触孔（Ｃ１、Ｃ２）を通じてソース領域２１０とドレーン領域２３０に連結されている。

【００７５】第１信号線６４０と第２信号線６６０は各々第１維持電極線４５０と接触孔（Ｃ３）を通じて接触され、これにより図１３に示した等価回路のようにトランジスタ（Ｍ２）のドレーン電極がトランジスタ（Ｍ２）のゲート電極、トランジスタ（Ｍ１）のゲート電極、トランジスタ（Ｍ４）のドレーン電極に電気的に連結される。第３信号線６７０は接触孔（Ｃ３）を通じて選択ゲート線（Ｓｅｌｅｃｔ[ｎ－１]）に接触され、これにより図３に示した等価回路のように、トランジスタ（Ｍ４）のソース電極が選択ゲート線に電気的に連結される。

【００７６】データ線６００とソース及びドレーン電極６１０、６２０などのデータ配線上にはシリコンオキサイド、シリコンナイトライドからなる保護絶縁膜７００が覆っている。領域ＩＶに形成される保護絶縁膜７００上にはＩＴＯ（indium-tin-oxide）からなる透明画素電極８００が形成されている。この画素電極８００は保護絶縁膜７００に形成されている接触孔（Ｃ４）を通じて薄膜トランジスタ（Ｍ１）のドレーン電極６２０と連結されている。

【００７７】保護絶縁膜７００及び画素電極８００上には平坦化膜９００が形成され、平坦化膜９００と画素電極８００上に有機ＥＬ素子層９００及びカソード金属層１０００が順次に形成される。

【００７８】図２０に示した本発明の実施の形態による有機ＥＬ表示装置によると、薄膜トランジスタ（Ｍ２）及び薄膜トランジスタ（Ｍ１）がデータ線５００と平行に同一線上に位置する。有機ＥＬ表示装置を製造する場合、一般にデータ線と平行にレーザービームをスキャンするが、本発明の実施の形態によれば薄膜トランジスタ（Ｍ２、Ｍ１）がデータ線５００と平行に同一線上に位置するために同一なレーザービームに照射される。従って、薄膜トランジスタ（Ｍ１）及び薄膜トランジスタ（Ｍ２）が殆ど同一工程条件で製造されるために、しきい電圧が殆ど同一になる。

【００７９】結局、本発明の実施の形態によると$V_{TH1}=V_{TH2}$であるので、前述した式３の条件を殆ど満足させることができ、前述したような高階調の有機ＥＬ表示装置を実現することができる。

【００８０】図２０及び図２１に示した本発明の実施の形態による有機ＥＬ表示装置の配置図及び断面図は一つの例示に過ぎず、その外に多様に変形して用いることができる。

【００８１】以上では本発明の実施の形態について説明したが、本発明は前記実施の形態にだけ限定されるわけではなく、その他の様々な変更や変形が可能である。

【００８２】

【発明の効果】以上で説明したように、本発明によれば有機ＥＬ素子を駆動するための薄膜トランジスタ（ＴＦＴ）のしきい電圧の偏差を効果的に補償してより高階調の有機ＥＬ表示装置を実現することができる長所がある。

【図面の簡単な説明】

【図１】一般的な有機電界発光素子を説明するために示した図面

【図２】有機電界発光素子を駆動するためのピクセル回路の原理図

【図３】図２に示すピクセル回路に対する駆動タイミング図

【図４】本発明の実施の形態による有機電界発光表示装置を示す図面

【図５】本発明のピクセル回路を示す図面

【図６】本発明の第１実施の形態によるピクセル回路を示す図面

【図７】本発明の第２実施の形態によるピクセル回路を示す図面

【図８】図６に示したピクセル回路に対する駆動タイミング図

【図９】図７に示したピクセル回路に対する駆動タイミング図

【図１０】本発明の第３実施の形態によるピクセル回路を示す図

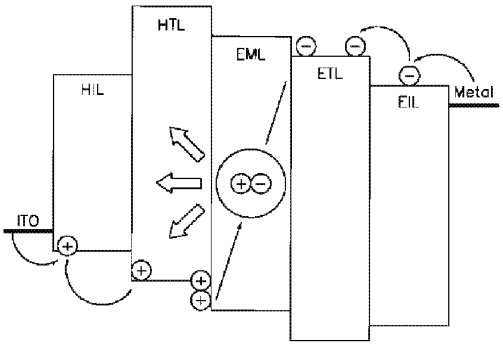
【図１１】図１０に示したピクセル回路に対する駆動タ

SDC-1351-00000309
SDC EX. 2001 - 253/503

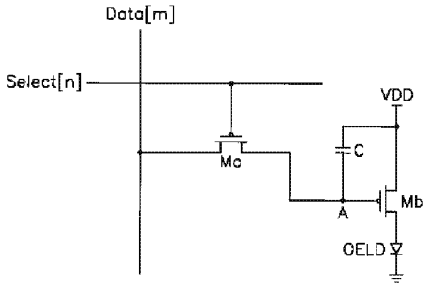
イミング図
【図１２】本発明の第４実施の形態によるピクセル回路を示す図面
【図１３】本発明の第５実施の形態によるピクセル回路を示す図面
【図１４】本発明の第６実施の形態によるピクセル回路を示す図面
【図１５】本発明の第７実施の形態によるピクセル回路を示す図面
【図１６】図１４に示したピクセル回路に対する駆動タイミング図
【図１７】図１５に示したピクセル回路に対する駆動タイミング図
【図１８】本発明の第８実施の形態によるピクセル回路を示す図
【図１９】本発明の第９実施の形態によるピクセル回路を示す図面
【図２０】本発明の実施の形態による有機電界発光素子の配置構造を示した平面図
【図２１】図２０のＡ－Ｂ線に対する断面図
【符号の説明】

１０	有機ＥＬ表示装置パネル
１１	ピクセル回路
２０	走査ドライバー
＊３０	データドライバー
１００	絶縁基板
２００	シリコン層
２１０	ソース領域
２２０	チャンネル領域
２３０	ドレーン領域
３００	ゲート絶縁膜
４００	ゲート線
４１０	ゲート電極
４５０	第１維持電極線
５００	絶縁膜
６００	データ線
６１０	ソース電極
６２０	ドレーン電極
６４０	第１信号線
６５０	第２維持電極線
６６０	第２信号線
６７０	第３信号線
６８０	第４信号線
７００	保護絶縁膜
８００	透明画素電極
９００	平坦化膜
１０００	有機ＥＬ素子層

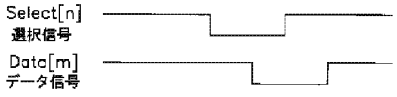
【図１】



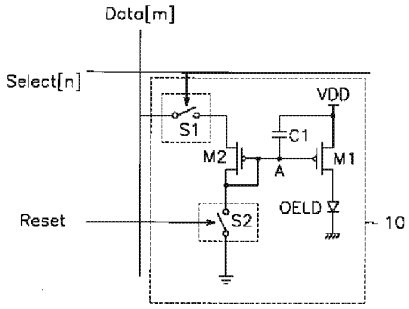
【図２】



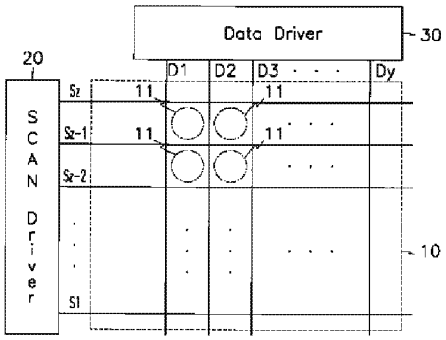
【図３】



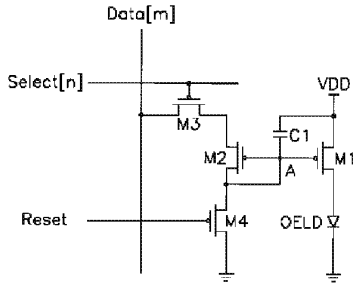
【図５】



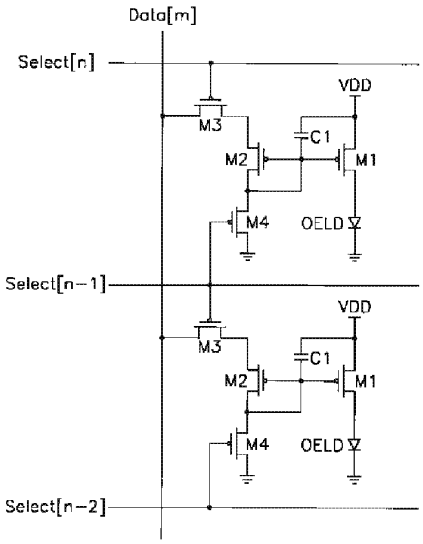
【図４】



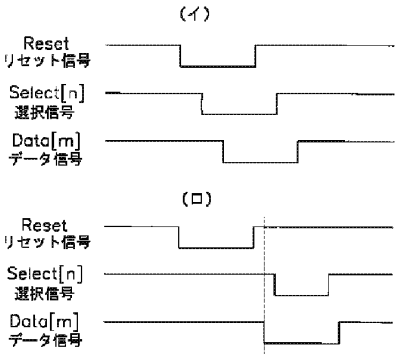
【図６】



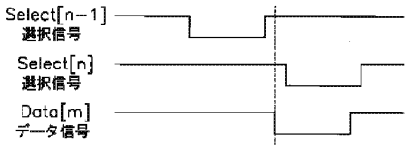
【図７】



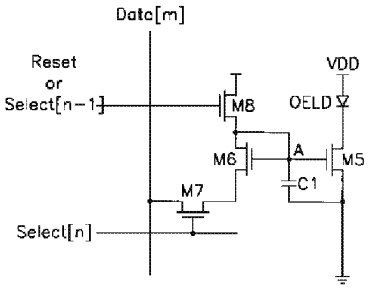
【図８】



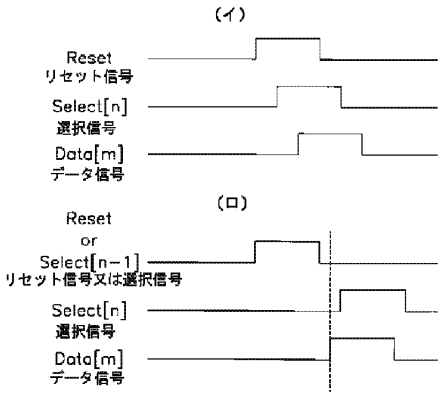
【図９】



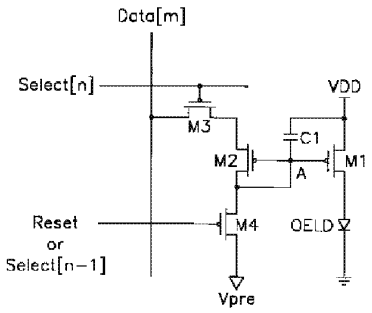
【図１０】



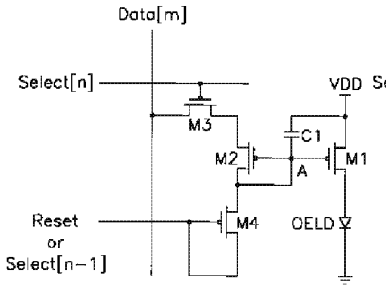
【図１１】



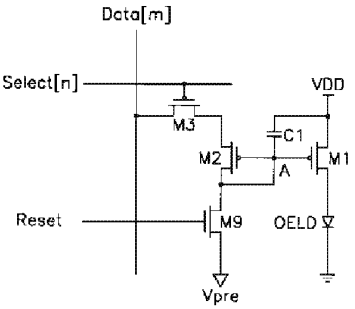
【図１２】



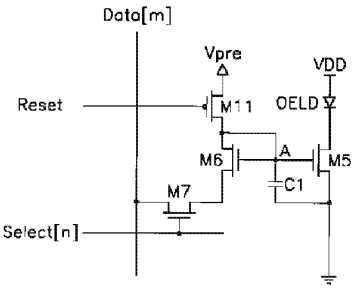
【図１３】



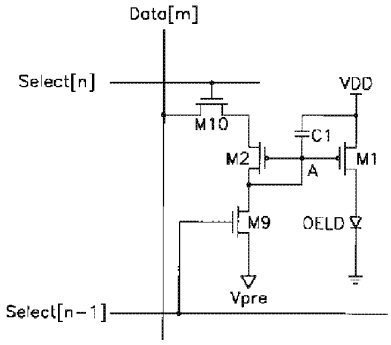
【図１４】



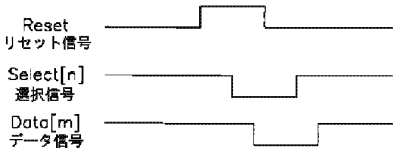
【図１８】



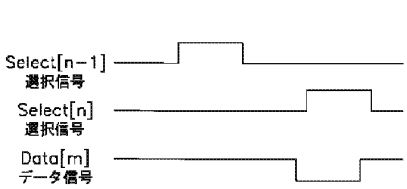
【図１５】



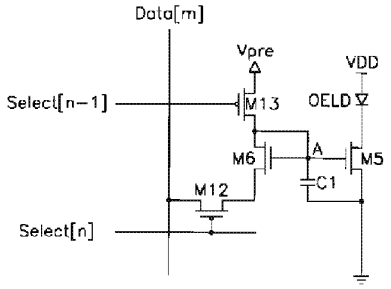
【図１６】



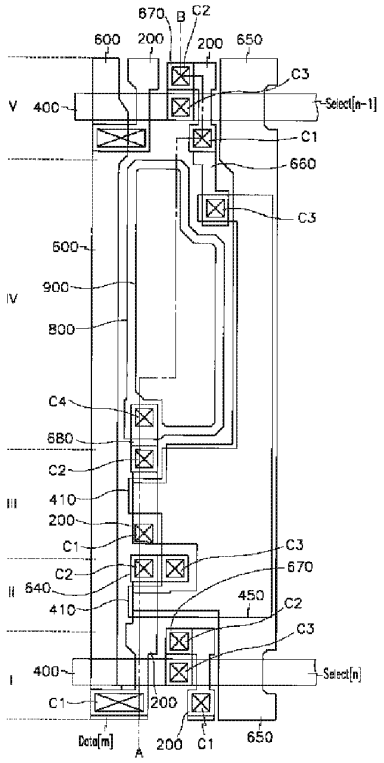
【図１７】



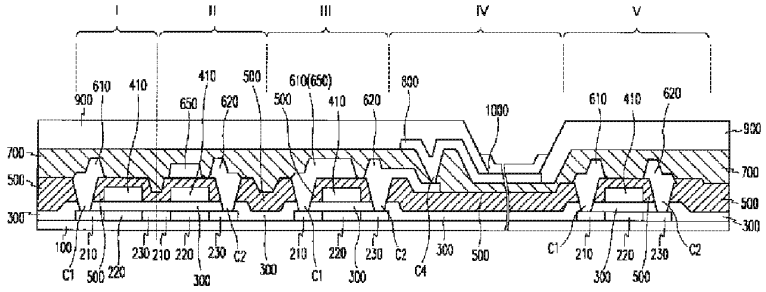
【図１９】



【図２０】



【図２１】



フロントページの続き

(51)Int.Cl.[7]	識別記号	FI	テーマコード(参考)
G09G 3/20	641	G09G 3/20	641D
H05B 33/14		H05B 33/14	A

SDC-1351-00000313
SDC EX. 2001 - 257/503

Ｆターム(参考) 3K007 AB02 AB17 BA06 DA01 DB03
EB00 GA02 GA04
5C080 AA06 BB05 DD03 DD28 EE29
FF11 JJ02 JJ03 JJ04
5C094 AA07 AA53 AA55 AA56 BA03
BA27 CA19 CA25 DA09 DB01
DB04 EA04 EA05 EA10 EB02
FA01 FB01 FB12 FB14 FB15
FB20 GA10

SDC-1351-00000314
SDC EX. 2001 - 258/503

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-244617
(43)Date of publication of application : 30.08.2002

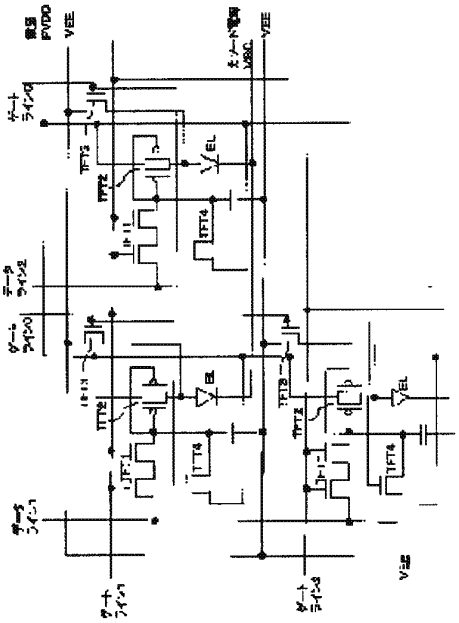
(51)Int.Cl. G09G 3/30
G09G 3/20
H05B 33/08
H05B 33/12
H05B 33/14

(21)Application number : 2001-038642
(22)Date of filing : 15.02.2001

(71)Applicant : SANYO ELECTRIC CO LTD
(72)Inventor : FURUMIYA NAOAKI

(54) ORGANIC EL PIXEL CIRCUIT

(57)Abstract:
PROBLEM TO BE SOLVED: To prevent an afterimage from being caused in organic EL elements.
SOLUTION: The organic EL pixel circuit is provided with a discharge transistor TFT3 for connecting the upper end of an organic EL element EL with a negative power source VEE, and a control transistor TFT4 for connecting the upper end of a storage capacitor SC with a power source PVDD. By switching on these TFT3, 4 by the gate line of the prestage, the capacitance of the organic EL element EL is discharged before own line is selected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

SDC-1351-00000315
SDC EX. 2001 - 259/503

decision of rejection]
[Date of extinction of right]

SDC-1351-00000316
SDC EX. 2001 - 260/503

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2002－244617
（P2002－244617A）
(43)公開日　平成14年８月30日(2002.8.30)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード*(参考)
Ｇ０９Ｇ　3/30		Ｇ０９Ｇ　3/30	Ｊ	３Ｋ００７
3/20	６２４	3/20	６２４Ｂ	５Ｃ０８０
	６７０		６７０Ｋ	
Ｈ０５Ｂ　33/08		Ｈ０５Ｂ　33/08		
33/12		33/12	Ｂ	

審査請求　未請求　請求項の数８　ＯＬ　（全　８　頁）　最終頁に続く

(21)出願番号　特願2001－38642(P2001－38642)

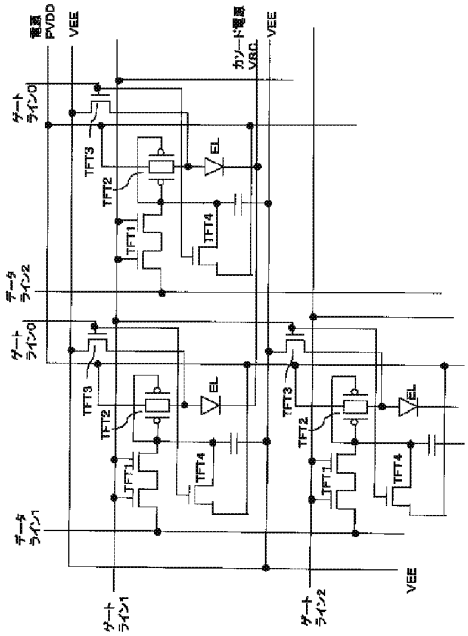
(22)出願日　平成13年２月15日(2001.2.15)

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(72)発明者　古宮　直明
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内
(74)代理人　100075258
弁理士　吉田　研二　（外２名）

Ｆターム(参考)　3K007 AB02 AB04 AB05 AB17 BA06
CB01 DA01 DB03 EB00 GA02
GA04
5C080 AA06 BB05 CC03 DD01 DD09
FF11 HH10 JJ03 JJ04

(54)【発明の名称】　有機ＥＬ画素回路

(57)【要約】
【課題】　有機ＥＬ素子における残像の発生を防止する。
【解決手段】　有機ＥＬ素子ＥＬの上側端とマイナス電源ＶＥＥを接続する放電用トランジスタＴＦＴ３と、保持容量ＳＣの上側端を電源ＰＶＤＤに接続する制御トランジスタＴＦＴ４を設ける。これらＴＦＴ３、４を前段のゲートラインによってオンすることにより、自己のラインが選択される前に、有機ＥＬ素子ＥＬの容量の放電を行う。



SDC-1351-00000317
SDC EX. 2001 - 261/503

1

【特許請求の範囲】
【請求項１】　有機ＥＬ画素への駆動電圧の印加を制御する有機ＥＬ画素回路において、
有機ＥＬ素子に生じる容量に蓄積される電荷を放電する放電用トランジスタを有することを特徴とする有機ＥＬ画素回路。
【請求項２】　請求項１に記載の有機ＥＬ画素回路において、
前記有機ＥＬ画素はマトリクス配置されており、行方向の各画素は同一ゲートラインにより選択され、
前記放電用トランジスタは、自己の行が選択されるより前のタイミングで選択されるゲートラインによって、駆動されて有機ＥＬの容量に蓄積される電荷を放電することを特徴とする有機ＥＬ画素回路。
【請求項３】　請求項１に記載の有機ＥＬ画素回路において、
前記有機ＥＬ画素はマトリクス配置されており、行方向の各画素は同一ゲートラインにより選択され、
前記放電用トランジスタは、自己の行が選択されるより前のタイミングで活性化される放電専用ラインによって駆動されて有機ＥＬの容量に蓄積される電荷を放電することを特徴とする有機ＥＬ画素回路。
【請求項４】　請求項１～３のいずれか１つに記載の有機ＥＬ画素回路において、
前記有機ＥＬ画素はマトリクス状に配置されており、各画素はそれぞれ予め定められた色で発光し、
かつ、
発光効率の高い色で発光する画素内に、発光効率の低い色で発光する画素についての放電用トランジスタを配置することを特徴とする有機ＥＬ画素回路。
【請求項５】　請求項１～４のいずれか１つに記載の有機ＥＬ画素回路において、
各画素は、有機ＥＬ素子への駆動電流印加を制御する駆動トランジスタへの制御電圧を保持する保持容量を有しており、
この保持容量に保持されている制御電圧を制御して前記駆動トランジスタをオフする制御トランジスタをさらに有することを特徴とする有機ＥＬ画素回路。
【請求項６】　請求項５に記載の有機ＥＬ画素回路において、
前記制御トランジスタは、前記放電用トランジスタと同時に駆動され放電用トランジスタの駆動時に駆動トランジスタをオフすることを特徴とする有機ＥＬ画素回路。
【請求項７】　請求項５に記載の有機ＥＬ画素回路において、
前記制御トランジスタは、前記放電用トランジスタに先だって駆動され放電用トランジスタの駆動前に駆動トランジスタをオフすることを特徴とする有機ＥＬ画素回路。
【請求項８】　請求項５～７のいずれか１つに記載の有機ＥＬ画素回路において、
前記有機ＥＬ画素はマトリクス状に配置されており、各画素はそれぞれ予め定められた色で発光し、
かつ、
発光効率の高い色で発光する画素内に、発光効率の低い色で発光する画素についての制御トランジスタを配置することを特徴とする有機ＥＬ画素回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】有機ＥＬ画素への駆動電圧の印加を制御する有機ＥＬ画素回路に関する。
【０００２】
【従来の技術】従来より、フラットパネルディスプレイとして、有機ＥＬパネルが知られている。この有機ＥＬパネルは各画素が自発光するため、液晶のようにバックライトなどを必要とせず、明るい表示が可能であるという利点がある。
【０００３】図８に、従来の薄膜トランジスタ（ＴＦＴ）を利用した有機ＥＬパネルにおける画素回路の構成例を示す。有機ＥＬパネルは、このような画素をマトリクス配置して構成される。
【０００４】行方向に伸びるゲートラインには、ゲートラインによって選択されるｎチャンネル薄膜トランジスタである選択トランジスタＴＦＴ１（以下、単にＴＦＴ１という）のゲートが接続されている。このＴＦＴ１のドレインには列方向に伸びるデータラインが接続されており、そのソースには他端が保持容量電源ラインに接続された保持容量ＳＣが接続されている。また、ＴＦＴ１のソースと保持容量ＳＣの接続点は、ｐチャンネル薄膜トランジスタである駆動トランジスタＴＦＴ２（以下、単にＴＦＴ２という）のゲートに接続されている。そして、このＴＦＴ２のソースが電源ＰＶＤＤに接続され、ドレインが有機ＥＬ素子ＥＬに接続されている。なお、有機ＥＬ素子ＥＬの他端はカソード電源ＣＶに接続されている。
【０００５】従って、ゲートラインがＨレベルの時にＴＦＴ１がオンとなり、そのときのデータラインのデータが保持容量ＳＣに保持される。そして、この保持容量ＳＣに維持されているデータ（電位）に応じてＴＦＴ２がオンオフされ、ＴＦＴ２がオンしている場合に有機ＥＬ素子ＥＬに電流が流れ、発光する。
【０００６】このようにして、各画素の発光が制御される。なお、保持容量ＳＣがあるため、ＴＦＴ１がオフした後も有機ＥＬ素子ＥＬの発光が可能となる。通常は、保持容量ＳＣは次のゲートラインの選択まで、ＴＦＴ２をオンまたはオフを維持する。
【０００７】
【発明が解決しようとする課題】ここで、上述のようなＴＦＴを利用した有機ＥＬパネルにおいて、マトリクス状に配置された各画素は、有機ＥＬ素子、ＴＦＴ１、Ｔ

ＦＴ２を含め同一の基板上に積層形成されている。従って、有機ＥＬ素子ＥＬに寄生容量が発生する。

【０００８】このため、ＴＦＴ２がオフされた状況においても、有機ＥＬ素子の持つ容量に蓄積された電荷に応じて、有機ＥＬ素子ＥＬに電流が流れ、残像が発生するという問題がある。すなわち、有機ＥＬ素子をオンする場合には高速応答で動作するが、有機ＥＬ素子のオフの際には有機ＥＬの容量の影響で応答が遅くなり残像が生じてしまうという問題があった。

【０００９】本発明は、上記従来の欠点に鑑みなされたものであり、残像の発生を効果的に防止できる有機ＥＬ画素回路を提供することを目的とする。

【００１０】

【課題を解決するための手段】本発明は、有機ＥＬ画素への駆動電圧の印加を制御する有機ＥＬ画素回路において、有機ＥＬ素子に生じる容量に蓄積される電荷を放電する放電用トランジスタを有することを特徴とする。

【００１１】このように、本発明によれば、放電用トランジスタによって、有機ＥＬの容量に蓄積されている電荷を放電できる。そこで、有機ＥＬ素子がオンからオフになったときに、有機ＥＬの容量に蓄積されている電荷によってオン状態が保持され残像が生じることを防止することができる。

【００１２】また、前記有機ＥＬ画素はマトリクス配置されており、行方向の各画素は同一ゲートラインにより選択され、前記放電用トランジスタは、自己の行が選択されるより前のタイミングで選択されるゲートラインによって、駆動されて有機ＥＬの容量に蓄積される電荷を放電することが好適である。これによって、予め有機ＥＬの容量の放電が行われ、確実な残像発生防止が行える。

【００１３】また、前記放電用トランジスタは、自己の行が選択されるより前のタイミングで活性化される放電専用ラインによって駆動されて有機ＥＬの容量に蓄積される電荷を放電することも好適である。

【００１４】また、各画素は、有機ＥＬ素子への駆動電流印加を制御する駆動トランジスタへの制御電圧を保持する保持容量を有しており、この保持容量に保持されている制御電圧を制御して前記駆動トランジスタをオフする制御トランジスタをさらに有することが好適である。これによって、制御トランジスタによる放電を行うことで、駆動トランジスタをオフすることができる。

【００１５】また、前記制御トランジスタは、前記放電用トランジスタと同時に駆動され放電用トランジスタの駆動時に駆動トランジスタをオフすることが好適である。これによって、表示期間を維持し、配線を短くして、確実な残像発生の防止が行える。そして、駆動トランジスタと、放電用トランジスタの同時オンを防止できる。

【００１６】また、前記制御トランジスタは、前記放電用トランジスタに先だって駆動され放電用トランジスタの駆動前に駆動トランジスタをオフすることが好適である。これによって、より確実な駆動トランジスタと、放電用トランジスタの同時オン防止が行える。

【００１７】また、前記有機ＥＬ画素はマトリクス状に配置されており、各画素はそれぞれ予め定められた色で発光し、かつ、発光効率の高い色で発光する画素内に、発光効率の低い色で発光する画素についての放電用トランジスタ及び／または制御トランジスタを配置することが好適である。例えば、各画素がＲＧＢ（赤、緑、青）で発光する場合において、有機ＥＬ素子では、Ｒの発光効率が悪く、Ｇの発光効率が低い。ＢはＲとＧの中間である。そこで、Ｒについての放電用トランジスタまたは制御トランジスタ、またはその両方をＧの画素内に配置することによって、Ｒの画素の開口率を上昇することができる。これによって、発光効率の低い画素（例えばＲ）の開口率を上げることができ、駆動電圧の上昇を抑えることができるため、全体の消費電力を下げることが可能となる。

【００１８】

【発明の実施の形態】以下、本発明の実施形態について、図面に基づいて説明する。

【００１９】図１は、本実施形態の１画素分の画素回路の構成を示す図である。水平方向に伸びるゲートラインには、ｎチャンネルのＴＦＴからなるＴＦＴ１が接続されている。このＴＦＴ１は、ＴＦＴを直列接続したダブルゲートＴＦＴとして形成されている。なお、必ずしもダブルゲートにすることはない。

【００２０】そして、このＴＦＴ１の他端には、保持容量ＳＣの一端が接続されている。保持容量ＳＣの他端は、パネルのマイナス電源であるＶＥＥに接続されている。ＴＦＴ１と保持容量ＳＣの接続点には、ｐチャンネルＴＦＴからなる駆動トランジスタＴＦＴ２のゲートが接続されている。このＴＦＴ２は、２つのＴＦＴを並列接続した構成になっている。そして、ＴＦＴ２の一端がパネル電源ＰＶＤＤに接続され、他端が有機ＥＬ素子ＥＬに接続されている。なお、有機ＥＬ素子の他端は、反対側の基板に設けられているカソードに接続されている。

【００２１】そして、ＴＦＴ２と有機ＥＬ素子ＥＬとの接続点に、他端がＶＥＥに接続された放電トランジスタＴＦＴ３の一端が接続されており、この放電トランジスタＴＦＴ３のゲートは、前段のゲートラインに接続されている。すなわち、図における左上の画素のＴＦＴ３においては、自己の画素のＴＦＴ１が接続されるゲートライン１より１水平ライン上のゲートライン０に接続されている。

【００２２】さらに、ＴＦＴ１と保持容量ＳＣの接続点には、制御トランジスタＴＦＴ４の一端が接続され、このＴＦＴ４の他端は電源ＰＶＤＤに接続されている。そ

SDC-1351-00000319
SDC EX. 2001 - 263/503

して、このＴＦＴ４のゲートは、前述のＴＦＴ３と同様に前段のゲートラインに接続されている。

【００２３】このような有機ＥＬ画素回路において、垂直ドライバにより、ゲートラインが順次オンされる。すなわち、垂直同期信号によって規定される１画面の表示において、水平同期信号に応じて、表示を行う水平ラインに対応したゲートラインが順次オンされる。

【００２４】また、水平ドライバによって、１つのゲートラインがオンしている１水平期間において、データラインが順次ビデオ信号ラインと接続され、各画素に応じたデータがＴＦＴ１を介し、ＴＦＴ２のゲート及び保持容量ＳＣに供給される。従って、データの印加は基本的に点順次となる。そして、印加されたデータは保持容量ＳＣに蓄えられ、ＴＦＴ２のオンまたはオフの状態がデータの印加終了後も保持される。そして、このＴＦＴ２のオンの場合に、電源ＰＶＤＤからの電流が有機ＥＬ素子ＥＬに流れ、これが発光する。

【００２５】なお、本実施形態では、ＴＦＴ２がｐチャンネルであり、保持容量ＳＣに電荷が保持されＨレベルとなっているときにオフ、電荷が放電されＬレベルとなっているときにオンとなる。

【００２６】そして、本実施形態においては、ＴＦＴ３を有しており、このＴＦＴ３が前段のゲートラインによってオンされる。すなわち、有機ＥＬ素子ＥＬの上側、すなわちＴＦＴ２のドレインがＴＦＴ１のオンの１水平ライン前の段階で、マイナス電源ＶＥＥに接続される。従って、有機ＥＬ素子ＥＬの容量に蓄積された電荷が放電される。そこで、自己のゲートラインが選択されて書き込まれたデータが黒であり、ＴＦＴ２がオフされたときに有機ＥＬ素子ＥＬに電流が流れることはなく、残像の発生を確実に防止することができる。

【００２７】例えば、図２に示すように、ゲートライン０がオンの時にゲートライン１によってオンするＴＦＴ１に接続されたＴＦＴ４およびＥＬに接続されているＴＦＴ３がオンする。これによって、ゲートライン１のラインの画素の有機ＥＬ素子ＥＬの容量に蓄積された電荷が放電される。また、ゲートライン１がオンの時にゲートライン２のラインの画素についてのＴＦＴ３がオンしてその画素の有機ＥＬ素子ＥＬの容量に蓄積された電荷が放電される。そして、このような動作が各ラインについて順次繰り返し行われる。

【００２８】図３に示したのは、他の実施形態であり、この例では、ＴＦＴ４の他端を前段のゲートラインではなく、前前段のゲートラインに接続している。これによって、まず前々の水平ラインが選択されているときに、保持容量がＰＶＤＤに充電され、ＴＦＴ２がすべてオフになる。そして、前段の水平ラインが選択されているときにＴＦＴ３がオンして有機ＥＬの容量の放電が行われる。この構成によって、ＴＦＴ２とＴＦＴ４の同時オンがより確実に防止できる。

【００２９】例えば、図４に示すように、ゲートライン０がオンの時に、ゲートライン１の画素のＴＦＴ３と、ゲートライン２の画素のＴＦＴ４がオンされ、ゲートライン１がオンの時に、ゲートライン２の画素のＴＦＴ３と、ゲートライン３の画素のＴＦＴ４がオンされる。このようにして、各画素においては、まずＴＦＴ４がオンされ保持容量ＳＣが放電されてＴＦＴ２がオフされ、次にＴＦＴ３がオンされ有機ＥＬの容量が放電され、次にＴＦＴ１がオンされデータが書き込まれる。

【００３０】ＴＦＴ３、４のオンのタイミングは、必ずしも前段、前々段ではなく、それより前であってもよい。すなわち、ＴＦＴ３、４のオンのタイミングは、当該段のゲートラインよりも前に選択されているゲートラインの信号であればよく、ＴＦＴ４のオンのタイミングは、ＴＦＴ３のオンのタイミングと同一またはそれ以前であればよい。しかし、なるべく直前にした方が、有機ＥＬ素子のオン期間を長く維持することができる。また、このための配線も短くできる。

【００３１】このように、本実施形態によれば、ＴＦＴ３を設けたため、有機ＥＬがオンからオフに変わったときに、確実にオフにすることができ、残像の発生を防止することができる。さらに、ＴＦＴ４を設けたため、ＴＦＴ３がオンしているときにＴＦＴ２がオンしてＴＦＴ４が電源ＰＶＤＤとマイナス電源ＶＥＥを接続することを防止することができる。

【００３２】なお、最上段の水平ラインでは、前段、前々段のゲートラインがない。そこで、最下段及びその上のゲートラインからの配線を引き回してもよいが、垂直帰線期間中にオンするダミーの（対応する画素はない）ゲートラインを設け、これによってＴＦＴ３、４をオンすればよい。

【００３３】また、図５に示したのは、さらに他の実施形態であり、この例では、ＴＦＴ３、４をオンするために専用の放電専用ゲートラインを設けてあり、各段のＴＦＴ３、４のゲートがそれぞれその段の放電専用ゲートラインに接続される。

【００３４】そして、図６に示すように、各段の放電専用ゲートラインは前の段のゲートラインと同時にオンとなる（活性化される）ため、図１の実施形態と同様に前段のゲートラインがオンになるタイミングで、ＴＦＴ３、４がオンする。なお、ＴＦＴ３、ＴＦＴ４を別の放電専用ゲートラインに接続したり、一方をゲートラインに接続してＴＦＴ３、ＴＦＴ４を別のタイミングでオンしてもよい。

【００３５】図７に示したのは、さらに他の実施形態であり、この例ではＴＦＴ３、ＴＦＴ４の配置場所について工夫がなされている。図７において、３つの画素が表示されており、左上がＲ（赤）、右上がＧ（緑）、左下がＢ（青）である。なお、ＲＧＢの画素の配置は、このような配置ではなく列方向の同一の色が並ぶストライプ

SDC-1351-00000320
SDC EX. 2001 - 264/503

タイプやその他どのような配置であってもよい。

【００３６】そして、本実施形態では、Ｒの画素のＴＦＴ３、ＴＦＴ４が、隣接するＧの画素の内部に配置されている。従って、Ｒの画素内に配置されるＴＦＴの数がＧの画素におけるＴＦＴの数より少なくなる。ＴＦＴを配置すれば、それだけその画素の開口率が小さくなるため、本実施形態ではＲの画素の開口率がＧの画素の開口率より大きくなっている。

【００３７】有機ＥＬ素子ＥＬでは、通常Ｇの発光の素子が発光効率が高く明るく、Ｒの発光の素子の発光効率が低く暗い。本実施形態のように、Ｒ発光の画素の開口率を高くし、Ｇ発光の画素の開口率を低くすることで、発光効率の差を開口率で補償することができ、全体として消費電力を低下させることができる。

【００３８】なお、有機ＥＬ素子の材料によっては、発光効率が異なる場合も考えられるが、その場合にも発光効率の低い色の画素のＴＦＴを発光効率の高い画素内に配置すればよい。また、図７においては、１つの画素（Ｒの画素）のＴＦＴ３、ＴＦＴ４の両方を、他の画素（Ｇの画素）内に配置したが、ＴＦＴ３、ＴＦＴ４のいずれか一方でもよい。

【００３９】なお、この図７は、回路図として配置を示しているだけであり、個別の部材の配置大きさなどは、実際のレイアウトとは異なっている。また、図において、各画素の区切りは破線で示してある。

【００４０】また、各トランジスタの極性は上述の各実施形態のものに限らず反対のものでもよい。その場合には信号も反対の極性になる。

【００４１】

【発明の効果】以上説明したように、本発明によれば、放電用トランジスタによって、有機ＥＬの容量に蓄積されている電荷を放電できる。そこで、有機ＥＬ素子がオ＊ンからオフになったときに、有機ＥＬの容量に蓄積されている電荷によってオン状態が保持され残像が生じることを防止することができる。

【００４２】また、放電用トランジスタを自己の行の前段のゲートラインによって、駆動することにより、予め有機ＥＬの容量の放電が行われ、確実な残像発生防止が行える。

【００４３】また、制御トランジスタにより前記駆動トランジスタをオフすることで、放電トランジスタによる放電を行うときに、駆動トランジスタをオフすることができる。

【００４４】また、発光効率の低い色の画素の放電用トランジスタまたは制御トランジスタを発光効率の高い色の画素内に配置することで、各色の発光効率の差を補償することができる。

【図面の簡単な説明】

【図１】　実施形態の構成を示す図である。

【図２】　実施形態の動作を示すタイミングチャートである。

【図３】　他の実施形態の構成を示す図である。

【図４】　他の実施形態の動作を示すタイミングチャートである。

【図５】　さらに他の実施形態の構成を示す図である。

【図６】　さらに他の実施形態の動作を示すタイミングチャートである。

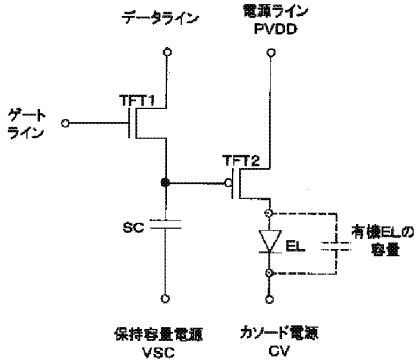
【図７】　さらに、他の実施形態の構成を示す図である。

【図８】　従来例の構成を示す図である。

【符号の説明】

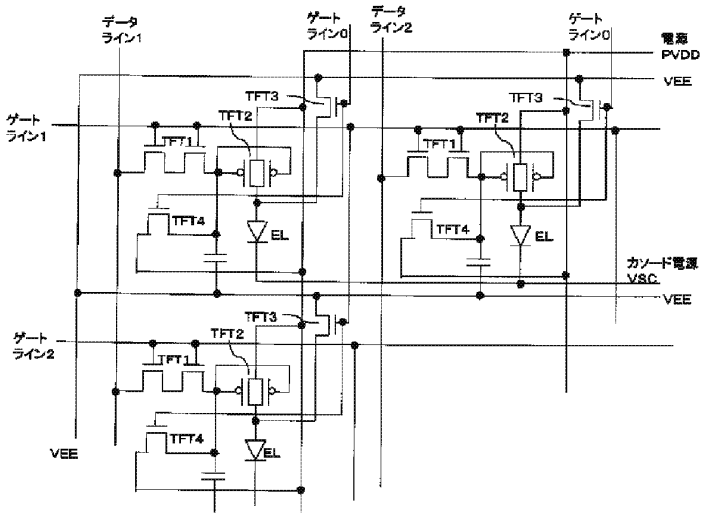
ＴＦＴ１　選択トランジスタ、ＴＦＴ２　駆動トランジスタ、ＴＦＴ３　放電用トランジスタ、ＴＦＴ４　制御トランジスタ、ＳＣ　保持容量、ＥＬ　有機ＥＬ素子。

【図８】

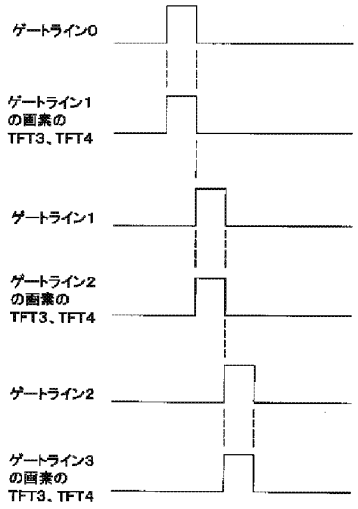


SDC-1351-00000321
SDC EX. 2001 - 265/503

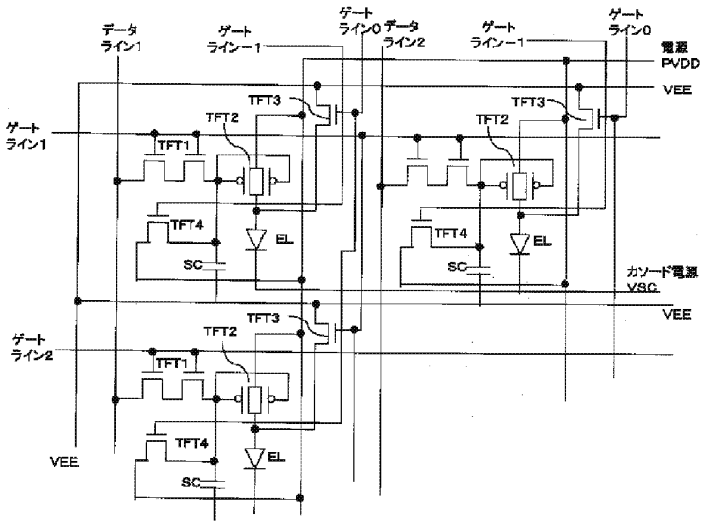
【図１】



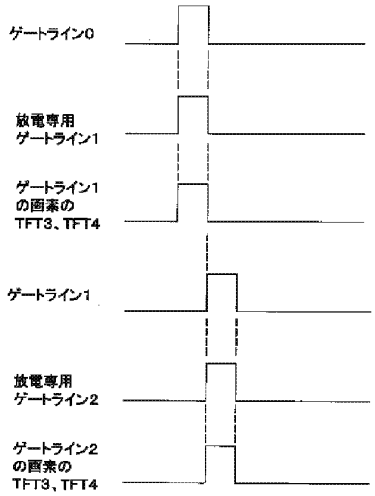
【図２】



【図３】

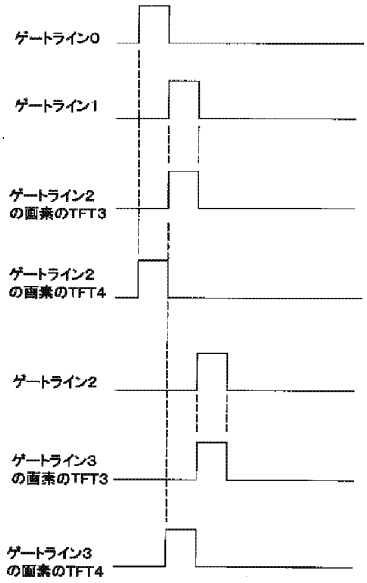


【図６】

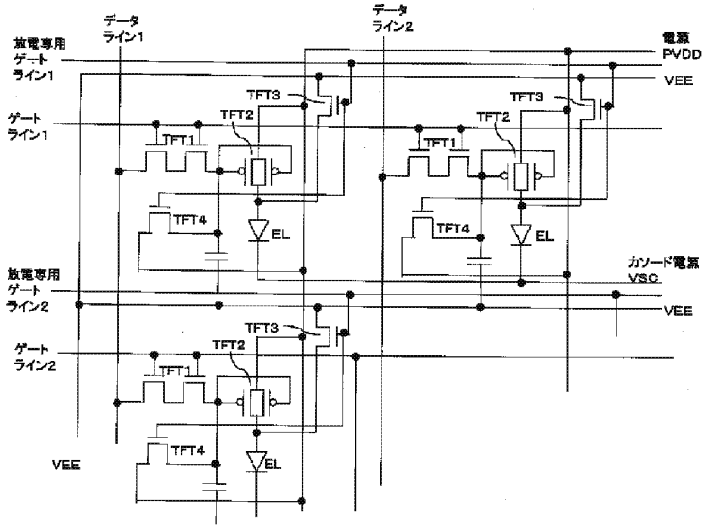


SDC-1351-00000322
SDC EX. 2001 - 266/503

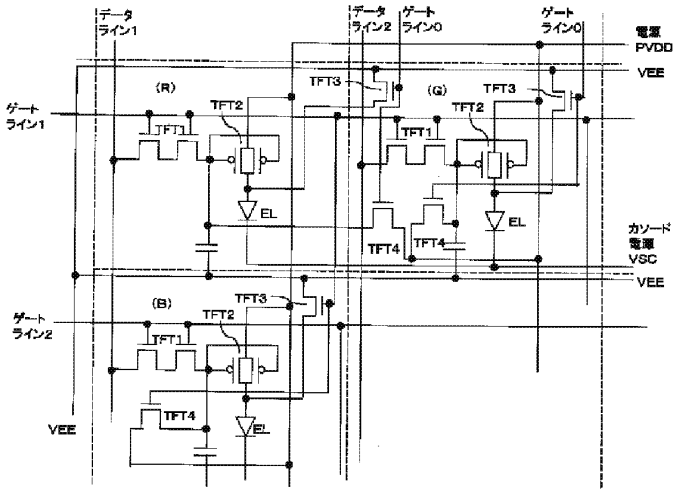
【図４】


ゲートライン0
ゲートライン1
ゲートライン2
の画素のTFT3
ゲートライン2
の画素のTFT4
ゲートライン2
ゲートライン3
の画素のTFT3
ゲートライン3
の画素のTFT4

【図５】


データ
ライン1
データ
ライン2
放電専用
ゲート
ライン1
電源
PVDD
VEE
ゲート
ライン1
TFT3
TFT2
TFT1
TFT4
EL
放電専用
ゲート
ライン2
カソード電源
VSC
ゲート
ライン2
VEE

【図７】



フロントページの続き

(51)Int.Cl.[7]	識別記号	Ｆ Ｉ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０５Ｂ　33/14		Ｈ０５Ｂ　33/14	Ａ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-173165
(43)Date of publication of application : 20.06.2003

(51)Int.Cl. G09G 3/30
G09G 3/20
H05B 33/14

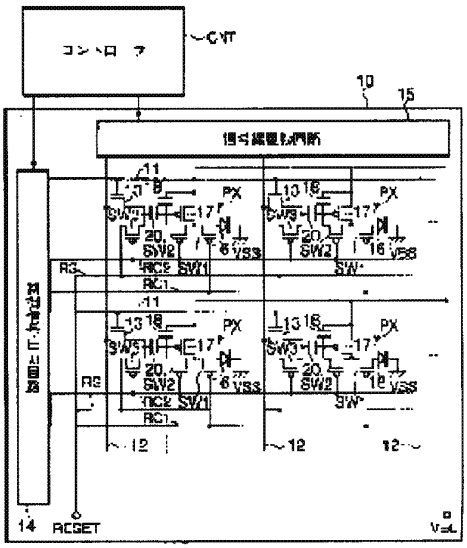
(21)Application number : 2002-268656
(22)Date of filing : 13.09.2002

(71)Applicant : TOSHIBA CORP
(72)Inventor : AOKI YOSHIAKI

(30)Priority
Priority number : 2001375010 Priority date : 29.09.2001 Priority country : JP

(54) DISPLAY DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To surely prevent display unevenness.
SOLUTION: The display device is provided with a plurality of display pixels PX, driving circuits 14, 15 for supplying video signals to drive these display pixels PX, a plurality of pixel switches 13 for fetching the video signals from the driving circuits 14, 15, and a plurality of reset switches SW3 for fetching reset signals from reset signal terminals RESET prior to a plurality of the pixel switches. Each display pixel includes a self-luminous element 16, a driving control element 17 connected in series with the self-luminous element 16 between power supply terminals VEL, VSS, a capacitance element 18 for holding the video signal fetched by the corresponding pixel switch 13 as a control voltage of the driving control element 17, a threshold value cancelling circuit 20 for initializing the control voltage of the driving control element 17 at the level equivalent to a threshold voltage peculiar to the driving control element 17 by using the reset signal fetched by the corresponding reset switch SW3, SW1, and SW2.



LEGAL STATUS

[Date of request for examination] 01.09.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

SDC-1351-00000325
SDC EX. 2001 - 269/503

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

SDC-1351-00000326
SDC EX. 2001 - 270/503

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2003－173165
（P2003－173165A）
(43)公開日　平成15年６月20日(2003.6.20)

(51)Int.Cl.⁷		識別記号	FI		テーマコード*(参考)
Ｇ０９Ｇ	3/30		Ｇ０９Ｇ	3/30	Ｊ　３Ｋ００７
					Ｋ　５Ｃ０８０
	3/20	６１１		3/20	６１１Ｊ
		６２１			６２１Ｍ
		６２４			６２４Ｂ

審査請求　未請求　請求項の数12　ＯＬ　（全８頁）　最終頁に続く

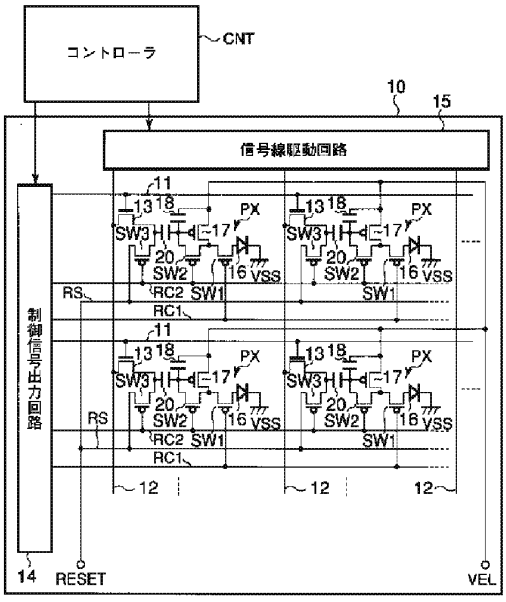
(21)出願番号　特願2002－268656(P2002－268656)
(22)出願日　平成14年９月13日(2002.9.13)
(31)優先権主張番号　特願2001－375010(P2001－375010)
(32)優先日　平成13年９月29日(2001.9.29)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(72)発明者　青木　良朗
埼玉県深谷市幡羅町一丁目９番地２　株式会社東芝深谷工場内
(74)代理人　100058479
弁理士　鈴江　武彦　（外６名）

Ｆターム(参考)　3K007 AB17 DB03 GA00
5C080 AA06 BB05 DD05 DD08 EE28
FF11 JJ02 JJ03 JJ04

(54)【発明の名称】　表示装置

(57)【要約】
【課題】表示ムラを確実に防止する。
【解決手段】表示装置は複数の表示画素ＰＸと、これら表示画素ＰＸを駆動する映像信号を供給する駆動回路１４，１５と、駆動回路１４，１５からの映像信号を取り込む複数の画素スイッチ１３と、前記複数の画素スイッチに先行してリセット信号端子ＲＥＳＥＴからのリセット信号を取り込む複数のリセットスイッチＳＷ３とを備える。各表示画素ＰＸは自己発光素子１６、電源端子ＶＥＬ，ＶＳＳ間において自己発光素子１６に直列に接続される駆動制御素子１７、対応画素スイッチ１３で取り込まれた映像信号を駆動制御素子１７の制御電圧として保持する容量素子１８、対応リセットスイッチＳＷ３で取り込まれたリセット信号を用いて駆動制御素子１７の制御電圧を駆動制御素子１７固有の閾値電圧に等しいレベルに初期化する閾値キャンセル回路２０，ＳＷ１，ＳＷ２を含む。



SDC-1351-00000327
SDC EX. 2001 - 271/503

1

【特許請求の範囲】

【請求項１】　表示画面を構成する複数の表示画素と、前記複数の表示画素を駆動する映像信号を供給する駆動回路と、前記駆動回路からの映像信号をそれぞれ取り込む複数の画素スイッチと、前記複数の画素スイッチにそれぞれ先行してリセット信号端子からのリセット信号を取り込む複数のリセットスイッチとを備え、前記複数の表示画素の各々は自己発光素子、一対の電源端子間において前記自己発光素子に直列に接続される駆動制御素子、対応画素スイッチによって取り込まれた映像信号を前記駆動制御素子の制御電圧として保持する容量素子、および対応リセットスイッチによって取り込まれたリセット信号を用いて前記駆動制御素子の制御電圧をこの駆動制御素子固有のスレッショルド電圧に等しいレベルに初期化する閾値キャンセル回路を含むことを特徴とする表示装置。

【請求項２】　前記リセットスイッチは複数の表示画素に１本の割合で設けられるリセット信号用配線を介して前記リセット信号端子に接続されることを特徴とする請求項１に記載の表示装置。

【請求項３】　前記リセットスイッチは前記リセット信号として前記一対の電源端子の一方の電位を受け取るように接続されることを特徴とする請求項１に記載の表示装置。

【請求項４】　前記駆動制御素子は駆動用薄膜トランジスタを含み、前記閾値キャンセル回路は前記駆動用薄膜トランジスタのドレインと前記自己発光素子間に接続される第1スイッチ、前記駆動用薄膜トランジスタのドレインと前記駆動用薄膜トランジスタのゲート間に接続される第２スイッチ、および前記リセットスイッチおよび前記駆動用薄膜トランジスタのゲート間に接続されるキャパシタを含むことを特徴とする請求項１に記載の表示装置。

【請求項５】　前記リセットスイッチおよび前記第２スイッチは共通な制御信号により制御される薄膜トランジスタであることを特徴とする請求項４に記載の表示装置。

【請求項６】　前記第1スイッチは前記リセットスイッチおよび前記第２スイッチの制御信号とは独立な制御信号により制御される薄膜トランジスタであることを特徴とする請求項５に記載の表示装置。

【請求項７】　映像信号を供給する前記複数信号線と、前記複数の信号線と略直交して配置され走査信号を供給する複数の走査線と、各々対応走査線からの走査信号に応答して対応信号線から映像信号を取り込む複数の画素スイッチと、前記複数の画素スイッチにそれぞれ接続され各々表示素子およびこの表示素子を駆動する駆動制御素子とを含む複数の表示画素と、前記複数の信号線から独立してリセット信号を供給するリセット信号用配線と、各々前記リセット信号用配線および対応表示画素の

2

駆動制御素子間に配置され前記駆動制御素子への前記リセット信号の供給を制御する複数のリセットスイッチとを備えることを特徴とする表示装置。

【請求項８】　前記リセット信号用配線は格子状に配置されることを特徴とする請求項７に記載の表示装置。

【請求項９】　前記表示素子は自己発光素子であることを特徴とする請求項７に記載の表示装置。

【請求項１０】　前記表示画素は前記表示素子に対応して、前記駆動制御素子の制御電圧を保持する容量素子、前記駆動制御素子の制御電圧をこの駆動制御素子固有のスレッショルド電圧に等しくなるよう設定する閾値キャンセル回路を含むことを特徴とする請求項９に記載の表示装置。

【請求項１１】　前記閾値キャンセル回路およびリセットスイッチの制御は同一配線を用いてなされることを特徴とする請求項１０に記載の表示装置。

【請求項１２】　基板上に配置される複数の信号線と、前記信号線と略直交して配置される複数の走査線と、ゲートが前記走査線、ソースが前記信号線に接続される薄膜トランジスタでなる画素スイッチと、前記画素スイッチのドレインに接続される表示画素と、前記信号線とは別に配線されるリセット信号用配線と、ソースが前記リセット信号用配線、ドレインが前記画素スイッチのドレインに接続される薄膜トランジスタでなるリセットスイッチとを備えることを特徴とする表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、複数の表示画素が表示画面を構成するように配置される表示装置に関し、特に各表示画素が例えば有機ＥＬ(Electro Luminescence)素子のような自己発光素子を含む表示装置に関する。

【０００２】

【従来の技術】近年では、有機ＥＬ表示装置が軽量、薄型、高輝度という特徴を持つことから携帯電話のような携帯用情報機器のモニタディスプレイとして注目されている。典型的な有機ＥＬ表示装置は、表示画面を構成するためにマトリクス状に配列される複数の表示画素を備える。この有機ＥＬ表示装置では、複数の走査線がこれら表示画素の行に沿って配置され、複数の信号線がこれら表示画素の列に沿って配置され、複数の画素スイッチがこれら走査線および信号線の交差位置近傍に配置される。各表示画素は自己発光素子である有機ＥＬ素子、一対の電源端子間でこの有機ＥＬ素子に直列に接続される薄膜トランジスタで構成される駆動制御素子、および駆動制御素子の制御電圧を保持する容量素子を有する。各画素スイッチは対応走査線から供給される走査信号に応答して導通し、対応信号線から供給される映像信号を制御電圧として駆動制御素子に印加する。駆動制御素子はこの制御電圧に応じた駆動電流を有機ＥＬ素子に供給する。

SDC-1351-00000328
SDC EX. 2001 - 272/503

【０００３】有機ＥＬ素子は赤、緑、または青の蛍光性有機化合物を含む薄膜である発光層をカソード電極およびアノード電極間に挟持した構造を有し、発光層に電子および正孔を注入しこれらを再結合させることにより励起子を生成させ、この励起子の失活時に生じる光放出により発光する。アノード電極はＩＴＯ等で構成される透明電極であり、カソード電極はアルミニウム等の金属で構成される反射電極である。この構成により、有機ＥＬ素子は１０Ｖ以下の印加電圧でも１００～１００００ｃｄ／ｍ^2 程度の輝度を得ることができる。

【０００４】ところで、この有機ＥＬ表示装置では、表示ムラが駆動制御素子のスレッショルド電圧Ｖthのバラツキによって生じ易い。従来、このようなスレッショルド電圧Ｖthの影響を回避するため、例えば閾値キャンセル回路が全表示画素に設けられる。各閾値キャンセル回路は信号線駆動回路から映像信号に先だって供給されるリセット信号を用いて駆動制御素子の制御電圧を初期化するように構成される。

【０００５】

【発明が解決しようとする課題】しかし、上述の信号線駆動回路は各行の表示画素に供給される映像信号を更新する毎に全信号線にリセット信号を供給する必要がある。さらに、有機ＥＬ表示装置の画素数が大型化および高精細化のために増大した場合には、信号線駆動回路が信号線電位を短時間にリセット電位に遷移させることが困難となる。駆動制御素子の制御電圧がこの結果として完全に初期化されないと、これが表示ムラの原因となることがあった。

【０００６】本発明の目的は、表示ムラを確実に防止できる表示装置を提供することにある。

【０００７】

【課題を解決するための手段】本発明によれば、表示画面を構成する複数の表示画素と、前記複数の表示画素を駆動する映像信号を供給する駆動回路と、前記駆動回路からの映像信号をそれぞれ取り込む複数の画素スイッチと、前記複数の画素スイッチにそれぞれ先行してリセット信号端子からのリセット信号を取り込む複数のリセットスイッチとを備え、前記複数の表示画素の各々は自己発光素子、一対の電源端子間において前記自己発光素子に直列に接続される駆動制御素子、対応画素スイッチによって取り込まれた映像信号を前記駆動制御素子の制御電圧として保持する容量素子、および対応リセットスイッチによって取り込まれたリセット信号を用いて前記駆動制御素子の制御電圧をこの駆動制御素子固有のスレッショルド電圧に等しいレベルに初期化する閾値キャンセル回路を含む表示装置が提供される。

【０００８】この表示装置では、リセット信号はリセット信号端子からリセットスイッチに供給され、このリセットスイッチにより取り込まれる。リセット信号端子はリセット信号の電位から変化する必要がなく、このリセット信号端子とリセットスイッチとを結ぶ配線についても同様である。このため、リセットスイッチがリセット信号端子およびリセットスイッチ間の配線に寄生する配線容量の影響を受けずに短時間でリセット信号を取り込むことが可能である。すなわち、リセット信号の供給に映像信号用配線を用いた場合に生じる信号遷移時間の不足によって駆動制御素子の制御電圧を完全に初期化できないような状況になりにくい。従って、配線容量が増大した場合でも駆動制御素子のスレッショルド電圧に依存した表示ムラを確実に防止できる。また、リセット信号端子および各リセットスイッチ間の配線パターンには自由度があるため、リセットスイッチ相互の配置に依存した電圧降下の影響を考慮した配線パターンを用いることが可能である。

【０００９】

【発明の実施の形態】以下、本発明の第１実施形態に係る有機ＥＬ表示装置について添付図面を参照して説明する。

【００１０】図１はこの有機ＥＬ表示装置の構成を示す。有機ＥＬ表示装置は有機ＥＬパネル１０および有機ＥＬパネル１０を制御するコントローラＣＮＴにより構成される。

【００１１】有機ＥＬパネル１０は、ガラス板等の光透過性絶縁基板上にマトリクス状に配置される複数の表示画素ＰＸ、これら表示画素ＰＸの行に沿って配置される複数の走査線１１、これら表示画素ＰＸの行に直交する方向に配置される複数の信号線１２、これら走査線１１および信号線１２の交差位置近傍に配置される複数の画素スイッチ１３、複数の走査線１１を順次駆動する制御信号出力回路１４、および複数の信号線１２を駆動する信号線駆動回路１５を備える。また、走査線１１と平行に信号線１２とは独立に配線されるリセット信号用配線ＲＳが配置される。各表示画素ＰＸは自己発光素子である有機ＥＬ素子１６、一対の電源端子ＶＥＬ，ＶＳＳ間でこの有機ＥＬ素子１６に直列に接続され例えばＰチャネル薄膜トランジスタで構成される駆動制御素子１７、および画素スイッチ１３により取込まれた映像信号を駆動制御素子１７の制御電圧として保持する容量素子１８を有する。電源端子ＶＥＬおよびＶＳＳは例えば＋１０Ｖの電位および０Ｖの電位にそれぞれ設定される。

【００１２】画素スイッチ１３は例えばＮチャネル薄膜トランジスタにより構成され、走査線１１から供給される走査信号により駆動されたときに信号線１２から供給される映像信号Ｖsiq(＝０～４Ｖ)を出力する。駆動制御素子１７は画素スイッチ１３によって取り込まれ制御電圧として印加される映像信号Ｖsiqに応じた駆動電流Ｉdを有機ＥＬ素子１６に供給する。有機ＥＬ素子１６は赤、緑、または青の蛍光性有機化合物を含む薄膜である発光層をカソード電極およびアノード電極間に挟持した構造を有し、発光層に電子および正孔を注入しこれら

SDC-1351-00000329
SDC EX. 2001 - 273/503

を再結合させることにより励起子を生成させ、この励起子の失活時に生じる光放出により発光する。

【００１３】コントローラＣＮＴは有機ＥＬパネル１０の外部に配置されるプリント基板上に形成され、制御信号出力回路１４および信号線駆動回路１５を制御する。コントローラＣＮＴは外部から供給されるデジタル映像信号および同期信号を受け取り、垂直走査タイミングを制御する垂直走査制御信号、および水平走査タイミングを制御する水平走査制御信号を同期信号に基づいて発生し、これら垂直走査制御信号および水平走査制御信号をそれぞれ制御信号出力回路１４および信号線駆動回路１５に供給すると共に、水平および垂直走査タイミングに同期してデジタル映像信号を信号線駆動回路１５に供給する。

【００１４】信号線駆動回路１５は水平走査制御信号の制御により各水平走査期間において順次得られる映像信号をアナログ形式に変換し複数の信号線１２に並列的に供給する。制御信号出力回路１４は垂直走査制御信号の制御により各フレーム期間において順次複数の走査線１１に走査信号を供給する。すなわち、各走査線は互いに異なる１水平走査期間（１Ｈ）において走査信号により駆動される。各行の画素スイッチ１３は対応走査線１１から供給される走査信号により１水平走査期間のうちの所定期間（映像書込期間）だけ導通し、走査信号が再び１フレーム期間後に供給されるまで非導通となる。１行分の駆動制御素子１７はこれら画素スイッチ１３の導通により複数の信号線１２から供給される映像信号Ｖsigに対応した駆動電流Ｉdを有機ＥＬ素子１６にそれぞれ供給する。この映像信号Ｖsigは映像信号の更新周期である１フレーム期間（１Ｆ）毎に更新される。

【００１５】図２は表示画素ＰＸの等価回路を示す。各表示画素ＰＸは、有機ＥＬ素子１６、駆動制御素子１７、容量素子１８に加えて閾値キャンセル回路を備える。この閾値キャンセル回路は、駆動制御素子１７のゲート－ソース間に接続されるキャパシタ２０、駆動制御素子１７のドレイン電流を駆動電流Idとして有機ＥＬ素子１６に出力する第1スイッチＳＷ１と、駆動制御素子１７のゲート・ドレイン間の電位差をゼロにリセットする第２スイッチＳＷ２と、リセット信号端子ＲＥＳＥＴからのリセット信号Ｖrst（＝８Ｖ）を取り込むリセットスイッチＳＷ３とから構成される。

【００１６】これらスイッチＳＷ１～ＳＷ３は駆動制御素子１７の制御電圧をこの駆動制御素子１７のスレッショルド電圧Ｖthに等しいレベルに初期化するためにリセット制御信号ＲＣ１およびＲＣ２の制御により図３に示す関係でオンオフされる。

【００１７】これらスイッチＳＷ１～ＳＷ３について詳しく説明すると、第２スイッチＳＷ２は駆動制御素子１７のゲートおよびドレイン間に接続され、例えばＰチャネル薄膜トランジスタで構成される。第1スイッチＳＷ１は駆動制御素子１７のドレインと有機ＥＬ素子１６との間に接続され、例えばＰチャネル薄膜トランジスタで構成される。リセットスイッチＳＷ３は画素スイッチ１３およびキャパシタ２０間のノードとリセット信号端子ＲＥＳＥＴとの間に接続され、例えばＰチャネル薄膜トランジスタにより構成される。リセットスイッチＳＷ３の薄膜トランジスタは、リセット信号用配線ＲＳに接続されるソースおよび画素スイッチ１３のドレインに接続されるドレインを含む。第1スイッチＳＷ１は制御信号出力回路１４で発生されるリセット制御信号ＲＣ１により制御され、第２スイッチＳＷ２およびリセットスイッチＳＷ３は制御信号出力回路１４で発生されるリセット制御信号ＲＣ２により制御される。

【００１８】そしてこのような構成により、行毎にリセット信号を各表示画素に供給することが可能となる。

【００１９】リセット期間は、各水平走査期間の最初に駆動制御素子１７のゲート-ソース間電圧を閾値電圧Ｖthより大きくなるよう設定するもので、画素スイッチ１３がOFFの状態で、第1スイッチＳＷ１，第２スイッチＳＷ２，およびリセットスイッチＳＷ３をオン状態とする。ノードＡの電位はリセットスイッチＳＷ３からのリセット信号Ｖrstにより上昇し、ノードＢおよびＣの電位は第２スイッチＳＷ２を介して流れる放電電流により低下する。

【００２０】続く閾値Ｖthバラツキキャンセル期間では、画素スイッチ１３がオフ状態を維持した状態で、さらに第1スイッチＳＷ１をオフ状態に設定する。これにより、ノードＢの電位が第２スイッチＳＷ２を介して流れる充電電流により駆動制御素子１７のスレッショルド電圧Ｖthに等しいレベルに上昇する。一方、キャパシタのノードＡ側には、リセット電圧が保持される。

【００２１】映像信号書込期間では、画素スイッチ１３がオン状態にされ、第１スイッチＳＷ１、第２スイッチＳＷ２およびリセットスイッチＳＷ３がオフ状態にされる。これにより、映像信号Ｖsigがリセットスイッチ３からのリセット信号Ｖrstに代わって画素スイッチ１３から供給されると、ノードＢの電位がスレッショルド電圧Ｖthを映像信号Ｖsigに加えたレベルとなる。

【００２２】映像信号表示期間では、第１スイッチＳＷ１がオン状態にされ、画素スイッチ１３、第２スイッチＳＷ２およびリセットスイッチＳＷ３がオフ状態にされる。これにより、駆動電流Ｉdが第1スイッチＳＷ１を介して有機ＥＬ素子１６に供給される。駆動電流Ｉdはリセット信号Ｖrstと映像信号Ｖsigとの電位差により決定されることになり、駆動制御素子１７のスレッショルド電圧Ｖthにバラツキがあっても、駆動電流Ｉdの変動を抑制できる。尚、本実施形態においては、駆動制御素子１７の特性補正としてスレッショルド電圧のバラツキ補正を行うものについて説明したが、これに限定されない。また、閾値キャンセル回路の構成も適宜選択でき

る。

【００２３】本実施形態の有機ＥＬ表示装置では、複数のリセットスイッチＳＷ３が複数の表示画素ＰＸの行に沿って配置される複数のリセット信号用配線ＲＳを介してリセット信号端子ＲＥＳＥＴに接続される。リセット信号Ｖrstはリセット信号端子ＲＥＳＥＴからリセットスイッチＳＷ３に供給され、このリセットスイッチＳＷ３により取り込まれる。リセット信号Ｖrstが映像信号Ｖsig用配線である信号線１２とは別の専用配線であるリセット信号用配線ＲＳにより供給されるため、リセットスイッチＳＷ３がリセット信号用配線ＲＳに寄生する配線容量の影響を受けずに短時間でリセット信号を取り込むことが可能である。すなわち、リセット信号Ｖrstの供給に映像信号Ｖsigを供給する信号線１２を用いた場合に生じる信号遷移時間の不足によって駆動制御素子１７の制御電圧を完全に初期化できないような状況になりにくく、駆動制御素子１７の特性補正期間を十分に確保することができる。従って、配線容量が増大した場合でも駆動制御素子１７のスレッショルド電圧Ｖthに依存した表示ムラを確実に防止できる。

【００２４】図４は本発明の第２実施形態に係る有機ＥＬ表示装置の構成を示す。この有機ＥＬ表示装置はリセット信号Ｖrst並びにリセット制御信号ＲＣ１およびＲＣ２用の配線を複数行の表示画素ＰＸについて共通化したことを除いて図１に示す有機ＥＬ表示装置と同様である。このため、同様部分を同一参照符号で表しその説明を省略する。

【００２５】具体的には、図４に示すようにリセット信号Ｖrst並びにリセット制御信号ＲＣ１およびＲＣ２が奇数および偶数行の表示画素ＰＸ間において走査線１１と平行するようにそれぞれ配置される配線を介して供給される。この場合、リセット信号Ｖrstおよびリセット制御信号ＲＣ１およびＲＣ２を供給するために必要とされる配線領域を低減することができるため、表示装置の大型化および高精細化が容易になる。

【００２６】図５は本発明の第３実施形態に係る有機ＥＬ表示装置の構成を示す。この有機ＥＬ表示装置はリセット信号用配線ＲＳを簡略化したことを除いて図１に示す有機ＥＬ表示装置と同様である。このため、同様部分を同一参照符号で表しその説明を省略する。

【００２７】具体的には、図５に示すようにリセットスイッチＳＷ３のソースがリセット信号用配線ＲＳを介して電源配線ＶＥＬに接続され、この配線ＲＳからの電源電圧ＶＥＬをリセット信号Ｖrstとして取込む。この構成は映像信号Ｖsigの最大値が電源電圧ＶＥＬにほぼ等しい必要があるが、リセット信号用配線ＲＳのための配線領域を低減することが可能である。

【００２８】図６は本発明の第４実施形態に係る有機ＥＬ表示装置の構成を示す。この有機ＥＬ表示装置は、複数のリセット信号用配線ＲＳが図６に示すように各信号線１２に平行に配置されることを除いて図１に示す有機ＥＬ表示装置と同様である。このため、同様部分を同一参照符号で表しその説明を省略する。

【００２９】具体的には、複数のリセットスイッチＳＷ３が複数の表示画素ＰＸの列方向に平行に配置される複数のリセット信号用配線ＲＳを介してリセット信号端子ＲＥＳＥＴに接続される。このような構成では、補正動作時におけるリセット信号Ｖrstの供給に複数本のリセット信号用配線ＲＳを用いることができ、リセット信号Ｖrstの供給を一リセット配線に集中することなく、その配線数分で分割することができる。そして、リセット信号用配線内での電圧降下の発生を抑制することができ、画面の均一表示が可能となる。詳しく説明すると、これらリセット信号用配線ＲＳによる電圧降下をリセット信号線数分で分割でき、この電圧降下に依存して１行分の表示画素ＰＸ間で発生するクロストークを図１に示す有機ＥＬ表示装置の場合よりも改善して均一な画像を表示画面に表示させることができる。

【００３０】図７は本発明の第５実施形態に係る有機ＥＬ表示装置の構成を示す。この有機ＥＬ表示装置は、複数のリセット信号用配線ＲＳが図７に示すように格子状に配置されることを除いて図１に示す有機ＥＬ表示装置と同様である。このため、同様部分を同一参照符号で表しその説明を省略する。

【００３１】具体的には、複数のリセットスイッチＳＷ３が複数の表示画素ＰＸの行および列に沿って配置され交差位置において互いに接続される複数のリセット信号用配線ＲＳを介してリセット信号端子ＲＥＳＥＴに接続される。このような構成では、第４実施形態と同様の効果に加え、リセット信号Ｖrst供給を表示面内に格子状に配置した配線により行うので、電圧降下を最小に抑えることができる。そのため、これらリセット信号用配線ＲＳ間で生じる電圧降下のバラツキが一層低減され、また電圧降下が発生したとしても、クロストークとして視認されるのを抑制でき、さらに均一な画像を表示画面に表示させることができる。

【００３２】以上説明したように、表示画素への映像信号供給とリセット信号供給をそれぞれ独立した別の配線で行うことにより、例えば大型化による負荷増大、あるいは高精細化による水平走査期間の短縮に際しても、十分な補正期間を確保することが可能となる。また、さらに同時に補正動作を行う複数の表示画素に複数本の配線からリセット信号を供給することで電圧降下を抑制でき、画面の均一表示が可能となる。

【００３３】尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々に変形可能である。

【００３４】例えばリセットスイッチＳＷ３はＰチャネル薄膜トランジスタで構成されたが、例えばＮチャネル薄膜トランジスタ、あるいはトランスファゲート等のス

SDC-1351-00000331
SDC EX. 2001 - 275/503

9

イッチ素子に変更し、リセット制御信号ＲＣ２とは逆極性のリセット制御信号によりこのスイッチ素子を制御することもできる。

【００３５】また、リセット信号用配線ＲＳは各実施形態において２行の表示画素ＰＸ毎に設けられたが３行以上の表示画素ＰＸに対して１本の割合で設けられてもよく、所望の期間発光されるよう適宜設定される。

【００３６】また、上述の実施形態では、第２スイッチＳＷ２およびリセットスイッチＳＷ３は共通のリセット制御信号ＲＣ２で制御する場合について説明したが、それぞれ別出力のリセット制御信号を用いて制御してもよい。このように制御することにより、さらに動作を安定させ、表示品位を向上させることが可能となる。

【００３７】また、上述の実施形態では、映像信号のデジタルーアナログ変換をガラス基板上に形成された信号線駆動回路にて行う場合について説明したが、このアナログ変換をガラス基板外部で行い、信号線駆動回路はアナログ映像信号を時分割で対応する信号線に供給するものであってもよい。

【００３８】さらに、上述の実施形態で有機ＥＬ素子１６が用いられたが、本発明はこれに限定されず自己発光可能な様々な発光素子にも適用できる。

【００３９】

【発明の効果】本発明によれば、表示ムラを確実に防止できる表示装置を提供することができる。

【図面の簡単な説明】

【図１】本発明の一実施形態に係る有機ＥＬ表示装置の構成を示す回路図である。

10

＊【図２】図１に示す表示画素の等価回路を示す図である。

【図３】図２に示す表示画素の動作を説明するための図である。

【図４】本発明の第２実施形態に係る有機ＥＬ表示装置の構成を示す回路図である。

【図５】本発明の第３実施形態に係る有機ＥＬ表示装置の構成を示す回路図である。

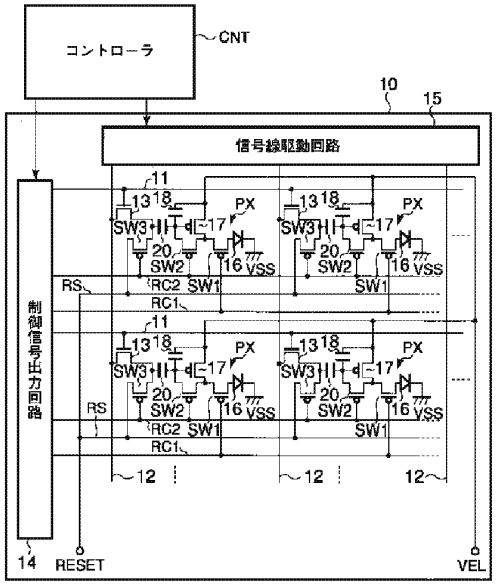
【図６】本発明の第４実施形態に係る有機ＥＬ表示装置の構成を示す回路図である。

【図７】本発明の第５実施形態に係る有機ＥＬ表示装置の構成を示す回路図である。

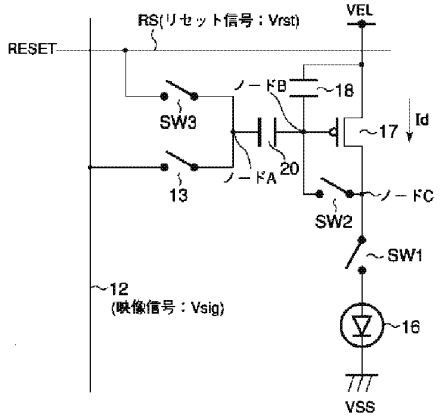
【符号の説明】

１３…画素スイッチ
１４…制御信号出力回路
１５…信号線駆動回路
１６…有機ＥＬ素子
１７…駆動制御素子
１８…キャパシタ
ＳＷ１…第１スイッチ
ＳＷ２…第２スイッチ
ＳＷ３…リセットスイッチ
ＣＮＴ…コントローラ
ＰＸ…表示画素
ＲＳ…リセット信号用配線
ＶＥＬ，ＶＳＳ…電源端子
ＲＥＳＥＴ…リセット信号端子

【図１】

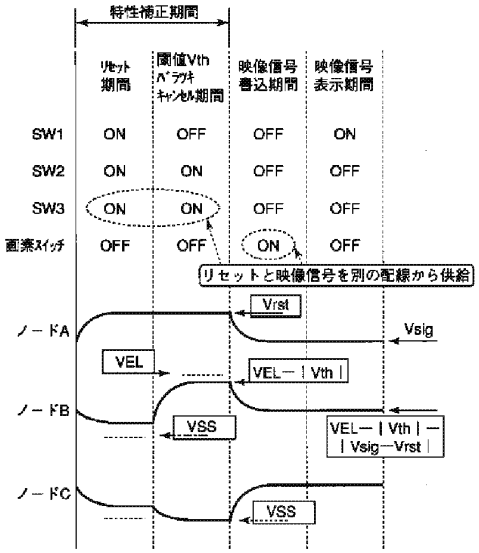


【図２】

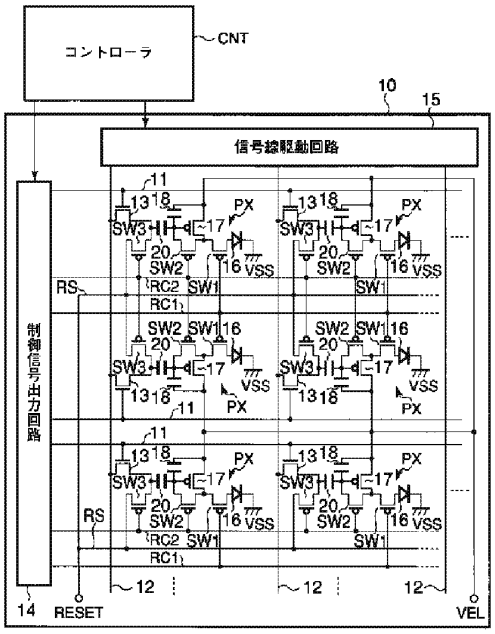


SDC-1351-00000332
SDC EX. 2001 - 276/503

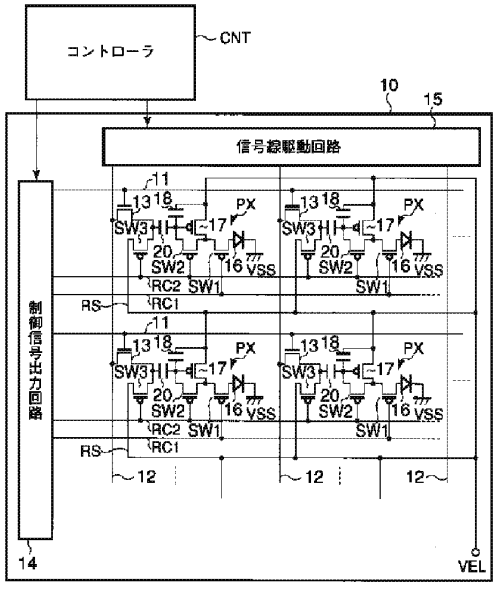
【図３】



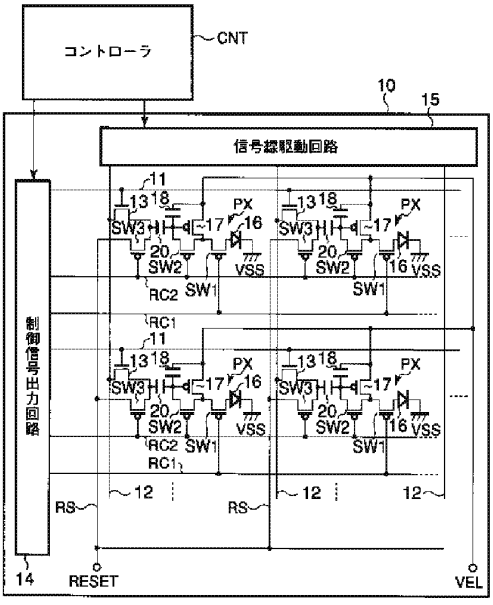
【図４】



【図５】

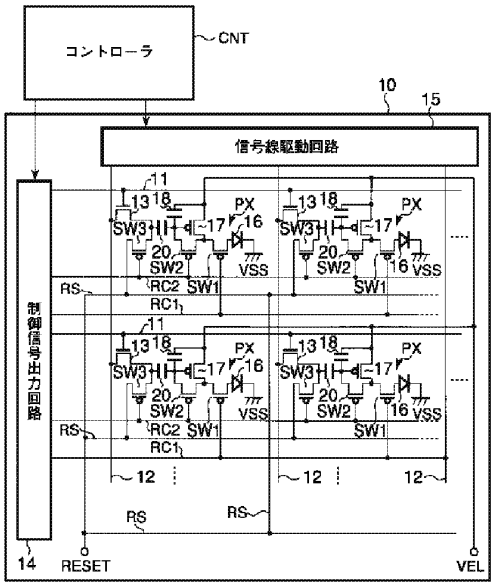


【図６】



SDC-1351-00000333
SDC EX. 2001 - 277/503

【図７】



フロントページの続き

(51)Int.Cl.[7]	識別記号	ＦＩ		ﾃｰﾏｺｰﾄﾞ(参考)
Ｇ０９Ｇ　3/20	６４２	Ｇ０９Ｇ	3/20	６４２Ａ
Ｈ０５Ｂ　33/14		Ｈ０５Ｂ	33/14	Ａ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-202833
(43)Date of publication of application : 18.07.2003

(51)Int.Cl. G09G 3/30
G09G 3/20
H01L 29/786
H05B 33/14

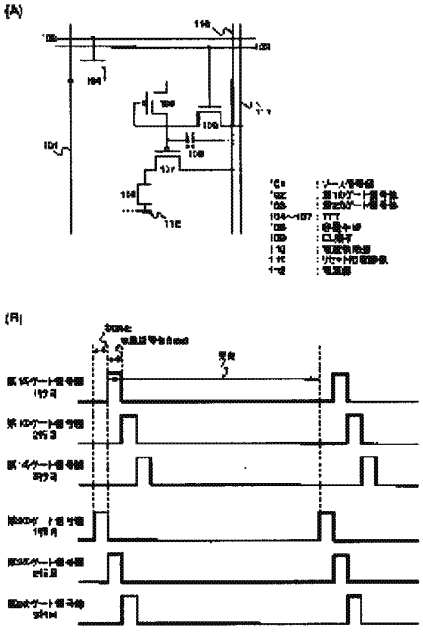
(21)Application number : 2002-298062
(22)Date of filing : 10.10.2002

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
(72)Inventor : KIMURA HAJIME
TANADA YOSHIFUMI

(30)Priority
Priority number : 2001333575 Priority date : 30.10.2001 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND DRIVING METHOD THEREFOR

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a light emitting device using a semiconductor device as a pixel capable of correcting dispersion of threshold voltages of TFTs by a configuration not influenced by dispersion of capacitance values.
SOLUTION: As for a video signal inputted to a pixel from a source signal line, a desired potential is applied to the gate electrode of a TFT 107 for supplying a current to an EL element 109 via a TFT 105 connected across the gate and drain. Across the source and drain of the TFT 105, a voltage equal to the threshold value of the TFT is generated. Therefore, a potential offsetting the video signal by the threshold value of the TFT 105 is applied to the gate electrode of TFT 107. Moreover, the TFTs in the pixel are arranged close to each other, so that dispersion in the characteristic is hardly caused. Thus, even if the threshold value of TFT 107 is dispersed pixel by pixel, the dispersion is offset by the threshold value of TFT 105 and a desired drain current can be fed to the EL element 109.



LEGAL STATUS

[Date of request for examination] 07.10.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

SDC-1351-00000335
SDC EX. 2001 - 279/503

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

SDC-1351-00000336
SDC EX. 2001 - 280/503

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2003－202833
（P2003－202833A）
(43)公開日　平成15年７月18日(2003.7.18)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード*(参考)
Ｇ０９Ｇ　3/30		Ｇ０９Ｇ　3/30	Ｊ	３Ｋ００７
3/20	６１１	3/20	６１１Ｈ	５Ｃ０８０
	６２４		６２４Ｂ	５Ｆ１１０
	６４１		６４１Ｄ	
Ｈ０１Ｌ　29/786		Ｈ０５Ｂ　33/14	Ａ	

審査請求　未請求　請求項の数31　ＯＬ　（全 63 頁）　最終頁に続く

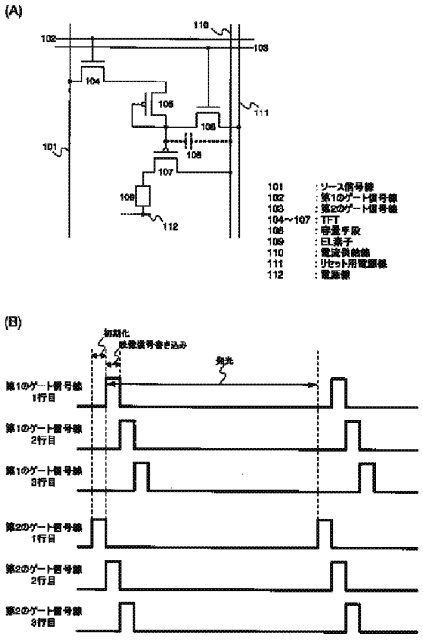
(21)出願番号　特願2002－298062(P2002－298062)
(22)出願日　平成14年10月10日(2002.10.10)
(31)優先権主張番号　特願2001－333575(P2001－333575)
(32)優先日　平成13年10月30日(2001.10.30)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者　木村　肇
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内
(72)発明者　棚田　好文
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】　半導体装置およびその駆動方法

(57)【要約】
【課題】　発光装置において、発光素子に電流を供給するＴＦＴのしきい値が画素ごとにばらつくことによって生ずる輝度ムラが、発光装置の画質向上の足かせとなっていた。
【解決手段】　ソース信号線より画素に入力される映像信号は、ゲート・ドレイン間を接続したＴＦＴ１０５を経て、ＥＬ素子１０９に電流を供給するためのＴＦＴ１０７のゲート電極に所望の電位が印加される。ＴＦＴ１０５におけるソース・ドレイン間には、ＴＦＴのしきい値に等しい電圧が生ずる。よって、ＴＦＴ１０７のゲート電極には、映像信号をＴＦＴ１０５のしきい値分だけオフセットした電位が印加される。また画素内のＴＦＴは近接配置されており、特性ばらつきが生じにくい。これにより、ＴＦＴ１０７のしきい値が画素ごとにばらついても、ＴＦＴ１０５のしきい値で相殺され、所望のドレイン電流をＥＬ素子１０９に供給することが出来る。



SDC-1351-00000337
SDC EX. 2001 - 281/503

1

【特許請求の範囲】

【請求項１】スイッチ素子と、整流性素子とを有し、
前記整流性素子の第１の電極には、第１の信号V_1が入力され、第２の電極は、前記スイッチ素子の第１の電極と電気的に接続され、
前記スイッチ素子の第２の電極には、所定の電位Ｖが与えられる半導体装置であって、
前記整流性素子の第２の電極より、前記信号V_1から前記整流性素子のしきい値電圧Ｖｔｈだけオフセットした信号V_2を得ることを特徴とする半導体装置。

【請求項２】第１および第２のスイッチ素子と、整流性素子とを有し、
前記第１のスイッチ素子の第１の電極には、第１の信号V_1が入力され、第２の電極は、前記整流性素子の第１の電極と電気的に接続され、
前記整流性素子の第２の電極は、前記第２のスイッチ素子の第１の電極と電気的に接続され、
前記第２のスイッチ素子の第２の電極には、所定の電位Ｖが与えられる半導体装置であって、
前記整流性素子の第２の電極より、前記信号V_1から前記整流性素子のしきい値電圧Ｖｔｈだけオフセットした信号V_2を得ることを特徴とする半導体装置。

【請求項３】第１および第２の整流性素子とを有し、
前記第１の整流性素子の第１の電極には、第１の信号V_1が入力され、第２の電極は、前記第２の整流性素子の第１の電極と電気的に接続され、
前記第２の整流性素子の第２の電極には、所定の電位Ｖが与えられる半導体装置であって、
前記第１の整流性素子の第２の電極より、前記信号V_1から前記第１の整流性素子のしきい値電圧Ｖｔｈだけオフセットした信号V_2を得ることを特徴とする半導体装置。

【請求項４】請求項１乃至請求項３のいずれか１項において、
前記整流性素子とは、ゲート・ドレイン間を接続したトランジスタを用いてなり、
前記トランジスタの極性がＮチャネル型であり、前記トランジスタのしきい値電圧がＶｔｈであるとき、
$V_1+Vth<V$、かつ$V_2=V_1+Vth$を満たし、
前記トランジスタの極性がＰチャネル型であり、前記トランジスタのしきい値電圧がＶｔｈであるとき、
$V_1-|Vth|>V$、かつ$V_2=V_1-|Vth|$を満たすことを特徴とする半導体装置。

【請求項５】請求項１乃至請求項３のいずれか１項において、
前記整流性素子とは、ダイオードを用いてなり、
前記ダイオードのしきい値電圧がＶｔｈであるとき、
$V_1>V+Vth$、かつ$V_2=V_1+Vth$もしくは、
$V_1<V-|Vth|$、かつ$V_2=V_1-|Vth|$を満たすことを特徴とする半導体装置。

2

【請求項６】発光素子を備えた画素を有する半導体装置であって、
前記画素は、
ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴とする半導体装置。

【請求項７】発光素子を備えた画素を有する半導体装置であって、
前記画素は、
ソース信号線と、ゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記ゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記画素より少なくとも１行前に走査される行の画素の有するゲート信号線と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴とする半導体装置。

【請求項８】発光素子を備えた画素を有する半導体装置であって、
前記画素は、
ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記第２のトランジスタのゲート電極および第１の電極と電気的に接続され、第２の電極は、前記第３のトランジスタ

SDC-1351-00000338
SDC EX. 2001 - 282/503

の第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第２のトランジスタの第２の電極は、前記ソース信号線と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴とする半導体装置。
【請求項９】発光素子が備えられた画素を有する半導体装置であって、
前記画素は、
ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記第２のトランジスタのゲート電極と、前記第２のトランジスタの第１の電極と、前記第３のトランジスタの第１の電極と電気的に接続され、第２の電極は、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴とする半導体装置。
【請求項１０】発光素子が備えられた画素を有する半導体装置であって、
前記画素は、
ソース信号線と、ゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記第２のトランジスタのゲート電極と、前記第２のトランジスタの第１の電極と、前記第３のトランジスタの第１の電極と電気的に接続され、第２の電極は、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記画素より少なくとも１行前に走査される行の画素の有するゲート信号線と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴とする半導体装置。
【請求項１１】請求項６乃至請求項１０のいずれか１項に記載の半導体装置において、
前記第３のトランジスタの第２の電極は、リセット用電源線と電気的に接続されていることを特徴とする半導体装置。
【請求項１２】請求項６乃至請求項１０のいずれか１項に記載の半導体装置において、
前記第３のトランジスタの第２の電極は、前記画素と異なる行において走査されるいずれかの画素が有するゲート信号線のうちいずれか１本と電気的に接続されていることを特徴とする半導体装置。
【請求項１３】発光素子が備えられた画素を有する半導体装置であって、
前記画素は、
ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極および、前記第３のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第２の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴とする半導体装置。
【請求項１４】発光素子が備えられた画素を有する半導体装置であって、
前記画素は、
ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第３のトランジスタと、容量手段と、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極および、前記第３のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、
前記容量手段の第１の電極は、前記第３のトランジスタのゲート電極と電気的に接続され、第２の電極は、前記第２のゲート信号線と電気的に接続されていることを特徴とする半導体装置。
【請求項１５】発光素子が備えられた画素を有する半導体装置であって、
前記画素は、
ソース信号線と、第１および第２のゲート信号線と、電

SDC-1351-00000339
SDC EX. 2001 - 283/503

流供給線と、第１乃至第３のトランジスタと、ダイオードと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極および、前記第３のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、
前記ダイオードの第１の電極は、前記第３のトランジスタのゲート電極と電気的に接続され、第２の電極は、前記第２のゲート信号線と電気的に接続され、
前記第２のゲート信号線の電位を変化させたとき、前記第１の電極から前記第２の電極、もしくは前記第２の電極から前記第１の電極のいずれか一方向にのみ電流を生ずることを特徴とする半導体装置。
【請求項１６】発光素子が備えられた画素を有する半導体装置であって、
前記画素は、
ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、
前記第５のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第５のトランジスタが導通することによって、前記第４のトランジスタのゲート・ソース間電圧を０Ｖとすることを特徴とする半導体装置。
【請求項１７】発光素子が備えられた画素を有する半導体装置であって、
前記画素は、
ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記画素より少なくとも１行前に走査される行の画素の有する前記第１のゲート信号線と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、
前記第５のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第５のトランジスタが導通することによって、前記第４のトランジスタのゲート・ソース間電圧を０Ｖとすることを特徴とする半導体装置。
【請求項１８】発光素子が備えられた画素を有する半導体装置であって、
前記画素は、
ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極と電気的に接続され、
前記第５のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第２の電極と電気的に接続され、
前記第５のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴とする半導体装置。
【請求項１９】発光素子が備えられた画素を有する半導体装置であって、
前記画素は、

SDC-1351-00000340
SDC EX. 2001 - 284/503

ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記画素より少なくとも１行前に走査される行の画素の有する前記第１のゲート信号線と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極と電気的に接続され、
前記第５のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第２の電極と電気的に接続され、
前記第５のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴とする半導体装置。
【請求項２０】請求項１６乃至請求項１９のいずれか１項に記載の半導体装置において、
前記第３のトランジスタの第２の電極は、リセット用電源線と電気的に接続されていることを特徴とする半導体装置。
【請求項２１】請求項１６乃至請求項１９のいずれか１項に記載の半導体装置において、
前記第３のトランジスタの第２の電極は、前記画素を除くいずれかの行において走査されるいずれかの画素が有するゲート信号線のうちいずれか１本と電気的に接続されていることを特徴とする半導体装置。
【請求項２２】発光素子が備えられた画素を有する半導体装置であって、
前記画素は、
ソース信号と、第１および第２のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記画素の１行前に走査される行の画素の有する前記第１のゲート信号線と電気的に接続され、第２の電極は、前記第２のゲート信号線と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極と電気的に接続され、
前記第５のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、
前記第５のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴とする半導体装置。
【請求項２３】発光素子が備えられた画素を有する半導体装置であって、
前記画素は、
ソース信号と、第１および第２のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記画素の１行前に走査される行の画素の有する前記第１のゲート信号線と電気的に接続され、第２の電極は、前記第１のゲート信号線と電気的に接続され、
前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極と電気的に接続され、
前記第５のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、
前記第５のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴とする半導体装置。
【請求項２４】請求項６乃至請求項２３のいずれか１項に記載の半導体装置において、
前記半導体装置は、保持容量手段を有し、前記保持容量手段の第１の電極は、前記第１のトランジスタの第２の電極と電気的に接続され、第２の電極には、一定電位が与えられ、前期第１のトランジスタの第２の電極における電位を保持することを特徴とする半導体装置。
【請求項２５】請求項６乃至請求項２３のいずれか１項に記載の半導体装置において、
前記半導体装置は、保持容量手段を有し、前記保持容量手段の第１の電極は、
前記第４のトランジスタのゲート電極と電気的に接続さ

SDC-1351-00000341
SDC EX. 2001 - 285/503

れ、第２の電極には、一定電位が与えられ、前期第４のトランジスタのゲート電極に印加される電位を保持することを特徴とする半導体装置。

【請求項２６】スイッチ素子と、整流性素子とを有し、
前記整流性素子の第１の電極には、第１の信号Ｖ１が入力され、第２の電極は、前記スイッチ素子の第１の電極と電気的に接続され、
前記スイッチ素子の第２の電極には、ある電位Ｖが与えられる半導体装置の駆動方法であって、
前記スイッチ素子を導通して、前記整流性素子の第２の電極の電位をＶとする第１のステップと、
前記第１のステップから、前記スイッチ素子を非導通とし、前記整流性素子の両電極間の電圧を、前記整流性素子のしきい値電圧ＶｔｈにＶｔｈに収束させる第２のステップと、
前記しきい値電圧Ｖｔｈを保持し、前記整流性素子の第２の電極より、前記信号V_1から前記しきい値電圧Ｖｔｈだけオフセットした信号V_2を得る第３のステップとを有することを特徴とする半導体装置の駆動方法。

【請求項２７】第１および第２のスイッチ素子と、整流性素子とを有し、
前記第１のスイッチ素子の第１の電極には、第１の信号Ｖ１が入力され、第２の電極は、前記整流性素子の第１の電極と電気的に接続され、
前記整流性素子の第２の電極は、前記第２のスイッチ素子の第１の電極と電気的に接続され、
前記第２のスイッチ素子の第２の電極には、ある電位Ｖが与えられる半導体装置の駆動方法であって、
前記第２のスイッチ素子を導通して、前記整流性素子の第２の電極の電位をＶとする第１のステップと、
前記第１のステップから、さらに前記第１のスイッチ素子を導通して、前記整流性素子第１の電極の電位をV_1とする第２のステップと、
前記第２のステップから、前記第２のスイッチを非導通とし、前記整流性素子の両電極間の電圧を、前記整流性素子のしきい値電圧Ｖｔｈに収束させる第３のステップと、
前記第３のステップから、さらに第１のスイッチを非導通とし、前記しきい値電圧Ｖｔｈを保持し、前記整流性素子の第２の電極より、前記信号V_1から前記しきい値電圧Ｖｔｈだけオフセットした信号V_2を得る第４のステップとを有することを特徴とする半導体装置の駆動方法。

【請求項２８】第１および第２の整流性素子とを有し、
前記第１の整流性素子の第１の電極には、第１の信号Ｖ１が入力され、第２の電極は、前記第２の整流性素子の第１の電極と電気的に接続され、
前記第２の整流性素子の第２の電極には、ある電位Ｖが与えられる半導体装置の駆動方法であって、
前記第１の整流性素子のしきい値電圧をＶｔｈとし、
Ｖ１＞（Ｖ－|Ｖｔｈ|）のとき、前記第２の整流性素子の第２の電極の電位をＶ→V_0（V_0＞Ｖ）とし、前記第２の整流性素子を流れる電流を遮断する第１のステップと、
前記第１の整流性素子の第２の電極より、前記信号V_1から前記しきい値電圧Ｖｔｈだけオフセットした信号V_2を得る第２のステップとを有することを特徴とする半導体装置の駆動方法。

【請求項２９】請求項２６乃至請求項２８のいずれか１項において、
前記整流性素子とは、ゲート・ドレイン間を接続したトランジスタを用いてなり、
前記トランジスタの極性がＮチャネル型であり、しきい値電圧がＶｔｈである
とき、V_1＋Ｖｔｈ＜Ｖ、かつV_2＝V_1＋Ｖｔｈを満たし、
前記トランジスタの極性がＰチャネル型であり、しきい値電圧がＶｔｈであるとき、
V_1＞Ｖ＋|Ｖｔｈ|、かつV_2＝V_1－|Ｖｔｈ|を満たすことを特徴とする半導体装置の駆動方法。

【請求項３０】請求項２６乃至請求項２８のいずれか１項において、
前記整流性素子とは、ダイオードを用いてなり、
前記ダイオードのしきい値電圧がＶｔｈであるとき、
V_1＞Ｖ＋Ｖｔｈ、かつV_2＝V_1＋Ｖｔｈもしくは、
V_1＜Ｖ－|Ｖｔｈ|、かつV_2＝V_1－|Ｖｔｈ|を満たすことを特徴とする半導体装置の駆動方法。

【請求項３１】請求項１乃至請求項３０に記載の半導体装置、または請求項２２に記載の半導体装置の駆動方法を用いることを特徴とする電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、トランジスタを有する半導体装置の構成に関する。本発明はまた、ガラス、プラスチック等の絶縁体上に作製される薄膜トランジスタ(以後、ＴＦＴと表記する)を有する半導体装置を含むアクティブマトリクス型発光装置の構成に関する。また、このような発光装置を用いた電子機器に関する。

【０００２】

【従来の技術】近年、エレクトロルミネッセンス(Electro Luminescence：ＥＬ)素子等を始めとした発光素子を用いた表示装置の開発が活発化している。発光素子は、自らが発光するために視認性が高く、液晶表示装置(ＬＣＤ)等において必要なバックライトを必要としないために薄型化に適しているとともに、視野角にほとんど制限が無い。

【０００３】ここで、ＥＬ素子とは、電場を加えることで発生するルミネッセンスが得られる発光層を有する素子を指す。この発光層においては、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から

SDC-1351-00000342
SDC EX. 2001 - 286/503

基底状態に戻る際の発光(燐光)とがあるが、本発明において、発光装置とは、上述したいずれの発光形態であっても良い。

【０００４】ＥＬ素子は、一対の電極(陽極と陰極)間に発光層が挟まれる形で構成され、通常、積層構造をとっている。代表的には、「陽極／正孔輸送層／発光層／電子輸送層／陰極」という積層構造が挙げられる。また、これ以外にも、陽極と陰極との間に、「正孔注入層／正孔輸送層／発光層／電子輸送層」または「正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層」の順に積層する構造がある。本発明の発光装置に用いるＥＬ素子の構造としては、上述の構造のいずれを採用していても良い。また、発光層に対して蛍光性色素等をドーピングしても良い。

【０００５】本明細書においては、ＥＬ素子において、陽極と陰極との間に設けられる全ての層を総称してＥＬ層と呼ぶ。よって、上述の正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層は、全てＥＬ素子に含まれ、陽極、ＥＬ層、および陰極で構成される発光素子をＥＬ素子と呼ぶ。

【０００６】図２０に、一般的な発光装置における画素の構成を示す。なお、代表的な発光装置として、ＥＬ表示装置を例とする。図２０に示した画素は、ソース信号線２００１、ゲート信号線２００２、スイッチング用ＴＦＴ２００３、駆動用ＴＦＴ２００４、容量手段２００５、ＥＬ素子２００６、電流供給線２００７、電源線２００８を有している。

【０００７】各部の接続関係について説明する。ここで、ＴＦＴはゲート、ソース、ドレインの３端子を有するが、ソース、ドレインに関しては、ＴＦＴの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース、ドレインのうち一方を第１の電極、他方を第２の電極と表記する。ＴＦＴのＯＮ、ＯＦＦについて、各端子の電位等(あるＴＦＴのゲート・ソース間電圧等)について説明が必要な際には、ソース、ドレイン等と表記する。

【０００８】また、本明細書において、ＴＦＴがＯＮしているとは、ＴＦＴのゲート・ソース間電圧がそのしきい値電圧を超え、ソース、ドレイン間が導通している状態をいい、ＴＦＴがＯＦＦしているとは、ＴＦＴのゲート・ソース間電圧がそのしきい値電圧を下回り、ソース、ドレイン間が導通していない（非導通となっている）状態をいう。ただし、ＴＦＴにおいてはオフリーク電流が存在するが、その大きさはオン電流に比べて小さいので、ここではオフリーク電流のみが流れる状態もまたＯＦＦしている状態に含むものとする。

【０００９】スイッチング用ＴＦＴ２００３のゲート電極は、ゲート信号線２００２に接続され、第１の電極はソース信号線２００１に接続され、第２の電極は駆動用ＴＦＴ２００４のゲート電極に接続されている。駆動用ＴＦＴ２００４の第１の電極は、電流供給線２００７に接続され、第２の電極はＥＬ素子２００６の第１の電極に接続されている。ＥＬ素子２００６の第２の電極は、電源線２００８に接続されている。電流供給線２００７と、電源線２００８とは、互いに電位差を有している。また、駆動用ＴＦＴ２００４のゲート・ソース間電圧を保持するために、駆動用ＴＦＴ２００４のゲート電極と第１の電極との間に容量手段２００５を設けても良い。

【００１０】ゲート信号線２００２にパルスが入力されてスイッチング用ＴＦＴ２００３がＯＮすると、ソース信号線２００１に出力されてきている映像信号は、駆動用ＴＦＴ２００４のゲート電極へと入力される。入力された映像信号の電位に従って、駆動用ＴＦＴ２００４のゲート・ソース間電圧が決定し、駆動用ＴＦＴ２００４のソース・ドレイン間を流れる電流(以下、ドレイン電流と表記)が決定する。この電流はＥＬ素子２００６に供給されて発光する。

【００１１】ところで、多結晶シリコン(ポリシリコン　以下Ｐ－Ｓｉ)で形成されたＴＦＴは、非晶質シリコン(アモルファスシリコン　以下Ａ－Ｓｉ)で形成されたＴＦＴよりも電界効果移動度が高く、ＯＮ電流が大きいため、発光装置に用いるトランジスタとしてより適している。

【００１２】反面、ポリシリコンで形成されたＴＦＴは、結晶粒界における欠陥に起因して、その電気的特性にばらつきが生じやすいといった問題点を有している。

【００１３】図２０に示した画素において、画素を構成するＴＦＴのしきい値電圧が画素ごとにばらつくと、同じ映像信号を入力した場合にも、それに応じてＴＦＴのドレイン電流の大きさが異なってくるため、ＥＬ素子２００６の輝度がばらつく。よってアナログ階調の場合、問題となっていた。

【００１４】最近、このような問題に鑑みて、ＴＦＴのしきい値電圧のばらつきを補正することの出来るものが提案されている。そのうちの１例としては、図２２に示すような構成が挙げられる（特許文献１参照）。

【００１５】

【特許文献１】国際公開番号９９－４８４０３号パンフレット（Ｐ２５、Ｆｉｇ３、Ｆｉｇ４）

【００１６】図２２に示した画素は、ソース信号線２２０１、第１～第３のゲート信号線２２０２～２２０４、ＴＦＴ２２０５～２２０８、容量手段２２０９(C_2)、２２１０(C_1)、電流供給線２２１２、ＥＬ素子２２１１を有する。

【００１７】ＴＦＴ２２０５のゲート電極は、第１のゲート信号線２２０２に接続され、第１の電極は、ソース信号線２２０１に接続され、第２の電極は、容量手段２２０９の第１の電極に接続されている。容量手段２２０９の第２の電極は、容量手段２２１０の第１の電極に接続され、容量手段２２１０の第２の電極は、電流供給線

SDC-1351-00000343
SDC EX. 2001 - 287/503

２２１２に接続されている。ＴＦＴ２２０６のゲート電極は、容量手段２２０９の第２の電極および容量手段２２１０の第１の電極に接続され、第１の電極は、電流供給線２２１２に接続され、第２の電極は、ＴＦＴ２２０７の第１の電極およびＴＦＴ２２０８の第１の電極に接続されている。ＴＦＴ２２０７のゲート電極は、第２のゲート信号線２２０３に接続され、第２の電極は、容量手段２２０９の第２の電極および容量手段２２１０の第１の電極に接続されている。ＴＦＴ２２０８のゲート電極は、第３のゲート信号線２２０４に接続され、第２の電極は、ＥＬ素子２２１１の第１の電極に接続されている。ＥＬ素子２２１１の第２の電極には、電源線２２１３に接続され、電流供給線２２１２とは互いに電位差を有する。

【００１８】図２２(B)および図２３(A)～(F)を用いて、動作について説明する。図２２(B)は、ソース信号線２２０１、第１～第３のゲート信号線２２０２～２２０４に入力される映像信号およびパルスのタイミングを示しており、図２３に示す各動作にあわせて、I～VIIIの区間に分割している。また、図２２に示した画素の一例では、４つのＴＦＴを用いて構成され、その極性は全てＰチャネル型である。よって、ゲート電極にＬレベルが入力されてＯＮし、Ｈレベルが入力されてＯＦＦするものとする。また、ソース信号線２２０１に入力される映像信号は、ここでは入力される期間のみを示すためパルスで示しているが、アナログ階調方式の場合は、所定のアナログ電位をとる。

【００１９】まず、第１のゲート信号線２２０２がＬレベルとなり、ＴＦＴ２２０５がＯＮする(区間I)。続いて第２、第３のゲート信号線２２０３、２２０４がＬレベルとなり、ＴＦＴ２２０７、２２０８がＯＮする。ここで、図２３(A)に示すように、容量手段２２０９、２２１０に電荷が貯まり、容量手段２２１０が保持する電圧が、ＴＦＴ２２０６のしきい値電圧(V_{th})を上回ったところで、ＴＦＴ２２０６がＯＮする(区間II)。

【００２０】続いて、第３のゲート信号線２２０４がＨレベルとなって、ＴＦＴ２２０８がＯＦＦする。すると、容量手段２２０９、２２１０に貯まっていた電荷が再び移動し、容量手段２２１０に保持される電圧は、やがてV_{th}に等しくなる。このとき、図２３(B)にも示すように、電流供給線２２１２、ソース信号線２２０１の電位はいずれもV_{DD}であるので、容量手段２２０９においても、保持されている電圧はV_{th}に等しくなる。よって、やがてＴＦＴ２２０６はＯＦＦする。

【００２１】前述のように、容量手段２２０９、２２１０に保持されている電圧がV_{th}に等しくなったところで、第２のゲート信号線２２０３がＨレベルとなり、ＴＦＴ２２０７がＯＦＦする(区間IV)。この動作により、図２３(C)に示すように、容量手段２２０９においてV_{th}が保持される。

【００２２】このとき、容量手段２２１０(C_1)に保持されている電荷Q_1については、式(１)のような関係が成立する。同時に、容量手段２２０９(C_2)に保持されている電荷Q_2においては、式(２)のような関係が成立する。

【００２３】

【数１】

$$Q_1=C_1\times|V_{th}| \quad \cdots\cdots\cdots\cdots\cdots\cdots(1)$$

【００２４】

※ ※【数２】

$$Q_2=C_2\times|V_{th}| \quad \cdots\cdots\cdots\cdots\cdots\cdots(2)$$

【００２５】続いて、図２３(D)に示すように、映像信号の入力が行われる(区間V)。ソース信号線２２０１に映像信号が出力されて、その電位はV_{DD}から映像信号の電位V_{Data}(ここでは、ＴＦＴ２２０６がＰチャネル型であるので、$V_{DD}>V_{Data}$とする。)となる。このときの、ＴＦＴ２２０６のゲート電極の電位をV_Pとし、この★のノードにおける電荷をＱとすると、容量手段２２０９、２２１０とを含めた電荷保存則により、式(３)、(４)のような関係が成立する。

【００２６】

【数３】

$$Q+Q_1=C_1\times(V_{DD}-V_P) \quad \cdots\cdots\cdots\cdots\cdots\cdots(3)$$

【００２７】

☆ ☆【数４】

$$Q-Q_2=C_2\times(V_P-V_{Data}) \quad \cdots\cdots\cdots\cdots\cdots\cdots(4)$$

【００２８】式(１)～(４)より、ＴＦＴ２２０６のゲート電極の電位V_Pは、式(５)で表される。

【００２９】

【数５】

$$V_P=\frac{C_1}{C_1+C_2}V_{DD}+\frac{C_2}{C_1+C_2}V_{Data}-|V_{th}| \quad \cdots\cdots\cdots(5)$$

【００３０】よって、ＴＦＴ２２０６のゲート・ソース間電圧V_{GS}は、式(６)で表される。

【００３１】

SDC-1351-00000344
SDC EX. 2001 - 288/503

【数６】

$$V_{GS}=V_P-V_{DD}$$
$$=\frac{C_2}{C_1+C_2}(V_{Data}-V_{DD})-|V_{th}|$$
$$=\frac{C_2}{C_1+C_2}(V_{Data}-V_{DD})+V_{th} \quad \cdots\cdots\cdots\cdots(6)$$

【００３２】式(6)右辺には、V_{th}の項が含まれる。すなわち、ソース信号線２２０１より入力される映像信号には、その画素におけるＴＦＴ２２０６のしきい値電圧が上乗せされて容量手段２２０９、２２１０によって保持される。

【００３３】映像信号の入力が完了すると、第１のゲート信号線２２０２がＨレベルとなって、ＴＦＴ２２０５がＯＦＦする(区間ＶI)。その後、ソース信号線は所定の電位に戻る(区間ＶII)。以上の動作によって、映像信号の画素への書き込み動作が完了する(図２３(Ｅ))。

【００３４】続いて、第３のゲート信号線２２０４がＬレベルとなり、ＴＦＴ２２０８がＯＮし、ＥＬ素子２２１１に図２３(Ｆ)に示すように電流が流れることによってＥＬ素子２２１１が発光する。このときＥＬ素子２２１１に流れる電流の値は、ＴＦＴ２２０６のゲート・ソース間電圧に従ったものであり、ＴＦＴ２２０６を流れるドレイン電流I_{DS}は、式(7)で表される。

【００３５】

【数７】

$$I_{DS}=\frac{\beta}{2}(V_{GS}-V_{th})^2$$
$$=\frac{\beta}{2}\{\frac{C_2}{C_1+C_2}(V_{Data}-V_{DD})\}^2 \quad \cdots\cdots\cdots\cdots(7)$$

【００３６】式(7)より、ＴＦＴ２２０６のドレイン電流I_{DS}には、しきい値電圧V_{th}の値に依存しないことがわかる。よって、ＴＦＴ２２０６のしきい値電圧がばらついた場合にも、画素ごとにその値を補正して映像信号に上乗せすることにより、映像信号の電位V_{Data}に従った電流がＥＬ素子２２１１に流れることがわかる。

【００３７】

【発明が解決しようとする課題】しかし、前述の構成の場合、容量手段２２０９、２２１０の容量値がばらついた場合には、ＴＦＴ２２０６のドレイン電流I_{DS}がばらついてしまうことになる。そこで、本発明においては、容量値のばらつきの影響を受けることのない構成によって、ＴＦＴのしきい値電圧のばらつきを補正することの出来る半導体装置を画素に用いた発光装置を提供することを目的とする。

【００３８】

【課題を解決するための手段】本発明の動作原理を、図２９を用いて説明する。図２９（Ａ）（Ｂ）のような回路を考える。スイッチ素子２９０１、２９０３、２９１１、２９１３は、それぞれSignal1、Signal2によって制御される素子であり、ＴＦＴ等によってＯＮ、ＯＦＦが出来るもので良い。ここで、単一方向にのみ電流が流れる素子を、整流性素子と定義する。整流性素子としては、ダイオードや、ゲート・ドレイン間を接続（このような接続をダイオード接続と表記する）したＴＦＴが挙げられる。

【００３９】図２９（Ａ）（Ｂ）に示すように、スイッチ素子２９０１、２９１１、整流性素子２９０２、２９１２、スイッチ素子２９０３、２９１３を接続した回路を考える。

【００４０】ここで、回路の一端より、ある信号が入力され、回路の他端は、ある一定電位が与えられているとする。図２９（Ａ）の場合、入力される信号をV_x、一定電位をV_{ss}（$\leqq V_x-|V_{th}P|$：$V_{th}P$はＴＦＴのしきい値電圧）とし、図２９（Ｂ）の場合、入力される信号をV_x、一定電位をV_{DD}（$\geqq V_x+|V_{th}N|$：$V_{th}N$はＴＦＴのしきい値電圧）とする。

【００４１】今、図２９（Ｃ）においてiで示される期間で、スイッチ素子２９０３、２９１３が導通する。すると、図２９（Ａ）において、整流性素子（ここでは整流性素子にダイオード接続ＴＦＴを用いたものとする。）であるＴＦＴ２９０２のドレイン電極およびゲート電極の電位が低下する。図２９（Ｂ）においては、ＴＦＴ２９１２の第２の電極およびゲート電極の電位が上昇する。整流性素子２９０２、２９１２のいずれも、両電極間の電圧がしきい値電圧の絶対値を上回るため、ＴＦＴ２９０２、２９１２はともにＯＮする。ただしこのとき、スイッチ素子２９０１、２９１１は共にＯＦＦしており、電流は流れない。

【００４２】その後、図２９（Ｃ）においてiiで示される期間で、スイッチ素子２９０１、２９０３、２９１１、２９１３が導通する。この期間で、ＴＦＴ２９０２、２９１２のゲート・ソース間電圧はそれぞれ、$V_{ss}-V_x$、$V_{DD}-V_x$となり、それぞれのＴＦＴのしきい値電圧の絶対値を上回り、$V_x \rightarrow V_{ss}$へ、$V_{DD} \rightarrow V_x$へ電流が流れる。

【００４３】続いて、図２９（Ｃ）においてiiiで示される期間で、スイッチ素子２９０１、２９１１が導通し、かつスイッチ素子２９０３、２９１３が非導通となる。このとき、ＴＦＴ２９０２、２９１２のソース電位はV_xである。今、ＴＦＴ２９０２、２９１２のゲート・ソース間電圧はそのしきい値電圧の絶対値を上回っており、ＴＦＴ２９０２、２９１２はＯＮ状態であるため、電流が流れつづける。これにより、ＴＦＴ２９０２のドレイン電位は上昇し、ＴＦＴ２９１２のドレイン電位は下降する。やがて、ＴＦＴ２９０２、２９１２のゲート・ソース間電圧は、そのしきい値電圧に等しくなり、ＴＦＴ２９０２、２９１２はともにＯＦＦする。このとき、ＴＦＴ２９０２、２９１２のドレイン電位はそれぞれ、$V_x-|V_{th}P|$、$V_x+|V_{th}N|$となる。つま

SDC-1351-00000345
SDC EX. 2001 - 289/503

り、ＴＦＴ２９０２、２９１２によって、入力される信号の電位V_xに、それぞれのしきい値電圧を上乗せする動作が行われる。ＴＦＴ２９０２、２９１２のゲート電極の電位をそれぞれ、V_{G2902}、V_{G2912}とすると、上記の動作において、V_{G2902}、V_{G2912}はそれぞれ、図２９（Ｄ）に示すような電位をとる。

【００４４】本発明においては、ソース信号線より画素に入力される映像信号は、図２９（Ａ）（Ｂ）において２９０２、２９１２で示したような、ゲート・ドレイン間を接続したＴＦＴを経て、ＥＬ素子に電流を供給するためのＴＦＴのゲート電極に所望の電位が印加される。ここで、ゲート・ドレイン間を接続したＴＦＴにおいて、そのソース・ドレイン間には、ＴＦＴのしきい値電圧に等しい電位差が生ずる。よって、駆動用ＴＦＴのゲート電極には、映像信号にしきい値電圧分だけオフセットをかけた電位を印加するようにする。

【００４５】なお、ＴＦＴ２９０２、２９１２は、図２９（Ｅ）に示すように、それぞれダイオード２９２２、２９３２を用いても良い。

【００４６】また、スイッチ素子２９０３、２９１３についても、図２９（Ｆ）に示すように、ダイオード２９２３、２９３３を用い、図２９（Ｃ）における区間iiiの動作で、V_{DD}もしくはV_{SS}の電位を変化させることによってV_{G2902}、V_{G2912}に同様の振る舞いをさせることも出来る。

【００４７】ここで用いるダイオードには、通常のＰＮ接合を有するダイオードの他、前述のダイオード接続ＴＦＴを用いても良い。

【００４８】また、スイッチ素子２９０１、２９１１は共に省略しても良い。つまり、整流性素子２９０２、２９１２の第１の電極に、信号V_xが入力されても良い。

【００４９】ここでは、発光装置におけるＴＦＴのしきい値電圧のばらつきを補正し、ＥＬ素子の輝度ばらつきを低減することを課題とし、それに対する解決方法として述べているが、本発明の動作原理は、発光装置におけるＴＦＴのしきい値電圧のばらつきを補正するためだけにとどまらず、他の電子回路にももちろん応用が可能である。

【００５０】また、本発明におけるトランジスタとしては、主としてＴＦＴを用いて構成したものを例として挙げているが、単結晶トランジスタ又は有機物を利用したトランジスタでもよい。例えば、単結晶トランジスタとしては、ＳＯＩ技術を用いて形成されたトランジスタとすることができる。また、薄膜トランジスタとしては、活性層として多結晶半導体を用いたものでも、非晶質半導体を用いたものでもよい。例えば、ポリシリコンを用いたＴＦＴや、アモルファスシリコンを用いたＴＦＴとすることができる。その他、バイポーラトランジスタや、カーボンナノチューブ等により形成されたトランジスタを用いても良い。

【００５１】本発明の構成を以下に記す。

【００５２】本発明の半導体装置は、スイッチ素子と、整流性素子とを有し、前記整流性素子の第１の電極には、第１の信号Ｖ１が入力され、第２の電極は、前記スイッチ素子の第１の電極と電気的に接続され、前記スイッチ素子の第２の電極には、ある電位Ｖが与えられる半導体装置であって、前記整流性素子の第２の電極より、前記信号V_1から前記整流性素子のしきい値電圧Ｖｔｈだけオフセットした信号V_2を得ることを特徴としている。

【００５３】本発明の半導体装置は、第１および第２のスイッチ素子と、整流性素子とを有し、前記第１のスイッチ素子の第１の電極には、第１の信号Ｖ１が入力され、第２の電極は、前記整流性素子の第１の電極と電気的に接続され、前記整流性素子の第２の電極は、前記第２のスイッチ素子の第１の電極と電気的に接続され、前記第２のスイッチ素子の第２の電極には、ある電位Ｖが与えられる半導体装置であって、前記整流性素子の第２の電極より、前記信号V_1から前記整流性素子のしきい値電圧Ｖｔｈだけオフセットした信号V_2を得ることを特徴としている。

【００５４】本発明の半導体装置は、第１および第２の整流性素子とを有し、前記第１の整流性素子の第１の電極には、第１の信号Ｖ１が入力され、第２の電極は、前記第２の整流性素子の第１の電極と電気的に接続され、前記第２の整流性素子の第２の電極には、ある電位Ｖが与えられる半導体装置であって、前記第１の整流性素子の第２の電極より、前記信号V_1から前記第１の整流性素子のしきい値電圧Ｖｔｈだけオフセットした信号V_2を得ることを特徴としている。

【００５５】本発明の半導体装置は、前記整流性素子とは、ゲート・ドレイン間を接続したトランジスタを用いてなり、前記トランジスタの極性がＮチャネル型であり、しきい値電圧がＶｔｈであるとき、$V_1+Vth<V$、かつ$V_2=V_1+Vth$を満たし、前記トランジスタの極性がＮチャネル型であり、しきい値電圧がＶｔｈであるとき、$V_1>V+|Vth|$、かつ$V_2=V_1-|Vth|$を満たすことを特徴としている。

【００５６】本発明の半導体装置は、前記整流性素子とは、ダイオードを用いてなり、前記ダイオードのしきい値電圧がＶｔｈであるとき、$V_1>V+Vth$、かつ$V_2=V_1-|Vth|$もしくは、$V_1<V-|Vth|$、かつ$V_2=V_1+Vth$を満たすことを特徴としている。

【００５７】本発明の半導体装置は、発光素子を備えた画素を有する半導体装置であって、前記画素は、ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前

SDC-1351-00000346
SDC EX. 2001 - 290/503

記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴としている。

【００５８】本発明の半導体装置は、発光素子を備えた画素を有する半導体装置であって、前記画素は、ソース信号線と、ゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記ゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記画素より少なくとも１行前に走査される行の画素の有するゲート信号線と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴としている。

【００５９】本発明の半導体装置は、発光素子を備えた画素を有する半導体装置であって、前記画素は、ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記第２のトランジスタのゲート電極および第１の電極と電気的に接続され、第２の電極は、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、前記第２のトランジスタの第２の電極は、前記ソース信号線と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴としている。

【００６０】本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記第２のトランジスタのゲート電極と、前記第２のトランジスタの第１の電極と、前記第３のトランジスタの第１の電極と電気的に接続され、第２の電極は、前記第４のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴としている。

【００６１】本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、ゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記第２のトランジスタのゲート電極と、前記第２のトランジスタの第１の電極と、前記第３のトランジスタの第１の電極と電気的に接続され、第２の電極は、前記第４のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記画素より少なくとも１行前に走査される行の画素の有するゲート信号線と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴としている。

【００６２】本発明の半導体装置は、前記第３のトランジスタの第２の電極は、リセット用電源線と電気的に接続されていることを特徴としている。

【００６３】本発明の半導体装置は、前記第３のトランジスタの第２の電極は、前記画素と異なる行において走査されるいずれかの画素が有するゲート信号線のうちいずれか１本と電気的に接続されていることを特徴としている。

【００６４】本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第４のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極および、前記第３のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第２の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続されていることを特徴としている。

【００６５】本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソ

SDC-1351-00000347
SDC EX. 2001 - 291/503

ース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第３のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極および、前記第３のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記容量手段の第１の電極は、前記第３のトランジスタのゲート電極と電気的に接続され、第２の電極は、前記第２のゲート信号線と電気的に接続されていることを特徴としている。

【００６６】本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第３のトランジスタと、ダイオードと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極および、前記第３のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記ダイオードの第１の電極は、前記第３のトランジスタのゲート電極と電気的に接続され、第２の電極は、前記第２のゲート信号線と電気的に接続され、前記第２のゲート信号線の電位を変化させたとき、前記第１の電極から前記第２の電極、もしくは前記第２の電極から前記第１の電極のいずれか一方向にのみ電流を生ずることを特徴としている。

【００６７】本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第５のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第４のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタが導通することによって、前記第４のトランジスタのゲート・ソース間電圧を０とすることを特徴としている。

【００６８】本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第１および第２のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記画素より少なくとも１行前に走査される行の画素の有する前記第１のゲート信号線と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第５のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第４のトランジスタのゲート電極と電気的に接続され、前記第５のトランジスタが導通することによって、前記第４のトランジスタのゲート・ソース間電圧を０とすることを特徴としている。

【００６９】本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極と電気的に接続され、前記第

SDC-1351-00000348
SDC EX. 2001 - 292/503

５のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第２の電極と電気的に接続され、前記第５のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴としている。

【００７０】本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記画素より少なくとも１行前に走査される行の画素の有する前記第１のゲート信号線と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極と電気的に接続され、前記第５のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第２の電極と電気的に接続され、前記第５のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴としている。

【００７１】本発明の半導体装置は、前記第３のトランジスタの第２の電極は、リセット用電源線と電気的に接続されていることを特徴としている。

【００７２】本発明の半導体装置は、前記第３のトランジスタの第２の電極は、前記画素を除くいずれかの行において走査されるいずれかの画素が有するゲート信号線のうちいずれか１本と電気的に接続されていることを特徴としている。

【００７３】本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号と、第１および第２のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記画素の１行前に走査される行の画素の有する前記第１のゲート信号線と電気的に接続され、第２の電極は、前記第２のゲート信号線と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極と電気的に接続され、前記第５のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第５のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴としている。

【００７４】本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号と、第１および第２のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のトランジスタの第２の電極と、前記第３のトランジスタの第１の電極と、前記第４のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記画素の１行前に走査される行の画素の有する前記第１のゲート信号線と電気的に接続され、第２の電極は、前記第１のゲート信号線と電気的に接続され、前記第４のトランジスタの第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極と電気的に接続され、前記第５のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第５のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴としている。

【００７５】本発明の半導体装置は、前記半導体装置は、保持容量手段を有し、前記保持容量手段の第１の電極は、前記第１のトランジスタの第２の電極と電気的に接続され、第２の電極には、一定電位が与えられ、前期第１のトランジスタの第２の電極における電位を保持することを特徴としている。

【００７６】本発明の半導体装置は、前記半導体装置は、保持容量手段を有し、前記保持容量手段の第１の電極は、前記第４のトランジスタのゲート電極と電気的に接続され、第２の電極には、一定電位が与えられ、前期第４のトランジスタのゲート電極に印加される電位を保持することを特徴としている。

【００７７】本発明の半導体装置は、スイッチ素子と、整流性素子とを有し、前記整流性素子の第１の電極には、第１の信号Ｖ１が入力され、第２の電極は、前記ス

SDC-1351-00000349
SDC EX. 2001 - 293/503

イッチ素子の第１の電極と電気的に接続され、前記スイッチ素子の第２の電極には、ある電位Ｖが与えられる半導体装置の駆動方法であって、前記スイッチ素子を導通して、前記整流性素子の第２の電極の電位をＶとする第１のステップと、前記第１のステップから、前記スイッチ素子を非導通とし、前記整流性素子の両電極間の電圧を、前記整流性素子のしきい値電圧Ｖｔｈに収束させる第２のステップと、前記しきい値電圧Ｖｔｈを保持し、前記整流性素子の第２の電極より、前記信号V_1から前記しきい値電圧Ｖｔｈだけオフセットした信号V_2を得る第３のステップとを有することを特徴としている。

【００７８】本発明の半導体装置は、第１および第２のスイッチ素子と、整流性素子とを有し、前記第１のスイッチ素子の第１の電極には、第１の信号Ｖ１が入力され、第２の電極は、前記整流性素子の第１の電極と電気的に接続され、前記整流性素子の第２の電極は、前記第２のスイッチ素子の第１の電極と電気的に接続され、前記第２のスイッチ素子の第２の電極には、ある電位Ｖが与えられる半導体装置の駆動方法であって、前記第２のスイッチ素子を導通して、前記整流性素子の第２の電極の電位をＶとする第１のステップと、前記第１のステップから、さらに前記第１のスイッチ素子を導通して、前記整流性素子第１の電極の電位をV_1とする第２のステップと、前記第２のステップから、前記第２のスイッチを非導通とし、前記整流性素子の両電極間の電圧を、前記整流性素子のしきい値電圧Ｖｔｈに収束させる第３のステップと、前記第３のステップから、さらに第１のスイッチを非導通とし、前記しきい値電圧Ｖｔｈを保持し、前記整流性素子の第２の電極より、前記信号V_1から前記しきい値電圧Ｖｔｈだけオフセットした信号V_2を得る第４のステップとを有することを特徴としている。

【００７９】本発明の半導体装置は、第１および第２の整流性素子とを有し、前記第１の整流性素子の第１の電極には、第１の信号Ｖ１が入力され、第２の電極は、前記第２の整流性素子の第１の電極と電気的に接続され、前記第２の整流性素子の第２の電極には、ある電位Ｖが与えられる半導体装置の駆動方法であって、前記第１の整流性素子のしきい値電圧をＶｔｈとし、Ｖ１＞（Ｖ－|Ｖｔｈ|）のとき、前記第２の整流性素子の第２の電極の電位をＶ→V_0（V_0＞Ｖ）とし、前記第２の整流性素子を流れる電流を遮断する第１のステップと、前記第１の整流性素子の第２の電極より、前記信号V_1から前記しきい値電圧Ｖｔｈだけオフセットした信号V_2を得る第２のステップとを有することを特徴としている。

【００８０】本発明の半導体装置は、前記整流性素子とは、ゲート・ドレイン間を接続したトランジスタを用いてなり、前記トランジスタの極性がＮチャネル型であり、しきい値電圧がＶｔｈであるとき、V_1＋|Ｖｔｈ|＜Ｖ、かつV_2＝V_1＋Ｖｔｈを満たし、前記トランジスタの極性がＰチャネル型であり、しきい値電圧がＶｔｈであるとき、V_1＞Ｖ＋Ｖｔｈ、かつV_2＝V_1－|Ｖｔｈ|を満たすことを特徴としている。

【００８１】本発明の半導体装置は、前記整流性素子とは、ダイオードを用いてなり、前記ダイオードのしきい値電圧がＶｔｈであるとき、V_1＞Ｖ＋Ｖｔｈ、かつV_2＝V_1－|Ｖｔｈ|もしくは、V_1＜Ｖ－|Ｖｔｈ|、かつV_2＝V_1＋Ｖｔｈを満たすことを特徴としている。

【００８２】

【発明の実施の形態】[実施の形態１]図１(Ａ)に、本発明の第１の実施形態を示す。ソース信号線１０１、第１、第２のゲート信号線１０２、１０３、ＴＦＴ１０４～１０７、ＥＬ素子１０９、電流供給線１１０、リセット用電源線１１１、電源線１１２を有する。さらに、映像信号を保持するための容量手段１０８を設けても良い。

【００８３】ＴＦＴ１０４のゲート電極は、第１のゲート信号線１０２に接続され、第１の電極は、ソース信号線１０１に接続され、第２の電極は、ＴＦＴ１０５の第１の電極に接続されている。ＴＦＴ１０５のゲート電極と第２の電極とは互いに接続され、ＴＦＴ１０６の第１の電極および、ＴＦＴ１０７のゲート電極に接続されている。ＴＦＴ１０６のゲート電極は、第２のゲート信号線１０３に接続され、第２の電極は、リセット用電源線１１１に接続されている。ＴＦＴ１０７の第１の電極は、電流供給線１１０に接続され、第２の電極は、ＥＬ素子１０９の第１の電極に接続されている。ＥＬ素子１０９の第２の電極は、電源線１１２に接続され、電流供給線１１０とは互いに電位差を有している。容量手段１０８を設ける場合には、ＴＦＴ１０７のゲート電極と、電流供給線１１０等の定電位を得られる部位との間に設ければ良い。また、ＴＦＴ１０４の第２の電極と、電流供給線１１０等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

【００８４】図１(Ｂ)は、第１、第２のゲート信号線に入力するパルスのタイミングを示している。図１(Ｂ)および図２を用いて、動作について説明する。なお、ここではＴＦＴ１０４、１０６はＮチャネル型として構成しているので、ゲート信号線の電位がＨレベルのときにＴＦＴがＯＮし、Ｌレベルのときに ＴＦＴがＯＦＦするものとしているが、ＴＦＴ１０４、１０６は単にスイッチング素子として機能するものであり、その極性は問わない。

【００８５】今、ソース信号線１０１の電位がV_{DD}、電流供給線の電位がV_{DD}、リセット用電源線の電位がV_{Reset}(＜V_{DD}－|V_{th}|)であるとし、ＴＦＴ１０５については、ゲート(Ｇ)、ソース(Ｓ)、ドレイン(Ｄ)を図２(Ａ)のように定義する。まず、第２のゲート信号線１０３にパルスが入力されてＴＦＴ１０６がＯＮする。よっ

SDC-1351-00000350
SDC EX. 2001 - 294/503

て、図２(A)に示すように、ＴＦＴ１０５のドレイン電位が低下して、ＴＦＴ１０５のゲート・ソース間電圧V_{GS}＜０となり、さらにしきい値電圧V_{th}の絶対値を上回って、ＴＦＴ１０５がＯＮする。同時に、ＴＦＴ１０７のゲート・ソース間電圧もまたしきい値電圧の絶対値を上回るため、ＯＮする。

【００８６】続いて、ＴＦＴ１０６がＯＦＦし、第１のゲート信号線１０２にパルスが入力されてＴＦＴ１０４がＯＮする。ここで、ソース信号線には映像信号が出力されてきており、その電位がV_{Data}(V_{Reset}＜V_{Data}＜V_{DD})となっているため、ＴＦＴ１０５のソース電位がV_{Data}へと上昇する。すると、ＴＦＴ１０５を経て、ＴＦＴ１０７のゲート電極の電位、すなわちＴＦＴ１０５のゲート電極の電位も上昇する。その電位が$V_{Data}-|V_{th}|$となったところで、ＴＦＴ１０５のゲート・ソース間電圧がそのしきい値電圧に等しくなるので、ＴＦＴ１０５がＯＦＦし、ＴＦＴ１０７のゲート電極の電位、すなわちＴＦＴ１０５のゲート電極の電位の上昇が停止する(図２(Ｂ))。

【００８７】続いて、ＴＦＴ１０４がＯＦＦし、発光期間に移る。今、ＴＦＴ１０７のゲート電極には、所望の映像信号の電位に、しきい値電圧を上乗せした電位が印加されており、図２(C)に示すように、それに見合った電流が電流供給線１１０よりＴＦＴ１０７を経てＥＬ素子１０９に流れ、発光する。ところで、実際には、図２(A)の初期化の段階でＴＦＴ１０７のゲート電極には、しきい値電圧の絶対値を上回る電位が印加されてＯＮし、最大輝度で発光しているが、第１、第２のゲート信号線が選択される期間は、実際の発光期間に比べて十分に短く、いかなる場合にも同様に発光するため、相対的な輝度のばらつきに影響することはない。

【００８８】以上のような動作によって、画素の制御を行う。このとき、ＴＦＴ１０７を流れるドレイン電流I_{DS}は、式(8)にて表される。

【００８９】

【数８】

$$I_{DS}=\frac{\beta}{2}(V_{GS}-V_{th})^2$$
$$=\frac{\beta}{2}\{(V_{Data}+V_{th}-V_{DD})-V_{th}\}^2$$
$$=\frac{\beta}{2}\{V_{Data}-V_{DD}\}^2 \quad \cdots\cdots\cdots\cdots (8)$$

【００９０】仮に画面内の画素において、ＴＦＴのしきい値電圧のばらつきが生じた場合にも、１つの画素を構成するＴＦＴ、具体的にはＴＦＴ１０５、１０７のしきい値電圧が等しければ、その項は相殺され、I_{DS}はしきい値電圧の項を含まなくなる。つまり、しきい値電圧に関係なく、I_{DS}を決定することが出来、しきい値電圧のばらつきの影響を排除することが出来る。

【００９１】[実施の形態２]前述のアナログ階調方式とは異なる駆動方式として、ＴＦＴのしきい値電圧等がＯＮ電流に影響しにくい領域を用いて、ＥＬ素子を輝度１００％、０％の２つの状態のみで駆動するデジタル階調方式が提案されている。この方式では、白、黒の２階調しか表現出来ないため、時間階調方式等と組み合わせて多階調化を実現している。

【００９２】デジタル階調方式と時間階調方式とを組み合わせた方法を用いる場合の半導体装置の画素の構成は、図２１(A)に示したようなものがある。スイッチング用ＴＦＴ２１０４、駆動用ＴＦＴ２１０５に加え、消去用ＴＦＴ２１０６を用いることによって、発光時間の長さを細かく制御することが可能となっている。

【００９３】デジタル階調方式と時間階調方式とを組み合わせた場合、図２１(B)に示すように、１フレーム期間を複数のサブフレーム期間に分割する。各サブフレーム期間は、図２１(C)に示すように、アドレス(書き込み)期間と、サステイン(発光)期間と、消去期間とを有する。表示ビット数に応じた数のサブフレーム期間を設け、各サブフレーム期間におけるサステイン(発光)期間の長さを、$2^{(n-1)}:2^{(n-2)}:\cdots:2:1$とし、各サステイン（発光）期間でＥＬ素子の発光、もしくは非発光の選択をし、ＥＬ素子が発光している合計期間の長さの差を利用して階調表現を行う。発光している期間が長ければ輝度が高く、短ければ輝度が低くなる。なお、図２１においては４ビット階調の例を示しており、１フレーム期間は４つのサブフレーム期間に分割され、サステイン（発光）期間の組み合わせによって、$2^4=16$階調を表現出来る。

【００９４】時間階調方式を用いて多階調化を図る場合、下位ビットのサステイン(発光)期間の長さがより短くなるため、サステイン(発光)期間の終了後、直ちに次のアドレス期間を開始しようとすると、異なるサブフレーム期間のアドレス(書き込み)期間が重複する期間が生ずる。その場合、ある画素に入力される映像信号が、同時に異なる画素にも入力されてしまうため、正常な表示が出来なくなる。消去期間は、このような問題を解決するために設けられており、図２１(B)に示すように、Ｔｓ３の後、およびＴｓ４の後で、異なる２つのアドレス(書き込み)期間が重複しないように設けられる。よって、サステイン(発光)期間が十分に長く、異なる２つのアドレス(書き込み)期間の重複が生ずる心配の無いＳＦ１、ＳＦ２においては、消去期間は設けられていない。

【００９５】図９(A)は、実施の形態１において示した構成の画素に、第３のゲート信号線９１３、消去用ＴＦＴ９１４を追加し、デジタル階調方式と時間階調方式とを組み合わせた方法を用いるものである。消去用ＴＦＴ９１４のゲート電極は、第３のゲート信号線９１３に接続され、第１の電極は、ＴＦＴ９０７のゲート電極に接続され、第２の電極は、電流供給線９１０に接続されている。また、映像信号を保持するために、容量手段９０

SDC-1351-00000351
SDC EX. 2001 - 295/503

８を設ける場合には、ＴＦＴ９０７のゲート電極と、電流供給線９１０等の定電位を得られる部位との間に設ければ良い。また、ＴＦＴ９０４の第２の電極と、電流供給線９１０等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

【００９６】初期化および映像信号の入力の動作は、実施の形態１にて示したものと同様である。なお、初期化および映像信号の入力を行っている期間は、消去用ＴＦＴ９１４はＯＦＦしている。

【００９７】ここで、サステイン(発光)期間から消去期間における動作について、図９および図１１を用いて説明する。図１１(A)は、図２１(A)に示したものと同様であり、１フレーム期間は、図１１(B)に示すように、４つのサブフレーム期間を有する。サステイン（発光）期間が短いサブフレーム期間ＳＦ３、ＳＦ４においては、それぞれ消去期間Ｔｅ３、Ｔｅ４を有している。ここでは、ＳＦ３での動作を例として説明する。

【００９８】映像信号の入力が終了した後、図９(B)に示すように、ＴＦＴ９０７のゲート・ソース間電圧に応じた電流がＥＬ素子９０９に流れて発光する。その後、当該サステイン(発光)期間の終了するタイミングに達すると、第３のゲート信号線９１３にパルスが入力されて消去用ＴＦＴ９１４がＯＮし、図９（Ｃ）に示すように、ＴＦＴ９０７のゲート・ソース間電圧を０とする。よってＴＦＴ９０７がＯＦＦし、ＥＬ素子９０９への電流が遮断され、強制的にＥＬ素子９０９は非発光となる。

【００９９】これらの動作をタイミングチャートとして、図１１（Ｃ）に示した。サステイン（発光）期間Ｔｓ３の後、第３のゲート信号線９１３にパルスが入力されてＥＬ素子９０９が非発光となってから、次に第２のゲート信号線９０３にパルスが入力されて、初期化が始まるまでの期間が消去期間Ｔｅ３となる。

【０１００】本実施形態にて用いている消去用ＴＦＴ９１４は、他の実施形態における構成と組み合わせて用いることも出来る。

【０１０１】[実施の形態３]実施の形態２において、消去期間においての動作は、ＴＦＴ９０７のゲート・ソース間電圧を０としてＯＦＦさせることによって、ＥＬ素子９０９への電流の供給を遮断している。この他の方法を用いた例を図１０（Ａ）に示す。実施の形態２においては、消去用ＴＦＴ９１４はＴＦＴ９０７のゲート電極と、電流供給線９１０との間に設けられていたのに対し、本実施形態においては、消去用ＴＦＴ９１４は、ＴＦＴ９０７とＥＬ素子９０９との間に設けられている。

【０１０２】初期化および映像信号の入力の動作については、実施の形態１と同様である。消去用ＴＦＴ９１４は、サステイン（発光）期間のみＯＮしている。初期化、映像信号の入力、および消去期間においてはＯＦＦし、ＥＬ素子９０９への電流を遮断する。

【０１０３】実施の形態２と動作面で異なる点としては、実施の形態２の場合は、一度消去用ＴＦＴ９１４をＯＮし、ＴＦＴ９０７のゲート・ソース間電圧を０とすれば、以後はＥＬ素子９０９が発光しないため、図１１に示すように、消去期間の開始するタイミングで、短いパルスを入力すれば良いが、本実施形態においては、消去用ＴＦＴは、サステイン期間を通じてＯＮしている必要があるため、第３のゲート信号線９１３には、図１２に示すように、サステイン（発光）期間と同じ長さのパルスを入力する。

【０１０４】このようなパルスを生成するのには、特別な回路は必要とせず、図２８（Ａ）に示すような、クロックドインバータ２８０２、インバータ２８０３等からなるＤ－フリップフロップ回路２８０１を複数段用いてなるシフトレジスタを用いて、外部より入力するスタートパルスの長さを変更することによって、図２８（Ｂ）に示すように、出力されるパルスの長さを変更して生成すれば良い。サステイン（発光）期間に合わせるための微調整は、パルス幅調整回路等を用いて容易に行うことが出来る。

【０１０５】なお、図９および図１０において、消去用ＴＦＴ９１４はＮチャネル型ＴＦＴを用い、第３のゲート信号線がＨレベルのときにＯＮし、ＬレベルのときにＯＦＦするが、特にその極性は問わない。

【０１０６】本実施形態にて用いている消去用ＴＦＴ９１４は、他の実施形態における構成と組み合わせて用いることも出来る。

【０１０７】[実施の形態４]実施の形態１に示した構成において、１画素を駆動するのに用いる信号線および電源線は、ソース信号線、第１および第２のゲート信号線、電流供給線、リセット用電源線である。実施の形態２、３においては、さらに第３のゲート信号線を用いて消去用ＴＦＴの制御を行う。図２０に示した従来の構成や、図２１に示した消去用ＴＦＴを有する構成と比較しても、画素部において配線の占める面積が大きく、開口率が低下するのは明らかである。

【０１０８】そこで、本実施形態においては、図１６に示すような構成の画素を用いる。図１６（Ａ）に示すように、ソース信号線１６０１、第１、第２のゲート信号線１６０３、１６０４、ＴＦＴ１６０５～１６０９、容量手段１６１０、ＥＬ素子１６１１、電流供給線１６１２等を有する。配線数は１画素あたり４本となっている。

【０１０９】図１６（Ａ）に示した画素が、ｉ行目の画素であるとして、構成について説明する。ＴＦＴ１６０５のゲート電極は、ｉ行目の第１のゲート信号線１６０３に接続され、第１の電極は、ソース信号線１６０１に接続され、第２の電極は、ＴＦＴ１６０６の第１の電極に接続されている。ＴＦＴ１６０６のゲート電極と第２

SDC-1351-00000352
SDC EX. 2001 - 296/503

の電極とは互いに接続され、ＴＦＴ１６０７の第１の電極および、ＴＦＴ１６０８のゲート電極に接続されている。ＴＦＴ１６０７のゲート電極は、ｉ－１行目のゲート信号線１６０２に接続され、第２の電極は、第２のゲート信号線１６０４に接続されている。ＴＦＴ１６０８の第１の電極は、電流供給線１６１２に接続され、第２の電極は、ＴＦＴ１６０９の第１の電極に接続されている。ＴＦＴ１６０９のゲート電極は、ｉ行目の第２のゲート信号線１６０４に接続され、第２の電極は、ＥＬ素子１６１１の第１の電極に接続されている。ＥＬ素子１６１１の第２の電極は、電源線１６１３に接続され、電流供給線１６１２とは互いに電位差を有する。容量手段１６１０は、ＴＦＴ１６０８のゲート電極を含むノードと、電流供給線１６１２との間に接続され、サステイン（発光）期間中に、ＴＦＴ１６０８のゲート電極に印加される電位を保持するものである。

【０１１０】動作について、図１６、図１７を用いて説明する。なお、ここでは、ＴＦＴ１６０５、１６０７、１６０９はいずれもＮチャネル型ＴＦＴを用い、ゲート電極にＨレベルのパルスが入力されてＯＮし、Ｌレベルが入力されてＯＦＦするものとして説明する。ここで、ＴＦＴ１６０９にＮチャネル型ＴＦＴを用いているのは、ＴＦＴ１６０７をＯＮして初期化を行う際、ｉ行目の第２のゲート信号線がＬレベルである必要があり、かつこのときＴＦＴ１６０９がＯＦＦしている必要があるためである。

【０１１１】今、ソース信号線１６０１の電位がV_{dd}、電流供給線の電位がV_{dd}、ゲート信号線がＬレベルにあるときの電位がV_{reset}($<V_{dd}-|V_{th}|$)であるとし、ＴＦＴ１６０６については、ゲート(G)、ソース(S)、ドレイン(D)を図１７(A)のように定義する。

【０１１２】ｉ－１行目の第１のゲート信号線１６０２が選択されているとき、すなわちｉ－１行目において映像信号の入力が行われているとき、ｉ行目の画素においては、ＴＦＴ１６０７がＯＮする。このとき、ｉ行目の第２のゲート信号線１６０４はＬレベルであるので、図１７（Ａ）に示すように、ＴＦＴ１６０８のゲート電極の電位が下がる。これによりＴＦＴ１６０８のゲート電極の電位が初期化される。

【０１１３】ｉ－１行目において、映像信号の入力が終了すると、ｉ－１行目の第１のゲート信号線１６０２はＬレベルとなり、ＴＦＴ１６０７がＯＦＦする。一方、ｉ行目の第１のゲート信号線１６０３が選択されてＨレベルとなり、ＴＦＴ１６０５がＯＮして、ｉ行目において映像信号が入力される。映像信号の電位がV_{Data}（ただし$V_{Data}+V_{th}<V_{dd}$）であるとき、ＴＦＴ１６０６のソース・ドレイン間電圧はV_{th}に等しく、ＴＦＴ１６０８のゲート電極の電位は、（$V_{Data}-V_{th}$）となる。このとき、ｉ＋１行目においては、前述と同様に初期化が行われている（図１７（Ｂ））。

【０１１４】映像信号の入力が終了し、ｉ行目においてはサステイン（発光）期間に移る。ｉ行目の第２のゲート信号線１６０４にＨレベルのパルスが入力されて、ＴＦＴ１６０９がＯＮし、図１７（Ｃ）に示すように、ＥＬ素子には、ＴＦＴ１６０８のゲート・ソース間電圧に応じた電流が流れて発光する。

【０１１５】本実施形態の特徴は、ある行の初期化を行うためのＴＦＴ１６０７の制御に、前行のゲート信号線選択パルスを利用する点と、選択されていないゲート信号線が一定電位であることを利用し、リセット用の電源線として利用している点にある。このような構成とすることによって、信号線の本数を最小限に留めて高開口率を得、かつ実施の形態２と同様の動作を行う構成が実現する。

【０１１６】なお、ＴＦＴ１６０７の第２の電極は、第２のゲート信号線１６０４に接続されているが、ＴＦＴ１６０７がＯＮするタイミングにおいてＬレベルとなっている信号線であれば、他の信号線でも良い。また、ＴＦＴ１６０７は、ｉ－１行目の第１のゲート信号線によって制御されているが、ｉ行目よりも前の行であれば、他の行でも良い。

【０１１７】[実施の形態５]実施の形態４においては、ＴＦＴ１６０９はＮチャネル型としていたが、これは初期化に用いたＴＦＴ１６０７のソース・ドレインの一端が、ｉ行目の第２のゲート信号線１６０４に接続されていたためであったことは前述の通りである。ところで、画素内では、開口率を高くするため、あるいはＴＦＴの特性にばらつきが生じにくくするためには、できるだけ近接配置することが望ましい。そこで、図１８（Ａ）に示すように、ＴＦＴ１８０９をＰチャネル型とし、ＴＦＴ１８０８とより近接して配置できる構成とする。

【０１１８】このとき、初期化に用いるＴＦＴ１８０７の接続が一部変更される。ＴＦＴ１８０７のゲート電極は、ｉ－１行目の第１のゲート信号線に接続され、第１の電極は、ＴＦＴ１８０８のゲート電極に接続されている。これは、前述のように、初期化の際にはＴＦＴ１８０７がＯＮして、ＴＦＴ１８０８のゲート電極の電位を下げなければならない。よって、ＴＦＴ１８０７のソース・ドレインの一端の接続先は、その期間ではＬレベルとなっている必要がある。ＴＦＴ１８０９をＰチャネル型としたことによって、ｉ行目の画素で初期化を行っている期間の、ｉ行目の第２のゲート信号線１８０４の電位はＨレベルであるために用いることが出来ない。よってその接続先を、ｉ行目の第Ｉのゲート信号線１８０２とした。

【０１１９】回路の動作については、図１９（Ａ）～（Ｃ）に示すが、ｉ行目の第２のゲート信号線１８０４のＨレベルとＬレベルの電位が反転している点を除き、実施の形態４と同様であるので、ここでは詳細な説明は省略する。ＴＦＴ１８０９は、そのＯＮ、ＯＦＦによっ

SDC-1351-00000353
SDC EX. 2001 - 297/503

てＥＬ素子への電流供給経路の導通もしくは非導通の選択を行うためのスイッチング素子として用いているため、動作上、その極性は問わない。よって、実施の形態４および本実施形態に関しては、実際の回路レイアウト等の事情によって、適宜選択すれば良い。

【０１２０】なお、ＴＦＴ１８０７の第２の電極は、第２のゲート信号線１８０３に接続されているが、ＴＦＴ１８０７がＯＮするタイミングにおいてＬレベルとなっている信号線であれば、他の信号線でも良い。また、ＴＦＴ１８０７は、ｉ－１行目の第１のゲート信号線によって制御されているが、ｉ行目よりも前の行であれば、他の行でも良い。

【０１２１】[実施の形態６]実施の形態１にて示した構成の接続を一部変更したものを図３（Ａ）に示す。実施の形態１においては、図１に示したように、ゲート・ドレイン間を接続したＴＦＴ１０５は、ＴＦＴ１０４の第２の電極と、ＴＦＴ１０７のゲート電極との間に設けられていたが、本実施形態の構成によると、ゲート・ドレイン間を接続したＴＦＴ３０５は、ソース信号線３０１と、ＴＦＴ３０４の第１の電極との間に設けられている。また、映像信号を保持するために、容量手段３０８等を設ける場合には、ＴＦＴ３０４の第２の電極と、電流供給線３１０等の定電位との間に設ければ良い。

【０１２２】図３（Ｂ）～（Ｄ）を用いて、動作について説明する。なお、ここではＴＦＴ３０４、３０６はＮチャネル型として構成しているので、ゲート信号線の電位がＨレベルのときにＴＦＴがＯＮし、ＬレベルのときにがV_{DD}ＴＦＴがＯＦＦするものとしているが、ＴＦＴ３０４、３０６は単にスイッチング素子として機能するものであり、その極性は問わない。

【０１２３】今、ソース信号線３０１の電位がV_{DD}、電流供給線の電位がV_{DD}、リセット用電源線の電位がV_{Reset}($<V_{DD}-|V_{th}|$)であるとし、ＴＦＴ３０５については、ゲート(G)、ソース(S)、ドレイン(D)を図３(B)のように定義する。

【０１２４】まず、第２のゲート信号線３０３にパルスが入力されてＴＦＴ３０６がＯＮする。ＴＦＴ３０６がＯＮしている間に、第１のゲート信号線３０２にパルスが入力されてＴＦＴ３０４がＯＮする。すると、図３(B)に示すように、ＴＦＴ３０５のドレイン電位が低下して、ＴＦＴ３０５のゲート・ソース間電圧$V_{GS}<0$となり、さらにしきい値電圧V_{th}の絶対値を上回って、ＴＦＴ３０５がＯＮする。ここで、ＴＦＴ３０６は、ＴＦＴ３０５がＯＮして前述の動作が行われ、ＴＦＴ３０５がＯＮした瞬間、速やかにＯＦＦするようにする。ＴＦＴ３０５、３０６が両方ともＯＮしている状態が長く続くと、やがてＴＦＴ３０５がＯＮし、ソース信号線３０１－リセット用電源線３１１間に電流パスが生ずるため、ＴＦＴ３０７のゲート電極の電位が低くならない場合があるためである。同時に、ＴＦＴ３０７のゲート・ソース間電圧もまたしきい値電圧の絶対値を上回るため、ＯＮする。

【０１２５】続いて、映像信号の入力が行われる。ソース信号線３０１には映像信号が出力されてきており、その電位がV_{Data}($V_{Reset}<V_{Data}<V_{DD}$)となっているため、ＴＦＴ３０５のソース電位が$V_{Data}$へと上昇する。すると、ＴＦＴ３０５、３０４を経て、ＴＦＴ３０７のゲート電極の電位も上昇する。その電位が$V_{Data}-|V_{th}|$となったところで、ＴＦＴ３０５のゲート・ソース間電圧がそのしきい値電圧に等しくなるので、ＴＦＴ３０５がＯＦＦし、ＴＦＴ３０７のゲート電極の電位も停止する(図３(C))。

【０１２６】続いて、発光期間に移る。ＴＦＴ３０７がＯＮした時点で発光が始まるが、映像信号が入力された後、ＴＦＴ３０７のゲート電位が（$V_{Data}-V_{th}$）となって初めて、それに応じた電流が電流供給線３１０よりＴＦＴ３０７を経てＥＬ素子３０９に流れ、発光する。

【０１２７】[実施の形態７]実施の形態６にて示した構成の接続を一部変更したものを図４（Ａ）に示す。実施の形態６においては、図３（Ａ）に示したように、ＴＦＴ３０４は、ＴＦＴ３０５の第２の電極と、ＴＦＴ３０６の第１の電極との間に設けられていたが、本実施形態の構成によると、ＴＦＴ４０４は、ＴＦＴ４０６の第１の電極と、ＴＦＴ４０７のゲート電極との間に設けられている。また、映像信号を保持するために、容量手段４０８を設ける場合には、ＴＦＴ４０７のゲート電極と、電流供給線４１０等の定電位を得られる部位との間に設ければ良い。また、ＴＦＴ４０５の第２の電極と、電流供給線４１０等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

【０１２８】図４（Ｂ）～（Ｄ）を用いて、動作について説明する。なお、ここではＴＦＴ４０４、４０６はＮチャネル型として構成しているので、ゲート信号線の電位がＨレベルのときにＴＦＴがＯＮし、ＬレベルのときにがV_{DD}ＴＦＴがＯＦＦするものとしているが、ＴＦＴ４０４、４０６は単にスイッチング素子として機能するものであり、その極性は問わない。

【０１２９】今、ソース信号線４０１の電位がV_{DD}、電流供給線の電位がV_{DD}、リセット用電源線の電位がV_{Reset}($<V_{DD}-|V_{th}|$)であるとし、ＴＦＴ４０５については、ゲート(G)、ソース(S)、ドレイン(D)を図４(B)のように定義する。

【０１３０】まず、第１、第２のゲート信号線４０２、４０３にパルスが入力されてＴＦＴ４０４、４０６がＯＮする。すると、図４（Ｂ）に示すように、ＴＦＴ４０５のドレイン電位が低下して、ＴＦＴ４０５のゲート・ソース間電圧$V_{GS}<0$となり、さらにしきい値電圧V_{th}の絶対値を上回って、ＴＦＴ４０５がＯＮする。これにより、初期化が完了する。なお、ここではＴＦＴ４０４

SDC-1351-00000354
SDC EX. 2001 - 298/503

はＯＦＦしていても構わない。

【０１３１】続いて、映像信号の入力が行われる。第２のゲート信号線４０３がＬレベルとなってＴＦＴ４０６がＯＦＦし、第１のゲート信号線４０２がＨレベルとなってＴＦＴ４０４がＯＮする。よって、ＴＦＴ４０７のゲート・ソース間電圧もまたしきい値電圧の絶対値を上回ってＯＮする。今、ソース信号線の電位はV_{dd}からV_{data}となっており、それに伴ってＴＦＴ４０７のゲート電極に印加される電位は、（$V_{data}-V_{th}$）に落ち着く。

【０１３２】続いて、発光期間に移る。ＴＦＴ４０７がＯＮした時点で発光が始まるが、映像信号が入力された後、ＴＦＴ４０７のゲート電位が（$V_{data}-V_{th}$）となって初めて、所望の電流がＥＬ素子４０９に流れる。同時に、第１のゲート信号線がＬレベルとなってＴＦＴ４０４がＯＦＦする。

【０１３３】[実施の形態８]実施の形態１～７においては、映像信号が入力される前の初期化には、あるＴＦＴを用いて行っている。図５（Ａ）は、ＴＦＴの代わりにダイオード５０７を用いる。ダイオード５０７の第１の電極は、ＴＦＴ５０５のゲート電極および第２の電極に接続され、第２の電極は、第２のゲート信号線５０３に接続されている。また、映像信号を保持するために、容量手段５０８を設ける場合には、ＴＦＴ５０６のゲート電極と、電流供給線５１０等の定電位を得られる部位との間に設ければ良い。また、ＴＦＴ５０４の第２の電極と、電流供給線５１０等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

【０１３４】実施の形態１と異なる点は、初期化の際の動作のみである。ここでは、映像信号の入力および発光動作についての説明は省略し、図５（Ｂ）を用いて、初期化の際の動作について説明する。

【０１３５】初期状態において、第２のゲート信号線５０３は、Ｈレベルにしておく。初期化のタイミングで、第２のゲート信号線５０３の電位を下げると、ダイオードには順バイアスがかかり、電位の高い方から低い方、つまり、図５（Ｂ）に示すように電流が生じ、ＴＦＴ５０５、５０６のゲート電位が低下する。やがてＴＦＴ５０５、５０６のしきい値電圧V_{th}の絶対値を、ＴＦＴ５０５、５０６のゲート・ソース間電圧が上回ると、ＴＦＴ５０５がＯＮする。その後、映像信号の入力が行われるときには、第２のゲート信号線５０３は、再びＨレベルに戻しておく。その後、映像信号が入力されるが、ダイオード５０７には、常に逆バイアスがかかっている状態であり、電流は生じない。

【０１３６】以後、実施の形態１と同様にして、ＥＬ素子５０９に所望の電流が流れ、発光する。

【０１３７】図５（Ｃ）は、ダイオード５０７に代わって容量手段５５７を設けた例を示している。容量手段５５７の第１の電極は、ＴＦＴ５５５のゲート電極および第２の電極と、ＴＦＴ５５６のゲート電極に接続され、第２の電極は、第２のゲート信号線５５３に接続されている。この場合も、動作は図５（Ｂ）と同様であり、初期状態において、第２のゲート信号線５５３をＨレベルにしておき、初期化のタイミングで、第２のゲート信号線５５３の電位を下げる。このとき、ＴＦＴ５５４がＯＦＦしているので、容量手段５５７の第２の電極は浮遊状態であり、容量手段５５７の第１の電極の電位が低下すると、容量結合によって、第２の電極の電位、すなわちＴＦＴ５５５、５５６のゲート電極の電位も低下する。やがてＴＦＴ５５５、５５６のしきい値電圧V_{th}の絶対値を、ＴＦＴ５５５、５５６のゲート・ソース間電圧が上回ると、ＴＦＴ５５５、５５６がＯＮする。

【０１３８】その後、ＴＦＴ５５４がＯＮして、映像信号の入力が行われる。第２のゲート信号線５５３は、今Ｌレベルとなっているが、映像信号が入力されている間、すなわちＴＦＴ５５４がＯＮしている間にＨレベルにしておけば良い。

【０１３９】以後、実施の形態１と同様にして、ＥＬ素子５５９に所望の電流が流れ、発光する。

【０１４０】本実施形態の構成によると、図１（Ａ）においては初期化に用いるゲート信号線と、リセット用電源線とを必要としたのに対し、初期化に用いるゲート信号線（図５においては、第２のゲート信号線５０３、５５３）のみで動作が可能である。よって画素部に必要な配線を１本減らすことが出来、高開口率化に寄与する。

【０１４１】[実施の形態９]実施の形態１にて示した構成の接続を一部変更したものを図６（Ａ）に示す。実施の形態１においては、図１に示したように、ＴＦＴ１０６の第２の電極は、リセット用電源線１１１に接続されているのに対し、本実施形態においては、図６（Ａ）に示すように、ｉ行目の画素においては、ｉ＋１行目の第１のゲート信号線に接続されている。各動作は全て実施の形態１と同様である。ｉ行目の初期化を行うときには、ｉ＋１行目はまだゲート信号線が選択されておらず、Ｌレベルとなっている。ゲート信号線選択パルスが入力されていない期間、ゲート信号線が一定電位となることから、図６（Ｂ）に示すように、ｉ＋１行目のゲート信号線をリセット用電源線として共用する。このようにして、実施の形態８と同様に、リセット用電源線を省略することが出来る。

【０１４２】この場合、共用するゲート信号線は、選択されていない状態でＬレベルとなっている必要がある。よって、当該ゲート信号線に入力されるパルスによって制御されるＴＦＴ、すなわちＴＦＴ６０５は、Ｎチャネル型とする。

【０１４３】本実施形態の構成は、他の実施形態とも組み合わせることが可能である。例えば、図９、図１０等に示したように、消去用のゲート信号線を追加する場合

SDC-1351-00000355
SDC EX. 2001 - 299/503

など、ＴＦＴ９０６を本実施形態に従って接続することで、リセット用電源線９１１を省略することが可能である。

【０１４４】また、映像信号を保持するために、容量手段６０９を設ける場合には、ＴＦＴ６０８のゲート電極と、電流供給線６１１等の定電位を得られる部位との間に設ければ良い。また、ＴＦＴ６０５の第２の電極と、電流供給線６１１等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

【０１４５】[実施の形態１０]実施の形態９と同様、実施の形態１にて示した構成の接続を一部変更したものを図７（Ａ）に示す。実施の形態１においては、図１に示したように、ＴＦＴ１０６の第２の電極は、リセット用電源線１１１に接続されているのに対し、本実施形態においては、ＴＦＴ７０４の第２の電極に接続されている。また、映像信号を保持するために、容量手段７０８を設ける場合には、ＴＦＴ７０７のゲート電極と、電流供給線７１０等の定電位を得られる部位との間に設ければ良い。また、ＴＦＴ７０４の第２の電極と、電流供給線７１０等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

【０１４６】図７（Ｂ）～（Ｅ）を用いて、動作について説明する。図７（Ｂ）～（Ｄ）は初期化～発光に至るまでの回路の動作を示すものであり、図７（Ｅ）は、第１、第２のゲート信号線７０２、７０３および、ソース信号線７０１のそれぞれの電位について示したものである。図７（Ｅ）中、iと示してある期間が初期化（図７（Ｂ））、iiと示してある期間が映像信号の入力（図７（Ｃ））、iiiと示してある期間が発光期間（図７（Ｄ））である。

【０１４７】まず、第１，第２のゲート信号線７０２、７０３がＨレベルとなり、ＴＦＴ７０４、７０６がＯＮする。このとき、ソース信号線７０１の電位は、図７（Ｅ）に示すようにV_{Reset}としておく。この電位は、映像信号よりもさらにＴＦＴ７０５のしきい値電圧の分だけ低い電位もしくはそれ以下の電位としておく。すると、図７（Ｂ）に示すように、ＴＦＴ７０５、７０７のゲート電極の電位が低くなり、ＴＦＴ７０７のしきい値電圧の絶対値を上回ったところで、ＴＦＴ７０７がＯＮする。ＴＦＴ７０５に関しては、図７（Ｂ）から明らかなように、ゲート・ソース間電圧が０となっているため、ＯＦＦしている。

【０１４８】続いて、第２のゲート信号線７０３がＬレベルとなってＴＦＴ７０６がＯＦＦし、ソース信号線の電位がV_{Reset}からV_{Data}となって映像信号の入力が開始される。ここで、$V_{Reset}+|V_{th}|<V_{Data}$であるから、ＴＦＴ７０５のゲート・ソース間電圧はしきい値電圧の絶対値を上回り、ＯＮする。よって映像信号は、図７（Ｃ）に示されるように、ＴＦＴ７０７のゲート電極に、しきい値電圧が上乗せされて印加される。

【０１４９】続いて、第１のゲート信号線７０２がＬレベルとなってＴＦＴ７０４がＯＦＦし、発光期間に移る。今、ＴＦＴ７０７のゲート電極には、映像信号V_{Data}に、しきい値電圧V_{th}が上乗せされて印加されており、それに応じた電流がＥＬ素子７０９に供給されて発光する。

【０１５０】また、ＴＦＴ７０６の第２の電極は、今、ＴＦＴ７０４の第２の電極に接続されているが、ソース信号線７０１に接続し、ＴＦＴ７０７のゲート電極とソース信号線との間に設けるようにしても同様のタイミングによって動作が可能である。

【０１５１】[実施の形態１１]本発明において、映像信号を保持するために容量手段を用いて良いことは前述のとおりである。容量手段の配置例としては、実施の形態１などに示したとおり、図８（Ａ）に示すように、ＴＦＴ８０４と電流供給線８１０等の定電位との間に設け、ＴＦＴ８０５のソース電位を保持する形としても良いし、図８（Ｂ）のように、ＴＦＴ８０７のゲート電極と、電流供給線８１０等の定電位との間に設け、ＴＦＴ８０７のゲート電極の電位を保持する形としても良い。なお、容量手段の接続先は、電流供給線に限らず、一定の電位を持ったノードに接続すれば電位の保持が出来るので、その場所は問わない。

【０１５２】

【実施例】以下に、本発明の実施例について記載する。

【０１５３】[実施例１]本実施例においては、映像信号にアナログ映像信号を用いて表示を行う発光装置の構成について説明する。図２４(A)に、発光装置の構成例を示す。基板２４０１上に、複数の画素がマトリクス状に配置された画素部２４０２を有し、画素部周辺には、ソース信号線駆動回路２４０３および、第１、第２のゲート信号線駆動回路２４０４、２４０５を有している。図２４(A)においては、２組のゲート信号線駆動回路を用い、図１に示した画素における第１、第２のゲート信号線をそれぞれ制御するものである。

【０１５４】ソース信号線駆動回路２４０３、第１、第２のゲート信号線駆動回路２４０４、２４０５に入力される信号は、フレキシブルプリント基板(Flexible Print Circuit：ＦＰＣ)２４０６を介して外部より供給される。

【０１５５】図２４(B)に、ソース信号線駆動回路の構成例を示す。これは、映像信号にアナログ映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ２４１１、バッファ２４１２、サンプリング回路２４１３を有している。特に図示していないが、必要に応じてレベルシフタ等を追加しても良い。

【０１５６】ソース信号線駆動回路の動作について説明する。図２５(A)に、より詳細な構成を示したので、そちらを参照する。

SDC-1351-00000356
SDC EX. 2001 - 300/503

【０１５７】シフトレジスタ２５０１は、フリップフロップ回路(ＦＦ)２５０２等を複数段用いてなり、クロック信号(Ｓ－ＣＬＫ)、クロック反転信号(Ｓ－ＣＬＫｂ)、スタートパルス(Ｓ－ＳＰ)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【０１５８】シフトレジスタ２５０１より出力されたサンプリングパルスは、バッファ２５０３等を通って増幅された後、サンプリング回路へと入力される。サンプリング回路２５０４は、サンプリングスイッチ(ＳＷ)２５０５を複数段用いてなり、サンプリングパルスが入力されるタイミングに従って、ある列で映像信号のサンプリングを行う。具体的には、サンプリングスイッチにサンプリングパルスが入力されると、サンプリングスイッチ２５０５がＯＮし、そのときに映像信号が有する電位が、サンプリングスイッチを介して各々のソース信号線へと出力される。

【０１５９】続いて、ゲート信号線駆動回路の動作について説明する。図２４(Ｃ)に示した、第１、第２のゲート信号線駆動回路２４０４、２４０５についての詳細な構成の一例を図２５(Ｂ)に示した。第１のゲート信号線駆動回路は、シフトレジスタ回路２５１１、バッファ２５１２を有し、クロック信号(Ｇ－ＣＬＫ１)、クロック反転信号(Ｇ－ＣＬＫｂ１)、スタートパルス(Ｇ－ＳＰ１)に従って駆動される。第２のゲート信号線駆動回路２４０５も構成は同様で良い。また、図２４（Ａ）においては、第１、第２のゲート信号線駆動回路２４０４、２４０５は、画素部２４０２を挟んで対称配置しているが、一方に並列して配置しても良い。

【０１６０】シフトレジスタ～バッファの動作については、ソース信号線駆動回路の場合と同様である。バッファによって増幅された選択パルスは、それぞれのゲート信号線を選択する。第１のゲート信号線駆動回路によって、第１のゲート信号線G_{11}、G_{21}、・・・、G_{m1}が順次選択され、第２のゲート信号線駆動回路によって、第２のゲート信号線G_{12}、G_{22}、・・・、G_{m2}が順次選択される。図示していないが、第３のゲート信号線駆動回路についても第１、第２のゲート信号線駆動回路と同様であり、第３のゲート信号線G_{13}、G_{23}、・・・、G_{m3}が順次選択される。選択された行において、実施形態にて説明した手順により、画素に映像信号が書き込まれて発光する。

【０１６１】なお、ここではシフトレジスタの一例として、Ｄ－フリップフロップを複数段用いてなるものを図示したが、デコーダ等によって、信号線を選択出来るような構成としていても良い。

【０１６２】[実施例２]本実施例においては、映像信号にデジタル映像信号を用いて表示を行う発光装置の構成について説明する。図２６(Ａ)に、発光装置の構成例を示す。基板２６０１上に、複数の画素がマトリクス状に配置された画素部２６０２を有し、画素部周辺には、ソース信号線駆動回路２６０３および、第１、第２のゲート信号線駆動回路２６０４、２６０５を有している。図２６(Ａ)においては、２組のゲート信号線駆動回路を用い、図１に示した画素における第１、第２のゲート信号線をそれぞれ制御するものである。

【０１６３】ソース信号線駆動回路２６０３、第１、第２のゲート信号線駆動回路２６０４、２６０５に入力される信号は、フレキシブルプリント基板(Flexible Print Circuit：ＦＰＣ)２６０６を介して外部より供給される。

【０１６４】図２６(Ｂ)に、ソース信号線駆動回路の構成例を示す。これは、映像信号にデジタル映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ２６１１、第１のラッチ回路２６１２、第２のラッチ回路２６１３、Ｄ／Ａ変換回路２６１４を有している。特に図示していないが、必要に応じてレベルシフタ等を追加しても良い。

【０１６５】第１、第２のゲート信号線駆動回路２６０４、２６０５については、実施例１にて示したものと同様で良いので、ここでは図示および説明を省略する。

【０１６６】ソース信号線駆動回路の動作について説明する。図２７(Ａ)に、より詳細な構成を示したので、そちらを参照する。

【０１６７】シフトレジスタ２７０１は、フリップフロップ回路(ＦＦ)２７１０等を複数段用いてなり、クロック信号(Ｓ－ＣＬＫ)、クロック反転信号(Ｓ－ＣＬＫｂ)、スタートパルス(Ｓ－ＳＰ)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【０１６８】シフトレジスタ２７０１より出力されたサンプリングパルスは、第１のラッチ回路２７０２に入力される。第１のラッチ回路２７０２には、デジタル映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段でデジタル映像信号を保持していく。ここでは、デジタル映像信号は３ビット入力されており、各ビットの映像信号を、それぞれの第１のラッチ回路において保持する。１つのサンプリングパルスによって、ここでは３つの第１のラッチ回路が並行して動作する。

【０１６９】第１のラッチ回路２７０２において、最終段までデジタル映像信号の保持が完了すると、水平帰線期間中に、第２のラッチ回路２７０３にラッチパルス(Ｌａｔｃｈ　Ｐｕｌｓｅ)が入力され、第１のラッチ回路２７０２に保持されていたデジタル映像信号は、一斉に第２のラッチ回路２７０３に転送される。その後、第２のラッチ回路２７０３に保持されたデジタル映像信号は、１行分が同時に、Ｄ／Ａ変換回路２７０４へと入力される。

【０１７０】第２のラッチ回路２７０３に保持されたデ

SDC-1351-00000357
SDC EX. 2001 - 301/503

ジタル映像信号がＤ／Ａ変換回路２７０４に入力されている間、シフトレジスタ２７０１においては再びサンプリングパルスが出力される。以後、この動作を繰り返し、１フレーム分の映像信号の処理を行う。

【０１７１】Ｄ／Ａ変換回路２７０４においては、入力されるデジタル映像信号をデジタル－アナログ変換し、アナログ電圧を有する映像信号としてソース信号線に出力する。

【０１７２】前記の動作が、１水平期間内に、全段にわたって同時に行われる。よって、全てのソース信号線に映像信号が出力される。

【０１７３】なお、実施例１においても述べたとおり、シフトレジスタの代わりにデコーダ等を用いて、信号線を選択出来るような構成としていても良い。

【０１７４】[実施例３]実施例２においては、デジタル映像信号はＤ／Ａ変換回路によってデジタル－アナログ変換を受け、画素に書き込まれるが、本発明の発光装置は、時間階調方式によって階調表現を行うことも出来る。この場合には、図２７(Ｂ)に示すように、Ｄ／Ａ変換回路を必要とせず、階調表現は、ＥＬ素子の発光時間の長短によって制御されるので、各ビットの映像信号を並列処理する必要がないため、第１および第２のラッチ回路も１ビット分で良い。このとき、デジタル映像信号は、各ビットが直列に入力され、順次ラッチ回路に保持され、画素に書き込まれる。勿論、必要ビット数分だけのラッチ回路を並列配置していても構わない。

【０１７５】[実施例４]本明細書ではＣＭＯＳ回路で構成される駆動回路と、スイッチング用ＴＦＴ及び駆動用ＴＦＴを有する画素部とが同一基板上に形成された基板を便宜上アクティブマトリクス基板と呼ぶ。そして本実施例では前記アクティブマトリクス基板の作製工程について図１３、図１４を用いて説明する。

【０１７６】基板５０００は、石英基板、シリコン基板、金属基板又はステンレス基板の表面に絶縁膜を形成したものを用いる。また本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。本実施例ではバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等のガラスからなる基板５０００を用いた。

【０１７７】次いで、基板５０００上に酸化珪素膜、窒化珪素膜又は酸化窒化珪素膜などの絶縁膜から成る下地膜５００１を形成する。本実施例の下地膜５００１は２層構造で形成したが、前記絶縁膜の単層構造又は前記絶縁膜を２層以上積層させた構造であっても良い。

【０１７８】本実施例では、下地膜５００１の１層目として、プラズマＣＶＤ法を用いて、SiH_4、NH_3、及びN_2Oを反応ガスとして成膜される窒化酸化珪素膜５００１ａを１０～２００nm(好ましくは５０～１００nm)の厚さに形成する。本実施例では、窒化酸化珪素膜５００１ａを５０nmの厚さに形成した。次いで下地膜５００１の２層目として、プラズマＣＶＤ法を用いて、SiH_4及びN_2Oを反応ガスとして成膜される酸化窒化珪素膜５００１ｂを５０～２００nm(好ましくは１００～１５０nm)の厚さに形成する。本実施例では、酸化窒化珪素膜５００１ｂを１００nmの厚さに形成した。

【０１７９】続いて、下地膜５００１上に半導体層５００２～５００５を形成する。半導体層５００２～５００５は公知の手段(スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等)により２５～８０nm(好ましくは３０～６０nm)の厚さで半導体膜を成膜する。次いで前記半導体膜を公知の結晶化法(レーザ結晶化法、ＲＴＡ又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等)を用いて結晶化させる。そして、得られた結晶質半導体膜を所望の形状にパターニングして半導体層５００２～５００５を形成する。なお前記半導体膜としては、非晶質半導体膜、微結晶半導体膜、結晶質半導体膜、又は非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜などを用いても良い。

【０１８０】本実施例では、プラズマＣＶＤ法を用いて、膜厚５５nmの非晶質珪素膜を成膜した。そして、ニッケルを含む溶液を非晶質珪素膜上に保持させ、この非晶質珪素膜に脱水素化(５００℃、１時間)を行った後、熱結晶化(５５０℃、４時間)を行って結晶質珪素膜を形成した。その後、フォトリソグラフィ法を用いたパターニング処理によって半導体層５００２～５００５を形成した。

【０１８１】なおレーザ結晶化法で結晶質半導体膜を作製する場合のレーザは、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、ＹＡＧレーザ、YVO_4レーザ、ＹＬＦレーザ、$YAlO_3$レーザ、ガラスレーザ、ルビーレーザ、Ｔｉ：サファイアレーザ等を用いることができる。また後者の固体レーザとしては、Ｃｒ、Ｎｄ、Ｅｒ、Ｈｏ、Ｃｅ、Ｃｏ、Ｔｉ又はＴｍがドーピングされたＹＡＧ、YVO_4、ＹＬＦ、$YAlO_3$などの結晶を使ったレーザを用いることができる。当該レーザの基本波はドーピングする材料によって異なり、１μm前後の基本波を有するレーザ光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。なお非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第２高調波～第４高調波を適用するのが好ましい。代表的には、Ｎｄ:YVO_4レーザー(基本波１０６４nm)の第２高調波(５３２nm)や第３高調波(３５５nm)を適用する。

【０１８２】また出力１０Ｗの連続発振のYVO_4レーザから射出されたレーザ光は、非線形光学素子により高調波に変換する。さらに、共振器の中にYVO_4結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状

SDC-1351-00000358
SDC EX. 2001 - 302/503

または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は０．０１～１００MW／cm²程度(好ましくは０．１～１０MW／cm²)が必要である。そして、１０～２０００cm／s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射する。

【０１８３】また上記のレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光して、半導体膜に照射すると良い。結晶化の条件は適宜設定されるが、エキシマレーザを用いる場合はパルス発振周波数３００Hzとし、レーザーエネルギー密度を１００～７００mJ/cm² (代表的には２００～３００mJ/cm²)とすると良い。またＹＡＧレーザを用いる場合には、その第２高調波を用いてパルス発振周波数１～３００Hzとし、レーザーエネルギー密度を３００～１０００mJ/cm² (代表的には３５０～５００mJ/cm²)とすると良い。そして幅１００～１０００μm(好ましくは幅４００μm)で線状に集光したレーザ光を基板全面に渡って照射し、このときの線状ビームの重ね合わせ率(オーバーラップ率)を５０～９８%として行っても良い。

【０１８４】しかしながら本実施例では、結晶化を助長する金属元素を用いて非晶質珪素膜の結晶化を行ったため、前記金属元素が結晶質珪素膜中に残留している。そのため、前記結晶質珪素膜上に５０～１００nmの非晶質珪素膜を形成し、加熱処理(ＲＴＡ法やファーネスアニール炉を用いた熱アニール等)を行って、該非晶質珪素膜中に前記金属元素を拡散させ、前記非晶質珪素膜は加熱処理後にエッチングを行って除去する。その結果、前記結晶質珪素膜中の金属元素の含有量を低減または除去することができる。

【０１８５】なお半導体層５００２～５００５を形成した後、ＴＦＴのしきい値電圧を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【０１８６】次いで、半導体層５００２～５００５を覆うゲート絶縁膜５００６を形成する。ゲート絶縁膜５００６はプラズマＣＶＤ法やスパッタ法を用いて、膜厚を４０～１５０nmとして珪素を含む絶縁膜で形成する。本実施例では、ゲート絶縁膜５００６としてプラズマＣＶＤ法により酸化窒化珪素膜を１１５nmの厚さに形成した。勿論、ゲート絶縁膜５００６は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【０１８７】なおゲート絶縁膜５００６として酸化珪素膜を用いる場合には、プラズマＣＶＤ法でＴＥＯＳ(Tetraethyl Orthosilicate)とO_2とを混合し、反応圧力４０Pa、基板温度３００～４００℃とし、高周波(１３．５６MHz)電力密度０．５～０．８W/cm²で放電させて形成しても良い。上記の工程により作製される酸化珪素膜は、その後４００～５００℃の熱アニールによって、ゲート絶縁膜５００６として良好な特性を得ることができる。

【０１８８】次いで、ゲート絶縁膜５００６上に膜厚２０～１００nmの第１の導電膜５００７と、膜厚１００～４００nmの第２の導電膜５００８とを積層形成する。本実施例では、膜厚３０nmのＴａＮ膜からなる第１の導電膜５００７と、膜厚３７０nmのW膜からなる第２の導電膜５００８を積層形成した。

【０１８９】本実施例では、第１の導電膜５００７であるＴａＮ膜はスパッタ法で形成し、Ｔａのターゲットを用いて、窒素を含む雰囲気内でスパッタ法で形成した。また第２の導電膜５００８であるW膜は、Wのターゲットを用いたスパッタ法で形成した。その他に６フッ化タングステン(WF_6)を用いる熱ＣＶＤ法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は２０μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度９９．９９９９%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率９～２０μΩcmを実現することができた。

【０１９０】なお本実施例では、第１の導電膜５００７をＴａＮ膜、第２の導電膜５００８をW膜としたが、第１の導電膜５００７及び第２の導電膜５００８を構成する材料は特に限定されない。第１の導電膜５００７及び第２の導電膜５００８は、Ｔａ、Ｗ、Ｔｉ、Ｍｏ、Ａｌ、Ｃｕ、Ｃｒ、Ｎｄから選択された元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜やＡｇＰｄＣｕ合金で形成してもよい。

【０１９１】次いで、フォトリソグラフィ法を用いてレジストからなるマスク５００９を形成し、電極及び配線を形成するための第１のエッチング処理を行う。第１のエッチング処理では第１及び第２のエッチング条件で行う。(図１３(Ｂ))

【０１９２】本実施例では第１のエッチング条件として、ＩＣＰ(Inductively Coupled Plasma：誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF_4とCl_2とO_2とを用い、それぞれのガス流量比を２５：２５：１０sccmとし、１．０Paの圧力でコイル型の電極に５００WのＲＦ(１３．５６MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも１５０WのＲＦ(１３．５６MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。そしてこの第１のエッチング条件によりW膜をエッチングして第１の導電層５００７の端部をテーパー形状とした。

【０１９３】続いて、レジストからなるマスク５００９

SDC-1351-00000359
SDC EX. 2001 - 303/503

を除去せずに第２のエッチング条件に変更し、エッチング用ガスにCF_4とCl_2とを用い、それぞれのガス流量比を３０：３０sccmとし、１．０Paの圧力でコイル型の電極に５００WのＲＦ(１３．５６MHz)電力を投入してプラズマを生成して１５秒程度のエッチングを行った。基板側(試料ステージ)にも２０WのＲＦ(１３．５６MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。第２のエッチング条件では第１の導電層５００７及び第２の導電層５００８とも同程度にエッチングを行った。なお、ゲート絶縁膜５００６上に残渣を残すことなくエッチングするためには、１０～２０％程度の割合でエッチング時間を増加させると良い。

【０１９４】上記の第１のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第１の導電層５００７及び第２の導電層５００８の端部がテーパー形状となる。こうして、第１のエッチング処理により第１の導電層５００７と第２の導電層５００８から成る第１の形状の導電層５０１０～５０１４を形成した。ゲート絶縁膜５００６においては、第１の形状の導電層５０１０～５０１４で覆われない領域が２０～５０nm程度エッチングされたため、膜厚が薄くなった領域が形成された。

【０１９５】次いで、レジストからなるマスク５００９を除去せずに第２のエッチング処理を行う。(図１３(Ｃ))第２のエッチング処理では、エッチングガスにSF_6とCl_2とO_2を用い、それぞれのガス流量比を２４：１２：２４(ｓｃｃｍ)とし、１．３Ｐａの圧力でコイル側の電力に７００WのＲＦ(13.56MHz)電力を投入してプラズマを生成して２５秒程度のエッチングを行った。基板側(試料ステージ)にも１０WのＲＦ(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。こうして、W膜を選択的にエッチングして、第２の形状の導電層５０１５～５０１９を形成した。このとき、第１の導電層５０１５ａ～５０１９ａは、ほとんどエッチングされない。

【０１９６】そして、レジストからなるマスク５００９を除去せずに第１のドーピング処理を行い、半導体層５００２～５００５にN型を付与する不純物元素を低濃度に添加する。第１のドーピング処理はイオンドープ法又はイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を1×10^{13}～5×10^{14}atoms/cm²とし、加速電圧を４０～８０keVとして行う。本実施例ではドーズ量を5.0×10^{13}atoms/cm²とし、加速電圧を５０keVとして行った。N型を付与する不純物元素としては、１５族に属する元素を用いれば良く、代表的にはリン(Ｐ)又は砒素(Ａｓ)を用いられるが、本実施例ではリン(Ｐ)を用いた。この場合、第２の形状の導電層５０１５～５０１９がN型を付与する不純物元素に対するマスクとなって、自己整合的に第１の不純物領域(N−領域)５０２０～５０２３を形成した。そして第１の不純物領域５０２０～５０２３には1×10^{18}～1×10^{20}atoms/cm³の濃度範囲でN型を付与する不純物元素が添加された。

【０１９７】続いてレジストからなるマスク５００９を除去した後、新たにレジストからなるマスク５０２４を形成して、第１のドーピング処理よりも高い加速電圧で第２のドーピング処理を行う。イオンドープ法の条件はドーズ量を1×10^{13}～3×10^{15}atoms/cm²とし、加速電圧を６０～１２０keVとして行う。本実施例では、ドーズ量を3.0×10^{15}atoms/cm²とし、加速電圧を６５keVとして行った。第２のドーピング処理は第２の導電層５０１５ｂ～５０１８ｂを不純物元素に対するマスクとして用い、第１の導電層５０１５ａ～５０１８ａのテーパー部の下方の半導体層に不純物元素が添加されるようにドーピングを行う。

【０１９８】上記の第２のドーピング処理を行った結果、第１の導電層と重なる第２の不純物領域(N－領域、Lov領域)５０２６には1×10^{18}～5×10^{19}atoms/cm³の濃度範囲でN型を付与する不純物元素を添加された。また第３の不純物領域(N＋領域)５０２５、５０２８には1×10^{19}～5×10^{21}atoms/cm³の濃度範囲でN型を付与する不純物元素を添加された。また、第１、第２のドーピング処理を行った後、半導体層５００２～５００５において、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域が形成された。本実施例では、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域をチャネル領域５０２７、５０３０とよぶ。また前記第１のドーピング処理により形成された第１の不純物領域(N—領域)５０２０～５０２３のうち、第２のドーピング処理においてレジスト５０２４で覆われていた領域が存在するが、本実施例では、引き続き第１の不純物領域(N—領域、LDD領域)５０２９とよぶ。

【０１９９】なお本実施例では、第２のドーピング処理のみにより、第２の不純物領域(N－領域)５０２６及び第３の不純物領域(N＋領域)５０２５、５０２８を形成したが、これに限定されない。ドーピング処理を行う条件を適宜変えて、複数回のドーピング処理で形成しても良い。

【０２００】次いで図１４(Ａ)に示すように、レジストからなるマスク５０２４を除去した後、新たにレジストからなるマスク５０３１を形成する。その後、第３のドーピング処理を行う。第３のドーピング処理により、Ｐチャネル型ＴＦＴの活性層となる半導体層に、前記第１の導電型とは逆の導電型を付与する不純物元素が添加された第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５を形成する。

【０２０１】第３のドーピング処理では、第２の導電層

SDC-1351-00000360
SDC EX. 2001 - 304/503

５０１６ｂ、５０１８ｂを不純物元素に対するマスクとして用いる。こうして、Ｐ型を付与する不純物元素を添加し、自己整合的に第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５を形成する。

【０２０２】本実施例では、第４の不純物領域５０３２、５０３４及び第５の不純物領域５０３３、５０３５はジボラン(B_2H_6)を用いたイオンドープ法で形成する。イオンドープ法の条件としては、ドーズ量を１×10^{16} atoms/cm²とし、加速電圧を８０keVとした。

【０２０３】なお、第３のドーピング処理の際には、Ｎチャネル型ＴＦＴを形成する半導体層はレジストからなるマスク５０３１によって覆われている。

【０２０４】ここで、第１及び２のドーピング処理によって、第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５にはそれぞれ異なる濃度でリンが添加されている。しかし、第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５のいずれの領域においても、第３のドーピング処理によって、Ｐ型を付与する不純物元素の濃度が１×10^{19}～５×10^{21} atoms/cm²となるようにドーピング処理される。こうして、第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５は、Ｐチャネル型ＴＦＴのソース領域およびドレイン領域として問題なく機能する。

【０２０５】なお本実施例では、第３のドーピング処理のみにより、第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５を形成したが、これに限定されない。ドーピング処理を行う条件を適宜変えて、複数回のドーピング処理で形成しても良い。

【０２０６】次いで図１４(Ｂ)に示すように、レジストからなるマスク５０３１を除去して第１の層間絶縁膜５０３６を形成する。この第１の層間絶縁膜５０３６としては、プラズマＣＶＤ法またはスパッタ法を用い、厚さを１００～２００nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマＣＶＤ法により膜厚１００nmの酸化窒化珪素膜を形成した。勿論、第１の層間絶縁膜５０３６は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【０２０７】次いで、図１４(Ｃ)に示すように、加熱処理(熱処理)を行って、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が１ppm以下、好ましくは０．１ppm以下の窒素雰囲気中で４００～７００℃で行えばよく、本実施例では４１０℃、１時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法(ＲＴＡ法)を適用することができる。

【０２０８】また、第１の層間絶縁膜５０３６を形成する前に加熱処理を行っても良い。ただし、第１の導電層５０１５ａ～５０１９ａ及び、第２の導電層５０１５ｂ～５０１９ｂを構成する材料が熱に弱い場合には、本実施例のように配線等を保護するため第１の層間絶縁膜５０３６(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で熱処理を行うことが好ましい。

【０２０９】上記の様に、第１の層間絶縁膜５０３６(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行うことができる。水素化の工程では、第１の層間絶縁膜５０３６に含まれる水素により半導体層のダングリングボンドが終端される。

【０２１０】なお、活性化処理のための加熱処理とは別に、水素化のための加熱処理を行っても良い。

【０２１１】ここで、第１の層間絶縁膜５０３６の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段(プラズマ水素化)や、３～１００％の水素を含む雰囲気中において、３００～４５０℃で１～１２時間の加熱処理を行う手段でも良い。

【０２１２】次いで、第１の層間絶縁膜５０３６上に、第２の層間絶縁膜５０３７を形成する。第２の層間絶縁膜５０３７としては、無機絶縁膜を用いることができる。例えば、ＣＶＤ法によって形成された酸化珪素膜や、ＳＯＧ(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、第２の層間絶縁膜５０３７として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、ＢＣＢ(ベンゾシクロブテン)、アクリル等の膜を用いることができる。また、アクリル膜と酸化窒化珪素膜の積層構造を用いても良い。

【０２１３】本実施例では、膜厚１．６μmのアクリル膜を形成した。第２の層間絶縁膜５０３７によって、基板上５０００に形成されたＴＦＴによる凹凸を緩和し、平坦化することができる。特に、第２の層間絶縁膜５０３７は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

【０２１４】次いで、ドライエッチングまたはウエットエッチングを用い、第２の層間絶縁膜５０３７、第１の層間絶縁膜５０３６、およびゲート絶縁膜５００６をエッチングし、第３の不純物領域５０２５、５０２８、第４の不純物領域５０３２、５０３４に達するコンタクトホールを形成する。

【０２１５】次いで、透明導電膜からなる画素電極５０３８を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物(Indium Tin Oxide：ＩＴＯ)、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、

SDC-1351-00000361
SDC EX. 2001 - 305/503

酸化インジウム等を用いることができる。また、前記透明導電膜にガリウムを添加したものを用いてもよい。画素電極がＥＬ素子の陽極に相当する。

【０２１６】本実施例では、ＩＴＯを１１０nm厚さで成膜、その後パターニングし、画素電極５０３８形成した。

【０２１７】次いで、各不純物領域とそれぞれ電気的に接続される配線５０３９～５０４５を形成する。なお本実施例では、配線５０３９～５０４５は、膜厚１００nmのＴｉ膜と、膜厚３５０nmのＡｌ膜と、膜厚１００nmのＴｉ膜との積層膜をスパッタ法で連続形成し、所望の形状にパターニングして形成する。

【０２１８】もちろん、三層構造に限らず、単層構造でもよいし、二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、ＡｌとＴｉに限らず、他の導電膜を用いても良い。例えば、ＴａＮ膜上にＡｌやＣｕを形成し、さらにＴｉ膜を形成した積層膜をパターニングして配線を形成してもよい。

【０２１９】こうして、画素部のＮチャネル型ＴＦＴのソース領域またはドレイン領域の一方は、配線５０４２によってソース信号線(５０１９ａと５０１９ｂの積層)と電気的に接続され、もう一方は、配線５０４３によって画素部のＰチャネル型ＴＦＴのゲート電極と電気的に接続される。また、画素部のＰチャネル型ＴＦＴのソース領域またはドレイン領域の一方は、配線５０４４によって３８と電気的に接続されている。ここで、画素電極５０３８上の一部と、配線５０４４の一部を重ねて形成することによって、配線５０４４と画素電極５０３８の電気的接続をとっている。

【０２２０】以上の工程により図１４(D)に示すように、Ｎチャネル型ＴＦＴとＰチャネル型ＴＦＴからなるＣＭＯＳ回路を有する駆動回路部と、スイッチング用ＴＦＴ、駆動用ＴＦＴとを有する画素部を同一基板上に形成することができる。

【０２２１】駆動回路部のＮチャネル型ＴＦＴは、ゲート電極の一部を構成する第１の導電層５０１５ａと重なる低濃度不純物領域５０２６(Lov領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域５０２５とを有している。このＮチャネル型ＴＦＴと配線５０４０で接続されＣＭＯＳ回路を形成するＰチャネル型ＴＦＴは、ゲート電極の一部を構成する第１の導電層５０１６ａと重なる低濃度不純物領域５０３３(Lov領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域５０３２とを有している。

【０２２２】画素部において、Ｎチャネル型のスイッチング用ＴＦＴは、ゲート電極の外側に形成される低濃度不純物領域５０２９(Loff領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域５０２８とを有している。また画素部において、Ｐチャネル型の駆動用ＴＦＴは、ゲート電極の一部を構成する第１の導電層５０１８ａと重なる低濃度不純物領域５０３５(Lov領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域５０３４とを有している。

【０２２３】次いで、第３の層間絶縁膜５０４６を形成する。第３の層間絶縁膜としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、ＣＶＤ法によって形成された酸化珪素膜や、ＳＯＧ(Spin On Glass)法によって塗布された酸化珪素膜、あるいは、スパッタ法によって形成された窒化酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

【０２２４】第２の層間絶縁膜５０３７と第３の層間絶縁膜５０４６の組み合わせの例を以下に挙げる。

【０２２５】第２の層間絶縁膜５０３７として、アクリルとスパッタ法によって形成された窒化酸化珪素膜の積層膜を用い、第３の層間絶縁膜５０４６として、スパッタ法によって形成された窒化酸化珪素膜を用いる組み合わせがある。また、第２の層間絶縁膜５０３７として、ＳＯＧ法によって形成した酸化珪素膜を用い、第３の層間絶縁膜５０４６としてもＳＯＧ法によって形成した酸化珪素膜を用いる組み合わせがある。また、第２の層間絶縁膜５０３７として、ＳＯＧ法によって形成した酸化珪素膜とプラズマＣＶＤ法によって形成した酸化珪素膜の積層膜を用い、第３の層間絶縁膜５０４６としてプラズマＣＶＤ法によって形成した酸化珪素膜を用いる組み合わせがある。また、第２の層間絶縁膜５０３７として、アクリルを用い、第３の層間絶縁膜５０４６としてもアクリルを用いる組み合わせがある。また、第２の層間絶縁膜５０３７として、アクリルとプラズマＣＶＤ法によって形成した酸化珪素膜の積層膜を用い、第３の層間絶縁膜５０４６としてプラズマＣＶＤ法によって形成した酸化珪素膜を用いる組み合わせがある。また、第２の層間絶縁膜５０３７として、プラズマＣＶＤ法によって形成した酸化珪素膜を用い、第３の層間絶縁膜５０４６としてアクリルを用いる組み合わせがある。

【０２２６】第３の層間絶縁膜５０４６の画素電極５０３８に対応する位置に開口部を形成する。第３の層間絶縁膜は、バンクとして機能する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するＥＬ層の劣化が顕著な問題となってしまうため、注意が必要である。

【０２２７】第３の層間絶縁膜中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、1×10^{6}～1×10^{12}Ωm(好ましくは、1×10^{8}～1×10^{10}Ωm)となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

【０２２８】次いで、第３の層間絶縁膜５０４６の開口部において露出している画素電極５０３８上に、ＥＬ層

SDC-1351-00000362
SDC EX. 2001 - 306/503

５０４７を形成する。

【０２２９】ＥＬ層５０４７としては、公知の有機発光材料や無機発光材料を用いることができる。

【０２３０】有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機材料を自由に用いることができる。なお、本明細書中においては、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が２０以下または連鎖する分子の長さが１０μm以下の有機発光材料を示すものとする。

【０２３１】ＥＬ層５０４７は通常、積層構造である。代表的には、「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【０２３２】本実施例では蒸着法により低分子系有機発光材料を用いてＥＬ層５０４７を形成している。具体的には、正孔注入層として２０nm厚の銅フタロシアニン(ＣｕＰｃ)膜を設け、その上に発光層として７０nm厚のトリス－８－キノリノラトアルミニウム錯体(Alq_3)膜を設けた積層構造としている。Alq_3にキナクリドン、ペリレンもしくはＤＣＭ１といった蛍光色素を添加することで発光色を制御することができる。

【０２３３】なお、図１４(Ｄ)では一画素しか図示していないが、複数の色、例えば、Ｒ(赤)、Ｇ(緑)、Ｂ(青)の各色に対応したＥＬ層５０４７を作り分ける構成とすることができる。

【０２３４】また、高分子系有機発光材料を用いる例として、正孔注入層として２０nmのポリチオフェン(ＰＥＤＯＴ)膜をスピン塗布法により設け、その上に発光層として１００nm程度のパラフェニレンビニレン(ＰＰＶ)膜を設けた積層構造によってＥＬ層５０４７を構成しても良い。なお、ＰＰＶのπ共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

【０２３５】なお、ＥＬ層５０４７は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、ＥＬ層５０４７は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

【０２３６】例えば、電子輸送層を構成する材料(以下、電子輸送材料と表記する)と、発光層を構成する材料(以下、発光材料と表記する)とによって構成される混合層を、電子輸送層と発光層との間に有する構造のＥＬ層５０４７であってもよい。

【０２３７】次に、ＥＬ層５０４７の上には導電膜からなる画素電極５０４８が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のＭｇＡｇ膜(マグネシウムと銀との合金膜)を用いても良い。画素電極５０４８がＥＬ素子の陰極に相当する。陰極材料としては、周期表の１族もしくは２族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

【０２３８】画素電極５０４８まで形成された時点でＥＬ素子が完成する。なお、ＥＬ素子とは、画素電極(陽極)５０３８、ＥＬ層５０４７及び画素電極(陰極)５０４８で形成された素子を指す。

【０２３９】ＥＬ素子を完全に覆うようにしてパッシベーション膜５０４９を設けることは有効である。パッシベーション膜５０４９としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

【０２４０】カバレッジの良い膜をパッシベーション膜５０４９として用いることが好ましく、炭素膜、特にＤＬＣ(ダイヤモンドライクカーボン)膜を用いることは有効である。ＤＬＣ膜は室温から１００℃以下の温度範囲で成膜可能であるため、耐熱性の低いＥＬ層５０４７の上方にも容易に成膜することができる。また、ＤＬＣ膜は酸素に対するブロッキング効果が高く、ＥＬ層５０４７の酸化を抑制することが可能である。そのため、ＥＬ層５０４７が酸化するといった問題を防止できる。

【０２４１】なお、第３の層間絶縁膜５０４６を形成した後、パッシベーション膜５０４９を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

【０２４２】なお、実際には図１４(Ｄ)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとＥＬ素子の信頼性が向上する。

【０２４３】また、パッケージング等の処理により気密性を高めたら、基板５０００上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット：ＦＰＣ)を取り付けて製品として完成する。

【０２４４】また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【０２４５】[実施例５]本実施例では、実施例４に示した構成とは異なる構成のアクティブマトリクス基板の作製工程について図１５を用いて説明する。

SDC-1351-00000363
SDC EX. 2001 - 307/503

【０２４６】なお、図１５(A)までの工程は、実施例４において、図１３(A)～(D)、図１４(A)に示した工程と同様である。ただし、画素部を構成する駆動用ＴＦＴは、ゲート電極の外側に形成される低濃度不純物領域(Ｌoff領域)を有する、Ｎチャネル型のＴＦＴである点が異なる。この駆動用ＴＦＴにおいては、実施例４に示したように、レジストによるマスクを用いて、ゲート電極の外側に低濃度不純物領域(Ｌoff領域)を形成すれば良い。

【０２４７】図１３及び図１４と同じ部分は同じ符号を用いて示し、説明は省略する。

【０２４８】図１５(A)に示すように、第１の層間絶縁膜５１０１を形成する。この第１の層間絶縁膜５１０１としては、プラズマＣＶＤ法またはスパッタ法を用い、厚さを１００～２００nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマＣＶＤ法により膜厚１００nmの酸化窒化珪素膜を形成した。勿論、第１の層間絶縁膜５１０１は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【０２４９】次いで、図１５(B)に示すように、加熱処理(熱処理)を行って、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が１ppm以下、好ましくは０．１ppm以下の窒素雰囲気中で４００～７００℃で行えばよく、本実施例では４１０℃、１時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法(ＲＴＡ法)を適用することができる。

【０２５０】また、第１の層間絶縁膜５１０１を形成する前に加熱処理を行っても良い。ただし、第１の導電層５０１５ａ～５０１９ａ及び、第２の導電層５０１５ｂ～５０１９ｂが熱に弱い場合には、本実施例のように配線等を保護するため第１の層間絶縁膜５１０１(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で熱処理を行うことが好ましい。

【０２５１】上記の様に、第１の層間絶縁膜５１０１(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行うことができる。水素化の工程では、第１の層間絶縁膜５１０１に含まれる水素により半導体層のダングリングボンドが終端される。

【０２５２】なお、活性化処理のための加熱処理とは別に、水素化のための加熱処理を行っても良い。

【０２５３】ここで、第１の層間絶縁膜５１０１の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段(プラズマ水素化)や、３～１００％の水素を含む雰囲気中において、３００～４５０℃で１～１２時間の加熱処理を行う手段でも良い。

【０２５４】以上の工程により、Ｎチャネル型ＴＦＴとＰチャネル型ＴＦＴからなるＣＭＯＳ回路を有する駆動回路部と、スイッチング用ＴＦＴ、駆動用ＴＦＴとを有する画素部を同一基板上に形成することができる。

【０２５５】次いで、第１の層間絶縁膜５１０１上に、第２の層間絶縁膜５１０２を形成する。第２の層間絶縁膜５１０２としては、無機絶縁膜を用いることができる。例えば、ＣＶＤ法によって形成された酸化珪素膜や、ＳＯＧ(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、第２の層間絶縁膜５１０２として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、ＢＣＢ(ベンゾシクロブテン)、アクリル等の膜を用いることができる。また、アクリル膜と酸化珪素膜の積層構造を用いても良いし、アクリル膜とスパッタ法で形成した窒化酸化珪素膜の積層構造を用いても良い。

【０２５６】次いで、ドライエッチングまたはウエットエッチングを用い、第１の層間絶縁膜５１０１、第２の層間絶縁膜５１０２及びゲート絶縁膜５００６をエッチングし、駆動回路部及び画素部を構成する各ＴＦＴの不純物領域(第３の不純物領域(Ｎ＋領域)及び第４の不純物領域(Ｐ＋領域))に達するコンタクトホールを形成する。

【０２５７】次いで、各不純物領域とそれぞれ電気的に接続される配線５１０３～５１０９を形成する。なお本実施例では、配線５１０３～５１０９は、膜厚１００nmのＴｉ膜と、膜厚３５０nmのＡｌ膜と、膜厚１００nmのＴｉ膜との積層膜をスパッタ法で連続形成し、所望の形状にパターニングして形成する。

【０２５８】もちろん、三層構造に限らず、単層構造でもよいし、二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、ＡｌとＴｉに限らず、他の導電膜を用いても良い。例えば、ＴａＮ膜上にＡｌやＣｕを形成し、さらにＴｉ膜を形成した積層膜をパターニングして配線を形成してもよい。

【０２５９】画素部のスイッチング用ＴＦＴのソース領域またはドレイン領域の一方は、配線５１０６によってソース配線(５０１９ａと５０１９ｂの積層)と電気的に接続され、もう一方は、配線５１０７によって画素部の駆動用ＴＦＴのゲート電極と電気的に接続される。

【０２６０】次いで図１５(C)に示すように、第３の層間絶縁膜５１１０を形成する。第３の層間絶縁膜５１１０としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、ＣＶＤ法によって形成された酸化珪素膜や、ＳＯＧ(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。また、アクリル膜とスパッタ法で形成した窒化酸化珪素膜の積層構造を用いても良い。

SDC-1351-00000364
SDC EX. 2001 - 308/503

【０２６１】第３の層間絶縁膜５１１０によって、基板上５０００に形成されたＴＦＴによる凹凸を緩和し、平坦化することができる。特に、第３の層間絶縁膜５１１０は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

【０２６２】次いで、ドライエッチングまたはウエットエッチングを用い、第３の層間絶縁膜５１１０に、配線５１０８に達するコンタクトホールを形成する。

【０２６３】次いで、導電膜をパターニングして画素電極５１１１を形成する。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のＭｇＡｇ膜(マグネシウムと銀との合金膜)を用いても良い。画素電極５１１１がＥＬ素子の陰極に相当する。陰極材料としては、周期表の１族もしくは２族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

【０２６４】画素電極５１１１は、第３の層間絶縁膜５１１０に形成されたコンタクトホールによって、配線５１０８と電気的な接続がとられる。こうして、画素電極５１１１は、駆動用ＴＦＴのソース領域またはドレイン領域の一方と、電気的に接続される。

【０２６５】次いで図１５(D)に示すように、各画素間のＥＬ層を塗り分けるために、土手５１１２を形成する。土手５１１２としては、無機絶縁膜や有機絶縁膜を用いて形成する。無機絶縁膜としては、スパッタ法によって形成された窒化酸化珪素膜、ＣＶＤ法によって形成された酸化珪素膜、あるいは、ＳＯＧ法によって塗布された酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

【０２６６】ここで、土手５１１２を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。土手５１１２の側壁が十分になだらかでないと段差に起因するＥＬ層の劣化が顕著な問題となってしまうため、注意が必要である。

【０２６７】なお、画素電極５１１１と配線５１０８を電気的に接続する際に、第３の層間絶縁膜５１１０に形成したコンタクトホールの部分にも、土手５１１２を形成する。こうして、コンタクトホール部分の凹凸による、画素電極の凹凸を土手５１１２によって埋めることにより、段差に起因するＥＬ層の劣化を防いでいる。

【０２６８】第３の層間絶縁膜５１１０と土手５１１２の組み合わせの例を以下に挙げる。

【０２６９】第３の層間絶縁膜５１１０として、アクリルとスパッタ法によって形成された窒化酸化珪素膜の積層膜を用い、土手５１１２として、スパッタ法によって形成された窒化酸化珪素膜を用いる組み合わせがある。また、第３の層間絶縁膜５１１０として、ＳＯＧ法によって形成した酸化珪素膜を用い、土手５１１２としてもＳＯＧ法によって形成した酸化珪素膜を用いる組み合わせがある。また第３の層間絶縁膜５１１０として、ＳＯＧ法によって形成した酸化珪素膜とプラズマＣＶＤ法によって形成した酸化珪素膜の積層膜を用い、土手５１１２としてプラズマＣＶＤ法によって形成した酸化珪素膜を用いる組み合わせがある。また、第３の層間絶縁膜５１１０として、アクリルを用い、土手５１１２としてもアクリルを用いる組み合わせがある。また、第３の層間絶縁膜５１１０として、アクリルとプラズマＣＶＤ法によって形成した酸化珪素膜の積層膜を用い、土手５１１２としてプラズマＣＶＤ法によって形成した酸化珪素膜を用いる組み合わせがある。また、第３の層間絶縁膜５１１０として、プラズマＣＶＤ法によって形成した酸化珪素膜を用い、土手５１１２としてアクリルを用いる組み合わせがある。

【０２７０】土手５１１２中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、１×１０^{6}～１×１０^{12}Ωm(好ましくは、１×１０^{8}～１×１０^{10}Ωm)となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

【０２７１】次いで、土手５１１２に囲まれた、露出している画素電極５１１１上に、ＥＬ層５１１３を形成する。

【０２７２】ＥＬ層５１１３としては、公知の有機発光材料や無機発光材料を用いることができる。

【０２７３】有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機材料を自由に用いることができる。なお、本明細書中においては、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が２０以下または連鎖する分子の長さが１０μm以下の有機発光材料を示すものとする。

【０２７４】ＥＬ層５１１３は通常、積層構造である。代表的には、「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。また他にも、陰極上に電子輸送層／発光層／正孔輸送層／正孔注入層、または電子注入層／電子輸送層／発光層／正孔輸送層／正孔注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【０２７５】本実施例では蒸着法により低分子系有機発光材料を用いてＥＬ層５１１３を形成している。具体的には、発光層として７０nm厚のトリス－８－キノリノラトアルミニウム錯体(Ａｌｑ$_{3}$)膜を設け、その上に、正孔注入層として２０nm厚の銅フタロシアニン(ＣｕＰｃ)膜を設けた積層構造としている。Ａｌｑ$_{3}$にキナクリドン、ペリレンもしくはＤＣＭ１といった蛍光色素を添加することで発光色を制御することができる。

【０２７６】なお、図１５(D)では一画素しか図示していないが、複数の色、例えば、Ｒ(赤)、Ｇ(緑)、Ｂ(青)の各色に対応したＥＬ層５１１３を作り分ける構成とすることができる。

SDC-1351-00000365
SDC EX. 2001 - 309/503

【０２７７】また、高分子系有機発光材料を用いる例として、正孔注入層として２０nmのポリチオフェン(ＰＥＤＯＴ)膜をスピン塗布法により設け、その上に、発光層として１００nm程度のパラフェニレンビニレン(ＰＰＶ)膜を設けた積層構造によってＥＬ層５１１３を構成しても良い。なお、ＰＰＶのπ共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

【０２７８】なお、ＥＬ層５１１３は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、ＥＬ層５１１３は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

【０２７９】例えば、電子輸送層を構成する材料(以下、電子輸送材料と表記する)と、発光層を構成する材料(以下、発光材料と表記する)とによって構成される混合層を、電子輸送層と発光層との間に有する構造のＥＬ層５１１３であってもよい。

【０２８０】次に、ＥＬ層５１１３の上には、透明導電膜からなる画素電極５１１４を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物(ＩＴＯ)、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム等を用いることができる。また、前記透明導電膜にガリウムを添加したものを用いてもよい。画素電極５１１４がＥＬ素子の陽極に相当する。

【０２８１】画素電極５１１４まで形成された時点でＥＬ素子が完成する。なお、ＥＬ素子とは、画素電極(陰極)５１１１、ＥＬ層５１１３及び画素電極(陽極)５１１４で形成されたダイオードを指す。

【０２８２】本実施例では、画素電極５１１４が透明導電膜によって形成されているため、ＥＬ素子が発した光は、基板５０００とは逆側に向かって放射される。また、第３の層間絶縁膜５１１０によって、配線５１０６～５１０９が形成された層とは別の層に、画素電極５１１１を形成している。そのため、実施例４に示した構成と比較して、開口率を上げることができる。

【０２８３】ＥＬ素子を完全に覆うようにして保護膜(パッシベーション膜)５１１５を設けることは有効である。保護膜５１１５としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

【０２８４】なお本実施例のように、ＥＬ素子が発した光が画素電極５１１４側から放射される場合、保護膜５１１５としては、光を透過する膜を用いる必要がある。

【０２８５】なお、土手５１１２を形成した後、保護膜５１１５を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

【０２８６】なお、実際には図１５(Ｄ)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)等のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとＥＬ素子の信頼性が向上する。

【０２８７】また、パッケージング等の処理により気密性を高めたら、基板５０００上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット：ＦＰＣ)を取り付けて製品として完成する。

【０２８８】[実施例６]本実施例では、本発明を用いて発光装置を作製した例について、図３０を用いて説明する。

【０２８９】図３０は、ＴＦＴが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図３０(Ｂ)は、図３０(Ａ)のＡ－Ａ’における断面図、図３０(Ｃ)は図３０(Ａ)のＢ－Ｂ’における断面図である。

【０２９０】基板４００１上に設けられた画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、４００４ｂとを囲むようにして、シール材４００９が設けられている。また画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、４００４ｂとの上にシーリング材４００８が設けられている。よって画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、４００４ｂとは、基板４００１とシール材４００９とシーリング材４００８とによって、充填材４２１０で密封されている。

【０２９１】また基板４００１上に設けられた画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、４００４ｂとは、複数のＴＦＴを有している。図３０(Ｂ)では代表的に、下地膜４０１０上に形成された、ソース信号線駆動回路４００３に含まれるＴＦＴ(但し、ここではＮチャネル型ＴＦＴとＰチャネル型ＴＦＴを図示する)４２０１及び画素部４００２に含まれるＴＦＴ４２０２を図示した。

【０２９２】ＴＦＴ４２０１及び４２０２上には層間絶縁膜(平坦化膜)４３０１が形成され、その上にＴＦＴ４２０２のドレインと電気的に接続する画素電極(陽極)４２０３が形成される。画素電極４２０３としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明

SDC-1351-00000366
SDC EX. 2001 - 310/503

導電膜にガリウムを添加したものを用いても良い。

【０２９３】そして、画素電極４２０３の上には絶縁膜４３０２が形成され、絶縁膜４３０２は画素電極４２０３の上に開口部が形成されている。この開口部において、画素電極４２０３の上には有機発光層４２０４が形成される。有機発光層４２０４は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【０２９４】有機発光層４２０４の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【０２９５】有機発光層４２０４の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極４２０５が形成される。また、陰極４２０５と有機発光層４２０４の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層４２０４を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極４２０５を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極４２０５は所定の電圧が与えられている。

【０２９６】以上のようにして、画素電極(陽極)４２０３、有機発光層４２０４及び陰極４２０５からなる発光素子４３０３が形成される。そして発光素子４３０３を覆うように、絶縁膜４３０２上に保護膜４２０９が形成されている。保護膜４２０９は、発光素子４３０３に酸素や水分等が入り込むのを防ぐのに効果的である。

【０２９７】４００５ａは電源線に接続された引き回し配線であり、ＴＦＴ４２０２の第１の電極に接続されている。引き回し配線４００５ａはシール材４００９と基板４００１との間を通り、異方導電性フィルム４３００を介してＦＰＣ４００６が有するＦＰＣ用配線４３０１に電気的に接続される。

【０２９８】シーリング材４００８としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、ＦＲＰ(Fiberglass-Reinforced-Plastics)板、ＰＶＦ(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをＰＶＦフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【０２９９】但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【０３００】また、充填材４２１０としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、ＰＶＣ(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、ＰＶＢ(ポリビニルブチラル)またはＥＶＡ(エチレンビニルアセテート)を用いることができる。本実施例では充填材として窒素を用いた。

【０３０１】また充填材４２１０を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材４００８の基板４００１側の面に凹部４００７を設けて吸湿性物質または酸素を吸着しうる物質４２０７を配置する。そして、吸湿性物質または酸素を吸着しうる物質４２０７が飛び散らないように、凹部カバー材４２０８によって吸湿性物質または酸素を吸着しうる物質４２０７は凹部４００７に保持されている。なお凹部カバー材４２０８は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質４２０７は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質４２０７を設けることで、発光素子４３０３の劣化を抑制できる。

【０３０２】図３０(C)に示すように、画素電極４２０３が形成されると同時に、引き回し配線４００５ａ上に接するように導電性膜４２０３ａが形成される。

【０３０３】また、異方導電性フィルム４３００は導電性フィラー４３００ａを有している。基板４００１とＦＰＣ４００６とを熱圧着することで、基板４００１上の導電性膜４２０３ａとＦＰＣ４００６上のＦＰＣ用配線４３０１とが、導電性フィラー４３００ａによって電気的に接続される。

【０３０４】[実施例７]本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

【０３０５】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

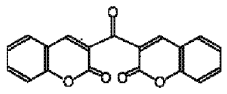
【０３０６】上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

【０３０７】

【化１】

SDC-1351-00000367
SDC EX. 2001 - 311/503

61

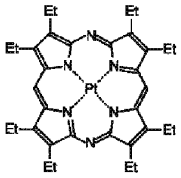


【０３０８】(M.A.Baldo, D.F.O' Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson,S.R.Forrest, Nature 395 (1998) p.151.)

【０３０９】上記の論文により報告された有機発光材料(Ｐｔ錯体)の分子式を以下に示す。

【０３１０】

【化２】

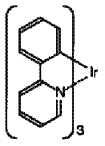


【０３１１】(M.A.Baldo, S.Lamansky, P.E.Burrrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura,T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys.,38 (12B) (1999) L1502.)

【０３１２】上記の論文により報告された有機発光材料(Ｉｒ錯体)の分子式を以下に示す。

【０３１３】

【化３】



【０３１４】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より３～４倍の高い外部発光量子効率の実現が可能となる。

【０３１５】[実施例８]本明細書でこれまでに示してきた構成では、駆動用ＴＦＴにはＰチャネル型ＴＦＴを用いていたが、本発明は駆動用ＴＦＴにＮチャネル型ＴＦＴを用いた場合の構成にも適用が可能である。図３２（Ａ）に構成を示す。

【０３１６】駆動用ＴＦＴ３２０９はＮチャネル型であり、この場合、ソース領域はＥＬ素子３２１２の陽極と接続されている側であり、ドレイン領域は、電流供給線３２１１と接続されている側となる。そこで、容量手段３２１０は、駆動用ＴＦＴ３２０９のゲート・ソース間の電圧を保持出来るようなノードに設ける。よって、容量手段３２１０は、図３２（Ａ）に示したノードの他、駆動用ＴＦＴ３２０９のゲート電極とソース領域との間に設けても良い。

62

【０３１７】動作について説明する。まず、図３２（Ｂ）に示すように、ＴＦＴ３２０７をＯＮし、ＴＦＴ３２０６のドレイン領域の電位を高くしておく。続いて、図３２（Ｃ）に示すように、ＴＦＴ３２０５がＯＮし、映像信号の入力が行われる。ここで、ＴＦＴ３２０６のソース・ドレイン間電圧が、そのしきい値電圧に等しくなったところで、ＴＦＴ３２０６がＯＦＦし、図３２（Ｄ）に示すような状態となる。ＴＦＴ３２０６のソース領域の電位はV_{Data}であるので、ＴＦＴ３２０６のドレイン領域の電位、すなわち駆動用ＴＦＴ３２０９のゲート電極の電位は、$V_{Data}+V_{th}$となる。

【０３１８】続いて、ＴＦＴ３２０８がＯＦＦすると、電流供給線から駆動用ＴＦＴ３２０９を介して流れていた電流は、ＥＬ素子３２１２に流れ、発光する。よって、隣接画素において、駆動用ＴＦＴ３２０９のしきい値電圧がばらついたとしても、そのばらつきに関係なく、ＴＦＴ３２０６のソース・ドレイン間電圧、つまりしきい値電圧が映像信号に上乗せされるため、駆動用ＴＦＴ３２０９のゲート・ソース間電圧は隣接画素ごとにばらつくことがない。

【０３１９】さらに、図３２に示した構成でＥＬ素子３２１２が発光によって劣化した場合、陽極－陰極間の電圧が上昇する。これにより、通常であれば駆動用ＴＦＴ３２０９のソース領域の電位が上昇し、結果として発光時のゲート・ソース間電圧が小さくなってしまうという問題が考えられるが、本実施例で示した構成によると、図３２（Ｃ）～（Ｄ）における、映像信号の入力時において、ＴＦＴ３２０８がＯＮすることによって、駆動用ＴＦＴ３２０９のソース領域の電位は、電源線３２１４の電位に固定される。よって前述のように、容量手段３２１０が、駆動用ＴＦＴ３２０９のゲート・ソース間電圧を保持しており、駆動用ＴＦＴ３２０９のソース領域の電位が変化しても、ゲート・ソース間電圧が小さくなることがないため、経時的な輝度低下を抑えることが出来る。

【０３２０】なお、本実施例において、ダイオード接続されたＴＦＴ３２０６と、駆動用ＴＦＴ３２０９はＮチャネル型としている。他のＴＦＴは、ＯＮ・ＯＦＦのみの制御を行うスイッチ素子として用いているので、その極性は問わない。

【０３２１】また、駆動用ＴＦＴがＰチャネル型である場合と同様、配線を共有としても良い。例えば、ＴＦＴ３２０７を制御しているゲート信号線３２０３は、前段のゲート信号線と共有しても良い。また、電源線３２１４についても、図３２（Ｃ）（Ｄ）に示した動作を行っている期間中、一定電位であれば良く、選択されている当行を除くいずれかのゲート信号線と共有が可能である。また、電源線３２１３、３２１４は共通としても良い。

【０３２２】また、消去期間を設ける場合にも、駆動用

SDC-1351-00000368
SDC EX. 2001 - 312/503

ＴＦＴがＰチャネル型の場合と同様、ＴＦＴを追加するなどして、任意の期間でＥＬ素子３２１２への電流供給を遮断する手段を設けても良い。

【０３２３】[実施例９]本実施例においては、ダイオード接続による電圧効果を利用した、異なる回路構成例について説明する。

【０３２４】図３３（Ａ）に、一構成例を示す。本実施例の構成によると、ＴＦＴ３３０８は、そのゲート電極とドレイン領域との間にＴＦＴ３３０９を有し、ＴＦＴ３３０９がＯＮしているとき、ＴＦＴ３３０８はダイオード接続されたＴＦＴとして振る舞い、ＴＦＴ３３０９がＯＦＦしているとき、ＥＬ素子３３１３への電流供給の制御を行う駆動用ＴＦＴとして振る舞う。

【０３２５】動作について説明する。まず、図３３（Ｂ）に示すように、ＴＦＴ３３０６がＯＮし、映像信号V_{data}が入力される。さらに、ＴＦＴ３３０９、３３１０がＯＮし、ＴＦＴ３３０８はダイオード接続されたＴＦＴとして振る舞う。続いて、ＴＦＴ３３１０がＯＦＦすると、図３３（Ｃ）に示すように電荷が移動する。やがて、ＴＦＴ３３０８のソース・ドレイン間電圧、つまりＴＦＴ３３０８のゲート・ソース間電圧がしきい値電圧に等しくなったところで、図３３（Ｄ）に示すようにＴＦＴ３３０８はＯＦＦする。

【０３２６】続いて、ＴＦＴ３３０７、ＴＦＴ３３１０がＯＮする。ＴＦＴ３３０７がＯＮすることによって、ＴＦＴ３３０８のソース領域の電位は、V_{data}からV_{DD}へと上昇する。よって、ＴＦＴ３３０８のゲート・ソース間電圧がしきい値電圧を上回ってＯＮし、図３３（Ｅ）に示すように、ＥＬ素子３３１３に電流が流れて発光する。

【０３２７】以上のような行程により、隣接画素間でＴＦＴ３３０８のしきい値電圧がばらついても、あらかじめ駆動用ＴＦＴ３３０８のゲート・ソース間にしきい値電圧分の電位差を作っておくことが出来るため、駆動用ＴＦＴ３３０８のゲート・ソース間電圧は隣接画素ごとにばらつくことがない。さらに、これまでの実施例においては、ダイオード接続されたＴＦＴのしきい値電圧を、映像信号に上乗せすることによって、別の駆動用ＴＦＴのゲート電極に入力するといった手法でしきい値電圧のばらつきの補正を行ってきた。ただし、この手法によると、ダイオード接続されたＴＦＴと、駆動用ＴＦＴのしきい値電圧がばらついてしまった場合、満足な補正が行えない。これに対し、図３３（Ａ）に示した本実施例の構成によると、ダイオード接続によってしきい値電圧を取得するＴＦＴと、駆動用ＴＦＴとは同一のＴＦＴを用いている。よって、近接したＴＦＴにおいてしきい値電圧のばらつきが生じたとしても、自らのしきい値電圧をそのまま補正に用いるので、しきい値電圧の補正がいかなる場合でも正常に行われる。

【０３２８】また、ＴＦＴ３３１０はデジタル時間階調方式による駆動方式を適用した際、消去用ＴＦＴとしても用いることが出来る。また、消去用ＴＦＴの位置は、任意のタイミングでＥＬ素子への電流供給を遮断出来る位置であれば、その位置を問わない。

【０３２９】また、図３４（Ａ）（Ｂ）に示すように、ＴＦＴを制御するためのゲート信号線を、複数のＴＦＴで共有しても良い。例えば、図３３（Ａ）において、ＴＦＴ３３０６とＴＦＴ３３０７とは、互いに逆のタイミングでＯＮ・ＯＦＦが制御されるので、図３４（Ａ）に示すように、一方の極性を他方の極性と逆のものとし、同一のゲート信号線３４０２によって制御することが出来る。同様に、図３３（Ａ）において、ＴＦＴ３３０６とＴＦＴ３３０９とは同一のタイミングでＯＮ・ＯＦＦが制御されている。よって図３４（Ｂ）に示すように、同一のゲート信号線３４５２によって制御することが出来る。もちろん、図３４（Ａ）（Ｂ）に示した構成を組み合わせて用いても良い。

【０３３０】ここでも、ＴＦＴ３４０９、３４５９は、消去用ＴＦＴとしても用いることが出来る。

【０３３１】[実施例１０]図３３（Ａ）に示した構成に、図３５（Ａ）に示すように、ＴＦＴ３５１１、３５１２を追加することによって、しきい値電圧の取得を高速に行うことが出来る。しきい値電圧の取得を行う期間においては、図３５（Ｂ）（Ｃ）に示すように、ＴＦＴ３５０８、３５１２の２つを用い、発光時にＥＬ素子３５１５に電流を供給する期間においては、図３５（Ｅ）に示すように、ＴＦＴ３５０８のみを用いる。このとき、ＴＦＴ３５１２のチャネル長Ｌ、チャネル幅Ｗを、Ｗ／Ｌが大きくなるようにしておくことにより、しきい値電圧取得をより高速に行うことが出来る。

【０３３２】この場合も、ＴＦＴ３５１０を消去用ＴＦＴとしても用いることが可能である。

【０３３３】[実施例１１]図３３～３５に示した構成においては、しきい値電圧の取得の前後、つまり正規の発光期間でない期間にも、ＥＬ素子に電流が流れて発光する場合があった。この場合、ＥＬ素子に流れる電流値は、必ずしも映像信号に正しいしきい値電圧の補正が加えられたものにしたがっていないため、実輝度と目的輝度との誤差を生ずる原因となる。

【０３３４】そこで、図３６（Ａ）に示すように、ＴＦＴ３６１２を追加する。図３６（Ｂ）に示すように、映像信号の入力時に、ＴＦＴ３６０９を流れた電流は、ＴＦＴ３６１２を介して電源線３６１７へと流れる。ＥＬ素子３６１５への電流経路は、ＴＦＴ３６１１によって遮断されているので、ＥＬ素子３６１５は発光しない。このような構成とすることにより、不必要な期間にＥＬ素子が発光するのを防ぐことが出来る。

【０３３５】この場合も、ＴＦＴ３６１１を消去用ＴＦＴとしても用いることが可能である。

【０３３６】また、他の実施例と同様、電源線３６１７

SDC-1351-00000369
SDC EX. 2001 - 313/503

65

は他行のゲート信号線と共有しても良い。さらに、ゲート信号線３６０４と３６０６とは共有が可能である。ただし、ＴＦＴ３６１２がＯＮしているとき、ＥＬ素子３６１５に電流が流れないよう、電源線３６１６、３６１７の電位を調整する必要がある。

【０３３７】[実施例１２]しきい値電圧の取得をより高速に行うための構成として、さらに図３７（Ａ）に示す構成が挙げられる。特徴としては、駆動用ＴＦＴとして、同極性のＴＦＴ３７０８、３７１０を直列に接続する。ここでは、Ｐチャネル型ＴＦＴを用いている。また、駆動用ＴＦＴ３７０８のゲート電極とドレイン領域とを接続するＴＦＴ３７０９は、同時に駆動用ＴＦＴ３７１０のゲート電極とソース領域とを接続する構成となっている。

【０３３８】図３７（Ｂ）（Ｃ）に示すように、映像信号の入力からしきい値電圧の取得を行う期間において、ＴＦＴ３７０９がＯＮすることによって、駆動用ＴＦＴ３７０８はダイオード接続されたＴＦＴとして振る舞い、そのソース・ドレイン間にしきい値電圧を取得する。このとき、ＴＦＴ３７０８は、Ｗ／Ｌを大きくすることによってしきい値電圧の取得を高速に行えるようにする。一方、駆動用ＴＦＴ３７０８に直列接続されたＴＦＴ３７１０に着目すると、ＴＦＴ３７０９がＯＮしていることによって、ゲート電極とソース領域とが接続されている。すなわちこの期間において、ＴＦＴ３７０９がＯＮすることによって駆動用ＴＦＴ３７１０のゲート・ソース間電圧は０となり、ＯＦＦするので、ＥＬ素子３７１４には電流が流れず、ＴＦＴ３７１１を介して電源線３７１６に流れる。

【０３３９】続いて、発光期間においては、ＴＦＴ３７０９がＯＦＦし、駆動用ＴＦＴ３７１０のゲート電極とソース領域との接続が遮断される。よって駆動用ＴＦＴ３７０８のしきい値電圧を保持していた電荷の一部が駆動用ＴＦＴ３７１０のゲート電極に移動して、自動的にＴＦＴ３７１０がＯＮする。このとき、駆動用ＴＦＴ３７０８、３７１０は、そのゲート電極が接続されているため、マルチゲート型ＴＦＴとして動作する。よって、発光時には、しきい値電圧の取得時よりもＬが大きくなる。したがって駆動用ＴＦＴ３７０８、３７１０を介して流れる電流はより小さくなる。つまり、駆動用ＴＦＴ３７０８のＷ／Ｌを大きくしても、ＥＬに流れる電流は小さく出来る。よって図３７（Ｅ）に示すように、駆動用ＴＦＴ３７０８、３７１０の両方を介してＥＬ素子３７１４に電流が流れ、発光する。よって、図３６の場合と同様に、不必要な期間にＥＬ素子が発光するのを防ぐことが出来る。

【０３４０】なお、消去期間を設ける場合には、ＴＦＴ３７０９をＯＮすることによって、駆動用ＴＦＴ３７１０のゲート・ソース間電圧が強制的に０となり、ＯＦＦするので、ＥＬの発光を停止することが出来る。

66

【０３４１】また、他の実施例と同様、電源線３７１６は他行のゲート信号線と共有しても良い。また、図３４（Ａ）（Ｂ）に示したように、ゲート信号線を共有しても良い。

【０３４２】[実施例１３]本実施例においては、駆動用ＴＦＴにＮチャネル型ＴＦＴを用いる場合の、実施例８と異なる構成について説明する。

【０３４３】図３８（Ａ）に構成例を示す。基本的な構成原理は他の実施例と同様であり、駆動用ＴＦＴ３８１０のゲート電極とドレイン電極を接続する位置にＴＦＴ３８０９を設ける。

【０３４４】動作について説明する。図３８（Ｂ）に示すように、映像信号V_{data}が入力されて電荷の移動が生ずる。このとき、ＴＦＴ３８１１をＯＦＦしておくことによって、ＥＬ素子３８１５が発光しないようにしておく。その後、図３８（Ｃ）に示すように、ＴＦＴ３８１０のしきい値電圧の取得が行われ、やがてＴＦＴ３８１０のソース・ドレイン間電圧が、そのしきい値電圧に等しくなると、ＴＦＴ３８１０はＯＦＦし、図３８（Ｄ）に示すように、しきい値電圧の取得が完了する。

【０３４５】続いて、ＴＦＴ３８０８、３８１１がＯＮし、図３８（Ｅ）に示すように電流が流れ、ＥＬ素子３８１５が発光する。なお、容量手段３８１３は、発光時にＴＦＴ３８１０のゲート・ソース間電圧を保持する位置に設けられており、ＥＬ素子３８１５の経時的な劣化によって、ＥＬ素子３８１５の陽極の電位が上昇した場合にも、ＴＦＴ３８１０のゲート・ソース間電圧が小さくならないようにしている。よって、ＥＬ素子３８１５の劣化による輝度低下の抑止に寄与することが出来る。

【０３４６】この場合も、ＴＦＴ３８１１を消去用ＴＦＴとしても用いることが可能である。

【０３４７】また、他の実施例と同様、電源線３８１７は他行のゲート信号線と共有が可能である。また、図３４（Ａ）（Ｂ）に示したように、ゲート信号線を共有しても良い。

【０３４８】[実施例１４]図３９（Ａ）に、駆動用ＴＦＴにＮチャネル型ＴＦＴを用いて構成した場合の、さらなる一構成例を示す。駆動用ＴＦＴとして、ＴＦＴ３９０８、３９１１が直列に接続され、ＴＦＴ３９１０によって、ＴＦＴ３９１１のゲート電極とドレイン領域とを接続している。同時にＴＦＴ３９１０は、ＴＦＴ３９０８のゲート電極とソース領域とを接続している。

【０３４９】映像信号入力時、図３９（Ｂ）に示すように電荷の移動が生ずる。このとき、ＴＦＴ３９１０がＯＮすることによって、ＴＦＴ３９１１のゲート電極とドレイン領域とが接続され、ＴＦＴ３９１１はダイオード接続されたＴＦＴとして振る舞う。一方、ＴＦＴ３９０８は、同じくＴＦＴ３９１０がＯＮすることによって、ゲート電極とソース領域とが接続され、すなわちゲート・ソース間電圧が０となるのでＯＦＦし、電流が流れな

SDC-1351-00000370
SDC EX. 2001 - 314/503

い。

【０３５０】続いて、ＴＦＴ３９０９がＯＦＦすると、図３９（Ｃ）に示すように電荷が移動し、ＴＦＴ３９１１のしきい値電圧の取得を行う。ＴＦＴ３９１１のソース・ドレイン間電圧が、そのしきい値電圧に等しくなったところでＴＦＴ３９１１がＯＦＦし、図３９（Ｄ）に示すように、しきい値電圧の取得が完了する。

【０３５１】続いて、図３９（Ｅ）に示すように電流がＥＬ素子３９１６に流れて発光する。なお、容量手段３９１４は、発光時にＴＦＴ３９１１のゲート・ソース間電圧を保持する位置に設けられており、ＥＬ素子３９１６の経時的な劣化によって、ＥＬ素子３９１６の陽極の電位が上昇した場合にも、ＴＦＴ３９１１のゲート・ソース間電圧が小さくならないようにしている。よって、ＥＬ素子３９１６の劣化による輝度低下の抑止に寄与することが出来る。

【０３５２】ここでも、図３７に示した構成と同様、駆動用ＴＦＴ３９０８、３９１１は、そのゲート電極が接続されているので、マルチゲート型ＴＦＴとして動作する。よって、しきい値電圧の取得を高速化するために駆動用ＴＦＴ３９１１のＷ／Ｌを大きくしても、ＥＬ素子３９１６に流れる電流は小さく出来る。

【０３５３】この場合も、ＴＦＴ３９１２、またはＴＦＴ３９１０を消去用ＴＦＴとしても用いることが可能である。ＴＦＴ３９１２をＯＦＦすることにより、ＥＬ素子３９１６への電流供給を遮断することが出来る。また、ＴＦＴ３９１０をＯＮすることによって、駆動用ＴＦＴ３９０８のゲート・ソース間電圧が強制的に０となり、ＯＦＦするので、ＥＬの発光を停止することが出来る。

【０３５４】[実施例１５]駆動用ＴＦＴにＮチャネル型ＴＦＴを用いる構成においても、実施例１０に示した手法が適用出来る。図４０（Ａ）に構成例を示す。

【０３５５】図４０（Ａ）に示した構成は、図３８（Ａ）に示した構成に、ＴＦＴ４００９、４０１０を追加したものである。ＴＦＴ４０１０、４０１２は並列に配置され、しきい値電圧の取得期間においては、図４０（Ｃ）に示すように並列接続されたＴＦＴ４０１０、４０１２の両方を用い、発光期間においては、ＴＦＴ４００９をＯＦＦして、ＴＦＴ４０１２のみを介してＥＬ素子４０１７に電流が供給される。ここで、発光期間に電流経路として用いないＴＦＴ４０１０については、Ｗ／Ｌを大きくしておくことにより、しきい値電圧の取得がより高速に行われる。

【０３５６】この場合も、ＴＦＴ４０１３を消去用ＴＦＴとしても用いることが可能である。

[実施例１６]本発明におけるトランジスタのしきい値電圧の補正の方法として、補正に用いるトランジスタのゲート・ドレイン間を短絡してダイオード化した状態でソース・ドレイン間に電流を流し、ソース・ドレイン間の電圧がトランジスタのしきい値電圧に等しくなる現象を利用しているが、これは本発明で紹介したような画素部への適用のみならず、駆動回路への応用も可能である。

【０３５７】例として、電流を画素などへ出力する駆動回路における、電流源回路を挙げる。電流源回路は、入力された電圧信号から、所望の電流を出力する回路である。電流源回路内の電流源トランジスタのゲート電極に電圧信号が入力され、そのゲート・ソース間電圧に応じた電流が、電流源トランジスタを介して出力される。つまり、電流源トランジスタのしきい値電圧の補正に、本発明のしきい値電圧の補正方法を用いる。

【０３５８】図４１（Ａ）に、電流源回路の利用例を示す。シフトレジスタより順次サンプリングパルスが出力され、該サンプリングパルスはそれぞれの電流源回路９００１へと入力され、該サンプリングパルスが電流源回路９００１に入力されたタイミングに従って、映像信号のサンプリングを行う。この場合、サンプリング動作は点順次で行われる。

【０３５９】簡単な動作タイミングを図４１（Ｂ）に示す。ｉ行目のゲート信号線が選択されている期間は、シフトレジスタからサンプリングパルスが出力され、映像信号のサンプリングを行う期間と、帰線期間とに分けられる。この帰線期間において、本発明のしきい値電圧の補正動作、つまり、各部の電位を初期化したり、トランジスタのしきい値電圧を取得したりする一連の動作を行う。つまり、しきい値電圧の取得動作は１水平期間ごとに行うことが出来る。

【０３６０】図４２（Ａ）に、図４１とは異なる構成の電流を画素などへ出力する駆動回路の構成を示す。図４１の場合と異なる点としては、１段のサンプリングパルスによって制御される電流源回路９００１は、９００１Ａ、９００１Ｂの２つとなっており、電流源制御信号によって、双方の動作が選択される。

【０３６１】図４２（Ｂ）に示すように、電流源制御信号は、例えば１水平期間ごとに切り替わるようにする。すると電流源回路９００１Ａ、９００１Ｂの動作は、一方が画素などへの電流出力を行い、他方が映像信号の入力などを行う。これが行ごとに入れ替わり行われる。この場合、サンプリング動作は線順次で行われる。

【０３６２】図４３（Ａ）に、さらに異なる構成の駆動回路の構成を示す。図４１、図４２においては、映像信号の形式はデジタル・アナログを問わないが、図４３（Ａ）の構成では、デジタル映像信号を入力する。入力されたデジタル映像信号は、サンプリングパルスの出力に従って第１のラッチ回路に取りこまれ、一行分の映像信号の取り込みが終了した後、第２のラッチ回路に転送され、その後、各電流源回路９００１Ａ～９００１Ｃへと入力される。ここで、電流源回路９００１Ａ～９００１Ｃは、それぞれから出力される電流値が異なっている。例えば、電流値の比が１：２：４となっている。つ

SDC-1351-00000371
SDC EX. 2001 - 315/503

まり、並列にｎ個の電流源回路を配置し、その電流値の比を１：２：４：・・・$2^{(n-1)}$とし、各電流源回路から出力される電流を足し合わせることにより、出力される電流値を線形的に変化させることが出来る。

【０３６３】動作タイミングは、図４１に示したものとほぼ同様であり、サンプリング動作を行わない帰線期間内に、電流源回路９００１において、しきい値電圧の補正動作が行われ、続いてラッチ回路に保持されているデータが転送され、電流源回路９００１においてＶ－Ｉ変換を行い、画素へ電流を出力する。サンプリング動作は、図４２に示した構成と同様、線順次で行われる。

【０３６４】図４４（Ａ）に、さらに異なる構成の電流を画素などへ出力する駆動回路の構成を示す。この構成では、ラッチ回路に取り込まれたデジタル映像信号は、ラッチ信号の入力によってＤ／Ａ変換回路へと転送され、アナログ映像信号へと変換され、該アナログ映像信号が各電流源回路９００１へと入力されて、電流が出力される。

【０３６５】また、このようなＤ／Ａ変換回路に、例えばガンマ補正用の機能を持たせても良い。

【０３６６】図４４（Ｂ）に示すように、帰線期間内にしきい値電圧の補正、ラッチデータ転送が行われ、ある行のサンプリング動作が行われている期間に、前行の映像信号のＶ－Ｉ変換、画素などへの電流の出力が行われる。サンプリング動作は、図４２に示した構成と同様、線順次で行われる。

【０３６７】以上に示した構成に限らず、電流源回路によってＶ－Ｉ変換を行うような場合には、本発明のしきい値電圧の補正手段の適用が可能である。また、図４２に示したように、複数の電流源回路を並列に配置し、切り替えて使用するといった構成を、図４３、図４４等の構成と組み合わせて使用しても良い。

【０３６８】[実施例１６]発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【０３６９】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(ＤＶＤ)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図３１に示す。

【０３７０】図３１(Ａ)は発光素子表示装置であり、筐体３００１、支持台３００２、表示部３００３、スピーカー部３００４、ビデオ入力端子３００５等を含む。本発明の発光装置は表示部３００３に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パソコン用、ＴＶ放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【０３７１】図３１(Ｂ)はデジタルスチルカメラであり、本体３１０１、表示部３１０２、受像部３１０３、操作キー３１０４、外部接続ポート３１０５、シャッター３１０６等を含む。本発明の発光装置は表示部３１０２に用いることができる。

【０３７２】図３１(Ｃ)はノート型パーソナルコンピュータであり、本体３２０１、筐体３２０２、表示部３２０３、キーボード３２０４、外部接続ポート３２０５、ポインティングマウス３２０６等を含む。本発明の発光装置は表示部３２０３に用いることができる。

【０３７３】図３１(Ｄ)はモバイルコンピュータであり、本体３３０１、表示部３３０２、スイッチ３３０３、操作キー３３０４、赤外線ポート３３０５等を含む。本発明の発光装置は表示部２３０２に用いることができる。

【０３７４】図３１(Ｅ)は記録媒体を備えた携帯型の画像再生装置(具体的にはＤＶＤ再生装置)であり、本体３４０１、筐体３４０２、表示部Ａ３４０３、表示部Ｂ３４０４、記録媒体(ＤＶＤ等)読込部３４０５、操作キー３４０６、スピーカー部３４０７等を含む。表示部Ａ３４０３は主として画像情報を表示し、表示部Ｂ３４０４は主として文字情報を表示するが、本発明の発光装置はこれら表示部Ａ、Ｂ３４０３、３４０４に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【０３７５】図３１(Ｆ)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体３５０１、表示部３５０２、アーム部３５０３を含む。本発明の発光装置は表示部３５０２に用いることができる。

【０３７６】図３１(Ｇ)はビデオカメラであり、本体３６０１、表示部３６０２、筐体３６０３、外部接続ポート３６０４、リモコン受信部３６０５、受像部３６０６、バッテリー３６０７、音声入力部３６０８、操作キー３６０９、接眼部３６１０等を含む。本発明の発光装置は表示部３６０２に用いることができる。

【０３７７】図３１(Ｈ)は携帯電話であり、本体３７０１、筐体３７０２、表示部３７０３、音声入力部３７０４、音声出力部３７０５、操作キー３７０６、外部接続ポート３７０７、アンテナ３７０８等を含む。本発明の発光装置は表示部３７０３に用いることができる。なお、表示部３７０３は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

SDC-1351-00000372
SDC EX. 2001 - 316/503

【０３７８】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【０３７９】また、上記電子機器はインターネットやＣＡＴＶ(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【０３８０】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【０３８１】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例１～１５に示したいずれの構成の発光装置を用いても良い。

【発明の効果】本発明によると、容量手段の容量値等のばらつきの影響等を受けることなく、正常にＴＦＴのしきい値電圧のばらつきを補正することが出来る。さらに、図２２、２３に示したように、発光装置に応用する場合、従来例では１水平期間内に行う動作が多かったのに対して、本発明はより簡単な動作原理に基づいており、動作タイミングも簡単なため、回路の高速動作が可能となり、特にデジタル階調方式と時間階調方式とを組み合わせた方法によって表示を行う際に、よりビット数の高い映像信号を用いて高品質な映像の表示が可能となる。

【図面の簡単な説明】

【図１】　本発明の一実施形態を示す図。

【図２】　図１に示した構成による動作を説明する図。

【図３】　本発明の一実施形態およびその動作を説明する図。

【図４】　本発明の一実施形態およびその動作を説明する図。

【図５】　本発明の一実施形態およびその動作を説明する図。

【図６】　本発明の一実施形態およびその動作を説明する図。

【図７】　本発明の一実施形態およびその動作を説明する図。

【図８】　本発明の一実施形態を示す図。

【図９】　本発明の一実施形態およびその動作を説明する図。

【図１０】　本発明の一実施形態およびその動作を説明する図。

【図１１】　図９に示した構成による動作のタイミングを示す図。

【図１２】　図１０に示した構成による動作のタイミングを示す図。

【図１３】　発光装置の作製工程を説明する図。

【図１４】　発光装置の作製工程を説明する図。

【図１５】　発光装置の作製工程を説明する図。

【図１６】　本発明の一実施形態およびその動作を説明する図。

【図１７】　図１６に示した構成による動作を説明する図。

【図１８】　本発明の一実施形態およびその動作を説明する図。

【図１９】　図１８に示した構成による動作を説明する図。

【図２０】　一般的な発光装置の画素の構成を示す図。

【図２１】　デジタル階調方式と時間階調方式とを組み合わせた方法による動作を説明する図。

【図２２】　ＴＦＴのしきい値電圧の補正を行う画素の構成の一例を示す図。

【図２３】　図２２に示した構成による動作を説明する図。

【図２４】　アナログ信号方式による発光装置の概要を説明する図。

【図２５】　図２４にて用いるソース信号線駆動回路およびゲート信号線駆動回路の構成例を示す図。

【図２６】　デジタル信号方式による発光装置の概要を説明する図。

【図２７】　図２６にて用いるソース信号線駆動回路の構成例を示す図。

【図２８】　Ｄ－ＦＦを用いた一般的なシフトレジスタによるパルス幅調整の例を示す図。

【図２９】　本発明の動作原理を説明する図。

【図３０】　発光装置の上面図および断面図。

【図３１】　本発明が適用可能な電子機器の例を示す図。

【図３２】　本発明の実施形態とは異なる構成例および動作を説明する図。

【図３３】　本発明の実施形態とは異なる構成例および動作を説明する図。

【図３４】　本発明の実施形態とは異なる構成例および動作を説明する図。

【図３５】　本発明の実施形態とは異なる構成例および動作を説明する図。

【図３６】　本発明の実施形態とは異なる構成例および動作を説明する図。

【図３７】　本発明の実施形態とは異なる構成例および動作を説明する図。

SDC-1351-00000373
SDC EX. 2001 - 317/503

【図３８】　本発明の実施形態とは異なる構成例および動作を説明する図。

【図３９】　本発明の実施形態とは異なる構成例および動作を説明する図。

【図４０】　本発明の実施形態とは異なる構成例および動作を説明する図。

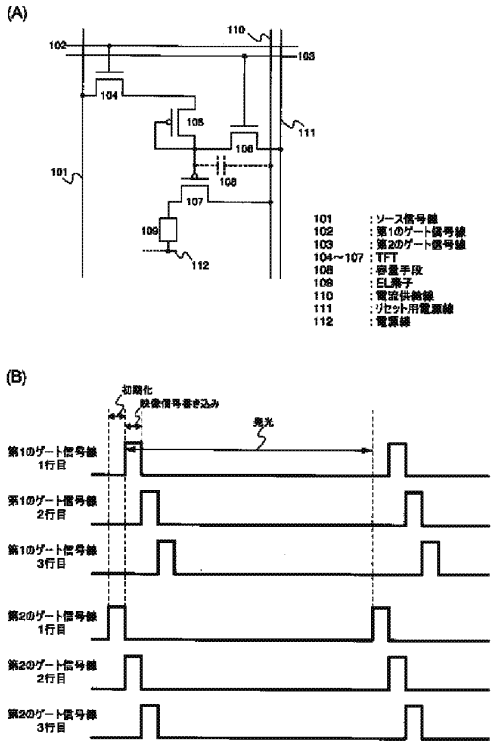
【図４１】　本発明のしきい値電圧の補正原理を用い＊て電流源回路を構成する例を示す図。

【図４２】　本発明のしきい値電圧の補正原理を用いて電流源回路を構成する例を示す図。

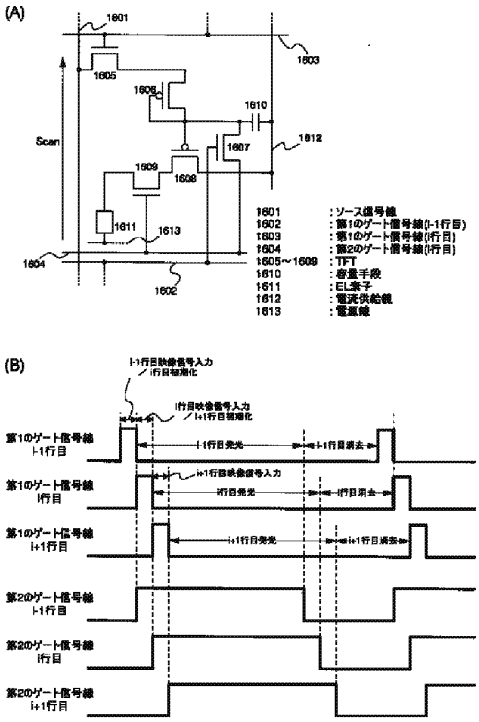
【図４３】　本発明のしきい値電圧の補正原理を用いて電流源回路を構成する例を示す図。

【図４４】　本発明のしきい値電圧の補正原理を用いて電流源回路を構成する例を示す図。

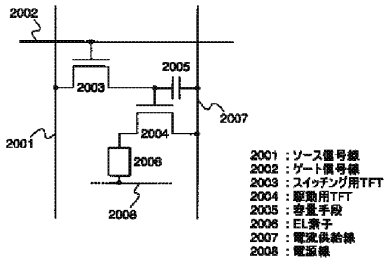
【図１】



【図１６】



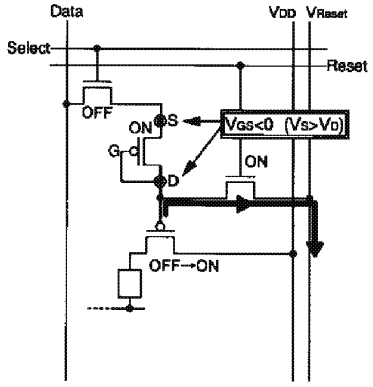
【図２０】



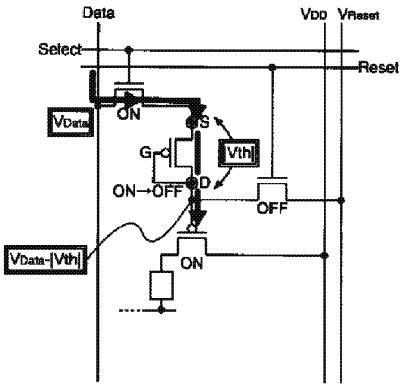
SDC-1351-00000374
SDC EX. 2001 - 318/503

【図２】

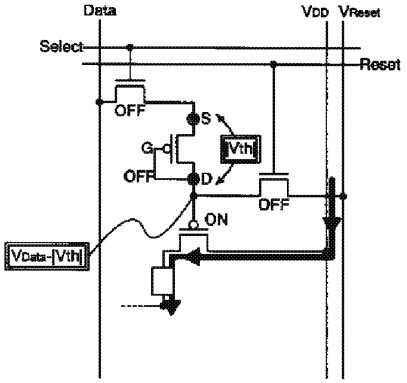
(A) 初期化



(B) 映像信号書き込み

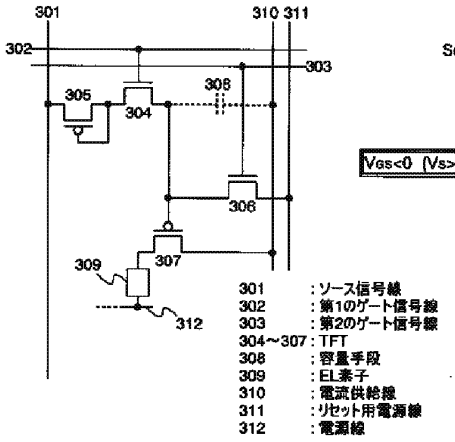


(C) 発 光

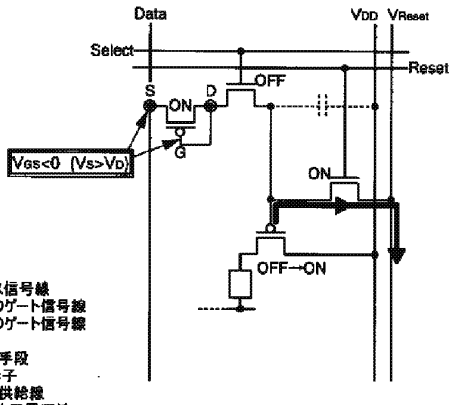


【図３】

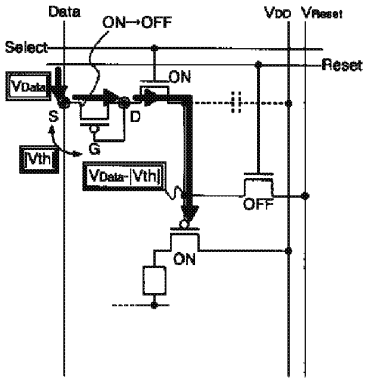
(A)



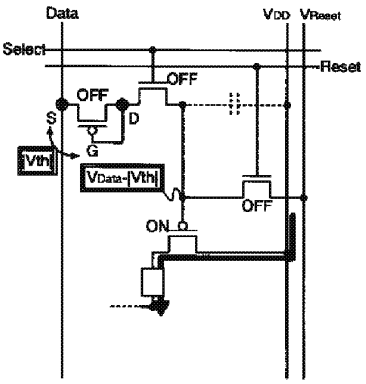
(B) 初期化



(C) 映像信号書き込み

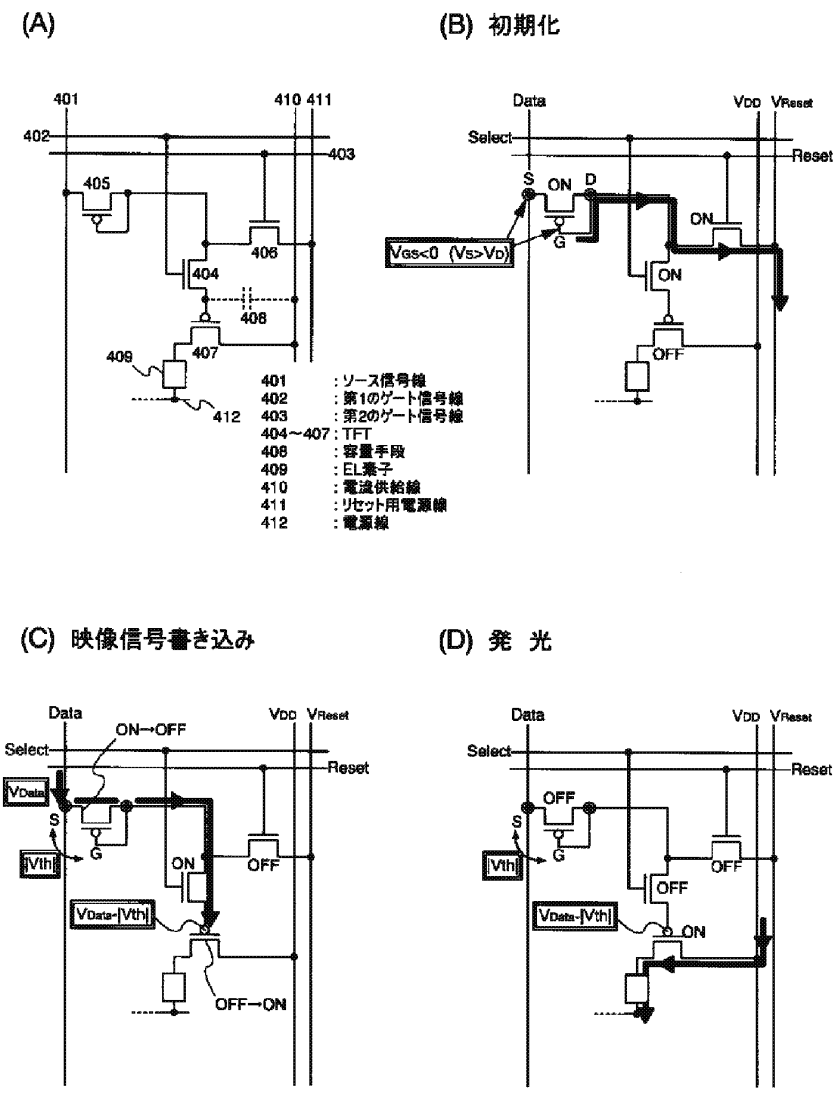


(D) 発 光



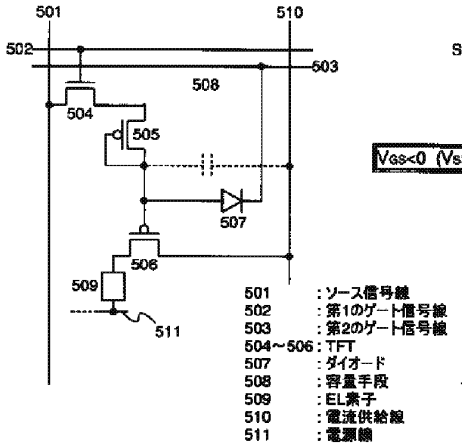
SDC-1351-00000376
SDC EX. 2001 - 320/503

【図４】


(A)
(B) 初期化
(C) 映像信号書き込み
(D) 発 光
401
402
403
404
405
406
407
408
409
410
411
412
Data
Select
Reset
VDD
VReset
S
D
G
ON
OFF
VGS<0 (VS>VD)
VData
|Vth|
VData-|Vth|
ON→OFF
OFF→ON
401 : ソース信号線
402 : 第1のゲート信号線
403 : 第2のゲート信号線
404～407 : TFT
408 : 容量手段
409 : EL素子
410 : 電流供給線
411 : リセット用電源線
412 : 電源線

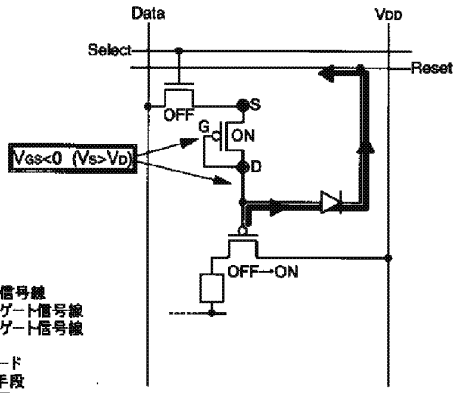
【図５】

(A)

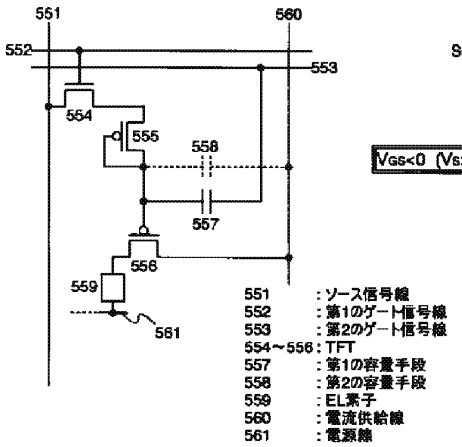


501 : ソース信号線
502 : 第1のゲート信号線
503 : 第2のゲート信号線
504～506 : TFT
507 : ダイオード
508 : 容量手段
509 : EL素子
510 : 電流供給線
511 : 電源線

(B) 初期化

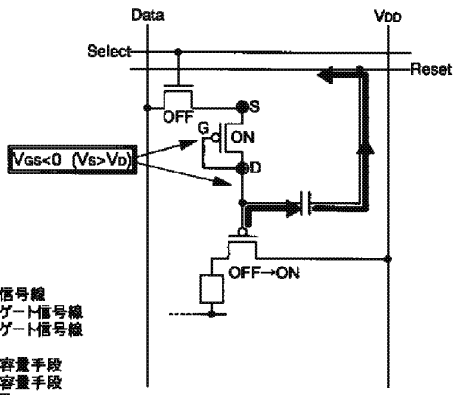


(C)



551 : ソース信号線
552 : 第1のゲート信号線
553 : 第2のゲート信号線
554～556 : TFT
557 : 第1の容量手段
558 : 第2の容量手段
559 : EL素子
560 : 電流供給線
561 : 電源線

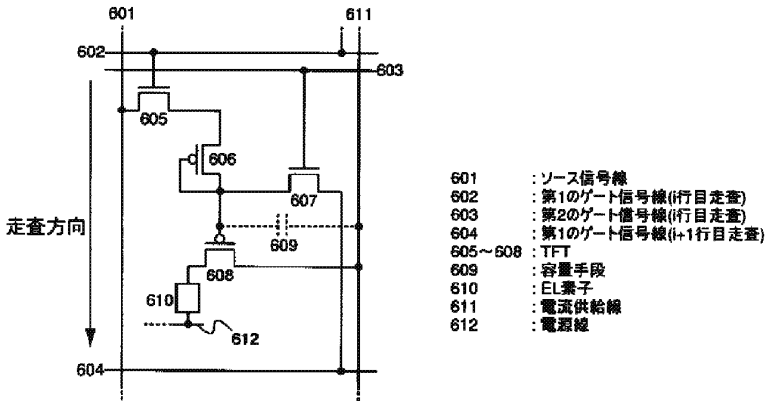
(D) 初期化



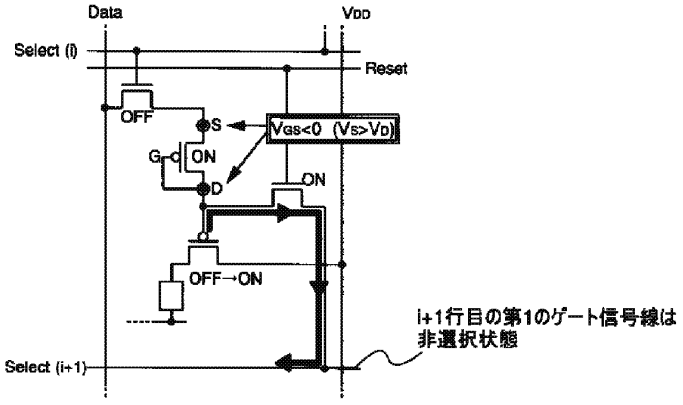
SDC-1351-00000378
SDC EX. 2001 - 322/503

【図６】

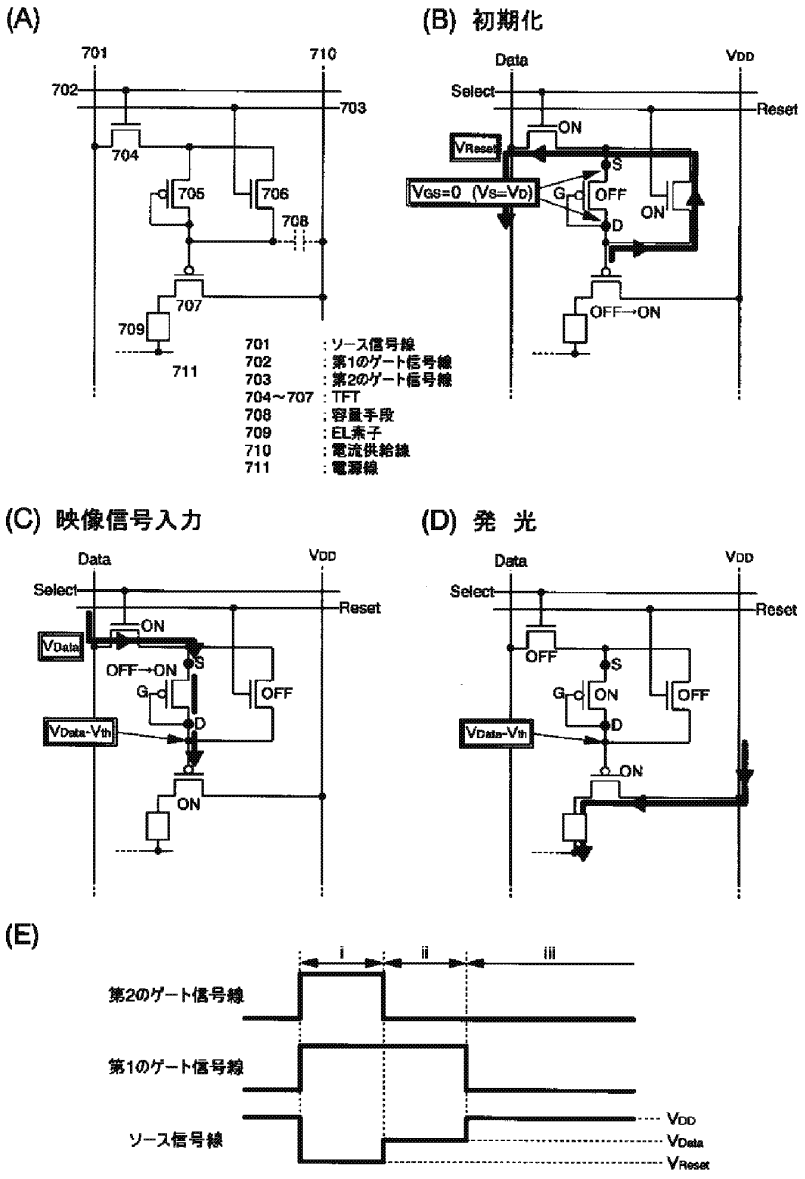
(A)



(B) 初期化 (i行目走査時)

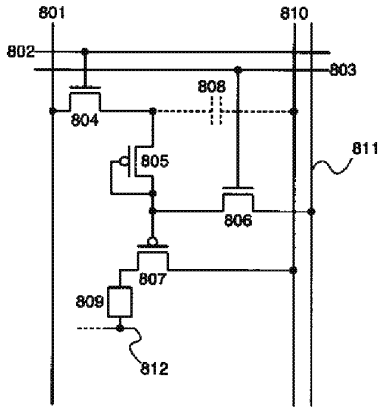


【図７】


(A)
(B) 初期化
(C) 映像信号入力
(D) 発 光
(E)
701 : ソース信号線
702 : 第1のゲート信号線
703 : 第2のゲート信号線
704～707 : TFT
708 : 容量手段
709 : EL素子
710 : 電流供給線
711 : 電源線
第2のゲート信号線
第1のゲート信号線
ソース信号線

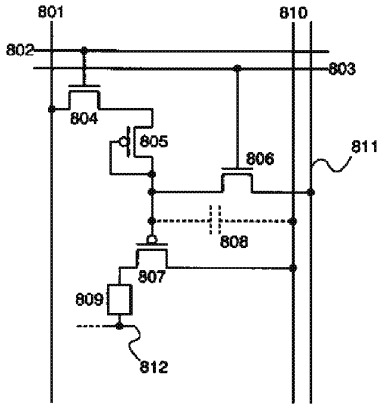
【図８】

(A)



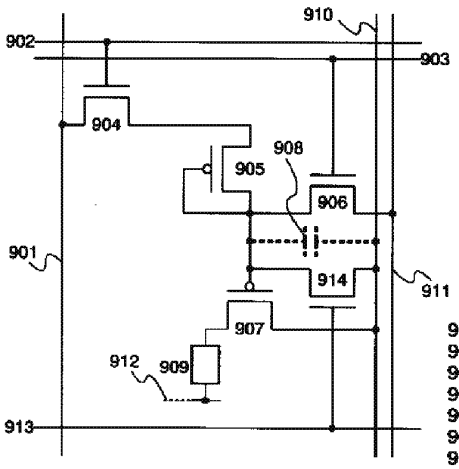
801 ：ソース信号線
802 ：第1のゲート信号線
803 ：第2のゲート信号線
804～807 ：TFT
808 ：容量手段
809 ：EL素子
810 ：電流供給線
811 ：リセット用電源線
812 ：電源線

(B)



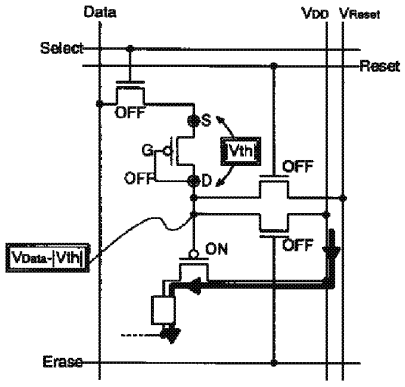
【図９】

(A)

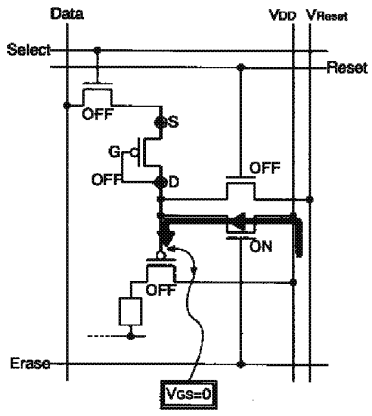


901 ：ソース信号線
902 ：第1のゲート信号線
903 ：第2のゲート信号線
904～907 ：TFT
908 ：容量手段
909 ：EL素子
910 ：電流供給線
911 ：リセット用電源線
912 ：電源線
913 ：第3のゲート信号線
914 ：TFT(消去用TFT)

(B) 発 光



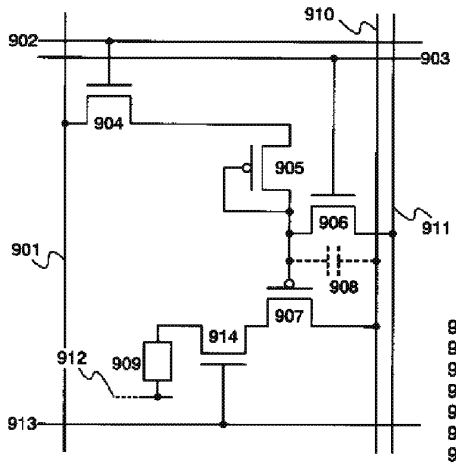
(C) 消 去



SDC-1351-00000382
SDC EX. 2001 - 326/503

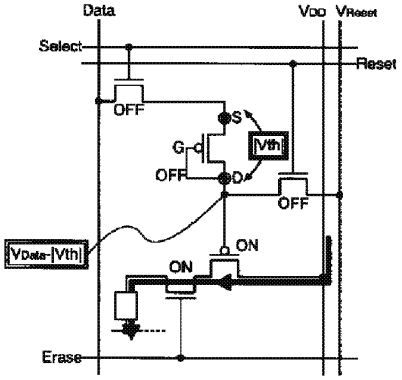
【図１０】

(A)

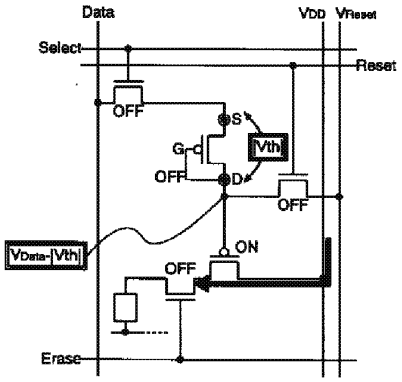


901	:ソース信号線
902	:第1のゲート信号線
903	:第2のゲート信号線
904～907	:TFT
908	:容量手段
909	:EL素子
910	:電流供給線
911	:リセット用電源線
912	:電源線
913	:第3のゲート信号線
914	:TFT(消去用TFT)

(B) 発 光

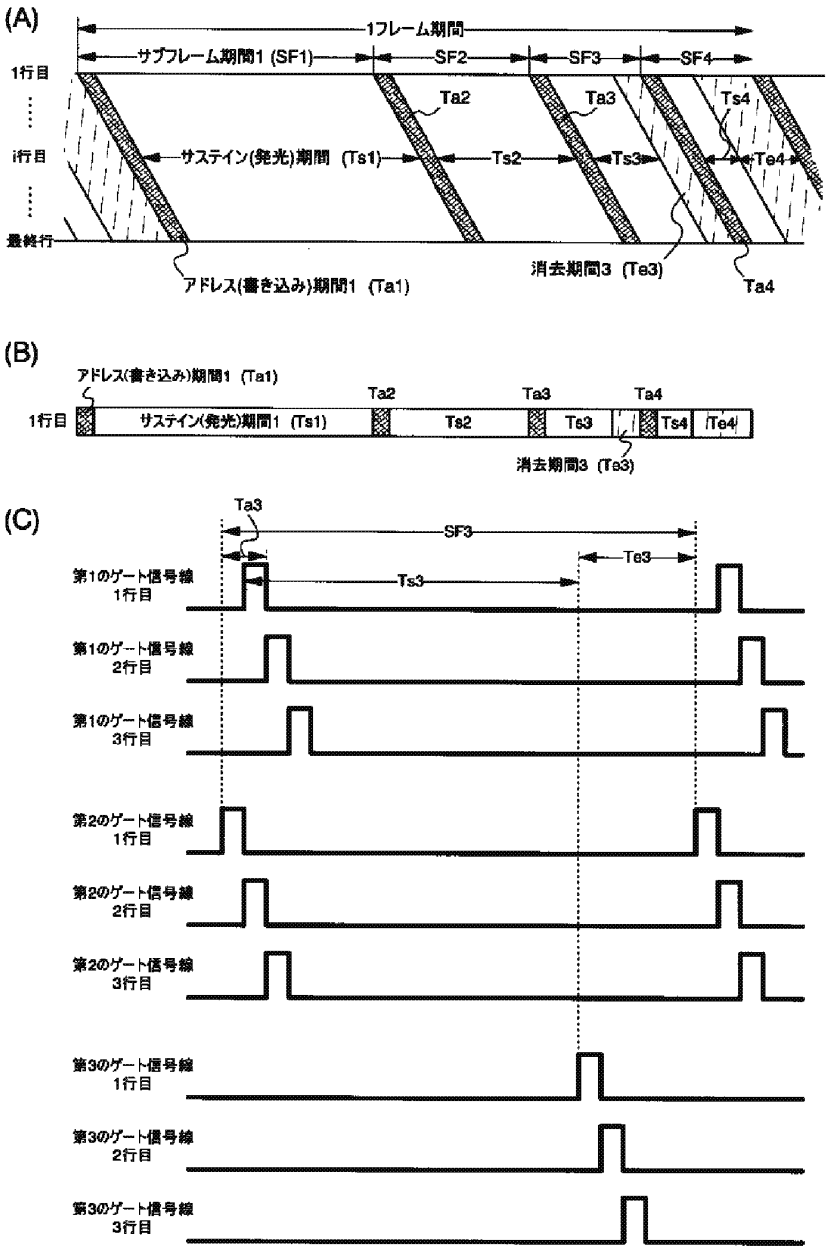


(C) 消 去



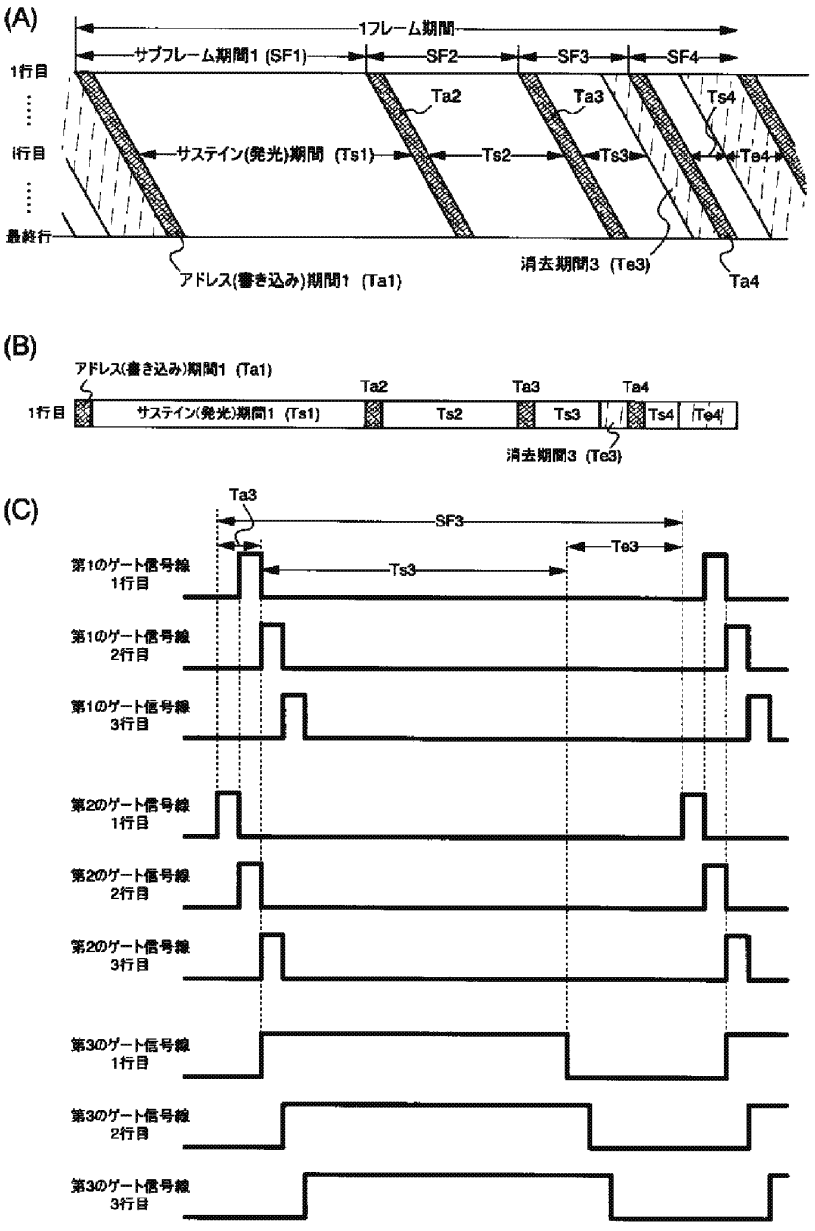
SDC-1351-00000383
SDC EX. 2001 - 327/503

【図１１】



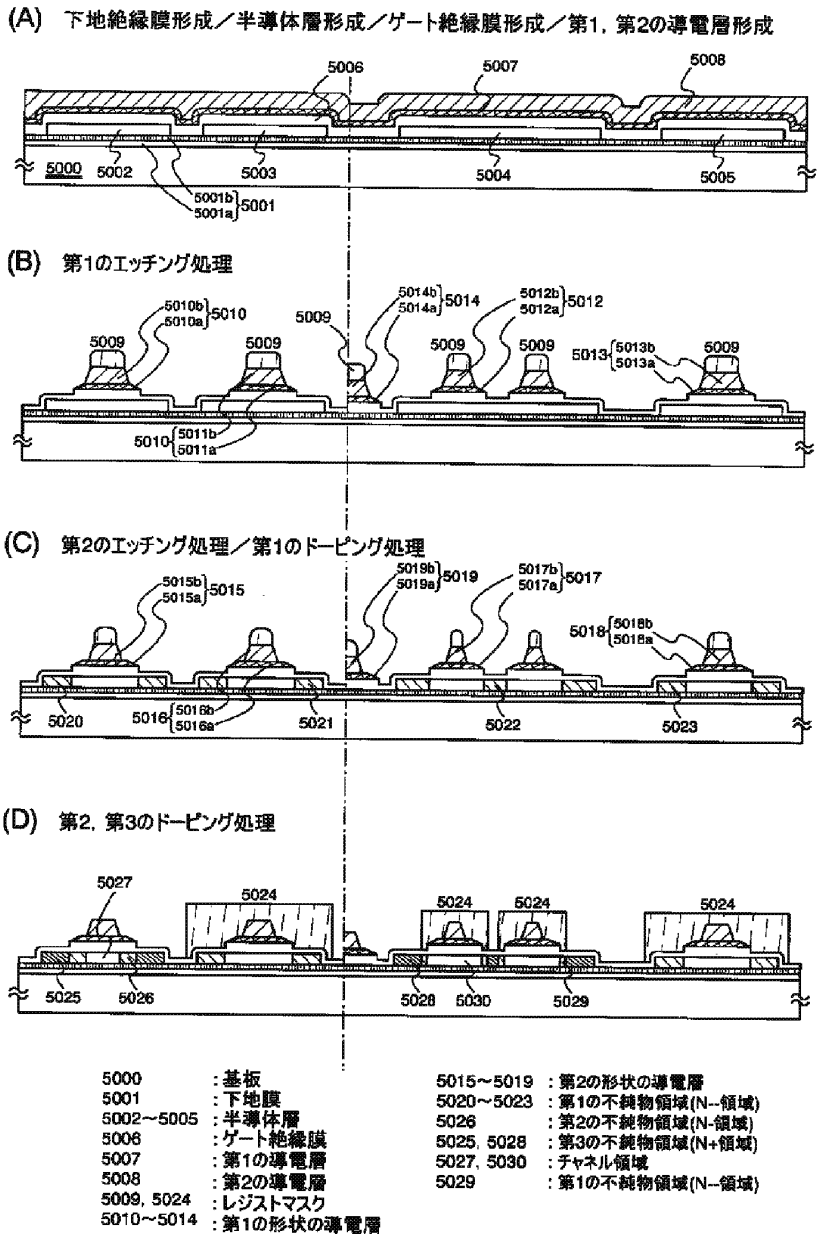
SDC-1351-00000384
SDC EX. 2001 - 328/503

【図１２】



SDC-1351-00000385
SDC EX. 2001 - 329/503

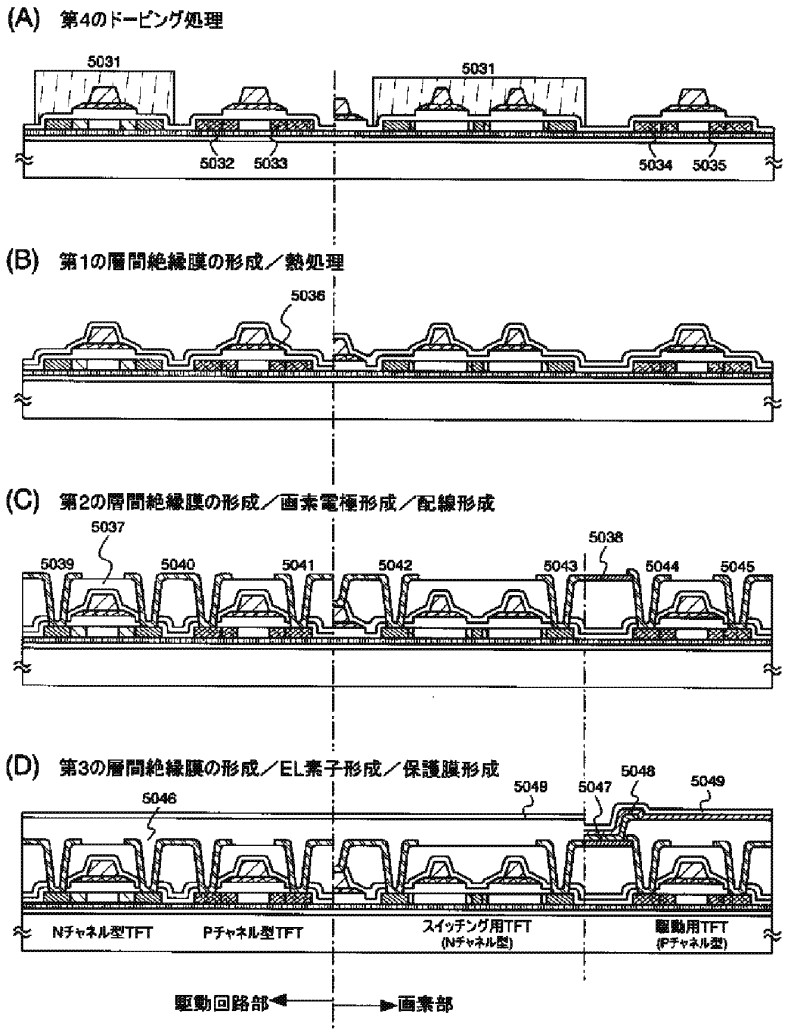
【図１３】



5000	：基板	5015～5019	：第2の形状の導電層
5001	：下地膜	5020～5023	：第1の不純物領域(N--領域)
5002～5005	：半導体層	5026	：第2の不純物領域(N-領域)
5006	：ゲート絶縁膜	5025，5028	：第3の不純物領域(N+領域)
5007	：第1の導電層	5027，5030	：チャネル領域
5008	：第2の導電層	5029	：第1の不純物領域(N--領域)
5009，5024	：レジストマスク		
5010～5014	：第1の形状の導電層		

SDC-1351-00000386
SDC EX. 2001 - 330/503

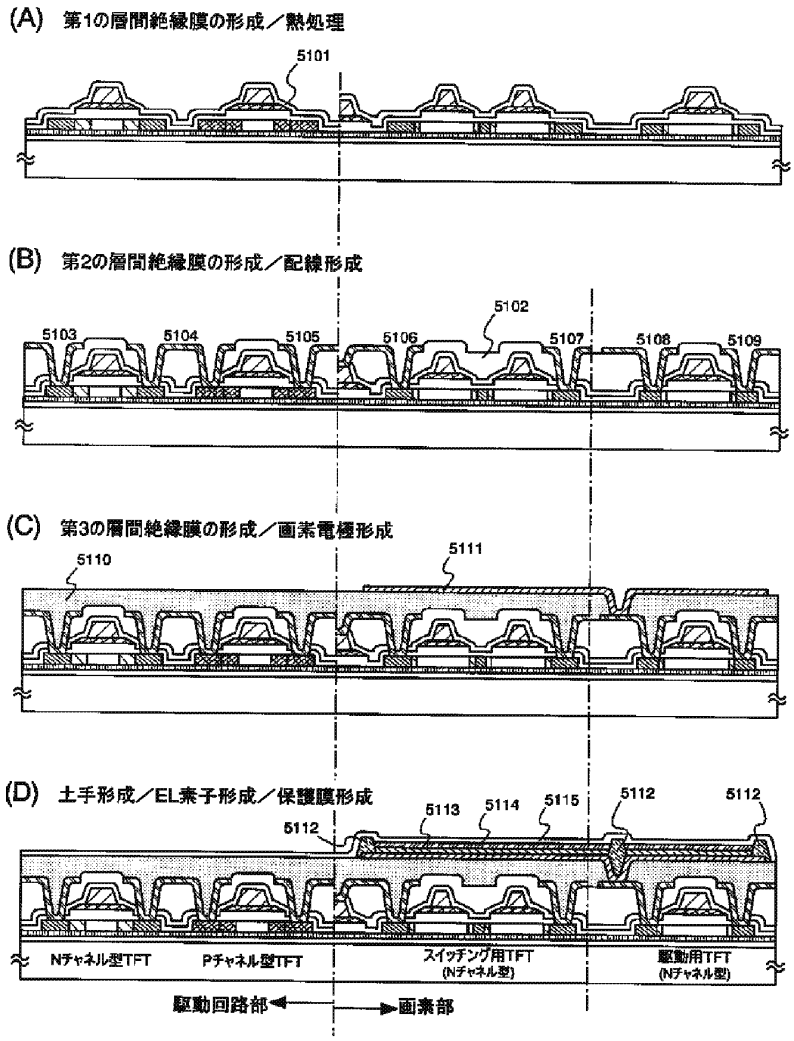
【図１４】



5031	：レジストマスク	5039～5045	：配線
5032, 5034	：第4の不純物領域(P+領域)	5046	：第3の層間絶縁膜
5033, 5035	：第5の不純物領域(P-領域)	5047	：EL層
5036	：第1の層間絶縁膜	5048	：画素電極(陰極)
5037	：第2の層間絶縁膜	5049	：保護膜
5038	：画素電極(陽極)		

SDC-1351-00000387
SDC EX. 2001 - 331/503

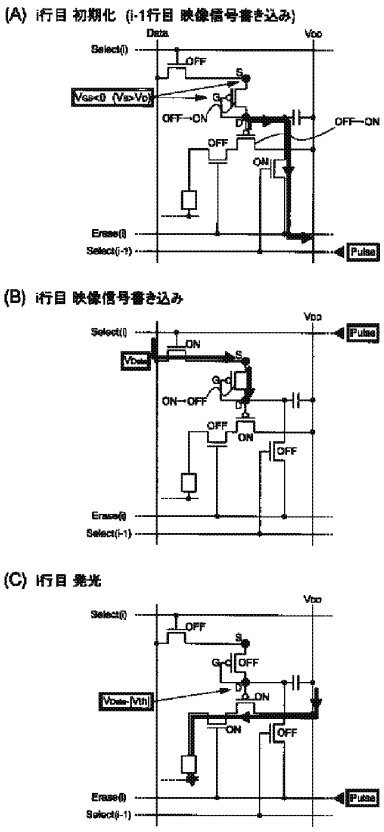
【図１５】



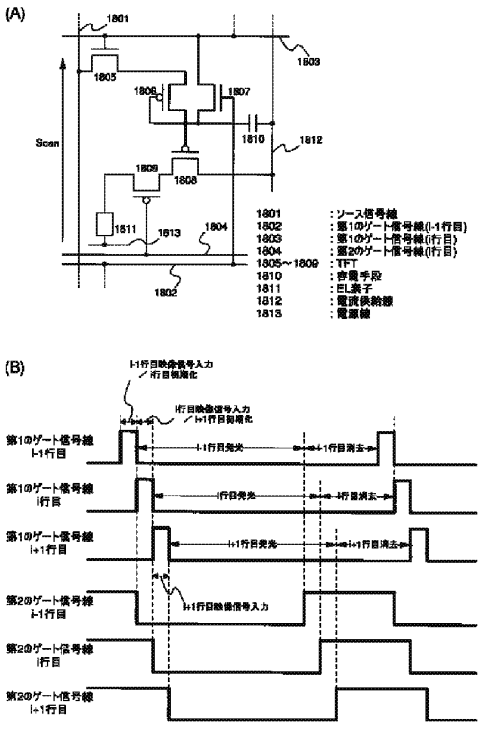
5101	：第1の層間絶縁膜	5112	：土手
5102	：第2の層間絶縁膜	5113	：EL層
5103～5109	：配線	5114	：画素電極(陽極)
5110	：第3の層間絶縁膜	5115	：保護膜
5111	：画素電極(陰極)		

SDC-1351-00000388
SDC EX. 2001 - 332/503

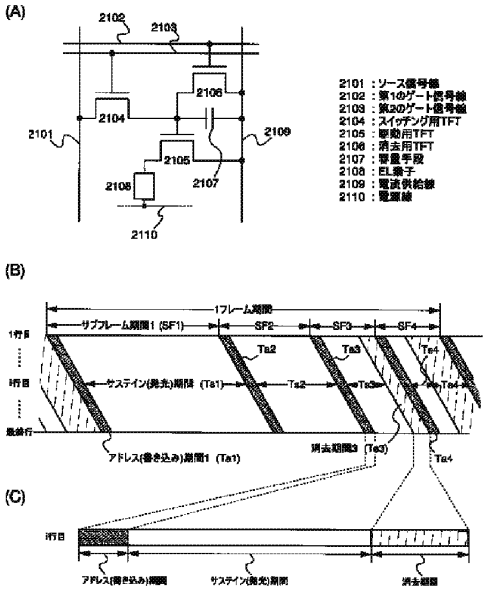
【図１７】



【図１８】

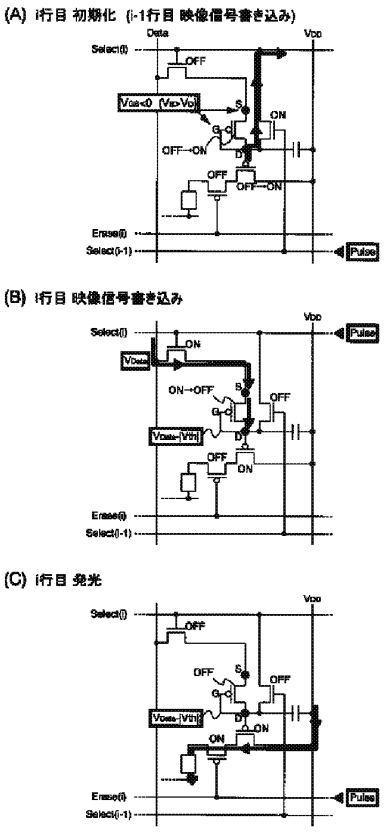


【図２１】

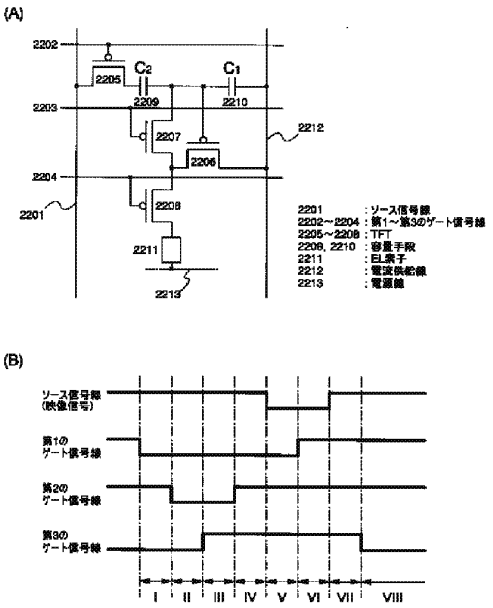


SDC-1351-00000389
SDC EX. 2001 - 333/503

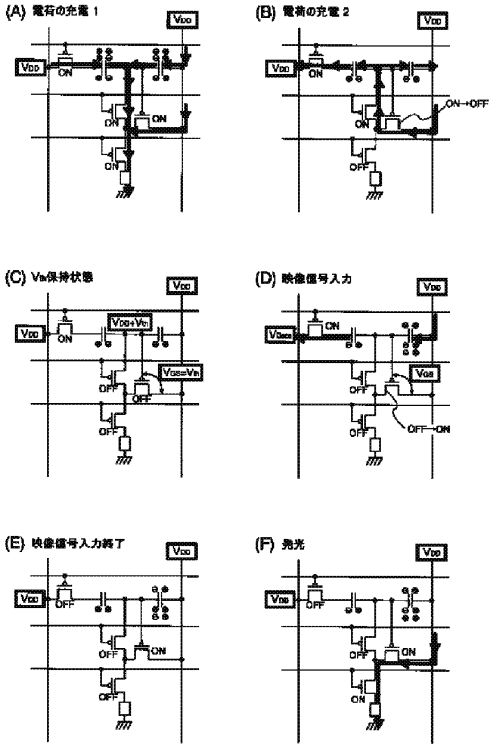
【図１９】



【図２２】

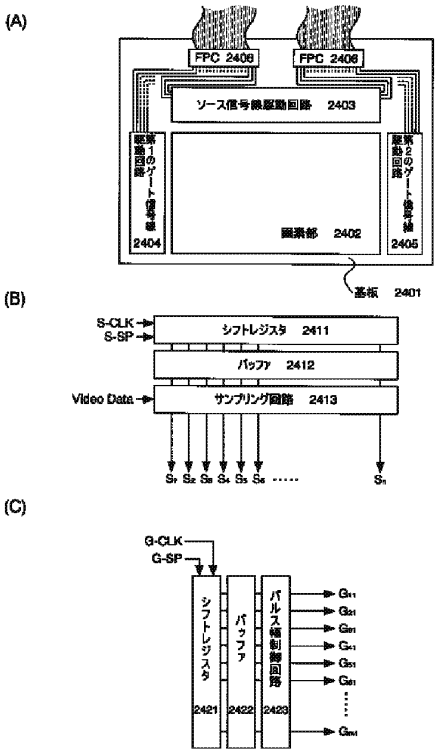


【図２３】

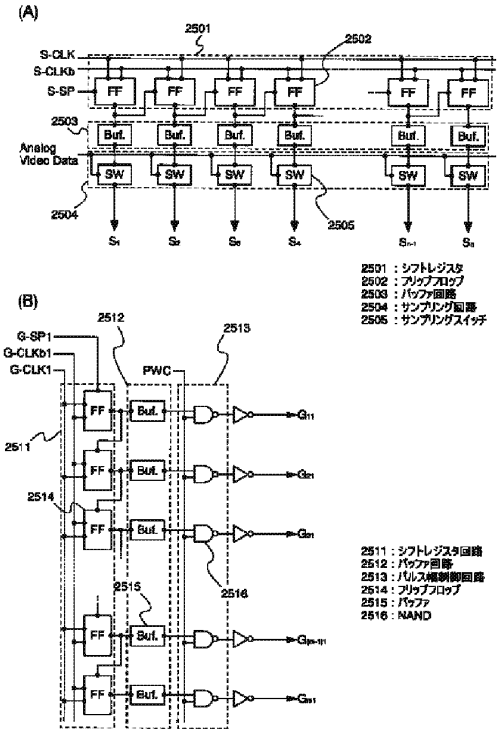


SDC-1351-00000390
SDC EX. 2001 - 334/503

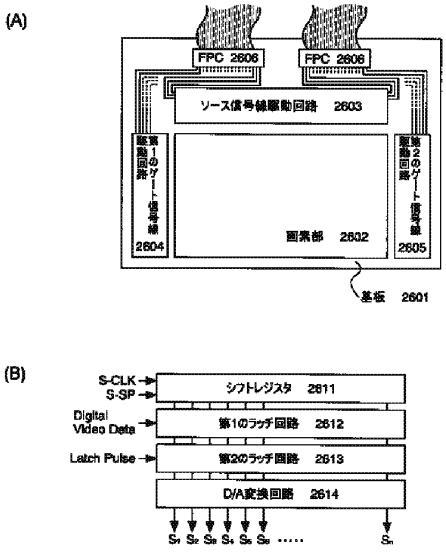
【図２４】



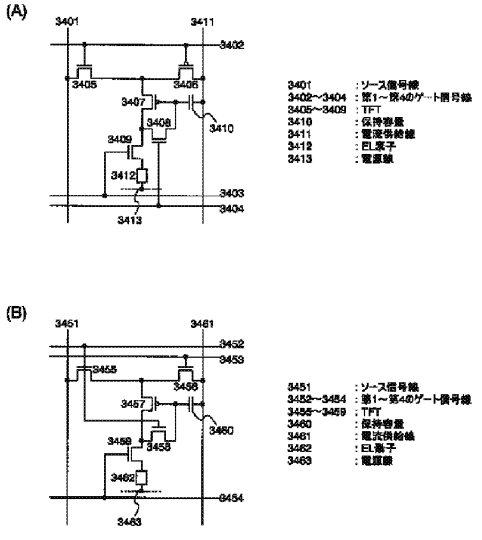
【図２５】



【図２６】

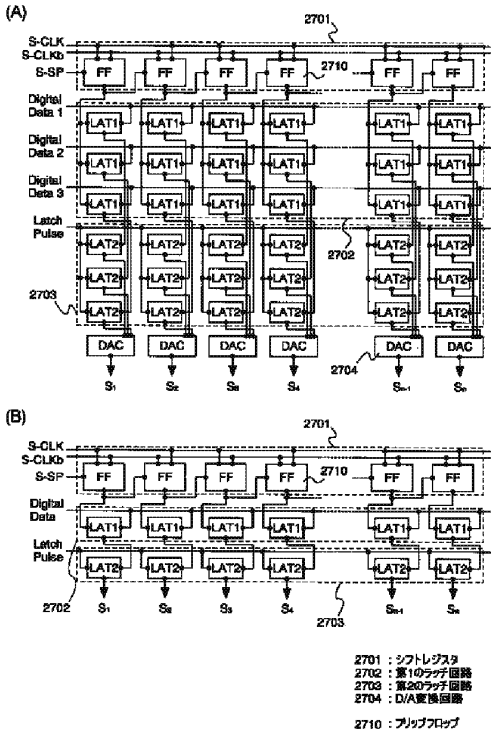


【図３４】

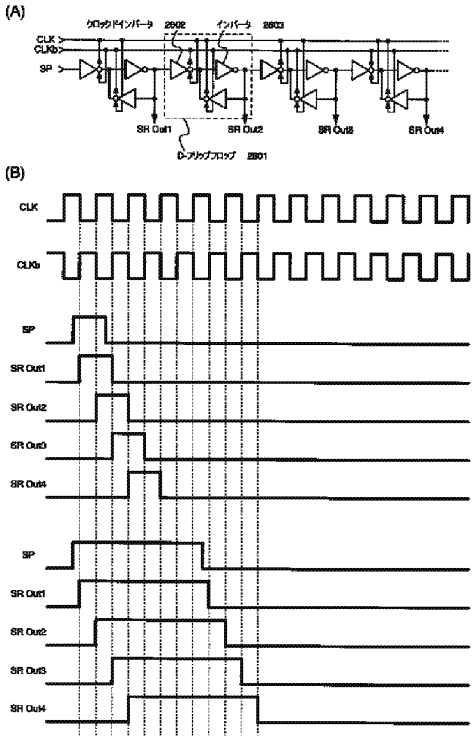


SDC-1351-00000391
SDC EX. 2001 - 335/503

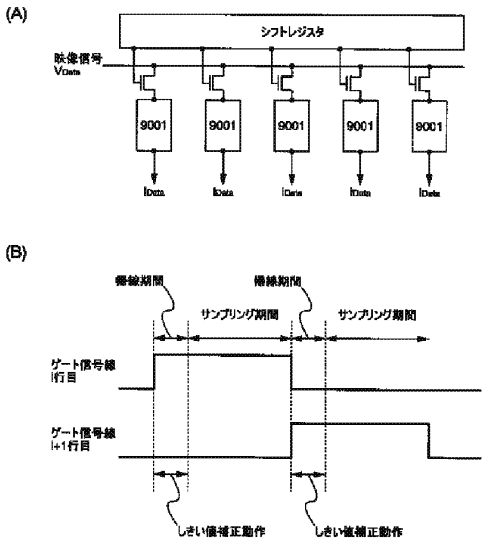
【図２７】



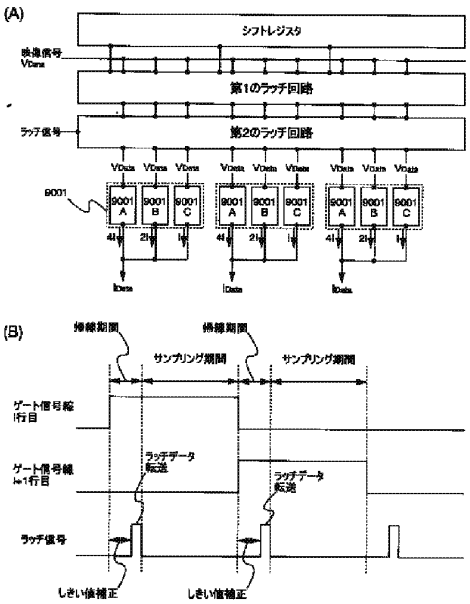
【図２８】



【図４１】

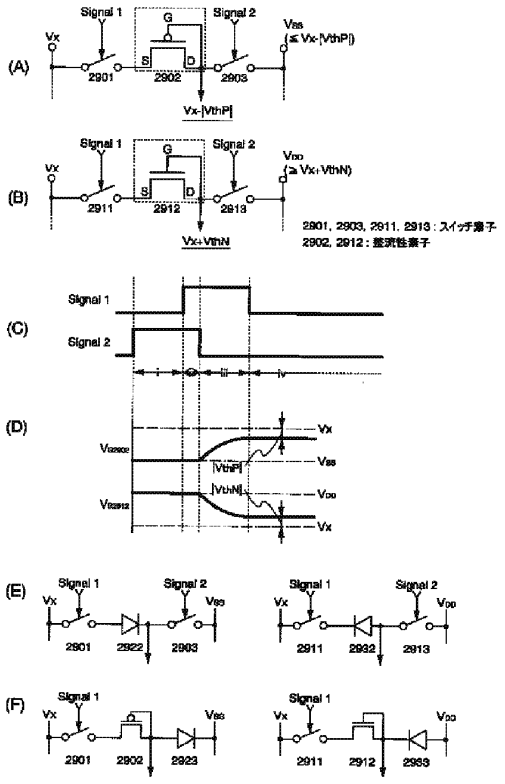


【図４３】

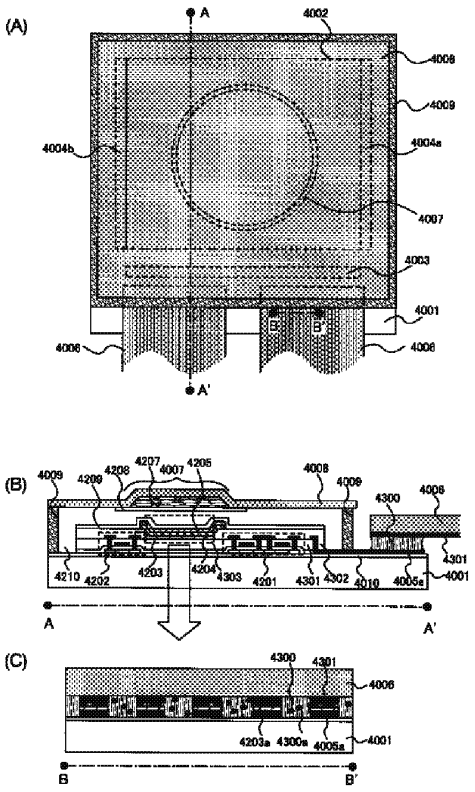


SDC-1351-00000392
SDC EX. 2001 - 336/503

【図２９】

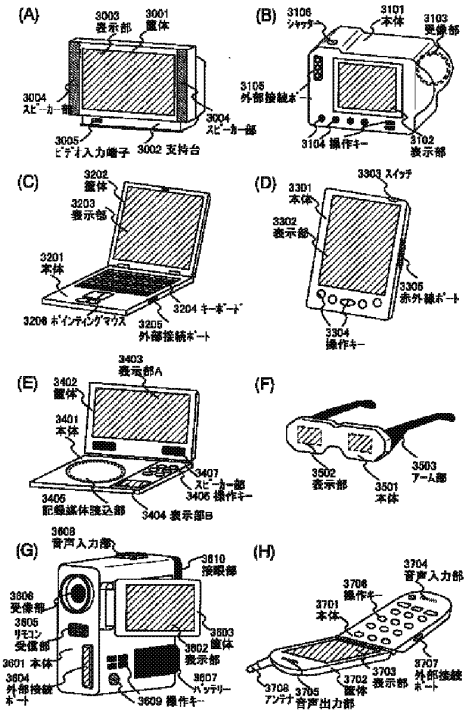


【図３０】

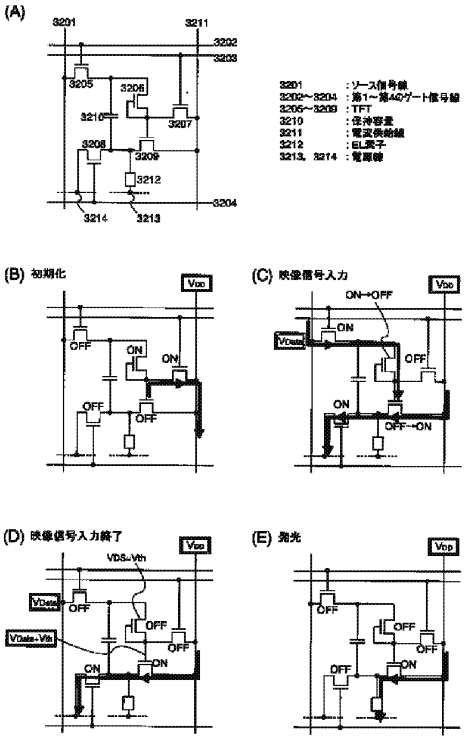


SDC-1351-00000393
SDC EX. 2001 - 337/503

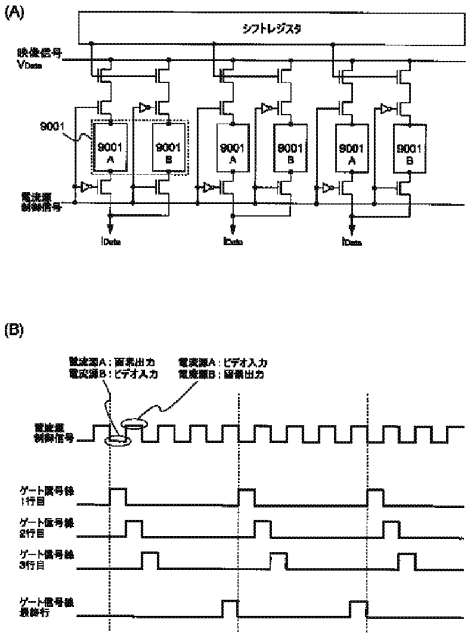
【図３１】



【図３２】

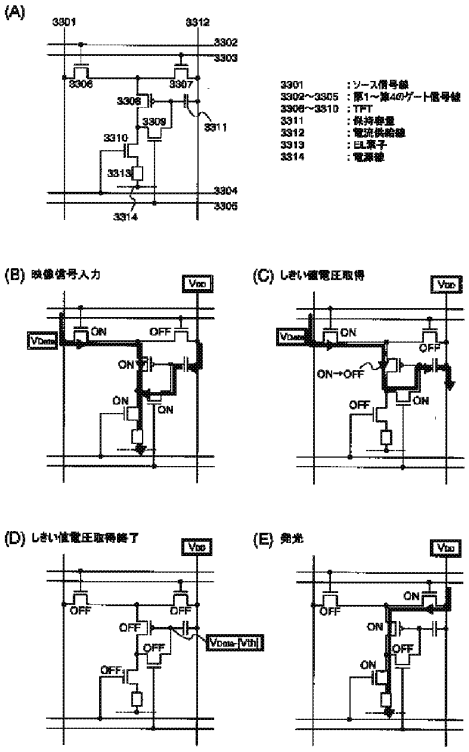


【図４２】

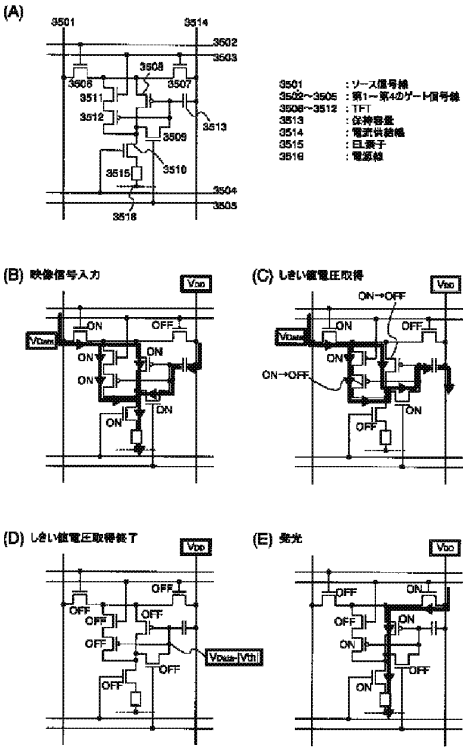


SDC-1351-00000394
SDC EX. 2001 - 338/503

【図３３】

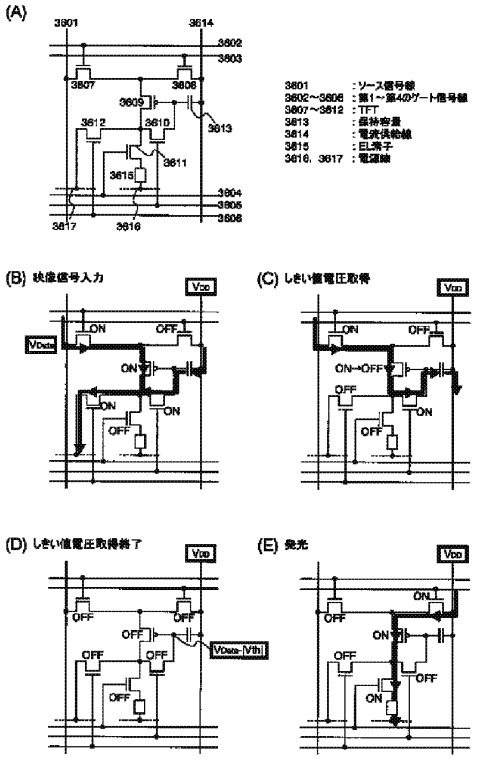


【図３５】

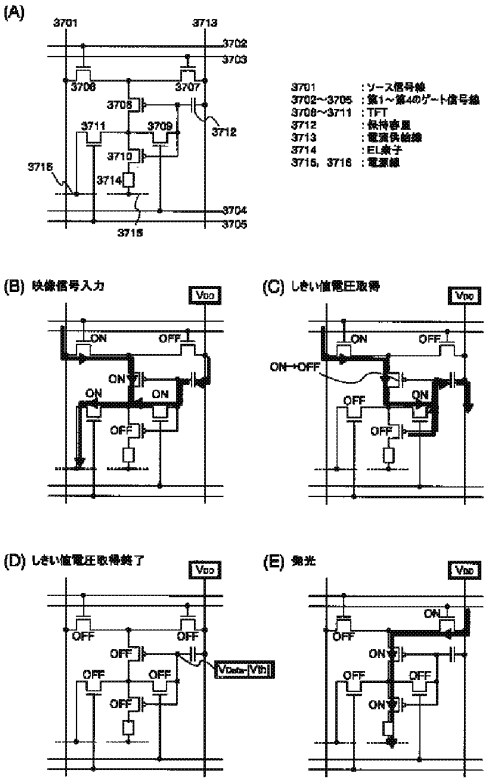


SDC-1351-00000395
SDC EX. 2001 - 339/503

【図３６】

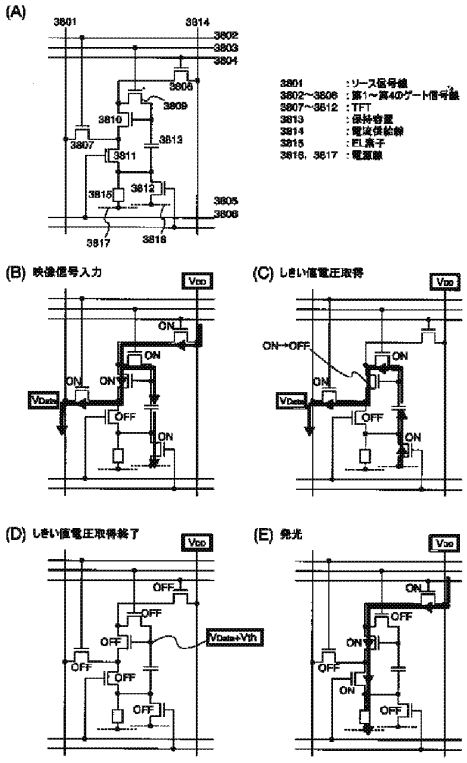


【図３７】

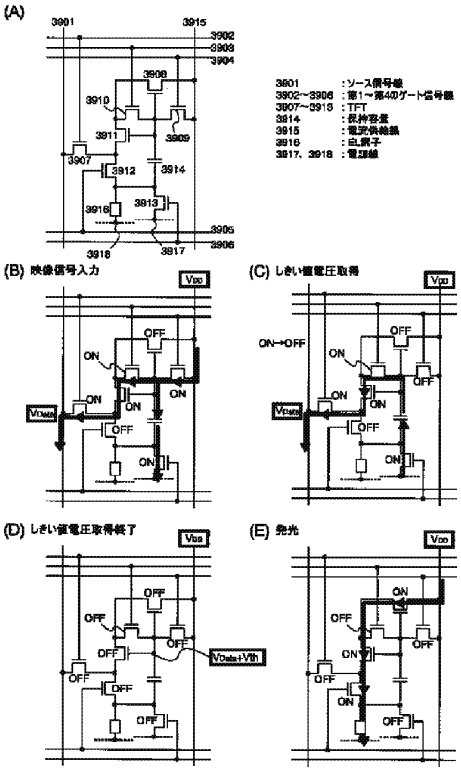


SDC-1351-00000396
SDC EX. 2001 - 340/503

【図３８】

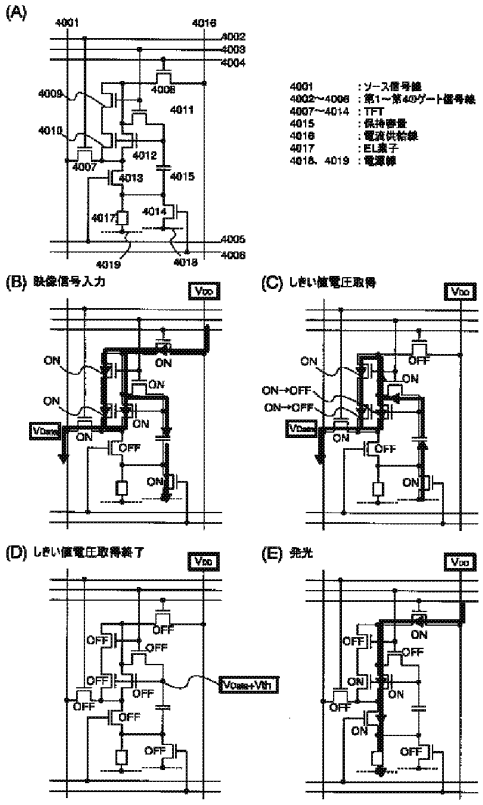


【図３９】

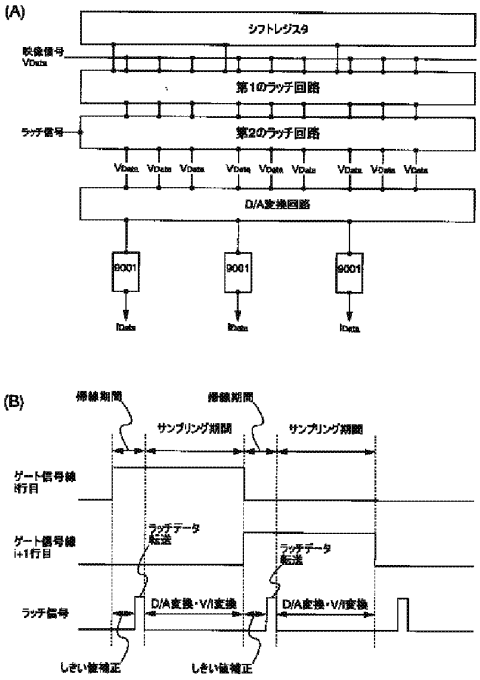


SDC-1351-00000397
SDC EX. 2001 - 341/503

【図４０】



【図４４】



フロントページの続き

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０５Ｂ　33/14		Ｈ０１Ｌ　29/78	６１４	

SDC-1351-00000398
SDC EX. 2001 - 342/503

Ｆターム(参考) 3K007 AB02 AB05 DB03 GA04
5C080 AA06 BB05 DD05 EE28 FF11
JJ02 JJ03 JJ04
5F110 AA30 BB02 BB04 CC02 DD01
DD02 DD03 DD05 DD13 DD14
DD15 DD17 EE01 EE02 EE04
EE06 EE09 EE14 EE23 EE44
EE45 FF02 FF04 FF28 FF30
FF36 GG01 GG02 GG13 GG25
GG32 GG43 GG45 GG47 HJ01
HJ04 HJ07 HJ12 HJ13 HJ23
HL01 HL02 HL03 HL04 HL11
HL12 HL23 HM15 NN03 NN22
NN23 NN24 NN27 NN34 NN35
NN72 PP02 PP03 PP06 PP10
PP34 PP35 QQ11 QQ19 QQ23
QQ24 QQ25

SDC-1351-00000399
SDC EX. 2001 - 343/503

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-223138
(43)Date of publication of application : 08.08.2003

(51)Int.Cl. G09G 3/30
G09G 3/20
H01L 29/786
H05B 33/14

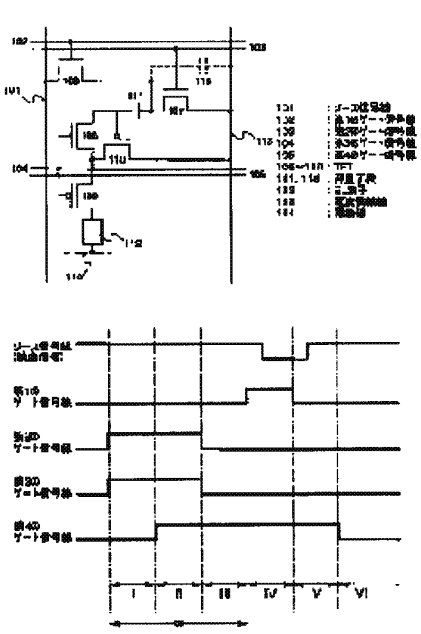
(21)Application number : 2002-310562
(22)Date of filing : 25.10.2002

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
(72)Inventor : KIMURA HAJIME

(30)Priority
Priority number : 2001330050 Priority date : 26.10.2001 Priority country : JP

(54) LIGHT EMITTING DEVICE AND ITS DRIVING METHOD

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a light emitting device having pixels that have a constitution in which variation in the threshold values of TFTs is corrected by eliminating the adverse effect caused by the deviation in capacitive values.
SOLUTION: A voltage which is equal to a threshold value of a TFT 110 is held in a capacitive means 111. When video signals are received from a source signal line, the voltage held in the means are added to the signals and applied to a gate electrode of the TFT 110. Even though the threshold value is varied for every pixel, adverse effect caused by the variation in the threshold value is eliminated because the means 111 holds a respective threshold value for every pixel. The preservation of the threshold value is only conducted by the means 111 and adverse effect of the variation in the capacitive values does not occur when the video signals are written because the voltage between both electrodes does not change.



LEGAL STATUS

[Date of request for examination] 08.03.2005
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3732477

SDC-1351-00000400
SDC EX. 2001 - 344/503

[Date of registration]	21.10.2005
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

SDC-1351-00000401
SDC EX. 2001 - 345/503

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号
特開2003－223138
（P2003－223138A）
(43)公開日　平成15年８月８日(2003.8.8)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード*(参考)
Ｇ０９Ｇ　3/30		Ｇ０９Ｇ　3/30	Ｊ	３Ｋ００７
3/20	６１１	3/20	６１１Ｈ	５Ｃ０８０
	６２４		６２４Ｂ	５Ｆ１１０
	６４１		６４１Ｄ	
	６４２		６４２Ａ	

審査請求　未請求　請求項の数29　ＯＬ　（全 48 頁）　最終頁に続く

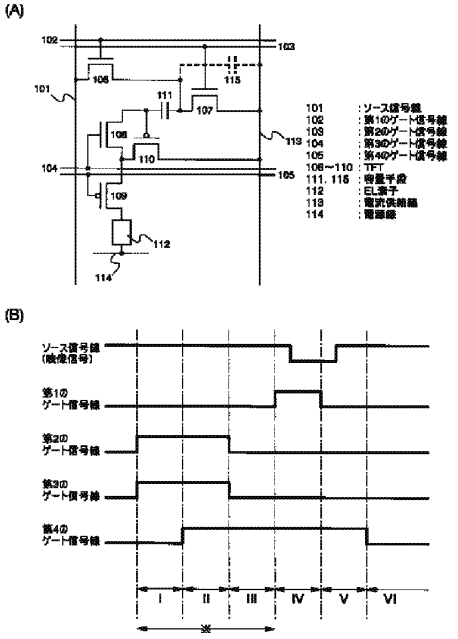
(21)出願番号　特願2002－310562(P2002－310562)
(22)出願日　平成14年10月25日(2002.10.25)
(31)優先権主張番号　特願2001－330050(P2001－330050)
(32)優先日　平成13年10月26日(2001.10.26)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者　木村　肇
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】　発光装置およびその駆動方法

(57)【要約】
【課題】　発光装置において、発光素子に電流を供給するＴＦＴのしきい値が画素ごとにばらつくことによって生ずる輝度ムラが、発光装置の画質向上の足かせとなっていた。
【解決手段】　容量手段１１１に、ＴＦＴ１１０のしきい値に等しい電圧を保持しておき、映像信号をソース信号線から入力する際に、前記容量手段にて保持している電圧を上乗せしてＴＦＴ１１０のゲート電極に印加する。画素ごとにしきい値がばらついている場合にも、それぞれのしきい値を画素ごとの容量手段１１１が保持するため、しきい値ばらつきの影響をなくすことが可能となる。さらに、しきい値の保存は、容量手段１１１のみによって行われ、映像信号の書き込み時において、両電極間の電圧が変化しないため、容量値のばらつきは影響しない。



SDC-1351-00000402
SDC EX. 2001 - 346/503

1

【特許請求の範囲】

【請求項１】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

電流供給線と、第１乃至第４のトランジスタと、容量手段とを少なくとも有し、

前記第１のトランジスタのゲート電極は、前記第２のトランジスタの第１の電極および、前記容量手段の第１の電極と電気的に接続され、第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第２のトランジスタの第２の電極および、前記第３のトランジスタの第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極には、第１の信号が入力され、

前記第３のトランジスタのゲート電極には、第２の信号が入力され、

前記容量手段の第２の電極は、前記第４のトランジスタの第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極には、第３の信号が入力され、第２の電極は、前記電流供給線と電気的に接続された構成を有することを特徴とする発光装置。

【請求項２】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、容量手段と、発光素子とを有し、

前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、

前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、

前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、

前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴とする発光装置。

【請求項３】発光素子が備えられた画素を有する発光装置であって、

2

前記画素は、

ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、容量手段と、発光素子とを有し、

前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、

前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、

前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、

前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴とする発光装置。

【請求項４】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、容量手段と、発光素子とを有し、

前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極および、前記容量手段の第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、

前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、

前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続されていることを特徴とする発

SDC-1351-00000403
SDC EX. 2001 - 347/503

光装置。

【請求項５】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極および、前記容量手段の第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、

前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、

前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続されていることを特徴とする発光装置。

【請求項６】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

ソース信号線と、第１乃至第５のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、

前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、

前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、

前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、

前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、

前記第６のトランジスタのゲート電極は、前記第５のゲート信号線と電気的に接続され、第１の電極は、前記第３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴とする発光装置。

【請求項７】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、

前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、

前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、

前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、

前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、

前記第６のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第１の電極は、前記第３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴とする発光装置。

【請求項８】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、

前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、

SDC-1351-00000404
SDC EX. 2001 - 348/503

5

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、
前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第２の電極と電気的に接続され、
前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、
前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴とする発光装置。
【請求項９】発光素子が備えられた画素を有する発光装置であって、
前記画素は、
ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、
前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第２の電極と電気的に接続され、
前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、
前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴とする発光装置。
【請求項１０】発光素子が備えられた画素を有する発光装置であって、
前記画素は、

6

ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、
前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、
前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第１の電極は、前記第６のトランジスタの第２の電極と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続されていることを特徴とする発光装置。
【請求項１１】発光素子が備えられた画素を有する発光装置であって、
前記画素は、
ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、
前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、
前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第１の電極は、前記第

SDC-1351-00000405
SDC EX. 2001 - 349/503

６のトランジスタの第２の電極と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続されていることを特徴とする発光装置。

【請求項１２】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、

前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、

前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、

前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記第６のトランジスタの第１の電極と電気的に接続され、

前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴とする発光装置。

【請求項１３】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、

前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、

前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、

前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第６のトランジスタの第１の電極と電気的に接続され、

前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴とする発光装置。

【請求項１４】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

ソース信号線と、第１乃至第５のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、

前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、

前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、

前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第１の電極は、前記第６のトランジスタの第２の電極と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、

前記第７のトランジスタのゲート電極は、前記第５のゲート信号線と電気的に接続され、第１の電極は、前記第３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴とする発光装置。

【請求項１５】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、

前記第１のトランジスタのゲート電極は、前記第１のゲ

SDC-1351-00000406
SDC EX. 2001 - 350/503

ート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、
前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、
前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第１の電極は、前記第６のトランジスタの第２の電極と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、
前記第７のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第１の電極は、前記第３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴とする発光装置。
【請求項１６】発光素子が備えられた画素を有する発光装置であって、
前記画素は、
ソース信号線と、第１乃至第５のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、
前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、
前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記第６のトランジスタの第１の電極と電気的に接続され、
前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、
前記第７のトランジスタのゲート電極は、前記第５のゲート信号線と電気的に接続され、第１の電極は、前記第３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴とする発光装置。
【請求項１７】発光素子が備えられた画素を有する発光装置であって、
前記画素は、
ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、
前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、
前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、
前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、
前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第６のトランジスタの第１の電極と電気的に接続され、
前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、
前記第７のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第１の電極は、前記第３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴とする発光装置。
【請求項１８】発光素子が備えられた画素を有する発光装置であって、
前記画素は、
ソース信号線と、第１乃至第５のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、
前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第

SDC-1351-00000407
SDC EX. 2001 - 351/503

２のトランジスタの第１の電極と、前記第６のトランジスタの第１の電極と、前記容量手段の第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、

前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極および第２の電極と電気的に接続され、

前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、

前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、

前記第７のトランジスタは、前記第１のトランジスタの第２の電極と前記第６のトランジスタの第１の電極との間、前記第３のトランジスタの第１の電極と第６のトランジスタの第２の電極との間、もしくは、前記第３のトランジスタの第１の電極と前記第６のトランジスタのゲート電極との間のいずれかに設けられ、そのゲート電極は、前記第５のゲート信号線と電気的に接続されていることを特徴とする発光装置。

【請求項１９】発光素子が備えられた画素を有する発光装置であって、

前記画素は、

ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、

前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と、前記第６のトランジスタの第１の電極と、前記容量手段の第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、

前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極および第２の電極と電気的に接続され、

前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、

前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、

前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、

前記第７のトランジスタは、前記第１のトランジスタの第２の電極と前記第６のトランジスタの第１の電極との間、前記第３のトランジスタの第１の電極と第６のトランジスタの第２の電極との間、もしくは、前記第３のトランジスタの第１の電極と前記第６のトランジスタのゲート電極との間のいずれかに設けられ、そのゲート電極は、前記第４のゲート信号線と電気的に接続されていることを特徴とする発光装置。

【請求項２０】請求項３、請求項５、請求項７、請求項９、請求項１１、請求項１３、請求項１５、請求項１７、請求項１９のいずれか１項に記載の発光装置において、

前記第２のトランジスタと、前記第３のトランジスタとは同一極性であることを特徴とする発光装置。

【請求項２１】請求項８乃至請求項１７のいずれか１項に記載の発光装置において、

前記第５のトランジスタのゲート長をL_1、チャネル幅をW_1とし、前記第６のトランジスタのゲート長をL_2、チャネル幅をW_2としたとき、

$(W_1/L_1) > (W_2/L_2)$

が成立することを特徴とする発光装置。

【請求項２２】請求項１８もしくは請求項１９に記載の発光装置において、

前記第５のトランジスタのゲート長をL_1、チャネル幅をW_1とし、前記第６のトランジスタのゲート長をL_2、チャネル幅をW_2としたとき、

$(W_1/L_1) < (W_2/L_2)$

が成立することを特徴とする発光装置。

【請求項２３】請求項６または請求項７に記載の発光装置において、

前記第６のトランジスタの第２の電極は、前記電流供給線と互いに電位差を有する電源線もしくは、当該画素を制御する前記ゲート信号線を除くいずれか１本のゲート信号線と電気的に接続されていることを特徴とする発光装置。

【請求項２４】請求項１４乃至請求項１７のいずれか１項に記載の発光装置において、

前記第７のトランジスタの第２の電極は、前記電流供給線と互いに電位差を有する電源線もしくは、当該画素を制御する前記ゲート信号線を除くいずれか１本のゲート信号線と電気的に接続されていることを特徴とする発光装置。

【請求項２５】請求項１乃至請求項２４のいずれか１項に記載の発光装置において、

前記発光素子の第２の電極は、前記電流供給線と互いに

SDC-1351-00000408
SDC EX. 2001 - 352/503

電位差を有する電源線と電気的に接続されていることを特徴とする発光装置。

【請求項２６】請求項１乃至請求項２５のいずれか１項において、

前記画素は、保持容量手段を有し、

前記保持容量手段の第１の電極は、前記第１のトランジスタの第２の電極と電気的に接続され、第２の電極には一定電位が与えられ、前期ソース信号線より入力される映像信号を保持することを特徴とする発光装置。

【請求項２７】発光素子が備えられた画素を有し、

前記画素は、

ソース信号線と、電流供給線と、発光素子に所望の電流を供給するトランジスタと、発光素子と、容量手段とを有する発光装置の駆動方法であって、

前記容量手段に電荷を蓄積する第１のステップと、

前記容量手段の両電極間の電圧を、前記トランジスタのしきい値電圧に等しい電圧に収束する第２のステップと、

前記ソース信号線より映像信号を入力する第３のステップと、

前記映像信号の電位に、前記しきい値電圧を加えて、前記トランジスタのゲート電極に印加し、前記トランジスタを介して、電流を前記発光素子に供給し、発光する第４のステップとを有し、

少なくとも前記第３のステップにおいて、前記容量手段の両電極間の電圧が一定であり、

少なくとも前記第１および第２のステップにおいて、前記第１のトランジスタは非導通状態となることを特徴とする発光装置の駆動方法。

【請求項２８】発光素子が備えられた画素を有し、

前記画素は、電流供給線と、第１乃至第３のトランジスタと、容量手段とを少なくとも有し、

前記第１のトランジスタのゲート電極は、前記第２のトランジスタの第１の電極および、前記容量手段の第１の電極と電気的に接続され、第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第２のトランジスタの第２の電極および、前記第３のトランジスタの第１の電極と電気的に接続され、

前記第２のトランジスタのゲート電極より、第１の信号が入力され、

前記第３のトランジスタのゲート電極より、第２の信号が入力され、

前記容量手段の第２の電極は、前記第４のトランジスタの第１の電極と電気的に接続され、かつ前記容量手段の第２の電極より、映像信号が入力され、

前記第４のトランジスタのゲート電極より、第３の信号が入力され、第２の電極は、前記電流供給線と電気的に接続されている発光装置の駆動方法であって、

前記第１乃至第３の信号を入力して前記第２乃至第４のトランジスタを導通することによって、前記容量手段に電荷を蓄積する第１のステップと、

前記第３のトランジスタを非導通とし、かつ前記第１、第３の信号を入力して前記第２、第４のトランジスタを導通することによって、前記容量手段に保持される電圧を、前記第１のトランジスタのしきい値電圧と等しい値に収束する第２のステップと、

前記第２乃至第４のトランジスタを非導通とし、前記容量手段の第２の電極より、前記映像信号が入力される第３のステップと、

前記第２、第４のトランジスタを非導通とし、かつ前記第２の信号を入力して前記第３のトランジスタを導通することによって、前記第１、第３のトランジスタのソース・ドレイン間を電流が流れる第４のステップとを有し、

少なくとも第３のステップにおいて、前記容量手段の両電極間の電圧が一定であることを特徴とする発光装置の駆動方法。

【請求項２９】請求項１乃至請求項２６のいずれか１項記載の発光装置、あるいは、請求項２７もしくは請求項２８に記載の発光装置の駆動方法を用いたことを特徴とする電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、トランジスタを有する発光装置の構成に関する。本発明は特に、ガラス、プラスチック等の絶縁体上に作製される薄膜トランジスタ(以後、ＴＦＴと表記する)を有するアクティブマトリクス型発光装置の構成に関する。また、このような発光装置を表示部に用いた電子機器に関する。

【０００２】

【従来の技術】近年、エレクトロルミネッセンス(Electro Luminescence：ＥＬ)素子等を始めとした発光素子を用いた表示装置の開発が活発化している。発光素子は、自らが発光するために視認性が高く、液晶表示装置(ＬＣＤ)等において必要なバックライトを必要としないために薄型化に適しているとともに、視野角にほとんど制限が無い。

【０００３】ここで、ＥＬ素子とは、電場を加えることで発生するルミネッセンスが得られる発光層を有する素子を指す。この発光層においては、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(燐光)とがあるが、本発明の発光装置は、上述したいずれの発光形態であっても良い。

【０００４】ＥＬ素子は、一対の電極(陽極と陰極)間に発光層が挟まれる形で構成され、通常、積層構造をとっている。代表的には、イーストマン・コダック・カンパニーのＴａｎｇらが提案した「陽極／正孔輸送層／発光層／電子輸送層／陰極」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在研究が進められているＥＬ素子の多くはこの構造が採用されている。

SDC-1351-00000409
SDC EX. 2001 - 353/503

15

【０００５】また、これ以外にも、陽極と陰極との間に、「正孔注入層／正孔輸送層／発光層／電子輸送層」または「正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層」の順に積層する構造がある。本発明の発光装置に用いるＥＬ素子の構造としては、上述の構造のいずれを採用していても良い。また、発光層に対して蛍光性色素等をドーピングしても良い。

【０００６】本発明においては、ＥＬ素子において、陽極と陰極との間に設けられる全ての層を総称してＥＬ層と呼ぶ。よって、上述の正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層は、全てＥＬ素子に含まれ、陽極、ＥＬ層、および陰極で構成される発光素子をＥＬ素子と呼ぶ。

【０００７】図３に、一般的な発光装置における画素の構成を示す。なお、代表的な発光装置として、ＥＬ表示装置を例とする。図３に示した画素は、ソース信号線３０１、ゲート信号線３０２、スイッチング用ＴＦＴ３０３、駆動用ＴＦＴ３０４、容量手段３０５、ＥＬ素子３０６、電流供給線３０７、電源３０８を有している。

【０００８】各部の接続関係について説明する。ここで、ＴＦＴはゲート、ソース、ドレインの３端子を有するが、ソース、ドレインに関しては、ＴＦＴの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース、ドレインのうち一方を第１の電極、他方を第２の電極と表記する。ＴＦＴのＯＮ、ＯＦＦについて、各端子の電位等(あるＴＦＴのゲート・ソース間電圧等)について説明が必要な際には、ソース、ドレイン等と表記する。

【０００９】また、本発明において、ＴＦＴがＯＮしているとは、ＴＦＴのゲート・ソース間電圧がそのしきい値を超え、ソース、ドレイン間に電流が流れる状態をいい、ＴＦＴがＯＦＦしているとは、ＴＦＴのゲート・ソース間電圧がそのしきい値を下回り、ソース、ドレイン間に電流が流れていない状態をいう。

【００１０】スイッチング用ＴＦＴ３０３のゲート電極は、ゲート信号線３０２に接続され、第１の電極はソース信号線３０１に接続され、第２の電極は駆動用ＴＦＴ３０４のゲート電極に接続されている。駆動用ＴＦＴ３０４の第１の電極は、電流供給線３０７に接続され、第２の電極はＥＬ素子３０６の第１の電極に接続されている。ＥＬ素子３０６の第２の電極は、電源３０８に接続されている。容量手段３０５は、駆動用ＴＦＴ３０４のゲート電極と第１の電極との間に接続され、駆動用ＴＦＴ３０４のゲート・ソース間電圧を保持する。

【００１１】ゲート信号線３０２の電位が変化してスイッチング用ＴＦＴ３０３がＯＮすると、ソース信号線３０１に入力されている映像信号は、駆動用ＴＦＴ３０４のゲート電極へと入力される。入力された映像信号の電位に従って、駆動用ＴＦＴ３０４のゲート・ソース間電圧が決定し、駆動用ＴＦＴ３０４のソース・ドレイン間

16

を流れる電流(以下、ドレイン電流と表記)が決定する。この電流はＥＬ素子３０６に供給されて発光する。

【００１２】ところで、多結晶シリコン(ポリシリコン　以下Ｐ－Ｓｉ)で形成されたＴＦＴは、非晶質シリコン(アモルファスシリコン　以下Ａ－Ｓｉ)で形成されたＴＦＴよりも電界効果移動度が高く、ＯＮ電流が大きいため、発光装置に用いるトランジスタとしてより適している。

【００１３】反面、ポリシリコンで形成されたＴＦＴは、結晶粒界における欠陥に起因して、その電気的特性にばらつきが生じやすいといった問題点を有している。

【００１４】図３に示した画素において、画素を構成するＴＦＴのしきい値やＯＮ電流等の特性が画素ごとにばらつくと、同じ映像信号を入力した場合にも、それに応じてＴＦＴのドレイン電流の大きさが異なってくるため、ＥＬ素子３０６の輝度がばらつく。よってアナログ階調の場合、問題となっていた。

【００１５】そこで、ＴＦＴのしきい値等がＯＮ電流に影響しにくい領域を用いて、ＥＬ素子を輝度１００％、０％の２つの状態のみで駆動するデジタル階調方式が提案されている。この方式では、白、黒の２階調しか表現出来ないため、時間階調方式等と組み合わせて多階調化を実現している。

【００１６】デジタル階調方式と時間階調方式とを組み合わせた方法を用いる場合の発光装置の画素の構成は、図４(A)(B)に示したようなものがある。スイッチング用ＴＦＴ４０４、駆動用ＴＦＴ４０５に加え、消去用ＴＦＴ４０６を用いることによって、発光時間の長さを細かく制御することが可能となっている。

【００１７】一方、アナログ階調方式を用いて、ＴＦＴのしきい値ばらつきを補正することの出来るものが提案されている（例えば、特許文献１参照）。

【００１８】

【特許文献１】米国特許第６２２９５０６号明細書

【００１９】図５に示すように、ソース信号線５０１、第１～第３のゲート信号線５０２～５０４、ＴＦＴ５０５～５０８、容量手段５０９(C_2)、５１０(C_1)、電流供給線５１２、ＥＬ素子５１１を有する。

【００２０】ＴＦＴ５０５のゲート電極は、第１のゲート信号線５０２に接続され、第１の電極は、ソース信号線５０１に接続され、第２の電極は、容量手段５０９の第１の電極に接続されている。容量手段５０９の第２の電極は、容量手段５１０の第１の電極に接続され、容量手段５１０の第２の電極は、電流供給線５１２に接続されている。ＴＦＴ５０６のゲート電極は、容量手段５０９の第２の電極および容量手段５１０の第１の電極に接続され、第１の電極は、電流供給線５１２に接続され、第２の電極は、ＴＦＴ５０７の第１の電極およびＴＦＴ５０８の第１の電極に接続されている。ＴＦＴ５０７のゲート電極は、第２のゲート信号線５０３に接続され、

SDC-1351-00000410
SDC EX. 2001 - 354/503

第２の電極は、容量手段５０９の第２の電極および容量手段５１０の第１の電極に接続されている。ＴＦＴ５０８のゲート電極は、第３のゲート信号線５０４に接続され、第２の電極は、ＥＬ素子５１１の第１の電極に接続されている。ＥＬ素子５１１の第２の電極には、電源５１３によって一定電位が与えられ、電流供給線５１２とは互いに電位差を有する。

【００２１】図５(Ｂ)および図６(Ａ)～(Ｆ)を用いて、動作について説明する。図５(Ｂ)は、ソース信号線５０１、第１～第３のゲート信号線５０２～５０４に入力される映像信号およびパルスのタイミングを示しており、図６に示す各動作にあわせて、I～VIIIの区間に分割している。また、図５に示した画素の一例では、４つのＴＦＴを用いて構成され、その極性は全てＰチャネル型である。よって、ゲート電極にＬレベルが入力されてＯＮし、Ｈレベルが入力されてＯＦＦするものとする。

【００２２】まず、第１のゲート信号線５０２がＬレベルとなり、ＴＦＴ５０５がＯＮする(区間I)。続いて第２、第３のゲート信号線がＬレベルとなり、ＴＦＴ５０７、５０８がＯＮする。ここで、図６(Ａ)に示すように、容量手段５０９、５１０が充電され、容量手段５１０が保持する電圧が、ＴＦＴ５０６のしきい値(V_{th})を＊上回ったところで、ＴＦＴ５０６がＯＮする(区間II)。

【００２３】続いて、第３のゲート信号線がＨレベルとなって、ＴＦＴ５０８がＯＦＦする。すると、容量手段５０９、５１０に貯まっていた電荷が再び移動し、容量手段５１０に保持される電圧は、やがてV_{th}に等しくなる。このとき、図６(Ｂ)にも示すように、電流供給線５１２、ソース信号線５０１の電位はいずれもV_{DD}であるので、容量手段５０９においても、保持されている電圧はV_{th}に等しくなる。よって、やがてＴＦＴ５０６はＯＦＦする。

【００２４】前述のように、容量手段５０９、５１０に保持されている電圧がV_{th}に等しくなったところで、第２のゲート信号線５０３がＨレベルとなり、ＴＦＴ５０７がＯＦＦする(区間IV)。この動作により、図６(Ｃ)に示すように、容量手段においてV_{th}が保持される。

【００２５】このとき、容量手段５１０(C_1)に保持されている電荷Q_1については、式(１)のような関係が成立する。同時に、容量手段５０９(C_2)に保持されている電荷Q_2においては、式(２)のような関係が成立する。

【００２６】
【数１】

$$Q_1=C_1\times|V_{th}| \quad \cdots\cdots\cdots\cdots\cdots\cdots(1)$$

【００２７】※ ※【数２】

$$Q_2=C_2\times|V_{th}| \quad \cdots\cdots\cdots\cdots\cdots\cdots(2)$$

【００２８】続いて、図６(Ｄ)に示すように、映像信号の入力が行われる(区間Ｖ)。ソース信号線５０１に映像信号が出力されて、その電位はV_{DD}から映像信号の電位V_{Data}(ここでは、ＴＦＴ５０６がＰチャネル型であるので、$V_{DD}>V_{Data}$とする。)となる。このときの、ＴＦＴ５０６のゲート電極の電位をV_Pとし、このノード★における電荷をＱとすると、容量手段５０９、５１０とを含めた電荷保存則により、式(３)、(４)のような関係が成立する。

【００２９】
【数３】

$$Q+Q_1=C_1\times(V_{DD}-V_P) \quad \cdots\cdots\cdots\cdots\cdots\cdots(3)$$

【００３０】☆ ☆【数４】

$$Q-Q_2=C_2\times(V_P-V_{Data}) \quad \cdots\cdots\cdots\cdots\cdots\cdots(4)$$

【００３１】式(１)～(４)より、ＴＦＴ５０６のゲート電極の電位V_Pは、式(５)で表される。◆

【００３２】◆【数５】

$$V_P=\frac{C_1}{C_1+C_2}V_{DD}+\frac{C_2}{C_1+C_2}V_{Data}-|V_{th}| \quad \cdots\cdots\cdots(5)$$

【００３３】よって、ＴＦＴ５０６のゲート・ソース間電圧V_{GS}は、式(６)で表される。＊

【００３４】＊【数６】

$$V_{GS}=V_P-V_{DD}$$

$$=\frac{C_2}{C_1+C_2}(V_{Data}-V_{DD})-|V_{th}|$$

$$=\frac{C_2}{C_1+C_2}(V_{Data}-V_{DD})+V_{th} \quad \cdots\cdots\cdots\cdots\cdots\cdots(6)$$

【００３５】式(６)右辺には、V_{th}の項が含まれる。すなわち、ソース信号線より入力される映像信号には、その画素におけるＴＦＴ５０６のしきい値が上乗せされて容量手段５１０に保持される。

SDC-1351-00000411
SDC EX. 2001 - 355/503

【００３６】映像信号の入力が完了すると、第１のゲート信号線５０２がＨレベルとなって、ＴＦＴ５０５がＯＦＦする(区間ＶＩ)。その後、ソース信号線は所定の電位に戻る(区間ＶＩＩ)。以上の動作によって、映像信号の画素への書き込み動作が完了する(図６(Ｅ))。

【００３７】続いて、第３のゲート信号線がＬレベルとなり、ＴＦＴ５０８がＯＮし、ＥＬ素子に図６(Ｆ)に示すように電流が流れることによってＥＬ素子が発光する。このときＥＬ素子に流れる電流の値は、ＴＦＴ５０６のゲート・ソース間電圧に従ったものであり、ＴＦＴ５０６を流れるドレイン電流I_{ds}は、式(７)で表される。

【００３８】

【数７】

$$I_{DS}=\frac{\beta}{2}(V_{GS}-V_{th})^2$$

$$=\frac{\beta}{2}\left\{\frac{C_2}{C_1+C_2}(V_{Data}-V_{DD})\right\}^2 \quad \cdots\cdots\cdots\cdots\cdots(7)$$

【００３９】式(７)より、ＴＦＴ５０６のドレイン電流I_{ds}には、しきい値V_{th}の値に依存しないことがわかる。よって、ＴＦＴ５０６のしきい値がばらついた場合にも、画素ごとにその値を補正して映像信号に上乗せすることにより、映像信号の電位V_{data}に従った電流がＥＬ素子に流れることがわかる。

【００４０】

【発明が解決しようとする課題】しかし、前述の構成の場合、容量手段５０９、５１０の容量値がばらついた場合には、ＴＦＴ５０６のドレイン電流I_{ds}がばらついてしまうことになる。そこで、本発明においては、容量値のばらつきの影響を受けることのない構成によって、ＴＦＴのしきい値ばらつきを補正することの出来る構成の画素を用いた発光装置を提供することを目的とする。

【００４１】

【課題を解決するための手段】前述の方法によると、ＴＦＴ５０６のドレイン電流I_{ds}は、２つの容量手段５０９、５１０の容量値に依存していた。つまり、しきい値を保持している状態(図６(Ｃ))から、映像信号の書き込み(図６(Ｄ))に移るとき、容量手段C_1、C_2間においては電荷の移動がある。つまり、C_1の両電極間の電圧と、C_2の両電極間の電圧とは、図６(Ｃ)→図６(Ｄ)において変化する。そのとき、C_1、C_2の容量値にばらつきがあると、C_1の両電極間の電圧と、C_2の両電極間の電圧もまたばらつくことになる。本発明においては、容量手段を用いてしきい値を保存した後に、映像信号を入力する過程においては、容量手段において電荷の移動がない。よって、容量手段の両電極間の電圧が変化しない。そのため、映像信号にしきい値をそのまま上乗せすることによって補正を行うことが出来るため、ドレイン電流が容量値のばらつきによる影響を受けないようにすることが出来る。

【００４２】また、本発明におけるトランジスタとしては、主としてＴＦＴを用いて構成したものを例として挙げているが、単結晶トランジスタ又は有機物を利用したトランジスタでもよい。例えば、単結晶トランジスタとしては、ＳＯＩ技術を用いて形成されたトランジスタとすることができる。また、薄膜トランジスタとしては、活性層として多結晶半導体を用いたものでも、非晶質半導体を用いたものでもよい。例えば、ポリシリコンを用いたＴＦＴや、アモルファスシリコンを用いたＴＦＴとすることができる。その他、バイポーラトランジスタや、カーボンナノチューブ等により形成されたトランジスタを用いても良い。

【００４３】本発明の構成を以下に記す。

【００４４】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、電流供給線と、第１乃至第４のトランジスタと、容量手段とを少なくとも有し、前記第１のトランジスタのゲート電極は、前記第２のトランジスタの第１の電極および、前記容量手段の第１の電極と電気的に接続され、第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第２のトランジスタの第２の電極および、前記第３のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極には、第１の信号が入力され、前記第３のトランジスタのゲート電極には、第２の信号が入力され、前記容量手段の第２の電極は、前記第４のトランジスタの第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極には、第３の信号が入力され、第２の電極は、前記電流供給線と電気的に接続された構成を有することを特徴としている。

【００４５】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、

SDC-1351-00000412
SDC EX. 2001 - 356/503

前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００４６】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００４７】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極および、前記容量手段の第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００４８】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第５のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極および、前記容量手段の第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００４９】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第５のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、前記第６のトランジスタのゲート電極は、前記第５のゲート信号線と電気的に接続され、第１の電極は、前記第

SDC-1351-00000413
SDC EX. 2001 - 357/503

３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴としている。

【００５０】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極および、前記第５のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、前記第６のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第１の電極は、前記第３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴としている。

【００５１】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第２の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００５２】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００５３】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第２の電極と電気的に接続され、前記第４のトラ

SDC-1351-00000414
SDC EX. 2001 - 358/503

ンジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００５４】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第２の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００５５】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、前記第４のトランジスタの

ゲート電極は、前記第４のゲート信号線と電気的に接続され、第１の電極は、前記第６のトランジスタの第２の電極と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００５６】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第１の電極は、前記第６のトランジスタの第２の電極と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００５７】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記第６のトランジスタの第１の

SDC-1351-00000415
SDC EX. 2001 - 359/503

電極と電気的に接続され、前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００５８】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第３のゲート信号線と、電流供給線と、第１乃至第６のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第６のトランジスタの第１の電極と電気的に接続され、前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続されていることを特徴としている。

【００５９】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第５のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第１の電極は、前記第６のトランジスタの第２の電極と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、前記第７のトランジスタのゲート電極は、前記第５のゲート信号線と電気的に接続され、第１の電極は、前記第３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴としている。

【００６０】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第１の電極および、前記第６のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第１の電極は、前記第６のトランジスタの第２の電極と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、前記第７のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第１の電極は、前記第３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴としている。

【００６１】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第５のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記

SDC-1351-00000416
SDC EX. 2001 - 360/503

第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記第６のトランジスタの第１の電極と電気的に接続され、前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、前記第７のトランジスタのゲート電極は、前記第５のゲート信号線と電気的に接続され、第１の電極は、前記第３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴としている。

【００６２】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記容量手段の第１の電極および、前記第２のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第５のトランジスタの第２の電極および、前記発光素子の第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第６のトランジスタの第１の電極と電気的に接続され、前記第６のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、前記第７のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第１の電極は、前記第３のトランジスタの第１の電極もしくは、前記第３のトランジスタの第２の電極と電気的に接続されていることを特徴としている。

【００６３】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第５のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と、前記第６のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極および第２の電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第４のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、前記第７のトランジスタは、前記第１のトランジスタの第２の電極と前記第６のトランジスタの第１の電極との間、前記第３のトランジスタの第１の電極と第６のトランジスタの第２の電極との間、もしくは、前記第３のトランジスタの第１の電極と前記第６のトランジスタのゲート電極との間のいずれかに設けられ、そのゲート電極は、前記第５のゲート信号線と電気的に接続されていることを特徴としている。

【００６４】本発明の発光装置は、発光素子が備えられた画素を有する発光装置であって、前記画素は、ソース信号線と、第１乃至第４のゲート信号線と、電流供給線と、第１乃至第７のトランジスタと、容量手段と、発光素子とを有し、前記第１のトランジスタのゲート電極は、前記第１のゲート信号線と電気的に接続され、第１の電極は、前記ソース信号線と電気的に接続され、第２の電極は、前記第２のトランジスタの第１の電極と、前記第６のトランジスタの第１の電極と、前記容量手段の第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記電流供給線と電気的に接続され、前記容量手段の第２の電極は、前記第３のトランジスタの第１の電極と、前記第５のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極および第２の電極と電気的に接続され、前記第３のトランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、第２の電極は、前記第４のトランジスタの第１の電極および、前記第５のトランジスタの第１の電極と電気的に接続され、前記第４のトランジスタのゲート電極は、前記第３のゲート信号線と電気的に接続され、第２の電極は、前記発光素子の第１の電極と電気的に接続され、前記第５のトランジスタの第２の電極は、前記電流供給線と電気的に接続され、前記第７のトランジスタは、前記第１のトランジスタの第２の電極と前記第６のトランジスタの第１の電極との間、前記第３のト

SDC-1351-00000417
SDC EX. 2001 - 361/503

ランジスタの第１の電極と第６のトランジスタの第２の電極との間、もしくは、前記第３のトランジスタの第１の電極と前記第６のトランジスタのゲート電極との間のいずれかに設けられ、そのゲート電極は、前記第４のゲート信号線と電気的に接続されていることを特徴としている。

【００６５】本発明の発光装置においては、前記第２のトランジスタと、前記第３のトランジスタとは同一極性であっても良い。

【００６６】本発明の発光装置においては、前記第５のトランジスタのゲート長をL_1、チャネル幅をW_1とし、前記第６のトランジスタのゲート長をL_2、チャネル幅をW_2としたとき、

$(W_1/L_1) > (W_2/L_2)$

が成立するものを含んでいる。

【００６７】本発明の発光装置においては、前記第５のトランジスタのゲート長をL_1、チャネル幅をW_1とし、前記第６のトランジスタのゲート長をL_2、チャネル幅をW_2としたとき、

$(W_1/L_1) < (W_2/L_2)$

が成立するものを含んでいる。

【００６８】本発明の発光装置は、前記第６のトランジスタの第２の電極は、前記電流供給線と互いに電位差を有する電源線もしくは、当該画素を制御する前記ゲート信号線を除くいずれか１本のゲート信号線と電気的に接続されていても良い。

【００６９】本発明の発光装置は、前記第７のトランジスタの第２の電極は、前記電流供給線と互いに電位差を有する電源線もしくは、当該画素を制御する前記ゲート信号線を除くいずれか１本のゲート信号線と電気的に接続されていても良い。

【００７０】本発明の発光装置は、前記発光素子の第２の電極は、前記電流供給線と互いに電位差を有する電源線と電気的に接続されていても良い。

【００７１】本発明の発光装置においては、前記画素は、保持容量手段を有し、前記保持容量手段の第１の電極は、前記第１のトランジスタの第２の電極と電気的に接続され、第２の電極には一定電位が与えられ、前期ソース信号線より入力される映像信号を保持することを特徴としている。

【００７２】本発明の発光装置の駆動方法は、発光素子が備えられた画素を有する発光装置の駆動方法であって、前記画素は、ソース信号線と、電流供給線と、発光素子に所望の電流を供給するトランジスタと、発光素子と、容量手段とを少なくとも有し、前記容量手段に電荷を蓄積する第１のステップと、前記容量手段の両電極間の電圧を、前記トランジスタのしきい値電圧に等しい電圧に収束する第２のステップと、前記ソース信号線より映像信号を入力する第３のステップと、前記映像信号の電位に、前記しきい値電圧を加えて、前記トランジスタのゲート電極に印加し、前記トランジスタを介して、電流を前記発光素子に供給し、発光する第４のステップとを有し、少なくとも前記第３のステップにおいて、前記容量手段の両電極間の電圧が一定であり、少なくとも前記第１および第２のステップにおいて、前記第１のトランジスタは非導通状態となることを特徴としている。

【００７３】本発明の発光装置の駆動方法は、発光素子が備えられた画素を有する発光装置の駆動方法であって、前記画素は、電流供給線と、第１乃至第３のトランジスタと、容量手段とを少なくとも有し、前記第１のトランジスタのゲート電極は、前記第２のトランジスタの第１の電極および、前記容量手段の第１の電極と電気的に接続され、第１の電極は、前記電流供給線と電気的に接続され、第２の電極は、前記第２のトランジスタの第２の電極および、前記第３のトランジスタの第１の電極と電気的に接続され、前記第２のトランジスタのゲート電極より、第１の信号が入力され、前記第３のトランジスタのゲート電極より、第２の信号が入力され、前記容量手段の第２の電極は、前記第４のトランジスタの第１の電極と電気的に接続され、かつ前記容量手段の第２の電極より、映像信号が入力され、前記第４のトランジスタのゲート電極より、第３の信号が入力され、第２の電極は、前記電流供給線と電気的に接続され、前記第１乃至第３の信号を入力して前記第２乃至第４のトランジスタを導通することによって、前記容量手段に電荷を蓄積する第１のステップと、前記第３のトランジスタを非導通とし、かつ前記第１、第３の信号を入力して前記第２、第４のトランジスタを導通することによって、前記容量手段に保持される電圧を、前記第１のトランジスタのしきい値電圧と等しい値に収束する第２のステップと、前記第２乃至第４のトランジスタを非導通とし、前記容量手段の第２の電極より、前記映像信号が入力される第３のステップと、前記第２、第４のトランジスタを非導通とし、かつ前記第２の信号を入力して前記第３のトランジスタを導通することによって、前記第１、第３のトランジスタのソース・ドレイン間を電流が流れる第４のステップとを有し、少なくとも第３のステップにおいて、前記容量手段の両電極間の電圧が一定であることを特徴としている。

【００７４】

【発明の実施の形態】図１(A)に、本発明の一実施形態を示す。ソース信号線１０１、第１～第４のゲート信号線１０２～１０５、第１～第５のＴＦＴ１０６～１１０、第１および第２の容量手段１１１、１１５、ＥＬ素子１１２、電流供給線１１３、電源１１４を有する。

【００７５】第１のＴＦＴ１０６のゲート電極は、第１のゲート信号線１０２に接続され、第１の電極は、ソース信号線１０１に接続され、第２の電極は、第２のＴＦＴ１０７の第１の電極に接続されている。第２のＴＦＴ１０７のゲート電極は、第２のゲート信号線１０３に接

SDC-1351-00000418
SDC EX. 2001 - 362/503

続され、第２の電極は、電流供給線１１３に接続されている。第１の容量手段１１１の第１の電極は、第２のＴＦＴ１０７の第１の電極に接続され、第２の電極は、第３のＴＦＴ１０８の第１の電極に接続されている。第３のＴＦＴ１０８のゲート電極は、第３のゲート電極１０４に接続され、第２の電極は、第４のＴＦＴ１０９の第１の電極に接続されている。第４のＴＦＴ１０９のゲート電極は、第４のゲート信号線１０５に接続され、第２の電極は、ＥＬ素子１１２の第１の電極に接続されている。第５のＴＦＴ１１０のゲート電極は、第３のＴＦＴ１０８の第１の電極、および第１の容量手段１１１の第２の電極に接続され、第１の電極は、第３のＴＦＴ１０８の第２の電極、および第４のＴＦＴ１０９の第１の電極に接続され、第２の電極は、電流供給線１１３に接続されている。第２の容量手段１１５は、第１のＴＦＴ１０６の第２の電極と、電流供給線１１３との間に配置され、ソース信号線１０１より入力される映像信号の電位を保持する。第２の容量手段１１５に関しては、特に設けなくとも動作は可能である。ＥＬ素子１１２の第２の電極には、電源１１４によって一定電位が与えられ、電流供給線１１３とは互いに電位差を有する。

【００７６】図１(Ｂ)および図２(Ａ)～(Ｆ)を用いて、動作について説明する。図１(Ｂ)は、ソース信号線１０１、第１～第４のゲート信号線１０２～１０５に入力される映像信号およびパルスのタイミングを示しており、図２に示す各動作にあわせて、Ⅰ～ⅥⅠの区間に分割している。また、図１(Ａ)に示した構成においては、第１～第３のＴＦＴ１０６～１０８はＮチャネル型、第４のＴＦＴ１０９および第５のＴＦＴ１１０はＰチャネル型としている。図５(Ａ)に示したように、全てＰチャネル型のＴＦＴを用いて構成することも可能であるが、第１のＴＦＴ１０６～第３のＴＦＴ１０８は、ここではＮチャネル型としている。Ｎチャネル型ＴＦＴにおいては、ゲート電極にＨレベルが入力されてＯＮし、Ｌレベルが入力されてＯＦＦするものとする。Ｐチャネル型ＴＦＴにおいては、ゲート電極にＬレベルが入力されてＯＮし、Ｈレベルが入力されてＯＦＦするものとする。

【００７７】なお、簡単のため、第２の容量手段１１５は、図２(Ａ)～(Ｆ)においては省略する。

【００７８】まず、第２、第３のゲート信号線１０３、１０４がＨレベル、第４のゲート信号線１０５がＬレベルとなり、ＴＦＴ１０７～１０９がＯＮする(区間Ⅰ)。これにより、図２(Ａ)で示すような電流が生じ、容量手段１１１が充電される。容量手段１１１が保持する電圧が、ＴＦＴ１１０のしきい値(V_{th})を上回ったところで、ＴＦＴ１１０がＯＮする。

【００７９】その後、第４のゲート信号線１０５がＨレベルとなり、ＴＦＴ１０９がＯＦＦする(区間Ⅱ)。これにより、電流供給線１１３－ＥＬ素子１１２間の電流パスが閉じるため、電流が停止する。一方、図２に示すように、容量手段１１１に貯まっていた電荷が再び移動を始める。容量手段１１１の両電極間の電圧はすなわち、ＴＦＴ１１０のゲート・ソース間電圧であるから、この電圧がV_{th}に等しくなったところでＴＦＴ１１０はＯＦＦし、電荷の移動も終了する(図２(Ｂ))。

【００８０】その後、第２、第３のゲート信号線１０３、１０４がいずれもＬレベルとなり、ＴＦＴ１０７、１０８がＯＦＦする。よって、容量手段１１１には、図２(Ｃ)に示すように、ＴＦＴ１１０のしきい値電圧が保持される。

【００８１】続いて、第１のゲート信号線１０２がＨレベルとなり、ＴＦＴ１０６がＯＮする(区間Ⅳ)。ソース信号線１０１には、映像信号が出力されて、その電位はV_{DD}から映像信号の電位V_{Data}(ここでは、ＴＦＴ１１０がＰチャネル型であるので、$V_{DD}>V_{Data}$とする。)となる。ここで、容量手段１１１においては、先程のV_{th}がそのまま保持されているので、ＴＦＴ１１０のゲート電極の電位は、ソース信号線１０１から入力される映像信号電位V_{Data}に、さらにしきい値V_{th}を加えた電位となる。よってＴＦＴ１１０がＯＮする(図２(Ｄ))。

【００８２】やがて映像信号の書き込みが完了すると、第１のゲート信号線１０２がＬレベルとなり、ＴＦＴ１０６がＯＦＦする(区間Ⅴ)。その後、ソース信号線への映像信号の出力も終了し、その電位はV_{DD}に戻る(図２(Ｅ))。

【００８３】続いて、第４のゲート信号線１０５がＬレベルとなり、ＴＦＴ１０９がＯＮする(区間ⅤⅠ)。ＴＦＴ１１０は既にＯＮしているので、電流供給線１１３からＥＬ素子１１２に電流が流れることによってＥＬ素子１１２が発光する(図２(Ｆ))。このとき、ＥＬ素子１１２に流れる電流値は、ＴＦＴ１１０のゲート・ソース間電圧に従ったものであり、このときのＴＦＴ１１０のゲート・ソース間電圧は、$(V_{DD}-(V_{Data}+V_{th}))$である。ここで仮に、ＴＦＴ１１０のしきい値$V_{th}$が各画素間でばらついたとしても、そのばらつきに応じた電圧が、各画素の容量手段１１１に保持される。よって、ＥＬ素子１１２の輝度は、しきい値のばらつきに影響されることがない。

【００８４】以上のような動作によって、映像信号の書き込みから発光を行う。本発明においては、容量手段１１１の容量結合によって、映像信号の電位を、ＴＦＴ１１０のしきい値分だけオフセットすることが出来る。よって、前述のように他の素子の特性ばらつき等に影響されることなく、正確にしきい値補正を行うことが可能である。

【００８５】図２６(Ａ)(Ｂ)に、従来例と本発明におけるしきい値補正の動作を簡単に説明する図を示す。図２６(Ａ)においては、映像信号入力の際、２つの容量手段C_1、C_2間において電荷が保存され、かつ電荷の移動が

SDC-1351-00000419
SDC EX. 2001 - 363/503

生ずるため、ＥＬ素子に電流を供給するＴＦＴのゲート・ソース間電圧V_{GS}は、図２６(A)の(iii)に示すように、容量値C_1、C_2を項に含む式で表される。よって、容量値Ｃ１、Ｃ２にばらつきが生じた場合、ＴＦＴのゲート・ソース間電圧がばらつくことになる。

【００８６】これに対して本発明の場合、容量手段において電荷が保存されるが、映像信号入力の際は、図２６(B)の(iii)に示すように、電荷の移動が生じない。つまり、映像信号の電位にしきい値電圧を上乗せした電位がそのままＴＦＴのゲート電極に印加されるため、よりＴＦＴのゲート・ソース間電圧をばらつきにくくすることが出来る。

【００８７】また、画素の選択タイミング、すなわちある画素に映像信号が書き込まれるタイミングは、ソース信号線１０１への信号入力タイミングおよび第１のゲート信号線１０２の選択タイミングによる。すなわち、ある画素における初期化や、容量手段への電荷の充電といった動作を、映像信号の書き込みタイミングとは独立して行うことが出来る。これらの動作は複数行が並行して行われていても良いので、異なる行において、第２～第４のゲート信号線の選択タイミング等は重複しても良い。そのため、図１(B)において※で示した期間、つまりしきい値電圧を保存する動作を行う期間を長くとることが出来る。

【００８８】また、図１(A)において、ＴＦＴ１０９の配置を変更したものとして、図２０(A)のような構成としても良い。図に付した番号は図１(A)と同様であり、ＴＦＴ１０９を、ＴＦＴ１１０の第１の電極とＥＬ素子１１２の間から、ＴＦＴ１１０の第２の電極およびＴＦＴ１０７の第２の電極と、電流供給線１１３の間に移動したものである。

【００８９】なお、本実施形態において示した構成におけるＴＦＴの極性はあくまでも一例であり、その極性を限定するものではないことを付記する。

【００９０】図１に示した本発明の実施形態においては、１画素あたり４本のゲート信号線を用いて制御しているが、第２、第３のゲート信号線１０３、１０４によって制御されるＴＦＴ１０７、１０８の動作タイミングは、図１(B)に示すように同時であるので、ＴＦＴ１０７、１０８の極性が同じであるならば、これらを同一のゲート信号線によって制御するなどして、ゲート信号線の本数を減らすことも出来る。この場合、開口率を高くすることが出来る。

【００９１】

【実施例】以下に、本発明の実施例について記載する。

【００９２】[実施例１]本実施例においては、映像信号にアナログ映像信号を用いて表示を行う発光装置の構成について説明する。図７(A)に、発光装置の構成例を示す。基板７０１上に、複数の画素がマトリクス状に配置された画素部７０２を有し、画素部周辺には、ソース信号線駆動回路７０３および、第１～第４のゲート信号線駆動回路７０４～７０７を有している。図７(A)においては、４組のゲート信号線駆動回路を用い、図１に示した画素における第１～第４のゲート信号線をそれぞれ制御するものである。

【００９３】ソース信号線駆動回路７０３、第１～第３のゲート信号線駆動回路７０４～７０６に入力される信号は、フレキシブルプリント基板(Flexible Print Circuit：ＦＰＣ)７０８を介して外部より供給される。

【００９４】図７(B)に、ソース信号線駆動回路の構成例を示す。これは、映像信号にアナログ映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ７１１、バッファ７１２、サンプリング回路７１３を有している。特に図示していないが、必要に応じてレベルシフタ等を追加しても良い。

【００９５】ソース信号線駆動回路の動作について説明する。図８(A)に、より詳細な構成を示したので、そちらを参照する。

【００９６】シフトレジスタ８０１は、フリップフロップ回路(ＦＦ)８０２等を複数段用いてなり、クロック信号(Ｓ－ＣＬＫ)、クロック反転信号(Ｓ－ＣＬＫｂ)、スタートパルス(Ｓ－ＳＰ)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【００９７】シフトレジスタ８０１より出力されたサンプリングパルスは、バッファ８０３等を通って増幅された後、サンプリング回路へと入力される。サンプリング回路８０４は、サンプリングスイッチ(SW)８０５を複数段用いてなり、サンプリングパルスが入力されるタイミングに従って、ある列で映像信号のサンプリングを行う。具体的には、サンプリングスイッチにサンプリングパルスが入力されると、サンプリングスイッチ８０５がＯＮし、そのときに映像信号が有する電位が、サンプリングスイッチを介して各々のソース信号線へと出力される。

【００９８】続いて、ゲート信号線駆動回路の動作について説明する。図７(C)に示した、第１、第２のゲート信号線駆動回路７０４、７０５、および第３、第４のゲート信号線駆動回路７０６、７０７についての詳細な構成を図８(B)に示した。第１のゲート信号線駆動回路は、シフトレジスタ回路８１１、バッファ８１２を有し、クロック信号(Ｇ－ＣＬＫ１)、クロック反転信号(Ｇ－ＣＬＫｂ１)、スタートパルス(Ｇ－ＳＰ１)に従って駆動される。第２のゲート信号線駆動回路は、シフトレジスタ回路８１３、バッファ８１４を有し、クロック信号(Ｇ－ＣＬＫ２)、クロック反転信号(Ｇ－ＣＬＫｂ２)、スタートパルス(Ｇ－ＳＰ２)に従って駆動される。

【００９９】シフトレジスタ～バッファの動作については、ソース信号線駆動回路の場合と同様である。バッフ

SDC-1351-00000420
SDC EX. 2001 - 364/503

ッによって増幅された選択パルスは、それぞれのゲート信号線を選択する。第１のゲート信号線駆動回路によって、第１のゲート信号線G_{11}、G_{21}、・・・、G_{m1}が順次選択され、第２のゲート信号線駆動回路によって、第２のゲート信号線G_{12}、G_{22}、・・・、G_{m2}が順次選択される。図示していないが、第３のゲート信号線駆動回路についても第１、第２のゲート信号線駆動回路と同様であり、第３のゲート信号線G_{13}、G_{23}、・・・、G_{m3}が順次選択される。選択された行において、実施形態にて説明した手順により、画素に映像信号が書き込まれて発光する。

【０１００】なお、ここではシフトレジスタの一例として、フリップフロップを複数段用いてなるものを図示したが、デコーダ等によって、信号線を選択出来るような構成としていても良い。

【０１０１】[実施例２]本実施例においては、映像信号にデジタル映像信号を用いて表示を行う発光装置の構成について説明する。図９(Ａ)に、発光装置の構成例を示す。基板９０１上に、複数の画素がマトリクス状に配置された画素部９０２を有し、画素部周辺には、ソース信号線駆動回路９０３および、第１～第４のゲート信号線駆動回路９０４～９０７を有している。図９(Ａ)においては、４組のゲート信号線駆動回路を用い、図１に示した画素における第１～第４のゲート信号線をそれぞれ制御するものである。

【０１０２】ソース信号線駆動回路９０３、第１～第４のゲート信号線駆動回路９０４～９０７に入力される信号は、フレキシブルプリント基板(Flexible Print Circuit：ＦＰＣ)９０８を介して外部より供給される。

【０１０３】図９(Ｂ)に、ソース信号線駆動回路の構成例を示す。これは、映像信号にデジタル映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ９１１、第１のラッチ回路９１２、第２のラッチ回路９１３、Ｄ／Ａ変換回路９１４を有している。特に図示していないが、必要に応じてレベルシフタ等を追加しても良い。

【０１０４】第１～第４のゲート信号線駆動回路９０４～９０７については、実施例１にて示したものと同様で良いので、ここでは図示および説明を省略する。

【０１０５】ソース信号線駆動回路の動作について説明する。図１０(Ａ)に、より詳細な構成を示したので、そちらを参照する。

【０１０６】シフトレジスタ１００１は、フリップフロップ回路(ＦＦ)１０１０等を複数段用いてなり、クロック信号(Ｓ－ＣＬＫ)、クロック反転信号(Ｓ－ＣＬＫｂ)、スタートパルス(Ｓ－ＳＰ)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【０１０７】シフトレジスタ１００１より出力されたサンプリングパルスは、第１のラッチ回路１００２に入力される。第１のラッチ回路１００２には、デジタル映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段でデジタル映像信号を保持していく。ここでは、デジタル映像信号は３ビット入力されており、各ビットの映像信号を、それぞれの第１のラッチ回路において保持する。１つのサンプリングパルスによって、ここでは３つの第１のラッチ回路が並行して動作する。

【０１０８】第１のラッチ回路１００２において、最終段までデジタル映像信号の保持が完了すると、水平帰線期間中に、第２のラッチ回路１００３にラッチパルス(Ｌａｔｃｈ　Ｐｕｌｓｅ)が入力され、第１のラッチ回路１００２に保持されていたデジタル映像信号は、一斉に第２のラッチ回路１００３に転送される。その後、第２のラッチ回路１００３に保持されたデジタル映像信号は、１行分が同時に、Ｄ／Ａ変換回路１００４へと入力される。

【０１０９】第２のラッチ回路１００３に保持されたデジタル映像信号がＤ/Ａ変換回路１００４に入力されている間、シフトレジスタ９０１においては再びサンプリングパルスが出力される。以後、この動作を繰り返し、１フレーム分の映像信号の処理を行う。

【０１１０】Ｄ／Ａ変換回路１００４においては、入力されるデジタル映像信号をデジタル－アナログ変換し、アナログ電圧を有する映像信号としてソース信号線に出力する。

【０１１１】前記の動作が、１水平期間内に、全段にわたって同時に行われる。よって、全てのソース信号線に映像信号が出力される。

【０１１２】なお、実施例１においても述べたとおり、シフトレジスタの代わりにデコーダ等を用いて、信号線を選択出来るような構成としていても良い。

【０１１３】[実施例３]実施例２においては、デジタル映像信号はＤ／Ａ変換回路によってデジタル－アナログ変換を受け、画素に書き込まれるが、本発明の発光装置は、時間階調方式によって階調表現を行うことも出来る。この場合には、図１０(Ｂ)に示すように、Ｄ／Ａ変換回路を必要とせず、階調表現は、ＥＬ素子の発光時間の長短によって制御されるので、各ビットの映像信号を並列処理する必要がないため、第１および第２のラッチ回路も１ビット分で良い。このとき、デジタル映像信号は、各ビットが直列に入力され、順次ラッチ回路に保持され、画素に書き込まれる。

【０１１４】また、時間階調方式によって階調表現を行う場合、図１において、第４のＴＦＴ１０９を消去用ＴＦＴとして用いることが出来る。この場合、第４のＴＦＴ１０９は、消去期間中を通じてＯＦＦしている必要があり、そのためには、第４のゲート信号線１０５は、消去用ゲート信号線駆動回路を用いて制御する。通常、ゲート信号線を選択するゲート信号線駆動回路の場合、１

SDC-1351-00000421
SDC EX. 2001 - 365/503

水平期間内に１つもしくは複数のパルスを出力するが、消去用ゲート信号線駆動回路の場合、消去期間中は継続して第４のＴＦＴ１０９をＯＦＦさせつづけなければならないため、独立した駆動回路を用いる。

【０１１５】図２４に、時間階調方式による一例を示す。図２４(Ａ)は、４ビットの階調を得るためのタイミングチャートであり、各ビットのアドレス(書き込み)期間Ｔａ１～Ｔａ４と、サステイン(発光)期間Ｔｓ１～Ｔｓ４と、消去期間Ｔｅ１～Ｔｅ４とを有する。

【０１１６】アドレス(書き込み)期間は、１画面分の画素に映像信号を入力する動作に要する期間であるから、各ビットで等しい長さである。これに対し、サステイン(発光)期間は、その長さを１：２：４：・・・：$2^{(n-1)}$と、２のべき乗の比とし、発光する期間の合計によって、階調を表現する。図２４(Ａ)の例では、４ビットであるので、サステイン(発光)期間の長さは、１：２：４：８となっている。

【０１１７】消去期間については、本来は、サステイン(発光)期間が短い場合に、アドレス(書き込み)期間が重複し、異なるゲート信号線が同時に選択されることのないように設けるものとしている。

【０１１８】図２４(Ｂ)は、図１における第１のゲート信号線に入力されるパルスのタイミングを示したものである。このゲート信号線が１行目～最終行まで選択される期間が、アドレス(書き込み)期間にあたる。

【０１１９】図２４(Ｃ)は、図１における第２、第３のゲート信号線に入力されるパルスのタイミングを示したものである。ここでは、第２、第３のゲート信号線を共通として駆動している。ここでＨレベルとなっている期間が、しきい値保存を行う期間であり、各サブフレーム期間において、アドレス期間の前に行う。

【０１２０】図２４(Ｄ)は、図１における第４のゲート信号線に入力されるパルスのタイミングを示したものである。２４０１で示される期間が発光期間である。つまり、消去期間は、第４のゲート信号線にＨレベルを入力することによって設けている。２４０２で示される期間は、しきい値保存動作を行う際、図２(Ａ)に記載のように、この期間にＴＦＴ１０９がＯＮする必要があるためにＬレベルが入力される。

【０１２１】図２４においては、しきい値保存は、消去期間中に行うように記載しているが、この期間は発光していても構わない。つまり、上位ビットにおいては必ずしも消去期間を設けず、サステイン(発光)期間中にしきい値保存を行っても良い。

【０１２２】図２４(Ｂ)、(Ｃ)のようなパルスは、従来のゲート信号線駆動回路の構成によって容易に作ることが出来るが、図２４(Ｄ)のようなパルスはやや工夫が必要となる。本実施例では、図２５(Ａ)に示すように、ゲート信号線駆動回路を２相構成とし、図２５(Ｂ)に示すように、α、βのノードにそれぞれ現れるパルスをＯＲ回路を用いて組み合わせ、所望のパルスを得ている。

【０１２３】[実施例４]ここまで紹介した発光装置においては、第１～第４のゲート信号線を制御するために、第１～第４のゲート信号線駆動回路をそれぞれ動作させることによって行っていた。このような構成とするメリットとしては、各ゲート信号線の選択タイミングを独立して変更させることが出来るため、様々な駆動方法に対してある程度の対応が可能な点がある。反面、基板内で駆動回路の占有面積が増大するため、表示領域の周辺が大きくなる、すなわち狭額縁化が困難となるデメリットがある。

【０１２４】図１１(Ａ)は、そのような問題を解決するための一構成例を示している。図１１(Ａ)において、シフトレジスタ１１１１、バッファ１１１２を有する点は他の実施例にて用いたゲート信号線駆動回路と同様であるが、本実施例においては、バッファの後にパルス分割回路１１１３を追加した。詳細な構成を図１１(Ｂ)に示す。

【０１２５】パルス分割回路１１１３は、ＮＡＮＤ１１１６、インバータ１１１７を複数用いてなる。バッファ出力と、外部入力される分割信号(ＭＰＸ)とのＮＡＮＤをとることにより、１つのゲート信号線駆動回路によって、異なるパルスで制御される２つのゲート信号線を制御することが出来る。図１１の場合、第１のゲート信号線と、第２のゲート信号線とを、１つのゲート信号線駆動回路によって制御する。

【０１２６】分割信号(ＭＰＸ)と、それぞれのゲート信号線の選択タイミングを図１２に示した。G_{11}、G_{21}、・・・、G_{m1}は、バッファ出力がそのまま選択パルスとして用いられる。一方、バッファ出力がＨレベル、さらに分割信号がＨレベルのとき、ＮＡＮＤ出力はＬレベルとなり、さらにインバータを介してＨレベルが出力され、こちらのパルスによって、G_{12}、G_{22}、・・・、G_{m2}が選択される。

【０１２７】[実施例５]本発明において、発光時にＥＬ素子に電流を供給するためのＴＦＴ(図１(Ａ)におけるＴＦＴ１０６)は、ＥＬ素子の劣化によって輝度がばらつくのを抑えるため、飽和領域で動作させるのが望ましい。このとき、飽和領域における電流が、ＴＦＴ１０６のソース・ドレイン間電圧が変化してもほぼ一定となるようにするため、ゲート長Ｌを大きくしている。

【０１２８】このとき、容量手段においてしきい値を保持する際の動作は、一度容量手段にはＴＦＴのしきい値を上回る電圧を与え、その状態からしきい値電圧に収束させているが、ＴＦＴのゲート長Ｌが大きい場合、ゲート容量等によってこの動作に時間を要する。そこで本実施例においては、このような場合における高速動作を実現する構成について説明する。

【０１２９】図１８(Ａ)に、画素の構成を示す。図１(Ａ)にて示した画素に、ＴＦＴＩ８１７、１８Ｉ８、お

SDC-1351-00000422
SDC EX. 2001 - 366/503

よびＴＦＴ１８１８を制御するための第５のゲート信号線１８１６が追加されている。また、図１８(Ａ)に点線で示すように、容量手段１８１５を、ＴＦＴ１８０６の第２の電極と、電流供給線１８１３との間に設け、映像信号を保持するための容量として用いても良い。

【０１３０】図１８(Ｂ)および図１９(Ａ)～(Ｆ)を用いて、動作について説明する。図１８(Ｂ)は、ソース信号線１８０１、第１～第５のゲート信号線１８０２～１８０５、１８１６に入力される映像信号およびパルスのタイミングを示しており、図１９に示す各動作にあわせて、I～VIの区間に分割している。本実施例は、容量手段にしきい値電圧を保持するまでの動作を高速にするためのものであるので、映像信号のかきこみ、および発光動作については実施形態にて説明したものと同様である。従ってここでは、容量手段における電荷の充電および保持動作についてのみ説明する。

【０１３１】まず、第２、第３、および第５のゲート信号線１８０３、１８０４、１８１６がＨレベル、第４のゲート信号線１８０５がＬレベルとなり、ＴＦＴ１８０７、１８０８、１８０９、１８１８がＯＮする(区間I)。これにより、図１９(Ａ)で示すような電流が生じ、容量手段１８１１が充電される。容量手段１８１１が保持する電圧が、ＴＦＴ１８１０、１８１７のしきい値(V_{th})を上回ったところで、ＴＦＴ１８１０、１８１７がＯＮする(図１９(Ａ))。

【０１３２】続いて、第４のゲート信号線１８０５がＨレベルとなり、ＴＦＴ１８０９がＯＦＦする(区間II)。これにより、電流供給線１８１３－ＥＬ素子１８１２間の電流パスが閉じるため、電流が停止する。一方、図１９(Ｂ)に示すように、容量手段１８１１に貯まっていた電荷が再び移動を始める。容量手段１８１１の両電極間の電圧はすなわち、ＴＦＴ１８１０、１８１７のゲート・ソース間電圧であるから、この電圧がV_{th}に等しくなったところでＴＦＴ１８１０、１８１７はＯＦＦし、電荷の移動も終了する。

【０１３３】容量手段１８１１において、しきい値の保存が完了すると、第２、第５のゲート信号線がＬレベル、第３のゲート信号線がＨレベルとなり、ＴＦＴ１８０７、１８０８、１８１８がＯＦＦする(区間III)。

【０１３４】続いて、第１のゲート信号線１８０２がＨレベルとなり、ＴＦＴ１８０６がＯＮする(区間IV)。ソース信号線１８０１には、映像信号が出力されて、その電位はV_{DD}から映像信号の電位V_{Data}(ここでは、ＴＦＴ１１０がＰチャネル型であるので、$V_{DD}>V_{Data}$とする。)となる。ここで、容量手段１８１１においては、先程のV_{th}がそのまま保持されているので、ＴＦＴ１８１０、１８１７のゲート電極の電位は、ソース信号線１８０１から入力される映像信号電位V_{Data}に、さらにしきい値V_{th}を加えた電位となる。よってＴＦＴ１８１０、１８１７がＯＮする(図１９(Ｄ))。

【０１３５】やがて映像信号の書き込みが完了すると、第１のゲート信号線１８０２がＬレベルとなり、ＴＦＴ１８０６がＯＦＦする(区間V)。その後、ソース信号線１８０１への映像信号の出力も終了し、その電位はV_{DD}に戻る(図１９(Ｅ))。

【０１３６】続いて、第４のゲート信号線１８０５がＬレベルとなり、ＴＦＴ１８０９がＯＮする(区間VI)。ＴＦＴ１８１０は既にＯＮしているので、電流供給線１８１３からＥＬ素子１８１２に電流が流れることによってＥＬ素子１８１２が発光する(図１９(Ｆ))。このとき、ＥＬ素子１８１２に流れる電流値は、ＴＦＴ１８１０のゲート・ソース間電圧に従ったものであり、このときのＴＦＴ１８１０のゲート・ソース間電圧は、($V_{DD}-(V_{Data}+V_{th})$)である。ここで仮に、ＴＦＴ１８１０のしきい値V_{th}が各画素間でばらついたとしても、そのばらつきに応じた電圧が、各画素の容量手段１８１１に保持される。よって、ＥＬ素子１８１２の輝度は、しきい値のばらつきに影響されることがない。

【０１３７】ここで、新たに追加したＴＦＴ１８１７は、発光時にＥＬ素子１８１３に電流を供給するためのＴＦＴ１８１０と、互いのゲート電極が接続されている。図１９(Ａ)、(Ｂ)に示すように、電荷の移動するパスが実施形態よりも多く、またＴＦＴ１８１７は、ＥＬ素子１８１２に電流を供給する役目を持たないため、ゲート長Ｌを小さく、チャネル幅Ｗを大きくとって良い。従って、ゲート容量が小さいために電荷の移動がスムーズに行われ、容量手段に保持されている電圧がV_{th}に収束するまでの時間をより短くすることが出来る。

【０１３８】[実施例６]本実施例においては、実施例５とは異なる構成によって、高速なしきい値保存動作を実現する例を示す。

【０１３９】図２２(Ａ)に構成を示す。ここで、容量手段２２１１においてしきい値を保存するＴＦＴは、ＴＦＴ２２１０にあたる。ＥＬ素子２２１２が発光する際には、ＴＦＴ２２１６、ＴＦＴ２２１０、ＴＦＴ２２０９を経由して電流が供給される。ここで、ＴＦＴ２２０９は、単なるスイッチング素子として機能すればよい。ＥＬ素子２２１２の劣化に対応するため、ＴＦＴ２２１６は、飽和領域で動作させ、かつ飽和領域において、ソース・ドレイン間電圧が変化しても、ドレイン電流がほぼ一定となるように、ゲート長Ｌを大きくする。

【０１４０】電荷の充電は、図２２(Ｂ)～(Ｃ)に示すような電流経路で行われ、容量手段２２１１に電荷が充電される。その後、ＴＦＴ２２０９がＯＦＦすると、図２２(Ｃ)に示すように、再び電荷の移動が生じ、容量手段２２１１に保持されている電圧が、ＴＦＴ２２１０およびＴＦＴ２２１６のしきい値に等しくなったところで、ＴＦＴ２２１０、２２１６がＯＦＦする。この動作によって、容量手段２２１１には、しきい値が保存される。このとき、ＴＦＴ２２１０のゲート長Ｌは小さくしてあ

SDC-1351-00000423
SDC EX. 2001 - 367/503

るため、図２２(C)の動作はより迅速に進行することが出来る。

【０１４１】その後、実施形態や他の実施例と同様に、映像信号の書き込みを行った後、図２２(D)に示すように、ＴＦＴ２２０９がＯＮすると、電流供給線－ＴＦＴ２２１６－ＴＦＴ２２１０－ＴＦＴ２２０９を経由して、ＥＬ素子２２１２に電流が供給され、発光する。

【０１４２】このとき、ＴＦＴ２２１０、２２１６は互いのゲート電極が接続されているため、マルチゲート型ＴＦＴとして動作することになる。このとき、ＴＦＴ２２１０のゲート長をL_1,チャネル幅をW_1とし、ＴＦＴ２２１６のゲート長をL_2、チャネル幅をW_2とすると、$(W_1／L_1)>(W_2／L_2)$となる。つまり、しきい値の保存動作において、図２２(C)に示すようなしきい値電圧の保存は、Ｌが小さくＷが大きいＴＦＴ２２１０を用いているため、より大きな電流によって動作を完了出来る。すなわち迅速な動作が出来る。かつ、発光時にはＴＦＴ２２１０、２２１６をマルチゲート型ＴＦＴとして用いており、ＴＦＴ２２１６はゲート長Ｌを大きくしてあるため、ＴＦＴ２２１０、２２１６のソース・ドレイン間電圧が少々変動しても、一定のドレイン電流を流すことが出来る。

【０１４３】ＴＦＴ２２０９の配置箇所に関しては、図２２(A)に示したものの他、図２３(A)、(B)に示すような例が挙げられる。また、このＴＦＴ２２０９は、デジタル映像信号を用いて時間階調方式による表示を行う際、消去用ＴＦＴとして用いることも出来る。

【０１４４】[実施例７]図１、図１８、図２０等に示した画素の場合、いずれも容量手段の充電中に、ＥＬ素子に電流が流れる。これによって、本来発光すべき期間以外でＥＬ素子が発光してしまう。発光する期間はごく短いため、画質に大きく影響するものではないが、容量手段への電荷の充電中、ＥＬ素子自体が負荷となってしまい、これによって充電に時間を要することになる。本実施例においては、容量手段への電荷の充電時にＥＬ素子に電流が流れないようにする構成について説明する。

【０１４５】図２１(A)に、画素の構成例を示す。図１(A)にて示した画素に、ＴＦＴ２１１８が追加されている。ＴＦＴ２１１８のゲート電極は、第５のゲート信号線２１０６に接続され、第１の電極は、ＴＦＴ２１０９の第１の電極もしくは、ＴＦＴ２１０９の第２の電極に接続され、第２の電極は、電源線に接続され、電流供給線２１１４と互いに電位差を有する。また、図２１(A)に点線で示すように、容量手段２１１７を、第１のＴＦＴ２１０７の第２の電極と、電流供給線２１１４との間に設け、映像信号を保持するための容量として用いても良い。また、ＴＦＴ２１１８の第２の電極は、当該画素を除くいずれかの画素における第１のゲート信号線等に接続しても良い。つまりこの場合、選択されていないゲート信号線がある一定電位にあることを利用し、電源線として代用するわけである。

【０１４６】容量手段２１１２への電荷の充電においては、第２、第３、第５のゲート信号線２１０３、２１０４、２１０６へのパルスの入力によってＴＦＴ２１０８、２１０９、２１１８がＯＮし、図２１(B)に示すように振舞う。ＴＦＴ２１１０がＯＦＦであるため、ＥＬ素子２１１３には電流が流れず、発光しない。この場合にも、新たに追加したＴＦＴ２１１８による電流パスが存在するため、容量手段２１１２が充電される。その後、第５のゲート信号線２１０６がＬレベルとなってＴＦＴ２１１８がＯＦＦすると、図２１(C)に示すように、容量手段２１１２に貯まっていた電荷の移動が生じ、ＴＦＴ２１１１のしきい値を下回る瞬間にＴＦＴ２１１１がＯＦＦし、電荷の移動も終了する。よって容量手段２１１２には、ＴＦＴ２１１１のしきい値が保持される。

【０１４７】本実施例においては、第１～第５のゲート信号線によって、各ＴＦＴを独立して制御しているが、構成はこの限りではない。画素の開口率等を考えた場合、信号線の本数は可能な限り少ないことが望ましく、同期して動作するＴＦＴ、例えば図２１(A)においてはＴＦＴ２１０８、２１０９に関しては、その極性を同極性として、１本のゲート信号線を用いて制御しても良い。

【０１４８】なお、本実施例と、他の実施例に記載の他の実施例を組み合わせて用いても良い。

【０１４９】[実施例８]本実施例ではＣＭＯＳ回路で構成される駆動回路と、スイッチング用ＴＦＴ及び駆動用ＴＦＴを有する画素部とが同一基板上に形成された基板を便宜上アクティブマトリクス基板と呼ぶ。そして本実施例では前記アクティブマトリクス基板の作製工程について図１３、図１４を用いて説明する。

【０１５０】基板５０００は、石英基板、シリコン基板、金属基板又はステンレス基板の表面に絶縁膜を形成したものを用いる。また本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。本実施例ではバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等のガラスからなる基板５０００を用いた。

【０１５１】次いで、基板５０００上に酸化珪素膜、窒化珪素膜又は酸化窒化珪素膜などの絶縁膜から成る下地膜５００１を形成する。本実施例の下地膜５００１は２層構造で形成したが、前記絶縁膜の単層構造又は前記絶縁膜を２層以上積層させた構造であっても良い。

【０１５２】本実施例では、下地膜５００１の１層目として、プラズマＣＶＤ法を用いて、SiH_4、NH_3、及びN_2Oを反応ガスとして成膜される窒化酸化珪素膜５００１ａを１０～２００nm(好ましくは５０～１００nm)の厚さに形成する。本実施例では、窒化酸化珪素膜５００１ａを５０nmの厚さに形成した。次いで下地膜５００１の２層目として、プラズマＣＶＤ法を用いて、ＳｉＨ

SDC-1351-00000424
SDC EX. 2001 - 368/503

$_4$及びN_2Oを反応ガスとして成膜される酸化窒化珪素膜５００１ｂを５０～２００nm(好ましくは１００～１５０nm)の厚さに形成する。本実施例では、酸化窒化珪素膜５００１ｂを１００nmの厚さに形成した。

【０１５３】続いて、下地膜５００１上に半導体層５００２～５００５を形成する。半導体層５００２～５００５は公知の手段(スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等)により２５～８０nm(好ましくは３０～６０nm)の厚さで半導体膜を成膜する。次いで前記半導体膜を公知の結晶化法(レーザ結晶化法、ＲＴＡ又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等)を用いて結晶化させる。そして、得られた結晶質半導体膜を所望の形状にパターニングして半導体層５００２～５００５を形成する。なお前記半導体膜としては、非晶質半導体膜、微結晶半導体膜、結晶質半導体膜、又は非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜などを用いても良い。

【０１５４】本実施例では、プラズマＣＶＤ法を用いて、膜厚５５nmの非晶質珪素膜を成膜した。そして、ニッケルを含む溶液を非晶質珪素膜上に保持させ、この非晶質珪素膜に脱水素化(５００℃、１時間)を行った後、熱結晶化(５５０℃、４時間)を行って結晶質珪素膜を形成した。その後、フォトリソグラフィ法を用いたパターニング処理によって半導体層５００２～５００５を形成した。

【０１５５】なおレーザ結晶化法で結晶質半導体膜を作製する場合のレーザは、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、ＹＡＧレーザ、YVO_4レーザ、ＹＬＦレーザ、$YAlO_3$レーザ、ガラスレーザ、ルビーレーザ、Ｔｉ：サファイアレーザ等を用いることができる。また後者の固体レーザとしては、Ｃｒ、Ｎｄ、Ｅｒ、Ｈｏ、Ｃｅ、Ｃｏ、Ｔｉ又はＴｍがドーピングされたＹＡＧ、YVO_4、ＹＬＦ、$YAlO_3$などの結晶を使ったレーザを用いることができる。当該レーザの基本波はドーピングする材料によって異なり、１μｍ前後の基本波を有するレーザ光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。なお非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第２高調波～第４高調波を適用するのが好ましい。代表的には、Ｎｄ:YVO_4レーザー(基本波１０６４nm)の第２高調波(５３２nm)や第３高調波(３５５nm)を適用する。

【０１５６】また出力１０Ｗの連続発振のYVO_4レーザから射出されたレーザ光は、非線形光学素子により高調波に変換する。さらに、共振器の中にYVO_4結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は０．０１～１００MW／cm^{2}程度(好ましくは０．１～１０MW／cm^2)が必要である。そして、１０～２０００cm／s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射する。

【０１５７】また上記のレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光して、半導体膜に照射すると良い。結晶化の条件は適宜設定されるが、エキシマレーザを用いる場合はパルス発振周波数３００Hzとし、レーザーエネルギー密度を１００～７００mJ/cm^2(代表的には２００～３００mJ/cm^2)とすると良い。またＹＡＧレーザを用いる場合には、その第２高調波を用いてパルス発振周波数１～３００Hzとし、レーザーエネルギー密度を３００～１０００mJ/cm^2(代表的には３５０～５００mJ/cm^2)とすると良い。そして幅１００～１０００μm(好ましくは幅４００μm)で線状に集光したレーザ光を基板全面に渡って照射し、このときの線状ビームの重ね合わせ率(オーバーラップ率)を５０～９８％として行っても良い。

【０１５８】しかしながら本実施例では、結晶化を助長する金属元素を用いて非晶質珪素膜の結晶化を行ったため、前記金属元素が結晶質珪素膜中に残留している。そのため、前記結晶質珪素膜上に５０～１００nmの非晶質珪素膜を形成し、加熱処理(ＲＴＡ法やファーネスアニール炉を用いた熱アニール等)を行って、該非晶質珪素膜中に前記金属元素を拡散させ、前記非晶質珪素膜は加熱処理後にエッチングを行って除去する。その結果、前記結晶質珪素膜中の金属元素の含有量を低減または除去することができる。

【０１５９】なお半導体層５００２～５００５を形成した後、ＴＦＴのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【０１６０】次いで、半導体層５００２～５００５を覆うゲート絶縁膜５００６を形成する。ゲート絶縁膜５００６はプラズマＣＶＤ法やスパッタ法を用いて、膜厚を４０～１５０nmとして珪素を含む絶縁膜で形成する。本実施例では、ゲート絶縁膜５００６としてプラズマＣＶＤ法により酸化窒化珪素膜を１１５nmの厚さに形成した。勿論、ゲート絶縁膜５００６は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【０１６１】なおゲート絶縁膜５００６として酸化珪素膜を用いる場合には、プラズマＣＶＤ法でＴＥＯＳ(Tetraethyl Orthosilicate)とO_2とを混合し、反応圧力４０Pa、基板温度３００～４００℃とし、高周波(１３．５６MHz)電力密度０．５～０．８W/cm^{2}で放電させて形成しても良い。上記の工程により作製される酸化珪素膜は、その後４００～５００℃の熱アニールによって、ゲート絶縁膜５００６として良好な特性を得ることができる。

SDC-1351-00000425
SDC EX. 2001 - 369/503

【０１６２】次いで、ゲート絶縁膜５００６上に膜厚２０～１００nmの第１の導電膜５００７と、膜厚１００～４００nmの第２の導電膜５００８とを積層形成する。本実施例では、膜厚３０nmのＴａＮ膜からなる第１の導電膜５００７と、膜厚３７０nmのW膜からなる第２の導電膜５００８を積層形成した。

【０１６３】本実施例では、第１の導電膜５００７であるＴａＮ膜はスパッタ法で形成し、Ｔａのターゲットを用いて、窒素を含む雰囲気内でスパッタ法で形成した。また第２の導電膜５００８であるW膜は、Wのターゲットを用いたスパッタ法で形成した。その他に６フッ化タングステン(WF_6)を用いる熱ＣＶＤ法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は２０μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度９９．９９９９％)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率９～２０μΩcmを実現することができた。

【０１６４】なお本実施例では、第１の導電膜５００７をＴａＮ膜、第２の導電膜５００８をW膜としたが、第１の導電膜５００７及び第２の導電膜５００８を構成する材料は特に限定されない。第１の導電膜５００７及び第２の導電膜５００８は、Ｔａ、W、Ｔｉ、Ｍｏ、Ａｌ、Ｃｕ、Ｃｒ、Ｎｄから選択された元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜やＡｇＰｄＣｕ合金で形成してもよい。

【０１６５】次いで、フォトリソグラフィ法を用いてレジストからなるマスク５００９を形成し、電極及び配線を形成するための第１のエッチング処理を行う。第１のエッチング処理では第１及び第２のエッチング条件で行う。(図１３(Ｂ))

【０１６６】本実施例では第１のエッチング条件として、ＩＣＰ(Inductively Coupled Plasma：誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF_4とCl_2とO_2とを用い、それぞれのガス流量比を２５：２５：１０（sccm）とし、１．０Paの圧力でコイル型の電極に５００WのＲＦ(１３．５６MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも１５０WのＲＦ(１３．５６MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。そしてこの第１のエッチング条件によりW膜をエッチングして第１の導電層５００７の端部をテーパー形状とした。

【０１６７】続いて、レジストからなるマスク５００９を除去せずに第２のエッチング条件に変更し、エッチング用ガスにCF_4とCl_2とを用い、それぞれのガス流量比を３０：３０（sccm）とし、１．０Paの圧力でコイル型の電極に５００WのＲＦ(１３．５６MHz)電力を投入してプラズマを生成して１５秒程度のエッチングを行った。基板側(試料ステージ)にも２０WのＲＦ(１３．５６MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。第２のエッチング条件では第１の導電層５００７及び第２の導電層５００８とも同程度にエッチングを行った。なお、ゲート絶縁膜５００６上に残渣を残すことなくエッチングするためには、１０～２０％程度の割合でエッチング時間を増加させると良い。

【０１６８】上記の第１のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第１の導電層５００７及び第２の導電層５００８の端部がテーパー形状となる。こうして、第１のエッチング処理により第１の導電層５００７と第２の導電層５００８から成る第１の形状の導電層５０１０～５０１４を形成した。ゲート絶縁膜５００６においては、第１の形状の導電層５０１０～５０１４で覆われない領域が２０～５０nm程度エッチングされたため、膜厚が薄くなった領域が形成された。

【０１６９】次いで、レジストからなるマスク５００９を除去せずに第２のエッチング処理を行う。(図１３(Ｃ))第２のエッチング処理では、エッチングガスにSF_6とCl_2とO_2を用い、それぞれのガス流量比を２４：１２：２４(ｓｃｃｍ)とし、１．３Paの圧力でコイル側の電力に７００WのＲＦ(13.56MHz)電力を投入してプラズマを生成して２５秒程度のエッチングを行った。基板側(試料ステージ)にも１０WのＲＦ(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。こうして、W膜を選択的にエッチングして、第２の形状の導電層５０１５～５０１９を形成した。このとき、第１の導電層５０１５ａ～５０１８ａは、ほとんどエッチングされない。

【０１７０】そして、レジストからなるマスク５００９を除去せずに第１のドーピング処理を行い、半導体層５００２～５００５にN型を付与する不純物元素を低濃度に添加する。第１のドーピング処理はイオンドープ法又はイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を1×10^{13}～5×10^{14}atoms/cm²とし、加速電圧を４０～８０keVとして行う。本実施例ではドーズ量を5.0×10^{13}atoms/cm²とし、加速電圧を５０keVとして行った。N型を付与する不純物元素としては、１５族に属する元素を用いれば良く、代表的にはリン(Ｐ)又は砒素(Ａｓ)を用いられるが、本実施例ではリン(Ｐ)を用いた。この場合、第２の形状の導電層５０１５～５０１９がN型を付与する不純物元素に対するマスクとなって、自己整合的に第１の不純物領域(N－領域)５

SDC-1351-00000426
SDC EX. 2001 - 370/503

０２０～５０２３を形成した。そして第１の不純物領域５０２０～５０２３には1×10^{18}～1×10^{20}atoms/cm³の濃度範囲でＮ型を付与する不純物元素が添加された。

【０１７１】続いてレジストからなるマスク５００９を除去した後、新たにレジストからなるマスク５０２４を形成して、第１のドーピング処理よりも高い加速電圧で第２のドーピング処理を行う。イオンドープ法の条件はドーズ量を1×10^{13}～3×10^{15}atoms/cm²とし、加速電圧を６０～１２０keVとして行う。本実施例では、ドーズ量を３．０$\times10^{15}$atoms/cm²とし、加速電圧を６５keVとして行った。第２のドーピング処理は第２の導電層５０１５ｂ～５０１８ｂを不純物元素に対するマスクとして用い、第１の導電層５０１５ａ～５０１８ａのテーパー部の下方の半導体層に不純物元素が添加されるようにドーピングを行う。

【０１７２】上記の第２のドーピング処理を行った結果、第１の導電層と重なる第２の不純物領域(Ｎ－領域、Lov領域)５０２６には1×10^{18}～5×10^{19}atoms/cm³の濃度範囲でＮ型を付与する不純物元素を添加された。また第３の不純物領域(Ｎ＋領域)５０２５、５０２８には1×10^{19}～5×10^{21}atoms/cm³の濃度範囲でＮ型を付与する不純物元素を添加された。また、第１、第２のドーピング処理を行った後、半導体層５００２～５００５において、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域が形成された。本実施例では、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域をチャネル領域５０２７、５０３０とよぶ。また前記第１のドーピング処理により形成された第１の不純物領域(Ｎ—領域)５０２０～５０２３のうち、第２のドーピング処理においてレジスト５０２４で覆われていた領域が存在するが、本実施例では、引き続き第１の不純物領域(Ｎ—領域、LDD領域)５０２９とよぶ。

【０１７３】なお本実施例では、第２のドーピング処理のみにより、第２の不純物領域(Ｎ－領域)５０２６及び第３の不純物領域(Ｎ＋領域)５０２５、５０２８を形成したが、これに限定されない。ドーピング処理を行う条件を適宜変えて、複数回のドーピング処理で形成しても良い。

【０１７４】次いで図１４(Ａ)に示すように、レジストからなるマスク５０２４を除去した後、新たにレジストからなるマスク５０３１を形成する。その後、第３のドーピング処理を行う。第３のドーピング処理により、Ｐチャネル型ＴＦＴの活性層となる半導体層に、前記第１の導電型とは逆の導電型を付与する不純物元素が添加された第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５を形成する。

【０１７５】第３のドーピング処理では、第２の導電層５０１６ｂ、５０１８ｂを不純物元素に対するマスクとして用いる。こうして、Ｐ型を付与する不純物元素を添加し、自己整合的に第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５を形成する。

【０１７６】本実施例では、第４の不純物領域５０３２、５０３４及び第５の不純物領域５０３３、５０３５はジボラン(B_2H_6)を用いたイオンドープ法で形成する。イオンドープ法の条件としては、ドーズ量を1×10^{16}atoms/cm²とし、加速電圧を８０keVとした。

【０１７７】なお、第３のドーピング処理の際には、Ｎチャネル型ＴＦＴを形成する半導体層はレジストからなるマスク５０３１によって覆われている。

【０１７８】ここで、第１及び２のドーピング処理によって、第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５にはそれぞれ異なる濃度でリンが添加されている。しかし、第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５のいずれの領域においても、第３のドーピング処理によって、Ｐ型を付与する不純物元素の濃度が1×10^{19}～5×10^{21}atoms/cm³となるようにドーピング処理される。こうして、第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５は、Ｐチャネル型ＴＦＴのソース領域およびドレイン領域として問題なく機能する。

【０１７９】なお本実施例では、第３のドーピング処理のみにより、第４の不純物領域(Ｐ＋領域)５０３２、５０３４及び第５の不純物領域(Ｐ－領域)５０３３、５０３５を形成したが、これに限定されない。ドーピング処理を行う条件を適宜変えて、複数回のドーピング処理で形成しても良い。

【０１８０】次いで図１４(Ｂ)に示すように、レジストからなるマスク５０３１を除去して第１の層間絶縁膜５０３６を形成する。この第１の層間絶縁膜５０３６としては、プラズマＣＶＤ法またはスパッタ法を用い、厚さを１００～２００nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマＣＶＤ法により膜厚１００nmの酸化窒化珪素膜を形成した。勿論、第１の層間絶縁膜５０３６は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【０１８１】次いで、図１４(Ｃ)に示すように、加熱処理(熱処理)を行って、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が１ppm以下、好ましくは０．１ppm以下の窒素雰囲気中で４００～７００℃で行えばよく、本実施例では４１０℃、１時間の熱処理で活性化処理を行った。なお、熱アニール法の他

SDC-1351-00000427
SDC EX. 2001 - 371/503

に、レーザアニール法、またはラピッドサーマルアニール法(ＲＴＡ法)を適用することができる。

【０１８２】また、第１の層間絶縁膜５０３６を形成する前に加熱処理を行っても良い。ただし、第１の導電層５０１５ａ～５０１９ａ及び、第２の導電層５０１５ｂ～５０１９ｂを構成する材料が熱に弱い場合には、本実施例のように配線等を保護するため第１の層間絶縁膜５０３６(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で熱処理を行うことが好ましい。

【０１８３】上記の様に、第１の層間絶縁膜５０３６(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行うことができる。水素化の工程では、第１の層間絶縁膜５０３６に含まれる水素により半導体層のダングリングボンドが終端される。

【０１８４】なお、活性化処理のための加熱処理とは別に、水素化のための加熱処理を行っても良い。

【０１８５】ここで、第１の層間絶縁膜５０３６の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段(プラズマ水素化)や、３～１００％の水素を含む雰囲気中において、３００～４５０℃で１～１２時間の加熱処理を行う手段でも良い。

【０１８６】次いで、第１の層間絶縁膜５０３６上に、第２の層間絶縁膜５０３７を形成する。第２の層間絶縁膜５０３７としては、無機絶縁膜を用いることができる。例えば、ＣＶＤ法によって形成された窒化珪素膜あるいは窒化酸化珪素膜や、ＳＯＧ(Spin On Glass)法によって塗布された窒化珪素膜あるいは窒化酸化珪素膜等を用いることができる。また、第２の層間絶縁膜５０３７として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、ＢＣＢ(ベンゾシクロブテン)、アクリル等の膜を用いることができる。また、アクリル膜と窒化珪素膜あるいは窒化酸化珪素膜の積層構造を用いても良い。

【０１８７】本実施例では、膜厚１.６μｍのアクリル膜を形成した。第２の層間絶縁膜５０３７によって、基板上５０００に形成されたＴＦＴによる凹凸を緩和し、平坦化することができる。特に、第２の層間絶縁膜５０３７は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

【０１８８】次いで、ドライエッチングまたはウエットエッチングを用い、第２の層間絶縁膜５０３７、第１の層間絶縁膜５０３６、およびゲート絶縁膜５００６をエッチングし、第３の不純物領域５０２５、５０２８、第４の不純物領域５０３２、５０３４に達するコンタクトホールを形成する。

【０１８９】次いで、透明導電膜からなる画素電極５０３８を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物(Indium Tin Oxide：ＩＴＯ)、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム等を用いることができる。また、前記透明導電膜にガリウムを添加したものを用いてもよい。画素電極がＥＬ素子の陽極に相当する。

【０１９０】本実施例では、ＩＴＯを１１０nm厚さで成膜、その後パターニングし、画素電極５０３８形成した。

【０１９１】次いで、各不純物領域とそれぞれ電気的に接続される配線５０３９～５０４５を形成する。なお本実施例では、配線５０３９～５０４５は、膜厚１００nmのＴｉ膜と、膜厚３５０nmのＡｌ膜と、膜厚１００nmのＴｉ膜との積層膜をスパッタ法で連続形成し、所望の形状にパターニングして形成する。

【０１９２】もちろん、三層構造に限らず、単層構造でもよいし、二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、ＡｌとＴｉに限らず、他の導電膜を用いても良い。例えば、ＴａＮ膜上にＡｌやＣｕを形成し、さらにＴｉ膜を形成した積層膜をパターニングして配線を形成してもよい。

【０１９３】こうして、画素部のＮチャネル型ＴＦＴのソース領域またはドレイン領域の一方は、配線５０４２によってソース信号線(５０１９ａと５０１９ｂの積層)と電気的に接続され、もう一方は、配線５０４３によって画素部のＰチャネル型ＴＦＴのゲート電極と電気的に接続される。また、画素部のＰチャネル型ＴＦＴのソース領域またはドレイン領域の一方は、配線５０４４によって画素電極５０４７と電気的に接続されている。ここで、画素電極５０４７上の一部と、配線５０４４の一部を重ねて形成することによって、配線５０４４と画素電極５０４７の電気的接続をとっている。

【０１９４】以上の工程により図１４(Ｄ)に示すように、Ｎチャネル型ＴＦＴとＰチャネル型ＴＦＴからなるＣＭＯＳ回路を有する駆動回路部と、スイッチング用ＴＦＴ、駆動用ＴＦＴとを有する画素部を同一基板上に形成することができる。

【０１９５】駆動回路部のＮチャネル型ＴＦＴは、ゲート電極の一部を構成する第１の導電層５０１５ａと重なる低濃度不純物領域５０２６(Ｌov領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域５０２５とを有している。このＮチャネル型ＴＦＴ５０１と配線５０４０で接続されＣＭＯＳ回路を形成するＰチャネル型ＴＦＴは、ゲート電極の一部を構成する第１の導電層５０１６ａと重なる低濃度不純物領域５０３３(Ｌov領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域５０３２とを有している。

【０１９６】画素部において、Ｎチャネル型のスイッチング用ＴＦＴは、ゲート電極の外側に形成される低濃度不純物領域５０２９(Ｌoff領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域５０２８とを有している。また画素部において、Ｐチャネル型の駆

SDC-1351-00000428
SDC EX. 2001 - 372/503

動用ＴＦＴは、ゲート電極の一部を構成する第１の導電層５０１８ａと重なる低濃度不純物領域５０３５(Lov領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域５０３４とを有している。

【０１９７】次いで、第３の層間絶縁膜５０４６を形成する。第３の層間絶縁膜としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、ＣＶＤ法によって形成された窒化珪素膜あるいは窒化酸化珪素膜や、ＳＯＧ(Spin On Glass)法によって塗布された窒化珪素膜あるいは窒化酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

【０１９８】第２の層間絶縁膜５０３７と第３の層間絶縁膜５０４６の組み合わせの例を以下に挙げる。

【０１９９】第２の層間絶縁膜５０３７として、プラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用い、第３の層間絶縁膜５０４６としてもプラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用いる組み合わせがある。また、第２の層間絶縁膜５０３７として、ＳＯＧ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用い、第３の層間絶縁膜５０４６としてもＳＯＧ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用いる組み合わせがある。また、第２の層間絶縁膜５０３７として、ＳＯＧ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜とプラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜の積層膜を用い、第３の層間絶縁膜５０４６としてプラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用いる組み合わせがある。また、第２の層間絶縁膜５０３７として、アクリルを用い、第３の層間絶縁膜５０４６としてもアクリルを用いる組み合わせがある。また、第２の層間絶縁膜５０３７として、アクリルとプラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜の積層膜を用い、第３の層間絶縁膜５０４６としてプラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用いる組み合わせがある。また、第２の層間絶縁膜５０３７として、プラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用い、第３の層間絶縁膜５０４６としてアクリルを用いる組み合わせがある。

【０２００】第３の層間絶縁膜５０４６の画素電極５０４７に対応する位置に開口部を形成する。第３の層間絶縁膜は、バンクとして機能する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するＥＬ層の劣化が顕著な問題となってしまうため、注意が必要である。

【０２０１】第３の層間絶縁膜中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、1×10^{6}～1×10^{12}Ωm(好ましくは、1×10^{8}～1×10^{10}Ωm)となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

【０２０２】次いで、第３の層間絶縁膜５０４６の開口部において露出している画素電極５０３８上に、ＥＬ層５０４７を形成する。

【０２０３】ＥＬ層５０４７としては、公知の有機発光材料や無機発光材料を用いることができる。

【０２０４】有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機材料を自由に用いることができる。なお、ここでは、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が２０以下または連鎖する分子の長さが１０μm以下の有機発光材料を示すものとする。

【０２０５】ＥＬ層５０４７は通常、積層構造である。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【０２０６】本実施例では蒸着法により低分子系有機発光材料を用いてＥＬ層５０４７を形成している。具体的には、正孔注入層として２０nm厚の銅フタロシアニン(ＣｕＰｃ)膜を設け、その上に発光層として７０nm厚のトリス－８－キノリノラトアルミニウム錯体(Alq_3)膜を設けた積層構造としている。Alq_3にキナクリドン、ペリレンもしくはＤＣＭ１といった蛍光色素を添加することで発光色を制御することができる。

【０２０７】なお、図１４(D)では一画素しか図示していないが、複数の色、例えば、Ｒ(赤)、Ｇ(緑)、Ｂ(青)の各色に対応したＥＬ層５０４７を作り分ける構成とすることができる。

【０２０８】また、高分子系有機発光材料を用いる例として、正孔注入層として２０nmのポリチオフェン(ＰＥＤＯＴ)膜をスピン塗布法により設け、その上に発光層として１００nm程度のパラフェニレンビニレン(ＰＰＶ)膜を設けた積層構造によってＥＬ層５０４７を構成しても良い。なお、ＰＰＶのπ共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

【０２０９】なお、ＥＬ層５０４７は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、ＥＬ層５０４７は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

【０２１０】例えば、電子輸送層を構成する材料(以

SDC-1351-00000429
SDC EX. 2001 - 373/503

下、電子輸送材料と表記する)と、発光層を構成する材料(以下、発光材料と表記する)とによって構成される混合層を、電子輸送層と発光層との間に有する構造のＥＬ層５０４７であってもよい。

【０２１１】次に、ＥＬ層５０４７の上には導電膜からなる画素電極５０４８が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のＭｇＡｇ膜(マグネシウムと銀との合金膜)を用いても良い。画素電極５０４８がＥＬ素子の陰極に相当する。陰極材料としては、周期表の１族もしくは２族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

【０２１２】画素電極５０４８まで形成された時点でＥＬ素子が完成する。なお、ＥＬ素子とは、画素電極(陽極)５０３８、ＥＬ層５０４７及び画素電極(陰極)５０４８で形成された素子を指す。

【０２１３】ＥＬ素子を完全に覆うようにしてパッシベーション膜５０４９を設けることは有効である。パッシベーション膜５０４９としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

【０２１４】カバレッジの良い膜をパッシベーション膜５０４９として用いることが好ましく、炭素膜、特にＤＬＣ(ダイヤモンドライクカーボン)膜を用いることは有効である。ＤＬＣ膜は室温から１００℃以下の温度範囲で成膜可能であるため、耐熱性の低いＥＬ層５０４７の上方にも容易に成膜することができる。また、ＤＬＣ膜は酸素に対するブロッキング効果が高く、ＥＬ層５０４７の酸化を抑制することが可能である。そのため、ＥＬ層５０４７が酸化するといった問題を防止できる。

【０２１５】なお、第３の層間絶縁膜５０４６を形成した後、パッシベーション膜５０４９を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

【０２１６】なお、実際には図１４(Ｄ)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとＥＬ素子の信頼性が向上する。

【０２１７】また、パッケージング等の処理により気密性を高めたら、基板５０００上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット：ＦＰＣ)を取り付けて製品として完成する。

【０２１８】また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【０２１９】[実施例９]本実施例では、実施例８に示した構成とは異なる構成のアクティブマトリクス基板の作製工程について図１５を用いて説明する。

【０２２０】なお、図１５(Ａ)までの工程は、実施例１１において、図１３(Ａ)～(Ｄ)、図１４(Ａ)に示した工程と同様である。ただし、画素部を構成する駆動用ＴＦＴは、ゲート電極の外側に形成される低濃度不純物領域(Ｌoff領域)を有する、Ｎチャネル型のＴＦＴである点が異なる。この駆動用ＴＦＴにおいては、実施例９に示したように、レジストによるマスクを用いて、ゲート電極の外側に低濃度不純物領域(Ｌoff領域)を形成すれば良い。

【０２２１】図１３及び図１４と同じ部分は同じ符号を用いて示し、説明は省略する。

【０２２２】図１５(Ａ)に示すように、第１の層間絶縁膜５１０１を形成する。この第１の層間絶縁膜５１０１としては、プラズマＣＶＤ法またはスパッタ法を用い、厚さを１００～２００nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマＣＶＤ法により膜厚１００nmの酸化窒化珪素膜を形成した。勿論、第１の層間絶縁膜５１０１は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【０２２３】次いで、図１５(Ｂ)に示すように、加熱処理(熱処理)を行って、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が１ppm以下、好ましくは０．１ppm以下の窒素雰囲気中で４００～７００℃で行えばよく、本実施例では４１０℃、１時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法(ＲＴＡ法)を適用することができる。

【０２２４】また、第１の層間絶縁膜５１０１を形成する前に加熱処理を行っても良い。ただし、第１の導電層５０１５ａ～５０１９ａ及び、第２の導電層５０１５ｂ～５０１９ｂが熱に弱い場合には、本実施例のように配線等を保護するため第１の層間絶縁膜５１０１(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で熱処理を行うことが好ましい。

【０２２５】上記の様に、第１の層間絶縁膜５１０１(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行うことができる。水素化の工程では、第１の層間絶縁膜５１０１に含まれる水素により半導体層のダングリングボンドが終端される。

【０２２６】なお、活性化処理のための加熱処理とは別

SDC-1351-00000430
SDC EX. 2001 - 374/503

に、水素化のための加熱処理を行っても良い。

【０２２７】ここで、第１の層間絶縁膜５１０１の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段(プラズマ水素化)や、３～１００%の水素を含む雰囲気中において、３００～４５０℃で１～１２時間の加熱処理を行う手段でも良い。

【０２２８】以上の工程により、Ｎチャネル型ＴＦＴとＰチャネル型ＴＦＴからなるＣＭＯＳ回路を有する駆動回路部と、スイッチング用ＴＦＴ、駆動用ＴＦＴとを有する画素部を同一基板上に形成することができる。

【０２２９】次いで、第１の層間絶縁膜５１０１上に、第２の層間絶縁膜５１０２を形成する。第２の層間絶縁膜５１０２としては、無機絶縁膜を用いることができる。例えば、ＣＶＤ法によって形成された窒化珪素膜あるいは窒化酸化珪素膜や、ＳＯＧ(Spin On Glass)法によって塗布された窒化珪素膜あるいは窒化酸化珪素膜等を用いることができる。また、第２の層間絶縁膜５１０２として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、ＢＣＢ(ベンゾシクロブテン)、アクリル等の膜を用いることができる。また、アクリル膜と窒化珪素膜あるいは窒化酸化珪素膜の積層構造を用いても良い。

【０２３０】次いで、ドライエッチングまたはウエットエッチングを用い、第１の層間絶縁膜５１０１、第２の層間絶縁膜５１０２及びゲート絶縁膜５００６をエッチングし、駆動回路部及び画素部を構成する各ＴＦＴの不純物領域(第３の不純物領域(Ｎ＋領域)及び第４の不純物領域(Ｐ＋領域))に達するコンタクトホールを形成する。

【０２３１】次いで、各不純物領域とそれぞれ電気的に接続される配線５１０３～５１０９を形成する。なお本実施例では、配線５１０３～５１０９は、膜厚１００nmのＴｉ膜と、膜厚３５０nmのＡｌ膜と、膜厚１００nmのＴｉ膜との積層膜をスパッタ法で連続形成し、所望の形状にパターニングして形成する。

【０２３２】もちろん、三層構造に限らず、単層構造でもよいし、二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、ＡｌとＴｉに限らず、他の導電膜を用いても良い。例えば、ＴａＮ膜上にＡｌやＣｕを形成し、さらにＴｉ膜を形成した積層膜をパターニングして配線を形成してもよい。

【０２３３】画素部のスイッチング用ＴＦＴのソース領域またはドレイン領域の一方は、配線５１０６によってソース配線(５０１９ａと５０１９ｂの積層)と電気的に接続され、もう一方は、配線５１０７によって画素部の駆動用ＴＦＴのゲート電極と電気的に接続される。

【０２３４】次いで図１５(C)に示すように、第３の層間絶縁膜５１１０を形成する。第３の層間絶縁膜５１１０としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、ＣＶＤ法によって形成された窒化珪素膜あるいは窒化酸化珪素膜や、ＳＯＧ(Spin On Glass)法によって塗布された窒化珪素膜あるいは窒化酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

【０２３５】第３の層間絶縁膜５１１０によって、基板上５０００に形成されたＴＦＴによる凹凸を緩和し、平坦化することができる。特に、第３の層間絶縁膜５１１０は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

【０２３６】次いで、ドライエッチングまたはウエットエッチングを用い、第３の層間絶縁膜５１１０に、配線５１０８に達するコンタクトホールを形成する。

【０２３７】次いで、導電膜をパターニングして画素電極５１１１を形成する。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のＭｇＡｇ膜(マグネシウムと銀との合金膜)を用いても良い。画素電極５１１１がＥＬ素子の陰極に相当する。陰極材料としては、周期表の１族もしくは２族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

【０２３８】画素電極５１１１は、第３の層間絶縁膜５１１０に形成されたコンタクトホールによって、配線５１０８と電気的な接続がとられる。こうして、画素電極５１１１は、駆動用ＴＦＴのソース領域またはドレイン領域の一方と、電気的に接続される。

【０２３９】次いで図１５(D)に示すように、各画素間のＥＬ層を塗り分けるために、土手５１１２を形成する。土手５１１２としては、無機絶縁膜や有機絶縁膜を用いて形成する。無機絶縁膜としては、ＣＶＤ法によって形成された窒化珪素膜あるいは窒化酸化珪素膜や、ＳＯＧ法によって塗布された窒化珪素膜あるいは窒化酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

【０２４０】ここで、土手５１１２を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。土手５１１２の側壁が十分になだらかでないと段差に起因するＥＬ層の劣化が顕著な問題となってしまうため、注意が必要である。

【０２４１】なお、画素電極５１１１と配線５１０８を電気的に接続する際に、第３の層間絶縁膜５１１０に形成したコンタクトホールの部分にも、土手５１１２を形成する。こうして、コンタクトホール部分の凹凸による、画素電極の凹凸を土手５１１２によって埋めることにより、段差に起因するＥＬ層の劣化を防いでいる。

【０２４２】第３の層間絶縁膜５１１０と土手５１１２の組み合わせの例を以下に挙げる。

【０２４３】第３の層間絶縁膜５１１０として、プラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用い、土手５１１２としてもプラズマＣＶＤ

SDC-1351-00000431
SDC EX. 2001 - 375/503

法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用いる組み合わせがある。また、第３の層間絶縁膜５１１０として、ＳＯＧ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用い、土手５１１２としてもＳＯＧ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用いる組み合わせがある。また第３の層間絶縁膜５１１０として、ＳＯＧ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜とプラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜の積層膜を用い、土手５１１２としてプラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用いる組み合わせがある。また、第３の層間絶縁膜５１１０として、アクリルを用い、土手５１１２としてもアクリルを用いる組み合わせがある。また、第３の層間絶縁膜５１１０として、アクリルとプラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜の積層膜を用い、土手５１１２としてプラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用いる組み合わせがある。また、第３の層間絶縁膜５１１０として、プラズマＣＶＤ法によって形成した窒化珪素膜あるいは窒化酸化珪素膜を用い、土手５１１２としてアクリルを用いる組み合わせがある。

【０２４４】土手５１１２中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、1×10^{6}～$1\times10^{12}\Omega m$(好ましくは、1×10^{8}～$1\times10^{10}\Omega m$)となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

【０２４５】次いで、土手５１１２に囲まれた、露出している画素電極５１１１上に、ＥＬ層５１１３を形成する。

【０２４６】ＥＬ層５１１３としては、公知の有機発光材料や無機発光材料を用いることができる。

【０２４７】有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機材料を自由に用いることができる。なお、ここでは、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が２０以下または連鎖する分子の長さが１０μm以下の有機発光材料を示すものとする。

【０２４８】ＥＬ層５１１３は通常、積層構造である。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。また他にも、陰極上に電子輸送層／発光層／正孔輸送層／正孔注入層、または電子注入層／電子輸送層／発光層／正孔輸送層／正孔注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【０２４９】本実施例では蒸着法により低分子系有機発光材料を用いてＥＬ層５１１３を形成している。具体的には、発光層として７０nm厚のトリス－８－キノリノラトアルミニウム錯体(Alq_3)膜を設け、その上に、正孔注入層として２０nm厚の銅フタロシアニン(ＣｕＰｃ)膜を設けた積層構造としている。Alq_3にキナクリドン、ペリレンもしくはＤＣＭ１といった蛍光色素を添加することで発光色を制御することができる。

【０２５０】なお、図１５(Ｄ)では一画素しか図示していないが、複数の色、例えば、Ｒ(赤)、Ｇ(緑)、Ｂ(青)の各色に対応したＥＬ層５１１３を作り分ける構成とすることができる。

【０２５１】また、高分子系有機発光材料を用いる例として、正孔注入層として２０nmのポリチオフェン(ＰＥＤＯＴ)膜をスピン塗布法により設け、その上に、発光層として１００nm程度のパラフェニレンビニレン(ＰＰＶ)膜を設けた積層構造によってＥＬ層５１１３を構成しても良い。なお、ＰＰＶのπ共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

【０２５２】なお、ＥＬ層５１１３は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、ＥＬ層５１１３は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

【０２５３】例えば、電子輸送層を構成する材料(以下、電子輸送材料と表記する)と、発光層を構成する材料(以下、発光材料と表記する)とによって構成される混合層を、電子輸送層と発光層との間に有する構造のＥＬ層５１１３であってもよい。

【０２５４】次に、ＥＬ層５１１３の上には、透明導電膜からなる画素電極５１１４を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物(ＩＴＯ)、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム等を用いることができる。また、前記透明導電膜にガリウムを添加したものを用いてもよい。画素電極５１１４がＥＬ素子の陽極に相当する。

【０２５５】画素電極５１１４まで形成された時点でＥＬ素子が完成する。なお、ＥＬ素子とは、画素電極(陰極)５１１１、ＥＬ層５１１３及び画素電極(陽極)５１１４で形成されたダイオードを指す。

【０２５６】本実施例では、画素電極５１１４が透明導電膜によって形成されているため、ＥＬ素子が発した光は、基板５０００とは逆側に向かって放射される。また、第３の層間絶縁膜５１１０によって、配線５１０６～５１０９が形成された層とは別の層に、画素電極５１１１を形成している。そのため、実施例９に示した構成と比較して、開口率を上げることができる。

【０２５７】ＥＬ素子を完全に覆うようにして保護膜(パッシベーション膜)５１１５を設けることは有効である。保護膜５１１５としては、炭素膜、窒化珪素膜もし

SDC-1351-00000432
SDC EX. 2001 - 376/503

くは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

【０２５８】なお本実施例のように、ＥＬ素子が発した光が画素電極５１１４側から放射される場合、保護膜５１１５としては、光を透過する膜を用いる必要がある。

【０２５９】なお、土手５１１２を形成した後、保護膜５１１５を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

【０２６０】なお、実際には図１５(Ｄ)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)等のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとＥＬ素子の信頼性が向上する。

【０２６１】また、パッケージング等の処理により気密性を高めたら、基板５０００上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット：ＦＰＣ)を取り付けて製品として完成する。

【０２６２】[実施例１０]本実施例では、本発明を用いて発光装置を作製した例について、図１６を用いて説明する。

【０２６３】図１６は、ＴＦＴが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図１６(Ｂ)は、図１６(Ａ)のＡ－Ａ'における断面図、図１６(Ｃ)は図１６(Ａ)のＢ－Ｂ'における断面図である。

【０２６４】基板４００１上に設けられた画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、４００４ｂとを囲むようにして、シール材４００９が設けられている。また画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、４００４ｂとの上にシーリング材４００８が設けられている。よって画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、４００４ｂとは、基板４００１とシール材４００９とシーリング材４００８とによって、充填材４２１０で密封されている。

【０２６５】また基板４００１上に設けられた画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、４００４ｂとは、複数のＴＦＴを有している。図１６(Ｂ)では代表的に、下地膜４０１０上に形成された、ソース信号線駆動回路４００３に含まれるＴＦＴ(但し、ここではＮチャネル型ＴＦＴとＰチャネル型ＴＦＴを図示する)４２０１及び画素部４００２に含まれるＴＦＴ４２０２を図示した。

【０２６６】ＴＦＴ４２０１及び４２０２上には層間絶縁膜(平坦化膜)４３０１が形成され、その上にＴＦＴ４２０２のドレインと電気的に接続する画素電極(陽極)４２０３が形成される。画素電極４２０３としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【０２６７】そして、画素電極４２０３の上には絶縁膜４３０２が形成され、絶縁膜４３０２は画素電極４２０３の上に開口部が形成されている。この開口部において、画素電極４２０３の上には有機発光層４２０４が形成される。有機発光層４２０４は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【０２６８】有機発光層４２０４の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【０２６９】有機発光層４２０４の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極４２０５が形成される。また、陰極４２０５と有機発光層４２０４の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層４２０４を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極４２０５を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極４２０５は所定の電圧が与えられている。

【０２７０】以上のようにして、画素電極(陽極)４２０３、有機発光層４２０４及び陰極４２０５からなる発光素子４３０３が形成される。そして発光素子４３０３を覆うように、絶縁膜４３０２上に保護膜４３０３が形成されている。保護膜４３０３は、発光素子４３０３に酸素や水分等が入り込むのを防ぐのに効果的である。

【０２７１】４００５ａは電源線に接続された引き回し配線であり、ＴＦＴ４２０２の第１の電極に接続されている。引き回し配線４００５ａはシール材４００９と基板４００１との間を通り、異方導電性フィルム４３００を介してＦＰＣ４００６が有するＦＰＣ用配線４３０１に電気的に接続される。

【０２７２】シーリング材４００８としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用

SDC-1351-00000433
SDC EX. 2001 - 377/503

いることができる。プラスチック材としては、ＦＲＰ(Fiberglass-Reinforced-Plastics)板、ＰＶＦ(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをＰＶＦフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【０２７３】但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【０２７４】また、充填材４１０３としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、ＰＶＣ(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、ＰＶＢ(ポリビニルブチラル)またはＥＶＡ(エチレンビニルアセテート)を用いることができる。本実施例では充填材として窒素を用いた。

【０２７５】また充填材４１０３を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材４００８の基板４００１側の面に凹部４００７を設けて吸湿性物質または酸素を吸着しうる物質４２０７を配置する。そして、吸湿性物質または酸素を吸着しうる物質４２０７が飛び散らないように、凹部カバー材４２０８によって吸湿性物質または酸素を吸着しうる物質４２０７は凹部４００７に保持されている。なお凹部カバー材４２０８は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質４２０７は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質４２０７を設けることで、発光素子４３０３の劣化を抑制できる。

【０２７６】図１６(C)に示すように、画素電極４２０３が形成されると同時に、引き回し配線４００５ａ上に接するように導電性膜４２０３ａが形成される。

【０２７７】また、異方導電性フィルム４３００は導電性フィラー４３００ａを有している。基板４００１とＦＰＣ４００６とを熱圧着することで、基板４００１上の導電性膜４２０３ａとＦＰＣ４００６上のＦＰＣ用配線４３０１とが、導電性フィラー４３００ａによって電気的に接続される。

【０２７８】[実施例１１]本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

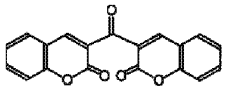
【０２７９】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【０２８０】上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

【０２８１】

【化１】

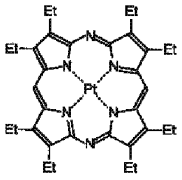


【０２８２】(M.A.Baldo, D.F.O' Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson,S.R.Forrest, Nature 395 (1998) p.151.)

【０２８３】上記の論文により報告された有機発光材料(Ｐｔ錯体)の分子式を以下に示す。

【０２８４】

【化２】

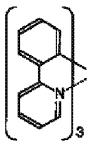


【０２８５】(M.A.Baldo, S.Lamansky, P.E.Burrrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura,T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys.,38 (12B) (1999) L1502.)

【０２８６】上記の論文により報告された有機発光材料(Ｉｒ錯体)の分子式を以下に示す。

【０２８７】

【化３】



【０２８８】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より３～４倍の高い外部発光量子効率の実現が可能となる。

【０２８９】[実施例１２]本発明におけるトランジスタのしきい値補正の方法として、補正に用いるトランジスタのゲート・ドレイン間を短絡してダイオード化した状態でソース・ドレイン間に電流を流し、ソース・ドレイン間の電圧がトランジスタのしきい値に等しくなる現象を利用しているが、これは本発明で紹介したような画素部への適用のみならず、駆動回路への応用も可能である。

SDC-1351-00000434
SDC EX. 2001 - 378/503

65

【０２９０】例として、電流を画素などへ出力する駆動回路における、電流源回路を挙げる。電流源回路は、入力された電圧信号から、所望の電流を出力する回路である。電流源回路内の電流源トランジスタのゲート電極に電圧信号が入力され、そのゲート・ソース間電圧に応じた電流が、電流源トランジスタを介して出力される。つまり、電流源トランジスタのしきい値補正に、本発明のしきい値補正方法を用いる。

【０２９１】図２７（Ａ）に、電流源回路の利用例を示す。シフトレジスタより順次サンプリングパルスが出力され、該サンプリングパルスはそれぞれの電流源回路９００１へと入力され、該サンプリングパルスが電流源回路９００１に入力されたタイミングに従って、映像信号のサンプリングを行う。この場合、サンプリング動作は点順次で行われる。

【０２９２】簡単な動作タイミングを図２７（Ｂ）に示す。ｉ行目のゲート信号線が選択されている期間は、シフトレジスタからサンプリングパルスが出力され、映像信号のサンプリングを行う期間と、帰線期間とに分けられる。この帰線期間において、本発明のしきい値補正動作、つまり、各部の電位を初期化したり、トランジスタのしきい値電圧を取得したりする一連の動作を行う。つまり、しきい値取得動作は１水平期間ごとに行うことが出来る。

【０２９３】図２８（Ａ）に、図２７とは異なる構成の電流を画素などへ出力する駆動回路の構成を示す。図２７の場合と異なる点としては、１段のサンプリングパルスによって制御される電流源回路９００１は、９００１Ａ、９００１Ｂの２つとなっており、電流源制御信号によって、双方の動作が選択される。

【０２９４】図２８（Ｂ）に示すように、電流源制御信号は、例えば１水平期間ごとに切り替わるようにする。すると電流源回路９００１Ａ、９００１Ｂの動作は、一方が画素などへの電流出力を行い、他方が映像信号の入力などを行う。これが行ごとに入れ替わり行われる。この場合、サンプリング動作は線順次で行われる。

【０２９５】図２９（Ａ）に、さらに異なる構成の駆動回路の構成を示す。ここでは、１段のサンプリングパルスによって制御される電流源回路９００１は、９００１Ａ、９００１Ｂ、９００１Ｃの３つとなっており、ビデオ入力制御信号、出力制御信号によって、それぞれの動作が選択される。

【０２９６】図２９（Ｂ）に示すように、ビデオ入力制御信号、出力制御信号によって、１水平期間ごとに、電流源回路９００１Ａ～９００１Ｃの動作が、しきい値補正→映像信号入力→画素への電流出力といった順に切り替わるようにする。サンプリング動作は、図２８に示した構成と同様、線順次で行われる。

【０２９７】図３０（Ａ）に、さらに異なる構成の駆動回路の構成を示す。図２７の構成においては、映像信号

66

の形式はデジタル・アナログを問わないが、図３０（Ａ）の構成では、デジタル映像信号を入力する。入力されたデジタル映像信号は、サンプリングパルスの出力に従って第１のラッチ回路に取りこまれ、一行分の映像信号の取り込みが終了した後、第２のラッチ回路に転送され、その後、各電流源回路９００１Ａ～９００１Ｃへと入力される。ここで、電流源回路９００１Ａ～９００１Ｃは、それぞれから出力される電流値が異なっている。例えば、電流値の比が１：２：４となっている。つまり、並列にｎ個の電流源回路を配置し、その電流値の比を１：２：４：・・・$2^{(n-1)}$とし、各電流源回路から出力される電流を足し合わせることにより、出力される電流値を線形的に変化させることが出来る。

【０２９８】動作タイミングは、図２７に示したものとほぼ同様であり、サンプリング動作を行わない帰線期間内に、電流源回路９００１において、しきい値補正動作が行われ、続いてラッチ回路に保持されているデータが転送され、電流源回路９００１においてＶ－Ｉ変換を行い、画素へ電流を出力する。サンプリング動作は、図２８に示した構成と同様、線順次で行われる。

【０２９９】図３１（Ａ）に、さらに異なる構成の電流を画素などへ出力する駆動回路の構成を示す。この構成では、ラッチ回路に取り込まれたデジタル映像信号は、ラッチ信号の入力によってＤ／Ａ変換回路へと転送され、アナログ映像信号へと変換され、該アナログ映像信号が各電流源回路９００１へと入力されて、電流が出力される。

【０３００】また、このようなＤ／Ａ変換回路に、例えばガンマ補正用の機能を持たせても良い。

【０３０１】図３１（Ｂ）に示すように、帰線期間内にしきい値補正、ラッチデータ転送が行われ、ある行のサンプリング動作が行われている期間に、前行の映像信号のＶ－Ｉ変換、画素などへの電流の出力が行われる。サンプリング動作は、図２８に示した構成と同様、線順次で行われる。

【０３０２】以上に示した構成に限らず、電流源回路によってＶ－Ｉ変換を行うような場合には、本発明のしきい値補正手段の適用が可能である。また、図２８、図２９に示したように、複数の電流源回路を並列に配置し、切り替えて使用するといった構成を、図３０、図３１等の構成と組み合わせて使用しても良い。

【０３０３】[実施例１３]本明細書でこれまでに示してきた構成では、駆動用ＴＦＴにはＰチャネル型ＴＦＴを用いていたが、本発明は駆動用ＴＦＴにＮチャネル型ＴＦＴを用いた場合の構成にも適用が可能である。図３２（Ａ）に構成を示す。

【０３０４】駆動用ＴＦＴ３２１０はＮチャネル型であり、この場合、ソース領域はＥＬ素子３２１５の陽極と接続されている側であり、ドレイン領域は、ＴＦＴ３２１１を介して電流供給線３２１４と接続されている側と

SDC-1351-00000435
SDC EX. 2001 - 379/503

なる。そこで、容量手段３２１２、３２１３は、駆動用ＴＦＴ３２１０のゲート・ソース間の電圧を保持出来るようなノードに設ける。

【０３０５】動作について説明する。図３２（Ｂ）に示すように、まず、駆動用ＴＦＴ３２０８がＯＮするように他のＴＦＴを導通する。続いて、図３２（Ｃ）に示すように、ＴＦＴ３２０９、３２１１をＯＦＦすると、駆動用ＴＦＴ３２０８のゲート・ソース間電圧がそのしきい値電圧に等しくなるまで、図のように電荷が移動し、やがて駆動用ＴＦＴ３２０８がＯＦＦする。このとき、容量手段３２１２には、駆動用ＴＦＴ３２０８０のしきい値電圧が保持されている。

【０３０６】続いて、図３２（Ｄ）に示すように、映像信号が入力される。先に容量手段３２１２に保持されているしきい値電圧が、この映像信号に上乗せされて、駆動用ＴＦＴ３２０８のゲートに入力され、このときの駆動用ＴＦＴ３２０８のゲート・ソース間電圧にしたがって、電流供給線３２１４からＥＬ素子３２１５に電流が供給されることになる。よって、隣接画素において、駆動用ＴＦＴ３２０８のしきい値電圧がばらついたとしても、そのばらつきに関係なく、容量手段３２１２によってしきい値電圧が映像信号に上乗せされるため、駆動用ＴＦＴのゲート・ソース間電圧は隣接画素ごとにばらつくことがない。

【０３０７】さらに、図３２に示した構成でＥＬ素子３２１５が発光によって劣化した場合、陽極－陰極間の電圧が上昇する。これにより、通常であれば駆動用ＴＦＴ３２０８のソース領域の電位が上昇し、結果として発光時のゲート・ソース間電圧が小さくなってしまうという問題が考えられるが、本実施例で示した構成によると、図３２（Ｂ）～（Ｃ）における、しきい値電圧の取得において、ＴＦＴ３２０９がＯＮすることによって、駆動用ＴＦＴ３２０８のソース領域の電位は、電源線３２１６の電位に固定される。よって前述のように、駆動用ＴＦＴ３２０８のゲート・ソース間電圧が小さくなることがないため、経時的な輝度低下を抑えることが出来る。

【０３０８】なお、本実施例において、駆動用ＴＦＴ３２１０はＮチャネル型としている。他のＴＦＴは、ＯＮ・ＯＦＦの制御のみを行うスイッチ素子として用いているので、その極性は問わない。また、ＴＦＴ３２０７、３２０８については、ＯＮ、ＯＦＦのタイミングが同一であるので、ゲート信号線を共有しているが、スイッチ素子の制御についてはこの限りでない。

【０３０９】また、ＴＦＴ２７１１は、ＥＬ素子３２１５への電流供給を任意のタイミングで遮断するための消去用ＴＦＴとしても用いることが出来る。

【０３１０】[実施例１４]発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【０３１１】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(ＤＶＤ)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図１７に示す。

【０３１２】図１７(A)は発光素子表示装置であり、筐体３００１、支持台３００２、表示部３００３、スピーカー部３００４、ビデオ入力端子３００５等を含む。本発明の発光装置は表示部３００３に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パソコン用、ＴＶ放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【０３１３】図１７(B)はデジタルスチルカメラであり、本体３１０１、表示部３１０２、受像部３１０３、操作キー３１０４、外部接続ポート３１０５、シャッター３１０６等を含む。本発明の発光装置は表示部３１０２に用いることができる。

【０３１４】図１７(C)はノート型パーソナルコンピュータであり、本体３２０１、筐体３２０２、表示部３２０３、キーボード３２０４、外部接続ポート３２０５、ポインティングマウス３２０６等を含む。本発明の発光装置は表示部３２０３に用いることができる。

【０３１５】図１７(D)はモバイルコンピュータであり、本体３３０１、表示部３３０２、スイッチ３３０３、操作キー３３０４、赤外線ポート３３０５等を含む。本発明の発光装置は表示部２３０２に用いることができる。

【０３１６】図１７(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはＤＶＤ再生装置)であり、本体３４０１、筐体３４０２、表示部Ａ３４０３、表示部Ｂ３４０４、記録媒体(ＤＶＤ等)読込部３４０５、操作キー３４０６、スピーカー部３４０７等を含む。表示部Ａ３４０３は主として画像情報を表示し、表示部Ｂ３４０４は主として文字情報を表示するが、本発明の発光装置はこれら表示部Ａ、Ｂ３４０３、３４０４に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【０３１７】図１７(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体３５０１、表示部３５０２、アーム部３５０３を含む。本発明の発光

SDC-1351-00000436
SDC EX. 2001 - 380/503

装置は表示部３５０２に用いることができる。

【０３１８】図１７(G)はビデオカメラであり、本体３６０１、表示部３６０２、筐体３６０３、外部接続ポート３６０４、リモコン受信部３６０５、受像部３６０６、バッテリー３６０７、音声入力部３６０８、操作キー３６０９、接眼部３６１０等を含む。本発明の発光装置は表示部３６０２に用いることができる。

【０３１９】図１７(H)は携帯電話であり、本体３７０１、筐体３７０２、表示部３７０３、音声入力部３７０４、音声出力部３７０５、操作キー３７０６、外部接続ポート３７０７、アンテナ３７０８等を含む。本発明の発光装置は表示部３７０３に用いることができる。なお、表示部３７０３は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【０３２０】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【０３２１】また、上記電子機器はインターネットやＣＡＴＶ(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【０３２２】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【０３２３】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例１～１３に示したいずれの構成の発光装置を用いても良い。

【発明の効果】本発明によると、容量手段の容量値等のばらつきの影響等を受けることなく、正常に画素ごとのＴＦＴのしきい値ばらつきを補正することが出来る。さらに、電荷の充電を行う期間と、ゲート信号線を選択して映像信号を画素に書き込む期間とを独立して設けることが出来るため、それぞれの動作に時間の余裕を持って行わせることが可能である。よって、回路の高速動作が可能となり、特にデジタル階調方式と時間階調方式とを組み合わせた方法によって表示を行う際に、よりビット数の高い映像信号を用いて高品質な映像の表示が可能となる。

【０３２４】従来例と比べても、より簡単な動作原理に基づいており、さらに素子数等が大きく増加することがないため、開口率等が低くなる心配もなく、大変効果的といえる。

【図面の簡単な説明】

【図１】　本発明の発光装置における画素構成の一形態を示す図。

【図２】　図１に示した画素の駆動について説明する図。

【図３】　一般的に用いられる発光装置の画素の構成例を示す図。

【図４】　デジタル映像信号を用いて時間階調方式によって駆動する場合の画素の構成を示す図。

【図５】　しきい値ばらつきの補正が可能な画素の構成を示す図。

【図６】　図５に示した画素の駆動について説明する図。

【図７】　本発明の一実施例であるアナログ映像信号入力方式の発光装置の構成例を示す図。

【図８】　図７に示した発光装置におけるソース信号線駆動回路およびゲート信号線駆動回路の構成例を示す図。

【図９】　本発明の一実施例であるデジタル映像信号入力方式の発光装置の構成例を示す図。

【図１０】　図９に示した発光装置におけるソース信号線駆動回路の構成例を示す図。

【図１１】　図８と異なる構成のゲート信号線駆動回路の構成例を示す図。

【図１２】　図１１に示したゲート信号線駆動回路のパルス出力タイミングを説明する図。

【図１３】　発光装置の製造工程例を示す図。

【図１４】　発光装置の製造工程例を示す図。

【図１５】　発光装置の製造工程例を示す図。

【図１６】　発光装置の外観図および断面図。

【図１７】　本発明が適用可能な電子機器の例を示す図。

【図１８】　本発明の発光装置における画素構成の一実施例を示す図。

【図１９】　図１８に示した画素の駆動について説明する図。

【図２０】　本発明の発光装置における画素構成の一実施例および動作について示す図。

【図２１】　本発明の発光装置における画素構成の一実施例および動作について示す図。

【図２２】　本発明の発光装置における画素構成の一実施例および動作について示す図。

【図２３】　図２２に示した画素構成のバリエーションについて示す図。

【図２４】　本発明の画素を有する発光装置を、デジタル時間階調方式によって駆動する場合の、ゲート信号線におけるタイミングチャートを示す図。

【図２５】　図２４のタイミングチャートに従ってゲート信号線にパルスを出力するためのゲート信号線駆動回路の構成を示す図。

SDC-1351-00000437
SDC EX. 2001 - 381/503

【図２６】　本発明の動作原理を説明する図。

【図２７】　本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

【図２８】　本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

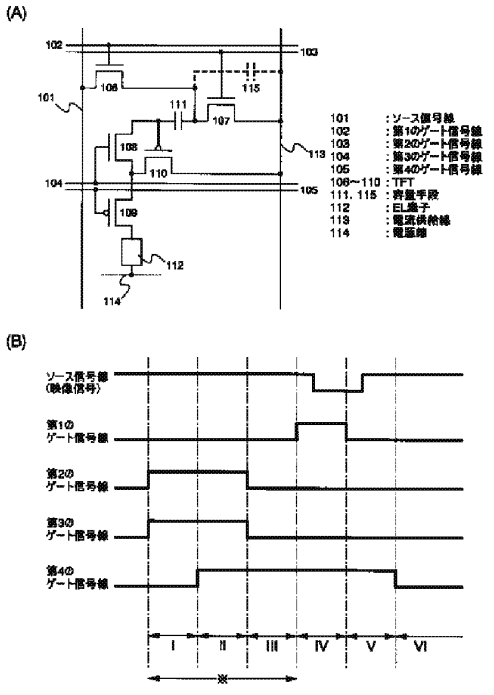
【図２９】　本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。　＊

＊【図３０】　本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

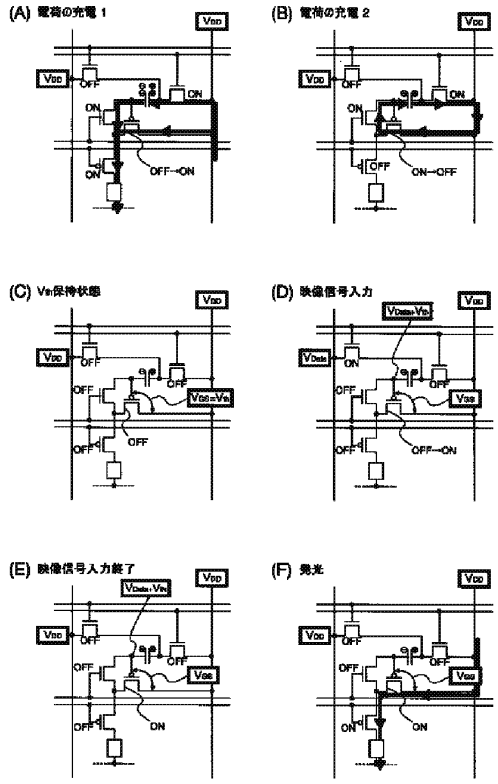
【図３１】　本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

【図３２】　本発明の発光装置における画素構成の一実施例および動作について示す図。

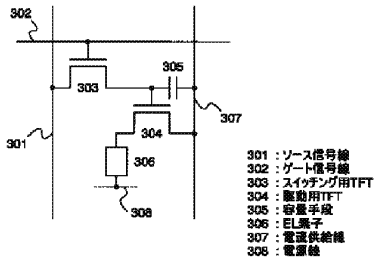
【図１】



【図２】

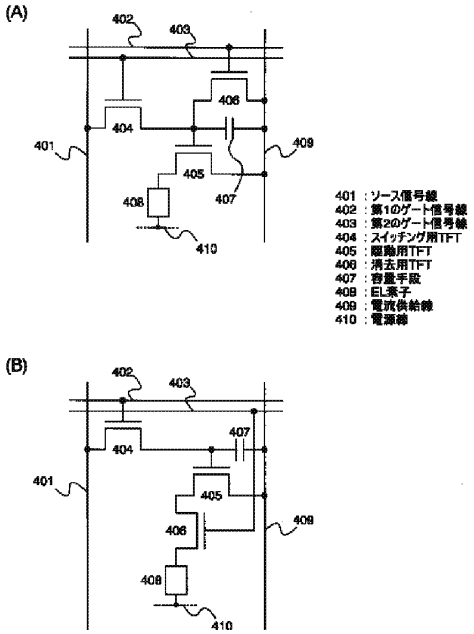


【図３】

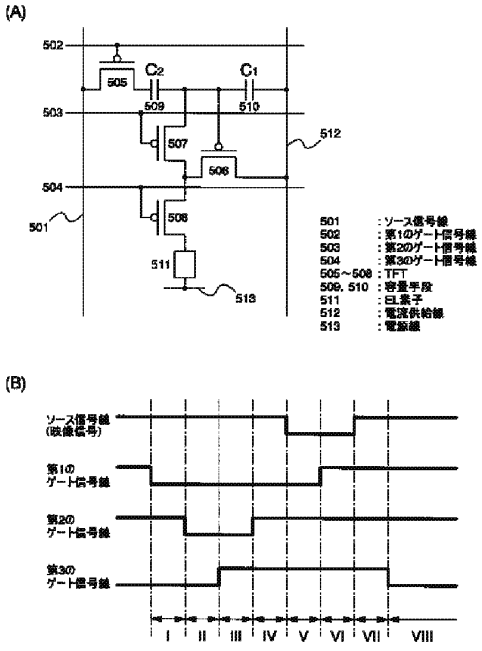


SDC-1351-00000438
SDC EX. 2001 - 382/503

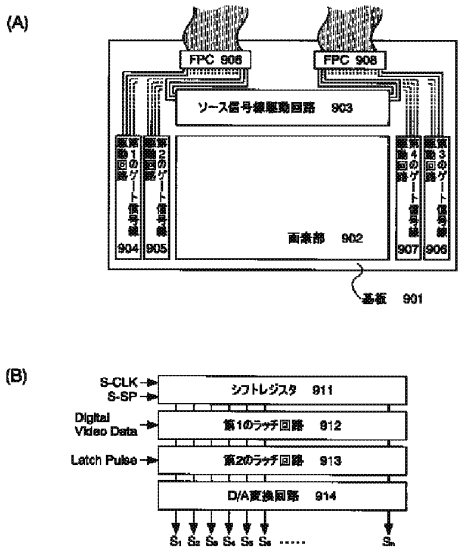
【図４】



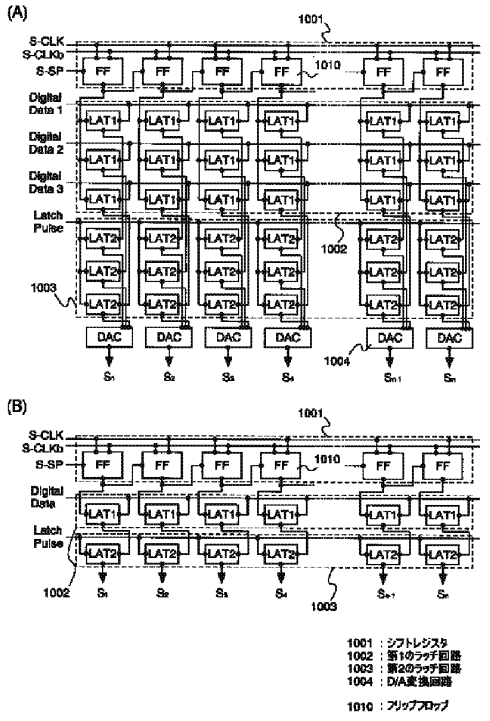
【図５】



【図９】

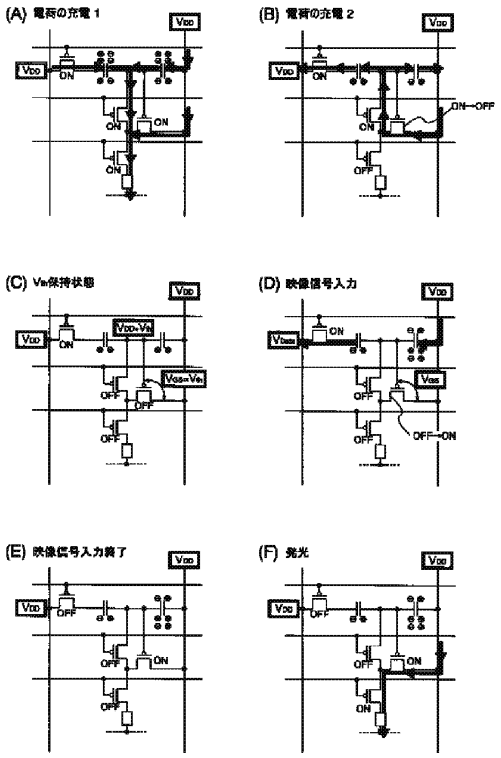


【図１０】

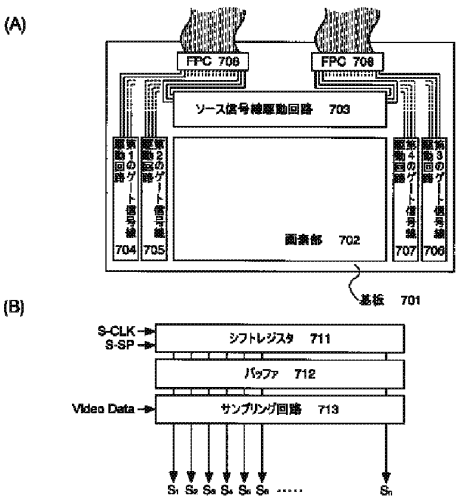


SDC-1351-00000439
SDC EX. 2001 - 383/503

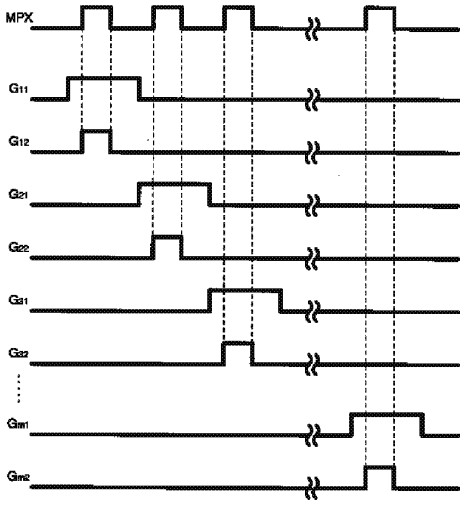
【図６】


(A) 電荷の充電 1
(B) 電荷の充電 2
(C) Vth保持状態
(D) 映像信号入力
(E) 映像信号入力終了
(F) 発光
Vdd
ON
OFF
ON→OFF
OFF→ON
Vdd-Vth
Vdata

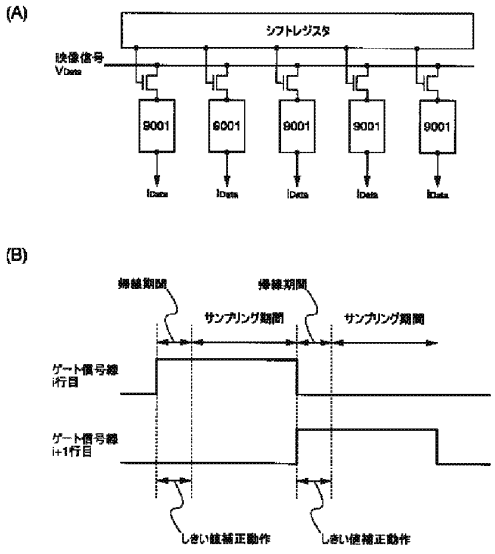
【図７】


(A)
FPC 708
FPC 708
ソース信号線駆動回路 703
第1のゲート信号線駆動回路
第2のゲート信号線駆動回路
第4のゲート信号線駆動回路
第3のゲート信号線駆動回路
画素部 702
704
705
707
706
基板 701
(B)
S-CLK
S-SP
シフトレジスタ 711
バッファ 712
Video Data
サンプリング回路 713
(C)
G-CLK1
G-SP1
G-CLK2
G-SP2
シフトレジスタ1
バッファ1
シフトレジスタ2
バッファ2
721
722
723
724

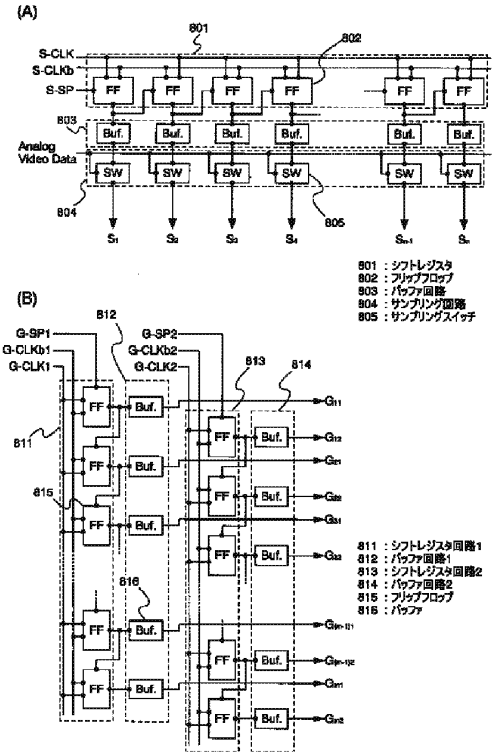
【図１２】


MPX
G11
G12
G21
G22
G31
G32
Gm1
Gm2

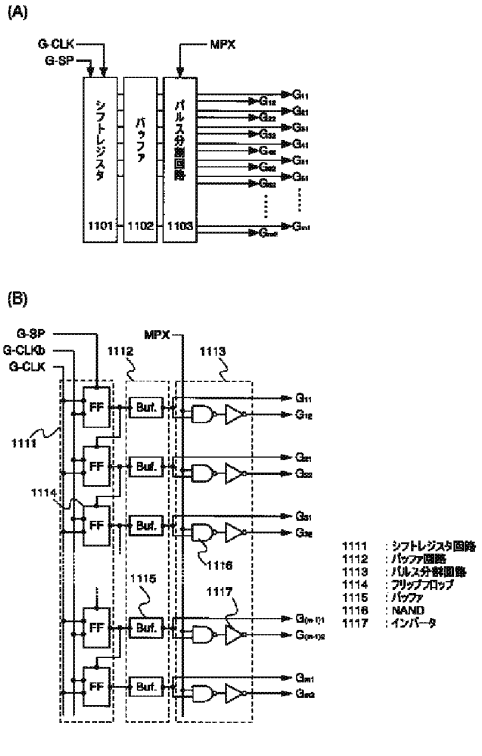
【図２７】


(A)
シフトレジスタ
映像信号
Vdata
9001
Idata
(B)
帰線期間
帰線期間
サンプリング期間
サンプリング期間
ゲート信号線
i行目
ゲート信号線
i+1行目
しきい値補正動作
しきい値補正動作

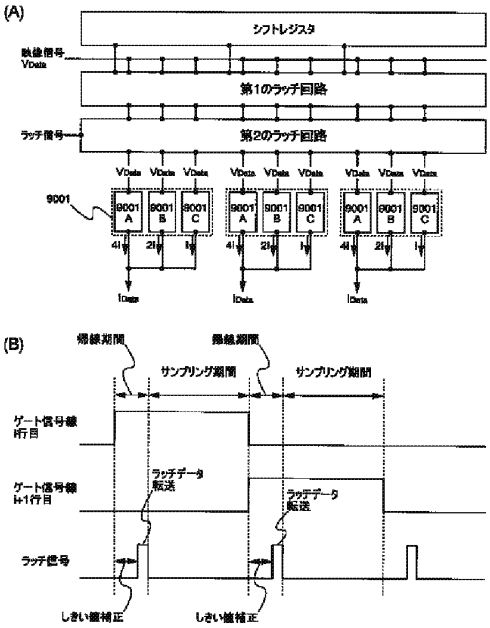
【図８】



【図１１】

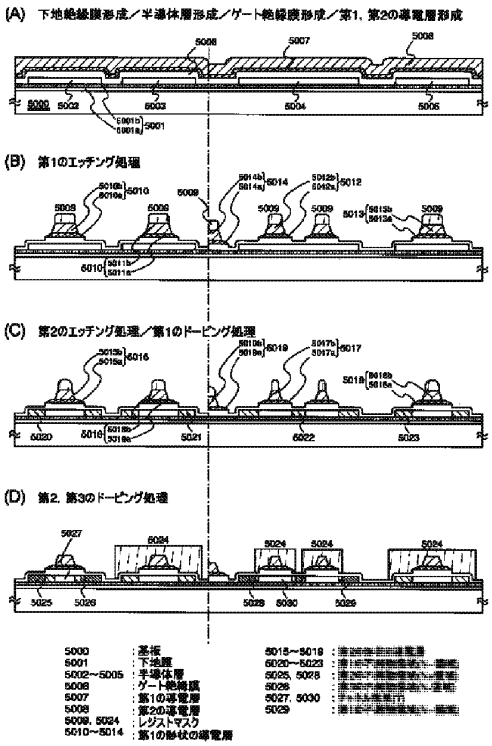


【図３０】

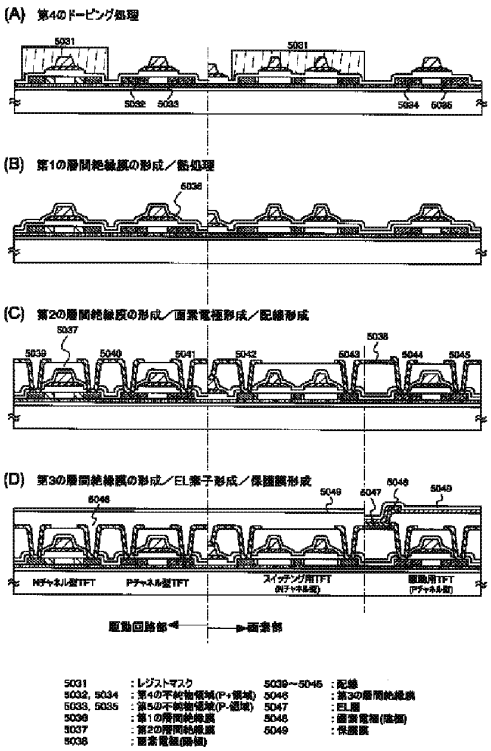


SDC-1351-00000441
SDC EX. 2001 - 385/503

【図１３】

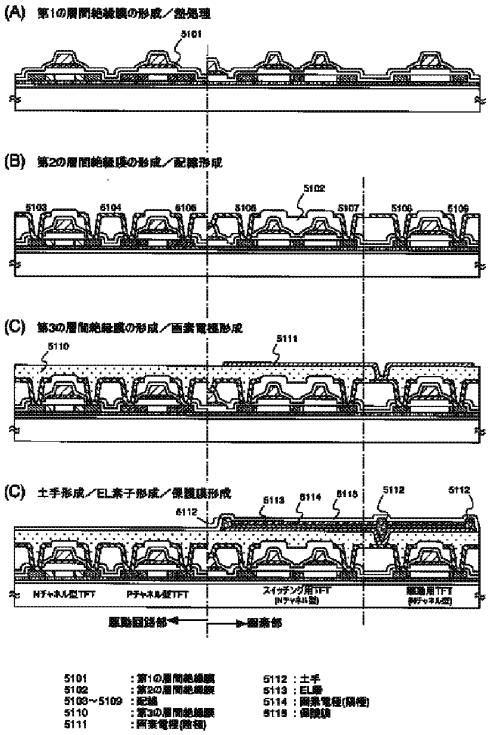


【図１４】

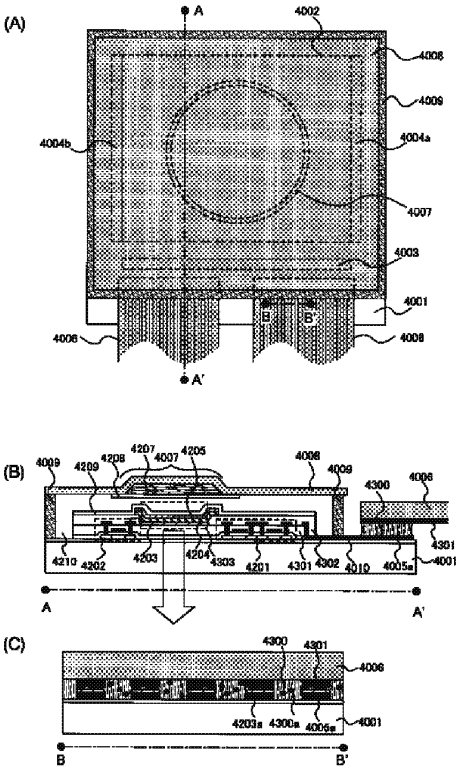


SDC-1351-00000442
SDC EX. 2001 - 386/503

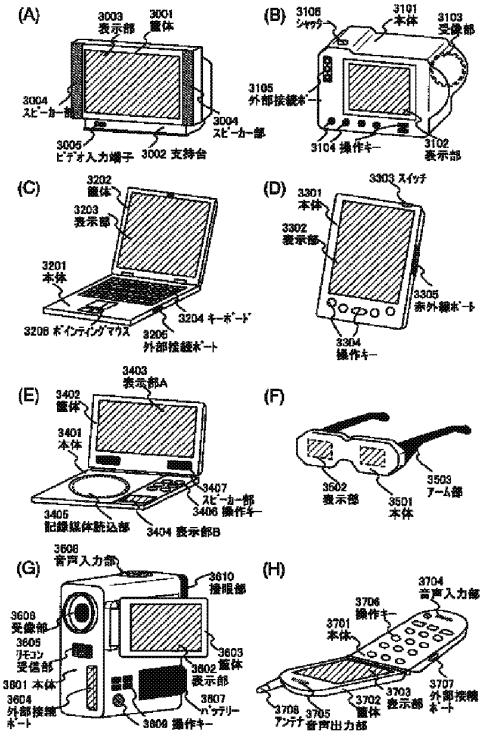
【図１５】


(A) 第1の層間絶縁膜の形成／熱処理
5101
(B) 第2の層間絶縁膜の形成／配線形成
5102
5103
5104
5106
5108
5107
5109
5105
(C) 第3の層間絶縁膜の形成／画素電極形成
5110
5111
(C) 土手形成／EL素子形成／保護膜形成
5112
5113
5114
5115
5112
5112
Nチャネル型TFT
Pチャネル型TFT
スイッチング用TFT
(Nチャネル型)
駆動回路部
画素部
5101 ：第1の層間絶縁膜
5102 ：第2の層間絶縁膜
5103～5109 ：配線
5110 ：第3の層間絶縁膜
5111 ：画素電極(陰極)
5112 ：土手
5113 ：EL層
5114 ：画素電極(陽極)
5115 ：保護膜

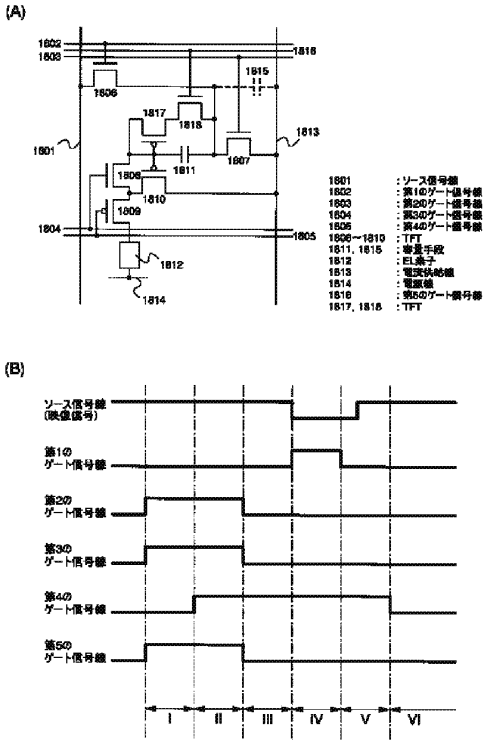
【図１６】


(A)
A
4002
4005
4009
4004b
4004a
4007
4003
4001
B
B'
4006
4006
A'
(B)
4009
4209
4208
4207
4007
4205
4006
4009
4300
4006
4301
4001
4210
4202
4203
4204
4303
4201
4301
4302
4010
4005a
A
A'
(C)
4300
4301
4006
4203a
4300a
4006a
4001
B
B'

【図１７】

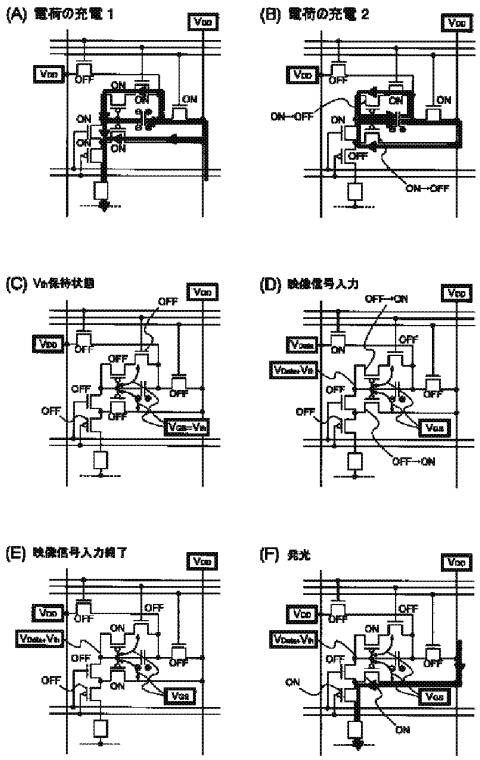


【図１８】

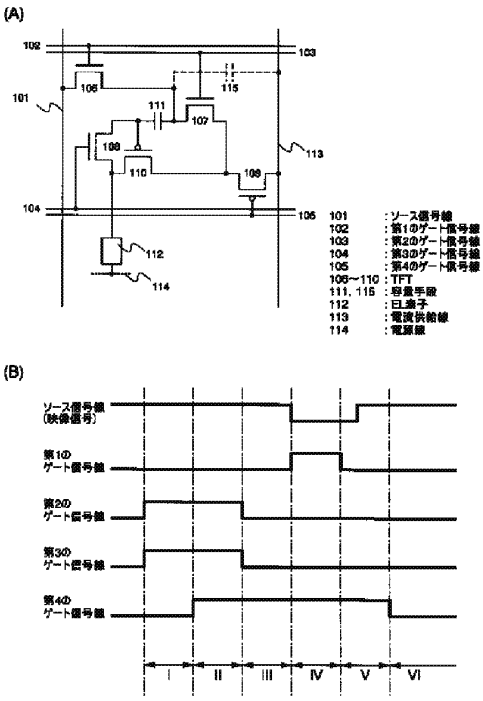


SDC-1351-00000444
SDC EX. 2001 - 388/503

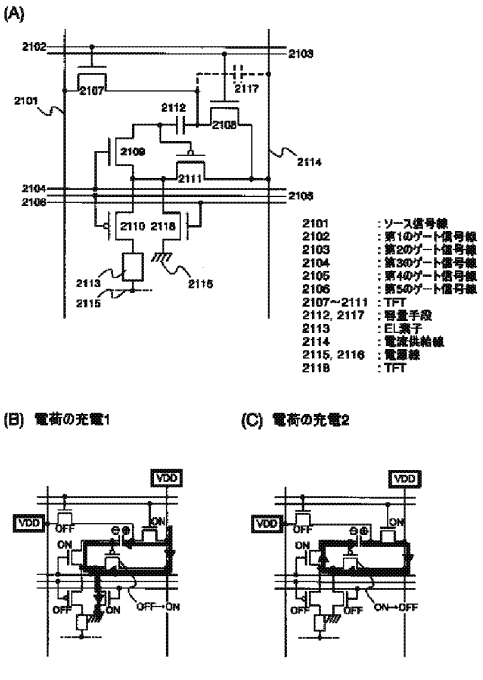
【図１９】



【図２０】

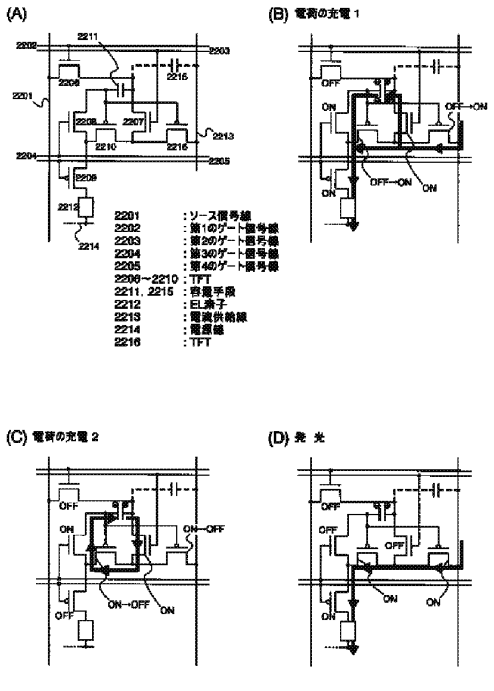


【図２１】

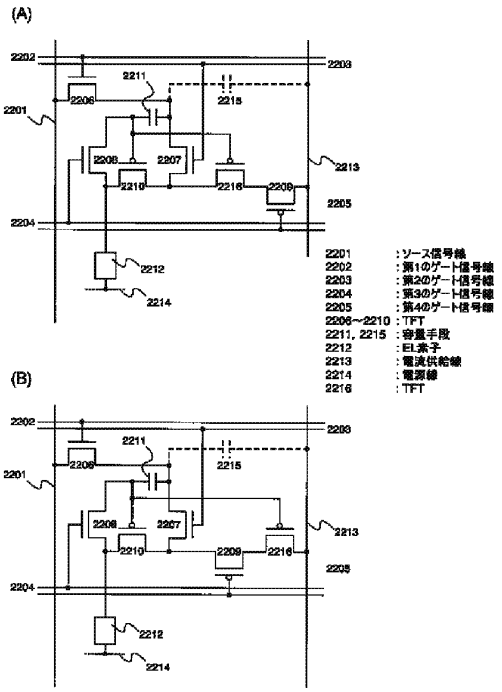


SDC-1351-00000445
SDC EX. 2001 - 389/503

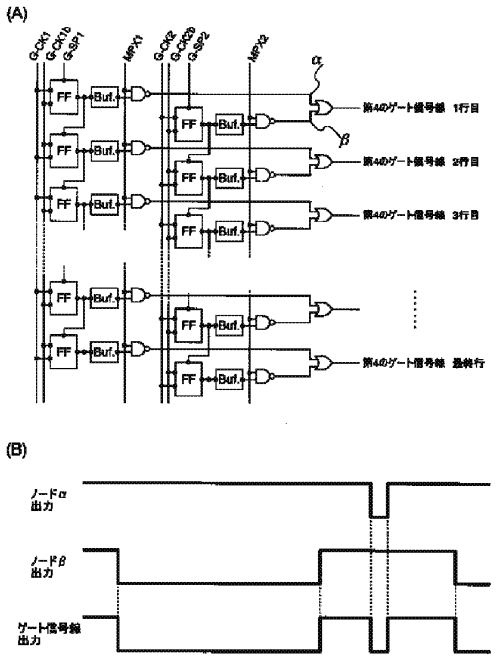
【図２２】



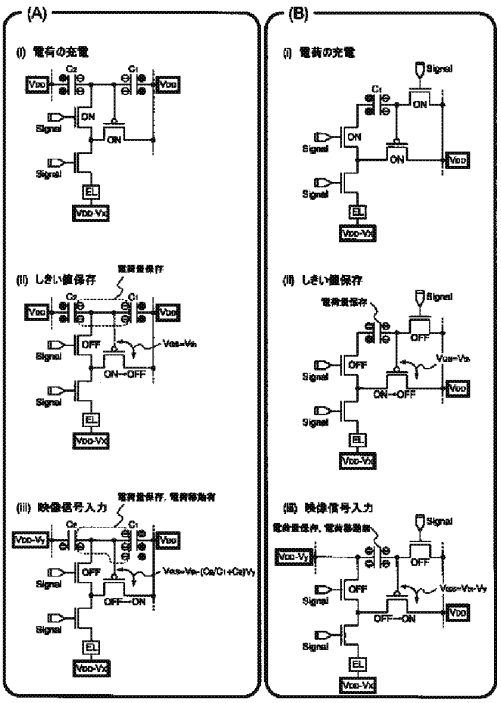
【図２３】



【図２５】

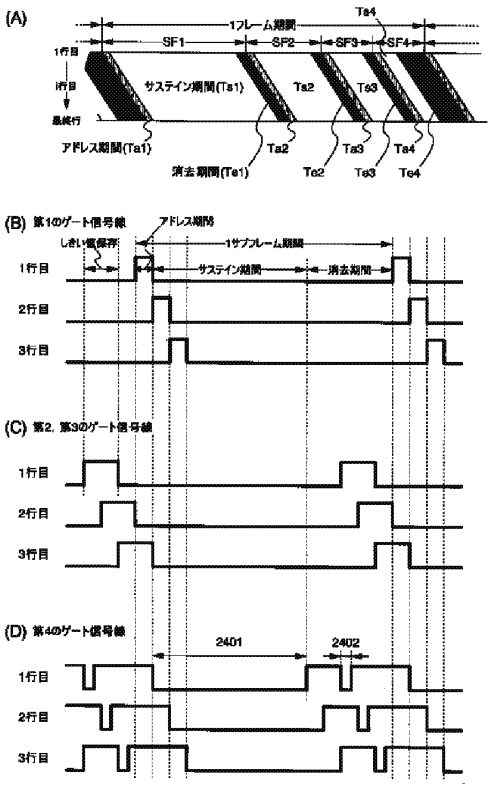


【図２６】

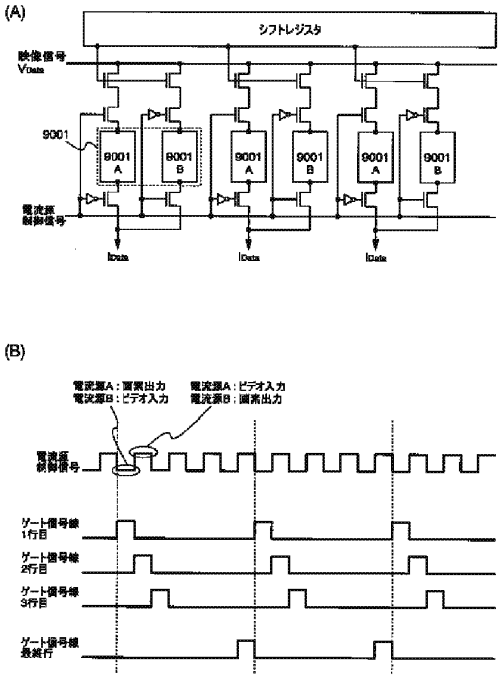


SDC-1351-00000446
SDC EX. 2001 - 390/503

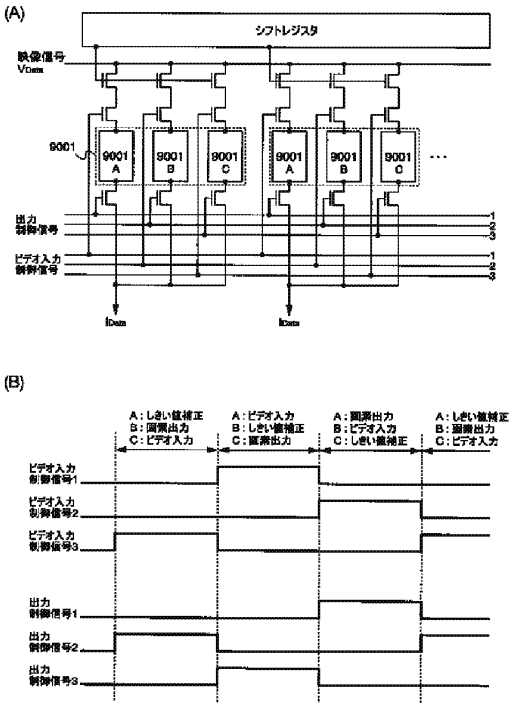
【図２４】



【図２８】

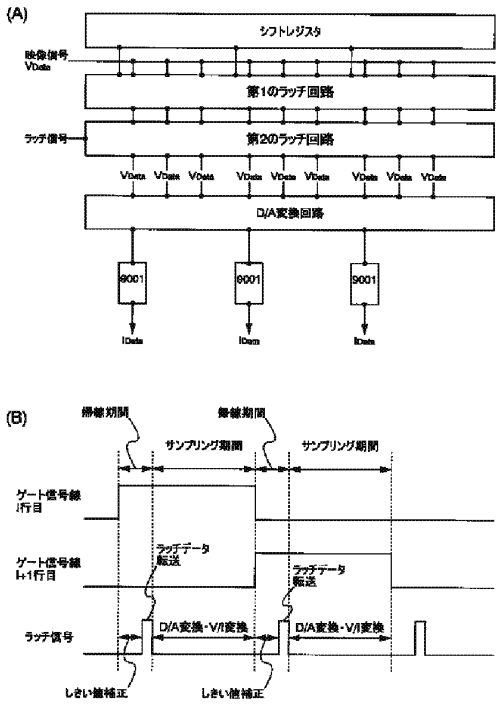


【図２９】

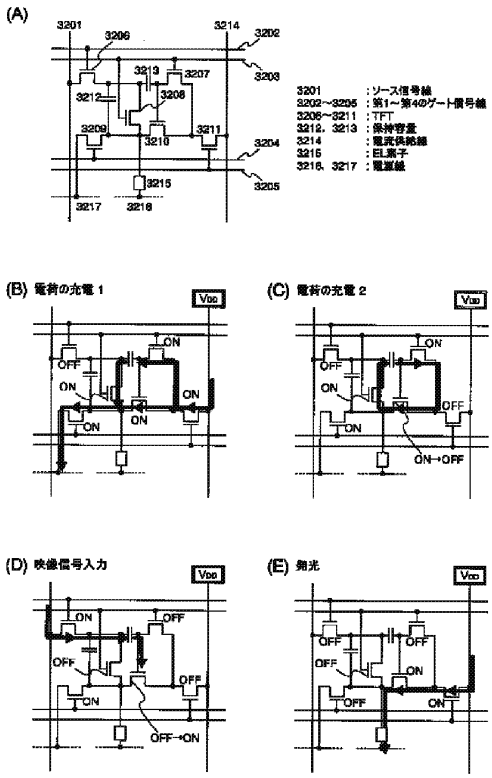


SDC-1351-00000447
SDC EX. 2001 - 391/503

【図３１】



【図３２】



フロントページの続き

(51)Int.Cl.[7]	識別記号	ＦＩ		ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ　29/786		Ｈ０５Ｂ　33/14	Ａ	
Ｈ０５Ｂ　33/14		Ｈ０１Ｌ　29/78	６１４	
			６１８Ｃ	

SDC-1351-00000448
SDC EX. 2001 - 392/503

Ｆターム(参考) 3K007 AB03 AB17 BA06 DB03 GA00
5C080 AA06 BB05 DD05 DD28 EE28
FF11 JJ02 JJ03 JJ04 JJ06
5F110 AA30 BB02 BB04 CC02 DD01
DD02 DD03 DD05 DD13 DD14
DD15 DD17 EE01 EE02 EE03
EE04 EE06 EE09 EE11 EE14
EE23 EE44 EE45 FF02 FF04
FF09 FF28 FF30 FF36 GG01
GG02 GG13 GG15 GG25 GG26
GG32 GG43 GG45 GG47 GG51
HJ01 HJ04 HJ12 HJ13 HJ23
HL01 HL02 HL03 HL04 HL07
HL11 HL12 HL23 HM15 NN03
NN04 NN22 NN24 NN27 NN28
NN34 NN35 NN36 NN71 NN72
PP01 PP02 PP03 PP04 PP05
PP06 PP10 PP29 PP34 PP35
QQ04 QQ11 QQ19 QQ23 QQ24
QQ25 QQ28

SDC-1351-00000449
SDC EX. 2001 - 393/503

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-133240
(43)Date of publication of application : 30.04.2004

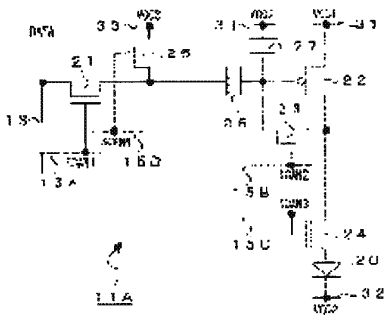
(51)Int.Cl. G09G 3/30
G09G 3/20
H05B 33/14

(21)Application number : 2002-298428
(22)Date of filing : 11.10.2002

(71)Applicant : SONY CORP
(72)Inventor : ASANO SHIN
YUMOTO AKIRA

(54) ACTIVE MATRIX DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:
PROBLEM TO BE SOLVED: To overcome the problem in which a long period can not be secured as a threshold voltage correction period since the threshold voltage correction period and a data write period need to be provided continuously within 1 level period in such an arrangement that a fixed potential is supplied in the threshold voltage correction period and a data potential plus the fixed potential is supplied in the data write period from a signal line, respectively.
SOLUTION: A 5th transistor 25 is connected between a power line 33 and the drain terminal of a first transistor 21 and a source voltage VCC 3 of the power line 33 different from the signal line 13 is supplied as the fixed potential needed to correct a threshold voltage through the fifth transistor 25 to secure a period which is long enough as the threshold voltage correction period, thereby securely correcting variance in threshold voltage of a second transistor 22, pixel by pixel.



LEGAL STATUS

[Date of request for examination]	27.04.2004
[Date of sending the examiner's decision of rejection]	28.03.2006
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3832415
[Date of registration]	28.07.2006
[Number of appeal against examiner's decision of rejection]	2006-008247
[Date of requesting appeal against examiner's decision of rejection]	27.04.2006

SDC-1351-00000450
SDC EX. 2001 - 394/503

[Date of extinction of right]

SDC-1351-00000451
SDC EX. 2001 - 395/503

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-133240
(P2004-133240A)
(43)公開日　平成16年4月30日(2004.4.30)

(51)Int.Cl.[7]	F I		テーマコード（参考）
G09G 3/30	G09G 3/30	J	3K007
G09G 3/20	G09G 3/20	611H	5C080
H05B 33/14	G09G 3/20	621A	
	G09G 3/20	621F	
	G09G 3/20	624B	

審査請求 未請求　請求項の数 12　OL　（全 17 頁）　最終頁に続く

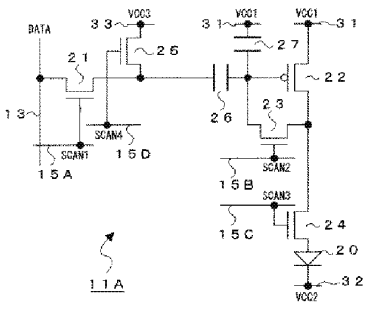
(21)出願番号　特願2002-298428(P2002-298428)
(22)出願日　平成14年10月11日(2002.10.11)

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100086298
弁理士　船橋　國則
(72)発明者　浅野　慎
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　湯本　昭
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

Fターム(参考)　3K007 AB17 BA06 DB03 GA00
5C080 AA06 BB05 DD05 DD07 DD08 DD26 EE29 FF03 FF11 HH09 JJ02 JJ03 JJ04 JJ05

(54)【発明の名称】アクティブマトリクス型表示装置およびその駆動方法

(57)【要約】
【課題】しきい値補正期間で固定電位、データ書込期間でデータ電位＋固定電位をそれぞれ信号線から供給する構成を採ると、１水平期間内にしきい値電圧補正期間とデータ書込期間とを連続して設ける必要があるため、しきい値電圧補正期間として長い期間を確保できない。
【解決手段】電源線３３と第一のトランジスタ２１のドレイン端との間に第五のトランジスタ２５を接続して、しきい値電圧の補正に必要となる固定電位として、信号線１３とは異なる電源線３３の電源電圧ＶＣＣ３を第五のトランジスタ２５を介して供給するようにすることで、しきい値電圧補正期間として十分に長い期間を確保し、第二のトランジスタ２２のしきい値電圧ばらつきを画素毎に確実に補正できるようにする。
【選択図】　図２



SDC-1351-00000452
SDC EX. 2001 - 396/503

【特許請求の範囲】
【請求項１】
マトリクス状に複数配列された画素回路と、
前記画素回路のマトリクス配列に対して列毎に配線された信号線と、
前記画素回路のマトリクス配列に対して行毎に配線された第一，第二，第三および第四の走査線とを備え、
前記画素回路の各々が、
ゲート端が前記第一の走査線に、第一電極端が前記信号線にそれぞれ接続された第一のトランジスタと、
一端が前記第一のトランジスタの第二電極端に接続された第一のキャパシタと、
一端が前記第一のキャパシタの他端または一端に接続された第二のキャパシタと、
ゲート端が前記第一のキャパシタの他端に、第一電極端が第一の電源線にそれぞれ接続された第二のトランジスタと、
ゲート端が前記第二の走査線に、第一電極端が前記第二のトランジスタのゲート端に、第二電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第三のトランジスタと、
ゲート端が前記第三の走査線に、第一電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第四のトランジスタと、
ゲート端が前記第四の走査線に、第一電極端が第三の電源線に、第二電極端が前記第一のトランジスタの第二電極端にそれぞれ接続された第五のトランジスタと、
前記第四のトランジスタの第二電極端と第二の電源線との間に接続された表示素子とを有する
ことを特徴とするアクティブマトリクス型表示装置。
【請求項２】
前記第三のトランジスタと前記第五のトランジスタとが同導電型であり、前記第二の走査線と前記第四の走査線とが共通である
ことを特徴とする請求項１記載のアクティブマトリクス型表示装置。
【請求項３】
前記第三のトランジスタと前記第四のトランジスタとが逆導電型であり、前記第二の走査線と前記第三の走査線とが共通である
ことを特徴とする請求項１記載のアクティブマトリクス型表示装置。
【請求項４】
前記第四のトランジスタと前記第五のトランジスタとが逆導電型であり、前記第三の走査線と前記第四の走査線とが共通である
ことを特徴とする請求項１記載のアクティブマトリクス型表示装置。
【請求項５】
前記第三のトランジスタおよび前記第五のトランジスタと前記第四のトランジスタとが逆導電型であり、前記第二の走査線と前記第三の走査線と前記第四の走査線とが共通である
ことを特徴とする請求項１記載のアクティブマトリクス型表示装置。
【請求項６】
前記第一の電源線と前記第三の電源線とが共通である
ことを特徴とする請求項１記載のアクティブマトリクス型表示装置。
【請求項７】
前記第三の電源線の電源電圧が前記第一の電源線の電源電圧よりも低い
ことを特徴とする請求項１記載のアクティブマトリクス型表示装置。
【請求項８】
前記第三の電源線の電源電圧が可変である
ことを特徴とする請求項７記載のアクティブマトリクス型表示装置。
【請求項９】
前記第一乃至第五のトランジスタがポリシリコン薄膜トランジスタである

SDC-1351-00000453
SDC EX. 2001 - 397/503

ことを特徴とする請求項１記載のアクティブマトリクス型表示装置。
【請求項１０】
前記表示素子が、第一、第二の電極およびこれらの電極間に挟持された発光層を含む有機層を有する有機エレクトロルミネセンス素子である
ことを特徴とする請求項１記載のアクティブマトリクス型表示装置。
【請求項１１】
マトリクス状に複数配列された画素回路と、
前記画素回路のマトリクス配列に対して列毎に配線された信号線と、
前記画素回路のマトリクス配列に対して行毎に配線された第一，第二，第三および第四の走査線とを備え、
前記画素回路の各々が、
ゲート端が前記第一の走査線に、第一電極端が前記信号線にそれぞれ接続された第一のトランジスタと、
一端が前記第一のトランジスタの第二電極端に接続された第一のキャパシタと、
一端が前記第一のキャパシタの他端または一端に接続された第二のキャパシタと、
ゲート端が前記第一のキャパシタの他端に、第一電極端が第一の電源線にそれぞれ接続された第二のトランジスタと、
ゲート端が前記第二の走査線に、第一電極端が前記第二のトランジスタのゲート端に、第二電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第三のトランジスタと、
ゲート端が前記第三の走査線に、第一電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第四のトランジスタと、
ゲート端が前記第四の走査線に、第一電極端が第三の電源線に、第二電極端が前記第一のトランジスタの第二電極端にそれぞれ接続された第五のトランジスタと、
前記第四のトランジスタの第二電極端と第二の電源線との間に接続された表示素子とを有するアクティブマトリクス型表示装置の駆動方法であって、
前記第一，第四のトランジスタをオフ、前記第三，第五のトランジスタをオンとして、画素毎に前記第二のトランジスタのしきい値電圧の補正を行い、
しかる後前記第一のトランジスタをオン、前記第三，第五のトランジスタをオフとして、前記信号線より画素への表示データの書き込みを行う
ことを特徴とするアクティブマトリクス型表示装置の駆動方法。
【請求項１２】
同一の前記信号線に接続される異なる行の画素において、前記しきい値電圧の補正を行う期間と、前記表示データの書き込みを行う期間とが並行して存在する
ことを特徴とする請求項１１記載のアクティブマトリクス型表示装置の駆動方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、表示素子を有する画素（画素回路）がマトリクス状に配置され、走査線、信号線によって画像データの書き込み、表示を行うアクティブマトリクス型表示装置およびその駆動方法に関し、特に表示素子として例えば有機エレクトロルミネセンス（ｅｌｅｃｔｒｏｌｕｍｉｎｅｓｃｅｎｃｅ；ＥＬ）素子を用いたアクティブマトリクス型有機ＥＬ表示装置およびその駆動方法に関する。
【０００２】
【従来の技術】
アクティブマトリクス型表示装置において、画素の表示素子として、液晶セルや有機ＥＬ素子等の電気光学素子が用いられる。そのうち、有機ＥＬ素子は有機材料からなる層、即ち有機層を電極で挟み込んだ構造を持っている。この有機ＥＬ素子では、当該素子に電圧を印加することにより、陰極から電子が、陽極から正孔が有機層に注入され、その結果電子・正孔が再結合し、発光が生じる。この有機ＥＬ素子は以下のような特長を持っている

SDC-1351-00000454
SDC EX. 2001 - 398/503

。
【０００３】
１）１０Ｖ以下の低電圧駆動で、数１００～数１００００ｃｄ／ｍ^2　の輝度が得られることから低消費電力化が可能である。
２）自発光素子であることから画像のコントラストが高く、応答速度も速いことから視認性が良く、動画表示にも適している。
３）シンプルな構造を持つ全固体型素子であり、素子の高信頼性化、薄型化が可能である。
これらの特長を持つ有機ＥＬ素子を画素の表示素子として用いた有機ＥＬ表示装置（以下、有機ＥＬディスプレイと記す）は、次世代のフラットパネルディスプレイとして有望視されている。
【０００４】
ところで、有機ＥＬディスプレイの駆動方式として、単純マトリクス方式とアクティブマトリクス方式とが挙げられる。これらの方式のうち、アクティブマトリクス方式には、以下のような特長がある。
１）各画素における有機ＥＬ素子の発光を１フレーム期間に亘って保持できるアクティブマトリクス方式は、有機ＥＬディスプレイの高精細化・高輝度化に適している。
２）基板（パネル）上に、薄膜トランジスタを用いた周辺回路を作成することが可能であるため、パネル外部とのインターフェイスの簡素化、パネルの高機能化が可能である。
【０００５】
このアクティブマトリクス型有機ＥＬディスプレイでは、アクティブ素子であるトランジスタには、ポリシリコンを活性層としたポリシリコン薄膜トランジスタ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ；ＴＦＴ）を用いるのが一般的である。その理由は、ポリシリコンＴＦＴは駆動能力が高く、画素サイズを小さく設計できることによって高精細化に有利だからである。このような特長を持つ反面、ポリシリコンＴＦＴは特性のばらつきが大きいことも広く知られている。
【０００６】
したがって、ポリシリコンＴＦＴを用いる場合、その特性ばらつきを抑えること、また回路的にＴＦＴの特性ばらつきを補償することは、ポリシリコンＴＦＴを用いたアクティブマトリクス型有機ＥＬディスプレイにおける大きな課題である。これは、次のような理由による。すなわち、画素の表示素子として液晶セルを用いた液晶ディスプレイでは、各画素の輝度データを電圧値によって制御する構成が採られるのに対して、有機ＥＬディスプレイでは、各画素の輝度データを電流値によって制御する構成が採られるからである。
【０００７】
ここで、アクティブマトリクス型有機ＥＬディスプレイの概要について説明する。図１１に最も簡単なアクティブマトリクス型有機ＥＬディスプレイの構成の概略を、図１２にその画素回路の回路構成をそれぞれ示す（例えば、特許文献１参照）。アクティブマトリクス型有機ＥＬディスプレイは、ｍ×ｎ個の画素１０１がマトリクス状に配列され、これら画素１０１のマトリクス配列に対してデータドライバ１０２によって駆動されるｍ列分の信号線１０３－１～１０３－ｍが画素列毎に、スキャンドライバ１０４によって駆動されるｎ行分の走査線１０５－１～１０５－ｎが画素行毎にそれぞれ配線された構成となっている。
【０００８】
また、画素（画素回路）１０１は、図１２から明らかなように、有機ＥＬ素子１１０、第一，第二のトランジスタ１１１，１１２およびキャパシタ１１３を有する構成となっている。ここでは、第一のトランジスタ１１１としてＮチャネルトランジスタ、第二のトランジスタ１１２としてＰチャネルトランジスタがそれぞれ用いられている。
【０００９】
第一のトランジスタ１１１は、ソース端が信号線１０３（１０３－１～１０３－ｍ）に、ゲート端が走査線１０５（１０５－１～１０５－ｎ）にそれぞれ接続されている。キャパ

SDC-1351-00000455
SDC EX. 2001 - 399/503

シタ１１３は、一端が電源電圧ＶＣＣ１（例えば、正電源電圧）の第一の電源線１２１に、他端が第一のトランジスタ１１１のドレイン端にそれぞれ接続されている。第二のトランジスタ１１２は、ソース端が第一の電源線１２１に、ゲート端が第一のトランジスタ１１１のドレイン端にそれぞれ接続されている。有機ＥＬ素子１１０は、アノード端が第二のトランジスタ１１２のドレイン端に、カソード端が電源電圧ＶＣＣ２（例えば、グランド電位）の第二の電源線１２２にそれぞれ接続されている。

【００１０】

上記構成の画素回路において、輝度データの書き込みを行う画素では、当該画素を含む画素行がスキャンドライバ１０４によって走査線１０５を介して選択されることで、その行の画素の第一のトランジスタ１１１がオンする。このとき、輝度データはデータドライバ１０２から信号線１０３を介して電圧で供給され、第一のトランジスタ１１１を通してデータ電圧を保持するキャパシタ１１３に書き込まれる。キャパシタ１１３に書き込まれた輝度データは、１フィールド期間に亘って保持される。この保持されたデータ電圧は、第二のトランジスタ１１２のゲート端に印加される。

【００１１】

これにより、第二のトランジスタ１１２は、保持データにしたがって有機ＥＬ素子１１０を電流で駆動する。このとき、有機ＥＬ素子１１０の階調表現は、キャパシタ１１３によって保持される第二のトランジスタ１１２のゲート・ソース間電圧Ｖｄａｔａ（＜０）を変調することによって行われる。

【００１２】

一般に、有機ＥＬ素子の輝度Ｌｏｌｅｄは、当該素子に流れる電流Ｉｏｌｅｄに比例する。したがって、有機ＥＬ素子の輝度Ｌｏｌｅｄと電流Ｉｏｌｅｄとの間には次式が成り立つ。

$$Loled \propto Ioled = k(Vdata - Vth)^2 \quad \cdots\cdots (1)$$

【００１３】

式（１）において、ｋ＝１／２・μ・Ｃｏｘ・Ｗ／Ｌである。ここで、μは第二のトランジスタ１１２のキャリアの移動度、Ｃｏｘは第二のトランジスタ１１２の単位面積当たりのゲート容量、Ｗは第二のトランジスタ１１２のゲート幅、Ｌは第二のトランジスタ１１２のゲート長である。したがって、第二のトランジスタ１１２の移動度μ、しきい値電圧Ｖｔｈ（＜０）のばらつきが、直接的に、有機ＥＬ素子の輝度ばらつきに影響を与えることがわかる。

【００１４】

これに対して、特に、輝度ばらつきが問題になり易いしきい値電圧Ｖｔｈを補償可能な画素回路として、しきい値電圧補正型画素回路が考案されている（例えば、特許文献２参照）。

【００１５】

図１３は、従来例に係るしきい値電圧補正型画素回路の構成を示す回路図であり、図中、図１２と同等部分には同一符号を付して示している。図１３から明らかなように、この従来例に係るしきい値電圧補正型画素回路は、有機ＥＬ素子１１０、４つのトランジスタ１１１，１１２，１１４，１１５および２つのキャパシタ１１３，１１６を有する構成となっている。なお、本画素回路を用いる有機ＥＬディスプレイでは、スキャンドライバ１０４（図１１参照）によって駆動される走査線として、３本の走査線１０５Ａ，１０５Ｂ，１０５Ｃが画素行毎に配線されることになる。

【００１６】

第一のトランジスタ１１１は、ソース端が信号線１０３に、ゲート端が第一の走査線１０５Ａにそれぞれ接続されている。第一のキャパシタ１１６は、一端が第一のトランジスタ１１１のドレイン端に接続されている。第二のトランジスタ１１２は、ゲート端が第一のキャパシタ１１６の他端に、ソース端が電源電圧ＶＣＣ１（例えば、正電源電圧）の第一の電源線１２１にそれぞれ接続されている。第二のキャパシタ１１３は、一端が第一の電源線１２１に、他端が第二のトランジスタ１１２のゲート端にそれぞれ接続されている。

SDC-1351-00000456
SDC EX. 2001 - 400/503

【００１７】
第三のトランジスタ１１４は、ゲート端が第二の走査線１０５Ｂに、ソース端が第二のトランジスタ１１２のゲート端に、ドレイン端が第二のトランジスタ１１２のドレイン端にそれぞれ接続されている。第四のトランジスタ１１５は、ゲート端が第三の走査線１０５Ｃに、ソース端が第二のトランジスタ１１２のドレイン端にそれぞれ接続されている。有機ＥＬ素子１１０は、アノード端が第四のトランジスタ１１５のドレイン端に、カソード端が電源電圧ＶＣＣ２（例えば、グランド電位）の第二の電源線１２２にそれぞれ接続されている。

【００１８】
次に、上記構成の従来例に係るしきい値電圧補正型画素回路の回路動作について、図１４のタイミングチャートを用いて説明する。このタイミングチャートでは、ｉ行目およびｉ＋１行目の画素回路についてその駆動時のタイミング関係を示している。また、図１４のタイミングチャートにおいて、「補正」はしきい値電圧補正期間を、「書込」はデータ書込期間を、「保持」はデータ保持期間をそれぞれ表している。

【００１９】
本画素回路の動作では、データ書込期間に先立ってしきい値電圧補正期間が存在する。このしきい値電圧補正期間において、第一の走査線１０５Ａを介して与えられる走査パルスＳＣＡＮ１が高レベル（以下、“Ｈ”レベルと記す）になることで第一のトランジスタ１１１がオンし、信号線１０３にはデータドライバ１０２から固定電位Ｖｏが供給される。これにより、この固定電位Ｖｏが第一のトランジスタ１１１を介して第一のキャパシタ１１６に書き込まれる。このとき、第二の走査線１０５Ｂを介して与えられる走査パルスＳＣＡＮ２も“Ｈ”レベルになるため第三のトランジスタ１１４がオンし、また第三の走査線１０５Ｃを介して与えられる走査パルスＳＣＡＮ３が低レベル（以下、“Ｌ”レベルと記す）にあるため第四のトランジスタ１１５がオフ状態にある。

【００２０】
この状態において、一端側の電位が固定電位Ｖｏにある第一のキャパシタ１１６は、その他端側から第三のトランジスタ１１４のソース・ドレインを介して充電される。そして、しきい値電圧補正期間が十分に長ければ、第一のキャパシタ１１６の他端側の電位、即ち第二のトランジスタ１１２のゲート・ソース間電圧は、トランジスタのしきい値電圧Ｖｔｈ（＜０）に収束する。

【００２１】
次のデータ書込期間においては、走査パルスＳＣＡＮ１が“Ｈ”レベルを維持しているため第一のトランジスタ１１１がそのままオン状態にあり、信号線１０２からはデータ電位Ｖｏ＋Ｖｄａｔａ（Ｖｄａｔａ＜０）が供給される。このとき、走査パルスＳＣＡＮ２が“Ｌ”レベルにあるため第三のトランジスタ１１４はオフしている。

【００２２】
ここで、トランジスタのゲート容量、寄生容量等を無視するものとすると、第二のトランジスタ１１２のゲート・ソース間電圧Ｖｇｓは次式で表される。
Ｖｇｓ＝Ｖｔｈ＋Ｃ１／（Ｃ１＋Ｃ２）・Ｖｄａｔａ　……（２）
なお、Ｃ１，Ｃ２は、第一，第二のキャパシタ１１６，１１３の各容量値を表している。

【００２３】
式（２）を用いることで、有機ＥＬ素子１１０に流れる電流Ｉｏｌｅｄは、次式のように表される。
$$Loled \propto Ioled = k\{C1/(C1+C2)\cdot Vdata\}^2 \quad \cdots\cdots (3)$$

【００２４】
式（３）から明らかなように、有機ＥＬ素子１１０に流れる電流Ｉｏｌｅｄは、第二のトランジスタ１１２のしきい値電圧Ｖｔｈに依存しないことがわかる。すなわち、従来例に係るしきい値電圧補正型画素回路を用いることで、画素毎の第二のトランジスタ１１２のしきい値電圧Ｖｔｈを補正されていることがわかる。このことは、第二のトランジスタ１

SDC-1351-00000457
SDC EX. 2001 - 401/503

１２のしきい値電圧Ｖｔｈのばらつきが、有機ＥＬ素子１１０の輝度ばらつきに影響を与えないことを意味している。

【００２５】

【特許文献１】

特開平８－２３４６８３号公報

【特許文献２】

米国特許第６，２２９，５０６号明細書

【００２６】

【発明が解決しようとする課題】

ところで、上述した従来例に係るしきい値電圧補正型画素回路では、しきい値電圧補正期間において、第二のトランジスタ１１２はソース・ゲート間電圧がしきい値電圧Ｖｔｈに向けて変化するにしたがって徐々にオフ状態に近づき、これに伴って動作が緩慢になるため、第二のトランジスタ１１２のソース・ゲート間電圧がしきい値電圧Ｖｔｈに収束するのに時間がかかる。したがって、しきい値電圧補正期間としては十分に長い時間が必要となる。

【００２７】

しきい値電圧補正期間での第二のトランジスタ１１２のゲート電圧に関する微分方程式は、次式のように表される。

$k \cdot \{Vgs(t) - Vth\}^2 = -Cs \cdot dVgs/dt \quad \cdots (4)$

式（４）において、十分なしきい値電圧補正期間として、電流が最小輝度時の１／２になる時間を考える。

【００２８】

有機ＥＬ素子１１０の最高輝度時の電流値をＩｍａｘ、第二のトランジスタ１１２のゲート・ソース間電圧Ｖｇｓの初期値をＶｉｎｉｔ、第二のトランジスタ１１２のゲート電圧の保持容量を（主に第二のキャパシタ１１３の容量Ｃ１）Ｃｓ、階調数をｎ、最高輝度時の電流値Ｉｍａｘを与えるゲート・ソース間電圧ＶｇｓをＶｇｓ＝ΔＶ＋Ｖｔｈとすると、電流が最小輝度時の１／２であるＩｍａｘ／２（ｎ－１）になるのに要する時間は次式で表される。

$t = Cs \cdot \Delta V / Imax \sqrt{(2n-2) - \Delta V / Vinit} \quad \cdots (5)$

【００２９】

ここで、数値の一例として、Ｃｓ＝１［ｐＦ］、ｎ＝６４、ΔＶ＝４、Ｉｍａｘ＝１［μＡ］とし、第二項は十分小さい場合を考えると、ｔ＝４５［μｓ］である。一方、解像度（グラフィックス表示規格）ＶＧＡ、走査線４８０本、フレーム周波数６０Ｈｚの場合、１水平期間は約３０μｓであり、１水平期間の間でしきい値電圧期間を終了するのが難しいことがわかる。

【００３０】

このように、十分なしきい値電圧補正期間としては、ＶＧＡクラスのディスプレイでは数μｓ～数１０μｓの時間が必要であるため、１水平期間内にしきい値電圧補正期間とデータ書込期間とを連続して行うことは難しい。換言すれば、ＶＧＡクラスの有機ＥＬディスプレイには、従来例に係るしきい値電圧補正型画素回路を適用できないことになる。また、ディスプレイが高精細化するに連れて１水平期間は走査線数に反比例して短くなるため、より一層、十分なしきい値電圧補正期間の確保が難しくなることがわかる。

【００３１】

また、従来例に係るしきい値電圧補正画素回路では、信号線１０３がしきい値補正期間、データ書込期間のそれぞれに相当した信号線電位、即ちしきい値補正期間では固定電位Ｖｏ、データ書込期間ではデータ電位Ｖｄａｔａ＋固定電位Ｖｏをそれぞれ供給する必要があるため、信号線駆動回路であるデータドライバ１０２（図１１参照）の構成が複雑になり易い。

【００３２】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、しきい値電

SDC-1351-00000458
SDC EX. 2001 - 402/503

圧補正型画素回路を用いることによって表示画像の均一性を向上させながら、１水平期間の長さに関わらず十分なしきい値電圧補正期間を確保することによって高精細化を可能としたアクティブマトリクス型表示装置およびその駆動方法を提供することにある。

【００３３】

【課題を解決するための手段】

本発明によるアクティブマトリクス型表示装置は、マトリクス状に複数配列された画素回路と、前記画素回路のマトリクス配列に対して列毎に配線された信号線と、前記画素回路のマトリクス配列に対して行毎に配線された第一，第二，第三および第四の走査線とを備え、画素回路の各々が、ゲート端が前記第一の走査線に、第一電極端が前記信号線にそれぞれ接続された第一のトランジスタと、一端が前記第一のトランジスタの第二電極端に接続された第一のキャパシタと、一端が前記第一のキャパシタの他端または一端に接続された第二のキャパシタと、ゲート端が前記第一のキャパシタの他端に、第一電極端が第一の電源線にそれぞれ接続された第二のトランジスタと、ゲート端が前記第二の走査線に、第一電極端が前記第二のトランジスタのゲート端に、第二電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第三のトランジスタと、ゲート端が前記第三の走査線に、第一電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第四のトランジスタと、ゲート端が前記第四の走査線に、第一電極端が第三の電源線に、第二電極端が前記第一のトランジスタの第二電極端にそれぞれ接続された第五のトランジスタと、前記第四のトランジスタの第二電極端と第二の電源線との間に接続された表示素子とを有する構成となっている。

【００３４】

そして、上記構成のアクティブマトリクス型表示装置において、前記第一，第四のトランジスタをオフ、前記第三，第五のトランジスタをオンとして、画素毎に前記第二のトランジスタのしきい値電圧の補正を行い、しかる後前記第一のトランジスタをオン、前記第三，第五のトランジスタをオフとして、前記信号線より画素への表示データの書き込みを行うように駆動する。前記第二のトランジスタのしきい値電圧の補正を行う期間では、第五のトランジスタが第３の電源線の電源電圧を固定電位として第一のキャパシタに供給する。

【００３５】

このように、しきい値電圧の補正に必要となる固定電位を、信号線とは異なる電源線から供給することで、ある画素について他画素で信号線から表示データの書き込みを行うのと並行してしきい値電圧の補正を行うことが可能になる。これより、ある画素行に注目した場合、１水平期間をデータ書込期間として設定できるとともに、その直前にしきい値電圧補正期間として任意の期間を設定できるため、しきい値電圧補正期間として十分に長い期間を確保できる。

【００３６】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。図１は、本発明の一実施形態に係るアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、例えば画素の表示素子として有機ＥＬ素子を、能動素子としてポリシリコン薄膜トランジスタ（ＴＦＴ）をそれぞれ用い、当該薄膜トランジスタを形成した基板上に有機ＥＬ素子を形成してなるアクティブマトリクス型有機ＥＬディスプレイに適用した場合を例に採って説明するものとする。

【００３７】

図１において、ｍ×ｎ個の画素（画素回路）１１の各々は表示素子として有機ＥＬ素子を持ち、マトリクス状に配列されている。これら画素１１のマトリクス配列に対し、信号線駆動回路であるデータドライバ１２によって駆動されるｍ列分の信号線（データ線）信号線１３－１～１３－ｍが画素列毎に配線され、また走査線駆動回路であるスキャンドライバ１４によって駆動される複数系統、例えば４系統のｎ行分の走査線１５Ａ－１～１５Ａ－ｎ，１５Ｂ－１～１５Ｂ－ｎ，１５Ｃ－１～１５Ｃ－ｎ，１５Ｄ－１～１５Ｄ－ｎが画

SDC-1351-00000459
SDC EX. 2001 - 403/503

素行毎にそれぞれ配線されている。

【００３８】

上記構成のアクティブマトリクス型有機ＥＬディスプレイにおいて、本発明では、画素１１（画素回路）の具体的な回路構成およびその回路動作を特徴としている。以下に、画素１１について具体的な回路例をいくつか挙げ、それらについて詳細に説明する。

【００３９】

［第一回路例］

図２は、第一回路例に係る画素回路１１Ａの構成を示す回路図である。図２から明らかなように、本回路例に係る画素回路１１Ａは、有機ＥＬ素子２０、５つのトランジスタ２１～２５および２つのキャパシタ２６，２７を有する構成となっている。有機ＥＬ素子２０は、発光層を含む有機層を第１、第２の電極で挟み込んだ構造となっている。

【００４０】

第一乃至第五のトランジスタ２１～２５は、ポリシリコンを活性層としたポリシリコン薄膜トランジスタ（ＴＦＴ）である。本回路例では、これらトランジスタ２１～２５のうち、第二のトランジスタ２２としてＰチャネルトランジスタを用い、それ以外のトランジスタ２１，２３～２５としてＮチャネルトランジスタを用いた構成を採っている。

【００４１】

第一のトランジスタ２１は、ソース端が信号線１３に、ゲート端が第一の走査線１５Ａにそれぞれ接続されている。第一のキャパシタ２６は、一端（入力端）が第一のトランジスタ１１のドレイン端に接続されている。第二のトランジスタ２２は、ゲート端が第一のキャパシタ２６の他端（出力端）に、ソース端が電源電圧ＶＣＣ１（例えば、正電源電圧）の第一の電源線３１にそれぞれ接続されている。

【００４２】

第二のキャパシタ２７は、一端が第一の電源線３１に、他端が第二のトランジスタ２２のゲート端にそれぞれ接続されている。第三のトランジスタ２３は、ゲート端が第二の走査線１５Ｂに、ソース端が第二のトランジスタ２２のゲート端に、ドレイン端が第二のトランジスタ２２のドレイン端にそれぞれ接続されている。第四のトランジスタ２４は、ゲート端が第三の走査線１５Ｃに、ソース端が第二のトランジスタ２２のドレイン端にそれぞれ接続されている。

【００４３】

第五のトランジスタ２５は、ゲート端が第四の走査線１５Ｄに、ソース端が電源電圧ＶＣＣ３（例えば、正電源電圧）の第三の電源線３３に、ドレイン端が第一のトランジスタ２１のドレイン端（第一のキャパシタ２６の一端）にそれぞれ接続されている。電源電圧ＶＣＣ３は、電源電圧ＶＣＣ１とは異なる電圧値となっている。有機ＥＬ素子２０は、アノード端が第四のトランジスタ２４のドレイン端に、カソード端が電源電圧ＶＣＣ２（例えば、グランド電位）の第二の電源線３２にそれぞれ接続されている。

【００４４】

上記構成の第一回路例に係る画素回路１１Ａでは、同一データ線に接続された画素間で、データ書込期間としきい値電圧補正期間とが並行して存在するようにしている点を特徴としている。以下、データ書込期間およびしきい値電圧補正期間における各動作について、ｉ行目の画素行の場合を例に挙げて図３のタイミングチャートを用いて説明する。図３のタイミングチャートにおいて、「補正」はしきい値電圧補正期間を、「書込」はデータ書込期間を、「保持」はデータ保持期間をそれぞれ表している。

【００４５】

先ず、しきい値電圧補正期間において、スキャンドライバ１４（図１参照）から第一の走査線１５Ａを介して与えられる走査パルスＳＣＡＮ１（ｉ）　が“Ｌ”レベルであることによって第一のトランジスタ２１がオフし、また第四の走査線１５Ｄを介して与えられる走査パルスＳＣＡＮ４（ｉ）　が“Ｈ”レベルであることによって第五のトランジスタ２５がオンする。これにより、第一のキャパシタ２６の入力端には、第３の電源線３３から第五のトランジスタ２５を通して電源電圧ＶＣＣ３が固定電位Ｖｏとして供給される。

SDC-1351-00000460
SDC EX. 2001 - 404/503

【００４６】
このとき、第二の走査線１５Ｂを介して与えられる走査パルスＳＣＡＮ２（ｉ）　が“Ｈ”レベルであることによって第三のトランジスタ２３がオンし、第三の走査線１５Ｃを介して与えられる走査パルスＳＣＡＮ３（ｉ）　が“Ｌ”レベルであることによって第四のトランジスタ２４がオフする。これにより、第一のキャパシタ２６は出力端側から第三のトランジスタ２３のソース・ドレインを介して充電される。その際、しきい値電圧補正期間が十分に長ければ、第二のトランジスタ２２のゲート・ソース間電圧は、トランジスタのしきい値電圧Ｖｔｈ（＜０）に収束する。
【００４７】
次のデータ書込期間に入ると、走査パルスＳＣＡＮ１（ｉ）　が“Ｈ”レベルとなることで第一のトランジスタ２１がオンし、走査パルスＳＣＡＮ４（ｉ）　が“Ｌ”レベルとなることで第五のトランジスタ２５がオフする。これにより、信号線１３から第一のトランジスタ２１を通してデータ電位Ｖｏ＋Ｖｄａｔａ（Ｖｄａｔａ＜０）が供給される。その際、走査パルスＳＣＡＮ２（ｉ）　が“Ｌ”レベルであることによって第三のトランジスタ２３はオフ状態にある。
【００４８】
この第一回路例に係る画素回路１１Ａにおいても、先の式（２），（３）が同様に成り立つため、有機ＥＬ素子２０に流れる電流Ｉｏｌｅｄは、トランジスタのしきい値電圧Ｖｔｈに依存しないことがわかる。すなわち、画素毎の第二のトランジスタ２２のしきい値電圧Ｖｔｈが補正されていることがわかる。
【００４９】
また同様に、しきい値電圧補正期間に必要な時間は、先の式（４），（５）で表される。しかし、本回路例に係る画素回路１１Ａにおいては、しきい値電圧補正期間における第一のキャパシタ２６の入力端の信号線１３との接続を第一のトランジスタ２１によって制御し、電源線３３との接続を第五のトランジスタ２５によって制御する構成を採っている。したがって、しきい値電圧補正期間にはキャパシタ２６の入力端を電源線３３と接続して電源電圧ＶＣＣ３を固定電位Ｖｏとして与え、データ書込期間にはキャパシタ２６の入力端を信号線１３に接続してデータ電位Ｖｏ＋Ｖｄａｔａを与えることが可能となる。
【００５０】
このように、キャパシタ２６の入力端の接続先をしきい値電圧補正期間とデータ書込期間とで切替え制御することにより、ある画素が信号線１３よりデータの書き込みを行っているデータ書込期間にあるのと並行して、別の画素を電源線３３と接続することによってしきい値電圧補正期間にすることが可能である。また同時に、複数画素をしきい値電圧補正期間にすることも容易である。その結果、しきい値電圧補正期間として十分に長い期間を確保することが可能になる。
【００５１】
具体的には、第一回路例に係る画素回路１１Ａにおいては、図３のタイミングチャートから明らかなように、ある画素行に注目した場合、１水平期間をデータ書込期間とするとともに、その直前の２水平期間をしきい値電圧補正期間としていることがわかる。また、ある時間に注目した場合、１つの画素（ｉ行目）がデータ書込期間であるのと並行して、別の２つの画素（ｉ＋１行目とｉ＋２行目）がしきい値電圧補正期間にあることがわかる。
【００５２】
これにより、１水平期間内にしきい値電圧補正期間とデータ書込期間を持つ必要がなく、ディスプレイの高精細化と、十分に長いしきい値電圧補正期間の確保による均一性の良い表示画像を同時に実現することが可能になる。また、図３のタイミングチャートから明らかなように、信号線１３は輝度データのみを順次供給すれば良いため、信号線１３の駆動波形も容易であり、汎用的な液晶ディスプレイ等と同様の波形での駆動が可能である。したがって、信号線駆動回路であるデータドライバ１２（図１参照）を簡単な回路構成にて実現できる。
【００５３】

SDC-1351-00000461
SDC EX. 2001 - 405/503

［第二回路例］
図４は、第二回路例に係る画素回路１１Ｂの構成を示す回路図であり、図中、図２と同等部分には同一符号を付して示している。図４から明らかなように、本回路例に係る画素回路１１Ｂも、第一回路例に係る画素回路１１Ａと同様に、有機ＥＬ素子２０、５つのトランジスタ２１～２５および２つのキャパシタ２６，２７を有する構成となっている。本回路例に係る画素回路１１Ｂが、構成上、第一回路例に係る画素回路１１Ａと異なるのは、第二のキャパシタ２７の接続位置の点だけである。

【００５４】
以下に、各回路素子の接続関係について具体的に説明する。第一のトランジスタ２１は、ソース端が信号線１３に、ゲート端が第一の走査線１５Ａにそれぞれ接続されている。第一のキャパシタ２６は、一端（入力端）が第一のトランジスタ１１のドレイン端に接続されている。第二のトランジスタ２２は、ゲート端が第一のキャパシタ２６の他端（出力端）に、ソース端が電源電圧ＶＣＣ１（例えば、正電源電圧）の第一の電源線３１にそれぞれ接続されている。

【００５５】
第二のキャパシタ２７は、一端が第一の電源線３１に、他端が第一のトランジスタ２１のドレイン端（第一のキャパシタ２６の他端）にそれぞれ接続されている。第三のトランジスタ２３は、ゲート端が第二の走査線１５Ｂに、ソース端が第二のトランジスタ２２のゲート端に接続され、ドレイン端が第二のトランジスタ２２のドレイン端にそれぞれ接続されている。第四のトランジスタ２４は、ゲート端が第三の走査線１５Ｃに、ソース端が第二のトランジスタ２２のドレイン端にそれぞれ接続されている。

【００５６】
第五のトランジスタ２５は、ゲート端が第四の走査線１５Ｄに、ソース端が電源電圧ＶＣＣ３（例えば、正電源電圧）の第三の電源線３３に、ドレイン端が第一のトランジスタ２１のドレイン端（第一のキャパシタ２６の一端）にそれぞれ接続されている。有機ＥＬ素子２０は、アノード端が第四のトランジスタ２４のドレイン端に、カソード端が電源電圧ＶＣＣ２（例えば、グランド電位）の第二の電源線３２にそれぞれ接続されている。

【００５７】
上記構成の第二回路例に係る画素回路１１Ｂにおいて、しきい値電圧補正、データ書き込みおよびデータ保持の各動作については第一回路例に係る画素回路１１Ａと基本的に同じである。また、第一回路例に係る画素回路１１Ａでは先の式（２），（３）が成り立つとしたが、第二回路例に係る画素回路１１Ｂにおいては次式（６），（７）が成り立つ。

$$Vgs = Vth + Vdata \quad \cdots\cdots (6)$$

$$Loled \propto Ioled = k|Vdata|^2 \quad \cdots\cdots (7)$$

【００５８】
式（６），（７）から明らかなように、本回路例に係る画素回路１１Ｂでも、有機ＥＬ素子２０に流れる電流Ｉｏｌｅｄは、トランジスタのしきい値電圧Ｖｔｈに依存しないことがわかる。すなわち、画素毎の第二のトランジスタ２２のしきい値電圧Ｖｔｈが補正されていることがわかる。また、データの入力電圧振幅Ｖｄａｔａが、そのまま第二のトランジスタ２２のゲート電圧振幅となるため、信号線１３の振幅を小さくすることが可能であり、低消費電力化が可能である。

【００５９】
ところで、しきい値電圧補正型画素回路では、複数の走査線が必要となる。第一，第二回路例に係る画素回路１１Ａ，１１Ｂでは、４本の走査線１５Ａ，１５Ｂ，１５Ｃ，１５Ｄを用いている。しかし、このうち、第二の走査線１５Ｂと第四の走査線１５Ｄはしきい値電圧補正期間においてのみ第三，第五のトランジスタ２３，５をオン駆動し、第三の走査線１５Ｃはしきい値電圧補正期間においてのみ第四のトランジスタ２４をオフ駆動する必要がある。したがって、これら第二，第三，第四の走査線１５Ｂ，１５Ｃ，１５Ｄのうちの２本または３本全てを共通化することが可能である。

【００６０】

SDC-1351-00000462
SDC EX. 2001 - 406/503

なお、第三の走査線１５Ｃを他の２本の走査線１５Ｂ，１５Ｄの少なくとも１本と共用するときには、第二，第三，第四の走査線１５Ｂ，１５Ｃ，１５Ｄで駆動制御される第三，第四，第五のトランジスタ２３，２４，２５のうち、第四のトランジスタ２４については、第三，第五のトランジスタ２３，２５と逆導電型であることが必要となる。

【００６１】

以下、これらの回路例に係る画素回路について説明する。以下に説明する各回路例に係る画素回路では、第二のキャパシタ２７を第一のキャパシタ２６の入力端側に接続した構成を採る第二回路例に係る画素回路１１Ｂを基本形として説明する。ただし、第一回路例に係る画素回路１１Ａを基本形として同様に構成することも可能である。

【００６２】

[第三回路例]

図５は、第三回路例に係る画素回路１１Ｃの構成を示す回路図であり、図中、図４と同等部分については同一符号を付して示している。本回路例に係る画素回路１１Ｃにおいては、第二の走査線１５Ｂと第四の走査線１５Ｄとを共通化し、共通の走査パルスＳＣＡＮ２によって第三のトランジスタ２３と第五のトランジスタ２５とを駆動する構成を採っている。

【００６３】

[第四回路例]

図６は、第四回路例に係る画素回路１１Ｄの構成を示す回路図であり、図中、図４と同等部分については同一符号を付して示している。本回路例に係る画素回路１１Ｄにおいては、第二の走査線１５Ｂと第三の走査線１５Ｃとを共通化し、共通の走査パルスＳＣＡＮ２によって第三のトランジスタ２３と第四のトランジスタ２４とを駆動する構成を採っている。この場合、第三のトランジスタ２３と第四のトランジスタ２４としては逆導電型のものを用いる。本回路例では、第三のトランジスタ２３としてＮチャネルトランジスタを、第四のトランジスタ２４としてＰチャネルトランジスタをそれぞれ用いている。

【００６４】

[第五回路例]

図７は、第四回路例に係る画素回路１１Ｅの構成を示す回路図であり、図中、図４と同等部分については同一符号を付して示している。本回路例に係る画素回路１１Ｅにおいては、第三の走査線１５Ｃと第四の走査線１５Ｄとを共通化し、共通の走査パルスＳＣＡＮ４によって第四のトランジスタ２４と第五のトランジスタ２５とを駆動する構成を採っている。この場合、第四のトランジスタ２４と第五のトランジスタ２５としては逆導電型のものを用いる。本回路例では、第四のトランジスタ２４としてＰチャネルトランジスタを、第五のトランジスタ２５としてＮチャネルトランジスタをそれぞれ用いている。

【００６５】

[第六回路例]

図８は、第六回路例に係る画素回路１１Ｆの構成を示す回路図であり、図中、図４と同等部分については同一符号を付して示している。本回路例に係る画素回路１１Ｆにおいては、第二の走査線１５Ｂと第三の走査線１５Ｃと第四の走査線１５Ｄとを共通化し、共通の走査パルスＳＣＡＮ２によって第三のトランジスタ２３と第四のトランジスタ２４と第五のトランジスタ２５とを駆動する構成を採っている。この場合、第三，第五のトランジスタ２３，２５と第四のトランジスタ２４としては逆導電型のものを用いる。本回路例では、第三，第五のトランジスタ２３，２５としてＮチャネルトランジスタを、第四のトランジスタ２４としてＰチャネルトランジスタをそれぞれ用いている。

【００６６】

上述した第三乃至第六回路例に係る画素回路１１Ｃ～１１Ｆにおいて、しきい値電圧補正、データ書き込みおよびデータ保持の各動作については、第二回路例に係る画素回路１１Ｂと同様である。したがって、しきい値電圧補正機能についても第二回路例に係る画素回路１１Ｂと同様に実現されることになる。

【００６７】

SDC-1351-00000463
SDC EX. 2001 - 407/503

このように、第三乃至第六回路例に係る画素回路１１Ｃ～１１Ｆにおいては、第二，第三，第四の走査線１５Ｂ，１５Ｃ，１５Ｄのうちの２本または３本全てを共通化する構成を採っているため、走査線の削減による画素回路の小型化が可能となる。また、走査線の共通化により、スキャンドライバ１４（図１参照）から出力する走査パルス数が少なくて済み、それに伴ってスキャンドライバ１４の出力バッファ等の削減が可能になるため、スキャンドライバ１４の構成の簡略化に寄与できる。

【００６８】

なお、以上説明した第一乃至第六回路例１１Ａ～１１Ｆにおいて、第三の電源線３３の電源電圧ＶＣＣ３を第一の電源線３１の電源電圧ＶＣＣ１とは異なる電圧値に設定されることが前提となるが、その大小関係については特に規定されるものではない。

【００６９】

［第七回路例］

図９は、第七回路例に係る画素回路１１Ｇの構成を示す回路図であり、図中、図４と同等部分については同一符号を付して示している。本回路例に係る画素回路１１Ｇにおいては、第一の電源線３１と第三の電源線３３とを共通化し、第一のキャパシタ２６に対して固定電位Ｖｏとして電源電圧ＶＣＣ１を与える構成を採っており、それ以外の構成については第二回路例に係る画素回路１１Ｂと同様である。したがって、しきい値電圧補正機能についても第二回路例に係る画素回路１１Ｂと同様に実現されることになる。

【００７０】

このように、第一の電源線３１と第三の電源線３３とを共通化した構成を採ることにより、電源線数を削減できるため、しきい値電圧補正機能を第二回路例に係る画素回路１１Ｂと同様に有しつつ、画素回路の小型化が可能となる。また、電源電圧が１つ減ることになるため、その分だけ電源回路の構成の簡略化に寄与できる。

【００７１】

また、本回路例に係る画素回路１１Ｇでは、第二回路例に係る画素回路１１Ｂの回路構成を前提として、第一の電源線３１と第三の電源線３３とを共通化するとしたが、第一の電源線３１と第三の電源線３３とを共通化した上でさらに、第三回路例に係る画素回路１１Ｃと同様に、第二の走査線１５Ｂと第四の走査線１５Ｄとを共通化する構成を採ることも可能である。

【００７２】

なお、以上説明した各回路例１１Ａ～１１Ｇにおいて、第一乃至第五のトランジスタ２１～２５のソース端が第一電極端に、ドレイン端が第二電極端にそれぞれ対応するものとする。第一乃至第五のトランジスタ２１～２５の導電型については、上記各回路例のものに限られるものではなく、適宜逆導電型のものに変更することが可能である。

【００７３】

次に、信号線１３の電位の決定方法について説明する。２トランジスタの従来例に係る画素回路（図１２）および第二回路例に係る画素回路１１Ｂ（図４）における入力データとそのときの信号線１０３，１３の電位との関係を図１０に示す。

【００７４】

従来例に係る画素回路では、信号線１０３の電位は電源電圧ＶＣＣ１に依存するため、電源電圧ＶＣＣ１が大きい場合、信号線１０３の電位も高くなる傾向があった。これに対して、第二回路例に係る画素回路１１Ｂでは、式（７）が成り立つことから、輝度データが電源電圧ＶＣＣ３との差分によって決定される。したがって、電源電圧ＶＣＣ３を電源電圧ＶＣＣ１と独立に小さく設定することが可能である。

【００７５】

そして、電源電圧ＶＣＣ３を電源電圧ＶＣＣ１に対して極めて小さく設定することにより、信号線駆動回路であるデータドライバ１２の低電圧化を図ることができるため、低消費電力化が可能になる。また、現実の画素回路では、配線間やトランジスタに多くの寄生容量が存在するため、正確な輝度データを供給することが難しい。そこで、電源電圧ＶＣＣ３を可変とすることにより、正確な階調表示を行うための微調整として用いることも可能

SDC-1351-00000464
SDC EX. 2001 - 408/503

である。このことは、第三乃至第六回路例に係る画素回路１１Ｃ～１１Ｆについても同様である。

【００７６】

なお、上記実施形態においては、画素の表示素子として有機ＥＬ素子を、能動素子としてポリシリコン薄膜トランジスタをそれぞれ用い、ポリシリコン薄膜トランジスタを形成した基板上に有機ＥＬ素子を形成してなるアクティブマトリクス型有機ＥＬディスプレイに適用する場合を例に採って説明したが、本発明はアクティブマトリクス型有機ＥＬディスプレイへの適用に限られるものではなく、画素毎に表示素子を有し、画素内に輝度データを保持することが可能なアクティブマトリクス型表示装置全般に適用可能である。

【００７７】

【発明の効果】

以上説明したように、本発明によれば、しきい値電圧の補正に必要となる固定電位を、信号線とは異なる電源線から供給するようにしたことで、１水平期間をデータ書込期間として設定できるとともに、その直前にしきい値電圧補正期間として任意の期間を設定できるため、しきい値電圧補正期間として十分に長い期間を確保できる。これにより、トランジスタのしきい値電圧ばらつきを画素毎に確実に補正できるため、輝度の均一性を向上できるとともに、ディスプレイの高精細化が可能となる。

【００７８】

また、信号線駆動回路からは信号線に対して、従来技術のようにしきい値補正期間で固定電位、データ書込期間でデータ電位＋固定電位をそれぞれ供給する必要がなくなり、データ電位のみを順次供給すれば良いことになるため、信号線駆動回路の構成を簡略化でき、しかも固定電位が無くなる分だけ信号線駆動回路の電源電圧を低電圧化できるため、ディスプレイ全体の低消費電力化を図ることができる。

【図面の簡単な説明】

【図１】本発明の一実施形態に係るアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図２】第一回路例に係る画素回路の構成を示す回路図である。

【図３】第一回路例に係る画素回路の動作説明のためのタイミングチャートである。

【図４】第二回路例に係る画素回路の構成を示す回路図である。

【図５】第三回路例に係る画素回路の構成を示す回路図である。

【図６】第四回路例に係る画素回路の構成を示す回路図である。

【図７】第五回路例に係る画素回路の構成を示す回路図である。

【図８】第六回路例に係る画素回路の構成を示す回路図である。

【図９】第七回路例に係る画素回路の構成を示す回路図である。

【図１０】入力データとそのときの信号線の電位との関係を示す図である。

【図１１】最も簡単なアクティブマトリクス型有機ＥＬディスプレイの構成の概略を示すブロック図である。

【図１２】２トランジスタの画素回路の構成を示す回路図である。

【図１３】従来例に係る画素回路の構成を示す回路図である。

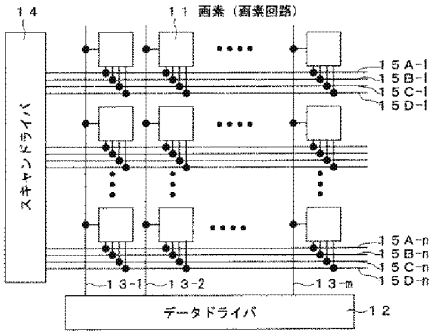
【図１４】従来例に係る画素回路の動作説明のためのタイミングチャートである。

【符号の説明】

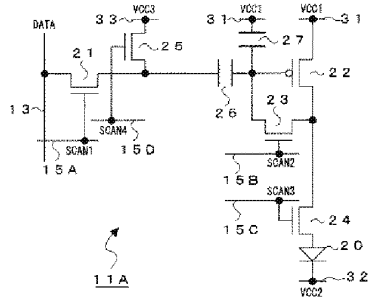
１１，１１Ａ，１１Ｂ，１１Ｃ，１１Ｄ，１１Ｅ，１１Ｆ，１１Ｇ…画素回路（画素）、１２…データドライバ（信号線駆動回路）、１３…信号線、１４…スキャンドライバ（走査線駆動回路）、１５Ａ…第一の走査線、１５Ｂ…第二の走査線、１５Ｃ…第三の走査線、１５Ｄ…第四の走査線、２１…第一のトランジスタ、２２…第二のトランジスタ、２３…第三のトランジスタ、２４…第四のトランジスタ、２５…第五のトランジスタ、２６…第一のキャパシタ、２７…第二のキャパシタ、３１…第一の電源線、３２…第二の電源線、３３…第三の電源線

SDC-1351-00000465
SDC EX. 2001 - 409/503

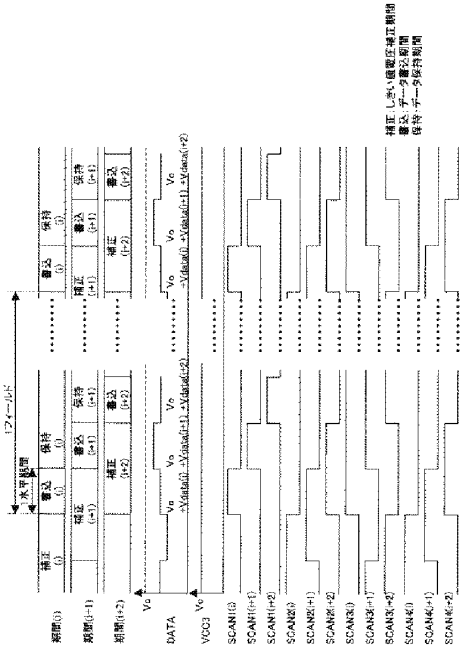
【図１】



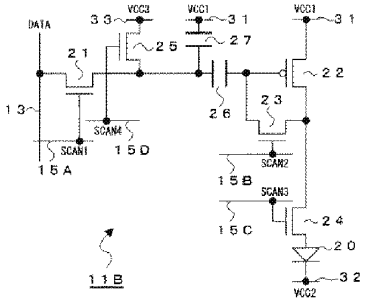
【図２】



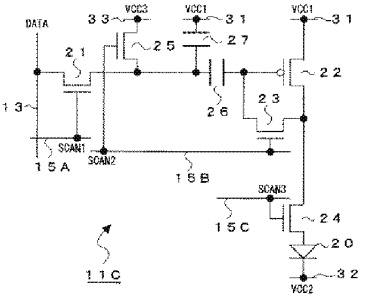
【図３】



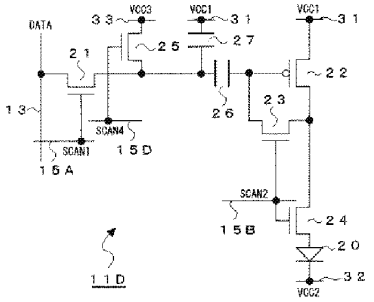
【図４】



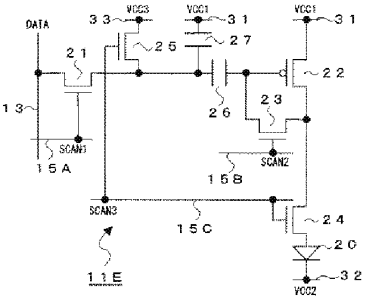
【図５】



【図６】

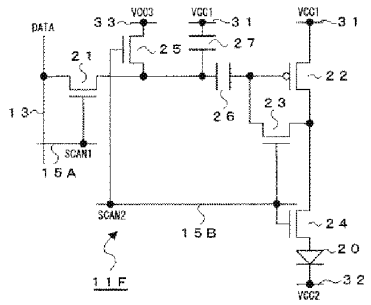


【図７】

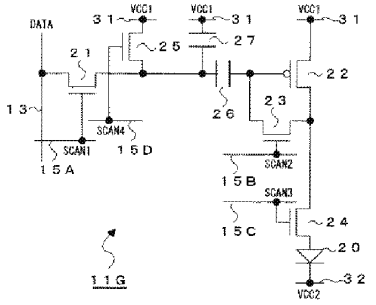


SDC-1351-00000466
SDC EX. 2001 - 410/503

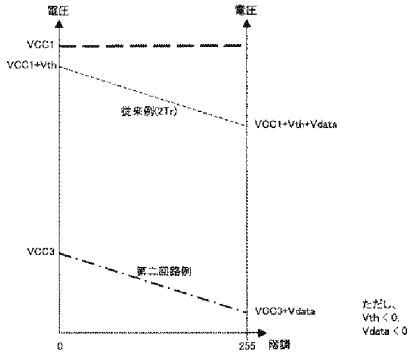
【図８】



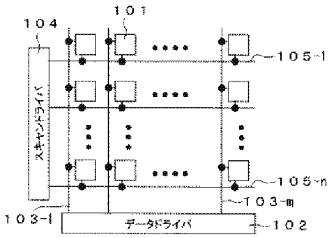
【図９】



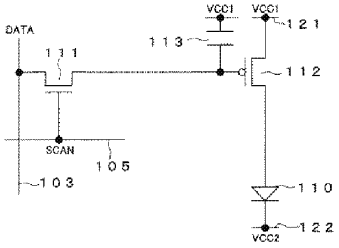
【図１０】



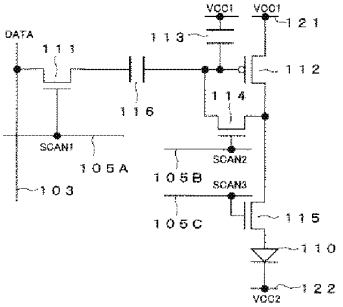
【図１１】



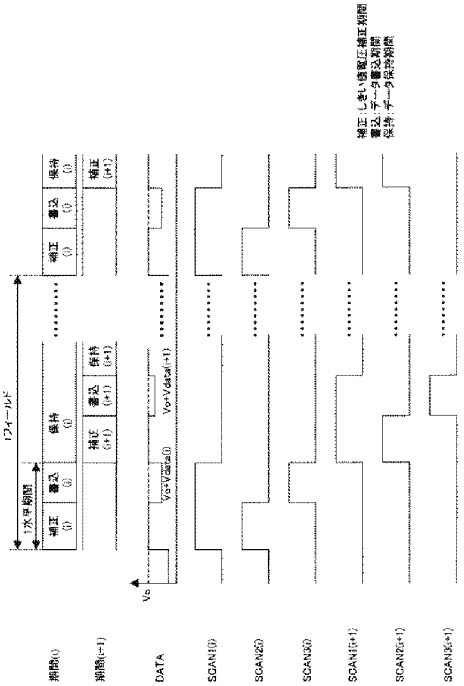
【図１２】



【図１３】



【図１４】



SDC-1351-00000467
SDC EX. 2001 - 411/503

フロントページの続き

(51)Int.Cl.[7]	FI		テーマコード（参考）
	G09G 3/20	642A	
	H05B 33/14	A	

SDC-1351-00000468
SDC EX. 2001 - 412/503

European Patent Office
80298 MUNICH
GERMANY
Tel.: +49 89 2399 - 0
Fax: +49 89 2399 - 4465

Europäisches Patentamt | European Patent Office | Office européen des brevets

Eingegangen
Guide Hengelhaupt Ziebig & Schneider
23. APR. 2007
WV
Frist

Hengelhaupt, Jürgen
Anwaltskanzlei
Guide Hengelhaupt Ziebig & Schneider
Wallstrasse 58/59
10179 Berlin
ALLEMAGNE

EPO Customer Services
Tel.: +31 (0)70 340 45 00

Date: 23.04.07

Reference	Application No./Patent No.
EP286804EP-HH-2/SF	04090270.2 - 2205

Applicant/Proprietor
Samsung SDI Co., Ltd.

COMMUNICATION

The European Patent Office herewith transmits as an enclosure the European search report (under R. 44 or R. 45 EPC) for the above-mentioned European patent application.

If applicable, copies of the documents cited in the European search report are attached.

☑ Additional set(s) of copies of the documents cited in the European search report is (are) enclosed as well.

The following specifications given by the applicant have been approved by the Search Division :

☑ Abstract ☐ Title

☐ The abstract was modified by the Search Division and the definitive text is attached to this communication.

The following figure will be published together with the abstract : 3

Refund of search fee

If applicable under Article 10 Rules relating to fees, a separate communication from the Receiving Section on the refund of the search fee will be sent later.

Europäisches Patentamt • European Patent Office • Office européen des brevets

SR/OA sub.date	
21 d	
28 d	21.05.07

FB + PO

EPO Form 1507.0 03.95

European Patent Office

EUROPEAN SEARCH REPORT

Application Number
EP 04 09 0270

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (IPC)
D,X	US 6 229 506 B1 (DAWSON ROBIN MARK ADRIAN [US] ET AL) 8 May 2001 (2001-05-08) * column 1, line 1 - line 16 * * column 4, line 41 - column 5, line 31 * * figures 1,3 *	1,4-7,20	INV. G09G3/32
X	US 2003/067424 A1 (AKIMOTO HAJIME [JP] ET AL) 10 April 2003 (2003-04-10) * paragraph [0082] - paragraph [0090] * * paragraph [0116] - paragraph [0121] *	1,4-7	
A	EP 1 220 191 A2 (SAMSUNG SDI CO LTD [KR]) 3 July 2002 (2002-07-03) * paragraph [0039] * * figure 7 *	2,9,17, 19	

TECHNICAL FIELDS SEARCHED (IPC)

G09G

The present search report has been drawn up for all claims

Place of search	Date of completion of the search	Examiner
Munich	16 April 2007	Petitpierre, Olivier

CATEGORY OF CITED DOCUMENTS

X : particularly relevant if taken alone
Y : particularly relevant if combined with another document of the same category
A : technological background
O : non-written disclosure
P : intermediate document

T : theory or principle underlying the invention
E : earlier patent document, but published on, or after the filing date
D : document cited in the application
L : document cited for other reasons

& : member of the same patent family, corresponding document

EPO FORM 1503 03.82 (P04C01)

SDC-1351-00000470
SDC EX. 2001 - 414/503

ANNEX TO THE EUROPEAN SEARCH REPORT ON EUROPEAN PATENT APPLICATION NO. EP 04 09 0270

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report. The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

16-04-2007

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6229506 B1	08-05-2001	NONE	
US 2003067424 A1	10-04-2003	CN 1412854 A	23-04-2003
		JP 2003122301 A	25-04-2003
		KR 20030030846 A	18-04-2003
		TW 556349 B	01-10-2003
EP 1220191 A2	03-07-2002	CN 1361510 A	31-07-2002
		JP 2002215096 A	31-07-2002
		KR 20020056353 A	10-07-2002
		US 2002118150 A1	29-08-2002

EPO FORM P0459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

Electronic Patent Application Fee Transmittal

Application Number:	10886014
Filing Date:	06-Jul-2004
Title of Invention:	Organic light emitting device pixel circuit and driving method therefor
First Named Inventor/Applicant Name:	Ho-Kyoon Chung
Filer:	D. Bruce Prout/Diane Goss
Attorney Docket Number:	52226/S1082
Filed as Large Entity	

Utility Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
		Total in USD ($)		**180**

Electronic Acknowledgement Receipt

EFS ID:	1997140
Application Number:	10886014
International Application Number:	
Confirmation Number:	8338
Title of Invention:	Organic light emitting device pixel circuit and driving method therefor
First Named Inventor/Applicant Name:	Ho-Kyoon Chung
Customer Number:	23363
Filer:	D. Bruce Prout/Diane Goss
Filer Authorized By:	D. Bruce Prout
Attorney Docket Number:	52226/S1082
Receipt Date:	20-JUL-2007
Filing Date:	06-JUL-2004
Time Stamp:	21:16:14
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment was successfully received in RAM	$180
RAM confirmation Number	4420
Deposit Account	031728

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)

1		52226ids.pdf	131883 c9e16489090f73648cd216ff86ff6b098d48db5e	yes	4
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	Information Disclosure Statement (IDS) Filed		1	2	
	Information Disclosure Statement (IDS) Filed		3	4	
Warnings:					
Information:					
2	Foreign Reference	52226ep191.pdf	769852 7ead87f46cec09f627a83fba9b820e1a150034ba	no	23
Warnings:					
Information:					
3		52226jp621.pdf	1208869 cd18c0bc44feeff78947997b5c1619b697aaf7f4	yes	18
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	NPL Documents		1	2	
	Foreign Reference		3	18	
Warnings:					
Information:					
4		52226jp096.pdf	906524 9841e35f227ebec281a57e537bf37452122d814f	yes	16
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	NPL Documents		1	2	
	Foreign Reference		3	16	
Warnings:					
Information:					
5		52226jp617.pdf	437550 09e13de26f22e347c1d446ba36d0d990496377fd	yes	10

	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	NPL Documents		1	2	
	Foreign Reference		3	10	
Warnings:					
Information:					
6		52226jp165.pdf	603071 4a4ae0919026f2965aaf59b0afb9d2c24a9bb433	yes	10
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	NPL Documents		1	2	
	Foreign Reference		3	10	
Warnings:					
Information:					
7		52226jp833.pdf	3872611 497e22971e5148a5c225a6530017317c95b1a4db	yes	65
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	NPL Documents		1	2	
	Foreign Reference		3	65	
Warnings:					
Information:					
8		52226jp138.pdf	3668152 5a22e4691757d77c4df09b55abea66ad09a68018	yes	50
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	NPL Documents		1	2	
	Foreign Reference		3	50	
Warnings:					
Information:					

9		52226jp240.pdf	1107531 1aacfac92e2d7acaf38a053b4483ddafc43e1fb6	yes	19
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	NPL Documents		1	2	
	Foreign Reference		3	19	
Warnings:					
Information:					
10	NPL Documents	52226ep.pdf	100570 56020b7b8f453248004622a753d8b62b3a1c27a0	no	3
Warnings:					
Information:					
11	Fee Worksheet (PTO-06)	fee-info.pdf	8188 ec99dc72e73187e3daed7d240f28a68e9880b0ef	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	12814801		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

facsimile
TRANSMITTAL

RECEIVED
CENTRAL FAX CENTER
OCT 12 2007

Date: October 12, 2007

No. of Pages: 19 (including this cover sheet)

Fax No.: (571) 273-8300

PLEASE DELIVER THE FOLLOWING PAGES IMMEDIATELY TO:

Name: Commissioner of Patents

Art Unit: 2609

Examiner: Hoai Quan T. Ho

Phone: (571) 272-2600

From: Derek W. Yeung
Reg No. 57,472

Re: Application No. 10/886,014
Filed July 6, 2004
Entitled ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR

File: S1082:52226

I HEREBY CERTIFY THAT THIS PAPER IS BEING FACSIMILE TRANSMITTED TO THE UNITED STATES PATENT AND TRADEMARK OFFICE ON **October 12, 2007.**

C. Heallon

C. Heallon

*Correspondence: Amendment; Amendment Transmittal

CAH PAS760019.CAH PAS760019.CAH PAS760019.CAH PAS760019.CAH PAS760019.CAH PAS760019.CAH PAS760019.1-*-10/12/07 2:24 PM 10/12/07 1:28 PM 10/12/07 1:28 PM 10/12/07 1:16 PM 10/12/07 12:56 PM 10/12/07 12:36 PM 10/12/07 12:25 PM

For Office Services Use Only
Return Fax to Celeste Heallon

Christie, Parker & Hale, LLP
350 West Colorado Boulevard
Post Office Box 7068
Pasadena, CA 91109-7068
626-795-9900
Fax: 626-577-8800

confidential

The information in this transmission is confidential and is intended only for the use of the individual or entity named above. If the reader of this message is not the intended recipient, you are hereby notified that any dissemination, distribution or copying of this communication is prohibited. If you have received this communication in error, please notify us immediately by telephone collect, and return the original message to us at the above address via U.S. mail. We will reimburse you for postage. Thank you.

RECEIVED
CENTRAL FAX CENTER
OCT 12 2007

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE
AMENDMENT TRANSMITTAL LETTER

I hereby certify that this correspondence is being facsimile transmitted to the United States Patent and Trademark Office on October 12, 2007.

C. Healion

C. Healion

Applicant : Ho-Kyoon Chung, et al. Confirmation No. 8338
Application No. : 10/886,014
Filed : July 6, 2004
Title : ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR

Grp./Div. : 2609
Examiner : Hoai Quan T. Ho

Docket No. : 52226/S1082

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
October 12, 2007

Commissioner:

Enclosed is an amendment to the above-identified application.

CLAIMS AS AMENDED						
	Claims Remaining After Amendment	Highest Number Paid For	Number Extra Claims	Small Entity Rate	Large Entity Rate	FEE
Total Claims Fee	19	*20	0	x $25.00	x $50.00	
Independent Claims	6	** 6	0	x $105.00	x $210.00	
Multiple Dependent Claims ***				$185.00	$370.00	
TOTAL FILING FEE						
NO ADDITIONAL FEE REQUIRED	IF NO FEE REQUIRED, INSERT "0"					0
LIST INDEPENDENT CLAIMS: 1, 8, 15, 16, 18, 20						
* IF HIGHEST NUMBER PREVIOUSLY PAID FOR IS 20 OR LESS, WRITE "20" IN COLUMN 3 ** IF HIGHEST NUMBER PREVIOUSLY PAID FOR IS 3 OR LESS, WRITE "3" IN COLUMN 3 *** PAY THIS FEE ONLY WHEN MULTIPLE DEPENDENT CLAIMS ARE ADDED FOR THE FIRST TIME						

Amendment Transmittal Letter
Application No. 10/886,014

_____ Attached is our check for $ to pay the fees calculated above.
_____ A Petition for Extension of Time and the required fee are enclosed.
_____ Other enclosures:

The Commissioner is hereby authorized to charge any fees under 37 CFR 1.16 and 1.17 which may be required by or to give effect to this paper to Deposit Account No. 03-1728. Please show our docket number with any charge or credit to our Deposit Account. **A copy of this letter is enclosed.**

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By _____
Derek W. Yeung
Reg. No. 57,472
626/795-9900

RJP/cah

CAH PAS760015.1-*-10/12/07 12:23 PM

RECEIVED
CENTRAL FAX CENTER
OCT 12 2007

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being facsimile transmitted to the United States Patent and Trademark Office on October 12, 2007.

C. Healion

C. Healion

Appl No. : 10/886,014 Confirmation No. 8338
Applicant : Ho-Kyoon Chung, et al.
Filed : July 6, 2004
Title : ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR

TC/A.U. : 2609
Examiner : Hoai Quan T. Ho

Docket No. : 52226/S1082
Customer No. : 23363

AMENDMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
October 12, 2007

Commissioner:

In response to the Office action of July 12, 2007, please amend the above-identified application as follows:

Amendments to the Claims are reflected in the listing of claims, which begins on page 2 of this paper.

Remarks/Arguments begin on page 14 of this paper.

PAGE 4/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

SDC-1351-00000481
SDC EX. 2001 - 425/503

RECEIVED
CENTRAL FAX CENTER
OCT 12 2007

Amendments to the Claims:

This listing of claims will replace all prior versions and listings of claims in the application:

Listing of Claims:

1. (Currently Amended) A pixel circuit in an organic light emitting device, comprising:

a first transistor for delivering a data signal voltage in response to a current scan line signal;

a second transistor for generating a driving current depending on the data signal voltage delivered through the first transistor;

a third transistor for detecting and self-compensating threshold voltage deviation in the second transistor;

a fifth transistor for providing a power supply voltage for the second transistor in response to a current light-emitting signal;

a sixth transistor which is coupled in series between the second transistor and an electroluminescent element and for providing the driving current for the electroluminescent element through the second transistor in response to the current light-emitting signal; and

PAGE 5/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

a capacitor for storing the data signal voltage delivered to the second transistor~~; and~~,

wherein ~~an~~ the electroluminescent element ~~for emitting~~ emitts light corresponding to the driving current generated through the second transistor.

2. (Original) The pixel circuit in the organic light emitting device of claim 1, further comprising:

a fourth initialization transistor for discharging the data signal voltage stored in the capacitor in response to a scan signal just before the current scan signal.

3. (Canceled)

4. (Original) The pixel circuit in the organic light emitting device of claim 1, wherein the first transistor is composed of a PMOS transistor including a gate to which the current scan line signal is applied, a source to which the data signal voltage is applied, and a drain coupled to the second transistor.

PAGE 6/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

5. (Original) The pixel circuit in the organic light emitting device of claim 1, wherein the second transistor is composed of a PMOS transistor including a gate coupled to one terminal of the capacitor, a source coupled to the first transistor, and a drain coupled to the electroluminescent element.

6. (Original) The pixel circuit in the organic light emitting device of claim 5, wherein the third transistor is composed of a PMOS transistor including a gate to which the current scan signal is applied, and a drain and a source which are coupled to the gate and the drain of the second transistor, respectively, so that the third transistor connects the second transistor in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor.

7. (Original) The pixel circuit in the organic light emitting device of claim 1, further comprising:

a voltage source for providing the data signal voltage through the first transistor for the second transistor.

PAGE 7/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

8. (Original) A pixel circuit in an organic light emitting device, comprising:

a first transistor for delivering a data signal voltage in response to a current scan line signal;

a second transistor for programming the data signal voltage and for generating a driving current in response to a programmed data signal when light is emitted;

a third transistor for providing the data signal voltage for the second transistor in response to the current scan signal;

a capacitor for maintaining the data signal voltage programmed onto the second transistor;

a fourth transistor for delivering a power supply voltage to the second transistor when the light is emitted;

a fifth transistor for delivering the driving current, provided from the second transistor, in response to the data signal voltage when the light is emitted; and

an electroluminescent element for emitting light corresponding to the driving current delivered through the fifth transistor,

PAGE 8/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

wherein the third transistor connects the second transistor in the form of a diode in response to the current scan signal so that the second transistor detects and compensates its threshold voltage deviation in itself.

9. (Original) The pixel circuit in the organic light emitting device of claim 8, further comprising:

a sixth initialization transistor for discharging the data signal voltage stored in the capacitor in response to a scan signal just before the current scan signal upon initialization.

10. (Original) The pixel circuit in the organic light emitting device of claim 8, wherein the first transistor is composed of a PMOS transistor including a gate to which the current scan line signal is applied, a source to which the data signal voltage is applied, and a drain coupled to the second transistor.

11. (Original) The pixel circuit in the organic light emitting device of claim 8, wherein the second transistor is

PAGE 9/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

SDC-1351-00000486
SDC EX. 2001 - 430/503

composed of a PMOS transistor including a gate coupled to one terminal of the capacitor, a source coupled to the first transistor, and a drain coupled to the electroluminescent element.

12. (Original) The pixel circuit in the organic light emitting device of claim 11, wherein the third transistor is composed of a PMOS transistor including a gate to which the current scan signal is applied, and a drain and a source which are coupled to the gate and the drain of the second transistor, respectively, so that the third transistor connects the second transistor in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor.

13. (Original) The pixel circuit in the organic light emitting device of claim 8, further comprising:

a voltage source for providing the data signal voltage through the first transistor for the second transistor.

PAGE 10/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

14. (Original) The pixel circuit in the organic light emitting device of claim 8, wherein the fourth transistor is composed of a PMOS transistor including a gate to which the current light-emitting signal is applied, a source to which a power supply voltage is applied, and a drain coupled to the second transistor; and

the fifth transistor is composed of a PMOS transistor including a gate to which the current light-emitting signal is applied, a source coupled to the second transistor, and a drain coupled to the electroluminescent element.

15. (Original) A pixel circuit in an organic light emitting device, comprising:

an electroluminescent element for emitting light in response to an applied driving current;

a first transistor for delivering a data signal voltage in response to a current scan line signal;

a second transistor for generating a driving current to drive the electroluminescent element in response to the data signal voltage;

PAGE 11/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

a third transistor for connecting the second transistor in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor;

a capacitor for storing the data signal voltage delivered to the second transistor;

a fourth transistor for delivering a power supply voltage to the second transistor in response to a current light-emitting signal; and

a fifth transistor for providing the driving current, provided from the second transistor, for the electroluminescent element in response to the current light-emitting signal.

16. (Original) A pixel circuit in an organic light emitting device, comprising:

a first transistor including a gate to which a current scan signal is applied, and a source to which a data signal voltage is applied;

a second transistor whose source is coupled to a drain of the first transistor;

a third transistor whose drain and source are connected between a gate and a drain of the second transistor;

PAGE 12/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

a fourth transistor including a gate to which a current light-emitting signal is applied, a source to which a power supply voltage is applied, and a drain coupled to the source of the second transistor;

a fifth transistor including a gate to which the current light-emitting signal is applied, a source coupled to the drain of the second transistor, and a drain coupled to one terminal of an electroluminescent element;

the electroluminescent element having the one terminal coupled to the drain of the fifth transistor and the other terminal grounded; and

a capacitor in which one terminal of the capacitor is coupled to the gate of the second transistor and a power supply voltage is applied to the other terminal of the capacitor.

17. (Original) The pixel circuit in the organic light emitting device of claim 16, further comprising:

a sixth transistor including a gate to which a scan signal just before the current scan signal is applied;

a source coupled to the one terminal of the capacitor; and

a drain to which an initialization voltage is applied.

PAGE 13/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

18. (Original) A pixel circuit in an organic light emitting device having a plurality of data lines, a plurality of scan lines, a plurality of power lines, and a plurality of pixels each connected to one associated data line, scan line and power line of the plurality of data lines, scan lines and power lines, each pixel comprising:

a first transistor including a gate to which a current scan signal to be applied to the associated scan line is applied, and a source to which a data signal voltage from the data line is applied;

a second transistor whose source is coupled to a drain of the first transistor;

a third transistor whose drain and source are connected between a gate and a drain of the second transistor, respectively;

a fourth emitting transistor including a gate to which a current light-emitting signal is applied, a source to which a power supply voltage from the power line is applied, and a drain coupled to the source of the second transistor;

PAGE 14/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

a fifth transistor including a gate to which the current light-emitting signal is applied, and a source coupled to the drain of the second transistor;

an electroluminescent element including one terminal coupled to the drain of the fifth transistor and the other terminal grounded; and

a capacitor including one terminal coupled to the gate of the second transistor, and the other terminal to which the power supply voltage from the power line is applied.

19. (Original) The pixel circuit in the organic light emitting device of claim 18, further comprising:

a sixth transistor including a gate to which a scan signal to be applied to a scan line just before the associated scan line is applied, a source coupled to the one terminal of the capacitor, and a drain to which an initialization voltage is applied.

20. (Original) A method of driving a pixel in an organic light emitting device having a plurality of data lines, a plurality of scan lines, a plurality of power lines, and a

PAGE 15/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

plurality of pixels each connected to an associated one data line, scan line and power line of the plurality of data lines, scan lines and power lines, the method comprising:

performing initialization in response to a scan signal applied to a scan line just before the associated scan line;

compensating threshold voltage deviation in response to a scan signal applied to the associated scan line, and programming a data signal voltage, applied from the associated data line, regardless of the threshold voltage deviation; and

generating a driving current corresponding to the data signal voltage to emit an EL (electroluminescent) element in response to a current light-emitting signal.

PAGE 16/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

REMARKS/ARGUMENTS

Reconsideration and reexamination of the above-identified patent application is hereby requested.

Claims 1-20 are now in the application. Claim 1 has been amended, and Claim 3 has been canceled. Support for amended Claim 1 can be found at least in the claims as originally-filed.

The Examiner has rejected Claims 1, 2, 4-7 and 20 under 35 U.S.C. §102(b) as being anticipated by U.S. Patent No. 6,229,506 to Dawson et al. ("Dawson"). However, the Examiner has found Claim 3 as containing allowable subject matter and would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims. The Examiner has allowed Claims 8-19.

Applicants have rewritten Claim 1 to include all the limitations of allowable Claim 3. Applicants believe that Claim 1 as amended should now be allowed. Accordingly, the Applicants submit that Claim 1 as amended is not anticipated by Dawson under 35 U.S.C. §102(b).

Additionally, Applicants thank the Examiner for the allowance of Claims 8-19.

Claims 2 and 4-7 are dependent on Claim 1. As such, these claims are believed allowable based upon newly amended Claim 1 as well as for their additional limitations.

PAGE 17/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

The Applicants' independent Claim 20 calls for "performing initialization in response to a scan signal applied to a scan line just before the associated scan line. . . ." (Emphasis added). Furthermore, Claim 20 calls for "generating a driving current corresponding to the data signal voltage to emit an EL (electroluminescent) element in response to a current light-emitting signal." (Emphasis added).

As such, Applicants submit that Claim 20 is not anticipated by Dawson under 35 U.S.C. §102(b).

While Dawson may teach a pixel structure 200 having only a single select line 210 and activating only the single select line 210 (col. 3, lines 31-36; fig. 2), it does not teach the independent Claim 20 limitation: "performing initialization in response to a scan signal applied to a scan line just before the associated scan line. . . ." (Emphasis added).

while Dawson teaches a pixel structure having an illuminate line 340 (FIG. 3), Dawson's illuminate line 340 is not performing the same function as the "current light-emitting signal" in Claim 20 in "generating a driving current corresponding to the data signal voltage to emit an EL (electroluminescent) element." (Emphasis added). Dawson's Illuminate line 340 does not generate a driving current.

Accordingly, the Applicants submit that Claim 20 is not anticipated by Dawson under 35 U.S.C. §102(b) and request the rejection be withdrawn.

PAGE 18/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

Appln No. 10/886,014
Amdt date October 12, 2007
Reply to Office action of July 12, 2007

In view of the above remarks, it is submitted that the claims are patentably distinct over the prior art and that all the rejections to the claims have been overcome. Reconsideration and reexamination of the above-identified patent application is requested.

Respectfully submitted,
CHRISTIE, PARKER & HALE, LLP

By _____
Derek W. Yeung
Reg. No. 57,472
626/795-9900

DWY/clv

DWY PAS747800.2-*-10/12/07 11:46 AM

PAGE 19/19 * RCVD AT 10/12/2007 5:29:33 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/9 * DNIS:2738300 * CSID:626 577 8800 * DURATION (mm-ss):02-48

SDC-1351-00000496
SDC EX. 2001 - 440/503

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
10/886,014	07/06/2004	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT	10/12/2007	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 19	Minus	** 20	= 0	X $ =		OR	X $50=	0
	Independent (37 CFR 1.16(h))	* 6	Minus	***6	= 0	X $ =		OR	X $210=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)	OR	RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
Wanda Meredith

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/886,014	07/06/2004	Ho-Kyoon Chung	52226/S1082	8338

23363 7590 01/17/2008
CHRISTIE, PARKER & HALE, LLP
PO BOX 7068
PASADENA, CA 91109-7068

EXAMINER	
HO, HOAI QUAN T	

ART UNIT	PAPER NUMBER
2629	

MAIL DATE	DELIVERY MODE
01/17/2008	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

SDC-1351-00000498
SDC EX. 2001 - 442/503

Office Action Summary	Application No.	Applicant(s)	
	10/886,014	CHUNG ET AL.	
	Examiner	Art Unit	
	Hoai-Quan T. Ho	2629	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *10 December 2007*.

2a)☒ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1,2 and 4-20* is/are pending in the application.

4a) Of the above claim(s) *3* is/are withdrawn from consideration.

5)☒ Claim(s) *1,2 and 4-19* is/are allowed.

6)☒ Claim(s) *20* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *06 July 2004* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____.
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

SDC-1351-00000499
SDC EX. 2001 - 443/503

DETAILED ACTION

Claim Rejections - 35 USC § 102

1. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> (b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

2. Claim 20 is rejected under 35 U.S.C. 102(b) as being anticipated by Dawson et al. USP 6229506.

As per claim 20, A method of driving a pixel (Fig 2, element 200) in an organic light emitting device having a plurality of data lines (Fig 2, element 220), a plurality of scan lines (Fig 2, element 210), a plurality of power lines (Fig 2, element 295), and a plurality of pixels each connected to an associated one data line, scan line and power line of the plurality of data lines, scan lines and power lines (Col 3, lines 4-10), the method comprising: performing initialization in response to a scan signal applied to a scan line just before the associated scan line (Col 3, lines 45-67); and programming a data signal voltage, applied from the associated data line, regardless of the threshold voltage deviation; and generating a driving current corresponding to the data signal voltage (Col 3, lines 31-67) to emit an EL (electroluminescent) element in response to a current light-emitting signal (Fig 3, element 340).

Dawson does not elaborate on how the third transistor (Fig 2, element 240) works, although from Fig 2, one can see that the third transistors has the same connections from the drain, source and gate nodes, in which are all connected to the

same elements as this invention. As best understood by the examiner, the third transistor will function identically between the two inventions in which it would detect and self-compensate threshold voltage deviations in the second transistor.

Allowable Subject Matter

3. Claims 1, 2 and 4-19 are allowed.

The reasons for allowance have been conveyed to the applicant in the previous office action and clear on the record from those reasons and applicant's response to them.

Response to Arguments

4. Applicant's arguments filed on 12/10/2007 have been fully considered but they are not persuasive therefore the rejection is maintained.

Dawson teaches the limitations "performing initialization in response to a scan signal applied to a scan line just before the associated scan line" in Col 3, lines 45-67, more specifically on Col 3, lines 55-57.

Furthermore, the limitations "generating a driving current corresponding to the data signal voltage to emit an EL (electroluminescent) element." The examiner wants to point out that the element 340 in Fig 3 of Dawson is a line that contains the current light-emitting signal. Also, the limitations are detailed on Col 3, lines 31-67, and the element 230 of figure 2 does produce a driving current.

Conclusion

5. **THIS ACTION IS MADE FINAL.** Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the mailing date of this final action.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Hoai-Quan T. Ho whose telephone number is 571-270-3148. The examiner can normally be reached on 7:30 A.M. - 4:30 P.M. EST.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Eisen Alexander can be reached on 571-272-7687. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

H-Q. Ho

January 15, 2008

ALEXANDER EISEN
SUPERVISORY PATENT EXAMINER

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	10886014	CHUNG ET AL.
	Examiner	**Art Unit**
	Ho, Hoai-Quan T	2609

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	07/05/2007	01/15/2008							
1	1	✓	=							
2	2	✓	=							
	3	O	-							
3	4	✓	=							
4	5	✓	=							
5	6	✓	=							
6	7	✓	=							
7	8	=	=							
8	9	=	=							
9	10	=	=							
10	11	=	=							
11	12	=	=							
12	13	=	=							
13	14	=	=							
14	15	=	=							
15	16	=	=							
16	17	=	=							
17	18	=	=							
18	19	=	=							
19	20	✓	✓							

SDC-1351-00000504
SDC EX. 2001 - 448/503

PATENT
RESPONSE UNDER 37 CFR 1.116
EXPEDITED PROCEDURE
EXAMINING GROUP 2629

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being facsimile transmitted to the United States Patent and Trademark Office on March 20, 2008.

Vanessa S. Jackson

Appl No.	: 10/886,014	Confirmation No. 8338
Applicant	: Ho-Kyoon Chung, et al.	
Filed	: July 6, 2004	
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR	
TC/A.U.	: 2629	
Examiner	: Hoai Quan T. Ho	
Docket No.	: 52226/S1082	
Customer No.	: 23363	

AMENDMENT AFTER FINAL ACTION

Mail Stop AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
March 20, 2008

Commissioner:

In response to the Office action of January 17, 2008, please enter this amendment in the above-identified application as follows:

Amendments to the Claims are reflected in the listing of claims, which begins on page 2 of this paper.

Remarks/Arguments begin on page 11 of this paper.

SDC-1351-00000505
SDC EX. 2001 - 449/503

Amendments to the Claims:

This listing of claims will replace all prior versions and listings of claims in the application:

Listing of Claims:

1. (Previously presented) A pixel circuit in an organic light emitting device, comprising:

a first transistor for delivering a data signal voltage in response to a current scan line signal;

a second transistor for generating a driving current depending on the data signal voltage delivered through the first transistor;

a third transistor for detecting and self-compensating threshold voltage deviation in the second transistor;

a fifth transistor for providing a power supply voltage for the second transistor in response to a current light-emitting signal;

a sixth transistor which is coupled in series between the second transistor and an electroluminescent element and for providing the driving current for the electroluminescent element through the second transistor in response to the current light-emitting signal; and

a capacitor for storing the data signal voltage delivered to the second transistor,

wherein the electroluminescent element emitts light corresponding to the driving current generated through the second transistor.

2. (Original) The pixel circuit in the organic light emitting device of claim 1, further comprising:

SDC-1351-00000506
SDC EX. 2001 - 450/503

a fourth initialization transistor for discharging the data signal voltage stored in the capacitor in response to a scan signal just before the current scan signal.

3. (Canceled)

4. (Original) The pixel circuit in the organic light emitting device of claim 1, wherein the first transistor is composed of a PMOS transistor including a gate to which the current scan line signal is applied, a source to which the data signal voltage is applied, and a drain coupled to the second transistor.

5. (Original) The pixel circuit in the organic light emitting device of claim 1, wherein the second transistor is composed of a PMOS transistor including a gate coupled to one terminal of the capacitor, a source coupled to the first transistor, and a drain coupled to the electroluminescent element.

6. (Original) The pixel circuit in the organic light emitting device of claim 5, wherein the third transistor is composed of a PMOS transistor including a gate to which the current scan signal is applied, and a drain and a source which are coupled to the gate and the drain of the second transistor, respectively, so that the third transistor connects the second transistor in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor.

SDC-1351-00000507
SDC EX. 2001 - 451/503

7. (Original) The pixel circuit in the organic light emitting device of claim 1, further comprising:

a voltage source for providing the data signal voltage through the first transistor for the second transistor.

8. (Original) A pixel circuit in an organic light emitting device, comprising:

a first transistor for delivering a data signal voltage in response to a current scan line signal;

a second transistor for programming the data signal voltage and for generating a driving current in response to a programmed data signal when light is emitted;

a third transistor for providing the data signal voltage for the second transistor in response to the current scan signal;

a capacitor for maintaining the data signal voltage programmed onto the second transistor;

a fourth transistor for delivering a power supply voltage to the second transistor when the light is emitted;

a fifth transistor for delivering the driving current, provided from the second transistor, in response to the data signal voltage when the light is emitted; and

an electroluminescent element for emitting light corresponding to the driving current delivered through the fifth transistor,

SDC-1351-00000508
SDC EX. 2001 - 452/503

wherein the third transistor connects the second transistor in the form of a diode in response to the current scan signal so that the second transistor detects and compensates its threshold voltage deviation in itself.

9. (Original) The pixel circuit in the organic light emitting device of claim 8, further comprising:

a sixth initialization transistor for discharging the data signal voltage stored in the capacitor in response to a scan signal just before the current scan signal upon initialization.

10. (Original) The pixel circuit in the organic light emitting device of claim 8, wherein the first transistor is composed of a PMOS transistor including a gate to which the current scan line signal is applied, a source to which the data signal voltage is applied, and a drain coupled to the second transistor.

11. (Original) The pixel circuit in the organic light emitting device of claim 8, wherein the second transistor is composed of a PMOS transistor including a gate coupled to one terminal of the capacitor, a source coupled to the first transistor, and a drain coupled to the electroluminescent element.

12. (Original) The pixel circuit in the organic light emitting device of claim 11, wherein the third transistor is composed of a PMOS transistor including a gate to which the current scan

SDC-1351-00000509
SDC EX. 2001 - 453/503

signal is applied, and a drain and a source which are coupled to the gate and the drain of the second transistor, respectively, so that the third transistor connects the second transistor in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor.

13. (Original) The pixel circuit in the organic light emitting device of claim 8, further comprising:

a voltage source for providing the data signal voltage through the first transistor for the second transistor.

14. (Original) The pixel circuit in the organic light emitting device of claim 8, wherein the fourth transistor is composed of a PMOS transistor including a gate to which the current light-emitting signal is applied, a source to which a power supply voltage is applied, and a drain coupled to the second transistor; and

the fifth transistor is composed of a PMOS transistor including a gate to which the current light-emitting signal is applied, a source coupled to the second transistor, and a drain coupled to the electroluminescent element.

15. (Original) A pixel circuit in an organic light emitting device, comprising:

an electroluminescent element for emitting light in response to an applied driving current;

SDC-1351-00000510
SDC EX. 2001 - 454/503

a first transistor for delivering a data signal voltage in response to a current scan line signal;

a second transistor for generating a driving current to drive the electroluminescent element in response to the data signal voltage;

a third transistor for connecting the second transistor in the form of a diode in response to the current scan signal to self-compensate a threshold voltage of the second transistor;

a capacitor for storing the data signal voltage delivered to the second transistor;

a fourth transistor for delivering a power supply voltage to the second transistor in response to a current light-emitting signal; and

a fifth transistor for providing the driving current, provided from the second transistor, for the electroluminescent element in response to the current light-emitting signal.

16. (Original) A pixel circuit in an organic light emitting device, comprising:

a first transistor including a gate to which a current scan signal is applied, and a source to which a data signal voltage is applied;

a second transistor whose source is coupled to a drain of the first transistor;

a third transistor whose drain and source are connected between a gate and a drain of the second transistor;

a fourth transistor including a gate to which a current light-emitting signal is applied, a source to which a power supply voltage is applied, and a drain coupled to the source of the second transistor;

SDC-1351-00000511
SDC EX. 2001 - 455/503

a fifth transistor including a gate to which the current light-emitting signal is applied, a source coupled to the drain of the second transistor, and a drain coupled to one terminal of an electroluminescent element;

the electroluminescent element having the one terminal coupled to the drain of the fifth transistor and the other terminal grounded; and

a capacitor in which one terminal of the capacitor is coupled to the gate of the second transistor and a power supply voltage is applied to the other terminal of the capacitor.

17. (Original) The pixel circuit in the organic light emitting device of claim 16, further comprising:

a sixth transistor including a gate to which a scan signal just before the current scan signal is applied;

a source coupled to the one terminal of the capacitor; and

a drain to which an initialization voltage is applied.

18. (Original) A pixel circuit in an organic light emitting device having a plurality of data lines, a plurality of scan lines, a plurality of power lines, and a plurality of pixels each connected to one associated data line, scan line and power line of the plurality of data lines, scan lines and power lines, each pixel comprising:

SDC-1351-00000512
SDC EX. 2001 - 456/503

a first transistor including a gate to which a current scan signal to be applied to the associated scan line is applied, and a source to which a data signal voltage from the data line is applied;

a second transistor whose source is coupled to a drain of the first transistor;

a third transistor whose drain and source are connected between a gate and a drain of the second transistor, respectively;

a fourth emitting transistor including a gate to which a current light-emitting signal is applied, a source to which a power supply voltage from the power line is applied, and a drain coupled to the source of the second transistor;

a fifth transistor including a gate to which the current light-emitting signal is applied, and a source coupled to the drain of the second transistor;

an electroluminescent element including one terminal coupled to the drain of the fifth transistor and the other terminal grounded; and

a capacitor including one terminal coupled to the gate of the second transistor, and the other terminal to which the power supply voltage from the power line is applied.

19. (Original) The pixel circuit in the organic light emitting device of claim 18, further comprising:

a sixth transistor including a gate to which a scan signal to be applied to a scan line just before the associated scan line is applied, a source coupled to the one terminal of the capacitor, and a drain to which an initialization voltage is applied.

SDC-1351-00000513
SDC EX. 2001 - 457/503

20. (Canceled)

SDC-1351-00000514
SDC EX. 2001 - 458/503

REMARKS/ARGUMENTS

Claims 1-2 and 4-19 are pending in the application, of which claims 1, 8, 15-16 and 18 are independent. Claim 20 has been canceled in this Amendment. Entry of the amendment and reconsideration and allowance of the application are hereby requested.

Applicants thank the Examiner for the allowance of Claims 1, 2 and 4-19.

Upon review of the file, it is noted that an information disclosure statement (IDS) submitted on July 20, 2007 submitted by EFS has not been acknowledged. Copies of the letter forwarding the FORM PTO/SB/08A/B form, the IDS and the acknowledgement receipt are enclosed for the Examiner's ease of reference. It is requested that the listed reference be considered in the examination of this application and identified on the list of references cited on the patent issuing for this application. Applicants also request that an initialed copy of FORM PTO/SB/08A/B be entered in the application file and returned to applicant with the next communication from the Office in accordance with MPEP § 609.

The Office Action rejects claim 20 under 35 U.S.C. § 102(b) as being anticipated by Dawson et al. (U.S. Patent 6,229,506, hereinafter as "Dawson").

Claim 20 has been canceled without prejudice. The Applicants submit that Claim 20 is canceled for the sole purpose of expediting the allowance of the instant application and reserve the rights to resubmit the claim in a continuation application.

In view of the foregoing amendments and remarks, the Applicants submits that claims 1-2 and 4-19 are in condition for allowance, and a timely Notice of Allowability is earnestly solicited. If there are any remaining issues that can be addressed over the telephone, the

SDC-1351-00000515
SDC EX. 2001 - 459/503

Examiner is cordially invited to call the Applicants' attorney at the number listed below.

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By _____

Derek W. Yeung
Reg. No. 57,472
626/795-9900

VSJ PAS785383.1-*-03/20/08 9:58 AM

SDC-1351-00000516
SDC EX. 2001 - 460/503

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being electronically filed with the United States Patent and Trademark Office on July 20, 2007 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.

Diane L. Goss

Applicant	: Ho-Kyoon Chung, et al.	Confirmation No. 8338
Application No.	: 10/886,014	
Filed	: July 6, 2004	
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREOF	
Grp./Div.	: 2609	
Examiner	: Hoai Quan T. Ho	
Docket No.	: 52226/S1082	

INFORMATION DISCLOSURE STATEMENT WITH FEE UNDER 37 CFR §§ 1.97(c) AND 1.17(p)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
July 20, 2007

Commissioner:

In compliance with the duty of disclosure under 37 CFR §§ 1.56, 1.97 and 1.98, and in accordance with the provisions in the Manual of Patent Examining Procedure §§ 609 and 707.05(b), enclosed is FORM PTO/SB/08A/B listing the references that are known to applicant. Copies of each of the listed Foreign Patent and Other Documents references are enclosed.

It is respectfully requested that the listed references be considered in the examination of this application and identified on the list of references cited on the patent issuing for this application. Applicant also requests that an initialed copy of FORM PTO/SB/08A/B be entered in the application file and returned to applicant with the next communication from the Office in accordance with MPEP § 609.

Enclosed, via deposit account, is the processing fee of $180 as required by 37 CFR § 1.17(p). The Commissioner is hereby authorized to charge any fees which may be required by this paper to Deposit Account No. 03-1728. Please show our docket number with any Deposit Account transaction.

Respectfully submitted,
CHRISTIE, PARKER & HALE, LLP

By _____
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/dg
Enclosures: Copy of IDS
Form PTO/SB/08A/B, w/references

DLG PAS747105.1-*-07/20/07 3:00 PM

SDC-1351-00000518
SDC EX. 2001 - 462/503

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B **INFORMATION DISCLOSURE** **STATEMENT BY APPLICANT** (use as many sheets as necessary)		
	Attorney Docket Number	52226/S1082
	Application Number	10/886,014
	Filing Date	July 6, 2004
	Applicant(s)	Ho-Kyoon Chung, et al.
	Group Art Unit	2609
	Examiner Name	Hoai Quan T. Ho

U.S. PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	DOCUMENT NUMBER Number - Kind Code[2] (If Known)	PUBLICATION DATE MM-DD-YYYY	NAME OF PATENTEE
		2003/0067424 A1	04-10-2003	Akimoto et al.

FOREIGN PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	Foreign Patent Document Country Code[3] - Number[4] - Kind Code[5] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T[6] (✓)
		EP 1 220 191	07-03-2002	Kwon	
		JP 2000-347621	12-15-2000	Kondo et al.	Patent Abstracts of Japan
		JP 2002-215096	07-31-2002	Kwon	Patent Abstracts of Japan
		JP 2002-244617	08-30-2002	Furumiya	Patent Abstracts of Japan
		JP 2003-173165	06-20-2003	Aoki	Patent Abstracts of Japan
		JP 2003-202833	07-18-2003	Kimura et al.	Patent Abstracts of Japan
		JP 2003-223138	08-08-2003	Kimura	Patent Abstracts of Japan
		JP 2004-133240	04-30-2004	Asano et al.	Patent Abstracts of Japan

OTHER DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		European Search Report dated April 23, 2007, for EP 04090270.2, in the name of Samsung SDI Co., Ltd.
		Patent Abstracts of Japan, Publiction No. 2000-347621, dated December 15, 2000, in the name of Yuji Kondo, et al.

EXAMINER SIGNATURE		DATE CONSIDERED	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/dg

SDC-1351-00000519
SDC EX. 2001 - 463/503

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B **INFORMATION DISCLOSURE** **STATEMENT BY APPLICANT** (use as many sheets as necessary)		
	Attorney Docket Number	52226/S1082
	Application Number	10/886,014
	Filing Date	July 6, 2004
	Applicant(s)	Ho-Kyoon Chung, et al.
	Group Art Unit	2609
	Examiner Name	Hoai Quan T. Ho

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		Patent Abstracts of Japan, Publiction No. 2002-215096, dated July 31, 2002, in the name of Oh-Kyong Kwon
		Patent Abstracts of Japan, Publiction No. 2002-244617, dated August 30, 2002, in the name of Naoaki Furumiya
		Patent Abstracts of Japan, Publiction No. 2003-173165, dated June 20, 2003, in the name of Aoki Yoshiaki
		Patent Abstracts of Japan, Publiction No. 2003-202833, dated July 18, 2003, in the name of Hajime Kimura, et al.
		Patent Abstracts of Japan, Publiction No. 2003-223138, dated August 8, 2003, in the name of Hajime Kimura.
		Patent Abstracts of Japan, Publiction No. 2004-133240, dated April 30, 2004, in the name of Shin Asano.

DLG PAS746962.1-*-07/20/07 2:50 PM

EXAMINER SIGNATURE		DATE CONSIDERED	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/dg

SDC-1351-00000520
SDC EX. 2001 - 464/503

Acknowledgement Receipt

The USPTO has received your submission at **21:16:14** Eastern Time on **20-JUL-2007** by Deposit Account: 031728.

$ **180** fee paid by e-Filer via *RAM* with Confirmation Number: 4420.

eFiled Application Information

EFS ID	1997140
Application Number	10886014
Confirmation Number	8338
Title	Organic light emitting device pixel circuit and driving method therefor
First Named Inventor	Ho-Kyoon Chung
Customer Number or Correspondence Address	23363
Filed By	D. Bruce Prout/Diane Goss
Attorney Docket Number	52226/S1082
Filing Date	06-JUL-2004
Receipt Date	20-JUL-2007
Application Type	Utility under 35 USC 111(a)

Application Details

Submitted Files	Page Count	Document Description	File Size	Warnings
52226ids.pdf	4		131883 bytes	PASS

Document Description	Page Start	Page End
Information Disclosure Statement (IDS) Filed	1	2
Information Disclosure Statement (IDS) Filed	3	4

52226ep191.pdf	23	Foreign Reference	769852 bytes	PASS
52226jp621.pdf	18		1208869 bytes	PASS

Document Description	Page Start	Page End
NPL Documents	1	2
Foreign Reference	3	18

52226jp096.pdf	16		906524 bytes	PASS

Document Description	Page Start	Page End
NPL Documents	1	2
Foreign Reference	3	16

52226jp617.pdf	10		437550 bytes	PASS

Document Description	Page Start	Page End
NPL Documents	1	2
Foreign Reference	3	10

52226jp165.pdf	10		603071 bytes	PASS

Document Description	Page Start	Page End

SDC-1351-00000521
SDC EX. 2001 - 465/503

	NPL Documents		1	2
	Foreign Reference		3	10
52226jp833.pdf	65		3872611 bytes ◈ PASS	
	Document Description		**Page Start**	**Page End**
	NPL Documents		1	2
	Foreign Reference		3	65
52226jp138.pdf	50		3668152 bytes ◈ PASS	
	Document Description		**Page Start**	**Page End**
	NPL Documents		1	2
	Foreign Reference		3	50
52226jp240.pdf	19		1107531 bytes ◈ PASS	
	Document Description		**Page Start**	**Page End**
	NPL Documents		1	2
	Foreign Reference		3	19
52226ep.pdf	3	NPL Documents	100570 bytes ◈ PASS	
fee-info.pdf	2	Fee Worksheet (PTO-06)	8188 bytes ◈ PASS	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53 (b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

If you need help:

- *Call the Patent Electronic Business Center at (866) 217-9197 (toll free) or e-mail EBC@uspto.gov for specific questions about Patent e-Filing.*
- *Send general questions about USPTO programs to the USPTO Contact Center (UCC) .*
- *If you experience technical difficulties or problems with this application, please report them via e-mail to Electronic Business Support or call 1 800-786-9199.*

SDC-1351-00000522
SDC EX. 2001 - 466/503

Electronic Acknowledgement Receipt

EFS ID:	3028965
Application Number:	10886014
International Application Number:	
Confirmation Number:	8338
Title of Invention:	Organic light emitting device pixel circuit and driving method therefor
First Named Inventor/Applicant Name:	Ho-Kyoon Chung
Customer Number:	23363
Filer:	Derek Wai Kam Yeung/Vanessa Sampson Jackson
Filer Authorized By:	Derek Wai Kam Yeung
Attorney Docket Number:	52226/S1082
Receipt Date:	20-MAR-2008
Filing Date:	06-JUL-2004
Time Stamp:	19:00:05
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	52226_Transmittal.pdf	59119 e2bb463a95e8a0c53bc222c3ac5a19850e1b0144	no	2
Warnings:					
Information:					

2		52226_AmendmentAF.pdf	304190 4ffa4f5a96a468a8fc091b00f38b9a44e109017d	yes	12

Multipart Description/PDF files in .zip description		
Document Description	**Start**	**End**
Amendment After Final	1	1
Amendment Copy Claims/Response to Suggested Claims	2	10
Applicant Arguments/Remarks Made in an Amendment	11	12

Warnings:					
Information:					
3	Miscellaneous Incoming Letter	52226_CopyIDS_Submitted07202007.pdf	134421 28552bff109ba44a112040353a1141ab126bc763	no	4
Warnings:					
Information:					
4	Miscellaneous Incoming Letter	52226_CopyIDSAcknowledgement07202007.pdf	85092 fba3d3a4442b58e4efcd69061ae52ac8722f2680	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	582822		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE
AMENDMENT TRANSMITTAL LETTER

I hereby certify that this correspondence is being electronically filed with the United States Patent and Trademark Office on March 20, 2008 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.

Vanessa S. Jackson

Applicant	: Ho-Kyoon Chung, et al.	Confirmation No. 8338
Application No.	: 10/886,014	
Filed	: July 6, 2004	
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREOF	
Grp./Div.	: 2629	
Examiner	: Hoai Quan T. Ho	
Docket No.	: 52226/S1082	

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
March 20, 2008

Commissioner:

Enclosed is an amendment to the above-identified application.

CLAIMS AS AMENDED						
	Claims Remaining After Amendment	Highest Number Paid For	Number Extra Claims	Small Entity Rate	Large Entity Rate	FEE
Total Claims Fee	20	*20	0	0 x $25.00	0 x $50.00	0
Independent Claims	5	** 6	0	0 x $105.00	0 x $210.00	0
Multiple Dependent Claims ***				$185.00	$370.00	0
TOTAL FILING FEE						0
NO ADDITIONAL FEE REQUIRED	IF NO FEE REQUIRED, INSERT "0"					0
LIST INDEPENDENT CLAIMS: **1, 8, 15, 16 and 18**						
* IF HIGHEST NUMBER PREVIOUSLY PAID FOR IS 20 OR LESS, WRITE "20" IN COLUMN 3 ** IF HIGHEST NUMBER PREVIOUSLY PAID FOR IS 3 OR LESS, WRITE "3" IN COLUMN 3 *** PAY THIS FEE ONLY WHEN MULTIPLE DEPENDENT CLAIMS ARE ADDED FOR THE FIRST TIME						

Amendment Transmittal Letter
Application No. 10/886,014

_____ Attached is our check for $ to pay the fees calculated above.
_____ A Petition for Extension of Time and the required fee are enclosed.
X____ Other enclosures: Copy of Information Disclosure Statement submitted on July 20, 2007 (Letter and Form PTO/SB/08A/B); **Acknowledgement Receipt**

The Commissioner is hereby authorized to charge any fees under 37 CFR 1.16 and 1.17 which may be required by or to give effect to this paper to Deposit Account No. 03-1728. Please show our docket number with any charge or credit to our Deposit Account.

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By _____
Derek W. Yeung
Reg. No. 57,472
626/795-9900

DWY/vsj

VSJ PAS785403.1-*-03/20/08 10:12 AM

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2003

Application or Docket Number: 10886014

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS	20	
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	20 minus 20=	* —
INDEPENDENT CLAIMS	6 minus 3 =	* 3
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	385.00	OR	BASIC FEE	770.00
XS 9=		OR	XS18=	
X43=		OR	X86=	258
+145=		OR	+290=	
TOTAL		OR	TOTAL	1028

CLAIMS AS AMENDED - PART II

3/20/08

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	* 18	Minus	** 20	=
Independent	* 4	Minus	*** 3	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	X$18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	X$18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	X$18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
***If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

SDC-1351-00000527
SDC EX. 2001 - 471/503

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

23363 7590 04/07/2008

CHRISTIE, PARKER & HALE, LLP
PO BOX 7068
PASADENA, CA 91109-7068

EXAMINER	
HO, HOAI QUAN T	
ART UNIT	PAPER NUMBER
2629	

DATE MAILED: 04/07/2008

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/886,014	07/06/2004	Ho-Kyoon Chung	52226/S1082	8338

TITLE OF INVENTION: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1440	$300	$0	$1740	07/07/2008

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PTOL-85 (Rev. 08/07) Approved for use through 08/31/2010.

SDC-1351-00000528
SDC EX. 2001 - 472/503

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

23363 7590 04/07/2008

CHRISTIE, PARKER & HALE, LLP
PO BOX 7068
PASADENA, CA 91109-7068

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/886,014	07/06/2004	Ho-Kyoon Chung	52226/S1082	8338

TITLE OF INVENTION: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1440	$300	$0	$1740	07/07/2008

EXAMINER	ART UNIT	CLASS-SUBCLASS
HO, HOAI QUAN T	2629	345-076000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____

2 _____

3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:

❑ Issue Fee

❑ Publication Fee (No small entity discount permitted)

❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

❑ A check is enclosed.

❑ Payment by credit card. Form PTO-2038 is attached.

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)

❑ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.

❑ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

SDC-1351-00000529
SDC EX. 2001 - 473/503

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/886,014	07/06/2004	Ho-Kyoon Chung	52226/S1082	8338

23363 7590 04/07/2008

CHRISTIE, PARKER & HALE, LLP
PO BOX 7068
PASADENA, CA 91109-7068

EXAMINER	
HO, HOAI QUAN T	
ART UNIT	PAPER NUMBER
2629	

DATE MAILED: 04/07/2008

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 674 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 674 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

PTOL-85 (Rev. 08/07) Approved for use through 08/31/2010.

SDC-1351-00000530
SDC EX. 2001 - 474/503

Notice of Allowability	Application No.	Applicant(s)	
	10/886,014	CHUNG ET AL.	
	Examiner	Art Unit	
	HOAI-QUAN T. HO	2629	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *March 20, 2008*.

2. ☒ The allowed claim(s) is/are *1,2 and 4-19*.

3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☒ All b) ☐ Some* c) ☐ None of the:
      1. ☒ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
      1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
   (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Notice of Draftperson's Patent Drawing Review (PTO-948)
3. ☐ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____
4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
5. ☐ Notice of Informal Patent Application
6. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
7. ☐ Examiner's Amendment/Comment
8. ☒ Examiner's Statement of Reasons for Allowance
9. ☐ Other _____.

SDC-1351-00000531
SDC EX. 2001 - 475/503

DETAILED ACTION

Allowable Subject Matter

1. Claims 1, 2 and 4-19 are allowed. Claims 3 and 20 has been cancelled by applicant.

The reasons for allowance have been conveyed to the applicant in the previous office action and clear on the record from those reasons and applicant's response to them.

Conclusion

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Hoai-Quan T. Ho whose telephone number is 571-270-3148. The examiner can normally be reached on 7:30 A.M. - 4:30 P.M. EST.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Eisen Alexander can be reached on 571-272-7687. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

H-Q. Ho

March 31, 2008

/Alexander Eisen/

Supervisory Patent Examiner, Art Unit 2629

Issue Classification

Application/Control No.	Applicant(s)/Patent Under Reexamination
10886014	CHUNG ET AL.
Examiner	**Art Unit**
Ho, Hoai-Quan T	2629

ORIGINAL		INTERNATIONAL CLASSIFICATION	
CLASS	SUBCLASS	CLAIMED	NON-CLAIMED
345	76	G 0 9 G 3 / 30 (2006.0)	

CROSS REFERENCE(S)

CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				
315	169.3				

Ho, Hoai-Quan T 3/31/2008 (Assistant Examiner) (Date)		**Total Claims Allowed:** 18	
/Alexander Eisen/ 3/31/2008 (Primary Examiner) (Date)		O.G. Print Claim(s) 1	O.G. Print Figure 3

SDC-1351-00000534
SDC EX. 2001 - 478/503

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	10886014	CHUNG ET AL.
	Examiner	**Art Unit**
	Ho, Hoai-Quan T	2609

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	07/05/2007	01/15/2008	03/31/2008						
1	1	✓	=	=						
2	2	✓	=	=						
	3	O	-	-						
3	4	✓	=	=						
4	5	✓	=	=						
5	6	✓	=	=						
6	7	✓	=	=						
7	8	=	=	=						
8	9	=	=	=						
9	10	=	=	=						
10	11	=	=	=						
11	12	=	=	=						
12	13	=	=	=						
13	14	=	=	=						
14	15	=	=	=						
15	16	=	=	=						
16	17	=	=	=						
17	18	=	=	=						
18	19	=	=	=						
	20	✓	✓	-						

SDC-1351-00000535
SDC EX. 2001 - 479/503

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	10886014	CHUNG ET AL.
	Examiner	**Art Unit**
	Ho, Hoai-Quan T	2609

SEARCHED			
Class	**Subclass**	**Date**	**Examiner**
345, 315	345/76-83; 315/169.1-169.4	7/05/2007	HTH

SEARCH NOTES		
Search Notes	**Date**	**Examiner**
See East Search History (Sheet Attached)	7/05/2007	HTH

INTERFERENCE SEARCH			
Class	**Subclass**	**Date**	**Examiner**
345, 315	345/76-83; 315/169.1-169.4	3/31/2008	HTH

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	33	(ho-kyoon near chung).inv.	US-PGPUB; USPAT; JPO	OR	ON	2008/04/01 09:45
L2	241	(ho-kyoon near chung).inv. (yang-wan near kim).inv. (choon-yul near oh).inv. (oh-kyong near kwon).inv. (sang-moo near choi). inv.	US-PGPUB; USPAT; JPO	OR	ON	2008/04/01 09:47
L3	8	2 and ((first adj transistor) with (voltage and current and scan)).clm. and ((second adj transistor) with (current and first adj transistor)). clm.	US-PGPUB; USPAT; JPO	OR	ON	2008/04/01 09:50

4/1/2008 9:56:05 AM
C:\Documents and Settings\hho4\My Documents\EAST\Workspaces\Admend10886014.wsp

SDC-1351-00000537
SDC EX. 2001 - 481/503

OK TO ENTER: /H.H./

PATENT
RESPONSE UNDER 37 CFR 1.116
EXPEDITED PROCEDURE
EXAMINING GROUP 2629

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being facsimile transmitted to the United States Patent and Trademark Office on March 20, 2008.

Vanessa S. Jackson

Appl No.	: 10/886,014	Confirmation No. 8338
Applicant	: Ho-Kyoon Chung, et al.	
Filed	: July 6, 2004	
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR	
TC/A.U.	: 2629	
Examiner	: Hoai Quan T. Ho	
Docket No.	: 52226/S1082	
Customer No.	: 23363	

AMENDMENT AFTER FINAL ACTION

Mail Stop AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
March 20, 2008

Commissioner:

In response to the Office action of January 17, 2008, please enter this amendment in the above-identified application as follows:

Amendments to the Claims are reflected in the listing of claims, which begins on page 2 of this paper.

Remarks/Arguments begin on page 11 of this paper.

SDC-1351-00000538
SDC EX. 2001 - 482/503

PRINTER RUSH

(PTO ASSISTANCE)

Application :	10/886,014	**Examiner :**	Hoai-Quant Ho	**GAU :**	2629
From:	SWinslow	**Location:**	(IDC) FMF FDC	**Date:**	4-25-08

Tracking #: EPM 10/886014 Week Date: 4-14-08

DOC CODE	DOC DATE	MISCELLANEOUS
☒ 1449	7-20-07 p.1+2	☐ Continuing Data
☐ IDS		☐ Foreign Priority
☐ CLM		☐ Document Legibility
☐ IIFW/FWCLM		☐ Fees
☐ SRFW		☐ Other
☐ DRW		
☐ OATH		
☐ 312		
☐ SPEC		

[RUSH] **MESSAGE:** Please initial / line through citations. (2 forms)

Thank you

[XRUSH] **RESPONSE:**

INITIALS:

EXAMINER: PUBS contacts -- for DESIGNS: Don Fairchild, 703-308-9250 x126; for ALL OTHER FILES: Bernadette Queen, 703-308-9250 x121

NOTE: This form will be included as part of the official USPTO record, with the Response document coded as XRUSH.

REV May 07

OIPE IAP5
APR 28 2008
PATENT & TRADEMARK OFFICE

PATENT

Date of Notice
of Allowance : April 7, 2008

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being deposited with the U.S. Postal Service as first class mail in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on April 19, 2008..

Name

Applicant	: Ho-Kyoon Chung, et al.	Confirmation No. 8338
Application No.	: 10/886,014	
Filed	: July 6, 2004	
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREOF	
Grp./Div.	: 2629	
Examiner	: Hoai Quan T. Ho	
Docket No.	: 52226/S1082	

AMENDMENT UNDER 37 CFR § 1.312

Mail Stop Issue Fee
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
April 19, 2008

Commissioner:

Attached herewith is a copy of the July 20, 2007 IDS, which was resent along with the amendment after final dated March 20, 2008, again requesting consideration.

Please acknowledge receipt and consideration of the July 20, 2007 IDS attached herewith, and return as soon as possible.

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By _____
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/rjf
Enclosure: Information Disclosure Statement (7/20/2007)
RJF PAS790601.1-*-04/19/08 12:34 PM

OIPE
APR 28 2008
PATENT & TRADEMARK OFFICE
IAP5

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being electronically filed with the United States Patent and Trademark Office on July 20, 2007 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.

Diane L. Goss

Applicant	: Ho-Kyoon Chung, et al.	Confirmation No. 8338
Application No.	: 10/886,014	
Filed	: July 6, 2004	
Title	: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREOF	
Grp./Div.	: 2609	
Examiner	: Hoai Quan T. Ho	
Docket No.	: 52226/S1082	

INFORMATION DISCLOSURE STATEMENT WITH FEE UNDER 37 CFR §§ 1.97(c) AND 1.17(p)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
July 20, 2007

Commissioner:

In compliance with the duty of disclosure under 37 CFR §§ 1.56, 1.97 and 1.98, and in accordance with the provisions in the Manual of Patent Examining Procedure §§ 609 and 707.05(b), enclosed is FORM PTO/SB/08A/B listing the references that are known to applicant. Copies of each of the listed Foreign Patent and Other Documents references are enclosed.

It is respectfully requested that the listed references be considered in the examination of this application and identified on the list of references cited on the patent issuing for this application. Applicant also requests that an initialed copy of FORM PTO/SB/08A/B be entered in the application file and returned to applicant with the next communication from the Office in accordance with MPEP § 609.

Application No. 10/886,014

Enclosed, via deposit account, is the processing fee of $180 as required by 37 CFR § 1.17(p). The Commissioner is hereby authorized to charge any fees which may be required by this paper to Deposit Account No. 03-1728. Please show our docket number with any Deposit Account transaction.

Respectfully submitted,
CHRISTIE, PARKER & HALE, LLP

By _____
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/dg
Enclosures: Copy of IDS
Form PTO/SB/08A/B, w/references

DLG PAS747105.1-*-07/20/07 3:00 PM

SDC-1351-00000542
SDC EX. 2001 - 486/503

Acknowledgement Receipt

The USPTO has received your submission at **21:16:14** Eastern Time on **20-JUL-2007** by Deposit Account: 031728.

$ **180** fee paid by e-Filer via *RAM* with Confirmation Number: 4420.

eFiled Application Information

EFS ID	1997140
Application Number	10886014
Confirmation Number	8338
Title	Organic light emitting device pixel circuit and driving method therefor
First Named Inventor	Ho-Kyoon Chung
Customer Number or Correspondence Address	23363
Filed By	D. Bruce Prout/Diane Goss
Attorney Docket Number	52226/S1082
Filing Date	06-JUL-2004
Receipt Date	20-JUL-2007
Application Type	Utility under 35 USC 111(a)

Application Details

Submitted Files	Page Count	Document Description	File Size	Warnings
52226ids.pdf	4		131883 bytes	PASS

Document Description	Page Start	Page End
Information Disclosure Statement (IDS) Filed	1	2
Information Disclosure Statement (IDS) Filed	3	4

52226ep191.pdf	23	Foreign Reference	769852 bytes	PASS
52226jp621.pdf	18		1208869 bytes	PASS

Document Description	Page Start	Page End
NPL Documents	1	2
Foreign Reference	3	18

52226jp096.pdf	16		906524 bytes	PASS

Document Description	Page Start	Page End
NPL Documents	1	2
Foreign Reference	3	16

52226jp617.pdf	10		437550 bytes	PASS

Document Description	Page Start	Page End
NPL Documents	1	2
Foreign Reference	3	10

52226jp165.pdf	10		603071 bytes	PASS

Document Description	Page Start	Page End

SDC-1351-00000543
SDC EX. 2001 - 487/503

	NPL Documents		1	2
	Foreign Reference		3	10
52226jp833.pdf	65		3872611 bytes ◆ PASS	
	Document Description		**Page Start**	**Page End**
	NPL Documents		1	2
	Foreign Reference		3	65
52226jp138.pdf	50		3668152 bytes ◆ PASS	
	Document Description		**Page Start**	**Page End**
	NPL Documents		1	2
	Foreign Reference		3	50
52226jp240.pdf	19		1107531 bytes ◆ PASS	
	Document Description		**Page Start**	**Page End**
	NPL Documents		1	2
	Foreign Reference		3	19
52226ep.pdf	3	NPL Documents	100570 bytes ◆ PASS	
fee-info.pdf	2	Fee Worksheet (PTO-06)	8188 bytes ◆ PASS	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53 (b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

If you need help:

- *Call the Patent Electronic Business Center at (866) 217-9197 (toll free) or e-mail EBC@uspto.gov for specific questions about Patent e-Filing.*
- *Send general questions about USPTO programs to the USPTO Contact Center (UCC).*
- *If you experience technical difficulties or problems with this application, please report them via e-mail to Electronic Business Support or call 1 800-786-9199.*

SDC-1351-00000544
SDC EX. 2001 - 488/503

OIPE IAP5
APR 28 2008
PATENT & TRADEMARK OFFICE

FORM PTO/SB/08A/B (10-01)
Substitute for PTO-1449A/B

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(use as many sheets as necessary)

Attorney Docket Number	52226/S1082
Application Number	10/886,014
Filing Date	July 6, 2004
Applicant(s)	Ho-Kyoon Chung, et al.
Group Art Unit	2609
Examiner Name	Hoai Quan T. Ho

U.S. PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	DOCUMENT NUMBER Number - Kind Code[2] (If Known)	PUBLICATION DATE MM-DD-YYYY	NAME OF PATENTEE
		2003/0067424 A1	04-10-2003	Akimoto et al.

FOREIGN PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	Foreign Patent Document Country Code[3] - Number[4] - Kind Code[5] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T[6] (✓)
		EP 1 220 191	07-03-2002	Kwon	
		JP 2000-347621	12-15-2000	Kondo et al.	Patent Abstracts of Japan
		JP 2002-215096	07-31-2002	Kwon	Patent Abstracts of Japan
		JP 2002-244617	08-30-2002	Furumiya	Patent Abstracts of Japan
		JP 2003-173165	06-20-2003	Aoki	Patent Abstracts of Japan
		JP 2003-202833	07-18-2003	Kimura et al.	Patent Abstracts of Japan
		JP 2003-223138	08-08-2003	Kimura	Patent Abstracts of Japan
		JP 2004-133240	04-30-2004	Asano et al.	Patent Abstracts of Japan

OTHER DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		European Search Report dated April 23, 2007, for EP 04090270.2, in the name of Samsung SDI Co., Ltd.
		Patent Abstracts of Japan, Publiction No. 2000-347621, dated December 15, 2000, in the name of Yuji Kondo, et al.

EXAMINER SIGNATURE		DATE CONSIDERED	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/dg

SDC-1351-00000545
SDC EX. 2001 - 489/503

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B **INFORMATION DISCLOSURE STATEMENT BY APPLICANT** (use as many sheets as necessary)		
	Attorney Docket Number	52226/S1082
	Application Number	10/886,014
	Filing Date	July 6, 2004
	Applicant(s)	Ho-Kyoon Chung, et al.
	Group Art Unit	2609
	Examiner Name	Hoai Quan T. Ho

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		Patent Abstracts of Japan, Publiction No. 2002-215096, dated July 31, 2002, in the name of Oh-Kyong Kwon
		Patent Abstracts of Japan, Publiction No. 2002-244617, dated August 30, 2002, in the name of Naoaki Furumiya
		Patent Abstracts of Japan, Publiction No. 2003-173165, dated June 20, 2003, in the name of Aoki Yoshiaki
		Patent Abstracts of Japan, Publiction No. 2003-202833, dated July 18, 2003, in the name of Hajime Kimura, et al.
		Patent Abstracts of Japan, Publiction No. 2003-223138, dated August 8, 2003, in the name of Hajime Kimura.
		Patent Abstracts of Japan, Publiction No. 2004-133240, dated April 30, 2004, in the name of Shin Asano.

DLG PAS746962.1-*-07/20/07 2:50 PM

EXAMINER SIGNATURE		DATE CONSIDERED	

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/dg

SDC-1351-00000546
SDC EX. 2001 - 490/503

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/886,014	07/06/2004	Ho-Kyoon Chung	52226/S1082	8338

23363 7590 05/12/2008
CHRISTIE, PARKER & HALE, LLP
PO BOX 7068
PASADENA, CA 91109-7068

EXAMINER	
EISEN, ALEXANDER	
ART UNIT	PAPER NUMBER
2629	

MAIL DATE	DELIVERY MODE
05/12/2008	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

SDC-1351-00000547
SDC EX. 2001 - 491/503

UNITED STATES DEPARTMENT OF COMMERCE
U.S. Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
10886014	7/6/2004	CHUNG ET AL.	52226/S1082

CHRISTIE, PARKER & HALE, LLP
PO BOX 7068
PASADENA, CA 91109-7068

EXAMINER
ALEXANDER EISEN

ART UNIT	PAPER
2629	20080507

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

IDS 4/28/2008 has been considered by the examiner. Initialed and signed copies are attached.

/Alexander Eisen/
Supervisory Patent Examiner, Art Unit 2629

Alexander Eisen
Supervisory Patent Examiner
Art Unit: 2629

PTO-90C (Rev.04-03)

OIPE IAP5 APR 28 2008 PATENT & TRADEMARK OFFICE

FORM PTO/SB/08A/B (10-01)
Substitute for PTO-1449A/B

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(use as many sheets as necessary)

Attorney Docket Number	52226/S1082
Application Number	10/886,014
Filing Date	July 6, 2004
Applicant(s)	Ho-Kyoon Chung, et al.
Group Art Unit	2609
Examiner Name	Hoai Quan T. Ho

U.S. PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	DOCUMENT NUMBER Number - Kind Code[2] (If Known)	PUBLICATION DATE MM-DD-YYYY	NAME OF PATENTEE
		2003/0067424 A1	04-10-2003	Akimoto et al.

FOREIGN PATENT DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	Foreign Patent Document Country Code[3] - Number[4] - Kind Code[5] (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T[6] (✓)
		EP 1 220 191	07-03-2002	Kwon	
		JP 2000-347621	12-15-2000	Kondo et al.	Patent Abstracts of Japan
		JP 2002-215096	07-31-2002	Kwon	Patent Abstracts of Japan
		JP 2002-244617	08-30-2002	Furumiya	Patent Abstracts of Japan
		JP 2003-173165	06-20-2003	Aoki	Patent Abstracts of Japan
		JP 2003-202833	07-18-2003	Kimura et al.	Patent Abstracts of Japan
		JP 2003-223138	08-08-2003	Kimura	Patent Abstracts of Japan
		JP 2004-133240	04-30-2004	Asano et al.	Patent Abstracts of Japan

OTHER DOCUMENTS

EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		European Search Report dated April 23, 2007, for EP 04090270.2, in the name of Samsung SDI Co., Ltd.
		Patent Abstracts of Japan, Publiction No. 2000-347621, dated December 15, 2000, in the name of Yuji Kondo, et al.

EXAMINER SIGNATURE	/Alexander Eisen/	DATE CONSIDERED	05/08/2008

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/dg ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /AE/

SDC-1351-00000549
SDC EX. 2001 - 493/503

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B **INFORMATION DISCLOSURE STATEMENT BY APPLICANT** (use as many sheets as necessary)		
	Attorney Docket Number	52226/S1082
	Application Number	10/886,014
	Filing Date	July 6, 2004
	Applicant(s)	Ho-Kyoon Chung, et al.
	Group Art Unit	2609
	Examiner Name	Hoai Quan T. Ho

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		Patent Abstracts of Japan, Publiction No. 2002-215096, dated July 31, 2002, in the name of Oh-Kyong Kwon
		Patent Abstracts of Japan, Publiction No. 2002-244617, dated August 30, 2002, in the name of Naoaki Furumiya
		Patent Abstracts of Japan, Publiction No. 2003-173165, dated June 20, 2003, in the name of Aoki Yoshiaki
		Patent Abstracts of Japan, Publiction No. 2003-202833, dated July 18, 2003, in the name of Hajime Kimura, et al.
		Patent Abstracts of Japan, Publiction No. 2003-223138, dated August 8, 2003, in the name of Hajime Kimura.
		Patent Abstracts of Japan, Publiction No. 2004-133240, dated April 30, 2004, in the name of Shin Asano.

DLG PAS746962.1-*-07/20/07 2:50 PM

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /AE/

EXAMINER SIGNATURE	/Alexander Eisen/	DATE CONSIDERED	05/08/2008

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1]Applicant's unique citation designation number (optional). [2]See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. [3]Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6]Applicant is to place a check mark here if English Language Translation is attached.

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

DBP/dg

SDC-1351-00000550
SDC EX. 2001 - 494/503

PRINTER RUSH

(PTO ASSISTANCE)

Application :	10/886,014	**Examiner :**	Hoai-Quant Ho	**GAU :**	2629
From:	SWinslow	**Location:**	(IDC) FMF FDC	**Date:**	4-25-08

Tracking #: EPM 10/886014 Week Date: 4-14-08

DOC CODE	DOC DATE	MISCELLANEOUS
☒ 1449	7-20-07 p.1+2	☐ Continuing Data
☐ IDS		☐ Foreign Priority
☐ CLM		☐ Document Legibility
☐ IIFW/FWCLM		☐ Fees
☐ SRFW		☐ Other
☐ DRW		
☐ OATH		
☐ 312		
☐ SPEC		

[RUSH] **MESSAGE:** Please initial / line through citations. (2 forms)

Thank you

[XRUSH] **RESPONSE:** IDS has been considered (initialed and signed)

INITIALS: AE

EXAMINER: PUBS contacts -- for DESIGNS: Don Fairchild, 703-308-9250 x126; for ALL OTHER FILES: Bernadette Queen, 703-308-9250 x121

NOTE: This form will be included as part of the official USPTO record, with the Response document coded as XRUSH.

REV May 07

PRINTER RUSH

(PTO ASSISTANCE)

Application : 10/886,014 **Examiner :** Hoai-Quant Ho **GAU :** 2629

From: SWinslow **Location:** (IDC) FMF FDC **Date:** 4-25-08

Tracking #: EPM 10/886014 Week Date: 4-14-08

DOC CODE	DOC DATE	MISCELLANEOUS
☒ 1449	7-20-07 p.1+2	☐ Continuing Data
☐ IDS		☐ Foreign Priority
☐ CLM		☐ Document Legibility
☐ IIFW/FWCLM		☐ Fees
☐ SRFW		☐ Other
☐ DRW		
☐ OATH		
☐ 312		
☐ SPEC		

[RUSH] **MESSAGE:** Please initial / line through citations. (2 forms)

Thank you

[XRUSH] **RESPONSE:** IDS has been considered (initialed and signed)

INITIALS: AE

EXAMINER: PUBS contacts -- for DESIGNS: Don Fairchild, 703-308-9250 x126; for ALL OTHER FILES: Bernadette Queen, 703-308-9250 x121

NOTE: This form will be included as part of the official USPTO record, with the Response document coded as XRUSH.

REV May 07

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

23363 7590 04/07/2008

CHRISTIE, PARKER & HALE, LLP
PO BOX 7068
PASADENA, CA 91109-7068

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

Vickie D. Wall	(Depositor's name)
Vickie D. Wall	(Signature)
July 3, 2008 (e-filed)	(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/886,014	07/06/2004	Ho-Kyoon Chung	52226/S1082	8338

TITLE OF INVENTION: ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1440	$300	$0	$1740	07/07/2008

EXAMINER	ART UNIT	CLASS-SUBCLASS
HO, HOAI QUAN T	2629	345-076000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 CHRISTIE, PARKER & HALE, LLP
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: Samsung SDI Co., Ltd.

(B) RESIDENCE: (CITY and STATE OR COUNTRY): Suwon-si, Republic of Korea

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:
☒ Issue Fee
☒ Publication Fee (No small entity discount permitted)
☒ Advance Order - # of Copies 3

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
☐ A check is enclosed.
☐ Payment by credit card. Form PTO-2038 is attached.
☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 03-1728 (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature D Bruce Prout Date July 3, 2008

Typed or printed name D. Bruce Prout Registration No. 20,958

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

SDC-1351-00000553
SDC EX. 2001 - 497/503

PATENT

Date of Notice
of Allowance : April 7, 2008

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being electronically filed with the United States Patent and Trademark Office on July 3, 2008 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.

Vickie D. Wall

Applicant	:	Ho-Kyoon Chung, et al. Confirmation No. 8338
Application No.	:	10/886,014
Filed	:	July 6, 2004
Title	:	ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR
Grp./Div.	:	2629
Examiner	:	Hoai Quan T. Ho
Docket No.	:	52226/S1082

COMMENTS ON STATEMENT OF REASONS FOR ALLOWANCE

Mail Stop Issue Fee
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 7068
Pasadena, CA 91109-7068
July 3, 2008

Commissioner:

Reasons for allowance are only warranted in instances in which "the record of the prosecution as a whole does not make clear his or her reasons for allowing a claim or claims." (37 CFR § 1.104(e))

Applicant believes the Examiner's stated reasons for allowance are unnecessary. The applicant does not necessarily agree with each statement in the reasons for allowance. While applicant agrees that the claims are allowable, applicant does not acquiesce with each statement in the reasons for allowance, that patentability requires each stated feature exactly as expressed by the Examiner, nor that each stated feature is required for patentability.

Respectfully submitted,
CHRISTIE, PARKER & HALE, LLP

By _____
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/vdw
VDW PAS802170.1-*-07/3/08 2:45 PM

Electronic Patent Application Fee Transmittal

Application Number:	10886014
Filing Date:	06-Jul-2004
Title of Invention:	ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR
First Named Inventor/Applicant Name:	Ho-Kyoon Chung
Filer:	D. Bruce Prout/Vickie D. Wall
Attorney Docket Number:	52226/S1082
Filed as Large Entity	

Utility Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl issue fee	1501	1	1440	1440
Publ. Fee- early, voluntary, or normal	1504	1	300	300

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
Printed copy of patent - no color	8001	3	3	9
		Total in USD ($)		**1749**

Electronic Acknowledgement Receipt

EFS ID:	3563299
Application Number:	10886014
International Application Number:	
Confirmation Number:	8338
Title of Invention:	ORGANIC LIGHT EMITTING DEVICE PIXEL CIRCUIT AND DRIVING METHOD THEREFOR
First Named Inventor/Applicant Name:	Ho-Kyoon Chung
Customer Number:	23363
Filer:	D. Bruce Prout/Vickie D. Wall
Filer Authorized By:	D. Bruce Prout
Attorney Docket Number:	52226/S1082
Receipt Date:	03-JUL-2008
Filing Date:	06-JUL-2004
Time Stamp:	17:55:07
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1749
RAM confirmation Number	2478
Deposit Account	031728
Authorized User	

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	52226_Issue-Fee-Transmittal.pdf	94179 16f85ac8544021f1c6c70402d1f5853cd96ee324	no	1
Warnings:					
Information:					
2	Post Allowance Communication - Incoming	52226_Comments_RFA.pdf	34743 4adeab7835abd59b6f5a4379b3951fcd0769950c	no	1
Warnings:					
Information:					
3	Fee Worksheet (PTO-06)	fee-info.pdf	8489 6ffb700daa33e5947d1b6bb202adc80bbc9d1cd7	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	137411		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/886,014	08/19/2008	7414599	52226/S1082	8338

23363 7590 07/30/2008

CHRISTIE, PARKER & HALE, LLP
PO BOX 7068
PASADENA, CA 91109-7068

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 674 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Ho-Kyoon Chung, Yongin-si, KOREA, REPUBLIC OF;
Yang-Wan Kim, Seoul, KOREA, REPUBLIC OF;
Choon-Yul Oh, Gunpo-si, KOREA, REPUBLIC OF;
Oh-Kyong Kwon, Seoul, KOREA, REPUBLIC OF;
Sang-Moo Choi, Suwon-si, KOREA, REPUBLIC OF;

SDC-1351-00000559
SDC EX. 2001 - 503/503