UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
10/873,969	06/21/2004	Sang-Yun Lee	BESA.13399

CONFIRMATION NO. 7408

102591
GREG L. MARTINEZ
3116 SOUTH MILL AVENUE #408
TEMPE, AZ 85282

POA ACCEPTANCE LETTER

OC000000053711124

Date Mailed: 04/16/2012

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 04/07/2012.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

/hgray/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Intel v. BeSang
IPR2023-00991
Exhibit 1006

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
10/873,969	06/21/2004	Sang-Yun Lee	BESA.13399

CONFIRMATION NO. 7408

POWER OF ATTORNEY NOTICE

23123
SCHMEISER OLSEN & WATTS
18 E UNIVERSITY DRIVE
SUITE # 101
MESA, AZ 85201

OC000000053711087

Date Mailed: 04/16/2012

NOTICE REGARDING CHANGE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 04/07/2012.

- The Power of Attorney to you in this application has been revoked by the assignee who has intervened as provided by 37 CFR 3.71. Future correspondence will be mailed to the new address of record(37 CFR 1.33).

/hgray/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Print Form

PTO/SB/81 (11-08)
Approved for use through 11/30/2011. OMB 0651-0035
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

POWER OF ATTORNEY OR REVOCATION OF POWER OF ATTORNEY WITH A NEW POWER OF ATTORNEY AND CHANGE OF CORRESPONDENCE ADDRESS

Application Number	12/213,969
Filing Date	June 27, 2008
First Named Inventor	Sang-Yun Lee
Title	Method for Making a Three-Dimensional Integrated Circuit
Art Unit	2818
Examiner Name	Nguyen, Thanh T
Attorney Docket Number	SISA13.006

I hereby revoke all previous powers of attorney given in the above-identified application.

☐ A Power of Attorney is submitted herewith.

OR

☒ I hereby appoint Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s) to prosecute the application identified above, and to transact all business in the United States Patent and Trademark Office connected therewith:

102591

OR

☐ I hereby appoint Practitioner(s) named below as my/our attorney(s) or agent(s) to prosecute the application identified above, and to transact all business in the United States Patent and Trademark Office connected therewith:

Practitioner(s) Name	Registration Number

Please recognize or change the correspondence address for the above-identified application to:

☒ The address associated with the above-mentioned Customer Number.

OR

☐ The address associated with Customer Number:

OR

☐	Firm or Individual Name				
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the:

☐ Applicant/Inventor.

OR

☒ Assignee of record of the entire interest. See 37 CFR 3.71.
Statement under 37 CFR 3.73(b) (Form PTO/SB/96) submitted herewith or filed on _____

SIGNATURE of Applicant or Assignee of Record

Signature	Sang-Yun Lee	Date	Mar 19, 2012
Name	Sang-Yun Lee	Telephone	+1 (650) 601-2025
Title and Company	CEO of BeSang, Inc.		

NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below*.

☒ *Total of 1 forms are submitted.

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/96 (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(b)

Applicant/Patent Owner: Sang-Yun Lee

Application No./Patent No.: 10/873,969 Filed/Issue Date: June 21, 2004

Titled: METHOD FOR MAKING A THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE

BeSang, a Corporation

(Name of Assignee) (Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that it is:

1. [X] the assignee of the entire right, title, and interest in;

2. [ ] an assignee of less than the entire right, title, and interest in
(The extent (by percentage) of its ownership interest is _____ %); or

3. [ ] the assignee of an undivided interest in the entirety of (a complete assignment from one of the joint inventors was made)

the patent application/patent identified above, by virtue of either:

A. [X] An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel 026695, Frame 0105, or for which a copy therefore is attached.

OR

B. [ ] A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

2. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

3. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

[ ] Additional documents in the chain of title are listed on a supplemental sheet(s).

[ ] As required by 37 CFR 3.73(b)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (*i.e.*, a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

Sang-Yun Lee — March 19, 2012

Signature — Date

Sang-Yun Lee — CEO

Printed or Typed Name — Title

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Electronic Acknowledgement Receipt

EFS ID:	12492448
Application Number:	10873969
International Application Number:	
Confirmation Number:	7408
Title of Invention:	METHOD FOR MAKING A THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE
First Named Inventor/Applicant Name:	Sang-Yun Lee
Customer Number:	23123
Filer:	Greg L. Martinez
Filer Authorized By:	
Attorney Docket Number:	BESA.13399
Receipt Date:	07-APR-2012
Filing Date:	21-JUN-2004
Time Stamp:	02:07:24
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Power of Attorney	sb0081_fill_BESA_13399_Signeda.pdf	225483 d076b4ee7983055899eef32730edadf940f39e13	no	1

Warnings:	
Information:	

2	Power of Attorney	sb0096_13399_Signeda.pdf	208948 724be774f19d00e3ffe2320af60ee5fed6ab351b	no	1

Warnings:	
Information:	
Total Files Size (in bytes):	434431

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/66 (03-09)
Approved for use through 03/31/2012. OMB 0651-0016
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays valid OMB control number.

PETITION TO ACCEPT UNINTENTIONALLY DELAYED PAYMENT OF MAINTENANCE FEE IN AN EXPIRED PATENT (37 CFR 1.378(c))

Patent Number	Issue Date (YYYY-MM-DD)	Application Number	Filing Date (YYYY-MM-DD)	Docket Number (if applicable)
7052941	2006-05-30	10873969	2004-06-21	BESA.13399

CAUTION: Maintenance fee (and surcharge, if any) payment must correctly identify: (1) the patent number and (2) the application number of the actual U.S. application leading to issuance of that patent to ensure the fee(s) is/are associated with the correct patent. 37 CFR 1.366(c) and (d).

SMALL ENTITY

☒ Patentee claims, or has previously claimed, small entity status. See 37 CFR 1.27.

LOSS OF ENTITLEMENT TO SMALL ENTITY STATUS

☐ Patentee is no longer entitled to small entity status. See 37 CFR 1.27(g)

NOT Small Entity	Fee	Code	Small Entity	Fee	Code
○	3 ½ year	(1551)	◉	3 ½ year	(2551)
○	7 ½ year	(1552)	○	7 ½ year	(2552)
○	11 ½ year	(1553)	○	11 ½ year	(2553)

SURCHARGE

The surcharge required by 37 CFR 1.20(i)(2) (Fee Code 1558) must be paid as a condition of accepting unintentionally delayed payment of the maintenance fee.

MAINTENANCE FEE (37 CFR 1.20(e)-(g))

The appropriate maintenance fee must be submitted with this petition.

STATEMENT

THE UNDERSIGNED CERTIFIES THAT THE DELAY IN PAYMENT OF THE MAINTENANCE FEE TO THIS PATENT WAS UNINTENTIONAL

PETITIONER(S) REQUEST THAT THE DELAYED PAYMENT OF THE MAINTENANCE FEE BE ACCEPTED AND THE PATENT REINSTATED

THIS PORTION MUST BE COMPLETED BY THE SIGNATORY OR SIGNATORIES

37 CFR 1.378(d) states: "Any petition under this section must be signed by an attorney or agent registered to practice before the Patent and Trademark Office, or by the patentee, the assignee, or other party in interest."

I certify, in accordance with 37 CFR 1.4(d)(4) that I am

◉ An attorney or agent registered to practice before the Patent and Trademark Office

○ A sole patentee

○ A joint patentee; I certify that I am authorized to sign this submission on behalf of all the other patentees.

○ A joint patentee; all of whom are signing this e-petition

○ The assignee of record of the entire interest

Patent Practitioner			
A signature of the applicant or representative is required in accordance with 37 CFR 1.33 and 10.18. Please see 37 CFR 1.4(d) for the form of the signature			
Signature	/Greg L. Martinez/	Date (YYYY-MM-DD)	2010-11-10
Name	Greg L. Martinez	Registration Number	53276

This collection of information is required by 37 CFR 1.378(c). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **This form can only be used when in conjunction with EFS-Web. If this form is mailed to the USPTO, it may cause delays in reinstating the patent.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Electronic Patent Application Fee Transmittal

Application Number:	10873969
Filing Date:	21-Jun-2004
Title of Invention:	METHOD FOR MAKING A THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE
First Named Inventor/Applicant Name:	Sang-Yun Lee
Filer:	Greg L. Martinez/Joyce Brown
Attorney Docket Number:	BESA.13399

Filed as Small Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Maintenance Fee Due at 3.5 years	2551	1	490	490
Surcharge after Expiration-Unintentional	1558	1	1640	1640
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
			Total in USD ($)	**2130**

UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
United States Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450
www.uspto.gov

In re Patent No. 7052941
Issue Date: May 30,2006
Application No. 10873969
Filed: June 21,2004
Attorney Docket No. BESA.13399

:
:DECISION GRANTING PETITION
:UNDER 37 CFR 1.378(c)
:

This is a decision on the electronic petition, filed November 10,2010 ,under 37 CFR 1.378(c) to accept the unintentionally delayed payment of the 3.5 year maintenance fee for the above-identified patent.

The petition is **GRANTED**.

The maintenance fee is accepted, and the above-identified patent reinstated as of November 10,2010 . This decision also constitutes notice that the fee has been accepted. An electronic copy of the petition and this decision has been created as an entry in the Image File Wrapper. Nevertheless, petitioner should print and retain an independent copy.

Telephone inquiries related to this electronic decision should be directed to the Electronic Business Center at 1-866-217-9197.

Electronic Acknowledgement Receipt

EFS ID:	8806922
Application Number:	10873969
Patent Number:	7052941
Confirmation Number:	7408
Petition Issued Date:	November 10,2010
Title of Invention:	METHOD FOR MAKING A THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE
First Named Inventor/Applicant Name:	Sang-Yun Lee
Customer Number:	23123
Filer:	Greg L. Martinez/Joyce Brown
Filer Authorized By:	Greg L. Martinez
Attorney Docket Number:	BESA.13399
Receipt Date:	10-NOV-2010
Filing Date:	21-JUN-2004
Time Stamp:	12:24:27
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$2130
RAM confirmation Number	9341
Deposit Account	190513
Authorized User	SCHMEISER, OLSEN & WATTS
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Petition automatically granted by EFS	METHOD_FOR_MAKING_A_THREE_DIMENTIONAL_sb0066e_fill.pdf	842015 aac35c8e28af2d901a46e9a774f7a9e99a0d8426	no	3
Warnings:					
Information:					
2	Fee Worksheet (PTO-875)	fee-info.pdf	32128 2fc381a1696af53b95bd3cefc180130a84159869	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	874143		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
10/873,969	06/21/2004	Sang-Yun Lee	BESA. 13399

CONFIRMATION NO. 7408

23123
SCHMEISER OLSEN & WATTS
18 E UNIVERSITY DRIVE
SUITE # 101
MESA, AZ 85201

POA ACCEPTANCE LETTER

OC000000043582856

Date Mailed: 09/21/2010

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 09/13/2010.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

/mteklemichael/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
10/873,969	06/21/2004	Sang-Yun Lee	BESANG.P001

CONFIRMATION NO. 7408

41536
RAYMOND J. WERNER
2056 NW ALOCLEK DRIVE, SUITE 314
HILLSBORO, OR 97124

POWER OF ATTORNEY NOTICE

OC000000043582833

Date Mailed: 09/21/2010

NOTICE REGARDING CHANGE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 09/13/2010.

- The Power of Attorney to you in this application has been revoked by the applicant. Future correspondence will be mailed to the new address of record(37 CFR 1.33).

/mteklemichael/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

PTO/SB/81A (12-08)
Approved for use through 11/30/2011. OMB 0651-0035
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT - POWER OF ATTORNEY OR REVOCATION OF POWER OF ATTORNEY WITH A NEW POWER OF ATTORNEY AND CHANGE OF CORRESPONDENCE ADDRESS

Patent Number	7,052,941 B2
Issue Date	2006-05-30
First Named Inventor	Sang-Yun Lee
Title	METHOD FOR MAKING A THREE-DIMENSIONAL INTEGRATED ...
Attorney Docket Number	BESA.13399

I hereby revoke all previous powers of attorney given in the above-identified patent.

☐ A Power of Attorney is submitted herewith.

OR

☒ I hereby appoint Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s) with respect to the patent identified above, and to transact all business in the United States Patent and Trademark Office connected therewith: 23123

OR

☐ I hereby appoint Practitioner(s) named below as my/our attorney(s) or agent(s) with respect to the patent identified above, and to transact all business in the United States Patent and Trademark Office connected therewith:

Practitioner(s) Name	Registration Number

Please recognize or change the correspondence address for the above-identified patent to:

☒ The address associated with the above-mentioned Customer Number.

OR

☐ The address associated with Customer Number:

OR

☐ Firm or individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the:

☒ Inventor, having ownership of the patent.

OR

☐ Patent owner.

Statement under 37 CFR 3.73(b) (Form PTO/SB/96) submitted herewith or filed on _____

SIGNATURE of Inventor or Patent Owner

Signature	Sang-Yun Lee	Date	9/10/2010
Name	Sang-Yun Lee	Telephone	
Title and Company	Inventor		

NOTE: Signatures of all the inventors or patent owners of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below*.

☒ *Total of 1 forms are submitted.

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Electronic Acknowledgement Receipt

EFS ID:	8401794
Application Number:	10873969
International Application Number:	
Confirmation Number:	7408
Title of Invention:	METHOD FOR MAKING A THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE
First Named Inventor/Applicant Name:	Sang-Yun Lee
Customer Number:	41536
Filer:	Greg L. Martinez/Joyce Brown
Filer Authorized By:	Greg L. Martinez
Attorney Docket Number:	BESANG.P001
Receipt Date:	13-SEP-2010
Filing Date:	21-JUN-2004
Time Stamp:	12:03:37
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Power of Attorney	METHOD_FOR_MAKING_A_THREE_DIMENTIONAL_POA_13399.pdf	1708097 ac3438386292ea3c8a0bd971e9e006c48f3cbe62	no	2

Warnings:	
Information:	

Total Files Size (in bytes):	1708097

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Docket No. BeSang.P001

OIPE IAP28
JUN 07 2006
PATENT & TRADEMARK OFFICE

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Sang-Yun Lee
Serial No.: 10/873,969 Examiner: Thinh T Nguyen
Filed: June 21, 2004 Docket No.: BeSang.P001
Title: THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE AND METHOD OF MAKING SAME

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

NOTIFICATION OF FILING A DIVISIONAL APPLICATION

Notification is hereby being made of the filing of Divisional Application No. 11/378,059, filed on March 17, 2006 for the above application.

Respectfully submitted,

April 30, 2006

Sang-Yun Lee
Applicant and Inventor

15188 NW Central Dr. Ste. #213
Portland, OR 97229
Phone: 503-533-5150
Fax: 503-533-5150

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571) 273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

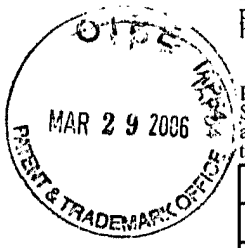
CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

000041536 7590 01/30/2006

RAYMOND J. WERNER
2056 NW ALOCLEK DRIVE, SUITE 314
HILLSBORO, OR 97124

03/30/2006 BABRAHA2 00000033 10873969

01 FC:2501 700.00 OP
02 FC:1504 300.00 OP



Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

Raymond J. Werner	(Depositor's name)
Raymond J. Werner	(Signature)
27 March 2006	(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/873,969	06/21/2004	Sang-Yun Lee	BESANG.P001	7408

TITLE OF INVENTION: METHOD FOR MAKING A THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	YES	$700	$300	$1000	05/01/2006

EXAMINER	ART UNIT	CLASS-SUBCLASS
NGUYEN, THINH T	2818	438-152000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
1 Werner & Axenfeld, PC
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. The following fee(s) are enclosed:
☒ Issue Fee
☒ Publication Fee (No small entity discount permitted)
☐ Advance Order - # of Copies _____

4b. Payment of Fee(s):
☒ A check in the amount of the fee(s) is enclosed.
☐ Payment by credit card. Form PTO-2038 is attached.
☐ The Director is hereby authorized by charge the required fee(s), or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

The Director of the USPTO is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above.
NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature Raymond J. Werner Date 27 March 2006
Typed or printed name Raymond J. Werner Registration No. 34,752

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

000041536 7590 01/30/2006

RAYMOND J. WERNER
2056 NW ALOCLEK DRIVE, SUITE 314
HILLSBORO, OR 97124

EXAMINER	
NGUYEN, THINH T	
ART UNIT	PAPER NUMBER
2818	

DATE MAILED: 01/30/2006

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/873,969	06/21/2004	Sang-Yun Lee	BESANG.P001	7408

TITLE OF INVENTION: METHOD FOR MAKING A THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	YES	$700	$300	$1000	05/01/2006

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE REFLECTS A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE APPLIED IN THIS APPLICATION. THE PTOL-85B (OR AN EQUIVALENT) MUST BE RETURNED WITHIN THIS PERIOD EVEN IF NO FEE IS DUE OR THE APPLICATION WILL BE REGARDED AS ABANDONED.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL should be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). Even if the fee(s) have already been paid, Part B - Fee(s) Transmittal should be completed and returned. If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571) 273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

000041536 7590 01/30/2006

RAYMOND J. WERNER
2056 NW ALOCLEK DRIVE, SUITE 314
HILLSBORO, OR 97124

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)

(Signature)

(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/873,969	06/21/2004	Sang-Yun Lee	BESANG.P001	7408

TITLE OF INVENTION: METHOD FOR MAKING A THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	YES	$700	$300	$1000	05/01/2006

EXAMINER	ART UNIT	CLASS-SUBCLASS
NGUYEN, THINH T	2818	438-152000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively, 1 _____

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 _____ 3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. The following fee(s) are enclosed:

☐ Issue Fee

☐ Publication Fee (No small entity discount permitted)

☐ Advance Order - # of Copies _____

4b. Payment of Fee(s):

☐ A check in the amount of the fee(s) is enclosed.

☐ Payment by credit card. Form PTO-2038 is attached.

☐ The Director is hereby authorized by charge the required fee(s), or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)

☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.

☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

The Director of the USPTO is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above.
NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/873,969	06/21/2004	Sang-Yun Lee	BESANG.P001	7408

000041536 7590 01/30/2006

RAYMOND J. WERNER
2056 NW ALOCLEK DRIVE, SUITE 314
HILLSBORO, OR 97124

EXAMINER	
NGUYEN, THINH T	

ART UNIT	PAPER NUMBER
2818	

DATE MAILED: 01/30/2006

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 23 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 23 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571) 272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at (703) 305-8283.

PTOL-85 (Rev. 07/05) Approved for use through 04/30/2007.
Exhibit 1006 - Page 25 of 375

Notice of Allowability	Application No.	Applicant(s)	
	10/873,969	LEE, SANG-YUN	
	Examiner	Art Unit	
	Thinh T. Nguyen	2818	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *1/10/2006*.

2. ☒ The allowed claim(s) is/are *1-10*.

3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☒ All b) ☐ Some* c) ☐ None of the:
      1. ☒ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
      1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
   (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Notice of Draftperson's Patent Drawing Review (PTO-948)
3. ☐ Information Disclosure Statements (PTO-1449 or PTO/SB/08), Paper No./Mail Date _____
4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
5. ☐ Notice of Informal Patent Application (PTO-152)
6. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
7. ☒ Examiner's Amendment/Comment
8. ☒ Examiner's Statement of Reasons for Allowance
9. ☐ Other _____.

David Nelms
Supervisory Patent Examiner
Technology Center 2800

DETAILED ACTION

Examiner's Amendment.

1. An examiner's amendment to the record appears below. Should the changes and/or additions be unacceptable to applicant, an amendment may be filed as provided by 37 CFR 1.312. To ensure consideration of such an amendment, it MUST be submitted no later than the payment of the issue fee.

Changes the title to:

--METHOD FOR MAKING A THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE --

Reason for allowance

2. Claims 1-10 are allowed.

The following is an examiner's statement of reason for allowance: None of the references of record teaches or suggests the claimed METHOD FOR MAKING A THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE having the steps:

--" providing a first stackable add-on layer, the first stackable add-on layer including a plurality of vertically oriented semiconductor devices disposed within the first stackable add-on layer, the plurality of vertically oriented semiconductor devices separated from each other by dielectric material;

and attaching the stackable add-on layer to a layer of the substrate that is the greatest distance from the substrate as measured from the bottom surface of the substrate."--

and all other steps as recited in claim 1.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance".

Conclusion

3. Any inquiry concerning this communication or earlier communications from the examiner should be directed to Thinh T Nguyen whose telephone number is 571-272-1790. The examiner can normally be reached on Monday-Friday 9:30am-6:30pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, David Nelms can be reached at 571-272-1787.

The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval [PAIR] system.

Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free)

Thinh T Nguyen

Art unit 2818

David Nelms
Supervisory Patent Examiner
Technology Center 2800

Issue Classification	Application/Control No.	Applicant(s)/Patent under Reexamination	
	10/873,969	LEE, SANG-YUN	
	Examiner	Art Unit	
	Thinh T. Nguyen	2818	

ISSUE CLASSIFICATION

ORIGINAL		CROSS REFERENCE(S)							
CLASS	SUBCLASS	CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)						
438	152	438	152	153					
INTERNATIONAL CLASSIFICATION									
H 0 1 L	21/84								
	/								
	/								
	/								
	/								

Thinh T Nguyen 1/2006
(Assistant Examiner) (Date)

G. Stanley 1-26-06
(Legal Instruments Examiner) (Date)

David Nelms
Supervisory Patent Examiner
Technology Center 2800
(Primary Examiner) (Date) 1/06

Total Claims Allowed: 10

O.G. Print Claim(s)	O.G. Print Fig.
1	Fig 8C

☒ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		31		61		91		121		151		181
	2		32		62		92		122		152		182
	3		33		63		93		123		153		183
	4		34		64		94		124		154		184
	5		35		65		95		125		155		185
	6		36		66		96		126		156		186
	7		37		67		97		127		157		187
	8		38		68		98		128		158		188
	9		39		69		99		129		159		189
	10		40		70		100		130		160		190
	11		41		71		101		131		161		191
	12		42		72		102		132		162		192
	13		43		73		103		133		163		193
	14		44		74		104		134		164		194
	15		45		75		105		135		165		195
	16		46		76		106		136		166		196
	17		47		77		107		137		167		197
	18		48		78		108		138		168		198
	19		49		79		109		139		169		199
	20		50		80		110		140		170		200
	21		51		81		111		141		171		201
	22		52		82		112		142		172		202
	23		53		83		113		143		173		203
	24		54		84		114		144		174		204
	25		55		85		115		145		175		205
	26		56		86		116		146		176		206
	27		57		87		117		147		177		207
	28		58		88		118		148		178		208
	29		59		89		119		149		179		209
	30		60		90		120		150		180		210

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Bib Data Sheet

CONFIRMATION NO. 7408

SERIAL NUMBER	FILING DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
10/873,969	06/21/2004 RULE	257	2818	BeSang.P001

APPLICANTS

Sang-Yun Lee, Beaverton, OR;

** CONTINUING DATA **********

** FOREIGN APPLICATIONS **********
REPUBLIC OF KOREA 10-2003-0040920 06/24/2003
REPUBLIC OF KOREA 10-2003-0047515 07/12/2003

IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** SMALL ENTITY **
** 08/13/2004

Foreign Priority claimed ☑ yes ☐ no 35 USC 119 (a-d) conditions met ☑ yes ☐ no ☐ Met after Allowance Verified and Acknowledged Examiner's Signature Initials	STATE OR COUNTRY OR	SHEETS DRAWING 59	TOTAL CLAIMS 20	INDEPENDENT CLAIMS 3	

ADDRESS
000041536
RAYMOND J. WERNER
2056 NW ALOCLEK DRIVE, SUITE 314
HILLSBORO , OR
97124

TITLE
Three-dimensional integrated circuit structure and method of making same

FILING FEE RECEIVED 385	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue)

Index of Claims

Application/Control No.	Applicant(s)/Patent under Reexamination
10/873,969	LEE, SANG-YUN
Examiner	**Art Unit**
Thinh T. Nguyen	2818

√	Rejected	–	(Through numeral) Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

Claim		Date								
Final	Original									
1	1									
2	2									
3	3									
4	4									
5	5									
6	6									
7	7									
8	8									
9	9									
10	10									
	11									
	12									
	13									
	14									
	15									
	16									
	17									
	18									
	19									
	20									
	21									
	22									
	23									
	24									
	25									
	26									
	27									
	28									
	29									
	30									
	31									
	32									
	33									
	34									
	35									
	36									
	37									
	38									
	39									
	40									
	41									
	42									
	43									
	44									
	45									
	46									
	47									
	48									
	49									
	50									

Claim		Date								
Final	Original									
	51									
	52									
	53									
	54									
	55									
	56									
	57									
	58									
	59									
	60									
	61									
	62									
	63									
	64									
	65									
	66									
	67									
	68									
	69									
	70									
	71									
	72									
	73									
	74									
	75									
	76									
	77									
	78									
	79									
	80									
	81									
	82									
	83									
	84									
	85									
	86									
	87									
	88									
	89									
	90									
	91									
	92									
	93									
	94									
	95									
	96									
	97									
	98									
	99									
	100									

Claim		Date								
Final	Original									
	101									
	102									
	103									
	104									
	105									
	106									
	107									
	108									
	109									
	110									
	111									
	112									
	113									
	114									
	115									
	116									
	117									
	118									
	119									
	120									
	121									
	122									
	123									
	124									
	125									
	126									
	127									
	128									
	129									
	130									
	131									
	132									
	133									
	134									
	135									
	136									
	137									
	138									
	139									
	140									
	141									
	142									
	143									
	144									
	145									
	146									
	147									
	148									
	149									
	150									

Search Notes	Application/Control No.	Applicant(s)/Patent under Reexamination
	10/873,969	LEE, SANG-YUN
	Examiner: Thinh T. Nguyen	Art Unit: 2818

SEARCHED			
Class	Subclass	Date	Examiner
438	152	11/16/2005	TTN
257	199	11/16/2005	TTN
257	118	11/17/2005	TTN
438	153	11/17/2005	TTN

INTERFERENCE SEARCHED			
Class	Subclass	Date	Examiner
EAST	PUB	1/17/06	TTN
438	152	1/17/06	TTN

SEARCH NOTES (INCLUDING SEARCH STRATEGY)		
	DATE	EXMR
EAST	11/16/2005	TTN
EAST	11/17/2005	TTN
EAST	1/17/06	TTN

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 10/883,969

CLAIMS AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE	SMALL ENTITY FEE	OR	OTHER THAN SMALL ENTITY RATE	OTHER THAN SMALL ENTITY FEE
BASIC FEE (37 CFR 1.16(a))				$	OR		$
TOTAL CLAIMS (37 CFR 1.16(c))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(b))	minus 3 =	*	X $ =		OR	X $ =	
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(d))			+ $ =		OR	+ $ =	
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL		OR	TOTAL	

CLAIMS AS AMENDED – PART II

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE	SMALL ENTITY ADDITIONAL FEE	OR	OTHER THAN SMALL ENTITY RATE	OTHER THAN SMALL ENTITY ADDITIONAL FEE
Total (37 CFR 1.16(c))	20	Minus	** 20	= –	X $ =		OR	X $ =	
Independent (37 CFR 1.16(b))	3	Minus	*** 3	= –	X $ =		OR	X $ =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))					+ $ =		OR	+ $ =	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

AMENDMENT B

1/10/06	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
Total (37 CFR 1.16(c))	10	Minus	** 20	=	X $ =		OR	X $ =	
Independent (37 CFR 1.16(b))	1	Minus	*** 3	=	X $ =		OR	X $ =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))					+ $ =		OR	+ $ =	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

AMENDMENT C

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
Total (37 CFR 1.16(c))	*	Minus	**	=	X $ =		OR	X $ =	
Independent (37 CFR 1.16(b))	*	Minus	***	=	X $ =		OR	X $ =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))					+ $ =		OR	+ $ =	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	4	"6836015"	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2006/01/17 15:43
L2	1	10/873989	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2006/01/17 15:44
L3	8	10/873969	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2006/01/17 17:02
L4	42666	semiconductor with structure	US-PGPUB	OR	ON	2006/01/17 17:02
L5	10897	4.clm.	US-PGPUB	OR	ON	2006/01/17 17:02
L6	35059	electrical with devices	US-PGPUB	OR	ON	2006/01/17 17:03
L7	2382	6.clm.	US-PGPUB	OR	ON	2006/01/17 17:04
L8	266353	substrate	US-PGPUB	OR	ON	2006/01/17 17:04
L9	123757	8.clm.	US-PGPUB	OR	ON	2006/01/17 17:04
L10	555	7 and 9	US-PGPUB	OR	ON	2006/01/17 17:04
L11	86	5 and 10	US-PGPUB	OR	ON	2006/01/17 17:05
L12	7	stack$5 with add adj on	US-PGPUB	OR	ON	2006/01/17 17:05
L13	86	7 and 11	US-PGPUB	OR	ON	2006/01/17 17:06
L14	0	12.clm.	US-PGPUB	OR	ON	2006/01/17 17:06
L15	2579	stackable	US-PGPUB	OR	ON	2006/01/17 17:06
L16	661	15.clm.	US-PGPUB	OR	ON	2006/01/17 17:07
L17	28	add-on near layer	US-PGPUB	OR	ON	2006/01/17 17:07
L18	3	17.clm.	US-PGPUB	OR	ON	2006/01/17 17:07
L19	2	16 and 18	US-PGPUB	OR	ON	2006/01/17 17:08
L20	2	7 and 19	US-PGPUB	OR	ON	2006/01/17 17:08

RECEIVED
CENTRAL FAX CENTER

JAN 10 2006

FACSIMILE COVER SHEET

To: **Examiner Thinh T Nguyen**
Art Unit 2818

Fax No: 571.273.8300

Date: 10 January 2006

From: Raymond J. Werner
2056 NW Aloclek Drive
Suite 314
Hillsboro, Oregon 97124
503.466.2294 (voice)
503.466.2715 (fax)

Number of pages (including this page): 7

Confirmation copy to follow: Yes____ No__X__

COVER MESSAGE:

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	Sang-Yun Lee	
Application No.	10/873,969	Art Unit : 2818
Filed	21 June 2004	Examiner: Thinh T Nguyen
Title	Three-Dimensional Integrated Circuit Structure And Method Of Making Same	
Docket No.	BeSang.P001	

Documents faxed in the above-referenced application:
1 - Certificate of Transmission by Facsimile (1 page), and
2 - Response and Amendment (5 pages).

THIS TRANSMISSION IS INTENDED ONLY FOR THE INDIVIDUAL OR ENTITY TO WHICH IT IS ADDRESSED. IT MAY CONTAIN PRIVELEDGED, CONFIDENTIAL ATTORNEY WORK PRODUCT, OR TRADE SECRET INFORMATION WHICH IS EXEMPT FROM DISCLOSURE UNDER APPLICABLE LAWS. IF YOU ARE NOT THE INTENDED RECIPENT, OR AN EMPLOYEE OR AGENT RESPONSIBLE FOR DELIVERING THIS MESSAGE TO THE INTENDED RECIPIENT AND HAVE RECEIVED THIS MESSAGE IN ERROR, PLEASE NOTIFY US IMMEDIATELY BY TELEPHONE.

RECEIVED
CENTRAL FAX CENTER

JAN 10 2006

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	Sang-Yun Lee	
Application No.	10/873,969	Art Unit : 2818
Filed	21 June 2004	Examiner: Thinh T Nguyen
Title	Three-Dimensional Integrated Circuit Structure And Method Of Making Same	
Docket No.	BeSang.P001	

CERTIFICATE OF TRANSMISSION BY FACSIMILE
37 CFR 1.8

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

I hereby certify that the following items:

1 - Certificate of Transmission by Facsimile (1 page), and
2 - Response and Amendment (5 pages).

are being transmitted by facsimile to 571.273.8300 pursuant to 37 CFR 1.8 on the date indicated below.

Raymond J. Werner

Raymond J. Werner

10 January 2006

Date of Transmission

Raymond J. Werner
2056 NW Aloclek Drive
Suite 314
Hillsboro, Oregon 97124
T: 503.466.2294
F: 503.466.2715

RECEIVED
CENTRAL FAX CENTER

JAN 10 2006

Application. No. 10/873,969

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	Sang-Yun Lee	
Application No.	10/873,969	Art Unit : 2818
Filed	21 June 2004	Examiner: Thinh T Nguyen
Title	Three-Dimensional Integrated Circuit Structure And Method Of Making Same	
Docket No.	BeSang.P001	

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

RESPONSE AND AMENDMENT

Sir:

This is in response to the Office Action of 13 September 2005.

Presented below, and beginning on separate sheets, are various sections, including, a Claim Amendments section, and a Remarks section.

PAGE 3/7 * RCVD AT 1/10/2006 4:30:23 PM [Eastern Standard Time] * SVR:USPTO-EFXRF-6/34 * DNIS:2738300 * CSID:503 533 8243 * DURATION (mm-ss):03-26

Application. No. 10/873,969

IN THE CLAIMS

1. (Amended) A method of forming a semiconductor structure, comprising:

providing a substrate having electrical devices formed therein, and further having at least one dielectric layer and at least one interconnect layer disposed above the substrate;

providing a first stackable add-on layer, the first stackable add-on layer including a plurality of vertically oriented semiconductor devices disposed within the first stackable add-on layer, the plurality of vertically oriented semiconductor devices separated from each other by dielectric material; and

attaching the stackable add-on layer to a layer of the substrate that is the greatest distance from the substrate **as measured from the bottom surface of the substrate**.

2. (Original) The method of Claim 1, wherein the plurality of vertically oriented semiconductor devices includes at least one n-p-n stack.

3. (Original) The method of Claim 2, further comprising forming a gate dielectric on the n-p-n stack, and forming a gate electrode on the gate dielectric.

4. (Original) The method of Claim 3, wherein the gate electrode is disposed on the gate dielectric such that it is adjacent at least a p region of the n-p-n stack so as to form an n-type MOSFET.

PAGE 4/7 * RCVD AT 1/10/2006 4:30:23 PM [Eastern Standard Time] * SVR:USPTO-EFXRF-6/34 * DNIS:2738300 * CSID:503 533 8243 * DURATION (mm-ss):03-26

5. (Original) The method of Claim 1, wherein the plurality of vertically oriented semiconductor devices includes at least one p-n-p stack.

6. (Original) The method of Claim 5, further comprising forming a gate dielectric on the p-n-p stack, and forming a gate electrode on the gate dielectric.

7. (Original) The method of Claim 6, wherein the gate electrode is disposed on the gate dielectric such that it is adjacent at least an n region of the p-n-p stack so as to form a p-type MOSFET.

8. (Original) The method of Claim 1, wherein the plurality of vertically oriented semiconductor devices includes at least one floating gate non-volatile memory device.

9. (Original) The method of Claim 8, wherein a vertically oriented erase gate is disposed adjacent the at least one floating gate non-volatile memory device.

10. (Original) The method of Claim 1, further comprising attaching a second stackable add-on layer above the first stackable add-on layer.

11. - 20. (Cancelled)

PAGE 5/7 * RCVD AT 1/10/2006 4:30:23 PM [Eastern Standard Time] * SVR:USPTO-EFXRF-6/34 * DNIS:2738300 * CSID:503 533 8243 * DURATION (mm-ss):03-26

Application. No. 10/873,969

REMARKS

This is in response to the Office Action of 28 November 2005. Claims 1-20 are pending in the application, Claims 1-10 have been allowed, and Claim 1 has been objected to for an informality. The Examiner states that the application is condition for allowance except for the objection to Claim 1, and further states that prosecution on the merits is closed.

By this Response and Amendment, non-elected Claims 11-20 are cancelled, and the cited informality in Claim 1 has been amended as suggested by the Examiner.

No new matter has been added.

Allowed Claims

The Examiner has stated that the application is in condition for allowance except for the objection to Claim 1. Claims 1-10 have been allowed, and prosecution on the merits is closed.

Objection to Claim 1

The Examiner has objected to Claim 1 and has suggested corrected language.

By this Response and Amendment, Applicant has amended independent Claim 1 as suggested by the Examiner. In view of this amendment, Applicant respectfully submits that the objection has been overcome.

Conclusion

Applicant respectfully requests that a timely Notice of Allowance be issued in this case.

PAGE 6/7 * RCVD AT 1/10/2006 4:30:23 PM [Eastern Standard Time] * SVR:USPTO-EFXRF-6/34 * DNIS:2738300 * CSID:503 533 8243 * DURATION (mm-ss):03-26

Application. No. 10/873,969

Respectfully submitted,

By Raymond U. Werner

Raymond U. Werner
Reg. No. 34,752

Dated: 10 January 2006
Hillsboro, Oregon

PAGE 7/7 * RCVD AT 1/10/2006 4:30:23 PM [Eastern Standard Time] * SVR:USPTO-EFXRF-6/34 * DNIS:2738300 * CSID:503 533 8243 * DURATION (mm-ss):03-26

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/873,969	06/21/2004	Sang-Yun Lee	BeSang.P001	7408

41536 7590 11/28/2005

RAYMOND J. WERNER
2056 NW ALOCLEK DRIVE, SUITE 314
HILLSBORO, OR 97124

EXAMINER	
NGUYEN, THINH T	

ART UNIT	PAPER NUMBER
2818	

DATE MAILED: 11/28/2005

Please find below and/or attached an Office communication concerning this application or proceeding.

Office Action Summary	Application No.	Applicant(s)	
	10/873,969	LEE, SANG-YUN	
	Examiner	Art Unit	
	Thinh T. Nguyen	2818	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 2 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *28 September 2005*.

2a)☐ This action is **FINAL**. 2b)☐ This action is non-final.

3)☒ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-10* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☒ Claim(s) *1-10* is/are allowed.

6)☐ Claim(s) _____ is/are rejected.

7)☒ Claim(s) *1* is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *12 June 2004* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO-1449 or PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____.
5) ☐ Notice of Informal Patent Application (PTO-152)
6) ☐ Other: _____.

DETAIL OFFICE ACTION

Election/Restriction

1. Applicant's election **without traverse** of claims **1-10** in the communication with the Office on 9/28/2005 is acknowledged.

Specification

2. The specification has been checked to the extent necessary to determine the presence of all possible minor errors. However, the applicant cooperation is requested in correcting any errors of which the applicant may become aware in the specification.

Claim Objection

3. Claim 1 is objected to for the unclear recitation : -- " That is the greatest distance from the substrate "--. Which can make it to become indefinite.

It is unclear what distance that the applicant refers to.

Applicant is required to amend the claim so that the claim will be in acceptable form to clearly defines the meter and bound of the invention that the Applicant wishes to have patent protection from the Office. The Examiner suggests the applicant amend the last recitation of claim

1 to -- That is the greatest distance from the substrate **measuring from the bottom surface of the substrate**. --

4. This application is in condition for allowance except for the objection to claim 1. Applicant is given TWO MONTH or SIXTY DAYS from the date of this letter, whichever is longer, to amend the noted claim or take other appropriate action (37 CFR 1.144).

Prosecution on the merits of this case is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213. except for consideration of the above matter.

A shortened statutory period for reply to this action is set to expire **TWO MONTHS** from the mailing date of this letter.

5. When responding to the office action, Applicants are advised to provide the examiner with the line numbers and page numbers in the application and/or references cited to assist the examiner to locate the appropriate paragraphs.

6. Receipt is acknowledged of papers submitted under 35 U.S.C. 119(a)-(d) which papers have been placed of record in the file.

Conclusion

7. The prior arts made of record and not relied upon are considered pertinent to applicant disclosure: Greenlaw (US patent 6,943,067) discloses a three dimensional integrated

semiconductor device

8. Any inquiry concerning this communication or earlier communications from the examiner should be directed to Thinh T Nguyen whose telephone number is 571-272-1790. The examiner can normally be reached on Monday-Friday 9:00am-6:00pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, David Nelms can be reached on 571-272-1787. The fax phone numbers for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval [PAIR] system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free).

Thinh T Nguyen TTN

Art Unit 2818

David Nelms
Supervisory Patent Examiner
Technology Center 2800

Notice of References Cited	Application/Control No. 10/873,969	Applicant(s)/Patent Under Reexamination LEE, SANG-YUN	
	Examiner Thinh T. Nguyen	Art Unit 2818	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-6,943,067	09-2005	Greenlaw, David	438/152
	B	US-			
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Bib Data Sheet

CONFIRMATION NO. 7408

SERIAL NUMBER	FILING DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
10/873,969	06/21/2004 RULE	257	2818	BeSang.P001

APPLICANTS

Sang-Yun Lee, Beaverton, OR;

** CONTINUING DATA **********

** FOREIGN APPLICATIONS **********
REPUBLIC OF KOREA 10-2003-0040920 06/24/2003
REPUBLIC OF KOREA 10-2003-0047515 07/12/2003

IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** SMALL ENTITY **
** 08/13/2004

Foreign Priority claimed ☑ yes ☑ no 35 USC 119 (a-d) conditions met ☑ yes ☐ no ☐ Met after Allowance Verified and Acknowledged Examiner's Signature Initials	STATE OR COUNTRY OR	SHEETS DRAWING 59	TOTAL CLAIMS 20	INDEPENDENT CLAIMS 3

ADDRESS
000041536
RAYMOND J. WERNER
2056 NW ALOCLEK DRIVE, SUITE 314
HILLSBORO , OR
97124

TITLE
Three-dimensional integrated circuit structure and method of making same

FILING FEE RECEIVED 385	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue)

Index of Claims

Application/Control No.	Applicant(s)/Patent under Reexamination
10/873,969	LEE, SANG-YUN
Examiner	**Art Unit**
Thinh T. Nguyen	2818

√	Rejected	–	(Through numeral) Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

Claim		Date
Final	Original	
	1	= O
	2	
	3	
	4	
	5	
	6	
	7	
	8	
	9	
	10	
	11	
	12	
	13	
	14	
	15	
	16	
	17	
	18	
	19	
	20	
	21	
	22	
	23	
	24	
	25	
	26	
	27	
	28	
	29	
	30	
	31	
	32	
	33	
	34	
	35	
	36	
	37	
	38	
	39	
	40	
	41	
	42	
	43	
	44	
	45	
	46	
	47	
	48	
	49	
	50	

Claim		Date
Final	Original	
	51	
	52	
	53	
	54	
	55	
	56	
	57	
	58	
	59	
	60	
	61	
	62	
	63	
	64	
	65	
	66	
	67	
	68	
	69	
	70	
	71	
	72	
	73	
	74	
	75	
	76	
	77	
	78	
	79	
	80	
	81	
	82	
	83	
	84	
	85	
	86	
	87	
	88	
	89	
	90	
	91	
	92	
	93	
	94	
	95	
	96	
	97	
	98	
	99	
	100	

Claim		Date
Final	Original	
	101	
	102	
	103	
	104	
	105	
	106	
	107	
	108	
	109	
	110	
	111	
	112	
	113	
	114	
	115	
	116	
	117	
	118	
	119	
	120	
	121	
	122	
	123	
	124	
	125	
	126	
	127	
	128	
	129	
	130	
	131	
	132	
	133	
	134	
	135	
	136	
	137	
	138	
	139	
	140	
	141	
	142	
	143	
	144	
	145	
	146	
	147	
	148	
	149	
	150	

Search Notes	Application/Control No.	Applicant(s)/Patent under Reexamination
	10/873,969	LEE, SANG-YUN
	Examiner: Thinh T. Nguyen	Art Unit: 2818

SEARCHED			
Class	Subclass	Date	Examiner
438	152	11/16/2005	TTN
257	199	11/16/2005	TTN
257	118	11/17/2005	TTN
438	153	11/17/2005	TTN

INTERFERENCE SEARCHED			
Class	Subclass	Date	Examiner

SEARCH NOTES (INCLUDING SEARCH STRATEGY)		
	DATE	EXMR
EAST	11/16/2005	TTN
EAST	11/17/2005	

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	180	3D adj IC	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 09:23
L2	80	"3" adj D adj IC	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 09:25
L3	309516	three adj dimensional	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 09:25
L4	567033	integrated adj circuit	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 09:26
L5	2591	3 with 4	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 09:26
L6	4025	3 same 4	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 09:26
L7	255	1 2	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 09:26
L8	156	7 and vertical	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 10:16
L9	8968614	diode device capacitor transistor FET inductor	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 09:33
L10	15	7 near 9	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 09:35

L11	8	10 and vertical	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 09:35
L12	2	"20040262635"	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:34
L13	22459	vertical with (transistor FET)	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 10:20
L14	3575	vertical adj (transistor FET)	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 10:20
L15	2	7 and 14	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 10:26
L16	30	6 and 14	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 10:31
L17	19	5 and 14	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:06
L18	6	NPN adj stack	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:12
L19	1	10/813969	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:15
L20	278185	Lee.inv.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:15

L21	60	Sang-Yun.inv.	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:18
L22	6	PNP adj stack	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:18
L23	22	N-P-N with stack	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 12:04
L24	22	P-N-P with stack	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:38
L25	99	NPN with stack	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:38
L26	83	PNP with stack	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:39
L27	0	7 and 25	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:39
L28	0	7 and 26	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:40
L29	6	3 and (25 26)	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:48
L30	2	"6426530"	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 11:49

L31	331623	vertical with lateral with device aith integration	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 12:04
L32	43	vertical with lateral with device with integration	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 13:26
L33	526	5 and vertical and bond$5	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 13:26
L34	288	33 and stack	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 13:40
L35	20	"5936280"	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 13:59
L36	353	5 and SOI	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 13:59
L37	467	silicon adj on adj insulator	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 13:59
L38	0	5 and 37	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 13:59
L39	0	6 and 37	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 14:00
L40	205	36 and bond$5	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 14:05

L41	9	40 and (vertical with lateral)	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/17 14:06

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	2	"20040262635"	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:46
L2	14181	vertical near device	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:47
L3	1586891	semiconductor	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:47
L4	33805	semi adj conductor	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:48
L5	1886	2 same (3 4)	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:48
L6	59052	"3" adj D	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:49
L7	80	"3" adj D adj IC	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:50
L8	0	add adj on adj layer	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:50
L9	496	add-on with layer	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:51
L10	1	7 and 9	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:55

L11	7	"6600173"	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:56
L12	81231	bonded with substrate	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:56
L13	1533	vertical adj device	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:57
L14	66	12 and 13	US-PGPUB; USPAT; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2005/11/16 17:57

PTO/SB/06 (08-03)
Approved for use through 7/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 10/883,969

CLAIMS AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE	SMALL ENTITY FEE	OR	OTHER THAN SMALL ENTITY RATE	OTHER THAN SMALL ENTITY FEE
BASIC FEE (37 CFR 1.16(a))				$____	OR		$____
TOTAL CLAIMS (37 CFR 1.16(c))	minus 20 =	*	X $____ =		OR	X $____ =	
INDEPENDENT CLAIMS (37 CFR 1.16(b))	minus 3 =	*	X $____ =		OR	X $____ =	
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(d))			+ $____ =		OR	+ $____ =	
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL		OR	TOTAL	

CLAIMS AS AMENDED – PART II

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE	SMALL ENTITY ADDITIONAL FEE	OR	OTHER THAN SMALL ENTITY RATE	OTHER THAN SMALL ENTITY ADDITIONAL FEE
Total (37 CFR 1.16(c))	* 20	Minus	** 20	= —	X $____ =		OR	X $____ =	
Independent (37 CFR 1.16(b))	* 3	Minus	*** 3	= —	X $____ =		OR	X $____ =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))					+ $____ =		OR	+ $____ =	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE	SMALL ENTITY ADDITIONAL FEE	OR	OTHER THAN SMALL ENTITY RATE	OTHER THAN SMALL ENTITY ADDITIONAL FEE
Total (37 CFR 1.16(c))	*	Minus	**	=	X $____ =		OR	X $____ =	
Independent (37 CFR 1.16(b))	*	Minus	***	=	X $____ =		OR	X $____ =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))					+ $____ =		OR	+ $____ =	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

AMENDMENT C

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE	SMALL ENTITY ADDITIONAL FEE	OR	OTHER THAN SMALL ENTITY RATE	OTHER THAN SMALL ENTITY ADDITIONAL FEE
Total (37 CFR 1.16(c))	*	Minus	**	=	X $____ =		OR	X $____ =	
Independent (37 CFR 1.16(b))	*	Minus	***	=	X $____ =		OR	X $____ =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))					+ $____ =		OR	+ $____ =	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

RECEIVED
CENTRAL FAX CENTER

SEP 2 8 2005

FACSIMILE COVER SHEET

To: **Examiner Thinh T Nguyen**
Art Unit 2818

Fax No: 571.273.8300

Date: 27 September 2005

From: Raymond J. Werner
2056 NW Aloclek Drive
Suite 314
Hillsboro, Oregon 97124
503.466.2294 (voice)
503.466.2715 (fax)

Number of pages (including this page): 4

Confirmation copy to follow: Yes____ No__X__

COVER MESSAGE:

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	Sang-Yun Lee	
Application No.	10/873,969	Art Unit : 2818
Filed	21 June 2004	Examiner: Thinh T Nguyen
Title	Three-Dimensional Integrated Circuit Structure And Method Of Making Same	
Docket No.	BeSang.P001	

Documents faxed in the above-referenced application:
1 - Certificate of Transmission by Facsimile (1 page), and
2 - Response To Restriction and Election of Species Requirements (2 pages).

THIS TRANSMISSION IS INTENDED ONLY FOR THE DESIGNATED [illegible]
PRIVILEDGED, CONFIDENTIAL ATTORNEY WORK PRODUCT, OR TRADE SECRET INFORMATION WHICH IS EXEMPT FROM [illegible]
RESPONSIBLE FOR DELIVERING THIS MESSAGE TO THE INTENDED RECIPIENT AND HAVE RECEIVED THIS MESSAGE IN ERROR, PLEASE NOTIFY US IMMEDIATELY BY TELEPHONE.

RECEIVED
CENTRAL FAX CENTER
SEP 28 2005

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	Sang-Yun Lee	
Application No.	10/873,969	Art Unit : 2818
Filed	21 June 2004	Examiner: Thinh T Nguyen
Title	Three-Dimensional Integrated Circuit Structure And Method Of Making Same	
Docket No.	BeSang.P001	

CERTIFICATE OF TRANSMISSION BY FACSIMILE
37 CFR 1.8

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

I hereby certify that the following items:

1 - Certificate of Transmission by Facsimile (1 page), and
2 - Response To Restriction and Election of Species Requirement (2 pages).

are being transmitted by facsimile to 571.273.8300 pursuant to 37 CFR 1.8 on the date indicated below.

Raymond J. Werner

27 September 2005
Date of Transmission

Raymond J. Werner
2056 NW Aloclek Drive
Suite 314
Hillsboro, Oregon 97124
T: 503.466.2294
F: 503.466.2715

Application. No. 10/873,969

RECEIVED
CENTRAL FAX CENTER
SEP 28 2005

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	Sang-Yun Lee	
Application No.	10/873,969	Art Unit : 2818
Filed	21 June 2004	Examiner: Thinh T Nguyen
Title	Three-Dimensional Integrated Circuit Structure And Method Of Making Same	
Docket No.	BeSang.P001	

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

RESPONSE TO
RESTRICTION AND ELECTION OF SPECIES REQUIREMENTS

Sir:

This is in response to the Office Action of 13 September 2005.

Presented below, and beginning on a separate sheet, is a Remarks section.

PAGE 3/4 * RCVD AT 9/28/2005 6:02:54 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/24 * DNIS:2738300 * CSID:503 533 8243 * DURATION (mm-ss):01-58

Application. No. 10/873,969

REMARKS

This is in response to the Office Action of 13 September 2005. Claims 1-20 are pending in the application, and Claims 1-20 are subject to restriction and election of species requirements. More particularly, the Examiner has required restriction to the Group I invention of Claims 18-20 drawn to a semiconductor device, or to the Group II invention of Claims 1-17 drawn to a process of making a semiconductor device. The Examiner has further made an election of species requirement with respect to the Group II invention, such that upon election of the Group II invention Applicant must further elect either Species I (Claims 1-10) or Species II (Claims 11-17).

By this Response, Applicant hereby makes the following election of Group and Species, without traverse, for prosecution on the merits. Specifically, Applicant, responsive to the Restriction Requirement elects the invention of Group II (Claims 1-17), and responsive to the Election of Species requirement elects Species I (Claims 1-10).

Applicant may file one or more divisional patent applications to pursue non-elected subject matter during the pendency of this application.

Applicant respectfully requests that a timely Notice of Allowance be issued in this case.

Respectfully submitted,

By Raymond J. Werner

Raymond J. Werner
Reg. No. 34,752

Dated: 27 September 2005
Hillsboro, Oregon

BEST AVAILABLE COPY

PAGE 4/4 * RCVD AT 9/28/2005 6:02:54 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/24 * DNIS:2738300 * CSID:503 533 8243 * DURATION (mm-ss):01-58

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/873,969	06/21/2004	Sang-Yun Lee	BeSang.P001	7408

41536 7590 09/13/2005

RAYMOND J. WERNER
2056 NW ALOCLEK DRIVE, SUITE 314
HILLSBORO, OR 97124

EXAMINER	
NGUYEN, THINH T	
ART UNIT	**PAPER NUMBER**
2818	

DATE MAILED: 09/13/2005

Please find below and/or attached an Office communication concerning this application or proceeding.

Office Action Summary	Application No.	Applicant(s)	
	10/873,969	LEE, SANG-YUN	
	Examiner	Art Unit	
	Thinh T. Nguyen	2818	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 1 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *21 June 2004*.

2a)☐ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-20* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☐ Claim(s) _____ is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☒ Claim(s) *1-20* are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☐ All b)☐ Some * c)☐ None of:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO-1449 or PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____.
5) ☐ Notice of Informal Patent Application (PTO-152)
6) ☐ Other: _____.

DETAILED OFFICE ACTION

Election/Restrictions

Claims 1- 20 are pending in this application.

1. Restriction to one of the following inventions is required under 35 U.S.C. 121:

Group I. Claims 18-20 drawn to a semiconductor device, classified in class 257, subclass 758.

Group II. Claims 18-20, drawn to process of making a semiconductor device, classified in class 438, and subclass 118.

2. The inventions are distinct, each from the other because of the following reasons:

Inventions II and I are related as process of making and product made. The inventions are distinct if either or both of following can be shown: (1) that the process as claimed can be use to make other and materially different product or (2) that the product as claimed can be made by another and materially different process or by hand (MPEP § 806.05(f)). In the instance case unpatentabilities of the group I invention would not necessarily imply unpatentability of the group II invention, since the device of the group I invention could be made by the processes materially different from those of the group II invention, **for example, in the claim 1 a method for making the device of claim 20 , wherein this method can be used to fabricate a semiconductor device wherein the second doped region is provided with a direct electrical contact that is a materially different device from claim 20 with a second doped region that is not provided with a direct electrical contact.**

3 In the case applicant elect group II these claims are required to be further restricted under 35 U.S.C. 121 as the following:

The claims are directed to the following patently distinct species of the claimed invention:

Species I. Claims 1-10 and as best as can be understood is described in claim 1 is directed to a method of making a semiconductor device with all the technical feature as recited in claim 1.

Species II. Claims 11- 17 and as best as can be understood is described in claim 11 is directed to a method of making a semiconductor device with all the technical feature as recited in claim 11.

4. Because these inventions are distinct for the reasons given above and have acquired a separate status in the art as shown by their different classification, the fields of search are not co-extensive. Therefore, separate examination would be required and restriction for examination purposes as indicated is proper.

5 for species restriction requirement; Applicant is required under 35 U.S.C. 121 to elect a single disclosed species for prosecution on the merits to which the claims shall be restricted if no generic claim is finally held to be allowable.

Applicant is advised that a reply to this requirement must include an identification of the species that is elected consonant with this requirement, and a listing of all claims readable thereon, including any claims subsequently added. An argument that a claim is allowable or that all claims are generic is considered nonresponsive unless accompanied by an election.

Upon the allowance of a generic claim, applicant will be entitled to consideration of claims to additional species which are written in dependent form or otherwise include all the limitations of an allowed generic claim as provided by 37 CFR 1.141. If claims are added after the election, applicant must indicate which are readable upon the elected species. MPEP § 809.02(a).

Should applicant traverse on the ground that the species are not patentably distinct, applicant should submit evidence or identify such evidence now of record showing the species to be obvious variants or clearly admit on the record that this is the case. In either instance, if the examiner finds one of the inventions unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C. 103(a) of the other invention.

6. Applicant is advised that the response to this requirement to be complete must include an election of the invention to be examined even though the requirement be traversed (37 CFR 1.143).

7. Applicant is reminded that upon the cancellation of claims to a non-elected invention, the inventorship must be amended in compliance with 37 CFR 1.48(b) if one or more of the currently named inventors is no longer an inventor of at least one claim remaining in the application. Any amendment of inventorship must be accompanied by a diligently filed petition under 37 CFR 1.48(b) and by the fee required under 37 CFR 1.17(h).

Conclusion

8. Any inquiry concerning this communication on earlier communications from the examiner should be directed to Thinh T Nguyen whose telephone number is 571-272-1790. The examiner can normally be reached on Monday-Friday from 9:00 AM to 6:00 PM. The examiner's supervisor, David Nelms can be reached on 571-272-1787.The-fax phone number for the organization where this application or proceeding is assigned is (703) 872-9306

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval [PAIR] system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR

system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free).

Thinh T Nguyen

Art Unit 2818

Index of Claims

Application/Control No.	Applicant(s)/Patent under Reexamination
10/873,969	LEE, SANG-YUN
Examiner	**Art Unit**
Thinh T. Nguyen	2818

√	Rejected	–	(Through numeral) Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

Claim		Date								
Final	Original									
	1	X								
	2	\								
	3	\								
	4	\								
	5	\								
	6	\								
	7	\								
	8	\								
	9	\								
	10	\								
	11	\								
	12	\								
	13	\								
	14	\								
	15	\								
	16	\								
	17	\								
	18	\								
	19	\								
	20	X								
	21									
	22									
	23									
	24									
	25									
	26									
	27									
	28									
	29									
	30									
	31									
	32									
	33									
	34									
	35									
	36									
	37									
	38									
	39									
	40									
	41									
	42									
	43									
	44									
	45									
	46									
	47									
	48									
	49									
	50									

Claim		Date								
Final	Original									
	51									
	52									
	53									
	54									
	55									
	56									
	57									
	58									
	59									
	60									
	61									
	62									
	63									
	64									
	65									
	66									
	67									
	68									
	69									
	70									
	71									
	72									
	73									
	74									
	75									
	76									
	77									
	78									
	79									
	80									
	81									
	82									
	83									
	84									
	85									
	86									
	87									
	88									
	89									
	90									
	91									
	92									
	93									
	94									
	95									
	96									
	97									
	98									
	99									
	100									

Claim		Date								
Final	Original									
	101									
	102									
	103									
	104									
	105									
	106									
	107									
	108									
	109									
	110									
	111									
	112									
	113									
	114									
	115									
	116									
	117									
	118									
	119									
	120									
	121									
	122									
	123									
	124									
	125									
	126									
	127									
	128									
	129									
	130									
	131									
	132									
	133									
	134									
	135									
	136									
	137									
	138									
	139									
	140									
	141									
	142									
	143									
	144									
	145									
	146									
	147									
	148									
	149									
	150									

IFW DAC

OIPE
OCT 0 1 2004
PATENT & TRADEMARK OFFICE

PTO/SB/21 (04-04)
Approved for use through 07/31/2006. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Application Number	10/873,969
Filing Date	21 June 2004
First Named Inventor	Sang-Yun Lee
Art Unit	Licensing & Review
Examiner Name	Ian J. Lobo
Total Number of Pages In This Submission: 6	Attorney Docket Number: BeSang.P001

ENCLOSURES *(Check all that apply)*

- [ ] Fee Transmittal Form
- [ ] Fee Attached
- [ ] Amendment/Reply
- [ ] After Final
- [ ] Affidavits/declaration(s)
- [ ] Extension of Time Request
- [ ] Express Abandonment Request
- [ ] Information Disclosure Statement
- [ ] Certified Copy of Priority Document(s)
- [ ] Response to Missing Parts/ Incomplete Application
- [ ] Response to Missing Parts under 37 CFR 1.52 or 1.53
- [ ] Drawing(s)
- [ ] Licensing-related Papers
- [x] Petition
- [ ] Petition to Convert to a Provisional Application
- [ ] Power of Attorney, Revocation Change of Correspondence Address
- [ ] Terminal Disclaimer
- [ ] Request for Refund
- [ ] CD, Number of CD(s) _____
- [ ] After Allowance communication to Technology Center (TC)
- [ ] Appeal Communication to Board of Appeals and Interferences
- [ ] Appeal Communication to TC **(Appeal Notice, Brief, Reply Brief)**
- [ ] Proprietary Information
- [ ] Status Letter
- [x] Other Enclosure(s) (please Identify below): Return post card Declaration of Sungmin Park

Remarks

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Raymond J. Werner
Signature	Raymond J. Werner Reg. No. 34,752
Date	28 Sept. 2004

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name	Raymond J. Werner		
Signature	Raymond J. Werner	Date	28 Sept. 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

OIPE
OCT 0 1 2004
PATENT & TRADEMARK OFFICE

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	:	Sang-Yun Lee	;
Appl. No.	:	10/873,969	; Art Unit : **Licensing & Review**
Filed	:	21 June 2004	; Examiner : **Ian J. Lobo**
Title	:	Three-Dimensional Integrated Circuit Structure And Method Of Making Same	;
Docket No.	:	BeSang.P001	;

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

RENEWAL OF
PETITION FOR
RETROACTIVE FOREIGN FILING LICENSE
UNDER 37 CFR 5.25(b)

Sir:

This is in response to the Decision On Request Under 37 CFR 5.25 dated 02 September 2004.

REMARKS

Applicant filed a Petition For Retroactive Foreign Filing License Under 35 USC 184 and 37 CFR 5.25 in connection with the above-identified application on 16 July 2004. The Petition included a Summary, a short statement of the Nature of the Invention, a Statement of Facts Involved, a Request for a Retroactive Foreign Filing license; and a Declaration by the Applicant, Mr. Sang-Yun Lee, in support of the Petition.

In the Decision on Request Under 37 CFR 5.25, dated 02 September 2004, the Examiner indicates that what is further required in the instant case is a verified statement by the Korean patent attorney averring to the details surrounding the proscribed filing.

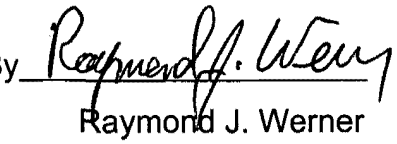
Submitted herewith is the Declaration of Sungmin Park In Support of Petition for Retroactive Foreign Filing License Under 35 USC 184 and 37 CFR 5.25. As can be seen in this declaration, Mr. Park was the Korean patent attorney that filed the two Korean patent applications in question in this case. However, as Mr. Parks' declaration further sets forth, he is not licensed to practice in the United States, and was not aware, at the time of filing, of the requirements under US law to file first in the United States for inventions made in this country.

Taken together, the declarations of the Applicant, Sang-Yun Lee, and of his Korean patent attorney, Sungmin Park, show that the proscribed filings were made through error and without any deceptive intent.

Applicant respectfully renews the request for a retroactive foreign filing license to be granted in this case.

If a telephone conversation with Applicant's undersigned representative would in any facilitate the granting of the retroactive foreign filing license, the Examiner is invited to contact to Raymond J. Werner at 503.466.2294.

Respectfully submitted,

By 

Dated: 28 September 2004
Hillsboro, Oregon

Raymond J. Werner
Attorney for Applicant
Reg. No. 34,752

OIPE JC105 OCT 01 2004 PATENT & TRADEMARK OFFICE

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	:	Sang-Yun Lee		
Appl. No.	:	10/873,969	Art Unit	: Not Assigned
Filed	:	21 June 2004	Examiner	: Not Assigned
Title	:	Three-Dimensional Integrated Circuit Structure And Method Of Making Same		
Docket No.	:	BeSang.P001		

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

DECLARATION OF SUNGMIN PARK
IN SUPPORT
OF
PETITION FOR
RETROACTIVE FOREIGN FILING LICENSE
UNDER 35 USC 184 and 37 CFR 5.25

In support of the Petition for Retroactive Foreign Filing License under 35 USC 184 and 37 CFR 5.25, filed on 16 July 2004, Sungmin Park makes the following Declaration:

1) I am a citizen of the Republic of Korea (South Korea), presently reside in South Korea, and have offices at Suite 2010 Sungi Heights No. 1, 702-13 Yoksam-Dong, Gangnam-Gu, Seoul 135-917;

2) I am a patent attorney in South Korea, and not admitted to practice law in the United States;

4) At the request of Sang-Yun Lee, I filed a first patent application, prepared in the Korean language, on 24 June 2003, and this application was assigned the application number 10-2003-0040920 by the Korean Intellectual Property Office;

5) At the request of Sang-Yun Lee, I filed a second patent application, prepared in the Korean language, on 12 July 2003, and this application was assigned the application number 10-2003-0047515 by the Korean Intellectual Property Office;

6) At the time of filing the first and second above-identified Korean patent applications, I was unaware of the requirements of United States Patent Law at 35 USC 184 regarding the prohibition of filing a patent application outside the United States for an invention made in the United States, prior to issuance of a foreign filing license or the expiry of six months from the date of filing an application for patent in the United States;

7) Being a Korean patent attorney, that is licensed to practice in the Republic of Korea and not in the United States, and being unaware of the requirements of 35 USC 184 at the time of filing of the above-identified Korean patent applications, I therefore did not advise Sang-Yun Lee regarding the requirements of United States Patent Law, nor did I provide him with any information regarding the United States requirements for foreign filing; and

8) I was not at the time of filing, nor at any subsequent time, under the belief or impression that the filings of the two Korean patent applications identified above were made with any deceptive intent.

I, Sungmin Park, hereby declare that all statements made herein of my own knowledge are true and that statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 USC 1001 and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Date: 25 September 2004
Seoul, South Korea

By Sungmin Park
Sungmin Park
Declarant

FACSIMILE COVER SHEET

To: **OFFICE OF INITIAL PATENT EXAMINATION**
FILING RECEIPT CORRECTIONS

Fax No: 703.746.9195

Date: 16 August 2004

From: Raymond J. Werner
2056 NW Aloclek Drive
Suite 314
Hillsboro, Oregon 97124
503.466.2294 (voice)
503.466.2715 (fax)

Number of pages (including this page): 3

Confirmation copy to follow: Yes____ No__X__

COVER MESSAGE:

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	:	Sang-Yun Lee	
Appl. No.	:	10/873,969	Art Unit : 2811
Filed	:	21 June 2004	Examiner: Not Assigned
Title	:	Three-Dimensional Integrated Circuit Structure And Method Of Making Same	
Docket No.	:	BeSang.P001	

Documents faxed in the above-referenced application:
1 - Request for Corrected Filing Receipt (1 page), and
2 - marked up copy of original Filing Receipt (1 page).

THIS TRANSMISSION IS INTENDED ONLY FOR THE INDIVIDUAL OR ENTITY TO WHICH IT IS ADDRESSED. IT MAY CONTAIN PRIVELEDGED, CONFIDENTIAL ATTORNEY WORK PRODUCT, OR TRADE SECRET INFORMATION WHICH IS EXEMPT FROM DISCLOSURE UNDER APPLICABLE LAWS. IF YOU ARE NOT THE INTENDED RECIPENT, OR AN EMPLOYEE OR AGENT RESPONSIBLE FOR DELIVERING THIS MESSAGE TO THE INTENDED RECIPIENT AND HAVE RECEIVED THIS MESSAGE IN ERROR, PLEASE NOTIFY US IMMEDIATELY BY TELEPHONE.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	:	Sang-Yun Lee	;	
Appl. No.	:	10/873,969	;	Art Unit : 2811
Filed	:	21 June 2004	;	Examiner: Not Assigned
Title	:	Three-Dimensional Integrated Circuit Structure And Method Of Making Same	;	
Docket No.	:	BeSang.P001	;	

Office of Initial Patent Examination
Filing Receipt Corrections
Facsimile Number 703.746.9195

REQUEST FOR CORRECTED FILING RECEIPT

Sir:

In response to the Filing Receipt mailed 13 August 2004, Applicant requests that the following corrections be made:

1) please change the Atty. Docket No. from "Be Sang-P001" to --BeSang.P001--; and

2) please change Applicant's name from "Sang-Yuh Lee" to --Sang-Yun Lee--.

A marked up copy of the original Filing Receipt is included herewith.

Respectfully submitted,

By Raymond J. Werner

Dated: 16 August 2004
Hillsboro, Oregon

Raymond J. Werner
Reg. No. 34,752

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPL NO.	FILING OR 371 (c) DATE	ART UNIT	FIL FEE REC'D	ATTY.DOCKET NO	DRAWINGS	TOT CLMS	IND CLMS
10/873,969	06/21/2004	2811	385	~~Be Sang-P001~~ BeSang.P001	59	20	3

CONFIRMATION NO. 7408

000041536
RAYMOND J. WERNER
2056 NW ALOCLEK DRIVE, SUITE 314
HILLSBORO, OR 97124

FILING RECEIPT

OC000000013534567

Date Mailed: 08/13/2004

Receipt is acknowledged of this regular Patent Application. It will be considered in its order and you will be notified as to the results of the examination. Be sure to provide the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION when inquiring about this application. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please write to the Office of Initial Patent Examination's Filing Receipt Corrections, facsimile number 703-746-9195. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections (if appropriate).**

Applicant(s)

~~Sang-Yuh~~ Lee, Beaverton, OR;
Sang-Yun

Domestic Priority data as claimed by applicant

Foreign Applications

REPUBLIC OF KOREA 10-2003-0040920 06/24/2003
REPUBLIC OF KOREA 10-2003-0047515 07/12/2003

If Required, Foreign Filing License Granted: 08/13/2004

Projected Publication Date: 12/30/2004

Non-Publication Request: No

Early Publication Request: No

**** SMALL ENTITY ****

Title

Three-dimensional integrated circuit structure and method of making same

Preliminary Class

OIPE JC42 JUL 19 2004 PATENT & TRADEMARK OFFICE

PTO/SB/21 (04-04)
Approved for use through 07/31/2006. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

	Application Number	10/873,969
	Filing Date	21 June 2004
	First Named Inventor	Sang-Yun Lee
	Art Unit	not assigned
	Examiner Name	not assigned
Total Number of Pages in This Submission: 9	Attorney Docket Number	BeSang.P001

ENCLOSURES *(Check all that apply)*

- [X] Fee Transmittal Form
  - [X] Fee Attached
- [ ] Amendment/Reply
  - [ ] After Final
  - [ ] Affidavits/declaration(s)
- [ ] Extension of Time Request
- [ ] Express Abandonment Request
- [ ] Information Disclosure Statement
- [ ] Certified Copy of Priority Document(s)
- [ ] Response to Missing Parts/ Incomplete Application
  - [ ] Response to Missing Parts under 37 CFR 1.52 or 1.53
- [ ] Drawing(s)
- [ ] Licensing-related Papers
- [X] Petition
- [ ] Petition to Convert to a Provisional Application
- [ ] Power of Attorney, Revocation Change of Correspondence Address
- [ ] Terminal Disclaimer
- [ ] Request for Refund
- [ ] CD, Number of CD(s) _____
- [ ] After Allowance communication to Technology Center (TC)
- [ ] Appeal Communication to Board of Appeals and Interferences
- [ ] Appeal Communication to TC **(Appeal Notice, Brief, Reply Brief)**
- [ ] Proprietary Information
- [ ] Status Letter
- [X] Other Enclosure(s) (please Identify below): Return post card Declaration of Applicant In Support of Petition For Retroactive Foreign Filing License under 35 USC and 37 CFR 5.25

Remarks

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Raymond J. Werner
Signature	Raymond J. Werner Reg. No. 34,752
Date	16 July 2004

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name	Kathryn G. Nelson		
Signature	Kathryn G. Nelson	Date	16 July 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

OIPE JC42 3
JUL 19 2004
PATENT & TRADEMARK OFFICE

PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☒ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT ($) 130

Complete if Known	
Application Number	10/873,969
Filing Date	21 June 2004
First Named Inventor	Sang-Yun Lee
Examiner Name	not assigned
Art Unit	not assigned
Attorney Docket No.	ReSang.P001

METHOD OF PAYMENT *(check all that apply)*

☒ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☐ Deposit Account:

Deposit Account Number

Deposit Account Name

The Director is authorized to: *(check all that apply)*

☐ Charge fee(s) indicated below ☐ Credit any overpayments

☐ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, **except for the filing fee** to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code	Large Entity Fee ($)	Small Entity Fee Code	Small Entity Fee ($)	Fee Description	Fee Paid
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	

SUBTOTAL (1) ($) 0

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below	Fee Paid
Total Claims		-20** =		X	=
Independent Claims		- 3** =		X	=
Multiple Dependent					=

Large Entity Fee Code	Large Entity Fee ($)	Small Entity Fee Code	Small Entity Fee ($)	Fee Description
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) ($) 0

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Fee Code	Large Entity Fee ($)	Small Entity Fee Code	Small Entity Fee ($)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for *ex parte* reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	47	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1, 30	2453	66	Petition to revive - unintentional	
1501	1, 30	2501	66	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	130
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	38	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	38	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	38	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) ($) 130

SUBMITTED BY				(Complete *(if applicable)*)	
Name (Print/Type)	Raymond J. Werner	*Registration No. (Attorney/Agent)*	34,752	*Telephone*	503-466-2294
Signature	Raymond J. Werner			*Date*	16 July 2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

OIPE JC42 JUL 19 2004 PATENT & TRADEMARK OFFICE

1 fee $DAE

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	:	Sang-Yun Lee	;	
Appl. No.	:	10/873,969	;	Art Unit : Not Assigned
Filed	:	21 June 2004	;	Examiner: Not Assigned
Title	:	Three-Dimensional Integrated Circuit Structure And Method Of Making Same	;	
Docket No.	:	BeSang.P001	;	

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

PETITION FOR
RETROACTIVE FOREIGN FILING LICENSE
UNDER 35 USC 184 and 37 CFR 5.25

Sir:

This is a petition for a retroactive foreign filing license under 35 USC 184 and 37 CFR 5.25.

Provided below are a Summary, a Short Statement of the Nature of the Invention, a Statement of Facts Involved, and a Request for a Retroactive Foreign Filing License. Additionally, a Declaration by the Applicant, Mr. Sang-Yun Lee, in support of the Petition, is filed concurrently herewith.

07/20/2004 SZEWDIE1 00000081 10873969
01 FC:1460 130.00 OP

Summary

Applicant filed two patent applications in the Republic of Korea without a foreign filing license. Those patent applications covered inventions made in the United States. The Korean patent filings, without the appropriate foreign filing licenses, were the result of error without deceptive intent. The subject matter of the proscribed filings were not under a secrecy order at the time of filing, and are not presently under a secrecy order. This petition, and supporting Declaration, are being filed within two weeks of obtaining the Application No. of the above-identified corresponding United States patent application. Applicant requests a retroactive foreign filing license for US Application No. 10/873,969.

Short Statement of the Nature of the Invention

In accordance with the present invention, a plurality of vertically oriented semiconductor devices may be added to a separately fabricated substrate that includes electrical devices and/or interconnect. The plurality of vertically oriented semiconductor devices are physically separated from each other, and therefore are not disposed within the same semiconductor body, or semiconductor substrate. In one aspect of the present invention, the plurality of vertically oriented semiconductor devices is added to the separately fabricated substrate as a thin layer including several doped semiconductor regions which, subsequent to attachment to the substrate, are etched to produce individual doped stack structures. In other embodiments of the present invention, the plurality of vertically oriented semiconductor devices may be fabricated prior to attachment to the separately fabricated substrate.

Statement of Facts

Mr. Sang-Yun Lee is a native and citizen of the Republic of Korea, who presently resides in the United States.

Applicant, Mr. Sang-Yun Lee, is the inventor of certain new and useful semiconductor structures and processes as described in the above-identified

application for United States patent. These semiconductor structure and process inventions were made in the United States.

Mr. Lee, unaware of the requirements of 35 USC 184 regarding the prohibition of filing a patent application in another country for an invention made in the United States, prior to issuance of a foreign filing license or the expiry of six months from the date of filing an application for patent in the United States, did engage a patent attorney in his native country, the Republic of Korea, to prepare and file patent applications covering Mr. Lee's semiconductor structure and process inventions.

Two patent applications were filed in the Republic of Korea covering the various portions of Mr. Lee's inventions. The first of these applications was filed in the Republic of Korea on 24 June 2003, and this application was assigned the application number 10-2003-0040920 by the Korean Intellectual Property Office; and the second application was filed in the Republic of Korea on 12 July 2003, and this application was assigned the application number 10-2003-0047515 by the Korean Intellectual Property Office. Together, these two Korean patent applications cover the subject matter disclosed in Mr. Lee's above-identified application for United States patent.

On 24 May 2004, Mr. Lee engaged Raymond J. Werner (Reg. No. 34,752) to represent him in patent cases before the United States Patent and Trademark Office, and more particularly to file a United States patent application based on an earlier filed South Korean patent application by its one year anniversary date (i.e., 24 June 2004).

On 01 June 2004, during a meeting between Mr. Lee and Mr. Werner, Applicant's representative became aware that the earlier filed Korean patent applications were based on invention made in the United States; and Applicant became aware that 35 USC 184 requires, for inventions made in the United States, that no foreign patent application filing be made without a foreign filing license.

Subsequent to 01 June 2004, Applicant's representative worked to prepare the above-identified application (40 pages of specification and 59 sheets of drawings) for filing with the USPTO prior to the one-year anniversary date of the earlier filed Korean application; consulted with personnel at the USPTO regarding procedures and content for a Petition for a retroactive foreign filing license; filed the application on 21 June

2004; and received, on 02 July 2004, a return postcard from the USPTO indicating the Application No. as 10/873,969.

Action Requested

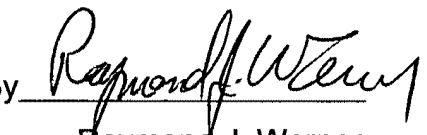
Applicant respectfully requests that a retroactive foreign filing license be granted in this case.

Correspondence in connection with this Petition should be sent to the address of record for this application, which is:

Raymond J. Werner
2092 NW Aloclek Drive
Suite 525
Hillsboro, OR 97124

If a telephone conversation with Applicant's undersigned representative would in any way facilitate the granting of this Petition, please call the undersigned at telephone number 503.466.2294.

Respectfully submitted,

By 

Dated: 16 July 2004
Hillsboro, Oregon

Raymond J. Werner
Attorney for Applicant
Reg. No. 34,752

O I P E
JUL 19 2004
PATENT & TRADEMARK OFFICE

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	:	Sang-Yun Lee	;	
Appl. No.	:	10/873,969	;	Art Unit : Not Assigned
Filed	:	21 June 2004	;	Examiner: Not Assigned
Title	:	Three-Dimensional Integrated Circuit Structure And Method Of Making Same	;	
Docket No.	:	BeSang.P001	;	

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

DECLARATION OF APPLICANT
IN SUPPORT
OF
PETITION FOR
RETROACTIVE FOREIGN FILING LICENSE
UNDER 35 USC 184 and 37 CFR 5.25

In support of the Petition for Retroactive Foreign Filing License under 35 USC 184 and 37 CFR 5.25, filed concurrently herewith, Applicant makes the following Declaration:

1) Applicant, Sang-Yun Lee, is citizen of the Republic of Korea (KR), and presently resides in the United States of America;

2) Applicant has invented certain new and useful semiconductor structures and processes;

3) Applicant's invention of the aforementioned semiconductor structures and processes occurred in the United States of America;

4) Applicant caused a first application for patent to be prepared in the Korean language, the first application disclosing and describing a first portion of the aforementioned semiconductor structures and processes;

5) Applicant, through error and without deceptive intent (see paragraph 8), caused

the first application to be filed in the Republic of Korea on 24 June 2003, and this application was assigned the application number 10-2003-0040920 by the Korean Intellectual Property Office;

6) Applicant caused a second application for patent to be prepared in the Korean language, the second application disclosing and describing a second portion of the aforementioned semiconductor structures and processes;

7) Applicant, through error and without deceptive intent (see paragraph 8), caused the second application to be filed in the Republic of Korea on 12 July 2003, and this application was assigned the application number 10-2003-0047515 by the Korean Intellectual Property Office;

8) At the time of filing the first and second above-identified Korean patent applications, Applicant was unaware of the requirements of 35 USC 184 regarding the prohibition of filing a patent application in another country for an invention made in the United States, prior to issuance of a foreign filing license or the expiry of six months from the date of filing an application for patent in the United States;

9) Being unaware of the requirements of 35 USC 184, Applicant engaged an individual in his native country, to file the two Korean patent applications identified in paragraphs (5) and (7);

10) Applicant states that no other patent applications, registrations for utility models, registrations for industrial designs, or any other form of intellectual property protection, covering any part of the aforementioned invention of semiconductor structures and processes, were filed in any country or regional patent office outside of the United States of America prior to the filing of the above-identified United States patent application, and further states that an International Application under the Patent Cooperation Treaty, claiming priority to the two Korean patent applications identified in paragraphs (5) and (7), was filed on 23 June 2004 with the United States Receiving Office (PCT/US 04/20122);

11) Applicant states that the subject matter in question was not under a secrecy order at the time it was filed abroad, and further states that it is not currently under a

secrecy order;

12) On 24 May 2004, Applicant signed an agreement engaging Raymond J. Werner (Reg. No. 34,752) to represent him in patent cases before the United States Patent and Trademark Office, and more particularly to file a United States patent application based on an earlier filed South Korean patent application by its one year anniversary date (i.e., 24 June 2004);

13) On 01 June 2004, during a meeting between Mr. Lee and Mr. Werner, Applicant was made aware that 35 USC 184 requires, for inventions made in the United States, that no foreign patent application filing be made without a foreign filing license;

14) Applicant's representative prepared the above-identified United States patent application for filing with the USPTO prior to the one-year anniversary date of the earliest of the two filed Korean applications; filed the United States patent application on 21 June 2004 (Application No. 10/873,969); and prepared the instant Petition for Retroactive Foreign Filing License under 35 USC 184 and 37 CFR 5.25; and

15) The preparation and filing of the above-identified United States patent application, receipt of the Application No. (i.e., 10/873,969) from the USPTO, and the preparation of the instant Petition for Retroactive Foreign Filing License under 35 USC 184 and 37 CFR 5.25 were completed in less than two months from the date on which Applicant became aware of the requirement for obtaining a foreign filing license.

I, Sang-Yun Lee, hereby declare that all statements made herein of my own knowledge are true and that statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 USC 1001 and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

By Sangyun Lee

Dated: 16 July 2004
Hillsboro, Oregon

Sang-Yun Lee
Applicant and Declarant

22763 U.S. PTO 062104

PTO/SB/05 (04-04)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office. U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No.	Be Sang - P001
First Inventor	Sang-Yun Lee
Title	Three-Dimensional...
Express Mail Label No.	ER 823284660 US

APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents.

ADDRESS TO: Commissioner for Patents
P.O. Box 1450
Alexandria VA 22313-1450

22273 U.S. PTO 10/873969 062104

1. ☒ Fee Transmittal Form (e.g., PTO/SB/17)
(Submit an original and a duplicate for fee processing)
2. ☒ Applicant claims small entity status.
See 37 CFR 1.27.
3. ☒ Specification [*Total Pages* 40]
(preferred arrangement set forth below)
- Descriptive title of the invention
- Cross Reference to Related Applications
- Statement Regarding Fed sponsored R & D
- Reference to sequence listing, a table, or a computer program listing appendix
- Background of the Invention
- Brief Summary of the Invention
- Brief Description of the Drawings *(if filed)*
- Detailed Description
- Claim(s)
- Abstract of the Disclosure

4. ☒ Drawing(s) (*35 U.S.C. 113*) [*Total Sheets* 60]
5. Oath or Declaration [*Total Sheets* 2]
a. ☒ Newly executed (original or copy)
b. ☐ Copy from a prior application (37 CFR 1.63(d))
(for continuation/divisional with Box 18 completed)
i. ☐ DELETION OF INVENTOR(S)
Signed statement attached deleting inventor(s) name in the prior application, see 37 CFR 1.63(d)(2) and 1.33(b).
6. ☐ Application Data Sheet. See 37 CFR 1.76
7. ☐ CD-ROM or CD-R in duplicate, large table or Computer Program *(Appendix)*
8. Nucleotide and/or Amino Acid Sequence Submission
(if applicable, all necessary)
a. ☐ Computer Readable Form (CRF)
b. Specification Sequence Listing on:
i. ☐ CD-ROM or CD-R (2 copies); or
ii. ☐ Paper
c. ☐ Statements verifying identity of above copies

ACCOMPANYING APPLICATION PARTS

9. ☐ Assignment Papers (cover sheet & document(s))
10. ☐ 37 CFR 3.73(b) Statement ☒ Power of Attorney
(when there is an assignee)
11. ☐ English Translation Document *(if applicable)*
12. ☐ Information Disclosure Statement (IDS)/PTO-1449 ☐ Copies of IDS Citations
13. ☐ Preliminary Amendment
14. ☒ Return Receipt Postcard (MPEP 503)
(Should be specifically itemized)
15. ☒ Certified Copy of Priority Document(s)
(if foreign priority is claimed)
16. ☐ Nonpublication Request under 35 U.S.C. 122 (b)(2)(B)(i). Applicant must attach form PTO/SB/35 or its equivalent.
17. ☐ Other: .....

18. If a CONTINUING APPLICATION, *check appropriate box, and supply the requisite information below and in the first sentence of the specification following the title, or in an Application Data Sheet under 37 CFR 1.76:*

☐ Continuation ☐ Divisional ☐ Continuation-in-part (CIP) of prior application No.: .....

Prior application information: *Examiner* _____ *Art Unit:* _____

For CONTINUATION OR DIVISIONAL APPS only; The entire disclosure of the prior application, from which an oath or declaration is supplied under Box 5b, is considered a part of the disclosure of the accompanying continuation or divisional application and is hereby incorporated by reference. The incorporation can only be relied upon when a portion has been inadvertently omitted from the submitted application parts.

19. CORRESPONDENCE ADDRESS

☒ Customer Number: 000041536 *OR* ☐ Correspondence address below

Name					
Address					
City		*State*		*Zip Code*	
Country		*Telephone*		*Fax*	

Name (Print/Type)	Raymond J. Werner	*Registration No. (Attorney/Agent)*	34,752
Signature	Raymond J. Werner	*Date*	21 JUNE 2004

This collection of information is required by 37 CFR 1.53(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☒ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT ($) 385 –

Complete if Known	
Application Number	N/A
Filing Date	21 JUNE 2004
First Named Inventor	Sang-Yun Lee
Examiner Name	N/A
Art Unit	N/A
Attorney Docket No.	BeSang.P001

METHOD OF PAYMENT *(check all that apply)*

☒ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☐ Deposit Account:

Deposit Account Number

Deposit Account Name

The Director is authorized to: *(check all that apply)*

☐ Charge fee(s) indicated below ☐ Credit any overpayments

☐ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, **except for the filing fee** to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code	Large Entity Fee ($)	Small Entity Fee Code	Small Entity Fee ($)	Fee Description	Fee Paid
1001	770	2001	385	Utility filing fee	385 –
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	

SUBTOTAL (1) ($) 385 –

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below		Fee Paid
Total Claims		-20** =		X		=
Independent Claims		- 3** =		X		=
Multiple Dependent						=

Large Entity Fee Code	Large Entity Fee ($)	Small Entity Fee Code	Small Entity Fee ($)	Fee Description
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) ($) 0

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Fee Code	Large Entity Fee ($)	Small Entity Fee Code	Small Entity Fee ($)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for *ex parte* reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	47	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1, 30	2453	66	Petition to revive - unintentional	
1501	1, 30	2501	66	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	38	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	38	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	38	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid **SUBTOTAL (3)** ($) 0

SUBMITTED BY				(Complete *(if applicable)*)	
Name (Print/Type)	Raymond J. Werner	*Registration No. (Attorney/Agent)*	34,752	*Telephone*	503-466-2294
Signature	Raymond J. Werner			*Date*	21 June 2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE AND METHOD OF MAKING SAME

Field of the Invention

The present invention relates generally to three dimensional integrated circuit (IC) structures and manufacturing methods therefore, and more particularly relates to combining a semiconductor substrate with a thin add-on semiconductor layer in which various active and/or passive devices have been fabricated.

As shown in Fig. 1, a prior art 3-D IC might be termed a 'Hybrid IC'. A conventional Hybrid IC implementation method typically includes; providing a first IC which consists of a base semiconductor substrate **201** and a dielectric layer **202**; providing a second IC that also consists of a base semiconductor substrate **203** and a dielectric layer **204**; stacking and bonding these ICs, or individual chips; and implementing a deep via **255** such as shown in US Patent 6,600,173 which penetrates the semiconductor substrate, or providing micro bumps as shown in US Patent 6,355,501.

Still referring to Fig. 1, it is noted that devices in the stacked semiconductor substrate **203** are usually connected by interconnection lines in dielectric layer **204**, which is disposed above substrate **203**. Similarly, interconnection lines in dielectric layer **202**, which is disposed below stacked substrate **203** are used to connect devices in the base substrate **201**. It can be seen that the devices in stacked substrate **203** do not have bottom electrodes, but rather have contacts from the top side.

Conventional implementations require wafer or chip alignment marks to be bonded. The wafer alignment marks are different from the alignment marks used in photo processing. Therefore, the 'hybrid IC technology' used in 3-D IC is considered to be another type of Multi-Chip Package (MCP). The main purpose of the 'hybrid IC technology' is to reduce interconnection lines used in package interconnections to facilitate high speed device operation.

Still referring to Fig. 1, prior art 3-D IC implementations are typically characterized as follows: each of the IC layers are implemented by separate

Exhibit 1006 - Page 91 of 375

processing; each IC is bonded and stacked to become a 3-D IC; each IC layer has a semiconductor substrate (e.g., **201**, **203**) respectively holding devices (e.g., **211**, **212**). Also in general the devices share an electrically common substrate **241**, **242** or well **243**. It is noted that although conventional implementations using SOI do not have an electrically common substrate, such implementations do have a physically common semiconductor substrate. Additionally, conventional implementations stacked ICs have dielectric layers, interconnection lines, and vias only above the devices in each stacked ICs.

In another conventional approach, a single crystalline semiconductor layer is formed by melting polycrystalline or amorphous semiconductor layer disposed on a dielectric layer using, for example, a laser. Devices are then formed using the single crystalline semiconductor layer, which was formed from the polycrystalline or amorphous layer. In still another conventional approach, a single crystalline epitaxial layer is grown on a dielectric layer where the dielectric layer has partially exposed holes therethrough to an underlying single crystalline layer.

However, both the laser recrystallization and the epitaxial processes described above are have drawbacks, such as requiring high temperature operations, which are incompatible with the low temperature processing required for many semiconductor devices; and further, single crystalline semiconductor layers formed in this way may have many defects, and therefore these methods are not widely used.

Summary of the Invention

Briefly, a plurality of vertically oriented semiconductor devices may be added to a separately fabricated substrate that includes electrical devices and or interconnect. The plurality of vertically oriented semiconductor devices are physically separated from each other, and therefore are not disposed within the same semiconductor body, or semiconductor substrate.

In one aspect of the present invention, the plurality of vertically oriented semiconductor devices is added to the separately fabricated substrate as a thin layer including several doped semiconductor regions which, subsequent to attachment to the substrate, are etched to produce individual doped stack structures. In other embodiments of the present invention, the plurality of vertically oriented

Exhibit 1006 - Page 92 of 375

semiconductor devices may be fabricated prior to attachment to the separately fabricated substrate.

In another aspect of the present invention, the doped stack structures may form the basis of a wide variety of semiconductor devices, including, but not limited to, diodes, capacitors, n-type MOSFETs, p-type MOSFETs, bipolar transistors, and floating gate transistors.

In another aspect of the present invention, ferroelectric memory devices, ferromagnetic memory devices, chalcogenide phase change devices, and similar structures may be formed in a stackable add-on layer for use in conjunction with the separately fabricated substrate

In still further aspects of the present invention, the stackable add-on layers include at least one layer of electrical interconnect lines.

Brief Description of the Drawings

Fig. 1 is a cross-sectional view of a stacked integrated circuit, referred to as a three-dimensional integrated circuit, in accordance with the prior art.

Fig. 2 is a cross-sectional view of an embodiment the present invention that includes a base semiconductor substrate.

Fig. 3 is a cross-sectional view of an embodiment of the present invention without a base semiconductor substrate.

Figs. 4a-4d illustrate a process flow which forms a 3-D IC structure using SOI layer in accordance with the present invention.

Fig. 5a is a cross-sectional view of an embodiment of the present invention wherein the bottom of SOI layer does not have directly connected electrodes.

Fig. 5b is a cross-sectional view of an embodiment of the present invention that includes multiple stacked SOI layers.

Figs. 6a-6b are cross-sectional views of an embodiment of the present invention which has horizontally oriented, rather than vertically oriented, devices incorporated in the SOI layer.

Exhibit 1006 - Page 93 of 375

Figs. 7a-7c illustrate a process flow of in accordance with the present invention that produces vertically oriented devices incorporated in the SOI layer with those devices having directly connected bottom electrodes.

Fig. 8a is a cross-sectional view of an embodiment of the present invention having a vertical device with a planar middle electrode.

Fig. 8b is a cross-sectional view of an embodiment of the present invention having a vertical device with a spacer middle electrode.

Fig. 8c is a cross-sectional view of an embodiment of the present invention having a vertical device with a spacer middle electrode extended to an adjacent dummy vertical device.

Fig. 8d is a cross-sectional view of an embodiment of the present invention having a vertical device with a middle electrode extended to the top of the vertical device.

Fig. 8e is a top view of the structure shown in Fig. 8d.

Fig. 9a is a cross-sectional view of an embodiment of the present invention having a vertical device with a planar etch stop layer for a top contact electrode.

Fig. 9b is a cross-sectional view of an embodiment of the present invention having a vertical device with a spacer etch stop layer for a top contact electrode.

Fig. 10a is a cross-sectional view of an embodiment of the present invention having a vertically oriented p-n junction diode.

Fig. 10b is a cross-sectional view of an embodiment of the present invention having a vertically oriented Schottky diode.

Fig. 10c is a cross-sectional view of an embodiment of the present invention having a vertically oriented Schottky diode with Schottky contact disposed at the middle electrode.

Fig. 11a is a cross-sectional view of an embodiment of the present invention having a vertically oriented capacitor formed by a depletion region.

Fig. 11b is a cross-sectional view of an embodiment of the present invention having a vertically oriented capacitor formed by a dielectric layer between electrodes.

Fig. 12 is a cross-sectional view of an embodiment of the present invention having a vertically oriented bipolar transistor.

Fig. 13a is a top view of an embodiment of the present invention having a vertical device structure forming a MOSFET with eight gates for multi-bit, or variable gate width, operation.

Fig. 13b is a top view of an embodiment of the present invention having a vertical device forming a MOSFET with four different size gates for multi-bit, or variable gate width, operation.

Fig. 14 is a cross-sectional view of an embodiment of the present invention having a vertically oriented inverter.

Figs. 15a-15b illustrate top and bottom layouts of an SRAM cell in accordance with the present invention.

Fig. 16a is a cross-sectional view of an embodiment of the present invention having a vertically oriented Thyristor as part of an SRAM cell.

Fig. 16b is a cross-sectional view of an embodiment of the present invention having a both a Thyristor and a MOSFET vertically disposed and serially connected in the SOI layer.

Fig. 17a is a cross-sectional view of an embodiment of the present invention having a vertical DRAM cell with vertical connection of a depletion capacitor and a MOSFET in the SOI layer.

Fig. 17b is a cross-sectional view of an embodiment of the present invention having a vertical DRAM cell with vertical connection of a dielectric capacitor and a MOSFET in the SOI layer.

Fig. 18a is a cross-sectional view of an embodiment of the present invention having a vertical Non-Volatile Memory (NVM) cell that includes a floating gate and a control gate in the SOI layer.

Fig. 18b is a cross-sectional view of an embodiment of the present invention having a vertical NVM cell that includes a floating gate that partially covers the channel region, and a control gate that covers the floating gate and the rest of the channel region in the SOI layer.

Exhibit 1006 - Page 95 of 375

Fig. 18c is a cross-sectional view of an embodiment of the present invention having a vertical NVM cell with a floating gate, a control gate, and a erase gate in a SOI layer.

Fig. 18d is a cross-sectional view of an embodiment of the present invention having a vertical NVM cell with an Oxide-Nitride-Oxide (ONO) gate in the SOI layer.

Fig. 18e is a cross-sectional view of an embodiment of the present invention which has a vertical NVM cell with a floating gate, a control gate, and a bulk contact, all disposed in the SOI layer.

Fig. 18f is top view of the structure of Fig. 18a with eight gates in the SOI layer.

Figs. 19a-19b illustrate layouts of SOI layers that have multiple blocks containing different types of devices.

Fig. 20a is a cross-sectional view of an embodiment of the present invention having a vertical NVM cell that includes a MOSFET serially connected to a capacitor, which uses ferroelectric material, both disposed in the SOI.

Fig. 20b illustrates an exemplary memory circuit formed with devices illustrated in Fig. 20a.

Fig. 20c illustrates another exemplary memory circuit formed with devices illustrated in Fig. 20a.

Fig. 21a is a cross-sectional view of an embodiment of the present invention having a vertical NVM cell that includes the structure illustrated in Fig. 20a.

Fig. 21b illustrates an exemplary memory circuit formed from structures shown in Fig. 21a.

Fig. 22a is a cross-sectional view of an embodiment of the present invention that includes a vertical NVM cell with a MOSFET in the SOI layer and uses a ferroelectric material between the gate and gate dielectric layers.

Fig. 22b is a cross-sectional view of an embodiment of the present invention that includes a vertical NVM cell with a MOSFET in the SOI layer and uses a ferroelectric material between the floating gate and the control gate.

Fig. 23a is a cross-sectional view of an embodiment of the present invention that includes a vertically oriented NVM cell having a MOSFET in the SOI layer serially connected to a ferromagnetic material at the bottom of the MOSFET.

Fig. 23b is a cross-sectional view of an embodiment of the present invention that includes a vertically oriented NVM cell having a MOSFET in the SOI layer serially connected to a ferromagnetic material at the top of the MOSFET.

Fig. 24 is a cross-sectional view of an embodiment of the present invention that includes a vertically oriented NVM cell having a MOSFET disposed in the SOI layer that is serially connected to a resistor formed from a chalcogenide material.

Fig. 25 is a cross-sectional view of an embodiment of the present invention that includes a vertically oriented NVM cell having a MOSFET disposed in the SOI layer that is serially connected a structure that depending on the material used may function either as a fuse or an antifuse.

Fig. 26 is a cross-sectional view of an embodiment of the present invention that includes a vertical volatile memory cell having a MOSFET in the SOI layer without body contact.

Fig. 27a is a cross-sectional view of an embodiment of the present invention that includes a vertically oriented NVM cell having a MOSFET connected in series with a floating gate transistor such as the one shown in Fig. 18a.

Fig. 27b is a schematic diagram of an equivalent circuit for the structure shown in Fig. 27a.

Fig. 28 is a cross-sectional view of an embodiment of the present invention that includes a high voltage MOSFET disposed in the SOI layer.

Fig. 29 is a cross-sectional view of an embodiment of the present invention that includes a high voltage MOSFET disposed in the SOI layer, the high voltage MOSFET having a low doped channel region.

Detailed Description

A 3-D IC in accordance with the present invention is shown in Fig. 2. Embodiments of the present invention provide a device integration technology.

Reference herein to "one embodiment", "an embodiment", or similar formulations, means that a particular feature, structure, operation, or characteristic described in connection with the embodiment, is included in at least one embodiment of the present invention. Thus, the appearances of such phrases or formulations herein are not necessarily all referring to the same embodiment. Furthermore, various particular features, structures, operations, or characteristics may be combined in any suitable manner in one or more embodiments.

Terminology

"ASIC" refers to Application Specific Integrated Circuit. "SoC" refers to a System on a Chip, with "SoCs" being the plural of SoC. A SoC may be an ASIC but is not required to be. An ASIC may be a SoC but is not required to be.

The expression "back bias", as used herein, refers to a voltage applied to the substrate, or body, of a field effect transistor (FET). Back bias is alternatively referred to as substrate bias, or reverse bias.

The expression "conductivity type" is well known in the semiconductor manufacturing field. Conductivity types are generally referred to as n-type and p-type. Semiconductor regions that are doped with donor type impurities form n-type regions. Semiconductor regions that are doped with acceptor type impurities form p-type regions.

The terms chip, semiconductor device, integrated circuit, LSI device, monolithic integrated circuit, ASIC, SoC, microelectronic device, and similar expressions are sometimes used interchangeably in this field. Microelectronic device may be considered to be the broadest term, encompassing the others. With respect to these microelectronic devices, signals are typically coupled between them and other circuit elements via physical, electrically conductive connections. The point of connection is sometimes referred to as an input, output, terminal, line, pin, pad, port, interface, or similar variants and combinations.

The term "device", as used herein, refers to one or more circuit elements that have characteristics that are voltage variant. "Device" includes, but is not limited to, FETs (n-channel and p-channel), diodes, and varactors.

The expression "vertically oriented device" refers to devices having an orientation with respect to a base substrate such that current through those devices is substantially perpendicular to the base substrate.

FET as used herein, refers to metal-oxide-semiconductor field effect transistors (MOSFETs). These transistors are also known as insulated gate field effect transistors (IGFETs). FETs are generally described as three terminal devices having a gate, a source and a drain. Although FETs may be further described as four terminal devices when the body of the FET is considered.

Source and drain terminals refer to the terminals of a FET, between which conduction occurs under the influence of an electric field, subsequent to the inversion of the semiconductor surface under the influence of an electric field resulting from a voltage applied to the gate terminal.

The acronym "SOI" generally refers to Silicon-on-Insulator. As will be appreciated by those skilled in this field, SOI layers can be formed in a variety of ways. Unless otherwise noted, "SOI layer" is used herein to refer to a relatively thin, single crystal portion of a semiconductor wafer that can be cleaved and bonded to another previously fabricated wafer, or similar type of substrate, such that a three dimensional stack is formed from the SOI layer and the previously fabricated wafer or similar type of substrate. In this context, the SOI layer may be thought of as an attachment layer, or stackable add-on structure, that itself contains at least devices and/or interconnections, and which is suitable for bonding to a semiconductor substrate already containing devices and/or interconnections. As a stackable add-on layer, the single-crystal layer may have been doped so as to have one or more doped regions vertically adjacent each other. For purposes of this disclosure, doped regions may include intrinsic regions as well as p-type and n-type regions. Individual semiconductor structures may be formed by etching through portions of the doped stack to electrically isolate those structures. The spaces between such individual structures may be filled dielectric material so as to re-form a layer without gaps or voids therein, and thereby provide for mechanical stability, and support for additional stacked layers.

The expression "3-D IC", as used herein, refers to a three-dimensional integrated circuit that includes a semiconductor substrate having devices and/or

interconnect structures fabricated thereon, and least one SOI layer, also having devices and/or interconnect, where the semiconductor substrate and the SOI layer are stacked and bonded to each other.

The disclosures of US Patent 6,600,173, US Patent 5, 563, 084, and US Patent 6,355,501, show the formation of 3-D ICs as a packing technology that includes stacking individually working ICs. However, embodiments of the present invention do not use individually working ICs, but rather, as shown in Fig. 2, provide device integration technology using bonded SOI technology and a thin single crystalline semiconductor layer **124** without device formation before layer transfer. Because single crystalline semiconductor layer **124** is formed by SOI technology, it is referred to herein simply as an SOI.

The meaning of thin film including semiconductor layer **104** in Fig. 3 is thin film single crystalline semiconductor layer including diffusion layer such as p-type, n-type, or i(intrinsic)-type, and physically distinguishable layers, such as dielectric layer or metal layer. Also the meaning of 'non-multiple-device formed' semiconductor layer **124** of Fig. 4b is that SOI thin layer **124** does not have isolation structures, metal patterns, interconnection used for multiple devices, nor separated impurity regions used for individual devices.

As shown in Fig. 2, devices **111**, **112**, **113** in accordance with the present invention are separated by isolation **135** and have floating structures in the filled dielectric materials **133**. As used herein, devices **111**, **112**, **113** are referred to as floating devices (FLD). Such floating devices may alternatively be referred to as doped stack structures, or vertically oriented semiconductor devices.

Embodiments of the present invention are different from a conventional bonded IC layer that has a shared well **142** or substrate **143**, where an electrically common region is located. Additionally, embodiments of the present invention do not have the physically supporting layer which can be found in a conventional SOI IC substrate where all devices in one IC layer are supported by a substrate under a bottom oxide. In an illustrative embodiment of the present invention, a second IC layer that includes FLD **112**, **113** is called FLD IC layer **102**, and a first IC layer that includes FLD **113** is called FLD IC layer **101**. Inter-layer dielectric (ILD) layers

disposed above and below FLD IC layer **101** has interconnection lines **132** and vias, or contacts, **131**. Interconnection lines **132** and vias **131** connect FLDs directly or indirectly within an FLD IC layer, or connect devices from a FLD IC layer to another FLD IC layer or to a base substrate **103**.

As shown in Fig. 2, the substrate bonded to lower dielectric layer **151** is called base substrate **103**, the first FLD IC layer above base substrate **103** is called first FLD layer **101**, and the next FLD IC layer is called second FLD IC layer **102**.

Fig. 2 shows multiple FLD IC layers **101**,**102** and one base semiconductor substrate **103**. Dashed line **134** denotes a border, or interface, of two ILD layers. First ILD layer **151** has interconnection lines and vias, and base semiconductor substrate **103** shares these interconnections and vias with first FLD IC layer **101**. Some vias may directly connect to second FLD IC layer **102** from first ILD layer **151**. Also interconnection lines and vias in second ILD layer **152** are shared by first and second FLD IC layers **101**, **102**. This sharing scheme of interconnection lines and vias is an advantage of embodiments of the present invention.

Still referring to Fig. 2, the formation of electrodes to floating devices **111**, **112**, **113** is by direct connection to the top and bottom of each floating device **111**, **112**, **113**. Also, in various embodiments of the present invention, floating devices may be constructed that have vertically separated single or more intermediate electrodes **123**. These electrodes could be connected to interconnection lines within the ILD layers disposed on the top and/or bottom of the FLD layer.

In Fig. 2, if a logic IC is implemented in base semiconductor substrate **103**, memory devices are implemented in first FLD IC layer **101**, and image sensors are in second FLD IC layer **102**, then one semiconductor substrate could integrate different types of individually optimized devices without using a difficult and expensive SoC structure or semiconductor processing.

Fig. 3 shows a 3-D IC structure having FLD IC layer without an attached base substrate. In one method of obtaining the structure of Fig. 3, first, ILD layer **153** is placed on the top of base substrate, and then SOI layer **124** is formed on the ILD layer **153**, and then devices are implemented using SOI layer **124**, and then another ILD layer **154** including interconnection lines **132** and vias **131** is placed on top of the single crystalline semiconductor devices **104**, and then the base substrate is

Exhibit 1006 - Page 101 of 375

detached from ILD layer **153**. The base substrate (not shown) could be a flat substrate with even surface, such as plastic, ceramic, glass, metal, or semiconductor materials. The base substrate should be able to withstand processing temperatures in the range of 250 °C~650 °C, which range is considered to be a "non-high temperature semiconductor processing temperature".

Still referring to the Fig. 3, embodiments of the present invention may have pads which are connected to a package (not shown) disposed at the bottom of first ILD layer **153** and/or at the top of second ILD layer **154**. Bottom pads **146** could be connected to a package using, for example, solder. Top pads **145** could be connected to a package using, for example, wires. Such pad structures in accordance with the present invention reduce die area and the density of a package.

Various embodiments of the present invention do not require a physically supporting substrate for floating devices. Also, without a base substrate, various embodiments could exist along with interconnection lines, vias, and FLDs only.

Various embodiments of the present invention provide floating devices that are separated by dielectric isolation regions. These electrically separated structures do not have the parasitic devices which are typically found in prior art approaches.

Various embodiments of the present invention provide floating devices that may be connected directly or indirectly.

In various embodiments of the present invention, combining the SOI layer with a semiconductor substrate does require the same type of wafer alignment structures as are used in photolithographic processes, rather, the wafer alignment structure may be implemented as a wafer alignment mark, or as a bump-type alignment structure. Alternatively, without a wafer alignment structure, the SOI layer could be transferred along with a simple notch alignment because the transferred SOI layer does not have structures for multiple devices, such as isolation structure or interconnection lines, which are horizontally divided. The transferred SOI layer has only vertically divided several layers.

Various embodiments of the present invention provide for interconnection of floating device both above and below the FLD.

Conventional technology typically uses horizontally oriented MOSFETs. In the case of conventional vertical MOSFETs, implementation of contacts and

interconnection is difficult, and processes are incompatible between vertical and horizontal MOSFETs. However, embodiments of the present invention can easily implement vertical devices, including MOSFETs, and compared to conventional approaches, it is easy to implement interconnections and contacts with low contact resistance.

In order to implement logic devices in a conventional manner, individual devices need to be connected. However, in some embodiments of the present invention, FLD logic can be formed using vertically connected individual devices without interconnection lines because embodiments of the present invention include a form of SOI device, and a well is not needed.

In various embodiments of the present invention, a FLD can have directly contacted metal electrodes at top, bottom, and intermediate regions. The area of metal electrodes can be the same as the top and bottom size of single crystalline semiconductor of FLD, which is formed by isolation etching. Therefore, voltage drop of the device could be reduced.

Figs. 4a-d explain a process flow for making a 3-D IC such as the one shown in Fig. 3. In Fig. 4a, after formation of a mask alignment mark (not shown) on substrate **180**, single or multiple ILD layers **133** are formed in dielectric layer **153**, and interconnection lines **132** and vias **131** which are conducting materials are formed. At here, borderline of each ILD layer **133**, which comprise dielectric layer **153**, are shown as dashed lines **134**. Base substrate **180** should withstand semiconductor processing temperatures in the range of 250 °C~650 °C. The conductors are formed of low electrical resistance material which conducts voltage/current and could be metals such as aluminum and copper, refractory metal, silicide, or low resistance polycrystalline/amorphous semiconductor materials with heavy doping. Once vias **131** connected to FLD directly or indirectly are formed in dielectric layer **153**, metal layer which is to be used as bottom electrode **121** of FLD is deposited and, if necessary, another metal layer which is an intermediate bonding layer **120** could be implemented. The metal used for intermediate bonding layer **120** typically has a lower meting point than the metal layer on dielectric layer **153**. Metal **120** is required to have desirable reflow properties at low temperature for surface planarization in order to prevent voids due to surface microroughness at SOI substrate **190** bonding process. If interconnection lines **132** in dielectric layer **153**

Exhibit 1006 - Page 103 of 375

are aluminum, the metal of intermediate bonding layer **120** needs to have melting point in the range of 250 °C~650 °C, which is below the melting point of aluminum, 660 °C. Here is the list and melting points of metals which could be intermediate bonding layer; aluminum alloy 204 °C~674 °C, zinc 420 °C, zinc alloy 377 °C-484 °C, lead 328 °C, thallium 304 °C, tellurium 445 °C, solder 268 °C-579 °C, and tin alloy 223 °C-422 °C).

Fig. 4b shows an SOI substrate **190**. To implement FLD, doped layers are formed in single crystal semiconductor layer **124**, where the doped layers may be formed by any suitable method including, but not limited to, ion implantation, or impurity mixing during epitaxial layer growth for single crystalline semiconductor layer **124** formation. Metal layer **121** is formed on single crystalline semiconductor layer **124**, and intermediate bonding layer **120** is formed on metal layer **121**. In typical embodiments of the present invention, metal layer **121** and bonding layer **120** are formed as blanket layers that are formed over the whole surface. SOI substrate **190** is a single crystal semiconductor substrate, and a material for FLD single crystal semiconductor layer **124**. SOI substrate **190** could be single source semiconductors, such as silicon and germanium, or compound semiconductors, such as SiGe, GaAs, GaP, and InP. Also SOI substrate **190** could be combination of single source semiconductors and compound semiconductors. Before bonding, it is better for the SOI substrate to have an intermediate bonding layer which has high reflow rate with a low temperature melting point in order to remove surface roughness.

SOI substrate **190** may have a detach layer **191**, which may be a porous or strained layer at a certain desired depth using, for example, SmartCut (US Patent 5,882,987), ELTRAN (US Patent 5,371,037), or SiGen technologies. Detach layer **191** is a defective region in the semiconductor lattice and, after bonding with dielectric layer **153**, SOI substrate **190** will be removed except for single crystal layer **124** which forms the FLD.

Fig. 4c is a cross sectional view of the bonding of dielectric layer **153** of Fig. 4a and SOI substrate of Fig. 4b. SOI substrate **190** shown in Fig. 4b is upside-down and bonded on dielectric layer **153** in Fig. 4a. During the bonding process, pressure is applied with heat treatment in order to increase bonding strength and remove voids between bonding interfaces. Alternatively, eutectic bonding with gold, or thermocompression bonding with a soft metal thin film could be used as the

intermediate layer bonding process. Metal layer **121** including intermediate bonding layer **120** used in bonding process may be used as the bottom electrode of the FLD.

Referring to Fig. 4d, SOI substrate **190** has been detached after leaving SOI layer **124**, where FLD is implemented, on dielectric layer **153**, and then isolation structures **135** are implemented over all or part of the FLD layer. SOI substrate **190** is detached using detach layer **191** and a wafer jet may be used for SOI substrate detachment. Without detach layer **191**, using a Bond and Etch-Back method (US Patent 5,013,681), leaving SOI layer **124**, where the floating devices are implemented. This SOI layer **124** may also be referred to as a stackable add-on layer. SOI substrate **190** can be removed by etching or polishing. Also, using a handling substrate, SOI substrate **190** is bonded with the handling substrate, SOI substrate **190** is detached from the handling substrate and leaving SOI layer **124**, and then the SOI layer could be transferred to dielectric layer from the handling substrate. The handling substrate could be the same kind of substrate used for the base substrate. Also, the handling substrate may use vacuum to hold the single crystalline semiconductor layer temporarily from the SOI substrate, and then transferring the SOI layer to dielectric layer could be easily done by releasing vacuum. The vacuum surface better has thick dielectric layer which protects SOI layer. The role of the handling substrate is to transfer an SOI layer from the SOI substrate to the dielectric layer without damage. Also, as explained in US Patent 6,355,501, the SOI substrate and the handling substrate could be bonded using polyamide. Once the SOI substrate has been detached, Chemical-Mechanical Polishing (CMP) could be used to reduce surface roughness of the transferred SOI layer.

Once single crystalline semiconductor layer (i.e., SOI layer) has been transferred, isolation is implemented to make individual floating devices. For isolation formation, trench technology is used. Also at this time, SOI layer on top of scribeline is to be removed because this will facilitate subsequent die saw operations. Bottom electrode **121** of FLD is automatically implemented during the trench isolation process. A method of forming bottom electrode **121** is explained below in conjunction with Figs. 7a-7c. Once the SOI layer has been transferred, a mask alignment mark is exposed on base substrate **180** by removing SOI layer over the mask alignment mark, and then, using the exposed mask alignment mark, the FLD

Exhibit 1006 - Page 105 of 375

pattern on mask and via **131** pattern on dielectric layer can be aligned. Vertical FLD, where current flows in a vertical direction, may have intermediate electrode. Interconnection lines and contacts which connect with top electrode and interconnection lines which may be formed by conventional semiconductor process methods.

Using the method set forth above, multiple FLDs can be stacked and, therefore, IC density can be increased. Various embodiments of the invention, therefore, do not need wafer or chip alignment marks, or micro bumps for wafer alignment when bonding SOI substrate having single crystalline semiconductor layer and dielectric layer having interconnection lines and vias. Various embodiments of the invention can be implemented by mask alignment mark used in conventional photo process. The isolation structure is to be filled by dielectric material and intermediate electrode materials. Formation method of the dielectric and intermediate electrode in the isolation structure is explained in Figs. 8a-8d. After the process of Figs. 4a - 4d, according to conventional semiconductor process, ILD, interconnection lines, and vias are implemented and the base substrate is detached, then it becomes the structure shown in Fig. 3.

In Fig. 4, n+ layer on the top of SOI substrate **190** is directly connected to metal layer **121**. However, as can be seen in Fig. 5a, another dielectric **189** could be formed in between the top of SOI substrate **190** and metal layer **121**, and then transferred to dielectric layer **153**. In this case, bottom electrode **121** could be used for a gate electrode having gate dielectric **189**. Or, another bottom electrode **121c** could be used to connect the bottom electrode of the FLD.

An FLD IC layer could have one or more SOI layers. The FLD IC layer shown in Figs. 3 and 5 have a single SOI layer. Fig. 5b shows multiple SOI layers **124**, **128** consisting one FLD IC layer **105**. FLD IC layer **105** shows the structure before formation of FLD. As shown in Fig. 5b, there are no vias in between SOI layer **124** and SOI layer **128**. If vias exist between multiple SOI layers, as shown in Fig. 2, one FLD IC layer **101** and the other FLD IC layer **102** are separated and distinguishable. Multiple SOI layers are implemented by adding another SOI layer **128** on already transferred SOI layer **124** sequentially. Multiple SOI layers **124**, **128** shown in Fig. 5b have dielectric layer **138** which electrically separates the multiple SOI layers **124**, **128**. Therefore, multiple SOI layers **124**, **128** could have different types of devices

Exhibit 1006 - Page 106 of 375

which are electrically separated at each SOI layer. For example, one SOI layer could have p-type MOSFET, and the other SOI layer may become memory devices.

FLD could be conventional semiconductor devices. MOSFETs, bipolar transistors, diodes, capacitors, and resistors, images sensors (e.g., Charge-Coupled Devices (CCD) or Active Pixel Sensor (APS)), or MicroElectroMechanical System (MEMS). FLD could be a form of circular pillar (see Fig. 13a), rectangular pillar (see Fig. 13b), or multi-angle pillar, or cylindrical pillar. If the width of FLD is getting narrow, aspect ratio of the pillar structure increases and could topple or be detached from the bonded dielectric layer. To prevent these phenomenon, FLD could be a trapezoidal format with narrow top width and wide bottom width.

FLDs can be divided into High Temperature (HT) and Low Temperature (LT) devices depending on the temperature used in the manufacturing processing. Similarly, depending on the direction of device operation, FLDs can be divided into Vertical (V) and Horizontal (H) devices, where 'V' and 'H' mean the 'Vertical' and 'Horizontal' directions of major device current flow.

FLD process temperature could be divided into high temperature which is above 800 °C and low temperature which is below 650 °C. In this disclosure, we call the devices produced with a high temperature process HT-FLD, and call the devices produced with a low temperature process LT-FLD, or simply FLD, because a benefit in accordance with the present invention is the implementation of a 3-D IC at low process temperatures. HT-FLD can be treated at high temperature for thermal activation of implanted ions and could be vertical or horizontal devices. To implement HT-FLD, the interconnection lines **132** and vias **131** in dielectric layer **153** shown in Fig. 4 should be copper or refractory metals, such as tantalum, molybdenum, or tungsten. Also the base substrate used in HT-FLD should withstand at more than 800 °C.

LT-FLD or FLD do not need ion implantation, heat treatment, and photo process for ion implantation because the impurity layer required for device operation has been formed in SOI substrate before the transfer to dielectric layer. If high temperature is required during the FLD process, characteristics of the devices existing on other layer could be altered. Device process control along early prediction of the alteration is very difficult. Therefore, embodiments of the invention

Exhibit 1006 - Page 107 of 375

could be implemented on top of base semiconductor substrate having devices without process change. An advantage of the present invention is that a low cost process is obtained because ion implantation and photo process are not required. Also, because various embodiments of the invention do not require a high temperature process, refractory metal, aluminum, and aluminum which has low melting point and is widely used in semiconductor could be used. Also LT-FLD could use metal gate and high-k dielectric materials more easily than conventional manufacturing processes.

A typical form of LT-FLD is VFLD (Vertical FLD) because vertical impurity junctions are formed in SOI substrate already and it is easy to implement a bottom electrode. However, at low temperature, HFLD (Horizontal FLD) can be implemented without ion implantation. HFLD could be a form of MESFET, MOSFET, diode, or horizontal bipolar transistor. As shown in Fig. 6a, once part of SOI layer has been etched using PR (Photoresist) or hard mask **171**, then Fig. 6 is formed. Fig. 6b shows MESFET-type HFLD with metal gate forming Schottky diode. Or bottom electrode **121** could be used as a gate electrode. Fig. 6b is a FLD **113** in Fig. 2. If gate **172** has dielectric layer underneath it, the FLD becomes a MOSFET. If gate **172** in Fig. 6b has an ohmic contact and the n-type region is switched to p-type region, then it becomes a horizontal bipolar transistor. From the horizontal bipolar transistor, if the n+ region is anode and p-type region is cathode, then it becomes a horizontal diode. Also without gate, the FLD could be a resistor using only the n-type region.

VFLD (or LT-VFLD) could be a form of MESFET, MOSFET, diode, capacitor, resistor, bipolar, thyristor, or, instead of single device, could be a form of vertical connections of different types of FLD devices to implement circuitry. Combining optimized horizontal devices in the base semiconductor substrate and optimized VFLD, SoC could be optimized in performance and in price.

Unlike vertical device **212** at prior art shown in Fig. 1, it is easy to implement electrodes, contacts, and formation and connection of interconnection lines in VFLD. In this disclosure, 'electrode' means electrical part which is directly connected to devices or a gate with gate dialectic material. 'Contact' means connection part between electrode and interconnection line, which is usually a form of vertical shape. The vertical devices in US Patent 5,414,288, US Patent 6,027,975, US Patent

Exhibit 1006 - Page 108 of 375

6,337,247, and US Patent 6,449,186 should have horizontally extended doping region which is used for source/drain and providing space for contact formation. Therefore, in prior arts, the extended source/drain region increases resistance and parasitic capacitors. As shown in Fig. 2, the electrodes are formed at top **122** and bottom **121** of FLD **111**. In case of VFLD, intermediate electrode **123** could be connected to interconnection lines at the top or bottom of the FLD. Further, the intermediate electrode could be used for local interconnection. This very flexible interconnection scheme for a 3-D IC is not possible in conventional approaches to forming 3-D ICs.

The bottom of FLD is connected to metal layer **121** which is also directly connected to vias **131** in the ILD layer **151**. Therefore, bottom of FLD already has pre-formed electrode and contact. To connect bottom electrode **121** of FLD **111** and via **131** in the dielectric layer **151**, they need to be aligned. The alignment scheme used in this technology is to be done by conventional photo alignment mark (not shown). However, the photo process has misalignment margin and bottom electrode **121** and via **131** should be aligned within the alignment margin. In general, in order to connect interconnection lines at different level of ILD layers through via **131**, as shown in Fig. 2, the width of interconnection lines are needed to be wider than the size of via **131**. Photo process with photo mask and etch process are needed for formation of interconnection lines **132** and vias **131**.

Referring to Figs. 7a and 7b, the formation of bottom electrode **121** used for alignment between bottom portion **124z** of FLD and via **131** uses a self-aligning technology and therefore does not require a photo mask type of process. Part of the metal layer used in the SOI substrate bonding process is to be extension of bottom part of FLD and other part of the metal layer becomes a bottom electrode **121**. As shown in Fig. 7a, using etching mask **173**, the portion of layers **122** and **124** indicated by the dashed lines is etched away. Fig. 7b shows spacer type etching mask which enables bottom electrode **121** to be wider than via **131**. The width of bottom electrode **121** can be, for example, more than twice the FLD height if the etching mask is deposited taller than FLD and etched by, for example, a dry etching process. The width of bottom electrode **121** can be controlled by the thickness of a hard mask, the FLD height, the FLD width, and the etching amount of spacer **182**. If

Exhibit 1006 - Page 109 of 375

the width of the FLD is bigger than a photo process margin, then wider bottom electrode **121** is not required.

Referring to Figs. 8a-8d, an intermediate electrode in accordance with the present invention can be implemented as follows. First, there is a planar intermediate electrode, or planar electrode, method. After electrode material deposition and a CMP operation for planarization, dry etching is performed to provide a planar electrode **123** shown in Fig. 8a. Patterning of planar electrode **123** can be done before or after the dry etching process. The deposited electrode material is usually thicker than the height of VFLD. Also, at this point in the process, an etch stop layer **122** may be needed on top of the FLD to prevent damage on SOI layer **124**. Etch stop **122** is typically a combination of multiple oxide, nitride, or metal layers. In Fig. 8a, a dielectric material **133a** is deposited, planarized, and dry etched in a manner similar to the formation of planar electrode **123**. Dielectric material **133a** reduces parasitic capacitance between bottom electrode **121** and planar electrode **123**.

Second is the method using spacer **123** as shown in Fig. 8b. If the width of spacer intermediate electrode or spacer electrode is wide, it is easy to obtain electrical contact with the spacer electrode. However, it is difficult to achieve high density. If the width is narrow, it is difficult to obtain electrical contact with the spacer electrode. The spacer method doest not require photo or CMP processes.

Third method is spacer method using a dummy FLD (i.e., an FLD which does not work as a device). As shown in Fig. 8c, a dummy FLD **124a** is located close to FLD and increases the width of the spacer used for intermediate electrode **123**. Because contact **123a** connected to intermediate electrode **123** could be located on the top of dummy FLD **124a**, the margin for contact formation increases. As shown in Fig. 8c, the spacing between the FLD and dummy FLD **124a** should be smaller than two times the spacer film thickness.

The fourth method is, as shown in Fig. 8d, thin spacer method which extends intermediate electrode **123** to the top of FLD. After deposition of the intermediate electrode material, covering the area of contact formation on intermediate and etching the rest of the area, we get the structure of Fig. 8d. This method is good for

Exhibit 1006 - Page 110 of 375

thin spacer thickness. To reduce parasitic capacitance between top and intermediate electrodes, a thick dielectric layer may be used on the top electrode.

Intermediate electrode may surround the entire or part of intermediate region of the VFLD. Also, multiple intermediate electrodes could be formed at one FLD.

After the SOI layer has been transferred from SOI substrate, electrode material **122** has been deposited on the SOI layer and FLD has been patterned, then top electrode could be implemented as shown in Fig. 7a. If the size of contact **122a** is smaller than the size of top electrode **122**, then conventional semiconductor photo/etch technologies can be used as shown in Fig. 8d. However, if the FLD width is less than the misalignment margin of the photo process for formation of contact **122a**, or the size of contact **122a** is greater than the area of FLD, then photo/etch processing for contact **122a** may cause a short circuit to the intermediate electrode. Therefore, this disclosure describes several structures in accordance with the present invention that increase process error margin for photo/etch during the formation of contact **122a**. First thing is to increase thickness of top electrode formation material in order to provide etching process margin. Second is to use etch stop layer **184** with planar technology as shown in Fig. 9a. Third is to use etch stop layer **184** with spacer technology as shown in Fig. 9b, where the etch stop layer **184** has slow etching rate compared to the dielectric layer **133c** during the contact **122a** formation. For example, if dielectric layer **133c** is oxide film, then etch stop layer **184** could be nitride.

In this disclosure, we annotate VFLD, which is implemented at low temperature and has vertical operation, as follows: MOSFET VMFLD, MESFET VMEFLD, diode VDFLD, resistor VRFLD, capacitor VCFLD, bipolar VBFLD, and Thyristor VTFLD.

VDFLD could be implemented as vertical p-n or p-i-n junction diodes as shown in Fig. 10a. Also, Fig. 10b shows vertical Schottky diode, which has Schottky junction between top electrode **122** and SOI **124**. Or, as shown in Fig. 10c, metal intermediate electrode **123** could be used for 3-D Schottky diode. The VDFLD shown in Fig. 10c has twice the current driving capability compared to the one in Fig. 10b, because current follows from anode at intermediate electrode **123** to cathodes at top and bottom electrodes.

Exhibit 1006 - Page 111 of 375

There are two types of VCFLDs. One is MOS capacitor type or depletion capacitor, which uses a depletion region formed in the single crystalline semiconductor; and the other one, or dielectric capacitor, stores charge at dielectric interface without a depletion region. If the doping concentration of the semiconductor is low, then, depletion exists in semiconductor region. If doping concentration is high, then, it becomes dielectric capacitor, VCFLD without depletion. VCFLDs are shown in Figs. 11a and 11b. In Fig. 11a, there are gate dielectric which surrounds n-type single crystalline semiconductor and an electrode which connects the n-type semiconductor. Because, in general, the total capacitance is proportional to the electrode area, the surrounding gate **123b** increases total capacitance of VCFLD. Without the gate dielectric layer, the metal gate forming the Schottky diode could be used as a capacitor with reverse bias.

If the semiconductor has a pillar structure, the capacitance of VCFLD increases due to the increased semiconductor and gate interface area. Also, as shown in Fig. 11b, gates **123b**, **123c** and a gate dielectric layer are stacked repeatedly on a VCFLD, and the stacked capacitor and the VCFLD are connected in parallel, and then, capacitance could be increased. This type of capacitor has the same structure of stacking capacitor used in DRAM. The contact **121a** in Fig. 11b connects gate of the stacked capacitor and bottom electrode **121**.

Bipolar type VBFLD is shown in Fig. 12. The impurity regions, which consist of collector **124c**, **124d**, base **124b**, and emitter **124a**, have been implemented at SOI substrate and then transferred. Electrodes, which consist emitter **124a** and collector **124d**, are formed at bottom **121** and top **122**, and base **124b** electrode **123** is formed in middle of the FLD. Even though emitter **124a** could be located at top or bottom of VBFLD, emitter is at the bottom of VBFLD in the illustrative embodiment. In this case, the emitter is implemented at top of the SOI substrate before the single crystalline semiconductor **124a-124d** has been transferred. Therefore, accurate junction control is enabled when emitter **124a** and base **124b** regions are formed. Also, SiGe heterojunction base is possible and polycrystalline semiconductor can be used as part of emitter region. In addition, because the emitter **124a** is located at the bottom of VBFLD, emitter could be away from thickness variation during planar process after the SOI layer transfer process. If handling substrate is used for SOI layer transfer, then emitter is located at top of the FLD.

In accordance with the present invention, to obtain low collector series resistance, the VBFLD does not need a buried layer and heavily doped collector region which connects the collector contact and the buried layer. Various embodiments of the present invention provide lower collector series resistance compared to conventional approaches. Also, base series resistance can be low without a heavily doped extrinsic base region because the surrounding base electrode **123** formed in the middle of VBFLD has a wide contact surface at the base region. Further, the VBFLD does not have parasitic capacitors which prevent high speed operation. In addition, because the VBFLD does not have a substrate, base-collector-substrate parasitic bipolar transistor does not exist in embodiments of the present invention. Whereas conventional implementations need deep and shallow trench isolations, VBFLD only needs one isolation structure **135**. In Fig. 11, if the base intermediate electrode **123** is extended from base region to collector region, then the low doped collector region **124c** forms a Schottky diode with the base electrode which enables high speed operation of the VBFLD.

MOSFET-type VMFLD are shown in Figs. 8a-8d and Figs. 9a-9b. The vertical MOSFET could have high integration density at small space. It is noted that the channel length of a MOSFET in accordance with the present invention is not limited by photo and etching process limitations, but rather is determined by the thickness of a doped layer. Also, the VMFLD could have high driving current because channel width could be increased easily with a surrounding gate compared to conventional structures which have the same channel length.

However, vertical MOSFETs of the prior art are not used often because of many disadvantages. Vertical transistors shown in US Patent 5,414,288 and US Patent 6,027,975 are formed by epitaxial growth at exposed single crystalline region. Because this technology requires difficult manufacturing technologies and high temperature operation for epitaxial growth, it is not good for low temperature semiconductor processing.

Pillar type Surrounding Gate Transistor (SGT), shown in US Patent 6,337,247 and US Patent 6,449,186, is difficult to co-exist with optimized horizontal devices and may cause a shadow effect during ion implantation due to pillar type transistor. Also, SGT does not have high integration density because it has problems with forming

Exhibit 1006 - Page 113 of 375

electrodes at source/drain and gate regions. Therefore, these approaches are not suitable for SoC formation.

The VMFLD has a directly connected bottom electrode which decreases voltage drop, and current reduction by parasitic resistance. Also VMFLD could be easily full or partial depletion mode with control of FLD width, where the depletion mode could be also controlled by operation voltage and gate dielectric constant. Because the detached surface from the SOI substrate becomes heavily doped source/drain region, even though there are small surface defects, unlike prior arts of horizontal device, there is little effect to gate oxide quality, device operation, and yield.

The VMFLD may have gradient impurity distribution in the channel region and electric field could be formed in the channel region due to the graded impurity, where the induced electric field accelerates current flow and graded impurity may reduce Short Channel Effect (SEC). The graded impurity can be formed easily by ion implantation or epitaxial process. Increased impurity concentration in the channel region from source to drain side makes asymmetric operation. In addition, LDD (Lightly Doped Drain) could be selectively formed at drain side only. It is difficult to implement the graded channel in horizontal MOSFET in the prior arts, because of difficulties in high tilt ion implantation and device layout.

MOSFET-type VFLD, or VMFLD, has a gate dielectric layer which is implemented at below 650 °C as shown in US Patent 5,330,935 and US Patent 5,443,863. The dielectric layer could be thermal oxide, deposited oxide, oxynitride, or combination of oxide and nitride, such as ONO and NO (Nitride Oxide). Any suitable dielectric material could be used except high temperature processing films requiring more than 650 °C. Another advantage of embodiments of the present invention is that it is easy to use high dielectric constant (high-k) materials in the gate dielectric layer, such as, but not limited to, Al_2O_3, ZrO_2, HfO_2, Y_2O_3, La_2O_3, Ta_2O_5, TiO_2, and BST. In conventional manufacturing of MOSFETs, a high temperature heat activation operation is required after the source/drain ion implantation. At this time, the properties of high-k materials can be altered. However, the VMFLD process does not need a high temperature process, and so high-k materials could be used at stable condition. Also, if ALD (Atomic Layer Deposition) is used to provide the gate dielectric layer, then a substantially uniform layer can be obtained.

Exhibit 1006 - Page 114 of 375

In accordance with the present invention, threshold voltage could be controlled by changing gate dielectric thickness and/or width of FLD. If different gate dielectric thickness is used or different dielectric constant materials are used at VMFLD, then multiple operational voltage and threshold voltage could be implemented at the same SOI layer and it is useful for SoC. Also, because the VMFLD is produced at low temperature, and a surrounding gate is used, it is easy to use a metal gate compared to prior art manufacturing approaches.

In the prior art, for digital application, a MOSFET is in either an "Off" or an "On" state depending on voltage or current status. VMFLD shown in Fig. 13a could be a multi-Level (ML) VMFLD which has multiple status values with multiple gates sharing one source/drain. Current driving capability of VMFLD is proportional to the gate area. Therefore, simply multiple gates with same gate size could be used for gradual increase of current. Or, multiple gates with same gate size of a VMFLD could be used for ML-VMFLD. Fig. 13b shows a ML-VMFLD which has two "W" size gates and two "3W' size gates, where "W" is a constant number and "3W" means triple the value of "W". Using combination of these 4 different gates, ML-VMFLD could have 9 different current values from "0" to "8". If the same size gates are used for ML-VMFLD, eight gates are required for nine different values as shown in Fig. 13a. ML-FLD could be used for memory or digital logic device applications. Intermediate electrodes for multi-level could be used for bipolar transistor as base electrodes.

A 3-D IC including FLDs may have not only single device form, such as MOSFET or bipolar transistor, but also multiple devices formed in a single FLD layer. Fig. 14 shows a single inverter type VFLD. The p-MOSFET and n-MOSFET which make up the inverter do not require different wells, and therefore this inverter has a high integration density. Contact **123f**, which connects gates of p-MOSFET and n-MOSFET together, becomes the input terminal of the inverter. Drains of p-MOSFET and n-MOSFET are connected together and connected to electrode **123g** and contact **123h**. In Fig. 14, p+-p-p+ type p-MOSFET is a depletion mode MOSFET. Or the p-MOSFET could be a p+-n-p+ type and in this case n-region needs reference voltage. As shown in Fig. 14, the contact, which penetrates the dielectric layer used for FLD isolation structure, could be connected to interconnection lines above or below FLD layer.

Exhibit 1006 - Page 115 of 375

In addition to the FLD inverter shown in Fig. 14, which uses only one SOI layer, a FLD inverter could be implemented using two SOI layers as shown in Fig. 5b; in which case one SOI layer has the n-MOSFET and the other SOI layer has the p-MOSFET,

In accordance with the present invention, memory devices could be implemented using multiple FLDs.

Using two inverters and two pass transistors on base semiconductor substrate, a six-transistor SRAM cell can be implemented as shown in Fig. 15b. The two inverters are VFLD and two transistors, which have word line and bit line, are on the base semiconductor substrate. Figs. 15a and 15b show interconnection lines of top and bottom contacts, respectively. Two FLD inverters are latched with connecting inputs to outputs of each inverters. Counter parts of one VFLD inverter contacts **122a**, **123h**, **123f**, **131** are shown with underlined **122a**, **123h**, **123f**, **131**. Therefore, such an SRAM cell has a high integration density. Especially, because the base semiconductor substrate does not need n-well for p-MOSFET in SRAM cell, integration density in the base semiconductor substrate is high. It is noted that if four pass transistors are used, a dual-port SRAM can be implemented.

There are many ways to implement SRAM cells in accordance with the present invention. A first way is by using four n-MOSFETs on a base semiconductor substrate and two p-MOSFET type FLDs. A second way is by disposing two p-MOSFETs on the base semiconductor substrate and four n-MOSFET type FLDs. A third way is by disposing two p-MOSFET type FLDs on a SOI layer and four n-MOSFET type FLDs on another SOI layer. A fourth way is by using a four-transistor SRAM cell that has either four n-MOSFET type FLDs or four n-MOSFETs on the base semiconductor substrate, and resistors could be either formed on an FLD layer or polycrystalline semiconductor resistors may be used.

A prior art SRAM cell using a Thyristor has a complicated structure which has a vertical Thyristor and a horizontal MOSFET on same semiconductor substrate. Therefore, this SRAM has process incompatibility with other devices and it is not good for SoC applications. Fig. 16a shows a VTFLD SRAM cell having a gate **123j** in accordance the present invention. Intermediate electrode gate **123j** is used for word line 2 and the top electrode is connected to reference voltage. The VTFLD is

Exhibit 1006 - Page 116 of 375

connected to horizontal access transistor **161c** on base semiconductor substrate, therefore, each device can be optimized, and high density is provided for SoC applications. The gate of the access transistor is used for word line 1 (WL1). Fig. 16b shows another structure of SRAM cell shown in Fig. 16a, which vertically connects the access transistor **161c** and Thyristor and eventually forms a VFLD SRAM cell. The Thyristor gate **123j** and access transistor gate **123i** are all intermediate electrodes. VTFLD in Fig. 16a could be the same SRAM cells shown in US Patent 6, 225,165B and US Patent 6,172,899. A Dynamic Random Access Memory (DRAM) cell in accordance with the present invention has one transistor and one capacitor, where the transistor could be on the base semiconductor substrate or could be a VMFLD on an FLD IC layer, and the floating source of the transistor is connected to a VCFLD on another FLD IC layer. VCFLDs are shown in Figs. 11a-11b. Or, from the multiple SOI layers consisting one FLD IC layer, one SOI layer having a transistor and the other SOI layer having a capacitor are connected to form a DRAM structure. Another VFLD DRAM structure has serial connection of a transistor and a capacitor in a SOI layer. Fig. 17a shows a DRAM structure having an n-type MOSFET and a depletion capacitor connected in series therewith . The top electrode **122** is connected to a bit line and intermediate electrode **123** is connected to a word line. In Fig. 17a, a depletion region, which is formed between a floating n+ source **124e** and a p-region **124f** connected to bottom electrode **121**, has wider width than does the n-type MOSFET, where the wider semiconductor region could be implemented using spacer technology without additional photo process operations as shown in Figs. 7a-7c. Fig. 17b shows that a MOSFET having floating source and a dielectric capacitor are connected in parallel, where the floating source p-region is connected to a reference voltage source (not shown). In Fig. 17b, bottom electrode **121** is connected to a bit line and intermediate electrode **123** is connected to a word line.

A nonvolatile FLD memory structure in accordance with present invention is shown in Figs. 18a-18f. Fig. 18a has two gates, where one floating gate surrounds a p-type channel region with gate dielectric layer **183b** and control gate **123** connecting to bias surrounds floating gate **123k** with another gate dielectric layer **183c**. Fig. 18b shows a split gate nonvolatile memory, where floating gate **123k** surrounds part of p-type channel region, and the rest of channel region and the floating gate **123k** are

Exhibit 1006 - Page 117 of 375

surrounded by control gate **123**. Fig. 18c has three gates: a floating gate **123k**, a control gate **123**, and an erase gate **323** which is designed to erase data. Fig. 18d shows a nonvolatile memory VFLD without a floating gate which has an ONO gate dielectric layer **183**, where information can be stored at different locations **30** depending on current flow. Fig. 18e shows a flash memory FLD structure with bulk contact **122c** on p-type bulk region **124**. VMFLD could have a bulk contact without gate dielectric layer on one side and gate contact with gate dielectric layer on the other side.

One of advantages of embodiments of the present invention is that nonvolatile memory could be a ML-VMFLD which stores multi bit information in a FLD. As shown in Fig. 18f, an FLD having one source/drain has eight separated gates, and then one FLD has eight multi-bit memory cell. Fig. 18f has a bulk contact **122c** and rest contacts are connected to source/drain at SOI layer which is forming FLD. In Fig. 18e, dashed line "**756**" shows the borderline of an exposed FLD bulk region from the top FLD. Rest contacts **122a** on SOI region **124** are connected to source/drain. If the nonvolatile memories in Figs. 18a-18c, source and drain have different doping concentration, multi bit nonvolatile memory could be achieved depending on device operation similar to ETOX.

In one embodiment of the present invention, FLD memory devices may have redundancy on the same or different FLD IC layers.

One embodiment of the present invention may have block regions in a FLD IC layer as shown in Figs. 19a-19b, where each block has different type of FLDs. Figs. 19a and 19b are top views of an FLD IC, and each chip **441** is distinguished by a scribeline. For example, one FLD IC layer has four blocks **413a-413d**, where a first block has a programmable FPGA, a second block has a flash memory, a third block has bipolar devices, and a fourth block may have an SRAM. Each block may require different impurity junctions for different device types, where the impurity junctions should be formed before SOI layer transfer processing in case of LT-FLD. The block FLD formation needs wafer alignment marks at SOI substrate and base substrate. In this case, it is better to have Overlay Error Compensation Area (OECA) **412** considering wafer misalignment, where the OECA may have a few microns to hundreds micron distance.

Fig. 20a shows a nonvolatile memory cell **700** with a capacitor using a ferroelectric film **710**, and a VFLD connected in series to the capacitor. The nonvolatile memory using ferroelectric film **700** is called an FRAM (Ferroelectric Random Access Memory). Conventional ferroelectrics are $(PbZr)TiO_3$ (referred to as PZT), $SrBi_2Ta_2O_9$ (referred to as SBT), and $YMnO_3$. If an electric field is applied to such a ferroelectric, then the ferroelectric has a polarization characteristic. In Fig. 20a, FRAM cell **700** has serially connected a ferroelectric capacitor and a VMFLD. Gate **123** of VMFLD is Word Line (WL) and the drain is Bit Line (BL), and the source is connected to the ferroelectric capacitor and the other electrode **122a** is connected to Drive Line (DL or Plate Line).

Fig. 20b shows an equivalent circuit of FRAM memory cell **700**, where logic devices for sense amp **770** are generally implemented on base substrate and FRAM cell **700** including VMFLD is implemented in SOI layer.

Fig. 20c shows one memory bit using two FRAM cells shown in Fig. 20a, where logic devices for sense amp **770** are generally implemented on base substrate **103** and FRAM cell **700** including VMFLD is implemented in SOI layer.

Fig. 21a shows a nonvolatile memory cell **730** with a capacitor using ferroelectric film **710** and a VFLD connected in parallel to the capacitor. The parallel connection FRAM operates at higher speed and has lower power consumption compared to a serially connected FRAM cell. One intermediate electrode **123** is the WL. The other intermediate electrode **123a** has an applied reference voltage and keeps constant current status for parallel connecting the ferroelectric capacitor and VFLD.

Fig. 21b is an equivalent circuit of FRAM cell **730**. FRAM cells **730** are chained to form a byte.

A capacitor using ferroelectric film **710** is located at the top of the VFLD in Figs. 20a and 21a. However, the capacitor using ferroelectric film **710** could be located at the bottom of the VFLD. Also the VFLD could be a MOSFET, bipolar, or other type of transistor.

Figs. 22a and 22b show nonvolatile VMFLDs **750** which have ferroelectric film **710** as part of a VMFLD structure. In Fig. 22a, a FRAM has ferroelectric film **710** located in between a gate dielectric layer **183** and gate electrode **123**. This is called

Exhibit 1006 - Page 119 of 375

a Metal Ferroelectric Insulator Silicon (MFIS). Gate dielectric layer **183** is a typical MOSFET gate dielectric layer and can be formed, for example, of silicon dioxide or oxynitride. If there is no gate dielectric layer **183** in Fig. 22a and ferroelectric film **710** is used as a gate dielectric layer, then the device becomes a Metal Ferroelectric Silicon (MFS) type FRAM.

In Fig. 22b, ferroelectric film **710** is disposed between floating gate **123k** and control gate **123** of a VMFLD, and it forms a Metal Ferroelectric Metal Insulator Silicon (MFMIS) type FRAM **760** FLD.

Ferroelectric film **710** used in the illustrative embodiments of Figs. 20-22 should be implemented below 660 °C for low temperature FLD.

Fig. 23a shows a nonvolatile MRAM Magnetoresistive Random Access Memory, **800** cell structure using VMFLD and serially connected MJT Magnetic Tunnel Junction Stack, **810**. In Fig. 23a, MJT **810** is located formed below ILD **133** and FLD **124**.

Fig. 23b also shows an MRAM cell **850** using MJT **810**. MJT **810** is located formed above FLD **124**.

MJT **810** has property of variable electric resistance depending on applied magnetic field, where the electric resistance changes depending on polarization of MJT **810**. MJT **810** consists of multiple thin film layers. In general, one magnetic file is free layer which is polarized by applied magnetic field. The other magnetic film is pinned layer and, in general, used along with exchange layer which is anti-ferromagnetic layer. The pinned layer is polarized by applied magnetic field. Therefore, the film stack is called a Magnetic Tunnel Junction Stack (MJT). The MJT is not limited to a structure which has two magnetic films and a dielectric film. The MJT could have combinations of different thin layers. The MJT could be classified to two types by the stacked layers; one is Giant Magnetroresistance (GMR) using non-magnetic material, and the other one is Tunneling Magnetroresistance (TMR) using dielectric layer, such as oxide layer. The VFLD shown in Figs. 23a and 23b could be MOSFET, bipolar, or MESFET.

Fig. 24 shows an Ovonic Unified Memory (OUM) **900** cell structure using a Reversible Structural Phase-Change Film (RSPCF) **910** and a serially connected VFLD. In Fig. 24, RSPCF **910** is implemented after formation of FLD **124** and placed

Exhibit 1006 - Page 120 of 375

above FLD **124**. Or RSPCF **910** could be implemented before formation of FLD **124** and placed below FLD **124** (not shown). RSPCF **910** could have amorphous or polycrystalline phases depending on the amount of current and time, in other words, the temperature applied to RSPCF, where polycrystalline has lower electric resistance.

RSPCF **910** could be chalcogenides and alloy in VI element of Periodic Table. Therefore, RSPCF **910** could be alloy of Ge-Sb-Te, GaSb, InSb, InSe, Sb_2Te_3, GeTe, $Ge_2Sb_2Te_5$, InSbTe, GaSeTe, $SbSb_2Te_4$, InSbGe, AgInSbTe, (GeSn)SbTe, GeSb(SeTe), or $Te_{81}Ge_{15}Sb_2S_2$. Electrode **910a** connected to RSPCF **910** could be TiAlN or TiW, which is stable at 650 °C. The VFLD shown in Fig. 24 could be a MOSFET, a bipolar device, or a MESFET.

Fig. 25 shows a Programmable Read-Only Memory (PROM) **300** cell structure using fuse or antifuse) layer **310** and a serially connected VFLD. In Fig. 25, the fuse (or antifuse) layer **310** is formed above FLD **124** after the FLD formation. Or, the fuse (or antifuse) layer **310** is formed below FLD **124** before the FLD formation. Antifuse layer **310** has high electric resistance. However, it could get low electric resistance if a high programming voltage/current is applied to the antifuse layer. The PROM is not reprogrammable in general.

The PROM can be used in an Application-Specific Integrated Circuit (ASIC), a Field Programmable Gate Array (FPGA), or a Programmable Logic Array (PLA).

The antifuse layer may be formed from an ONO layer, a metallic oxide layer, a chalcogenide layer, or an undoped amorphous silicon layer, but is not limited to these materials. The fuse layer may be formed from nichrome or polycrystalline silicon, but is not limited to these materials. Electrodes **301a**, **301b** for fuse or antifuse may be formed from TiW, which is stable at high temperature.

In Fig. 25, the VFLD may be a MOSFET, a bipolar transistor, a MESFET, or a diode.

Fig. 26 shows a DRAM **400** cell having only a VMFLD **124**. VMFLD **124** using SOI layer has floating body p-region, as shown in Fig. 26, without applied bias, and charges could be accumulated in the floating body for a short time (i.e., refresh time). The charge becomes readable and writable data.

Exhibit 1006 - Page 121 of 375

Fig. 27a shows an Electrically Erasable Programmable Read-Only Memory (EEPROM) **500** cell which has a VMFLD and a serially connected nonvolatile VMFLD memory. The nonvolatile memory has dual gates which are a floating gate and a control gate. However, it could be a Silicon Oxide Nitride Oxide Silicon (SONOS) type nonvolatile memory. In Fig. 27a, the MOSFET, which is coupled to the select line as shown, is disposed above the nonvolatile memory. However, the location of these devices could be reversed.

Fig. 27b shows an equivalent circuit of the one EEPROM cell.

Fig. 28 is power VMFLD **600** which is operating at high voltage. Compared to conventional low power VMFLD, the power VMFLD could have from few micrometer to few hundred micrometer range SOI layer thickness and gate dielectric layer thickness may have from tenth of nanometer to few thousands nanometer range. Operation voltage could be from 7 volts to 1000 volts range. Also the FLD may have a trapezoidal shape which help extension of depletion region and reduction of electric field, and therefore increasing operation voltage.

Power VMFLD **600** has many advantages over horizontal MOSFET. Conventional horizontal MOSFET needs to have long channel length in order to increase operation voltage. However, it causes high cost due to low integration density. However, channel length of power VMFLD **600** dose not change integration density because channel length is determined by vertical height of the SOI layer. Also, because the power VMFLD has surrounding gate, it has low on resistance and its current driving capability is more than twice of conventional horizontal MOSFET. Therefore, the power VMFLD of Fig. 28 may replace other conventional power devices, such as Lateral Double-Diffused MOS (LDMOS) and Trench MOS. Also, combining low voltage devices in the base substrate and power VMFLD into one chip, we could achieve SmartPower or SmartMOS chips that handle analog and digital signals in a chip.

If the power VMFLD in Fig. 28 has a double-diffused drain, then it becomes the device shown in Fig. 29. The double-diffused region prevents the expansion of a depletion region to the heavily doped drain region and helps device operate at high voltage.

Exhibit 1006 - Page 122 of 375

In Figs. 28 and 29, if the gate dielectric layer has a combination of "low temperature thermal oxide, high-k dielectric, and CVD dielectric, then device reliability increases, and the interface trap in between semiconductor **124** and gate dielectric layer **183** decreases. Also, current driving capability increases and on-resistance decreases.

Conclusion

It is to be understood that the present invention is not limited to the embodiments described above, but encompasses any and all embodiments within the scope of the subjoined Claims.

Exhibit 1006 - Page 123 of 375

What is Claimed is:

1. A method of forming a semiconductor structure, comprising:

providing a substrate having electrical devices formed therein, and further having at least one dielectric layer and at least one interconnect layer disposed above the substrate;

providing a first stackable add-on layer, the first stackable add-on layer including a plurality of vertically oriented semiconductor devices disposed within the first stackable add-on layer, the plurality of vertically oriented semiconductor devices separated from each other by dielectric material; and

attaching the stackable add-on layer to a layer of the substrate that is the greatest distance from the substrate.

2. The method of Claim 1, wherein the plurality of vertically oriented semiconductor devices includes at least one n-p-n stack.

3. The method of Claim 2, further comprising forming a gate dielectric on the n-p-n stack, and forming a gate electrode on the gate dielectric.

4. The method of Claim 3, wherein the gate electrode is disposed on the gate dielectric such that it is adjacent at least a p region of the n-p-n stack so as to form an n-type MOSFET.

5. The method of Claim 1, wherein the plurality of vertically oriented semiconductor devices includes at least one p-n-p stack.

Exhibit 1006 - Page 124 of 375

6. The method of Claim 5, further comprising forming a gate dielectric on the p-n-p stack, and forming a gate electrode on the gate dielectric.

7. The method of Claim 6, wherein the gate electrode is disposed on the gate dielectric such that it is adjacent at least an n region of the p-n-p stack so as to form a p-type MOSFET.

8. The method of Claim 1, wherein the plurality of vertically oriented semiconductor devices includes at least one floating gate non-volatile memory device.

9. The method of Claim 8, wherein a vertically oriented erase gate is disposed adjacent the at least one floating gate non-volatile memory device.

10. The method of Claim 1, further comprising attaching a second stackable add-on layer above the first stackable add-on layer.

11. A method of forming a stackable add-on layer, comprising:

forming a detach layer in a first semiconductor substrate;

forming a plurality of doped regions in the first semiconductor substrate above the detach layer; wherein forming the plurality of doped layers comprises:

forming a first doped layer in the first semiconductor substrate above the detach layer, the first doped layer being doped so as to have a first conductivity type;

Exhibit 1006 - Page 125 of 375

forming at least an intermediate doped layer in the first semiconductor substrate above the first doped layer, the intermediate doped layer being doped so as to have a second conductivity type which is opposite the first conductivity type; and

forming at least a third doped layer in the first semiconductor substrate above the intermediate doped layer;

forming a first electrically conductive blanket layer over the third doped layer;

forming a second electrically conductive blanket layer over the first electrically conductive blanket layer; and

attaching the first semiconductor substrate to a second semiconductor substrate such that the second electrically conductive blanket layer is in contact with a corresponding electrically conductive top layer of the second semiconductor substrate.

12. The method of Claim 11, further comprising:

removing a portion of the first substrate that is on a side of the detach layer opposite the side on which the first doped layer is disposed, such that the first doped layer is exposed.

13. The method of Claim 12, further comprising:

forming a third electrically conductive blanket layer over the exposed portion of the first doped layer.

14. The method of Claim 13, further comprising:

Exhibit 1006 - Page 126 of 375

etching portions of the third electrically conductive blanket layer, thereby exposing a surface of the underlying plurality of doped regions;

etching the exposed portions of the plurality of doped layers that are not masked by unetched portions of the third electrically conductive blanket layer, thereby forming a plurality of individual doped stack structures, and exposing portions of the first electrically conductive blanket layer that are not masked by the individual doped stack structures; and

etching the exposed portions of the first electrically conductive blanket layer.

15. The method of Claim 14, further comprising:

disposing a first layer of dielectric material between the individual doped stack structures, such that the first layer of dielectric material surrounds the third doped layer and a portion of the intermediate doped layer of each of the individual doped stacks, and such that at least a portion of the intermediate doped layer is exposed; and

forming at least one electrically conductive line that is electrically connected to the exposed intermediate doped layer of at least one of the plurality of individual doped stack structures.

16. The method of Claim 15, further comprising:

disposing a second layer of dielectric material over the first layer of dielectric material.

17. The method of Claim 14, further comprising:

Exhibit 1006 - Page 127 of 375

forming a gate dielectric layer around at least a portion of at least one doped stack structure; and

forming a gate electrode adjacent at least a portion of the gate dielectric layer.

18. A semiconductor structure, comprising:

a substrate having electrical devices disposed therein, further having a plurality of dielectric and interconnection lines formed thereon, the substrate having an uppermost layer; and

a plurality of vertically oriented semiconductor devices disposed on the uppermost layer of the substrate;

wherein each of the plurality of vertically oriented semiconductor devices has a first metal electrode disposed on a bottom side thereof and a second metal electrode disposed on a top side thereof, and the plurality of vertically oriented semiconductor devices are separated from each other by a region in which a dielectric material is disposed.

19. The semiconductor structure of Claim 18, wherein the vertically oriented semiconductor devices comprise a first doped region of a first conductivity type, a second doped region adjacent the first portion, the second doped region of a second conductivity type that is opposite the first conductivity type, and a third doped region spaced apart from the first doped region by at least the second doped region.

20. The semiconductor structure of Claim 19, further comprising:

a gate dielectric layer disposed over at least a portion of the second doped region, and

Exhibit 1006 - Page 128 of 375

a gate electrode disposed over the gate dielectric layer;

wherein the first and third doped regions make electrical connection through first and second metal electrodes, and the second doped region is not provided with a direct electrical contact.

Exhibit 1006 - Page 129 of 375

THREE-DIMENSIONAL INTEGRATED CIRCUIT STRUCTURE AND METHOD OF MAKING SAME

ABSTRACT OF THE DISCLOSURE

Vertically oriented semiconductor devices may be added to a separately fabricated substrate that includes electrical devices and/or interconnect. The plurality of vertically oriented semiconductor devices are physically separated from each other, and are not disposed within the same semiconductor body, or semiconductor substrate. The plurality of vertically oriented semiconductor devices may be added to the separately fabricated substrate as a thin layer including several doped semiconductor regions which, subsequent to attachment, are etched to produce individual doped stack structures. Alternatively, the plurality of vertically oriented semiconductor devices may be fabricated prior to attachment to the separately fabricated substrate. The doped stack structures may form the basis for diodes, capacitors, n-MOSFETs, p-MOSFETs, bipolar transistors, and floating gate transistors. Ferroelectric memory devices, Ferromagnetic memory devices, chalcogenide phase change devices, may be formed in a stackable add-on layer for use in conjunction with a separately fabricated substrate. Stackable add-on layers may include interconnect lines.

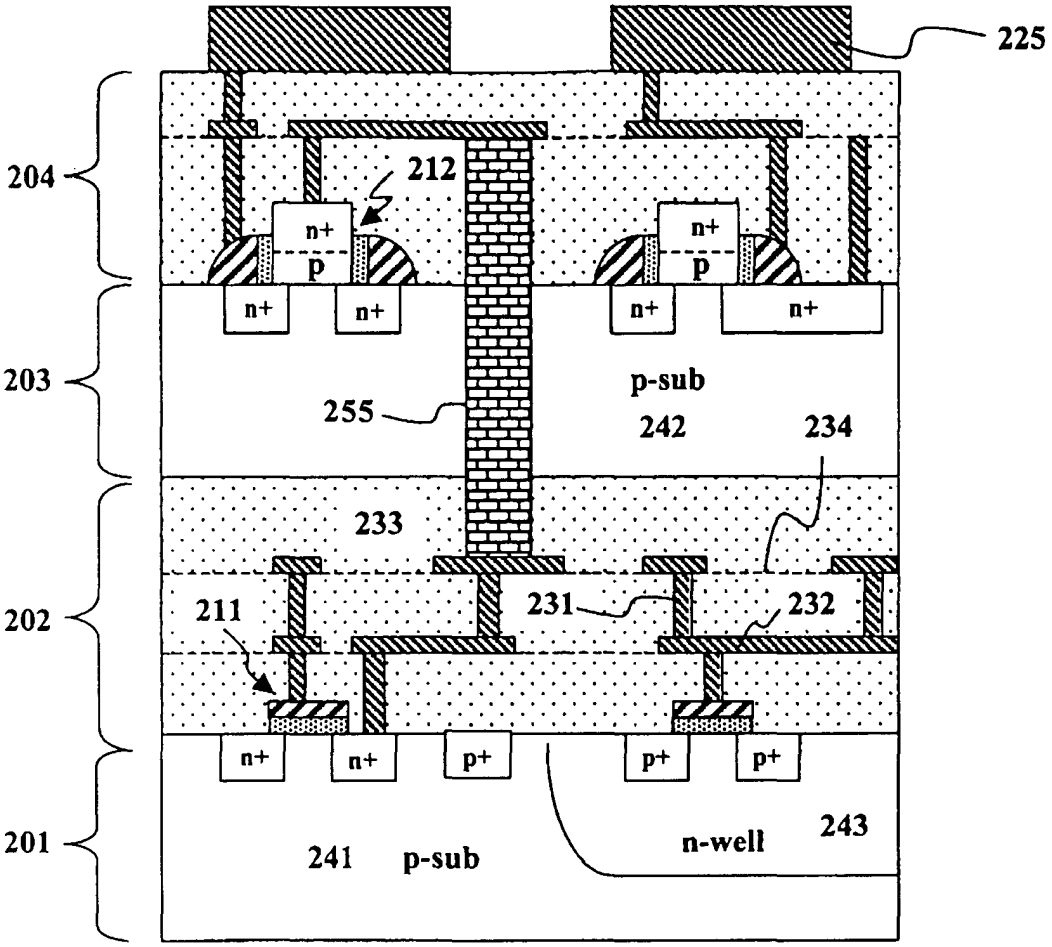


Fig. 1 (Prior Art)

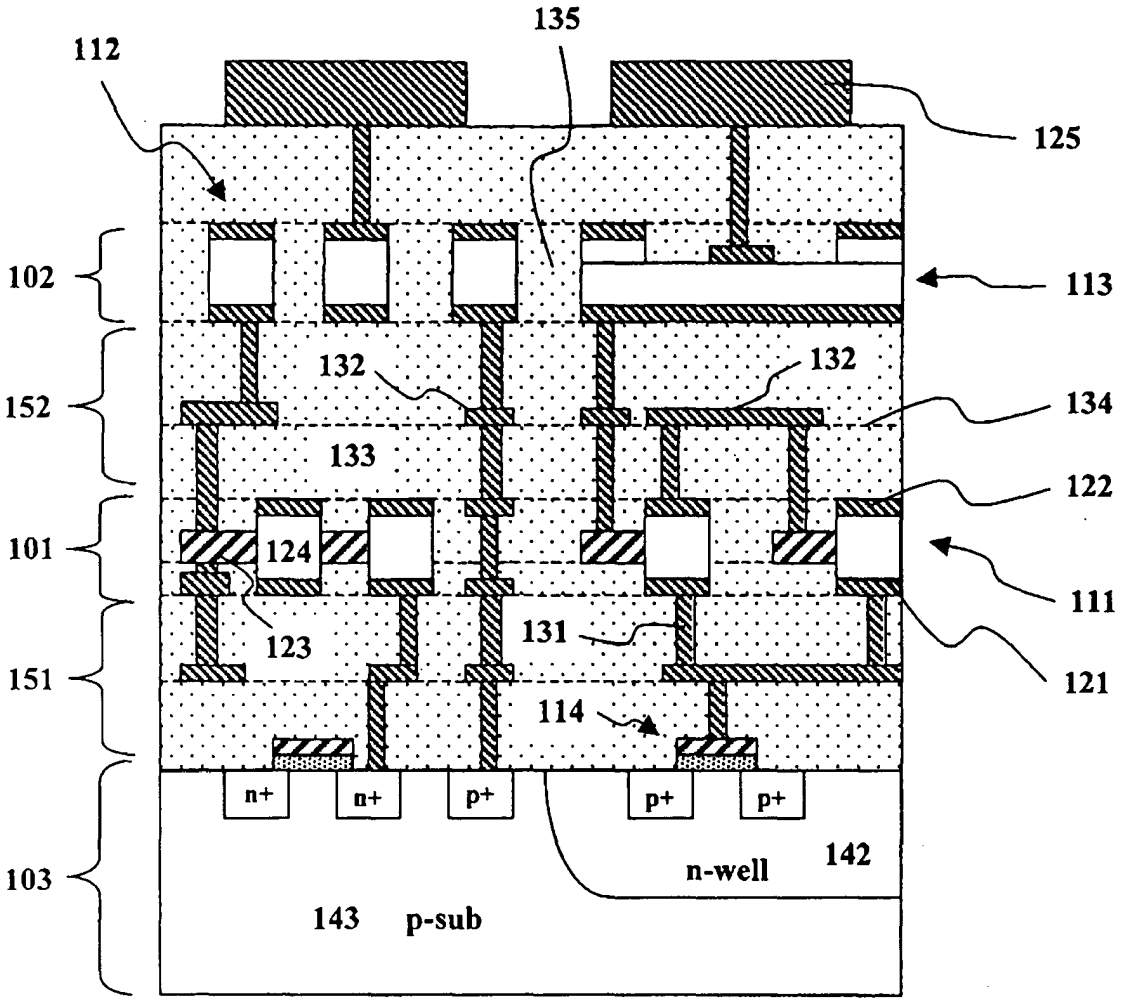

112
135
125
102
113
152
132
132
134
133
122
101
124
111
123
131
151
121
114
n+
n+
p+
p+
p+
142
103
n-well
143
p-sub

Fig. 2

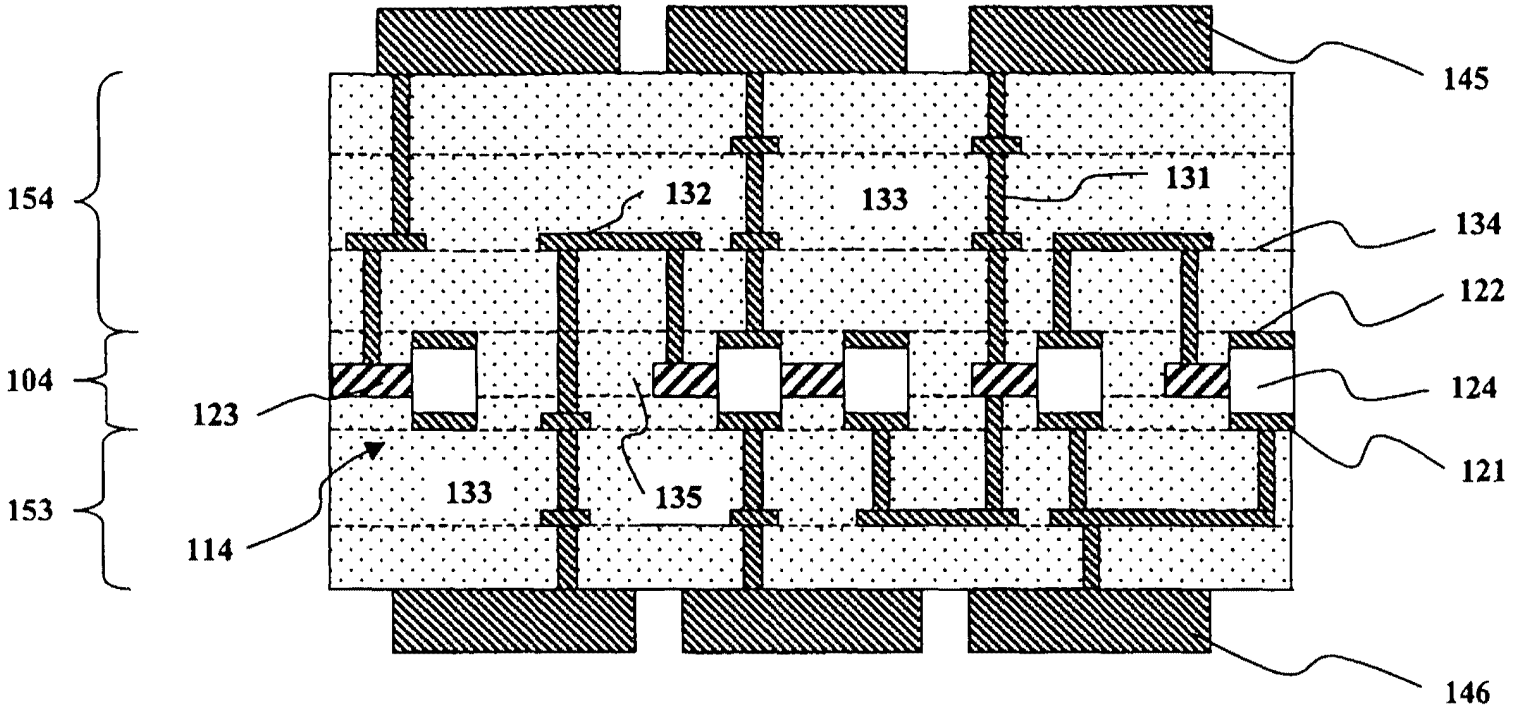


Fig. 3

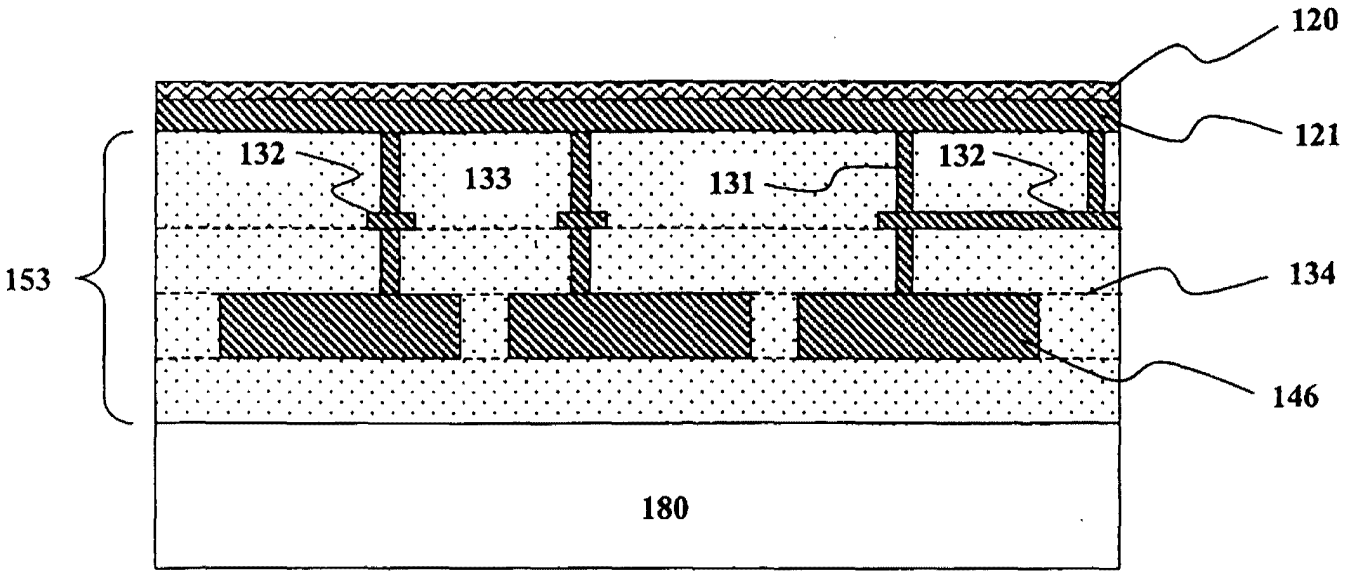


Fig. 4A

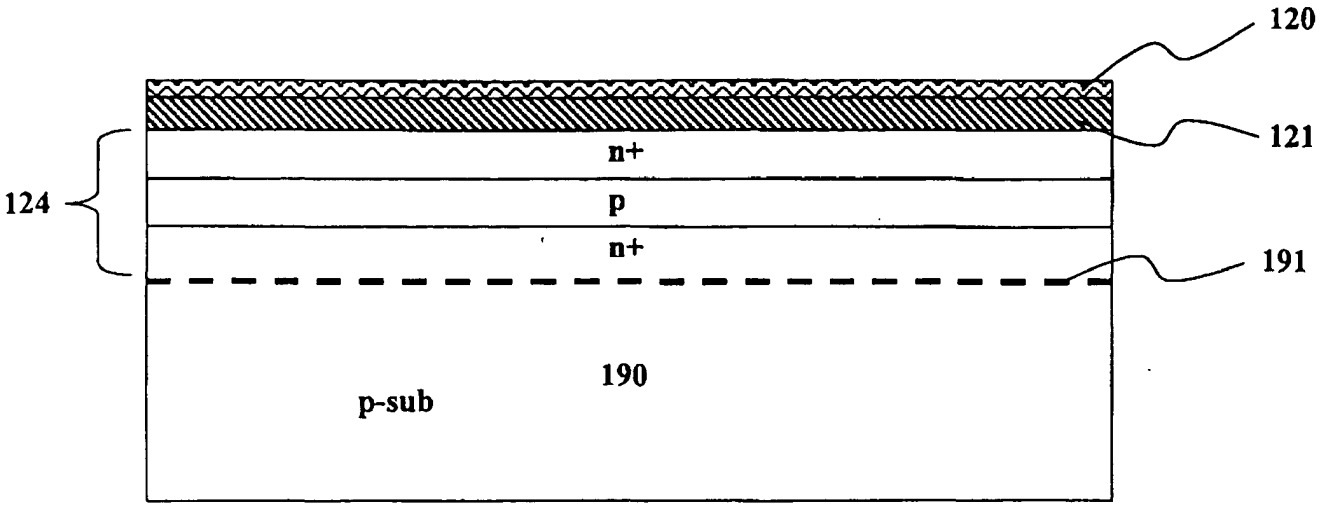


Fig. 4B

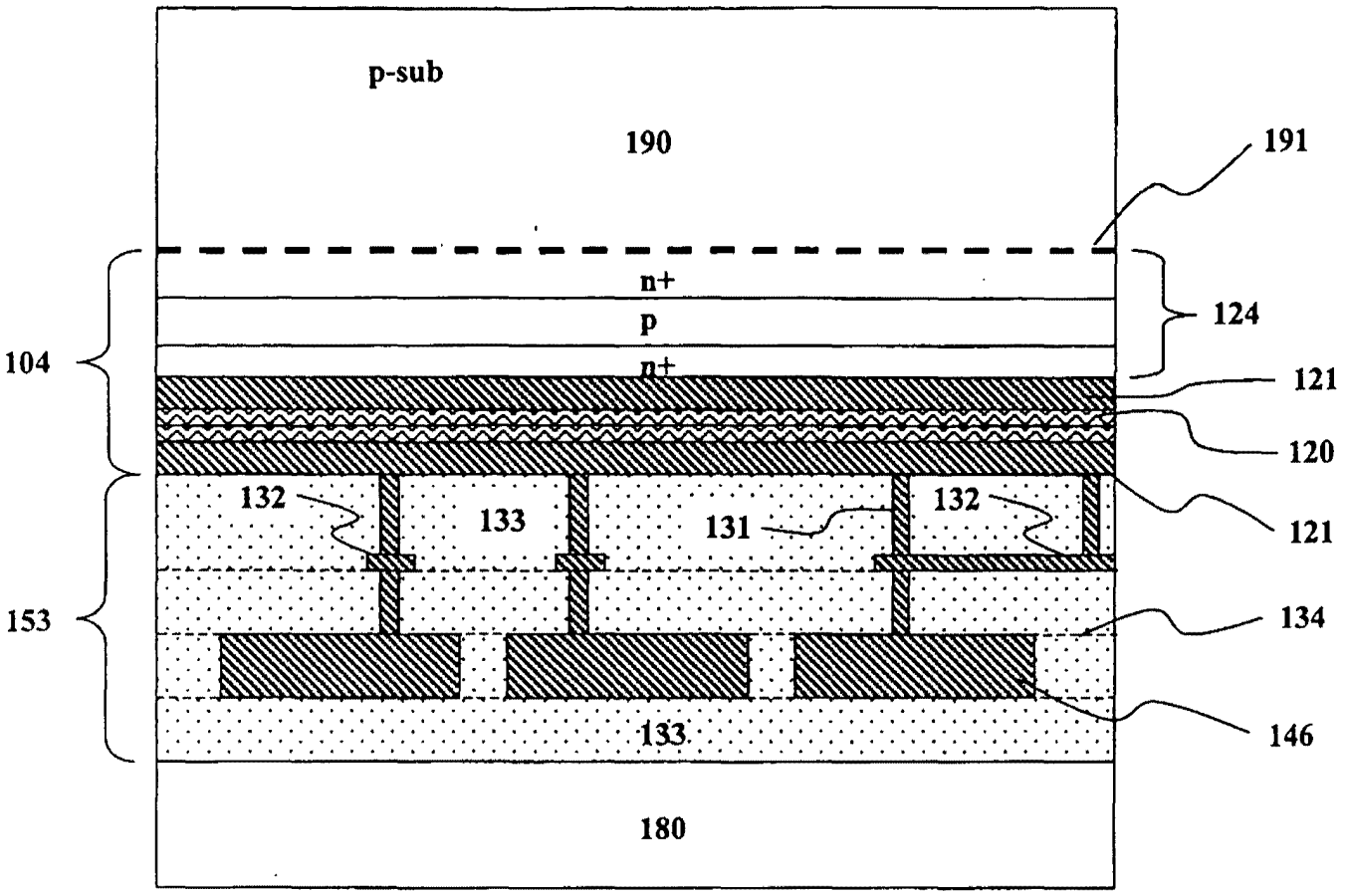

p-sub
190
191
n+
p
n+
124
104
121
120
132
133
131
132
121
153
134
133
146
180

Fig. 4C

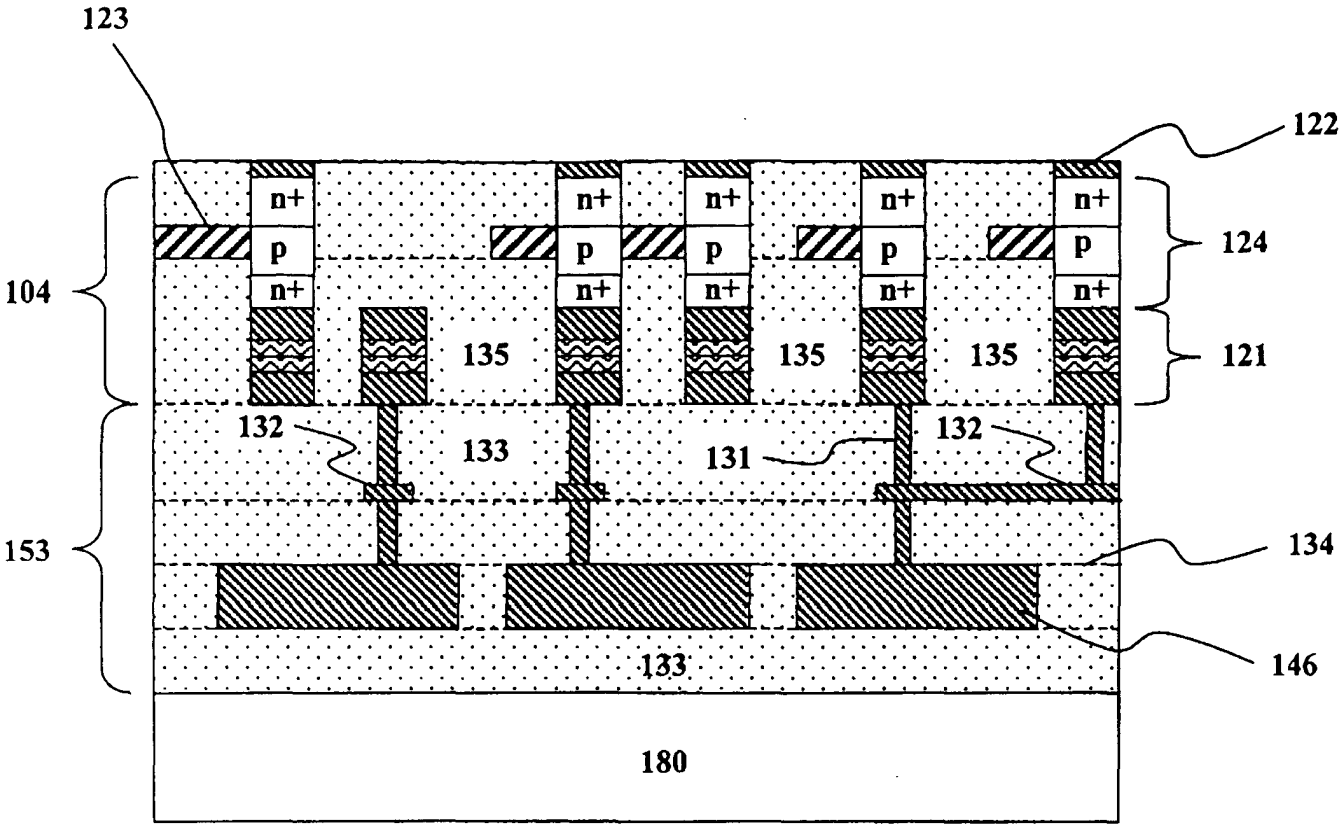


Fig. 4D

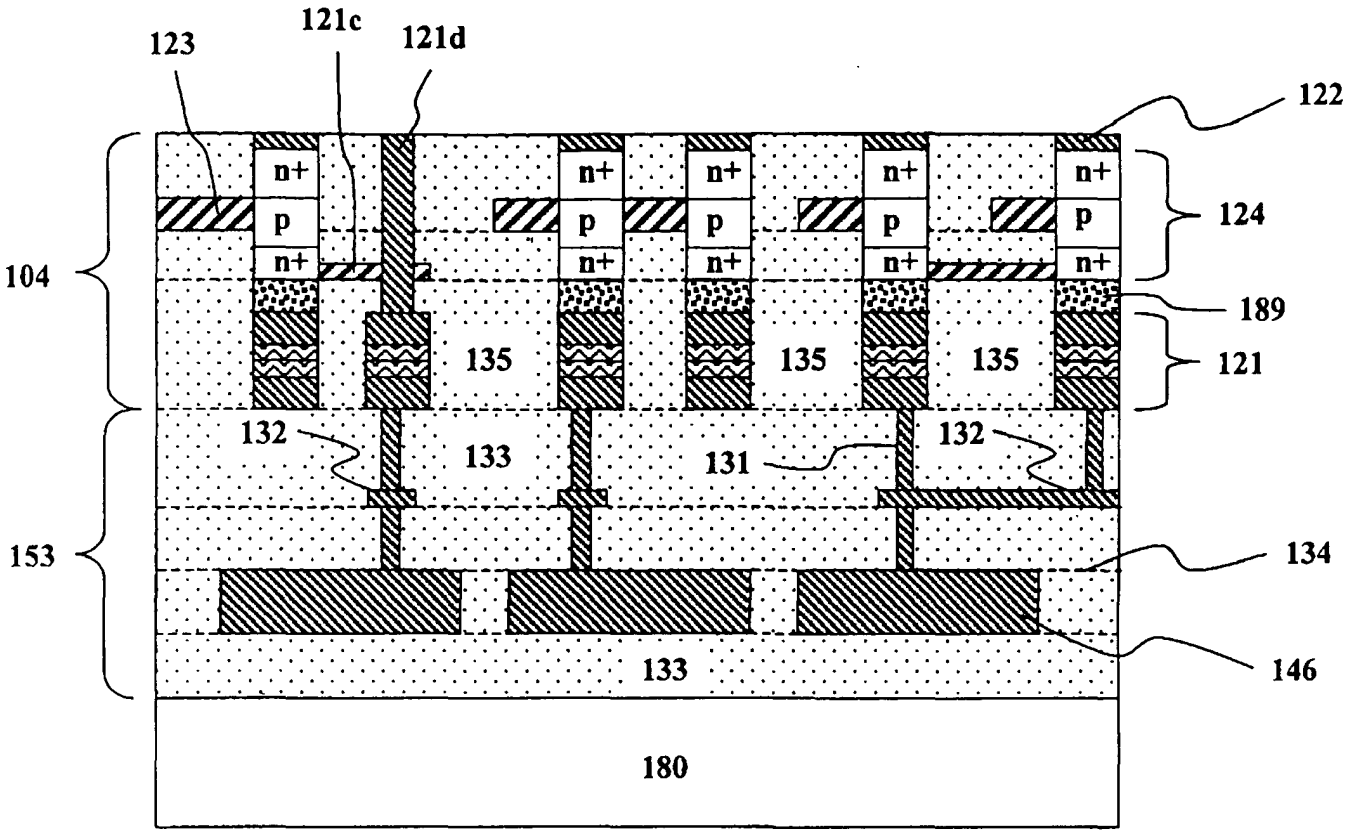

123
121c
121d
122
n+
p
n+
124
104
189
135
121
132
133
131
153
134
146
180

Fig. 5A

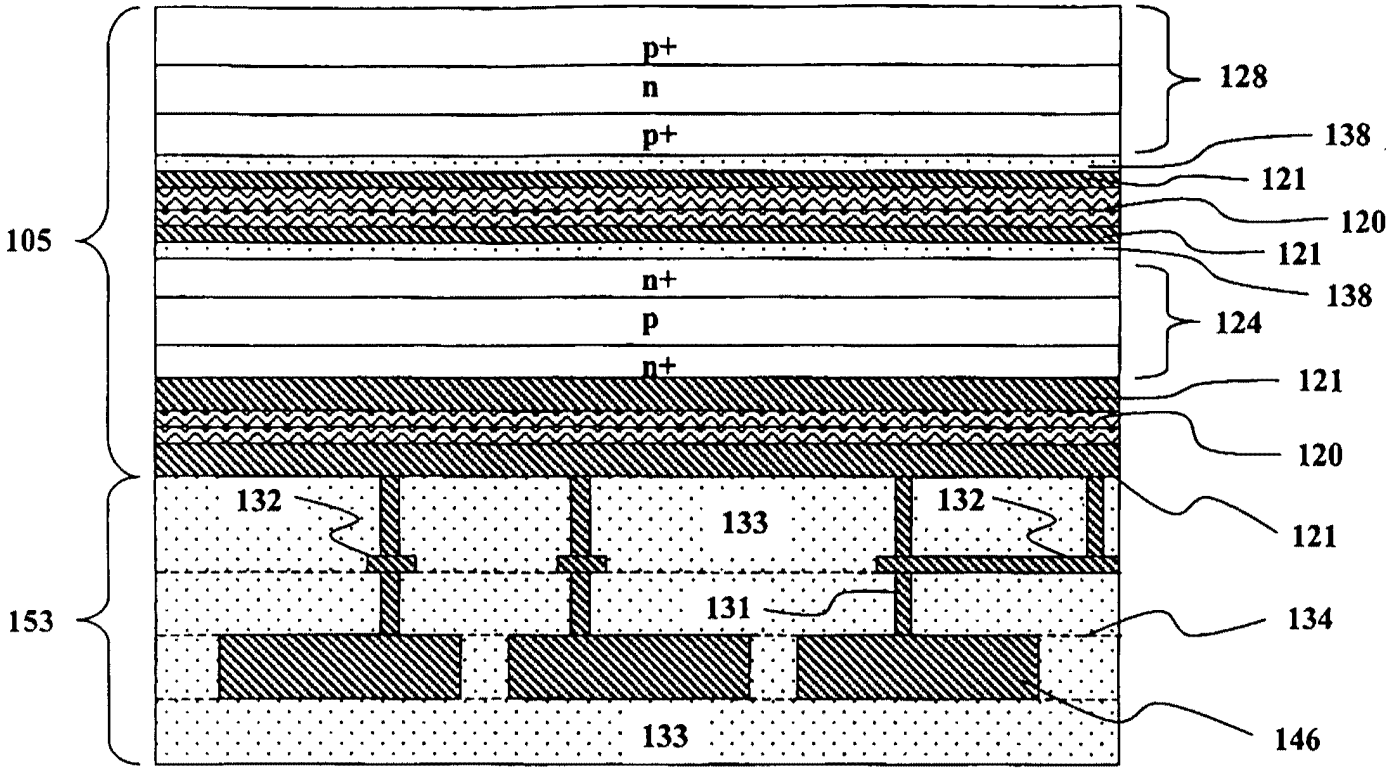

p+
n
p+
128
138
121
120
105
121
n+
138
p
124
n+
121
120
132
133
132
121
153
131
134
133
146

Fig. 5B

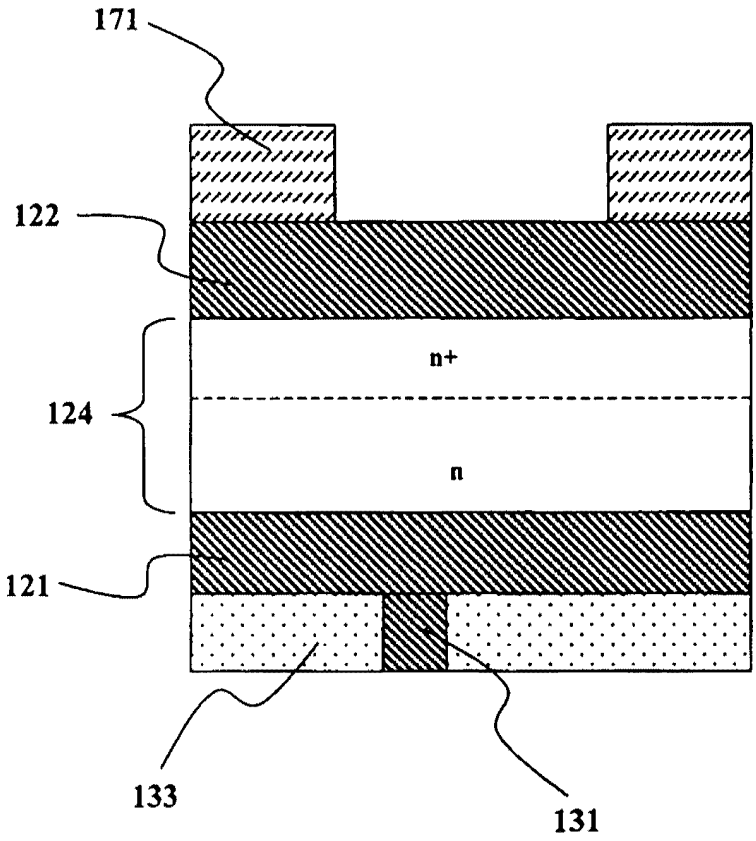


Fig. 6A

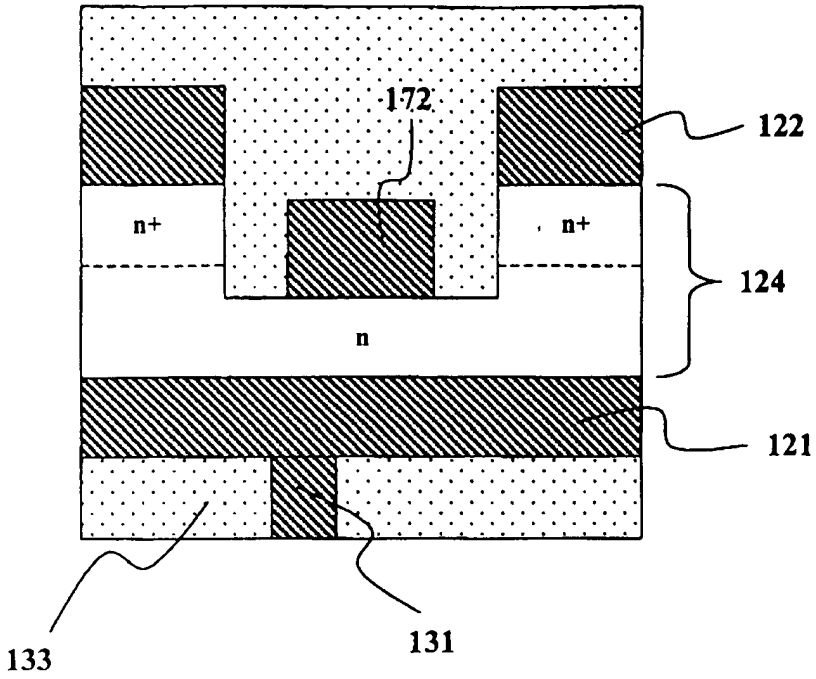


Fig. 6B

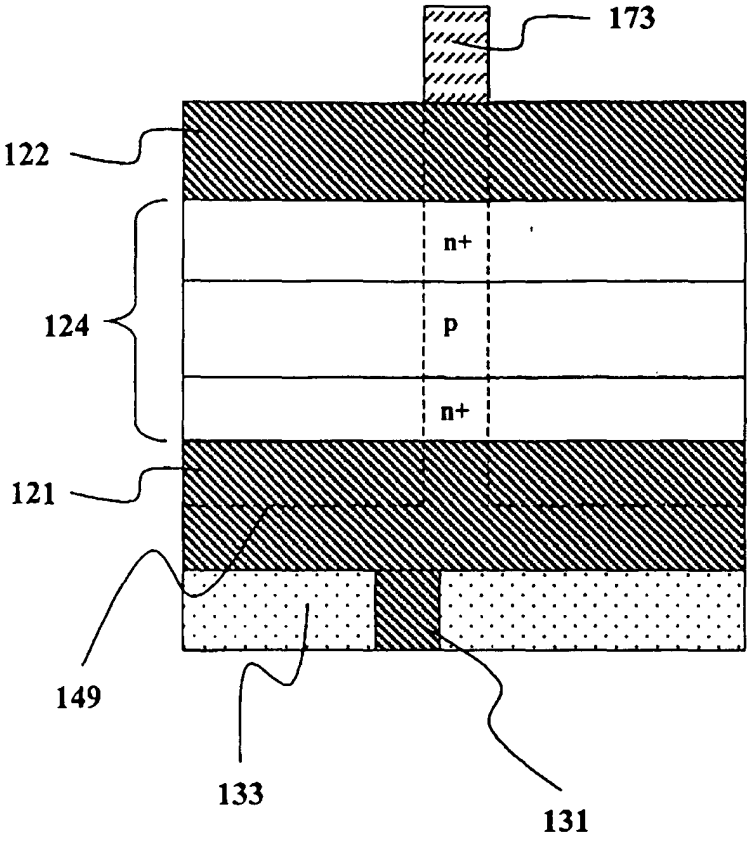


Fig. 7A

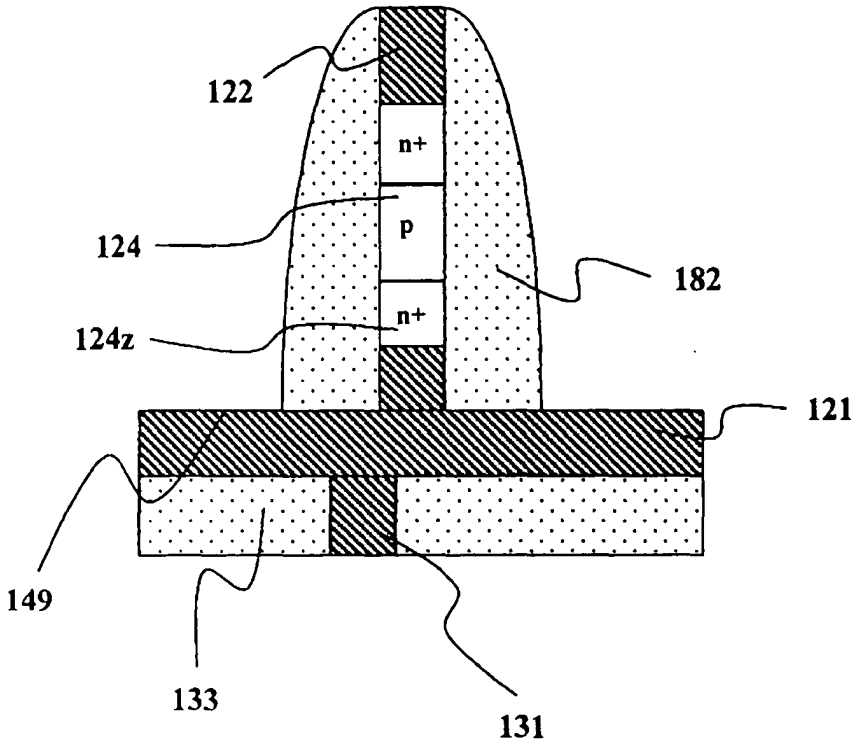


Fig. 7B

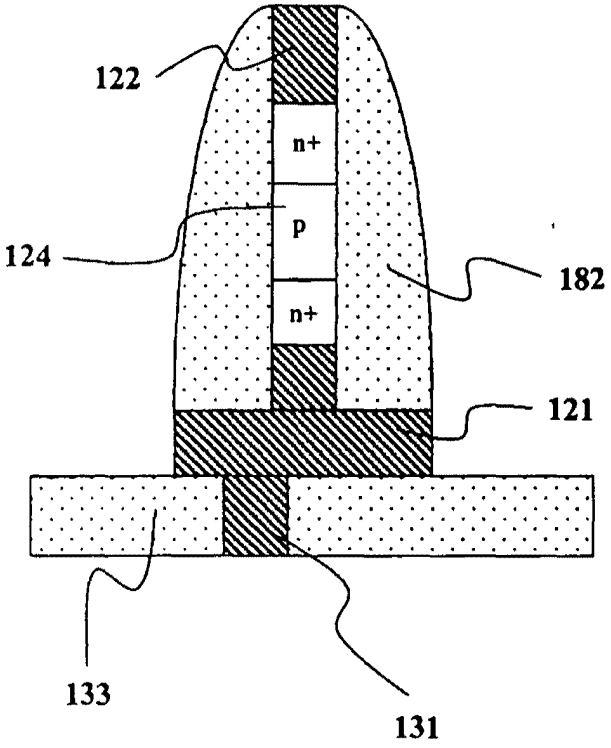


Fig. 7C

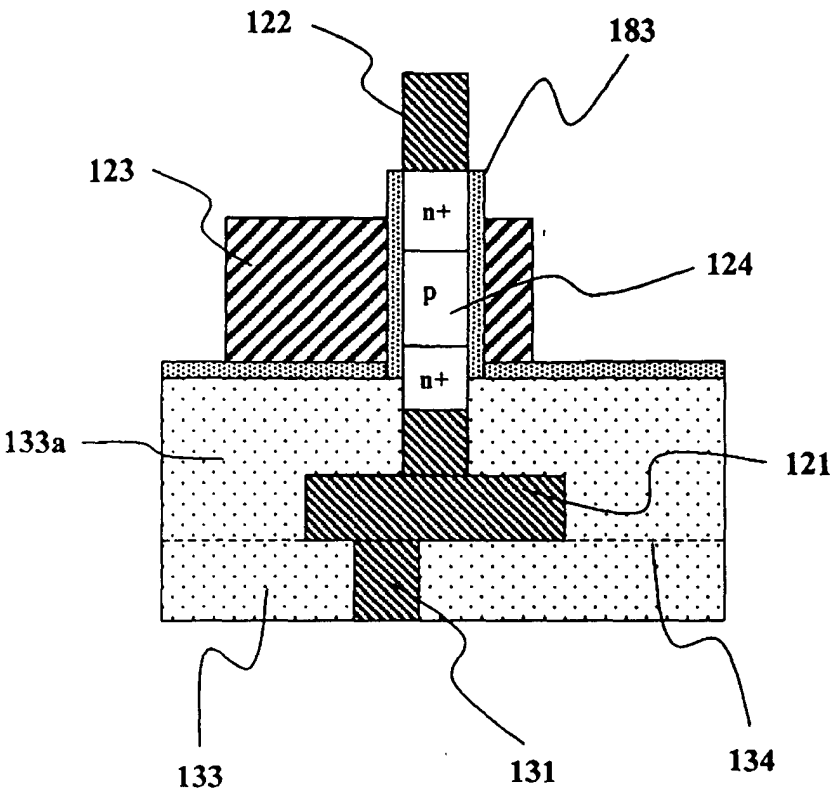


Fig. 8A

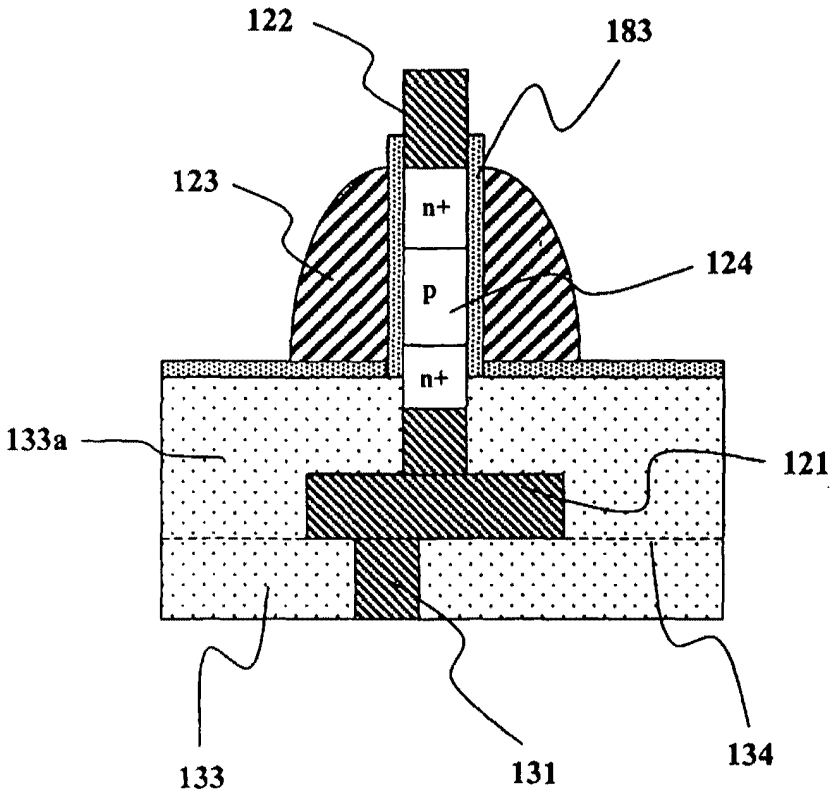


Fig. 8B

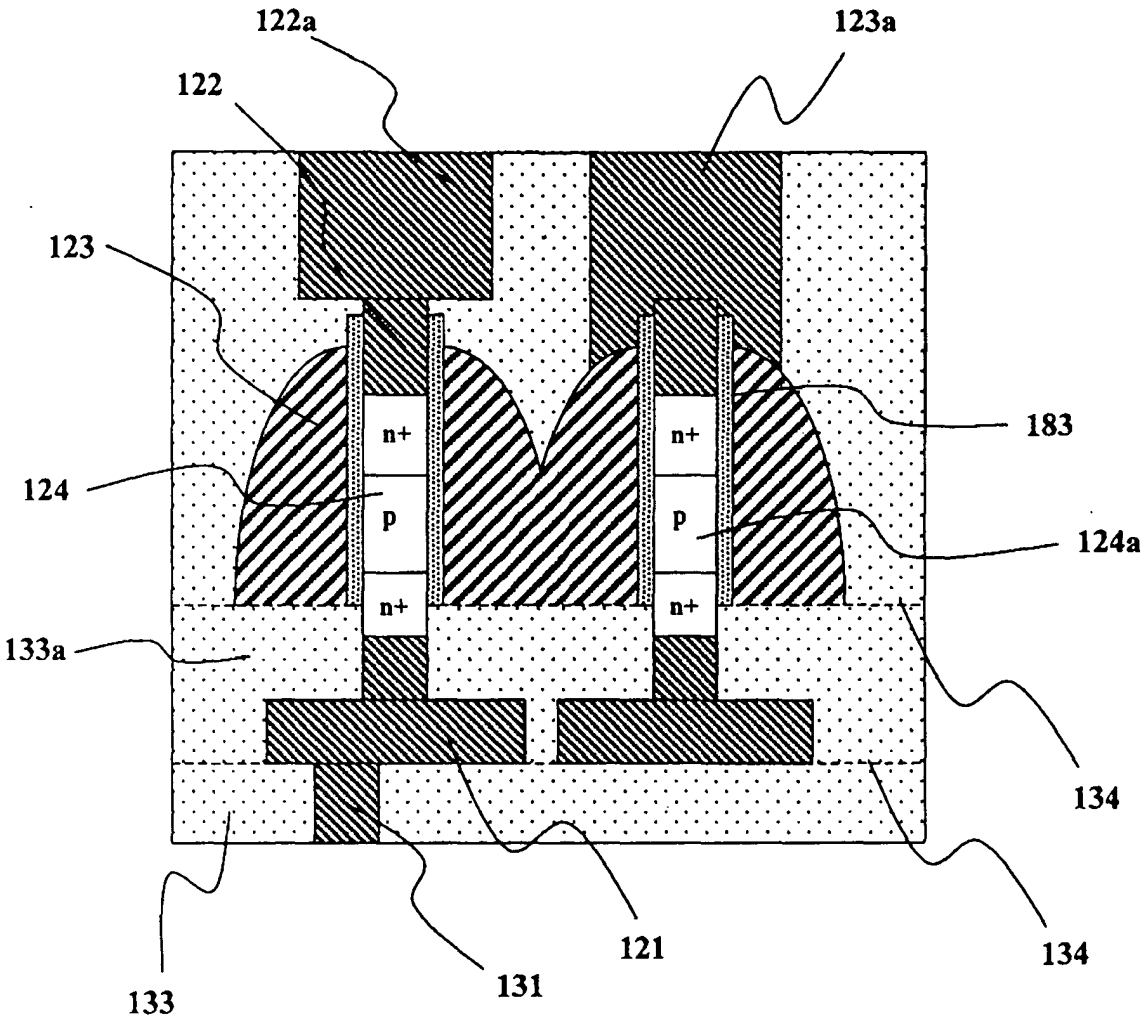


Fig. 8C

Fig. 8E

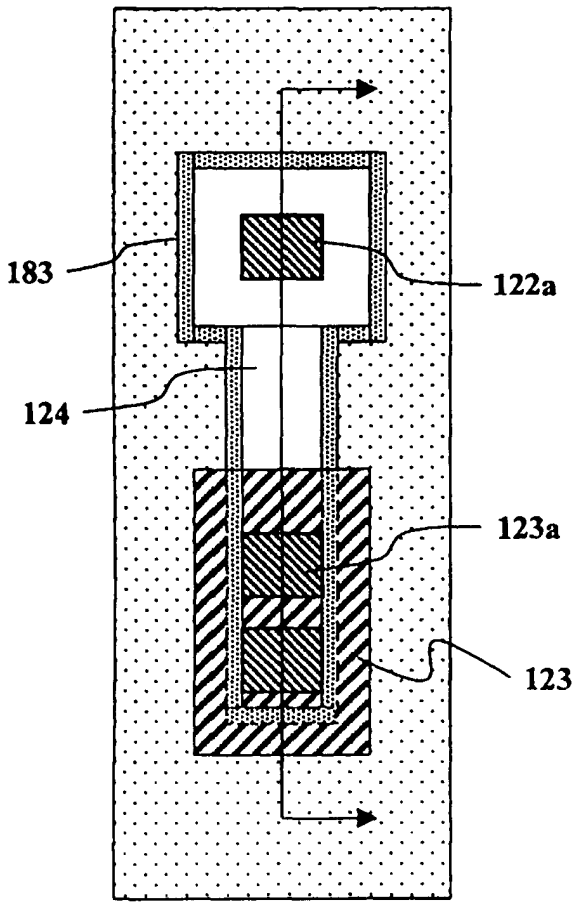
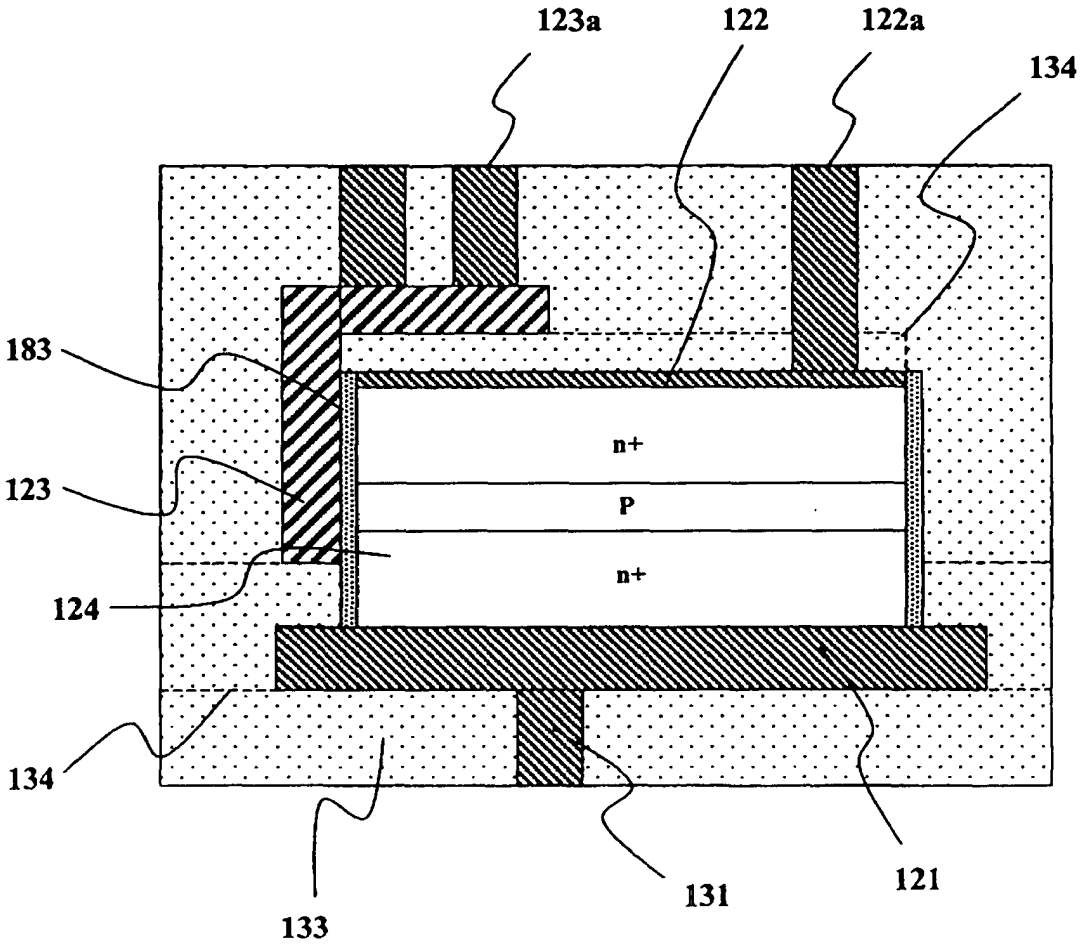

183
122a
124
123a
123

Fig. 8D


123a
122
122a
134
183
n+
123
P
n+
124
134
133
131
121

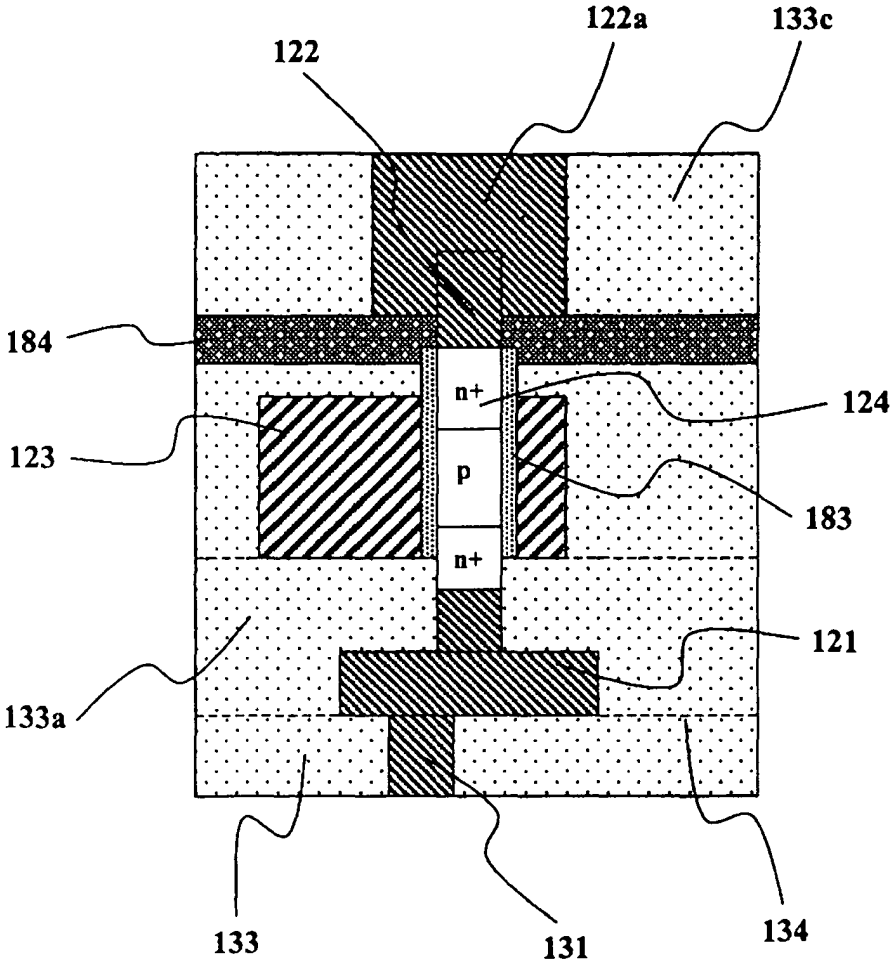


Fig. 9A

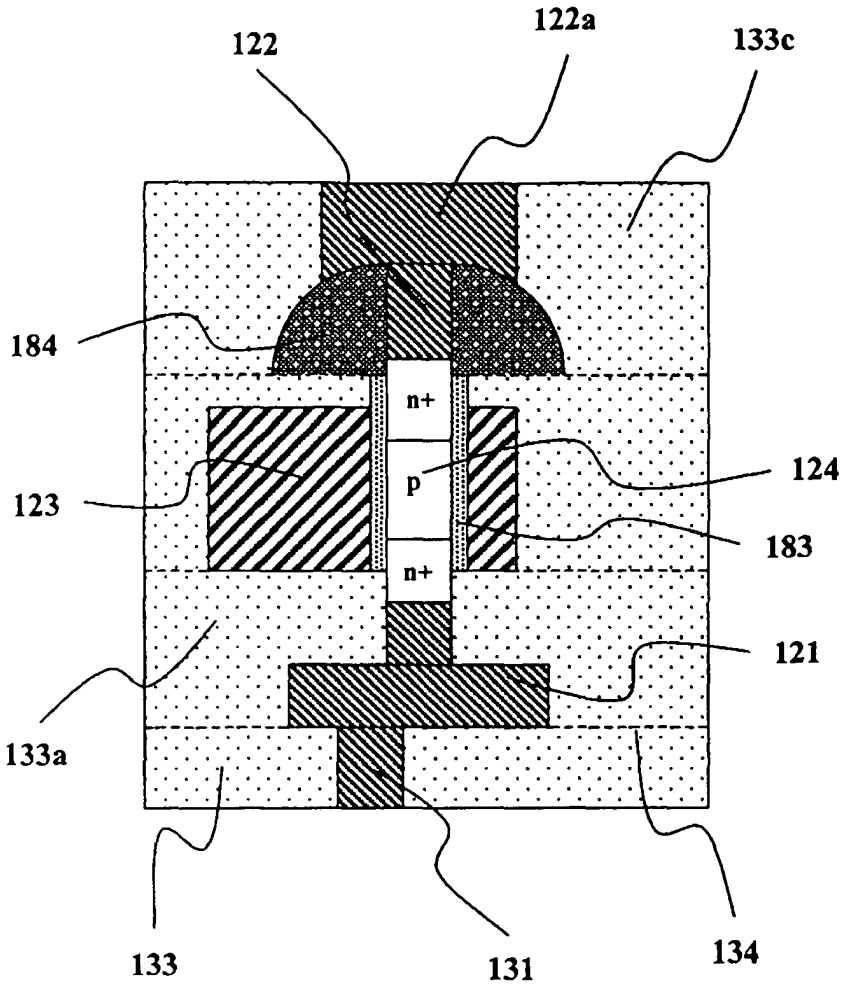


Fig. 9B

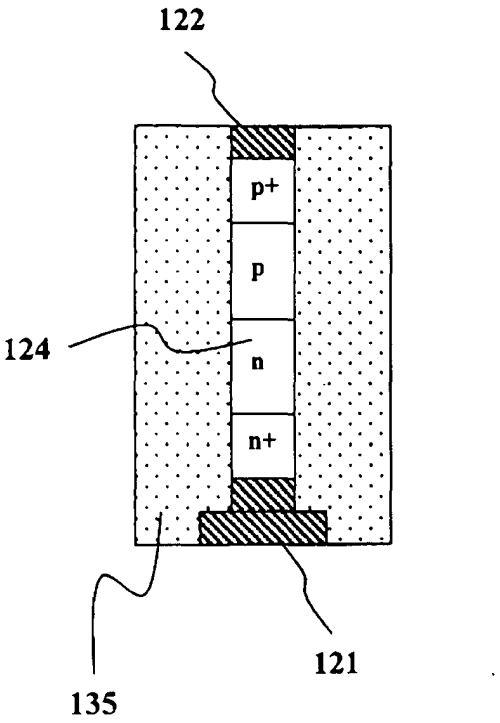


Fig. 10A

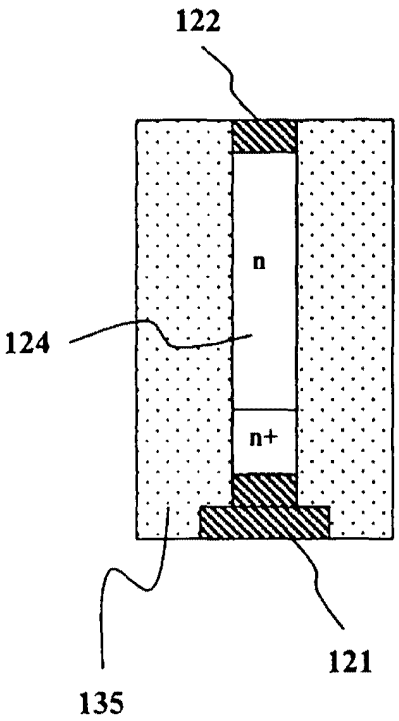


Fig. 10B

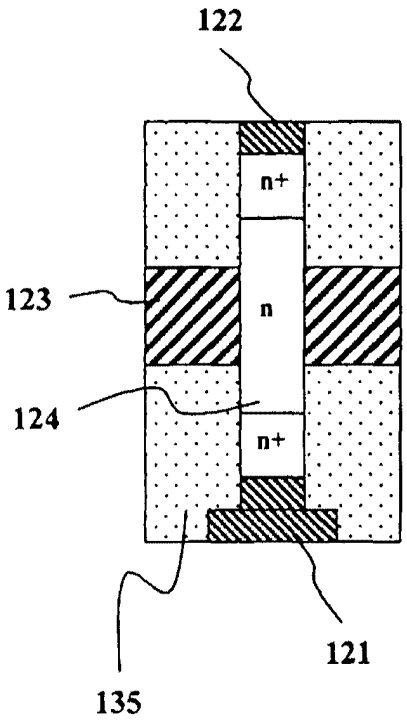


Fig. 10C

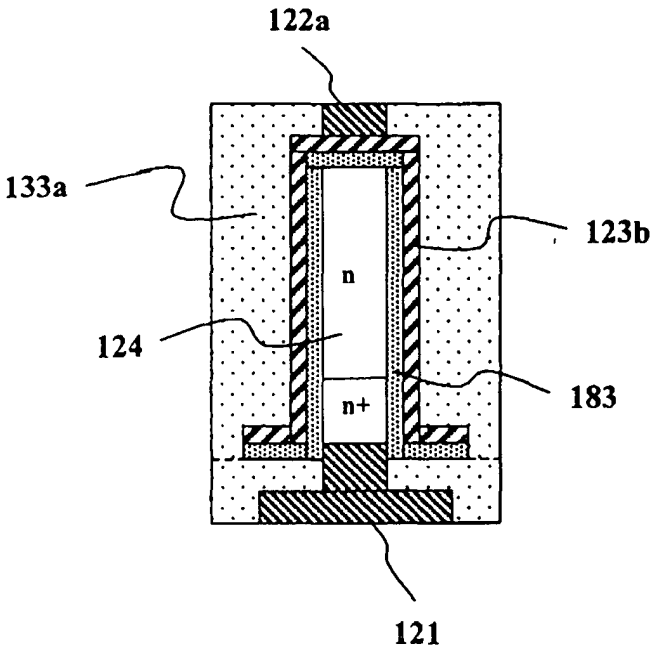


Fig. 11A

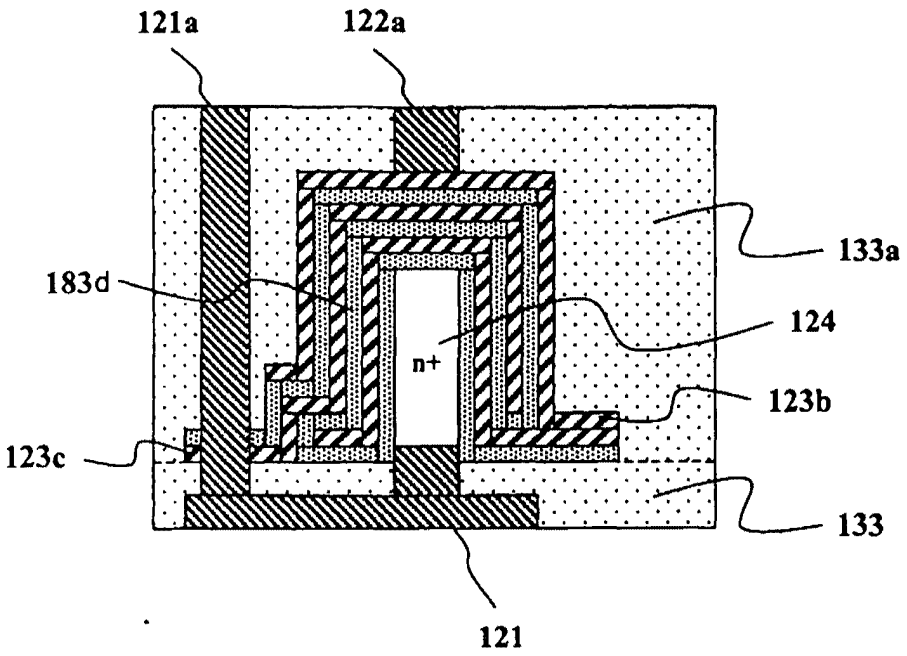


Fig. 11B

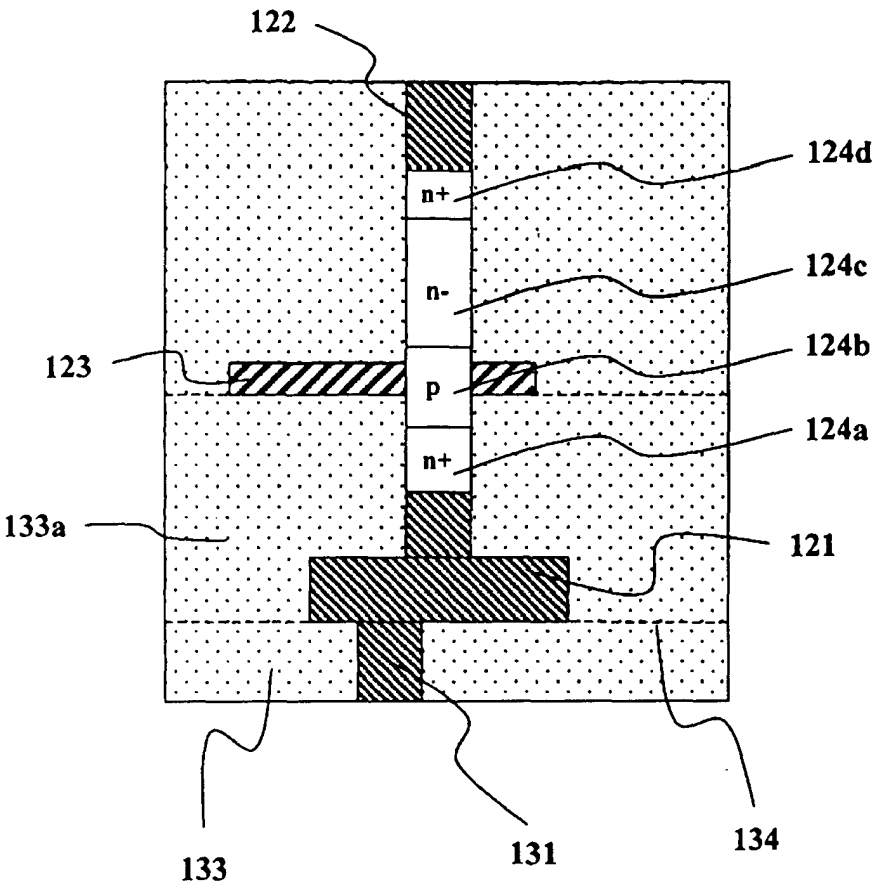


Fig. 12

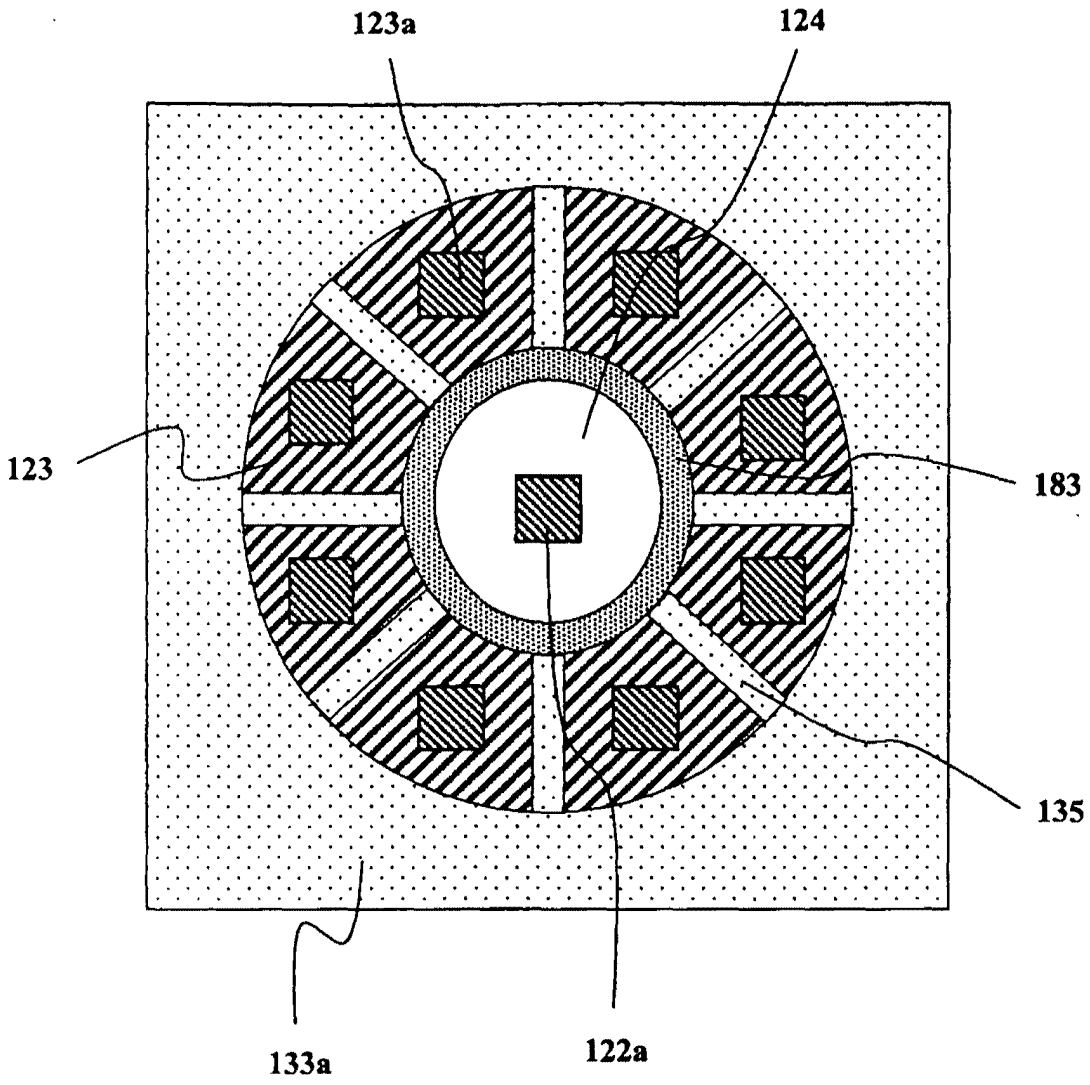


Fig. 13A

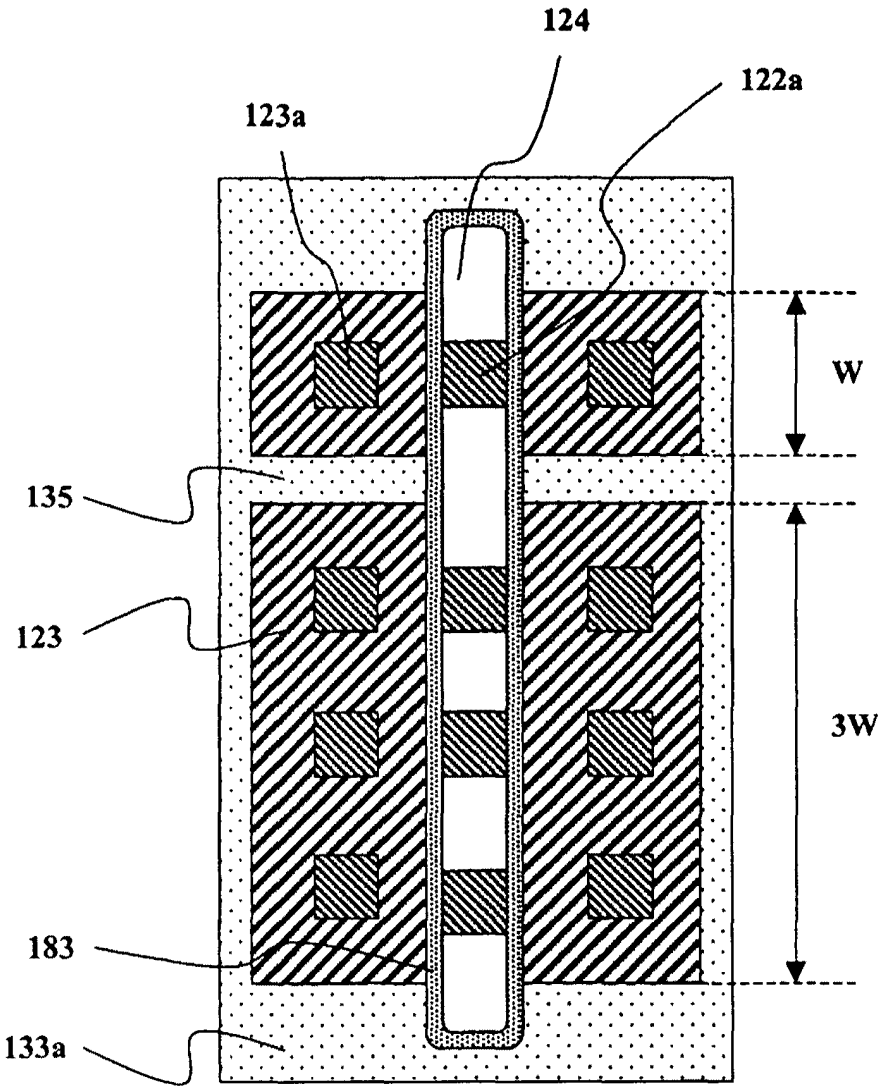


Fig. 13B

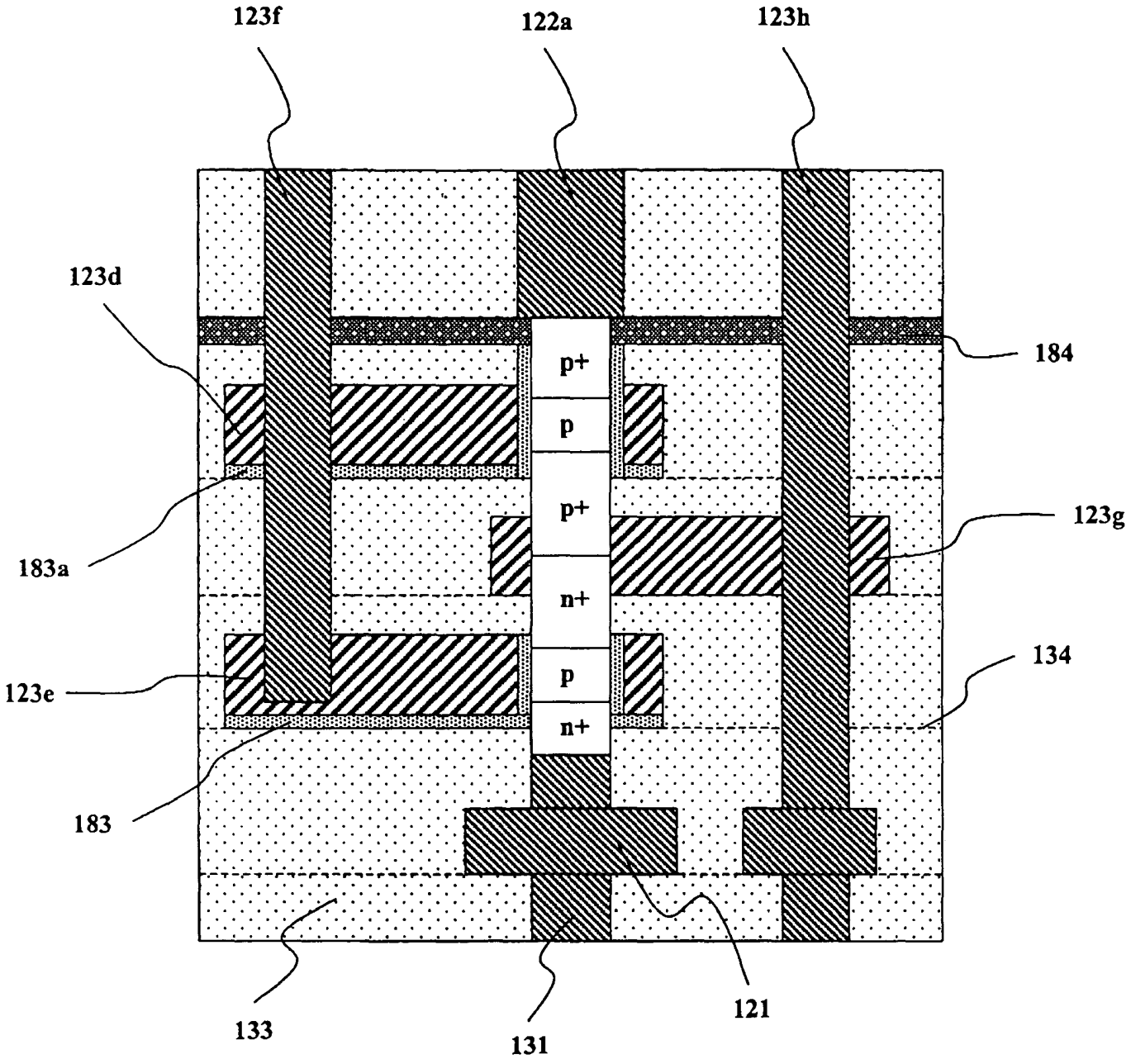

123f
122a
123h
123d
184
p+
p
p+
123g
183a
n+
134
123e
p
n+
183
133
131
121

Fig. 14

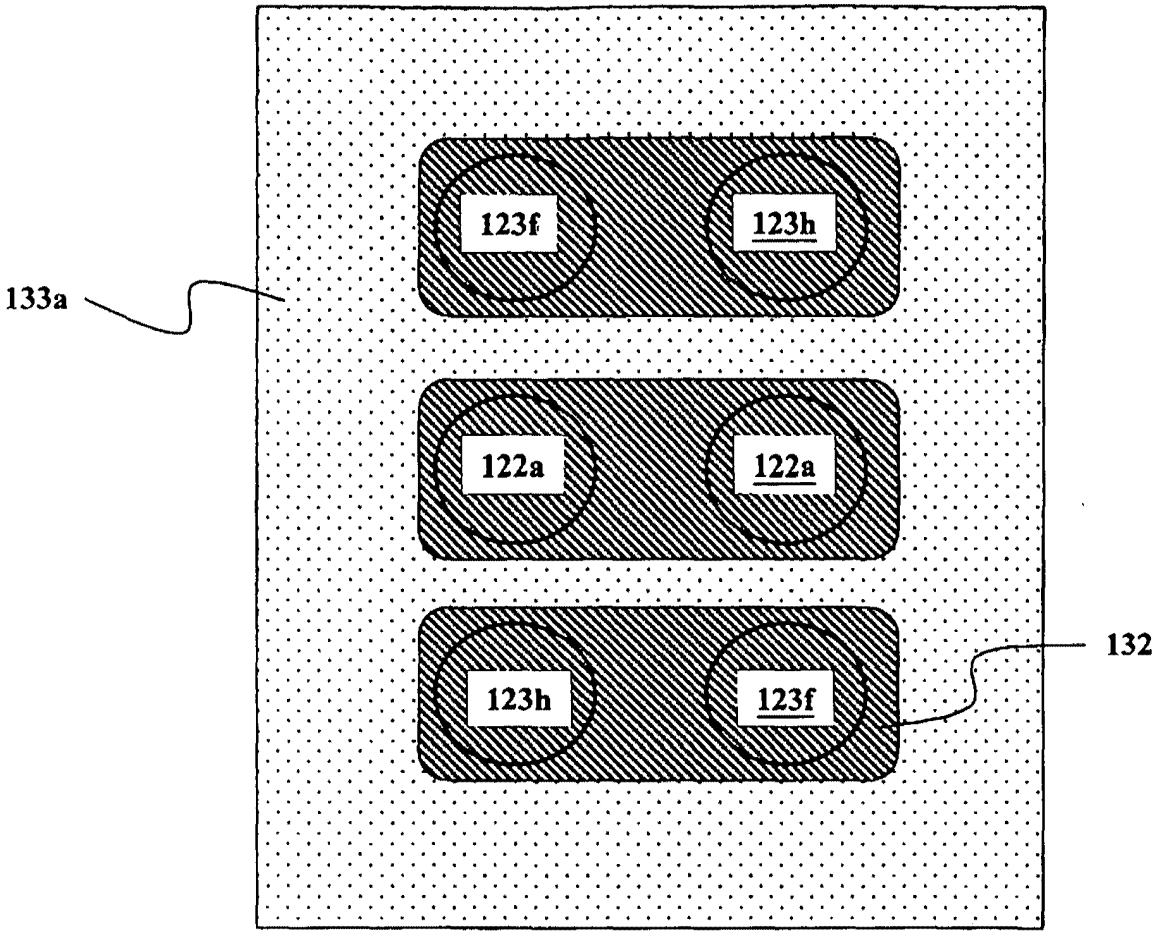


Fig. 15A

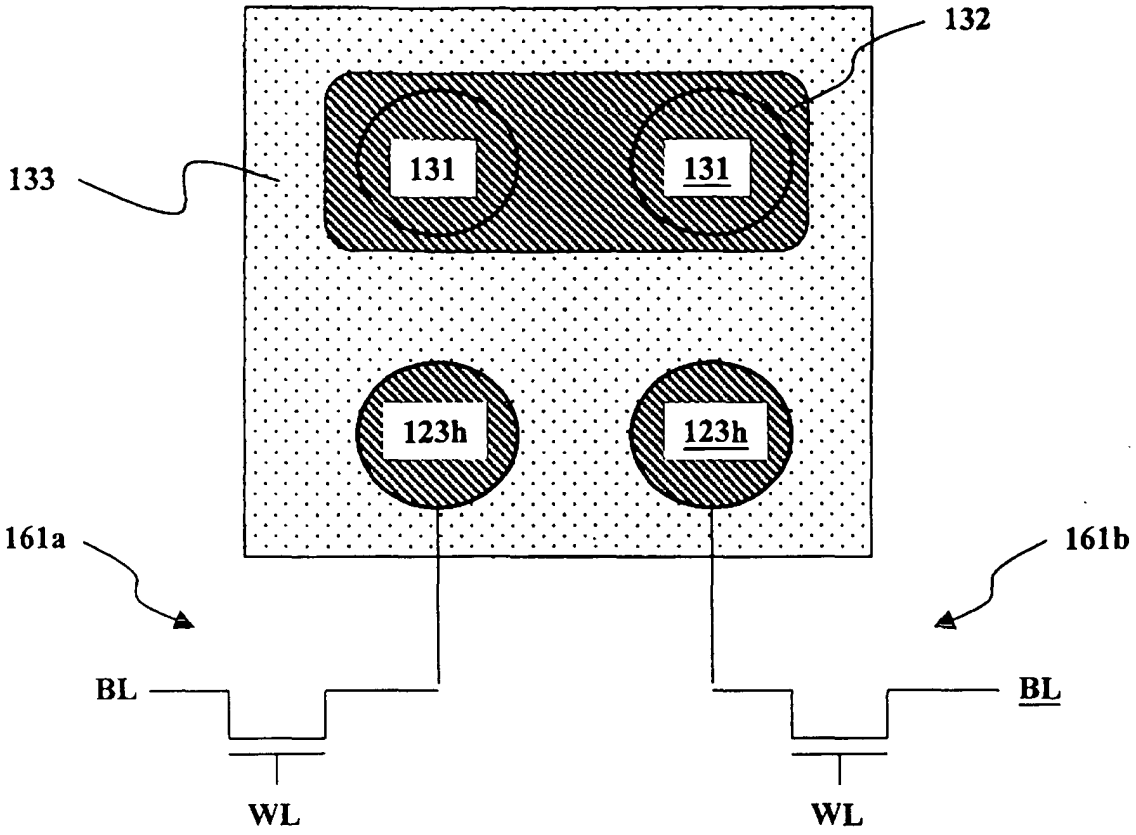


Fig. 15B

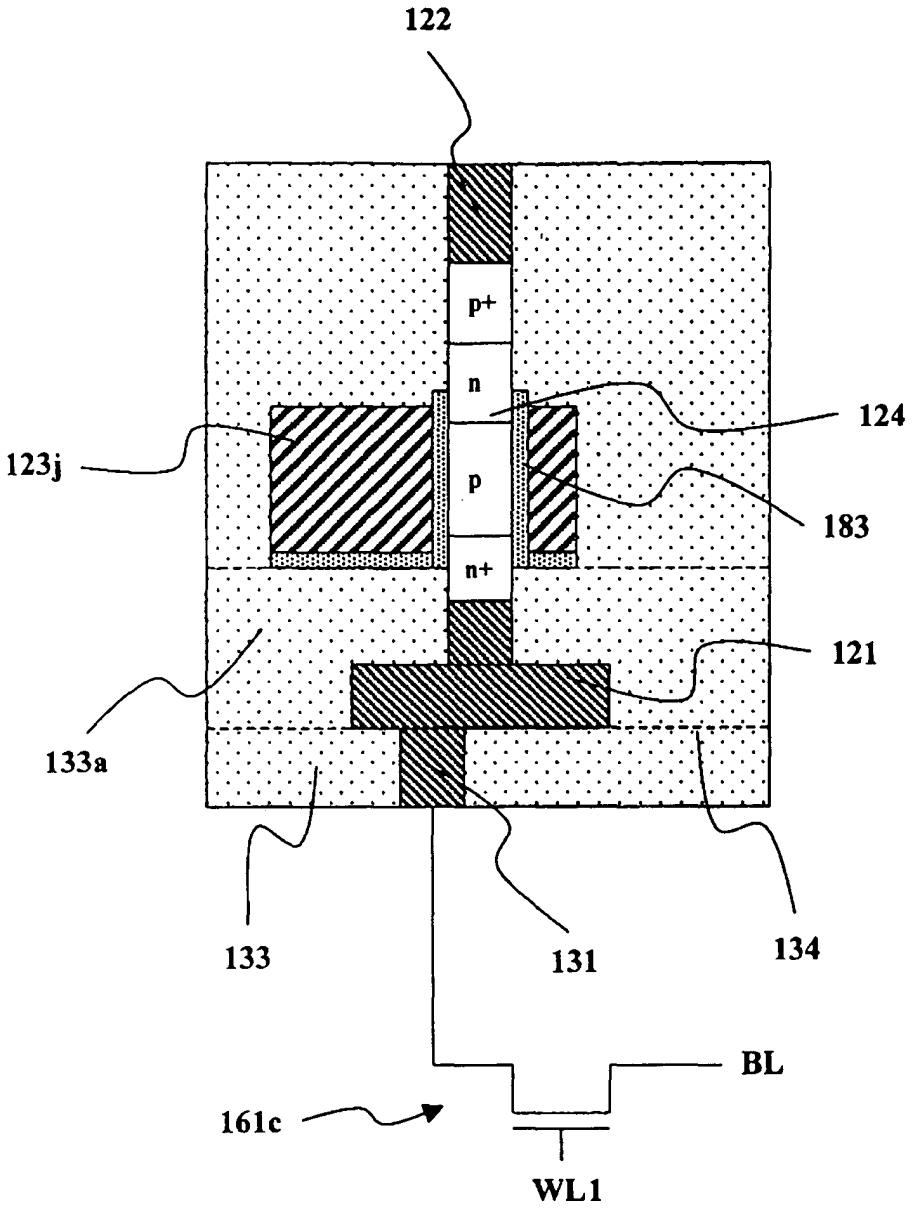


Fig. 16A

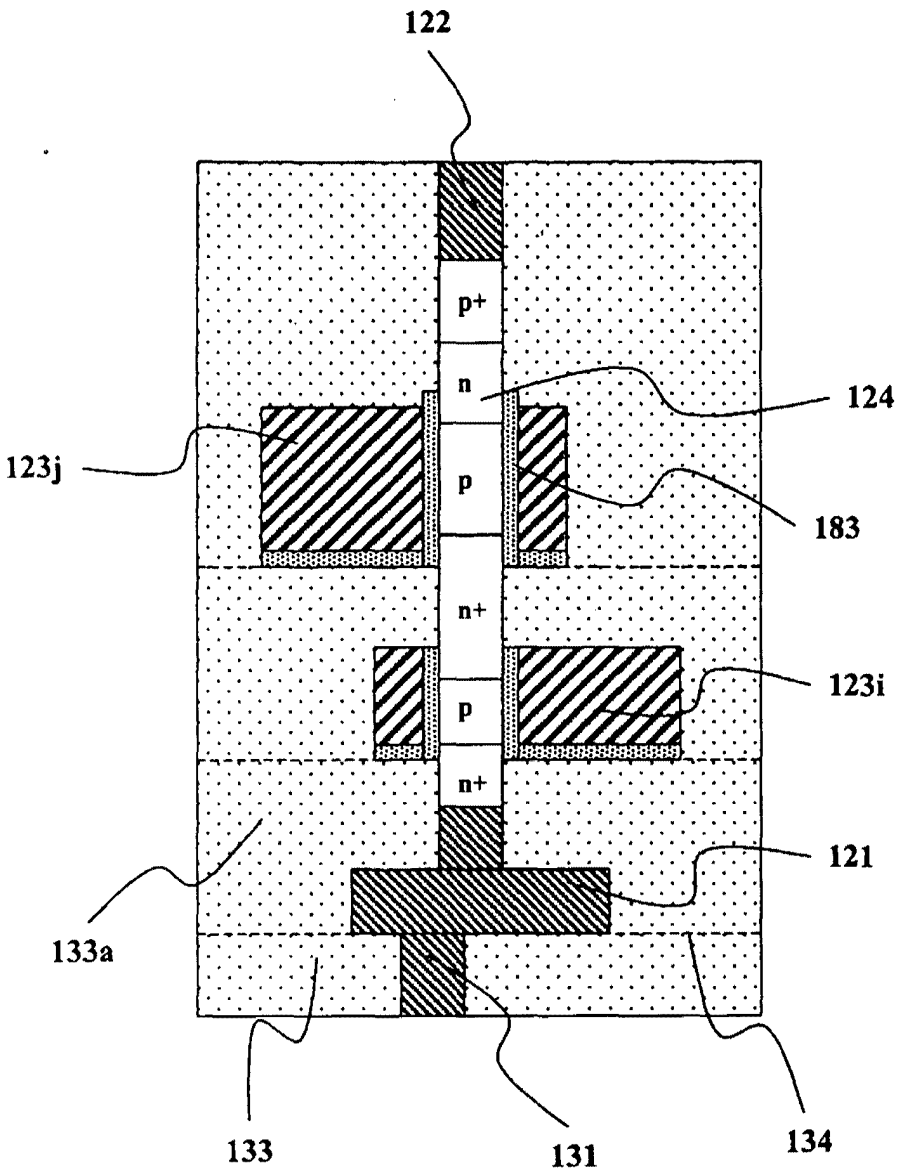


Fig. 16 B

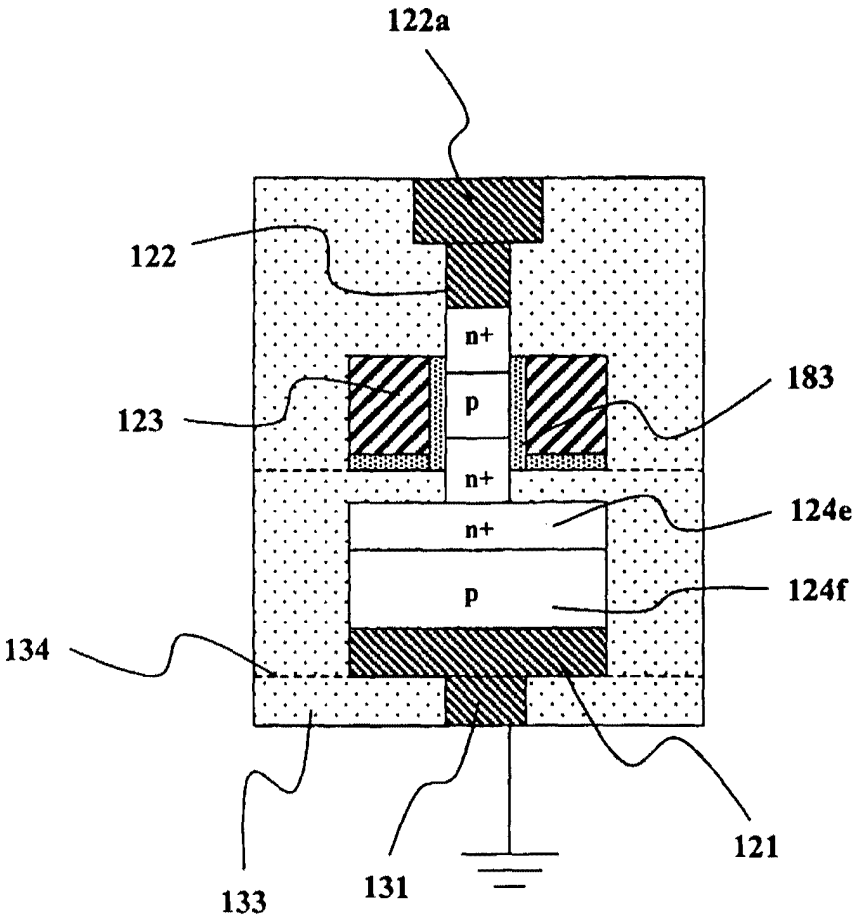


Fig. 17A

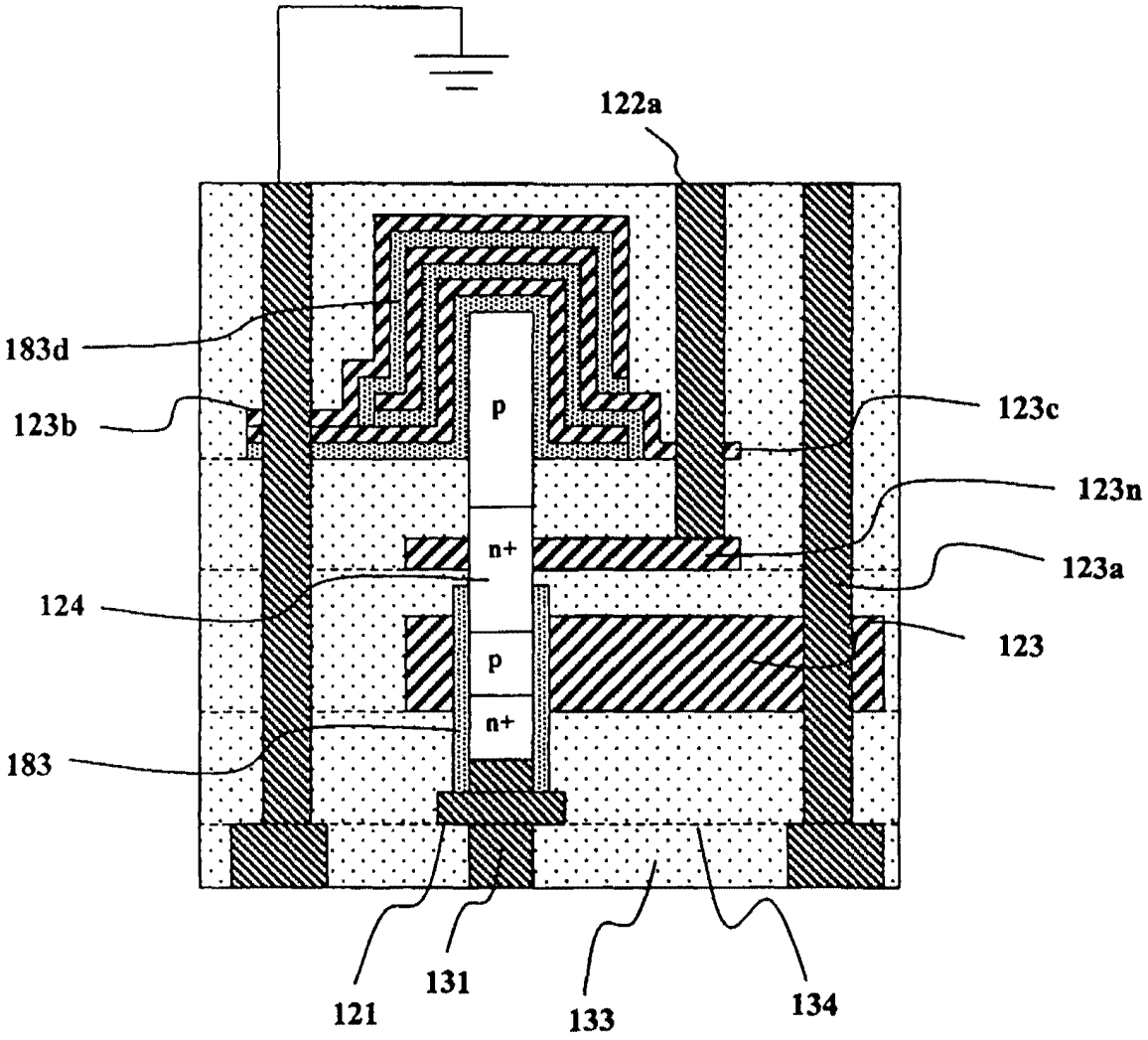


Fig. 17B

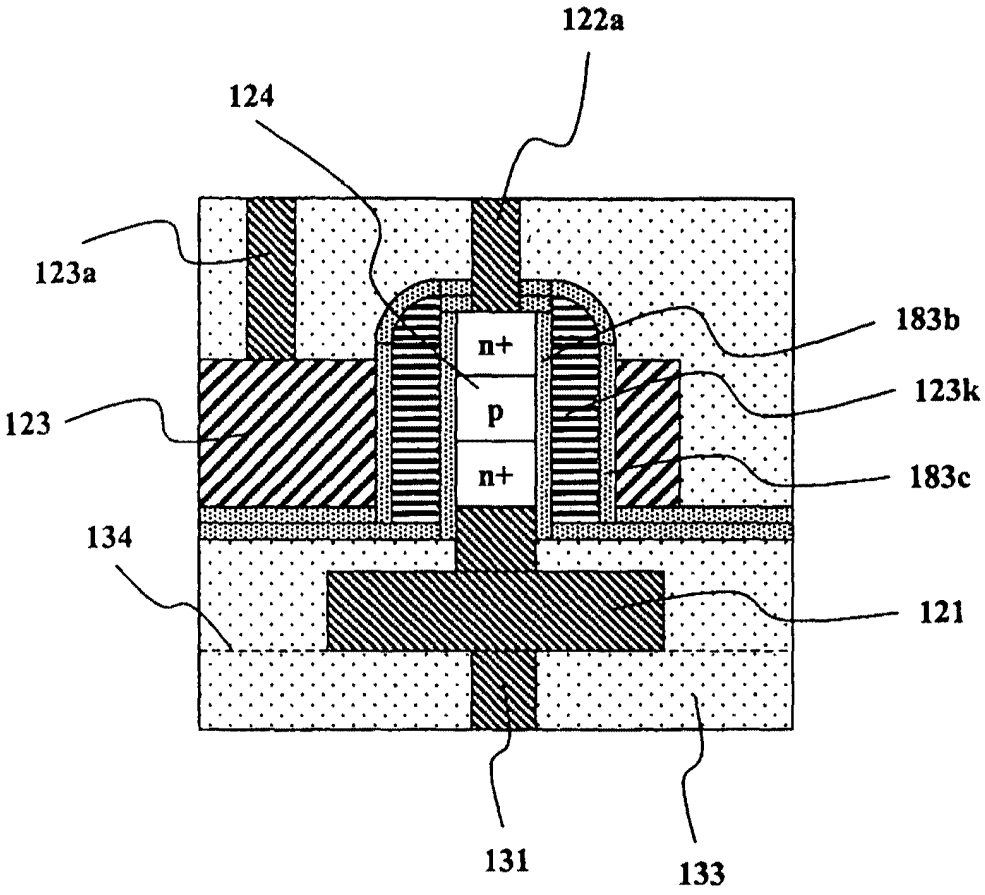


Fig. 18A

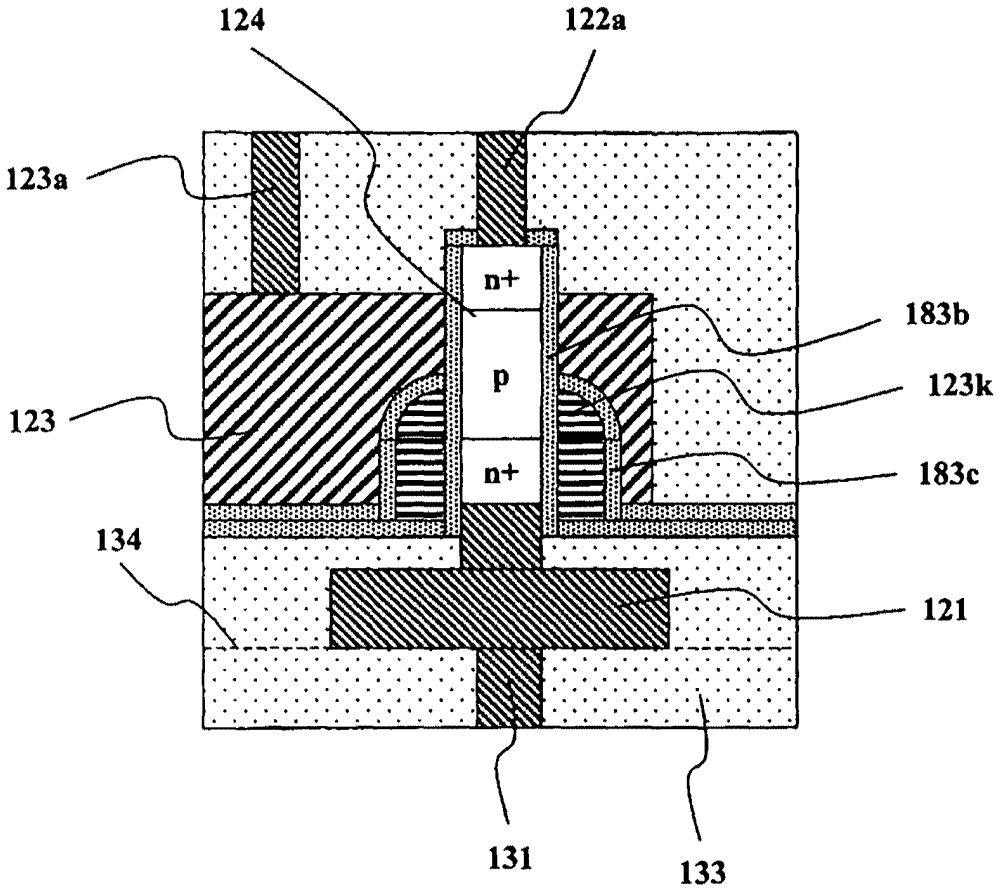


Fig. 18B

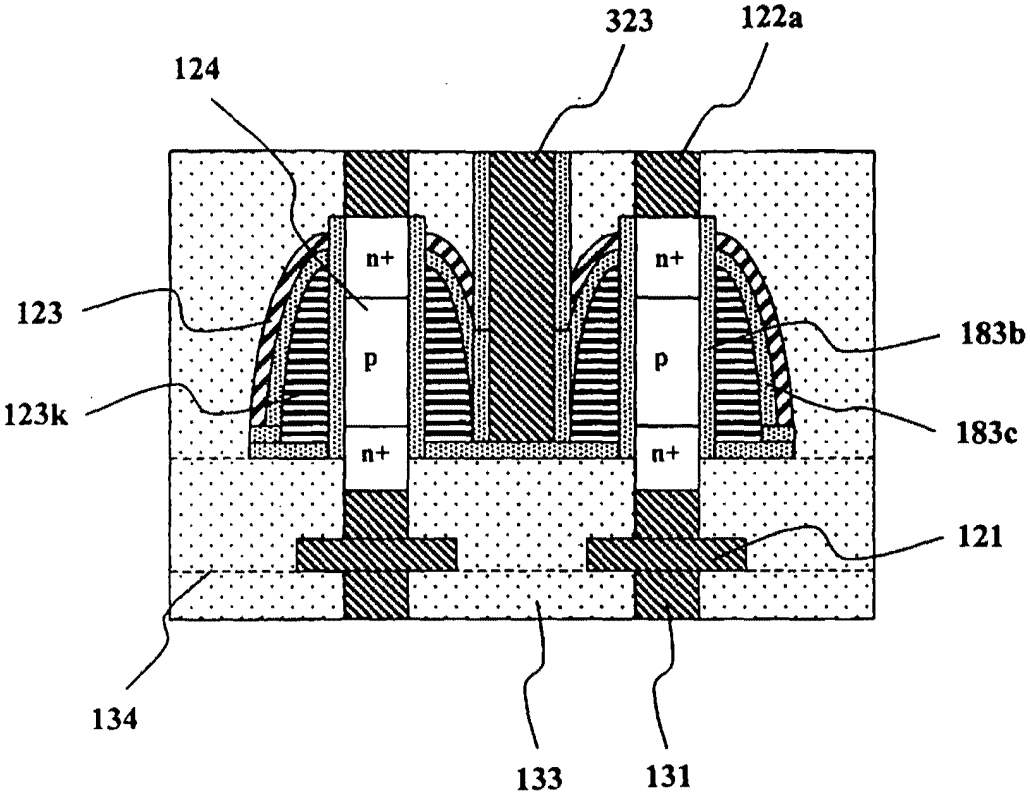


Fig. 18C

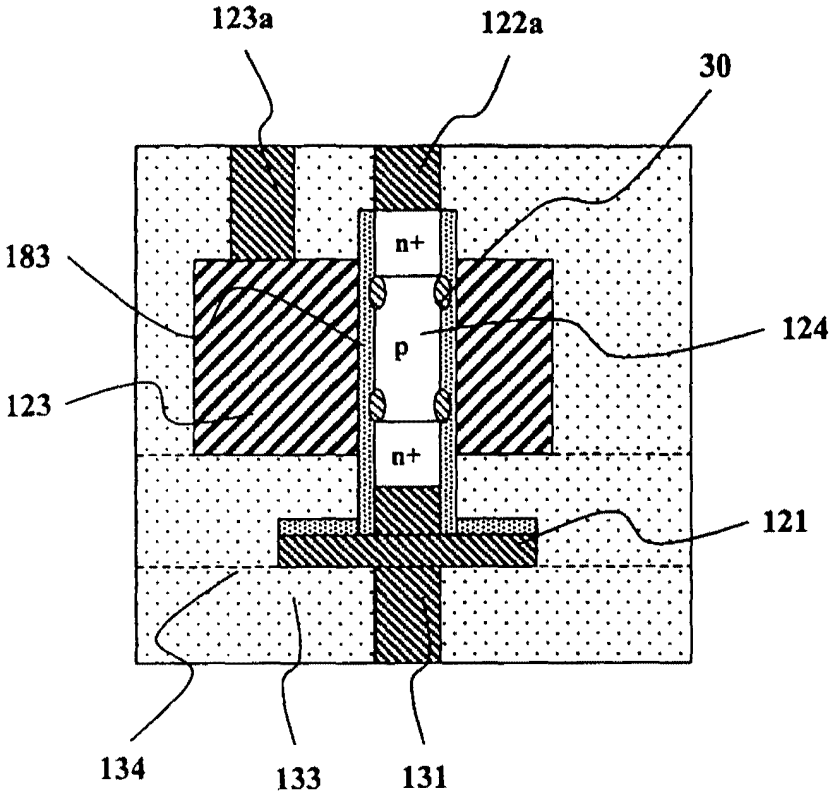


Fig. 18D

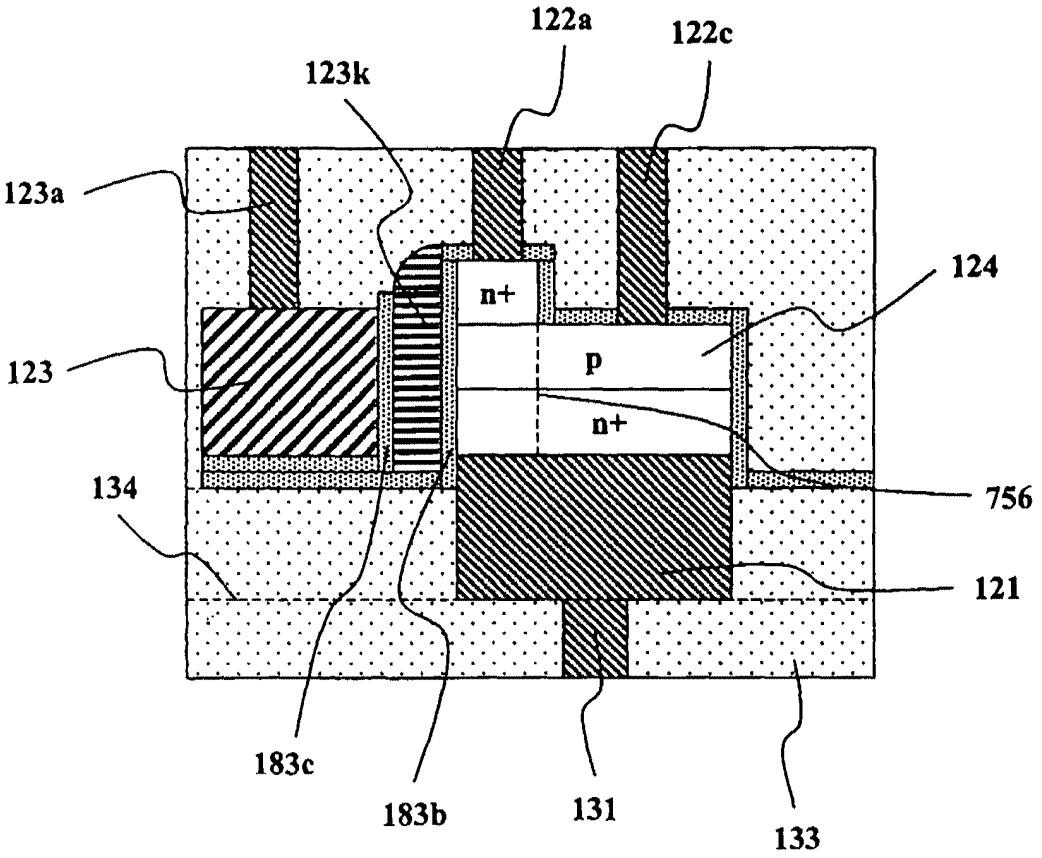


Fig. 18E

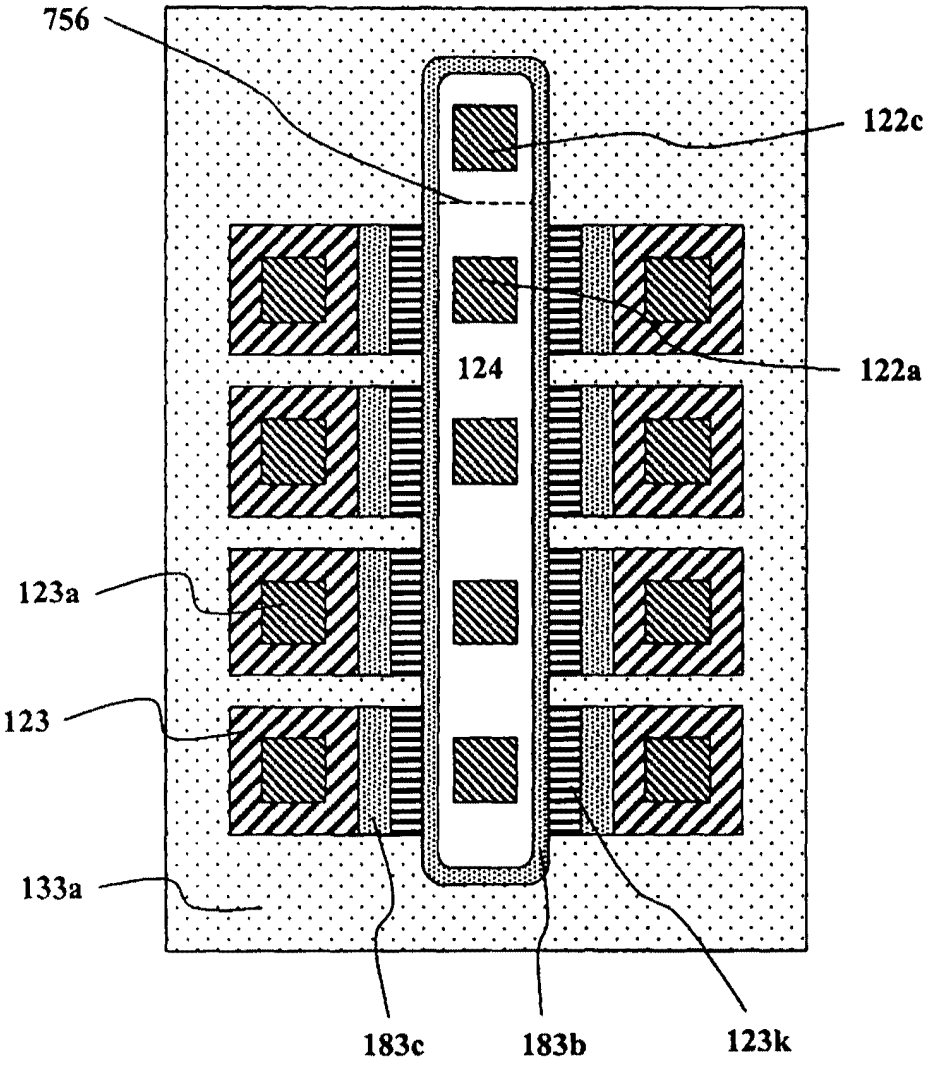


Fig. 18F

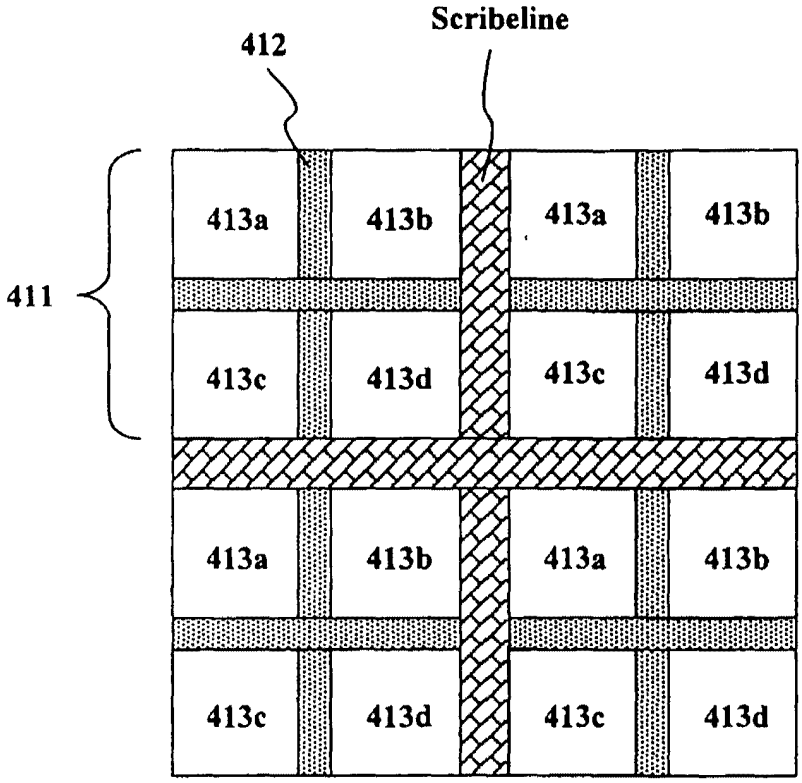

Scribeline
412
411
413a
413b
413a
413b
413c
413d
413c
413d
413a
413b
413a
413b
413c
413d
413c
413d

Fig. 19A

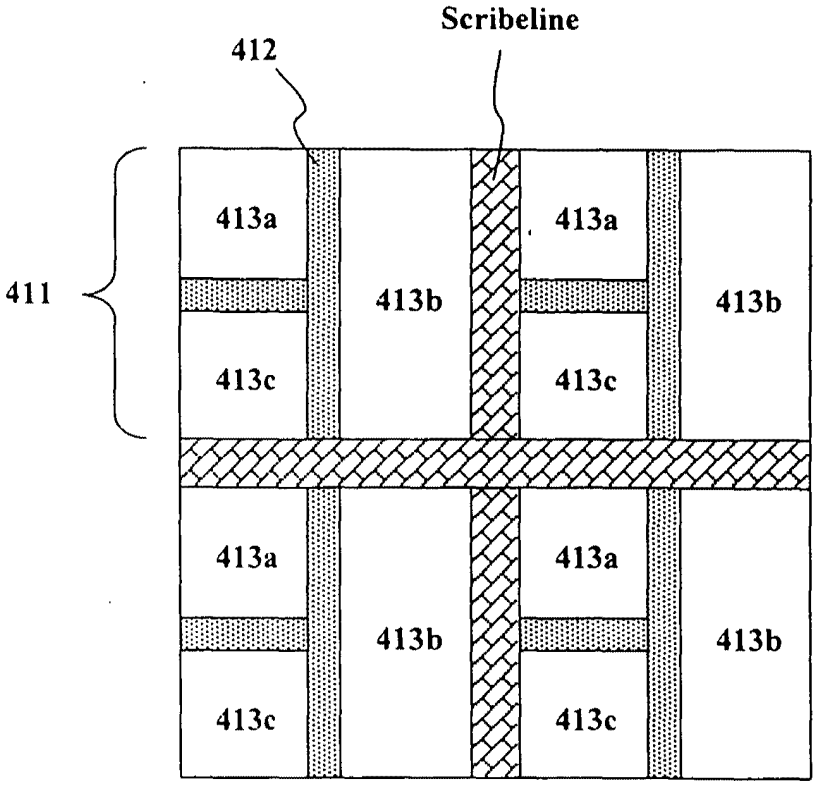

Scribeline
412
411
413a
413b
413c
413a
413b
413c
413a
413b
413c
413a
413b
413c

Fig. 19B

Fig. 20a

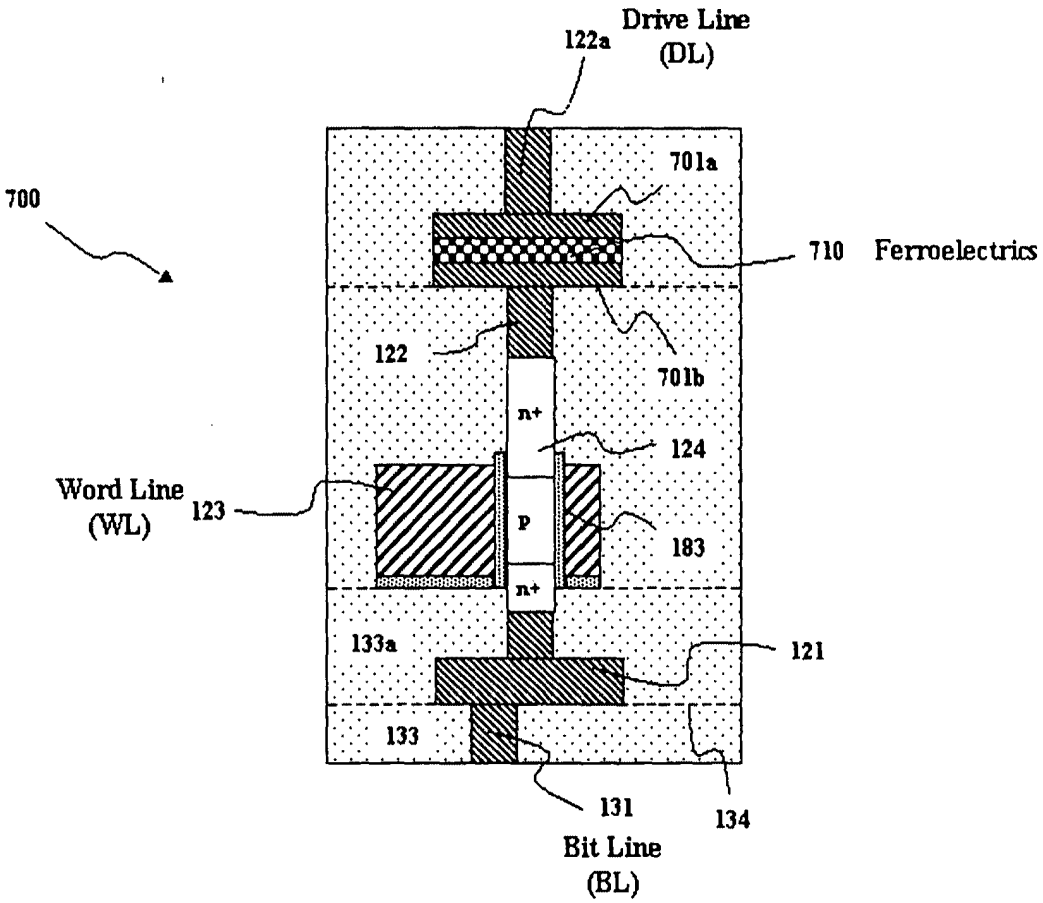

Drive Line
(DL)
122a
700
701a
710
Ferroelectrics
122
701b
n+
124
Word Line
(WL)
123
p
183
n+
133a
121
133
131
134
Bit Line
(BL)

Fig. 20b

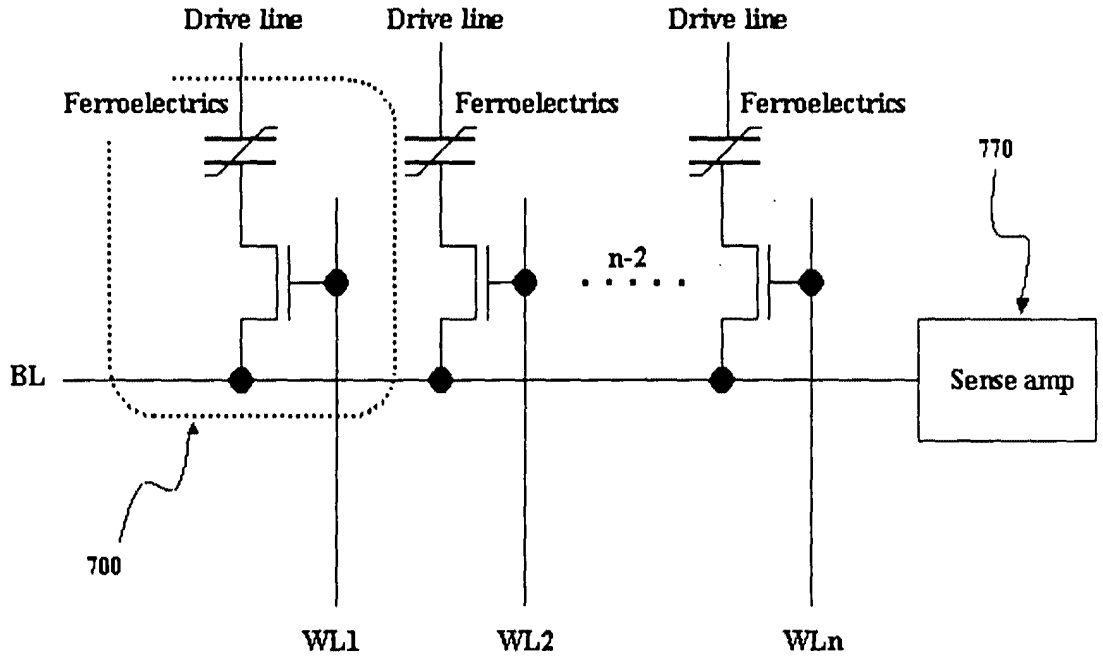
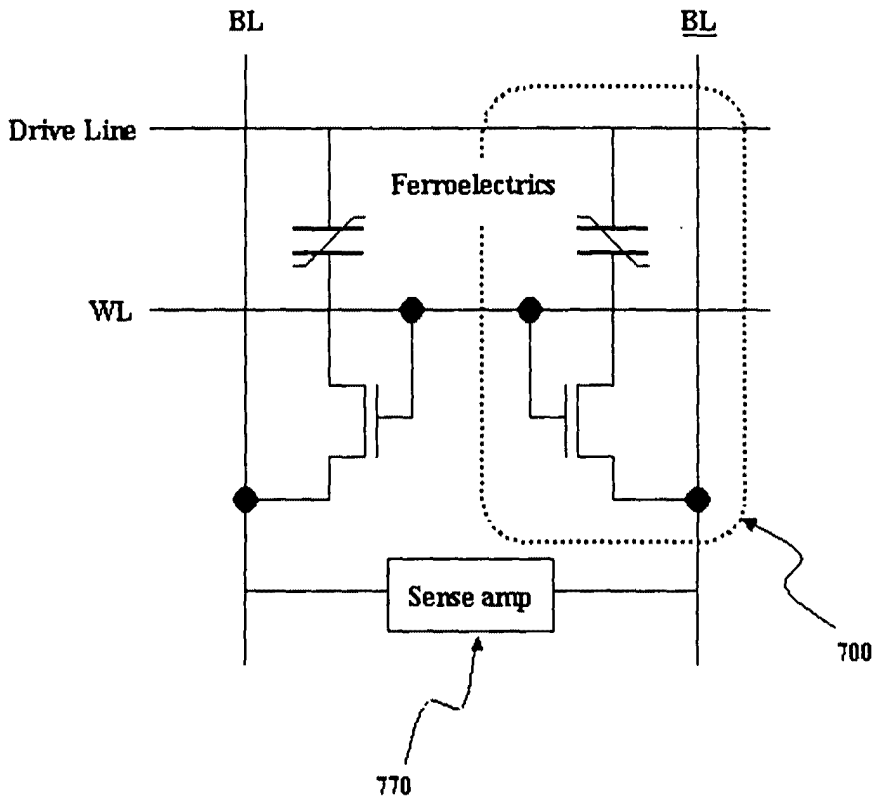

Drive line
Drive line
Drive line
Ferroelectrics
Ferroelectrics
Ferroelectrics
770
n-2
BL
Sense amp
700
WL1
WL2
WLn

Fig. 20c



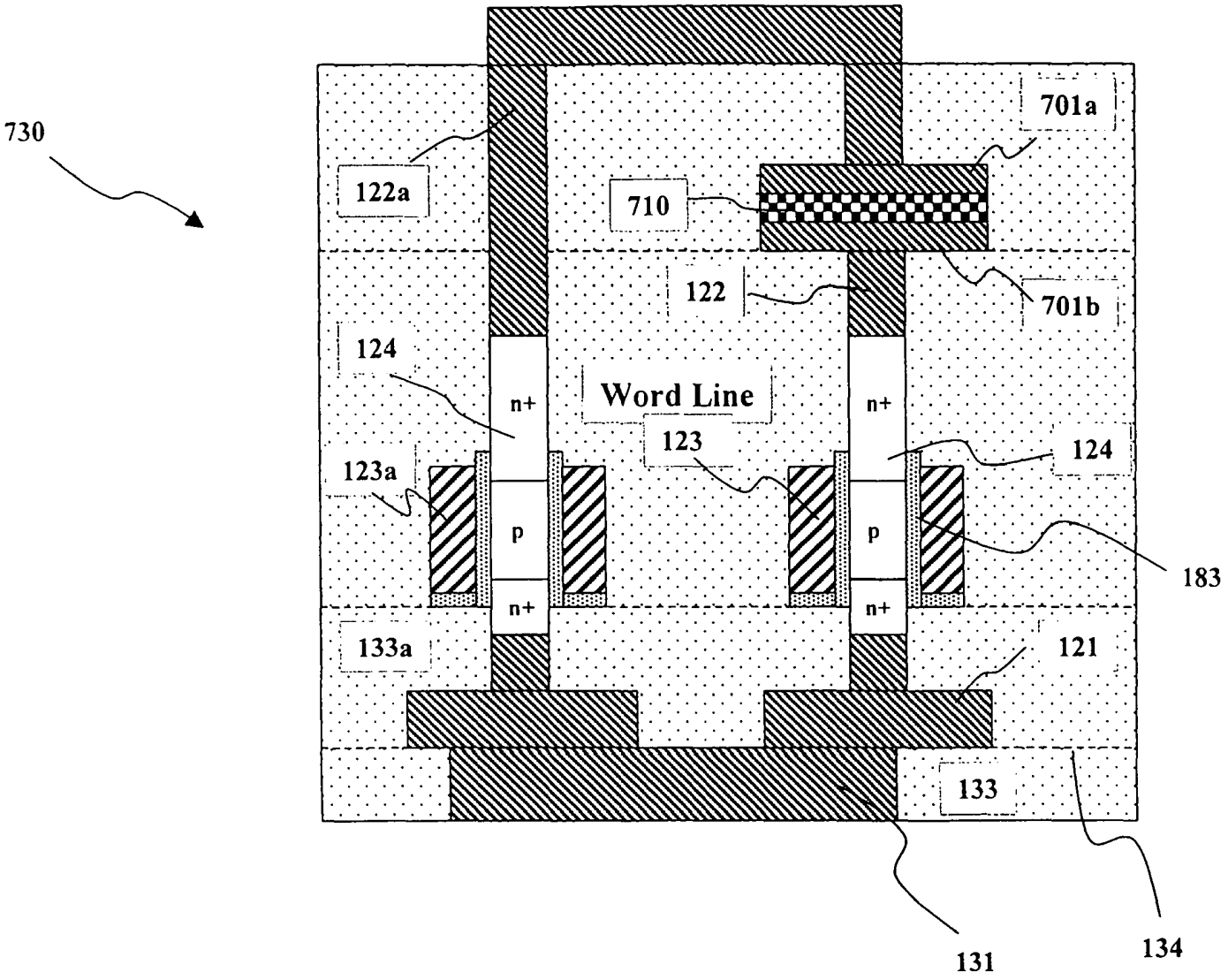
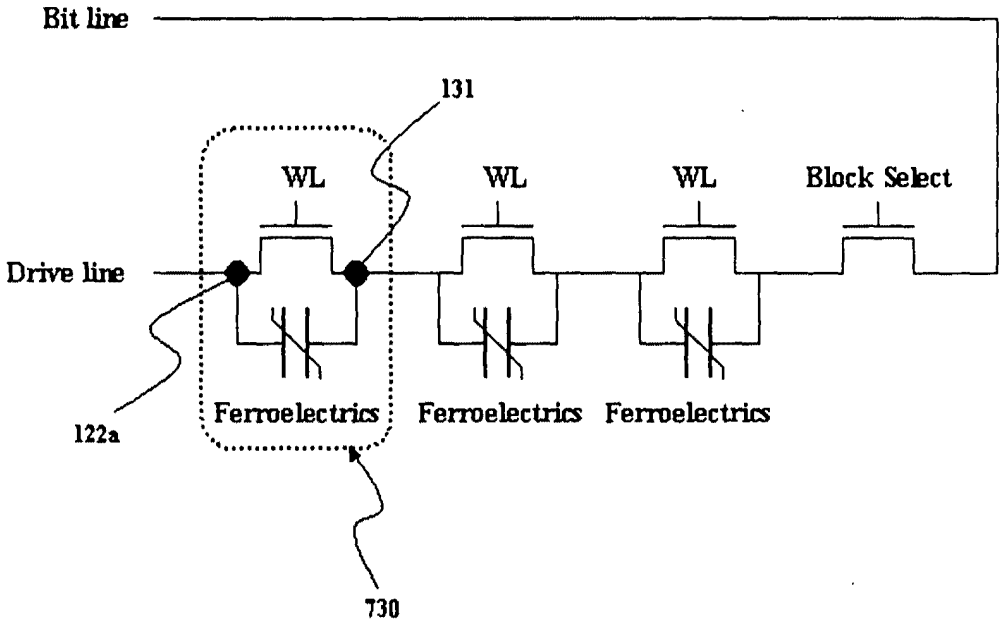

730
701a
122a
710
122
701b
124
n+
Word Line
n+
123
124
123a
p
p
183
n+
n+
133a
121
133
131
134

Fig. 21A

Fig. 21b


Bit line
131
WL
WL
WL
Block Select
Drive line
Ferroelectrics
Ferroelectrics
Ferroelectrics
122a
730

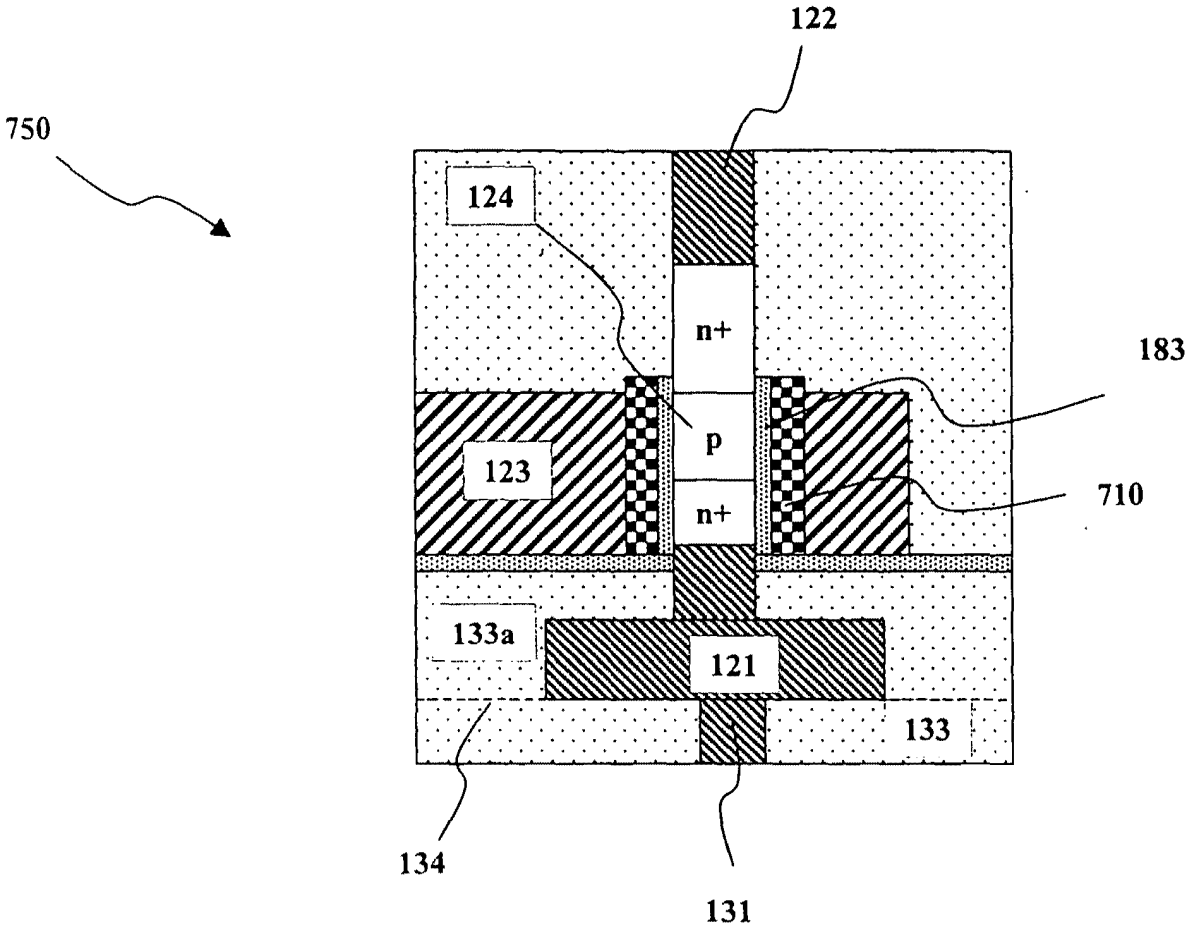


Fig. 22A

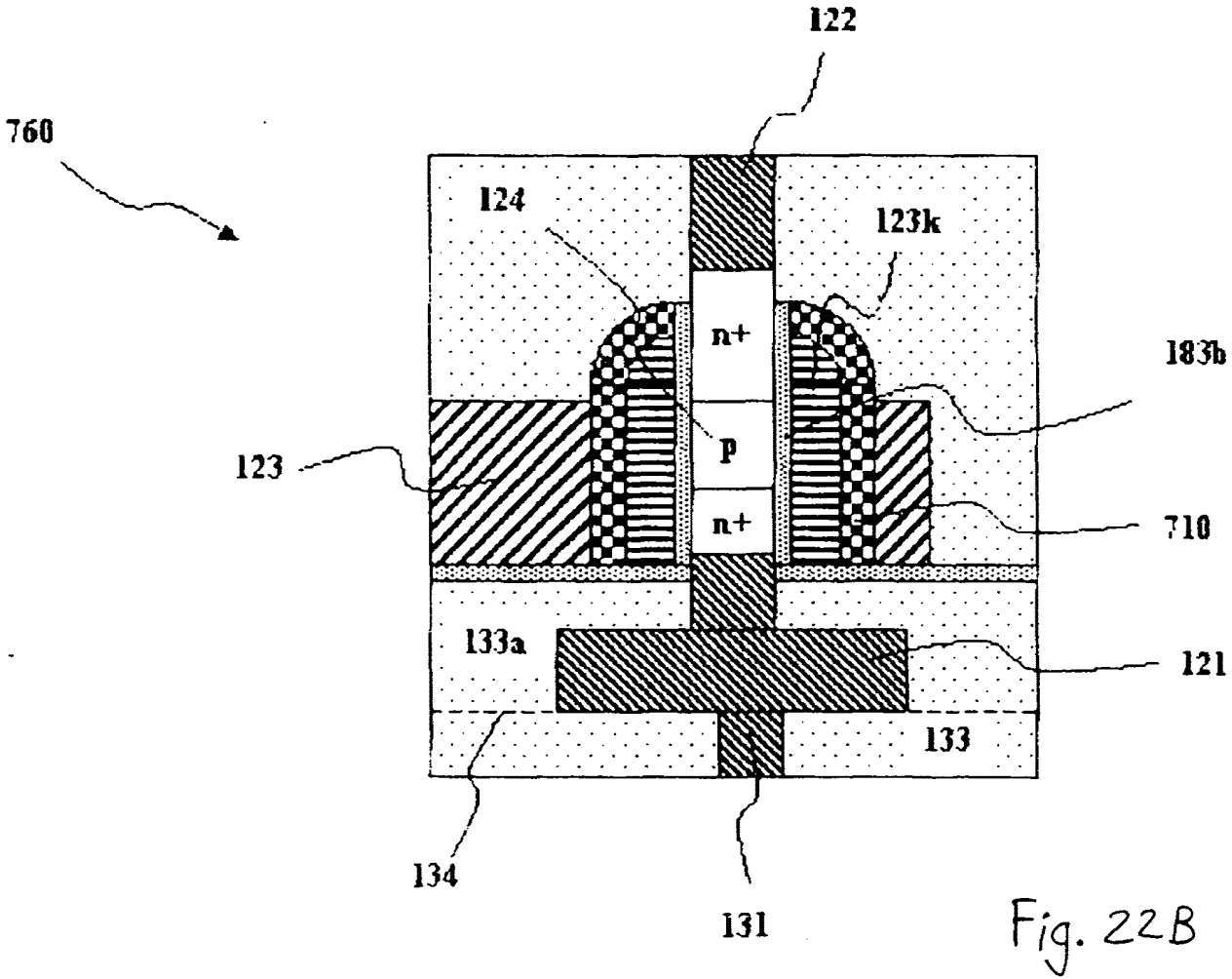


Fig. 22B

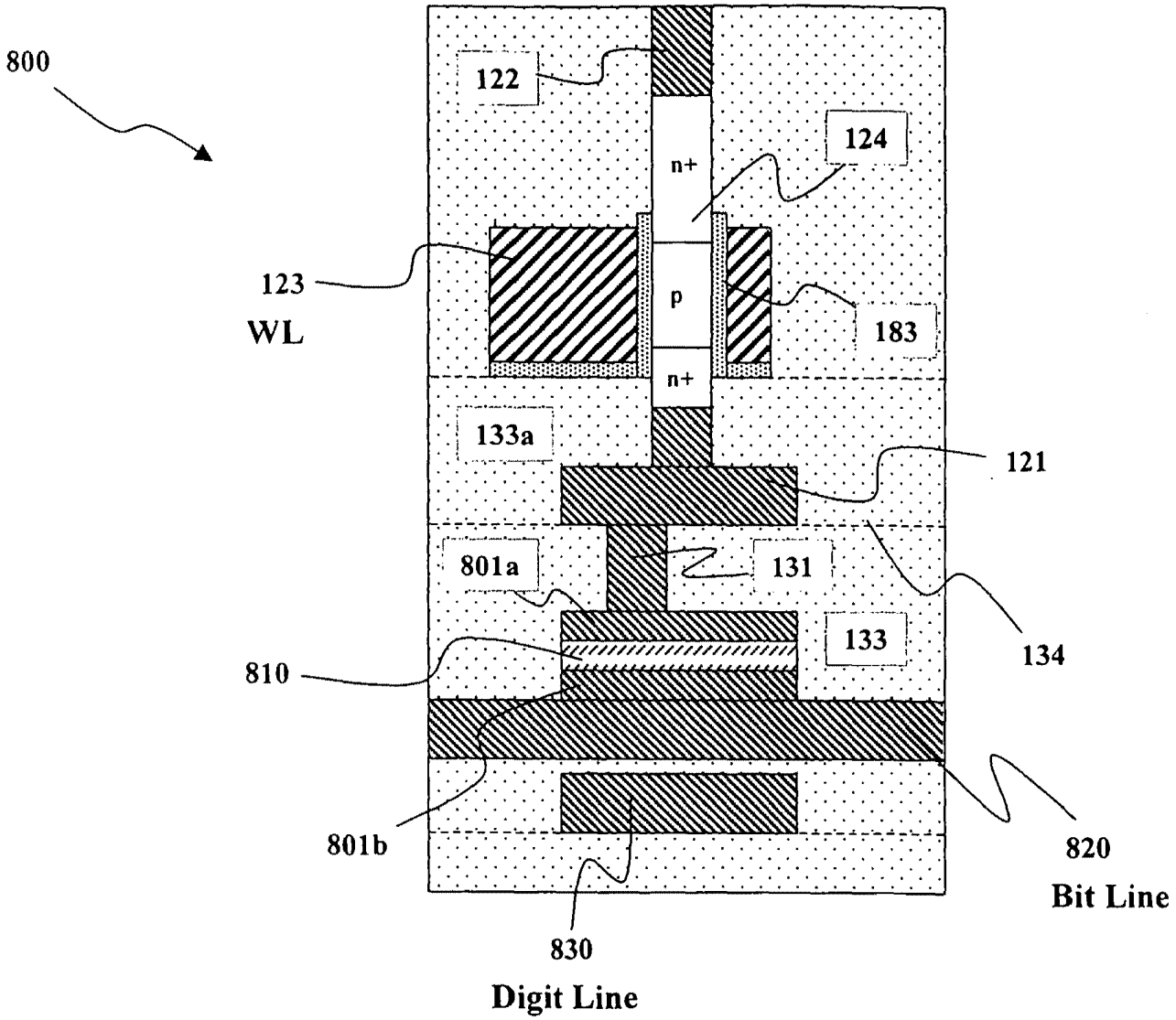

800
122
124
n+
123
WL
p
183
n+
133a
121
801a
131
133
134
810
801b
820
Bit Line
830
Digit Line

Fig. 23A

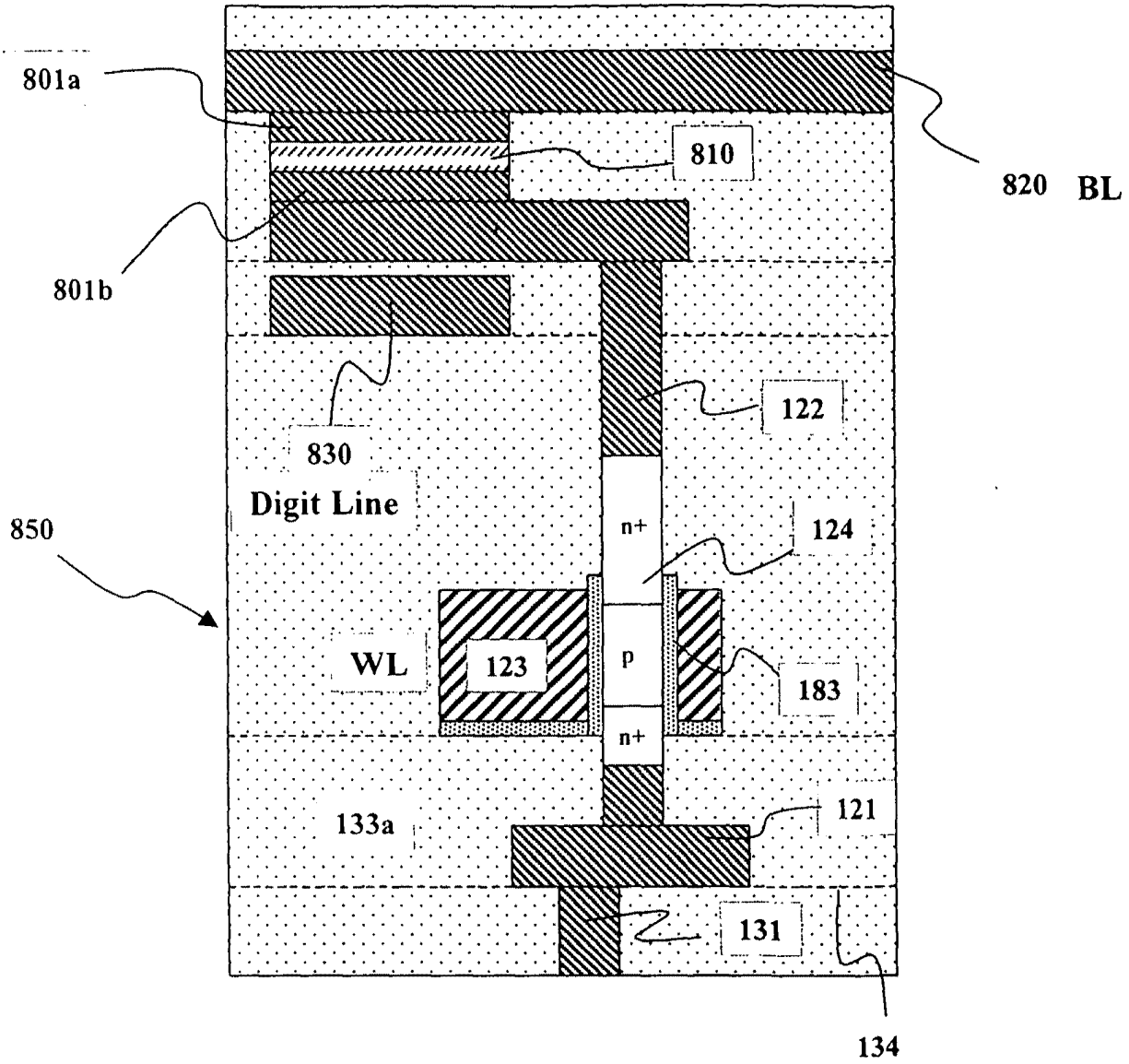
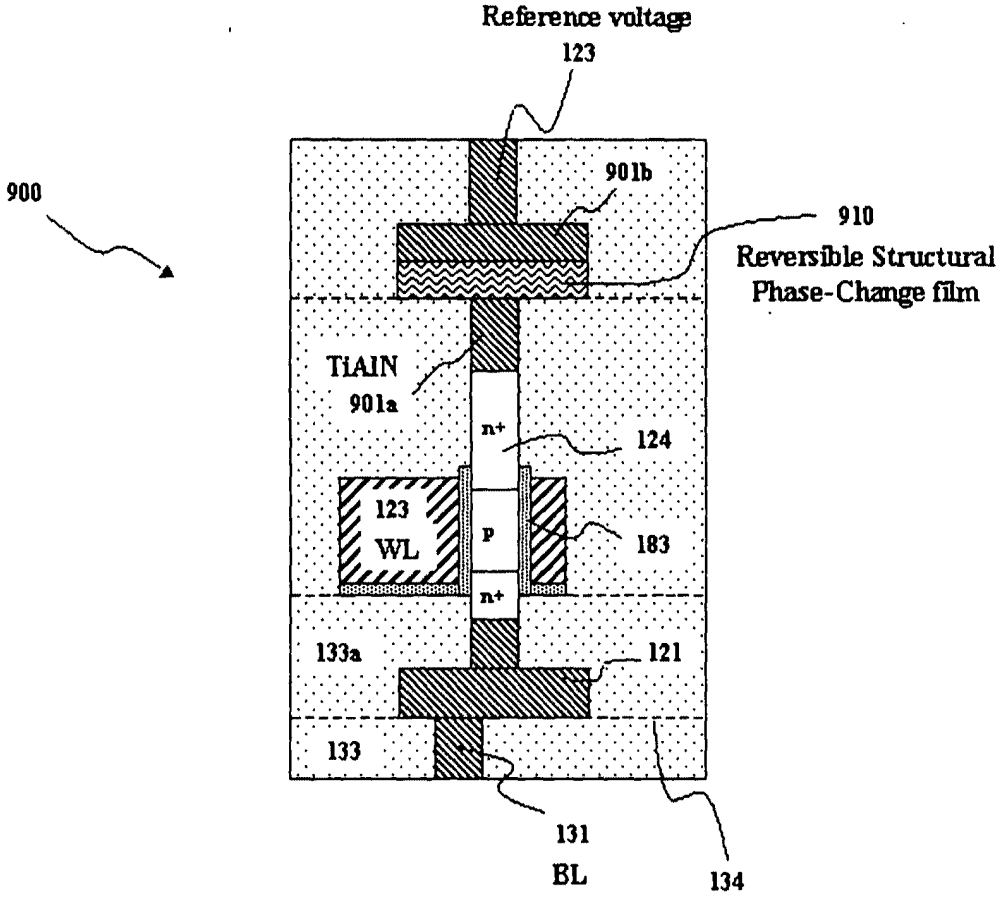

801a
810
820 BL
801b
122
830
Digit Line
850
n+
124
WL
123
p
183
n+
133a
121
131
134

Fig. 23B

Fig. 24


Reference voltage
123
900
901b
910
Reversible Structural
Phase-Change film
TiAlN
901a
n+
124
123
WL
p
183
n+
133a
121
133
131
BL
134

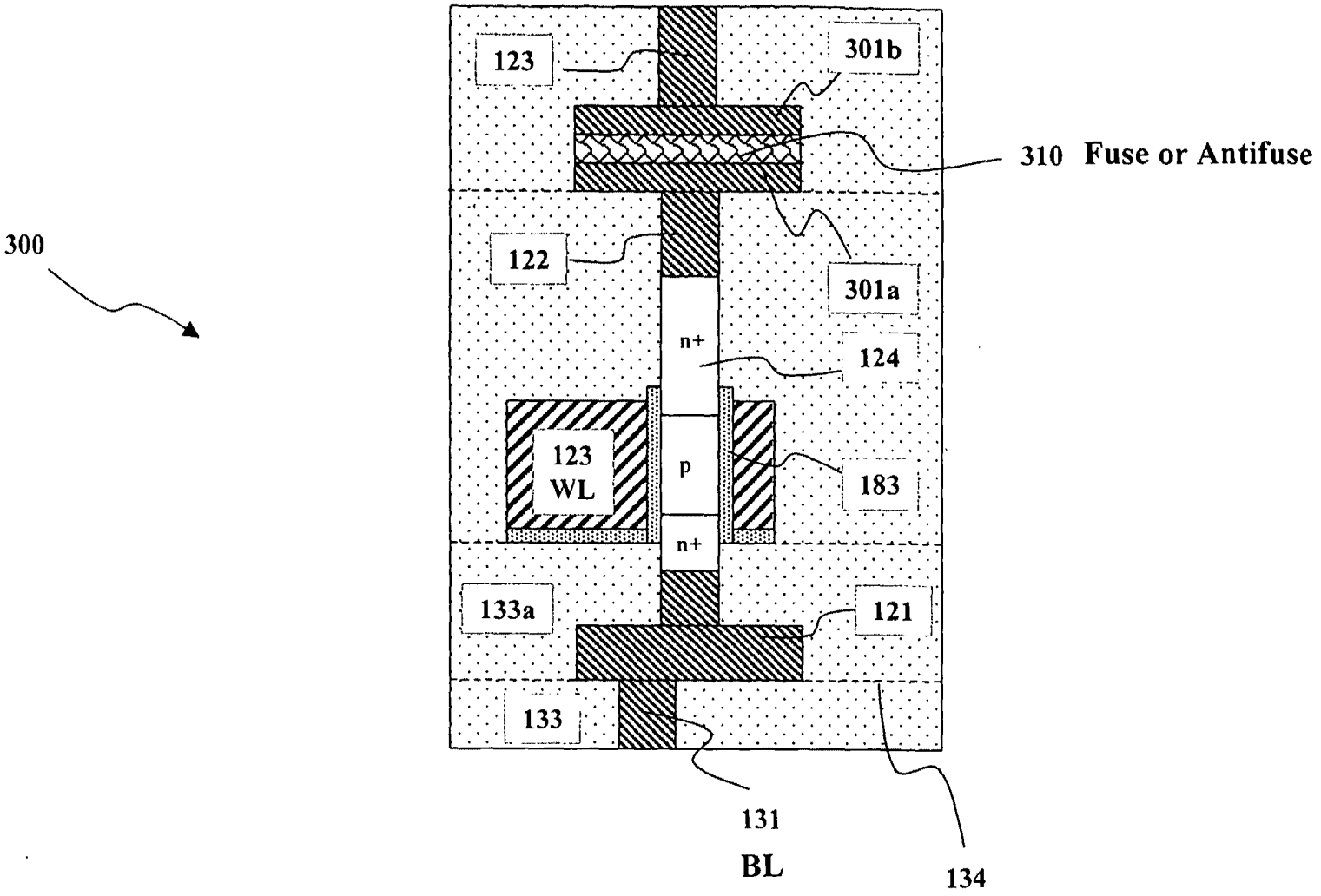

300
123
301b
310 Fuse or Antifuse
122
301a
n+
124
123
WL
p
183
n+
133a
121
133
131
BL
134

Fig. 25

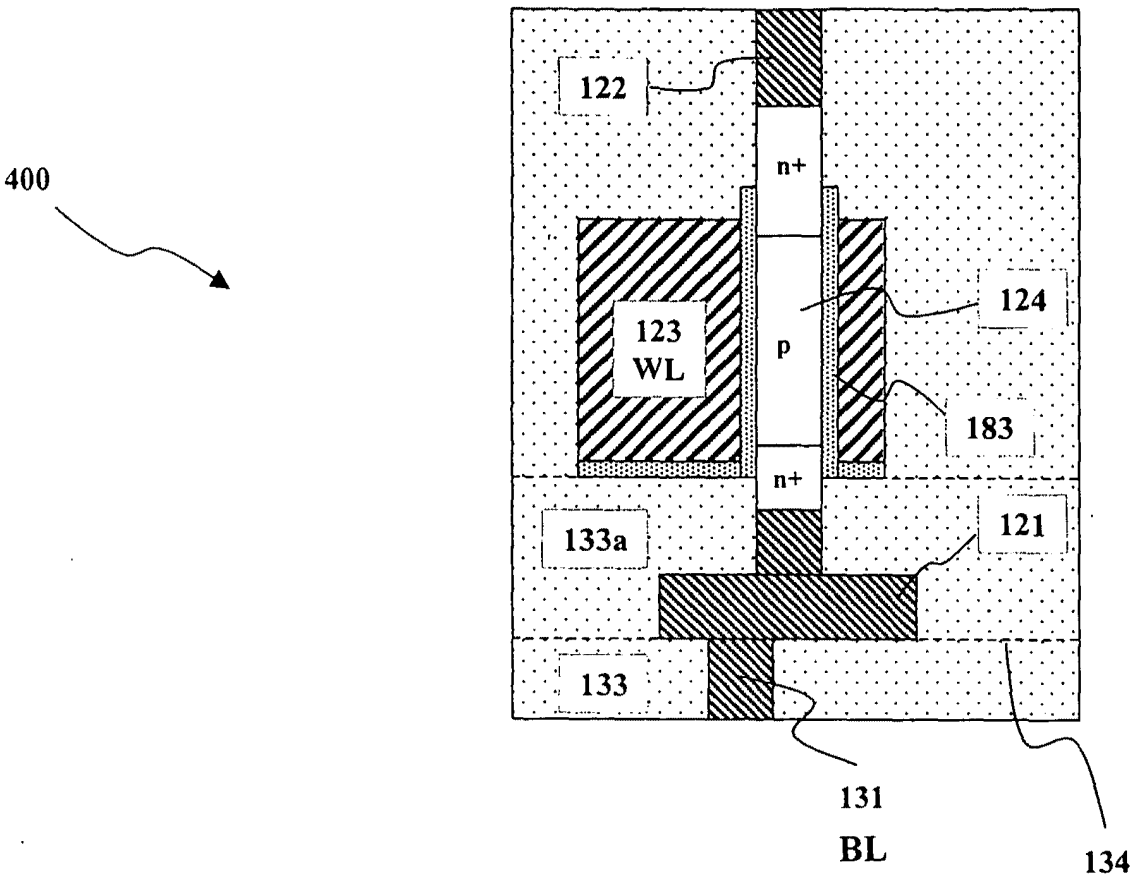


Fig. 26

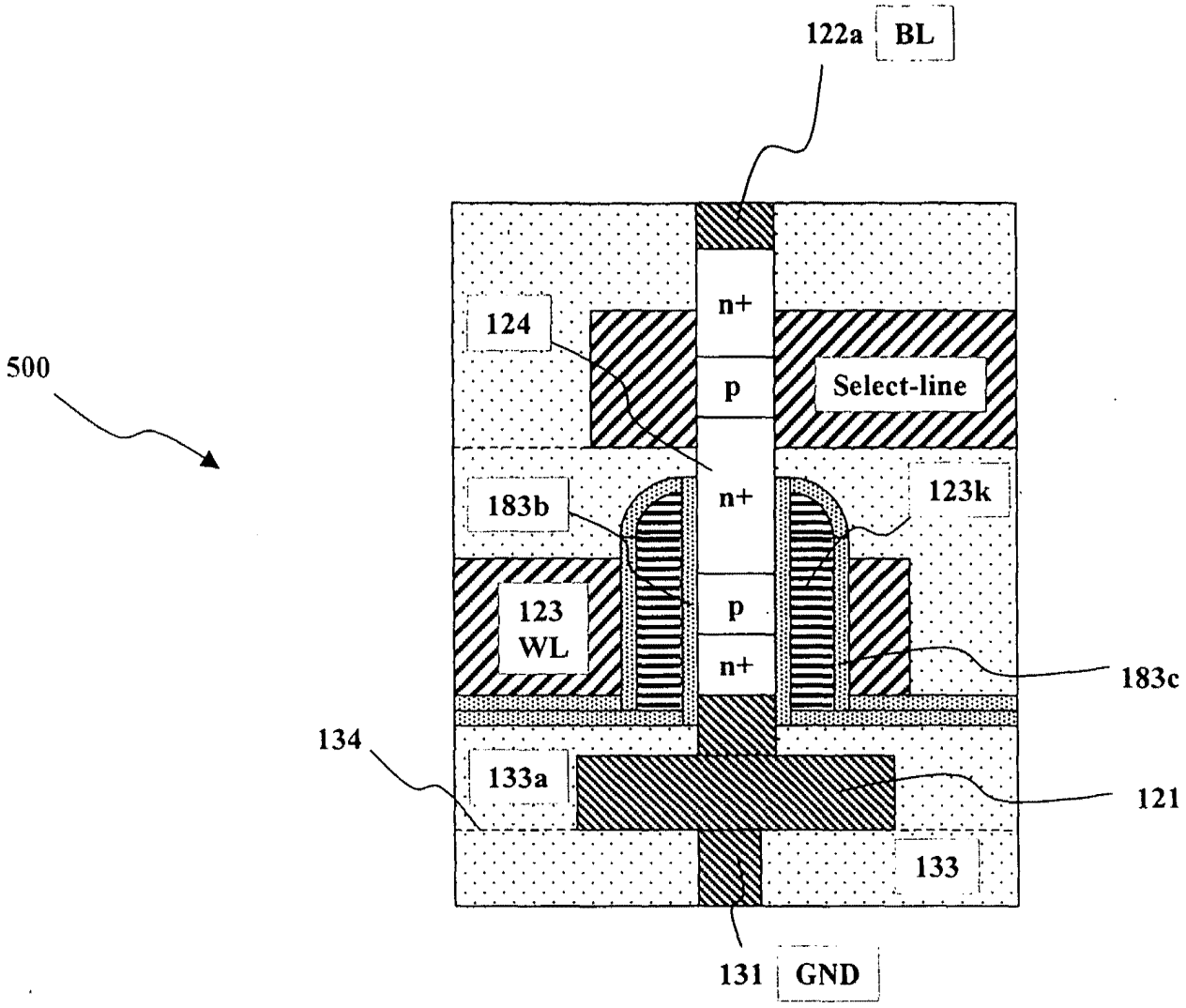

122a
BL
500
124
n+
p
Select-line
183b
n+
123k
123
WL
p
n+
183c
134
133a
121
133
131
GND

Fig. 27A

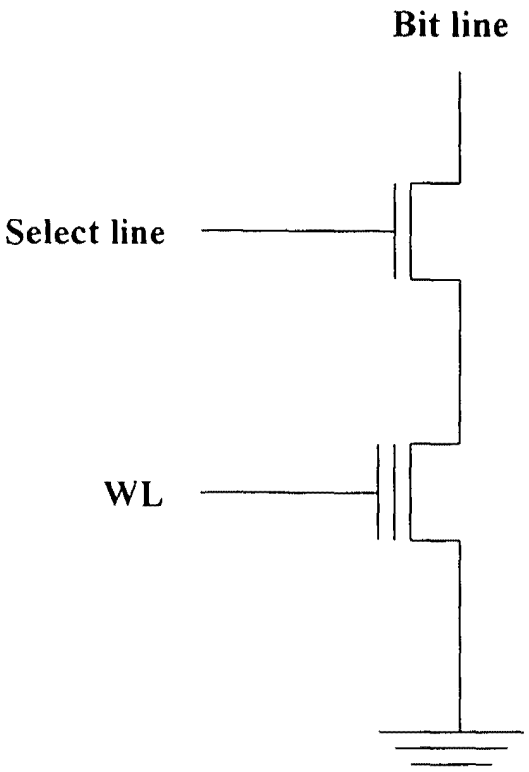


Fig. 27B

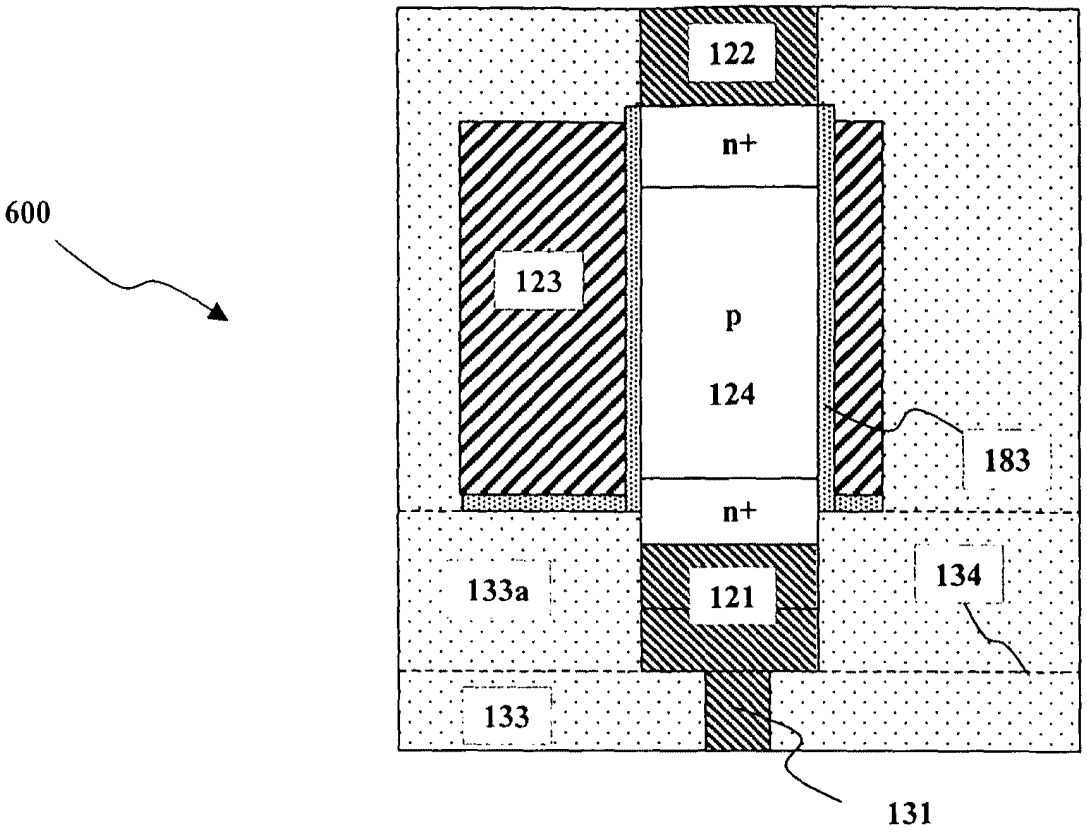


Fig. 28

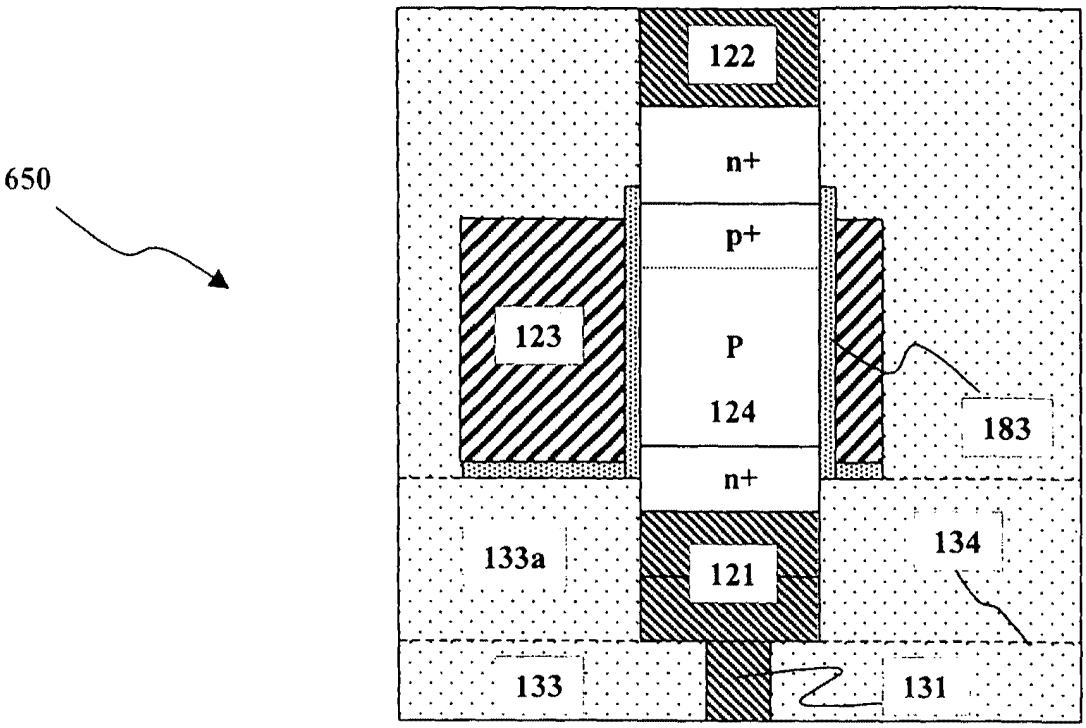


Fig. 29

PTO/SB/01 (08-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION FOR UTILITY OR DESIGN PATENT APPLICATION (37 CFR 1.63)

☒ Declaration Submitted With Initial Filing **OR** ☐ Declaration Submitted after Initial Filing (surcharge (37 CFR 1.16 (e)) required)

Attorney Docket Number	BeSang.Pool
First Named Inventor	Sang-Yun Lee
COMPLETE IF KNOWN	
Application Number	N/A
Filing Date	21 June 2004
Art Unit	N/A
Examiner Name	N/A

I hereby declare that:

Each inventor's residence, mailing address, and citizenship are as stated below next to their name.

I believe the inventor(s) named below to be the original and first inventor(s) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

Three-Dimensional Integrated Circuit Structure And Method of Making Same

(Title of the Invention)

the specification of which

☒ is attached hereto

OR

☐ was filed on (MM/DD/YYYY) _____ as United States Application Number or PCT International Application Number _____ and was amended on (MM/DD/YYYY) _____ (if applicable).

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment specifically referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56, including for continuation-in-part applications, material information which became available between the filing date of the prior application and the national or PCT international filing date of the continuation-in-part application.

I hereby claim foreign priority benefits under 35 U.S.C. 119(a)-(d) or (f), or 365(b) of any foreign application(s) for patent, inventor's or plant breeder's rights certificate(s), or 365(a) of any PCT international application which designated at least one country other than the United States of America, listed below and have also identified below, by checking the box, any foreign application for patent, inventor's or plant breeder's rights certificate(s), or any PCT international application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached? Yes	Certified Copy Attached? No
10-2003-0040920	Korea	06/24/2003	☐	☒	☐
10-2003-0047515	Korea	07/12/2003	☐	☒	☐
			☐	☐	☐
			☐	☐	☐

☐ Additional foreign application numbers are listed on a supplemental priority data sheet PTO/SB/02B attached hereto.

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 21 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/01 (08-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Utility or Design Patent Application

Direct all correspondence to: ☒ Customer Number: 00004153 6 **OR** ☐ Correspondence address below

Name

Address

City	State	ZIP

Country	Telephone	Fax

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. 1001 and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

NAME OF SOLE OR FIRST INVENTOR: ☐ A petition has been filed for this unsigned inventor

Given Name (first and middle [if any])	Family Name or Surname
Sang-Yun	Lee

Inventor's Signature: Sangyun Lee — Date: 21 June 2004

Residence: City	State	Country	Citizenship
Beaverton	OR	USA	

Mailing Address: 17082 NW Elk Run Drive

City	State	ZIP	Country
Beaverton	OR	97006	USA

NAME OF SECOND INVENTOR: ☐ A petition has been filed for this unsigned inventor

Given Name (first and middle [if any])	Family Name or Surname

Inventor's Signature — Date

Residence: City	State	Country	Citizenship

Mailing Address

City	State	ZIP	Country

☐ Additional inventors or a legal representative are being named on the _____supplemental sheet(s) PTO/SB/02A or 02LR attached hereto.

Please type a plus sign (+) inside this box → ☒

PTO/SB/81 (02-01)
Approved for use through 10/31/2002. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it display a valid OMB control number.

POWER OF ATTORNEY OR AUTHORIZATION OF AGENT

Application Number	N/A
Filing Date	21 June 2004
First Named Inventor	Sang-Yun Lee
Title	Three-Dimensional ...
Group Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	BeSang-P001

I hereby appoint:

☒ Practitioners at Customer Number 00004153 6 → *Place Customer Number Bar Code Label here*

OR

☐ Practitioner(s) named below:

Name	Registration Number

as my/our attorney(s) or agent(s) to prosecute the application identified above, and to transact all business in the United States Patent and Trademark Office connected therewith.

Please change the correspondence address for the above-identified application to:

☒ The above-mentioned Customer Number.

OR

☐ Practitioners at Customer Number ☐ → *Place Customer Number Bar Code Label here*

OR

☐ Firm *or* Individual Name					
Address					
Address					
City		State		Zip	
Country					
Telephone		Fax			

I am the:

☒ Applicant/Inventor.

☐ Assignee of record of the entire interest. See 37 CFR 3.71.
Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).

SIGNATURE of Applicant or Assignee of Record

Name	Sang-Yun Lee
Signature	Sang-Yun Lee
Date	21 June 2004

NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below*.

☐ *Total of _____ forms are submitted.

Burden Hour Statement: This form is estimated to take 3 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.

대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2003-0040920
Application Number

출 원 년 월 일 : 2003년 06월 24일
Date of Application JUN 24, 2003

출 원 인 : 이상윤
Applicant(s) LEE SANG YUN

2004 년 06 월 11 일

특 허 청
COMMISSIONER

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.06.24
【발명의 명칭】	3 차원 집적회로 구조 및 제작 방법
【발명의 영문명칭】	3-Dimentional Integrated Circuit Structure and Method of Making the Same
【출원인】	
【성명】	이상윤
【출원인코드】	4-2002-034947-0
【대리인】	
【성명】	박승민
【대리인코드】	9-1999-000248-5
【포괄위임등록번호】	2002-071432-2
【발명자】	
【성명】	이상윤
【출원인코드】	4-2002-034947-0
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 박승민 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	66 면 66,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	53 항 1,805,000 원
【합계】	1,900,000 원
【감면사유】	개인 (70%감면)
【감면후 수수료】	570,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 복수의 디바이스를 갖는 결정 반도체층과, 상기 단결정 반도체층의 위와 아래에 접한 단수 혹은 복수의 절연층과, 상기의 절연층내에 배선과 연결선을 가지며, 상기 배선과 연결선은 상기 복수의 디바이스를 직접 혹은 간접적으로 연결하는 것을 특징으로하는 3차원 IC 구조이다. 상기의 단수 혹은 복수의 단결정 반도체층은 접합에 의해서 형성되는 SOI(Semiconductor-On-Insulator)층이다. 상기 디바이스들은 격리구조에 의하여 분리되며, 각각의 디바이스는 격리구조에 메워진 절연체와 상기 디바이스의 위와 아래에 접합된 절연층으로 인하여 절연체층에 떠있는 것과 같은 구조가 된다. 상기 디바이스들의 연결에는 상기 절연층내의 배선과 연결선들이 사용되며, 전부 혹은 일부의 디바이스들은 물리적으로 또는 전기적으로 공유되는 기판을 가지지 않으며, 기판정렬구조 혹은 칩정렬구조를 가지지 않는 것을 특징으로 한다.

【대표도】

도 1

【색인어】

3차원 집적회로, 수직 디바이스, MOSFET, DRAM, SRAM, Flash Memory, Vertical Transistor, SOI, Inverter, SoC

【명세서】

【발명의 명칭】

3차원 집적회로 구조 및 제작 방법{3-Dimentional Integrated Circuit Structure and Method of Making the Same}

【도면의 간단한 설명】

도1은 종전의 3차원 집적회로의 구조도.

도2는 베이스 반도체기판을 갖는 본 발명에 따른 3차원 집적회로의 구조도.

도3은 베이스 기판을 가지지 않는 본 발명에 따른 3차원 집적회로의 구조도.

도4a-4d는 본 발명에 따른 SOI층을 이용한 3차원 IC의 제작과정 설명도.

도5a는 SOI층이 하부전극과 직접 접하지 않은 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도5b는 연속적으로 복수의 SOI층들을 접합한 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도6a-6b는 수평 동작하는 디바이스를 SOI층으로 제작한 경우의 본 발명에 따른 3차원 집적회로의 제작과정 설명 및 구조도.

도7a-7c는 수직 동작하는 디바이스를 SOI층으로 제작한 경우에 있어서, 하부전극을 형성하는 경우의 본 발명에 따른 3차원 집적회로의 제작과정 설명 및 구조도.

도8a는 SOI층으로 제작된 수직 동작하는 디바이스에서 평탄화된 중간전극을 형성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도8b는 SOI층으로 제작된 수직 동작하는 디바이스에서 스페이서 형태로 된 중간전극을 형성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도8c는 SOI층으로 제작된 수직 동작하는 디바이스에서 스페이서 형태로 된 중간전극을 더미 수직 디바이스를 이용하여 확장한 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도8d는 SOI층으로 제작된 수직 동작하는 디바이스에서 중간전극이 수직디바이스의 위로 확장된 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도9a는 SOI층으로 제작된 수직 동작하는 디바이스에서 상부전극에 콘택트영역 형성을 위한 평탄화된 식각정지층을 갖는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도9b는 SOI층으로 제작된 수직 동작하는 디바이스에서 상부전극에 콘택트영역 형성을 위한 스페이서로된 식각정지층을 갖는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도10a는 SOI층으로 제작된 수직 동작하는 디바이스가 p-n 접합 다이오드인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도10b는 SOI층으로 제작된 수직 동작하는 디바이스가 상부전극에서 쇼트키접합을 갖는 쇼트키 다이오드인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도10c는 SOI층으로 제작된 수직 동작하는 디바이스가 중간전극에서 쇼트키접합을 갖는 쇼트키 다이오드인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도11a는 SOI층으로 제작된 수직 동작하는 디바이스가 공핍영역을 이용한 커패시터인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도11b는 SOI층으로 제작된 수직 동작하는 디바이스가 절연체를 이용한 커패시터인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도12는 SOI층으로 제작된 수직 동작하는 디바이스가 바이폴라 트랜지스터인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도13a는 SOI층으로 제작된 수직 동작하는 디바이스가 8개의 게이트를 갖는 멀티비트 MOSFET인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도13b는 SOI층으로 제작된 수직 동작하는 디바이스가 4개의 다른 크기로 된 게이트를 갖는 멀티비트 MOSFET인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도14는 SOI층으로 제작된 수직 동작하는 디바이스가 인버터인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도15a-15b는 도14의 인버터로 SRAM 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 배선도.

도16a는 SOI층으로 제작된, 수직 동작하며 게이트를 갖는 싸이리스터를 이용한 SRAM 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도16b는 수직 동작하며 게이트를 갖는 싸이리스터와 MOSFET를 하나의SOI층안에 형성하여 SRAM 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도17a는 수직 동작하는 MOSFET과 공핍영역을 이용한 커패시터가 하나의 SOI층 안에서 직렬연결되어 DRAM 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도17b는 수직 동작하는 MOSFET과 절연층을 이용한 커패시터가 하나의 SOI층 안에서 직렬연결되어 DRAM 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도18a는 SOI층으로 제작된 수직 동작하는 MOSFET이 플로팅게이트와 콘트롤게이트를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도18b는 SOI층으로 제작된 수직 동작하는 MOSFET이 채널영역의 일부를 덮는 플로팅게이트와 채널영역의 나머지 부분과 플로팅게이트를 덮는 콘트롤게이트를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도18c는 SOI층으로 제작된 수직 동작하는 MOSFET이 플로팅게이트, 콘트롤게이트, 그리고 이레이즈게이트를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도18d는 SOI층으로 제작된 수직 동작하는 MOSFET이 산화막+질화막+산화막으로 구성된 게이트를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도18e는 SOI층으로 제작된 수직 동작하는 MOSFET이 플로팅게이트와 콘트롤게이트를 갖는 비휘발성 메모리를 구성하는 경우에 있어서 벌크에 전극이 연결된 구조를 갖는 본 발명에 따른 3차원 집적회로의 구조도.

도18f는 도18a와 같은 구조에 있어서 서로 다른 8개의 게이트로 구성된 구조를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 배치도.

도19는 하나의 SOI층이 블록으로 나누어져 각기 다른 형태의 디바이스를 형성하는 경우의 본 발명에 따른 3차원 집적회로의 배치도.

<도면부호의 설명>

FLD IC층(101, 102, 104, 105), 복수의 층간 절연층(151, 152, 153, 154, 202, 204), 베이스 반도체기판(103, 241), 수평형태의 디바이스(113, 114, , 211), 연결선(131, 231), 배선(132, 232), 층간 절연층(133, 133c, 189, 233), 절연층(절연체)(138, 133a), SOI 단결정 반도체층(SOI층 혹은 단결정 반도체층)(124, 128), 수직형태의 디바이스(111, 112. 114), 선행기술

에서의 수직형태의 디바이스(212), 패드(125, 145, 146, 225), 하부전극(121), 상부전극(122), 중간전극(123), 웰(142, 243), 기판(143, 242), 격리구조(135), 층간절연층의 경계(134, 234), 반도체기판(201, 203), 깊은 반도체기판 연결선(255), 중간접합층(120), 금속접합면(121), 분리층(191), SOI 단결정 반도체기판(혹은 SOI 기판)(190), 베이스 기판(180), 식각 마스크(171, 173), MESFET 게이트전극(172), 식각선(149), 하부전극형성 식각마스크(182), 게이트절연층(183), 상부전극 연결 콘택트(122a), 중간전극 연결 콘택트(123a), 식각정지층(184), 커패시터 전극(123b, 123c), 하부전극 연결 콘택트(121a), 바이폴라 에미터(124a), 바이폴라 베이스(124b), 바이폴라 콜렉터(124c, 124d), 인버터 입력콘택트(123f), 인버터 출력 중간전극(123g), 인버터 출력콘택트(123h), 인버터에서 p-MOSFET 게이트 중간전극(124d), 인버터에서 n-MOSFET 게이트 중간전극(123e), SRAM 패스 트랜지스터(161a, 161b), 싸이리스터를 이용한 SRAM셀을 구성하는 콘트롤 트렌지스터(161c), 싸이리스터 게이트 중간전극(123j), 싸이리스터를 이용한 SRAM의 패스게이트(123i), DRAM의 플로팅쏘스(124e), 플로팅쏘스에 접하는 p 영역(124f), 플로팅 쏘스와 연결되는 중간전극(123n), 플로팅 전극(123k), 플로팅게이트 절연층(183b), 콘트롤게이트 절연층(183c), 커패시터의 절연층(183d), 이레이즈게이트(323), 전하저장영역(30), 벌크연결 콘택트(122c), 다른 디바이스 형태를 갖는FLD IC층의 영역(413a, 413b, 413c, 413d), 하나의 칩(411), 다른 형태의 FLD 디바이스 영역간의 거리(412), 수직형태의 디바이스의 하부(124z), 벌크가 FLD의 위로부터 노출되는 경계선(756)

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<38> 본 발명은3차원 반도체 집적회로(Integrated Circuit, IC)의 구조와 제작방법 및 상기 3차원 IC를 구성하는 반도체 디바이스의 구조와 제작방법에 관한 것이다.

<39> 선행기술에 있어서 3차원 IC를 구현하는 방법은 도1에 나와 있듯이 "하이브리드 IC 기술" 을 이용한 방법을 들 수 있다. "하이브리드 IC 기술" 은 이미 제작된 베이스 반도체기판(201)과 절연층(202)으로 구성된 하나의 IC위에, 다른 제2의 반도체기판(203)과 절연층(204)을 가진 이미 제작된 다른 IC를 접합하여 수직으로 쌓아 올리고, 이들 각 IC들을 서로 연결하기 위하여 USP5,751,049에서처럼 반도체 기판(242)을 관통하는 크고 깊은 연결선(255)이나 혹은 USP6,355,501에서처럼 요철모양의 구조(미도시)를 이용하여 미리 제작된 IC 기판(혹은 개별적인 IC 칩)을 접합하는 기술 등을 이용하고 있다.

<40> 하나의 접합된 IC내에 있는 디바이스들 간의 연결은 일반적으로 접합된 IC의 바로 위에 있는 하나 이상의 절연층 내의 연결선에 의해서만 이루어지며, 접합된 IC밑에 있는 절연층은 그 아래에 있는 다른 IC내의 디바이스 연결에만 주로 쓰인다. 또한 접합된 IC내의 디바이스는 아래에 전극을 갖지 않고 항상 위로부터 형성된 콘택트에 의해서 전극이 연결된다.

<41> 상기 선행기술은 기판을 접합하는데 있어서 접합하는 기판과 접합되는 기판에 모두 기판정렬구조(혹은 칩정렬구조)를 가져야한다. 상기 기판정렬구조는 사진공정에 쓰이는 사진정렬 패턴과는 다르다. 따라서 3차원 IC를 구현하는 선행기술인 "하이브리드 IC 기술" 은 MCP(Multi-Chip

Package)의 다른 형태이다. 선행기술인 "하이브리드 IC 기술" 을 이용한 3차원 IC의 주된 목적은 패키지간을 연결하는 배선의 길이를 줄여서 고속동작이 가능하게 하는 것이다.

<42> 상기 선행기술에 따른 3차원 IC의 특징은 다음과 같다. 하이브리드 IC에 있어서 각 층을 구성하는 IC가 따로 제작되고 이렇게 따로 제작된 IC가 접합되어 3차원 IC가 구현된다. 각 층을 구성하는 IC는 각각 물리적으로 IC를 구성하는 디바이스(212)들을 지지하는 기판(242)을 갖는다. 또한 일반적으로 각 층을 구성하는 IC에 있어서, IC를 구성하는 디바이스들이 웰(243)이나 기판(241, 242)같이 전기적으로 공유하는 기재를 갖는다. (선행기술에 있어서 SOI로 구성된 IC는 전기적으로 공유되는 기판을 갖지는 않지만, 각각의 디바이스를 물리적으로 지지하는 기판을 갖는다.) 또한 선행기술은 하나의 층에서 IC를 구성하는 디바이스들간의 연결이, IC 위에 층간 절연층을 쌓고 배선과 연결선을 연결하는 방법에 의해 이루어지는 것이 일반적이다.

<43> 또다른 선행기술이 있다. 이는 레이저를 이용하여 절연층 위의 다결정이나 비결정반도체를 녹여 단결정으로 만들고, 만들어진 단결정 반도체를 이용하여 디바이스를 만든다. 혹은 단결정 반도체기판 위에 절연층을 덮고 절연층으로부터 부분적으로 노출된 단결정 영역에서 절연층 위로 단결정 에피층을 성장(Epitaxy)시키는 방법이다.

<44> 그러나, 레이저는 반도체를 녹일 수 있을 정도의 고온이어야 하고 에피 성장 또한 일반적으로 1000℃이상의 고온이 필요하기 때문에, 무엇보다도 형성된 단결정반도체 내에 결함이 많아지게 되어 널리 쓰이지 않고 있다. 또한, 이러한 선행기술은 알루미늄 배선의 형성후에 진행되는 저온공정에 적합하지 않으며, 따로 제작되어 접합되는 하이브리드 IC와 마찬가지로 3차원으로 제작되는 디바이스를 형성하는 공정을 단순화하지 못한다.

【발명이 이루고자 하는 기술적 과제】

<45> 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 복수의 디바이스를 갖는 단결정 반도체층과, 상기 단결정 반도체층의 위와 아래에 접한 단수 혹은 복수의 절연층과, 상기의 절연층내에 배선과 연결선을 가지며 상기 배선과 연결선은 상기 복수의 디바이스를 직접 혹은 간접적으로 연결하는 것을 특징으로 하는 3차원 IC 구조를 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<46> 본 발명에 따라 3차원 IC를 구성하는 대표적인 예가 도2에 나와있다. 본 발명은 패키지(Package) 기술이 아닌 디바이스 집적(Integration) 기술에 관한 것이다. 선행특허인 USP5,751,049, USP5,563,084, 혹은 USP5,751,049 등에 나와있는 선행기술에 있어서 3차원 IC의 형성은 독립적으로 동작이 가능한 IC들을 따로 제작하여 접합하는 패키지 기술이지만, 본 발명에 따른 3차원 IC는 독립적으로 동작이 가능한 IC가 아닌, 접합SOI 기술에 의하여 전달되며, 접합 이전에는 복수의 디바이스가 형성되어 있지 않은 단결정 반도체층(124)를 포함하는 얇은 막을 사용하여, 순차적으로 디바이스를 형성해 나가는 디바이스 집적기술에 관한 것이다. 상기 단결정 반도체층이 SOI기술로 만들어지므로 간단히 SOI층이라고도 부른다.

<47> 여기에서의 "반도체를 포함하는 얇은막"의 의미는, p형이나 n형, 혹은 i(Intrinsic)형 등의 불순물로 구분되는 반도체 막이나 또는 절연층이나 금속층 등의 물질적으로 구별되는 막을 갖는 단결정으로 구성된 반도체를 포함하는 얇은 막을 의미한다. 또한 "복수의 디바이스가 형성되어 있지 않은 반도체막"의 의미는, SOI 기판에 의해 전달되는 단결정 반도체막에 복수의 디바이스 형성에 쓰이는 격리구조나 금속배선의 패턴(Pattern)과 연결(Interconnection)을 가지지 않고 개별 디바이스별로 독립된 불순물(Impurity) 영역을 갖지 않음을 의미한다.

<48> 본 발명은 도2에 나와 있듯이 각각의 디바이스(111, 112, 113)들이 격리구조(135)에 의하여 절연층(133)으로 구성되는 3차원 공간안에서 독립적으로 떠있는 것과 같은 형태를 갖는다. 이러한 떠있는 형태의 디바이스(Floating Device, FLD)를 본 발명에서는 FLD(111, 112, 113)라 부르기로 한다. 따라서 본 발명은 하나의 접합된 IC층에 존재하는 각각의 디바이스들이 웰(142, Well)이나 기판(143, Substrate)처럼, 같은 형태의 디바이스들이 공존하며 전기적으로 공유되는 영역(일반적으로 쓰이는 수평형태의 MOSFET에서 벌크(Bulk)로 불리는 영역)을 갖지않고 선행기술에 쓰이는 SOI IC의 기판과 같이 하나의 IC층내의 모든 디바이스들을 바닥절연층(BOX)을 사이에 두고 물리적으로 지탱하는 기판은 존재하지 않는다. 본 발명에서는 FLD(111, 112, 113)를 구성하는 하나의 IC층을 FLD IC층(101, 102)이라 칭하기로 한다.하나의FLD IC층의 위와 아래에 있는 층간절연층에는 배선(132, Interconnection line)과 연결선(131, Via 혹은 Contact)들이 있다. 이러한 배선(132)과 연결선(131)은 하나의 FLD IC층내의 FLD들을 직접 혹은 간접적으로 연결하며, 하나의FLD IC층의 위와 아래에 있는 다른FLD IC층의 디바이스나 베이스(Base) 기판(103)의 디바이스(114)들과도 연결된다.

<49> 본 발명에서는 도2에서와 같이 3차원 IC에 있어서 가장 밑에 있으며 FLD IC의 하부 절연층(151)과 접한 기판을 베이스(Base)기판(103)이라 칭하고, 베이스기판(103)위에 있는 첫번째 FLD IC층을 제1 FLD IC층(101)이라하며, 순차적으로 다음 층에 있는것을 제2 FLD IC층(102)이라 칭할 것이다.

<50> 반복하자면, 도2는 복수의 FLD IC층(101, 102)과 하나의 베이스 반도체기판(103)으로 구성되어 있다. 점선(134)으로 표시된 것은 복수의 절연층(층간 절연층) 사이의 경계를 나타낸다. 베이스 반도체기판(103) 위의 제1 층간 절연층(151)은 배선과 연결선을 포함하고 있으며, 이들 배선과 연결선을 제1 FLD IC층(101)과 공유하고 있다. 또한 어떤 연결선은 바로 제2 FLD IC층

(102)과 바로 연결된다. 또한 제2 층간 절연층(152) 내의 배선과 연결선은 제1 FLD IC층(101)과 제2 FLD IC층(102)이 공유한다. 이러한 IC층간의 절연층 및 배선, 연결선의 공유가 본 발명의 특징이 된다.

<51> 본 발명에 있어서 전극의 형성은, 도2에서와 같이 각각의 FLD(111, 112, 113)들의 상부(122)와 하부(121)에 전극이 바로 연결될 수 있다. 반면에, 선행기술인 3차원 IC에 있어서는 단결정 반도체로 이루어진 개별디바이스의 바로 아래에는 전극을 형성할 수 없었다. 또한 본 발명에 있어서, 하나의 FLD는 수직으로 구분된 단수 혹은 복수의 중간전극(Intermediate, 123)을 형성할 수 있다. 이러한 중간전극(123)은 하나의 FLD IC층의 상부와 하부에 있는 연결선이나 배선들에 선택적으로 연결될 수 있다.

<52> 도2에서 베이스 반도체기판(103)에 로직(Logic) IC를 형성하고 제 1 FLD IC층(101)에 메모리(Memory) 디바이스를 형성하며, 제 2 FLD IC층(102)에 영상 센서와 같은 디바이스를 제작한다면, 하나의 반도체기판위에 여러 다른 종류의 디바이스를 구성하기 위하여 어렵고 값비싼 SoC 구조와 반도체 공정을 통하지 않고도, 본 발명으로 각각 최적화된 다른 종류의 디바이스를 하나의 IC로 묶을 수(Integration) 있다.

<53> 도3은 본 발명에 있어서 베이스 기판을 가지지 않고 FLD IC층 만으로 구성된 3차원 IC의 구조를 나타낸다. 우선, 베이스 기판 위에 절연층(153)을 구성하고 상기 절연층(153) 위에 SOI층(124)을 형성하고, 상기 SOI층(124)을 이용하여 디바이스(114)를 제작하고, 제작된 상기 단결정 반도체 디바이스(114) 위에 또다른 제2의 절연층(154)과 배선(132) 그리고 연결선(131)을 형성한 후에, 베이스기판을 상기 절연층(153)으로부터 분리하면 도3과 같은 구조가 된다. 여기에서의 베이스 기판(미도시)은 플라스틱, 세라믹, 금속, 유리, 혹은 반도체와 같은 물질이 될

수있으며, 균일하고 평편한 기판 형태로 되어있다. 상기 베이스 기판은 고온 열처리를 제외한 반도체 공정에서 일반적으로 사용되는 250℃-650℃ 정도의 온도에 견딜 수 있어야 한다.

<54> 또한 본 발명에 따른 도3은 제1절연층(153)의 하부와 제2절연층(154)의 상부에 패키지와 전기적으로 연결되는 패드를 가질 수 있다. 아래에 형성된 패드(146)는 와이어(wire)를 사용하지않고 쏠더(Solder)만으로 패키지와 바로 연결이 가능하며, 위에 형성된 패드(145)는 와이어로 패키지와 연결될 수 있다. 이렇게 형성된 패드는 칩의 면적을 줄이며 패키지의 집적도를 높일 수 있다.

<55> 이상의 설명에서, 본 발명이 선행기술과 구별되는 특징은 다음과 같다. 첫번째로 선행기술은 각각의 접합된 IC에 있는 서로 다른 디바이스들을 물리적으로 지지하기 위한 기판을 가지며, 바닥층에 있는 베이스 기판을 포함한 복수의 기판으로 구성되어 있다. 하지만 본 발명은 3차원으로 연결되어 있는 각각의 FLD들을 지지하기 위한 물리적인 기판이 요구되지 않는다. 또한, 본 발명은 바닥층에 베이스 기판이 없이 연결선과 배선을 갖는 층간 절연층과 함께 하는 FLD만을 이용한 구조를 가질 수 있다.

<56> 두번째로 선행기술은 일반적으로 각각의 접합된 IC에 있는 디바이스들이 서로 "전기적으로 공유하는 불순물 영역"을 갖는다. 하지만 본 발명은 전부 혹은 일부의 FLD가 "전기적으로 공유하는 불순물 영역"을 갖지 않으며, 절연물질로 전부 혹은 부분적으로 채워진 격리구조에 의하여 다른 디바이스와 전기적으로 독립된 형태를 갖는다. 이러한 전기적으로 독립된 구조에 의해 본 발명은 선행기술에 존재하는 기생 디바이스를 갖지 않는다.

<57> 세번째로는 선행기술은 기본적으로 패키지 기술이므로 수직으로 연결된 각각의 IC를 연결하기 위하여 입력, 출력, 동작전압, 혹은 그라운드 등의 IC 동작에 필요한 제한된 수의 기본적인 연

결선만을 갖는다. 하지만 본 발명은 각각의 FLD가 개별적인 연결선을 가질 수 있으며 모든 FLD가 직접 혹은 간접적으로 FLD의 아래에 있는 연결선과 연결된다.

<58> 네번째로 선행기술은 각각의 IC 접합시에 정교한 기판정렬이 필요하며, 접합하는 IC(혹은 칩)와 접합되는 IC(혹은 칩)가 모두 기판정렬을 위한 구조를 가져야 한다. 여기에서 "기판정렬을 위한 구조"에는 기판 정렬마크와 요철모양의 정렬구조 등이 있다. 하지만 본 발명에서는 "기판정렬을 위한 구조"없이 단순히 기판에 있는 노치(notch)의 정렬 정도만으로 FLD가 구성되는 층을 형성할 수 있다. 왜냐하면 본 발명에서는 SOI 기판상에 형성되는 단결정 반도체층에는 복수의 디바이스를 구성하는 격리구조나 배선의 연결같은 수평방향으로 구분되는 구조없이 수직방향으로 구분되는 단지 몇가지 층으로만 이루어져있기 때문이다.

<59> 다섯번째로 선행기술에서는 각 층에 있는 IC 안에 있는 디바이스들을 연결하는 배선과 연결선들이 디바이스 위쪽으로만 형성될 수 있지만, 본 발명에서는 FLD의 위와 아래 양쪽으로 모두 연결이 가능하다.

<60> 여섯번째는 선행기술은 일반적으로 수평으로 동작하는 MOSFET을 가지며 수직으로 동작하는 MOSFET의 경우에는 콘택트와의 배선연결이 어렵고 기존의 수평으로 동작하는 MOSFET과의 공존이 어렵다. 하지만 본 발명에서는 반도체에 쓰이는 MOSFET을 포함한 대부분의 디바이스를 수직방향으로 동작하는 구조로 만들수 있으며, 선행기술인 수직 디바이스와 비교하여 콘택트와의 배선연결이 용이하며 낮은 접촉저항을 가질 수 있다.

<61> 일곱번째로 선행기술은 로직을 형성하기 위하여 하나하나의 단위 형태의 디바이스들을 배선으로 연결하여 로직을 구성하지만, 본 발명은 배선없이 단위 디바이스를 하나의 반도체층 안에서 수직방향으로 직렬연결된 다중접합을 이용한, 즉 복합디바이스 형태의 로직을 FLD형태로 만들

수 있다. 왜냐하면 본 발명은 기본적으로 SOI형태를 가지므로 웰의 형성이 필요없기 때문이다. 본 발명에 특징적으로 쓰일 수 있는 여러 다른 형태의 FLD는 나중에 자세히 설명된다.

<62> 여덟번째로 본 발명에서는 FLD의 위와 아래, 그리고 중간 등의 모든 영역에 금속과 직접 접한 금속전극을 가질 수 있다. 여기에서의 금속전극의 면적은 격리식각으로 형성되는 FLD를 구성하는 단결정 반도체의 위와 아래의 면적과 같은 크기로 형성될수 있으므로 디바이스의 동작에서 전압강하를 최소화할 수 있다. 하지만 선행기술은 일반적으로 콘택트가 형성되는 영역만 금속과 접하므로 본 발명에 비하여 높은 접촉저항을 갖는다.

<63> 도4a~d는 도3에 나와있는 3차원 IC 구조의 제작방법을 설명하고 있다. 도4a에서, 기판(180) 위에 사진공정에 사용되는 정렬마크(미도시)를 설치한 후에 단수 혹은 복수의 층간절연층(133)으로 이루어진 절연층(153)과 도체로 이루어진 배선(132)과 연결선(131)을 형성한다. 여기에서 절연층(153)을 구성하는 각각의 층간절연층(133)들은 점선으로 된 경계선(134)으로 구분되어 있다. 여기에서의 베이스기판(180)은 반도체공정에서 쓰일 수 있는 250℃-650℃ 정도의 온도에 견딜 수 있어야 한다. 도체는 낮은 저항을 갖는 전류/전압 전달물질이며, 알루미늄이나 구리와 같은 금속이나 내열성금속(Refractory Metal), 실리사이드, 혹은 고농도로 도핑되어 낮은 저항을 갖는 비결정 혹은 다결정 반도체 물질이 될 수 있다. FLD와 직접 혹은 간접적으로 연결되는 연결선(131)이 절연층(153) 위에 형성된 후에 FLD의 하부전극(121)으로 사용되는 금속층을 도포(Deposition)하고 필요에 따라 중간접합층(120)을 형성하는 또다른 금속을 가질 수도 있다. 중간접합층(120)으로 사용되는 금속은 절연층(153) 위에 놓인 금속배선(132)보다 낮은 온도에서 녹으며, SOI기판(190)과의 접합시에 접합면에서 "표면 미세불균일 (Surface Microroughness)"로 인하여 형성될지도 모르는 공간(void)의 형성을 방지하기 위하여, 표면 평탄화 과정에서 낮은 온도에서의 흘러내림(Reflow)이 좋아야한다. 만약 절연층(153) 내의 배선

(132)이 알루미늄으로 구성되어 있으면, 중간접합층(120)을 형성하는 금속은 알루미늄의 녹는 온도인 660℃ 보다 낮은 250℃-650℃의 범위에서 녹는 금속이어야 한다. 250℃-650℃에서 녹는, 중간접합층이 될 수 있는 금속들의 종류와 녹는점은 다음과 같다. 알루미늄합금(Al Alloy, 204℃-674℃), 아연(Zn, 420℃), 아연합금(Zn Alloy, 377℃-484℃), 납(Pb, 328℃), 탈륨(Tl, 304℃), 텔루륨(Te, 445℃), 쏠더(Solder, 268℃-579℃), 주석합금(Tin Alloy, 223℃-422℃) 등.

<64> 도4b는 SOI기판(190)을 나타낸다. FLD를 형성하기 위하여 불순물층이 얇은 단결정 반도체층(124) 안에 형성되는데, 여기에서의 불순물층은 단결정 반도체층(124)에 이온주입을 하거나 단결정 반도체층(124)을 형성하기 위한 에피층(Epitaxial Layer) 성장과정중에 불순물을 넣어 형성시킬 수 있다. 단결정 반도체층(124) 위에 금속층(121)이 형성되며 이 금속층 위에 중간접합층(120)으로 사용되는 금속층이 형성된다. 여기에서 SOI기판(190)은 단결정 반도체기판으로, FLD를 구성하는 단결정 반도체층(124)의 형성을 위한 기재 역할을 한다. SOI 기판은 실리콘(Si), 게르마늄(Ge) 등의 단일물질 반도체나 혹은 SiGe, GaAs, GaP, GaN, InP등의 다양한 화합물 반도체가 될 수 있다. 또는 이 SOI 기판은 단일물질이나 화합물 반도체가 같이 접합된 단결정 반도체가 될 수도 있다. SOI 기판도 기판접합 이전에 표면 미세불균일을 없애기 위하여 낮은 온도에서 중간접합층(120)의 흘러내림(Reflow)이 우수한 것이 좋다.

<65> 여기에서 SOI 기판(190)은 원하는 두께 만큼의 깊이에 SmartCutTM (USP5,882,987)이나 ELTRANTM 기술 (USP5,371,037)을 이용한 다공층 (porous layer)이나 SiGenTM기술을 이용한 변형층(Strained layer) 등의 형태를 가진 분리층(191)을 가질 수 있다. 분리층(191)은 반도체 결정구조에 있어서 결함이 많은 영역이며 절연층과의 접합 이후에 FLD가 형성되는 단결정 반도체층(124)을 제외한 SOI 기판(190)을 분리하는 경계선이 된다.

<66> 도4c는 도4a의 절연층(153)과 도4b의 SOI 기판(190)을 접합한 후의 도면이다. 도4b에서 보았던 SOI 기판(190)이 뒤집어진 상태로 도4a의 절연층(153) 위에 접합되었음을 볼 수 있다. 접합시에도 접합면 사이의 공간(Void)을 없에고 접합 강도를 증가시키기 위해서 압력을 주어 밀착하면서 열처리를 할 수 있다. 이렇게, 낮은 온도에서 녹는 금속을 중간접합층으로 사용한 접합 이외에도, SOI기판의 접합에는 중간접합층(Intermediate-Layer Bond)으로 금(Au)을 사용한 유텍틱(eutectic) 접합이나 부드러운 금속박막(soft metal thin film)을 이용한 열압착(thermocompress) 접합이 사용될 수 있다. 또는 절연막을 가진 기판표면 끼리의 접합이 될 수도 있다. 중간접합층(120)을 포함한 접합에 사용된 금속층(121)들은 FLD의 하부전극으로 사용될 수 있다.

<67> 도4d에서는 절연층(153)에 FLD가 형성되는 SOI층(124) 만을 남기고 SOI기판(190)은 분리되며, 전부 혹은 일부의 FLD사이에 격리 구조(135)가 설치된다. SOI기판의 분리는 분리층(도4c의 191)을 경계선으로 사용하며, 고속 워터젯(Water Jet)이 SOI기판(190)의 분리에 쓰일 수 있다. 분리층(191)을 이용하지 않고 BESOI (Bond and Etch-back SOI) 방법(USP5,013,681)으로 FLD가 형성되는 SOI층(124)만 남기고 나머지 SOI기판(190)을 갈거나(polishing) 식각(etching)하여 제거할 수 있다. 또는 매개 역할을 하는 기판(Handling Substrate, 매개기판)을 사용하여, SOI기판을 매개기판과 접하고, SOI기판으로부터 SOI층을 분리하여 매개기판으로 전달한 후에, 다시 매개기판으로부터 SOI층을 절연층으로 전달할 수 있다. 여기에서의 매개기판은 베이스기판과 같은 종류의 기판이 될 수 있다. 또는 매개기판은 진공(Vacuum)을 이용하여 단결정 반도체층을 일시적으로 진공흡착하여 SOI기판으로부터 전달받고, 절연층으로 전달시에는 진공흡착을 제거하여 쉽고 자연스러운 전달이 가능하게 할 수도 있다. SOI기판과의 진공흡착면에는 단결정 반도체 표면을 보호하기 위하여 두꺼운 절연층을 갖는 것이 좋다. 여기에서의 매개기판의 역할

은 SOI기판을 절연층에 직접 접하고, SOI층만을 남기고 나머지 SOI기판이 절연층으로부터 분리될 때에, 절연층에 발생할 수 있는 손상(Damage)을 최소화하기 위함이다. 또는 USP6355501에서와 같이 폴리마이드(Polymide)를 사용하여 SOI기판을 매개기판과 접할 수 있다. SOI기판의 분리후에는 CMP(Chemical-Mechanical Polishing)를 사용하여 전달된 단결정 반도체 표면의 불균일을 줄일 수 있다.

<68> 단결정 반도체층(SOI 층)이 형성된 후에는 개별적인 FLD를 형성하기 위한 격리구조(135)를 설치한다. 격리구조(135)의 설치에는 SOI 층을 식각하는 트렌치(Trench) 기술이 쓰인다. 또한 이때에 칩 절단(Die Saw)을 용이하게 하기 위하여 반도체칩 사이에 존재하는 절단선(Scribeline) 위의 SOI층도 트렌치로 식각한다. 격리구조(135)의 형성시에 FLD 하부전극(121)은 자동적으로 형성된다. 하부전극(121)의 형성 방법은 도7a-7c에서 설명이 된다. 격리구조(135) 형성시에 FLD 아래에 있는 연결선(131)과 격리구조(135)의 정렬은, SOI기판에 의해 FLD를 형성하는 단결정 반도체층이 전달된 후에 베이스기판(180) 위의 사진정렬마크가 형성된 부분을 덮은 SOI층을 식각하여 베이스기판(180) 위의 사진정렬마크를 노출시키고, 노출된 사진정렬마크를 이용하여 정렬한다. 전류가 수직방향으로 흐르는 수직형태의

FLD의 경우에는 격리구조 안에 중간전극을 가질 수 있다. 상부전극과 전극을 배선과 연결시키는 콘택트, 그리고 FLD의 위에 형성되는 배선과 연결선은 일반적으로 쓰이는 반도체 공정에 따른다. 이러한 방법으로 FLD를 여러 층으로 쌓아 올라 가면서 IC의 집적도를 높일 수 있다. 따라서, 본 발명은 단결정 반도체층을 가진 SOI기판과 이미 배선과 연결선이 형성된 층간절연층과의 접합시에 기판정렬을 위한 정렬마크나 요철형태를 갖는 정렬구조가 필요하지 않다. 본 발명은 일반적으로 반도체 공정에서 요구되는 사진공정을 위한 사진정렬마크만을 이용하여 제작이 가능하다. 격리구조는 절연물질과 중간전극 등으로 채워진다. 격리구조에 형성되는 절연층과 중간전극의 형성 방법은 도8a-8d에서 설명이된다. 도4d이후로는 일반적으로 쓰이는 반도체 공정에 따라서 층간절연층, 배선과 연결선을 형성하고 베이스 기판을 분리하면 도3의 구조가 된다.

<69> 도4b에서는 SOI기판(190)의 윗부분인 n+층이 금속층(121)과 직접 접한 형태를 갖는다. 하지만 SOI기판(190)의 윗부분과 금속층인 하부전극(121) 사이에 또 다른 절연층(189)이 형성되어 절연층(153)에 연결될 수 있다(도5a). 이 경우에는 도5a에서와 같이 하부전극(121)이 절연층(189)을 갖는 게이트 전극으로 이용될 수 있다. 혹은 또다른 하부전극(121c)을 사용하여 FLD의 하부와 직접 접촉하는 전극을 형성할 수도 있다.

<70> 본 발명에 있어서 하나의 FLD IC층은 단수 혹은 복수의 SOI층으로 구성될 수 있다. 도1과 3에서 보여준 FLD IC층은 단수의 SOI층으로 구성된 경우이다. 도5b에서는 복수의 SOI층(124, 128)으로 이루어진 하나의 FLD IC층(105)을 보여준다. 상

기 FLD IC층(105)은 FLD가 형성되기 전의 모습을 보여주고 있다. 도5b에 나와 있듯이 하나의 SOI층(124)과 다른 하나의 SOI층(128) 사이에는 연결선이 존재하지 않는다. 만약에 복수의 SOI층 사이에 연결선이 존재한다면 도2에서와 같이 하나의 FLD IC층(101)과 다른 하나의 FLD IC층(102)으로 구별된다. 복수의SOI층은, 하나의 SOI층(124)이 접합에 의하여 절연층(153)에 전달된 후에 같은 방법으로 또다른 SOI층(128)을 연속적으로 형성함으로써 구성된다. 도5b에서는 복수의 SOI층(124, 128) 사이에 절연막(138)을 갖고 있으며 이러한 절연막(138)으로 복수의 SOI층(124, 128)이 전기적으로 분리가 된다. 이러한 복수의 SOI층(124, 128)은 하나의 FLD IC(105)층에 전기적으로 분리된 여러 다른 형태의 디바이스를 형성할 수 있도록 한다. 예를 들어 3개의 다른 SOI층으로 구성된 하나의 FLD IC층에 있어서 하나의 SOI층은 n-MOSFET로, 다른 하나의 SOI층은 p-MOSFET로, 또다른 하나의 층은 메모리 디바이스가 될 수 있다.

<71> FLD는 일반적으로 쓰이는 반도체 디바이스로 MOSFET, 바이폴라, 다이오드, 커패시터, 저항 등의 형태이거나, CCD(Charge-Coupled Device)나 APS(Active Pixel Sensor)같은 영상센서 소자나, 혹은 MEMS(Microelectromechanical System)가 될 수 있다. FLD는 일반적으로 원기둥(도13a)이나 사각기둥(도13b), 혹은 여러개의 각(Angle)을 가진 기둥(Pillar) 혹은 속이 비어있는 원기둥과 같은 형태를 가질 수 있다. FLD 의 폭이 좁아들어서 높이에 비하여 상당이 작은 값을 가지면 물리적으로 FLD를 지탱하는 바닥이 약해져서 FLD가 기울거나 아래에 있는 절연층으로부터 떨어져 나갈 수도 있다. 이러한 경우를 방지하기 위하여 FLD의 모양을 수직방향으로 위는 좁고 아래는 넓은 사다리꼴(Trapezoidal) 형태로 만들 수도 있다.

<72> 본 발명에 있어서 FLD를 형성하는 디바이스는 제작 공정에서 사용되는 온도에 따라서 고온(High Temperature, HT) 디바이스와 저온(Low Temperture, LT) 디바이스로 구분된다. 또한 디바이스의 동작방향에 따라서 수직(Vertical, V) 디바이스와 수평(Horizontal, H) 디바이스로

구분된다. 여기에서의 "수직" 또는 "수평"이 의미하는 바는 디바이스의 동작에 필요한 주된 전류의 흐름이 각각 "수직" 또는 "수평" 방향임을 의미한다.

<73> FLD를 형성하는 공정은 800℃ 이상의 고온과 650℃ 이하의 저온에서 사용 가능한 경우로 구분될 수 있다. 본 발명에서는 고온에서 제작 가능한 디바이스를 HT-FLD로, 저온에서 제작 가능한 디바이스를 LT-FLD혹은 간단히 FLD라 하기로 한다. 왜냐하면 본 발명의 주된 발명의 형태는 낮은 온도에서 제작되는 3차원 IC이기 때문이다. HT-FLD는 일반적인 디바이스 공정과 마찬가지로 이온주입과 주입된 이온의 활성화를 위한 열처리가 가능하며, HT-FLD를 일반적으로 반도체에 쓰이는 수평이나 수직 형태의 모든 디바이스로 제작이 가능하다. HT-FLD를 구성하기 위해서는 도4a~d에 나와있는 절연층(153) 내의 배선(132)이나 연결선(131)을 높은 온도에서도 녹지 않는 탄탈룸(Tantalum), 몰리브덴(Molybdenum), 텅스텐(Tungsten)과 같은 내열성금속(Refractory Metal)이나 구리(Copper)로 구성하여야 한다. 또한 베이스기판(180)도 800℃ 이상의 높은 온도에서 견디는 물질이어야 한다.

<74> 본 발명에서는 LT-FLD(혹은 FLD)의 경우에, 동작에 필요한 불순물층들이 디바이스 패턴을 갖지 않는 SOI기판에 이미 형성되어 절연층으로 전달되기 때문에 FLD의 제작시에 따로 이온주입과 고온열처리, 그리고 이온 주입을 위한 사진공정 등을 필요로 하지 않는다. 만약 FLD의 제작시에 고온 열처리를 한다면, 다른 층에 이미 형성된 디바이스의 특성을 변화시킬 수 있다. 이러한 변화를 예측하여 모든 다른 디바이스의 제작 공정을 조절하려면 많은 어려움이 발생한다. 따라서 본 발명은 기존에 있는 공정의 변경없이 디바이스가 이미 형성된 베이스 반도체기판과 함께 3차원 IC를 형성할 수 있으며, 이온주입과 이온주입에 사용되는 사진공정용 마스크를 생략하므로 일반적인 반도체 공정보다 저렴한 제작이 가능하다. 또한 고온 열처리가 없으면 내열성금속이나 구리와 함께 집적회로 반도체에서 가장 일반적으로 쓰이는 알루미늄과 같이

녹는 온도가 낮은 반도체 재료도 사용이 가능하다. 또한 LT-FLD는 금속으로 된 게이트의 사용이 가능하고, 높은 유전상수를 갖는 게이트절연물질의 사용이 선행기술에 비하여 용이하다.

<75> LT-FLD로 구성이 가능한 디바이스는 수직형태를 가진 VFLD(Vertical FLD)가 일반적이다. 왜냐하면 단결정 SOI반도체층 안에 이미 수직방향으로 접합형태를 갖는 불순물이 존재하고, 하부전극의 형성이 용이하기 때문이다. 하지만 낮은 온도에서도 이온주입 없이 수평으로 동작하는 HFLD(Horizontal FLD)의 제작이 가능하다. MESFET, MOSFET, 다이오드, 혹은 수평 바이폴라 트랜지스터 등의 HFLD 제작이 가능하다. 도6a에서와 같이 사진공정에 쓰이는 PR(Photoresist)이나 하드마스크(Hard Mask)같은 식각마스크(171)를 사용하여 단결정반도체의 일부를 식각하면 도6b와 같은 구조가 만들어진다. 도6b는 게이트(172)가 쇼트키 다이오드를 형성하는 금속접합으로 된 MESFET의 구조를 가진 HFLD를 나타낸다. 혹은 HFLD 바닥의 하부전극(121)이 게이트로 사용될 수도 있다. 도6b는 도2에서 113으로 표시된 FLD를 나타내는 것이다. 도6b에서 만약 게이트(172) 아래에 게이트 절연층을 가지면 MOSFET가 된다. 혹은 도6b에서 게이트가 옴(Ohmic) 접촉을 가지고, n영역이 p영역으로 바뀌면 수평동작의 바이폴라가 된다. 상기 수평동작 바이폴라에서 n+ 영역이 음극으로 사용되고 p 영역의 전극(172)이 양극으로 사용되면 수평동작하는 다이오드가 된다. 또한 게이트의 사용없이 n 영역으로 저항을 구성할 수 있다.

<76> VFLD(혹은 LT-VFLD)는 MESFET, MOSFET, 다이오드, 커패시터, 저항, 바이폴라, 싸이리스터(Thryster)등의 디바이스가 될 수 있으며, 혹은 하나의 디바이스가 아닌, 회로를 구성할 수 있는 여러 다른 종류의 FLD가 수직방향으로 배선없이 연결된 형태가 될 수도 있다. VFLD는 수평형태의 디바이스가 최적화된 베이스 반도체기판과 연결선으로 연결되어 수직방향으로 최적화된 디바이스를 만들어 성능과 가격이 최적화된 SoC를 만들 수 있다.

<77> 도1에 나와 있는 선행기술에 쓰이는 수직형태의 디바이스(212)와는 달리 본 발명에서의 VFLD는 전극과 콘택트, 그리고 배선의 형성과 연결이 쉽고 자유스럽다. 여기에서 "전극"의 의미는 디바이스와 직접적으로 접촉하거나 혹은 절연체를 사이에 둔 게이트 등으로서, 디바이스 동작에 직접적으로 전기적으로 연결되는 부분을 의미하며, "콘택트"는 전극과 배선을 연결하기 위하여 절연층을 수직으로 식각하여 형성된 부분을 의미한다. USP5414288, USP6027975, USP6337247, USP6449186 등에서 보여지듯이 선행기술인 수직형태의 디바이스에서는 아래에 있는 쏘스/드레인으로 쓰이는 불순물 영역을 콘택트와 연결하기 위해서 이 불순물영역이 수평으로 연장되어 콘택트가 다른 콘택트들과의 거리를 두고 형성될 수 있는 충분한 영역을 제공해야 한다. 따라서 선행기술에서는 바닥으로부터 연결된 쏘스/드레인전극의 저항과 기생 커패시터가 증가하게 된다. 도2에서와 같이 본 발명에 따른 FLD(111)를 연결하는 전극들은 하나의 FLD(111)의 위(122)와 아래(121)에 형성될 수 있으며, VFLD의 경우에 VFLD의 중간 영역에 형성되는 전극(123)도 FLD IC층의 위와 아래에 위치한 배선들과 연결이 가능하다. 또한 전극은 국부연결배선(Local Interconnection)으로 쓰일 수도 있다. 이러한 개별 디바이스의 3차원에서의 자유스러운 연결은 기존 선행기술에서는 불가능하다.

<78> 본 발명에 있어서 FLD의 아래 부분은 기판의 접합에 사용된 금속층(121)과 접하여 있고, 층간 절연층(151)에 형성된 연결선(131)에 바로 연결될 수 있으므로, FLD의 아래 부분은 이미 전극과 콘택트가 연결되어 있는 상태가 된다. 본 발명에 따른 FLD(111)에 있어서 하부전극(121)이 FLD(111)의 밑에 형성된 절연층(151) 안의 연결선(131)과 연결되기 위해서는 FLD와 연결선(131)이 서로 정렬이 되어야 한다. 여기에서의 정렬은 반도체 공정에서 사용되는 사진정렬 마크(미도시)에 의해서 이루어진다. 하지만 사진공정에서의 정렬은 허용오차를 가지며 이러한 허용오차 범위안에서 FLD의 아래에 형성된 전극(121)과 절연층(151) 안의 연결선(131)과 정렬이

되어야 한다. 일반적으로 복수의 절연층과 복수의 연결선을 갖는 반도체는 서로 다른 절연층에 있는 연결선(131)들을 연결하기 위하여, 도2에 나와 있듯이 각 절연층 사이의 배선(132)의 일부분을 연결선보다 넓게 사용하여 사진/식각공정의 허용오차 범위 내에서 서로 연결될 수 있도록 하며, 이러한 연결선(131) 사이의 배선(132)의 형성은 사진 마스크(Mask)를 이용한 사진과 식각 공정이 필요하다.

<79> 본 발명에서는 도7a 및 도7b에서와 같이 FLD의 아래부분(124z)과 상기 아래부분(124z)과 연결되는 연결선(131)과의 정렬에 사용되는 배선(121)의 형성에 사진 마스크와 사진공정을 필요로 하지않는 자동정렬(Auto Align) 기술을 사용한다. SOI 기판의 접합에 사용되었던 금속층(131)의 일부분은 FLD의 아래부분(124z)의 연장선(Extension)으로 사용되고 상기 금속층(131)의 다른 일부분은 배선역할을 하는 부분으로 사용된다. 본 발명에서는 상기 금속층(121)을 하부전극이라 한다. 도7a에서와 같이 식각 마스크(173)를 이용하여 점선(149)으로 표시된 부분을 식각한다. 도7b에서는 스페이서로 형성된 식각마스크(182)를 보여준다. 여기에서의 식각마스크(182)를 사용하여 도7c에 보여지는 것과 같이 FLD 아래에 연결선(131)보다 넓은 배선(121)이 형성된다. 상기 배선(121)의 넓이는 식각마스크(182)를 FLD의 높이 이상으로 두껍게 도포한 후에 건식식각으로 형성할 경우에는 FLD높이의 대략 두 배 이상이 되는 넓이를 형성할 수 있다. 배선(121)의 넓이는 하드마스크의 두께와 FLD 높이, FLD간격, 그리고 스페이서(182)를 형성하는 식각의 정도에 따라 달라진다. 만약 FLD의 넓이가 사진공정의 허용오차 범위보다 크면 배선(121)의 형성없이 하부전극을 형성할 수 있다.

<80> 본 발명에서 VFLD의 중간전극은 다음과 같은 방법으로 형성할 수 있다(도8a~d 참조). 첫번째는 평탄화 전극의 형성이다. 평탄화 중간전극(123)의 형성은 먼저 전극을 형성하는 물질을 도포한 후에 CMP(Chemical-Mechanical Polishing)와 같은 방법으로 전극물질을 평탄화하고, 건식식각

(Dry Etching)을 하면 도8a에서와 같은 평탄화 중간전극(123)을 만들 수 있다. 이때 전극의 패턴을 형성하는 사진공정은 상기 건식식각 전이나 후에 사용할 수 있다. 이때 도포되는 전극물질의 두께는 일반적으로 VFLD의 높이보다 높다. 또한 이때 VFLD의 위에는 건식식각으로부터 VFLD가 형성되는 SOI층(124)의 손상(Damage)을 방지하기 위한 식각정지층(Etch Stop Layer)이 필요하다. 식각정지층은 일반적으로 복수의 산화막이나 질화막 또는 금속층으로 구성된다. 도8a에서 FLD의 격리구조(135)를 채우는 절연층(133a)은 평탄화 중간전극과 같은 방법으로 두껍게 도포된 후에 평탄화를 거쳐 건식식각으로 또다른 층간절연층(133) 위에 형성되며, 하부전극(121)과 평탄화된 중간전극(123) 사이의 기생저항의 크기를 작게 한다.

<81> 두번째는 도8b에서와 같이 스페이서(123)를 이용한 방법이다. 중간전극을 형성하는 스페이서의 넓이가 크면 중간전극에 연결되는 콘택트의 형성이 쉽지만 높은 집적도를 구현하기 힘들고, 스페이서가 얇으면 콘택트의 형성이 어렵다. 스페이서를 이용한 전극의 형성은 사진공정이나 CMP를 사용하지 않는 장점이 있다.

<82> 세번째는 디바이스로 동작하지 않는 더미(dummy) FLD(124a)를 이용한 스페이서 방법이다. 도8c에서 나와있듯이 더미FLD(124a)는 디바이스로 사용되는 FLD와 가까이 위치하여 중간전극(123)이 형성되는 스페이서의 면적을 증가시키며, 중간전극(123)과 연결되는 콘택트(123a)가 더미FLD(124a)에 걸쳐 있어도 되므로 콘택트 형성의 마진을 증가시킨다. 도8c에서와 같이 디바이스로 사용되는 FLD와 더미FLD(124a) 사이의 거리는 스페이서(183) 두께의 두배보다 작아야 한다.

<83> 네번째로 도8d에서와 같이 얇은 스페이서를 이용하면서 FLD의 위로

중간전극(123)을 연장시키는 방법이다. 중간전극물질을 도포한 후에 사진공정으로 중간전극에 콘택트(123a)가 형성되는 부분을 가리고 나머지 부분을 건식식각하면 도8d와 같은 모양이 된다. 이 방법은 스페이서의 두께가 작아도 콘택트의 형성에 문제가 없으며, 중간전극과 상부전극간에 기생 커패시터을 줄이기 위하여 상부전극위에 두터운 절연층이 필요할 수도 있다.

<84> 중간전극은 VFLD의 중간영역을 완전히 둘러싸거나 혹은 일부분에만 중간전극이 형성될 수 있다. 또한 중간전극은 하나의 FLD에 복수로 나누어져 형성될 수도 있다.

<85> FLD에서 상부전극(122)은 도7a에서와 같이 SOI층이 SOI기판으로부터 절연층에 전달된 후에 전극물질(122)을 SOI층위에 도포하고 FLD가 형성되는 부분을 남기는 식각을 함으로써 자연스럽게 도7b에서와 같이 형성될 수 있다. 도8d에서와 같이 FLD의 상부전극(122)을 연결하는 콘택트(122a)는 FLD의 넓이가 넓을 경우에는 일반적으로 쓰이는 반도체 공정과 같은 사진/식각기술을 사용할 수 있다. 하지만 FLD의 넓이가 콘택트(122a)의 형성시에 사용되는 사진공정에서의 정렬오차범위보다 작거나 혹은 콘택트(122a)의 크기가 FLD를 구성하는 SOI(124)의 면적보다 넓으면, 상부전극을 연결하는 콘택트(122a)의 형성을 위한 사진/식각 공정에서 중간전극(123)과의 접촉고장을 일으킬 수 있다. 따라서 본 발명은 FLD의 상부전극을 연결하는 콘택트(122a)의 형성시에 사진/식각 공정에서의 허용오차 범위를 증가시키는 몇가지의 다른 구조를 갖는다. 첫번째는 상부전극(122)을 형성하는 전극물질의 높이를 증가시켜서 콘택트 식각마진을 증가시키는 것이다. 두번째는 도9a에서와 같이 평탄화 기술로 만든 식각정지층(184)을 이용한 방법이다. 세번째는 도9b에서와 같이 스페이서 형성기술로 만든 식각정지층(184)을 이용한 방법이다. 여기에서의 식각정지층(184)은 콘택트(122a) 형성시에 식각이 되는 절연층(133c)과 비교하여 식각속도가 낮은 물질이어야 한다. 예를 들어서 절연층(133c)이 산화막이면 식각정지층(184)이 질화막이 될 수 있다.

<86> 본 발명에서는 낮은 온도에서 형성되며 수직으로 동작하는 여러 다른 형태의 VFLD를 다음과 같이 표기한다: MOSFET(VMFLD), MESFET(VMEFLD), 다이오드(VDFLD), 저항(VRFLD), 커패시터(VCFLD), 바이폴라(VBFLD), 싸이리스터(VTFLD).

<87> 본 발명에 따른 VDFLD를 도10a에서와 같이 수직으로 된 p-n이나 p-i-n 등의 접합 다이오드로 구성할 수 있다. 또한 도10b에서와 같이 수직으로 된 쇼트키 다이오드를 구성하며, 금속으로 된 상부전극(122)과 SOI(124)의 접합부분에서 쇼트키를 형성한다. 혹은 도10c에서와 같이 금속으로 된 중간전극(123)을 쇼트키로 이용한 3차원 구조의 쇼트키 다이오드가 될 수 있다. 중간전극(123)을 이용한 쇼트키 형태의 VDFLD는 전류의 흐름이 양극(Anode)인 중간전극(123)을 통하여 상부전극(122)과 하부전극(121)의 음극(Cathode)으로 흐르므로, 도10b에서의 쇼트키 다이오드와 비교하여 2배의 전류구동 능력을 갖는다.

<88> 본 발명에 따른 VCFLD는 2가지로 구분된다. 하나는 VCFLD를 구성하는 단결정 반도체 안에 형성되는 공핍층을 이용한 MOS 커패시터 형태의 VCFLD와, 공핍층의 형성없이 절연층 사이에서 전하를 저장하는, 절연층을 이용한 VCFLD로 구분할 수 있다. 만약에 반도체의 도핑이 낮으면 반도체안에 공핍영역이 형성되고, 반대로 반도체의 도핑이 높으면 반도체안에 공핍영역이 형성되지 않고, 절연층을 이용한 VCFLD가 된다. 본 발명에 따른 VCFLD의 예는 도11a, b에 나와 있다. 도11a에는 n 형으로 도핑(Doping)된 단결정 반도체(124)를 감싸는 게이트 절연층(183)이 있고, 게이트 절연층(183)을 감싸는 게이트전극(123b)과 n 형으로 도핑된 단결정 반도체를 연결하는 전극(121)이 각각 존재한다. 이 경우는 MOS커패시터 형태이다. VCFLD에서 게이트(123b)는 반도체 영역(124)의 일부분에 한정되어 형성될 수도 있다. 일반적으로 커패시터의 용량은 전극의 면적에 비례하므로 반도체(124)를 둘러서 감싸는 게이트(123b)는 VCFLD의 용량을 증가시킨다.

만약 게이트 절연층이 없이 금속으로 된 게이트가 반도체와 직접 만나서 쇼트키 다이오드를 형성하여도 다이오드의 역전압을 이용한 커패시터로 사용이 가능하다.

<89> 본 발명에 따른 VCFLD에 있어서 반도체의 구성을 기둥형태로 하면 반도체와 게이트의 접촉면적을 증가시켜서 커패시터의 용량을 증가시킬 수 있다. 또는 도11b에서 보여주듯이 하나의 VCFLD 위에 또다른 게이트(123b, 123c)와 또다른 게이트 절연층(183)을 반복적으로 쌓아올려서 여러 절연층으로 구성된 커패시터를 형성하고, 이렇게 쌓아올린 커패시터와 VCFLD를 병렬연결하면 커패시터의 용량를 증가시킬 수 있다. 이러한 커패시터의 구성은 DRAM에 쓰이는 적층 (Stacking) 커패시터의 구조와 같다. 도11b에서 콘택트(121a)는 적층 커패시터를 연결하는 게이트(123c)와 VCFLD의 하부전극(121)을 연결하는 역할을한다.

<90> 바이폴라 형태의 VBFLD가 도12에 나와있다. VBFLD에서 콜렉터(124d, 124c), 베이스(124b)와 에미터(124a)를 구성하는 불순물층은 SOI기판에서 형성된 후에 전달되며, 에미터(124a)와 콜렉터(124d)에 형성되는 전극은 VBFLD의 아래(121)와 위(122)에 그리고 베이스(124b)의 전극(123)은 중간에 형성된다. 에미터(124a)의 형성은 VBFLD의 위 혹은 아래쪽의 어느 한 곳에 형성될 수 있으나 본 발명에서는 아래쪽에 형성되어 있다. 이 경우, VBFLD를 형성하는 단결정 반도체(124a-124d)가 SOI기판으로부터 전달되기 이전에는 에미터(124a)가 SOI기판의 위쪽에 형성되며, 이 경우에 에미터(124a)와 베이스(124b) 영역의 형성에 있어서 좀더 정교한 깊이 조절을 할 수 있으며, SiGe로 베이스가 형성된 헤테로정션(Heterojunction)도 가능하고, 다결정 반도체를 에미터의 일부분으로 사용하는 에미터를 형성시킬 수도 있다. 또한 에미터(124a)가 VBFLD의 아래쪽에 위치함으로 인하여 단결정 반도체층이 SOI기판으로부터 전달된 후에 실시하는 단결정 반도체 표면 평탄화 공정으로부터 발생할 수 있는 반도체 두께의 변화로부터 에미터 영역

을 멀리 할 수 있다. 만약에 매개기판을 사용하여 단결정 반도체층이 전달될 경우에는 에미터가 FLD의 위쪽에 있게 된다.

<91> 본 발명으로 형성되는 VBFLD는 콜렉터의 직렬저항을 낮추기 위해 선행기술에서 이용되는 고농도의 매립층(Buried Layer)이나 콜렉터 콘택트영역과 매립층을 연결하는 고농도 불순물 주입 등이 필요하지 않으며, 선행기술로 제작된 바이폴라 디바이스에 비하여 낮은 콜렉터 직렬저항을 갖는다. 또한 VBFLD의 중간에 형성되는 중간전극(123)인 써라운딩(Surrounding) 베이스 전극을 이용하면 베이스 전극과 베이스영역이 만나는 면적이 증가하여 고농도의 진성(Extrinsic) 베이스 영역의 형성없이도 베이스의 저항을 낮출 수 있다. 또한 본 발명으로 구성된 VBFLD는 선행기술에 존재하는 바이폴라 디바이스의 고속동작을 방해하는 여러 기생 커패시터를 최소화할 수 있으며, 본 발명에서 VBFLD에는 기판이 없기때문에, 선행기술에서 나타나는 베이스-콜렉터-기판으로 구성되는 기생 바이폴라의 형성이 본 발명에서는 존재하지 않는다. 본 발명으로 구성된 VBFLD는 선행기술에서 요구되는 깊은 식각격리(deep Trench)나 낮은 식각격리(Shallow Trench)와 같은 여러 다른 종류의 격리구조를 하나의 격리구조(135)로 단순화시킬 수 있다. 도11에서 베이스를 연결하는 중간전극(123)이 낮은 농도의 콜렉터(124c)와 같이 연결되면 베이스(124b)와 콜렉터(124c)사이에 쇼트키다이오드가 형성되어 VBFLD의 고속 동작을 가능케 한다.

<92> MOSFET형태를 갖는 VMFLD는 도8a-8d와 9a-9b에 도시되어 있다. 수직형태의 MOSFET은 기존에 널리 쓰이는 수평 형태에 비하여 적은 면적에 많은 디바이스를 형성하여 집적 밀도(integration density)를 높일 수 있는 장점과 MOSFET 디바이스의 경우 채널의 길이가 사진이나 식각기술에 제한을 받지 않는다는 장점, 그리고 같은 채널 길이(Channel Length, L)를 갖는 수평 형태의 MOSFET보다 채널폭(Channel Width)을 증가시킬 수 있어서 많은 전류를 구동시킬 수 있다는 장점이 있다.

<93> 하지만 선행기술에 쓰인 수직 형태를 가진MOSFET(Vertical Transistor, VT)은 다음에 열거된 여러 가지 단점들로 인해서 많이 사용되지 않는다. USP5414288과 USP6027975등에 쓰인 수직 형태의 MOSFET은 국부적으로 노출된 단결정 영역에 단결정 에피(Epitaxial) 성장시켜서 채널 영역을 구성하는 기술이며 이 기술은 제작 기술이 어렵고 복잡하며 에피 성장에 높은 열을 요구하므로 낮은 온도를 요구하는 반도체 제작방법에는 적합하지 않다.

<94> USP6337247과 USP6449186 등에 쓰인 기둥 형태를 가진 SGT(Surrounding Gate Transistor)는 기능이 최적화된 기존의 수평 형태의 디바이스와 공존하기 어렵고, 이온주입을 통한 불순물 주입시에 수직으로 서있는 기둥형태의 트랜지스터로 인하여 그늘효과(Shadow Effect)를 발생시킬 수 있다. 또한 SGT는 쏘스/드레인 영역과 게이트의 전극 형성에 어려움이 있기 때문에, 수평형태의 디바이스에 비해서 높은 집적도를 구현하기 힘들다. 또한 최적화된 기존의 수평 형태의 디바이스와 공존하기 어렵기 때문에, 선행기술인 위의 두 발명 형태 모두가 SoC(System on Chip)을 구성하기에 적합한 기술이 아니다.

<95> 본 발명에서의 VMFLD는 하부전극(121)이 바로 쏘스/드레인에 접하여 기생저항에 의한 전압강하나 전류감소를 줄일 수 있다. 또한 VMFLD는 선행기술과 마찬가지로 완전공핍(Full Depletion)이나 부분공핍(Partial Depletion)이 되는 VMFLD를 FLD를 형성하는VMFLD의 폭에 따라 자유롭게 조절할 수 있다. 여기에서 완전공핍과 부분공핍을 결정하는 VMFLD의 폭은 동작전압, 게이트의 유전상수에 의존한다. 이러한 두 가지의 다른 공핍에서의 동작은 수평으로 동작하는 SOI 디바이스에서는 구현하기 매우 어려운 기술이다. SOI기판으로부터 분리되는 단결정 반도체층의 표면이, VMFLD의 고농도 쏘스나 혹은 드레인 영역이 되므로, 비록 표면에 작은 결함이 있어도 수평형태의 디바이스와 달리 게이트 절연층의 품질(Quality)에 영향을 주지 않으며 디바이스의 동작이나 수율(Yield)에 미치는 영향이 적다.

<96> 본 발명에 따른 VMFLD는 채널이 형성되는 영역에 불순물이 불균일하게 분포하여, 채널 영역에서 전류가 흐르는 방향으로 전장(Electric field)의 기울기가 생겨서 전류의 흐름을 돕고, 또한 미세채널효과(Short Channel Effect, SEC)를 줄이는 형태의 구조를 가질 수 있다. 여기에서의 불순물의 불균일한 분포는 SOI기판에서 이온주입이나 에피성장시에 자연스럽게 형성된다. 쏘스로부터 드레인쪽으로 채널(Channel)이 형성되는 영역의 농도가 증가하는 이러한 불균일한 분포는 VMFLD를 비대칭동작하게 만든다. 또한 쏘스에는 낮은 농도의 불순물층인 LDD(Light Doped Drain)가 없고 드레인에만 LDD가있는 불균일 불순물구조도 만들 수 있다. 선행기술에 있어서 수평으로 동작하는 MOSFET에서 이러한 불균일한 불순물 분포를 만들려면 기울기(Tilt)가 큰 이온주입을 포함한 공정과 디바이스 배치에서의 어려움 등으로 인하여 쉽게 구현할 수 없다

.

<97> VMFLD의 게이트절연층은 USP5330935나 USP5443863에서와 같은 650℃보다 낮은 온도에서 형성할 수 있는 열산화막(Thermal Oxide)이나 도포된 산화막, 또는 산화막과 질화막을 합친 ONO(Oxide-Nitride-Oxide)나 NO(Nitride Oxide), 질소가 첨가된 산화막(Oxynitride) 등 선행기술에서 쓰이는 게이트절연층들 중에서 650℃ 이상의 고온을 사용한 공정을 제외한 거의 모든 게이트 절연 물질을 사용할 수 있다. 본 발명의 또다른 장점은 Al2O3, ZrO2, HfO2, Y2O3, La2O3, Ta2O5, TiO2, BST 등과 같이 절연상수(Dielectric Constant)가 큰 물질을 게이트절연체로 사용하는데 있어서 선행기술보다 유리하다. 선행기술에서는 절연상수가 큰 게이트물질을 도포한 후에 쏘스/드레인의 주입된 불순물을 활성화시키기 위한 고온이 필요하며 이때 절연상수가 큰 물질의 특성이 변화할 수 있다. 하지만 VMFLD의 제작 공정은 높은 온도를 요구하지 않으므로 게이트절연층의 형성 이후에도 절연상수가 큰 물질을 안정적으로 게이트절연층으로 사용할 수 있다.

<98> 본 발명에 따른 VMFLD에 있어서 게이트 절연층의 두께를 바꾸거나, FLD의 두께를 바꾸어서 문턱전압(Threshold Voltage)이 다른VMFLD를 형성할 수 있다. 게이트 절연층의 두께를 달리하거나 유전 상수가 다른 물질을 각기 다른 VMFLD에 사용하면 동작 전압과 문턱전압이 각기 다른 VMFLD를 동시에 형성할 수 있으므로, SoC의 형성에 도움이 된다. 또한 본 발명에서의 VMFLD는 낮은 온도에서 제작되고, 채널 형성부분을 둘러싸는 게이트를 만들 수 있기 때문에, 선행기술에 비하여 금속을 게이트로 쓰기에 적합하다.

<99> 선행기술에 있어서 디지탈 응용에 쓰이는 MOSFET은 전류나 전압의 크기에 따라서 "0"과 "1" 혹은 "off"와 "on"으로 구분되는 두 가지 종류의 다른 값을 갖는다. 본 발명에 따른 VMFLD는 도13a에 나와있는 것처럼 하나의 드레인과 쏘스를 공유하는 수평으로 구분되는 복수의 게이트에 의하여 여러가지 다른 값을 갖는 멀티레벨(Multi-Level, ML) VMFLD를 형성할 수 있다. VMFLD에서 전류크기는 게이트의 넓이에 비례한다. 따라서 단순히 같은 넓이를 갖는 복수의 게이트를 만들어 순차적으로 증가하는 전류를 갖는 VMFLD를 만들거나, 혹은 다른 넓이를 갖는 복수의 게이트를 하나의 VMFLD에 사용하여 다양한 전류값을 갖는 ML-VMFLD를 형성할 수 있다. 도13b는 "W" 크기를 갖는 두개의 게이트와 "3W" 크기를 갖는 두개의 게이트로 구성되는 ML-VMFLD를 보여준다. 여기에서의 "W"는 값을 갖는 일반적인 숫자를 의미하며, "3W"는 "W"의 3배가 되는 값을 의미한다. 도 13b에 나와있는, 이러한 4개의 게이트들의 조합으로 ML-VMFLD는 "0"에서 "8"까지 9가지의 다른 값을 전류로 표시할수있다. 만약 같은 넓이를 갖는 ML-VMFLD로 9개의 다른 값을 가지려면 도13a에서와 같이 8개의 게이트가 필요하다. ML-VMFLD는 메모리나 혹은 디지탈 로직 디바이스의 응용에 쓰일 수 있다. 멀티레벨을 갖는 중간전극은 MOSFET 이외에도 다른 종류의 디바이스에 사용될 수 있다. 바이폴라에서도 베이스에 연결된 복수로 구성된 중간전극으로 멀티레벨을 구성할 수 있다.

<100> 본 발명에 따른 3차원 IC를 구성하는 FLD는 MOSFET나 바이폴라와 같이 단일 형태의 디바이스 뿐만이 아니라, 복수의 단일 디바이스가 하나의 FLD로 결합한 형태를 가질 수도 있다. 도14에서는 본 발명으로 구성된 VFLD 구조의 인버터를 표시하였다. 인버터를 구성하는 p-MOSFET과 n-MOSFET은 각기 다른 웰(well)을 요구하지 않으므로 높은 집적도를 가질 수 있다. p-MOSFET의 게이트전극(123d)과 n-MOSFET의 게이트전극(123e)을 연결하여 인버터의 입력이 되는 콘택트(123f)가 있고, p-MOSFET의 드레인과 n-MOSFET의 드레인을 연결하여 인버터의 출력이 되는 전극(123g)과 콘택트(123h)가 있다. 도14에서의 p+-p-p+로 이루어진p-MOSFET은 공핍모드(Depletion Mode)로 동작하는p-MOSFET이다. 여기에서의p-MOSFET은 p+-n-p+으로도 이루어 질수 있으며, 이경우에는 n영역에 기준전압이 가해져야한다. 도14에서와 같이 본 발명에서의 중간전극을 연결하는 배선은 FLD사이의 격리구조에 존재하는 절연층을 관통하는 콘택트로 인하여 FLD층의 위와 아래로 연결될 수 있다.

<101> FLD를 이용한 인버터의 구성은, 하나의 SOI층만으로 구성된 도14에서와는 달리, 도5b에서와 같이 두개의 SOI층을 이용하여 하나의 SOI층에는n-MOSFET을 다른 하나의 SOI층에는p-MOSFET을 각각 구성하여 하나의 FLD IC층에 하나의 인버터를 구성할 수 있다.

<102> 본 발명에 따른 3차원 IC를 구성하는 복수의 FLD를 이용하여 메모리(Memory) 디바이스를 구성할 수 있다.

<103> 또한 도14에 나와 있는 것과 같은 VFLD 형태의 인버터 두개와 베이스 반도체기판에 있는 두개의 패스(Pass) 트랜지스터를 이용하여, 총6개의 트랜지스터를 이용한 SRAM(Static Ramdom Memory) 셀(Cell)을 구성할 수 있다. 두개의 인버터는 VFLD로 되어 있으며 워드라인(World Line, WL)과 비트라인(Bit Line, BL)을 갖는 2개의 패스(pass) 트랜지스터(161a, 161b)는 베이스 반도체기판 위에 형성된다. 도15a와 도15b는 두개의 FLD 인버터에서 하나의 입력을 다른 하

나의 출력에 연결하고 하나의 출력을 다른 하나의 입력에 연결한 래치(Latch)형태를 각각 위(도15a)에서 및 밑(도15b)에서 콘택트를 배선으로 연결한 그림이다. 하나의 VFLD 인버터의 콘택트들(122a, 123h, 123f, 131)에 대응하는 다른 하나의 VFLD 인버터의 콘택트들(122a, 123h, f, 131)은 밑줄로 구분하여 표시하였다. 따라서 작은 면적에 많은 양의 SRAM 셀을 구성하여 집적도를 증가시킬 수 있는 구조를 가질 수 있다. 특히 베이스 반도체기판은 SRAM 셀을 구성하는 p-MOSFET를 위한 n-well의 형성이 요구되지 않으므로 베이스 반도체기판에서 더욱 높은 집적도를 가질 수 있다. 만약 4개의 패스 트랜지스터를 사용하면 dual-port SRAM를 제작할 수 있다.

<104> 위의 발명형태 이외에도 본 발명에 따른 SRAM 셀의 제작에 있어서는 다양한 방법이 가능하다. 첫번째는 베이스 반도체기판에 4개의 n-MOSFET을 형성하고 2개의 p-MOSFET을 FLD로 형성하는 6개의 트랜지스터를 이용한 SRAM 셀, 두번째는 베이스 반도체기판에 2개의 p-MOSFET을 형성하고 4개의 n-MOSFET을 FLD로 형성하는 6개의 트랜지스터를 이용한 SRAM 셀, 세번째는 2개의 FLD형태의 p-MOSFET을 하나의 FLD층에 형성하고 4개의 FLD형태의 n-MOSFET을 다른 하나의 FLD층에 형성하는 6개의 트랜지스터를 이용한 SRAM 셀, 네번째는 4개의 트랜지스터와 2개의 저항을 이용한 SRAM 셀로 트랜지스터가 베이스 반도체기판에 있거나 혹은 하나의 FLD층에서 FLD로 구성되며, 저항은 다른 하나의 FLD층에서 FLD로 형성되거나 혹은 다결정 반도체로 구성되는 SRAM 셀을 들 수 있다.

<105> 선행기술에서 종래에 싸이리스터를 이용한 SRAM은 하나의 반도체기판 위에 수평 형태의 MOSFET인 엑세스 트랜지스터와 수직형태의 싸이리스터를 동시에 형성하여 제작 공정이 복잡하고 다른 형태의 디바이스와 공유하기 어려운 공정을 사용하므로 SoC에 적합하지 않다. 도16a는 본 발명에 따른 게이트(123j)를 갖는 VTFLD를 이용한 SRAM 셀을 보여준다. 중간전극인 게이트(123j)는

두번째 워드라인(WL2)으로 쓰이며, 상부전극(122)은 기준전압에 연결된다. 본 발명은 VTFLD를 베이스 반도체기판에 놓인 수평형태의 엑세스(Access) 트랜지스터(161c)와 연결하여, 각각의 기능을 최적화하고 집적도를 높이며 SoC의 형성을 용이하게 한다. 여기에서 엑세스 트렌지스터의 게이트는 첫번째 워드라인(WL1)으로 쓰인다. 도16b에서의 또다른 형태의 SRAM셀은 도16a에 나와있는 수직형태의 엑세스 트랜지스터(161c)와 수직 형태의 싸이리스터를 연속적으로 연결하여 수직 형태만을 갖는 VFLD를 이용한 SRAM셀을 보여준다. 싸이리스터의 게이트(123j)와 엑세스(Access) 트랜지스터의 게이트(123i)가 모두 중간전극으로 형성되어 있다. 도 16a에서의 VTFLD는 USP6225165B1나 USP6172899에서와 같이 단독으로 SRAM셀을 구성할 수도 있다.

<106> 본 발명에 따른 하나의 트랜지스터와 하나의 커패시터로 구성되는 DRAM(Dynamic Ramdom Memory) 셀은 DRAM을 구성하는 하나의 트랜지스터가 베이스 반도체기판에 있거나 혹은 FLD IC층에 VMFLD로 구성이 되며, 이 트랜지스터의 플로팅쏘스(floating source)가 다른 FLD IC층에 구성된 하나의 커패시터(VCFLD)와 연결된다. VCFLD의 종류는 도11a-11b에 나와 있다. 또는 복수의 SOI층으로 구성된 하나의 FLD IC층에서 하나의 SOI층에는 트랜지스터를, 다른 하나의 SOI층에는 커패시터를 구성하여 연결하는 구조이다. 또다른 형태의 DRAM은 하나의 FLD IC층을 구성하는 하나의 SOI층에 연속적으로 결합된 하나의 트랜지스터와 하나의 커패시터로 구성되는 DRAM 셀을 구성하는 방법이다. 도17a는 하나의 MOSFET과 하나의 공핍층을 이용한 커패시터가 결합된 구조이다. 상부전극(122)는 비트라인으로 연결되고, 중간전극(123)은 워드라인으로 연결이된다. 도17a에서 공핍영역이 확장되는 플로팅 n+ 쏘스(124e)와 하부전극에 접하는 p 영역(124f)은 커패시터의 용량을 증가시키기 위하여 트랜지스터보다 넓은 폭을 갖는 구조이며, 이러한 넓은 폭의 단결정 반도체 영역도, 추가의 사진 공정 없이 도7a-7c에서와 같은 스페이서 기술로 만들 수 있다. 도17b는 하나의 MOSFET에서 플로팅 쏘스를 이용한 커패시터가 절연층을

이용한 커패시터와 병렬로 연결된 구조이다. 여기에서 플로팅 쏘스를 구성하는 상부의 p 영역은 기준전압에 연결된다(미도시). 도17b에서는 하부전극(121)이 비트라인에 연결되고 중간전극(123)이 워드라인으로 연결된다.

<107> 본 발명에 따른 비휘발성(Non-Volatile) 메모리 디바이스 구조를 갖는 FLD가 도18a-18f에 설명되어 있다. 도18a는 두개의 게이트전극을 이용한 경우이며, 전압이 가해지지 않는 플로팅게이트(floating gate)(123k)는 게이트절연층(183b)을 사이에 두고 p형으로 도핑된 채널영역 전부를 덮고 있으며, 전압이 가해지는 콘트롤게이트(control gate)(123)는 플로팅게이트(123k)와의 사이에 또다른 절연층(183c)을 가지며 플로팅게이트(123k)를 덮고 있다. 도18b에서는 플로팅게이트(123k)가 p형으로 도핑된 채널영역의 일부분에만 형성되고, 나머지 일부분의 채널영역과 플로팅게이트(123k)를 콘트롤게이트(123)가 덮고있는 스플릿게이트(split gate) 형태를 갖는다. 도18c는 3개의 게이트로 구성되며 하나는 플로팅게이트(123k), 다른 하나는 콘트롤게이트(123)이고 나머지 하나는 저장된 데이타를 지우는 이레이즈게이트(erase gate)(323)가 도시되어 있다. 도18d는 플로팅게이트없이 비휘발성 메모리로 쓸 수 있는 디바이스로 게이트절연체(183)가 ONO(Oxide-Nitride-Oxide)로 되어 있으며, 동작하는 방향에 따라서 서로다른 위치(30)에 정보를 수용할 수 있다. 도18e에서는 본 발명에 따른 비휘발성 메모리 디바이스가 플레시(Flash) 메모리로 동작할 수 있도록 p형으로 도핑된 벌크(bulk)영역을 전기적으로 연결하는 콘택트(122c)를 갖는 구조를 보여준다. VMFLD에서 벌크영역의 전기적 연결은 동시에 형성되지 않는 복수의 중간전극을 사용하여 하나는 절연체 없이 한쪽에서 벌크에 연결되고, 다른 전극은 절연체를 가지고 한쪽에서 게이트 전극으로 사용될 수 있다.

<108> 본 발명에 따른 비휘발성 메모리의 또다른 장점은 ML-VMFLD와 마찬가지로 멀티레벨의 정보를 저장할 수 있는 하나의 FLD를 구성할 수 있다. 도18f에 나와있듯

이 하나의 쏘스/드레인으로 구성된 FLD가 8개로 분리된 게이트를 가지면, 하나의 FLD가 8비트로 구성된 메모리가 된다. 도18f에서의 콘택트(122c)는 벌크를 연결하며, 나머지 FLD를 구성하는 SOI영역(124)에 있는 콘택트(122a)는 쏘스/드레인에 연결된다. 도18e에 나와있는 점선으로 표시된 "756" 은 도18e에 나와있는 것처럼 벌크가 FLD의 위로부터 노출되는 경계선을 나타낸다. 나머지 FLD를 구성하는 SOI영역(124)에 접한 콘택트(122a)는 쏘스/드레인에 연결된다. 18a-18c에서 설명되어있는 비휘발성 메모리에서 쏘스와 드레인을 구성하는 불순물의 농도를 각각 다르게하면 ETOXTM에서와 같이 동작방향에 따른 멀티레벨을 가지는 비휘발성 메모리를 구성할수있다.

<109> 본 발명에 따른 FLD를 이용한 모든 메모리 디바이스는 FLD IC층에 리던던시(Redundency)를 가질 수있다.

<110> 본 발명은 도19에 나와 있는 것처럼 FLD를 형성하는 하나의 FLD IC층을 블록(block)으로 분리하여 블록별로 각기 다른 종류의 FLD 디바이스를 형성할 수 있다. 여기에서 각각의 불락은 수십 나노(Nano) 평방미터의 넓이를 갖는다. 도19는 FLD IC를 위에서 본 그림이며 하나의 칩(Chip, 441)은 절단선(Scribeline)으로 구분되어 있다. 예를 들어 하나의 FLD IC층에 4개의 블록(413a-413d)을 만들어서, 하나의 블록은 프로그래밍이 가능한 FPGA로, 다른 하나는 Flash 메모리로, 또 다른 하나의 블록은 바이폴라 그리고 나머지 하나는 SRAM으로 사용할 수 있다. 각각의 블록에서는 디바이스에따라서 다른 형태의 불순물 접합이 요구되며, 이러한 다른 불순물은 낮은 온도에서 형성되는 LT-FLD의 경우에는 단결정 반도체층이 전달되기 전에 SOI기판에서 이미 형성이 되어야 한다. 블록 FLD의 형성은 기판정렬 마크가 형성된 SOI기판과 베이스 기판을 정렬하는 기술이 요구된다. 이때 반도체 공정에서 발생되는 기판정렬 오차를 고려해서 블록간의 기판정렬 오차보정공간(Overlay Error Compensation Area)(412)을 미리 설정하는 것이 좋

다. 여기에서의 기판정렬 오차보정공간(412)의 폭은 수 마이크로미터에서 수백 마이크로미터의 범위를 갖는다.

【발명의 효과】

<111> 이상에서와 같이, 본 발명에 따르면 다음과 같은 효과를 얻을 수 있다.

<112> 본 발명은 3차원으로 연결되어 있는 각각의 FLD들을 지지하기 위한 물리적인 기판이 요구되지 않는다. 또한, 본 발명은 바닥층에 베이스 기판이 없이 연결선과 배선을 갖는 층간 절연층과 함께 하는 FLD만을 이용한 구조를 가질 수 있다.

<113> 본 발명은 전부 혹은 일부의 FLD가 "전기적으로 공유하는 불순물 영역"을 갖지 않으며, 절연물질로 전부 혹은 부분적으로 채워진 격리구조에 의하여다른 디바이스와 전기적으로 독립된 형태를 갖기 때문에 기생 디바이스를 갖지 않는다.

<114> 본 발명에서는 "기판정렬을 위한 구조"없이 단순히 기판에 있는 노치(notch)의 정렬 정도만으로 FLD가 구성되는 층을 형성할 수 있다.

<115> 본 발명에서는 반도체에 쓰이는 MOSFET을 포함한 대부분의 디바이스를 수직방향으로 동작하는 구조로 만들수 있으며, 선행기술인 수직 디바이스와 비교하여 콘택트와의 배선연결이 용이하며 낮은 접촉저항을 가질 수 있다.

<116> 본 발명은 배선없이 단위 디바이스를 하나의 반도체층 안에서 수직방향으로 직렬연결된 다중접합을 이용한, 즉 복합디바이스 형태의 로직을 FLD형태로 만들 수 있다.

<117> 본 발명에서는 FLD의 위와 아래, 그리고 중간 등의 모든 영역에 금속과 직접 접한 금속전극을 가질 수 있다. 여기에서의 금속전극의 면적은 격리식각으로 형성되는 FLD의 위와 아래의 면적과 같은 크기로 형성될수 있으므로 디바이스의 동작에서 전압강하를 최소화할 수 있다.

1020030040920 출력 일자: 2004/6/14

【특허청구범위】

【청구항 1】

복수의 디바이스1을 갖는 단결정 반도체층;

상기 단결정 반도체 층의 위와 아래에 단수 혹은 복수의 절연 층을 각각 가지며,

상기 절연층은 상기 복수의 디바이스1들을 직접 혹은 간접적으로 연결하는 복수의 연결선과 배선을 가지며,

상기 복수의 디바이스1들의 전부 혹은 일부는 격리구조에 의해 분리가 되고, 전기적으로 또는 물리적으로 서로 공유하는 반도체기판을 가지지 않으며,

기판정렬구조 혹은 칩정렬구조를 가지지 않는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 2】

종류가 다른 복수의 디바이스1을 갖는 단결정 반도체층,

상기 다른 종류의 디바이스1들은 블록별로 구분되며,

각각의 블록에는 수직방향으로 다른 블록과 구분이되는 동일한 불순물 접합 구조를 가지는 한 종류의 디바이스들로 구성이되며,

상기 블록간의 거리는 수 마이크로미터 에서 수백 마이크로미터의 거리를 가지고,

상기 블록들에 있어서 한 블록의 크기는 일 백 나노 평방미터 이상의 넓이를 가지며,

상기 단결정 반도체 층의 위와 아래에 단수 혹은 복수의 절연 층을 각각 가지며,

상기 절연층은 상기 복수의 디바이스1들을 직접 혹은 간접적으로 연결하는 복수의 연결선과 배선을 가지며,

상기 복수의 디바이스1들의 전부 혹은 일부는 격리구조에 의해 분리 되며, 전기적으로 또는 물리적으로 서로 공유하는 반도체기판을 갖지않는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 3】

청구항 1에 있어서, 상기 하나의 단결정 반도체층 안에는 수직방향으로 모두 동일한 불순물 접합구조를 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 4】

청구항 1 또는 2에 있어서, 상기 배선의 일부 혹은 전부는 알루미늄인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 5】

청구항 1 또는 2에 있어서, 상기의 단결정 반도체 층은 복수의 단결정층으로 구성되며, 각각의 단결정 반도체층은 절연층으로 구분되며, 상기 절연층은 연결선을 갖지 않는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 6】

청구항 1 또는 2에 있어서, 상기의 3차원 반도체 집적회로를 연속적으로 쌓아올린 복수의 3차원 반도체 집적회로를 구성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 7】

청구항 1 또는 2에 있어서, 상기의 3차원 반도체 집적회로의 구조에 있어서 위와 아래에 패키지와 연결이 되는 복수의 패드를 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 8】

청구항 1 또는 2에 있어서, 상기의 3차원 반도체 집적회로의 아래나 위에, 혹은 두군데 모두에 있는 절연층은 기판과 접한 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 9】

청구항 8에 있어서, 상기의 기판은 복수의 디바이스2를 가진 반도체기판이며 상기 디바이스1과 직접 혹은 간접적으로 연결선과 배선으로 연결되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 10】

청구항 1 또는 2에 있어서, 상기의 디바이스1은 수직방향으로 동작하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 11】

청구항 10에 있어서, 상기의 수직 디바이스1을 형성하는 단결정 반도체의 아래와 직접 접한 금속전극을 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 12】

청구항 11에 있어서, 상기의 하부전극은 상기 수직 디바이스1의 아래에 있는 절연체내의 연결선과 정렬(Align)되며,

하부전극을 구성하는 전극의 일부 혹은 전부의 넓이가 수직 디바이스의 폭보다 넓은 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 13】

청구항 10에 있어서, 상기의 수직 디바이스1은 중간에 단수 혹은 복수의 전극을 가지며,

상기 중간전극은 상기 디바이스1에 직접 접촉하거나, 혹은 절연층을 사이에두고 채널을 형성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 14】

청구항 13에 있어서, 상기의 중간전극은 스페이서 형태로 되어있는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 15】

청구항 13에 있어서, 상기의 중간전극은 평탄화된 형태로 되어있는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 16】

청구항 13에 있어서, 상기 하나의 수직디바이스1에서 수평으로 구분된 복수의 중간전극을 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 17】

청구항 16에 있어서, 상기 분리된 복수의 중간전극은 상기 수직디바이스1에서 중간접합 면적이 서로 다른 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 18】

청구항 13에 있어서, 상기 중간전극은 상기 수직 디바이스의 위로 확장되어 상기 수직 디바이스의 윗부분의 일부를 감싸며,

상기 수직 디바이스의 윗부분과는 절연체로 연결이 분리되어 있는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 19】

청구항 13에 있어서, 상기 중간전극은 상기 수직 디바이스와 인접한 더미 수직 디바이스로 확장되어 중간전극 영역을 넓히는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 20】

청구항 13에 있어서, 상기 중간전극을 연결하는 콘택트가 상기 중간전극의 위와 아래에있는 절연층과 상기 중간전극을 관통하여, 상기 콘택트를 연결하는 배선의 연결이 상기 수직 디바이스의 위와 아래에서 선택적으로 이루어지는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 21】

청구항 10에 있어서, 상기의 수직 디바이스1을 형성하는 단결정 반도체는 단결정 반도체의 위와 직접 접한 금속전극을 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 22】

청구항 10에 있어서, 상기 수직디바이스는 상부전극 옆에 식각 정지층을 갖되, 상기 식각정지층은 식각속도가 수직디바이스의 위를 덮고 있는 절연층의 식각속도보다 느려서 상부전극에 연결되는 콘택트를 형성하는 절연층 식각이 멈추어지는 층을 의미하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 23】

청구항 22에 있어서, 상기 식각 정지층은 평탄화된 형태로 되어있는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 24】

청구항 22에 있어서, 상기 식각 정지층은 스페이서 형태로 되어있는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 25】

청구항 10에 있어서, 상기의 수직 디바이스1은 MOSFET이며,

채널이 형성되는 단결정 반도체 벌크영역의 전부 혹은 일부를 게이트 절연층을 사이에 두고 게이트가 형성되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 26】

청구항 25에 있어서, 상기의 수직 MOSFET은,

쏘스와 드레인 영역의 불순물 도핑이 비대칭인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 27】

청구항 25에 있어서, 상기의 수직 MOSFET은,

채널이 형성되는 벌크 영역이 수직 방향으로 비균일한 도핑을 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 28】

청구항 10에 있어서, 상기의 수직 디바이스1은 바이폴라 트랜지스터인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 29】

청구항 28에 있어서, 상기의 바이폴라 트랜지스터의 베이스 중간전극이 베이스와 콜렉터의 낮은 도핑 영역으로 연장되어 베이스와 콜렉터간에 쇼트키 다이오드를 형성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 30】

청구항 10에 있어서, 상기의 수직 디바이스1은 커패시터인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 31】

청구항 10에 있어서, 상기의 수직 디바이스1은 다이오드인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 32】

청구항 10에 있어서, 상기의 수직 디바이스1은 인버터이며,

상기 수직 인버터는 p-MOSFET과 n-MOSFET가 수직으로 직렬연결된 형태의 단결정 반도체 층으로 구성되며,

상기 p-MOSFET에서 n-MOSFET과 접하지않는 쏘스에 상/하부전극1을 가지며,

상기 n-MOSFET에서 p-MOSFET과 접하지않는 쏘스에 상/하부전극2을 가지고,

상기 p-MOSFET과 n-MOSFET이 접하는 드레인 영역을 모두 접하는 중간전극3이 있고,

상기 p-MOSFET과 n-MOSFET이 각각 게이트 중간전극4와 5를 가지며,

상기 상/하부전극1과 2는 각각 동작전압과 그라운드에 연결되고,

상기 중간전극4와 전극5가 서로 연결되어 입력단자를 구성하고,

상기 중간전극3은 출력단자를 구성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 33】

청구항 10에 있어서,

상기의 수직 디바이스1은 p-MOSFET과 n-MOSFET가 수직으로 직렬연결된 형태의 단결정 반도체 층으로 구성되는 두 개의 인버터를 포함하며 각 인버터가 입력단자와 출력단자에 연결되는 SRAM 셀을 구성하고,

두 개의 트랜지스터를 포함하는 디바이스2가 반도체기판으로부터 연결선과 배선으로 연결되며,

상기 하나의 트랜지스터 디바이스2의 쏘스는 상기의 하나의 디바이스1 인버터의 출력에 연결되고,

상기 다른 하나의 트랜지스터 디바이스2의 쏘스는 상기의 다른 하나의 디바이스1 인버터의 출력에 연결되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 34】

청구항 10에 있어서,

상기의 디바이스1은 싸이리스터를 이용한 SRAM 셀을 구성하며, 수직형태의 p-n-p-n접합을 이루며 처음의 p는 기준전압에 접하고 중간의 p는 게이트 절연층과 게이트를 가지고,

하나의 MOSFET를 포함하는 디바이스2가 반도체기판으로부터 연결선과 배선으로 연결되어,

상기 싸이리스터의 마지막에 있는 n영역과 상기 MOSFET 디바이스2의 쏘스가 연결되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 35】

청구항 10에 있어서, 상기의 디바이스1은 싸이리스터와 트랜지스터가 수직으로 연결된 SRAM 셀을 구성하며, 수직형태의 p-n-p-n-p-n접합을이루고 처음의 p-n-p-n 접합은 싸이리스터를 구성하고 마지막의 n-p-n 접합은 MOSFET을 구성하고 게이트를 가지며,

상기 싸이리스터에서 처음의 p는 기준전압에 접하고 중간의 p는 게이트 절연층과 게이트를 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 36】

청구항 10에 있어서, 상기의 디바이스1은 하나의 트랜지스터와 하나의 커패시터를 이용한 DRAM 셀을 구성하며, 수직형태의 n-p-n-p접합을 가지며 처음의 n-p-n은 MOSFET을 구성하고 마지막의 n-p접합은 플로팅 쏘스와 기준 전압이 인가되는 p-영역으로 이루어진 공핍영역을 이용한 커패시터가 되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 37】

청구항 36에 있어서, 상기의 DRAM 셀을 구성하는 공핍영역으로 커패시터를 형성하는 단결정 반도체로 된 n-p접합영역의 면적이 MOSFET를 구성하는 단결정 반도체 면적보다 큰 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 38】

청구항 36에 있어서, 상기의 DRAM 셀을 구성하는 공핍영역으로 된 커패시터가 절연층을 이용한 커패시터와 병렬연결된 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 39】

청구항 10에 있어서, 상기의 디바이스1은 하나의 트랜지스터를 이용한 비휘발성 메모리 셀을 구성하며, 이중 게이트를 가진 수직 MOSFET구조를 가지며,

제 1게이트는 채널이 형성되는 벌크와 제1게이트 절연층을 사이에 두고있으며,

제2게이트는 제1게이트와 제2게이트 절연층을 사이에 두고있으며,

제1게이트는 전압의 연결을 가지지 않는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 40】

청구항 10에 있어서, 상기의 디바이스1은 하나의 트랜지스터를 이용한 비휘발성 메모리 셀을 구성하며, 이중 게이트를 가진 수직 MOSFET구조를 가지며,

제1게이트는 채널이 형성되는 벌크의 일부분과 제1게이트 절연층을 사이에 두고 있으며,

제 2게이트는 채널이 형성되는 벌크에서 상기 제1게이트와 접하지 않은 나머지 부분 및 제1게이트와 제2게이트 절연층을 사이에 두고 있으며,

제1게이트는 전압과 연결되지 않는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 41】

청구항 10에 있어서, 상기의 디바이스1은 하나의 트랜지스터를 이용한 비휘발성 메모리 셀을 구성하며, 하나의 게이트를 가진 수직 MOSFET구조를 가지며,

게이트 절연층이 산화막+질화막+산화막으로 된 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 42】

청구항 39-41중의 어느 한 항에 있어서, 상기의 비휘발성 메모리는 하나의 쏘스/드레인을 공유하며 옆으로 분리되어 있는 복수의 게이트를 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 43】

청구항 10에 있어서, 상기의 수직 디바이스는 MESFET인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 44】

청구항 1과 같이 구성되는 3차원 반도체 집적회로를 제작하는 방법으로서,

하나의 기판1과 이 기판 위에 배선과 연결선을 갖는 단수 혹은 복수의 층간 절연층으로 이루어진 절연층1을 형성하는 단계,

격리구조를 가지지 않으며, 수직 방향으로 단수 혹은 복수의 불순물 층을 갖는 단결정 반도체 기판을 형성하는 단계,

상기 절연층1과 상기 단결정 반도체기판을 접합하고, 상기 불순물 층이 포함된 얇은 단결정 반도체층을 제외한 나머지 단결정 반도체기판을 제거하는 단계,

상기 단결정 반도체층을 격리하는 식각을 하여 복수의 단결정 반도체 디바이스1을 만들고, 상기 반도체 디바이스1위에 단수 혹은 복수의 층간 절연층과 배선, 연결선을 설치하여 디바이스를 완성하는 단계를 포함하되,

상기 기판1과 단결정 반도체 기판, 혹은 둘중에 어느 하나라도 기판 혹은 칩을 정렬하여 접합하기 위한 정렬구조를 갖는 않는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 45】

청구항 2와 같이 구성되는 3차원 반도체 집적회로를 제작하는 방법으로서,

하나의 기판1과 이 기판 위에 배선과 연결선을 갖는 단수 혹은 복수의 층간 절연층으로 이루어진 절연층1을 형성하는 단계,

격리구조를 가지지 않으며, 수직 방향으로 단수 혹은 복수의 불순물 층을 갖는 단결정 반도체 기판을 형성하는 단계 (여기에서 불순물 접합구조는 블록별로 구분된다),

상기 절연층1과 상기 단결정 반도체기판을 접합하고, 상기 불순물 층이 포함된 얇은 단결정 반도체층을 제외한 나머지 단결정 반도체기판을 제거하는 단계,

상기 단결정 반도체층을 격리하는 식각을 하여 복수의 단결정 반도체 디바이스1을 만들고, 상기 반도체 디바이스1위에 단수 혹은 복수의 층간 절연층과 배선, 연결선을 설치하여 디바이스를 완성하는 단계를 포함하는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 46】

청구항 44또는 45와 같은3차원 반도체 집적회로의 제작방법에 있어서, 상기 단결정 반도체기판으로부터 상기 불순물 층이 포함된 얇은 단결정 반도체층을 상기 절연층1에 전달하는 방법으로,

상기 단결정 반도체기판과 하나의 매개기판을 접합하고, 상기 불순물 층이 포함된 얇은 단결정 반도체층을 제외한 나머지 단결정 반도체기판를 제거하는 단계,

상기 절연층1과 상기 매개 기판에 남아있는 단결정 반도체층을 접합하고, 매개기판을 제거하는 단계를 포함하는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 47】

청구항 46에 있어서, 상기 매개기판은 진공을 열고 닫는 기능을 가지며, 상기 얇은 단결정 반도체층을 상기 단결정 반도체기판으로부터 진공흡착으로 접합하여 전달받고, 상기 절연층1에 상기 얇은 단결정 반도체층을 전달하는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 48】

청구항 44 또는 45 에 있어서,

상기 기판1은 디바이스1을 완성한 후에 제거하는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 49】

청구항 44 또는 45 에 있어서,

상기 절연층1과 상기 단결정 반도체의 접합면은 각각 금속층으로 되어 있는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 50】

청구항 49에 있어서, 상기 금속층으로 된 접합면 사이에 250℃-650℃에서 녹는 금속으로 된 중간접합층을 형성하며, 접합이전에 열처리로 표면을 평탄화하고, 접합시에 열처리하여 접합면 사이의 공간을 없에고 접합강도를 증가시키는 단계가 추가로 포함되는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 51】

청구항 44또는 45에 있어서, 상기 디바이스1의 제작 과정에서 불순물 이온주입이나 800℃ 이상의 고온 열처리를 하지 않는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 52】

청구항 12과 같이 구성되는 3차원 반도체 집적회로의 수직 디바이스1의 하부전극을 제작하는 방법으로,

상기 단결정 반도체층을 격리하는 식각을 하면서 반도체층 아래에 접한 금속층의 전부 혹은 일부를 식각하지 않고 남기고,

스페이서 형태의 식각 마스크를 이용하여 상기 수직 디바이스1보다 넓은 하부전극을 형성하는 식각을 행하는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

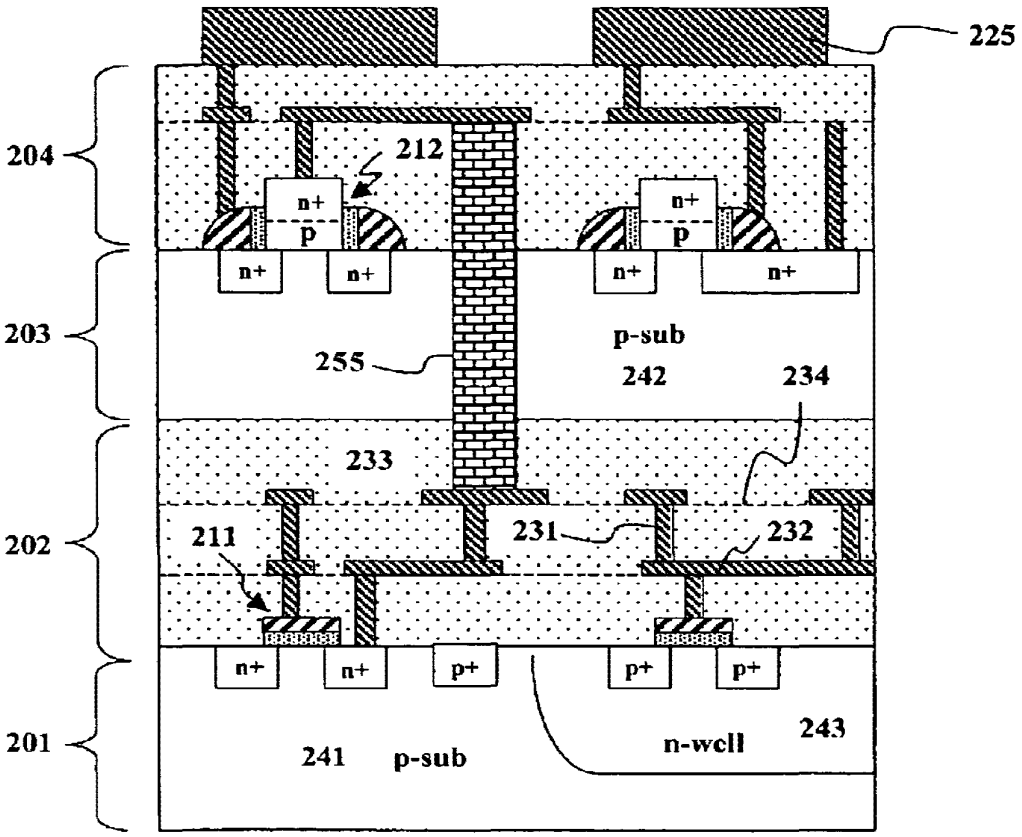
【청구항 53】

청구항 44 또는 45에 있어서,

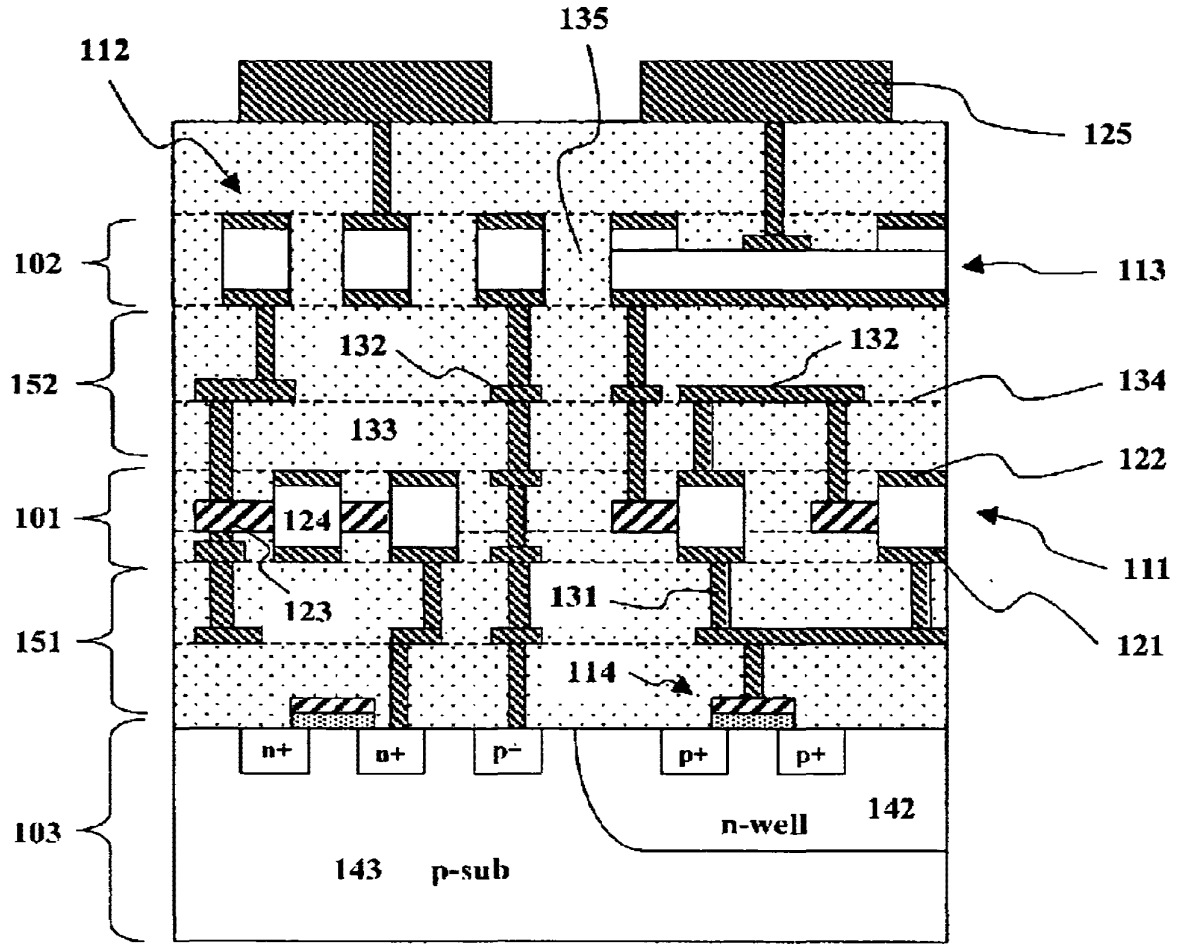
상기 단결정 반도체층을 격리하는 식각을 하기 이전에 상기 단결정 반도체층의 상부와 직접 접하는 금속층을 도포하는 단계가 추가로 포함되는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【도면】

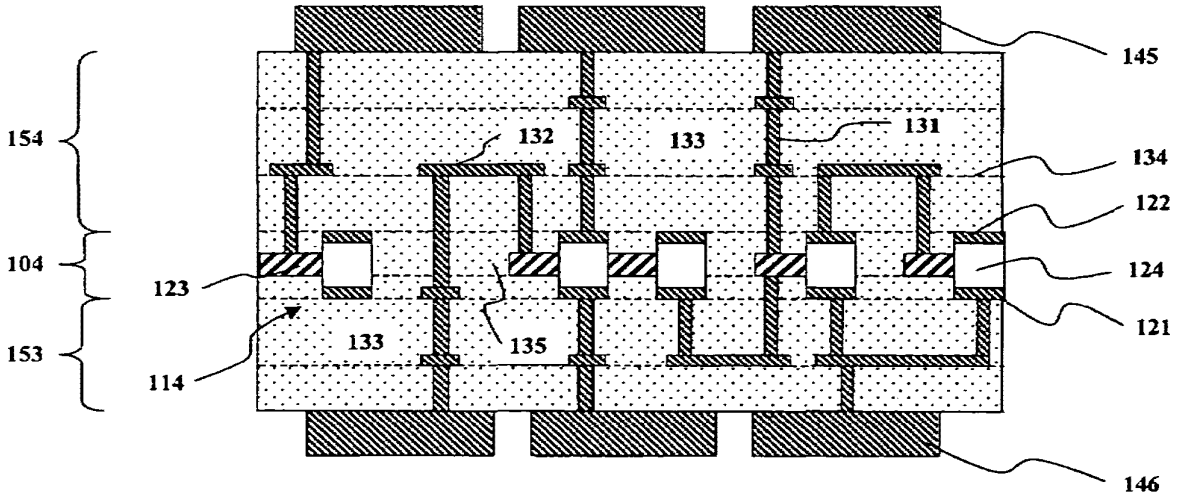
【도 1】


225
204
212
n+
p
n+
n+
p
n+
n+
n+
203
255
p-sub
242
234
233
202
211
231
232
n+
n+
p+
p+
p+
201
241
p-sub
n-well
243

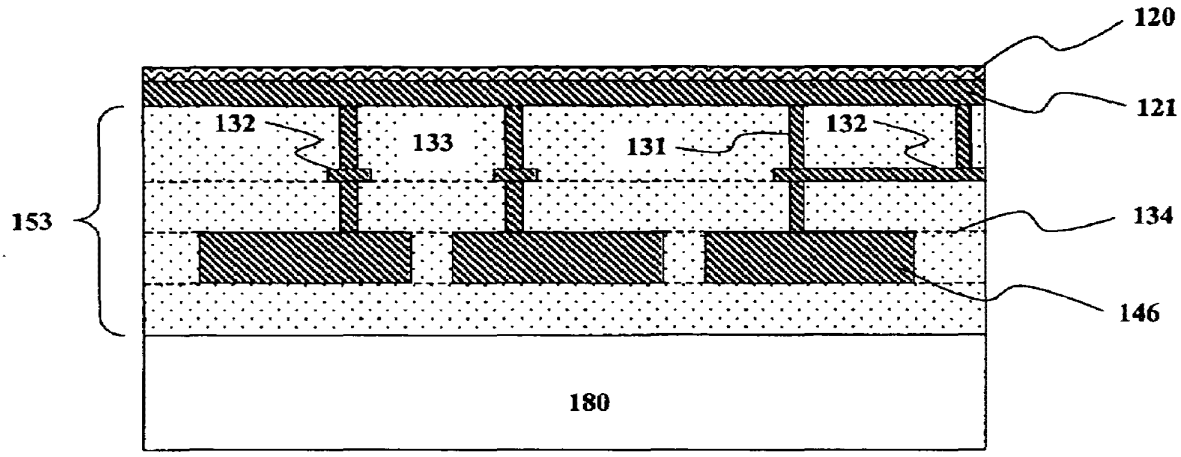
【도 2】


112
135
125
102
113
152
132
132
134
133
122
101
124
111
123
131
151
121
114
n+
n+
p-
p+
p+
142
103
n-well
143
p-sub

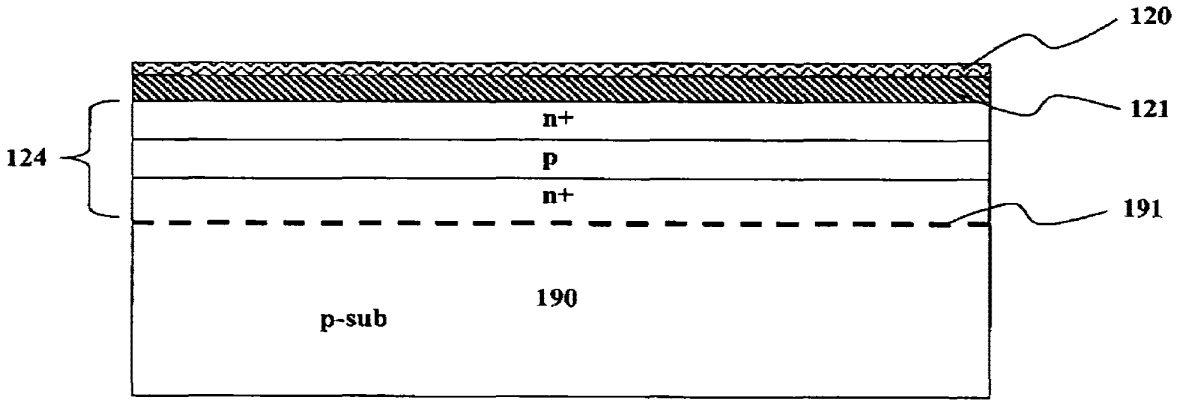
【도 3】


145
154
132
133
131
134
122
104
123
124
121
133
135
153
114
146

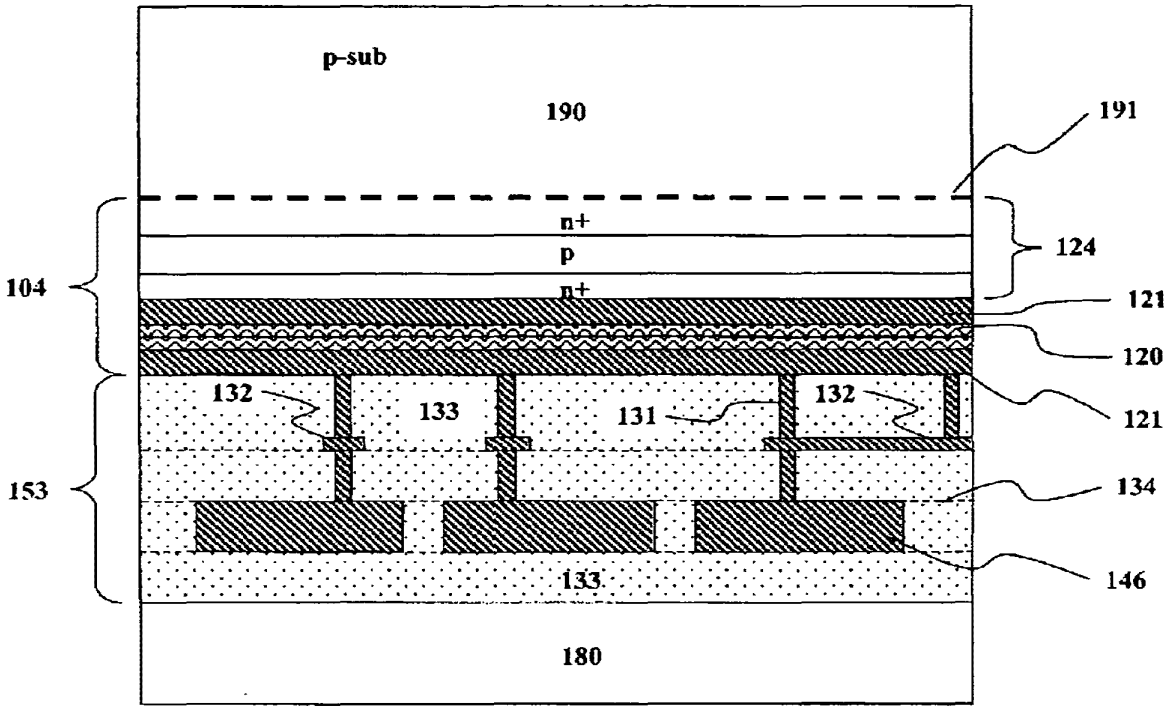
【도 4a】


120
121
132
133
131
132
153
134
146
180

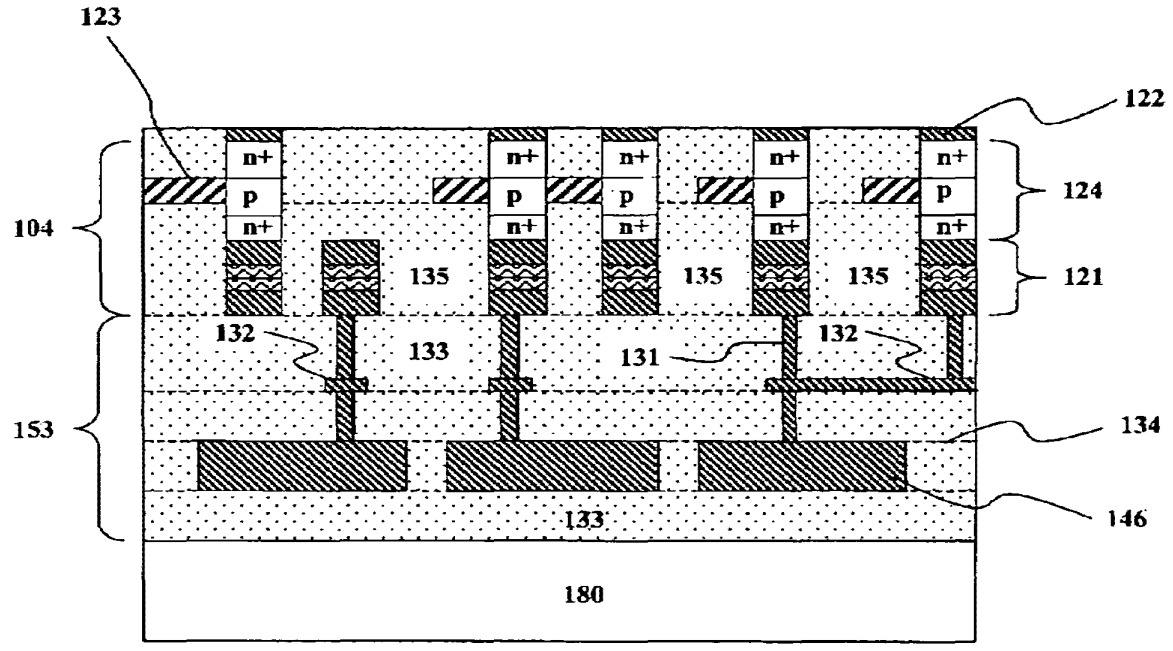
【도 4b】


120
121
n+
124
p
n+
191
190
p-sub

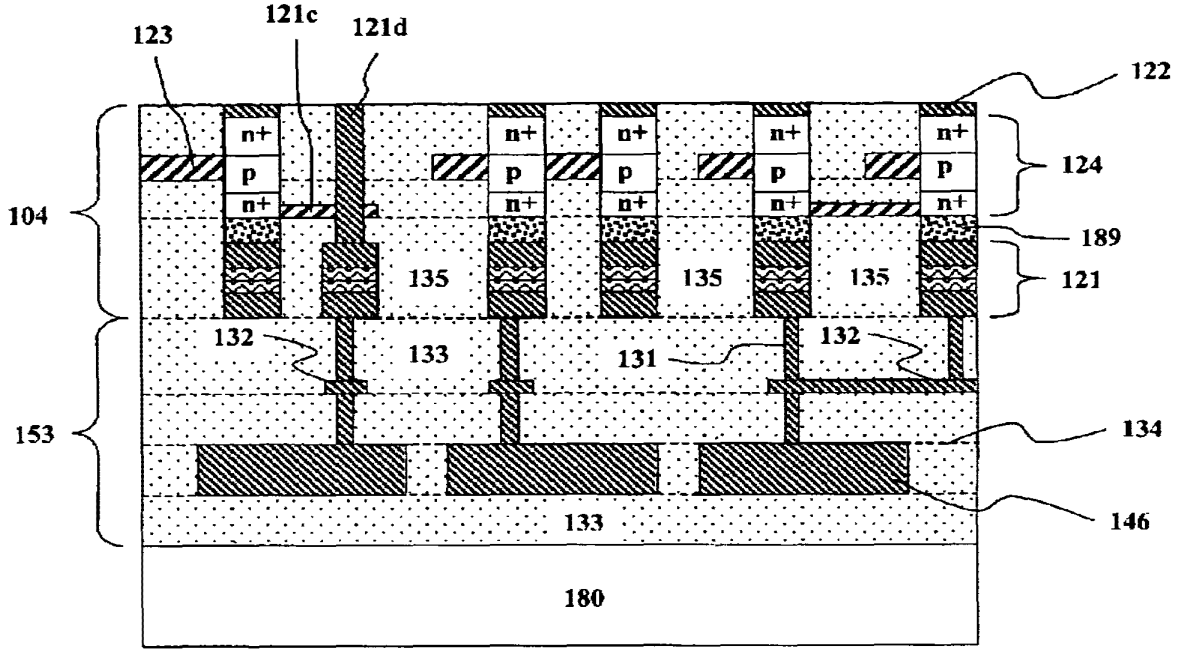
【도 4c】


p-sub
190
191
n+
p
n+
124
104
121
120
132
133
131
132
121
153
134
133
146
180

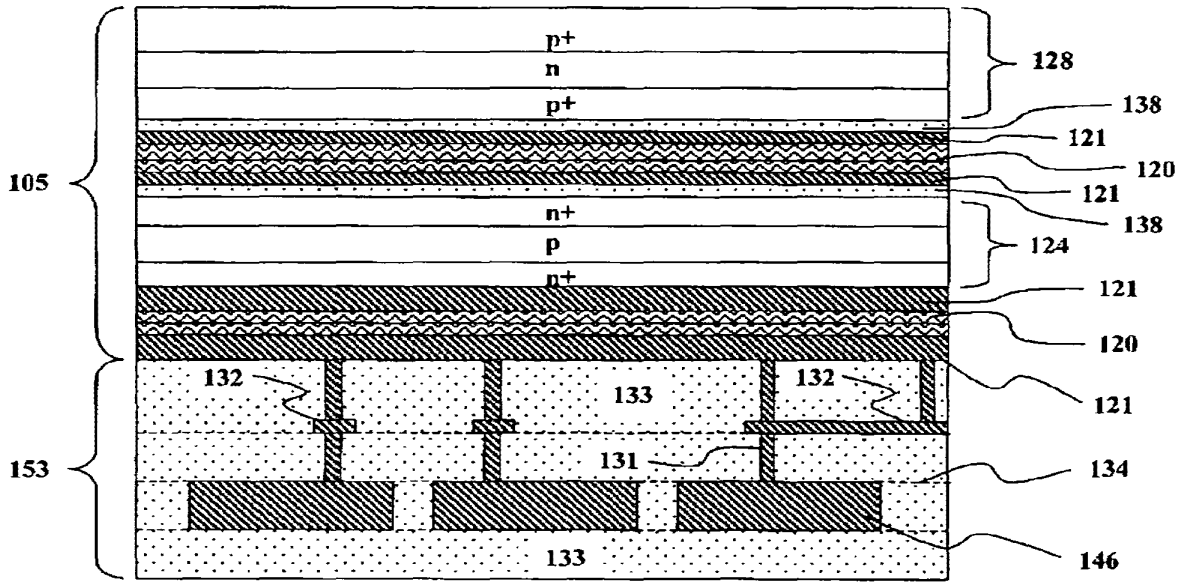
【도 4d】


123
122
n+
p
n+
124
104
121
135
135
135
132
133
131
132
153
134
133
146
180

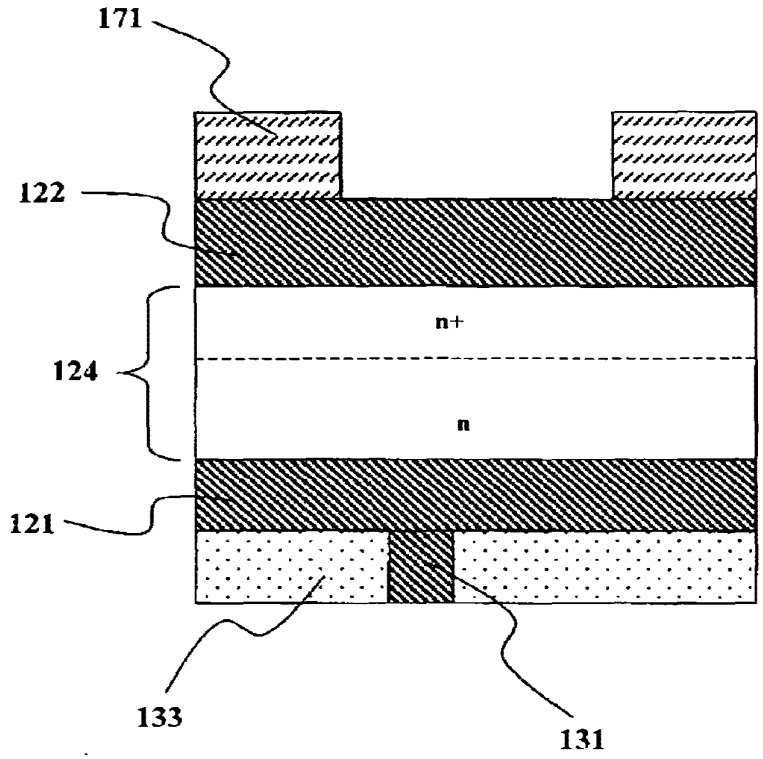
【도 5a】


123
121c
121d
122
n+
p
n+
124
104
189
121
135
132
133
131
153
134
146
180

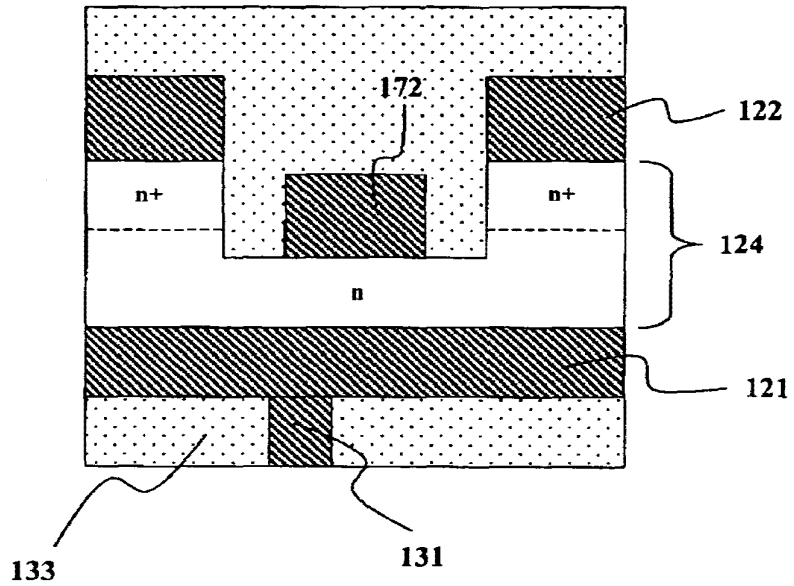
【도 5b】


p+
n
p+
128
138
121
120
105
n+
p
n+
124
132
133
131
153
134
146

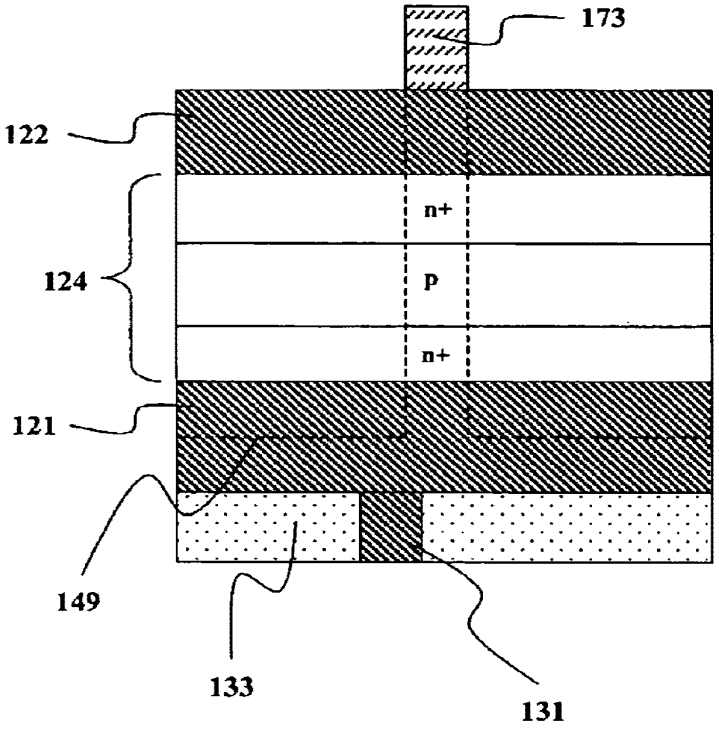
【도 6a】



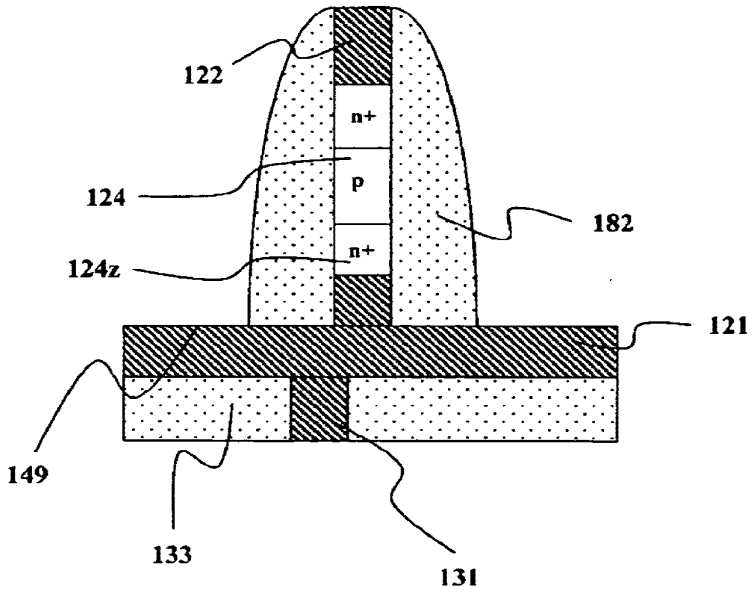
【도 6b】



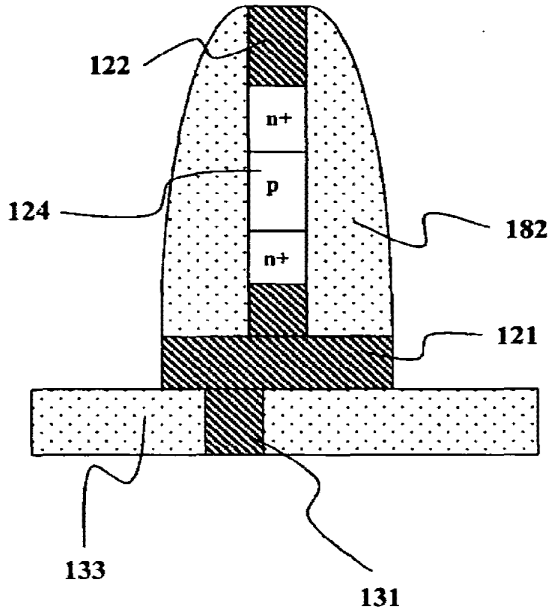
【도 7a】


173
122
n+
124
p
n+
121
149
133
131

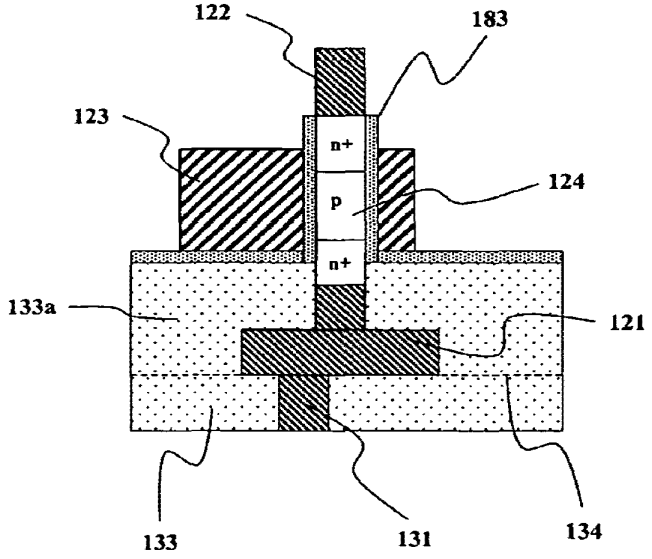
【도 7b】


122
n+
124
p
182
n+
124z
121
149
133
131

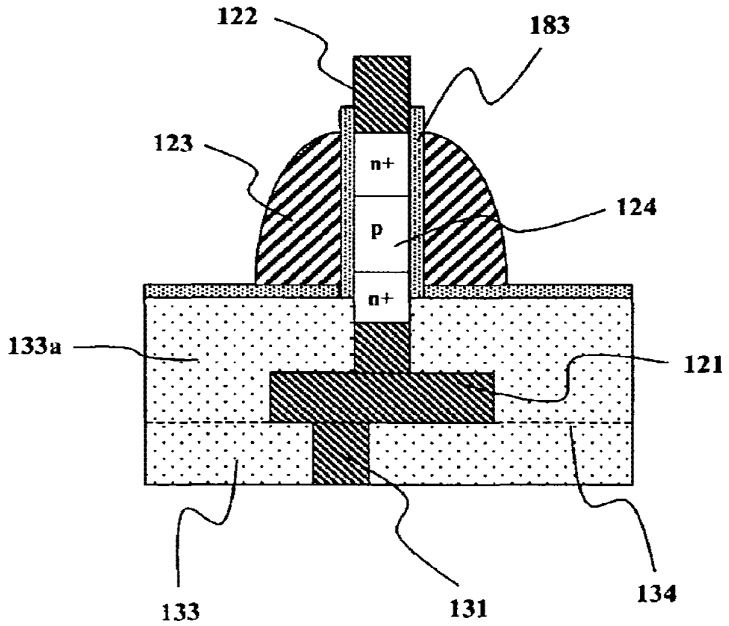
【도 7c】


122
n+
p
n+
124
182
121
133
131

【도 8a】


122
183
123
n+
p
n+
124
133a
121
133
131
134

【도 8b】


122
183
123
n+
p
n+
124
133a
121
133
131
134

【도 8c】

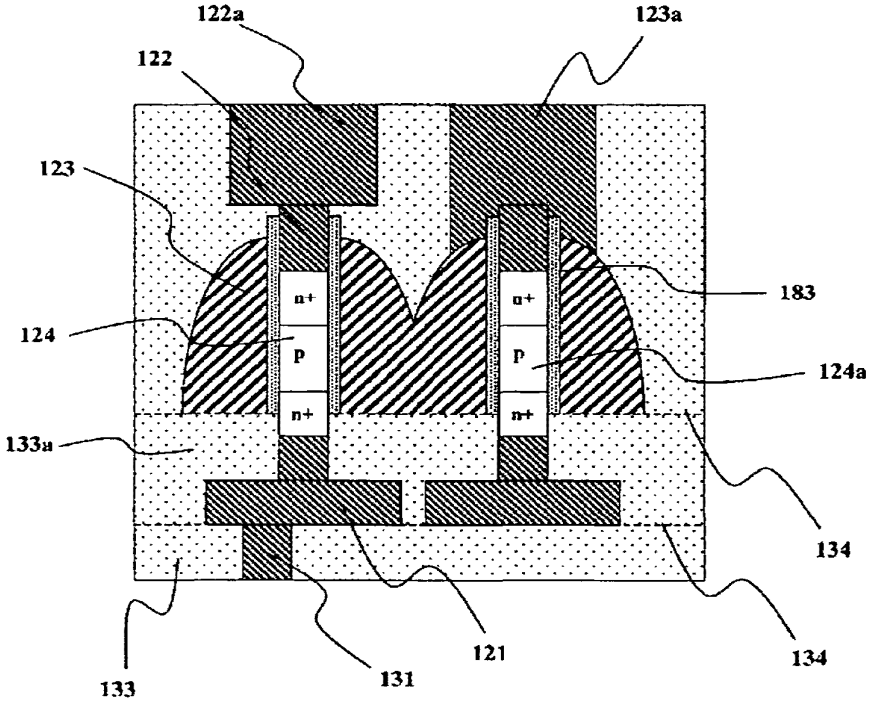
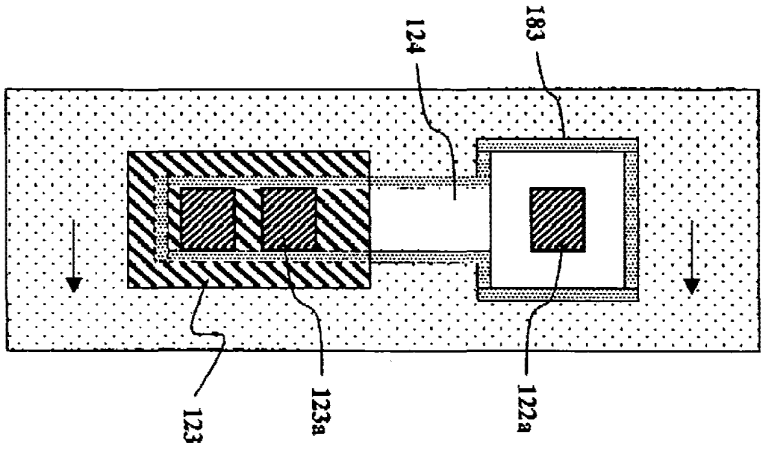
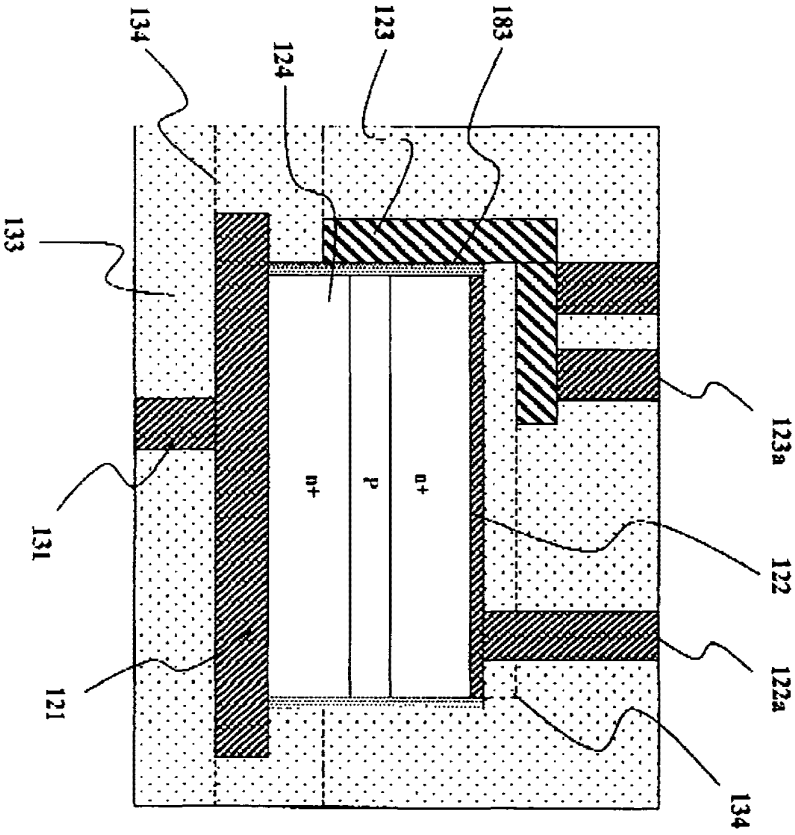

122a
123a
122
123
n+
p
n+
n+
p
n+
183
124
124a
133a
134
133
131
121
134

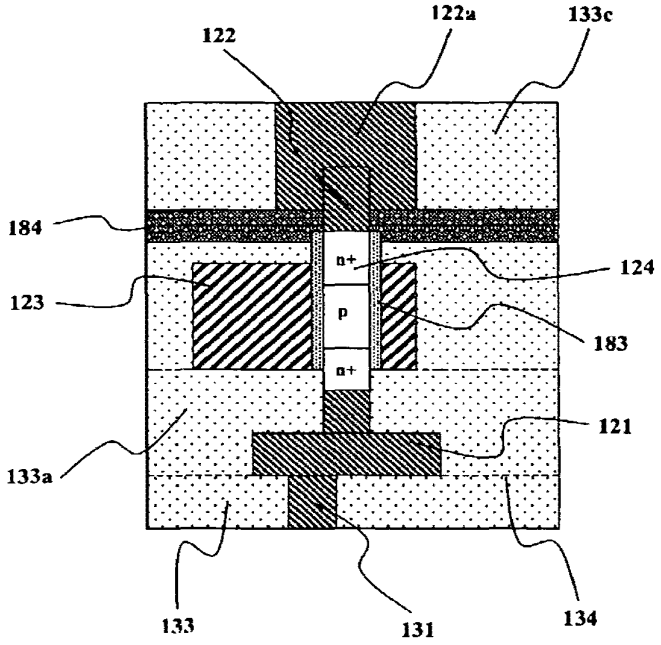
Exhibit 1006 - Page 255 of 375

【도 8d】

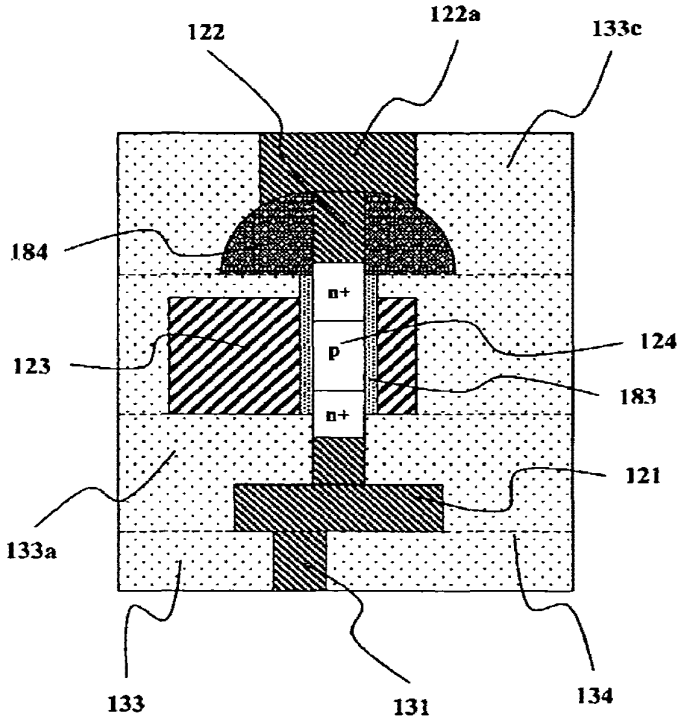




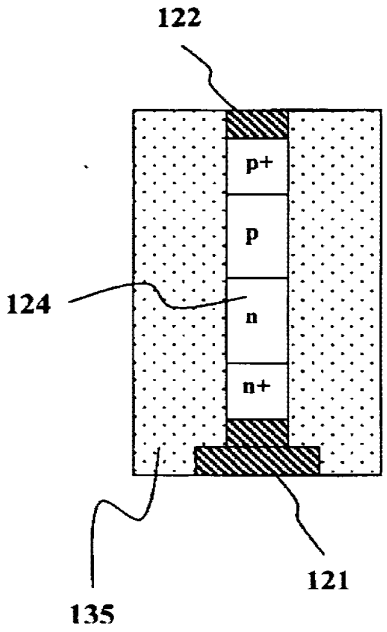
【도 9a】


122
122a
133c
184
n+
124
123
p
183
n+
121
133a
133
131
134

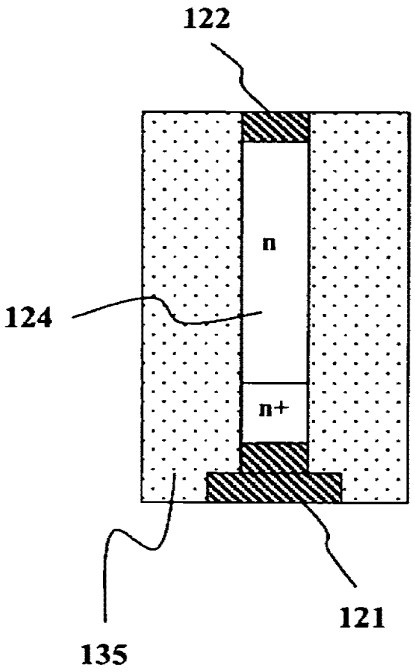
【도 9b】


122
122a
133c
184
n+
124
123
p
183
n+
121
133a
133
131
134

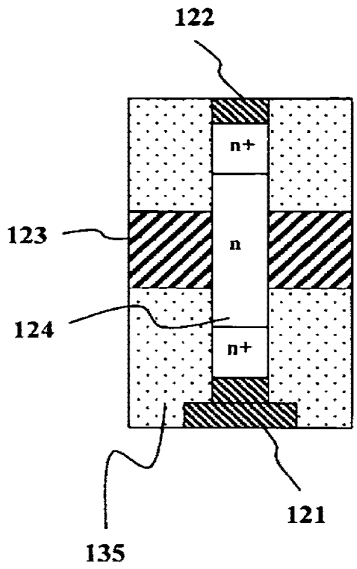
【도 10a】



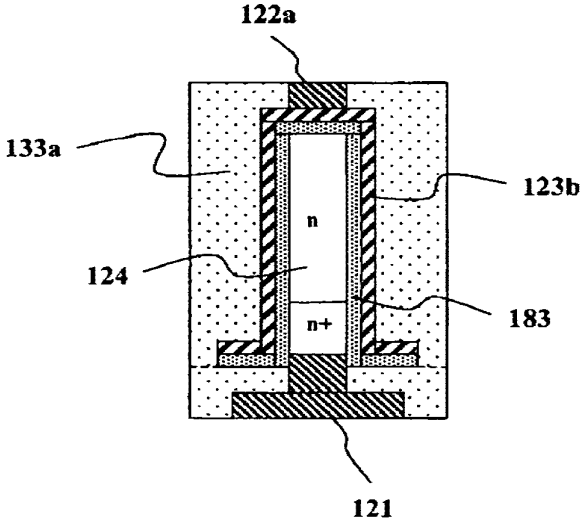
【도 10b】



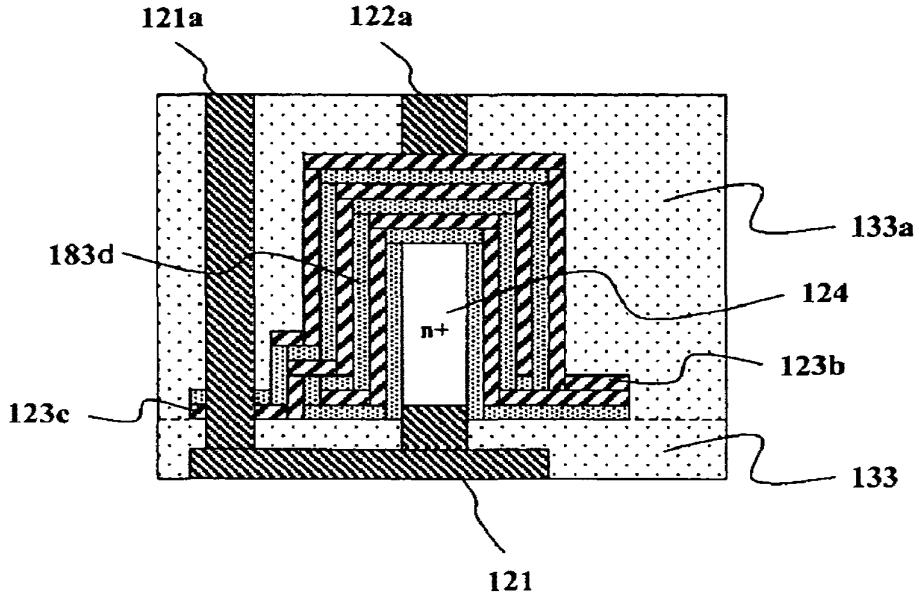
【도 10c】



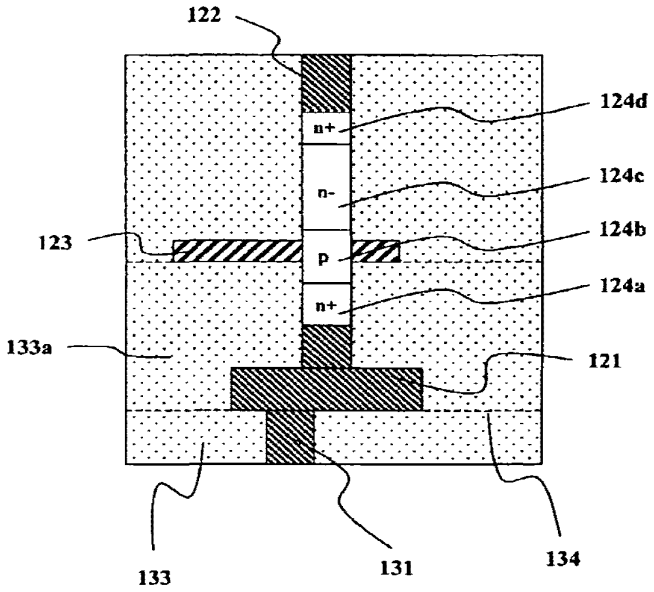
【도 11a】



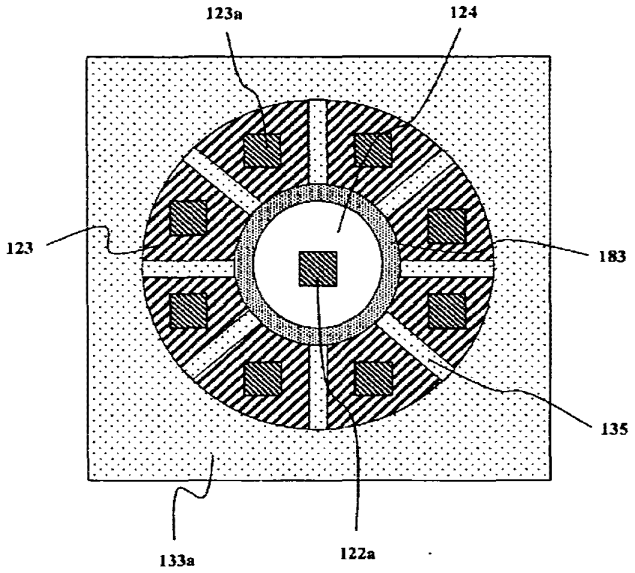
【도 11b】


121a
122a
133a
183d
124
n+
123b
123c
133
121

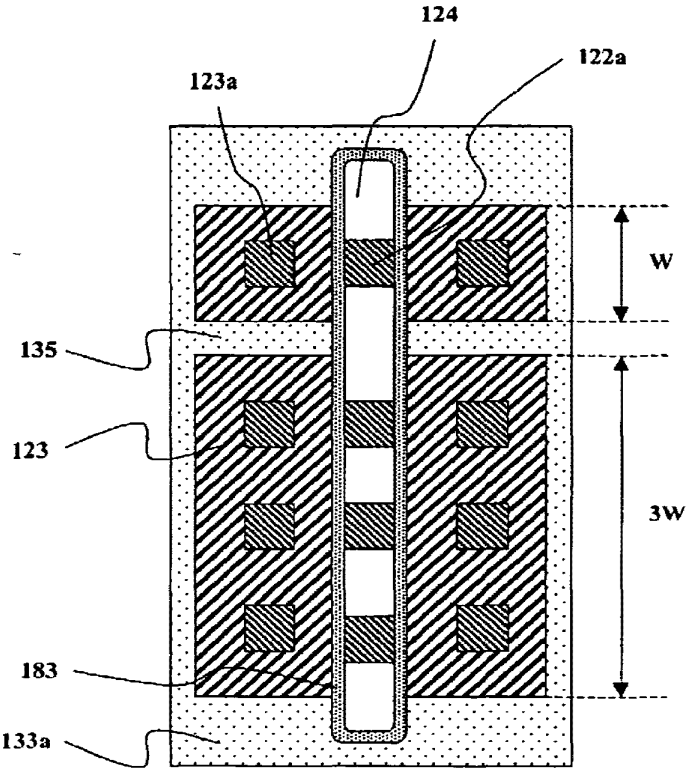
【도 12】


122
124d
n+
124c
n-
123
124b
p
124a
n+
133a
121
133
131
134

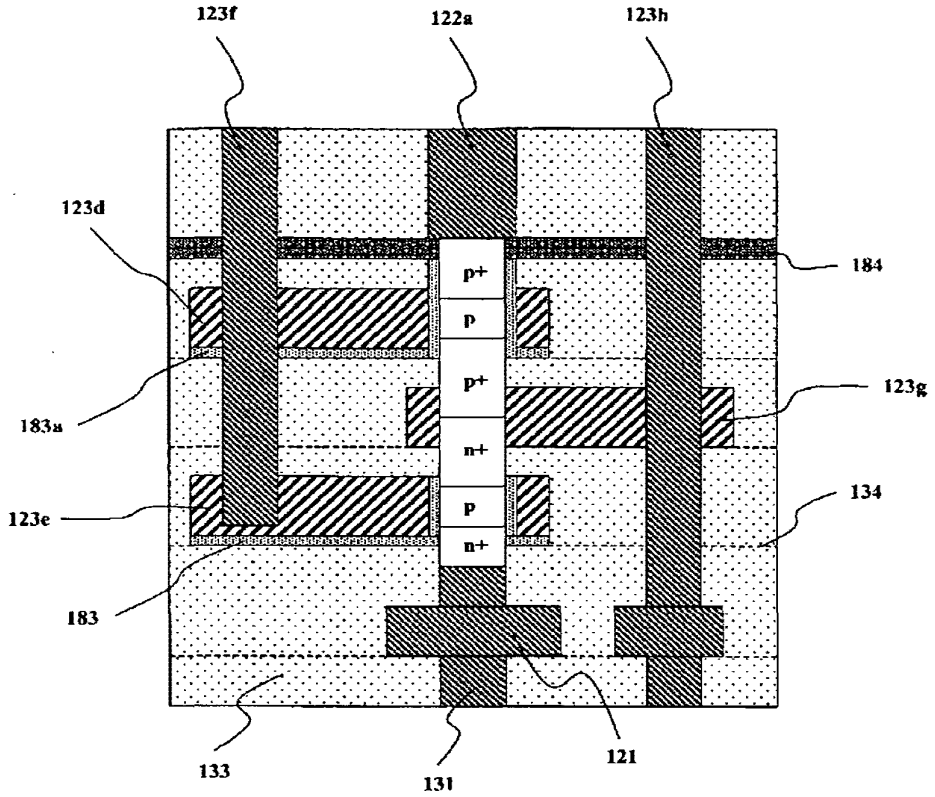
【도 13a】


123a
124
123
183
135
133a
122a

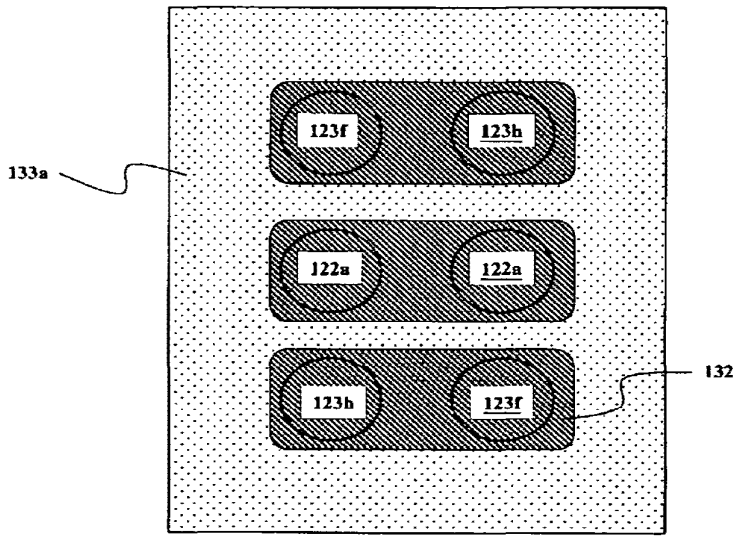
【도 13b】


124
122a
123a
W
135
123
3W
183
133a

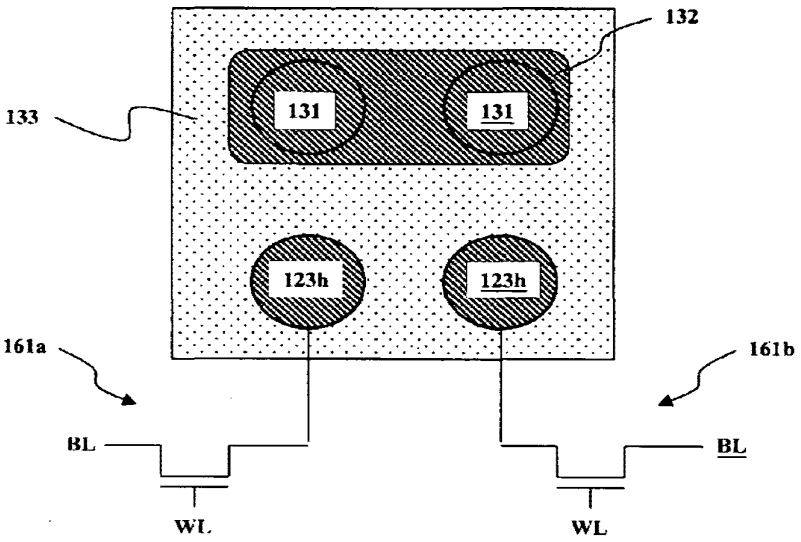
【도 14】


123f
122a
123h
123d
184
p+
p
p+
n+
p
n+
123g
183a
123e
134
183
133
131
121

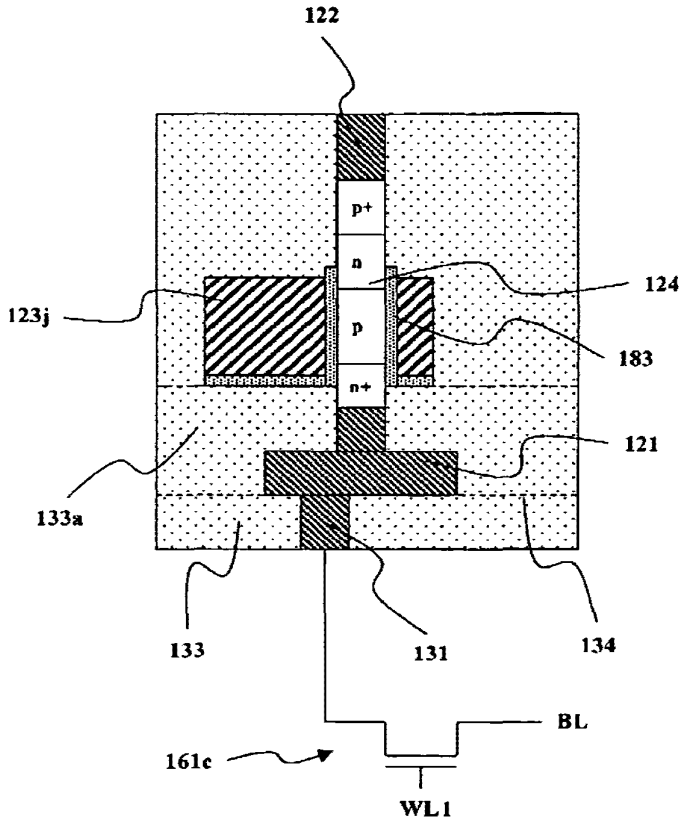
【도 15a】


123f
123h
133a
122a
122a
132
123h
123f

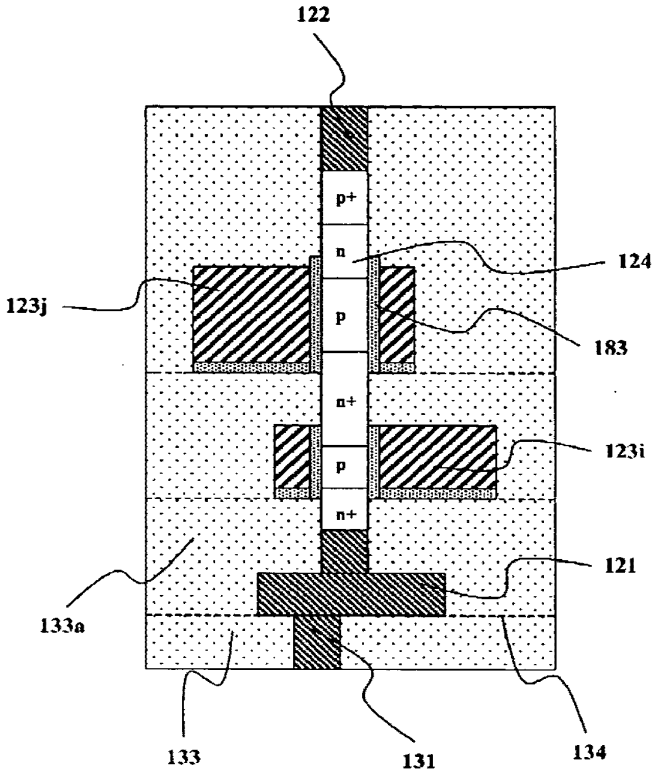
【도 15b】


132
133
131
131
123h
123h
161a
161b
BL
BL
WL
WL

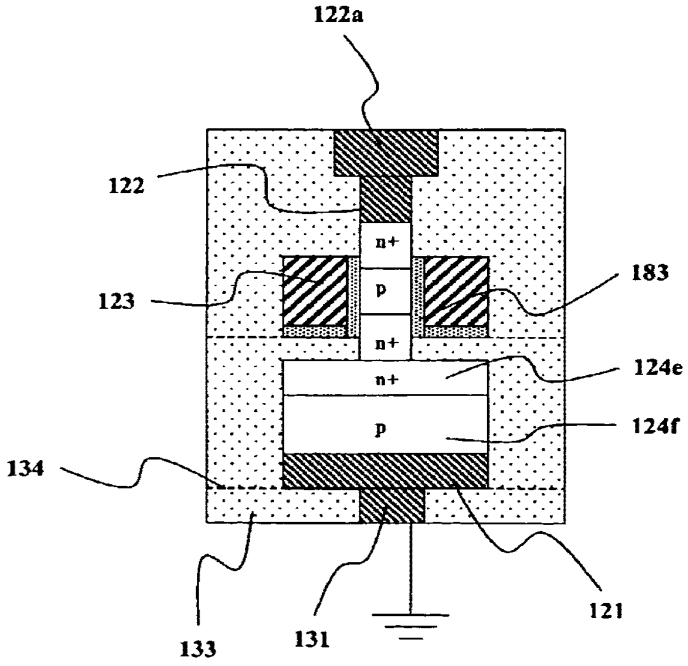
【도 16a】


122
p+
n
p
n+
123j
124
183
121
133a
133
131
134
BL
161c
WL1

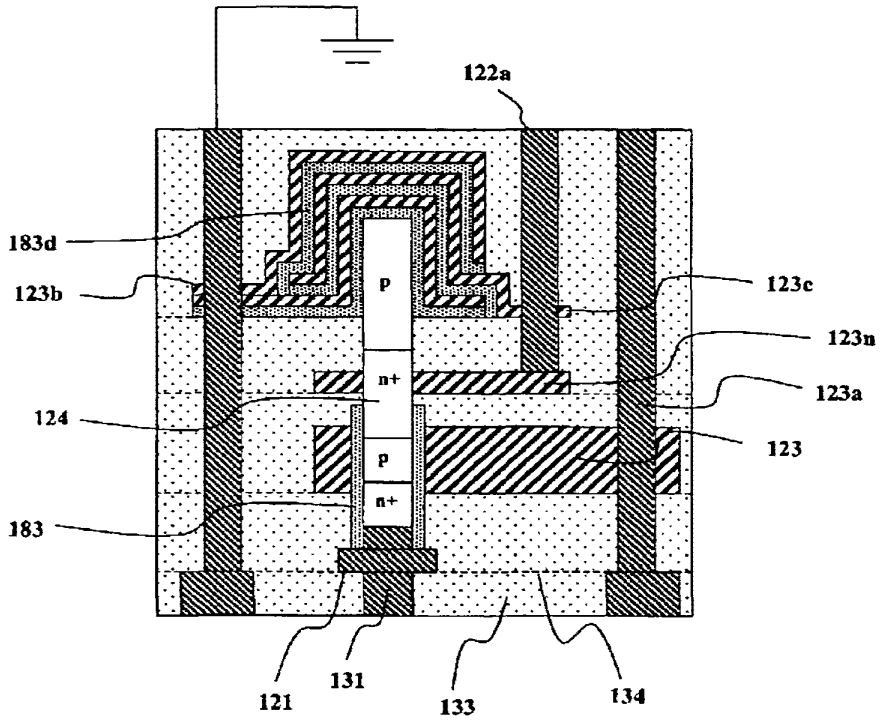
【도 16b】


122
p+
n
124
123j
p
183
n+
123i
p
n+
121
133a
133
131
134

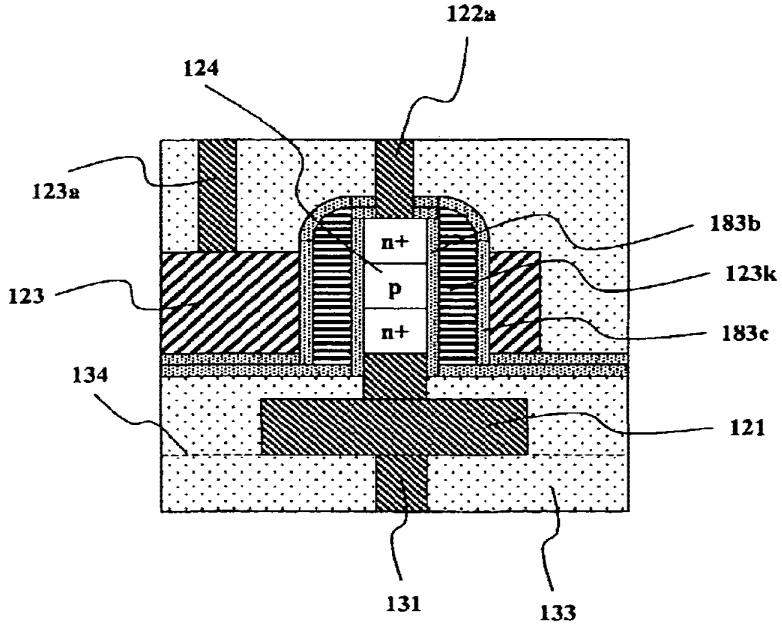
【도 17a】


122a
122
n+
183
123
p
n+
124e
n+
124f
p
134
133
131
121

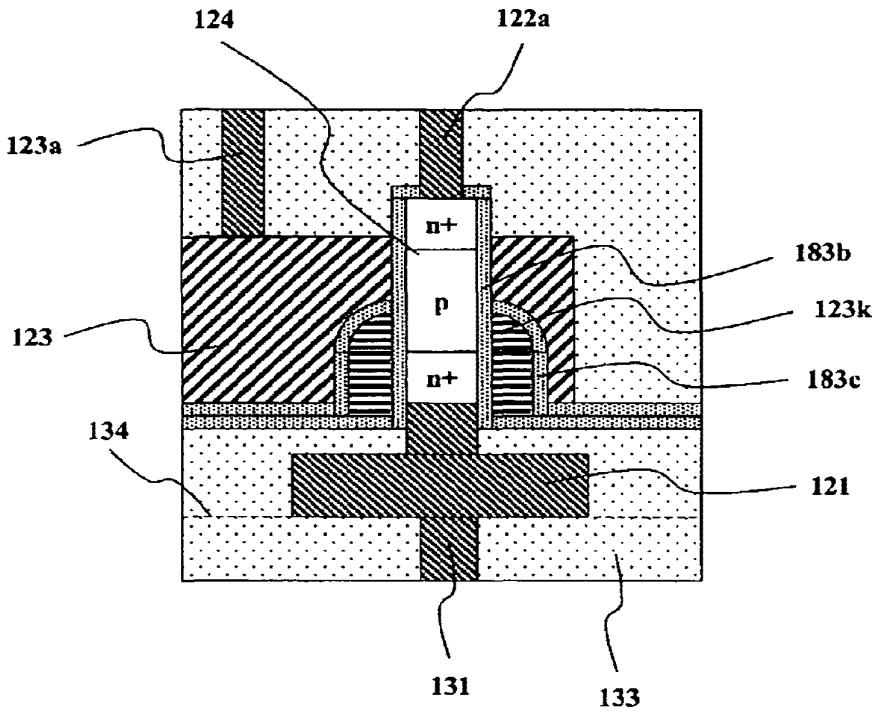
【도 17b】


122a
183d
123b
123c
123n
123a
124
123
183
p
n+
p
n+
121
131
133
134

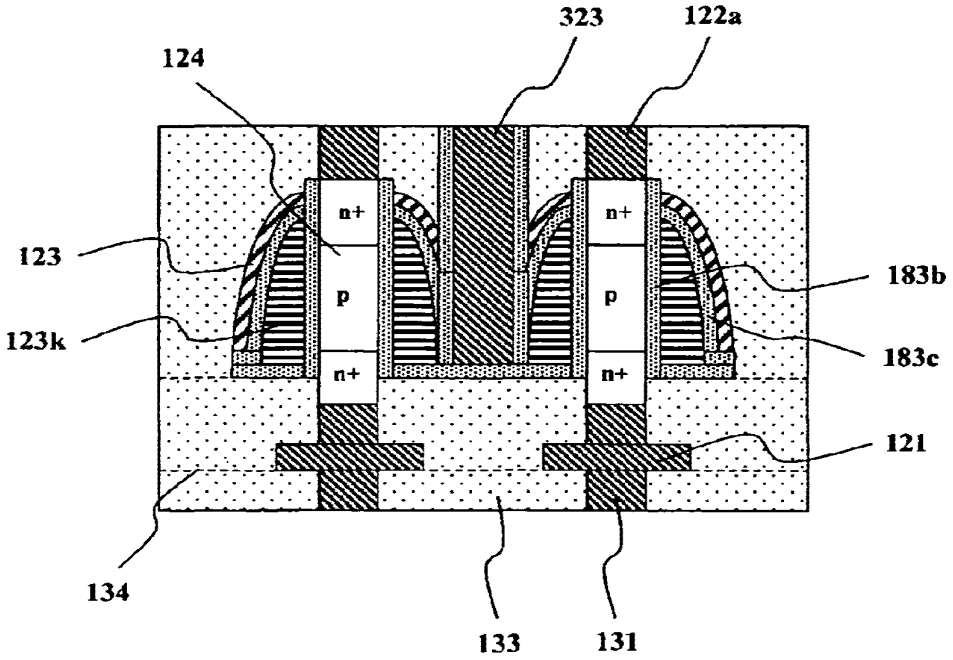
【도 18a】


122a
124
123a
183b
123k
123
183c
134
121
n+
p
n+
131
133

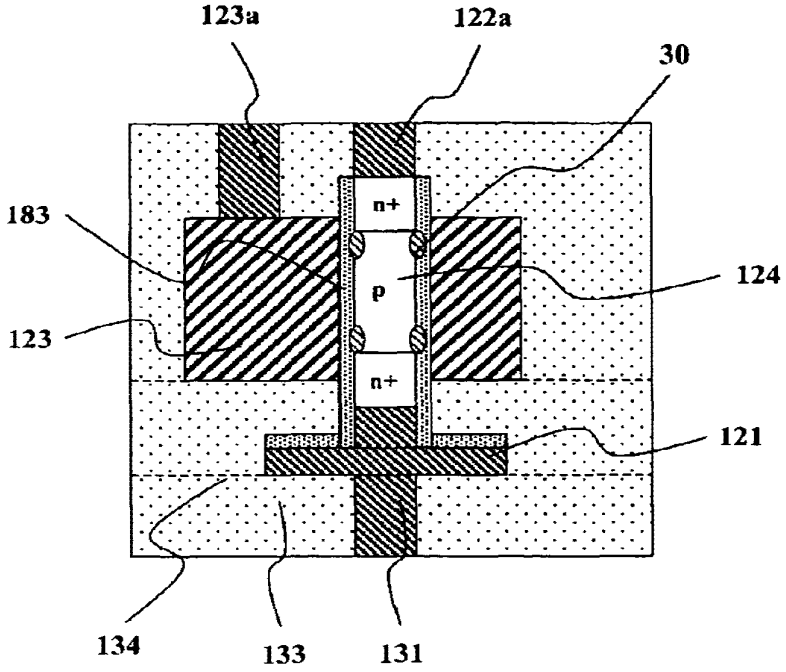
【도 18b】


124
122a
123a
n+
p
n+
183b
123k
183c
123
134
121
131
133

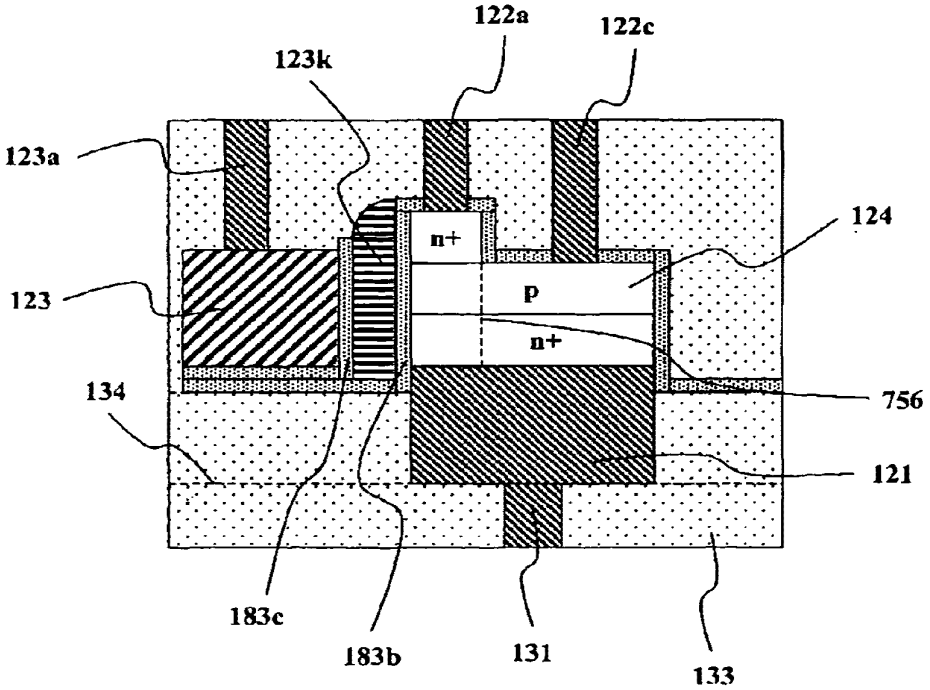
【도 18c】


323
122a
124
n+
n+
p
p
n+
n+
123
183b
123k
183c
121
134
133
131

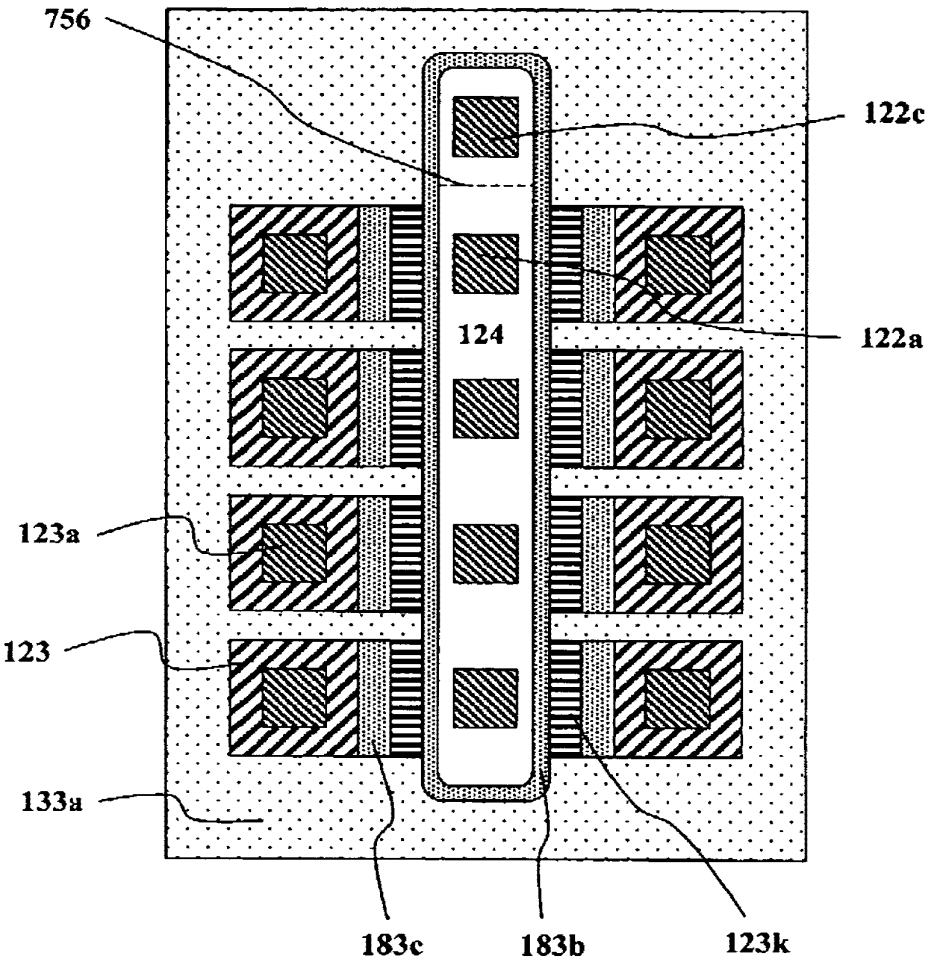
【도 18d】


123a
122a
30
183
n+
p
124
123
n+
121
134
133
131

【도 18e】


122a
122c
123k
123a
124
n+
123
p
n+
134
756
121
183c
183b
131
133

【도 18f】



【도 19】

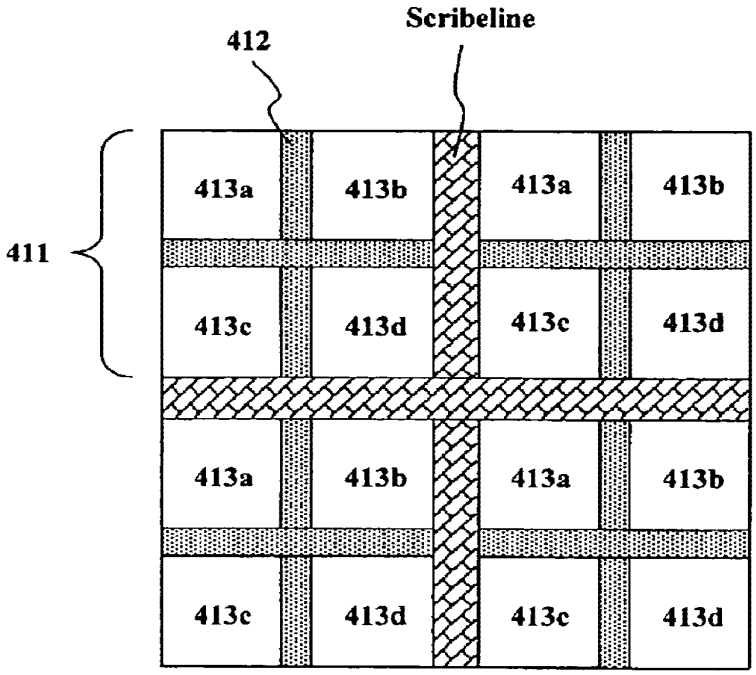


Exhibit 1006 - Page 268 of 375

대한민국특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2003-0047515
Application Number

출 원 년 월 일 : 2003년 07월 12일
Date of Application JUL 12, 2003

출 원 인 : 이상윤
Applicant(s) LEE SANG YUN

2004 년 06 월 11 일

특 허 청
COMMISSIONER

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.12
【발명의 명칭】	3 차원 집적회로 구조 및 제작 방법
【발명의 영문명칭】	3-Dimensional Integrated Circuit Structure and Method of Making the Same
【출원인】	
【성명】	이상윤
【출원인코드】	4-2002-034947-0
【대리인】	
【성명】	박승민
【대리인코드】	9-1999-000248-5
【포괄위임등록번호】	2002-071432-2
【발명자】	
【성명】	이상윤
【출원인코드】	4-2002-034947-0
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2003-0040920
【출원일자】	2003.06.24
【증명서류】	첨부
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 박승민 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	98 면 98,000 원
【우선권주장료】	1 건 26,000 원
【심사청구료】	0 항 0 원
【합계】	153,000 원
【감면사유】	개인 (70%감면)
【감면후 수수료】	64,100 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 복수의 디바이스를 갖는 단결정 반도체층과, 상기 단결정 반도체층의 위와 아래에 접한 단수 혹은 복수의 절연층과, 상기의 절연층 내에 배선과 연결선을 가지며, 상기 배선과 연결선은 상기 복수의 디바이스를 직간접적으로 연결하는 것을 특징으로 하는 3차원 IC 구조이다. 상기의 단수 혹은 복수의 단결정 반도체층은 접합에 의해서 형성되는 SOI(Semiconductor-On-Insulator)층이다. 상기 디바이스들은 격리구조에 의하여 분리되며, 각각의 디바이스는 격리구조에 메워진 절연체와 상기 디바이스의 위와 아래에 접합된 절연층으로 인하여 절연체층에 떠 있는 것과 같은 구조가 된다. 상기 디바이스들의 연결에는 상기 절연층 내의 배선과 연결선들이 사용되며, 전부 혹은 일부의 디바이스들은 물리적으로 또는 전기적으로 공유되는 기판을 갖지 않으며, 기판정렬구조 혹은 칩정렬구조를 갖지 않는 것을 특징으로 한다.

【대표도】

도 2

【색인어】

3차원 집적회로, 수직 디바이스, MOSFET, DRAM, SRAM, Flash Memory, Vertical Transistor, SOI, Inverter, SoC

【명세서】

【발명의 명칭】

3차원 집적회로 구조 및 제작 방법 {3-Dimensional Integrated Circuit Structure and Method of Making the Same}

【도면의 간단한 설명】

도1은 종래의 3차원 집적회로의 구조도.

도2는 베이스 반도체기판을 갖는 본 발명에 따른 3차원 집적회로의 구조도.

도3은 베이스 기판을 갖지 않는 본 발명에 따른 3차원 집적회로의 구조도.

도4a-4d는 본 발명에 따른 SOI층을 이용한 3차원 IC의 제작과정 설명도.

도5a는 SOI층이 하부전극과 직접 접하지 않은 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도5b는 연속적으로 복수의 SOI층들을 접합한 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도6a-6b는 수평 동작하는 디바이스를 SOI층으로 제작한 경우의 본 발명에 따른 3차원 집적회로의 제작과정 설명 및 구조도.

도7a-7c는 수직 동작하는 디바이스를 SOI층으로 제작한 경우에 있어서, 하부전극을 형성하는 경우의 본 발명에 따른 3차원 집적회로의 제작과정 설명 및 구조도.

도8a는 SOI층으로 제작된 수직 동작하는 디바이스에서 평탄화된 중간전극을 형성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도8b는 SOI층으로 제작된 수직 동작하는 디바이스에서 스페이서 형태로 된 중간전극을 형성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도8c는 SOI층으로 제작된 수직 동작하는 디바이스에서 스페이서 형태로 된 중간전극을 더미 수직 디바이스를 이용하여 확장한 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도8d는 SOI층으로 제작된 수직 동작하는 디바이스에서 중간전극이 수직디바이스의 위로 확장된 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도9a는 SOI층으로 제작된 수직 동작하는 디바이스에서 상부전극에 콘택트영역 형성을 위한 평탄화된 식각정지층을 갖는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도9b는 SOI층으로 제작된 수직 동작하는 디바이스에서 상부전극에 콘택트영역 형성을 위한 스페이서로된 식각정지층을 갖는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도10a는 SOI층으로 제작된 수직 동작하는 디바이스가 p-n 접합 다이오드인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도10b는 SOI층으로 제작된 수직 동작하는 디바이스가 상부전극에서 쇼트키접합을 갖는 쇼트키 다이오드인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도10c는 SOI층으로 제작된 수직 동작하는 디바이스가 중간전극에서 쇼트키접합을 갖는 쇼트키 다이오드인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도11a는 SOI층으로 제작된 수직 동작하는 디바이스가 공핍영역을 이용한 커패시터인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도11b는 SOI층으로 제작된 수직 동작하는 디바이스가 절연체를 이용한 커패시터인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도12는 SOI층으로 제작된 수직 동작하는 디바이스가 바이폴라 트랜지스터인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도13a는 SOI층으로 제작된 수직 동작하는 디바이스가 8개의 게이트를 갖는 멀티비트 MOSFET인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도13b는 SOI층으로 제작된 수직 동작하는 디바이스가 4개의 다른 크기로 된 게이트를 갖는 멀티비트 MOSFET인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도14는 SOI층으로 제작된 수직 동작하는 디바이스가 인버터인 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도15a-15b는 도14의 인버터로 SRAM 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 배선도.

도16a는 SOI층으로 제작된, 수직 동작하며 게이트를 갖는 싸이리스터를 이용한 SRAM 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도16b는 수직 동작하며 게이트를 갖는 싸이리스터와 MOSFET를 하나의SOI층안에 형성하여 SRAM 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도17a는 수직 동작하는 MOSFET과 공핍영역을 이용한 커패시터가 하나의 SOI층 안에서 직렬연결되어 DRAM 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도17b는 수직 동작하는 MOSFET과 절연층을 이용한 커패시터가 하나의 SOI층 안에서 직렬연결되어 DRAM 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도18a는 SOI층으로 제작된 수직 동작하는 MOSFET이 플로팅게이트와 콘트롤게이트를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도18b는 SOI층으로 제작된 수직 동작하는 MOSFET이 채널영역의 일부를 덮는 플로팅게이트와 채널영역의 나머지 부분과 플로팅게이트를 덮는 콘트롤게이트를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도18c는 SOI층으로 제작된 수직 동작하는 MOSFET이 플로팅게이트, 콘트롤게이트, 그리고 이레이즈게이트를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도18d는 SOI층으로 제작된 수직 동작하는 MOSFET이 산화막+질화막+산화막으로 구성된 게이트를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도18e는 SOI층으로 제작된 수직 동작하는 MOSFET이 플로팅게이트와 콘트롤게이트를 갖는 비휘발성 메모리를 구성하는 경우에 있어서 벌크에 전극이 연결된 구조를 갖는 본 발명에 따른 3차원 집적회로의 구조도.

도18f는 도18a와 같은 구조에 있어서 서로 다른 8개의 게이트로 구성된 구조를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 배치도.

도19a,b는 하나의 SOI층이 블록으로 나누어져 각기 다른 형태의 디바이스를 형성하는 경우의 본 발명에 따른 3차원 집적회로의 배치도.

도20a는 강유전체로 구성된 커패시터와 SOI층으로 제작된 수직 동작하는 디바이스가 직렬 연결된 구조를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도20b는 도20a와 같은 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 회로도.

도20c는 도20a와 같은 비휘발성 메모리 구조 2개를 이용하여 하나의 메모리 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 회로도.

도21a는 강유전체로 구성된 커패시터와 SOI층으로 제작된 수직 동작하는 디바이스가 병렬 연결된 구조를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도21b는 도21a와 같은 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 회로도.

도22a는 SOI층으로 제작된 수직 동작하는 MOSFET이 게이트절연층과 게이트 사이에 강유전체를 갖는, 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도22b는 SOI층으로 제작된 수직 동작하는 MOSFET이 플로팅게이트와 콘트롤게이트, 그리고 그 사이에 강유전체를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도23a는 자성박막층과 SOI층으로 제작된 수직 동작하는 디바이스가 직렬 연결된 비휘발성 메모리에서 자성박막층이 밑에 형성된 구조를 갖는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도23b는 자성박막층과 SOI층으로 제작된 수직 동작하는 디바이스가 직렬 연결된 비휘발성 메모리에서 자성박막층이 위에 형성된 구조를 갖는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도24는 가역상변환박막과 SOI층으로 제작된 수직 동작하는 디바이스가 직렬 연결된 구조를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도25는 fuse(혹은 antifuse)와 SOI층으로 제작된 수직 동작하는 디바이스가 직렬 연결된 구조를 갖는 비휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도26은 SOI층으로 제작된 수직 동작하는 MOSFET에 있어서 보디로 연결된 전극을 가지지 않는 휘발성 메모리를 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도27a는 SOI층으로 제작된 수직 동작하는 2개의 디바이스가 직렬 연결되어, 하나의 비휘발성 메모리 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도27b는 도27a와 같은 비휘발성 메모리 셀을 구성하는 경우의 본 발명에 따른 3차원 집적회로의 회로도.

도28은 SOI층으로 제작된 수직 동작하는 MOSFET이 Trench MOSFET을 대체하는 고압 디바이스로 사용될 경우의 본 발명에 따른 3차원 집적회로의 구조도.

도29는 SOI층으로 제작된 수직 동작하는 MOSFET이 DMOS를 대체하는 고압 디바이스로 사용될 경우의 본 발명에 따른 3차원 집적회로의 구조도.

<도면부호의 설명>

FLD IC층(101, 102, 104, 105), 복수의 층간 절연층(151, 152, 153, 154, 202, 204), 베이스 반도체기판(103, 241), 수평형태의 디바이스(113, 114, , 211), 연결선(131, 231), 배선(132, 232), 층간 절연층(133, 133c, 189, 233), 절연층(절연체)(138, 133a), SOI 단결정 반도체층(SOI층 혹은 단결정 반도체층)(124, 128), 수직형태의 디바이스(111, 112. 114), 선행기술에서의 수직형태의 디바이스(212), 패드(125, 145, 146, 225), 하부전극(121), 상부전극(122), 중간전극(123), 웰(142, 243), 기판(143, 242), 격리구조(135), 층간절연층의 경계(134, 234), 반도체기판(201, 203), 깊은 반도체기판 연결선(255), 중간접합층(120), 금속접합면(121), 분

리층(191), SOI 단결정 반도체기판(혹은 SOI 기판)(190), 베이스 기판(180), 식각 마스크(171, 173), MESFET 게이트전극(172), 식각선(149), 하부전극형성 식각마스크(182), 게이트절연층(183), 상부전극 연결 콘택트(122a), 중간전극 연결 콘택트(123a), 식각정지층(184), 커패시터 전극(123b, 123c), 하부전극 연결 콘택트(121a), 바이폴라 에미터(124a), 바이폴라 베이스(124b), 바이폴라 콜렉터(124c, 124d), 인버터 입력콘택트(123f), 인버터 출력 중간전극(123g), 인버터 출력콘택트(123h), 인버터에서 p-MOSFET 게이트 중간전극(124d), 인버터에서 n-MOSFET 게이트 중간전극(123e), SRAM 패스 트랜지스터(161a, 161b), 싸이리스터를 이용한 SRAM셀을 구성하는 콘트롤 트렌지스터(161c), 싸이리스터 게이트 중간전극(123j), 싸이리스터를 이용한 SRAM의 패스게이트(123i), DRAM의 플로팅쏘스(124e), 플로팅쏘스에 접하는 p영역(124f), 플로팅 쏘스와 연결되는 중간전극(123n), 플로팅 전극(123k), 플로팅게이트 절연층(183b), 콘트롤게이트 절연층(183c), 커패시터의 절연층(183d), 이레이즈게이트(323), 전하저장영역(30), 벌크연결 콘택트(122c), 다른 디바이스 형태를 갖는FLD IC층의 영역(413a, 413b, 413c, 413d), 하나의 칩(411), 다른 형태의 FLD 디바이스 영역간의 거리(412), 수직형태의 디바이스의 하부(124z), 벌크가 FLD의 위로부터 노출되는 경계선(756)

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<54> 본 발명은3차원 반도체 집적회로(Integrated Circuit, IC)의 구조와 제작방법 및 상기 3차원 IC를 구성하는 반도체 디바이스의 구조와 제작방법에 관한 것이다.

Exhibit 1006 - Page 279 of 375

<55> 선행기술에 있어서 3차원 IC를 구현하는 방법은 도1에 나와 있듯이 "하이브리드 IC 기술" 을 이용한 방법을 들 수 있다. "하이브리드 IC 기술" 은 이미 제작된 베이스 반도체기판(201)과 절연층(202)으로 구성된 하나의 IC위에, 다른 제2의 반도체기판(203)과 절연층(204)을 가진 이미 제작된 다른 IC를 접합하여 수직으로 쌓아 올리고, 이들 각 IC들을 서로 연결하기 위하여 USP5,751,049에서처럼 반도체 기판(242)을 관통하는 크고 깊은 연결선(255)이나 혹은 USP6,355,501에서처럼 요철모양의 구조(미도시)를 이용하여 미리 제작된 IC 기판(혹은 개별적인 IC 칩)을 접합하는 기술 등을 이용하고 있다.

<56> 하나의 접합된 IC 내에 있는 디바이스들 간의 연결은 일반적으로 접합된 IC의 바로 위에 있는 하나 이상의 절연층 내의 연결선에 의해서만 이루어지며, 접합된 IC밑에 있는 절연층은 그 아래에 있는 다른 IC 내의 디바이스 연결에만 주로 쓰인다. 또한 접합된 IC 내의 디바이스는 아래에 전극을 갖지 않고 항상 위로부터 형성된 콘택트에 의해서 전극이 연결된다.

<57> 상기 선행기술은 기판을 접합하는데 있어서 접합하는 기판과 접합되는 기판에 모두 기판정렬구조(혹은 칩정렬구조)를 가져야한다. 상기 기판정렬구조는 사진공정에 쓰이는 사진정렬 패턴과는 다르다. 따라서 3차원 IC를 구현하는 선행기술인 "하이브리드 IC 기술" 은 MCP(Multi-Chip Package)의 다른 형태이다. 선행기술인 "하이브리드 IC 기술" 을 이용한 3차원 IC의 주된 목적은 패키지간을 연결하는 배선의 길이를 줄여서 고속동작이 가능하게 하는 것이다.

<58> 상기 선행기술에 따른 3차원 IC의 특징은 다음과 같다. 하이브리드 IC에 있어서 각 층을 구성하는 IC가 따로 제작되고 이렇게 따로 제작된 IC가 접합되어 3차원 IC가 구현된다. 각 층을 구성하는 IC는 각각 물리적으로 IC를 구성하는 디바이스(212)들을 지지하는 기판(242)을 갖는다. 또한 일반적으로 각 층을 구성하는 IC에 있어서, IC를 구성하는 디바이스들이 웰(243)이나 기판(241, 242)같이 전기적으로 공유하는 기재를 갖는다. (선행기술에 있어서 SOI로 구성된 IC는

전기적으로 공유되는 기판을 갖지는 않지만, 각각의 디바이스를 물리적으로 지지하는 기판을 갖는다.) 또한 선행기술은 하나의 층에서 IC를 구성하는 디바이스들간의 연결이, IC 위에 층간 절연층을 쌓고 배선과 연결선을 연결하는 방법에 의해 이루어지는 것이 일반적이다.

<59> 또다른 선행기술이 있다. 이는 레이저를 이용하여 절연층 위의 다결정이나 비결정반도체를 녹여 단결정으로 만들고, 만들어진 단결정 반도체를 이용하여 디바이스를 만든다. 혹은 단결정 반도체기판 위에 절연층을 덮고 절연층으로부터 부분적으로 노출된 단결정 영역에서 절연층 위로 단결정 에피층을 성장(Epitaxy)시키는 방법이다.

<60> 그러나, 레이저는 반도체를 녹일 수 있을 정도의 고온이어야 하고 에피 성장 또한 일반적으로 1000℃이상의 고온이 필요하기 때문에, 무엇보다도 형성된 단결정반도체 내에 결함이 많아지게 되어 널리 쓰이지 않고 있다. 또한, 이러한 선행기술은 알루미늄 배선의 형성후에 진행되는 저온공정에 적합하지 않으며, 따로 제작되어 접합되는 하이브리드 IC와 마찬가지로 3차원으로 제작되는 디바이스를 형성하는 공정을 단순화하지 못한다.

【발명이 이루고자 하는 기술적 과제】

<61> 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 복수의 디바이스를 갖는 단결정 반도체층과, 상기 단결정 반도체층의 위와 아래에 접한 단수 혹은 복수의 절연층과, 상기의 절연층내에 배선과 연결선을 가지며 상기 배선과 연결선은 상기 복수의 디바이스를 직접 혹은 간접적으로 연결하는 것을 특징으로 하는 3차원 IC 구조 및 그 제조방법을 제공하는 것을 목적으로 한다.

<62> 본 발명의 다른 목적은, 상기 3차원 IC를 응용하여 다양한 수직 구조를 갖는 반도체 디바이스들을 제공하는 것이다.

【발명의 구성 및 작용】

<63> 본 발명에 따라 3차원 IC를 구성하는 대표적인 예가 도2에 나와있다. 본 발명은 패키지(Package) 기술이 아닌 디바이스 집적(Integration) 기술에 관한 것이다. 선행특허인 USP5,751,049, USP5,563,084, 혹은 USP5,751,049 등에 나와있는 선행기술에 있어서 3차원 IC의 형성은 독립적으로 동작이 가능한 IC들을 따로 제작하여 접합하는 패키지 기술이지만, 본 발명에 따른 3차원 IC는 독립적으로 동작이 가능한 IC가 아닌, 접합SOI 기술에 의하여 전달되며, 접합 이전에는 복수의 디바이스가 형성되어 있지 않은 단결정 반도체층(124)를 포함하는 얇은 막을 사용하여 순차적으로 디바이스를 형성해 나가는 디바이스 집적기술에 관한 것이다. 상기 단결정 반도체층은 SOI기술로 만들어지므로 간단히 SOI층이라고도 부른다.

<64> 여기에서의 "반도체를 포함하는 얇은막"의 의미는, p형이나 n형, 혹은 i(intrinsic)형 등의 불순물로 구분되는 반도체막이나 또는 절연층이나 금속층 등의 물질적으로 구별되는 막을 갖는 단결정으로 구성된 반도체를 포함하는 얇은 막을 의미한다. 또한 "복수의 디바이스가 형성되어 있지 않은 반도체막"의 의미는, SOI 기판에 의해 전달되는 단결정 반도체막에 복수의 디바이스 형성에 쓰이는 격리구조나 금속배선의 패턴(Pattern)과 연결선(Interconnection)을 갖지 않고 개별 디바이스별로 독립된 불순물(Impurity) 영역을 갖지 않음을 의미한다.

<65> 본 발명은 도2에 나와 있듯이 각각의 디바이스(111, 112, 113)들이 격리구조(135)에 의하여 절연층(133)으로 구성되는 3차원 공간안에서 독립적으로 떠있는 것과 같은 형태를 갖는다. 이러한 떠있는 형태의 디바이스(Floating Device, FLD)를 본 발명에서는 FLD(111, 112, 113)라 부르기로 한다. 따라서 본 발명은 하나의 접합된 IC층에 존재하는 각각의 디바이스들이 웰(142, Well)이나 기판(143, Substrate)처럼, 같은 형태의 디바이스들이 공존하며 전기적으로 공유되는 영역(일반적으로 쓰이는 수평형태의 MOSFET에서 벌크(Bulk)로 불리는 영역)을 갖지않고 선

행기술에 쓰이는 SOI IC의 기판과 같이 하나의 IC층내의 모든 디바이스들을 바닥절연층(BOX)을 사이에 두고 물리적으로 지탱하는 기판은 존재하지 않는다. 본 발명에서는 FLD(111, 112, 113)를 구성하는 하나의 IC층을 FLD IC층(101, 102)이라 칭하기로 한다.하나의FLD IC층의 위와 아래에 있는 층간절연층에는 배선(132, Interconnection line)과 연결선(131, Via 혹은 Contact)들이 있다. 이러한 배선(132)과 연결선(131)은 하나의 FLD IC층내의 FLD들을 직접 혹은 간접적으로 연결하며, 하나의FLD IC층의 위와 아래에 있는 다른 FLD IC층의 디바이스나 베이스(Base)기판(103)의 디바이스(114)들과도 연결된다.

<66> 본 발명에서는 도2에서와 같이 3차원 IC에 있어서 가장 밑에 있으며 FLD IC의 하부 절연층(151)과 접한 기판을 베이스(Base)기판(103)이라 칭하고, 베이스기판(103)위에 있는 첫번째 FLD IC층을 제1 FLD IC층(101)이라하며, 순차적으로 다음 층에 있는것을 제2 FLD IC층(102)이라 칭할 것이다.

<67> 반복하자면, 도2는 복수의 FLD IC층(101, 102)과 하나의 베이스 반도체기판(103)으로 구성되어 있다. 점선(134)으로 표시된 것은 복수의 절연층(층간 절연층) 사이의 경계를 나타낸다. 베이스 반도체기판(103) 위의 제1 층간 절연층(151)은 배선과 연결선을 포함하고 있으며, 이들 배선과 연결선을 제1 FLD IC층(101)과 공유하고 있다. 또한 어떤 연결선은 바로 제2 FLD IC층(102)과 바로 연결된다. 또한 제2 층간 절연층(152) 내의 배선과 연결선은 제1 FLD IC층(101)과 제2 FLD IC층(102)이 공유한다. 이러한 IC층간의 절연층 및 배선, 연결선의 공유가 본 발명의 특징이 된다.

<68> 본 발명에 있어서 전극의 형성은, 도2에서와 같이 각각의 FLD(111, 112, 113)들의 상부(122)와 하부(121)에 전극이 바로 연결될 수 있다. 반면에, 선행기술인 3차원 IC에 있어서는 단결정 반도체로 이루어진 개별디바이스의 바로 아래에는 전극을 형성할 수 없었다. 또한 본 발명에

있어서, 하나의 FLD는 수직으로 구분된 단수 혹은 복수의 중간전극(Intermediate, 123)을 형성할 수 있다. 이러한 중간전극(123)은 하나의 FLD IC층의 상부와 하부에 있는 연결선이나 배선들에 선택적으로 연결될 수 있다.

<69> 도2에서 베이스 반도체기판(103)에 로직(Logic) IC를 형성하고 제 1 FLD IC층(101)에 메모리(Memory) 디바이스를 형성하며, 제 2 FLD IC층(102)에 영상 센서와 같은 디바이스를 제작한다면, 하나의 반도체기판위에 여러 다른 종류의 디바이스를 구성하기 위하여 어렵고 값비싼 SoC 구조와 반도체 공정을 통하지 않고도, 본 발명으로 각각 최적화된 다른 종류의 디바이스를 하나의 IC로 묶을 수(Integration) 있다.

<70> 도3은 본 발명에 있어서 베이스 기판을 갖지 않고 FLD IC층 만으로 구성된 3차원 IC의 구조를 나타낸다. 우선, 베이스 기판 위에 절연층(153)을 구성하고 상기 절연층(153) 위에 SOI층(124)을 형성하고, 상기 SOI층(124)을 이용하여 디바이스(114)를 제작하고, 제작된 상기 단결정 반도체 디바이스(114) 위에 또다른 제2의 절연층(154)과 배선(132) 그리고 연결선(131)을 형성한 후에, 베이스기판을 상기 절연층(153)으로부터 분리하면 도3과 같은 구조가 된다. 여기에서의 베이스 기판(미도시)은 플라스틱, 세라믹, 금속, 유리, 혹은 반도체와 같은 물질이 될 수있으며, 균일하고 평편한 기판 형태로 되어있다. 상기 베이스 기판은 고온 열처리를 제외한 반도체 공정에서 일반적으로 사용되는 250℃-650℃ 정도의 온도에 견딜 수 있어야 한다.

<71> 또한 본 발명에 따른 도3은 제1절연층(153)의 하부와 제2절연층(154)의 상부에 패키지와 전기적으로 연결되는 패드를 가질 수 있다. 아래에 형성된 패드(146)는 와이어(wire)를 사용하지않고 쏠더(Solder)만으로 패키지와 바로 연결이 가능하며, 위에 형성된 패드(145)는 와이어로 패키지와 연결될 수 있다. 이렇게 형성된 패드는 칩의 면적을 줄이며 패키지의 집적도를 높일 수 있다.

<72> 이상의 설명에서, 본 발명이 선행기술과 구별되는 특징은 다음과 같다. 첫번째로 선행기술은 , 각각의 접합된 IC에 있는 서로 다른 디바이스들을 물리적으로 지지하기 위한 기판을 가지며, 바닥층에 있는 베이스 기판을 포함한 복수의 기판으로 구성되어 있다. 하지만 본 발명은 3차원으로 연결되어 있는 각각의 FLD들을 지지하기 위한 물리적인 기판이 요구되지 않는다. 또한, 본 발명은 바닥층에 베이스 기판이 없이 연결선과 배선을 갖는 층간 절연층과 함께 하는 FLD만을 이용한 구조를 가질 수 있다.

<73> 두번째로 선행기술은 일반적으로 각각의 접합된 IC에 있는 디바이스들이 서로 "전기적으로 공유하는 불순물 영역"을 갖는다. 하지만 본 발명은 전부 혹은 일부의 FLD가 "전기적으로 공유하는 불순물 영역"을 갖지 않으며, 절연물질로 전부 혹은 부분적으로 채워진 격리구조에 의하여 다른 디바이스와 전기적으로 독립된 형태를 갖는다. 이러한 전기적으로 독립된 구조에 의해 본 발명은 선행기술에 존재하는 기생 디바이스를 갖지 않는다.

<74> 세번째로는 선행기술은 기본적으로 패키지 기술이므로 수직으로 연결된 각각의 IC를 연결하기 위하여 입력, 출력, 동작전압, 혹은 그라운드 등의 IC 동작에 필요한 제한된 수의 기본적인 연결선만을 갖는다. 하지만 본 발명은 각각의 FLD가 개별적인 연결선을 가질 수 있으며 모든 FLD가 직접 혹은 간접적으로 FLD의 아래에 있는 연결선과 연결된다.

<75> 네번째로 선행기술은 각각의 IC 접합시에 정교한 기판정렬이 필요하며, 접합하는 IC(혹은 칩)와 접합되는 IC(혹은 칩)가 모두 기판정렬을 위한 구조를 가져야 한다. 여기에서 "기판정렬을 위한 구조"에는 기판 정렬마크와 요철모양의 정렬구조 등이 있다. 하지만 본 발명에서는 "기판정렬을 위한 구조"없이 단순히 기판에 있는 노치(notch)의 정렬 정도만으로 FLD가 구성되는 층을 형성할 수 있다. 왜냐하면 본 발명에서는 SOI 기판상에 형성되는 단결정 반도체층에는 복수

의 디바이스를 구성하는 격리구조나 배선의 연결같은 수평방향으로 구분되는 구조없이 수직방향으로 구분되는 단지 몇가지 층으로만 이루어져있기 때문이다.

<76> 다섯번째로 선행기술에서는 각 층에 있는 IC 안에 있는 디바이스들을 연결하는 배선과 연결선들이 디바이스 위쪽으로만 형성될 수 있지만, 본 발명에서는 FLD의 위와 아래 양쪽으로 모두 연결이 가능하다.

<77> 여섯번째는 선행기술은 일반적으로 수평으로 동작하는 MOSFET을 가지며 수직으로 동작하는 MOSFET의 경우에는 콘택트와의 배선연결이 어렵고 기존의 수평으로 동작하는 MOSFET과의 공존이 어렵다. 하지만 본 발명에서는 반도체에 쓰이는 MOSFET을 포함한 대부분의 디바이스를 수직방향으로 동작하는 구조로 만들수 있으며, 선행기술인 수직 디바이스와 비교하여 콘택트와의 배선연결이 용이하며 낮은 접촉저항을 가질 수 있다.

<78> 일곱번째로 선행기술은 로직을 형성하기 위하여 하나하나의 단위 형태의 디바이스들을 배선으로 연결하여 로직을 구성하지만, 본 발명은 배선없이 단위 디바이스를 하나의 반도체층 안에서 수직방향으로 직렬연결된 다중접합을 이용한, 즉 복합디바이스 형태의 로직을 FLD형태로 만들 수 있다. 왜냐하면 본 발명은 기본적으로 SOI형태를 가지므로 웰의 형성이 필요없기 때문이다. 본 발명에 특징적으로 쓰일 수 있는 여러 다른 형태의 FLD는 나중에 자세히 설명된다.

<79> 여덟번째로 본 발명에서는 FLD의 위와 아래, 그리고 중간 등의 모든 영역에 금속과 직접 접한 금속전극을 가질 수 있다. 여기에서의 금속전극의 면적은 격리식각으로 형성되는 FLD를 구성하는 단결정 반도체의 위와 아래의 면적과 같은 크기로 형성될수 있으므로 디바이스의 동작에서 전압강하를 최소화할 수 있다. 하지만 선행기술은 일반적으로 콘택트가 형성되는 영역만 금속과 접하므로 본 발명에 비하여 높은 접촉저항을 갖는다.

Exhibit 1006 - Page 286 of 375

<80> 도4a~d는 도3에 나와있는 3차원 IC 구조의 제작방법을 설명하고 있다. 도4a에서, 기판(180) 위에 사진공정에 사용되는 정렬마크(미도시)를 설치한 후에 단수 혹은 복수의 층간절연층(133)으로 이루어진 절연층(153)과 도체로 이루어진 배선(132)과 연결선(131)을 형성한다. 여기에서 절연층(153)을 구성하는 각각의 층간절연층(133)들은 점선으로 된 경계선(134)으로 구분되어 있다. 여기에서의 베이스기판(180)은 반도체공정에서 쓰일 수 있는 250℃-650℃ 정도의 온도에 견딜 수 있어야 한다. 도체는 낮은 저항을 갖는 전류/전압 전달물질이며, 알루미늄이나 구리와 같은 금속이나 내열성금속(Refractory Metal), 실리사이드, 혹은 고농도로 도핑되어 낮은 저항을 갖는 비결정 혹은 다결정 반도체 물질이 될 수 있다. FLD와 직접 혹은 간접적으로 연결되는 연결선(131)이 절연층(153) 위에 형성된 후에 FLD의 하부전극(121)으로 사용되는 금속층을 도포(Deposition)하고 필요에 따라 중간접합층(120)을 형성하는 또다른 금속을 가질 수도 있다. 중간접합층(120)으로 사용되는 금속은 절연층(153) 위에 놓인 금속배선(132)보다 낮은 온도에서 녹으며, SOI기판(190)과의 접합시에 접합면에서 "표면 미세불균일 (Surface Microroughness)"로 인하여 형성될지도 모르는 공간(void)의 형성을 방지하기 위하여, 표면 평탄화 과정에서 낮은 온도에서의 흘러내림(Reflow)이 좋아야한다. 만약 절연층(153) 내의 배선(132)이 알루미늄으로 구성되어 있으면, 중간접합층(120)을 형성하는 금속은 알루미늄의 녹는 온도인 660℃ 보다 낮은 250℃-650℃의 범위에서 녹는 금속이어야 한다. 250℃-650℃에서 녹는, 중간접합층이 될 수 있는 금속들의 종류와 녹는점은 다음과 같다. 알루미늄합금(Al Alloy, 204℃-674℃), 아연(Zn, 420℃), 아연합금(Zn Alloy, 377℃-484℃), 납(Pb, 328℃), 탈륨(Tl, 304℃), 텔루륨(Te, 445℃), 쏠더(Solder, 268℃-579℃), 주석합금(Tin Alloy, 223℃-422℃) 등.

<81> 도4b는 SOI기판(190)을 나타낸다. FLD를 형성하기 위하여 불순물층이 얇은 단결정 반도체층(124) 안에 형성되는데, 여기에서의 불순물층은 단결정 반도체층(124)에 이온주입을 하거나 단결정 반도체층(124)을 형성하기 위한 에피층(Epitaxial Layer) 성장과정중에 불순물을 넣어 형성시킬 수 있다. 단결정 반도체층(124) 위에 금속층(121)이 형성되며 이 금속층 위에 중간접합층(120)으로 사용되는 금속층이 형성된다. 여기에서 SOI기판(190)은 단결정 반도체기판으로, FLD를 구성하는 단결정 반도체층(124)의 형성을 위한 기재 역할을 한다. SOI 기판은 실리콘(Si), 게르마늄(Ge) 등의 단일물질 반도체나 혹은 SiGe, GaAs, GaP, GaN, InP등의 다양한 화합물 반도체가 될 수 있다. 또는 이 SOI 기판은 단일물질이나 화합물 반도체가 같이 접합된 단결정 반도체가 될 수도 있다. SOI 기판도 기판접합 이전에 표면 미세불균일을 없애기 위하여 낮은 온도에서 중간접합층(120)의 흘러내림(Reflow)이 우수한 것이 좋다.

<82> 여기에서 SOI 기판(190)은 원하는 두께 만큼의 깊이에 SmartCutTM (USP5,882,987)이나 ELTRANTM 기술 (USP5,371,037)을 이용한 다공층 (porous layer)이나 SiGenTM기술을 이용한 변형층(Strained layer) 등의 형태를 가진 분리층(191)을 가질 수 있다. 분리층(191)은 반도체 결정구조에 있어서 결함이 많은 영역이며 절연층과의 접합 이후에 FLD가 형성되는 단결정 반도체층(124)을 제외한 SOI 기판(190)을 분리하는 경계선이 된다.

<83> 도4c는 도4a의 절연층(153)과 도4b의 SOI 기판(190)을 접합한 후의 도면이다. 도4b에서 보았던 SOI 기판(190)이 뒤집어진 상태로 도4a의 절연층(153) 위에 접합되었음을 볼 수 있다. 접합시에도 접합면 사이의 공간(Void)을 없에고 접합 강도를 증가시키기 위해서 압력을 주어 밀착하면서 열처리를 할 수 있다. 이렇게, 낮은 온도에서 녹는 금속을 중간접합층으로 사용한 접합 이외에도, SOI기판의 접합에는 중간접합층(Intermediate-Layer Bond)으로 금(Au)을 사용한 유텍틱(eutectic) 접합이나 부드러운 금속박막(soft metal thin film)을 이용한 열압착

(thermocompress) 접합이 사용될 수 있다. 또는 절연막을 가진 기판표면 끼리의 접합이 될 수도 있다. 중간접합층(120)을 포함한 접합에 사용된 금속층(121)들은 FLD의 하부전극으로 사용될 수 있다.

<84> 도4d에서는 절연층(153)에 FLD가 형성되는 SOI층(124) 만을 남기고 SOI기판(190)은 분리되며, 전부 혹은 일부의 FLD사이에 격리 구조(135)가 설치된다. SOI기판의 분리는 분리층(도4c의 191)을 경계선으로 사용하며, 고속 워터젯(Water Jet)이 SOI기판(190)의 분리에 쓰일 수 있다. 분리층(191)을 이용하지 않고 BESOI (Bond and Etch-back SOI) 방법(USP5,013,681)으로 FLD가 형성되는 SOI층(124)만 남기고 나머지 SOI기판(190)을 갈거나(polishing) 식각(etching)하여 제거할 수 있다. 또는 매개 역할을 하는 기판(Handling Substrate, 매개기판)을 사용하여, SOI기판을 매개기판과 접하고, SOI기판으로부터 SOI층을 분리하여 매개기판으로 전달한 후에, 다시 매개기판으로부터 SOI층을 절연층으로 전달할 수 있다. 여기에서의 매개기판은 베이스기판과 같은 종류의 기판이 될 수 있다. 또는 매개기판은 진공(Vacuum)을 이용하여 단결정 반도체층을 일시적으로 진공흡착하여 SOI기판으로부터 전달받고, 절연층으로 전달시에는 진공흡착을 제거하여 쉽고 자연스러운 전달이 가능하게 할 수도 있다. SOI기판과의 진공흡착면에는 단결정 반도체 표면을 보호하기 위하여 두꺼운 절연층을 갖는 것이 좋다. 여기에서의 매개기판의 역할은 SOI기판을 절연층에 직접 접하고, SOI층만을 남기고 나머지 SOI기판이 절연층으로부터 분리될 때에, 절연층에 발생할 수 있는 손상(Damage)을 최소화하기 위함이다. 또는 USP6355501에서와 같이 폴리마이드(Polymide)를 사용하여 SOI기판을 매개기판과 접할 수 있다. SOI기판의 분리후에는 CMP(Chemical-Mechanical Polishing)를 사용하여 전달된 단결정 반도체 표면의 불균일을 줄일 수 있다.

<85> 단결정 반도체층(SOI 층)이 형성된 후에는 개별적인 FLD를 형성하기 위한 격리구조(135)를 설치한다. 격리구조(135)의 설치에는 SOI 층을 식각하는 트렌치(Trench) 기술이 쓰인다. 또한 이때에 칩 절단(Die Saw)을 용이하게 하기 위하여 반도체칩 사이에 존재하는 절단선(Scribeline) 위의 SOI층도 트렌치로 식각한다. 격리구조(135)의 형성시에 FLD 하부전극(121)은 자동적으로 형성된다. 하부전극(121)의 형성 방법은 도7a-7c에서 설명이 된다. 격리구조(135) 형성시에 FLD 아래에 있는 연결선(131)과 격리구조(135)의 정렬은, SOI기판에 의해 FLD를 형성하는 단결정 반도체층이 전달된 후에 베이스기판(180) 위의 사진정렬마크가 형성된 부분을 덮은 SOI층을 식각하여 베이스기판(180) 위의 사진정렬마크를 노출시키고, 노출된 사진정렬마크를 이용하여 정렬한다. 전류가 수직방향으로 흐르는 수직형태의 FLD의 경우에는 격리구조 안에 중간전극을 가질 수 있다. 상부전극과 전극을 배선과 연결시키는 콘택트, 그리고 FLD의 위에 형성되는 배선과 연결선은 일반적으로 쓰이는 반도체 공정에 따른다. 이러한 방법으로 FLD를 여러 층으로 쌓아 올라 가면서 IC의 집적도를 높일 수 있다. 따라서, 본 발명은 단결정 반도체층을 가진 SOI기판과 이미 배선과 연결선이 형성된 층간절연층과의 접합시에 기판정렬을 위한 정렬마크나 요철형태를 갖는 정렬구조가 필요하지 않다. 본 발명은 일반적으로 반도체 공정에서 요구되는 사진공정을 위한 사진정렬마크만을 이용하여 제작이 가능하다. 격리구조는 절연물질과 중간전극 등으로 채워진다. 격리구조에 형성되는 절연층과 중간전극의 형성 방법은 도8a-8d에서 설명이된다. 도4d이후로는 일반적으로 쓰이는 반도체 공정에 따라서 층간절연층, 배선과 연결선을 형성하고 베이스 기판을 분리하면 도3의 구조가 된다.

<86> 도4b에서는 SOI기판(190)의 윗부분인 n+층이 금속층(121)과 직접 접한 형태를 갖는다. 하지만 SOI기판(190)의 윗부분과 금속층인 하부전극(121) 사이에 또 다른 절연층(189)이 형성되어 절연층(153)에 연결될 수 있다(도5a). 이 경우에는 도5a에서와 같이 하부전극(121)이 절연층

Exhibit 1006 - Page 290 of 375

(189)을 갖는 게이트 전극으로 이용될 수 있다. 혹은 또다른 하부전극(121c)을 사용하여 FLD의 하부와 직접 접촉하는 전극을 형성할 수도 있다.

<87> 본 발명에 있어서 하나의 FLD IC층은 단수 혹은 복수의 SOI층으로 구성될 수 있다. 도1과 3에서 보여준 FLD IC층은 단수의 SOI층으로 구성된 경우이다. 도5b에서는 복수의 SOI층(124, 128)으로 이루어진 하나의 FLD IC층(105)을 보여준다. 상기 FLD IC층(105)은 FLD가 형성되기 전의 모습을 보여주고 있다. 도5b에 나와 있듯이 하나의 SOI층(124)과 다른 하나의 SOI층(128) 사이에는 연결선이 존재하지 않는다. 만약에 복수의 SOI층 사이에 연결선이 존재한다면 도2에서와 같이 하나의 FLD IC층(101)과 다른 하나의 FLD IC층(102)으로 구별된다. 복수의SOI층은, 하나의 SOI층(124)이 접합에 의하여 절연층(153)에 전달된 후에 같은 방법으로 또다른 SOI층(128)을 연속적으로 형성함으로써 구성된다. 도5b에서는 복수의 SOI층(124, 128) 사이에 절연막(138)을 갖고 있으며 이러한 절연막(138)으로 복수의 SOI층(124, 128)이 전기적으로 분리가 된다. 이러한 복수의 SOI층(124, 128)은 하나의 FLD IC(105)층에 전기적으로 분리된 여러 다른 형태의 디바이스를 형성할 수 있도록 한다. 예를 들어 3개의 다른 SOI층으로 구성된 하나의 FLD IC층에 있어서 하나의 SOI층은 n-MOSFET로, 다른 하나의 SOI층은 p-MOSFET로, 또다른 하나의 층은 메모리 디바이스가 될 수 있다.

<88> FLD는 일반적으로 쓰이는 반도체 디바이스로 MOSFET, 바이폴라, 다이오드, 커패시터, 저항 등의 형태이거나, CCD(Charge-Coupled Device)나 APS(Active Pixel Sensor)같은 영상센서 소자나, 혹은 MEMS(Microelectromechanical System)가 될 수 있다. FLD는 일반적으로 원기둥(도13a)이나 사각기둥(도13b), 혹은 여러개의

각(Angle)을 가진 기둥(Pillar) 혹은 속이 비어있는 원기둥과 같은 형태를 가질 수 있다. FLD의 폭이 좁아들어서 높이에 비하여 상당이 작은 값을 가지면 물리적으로 FLD를 지탱하는 바닥이 약해져서 FLD가 기울거나 아래에 있는 절연층으로부터 떨어져 나갈 수도 있다. 이러한 경우를 방지하기 위하여 FLD의 모양을 수직방향으로 위는 좁고 아래는 넓은 사다리꼴(Trapezoidal) 형태로 만들 수도 있다.

<89> 본 발명에 있어서 FLD를 형성하는 디바이스는 제작 공정에서 사용되는 온도에 따라서 고온(High Temperature, HT) 디바이스와 저온(Low Temperture, LT) 디바이스로 구분된다. 또한 디바이스의 동작방향에 따라서 수직(Vertical, V) 디바이스와 수평(Horizontal, H) 디바이스로 구분된다. 여기에서의 "수직" 또는 "수평"이 의미하는 바는 디바이스의 동작에 필요한 주된 전류의 흐름이 각각 "수직" 또는 "수평" 방향임을 의미한다.

<90> FLD를 형성하는 공정은 800℃ 이상의 고온과 650℃ 이하의 저온에서 사용 가능한 경우로 구분될 수 있다. 본 발명에서는 고온에서 제작 가능한 디바이스를 HT-FLD로, 저온에서 제작 가능한 디바이스를 LT-FLD혹은 간단히 FLD라 하기로 한다. 왜냐하면 본 발명의 주된 발명의 형태는 낮은 온도에서 제작되는 3차원 IC이기 때문이다. HT-FLD는 일반적인 디바이스 공정과 마찬가지로 이온주입과 주입된 이온의 활성화를 위한 열처리가 가능하며, HT-FLD를 일반적으로 반도체에 쓰이는 수평이나 수직 형태의 모든 디바이스로 제작이 가능하다. HT-FLD를 구성하기 위해서는 도4a~d에 나와있는 절연층(153) 내의 배선(132)이나 연결선(131)을 높은 온도에서도 녹지 않는 탄탈룸(Tantalum), 몰리브덴(Molybdenum), 텅스텐(Tungsten)과 같은 내열성금속(Refractory Metal)이나 구리(Copper)로 구성하여야 한다. 또한 베이스기판(180)도 800℃ 이상의 높은 온도에서 견디는 물질이어야 한다.

<91> 본 발명에서는 LT-FLD(혹은 FLD)의 경우에, 동작에 필요한 불순물층들이 디바이스 패턴을 갖지 않는 SOI기판에 이미 형성되어 절연층으로 전달되기 때문에 FLD의 제작시에 따로 이온주입과 고온열처리, 그리고 이온 주입을 위한 사진공정 등을 필요로 하지 않는다. 만약 FLD의 제작시에 고온 열처리를 한다면, 다른 층에 이미 형성된 디바이스의 특성을 변화시킬 수 있다. 이러한 변화를 예측하여 모든 다른 디바이스의 제작 공정을 조절하려면 많은 어려움이 발생한다. 따라서 본 발명은 기존에 있는 공정의 변경없이 디바이스가 이미 형성된 베이스 반도체기판과 함께 3차원 IC를 형성할 수 있으며, 이온주입과 이온주입에 사용되는 사진공정용 마스크를 생략하므로 일반적인 반도체 공정보다 저렴한 제작이 가능하다. 또한 고온 열처리가 없으면 내열성금속이나 구리와 함께 집적회로 반도체에서 가장 일반적으로 쓰이는 알루미늄과 같이 녹는 온도가 낮은 반도체 재료도 사용이 가능하다. 또한 LT-FLD는 금속으로 된 게이트의 사용이 가능하고, 높은 유전상수를 갖는 게이트절연물질의 사용이 선행기술에 비하여 용이하다.

<92> LT-FLD로 구성이 가능한 디바이스는 수직형태를 가진 VFLD(Vertical FLD)가 일반적이다. 왜냐하면 단결정 SOI반도체층 안에 이미 수직방향으로 접합형태를 갖는 불순물이 존재하고, 하부전극의 형성이 용이하기 때문이다. 하지만 낮은 온도에서도 이온주입 없이 수평으로 동작하는 HFLD(Horizontal FLD)의 제작이 가능하다. MESFET, MOSFET, 다이오드, 혹은 수평 바이폴라 트랜지스터 등의 HFLD 제작이 가능하다. 도6a에서와 같이 사진공정에 쓰이는 PR(Photoresist)이나 하드마스크(Hard Mask)같은 식각마스크(171)를 사용하여 단결정반도체의 일부를 식각하면 도6b와 같은 구조가 만들어진다. 도6b는 게이트(172)가 쇼트키 다이오드를 형성하는 금속접합으로 된 MESFET의 구조를 가진 HFLD를 나타낸다. 혹은 HFLD 바닥의 하부전극(121)이 게이트로 사용될 수도 있다. 도6b는 도2에서 113으로 표시된 FLD를 나타내는 것이다. 도6b에서 만약 게이트(172) 아래에 게이트 절연층을 가지면 MOSFET가 된다. 혹은 도6b에서 게이트가 옴(Ohmic)

Exhibit 1006 - Page 293 of 375

접촉을 가지고, n영역이 p영역으로 바뀌면 수평동작의 바이폴라가 된다. 상기 수평동작 바이폴라에서 n+ 영역이 음극으로 사용되고 p 영역의 전극(172)이 양극으로 사용되면 수평동작하는 다이오드가 된다. 또한 게이트의 사용없이 n 영역으로 저항을 구성할 수 있다.

<93> VFLD(혹은 LT-VFLD)는 MESFET, MOSFET, 다이오드, 커패시터, 저항, 바이폴라, 싸이리스터(Thryster)등의 디바이스가 될 수 있으며, 혹은 하나의 디바이스가 아닌, 회로를 구성할 수 있는 여러 다른 종류의 FLD가 수직방향으로 배선없이 연결된 형태가 될 수도 있다. VFLD는 수평형태의 디바이스가 최적화된 베이스 반도체기판과 연결선으로 연결되어 수직방향으로 최적화된 디바이스를 만들어 성능과 가격이 최적화된 SoC를 만들 수 있다.

<94> 도1에 나와 있는 선행기술에 쓰이는 수직형태의 디바이스(212)와는 달리 본 발명에서의 VFLD는 전극과 콘택트, 그리고 배선의 형성과 연결이 쉽고 자유스럽다. 여기에서 "전극"의 의미는 디바이스와 직접적으로 접촉하거나 혹은 절연체를 사이에 둔 게이트 등으로서, 디바이스 동작에 직접적으로 전기적으로 연결되는 부분을

Exhibit 1006 - Page 294 of 375

의미하며, "콘택트"는 전극과 배선을 연결하기 위하여 절연층을 수직으로 식각하여 형성된 부분을 의미한다. USP5414288, USP6027975, USP6337247, USP6449186 등에서 보여지듯이 선행기술인 수직형태의 디바이스에서는 아래에 있는 쏘스/드레인으로 쓰이는 불순물 영역을 콘택트와 연결하기 위해서 이 불순물영역이 수평으로 연장되어 콘택트가 다른 콘택트들과의 거리를 두고 형성될 수 있는 충분한 영역을 제공해야 한다. 따라서 선행기술에서는 바닥으로부터 연결된 쏘스/드레인전극의 저항과 기생 커패시터가 증가하게 된다. 도2에서와 같이 본 발명에 따른 FLD(111)를 연결하는 전극들은 하나의 FLD(111)의 위(122)와 아래(121)에 형성될 수 있으며, VFLD의 경우에 VFLD의 중간 영역에 형성되는 전극(123)도 FLD IC층의 위와 아래에 위치한 배선들과 연결이 가능하다. 또한 전극은 국부연결배선(Local Interconnection)으로 쓰일 수도 있다. 이러한 개별 디바이스의 3차원에서의 자유스러운 연결은 기존 선행기술에서는 불가능하다.

<95> 본 발명에 있어서 FLD의 아래 부분은 기판의 접합에 사용된 금속층(121)과 접하여 있고, 층간 절연층(151)에 형성된 연결선(131)에 바로 연결될 수 있으므로, FLD의 아래 부분은 이미 전극과 콘택트가 연결되어 있는 상태가 된다. 본 발명에 따른 FLD(111)에 있어서 하부전극(121)이 FLD(111)의 밑에 형성된 절연층(151) 안의 연결선(131)과 연결되기 위해서는 FLD와 연결선(131)이 서로 정렬이 되어야 한다. 여기에서의 정렬은 반도체 공정에서 사용되는 사진정렬 마크(미도시)에 의해서 이루어진다. 하지만 사진공정에서의 정렬은 허용오차를 가지며 이러한 허용오차 범위안에서 FLD의 아래에 형성된 전극(121)과 절연층(151) 안의 연결선(131)과 정렬

이 되어야 한다. 일반적으로 복수의 절연층과 복수의 연결선을 갖는 반도체는 서로 다른 절연층에 있는 연결선(131)들을 연결하기 위하여, 도2에 나와 있듯이 각 절연층 사이의 배선(132)의 일부분을 연결선보다 넓게 사용하여 사진/식각공정의 허용오차 범위 내에서 서로 연결될 수 있도록 하며, 이러한 연결선(131) 사이의 배선(132)의 형성은 사진 마스크(Mask)를 이용한 사진과 식각 공정이 필요하다.

<96> 본 발명에서는 도7a 및 도7b에서와 같이 FLD의 아래부분(124z)과 상기 아래부분(124z)과 연결되는 연결선(131)과의 정렬에 사용되는 배선(121)의 형성에 사진 마스크와 사진공정을 필요로 하지않는 자동정렬(Auto Align) 기술을 사용한다. SOI 기판의 접합에 사용되었던 금속층(131)의 일부분은 FLD의 아래부분(124z)의 연장선(Extension)으로 사용되고 상기 금속층(131)의 다른 일부분은 배선역할을 하는 부분으로 사용된다. 본 발명에서는 상기 금속층(121)을 하부전극이라 한다. 도7a에서와 같이 식각 마스크(173)를 이용하여 점선(149)으로 표시된 부분을 식각한다. 도7b에서는 스페이서로 형성된 식각마스크(182)를 보여준다. 여기에서의 식각마스크(182)를 사용하여 도7c에 보여지는 것과 같이 FLD 아래에 연결선(131)보다 넓은 배선(121)이 형성된다. 상기 배선(121)의 넓이는 식각마스크(182)를 FLD의 높이 이상으로 두껍게 도포한 후에 건식식각으로 형성할 경우에는 FLD높이의 대략 두 배 이상이 되는 넓이를 형성할 수 있다. 배선(121)의 넓이는 하드마스크의 두께와 FLD 높이, FLD간격, 그리고 스페이서(182)를 형성하는 식각의 정도에 따라 달라진다. 만약 FLD의 넓이가 사진공정의 허용오차 범위보다 크면 배선(121)의 형성없이 하부전극을 형성할 수 있다.

<97> 본 발명에서 VFLD의 중간전극은 다음과 같은 방법으로 형성할 수 있다(도8a~d 참조). 첫번째는 평탄화 전극의 형성이다. 평탄화 중간전극(123)의 형성은 먼저 전극을 형성하는 물질을 도포한 후에 CMP(Chemical-Mechanical Polishing)와 같은 방법으로 전극물질을 평탄화하고, 건식식각

Exhibit 1006 - Page 296 of 375

(Dry Etching)을 하면 도8a에서와 같은 평탄화 중간전극(123)을 만들 수 있다. 이때 전극의 패턴을 형성하는 사진공정은 상기 건식식각 전이나 후에 사용할 수 있다. 이때 도포되는 전극물질의 두께는 일반적으로 VFLD의 높이보다 높다. 또한 이때 VFLD의 위에는 건식식각으로부터 VFLD가 형성되는 SOI층(124)의 손상(Damage)을 방지하기 위한 식각정지층(Etch Stop Layer)이 필요하다. 식각정지층은 일반적으로 복수의 산화막이나 질화막 또는 금속층으로 구성된다. 도8a에서 FLD의 격리구조(135)를 채우는 절연층(133a)은 평탄화 중간전극과 같은 방법으로 두껍게 도포된 후에 평탄화를 거쳐 건식식각으로 또다른 층간절연층(133) 위에 형성되며, 하부전극(121)과 평탄화된 중간전극(123) 사이의 기생저항의 크기를 작게 한다.

<98> 두번째는 도8b에서와 같이 스페이서(123)를 이용한 방법이다. 중간전극을 형성하는 스페이서의 넓이가 크면 중간전극에 연결되는 콘택트의 형성이 쉽지만 높은 집적도를 구현하기 힘들고, 스페이서가 얇으면 콘택트의 형성이 어렵다. 스페이서를 이용한 전극의 형성은 사진공정이나 CMP를 사용하지 않는 장점이 있다.

<99> 세번째는 디바이스로 동작하지 않는 더미(dummy) FLD(124a)를 이용한 스페이서 방법이다. 도8c에서 나와있듯이 더미FLD(124a)는 디바이스로 사용되는 FLD와 가까이 위치하여 중간전극(123)이 형성되는 스페이서의 면적을 증가시키며, 중간전극(123)과 연결되는 콘택트(123a)가 더미FLD(124a)에 걸쳐 있어도 되므로 콘택트 형성의 마진을 증가시킨다. 도8c에서와 같이 디바이스로 사용되는 FLD와 더미FLD(124a) 사이의 거리는 스페이서(183) 두께의 두배보다 작아야 한다.

<100> 네번째로 도8d에서와 같이 얇은 스페이서를 이용하면서 FLD의 위로 중간전극(123)을 연장시키는 방법이다. 중간전극물질을 도포한 후에 사진공정으로 중간전극에 콘택트(123a)가 형성되는 부분을 가리고 나머지 부분을 건식식각하면 도8d와 같은 모양이 된다. 이 방법은 스페이서의

두께가 작아도 콘택트의 형성에 문제가 없으며, 중간전극과 상부전극간에 기생 커패시터을 줄이기 위하여 상부전극위에 두터운 절연층이 필요할 수도 있다.

<101> 중간전극은 VFLD의 중간영역을 완전히 둘러싸거나 혹은 일부분에만 중간전극이 형성될 수 있다. 또한 중간전극은 하나의 FLD에 복수로 나누어져 형성될 수도 있다.

<102> FLD에서 상부전극(122)은 도7a에서와 같이 SOI층이 SOI기판으로부터 절연층에 전달된 후에 전극물질(122)을 SOI층위에 도포하고 FLD가 형성되는 부분을 남기는 식각을 함으로써 자연스럽게 도7b에서와 같이 형성될 수 있다. 도8d에서와 같이 FLD의 상부전극(122)을 연결하는 콘택트(122a)는 FLD의 넓이가 넓을 경우에는 일반적으로 쓰이는 반도체 공정과 같은 사진/식각기술을 사용할 수 있다. 하지만 FLD의 넓이가 콘택트(122a)의 형성시에 사용되는 사진공정에서의 정렬오차범위보다 작거나 혹은 콘택트(122a)의 크기가 FLD를 구성하는 SOI(124)의 면적보다 넓으면, 상부전극을 연결하는 콘택트(122a)의 형성을 위한 사진/식각 공정에서 중간전극(123)과의 접촉고장을 일으킬 수 있다. 따라서 본 발명은 FLD의 상부전극을 연결하는 콘택트(122a)의 형성시에 사진/식각 공정에서의 허용오차 범위를 증가시키는 몇가지의 다른 구조를 갖는다. 첫번째는 상부전극(122)을 형성하는 전극물질의 높이를 증가시켜서 콘택트 식각마진을 증가시키는 것이다. 두번째는 도9a에서와 같이 평탄화 기술로 만든 식각정지층(184)을 이용한 방법이다. 세번째는 도9b에서와 같이 스페이서 형성기술로 만든 식각정지층(184)을 이용한 방법이다. 여기에서의 식각정지층(184)은 콘택트(122a) 형성시에 식각이 되는 절연층(133c)과 비교하여 식각속도가 낮은 물질이어야 한다. 예를 들어서 절연층(133c)이 산화막이면 식각정지층(184)이 질화막이 될 수 있다.

<103> 본 발명에서는 낮은 온도에서 형성되며 수직으로 동작하는 여러 다른 형태의 VFLD를 다음과 같이 표기한다: MOSFET(VMFLD), MESFET(VMEFLD), 다이오드(VDFLD), 저항(VRFLD), 커패시터(VCFLD), 바이폴라(VBFLD), 싸이리스터(VTFLD).

<104> 본 발명에 따른 VDFLD를 도10a에서와 같이 수직으로 된 p-n이나 p-i-n 등의 접합 다이오드로 구성할 수 있다. 또한 도10b에서와 같이 수직으로 된 쇼트키 다이오드를 구성하며, 금속으로 된 상부전극(122)과 SOI(124)의 접합부분에서 쇼트키를 형성한다. 혹은 도10c에서와 같이 금속으로 된 중간전극(123)을 쇼트키로 이용한 3차원 구조의 쇼트키 다이오드가 될 수 있다. 중간전극(123)을 이용한 쇼트키 형태의 VDFLD는 전류의 흐름이 양극(Anode)인 중간전극(123)을 통하여 상부전극(122)과 하부전극(121)의 음극(Cathode)으로 흐르므로, 도10b에서의 쇼트키 다이오드와 비교하여 2배의 전류구동 능력을 갖는다.

<105> 본 발명에 따른 VCFLD는 2가지로 구분된다. 하나는 VCFLD를 구성하는 단결정 반도체 안에 형성되는 공핍층을 이용한 MOS 커패시터 형태의 VCFLD와, 공핍층의 형성없이 절연층 사이에서 전하를 저장하는, 절연층을 이용한 VCFLD로 구분할 수 있다. 만약에 반도체의 도핑이 낮으면 반도체안에 공핍영역이 형성되고, 반대로 반도체의 도핑이 높으면 반도체안에 공핍영역이 형성되지 않고, 절연층을 이용한 VCFLD가 된다. 본 발명에 따른 VCFLD의 예는 도11a, b에 나와 있다. 도11a에는 n 형으로 도핑(Doping)된 단결정 반도체(124)를 감싸는 게이트 절연층(183)이 있고, 게이트 절연층(183)을 감싸는 게이트전극(123b)과 n 형으로 도핑된 단결정 반도체를 연결하는 전극(121)이 각각 존재한다. 이 경우는 MOS커패시터 형태이다. VCFLD에서 게이트(123b)는 반도체 영역(124)의 일부분에 한정되어 형성될 수도 있다. 일반적으로 커패시터의 용량은 전극의 면적에 비례하므로 반도체(124)를 둘러서 감싸는 게이트(123b)는 VCFLD의 용량을 증가시킨다.

만약 게이트 절연층이 없이 금속으로 된 게이트가 반도체와 직접 만나서 쇼트키 다이오드를 형성하여도 다이오드의 역전압을 이용한 커패시터로 사용이 가능하다.

<106> 본 발명에 따른 VCFLD에 있어서 반도체의 구성을 기둥형태로 하면 반도체와 게이트의 접촉면적을 증가시켜서 커패시터의 용량을 증가시킬 수 있다. 또는 도11b에서 보여주듯이 하나의 VCFLD 위에 또다른 게이트(123b, 123c)와 또다른 게이트 절연층(183)을 반복적으로 쌓아올려서 여러 절연층으로 구성된 커패시터를 형성하고, 이렇게 쌓아올린 커패시터와 VCFLD를 병렬연결하면 커패시터의 용량를 증가시킬 수 있다. 이러한 커패시터의 구성은 DRAM에 쓰이는 적층 (Stacking) 커패시터의 구조와 같다. 도11b에서 콘택트(121a)는 적층 커패시터를 연결하는 게이트(123c)와 VCFLD의 하부전극(121)을 연결하는 역할을한다.

<107> 바이폴라 형태의 VBFLD가 도12에 나와있다. VBFLD에서 콜렉터(124d, 124c), 베이스(124b)와 에미터(124a)를 구성하는 불순물층은 SOI기판에서 형성된 후에 전달되며, 에미터(124a)와 콜렉터(124d)에 형성되는 전극은 VBFLD의 아래(121)와 위(122)에 그리고 베이스(124b)의 전극(123)은 중간에 형성된다. 에미터(124a)의 형성은 VBFLD의 위 혹은 아래쪽의 어느 한 곳에 형성될 수 있으나 본 발명에서는 아래쪽에 형성되어 있다. 이 경우, VBFLD를 형성하는 단결정 반도체(124a-124d)가 SOI기판으로부터 전달되기 이전에는 에미터(124a)가 SOI기판의 위쪽에 형성되며, 이 경우에 에미터(124a)와 베이스(124b) 영역의 형성에 있어서 좀더 정교한 깊이 조절을 할 수 있으며, SiGe로 베이스가 형성된 헤테로정션(Heterojunction)도 가능하고, 다결정 반도체를 에미터의 일부분으로 사용하는 에미터를 형성시킬 수도 있다. 또한 에미터(124a)가 VBFLD의 아래쪽에 위치함으로 인하여 단결정 반도체층이 SOI기판으로부터 전달된 후에 실시하는 단결정 반도체 표면 평탄화 공정으로부터 발생할 수 있는 반도체 두께의 변화로부터 에미터 영역

을 멀리 할 수 있다. 만약에 매개기판을 사용하여 단결정 반도체층이 전달될 경우에는 에미터가 FLD의 위쪽에 있게 된다.

<108> 본 발명으로 형성되는 VBFLD는 콜렉터의 직렬저항을 낮추기 위해 선행기술에서 이용되는 고농도의 매립층(Buried Layer)이나 콜렉터 콘택트영역과 매립층을 연결하는 고농도 불순물 주입 등이 필요하지 않으며, 선행기술로 제작된 바이폴라 디바이스에 비하여 낮은 콜렉터 직렬저항을 갖는다. 또한 VBFLD의 중간에 형성되는 중간전극(123)인 에워싸는(Surrounding) 베이스 전극을 이용하면 베이스 전극과 베이스영역이 만나는 면적이 증가하여 고농도의 진성(Extrinsic) 베이스 영역의 형성없이도 베이스의 저항을 낮출 수 있다. 또한 본 발명으로 구성된 VBFLD는 선행기술에 존재하는 바이폴라 디바이스의 고속동작을 방해하는 여러 기생 커패시터를 최소화할 수 있으며, 본 발명에서 VBFLD에는 기판이 없기때문에, 선행기술에서 나타나는 베이스-콜렉터-기판으로 구성되는 기생 바이폴라의 형성이 본 발명에서는 존재하지 않는다. 본 발명으로 구성된 VBFLD는 선행기술에서 요구되는 깊은 식각격리(deep Trench)나 낮은 식각격리(Shallow Trench)와 같은 여러 다른 종류의 격리구조를 하나의 격리구조(135)로 단순화시킬 수 있다. 도11에서 베이스를 연결하는 중간전극(123)이 낮은 농도의 콜렉터(124c)와 같이 연결되면 베이스(124b)와 콜렉터(124c)사이에 쇼트키다이오드가 형성되어 VBFLD의 고속 동작을 가능케 한다.

<109> MOSFET형태를 갖는 VMFLD는 도8a-8d와 9a-9b에 도시되어 있다. 수직형태의 MOSFET은 기존에 널리 쓰이는 수평 형태에 비하여 적은 면적에 많은 디바이스를 형성하여 집적 밀도(integration density)를 높일 수 있는 장점과 MOSFET 디바이스의 경우 채널의 길이가 사진이나 식각기술에 제한을 받지 않는다는 장점, 그리고 같은 채널 길이(Channel Length, L)를 갖는 수평 형태의 MOSFET보다 채널폭(Channel Width)을 증가시킬 수 있어서 많은 전류를 구동시킬 수 있다는 장점이 있다.

<110> 하지만 선행기술에 쓰인 수직 형태를 가진MOSFET(Vertical Transistor, VT)은 다음에 열거된 여러 가지 단점들로 인해서 많이 사용되지 않는다. USP5414288과 USP6027975등에 쓰인 수직 형태의 MOSFET은 국부적으로 노출된 단결정 영역에 단결정 에피(Epitaxial) 성장시켜서 채널 영역을 구성하는 기술이며 이 기술은 제작 기술이 어렵고 복잡하며 에피 성장에 높은 열을 요구하므로 낮은 온도를 요구하는 반도체 제작방법에는 적합하지 않다.

<111> USP6337247과 USP6449186 등에 쓰인 기둥 형태를 가진 SGT(Surrounding Gate Transistor)는 기능이 최적화된 기존의 수평 형태의 디바이스와 공존하기 어렵고, 이온주입을 통한 불순물 주입시에 수직으로 서있는 기둥형태의 트랜지스터로 인하여 그늘효과(Shadow Effect)를 발생시킬 수 있다. 또한 SGT는 쏘스/드레인 영역과 게이트의 전극 형성에 어려움이 있기 때문에, 수평형태의 디바이스에 비해서 높은 집적도를 구현하기 힘들다. 또한 최적화된 기존의 수평 형태의 디바이스와 공존하기 어렵기 때문에, 선행기술인 위의 두 발명 형태 모두가 SoC(System on Chip)를 구성하기에 적합한 기술이 아니다.

<112> 본 발명에서의 VMFLD는 하부전극(121)이 바로 쏘스/드레인에 접하여 기생저항에 의한 전압강하나 전류감소를 줄일 수 있다. 또한 VMFLD는 선행기술과 마찬가지로 완전공핍(Full Depletion)이나 부분공핍(Partial Depletion)이 되는 VMFLD를 FLD를 형성하는VMFLD의 폭에 따라 자유롭게 조절할 수 있다. 여기에서 완전공핍과 부분공핍을 결정하는 VMFLD의 폭은 동작전압, 게이트의 유전상수에 의존한다. 이러한 두 가지의 다른 공핍에서의 동작은 수평으로 동작하는 SOI 디바이스에서는 구현하기 매우 어려운 기술이다. SOI기판으로부터 분리되는 단결정 반도체층의 표면이, VMFLD의 고농도 쏘스나 혹은 드레인 영역이 되므로, 비록 표면에 작은 결함이 있어도 수평형태의 디바이스와 달리 게이트 절연층의 품질(Quality)에 영향을 주지 않으며 디바이스의 동작이나 수율(Yield)에 미치는 영향이 적다.

<113> 본 발명에 따른 VMFLD는 채널이 형성되는 영역에 불순물이 불균일하게 분포하여, 채널 영역에서 전류가 흐르는 방향으로 전장(Electric field)의 기울기가 생겨서 전류의 흐름을 돕고, 또한 미세채널효과(Short Channel Effect, SEC)를 줄이는 형태의 구조를 가질 수 있다. 여기에서의 불순물의 불균일한 분포는 SOI기판에서 이온주입이나 에피성장시에 자연스럽게 형성된다. 쏘스로부터 드레인쪽으로 채널(Channel)이 형성되는 영역의 농도가 증가하는 이러한 불균일한 분포는 VMFLD를 비대칭동작하게 만든다. 또한 쏘스에는 낮은 농도의 불순물층인 LDD(Light Doped Drain)가 없고 드레인에만 LDD가있는 불균일 불순물구조도 만들 수 있다. 선행기술에 있어서 수평으로 동작하는 MOSFET에서 이러한 불균일한 불순물 분포를 만들려면 기울기(Tilt)가 큰 이온주입을 포함한 공정과 디바이스 배치에서의 어려움 등으로 인하여 쉽게 구현할 수 없다
.

<114> 본 발명에 따른 MOSFET 형태의 VFLD(또는 간단히 VMFLD)의 게이트절연층은 USP5330935나 USP5443863에서와 같은 650℃보다 낮은 온도에서 형성할 수 있는 열산화막(Thermal Oxide)이나 도포된 산화막, 또는 산화막과 질화막을 합친 ONO(Oxide-Nitride-Oxide)나 NO(Nitride Oxide), 질소가 첨가된 산화막(Oxynitride) 등 선행기술에서 쓰이는 게이트절연층들 중에서 650℃ 이상의 고온을 사용한 공정을 제외한 거의 모든 게이트 절연 물질을 사용할 수 있다. 본 발명의 또다른 장점은 Al2O3, ZrO2, HfO2, Y2O3, La2O3, Ta2O5, TiO2, BST 등과 같이 절연상수(Dielectric Constant)가 큰 물질을 게이트절연체로 사용하는데 있어서 선행기술보다 유리하다. 선행기술에서는 절연상수가 큰 게이트물질을 도포한 후에 쏘스/드레인의 주입된 불순물을 활성화시키기 위한 고온이 필요하며 이때 절연상수가 큰 물질의 특성이 변화할 수 있다. 하지만 VMFLD의 제작 공정은 높은 온도를 요구하지 않으므로 게이트절연층의 형성 이후에도 절연상

수가 큰 물질을 안정적으로 게이트절연층으로 사용할 수 있다. 또한, VMFLD의 게이트절연층 형성시에 ALD(Atomic Layer Deposition)을 이용하면 좀더 균일한 박막을 얻을 수 있다.

<115> 본 발명에 따른 VMFLD에 있어서 게이트 절연층의 두께를 바꾸거나, FLD의 두께를 바꾸어서 문턱전압(Threshold Voltage)이 다른VMFLD를 형성할 수 있다. 게이트 절연층의 두께를 달리하거나 유전 상수가 다른 물질을 각기 다른 VMFLD에 사용하면 동작 전압과 문턱전압이 각기 다른 VMFLD를 동시에 형성할 수 있으므로, SoC의 형성에 도움이 된다. 또한 본 발명에서의 VMFLD는 낮은 온도에서 제작되고, 채널 형성부분을 둘러싸는 게이트를 만들 수 있기 때문에, 선행기술에 비하여 금속을 게이트로 쓰기에 적합하다.

<116> 선행기술에 있어서 디지탈 응용에 쓰이는 MOSFET은 전류나 전압의 크기에 따라서 "0"과 "1" 혹은 "off"와 "on"으로 구분되는 두 가지 종류의 다른 값을 갖는다. 본 발명에 따른 VMFLD는 도 13a에 나와있는 것처럼 하나의 드레인과 쏘스를 공유하는 수평으로 구분되는 복수의 게이트에 의하여 여러가지 다른 값을 갖는 멀티레벨(Multi-Level, ML) VMFLD를 형성할 수 있다. VMFLD에서 전류크기는 게이트의 넓이에 비례한다. 따라서 단순히 같은 넓이를 갖는 복수의 게이트를 만들어 순차적

으로 증가하는 전류를 갖는 VMFLD를 만들거나, 혹은 다른 넓이를 갖는 복수의 게이트를 하나의 VMFLD에 사용하여 다양한 전류값을 갖는 ML-VMFLD를 형성할 수 있다. 도13b는 "W" 크기를 갖는 두개의 게이트와 "3W" 크기를 갖는 두개의 게이트로 구성되는 ML-VMFLD를 보여준다. 여기에서의 "W"는 값을 갖는 일반적인 숫자를 의미하며, "3W"는 "W"의 3배가 되는 값을 의미한다. 도13b에 나와있는, 이러한 4개의 게이트들의 조합으로 ML-VMFLD는 "0"에서 "8"까지 9가지의 다른 값을 전류로 표시할수있다. 만약 같은 넓이를 갖는 ML-VMFLD로 9개의 다른 값을 가지려면 도13a에서와 같이 8개의 게이트가 필요하다. ML-VMFLD는 메모리나 혹은 디지탈 로직 디바이스의 응용에 쓰일 수 있다. 멀티레벨을 갖는 중간전극은 MOSFET 이외에도 다른 종류의 디바이스에 사용될 수 있다. 바이폴라에서도 베이스에 연결된 복수로 구성된 중간전극으로 멀티레벨을 구성할 수 있다.

<117> 본 발명에 따른 3차원 IC를 구성하는 FLD는 MOSFET나 바이폴라와 같이 단일 형태의 디바이스 뿐만이 아니라, 복수의 단일 디바이스가 하나의 FLD로 결합한 형태를 가질 수도 있다. 도14에서는 본 발명으로 구성된 VFLD 구조의 인버터를 표시하였다. 인버터를 구성하는 p-MOSFET과 n-MOSFET은 각기 다른 웰(well)을 요구하지 않으므로 높은 집적도를 가질 수 있다. p-MOSFET의 게이트전극(123d)과 n-MOSFET의 게이트전극(123e)을 연결하여 인버터의 입력이 되는 콘택트(123f)가 있고, p-MOSFET의 드레인과 n-MOSFET의 드레인을 연결하여 인버터의 출력이 되는 전극(123g)과 콘택트(123h)가 있다. 도14에서의 p+-p-p+로 이루어진p-MOSFET은 공핍모드(Depletion Mode)로 동작하는p-MOSFET이다. 여기에서의p-MOSFET은 p+-n-p+으로도 이루어 질수 있으며, 이경우에는 n영역에 기준전압이 가해져야한다. 도14에서와 같이 본 발명에서의 중간전극을 연결하는 배선은 FLD사이의 격리구조에 존재하는 절연층을 관통하는 콘택트로 인하여 FLD층의 위와 아래로 연결될 수 있다.

<118> FLD를 이용한 인버터의 구성은, 하나의 SOI층만으로 구성된 도14에서와는 달리, 도5b에서와 같이 두개의 SOI층을 이용하여 하나의 SOI층에는n-MOSFET을 다른 하나의 SOI층에는p-MOSFET을 각각 구성하여 하나의 FLD IC층에 하나의 인버터를 구성할 수 있다.

<119> 본 발명에 따른 3차원 IC를 구성하는 복수의 FLD를 이용하여 메모리(Memory) 디바이스를 구성할 수 있다.

<120> 또한 도14에 나와 있는 것과 같은 VFLD 형태의 인버터 두개와 베이스 반도체기판에 있는 두개의 패스(Pass) 트랜지스터를 이용하여, 총6개의 트랜지스터를 이용한 SRAM(Static Ramdom Memory) 셀(Cell)을 구성할 수 있다. 두개의 인버터는 VFLD로 되어 있으며 워드라인(World Line, WL)과 비트라인(Bit Line, BL)을 갖는 2개의 패스(pass) 트랜지스터(161a, 161b)는 베이스 반도체기판 위에 형성된다. 도15a와 도15b는 두개의 FLD 인버터에서 하나의 입력을 다른 하나의 출력에 연결하고 하나의 출력을 다른 하나의 입력에 연결한 래치(Latch)형태를 각각 위(도15a)에서 및 밑(도15b)에서 콘택트를 배선으로 연결한 그림이다. 하나의 VFLD 인버터의 콘택트들(122a, 123h, 123f, 131)에 대응하는 다른 하나의 VFLD 인버터의 콘택트들(122a, 123h, 123f, 131)은 밑줄로 구분하여 표시하였다. 따라서 작은 면적에 많은 양의 SRAM 셀을 구성하여 집적도를 증가시킬 수 있는 구조를 가질 수 있다. 특히 베이스 반도체기판은 SRAM 셀을 구성하는 p-MOSFET를 위한 n-well의 형성이 요구되지 않으므로 베이스 반도체기판에서 더욱 높은 집적도를 가질 수 있다. 만약 4개의 패스 트랜지스터를 사용하면 dual-port SRAM를 제작할 수 있다.

<121> 위의 발명형태 이외에도 본 발명에 따른 SRAM 셀의 제작에 있어서는 다양한 방법이 가능하다. 첫번째는 베이스 반도체기판에 4개의 n-MOSFET을 형성하고 2개의 p-MOSFET을 FLD로 형성하는 6

개의 트랜지스터를 이용한 SRAM 셀, 두번째는 베이스 반도체기판에 2개의 p-MOSFET을 형성하고 4개의 n-MOSFET을 FLD로 형성하는 6개의 트랜지스터를 이용한 SRAM 셀, 세번째는 2개의 FLD형태의 p-MOSFET을 하나의 FLD층에 형성하고 4개의 FLD형태의 n-MOSFET을 다른 하나의 FLD층에 형성하는 6개의 트랜지스터를 이용한 SRAM 셀, 네번째는 4개의 트랜지스터와 2개의 저항을 이용한 SRAM 셀로 트랜지스터가 베이스 반도체기판에 있거나 혹은 하나의 FLD층에서 FLD로 구성되며, 저항은 다른 하나의 FLD층에서 FLD로 형성되거나 혹은 다결정 반도체로 구성되는 SRAM 셀을 들 수 있다.

<122> 선행기술에서 종래에 싸이리스터를 이용한 SRAM은 하나의 반도체기판 위에 수평 형태의 MOSFET인 엑세스 트랜지스터와 수직형태의 싸이리스터를 동시에 형성하여 제작 공정이 복잡하고 다른 형태의 디바이스와 공유하기 어려운 공정을 사용하므로 SoC에 적합하지 않다. 도16a는 본 발명에 따른 게이트(123j)를 갖는 VTFLD를 이용한 SRAM 셀을 보여준다. 중간전극인 게이트(123j)는 두번째 워드라인(WL2)으로 쓰이며, 상부전극(122)은 기준전압에 연결된다. 본 발명은 VTFLD를 베이스 반도체기판에 놓인 수평형태의 엑세스(Access) 트랜지스터(161c)와 연결하여, 각각의 기능을 최적화하고 집적도를 높이며 SoC의 형성을 용이하게 한다. 여기에서 엑세스 트렌지스터의 게이트는 첫번째 워드라인(WL1)으로 쓰인다. 도16b에서의 또다른 형태의 SRAM셀은 도16a에 나와있는 수직형태의 엑세스 트랜지스터(161c)와 수직 형태의 싸이리스터를 연속적으로 연결하여 수직 형태만을 갖는 VFLD를 이용한 SRAM셀을 보여준다. 싸이리스터의 게이트(123j)와 엑세스(Access) 트랜지스터의 게이트(123i)가 모두 중간전극으로 형성되어 있다. 도 16a에서의 VTFLD는 USP6225165B1나 USP6172899에서와 같이 단독으로 SRAM셀을 구성할 수도 있다.

<123> 본 발명에 따른 하나의 트랜지스터와 하나의 커패시터로 구성되는 DRAM(Dynamic Ramdom Memory) 셀은 DRAM을 구성하는 하나의 트랜지스터가 베이스 반도체기판에 있거나 혹은 FLD IC

층에 VMFLD로 구성이 되며, 이 트랜지스터의 플로팅쏘스(floating source)가 다른 FLD IC층에 구성된 하나의 커패시터(VCFLD)와 연결된다. VCFLD의 종류는 도11a-11b에 나와 있다. 또는 복수의 SOI층으로 구성된 하나의 FLD IC층에서 하나의 SOI층에는 트랜지스터를, 다른 하나의 SOI층에는 커패시터를 구성하여 연결하는 구조이다. 또다른 형태의 DRAM은 하나의 FLD IC층을 구성하는 하나의 SOI층에 연속적으로 결합된 하나의 트랜지스터와 하나의 커패시터로 구성되는 DRAM 셀을 구성하는 방법이다. 도17a는 하나의 MOSFET과 하나의 공핍층을 이용한 커패시터가 결합된 구조이다. 상부전극(122)는 비트라인으로 연결되고, 중간전극(123)은 워드라인으로 연결이된다. 도17a에서 공핍영역이 확장되는 플로팅 n+ 쏘스(124e)와 하부전극에 접하는 p 영역(124f)은 커패시터의 용량을 증가시키기 위하여 트랜지스터보다 넓은 폭을 갖는 구조이며, 이러한 넓은 폭의 단결정 반도체 영역도, 추가의 사진 공정 없이 도7a-7c에서와 같은 스페이서 기술로 만들 수 있다. 도17b는 하나의 MOSFET에서 플로팅 쏘스를 이용한 커패시터가 절연층을 이용한 커패시터와 병렬로 연결된 구조이다. 여기에서 플로팅 쏘스를 구성하는 상부의 p 영역은 기준전압에 연결된다(미도시). 도17b에서는 하부전극(121)이 비트라인에 연결되고 중간전극(123)이 워드라인으로 연결된다.

<124> 본 발명에 따른 비휘발성(Non-Volatile) 메모리 디바이스 구조를 갖는 FLD가 도18a-18f에 설명되어 있다. 도18a는 두개의 게이트전극을 이용한 경우이며, 전압이 가해지지 않는 플로팅게이트(floating gate)(123k)는 게이트절연층(183b)을 사이에 두고 p형으로 도핑된 채널영역 전부를 덮고 있으며, 전압이 가해지는 콘트롤게이트(control gate)(123)는 플로팅게이트(123k)와의 사이에 또다른 절연층(183c)을 가지며 플로팅게이트(123k)를 덮고 있다. 도18b에서는 플로팅게이트(123k)가 p형으로 도핑된 채널영역의 일부분에만 형성되고, 나머지 일부분의 채널영역과 플로팅게이트(123k)를 콘트롤게이트(123)가 덮고있는 스플릿게이트(split gate) 형태를 갖는

다. 도18c는 3개의 게이트로 구성되며 하나는 플로팅게이트(123k), 다른 하나는 콘트롤게이트(123)이고 나머지 하나는 저장된 테이타를 지우는 이레이즈게이트(erase gate)(323)가 도시되어 있다. 도18d는 플로팅게이트없이 비휘발성 메모리로 쓸 수 있는 디바이스로 게이트절연체(183)가 ONO(Oxide-Nitride-Oxide)로 되어 있으며, 동작하는 방향에 따라서 서로다른 위치(30)에 정보를 수용할 수 있다. 도18e에서는 본 발명에 따른 비휘발성 메모리 디바이스가 플레시(Flash) 메모리로 동작할 수 있도록 p형으로 도핑된 벌크(bulk)영역을 전기적으로 연결하는 콘택트(122c)를 갖는 구조를 보여준다. VMFLD에서 벌크영역의 전기적 연결은 동시에 형성되지 않는 복수의 중간전극을 사용하여 하나는 절연체 없이 한쪽에서 벌크에 연결되고, 다른 전극은 절연체를 가지고 한쪽에서 게이트 전극으로 사용될 수 있다.

<125> 본 발명에 따른 비휘발성 메모리의 또다른 장점은 ML-VMFLD와 마찬가지로 멀티레벨의 정보를 저장할 수 있는 하나의 FLD를 구성할 수 있다. 도18f에 나와있듯이 하나의 쏘스/드레인으로 구성된 FLD가 8개로 분리된 게이트를 가지면, 하나의 FLD가 8비트로 구성된 메모리가 된다. 도18f에서의 콘택트(122c)는 벌크를 연결하며, 나머지 FLD를 구성하는 SOI영역(124)에 있는 콘택트(122a)는 쏘스/드레인에 연결된다. 도18e에 나와있는 점선으로 표시된 "756" 은 도18e에 나와있는 것처럼 벌크가 FLD의 위로부터 노출되는 경계선을 나타낸다. 나머지 FLD를 구성하는 SOI영역(124)에 접한 콘택트(122a)는 쏘스/드레인에 연결된다. 18a-18c에서 설명되어있는 비휘발성 메모리에서 쏘스와 드레인을 구성하는 불순물의 농도를 각각 다르게하면 ETOXTM에서와 같이 동작방향에 따른 멀티레벨을 가지는 비휘발성 메모리를 구성할 수 있다.

<126> 본 발명에 따른 FLD를 이용한 모든 메모리 디바이스는 FLD IC층에 리던던시(Redundency)를 가질 수있다.

<127> 본 발명은 도19a,b에 예시해 놓은 것처럼 FLD를 형성하는 하나의 FLD IC층을 블록(block)으로 분리하여 블록별로 각기 다른 종류의 FLD 디바이스를 형성할 수 있다. 여기에서 각각의 블록은 수십 나노(Nano) 평방미터의 넓이를 갖는다. 도19a, b는 FLD IC를 위에서 본 그림이며 하나의 칩(Chip, 441)은 절단선(Scribeline)으로 구분되어 있다. 예를 들어 하나의 FLD IC층에 4개의 블록(413a-413d)을 만들어서, 하나의 블록은 프로그래밍이 가능한 FPGA로, 다른 하나는 Flash 메모리로, 또 다른 하나의 블록은 바이폴라 그리고 나머지 하나는 SRAM으로 사용할 수 있다. 각각의 블록에서는 디바이스에 따라서 다른 형태의 불순물 접합이 요구되며, 이러한 다른 불순물은 낮은 온도에서 형성되는 LT-FLD의 경우에는 단결정 반도체층이 전달되기 전에 SOI기판에서 이미 형성이 되어야 한다. 블록 FLD의 형성은 기판정렬 마크가 형성된 SOI기판과 베이스 기판을 정렬하는 기술이 요구된다. 이때 반도체 공정에서 발생되는 기판정렬 오차를 고려해서 블록간의 기판정렬 오차보정공간(Overlay Error Compensation Area)(412)을 미리 설정하는 것이 좋다. 여기에서의 기판정렬 오차보정공간(412)의 폭은 수 마이크로미터에서 수백 마이크로미터의 범위를 갖는다.

<128> 한편, 지금까지 설명한 본 발명에 따른 3차원 집적회로를 응용하여 구현가능한 다양한 구조의 반도체 디바이스에 대해서 구체적으로 설명한다.

<129> 도20a는 강유전체(Ferroelectrics, 710) 박막을 이용한 커패시터(capacitor)와 상기 커패시터에 직렬 연결된 VFLD로 이루어진 비휘발성 메모리(700)의 구조를 보여주고 있다. 강유전체를 이용한 비휘발성 메모리 디바이스는 FRAM (Ferroelecrics Random Access Memory)으로 불리운다. 일반적으로 쓰이는 강유전체 물질로는 $(Pb,Zr)TiO_3$(=PZT), $SrBi_2Ta_2O_9$(=SBT), $YMnO_3$ 등이 있다. 이러한 강유전체 물질은 외부에서 전계(Electric field)를 인가하면 분극(Polarization)을

하는 특성이 있다. 도20a에서의 FRAM(700)은 하나의 강유전체 커패시터와 하나의 수직동작하는 MOSFET이 직렬연결된 반전분극 전류형이며, 하나의 메모리셀(cell)을 구성하여 비트(bit)단위로 사용된다. 상기 VFLD의 게이트(123)는 Word Line (WL)이며, 드레인(131)은 Bit Line (BL), 그리고 쏘스(122)는 상기 커패시터에 연결되고, 상기 다른 전극 단자(122a)는 Drive Line (DL 혹은 Plate Line이라 한다)에 연결된다.

<130> 도20b는 상기 FRAM 셀(700)을 이용한 메모리 회로도이다. 여기에서 Sense Amp(770)를 구성하는 로직(Logic) 디바이스는 일반적으로 베이스 기판(103)에 형성되고, FRAM 셀(700)은 VFLD형태의 트랜지스터를 포함하며, SOI층(101)에 설치된다.

<131> 도20c는 도20a의 FRAM(700) 2개를 이용하여 하나의 메모리 비트를 형성하는 셀을 구성할 경우의 회로도이다. 여기에서도 일반적으로 Sense Amp(770)를 구성하는 로직(Logic) 디바이스는 베이스 기판(103)에 형성되고, FRAM(700)은 VFLD형태의 트랜지스터를 포함하며, SOI층(101)에 설치된다.

<132> 도21a는 강유전체(Ferroelectrics, 710) 박막을 이용한 커패시터와 상기 커패시터에 병렬 연결된 VFLD로 이루어진 비휘발성 메모리(730)의 구조를 보여주고 있다. 이러한 병렬연결 FRAM은 도20a에서의 직렬연결 방식보다 동작속도가 빠르며 전류의 소모가 적다. 하나의 중간전극(123)은 WL으로 쓰이지만 다른 하나의 중간전극(123a)은 고정된 전압이 인가되어 상시 전류가 통하는 상태가 유지되어서 상기 강유전체 커패시터와 VFLD를 병렬로 연결 시키는 역할을 한다.

<133> 도21b는 상기 FRAM 셀(730)을 이용한 메모리 회로도이다. 상기 FRAM 셀(730)들이 비트(bit) 단위로 체인(Chain)처럼 연결되어 하나의 바이트(Byte)를 형성한다.

<134> 도20a와 도21a에서의 강유전체(Ferroelectrics, 710) 박막을 이용한 커패시터는 VFLD의 위에 위치하여 있다. 하지만 반대로 상기 강유전체 커패시터가 VFLD의 아래에 위치할 수도 있다. 또한 상기 VFLD는 MOSFET이 아닌 바이폴라나 MESFET등의 다른 형태의 트랜지스터가 될 수도 있다.

<135> 도22a와 도22b는 강유전체(Ferroelectrics, 710) 박막이 수직동작하는 MOSFET형태의 VFLD의 일부분으로 이루어진 비휘발성 메모리(730)의 구조들이다. 도22a는 강유전체(Ferroelectrics, 710) 박막이 VFLD에서 하나의 게이트 절연막(183)과 게이트 전극(123) 사이에 사용되어 FRAM(750)을 구성한다. 이를 MFIS(Metal Ferroelectric Insulator Silicon)이라 한다. 상기 게이트 절연막(183)은 일반적으로 MOSFET에서 사용되는 게이트 절연막을 의미하며, 실리콘산화막(SiO_2)이나 산화질화막 (Oxynitride) 등이 쓰인다. 만약에 도22a에서 게이트 절연막(183)없이 강유전체(710)가 절연막 대신에 사용되면 MFS(Metal Ferroelectric Silicon) 형태의 FRAM이 된다.

<136> 도22b는 강유전체(Ferroelectrics, 710) 박막이 VFLD에서 하나의 플로팅 게이트(123k)와 콘트롤 게이트(123) 사이에 사용되어 MFMIS (Metal Ferroelectric Metal Insulator Silicon) 형태의 FRAM(760)을 구성한다.

<137> 도20-도22에서 사용된 강유전체(Ferroelectrics, 710) 박막은, VFLD를 형성하는 저온 공정과 함께 쓰이기 위해서는 강유전체(Ferroelectrics, 710) 박막을 도포하는 공정의 온도가 저온공정이 가능한 660℃ 이하가 되어야 한다.

<138> 도23a는 자성박막층(MJT, Magnetic Tunnel Junction Stack, 810)과 VFLD를 직렬 연결한 비휘발성 메모리인 MRAM (Magnetoresistive Random Access Memory, 800) 셀(cell)의 구조를

나타낸다. 도23a에서는 상기 자성박막층(810)이 FLD(124)를 형성하기 이전에 이미 FLD 밑의 층간 절연층(133)에 형성되어 있는 구조를 보여준다.

<139> 도23b 역시 자성박막층(810)과 VFLD를 직렬 연결한 비휘발성 메모리인 MRAM (Magnetoresistive Random Access Memory, 850) 셀(cell)의 구조를 나타낸다. 도23a와는 반대로 FLD(124)를 형성한 후에 상기 FLD(124)의 위에 자성박막층(810)이 형성되어 있는 구조를 보여준다.

<140> 상기 자성박막층은 가해진 자기장에 의해서 전기저항이 변하는 성질을 가지고 있다. 여기에서의 전기저항은 자성박막내의 전자의 분극(Polarization)에 따라서 변하게 된다. 상기 자성박막층은 하나의 막이 아닌 여러층의 막으로 구성되어 있다. 일반적으로 두개의 서로 다른 자성박막과 그 사이의 절연층으로 구성되어 있다(미도시). 하나의 자성박막은 Free layer로 가해진 자기장에 의해서 분극되며, 다른 하나의 자성박막은 일반적으로 Pinned layer로 Antiferromagnetic layer인 exchange layer와 함께 사용되며 외부의 자장에 의해서 분극하지 않는다. 따라서 상기 자성박막층을 MJT(Magnetic Tunnel Junction Stack)이라 한다. 상기 자성박막층은 위에서 설명한 두개의 자성박막과 그 사이의 절연층으로 구성되는 구조에 국한되지 않으며 여러 다른 종류의 박막층의 조합으로 구성될 수 있다. 자성박막층은 상기 절연층의 종류에 따라서 크게 두 가지로 나눌 수 있다. 하나는 비자성물질(Non Magnetic Material)를 절연층으로 사용하는 GMR(Giant Magetroresistance)이며 다른 하나는 산화막 등의 절연층을 이용한 TMR(Tunneling Magetroresistance)이다. 도8a와 도8b에서의 VFLD는 MOSFET이 아닌 바이폴라나 MESFET이 될 수도 있다.

<141> 도24는 가역 상변형 박막(Reversible Structural Phase-Change Film, 910)과 VFLD를 직렬 연결한 비휘발성 메모리인 OUM (Ovnic Unified Memory, 900) 셀(cell)의 구조를 나타낸다. 도24에서는 상기 가역 상변형 박막(910)이 FLD(124)를 형성한 후에 상기 FLD 위에 형성되어 있는 구

조를 보여준다. 역으로, 가역 상변형 박막(910)이 FLD(124)의 형성 이전에 FLD 아래에 형성될 수도 있다 (미도시). 가역 상변형 박막(910)은 비결정(Amorphous) 상태와 다결정 (Polycrystalline) 형태의 상(Phase)변이를 인가해주는 전류의 양(즉, 가역 상변형 박막에 가해지는 온도)과 시간에 따라서 변화하게 되며, 다결정은 비결정에 비해 낮은 전기저항을 갖는다.

<142> 가역 상변형 박막(910)이 될 수 있는 물질은 Chalcogenides이며 주기율표에서 VI족 원소를 포함하는 합금으로 되어 있다. 대표적인 물질은 Ge-Sb-Te 합금이며, 이외에도 GaSb, InSb, InSe, Sb_2Te_3, GeTe, $Ge_2Sb_2Te_5$, InSbTe, GaSeTe, $SbSb_2Te_4$, InSbGe, AgInSbTe, (GeSn)SbTe, GeSb(SeTe)나 $Te_{81}Ge_{15}Sb_2S_2$ 등이 될 수있다. 가역 상변형 박막(910)에 접하여 전류를 인가하는 전극(901a)은 650°C정도의 온도에서도 안정된 상태를 유지할 수 있는 TiAlN나 TiW등이 될 수 있다. 도24a와 9b에서의 VFLD는 MOSFET이 아닌 바이폴라나 MESFET이 될 수도 있다.

<143> 도25는 Fuse막(혹은 Antifuse막)(310)과 VFLD를 직렬 연결한 비휘발성 메모리인 PROM(Programmable Read-Only Memory, 300) 셀(cell)의 구조를 나타낸다. 도25에서는 상기 Fuse막(혹은 Antifuse막)(310)이 FLD(124)를 형성한 후에 상기 FLD 위에 형성되어 있는 구조를 보여준다. 역으로 Fuse막(혹은 Antifuse막)(310)이 FLD(124)의 형성 이전에 FLD 아래에 형성될 수도 있다 (미도시). Antifuse 막(310)은 전기저항이 높지만 인가해주는 프로그래밍 전류/전압에 의하여 낮은 전기 저항을 가질 수 있다. 반대로 Fuse막(310)은 전기저항이 낮지만 인가해주는 프로그래밍 전류/전압에 의하여 높은 전기 저항을 가질 수 있다. 이러한 ROM은 일반적으로 한번 프로그래밍하면 다시 프로그램이 불가능하다.

<144> 상기의 PROM을 이용하여 ASIC(Application-Specific Integrated Circuit), FPGA(Field Programmable Gate Array)나 PLA(Programmable Logic Array) 등을 구현할 수 있다.

<145> 상기 Antifuse로 쓰일 수 있는 물질은 ONO(Oxide-Nitride-Oxide)막, 금속산화막, Chalcogenide 막, 혹은 도핑이 안된 비결정(Amorphous) 실리콘막 등이 있고, Fuse로 쓰일 수 있는 물질은 nichrome이나 다결정실리콘 등이 있다. Fuse나 Antifuse의 전극(301a와 301b)으로 쓰이는 물질은 높은 온도와 전류에서 안정된 TiW이 될 수 있다.

<146> 도25에서의 VFLD(124)는 MOSFET이 아닌 바이폴라나 MESFET, 혹은 다이오드 등이 될 수도 있다.

<147> 도26은 하나의 MOSFET 형태의 VFLD(124)만으로 휘발성 메모리인 DRAM(400)을 구성한다. VFLD(124)는 SOI로 구성되며 보디(Body)(도26에서는 p영역)가 프로팅(Floating)되어 전압이 인가되지 않으면 동작중에 보디에 전하(Charge)가 축척되어 DRAM 셀과 같이 일정 시간동안 (Refresh time) 정보를 저장하고 읽을 수 있는 동작을 할 수 있다.

<148> 도27a는 하나의 MOSFET 형태의 VFLD와 비휘발성 메모리 형태의VFLD가 직렬로 연결되어 하나의 EEPROM(Electrically Erasable Programmable Read-Only Memory, 500) 셀을 구성한다. 상기 비휘발성 메모리는 플로팅게이트와 콘트롤게이트를 가지는 이중게이트 형태이지만 SONOS(Silicon Oxide Nitride Oxide Silicon) 형태의 비휘발성 메모리가 될 수도 있다. 도27a에서는 Select line을 구성하는 MOSFET이 위에 있고 아래에 이중게이트의 비휘발성 메모리가 있는 것으로 도시되어 있지만 위치가 바뀌어도 같은 동작을 할 수 있다.

<149> 도27b는 상기 EEPROM의 등가 회로도이며 하나의 셀을 구성한다.

<150> 도28은 높은 전압에서 동작이 가능한 파워(Power) MOSFET 형태의 VFLD(600)이다. 일반적인 MOSFET 형태의 VFLD와 구조상으로 다른 점은 VFLD(124)를 구성하는 SOI층의 두께가 수 마이크로미터(um)에서 수백 마이크로미터까지 동작전압에 따라서 달라지며, 게이트 절연층(183)의 두께도 동작전압에 따라서 수십 나노미터(nm)에서 수천 나노미터까지의 범위를 가진다. 일반적으

로 동작전압은 7V에서 1000V이상까지 다양한 범위를 가질 수 있다. 또한 MOSFET을 구성하는 SOI가 직각으로 된 벽면을 가지지 않고 기울어져서, 수직방향으로 위는 좁고 아래는 넓은 사다리꼴(Trapezoidal) 형태로 만들 수도 있다. 이런 사다리꼴 형태는 공핍영역(Depletion region)의 확장을 돕고 공핍영역 안의 전계(Electric field)를 줄일 수 있어서 동작전압을 증가시킬 수 있다.

<151> 이러한 파워 MOSFET형태의 VFLD(600)는 일반적으로 쓰이는 수평형태의 파워 MOSFET에 비하여 많은 장점을 가진다. 일반적인 수평형태의 파워 MOSFET에서 동작전압을 증가시키려면 채널길이(Channel length)를 증가시켜야 하며, 이것은 곧 제조원가의 증가로 이어진다. 하지만 파워 MOSFET형태의 VFLD에서 채널길이는 수직높이로 결정되며 면적의 증가로 바로 이어지지는 않는다. 또한 파워 MOSFET형태의 VFLD는 게이트가 채널영역을 둘러싸는 형태를 가지고 있어서 최소한 기존의 파워 MOSFET에 비하여 두 배 이상의 전류구동 능력과 낮은 동작저항(Low ON resistance)을 갖게된다. 따라서 도28의 파워MOSFET형태의 VFLD는 수평형태의 LDMOS(Lateral Double-Diffused MOS)나 Trench MOS등의 파워 MOSFET을 대체할 수 있다. 또한 베이스 기판에 낮은 전압에서 동작하는 디바이스와 파워 MOSFET형태의 VFLD를 하나의 칩에 연결하여 디지탈과 아나로그 신호를 동시에 하나의 칩에서 처리하는 SmartPower (혹은 SmartMOS) 등의 칩(Chip)을 구현할 수 있다.

<152> 도29는 도28과 같은 파워 MOSFET형태의 VFLD(600)에서 Double-Diffused형태를 가지는VFLD(650)이다. 고농도로 도핑(Doping)된 채널영역은 드레인(Drain)의 공핍영역(Depletion region)이 확장되는 것을 방해해서 높은 전압에서도 디바이스가 동작할 수 있도록 도와준다.

<153> 도28과 도29에서의 MOSFET의 게이트를 "저온산화막(Low temperature thermal oxide film) + 높은 절연상수막 (High-k dielectric) + 화학증착 절연막 (CVD dielectric)" 등의 조합으로 구성

하면 반도체영역(124)과 게이트 절연층 (183) 사이의 표면결함(Interface trap)을 줄이고 신뢰도(lifetime)를 증가시킬 수 있고 또한 전류 구동능력을 증가시켜 동작저항(On resistance)를 낮출 수 있다.

<154> 본 발명에서쓰인 MOSFET형태의 VFLD는 하부전극(121)이 바로 쏘스/드레인에 접하여 기생저항에 의한 전압강하나 전류감소를 줄일 수 있다. 또한 선행기술과 마찬가지로 완전공핍(Full Depletion)이나 부분공핍(Partial Depletion)을 VFLD의 폭에 따라 자유롭게 조절할 수 있다.여기에서 완전공핍과 부분공핍을 결정하는 VFLD의 폭은 동작전압, 게이트의 유전상수에 의존한다. 이러한 두 가지의 다른 공핍에서의 동작은수평으로 동작하는 SOI 디바이스에서는 구현하기 매우 어려운 기술이다. SOI기판으로부터 분리되는 단결정 반도체층의 표면이, VFLD의 고농도 쏘스나 혹은 드레인 영역이 되므로, 비록 표면에 작은 결함이 있어도 수평형태의 디바이스와 달리 게이트 절연층의 품질(Quality)에 영향을 주지 않으며 디바이스의 동작이나 수율(Yield)에 미치는 영향이 적다.

【발명의 효과】

<155> 이상에서와 같이, 본 발명에 따르면 다음과 같은 효과를 얻을 수 있다.

<156> 본 발명은 3차원으로 연결되어 있는 각각의 FLD들을 지지하기 위한 물리적인 기판이 요구되지 않는다. 또한, 본 발명은 바닥층에 베이스 기판이 없이 연결선과 배선을 갖는 층간 절연층과 함께 하는 FLD만을 이용한 구조를 가질 수 있다. 본 발명은 전부 혹은 일부의 FLD가 "전기적으로 공유하는 불순물 영역"을 갖지 않으며, 절연물질로 전부 혹은 부분적으로 채워진 격리구조에 의하여다른 디바이스와 전기적으로 독립된 형태를 갖기 때문에 기생 디바이스를 갖지 않는

다. 본 발명에서는 "기판정렬을 위한 구조"없이 단순히 기판에 있는 노치(notch)의 정렬 정도만으로 FLD가 구성되는 층을 형성할 수 있다. 본 발명에서는 반도체에 쓰이는 MOSFET을 포함한 대부분의 디바이스를 수직방향으로 동작하는 구조로 만들수 있으며, 선행기술인 수직 디바이스와 비교하여 콘택트와의 배선연결이 용이하며 낮은 접촉저항을 가질 수 있다. 본 발명은 배선없이 단위 디바이스를 하나의 반도체층 안에서 수직방향으로 직렬연결된 다중접합을 이용한, 즉 복합디바이스 형태의 로직을 FLD형태로 만들 수 있다. 본 발명에서는 FLD의 위와 아래, 그리고 중간 등의 모든 영역에 금속과 직접 접한 금속전극을 가질 수 있다. 여기에서의 금속전극의 면적은 격리식각으로 형성되는 FLD의 위와 아래의 면적과 같은 크기로 형성될수 있으므로 디바이스의 동작에서 전압강하를 최소화할 수 있다.

<157> 한편, 본 발명에 따른 3차원 집적회로를 응용하여 비휘발성 및 휘발성 메모리 디바이스를 구현하면, 작은 면적에 많은 디바이스를 3차원으로 쌓아올릴 수 있으며, 이전의 선행기술에 비하여 낮은 접촉저항을 갖고, 높은 단위 면적당의 집적율과 높은 전류를 구동할 수 있다. 또한 이전의 선행기술로 이루어진 디바이스를 베이스 기판에 설치하고 본 발명에 따른 FLD를 3 차원으로 설치하여 단위면적당 칩 생산량을 늘릴 수 있다.

【특허청구범위】

【청구항 1】

복수의 디바이스1을 갖는 단결정 반도체층;

상기 단결정 반도체 층의 위와 아래에 형성된 단수 혹은 복수의 절연층;

상기 절연층에 형성되어 상기 복수의 디바이스1을 직접 혹은 간접적으로 연결하는 복수의 연결선과 배선으로 구성되되,

상기 복수의 디바이스1들의 전부 혹은 일부는 격리구조에 의해 분리가 되고, 전기적으로 또는 물리적으로 서로 공유하는 반도체기판을 갖지 않으며,

기판정렬구조 혹은 칩정렬구조를 갖지 않는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 2】

종류가 다른 복수의 디바이스1을 갖는 단결정 반도체층이 블록별로 구분되며,

각각의 블록에는 수직방향으로 다른 블록과 구분이 되는 동일한 불순물 접합 구조를 가지는 한 종류의 디바이스들로 구성이 되며,

상기 블록간의 거리는 수 마이크로미터 에서 수백 마이크로미터의 거리를 가지고,

상기 블록들에 있어서 한 블록의 크기는 일 백 나노 평방미터 이상의 넓이를 가지며,

상기 단결정 반도체 층의 위와 아래에 단수 혹은 복수의 절연 층을 각각 가지며,

상기 절연층은 상기 복수의 디바이스1들을 직접 혹은 간접적으로 연결하는 복수의 연결선과 배선을 가지며,

상기 복수의 디바이스1들의 전부 혹은 일부는 격리구조에 의해 분리 되며, 전기적으로 또는 물리적으로 서로 공유하는 반도체기판을 갖지않는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 3】

청구항 1에 있어서, 상기 하나의 단결정 반도체층 안에는 수직방향으로 모두 동일한 불순물 접합구조를 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 4】

청구항 1 또는 2에 있어서, 상기 배선의 일부 혹은 전부는 알루미늄인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 5】

청구항 1 또는 2에 있어서, 상기의 단결정 반도체 층은 복수의 단결정층으로 구성되며, 각각의 단결정 반도체층은 절연층으로 구분되며, 상기 절연층은 연결선을 갖지 않는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 6】

청구항 1 또는 2에 있어서, 상기의 3차원 반도체 집적회로를 연속적으로 쌓아올린 복수의 3차원 반도체 집적회로를 구성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 7】

청구항 1 또는 2에 있어서, 상기의 3차원 반도체 집적회로의 구조에 있어서 위와 아래에 패키지와 연결이 되는 복수의 패드를 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 8】

청구항 1 또는 2에 있어서, 상기의 3차원 반도체 집적회로의 아래나 위에, 혹은 두군데 모두에 있는 절연층은 기판과 접한 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 9】

청구항 8에 있어서, 상기의 기판은 복수의 디바이스2를 가진 반도체기판이며 상기 디바이스1과 직접 혹은 간접적으로 연결선과 배선으로 연결되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 10】

청구항 1 또는 2에 있어서, 상기의 디바이스1은 수직방향으로 동작하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 11】

청구항 10에 있어서, 상기의 수직 디바이스1을 형성하는 단결정 반도체의 아래와 직접 접한 금속전극을 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 12】

청구항 11에 있어서, 상기의 하부전극은 상기 수직 디바이스1의 아래에 있는 절연체내의 연결선과 정렬(Align)되며,

하부전극을 구성하는 전극의 일부 혹은 전부의 넓이가 수직 디바이스의 폭보다 넓은 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 13】

청구항 10에 있어서, 상기의 수직 디바이스1은 중간에 단수 혹은 복수의 전극을 가지며,

상기 중간전극은 상기 디바이스1에 직접 접촉하거나, 혹은 절연층을 사이에두고 채널을 형성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 14】

청구항 13에 있어서, 상기의 중간전극은 스페이서 형태로 되어있는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 15】

청구항 13에 있어서, 상기의 중간전극은 평탄화된 형태로 되어있는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 16】

청구항 13에 있어서, 상기 하나의 수직디바이스1에서 수평으로 구분된 복수의 중간전극을 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 17】

청구항 16에 있어서, 상기 분리된 복수의 중간전극은 상기 수직디바이스1에서 중간접합 면적이 서로 다른 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 18】

청구항 13에 있어서, 상기 중간전극은 상기 수직 디바이스의 위로 확장되어 상기 수직 디바이스의 윗부분의 일부를 감싸며,

상기 수직 디바이스의 윗부분과는 절연체로 연결이 분리되어 있는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 19】

청구항 13에 있어서, 상기 중간전극은 상기 수직 디바이스와 인접한 더미 수직 디바이스로 확장되어 중간전극 영역을 넓히는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 20】

청구항 13에 있어서, 상기 중간전극을 연결하는 콘택트가 상기 중간전극의 위와 아래에있는 절연층과 상기 중간전극을 관통하여, 상기 콘택트를 연결하는 배선의 연결이 상기 수직 디바이스의 위와 아래에서 선택적으로 이루어지는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 21】

청구항 10에 있어서, 상기의 수직 디바이스1을 형성하는 단결정 반도체는 단결정 반도체의 위와 직접 접한 금속전극을 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 22】

청구항 10에 있어서, 상기 수직디바이스는 상부전극 옆에 식각 정지층을 갖되, 상기 식각정지층은 식각속도가 수직디바이스의 위를 덮고 있는 절연층의 식각속도보다 느려서 상부전극에 연결되는 콘택트를 형성하는 절연층 식각이 멈추어지는 층을 의미하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 23】

청구항 22에 있어서, 상기 식각 정지층은 평탄화된 형태로 되어있는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 24】

청구항 22에 있어서, 상기 식각 정지층은 스페이서 형태로 되어있는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 25】

청구항 10에 있어서, 상기의 수직 디바이스1은 MOSFET이며,

채널이 형성되는 단결정 반도체 벌크영역의 전부 혹은 일부를 게이트 절연층을 사이에 두고 게이트가 형성되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 26】

청구항 25에 있어서, 상기의 수직 MOSFET은,

쏘스와 드레인 영역의 불순물 도핑이 비대칭인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 27】

청구항 25에 있어서, 상기의 수직 MOSFET은,

채널이 형성되는 벌크 영역이 수직 방향으로 비균일한 도핑을 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 28】

청구항 10에 있어서, 상기의 수직 디바이스1은 바이폴라 트랜지스터인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 29】

청구항 28에 있어서, 상기의 바이폴라 트랜지스터의 베이스 중간전극이 베이스와 콜렉터의 낮은 도핑 영역으로 연장되어 베이스와 콜렉터간에 쇼트키 다이오드를 형성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 30】

청구항 10에 있어서, 상기의 수직 디바이스1은 커패시터인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 31】

청구항 10에 있어서, 상기의 수직 디바이스1은 다이오드인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 32】

청구항 10에 있어서, 상기의 수직 디바이스1은 인버터이며,

상기 수직 인버터는 p-MOSFET과 n-MOSFET가 수직으로 직렬연결된 형태의 단결정 반도체 층으로 구성되며,

상기 p-MOSFET에서 n-MOSFET과 접하지않는 쏘스에 상/하부전극1을 가지며,

상기 n-MOSFET에서 p-MOSFET과 접하지않는 쏘스에 상/하부전극2을 가지고,

상기 p-MOSFET과 n-MOSFET이 접하는 드레인 영역을 모두 접하는 중간전극3이 있고,

상기 p-MOSFET과 n-MOSFET이 각각 게이트 중간전극4와 5를 가지며,

상기 상/하부전극1과 2는 각각 동작전압과 그라운드에 연결되고,

상기 중간전극4와 전극5가 서로 연결되어 입력단자를 구성하고,

상기 중간전극3은 출력단자를 구성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 33】

청구항 10에 있어서,

상기의 수직 디바이스1은 p-MOSFET과 n-MOSFET가 수직으로 직렬연결된 형태의 단결정 반도체 층으로 구성되는 두 개의 인버터를 포함하며 각 인버터가 입력단자와 출력단자에 연결되는 SRAM 셀을 구성하고,

두 개의 트랜지스터를 포함하는 디바이스2가 반도체기판으로부터 연결선과 배선으로 연결되며,

상기 하나의 트랜지스터 디바이스2의 쏘스는 상기의 하나의 디바이스1 인버터의 출력에 연결되고,

상기 다른 하나의 트랜지스터 디바이스2의 쏘스는 상기의 다른 하나의 디바이스1 인버터의 출력에 연결되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 34】

청구항 10에 있어서,

상기의 디바이스1은 싸이리스터를 이용한 SRAM 셀을 구성하며, 수직형태의 p-n-p-n접합을 이루며 처음의 p는 기준전압에 접하고 중간의 p는 게이트 절연층과 게이트를 가지고,

하나의 MOSFET를 포함하는 디바이스2가 반도체기판으로부터 연결선과 배선으로 연결되어,

상기 싸이리스터의 마지막에 있는 n영역과 상기 MOSFET 디바이스2의 쏘스가 연결되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 35】

청구항 10에 있어서, 상기의 디바이스1은 싸이리스터와 트랜지스터가 수직으로 연결된 SRAM 셀을 구성하며, 수직형태의 p-n-p-n-p-n접합을이루고 처음의 p-n-p-n 접합은 싸이리스터를 구성하고 마지막의 n-p-n 접합은 MOSFET을 구성하고 게이트를 가지며,

상기 싸이리스터에서 처음의 p는 기준전압에 접하고 중간의 p는 게이트 절연층과 게이트를 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 36】

청구항 10에 있어서, 상기의 디바이스1은 하나의 트랜지스터와 하나의 커패시터를 이용한 DRAM 셀을 구성하며, 수직형태의 n-p-n-p접합을 가지며 처음의 n-p-n은 MOSFET을 구성하고 마지막의 n-p접합은 플로팅 쏘스와 기준 전압이 인가되는 p-영역으로 이루어진 공핍영역을 이용한 커패시터가 되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 37】

청구항 36에 있어서, 상기의 DRAM 셀을 구성하는 공핍영역으로 커패시터를 형성하는 단결정 반도체로 된 n-p접합영역의 면적이 MOSFET를 구성하는 단결정 반도체 면적보다 큰 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 38】

청구항 36에 있어서, 상기의 DRAM 셀을 구성하는 공핍영역으로 된 커패시터가 절연층을 이용한 커패시터와 병렬연결된 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 39】

청구항 10에 있어서, 상기의 디바이스1은 하나의 트랜지스터를 이용한 비휘발성 메모리 셀을 구성하며, 이중 게이트를 가진 수직 MOSFET구조를 가지며,

제 1게이트는 채널이 형성되는 벌크와 제1게이트 절연층을 사이에 두고있으며,

제2게이트는 제1게이트와 제2게이트 절연층을 사이에 두고있으며,

제1게이트는 전압의 연결을 갖지 않는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 40】

청구항 10에 있어서, 상기의 디바이스1은 하나의 트랜지스터를 이용한 비휘발성 메모리 셀을 구성하며, 이중 게이트를 가진 수직 MOSFET구조를 가지며,

제 1게이트는 채널이 형성되는 벌크의 일부분과 제1게이트 절연층을 사이에 두고 있으며,

제2게이트는 채널이 형성되는 벌크에서 상기 제1게이트와 접하지 않은 나머지 부분 및 제1게이트와 제2게이트 절연층을 사이에 두고 있으며,

제1게이트는 전압과 연결되지 않는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 41】

청구항 10에 있어서, 상기의 디바이스1은 하나의 트랜지스터를 이용한 비휘발성 메모리 셀을 구성하며, 하나의 게이트를 가진 수직 MOSFET구조를 가지며,

게이트 절연층이 산화막+질화막+산화막으로 된 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 42】

청구항 39-41중의 어느 한 항에 있어서, 상기의 비휘발성 메모리는 하나의 쏘스/드레인을 공유하며 옆으로 분리되어 있는 복수의 게이트를 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 43】

청구항 10에 있어서, 상기의 수직 디바이스는 MESFET인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 44】

청구항 1과 같이 구성되는 3차원 반도체 집적회로를 제작하는 방법으로서,

하나의 기판1과 이 기판 위에 배선과 연결선을 갖는 단수 혹은 복수의 층간 절연층으로 이루어진 절연층1을 형성하는 단계,

격리구조를 갖지 않으며, 수직 방향으로 단수 혹은 복수의 불순물 층을 갖는 단결정 반도체기판을 형성하는 단계,

상기 절연층1과 상기 단결정 반도체기판을 접합하고, 상기 불순물 층이 포함된 얇은 단결정 반도체층을 제외한 나머지 단결정 반도체기판을 제거하는 단계,

상기 단결정 반도체층을 격리하는 식각을 하여 복수의 단결정 반도체 디바이스1을 만들고, 상기 반도체 디바이스1위에 단수 혹은 복수의 층간 절연층과 배선, 연결선을 설치하여 디바이스를 완성하는 단계를 포함하되,

상기 기판1과 단결정 반도체 기판, 혹은 둘중에 어느 하나라도 기판 혹은 칩을 정렬하여 접합하기 위한 정렬구조를 갖는 않는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 45】

청구항 2와 같이 구성되는 3차원 반도체 집적회로를 제작하는 방법으로서,

하나의 기판1과 이 기판 위에 배선과 연결선을 갖는 단수 혹은 복수의 층간 절연층으로 이루어진 절연층1을 형성하는 단계,

격리구조를 갖지 않으며, 수직 방향으로 단수 혹은 복수의 불순물 층을 갖는 단결정 반도체기판을 형성하는 단계 (여기에서 불순물 접합구조는 블록별로 구분된다),

상기 절연층1과 상기 단결정 반도체기판을 접합하고, 상기 불순물 층이 포함된 얇은 단결정 반도체층을 제외한 나머지 단결정 반도체기판을 제거하는 단계,

상기 단결정 반도체층을 격리하는 식각을 하여 복수의 단결정 반도체 디바이스1을 만들고, 상기 반도체 디바이스1위에 단수 혹은 복수의 층간 절연층과 배선, 연결선을 설치하여 디바이스를 완성하는 단계를 포함하는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 46】

청구항 44 또는 45와 같은 3차원 반도체 집적회로의 제작방법에 있어서, 상기 단결정 반도체기판으로부터 상기 불순물 층이 포함된 얇은 단결정 반도체층을 상기 절연층1에 전달하는 방법으로,

상기 단결정 반도체기판과 하나의 매개기판을 접합하고, 상기 불순물 층이 포함된 얇은 단결정 반도체층을 제외한 나머지 단결정 반도체기판를 제거하는 단계,

상기 절연층1과 상기 매개 기판에 남아있는 단결정 반도체층을 접합하고, 매개기판을 제거하는 단계를 포함하는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 47】

청구항 46에 있어서, 상기 매개기판은 진공을 열고 닫는 기능을 가지며, 상기 얇은 단결정 반도체층을 상기 단결정 반도체기판으로부터 진공흡착으로 접합하여 전달받고, 상기 절연층1에 상기 얇은 단결정 반도체층을 전달하는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 48】

청구항 44 또는 45에 있어서,

상기 기판1은 디바이스1을 완성한 후에 제거하는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 49】

청구항 44 또는 45에 있어서,

상기 절연층1과 상기 단결정 반도체의 접합면은 각각 금속층으로 되어 있는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 50】

청구항 49에 있어서, 상기 금속층으로 된 접합면 사이에 250℃-650℃에서 녹는 금속으로 된 중간접합층을 형성하며, 접합이전에 열처리로 표면을 평탄화하고, 접합시에 열처리하여 접합면 사이의 공간을 없에고 접합강도를 증가시키는 단계가 추가로 포함되는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 51】

청구항 44 또는 45에 있어서, 상기 디바이스1의 제작 과정에서 불순물 이온주입이나 800℃ 이상의 고온 열처리를 하지 않는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 52】

청구항 12과 같이 구성되는 3차원 반도체 집적회로의 수직 디바이스1의 하부전극을 제작하는 방법으로,

상기 단결정 반도체층을 격리하는 식각을 하면서 반도체층 아래에 접한 금속층의 전부 혹은 일부를 식각하지 않고 남기고,

스페이서 형태의 식각 마스크를 이용하여 상기 수직 디바이스1보다 넓은 하부전극을 형성하는 식각을 행하는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 53】

청구항 44 또는 45에 있어서,

상기 단결정 반도체층을 격리하는 식각을 하기 이전에 상기 단결정 반도체층의 상부와 직접 접하는 금속층을 도포하는 단계가 추가로 포함되는 것을 특징으로 하는 3차원 반도체 집적회로의 제작방법.

【청구항 54】

복수의 디바이스1을 갖는 단결정 반도체층;

상기 단결정 반도체 층의 위와 아래에 형성된 단수 혹은 복수의 절연층;

상기 절연층에 형성되어 상기 복수의 디바이스1을 직접 혹은 간접적으로 연결하는 복수의 연결선과 배선으로 구성되되,

상기 복수의 디바이스1들의 전부 혹은 일부는 격리구조에 의해 분리가 되고, 전기적으로 또는 물리적으로 서로 공유하는 반도체기판을 갖지 않고, 기판정렬구조 혹은 칩정렬구조를 갖지 않으며, 강유전체를 포함하는 비휘발성 메모리를 구성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 55】

청구항54에 있어서, 상기 비휘발성 메모리는 강유전체로 구성된 커패시터와 상기 단결정 반도체 층으로 구성된 수직방향으로 동작하는 디바이스가 직렬로 연결된 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 56】

청구항54에 있어서, 상기 비휘발성 메모리는 강유전체로 구성된 커패시터와 상기 단결정 반도체 층으로 구성된 수직방향으로 동작하는 디바이스가 병렬로 연결된 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 57】

청구항55 또는 56에 있어서, 상기 비휘발성 메모리를 구성하는 상기 강유전체로 구성된 커패시터가 상기 단결정 반도체 층으로 구성된 수직방향으로 동작하는 디바이스의 위에 위치하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 58】

청구항54에 있어서, 상기 비휘발성 메모리에서 상기 단결정 반도체 층으로 구성된 수직방향으로 동작하는 디바이스는 MOSFET이며, 상기 MOSFET에서 강유전체가 MOSFET 게이트 절연층의 일부나 전부로 쓰인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 59】

청구항58에 있어서, 상기 비휘발성 메모리는 상기 단결정 반도체 층으로 구성된 수직방향으로 동작하는 MOSFET를 구성하는 단결정 반도체와 상기 단결정 반도체와 접한 게이트 절연층, 그리고 상기 게이트 절연층과 접한 플로팅 게이트, 상기 플로팅 게이트와 접한 강유전체, 상기 강유전체와 접한 콘트롤 게이트로 구성된 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 60】

청구항58에 있어서, 상기 비휘발성 메모리는 상기 단결정 반도체 층으로 구성된 수직방향으로 동작하는 MOSFET를 구성하는 단결정 반도체와 상기 단결정 반도체와 접한 게이트 절연층, 그리고 상기 게이트 절연층과 접한 강유전체, 상기 강유전체와 접한 게이트로 구성된 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 61】

복수의 디바이스1을 갖는 단결정 반도체층;

상기 단결정 반도체 층의 위와 아래에 형성된 단수 혹은 복수의 절연층;

상기 절연층에 형성되어 상기 복수의 디바이스1을 직접 혹은 간접적으로 연결하는 복수의 연결선과 배선으로 구성되되,

상기 복수의 디바이스1들의 전부 혹은 일부는 격리구조에 의해 분리가 되고, 전기적으로 또는 물리적으로 서로 공유하는 반도체기판을 갖지 않고, 기판정렬구조 혹은 칩정렬구조를 갖지 않으며, 자성박막층을 포함하는 비휘발성 메모리를 구성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 62】

청구항61에 있어서, 자성박막층을 포함하는 비휘발성 메모리는 자성의 방향에 따라 자성박막층의 저항이 바뀌는 성질를 가지며, 상기 단결정 반도체 층으로 구성된 수직방향으로 동작하는 디바이스와 직렬 연결되며, 프로그램을하는 드라이브 라인이 상기 자성물체의 위나 아래에 절연물질을 사이에두고 위치하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 63】

청구항62에 있어서, 상기 수직디바이스는 MOSFET인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 64】

복수의 디바이스1을 갖는 단결정 반도체층;

상기 단결정 반도체 층의 위와 아래에 형성된 단수 혹은 복수의 절연층;

상기 절연층에 형성되어 상기 복수의 디바이스1을 직접 혹은 간접적으로 연결하는 복수의 연결선과 배선으로 구성되되,

상기 복수의 디바이스1들의 전부 혹은 일부는 격리구조에 의해 분리가 되고, 전기적으로 또는 물리적으로 서로 공유하는 반도체기판을 갖지 않고, 기판정렬구조 혹은 칩정렬구조를 갖지 않으며, 가역 상변형 박막을 포함하는 비휘발성 메모리를 구성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 65】

청구항64에 있어서, 상기 가역 상변형 박막은 상(Phase)의 변화에 따라 저항이 바뀌는 성질를 가지며, 상기 단결정 반도체 층으로 구성된 수직방향으로 동작하는 디바이스와 직렬 연결되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 66】

청구항65에 있어서, 상기 수직디바이스는 MOSFET인 것을 특징으로 하는 3차원 반도체 집적회로

.

【청구항 67】

복수의 디바이스1을 갖는 단결정 반도체층;

상기 단결정 반도체 층의 위와 아래에 형성된 단수 혹은 복수의 절연층;

상기 절연층에 형성되어 상기 복수의 디바이스1을 직접 혹은 간접적으로 연결하는 복수의 연결선과 배선으로 구성되되,

상기 복수의 디바이스1들의 전부 혹은 일부는 격리구조에 의해 분리가 되고, 전기적으로 또는 물리적으로 서로 공유하는 반도체기판을 갖지 않고, 기판정렬구조 혹은 칩정렬구조를 갖지 않으며, PROM(Programmable Read-Only Memory)을 구성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 68】

청구항67에 있어서, 상기 PROM은, 전기저항이 낮은 물질이며 높은 전류나 전압이 가해지면 높은 전기저항으로 바뀌어지는 특성을 갖는 퓨즈(Fuse)를 포함하며, 상기 퓨즈는 상기 단결정 반

도체 층으로 구성된 수직방향으로 동작하는 디바이스와 직렬 연결되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 69】

청구항67에 있어서, 상기 PROM은, 전기저항이 높은 물질이며 높은 전류나 전압이 가해지면 낮은 전기저항으로 바뀌어지는 특성을 갖는 안티퓨즈(Antifuse)를 포함하며, 상기 퓨즈는 상기 단결정 반도체 층으로 구성된 수직방향으로 동작하는 디바이스와 직렬 연결되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 70】

청구항67에 있어서, 상기 수직디바이스는 MOSFET인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 71】

복수의 디바이스1을 갖는 단결정 반도체층;

상기 단결정 반도체 층의 위와 아래에 형성된 단수 혹은 복수의 절연층;

상기 절연층에 형성되어 상기 복수의 디바이스1을 직접 혹은 간접적으로 연결하는 복수의 연결선과 배선으로 구성되되,

상기 복수의 디바이스1들의 전부 혹은 일부는 격리구조에 의해 분리가 되고, 전기적으로 또는 물리적으로 서로 공유하는 반도체기판을 갖지 않고, 기판정렬구조 혹은 칩정렬구조를 갖지 않으며, DRAM(Dynamic Random Access Memory) 셀(cell)을 구성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 72】

복수의 디바이스1을 갖는 단결정 반도체층;

상기 단결정 반도체 층의 위와 아래에 형성된 단수 혹은 복수의 절연층;

상기 절연층에 형성되어 상기 복수의 디바이스1을 직접 혹은 간접적으로 연결하는 복수의 연결선과 배선으로 구성되되,

상기 복수의 디바이스1들의 전부 혹은 일부는 격리구조에 의해 분리가 되고, 전기적으로 또는 물리적으로 서로 공유하는 반도체기판을 갖지 않고, 기판정렬구조 혹은 칩정렬구조를 갖지 않으며,

상기 단결정 반도체 층은, 하나의 수직방향으로 동작하는 MOSFET과 다른 하나의 비휘발성 디바이스가 직렬로 연결되어 EEPROM(Electrically Erasable Programmable Read-Only Memory) 셀(cell)을 구성하는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 73】

청구항72에 있어서, 상기 비휘발성 디바이스는 플로팅 게이트와 콘트롤 게이트의 2중 게이트로 구성된 것을 특징으로 하는 3차원 반도체 집적회로. 상기 플로팅 게이트는 전압연결되지 않으며, 상기 콘트롤 게이트는 가변 전압으로 조정되다.

【청구항 74】

청구항72에 있어서, 상기 비휘발성 디바이스는 상기 단결정 반도체 층으로 구성된 수직방향으로 동작하는 MOSFET 형태를 가지며, 상기 MOSFET의 게이트 절연층이 ONO(Oxide-Nitride-Oxide) 형태인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 75】

복수의 디바이스1을 갖는 단결정 반도체층;

상기 단결정 반도체 층의 위와 아래에 형성된 단수 혹은 복수의 절연층;

상기 절연층에 형성되어 상기 복수의 디바이스1을 직접 혹은 간접적으로 연결하는 복수의 연결선과 배선으로 구성되되,

상기 복수의 디바이스1들의 전부 혹은 일부는 격리구조에 의해 분리가 되고, 전기적으로 또는 물리적으로 서로 공유하는 반도체기판을 갖지 않고, 기판정렬구조 혹은 칩정렬구조를 갖지 않으며,

상기 단결정 반도체 층은 수직방향으로 동작하는 MOSFET을 구성하되, MOSFET을 구성하는 단결정 반도체 층의 두께는 수 마이크로 미터에서 수백 마이크로 미터의 범위를 가지는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 76】

청구항75에 있어서, 상기 수직동작 MOSFET은 사다리꼴인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 77】

청구항75에 있어서, 상기 수직동작 MOSFET에서의 게이트 절연층은 "열산화막 + 높은 절연상수막 + 화학증착 절연막"의 조합으로 구성되는 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 78】

청구항75에 있어서, 상기 수직동작 MOSFET에서 채널(Channel)을 구성하는 SOI의 도핑이 균일하지 않은 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 79】

청구항 54-78 중 어느 한 항에 있어서, 상기 배선의 일부 혹은 전부는 알루미늄인 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 80】

청구항 54-78 중 어느 한 항에 있어서, 상기의 3차원 반도체 집적회로의 아래나 위에, 혹은 두 군데 모두에 있는 절연층은 기판과 접한 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 81】

청구항80에 있어서, 상기의 기판은 복수의 디바이스2를 가진 반도체기판이며 상기 디바이스1과 직접 혹은 간접적으로 연결선과 배선으로 연결되는 것을 특징으로 하는 3차원 반도체 집적회로

.

【청구항 82】

청구항54-78 중 어느 한 항에 있어서, 상기의 수직 디바이스1을 형성하는 단결정 반도체의아래와 직접 접한 금속전극(하부전극)을 갖는것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 83】

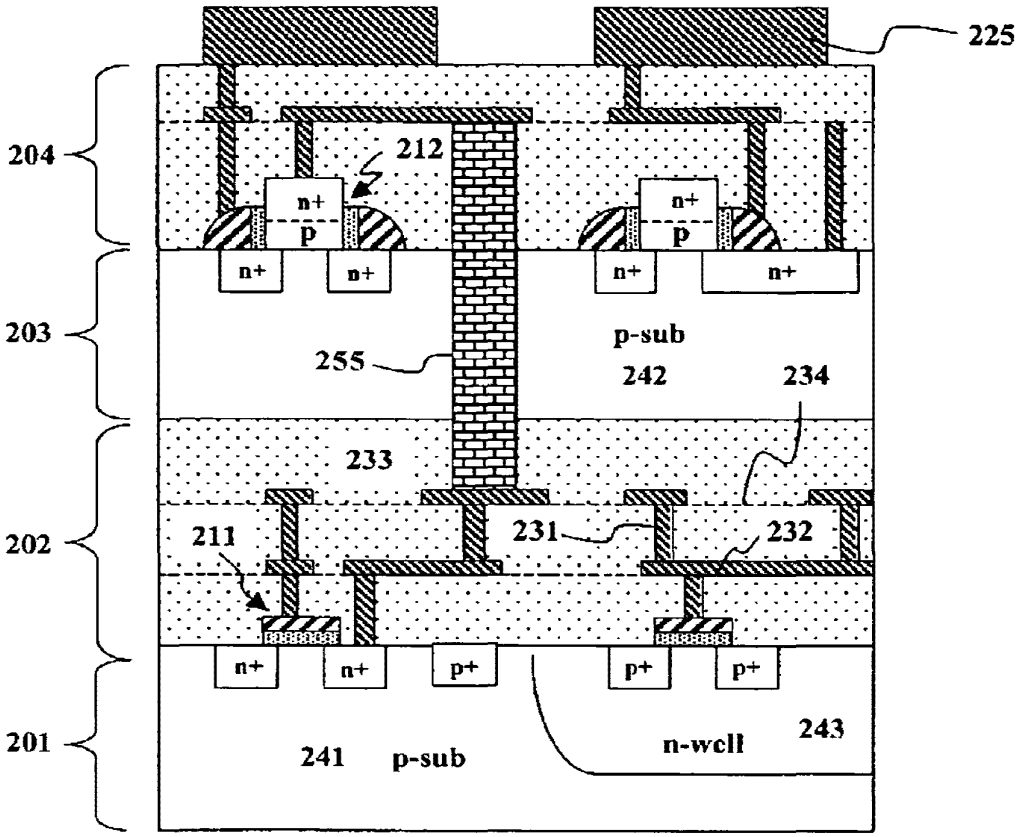
청구항82에 있어서, 상기의하부전극은 상기 수직 디바이스1의 아래에 있는 절연체내의 연결선과 정렬(Align)되며,하부전극을 구성하는 전극의 일부 혹은 전부의 넓이가 수직 디바이스의 폭보다 넓은 것을 특징으로 하는 3차원 반도체 집적회로.

【청구항 84】

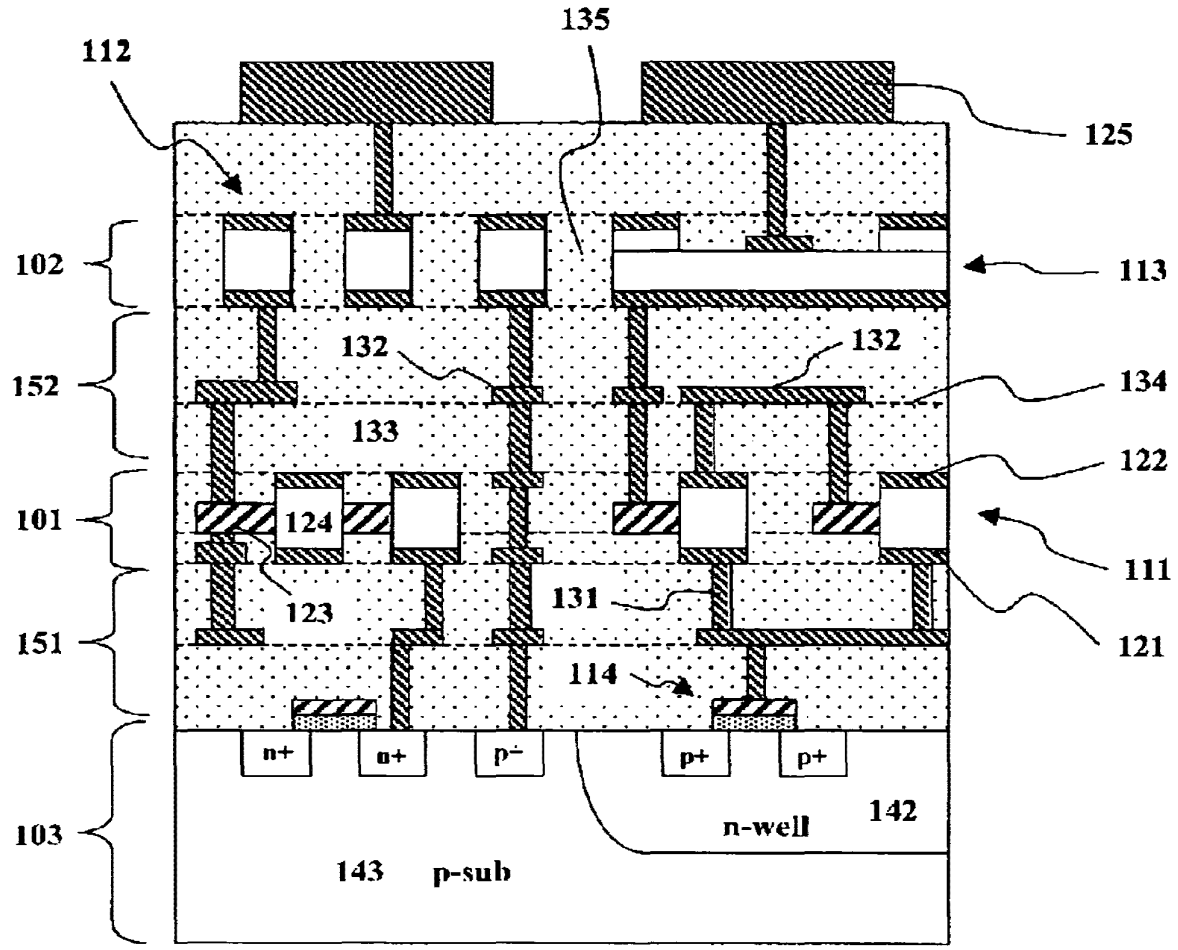
청구항54-74에 있어서, 메모리를 구성하는 상기 단결정 반도체 층은 메모리 리던던시(Redundency)를 갖는 것을 특징으로 하는 3차원 반도체 집적회로.

【도면】

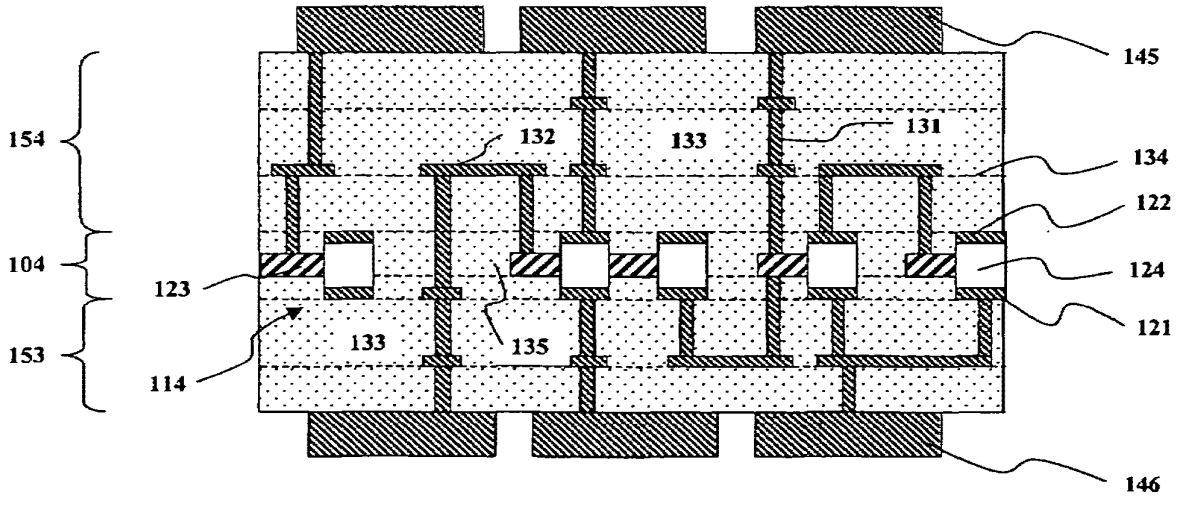
【도 1】


225
204
212
n+
p
n+
n+
p
n+
n+
n+
203
255
p-sub
242
234
233
202
211
231
232
n+
n+
p+
p+
p+
201
241
p-sub
n-well
243

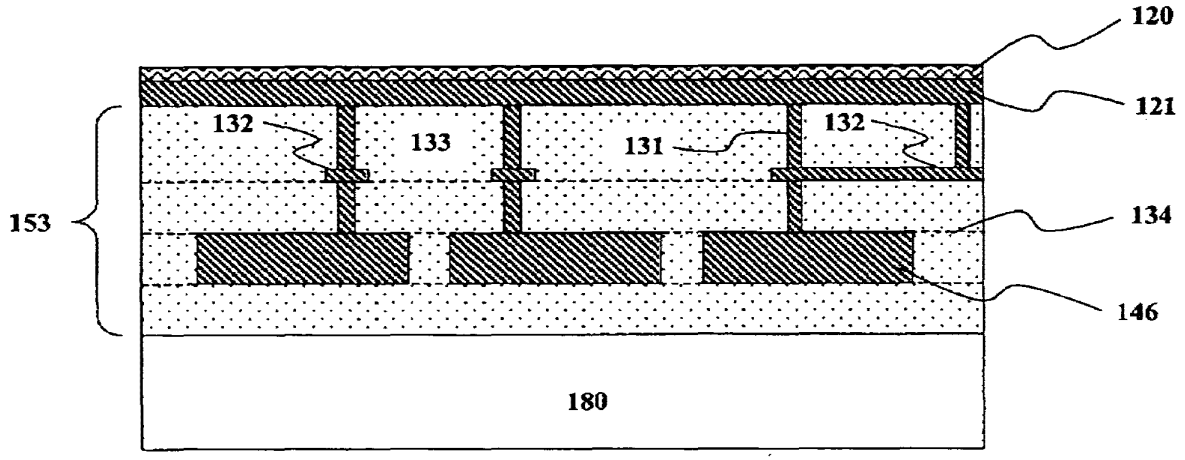
【도 2】


112
135
125
102
113
152
132
132
134
133
122
101
124
111
123
131
151
121
114
n+
n+
p-
p+
p+
103
n-well
142
143
p-sub

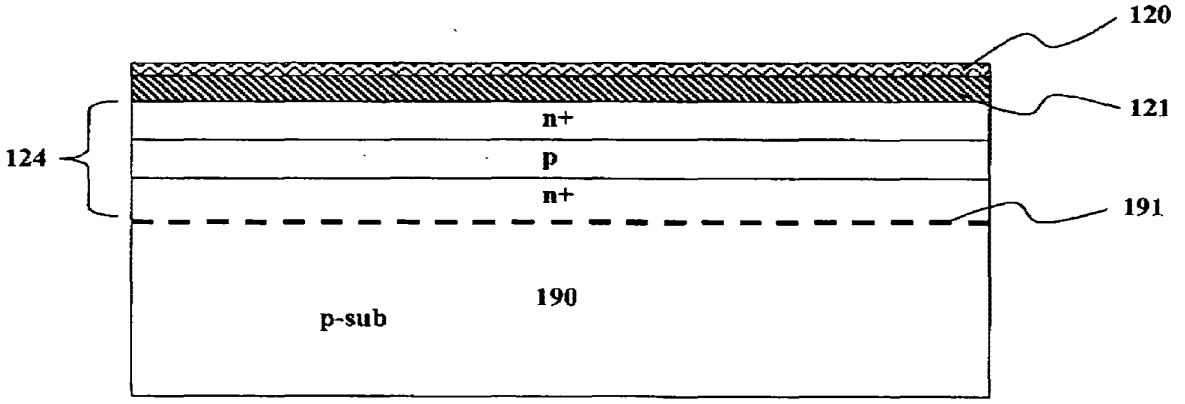
【도 3】


145
154
132
133
131
134
122
104
123
124
121
133
135
153
114
146

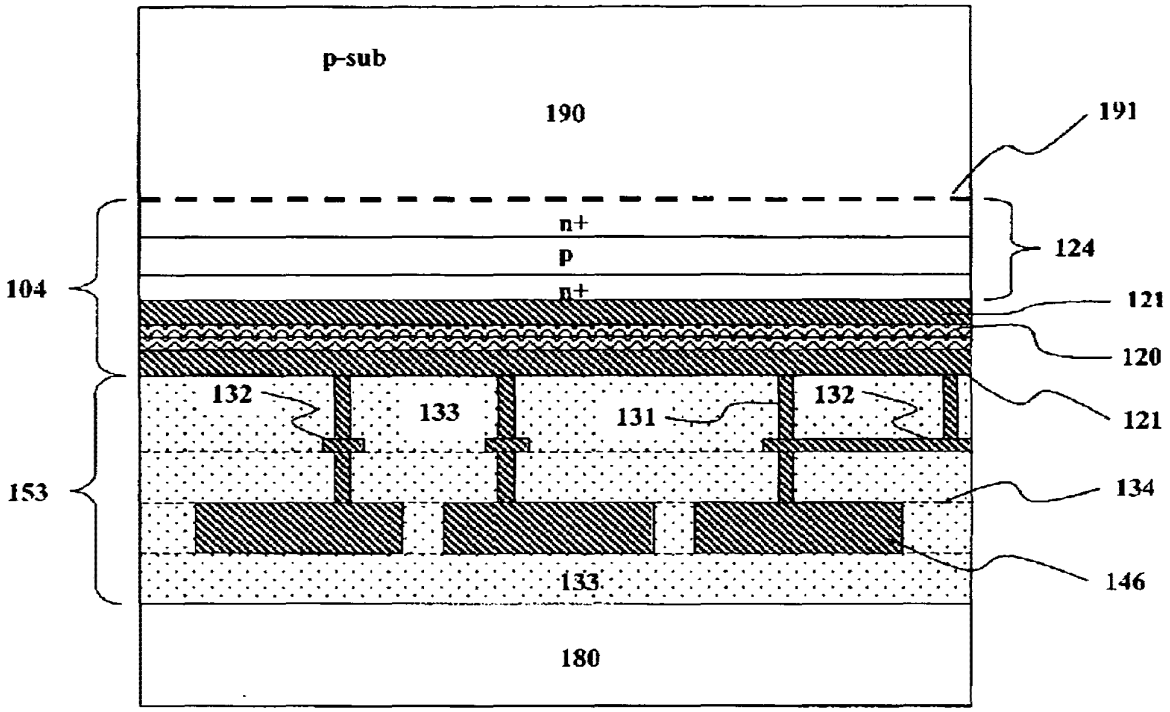
【도 4a】


120
121
132
133
131
132
153
134
146
180

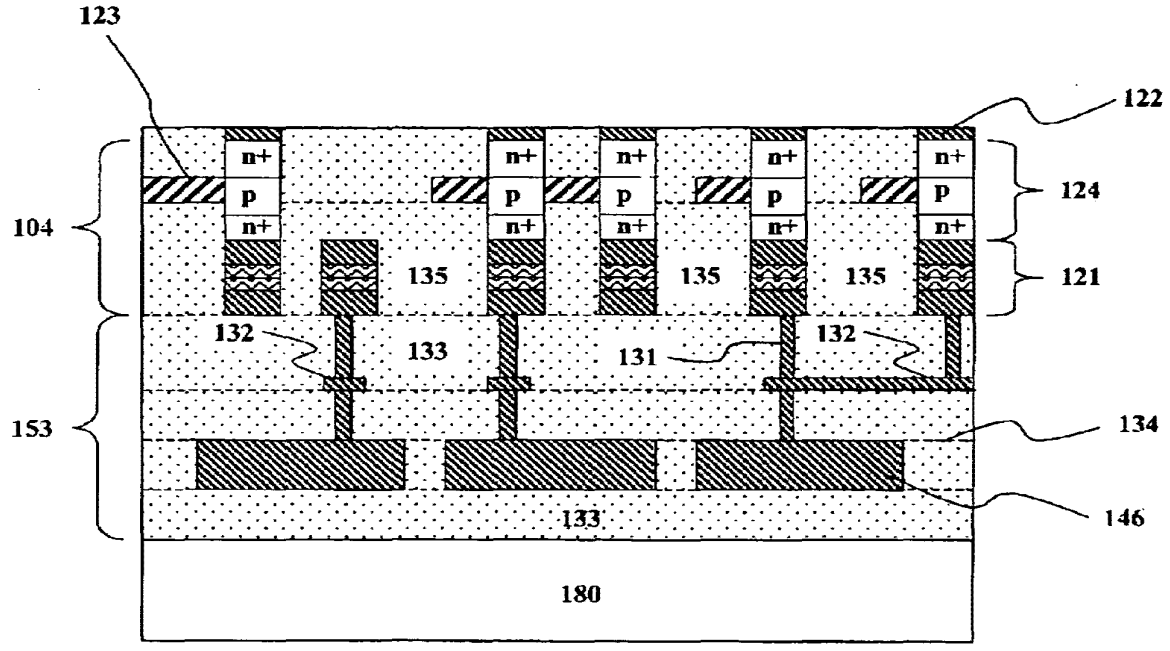
【도 4b】


120
121
n+
124
p
n+
191
190
p-sub

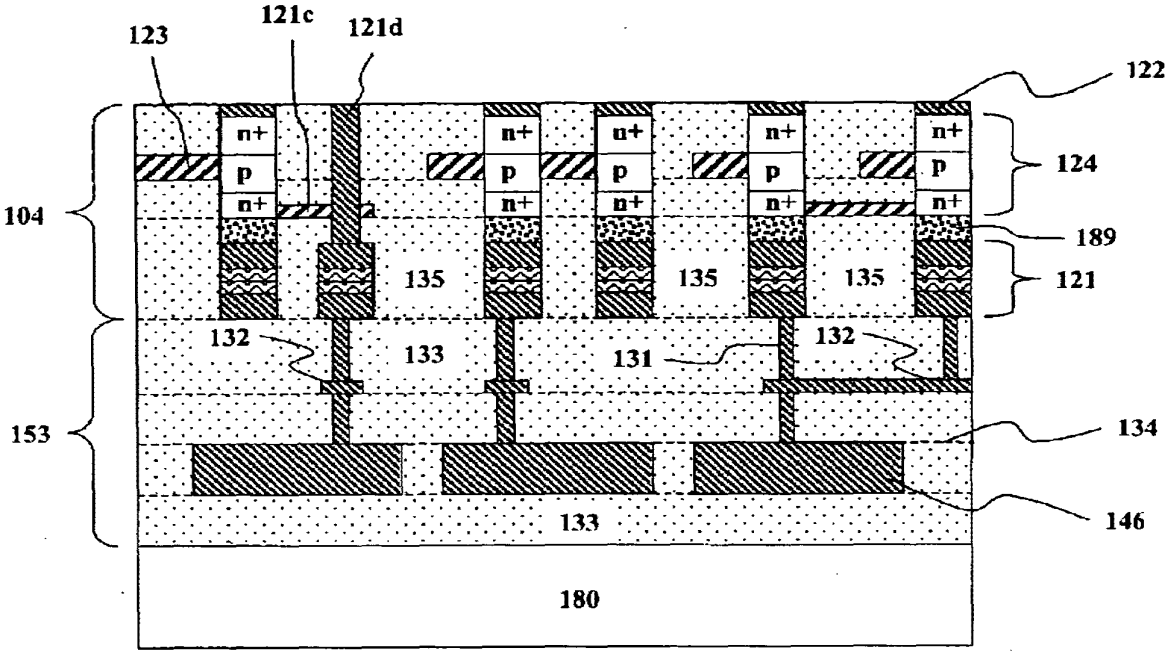
【도 4c】


p-sub
190
191
n+
p
n+
124
104
121
120
132
133
131
132
121
153
134
133
146
180

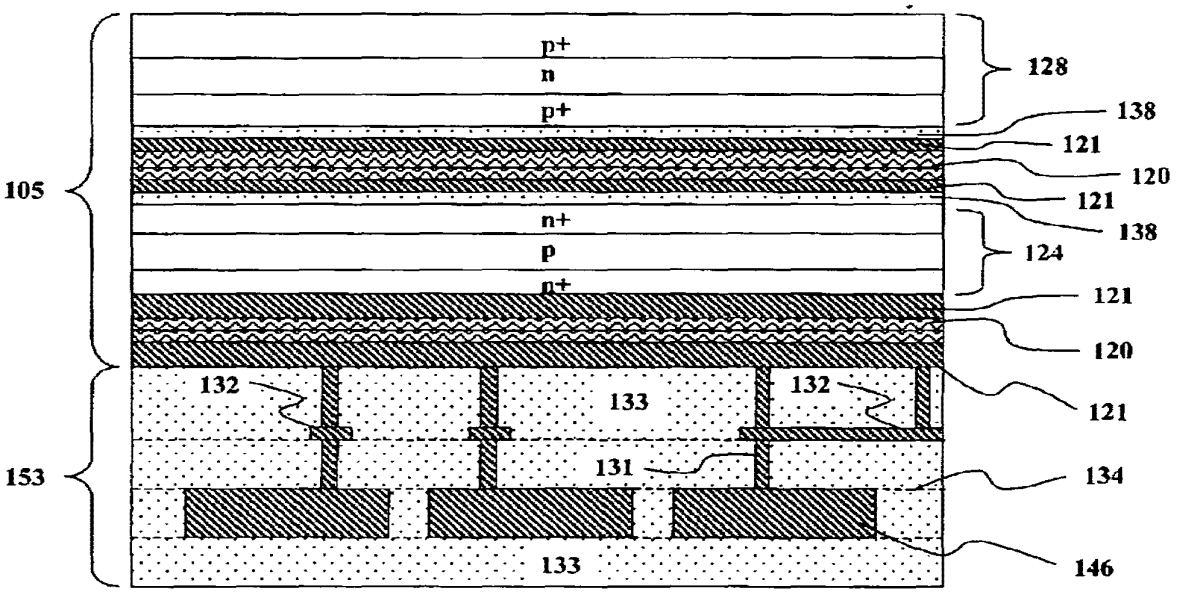
【도 4d】


123
122
n+
p
n+
124
104
135
121
132
133
131
132
153
134
133
146
180

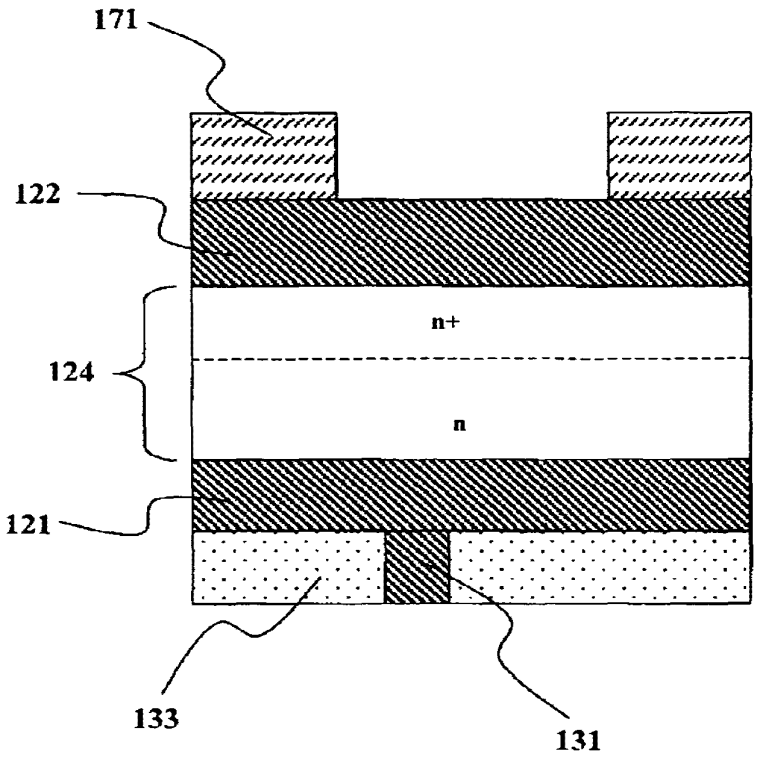
【도 5a】


123
121c
121d
122
n+
p
n+
124
104
189
135
121
132
133
131
153
134
146
180

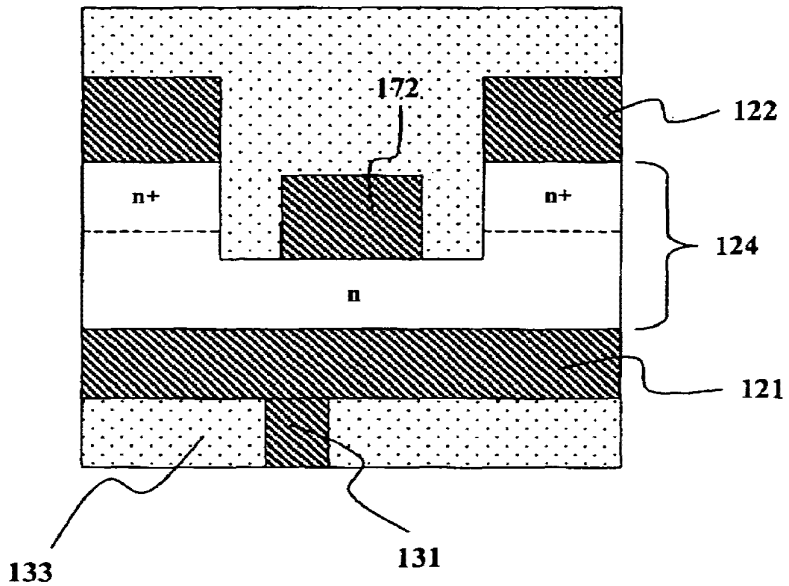
【도 5b】


p+
n
p+
128
138
121
120
105
n+
p
n+
124
132
133
131
153
134
146

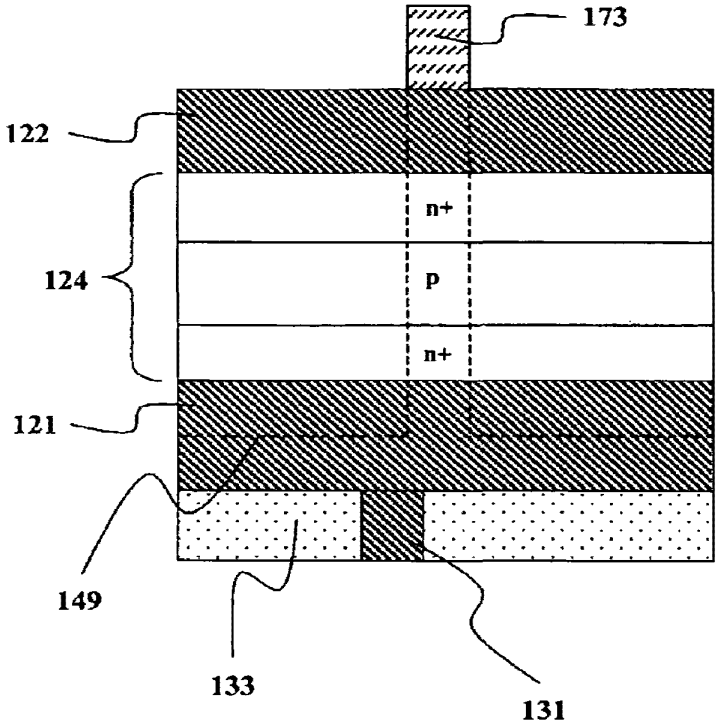
【도 6a】



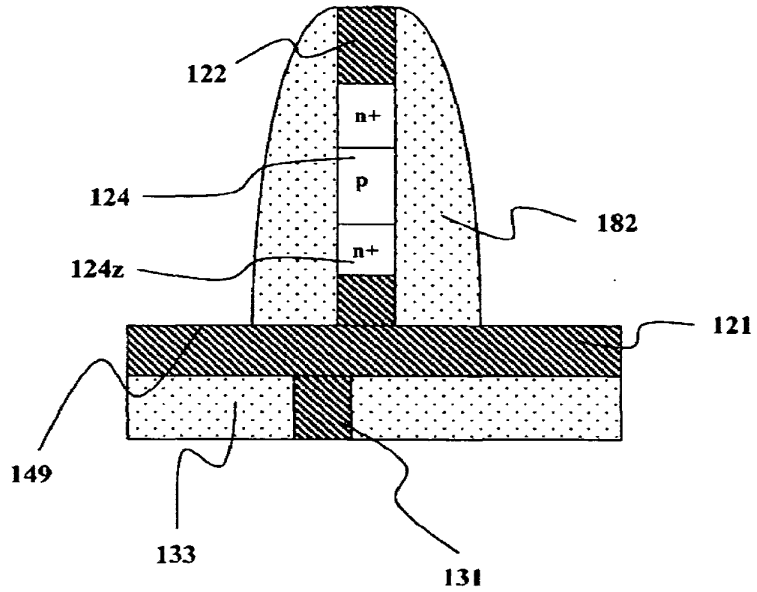
【도 6b】



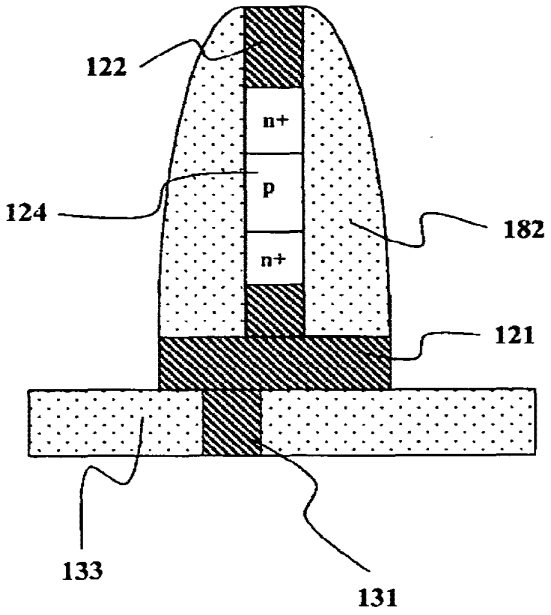
【도 7a】


173
122
n+
124
p
n+
121
149
133
131

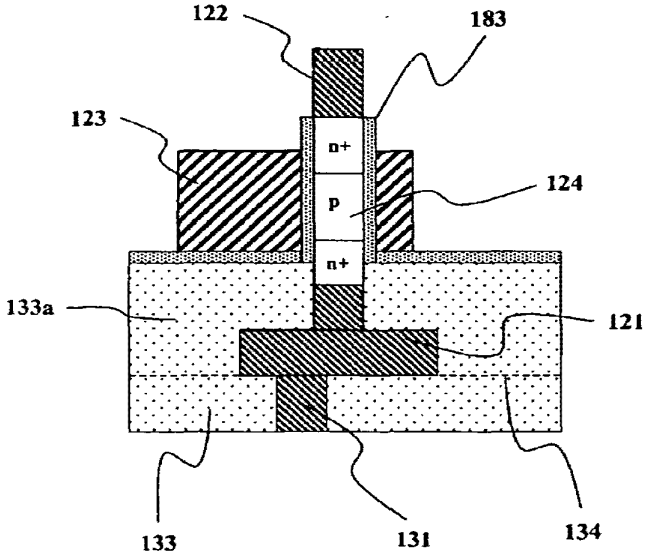
【도 7b】


122
n+
124
p
182
n+
124z
121
149
133
131

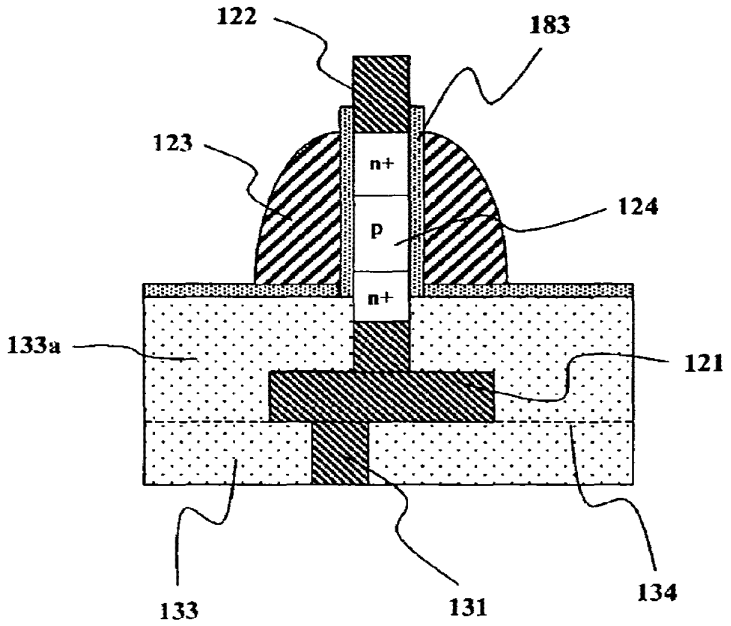
【도 7c】


122
n+
p
n+
124
182
121
133
131

【도 8a】


122
183
123
n+
p
n+
124
133a
121
133
131
134

【도 8b】


122
183
123
n+
p
n+
124
133a
121
133
131
134

【도 8c】

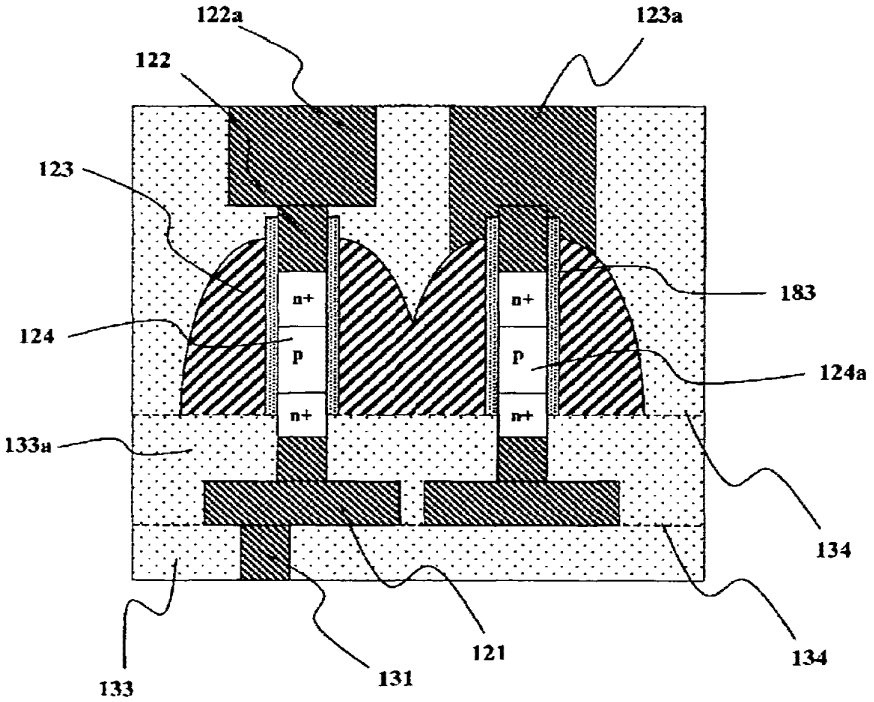
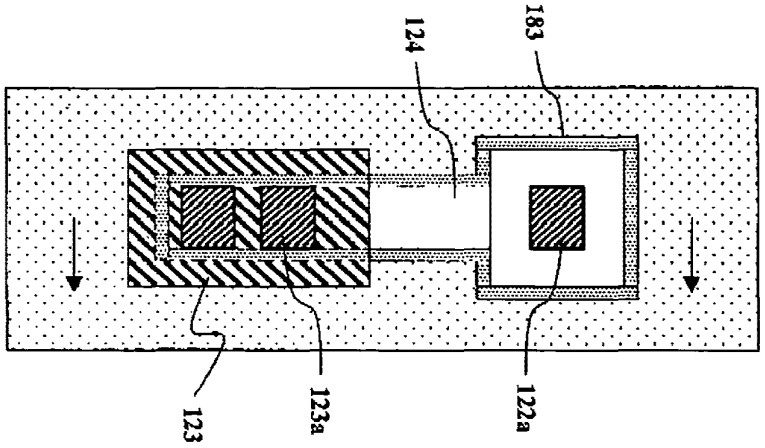
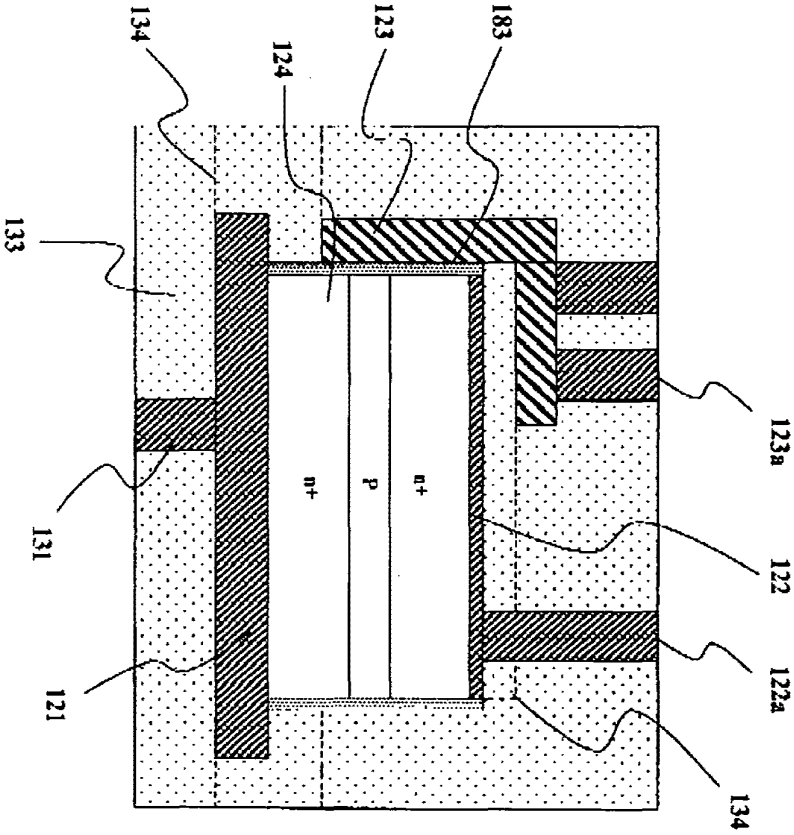

122a
123a
122
123
183
n+
p
n+
n+
p
n+
124
124a
133a
134
133
131
121
134

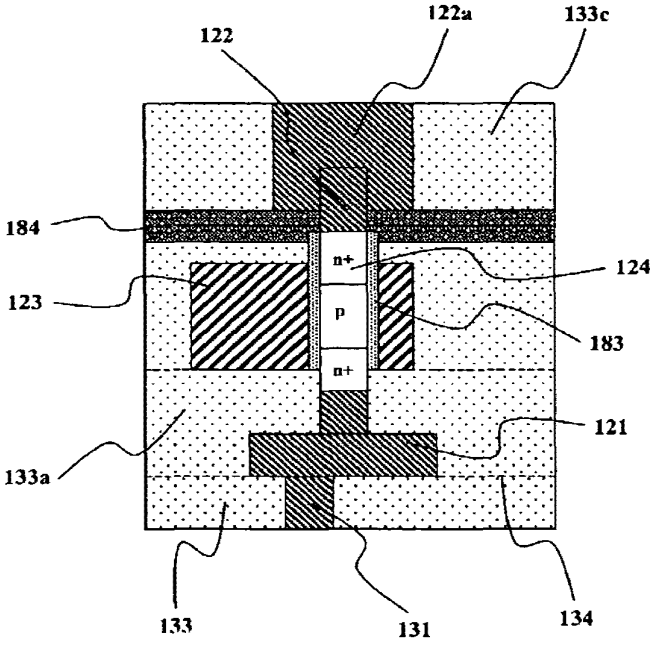
Exhibit 1006 - Page 350 of 375

【도 8d】

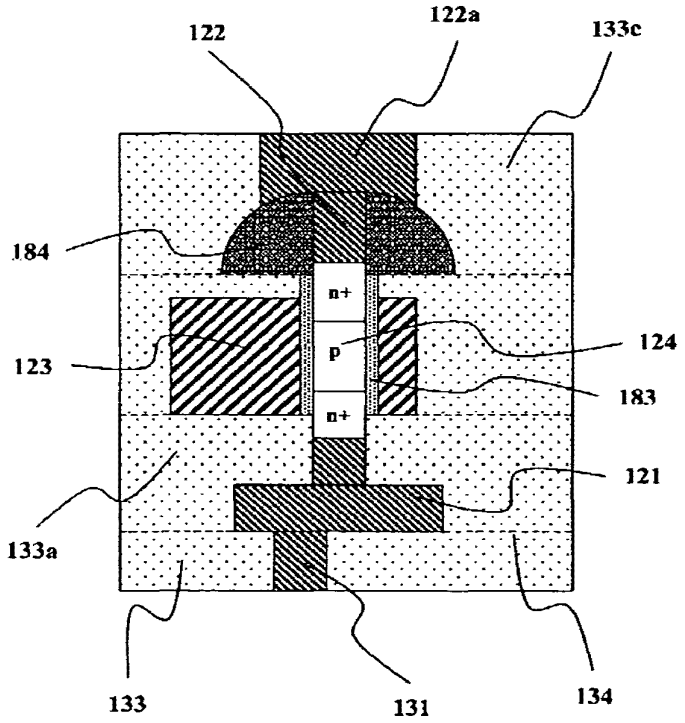




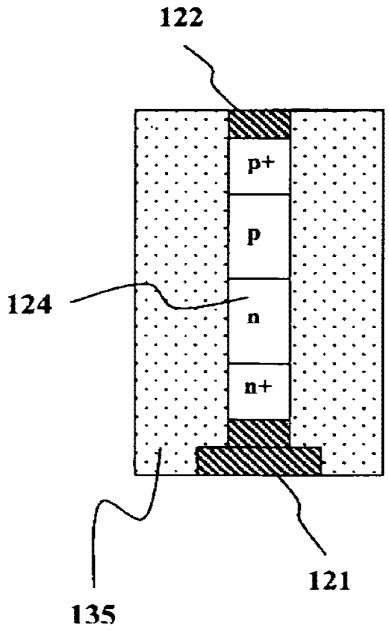
【도 9a】


122
122a
133c
184
n+
124
123
p
183
n+
121
133a
133
131
134

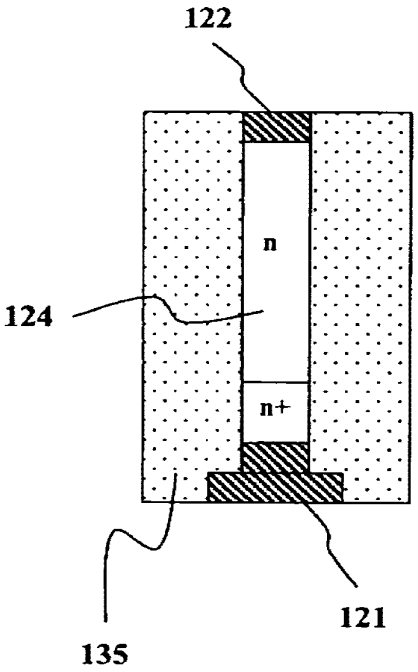
【도 9b】


122
122a
133c
184
n+
124
123
p
183
n+
121
133a
133
131
134

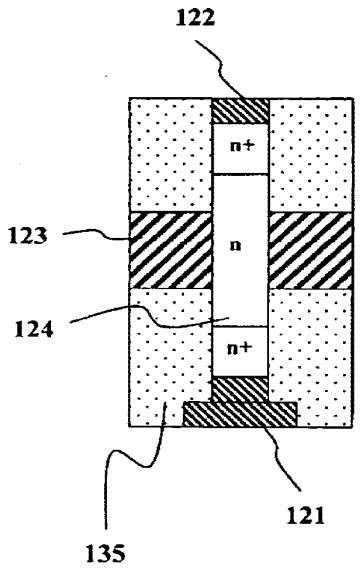
【도 10a】



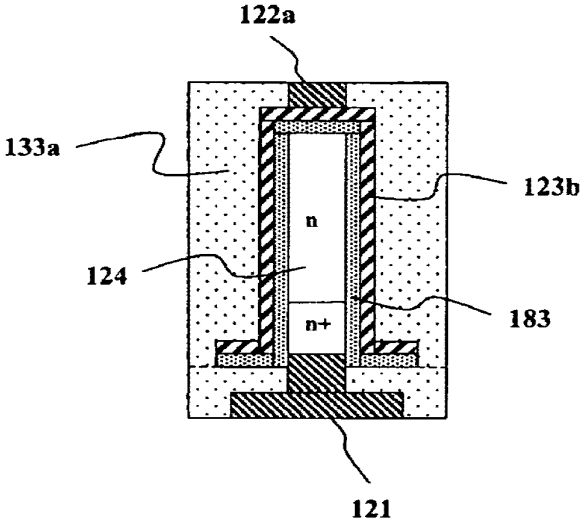
【도 10b】



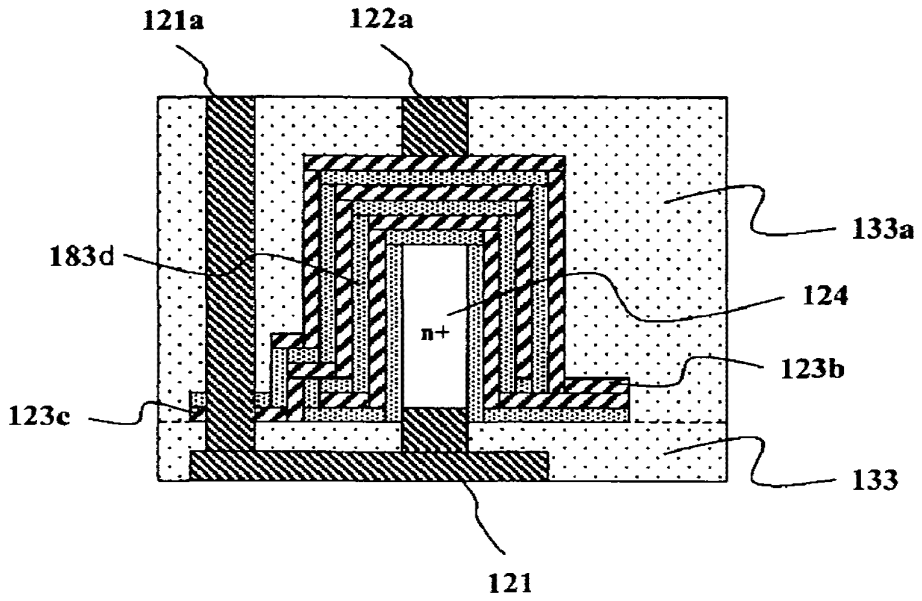
【도 10c】



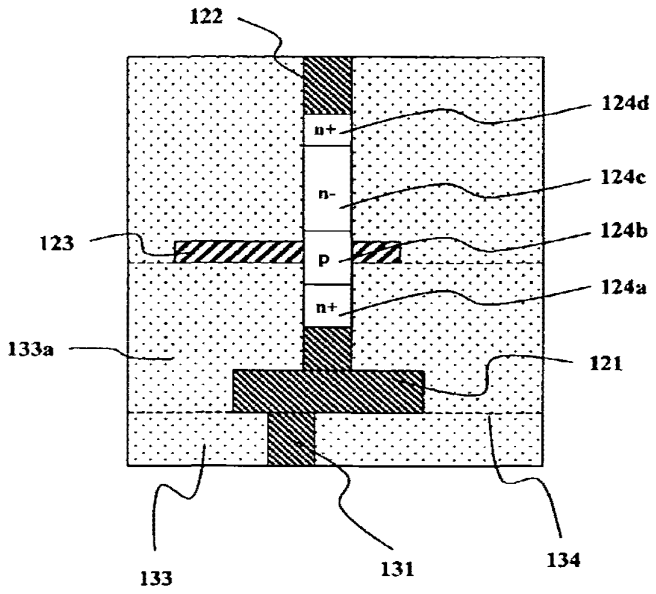
【도 11a】



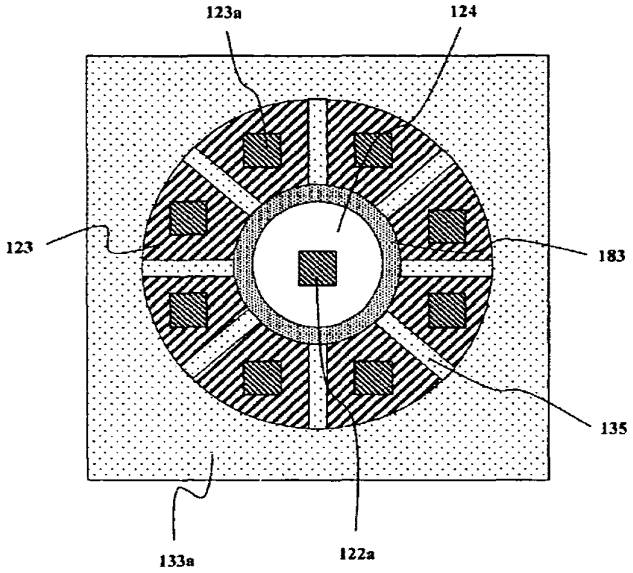
【도 11b】


121a
122a
133a
183d
124
n+
123b
123c
133
121

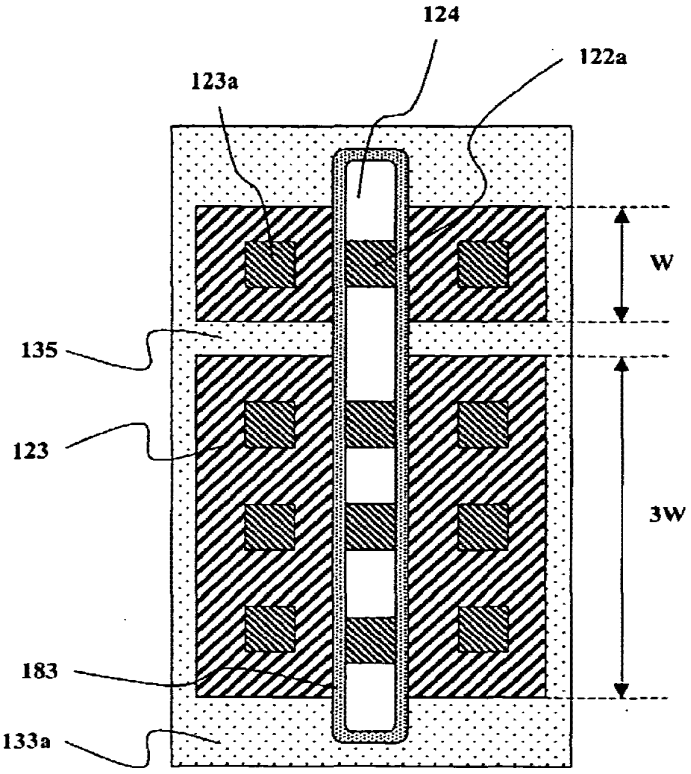
【도 12】


122
124d
n+
124c
n-
123
124b
p
124a
n+
133a
121
133
131
134

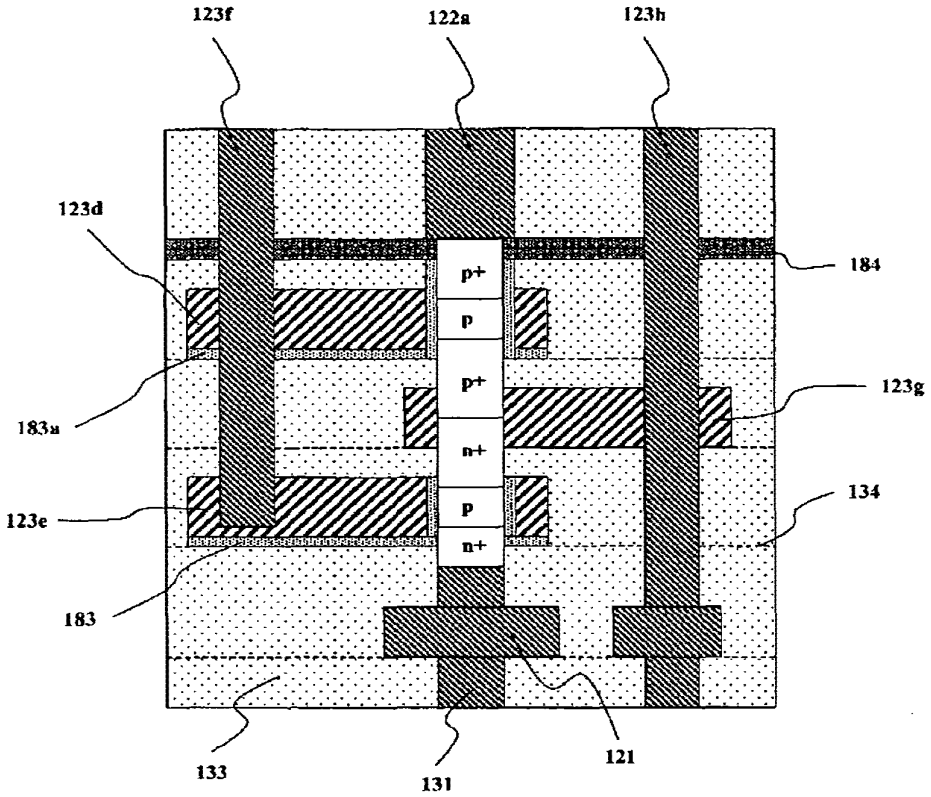
【도 13a】


123a
124
123
183
135
133a
122a

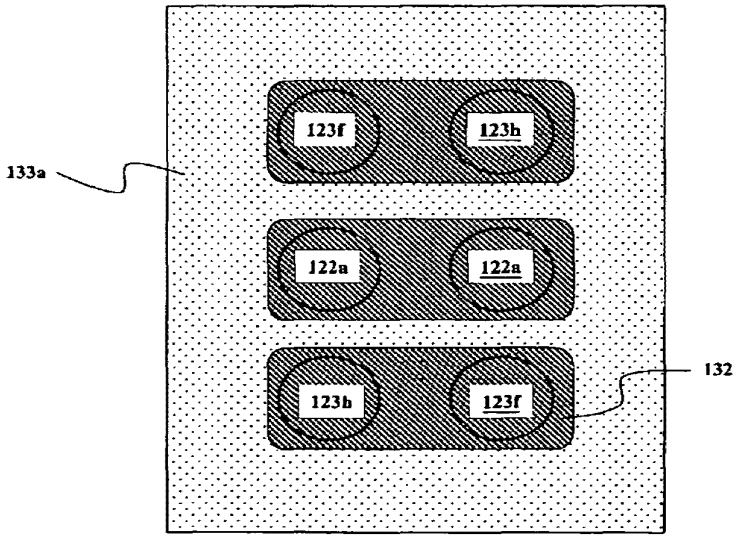
【도 13b】


124
122a
123a
W
135
123
3W
183
133a

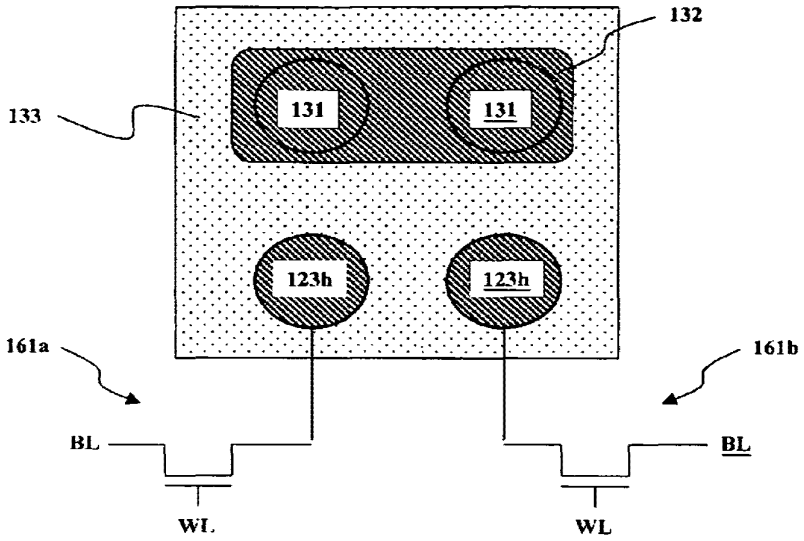
【도 14】


123f
122a
123h
123d
184
p+
p
p+
n+
p
n+
123g
183a
123e
134
183
133
131
121

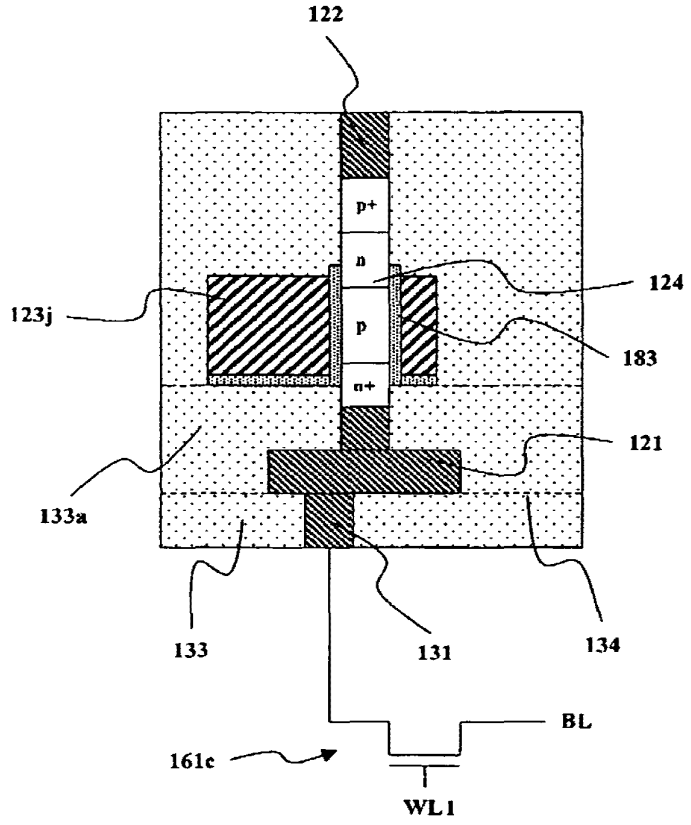
【도 15a】


123f
123h
133a
122a
122a
132
123h
123f

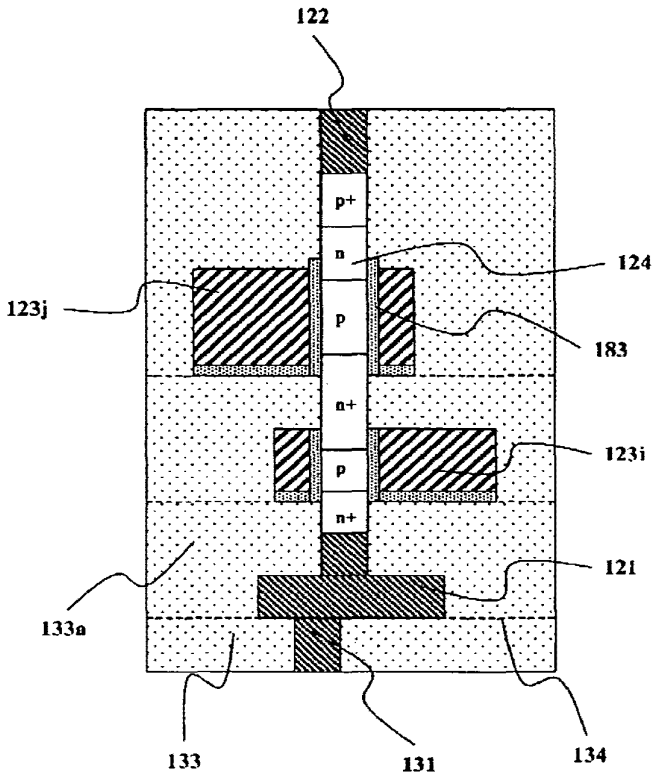
【도 15b】


132
133
131
131
123h
123h
161a
161b
BL
BL
WL
WL

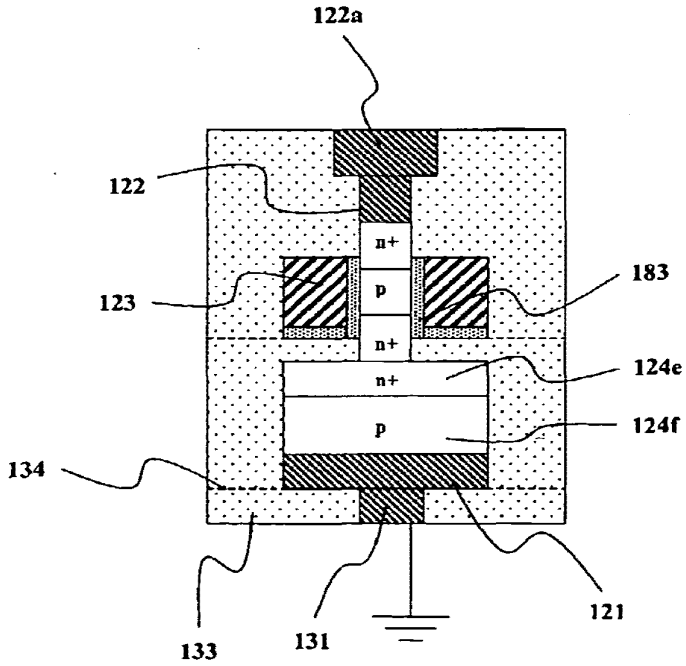
【도 16a】


122
p+
n
p
n+
123j
124
183
121
133a
133
131
134
BL
161c
WL1

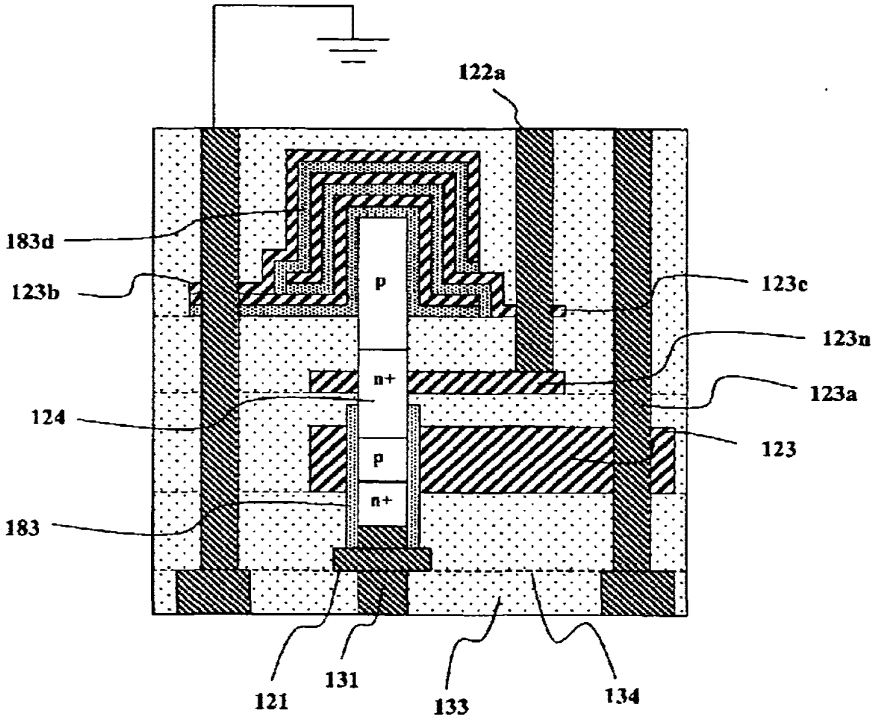
【도 16b】


122
p+
n
124
123j
p
183
n+
123i
p
n+
121
133a
133
131
134

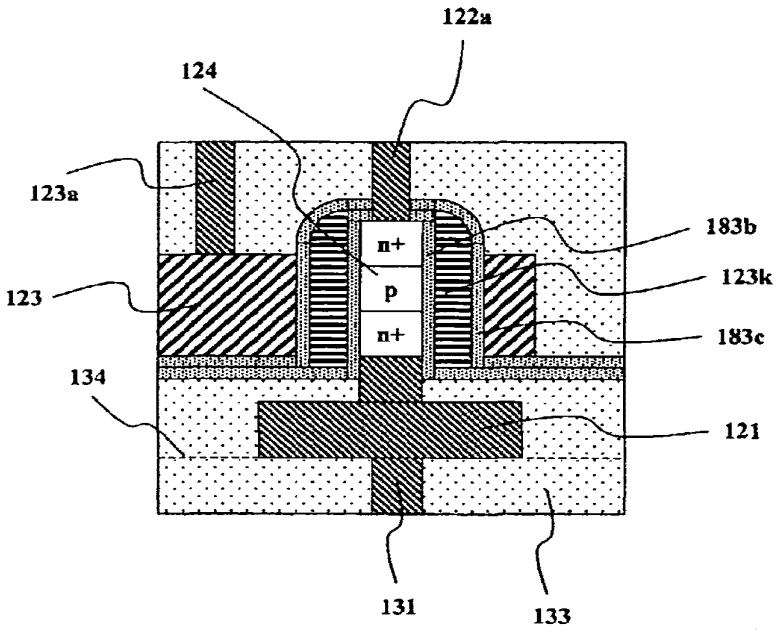
【도 17a】


122a
122
n+
123
p
183
n+
n+
124e
p
124f
134
133
131
121

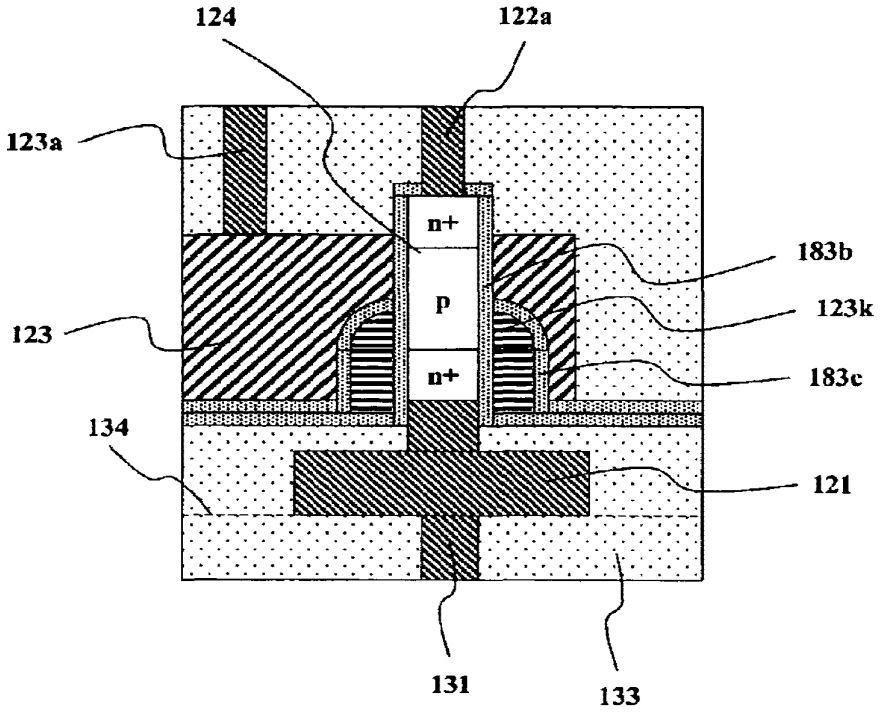
【도 17b】


122a
183d
123b
123c
123n
123a
124
123
183
p
n+
p
n+
121
131
133
134

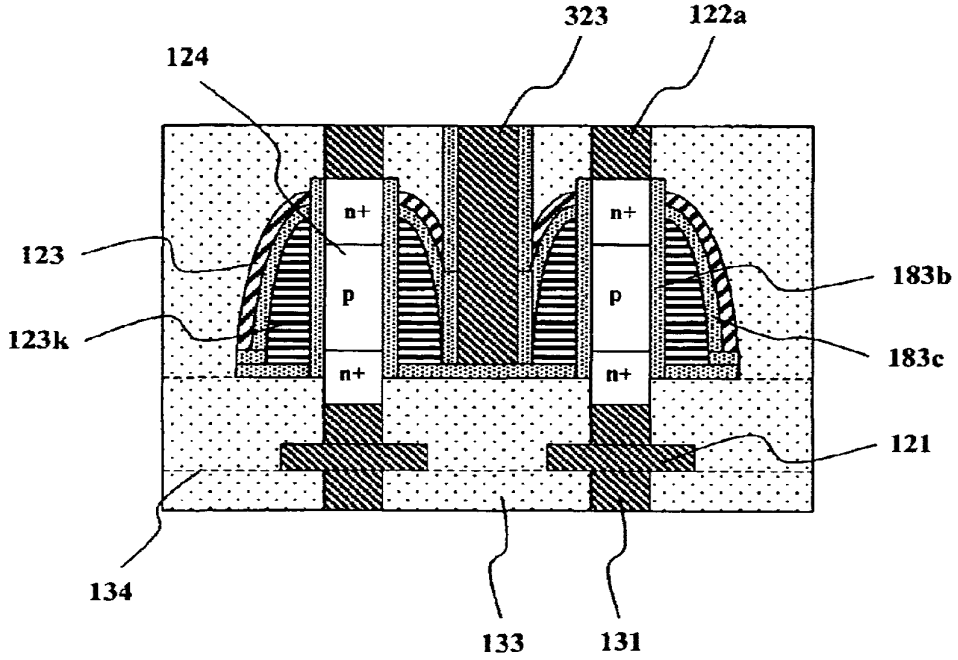
【도 18a】


122a
124
123a
183b
123k
123
183c
134
121
n+
p
n+
131
133

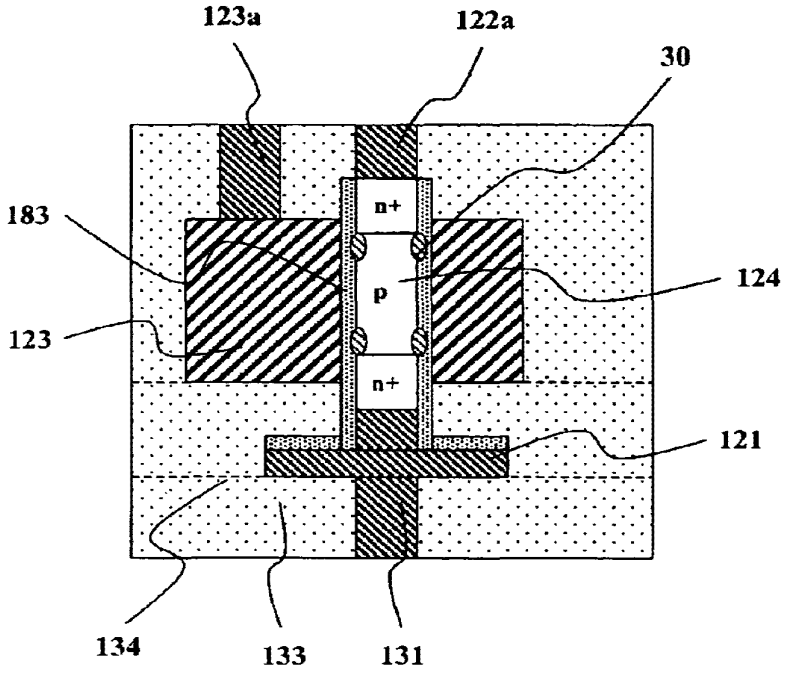
【도 18b】


124
122a
123a
n+
p
n+
183b
123k
183c
123
134
121
131
133

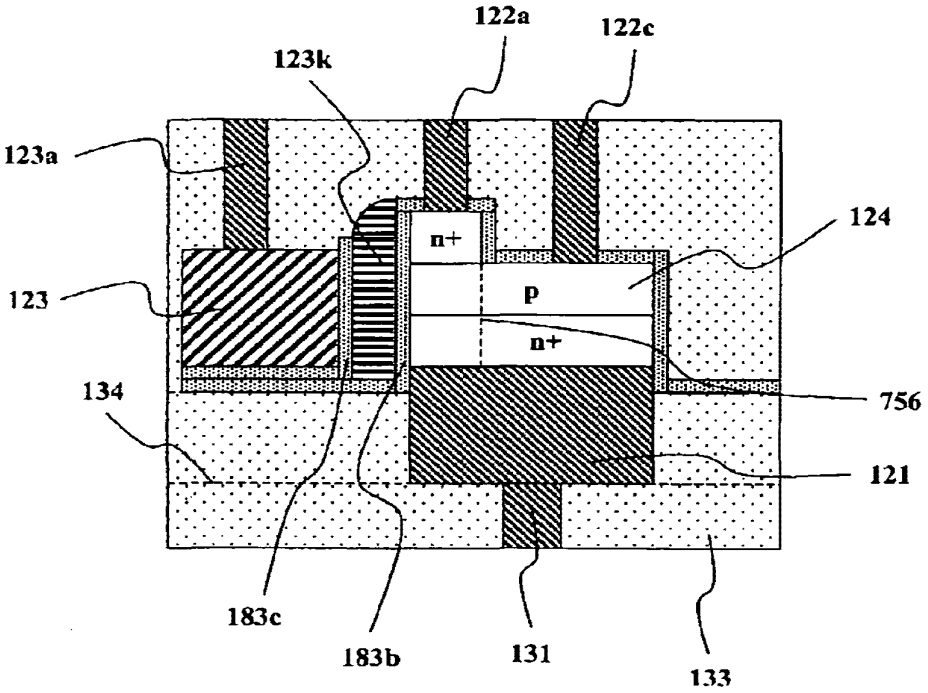
【도 18c】


323
122a
124
n+
p
n+
n+
p
n+
123
123k
183b
183c
121
134
133
131

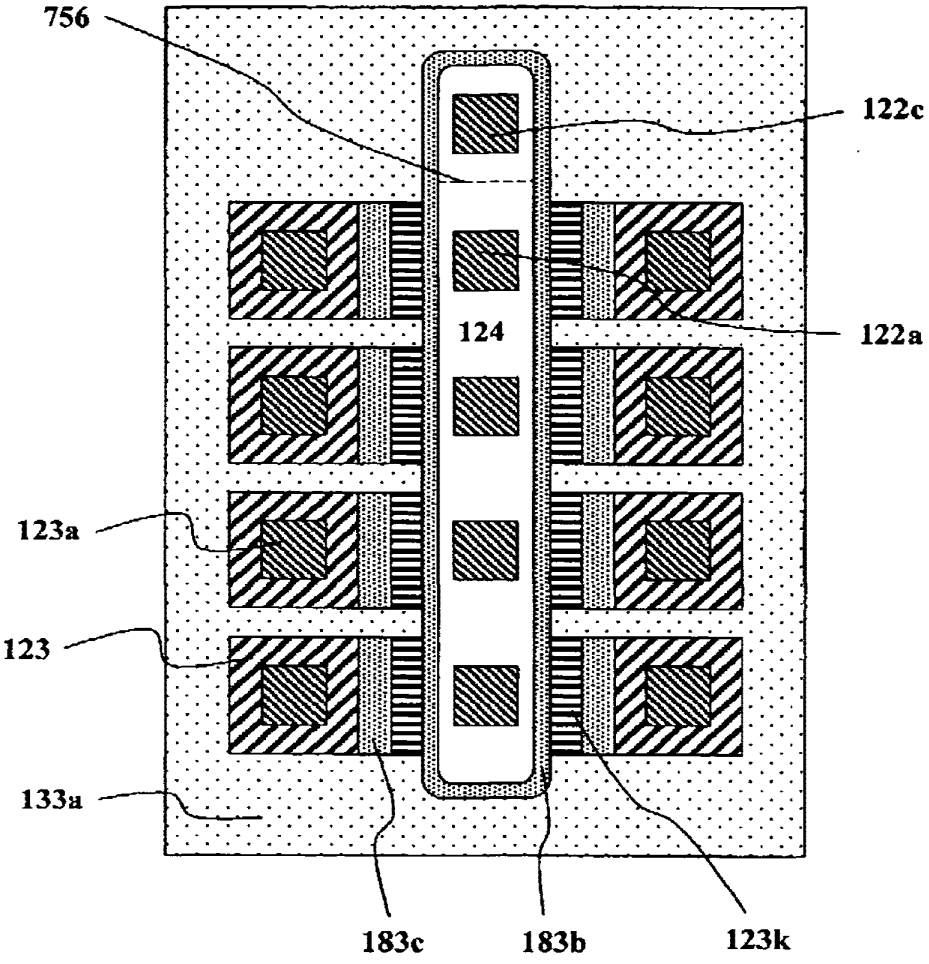
【도 18d】


123a
122a
30
183
n+
p
124
123
n+
121
134
133
131

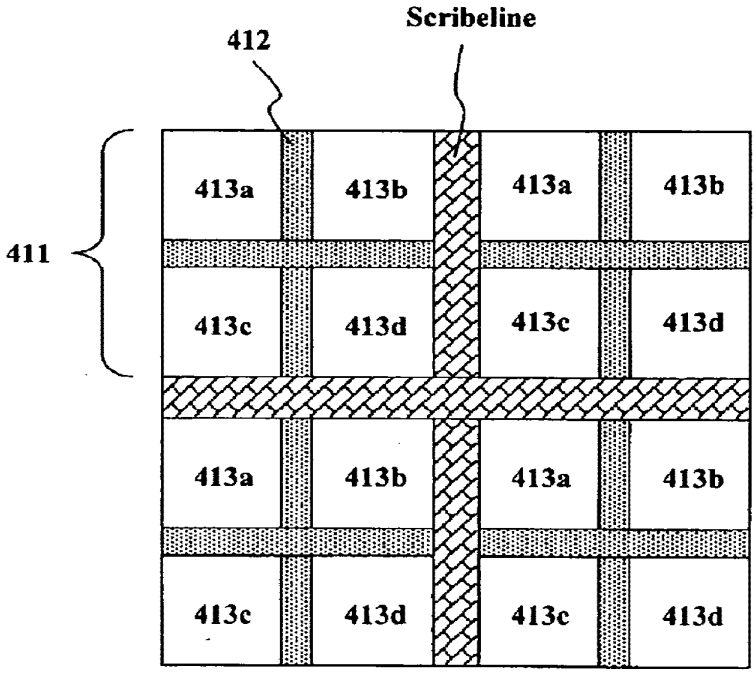
【도 18e】


122a
122c
123k
123a
n+
124
123
p
n+
134
756
121
183c
183b
131
133

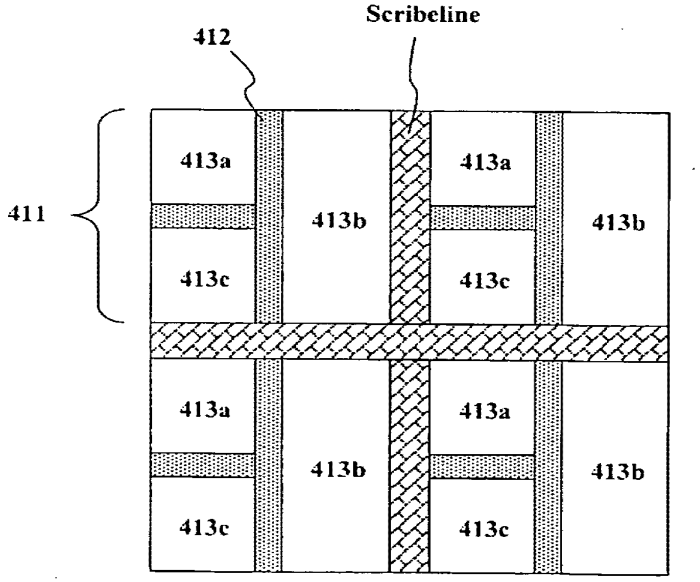
【도 18f】



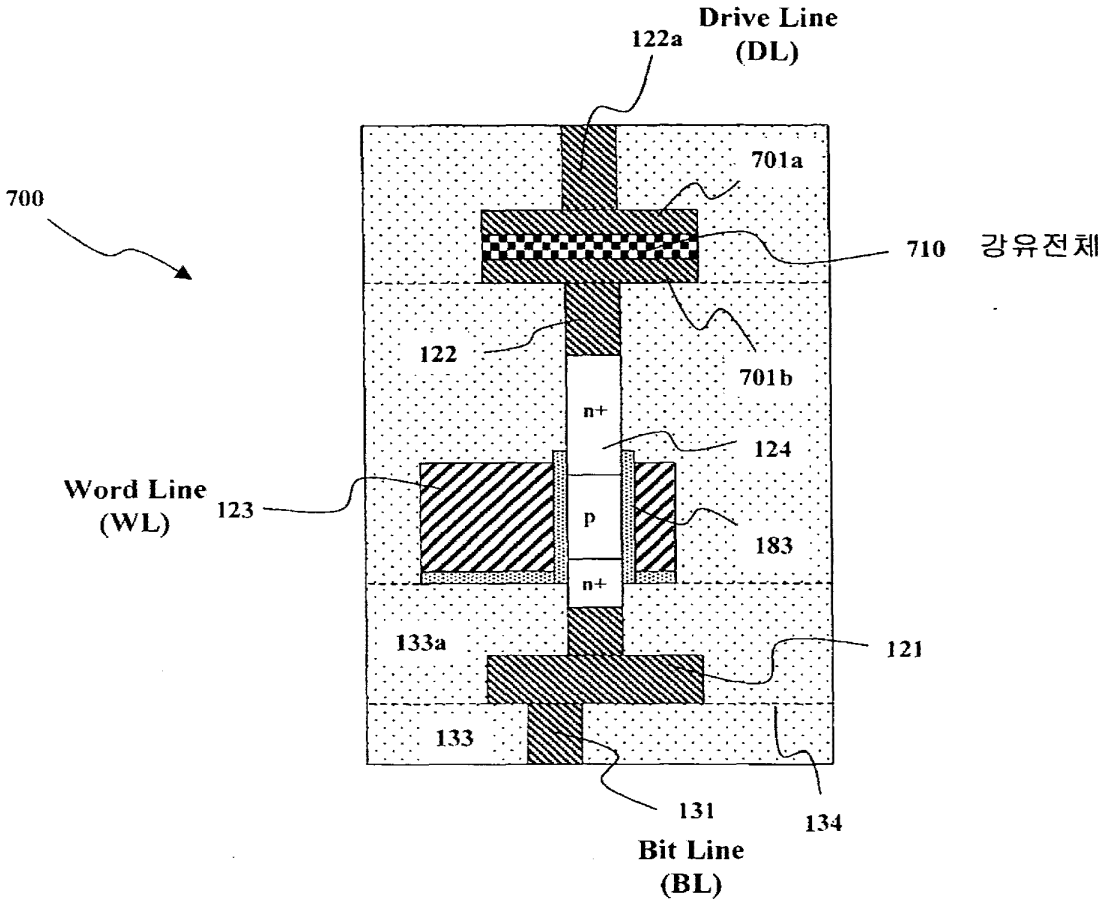
【도 19a】


Scribeline
412
411
413a
413b
413a
413b
413c
413d
413c
413d
413a
413b
413a
413b
413c
413d
413c
413d

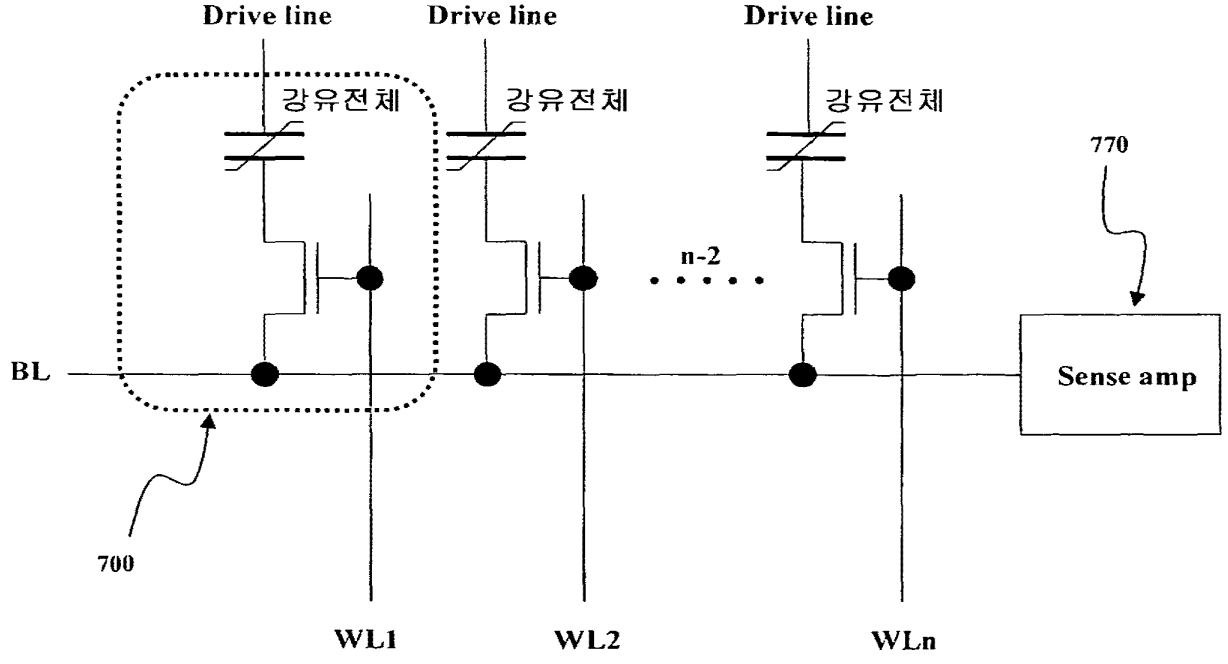
【도 19b】


Scribeline
412
411
413a
413b
413a
413b
413c
413c
413a
413b
413a
413b
413c
413c

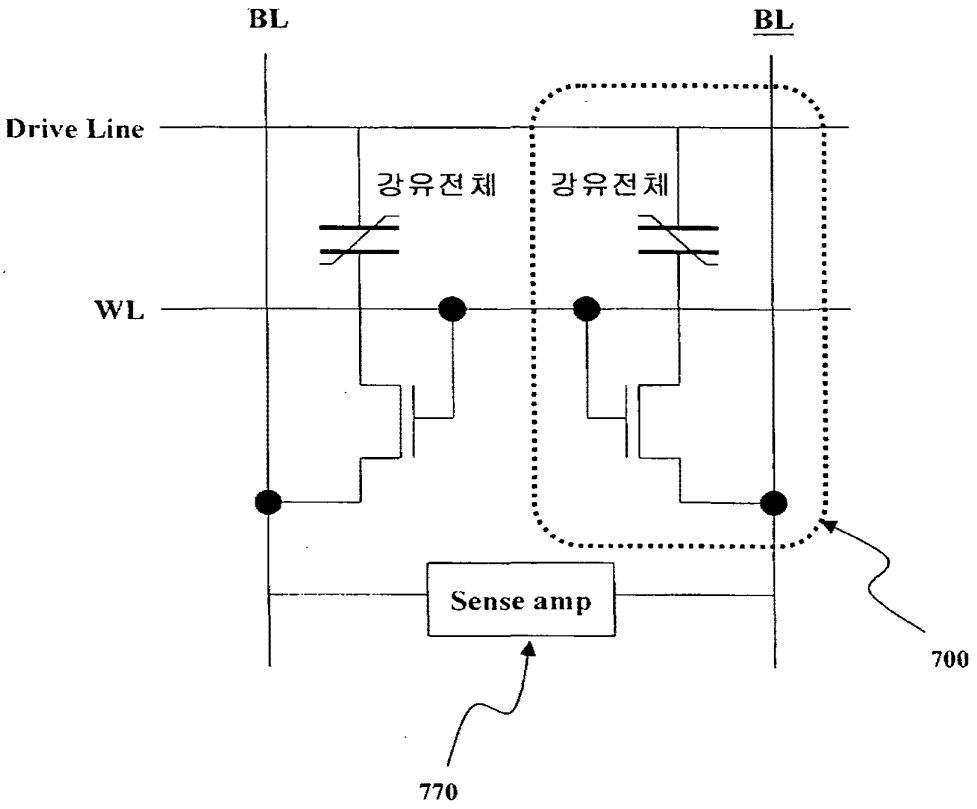
【도 20a】


Drive Line
(DL)
122a
701a
700
710 강유전체
122
701b
n+
124
Word Line
(WL)
123
p
183
n+
133a
121
133
131
134
Bit Line
(BL)

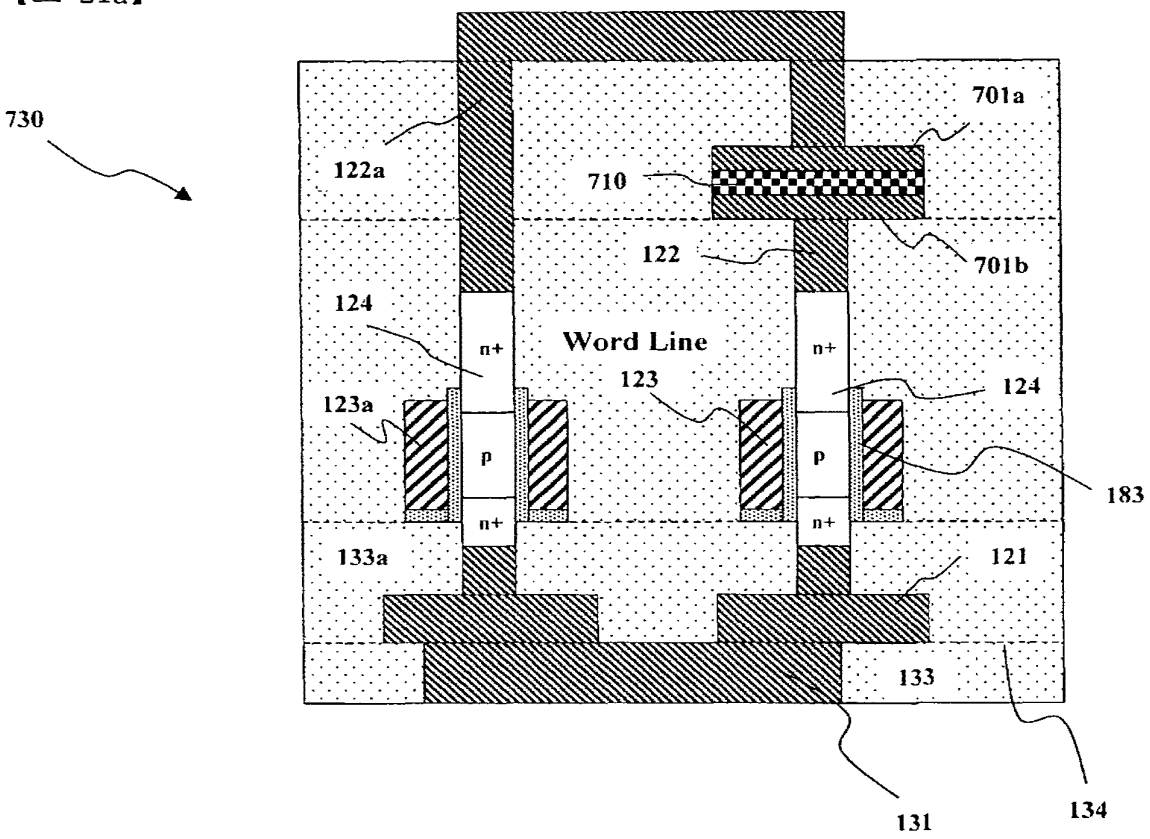
【도 20b】


Drive line
Drive line
Drive line
강유전체
강유전체
강유전체
770
n-2
BL
Sense amp
700
WL1
WL2
WLn

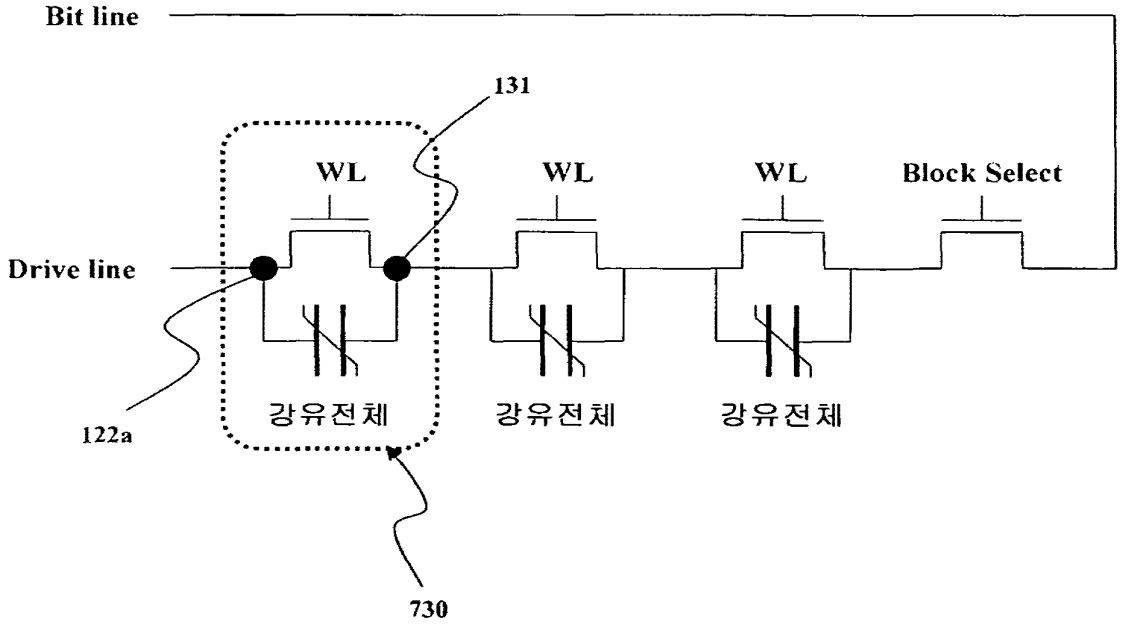
【도 20c】



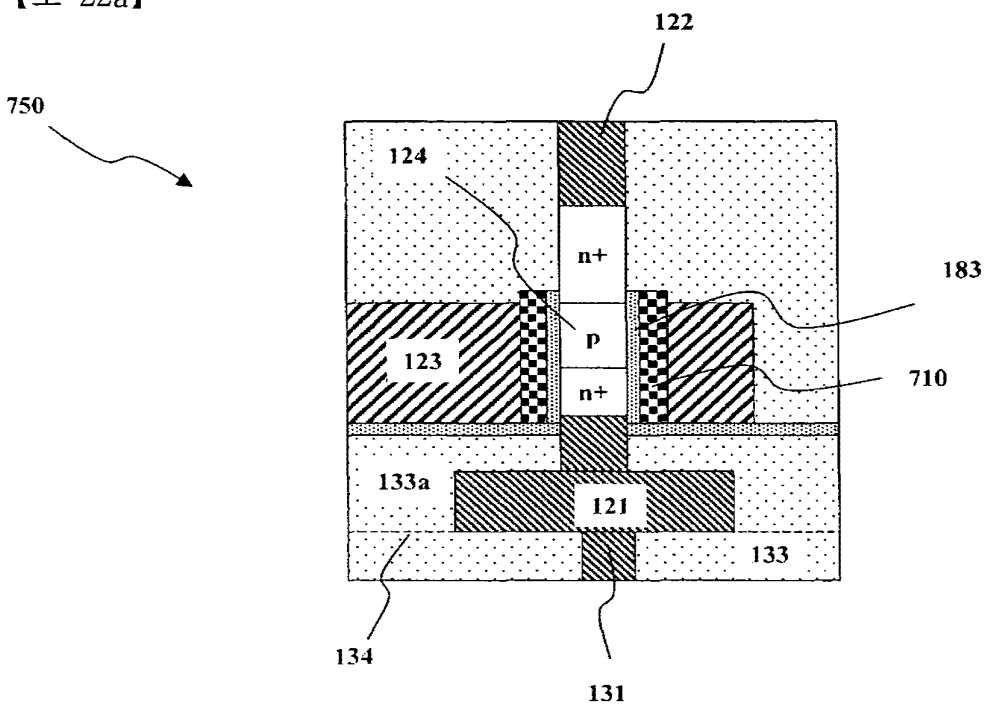
【도 21a】


730
122a
701a
710
701b
122
124
n+
Word Line
123
123a
p
183
133a
121
133
131
134

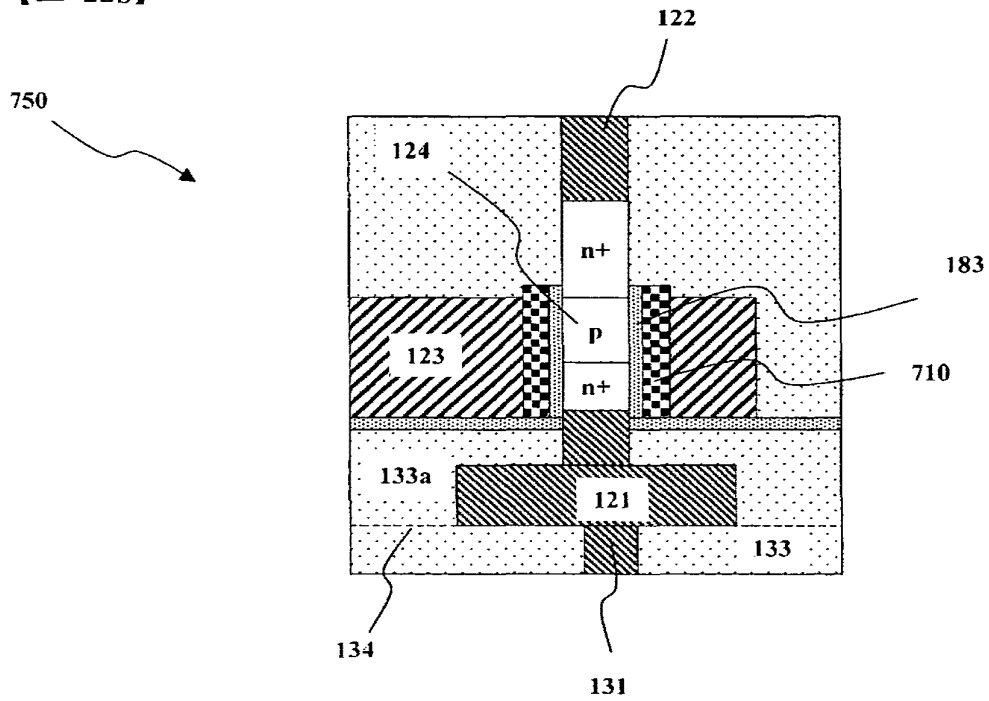
【도 21b】


Bit line
131
WL
WL
WL
Block Select
Drive line
122a
강유전체
강유전체
강유전체
730

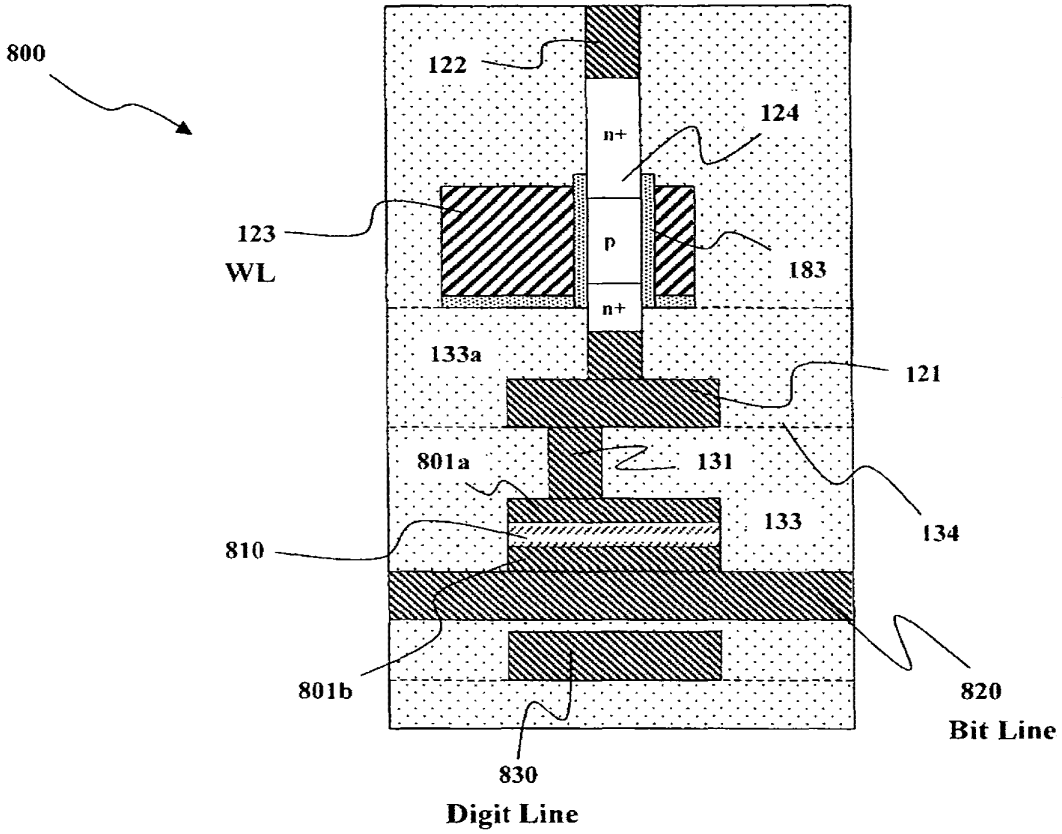
【도 22a】


750
122
124
n+
183
p
123
710
n+
133a
121
133
134
131

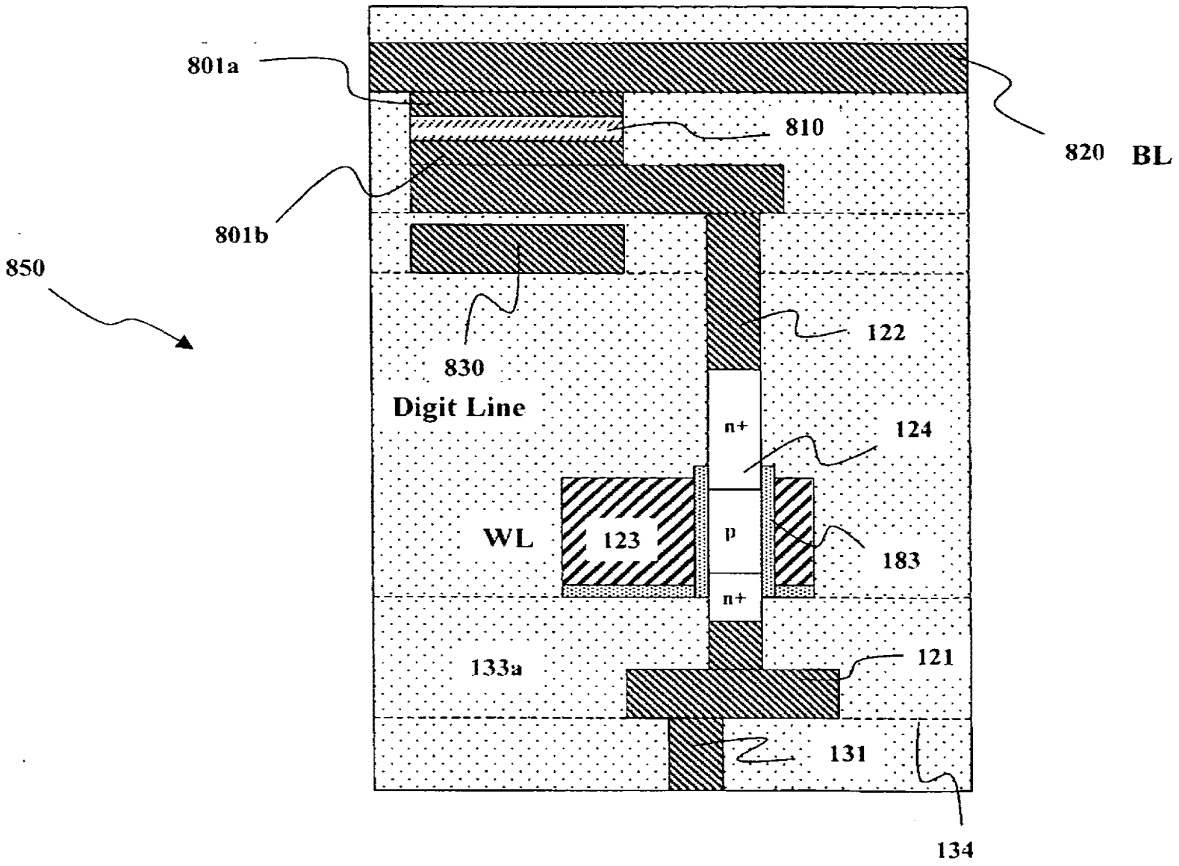
【도 22b】


750
122
124
n+
183
p
123
710
n+
133a
121
133
134
131

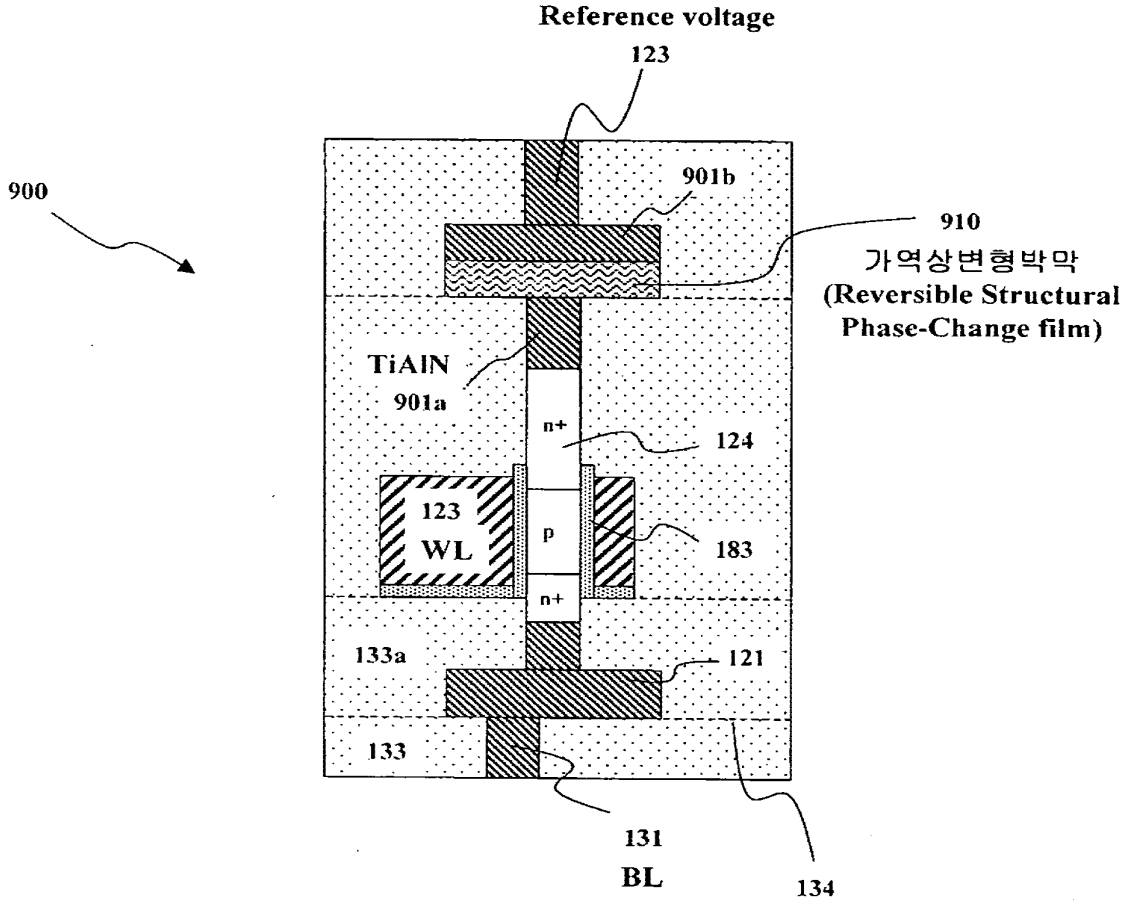
【도 23a】


800
122
124
n+
123
WL
p
183
n+
133a
121
801a
131
133
134
810
801b
820
Bit Line
830
Digit Line

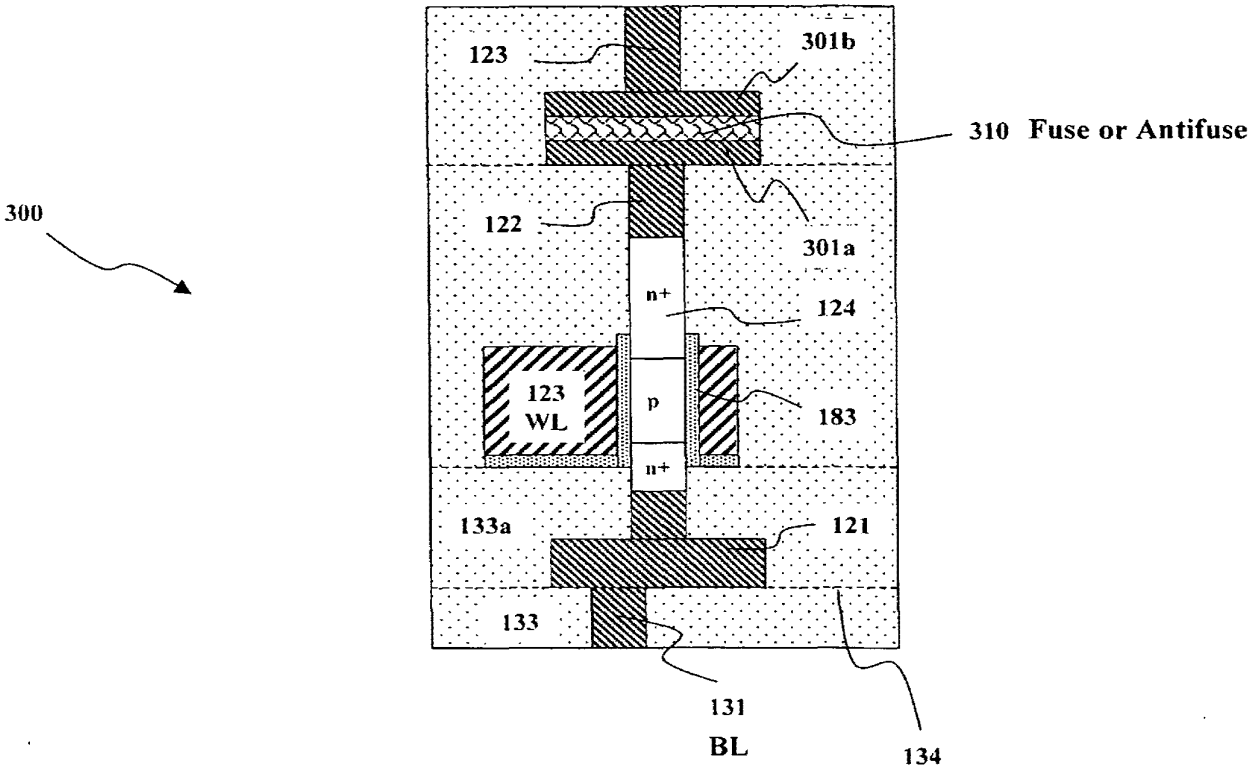
【도 23b】


801a
810
820 BL
801b
850
830
Digit Line
122
n+
124
WL
123
p
183
n+
133a
121
131
134

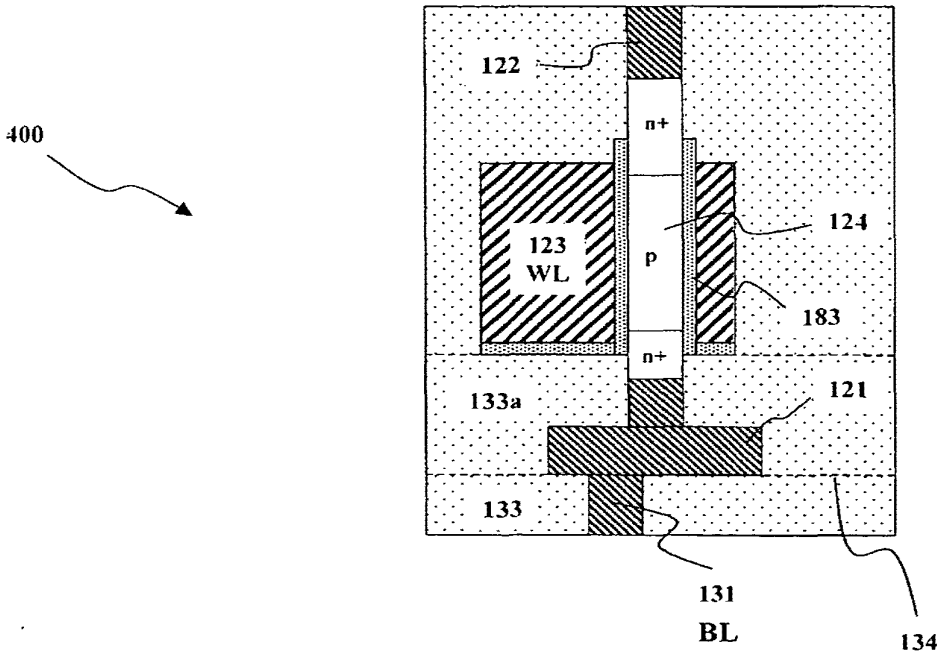
【도 24】


Reference voltage
123
900
901b
910
가역상변형박막
(Reversible Structural
Phase-Change film)
TiAlN
901a
n+
124
123
WL
p
183
n+
133a
121
133
131
BL
134

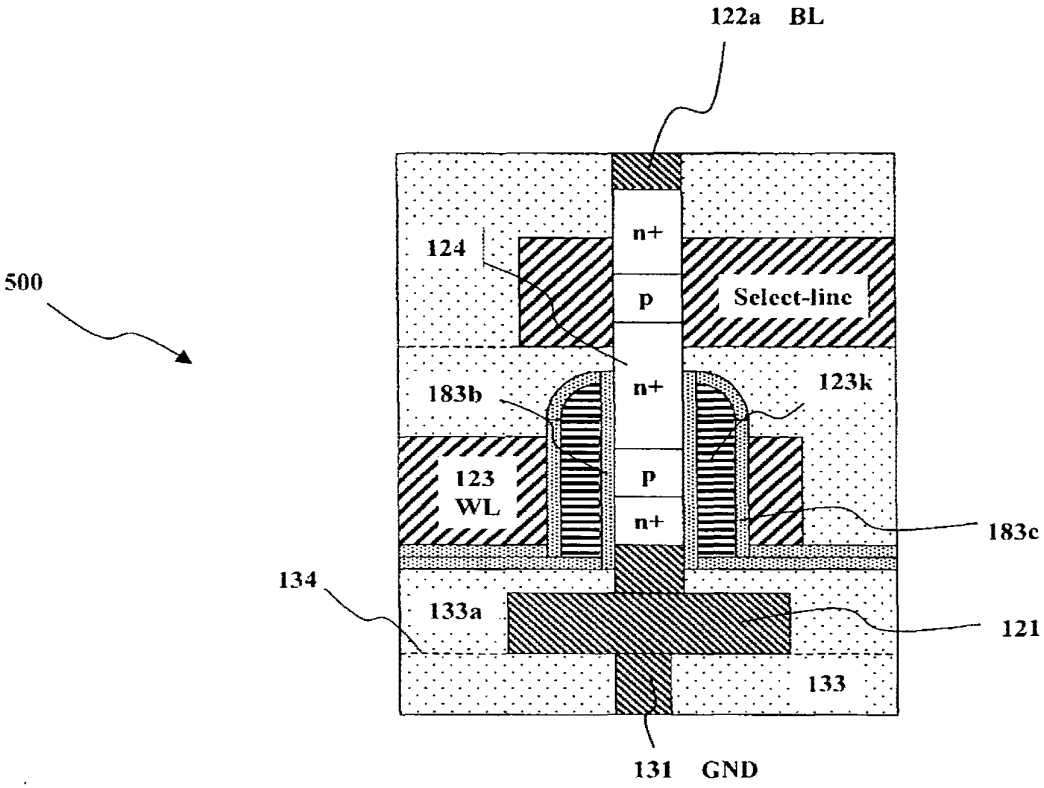
【도 25】


300
123
301b
310 Fuse or Antifuse
122
301a
n+
124
123
WL
p
183
n+
133a
121
133
131
BL
134

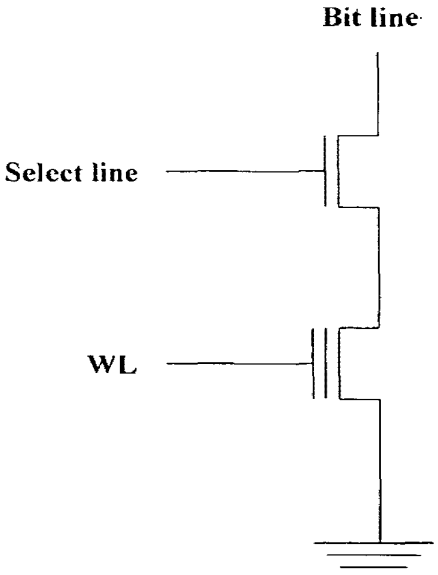
【도 26】


400
122
n+
124
123
WL
p
183
n+
133a
121
133
131
BL
134

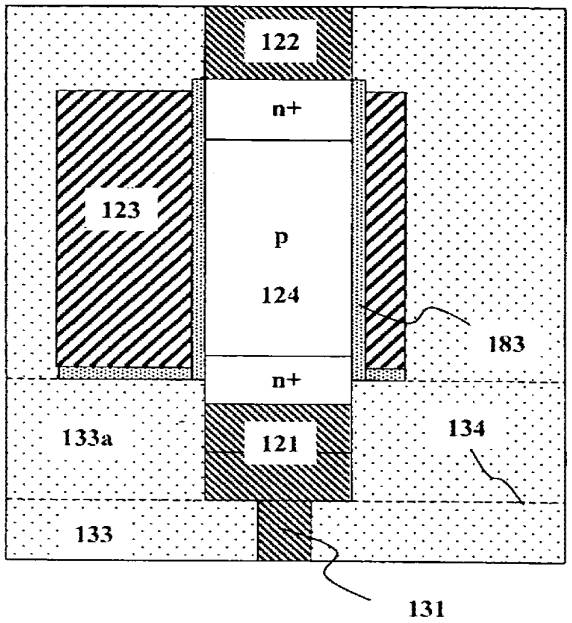
【도 27a】


122a BL
500
124
n+
p
Select-line
n+
183b
123k
123
WL
p
n+
183c
134
133a
121
133
131 GND

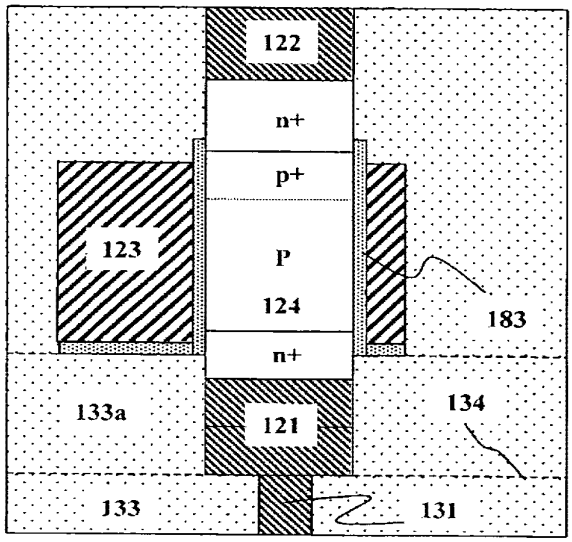
【도 27b】


Bit line
Select line
WL

【도 28】


600
122
n+
123
p
124
183
n+
133a
121
134
133
131

【도 29】


650
122
n+
p+
123
p
124
183
n+
133a
121
134
133
131

PATENT APPLICATION SERIAL NO. _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

06/25/2004 EAREGAY1 00000059 10873969

01 FC:2001 385.00 OP

PTO-1556
(5/87)

U.S. Government Printing Office: 2001 — 481-697/59173

PATENT APPLICATION FEE DETERMINATION RECORD

Effective October 1, 2003

Application or Docket Number: 10873969

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS	20	
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	20 minus 20=	* 0
INDEPENDENT CLAIMS	3 minus 3 =	* 0
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐ OR OTHER THAN SMALL ENTITY

RATE	FEE	OR	RATE	FEE
BASIC FEE	385.00	OR	BASIC FEE	770.00
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL	385	OR	TOTAL	

CLAIMS AS AMENDED - PART II

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

6, 11, 18,

SMALL ENTITY OR OTHER THAN SMALL ENTITY

RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.