Espacenet

Bibliographic data: JP2007258485 (A) — 2007-10-04

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Inventor(s): INABA SATOSHI ± (INABA SATOSHI)

Applicant(s): TOSHIBA CORP ± (TOSHIBA CORP)

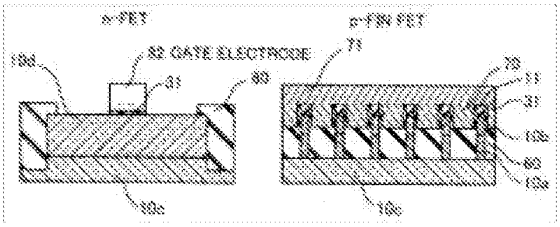
Classification: - international: ***H01L21/8238; H01L27/092; H01L29/78; H01L29/786***
- cooperative: **H01L21/823807 (EP)**; **H01L21/823814 (EP)**; **H01L21/823821 (EP)**; **H01L21/823828 (EP)**; **H01L21/823878 (EP)**; **H01L29/1054 (EP)**; **H01L29/66795 (EP)**; **H01L29/785 (EP)**; **H01L29/78687 (EP)**; H01L27/1211 (EP)

Application number: JP20060081559 20060323 Global Dossier

Priority number(s): JP20060081559 20060323

Also published as: US2007221956 (A1)

Abstract of JP2007258485 (A)



PROBLEM TO BE SOLVED: To provide a semiconductor device which has an FET of a fin structure having an SiGe layer as a channel region of an fin FET and which is flexible in the design of the channel width (fin height) of the fin FET, and also a method of manufacturing the semiconductor device. ;SOLUTION: The semiconductor device having an FET of a fin structure includes a buffer layer formed on an Si semiconductor layer having a stepwise varying Ge concentration, a fin of a predetermined height formed by an SiGe layer formed on the buffer layer at a Ge concentration corresponding to a Ge concentration at the interface with the buffer layer, a gate electrode formed at the side of the fin through a gate insulating film, and source and drain regions formed at both side of the gate electrode of the fin. A channel region opposed to the gate electrode through the gate insulating film of the fin is formed within the SiGe layer. ;COPYRIGHT: (C)2008,JPO&INPIT

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JP2007258485A

Semiconductor devices and their manufacturing methods

[0001]

The present invention relates to a semiconductor device and a method for manufacturing the same, and more particularly to a device structure of a FinFET (Fin-Field Effect Transistor) and a method for manufacturing the same.

[0002]

In recent years, in LSIs formed on a silicon substrate, high performance has been achieved by miniaturization of the elements used therein. This is realized by reducing the gate length or thinning the gate insulating film based on the so-called scaling law in MOSFETs used in logic circuits or storage devices such as SRAM. Currently, in order to improve the cutoff characteristics in the short channel region of 30 nm or less, for example, as a kind of three-dimensional structure MIS type semiconductor device, the SOI layer is cut into strips using an SOI substrate to form a protruding region. A double-gate type Fully Depleted-SOI MOSFET has been proposed in which the upper surface and the side surface of the cut-out protruding substrate are used as channels by three-dimensionally intersecting a fin (this is called a fin) and a gate electrode (for example, a patent). Reference 1). This type of FET is particularly called a FinFET.

[0003]

On the other hand, recently, in order to improve the device performance, particularly the current driving force, a device for obtaining high carrier mobility with respect to the channel region of the MOSFET has been made.

[0004]

As other conventional semiconductor devices, for example, silicon is strained to modulate the subband structure to improve the scattering probability of carriers and the effective mass of conduction in order to obtain high carrier mobility. There is strained silicon technology.

As an example of a method for achieving this, Si is epitaxially grown on a mixed crystal layer of Si and Ge, and tensile stress is applied to the Si layer by utilizing the difference in lattice constants (about 4.8%) between the two to achieve high performance. Form an n-type FET.

[0005]

Further, in the p-type FET, when Ge itself is used as a channel, it has high Hall mobility, which can also contribute to the improvement of CMOS performance.

In this case, a layer close to SiGe or pure Ge may be used, but in any case, it is necessary to build a high-concentration Ge layer on the substrate.

This can be obtained by oxidizing the SiGe region of an SGOI (Silicon Germanium on Insulator) substrate to concentrate Ge, or by epitaxially growing a high-concentration germanium layer on SiGe (see, for example, Non-Patent Document 1).

[0006]

However, according to Non-Patent Document 1, although a planar type FET can be formed relatively easily, there is a problem when a Ge channel or a SiGe channel FinFET is assumed.

For example, in order to form a high-concentration germanium layer by performing a Ge concentration step by oxidation on a conventional SiGe / buffer layer SiGe / Si laminated structure wafer, the substrate structure is SGOI (Silicon) in order to suppress Ge diffusion to the bottom of the substrate. Germanium on Insulator) Limited to substrates. Further, since Ge is concentrated by oxidation in the vertical direction, in this case, the thickness of the region where the Ge concentration is high becomes smaller than the thickness of the initial SiGe film. Therefore, since the Fin height of the FinFET, that is, the maximum channel width is determined by it, the current driving force of the FinFET is inevitably limited, and the degree of freedom in design is lost.

[0007]

Further, when a high-concentration germanium layer is formed on the SiGe layer by epitaxial growth, it is necessary to form a buffer layer and a relaxation layer on the Si substrate and then epitaxially grow the Ge layer. I can't get big.

Even if Ge is piled up thickly, compressive stress is applied in the region near the root of the fin, but the stress becomes weak in the upper part of the fin, and there is a problem that the stress in the channel is not uniform.

特開２００５－１９９７０号公報

S. Takagi et al: IEDM Tech. Dig. pp. 57-61, (2003)

[0008]

An object of the present invention is a semiconductor device having a FinFET channel region in which a SiGe layer is used, a FinFET channel width (fin height) can be increased, and a FinFET having a degree of freedom in design, and a method for manufacturing the same. To provide.

[0009]

According to one aspect of the present invention, the Ge concentration formed on the Si semiconductor layer by gradually changing the Ge concentration is formed on the buffer layer at a Ge concentration corresponding to the Ge concentration at the interface between the buffer layer and the buffer layer. A fin formed at a predetermined height by the formed SiGe layer, a gate electrode formed on the side surface of the fin via a gate insulating film, and a source region formed on both sides of the gate electrode of the fin. The fin-structured FET has a fin structure and a drain region, and the channel region of the fin facing the gate electrode via the gate insulating film is formed in the region of the SiGe layer. Provide semiconductor devices.

[0010]

According to one aspect of the present invention, the Si semiconductor layer has a buffer layer formed by gradually changing the Ge concentration and a SiGe layer formed on the buffer layer with a substantially constant Ge concentration. A first step of etching a substrate into a predetermined shape to form fins, and a second step of increasing the Ge concentration of the fins by oxidizing the buffer layer and SiGe layer of the fins to form an oxide layer. A third step of removing the oxide layer by etching, and a fourth step of forming a gate insulating film on the side surface of the fin from which the oxide layer has been removed by etching and forming a gate electrode via the gate insulating film. The present invention provides a method for manufacturing a semiconductor device having a fin structure, which comprises the above-mentioned step and a fifth step of forming a source region and a drain region on both sides of the gate electrode.

[0011]

According to the embodiment of the present invention, a semiconductor device having a FinFET channel region in which the SiGe layer is used as a FinFET channel region, a FinFET channel width (fin height) can be increased, and a FinFET having a degree of freedom in design is provided. It becomes possible to provide the manufacturing method.

[0012]

(First Embodiment of the present invention) FIG. 1 is a diagram showing a configuration of a p-type FinFET (hereinafter, referred to as pFinFET) which is a semiconductor device according to the first embodiment of the present invention.

[0013]

The pFinFET is configured to have a fin 20, a gate electrode 30, a source region 40, and a drain region 50 formed at a predetermined height, and each element is separated by an element separation membrane 60.

[0014]

The fin 20 is a semiconductor formed by a buffer layer 10a formed on the Si semiconductor layer 10c with a stepwise change in Ge concentration and a SiGe layer 10b formed on the buffer layer 10a with a substantially constant Ge concentration. It is formed on the substrate 10 with a predetermined thickness and a predetermined height.

The SiGe layer 10b is formed with n-type impurities at a predetermined concentration. The thickness of the fin 20 is, for example, 20 nm, and the height of the fin is 50 nm to 100 nm.

[0015]

In the fin 20, a channel region 32 facing the gate electrode 30 is formed in the region of the SiGe layer 10b via the gate insulating film 31 below the gate electrode 30.

[0016]

The source region 40 and the drain region 50 are formed on both sides of the channel region 32 facing the gate electrode 30.

The source region 40 and the drain region 50 are ion-implanted with p-type impurities such as boron B to form a predetermined impurity concentration.

In addition to the above, although not shown because they are generally provided, there are a contact portion, an electrode portion, and the like for applying a voltage to the source region 40 and the drain region 50. The semiconductor device 1 will be described below while explaining the manufacturing method.

[0017]

(Manufacturing method of semiconductor device according to the first embodiment) FIGS. 2 (a), (b), (c), (d), 3 (a), (b), (c), 4 (c) A), (b), (c), FIGS. 5 (a), (b), (c), 6 (a), (b), (c) are the first embodiments of the present invention. It is a figure which shows the manufacturing process of the p-type FinFET in order by the perspective view.

[0018]

(1a) A buffer layer 10a is formed on the Si semiconductor layer 10c by stepwise changing the Ge concentration by a CVD (Chemical Vapor Deposition) method, and the Ge concentration is set to a predetermined concentration on the SiGe layer 10b. To form.

The SiGe layer 10b is formed with an n-type impurity to a predetermined concentration.

The buffer layer 10a undergoes epitaxial growth by changing the Ge concentration from the Si semiconductor layer 10c to the SiGe layer 10b so that the Ge concentration increases, and alleviating the lattice mismatch. The Ge concentration of the SiGe layer 10b is preferably set to a Ge concentration corresponding to the Ge concentration at the interface with the buffer layer 10a, and particularly preferably a concentration close to the Ge concentration at the interface with the buffer layer 10a. . Further, the Ge concentration of the SiGe layer 10b is preferably constant. In the semiconductor substrate 10 formed as described above,

the SiN mask 11 is formed on the SiGe layer 10b (FIG. 2A). In the present embodiment, by preparing the semiconductor substrate 10 on which the SiN mask 11 is formed in advance, the manufacturing method according to the present embodiment can be started from the following steps.

[0019]

(1b) The SiN mask 11 is patterned into a predetermined shape by a lithography technique, and fins 20 are formed by RIE (Reactive Ion Etching) based on the pattern (FIG. 2B).

[0020]

(1c) The SiGe layer 10b and the buffer layer 10a are selectively oxidized to concentrate Ge, and the Ge concentration of a portion to be a channel region or the like is increased.

By oxidizing the SiGe layer 10b, Si in SiGe is taken into SiO2.

The portion to be the channel region or the like is formed in a high-concentration Ge SiGe channel, a Ge channel, or a distorted Ge channel. As a result, the SiO2 oxide film 12 formed on the surface of the SiGe layer 10b becomes thicker, and the SiGe layer 10b becomes thinner. The SiGe layer 10b has a gradient of Ge concentration substantially symmetrically in the thickness direction thereof. Further, a SiO2 oxide film 12 is also formed on the bottom portion 20a between the fins 20 (FIG. 2C).

[0021]

(1d) The SiN mask 11 is slimmed with hot phosphoric acid to have substantially the same thickness as the oxidized SiGe layer 10b (FIG. 2D).

[0022]

(1e) The SiO2 oxide film 12 on the surface of the SiGe layer 10b is removed with a hydrofluoric acid-based gas.

As a result, the SiGe layer 10b becomes thin and has a predetermined fin thickness.

Similarly, the SiO2 oxide film 12 at the bottom 20a between the fins 20 is also removed, and the height of the fins 20 is formed to a predetermined value. A part of the buffer layer 10a is also removed (FIG. 3A).

[0023]

(1f) In order to separate the elements of each FinFET, the element separation membrane 60 such as SiO2 is deposited and filled by the CVD method (FIG. 3 (b)).

[0024]

(1 g) The element separation membrane 60 is etched back to a predetermined depth by etching.

The predetermined depth is not etched until the buffer layer 10a is exposed by etching back, and the buffer layer 10a is embedded in the element separation film 60 (FIG. 3C).

[0025]

(1h) Ion implantation is performed on the upper surface 60a of the element separation membrane between the fins 20.

When an n-type impurity such as phosphorus P is implanted from above toward the upper surface 60a of the element separation membrane in the direction A shown in the drawing, ions are not implanted in the fin 20 because the SiN mask 11 is on the top thereof, but the upper surface 60a of the element separation membrane is not implanted. Ion implantation.

Ions are implanted into the upper surface 60a of the element separation membrane, and impurities are also diffused in the lateral direction, so that the concentration of impurities in the lower part of the fins increases, which serves as a punch-through stopper (FIG. 4A).

[0026]

(1i) This is a step of depositing polysilicon that serves as a gate.

After the gate insulating film 31 (SiO2 or the like) is formed by thermal oxidation or the like, polysilicon 70 is deposited on the entire surface including the fins 20 by the MOCVD method or the like (FIG. 4B).

[0027]

(1j) After the above step, flattening is performed.

Polysilicon 70 is flattened by CMP with the upper end of the SiN mask 11 as the stopper position (FIG. 4 (c)).

[0028]

(1k) The second polysilicon 71 is deposited on the flattened polysilicon 70 and the SiN mask 11 by the MOCVD method or the like (FIG. 5A).

[0029]

(1l) The SiN film 12 is deposited with a predetermined film thickness by the MOCVD method, and a resist 13 for forming a gate is formed on the SiN film 12 (FIG. 5 (b)).

[0030]

(1 m) The SiN film 12 is etched by RIE or the like (FIG. 5 (c)).

[0031]

(1n) Etching is performed by RIE using a fluorine-based gas such as CF4 with the SiN film 12 as a mask.

As a result, the structure of the fin 20 and the gate 33 is formed (FIG. 6 (a)).

[0032]

(1o) After peeling off the SiN mask 11 and the SiN film 12, ion implantation of p-type impurities such as boron B is performed vertically or inclined from the upper surface of the fin 20, and the source region, channel region, and drain region are formed. Each shallow junction (not shown) is formed between the and the channel region.

In order to form the gate side wall 34, the SiO2 film 80 is isotropically deposited by a CVD method or the like (FIG. 6 (b)).

[0033]

(1p) The SiO2 film 80 is etched back and removed by RIE using a fluorine-based gas such as CF4 to form the gate side wall 34.

Here, ions of p-type impurities such as boron B are implanted vertically or inclined from the upper surface of the fin 20, and a deep joint portion becomes a source region 40 and a drain region 50 with the gate side wall 34 as a mask edge. (Fig. 6 (c)).

[0034]

(1q) After the above step, a pFinFET is produced by forming a gate electrode, a source / drain electrode, a contact, a wiring, and the like by using a semiconductor manufacturing process according to a known technique.

[0035]

(Effect of the first embodiment) 1.

According to the first embodiment of the present invention, it is possible to secure a relatively large fin height as compared with the case where a FinFET is formed after epitaxially growing a high-concentration Ge to form a certain film thickness.

Then, in the FinFET, the channel region can be a SiGe channel, a Ge channel, or a distorted Ge channel having a high concentration of Ge, which has an advantageous effect on improving the carrier mobility.

[0036]

2.

Further, since the SiGe layer is epitaxially grown through the buffer layer to form fins and the buffer layer having a large transition density is not used as the channel region, it is easy to form an FET having a fin structure with few crystal defects.

Then, since impurities are ion-implanted into the lower part of the fin to form a punch-through stopper, it has an effect of suppressing an increase in the junction leakage current.

[0037]

3.

Further, the Ge concentration is high on the fin surface, and the Ge concentration in the SiGe portion in the central portion can be reduced by performing low-temperature oxidation so as to have a gradient distribution toward the central portion.

Therefore, since the lattice constant is smaller on the inner side than on the outer fin surface, compressive strain is applied to the Ge channel on the fin surface, which has an advantageous effect on improving carrier mobility.

[0038]

4.

Further, since an expensive SGOI substrate or the like is not used for element separation, it is also effective in cost reduction.

[0039]

(Second Embodiment of the Invention) In the second embodiment, in the first embodiment, an SGOI substrate is used instead of the Si semiconductor substrate in order to suppress Ge diffusion to the bottom of the substrate. It constitutes a pFinFET.

Hereinafter, the manufacturing process thereof will be described with respect to the differences from the first embodiment.

[0040]

(Manufacturing Method of Semiconductor Device According to Second Embodiment) FIGS. 7 (a) and 7 (b) are views showing the manufacturing process of the p-type FinFET according to the second embodiment of the present invention in order by a perspective view. Is.

[0041]

(2a) On the Si substrate 100, the BOX layer 100d which is an embedded oxide film, the Si layer 100c formed on the BOX layer 100d, the buffer layer 100a formed on the BOX layer 100a, and the Ge concentration on the Si substrate 100 are made substantially constant. An SGOI substrate having the formed SiGe layer 100b is prepared.

That is, a buffer layer 100a is formed on the Si layer 100c on the BOX layer 100d by gradually changing the Ge concentration, and a SiGe layer 100b is formed on the Si layer 100b with the Ge concentration substantially constant.

The buffer layer 100a is formed by changing the Ge concentration from the BOX layer 100d to the SiGe layer 100b so that the Ge concentration increases to alleviate the lattice mismatch.

The SiGe layer 100b is formed with n-type impurities at a predetermined concentration. A SiN mask 11 is formed on the SiGe layer 100b (FIG. 7 (a)). The steps (2b) to (2d) are the same as the steps (1b) to (1d) of the first embodiment. (2e) The SiO2 oxide film 12 on the surface of the SiGe layer 100b is removed with a hydrofluoric acid-based gas. As a result, the SiGe layer 100b becomes thin and has a predetermined fin thickness. Similarly, the embedded oxide film of the BOX layer 100d between each fin 20 is also removed by this step. Therefore, it is preferable to carry out this step while paying attention to the etching amount by controlling the time or the like (FIG. 7 (b)). The following steps are the same as those of (1i) to (1q) of the first embodiment.

[0042]

(Effects of the Second Embodiment) According to the second embodiment of the present invention, in addition to the effects of items 1 and 3 shown in the effects of the first embodiment, the following effects are obtained. ..

[0043]

Since the SGOI substrate is used, Ge diffusion to the bottom of the substrate can be suppressed, and there is an effect that element separation becomes easy.

Further, since Ge is concentrated from the lateral direction of the fin, the Ge concentration of the SiGe layer is uniformly increased in the vertical direction of the fin, and the thickness of the region having a high Ge concentration can be made larger than the thickness of the SiGe layer. Has.

[0044]

(Third Embodiment of the present invention) The third embodiment has the pFinFET shown in the first embodiment and an n-type FinFET (hereinafter referred to as nFinFET) on one semiconductor substrate. It is a semiconductor device composed of at least one pFinFET and at least one nFinFET.

The semiconductor device will be described below while explaining the manufacturing method.

[0045]

8 (a), (b), (c), 9 (a), (b), (c), 10 (a), (b), (c), 11 (a), (b).) Is a diagram showing the manufacturing process of the nFinFET and the pFinFET according to the third embodiment of the present invention in order by a cross-sectional view.

The manufacturing process of the nFinFET region is shown on the left side and the pFinFET region is shown on the right side.

[0046]

(3a) A buffer layer 10a is formed on the Si semiconductor layer 10c by stepwise changing the Ge concentration by a CVD method, and a SiGe layer 10b is formed on the buffer layer 10a at a predetermined Ge concentration.

The buffer layer 10a undergoes epitaxial growth by changing the Ge concentration from the Si semiconductor layer 10c to the SiGe layer 10b so that the Ge concentration increases, and alleviating the lattice mismatch.

The Ge concentration of the SiGe layer 10b is preferably set to a Ge concentration corresponding to the Ge concentration at the interface with the buffer layer 10a, and particularly preferably a concentration close to the Ge concentration at the interface with the buffer layer 10a. .. Further, the Ge concentration of the SiGe layer 10b is preferably constant. The SiGe layer 10b is formed with n-type impurities at a predetermined concentration in the pFinFET region, and is formed at a predetermined concentration with p-type impurities in the nFinFET region. A SiN mask 11 is formed on the SiGe layer 10b (FIG. 8 (a)).

[0047]

(3b) First, in order to form the pFinFET region, a resist (not shown) is applied to the nFinFET region, and the pFinFET manufacturing process is selectively advanced.

The SiN mask 11 is patterned in a predetermined shape in the pFinFET region by a lithography technique, and the fin 20 is formed by RIE based on this (FIG. 8 (b)).

[0048]

(3c) The SiGe layer 10b and the buffer layer 10a are selectively oxidized to concentrate Ge, and the Ge concentration of a portion to be a channel region or the like is increased.

By oxidizing the SiGe layer, Si in SiGe is taken into SiO2. The portion to be the channel region or the like is formed in a high-concentration Ge SiGe channel, a Ge channel, or a distorted Ge channel. As a result, the SiO2 oxide film 12 formed on the surface of the SiGe layer 10b becomes thicker, and the SiGe layer 10b becomes thinner. The SiGe layer 10b has a gradient of

Ge concentration substantially symmetrically in the thickness direction thereof. Further, a SiO2 oxide film 12 is also formed on the bottom portion 20a between the fins 20 (FIG. 8 (c)).

[0049]

(3d) Next, after removing the resist in the nFinFET region, a resist (not shown) is applied to the pFinFET region, and a SiN mask 11 is selectively applied to the nFinFET region in order to form fins 20 in the nFinFET region by lithography technology and RIE. Patterning is performed in a predetermined shape (FIG. 9 (a)).

[0050]

(3e) After stripping the resist in the pFinFET region, the SiN mask 11 is slimmed with hot phosphoric acid in the pFinFET region and the nFinFET region to have substantially the same thickness as the oxidized SiGe layer 10b (FIG. 9 (b)). ..

[0051]

(3f) Next, in order to form the nFinFET region, a resist (not shown) is applied to the pFinFET region, and the nFinFET manufacturing process is selectively advanced.

In the nFinFET region, fins 20 are formed by RIE based on the SiN mask 11 (FIG. 9 (c)).

[0052]

(3g) After peeling off the resist in the pFinFET region, the SiO2 oxide film 12 on the surface of the SiGe layer 10b is removed with a hydrofluoric acid-based gas in the pFinFET region.

As a result, the SiGe layer 10b becomes thin and has a predetermined fin thickness.

Similarly, the SiO2 oxide film 12 at the bottom 20a between the fins 20 is also removed, and the height of the fins 20 is formed to a predetermined value.

A part of the buffer layer 10a is also removed (FIG. 10A).

[0053]

(3h) In order to separate the elements of each FinFET in the pFinFET region and the nFinFET region, the element separation membrane 60 such as SiO2 is deposited and filled by the CVD method (FIG. 10 (b)).

[0054]

(3i) The element separation membrane 60 is etched back to a predetermined depth by etching.

The predetermined depth is not etched until the buffer layer 10a is exposed by etching back, and the buffer layer 10a is embedded in the element separation membrane 60 (FIG. 10 (c)).

[0055]

(3j) A resist (not shown) is applied to the pFinFET region, and ions are selectively implanted into the device separation membrane upper surface 60a between the fins 20 of the nFinFET region.

When a p-type impurity such as boron B or indium In is implanted from above toward the upper surface 60a of the device separation membrane in the direction A shown in the drawing, ions are not implanted in the fin 20 because the SiN mask 11 is on the top thereof, but the upper surface of the device separation membrane is not implanted. Ions are implanted in 60a.

While the ions are implanted into the upper surface 60a of the element separation membrane, the impurities are also diffused in the lateral direction, and the ions are also implanted into the lower part of the fins to increase the concentration of impurities in the lower part of the fins, which serves as a punch-through stopper (FIG. 11 (a)). ..

[0056]

(3k) Next, a resist (not shown) is applied to the nFinFET region, and ions are selectively implanted into the device separation membrane upper surface 60a between the fins 20 of the pFinFET region.

When n-type impurities such as phosphorus P or arsenic As are implanted from above toward the upper surface of the device separation membrane 60a in the direction A shown in the drawing, ions are not implanted in the fin 20 because the SiN mask 11 is on the top thereof, but the upper surface of the device separation membrane is not implanted. Ions are implanted in 60a. While the ions are implanted into the upper surface 60a of the element separation membrane, the impurities are also diffused in the lateral direction, and the ions are also implanted into the lower part of the fins to increase the concentration of impurities in the lower part of the fins, which serves as a punch-through stopper (FIG. 11 (b)). ..

[0057]

(3i) The following steps are common to the manufacturing steps (1i) to (1q) shown in the first embodiment, that is, the manufacturing steps shown in FIGS. 4 (b) to 6 (c).

After the resist is peeled off, the gate insulating film 31 (SiO2 or the like) is formed by thermal oxidation or the like, and then polysilicon 70 is deposited on the entire surface including the fins 20 by the MOCVD method or the like. After the above step, a flattening process is performed by CMP with the upper end of the SiN mask 11 as the stopper position. The second polysilicon 71 is deposited on the flattened polysilicon 70 and the SiN mask 11 by the MOCVD method or the like. The SiN film 12 is deposited with a predetermined film thickness by the MOCVD method, and a resist for forming a gate is formed on the SiN film 12. After etching the SiN film 12 with RIE or the like, etching is performed with the SiN film 12 as a mask by RIE using a fluorine-based gas such as CF4. As a result, the structure of the fin 20 and the gate 33 is formed.

[0058]

After peeling off the SiN mask 11 and the SiN film 12, ion implantation of impurities is performed vertically or inclined from the upper surface of the fin 20, and a shallow bond between the source region and the channel region and the drain region and the channel region is performed. Each part is formed.

[0059]

In order to form the gate side wall, the SiO2 film 80 is isotropically deposited by a CVD method or the like.

The SiO2 film 80 is etched back and removed by RIE using a fluorine-based gas such as CF4 to form the gate side wall 34.

Then, the fin 20 is vertically or inclined from the upper surface to implant impurities, and a deep joint portion serving as a source region 40 and a drain region 50 is formed by using the gate side wall 34 as a mask edge.

[0060]

After the above steps, the gate electrode, the source / drain electrode, the contact, the wiring, and the like are formed by using a semiconductor manufacturing process according to a known technique, whereby nFinFET and pFinFET are produced.

[0061]

In the formation of a shallow junction between the source region and the channel region and the drain region and the channel region, and a deep junction that becomes the source region and the drain region, in the case of nFinFET, ion implantation of n-type impurities such as phosphorus P is performed. In the case of pFinFET, ion implantation of p-type impurities such as boron B is performed.

[0062]

(Effect of the third embodiment) 1.

According to the third embodiment of the present invention, in the pFinFET, the channel region 32 can be a high-concentration Ge SiGe channel, a Ge channel, or a distorted Ge channel, similar to the effect of the first embodiment. Therefore, it has an advantageous effect on improving carrier mobility.

Further, in the nFinFET, a SiGe channel having a concentration lower than the Ge concentration in the pFinFET channel region 32 is formed.

2 . As described above, a pFinFET having a high-concentration Ge SiGe channel and an nFinFET having a low-concentration Ge SiGe channel can be formed on the same substrate, which is particularly effective in the case of a CMOS configuration.

[0063]

(Fourth Embodiment of the present invention) In the fourth embodiment of the present invention, in the third embodiment, the crystals to be grown on the Si semiconductor substrate are made different between nFinFET and pFinFET. It forms an nFinFET in which Si channels having a concentration lower than the Ge concentration in the pFinFET channel region 32 are formed.

[0064]

FIG. 12 is a diagram showing a substrate obtained by epitaxially growing different layers in a pFinFET region and an nFinFET region on a Si semiconductor layer 10c according to a fourth embodiment of the present invention.

[0065]

By the CVD method, a buffer layer 10a is formed by gradually changing the Ge concentration in the region where the pFinFET is formed, and a SiGe layer 10b is formed on the buffer layer 10a at a constant Ge concentration.

The SiGe layer 10b is formed with n-type impurities at a predetermined concentration.

The buffer layer 10a undergoes epitaxial growth by changing the Ge concentration from the Si semiconductor layer 10c to the SiGe layer 10b so that the Ge concentration increases, and alleviating the lattice mismatch.

[0066]

On the other hand, the region for forming the nFinFET is the Si epitaxial layer 10d obtained by epitaxially growing Si.

The Si epitaxial layer 10d is formed of p-type impurities at a predetermined concentration.

After epitaxial growth into the pFinFET region and the nFinFET region, the SiN mask 11 is formed in the entire region.

[0067]

The method for manufacturing nFinFET and pFinFET is the same as that of the third embodiment, and the description thereof will be omitted.

[0068]

According to the fourth embodiment of the present invention, in addition to the effect of the third embodiment, it is possible to form an nFinFET in which Si channels having a concentration lower than the Ge concentration in the pFinFET channel region 32 are formed. It is particularly effective when the CMOS configuration is used.

[0069]

(Fifth Embodiment of the present invention) The fifth embodiment is a semiconductor device having the FinFETs and planar FETs shown in the first to third embodiments.

The semiconductor device will be described below while explaining the manufacturing method.

[0070]

13 (a), (b), (c), 14 (a), (b), (c), 15 (a), (b), (c), 16 (a), (b).), (C), FIGS. 17 (a), (b), (c), and 18 are views showing the manufacturing process of the FinFET and the planar FET according to the fifth embodiment of the present invention in order by a cross-sectional view. Is.

In this description, the FinFET is a pFinFET, and the planar FET is an n-type planar FET (hereinafter referred to as an nFET).

In each figure, the manufacturing process of the nFET region is shown on the left side and the pFinFET region is shown on the right side.

[0071]

(5a) A buffer layer 10a is formed on the Si semiconductor layer 10c by gradually changing the Ge concentration in the region where the pFinFET is formed by the CVD method, and the Ge concentration is set to a predetermined concentration on the buffer layer 10a. The SiGe layer 10b is formed.

The SiGe layer 10b is formed with n-type impurities at a predetermined concentration.

The buffer layer 10a undergoes epitaxial growth while alleviating lattice mismatch by changing Ge so that the Ge concentration increases from the Si semiconductor layer 10c to the SiGe layer 10b. The Ge concentration of the SiGe layer 10b is preferably set to a Ge concentration corresponding to the Ge concentration at the interface with the buffer layer 10a, and particularly preferably a concentration close to the Ge concentration at the interface with the buffer layer 10a. .. Further, the Ge concentration of the SiGe layer 10b is preferably substantially constant.

[0072]

On the other hand, the region where the nFET is formed is the Si epitaxial layer 10d obtained by epitaxially growing Si.

The Si epitaxial layer 10d is formed of p-type impurities at a predetermined concentration. After epitaxial growth into the pFinFET region and the nFET region, the SiN mask 11 is formed in the entire region. See FIG. 13 (a).

[0073]

(5b) First, in order to form the pFinFET region, a resist (not shown) is applied to the nFET region, and the pFinFET manufacturing process is selectively advanced.

The SiN mask 11 is patterned in a predetermined shape in the pFinFET region by a lithography technique, and the fin 20 is formed by RIE based on this (FIG. 13 (b)).

[0074]

(5c) The SiGe layer 10b and the buffer layer 10a are selectively oxidized to concentrate Ge, and the Ge concentration of a portion to be a channel region or the like is increased.

By oxidizing the SiGe layer 10b, Si in SiGe is taken into SiO2. The portion to be the channel region or the like is formed in a high-concentration Ge SiGe channel, a Ge channel, or a distorted Ge channel. As a result, the SiO2 oxide film 12 formed on the surface of the SiGe layer 10b becomes thicker, and the SiGe layer 10b becomes thinner. The SiGe layer 10b has a gradient of Ge concentration substantially symmetrically in the thickness direction thereof. Further, a SiO2 oxide film 12 is also formed on the bottom portion 20a between the fins 20 (FIG. 13 (c)).

[0075]

(5d) Next, after removing the resist in the nFinFET region, a resist (not shown) is applied to the pFinFET region, and a SiN mask is selectively formed in the nFET region by lithography technology and RIE. 11 is patterned into a predetermined shape (FIG. 14 (a)).

[0076]

(5e) The SiN mask 11 etches the trench 81 for element separation in the nFET element region 83 until it reaches the Si semiconductor layer 10c (FIG. 14 (b)).

[0077]

(5f) After peeling off the resist in the pFinFET region, the SiO2 oxide film 12 on the surfaces of the SiGe layer 10b and the buffer layer 10a is removed with a hydrofluoric acid-based gas in the pFinFET region.

As a result, the SiGe layer 10b becomes thin and has a predetermined fin thickness.

Similarly, the SiO2 oxide film 12 at the bottom 20a between the fins 20 is also removed, and the height of the fins 20 is formed to a predetermined value.

A part of the buffer layer 10a is also removed (FIG. 14 (c)).

[0078]

(5 g) In the pFinFET region and the nFET region, the SiN mask 11 is slimmed with hot phosphoric acid.

In the pFinFET region, the thickness of the SiN mask 11 after slimming is substantially the same as the thickness of the SiGe layer 10b after the SiO2 oxide film 12 is removed (FIG. 15 (a)).

[0079]

(5h) In order to separate the elements of each element in the pFinFET region and the nFET region, an element separation membrane 60 such as SiO2 is deposited and filled between the fins 20 and in the trench 81 by the CVD method (FIG. 15B).).

[0080]

(5i) The element separation film 60 is etched using the SiN mask 11 as a stopper so that the heights of the element separation film 60 in the pFinFET region and the nFET region are the same (FIG. 15 (c)).

[0081]

(5j) Next, a resist (not shown) is applied to the nFET region, and the element separation membrane 60 is selectively etched back to a predetermined depth by etching.

The predetermined depth is not etched until the buffer layer 10a is exposed by etching back, and the buffer layer 10a is embedded in the element separation film 60.

Next, ion implantation is performed on the upper surface 60a of the element separation membrane between the fins 20 in the pFinFET region.

When n-type impurities such as phosphorus P or arsenic As are implanted from above toward the upper surface of the device separation membrane 60a in the direction A shown in the drawing, ions are not implanted in the fin 20 because the SiN mask 11 is on the top thereof, but the upper surface of the device separation membrane is not implanted. Ions are implanted in 60a. While the ions are implanted into the upper surface 60a of the element separation membrane, the impurities are also diffused in the lateral direction, and the ions are also implanted into the lower part of the fin 20 to increase the impurity concentration in the lower part of the fin 20 and serve as a punch-through stopper (FIG. 16). (A)).

[0082]

(5k) After peeling off the resist in the nFET region, a resist (not shown) is applied to the pFinFET region, and the SiN mask 11 in the nFET region is peeled off (FIG. 16 (b)).

[0083]

(5l) A gate insulating film 31 (SiO2 or the like) is formed in each of the pFinFET region and the nFET region by thermal oxidation or the like (FIG. 16 (c)).

[0084]

(5 m) This is a step of depositing polysilicon 70 to be a gate.

Polysilicon 70 is deposited over the entire pFinFET region and nFET region by the MOCVD method or the like (FIG. 17 (a)).

[0085]

(5n) After the above step, flattening is performed.

Polysilicon 70 is flattened by CMP with the upper end of the SiN mask 11 in the pFinFET region as the stopper position (FIG. 17 (b)).

[0086]

(5o) The second polysilicon 71 is deposited on the flattened polysilicon 70 and the SiN mask 11 by the MOCVD method or the like (FIG. 17 (c)).

[0087]

(5p) A resist (not shown) is applied to the pFinFET region, and the gate electrode 82 of the nFET region is selectively formed in a predetermined pattern (FIG. 18).

[0088]

(5q) Hereinafter, the steps in the pFinFET region are common to the manufacturing steps (1l) to (1q) shown in the first embodiment, that is, the manufacturing steps shown in FIGS. 5 (b) to 6 (c).

That is, after removing the resist in the pFinFET region, a resist (not shown) is applied to the nFET region, the SiN film 12 is deposited with a predetermined film thickness by the MOCVD method, and the resist 13 for gate formation is formed on the SiN film 12. do.

After etching the SiN film 12 with RIE or the like, etching is performed with the SiN film 12 as a mask by RIE using a fluorine-based gas such as CF4.

As a result, the structure of the fin 20 and the gate 33 is formed.

After the SiN mask 11 and the SiN film 12 are peeled off, ions of p-type impurities such as boron B are implanted vertically or inclined from the upper surface of the fin 20, and the source region, the channel region, the drain region, and the channel region are implanted. Form a shallow joint with.

In order to form the gate side wall 34, the SiO2 film 80 is isotropically deposited by a CVD method or the like. The SiO2 film 80 is etched back and removed by RIE using a fluorine-based gas such as CF4 to form the gate side wall 34. Here, ion implantation of p-type impurities such as boron B is performed vertically or inclined from the upper surface of the fin to form a deep joint portion serving as a source region 40 and a drain region 50 with the gate side wall 34 as a mask edge. do.

[0089]

(5r) On the other hand, in the nFET region, ion implantation of an n-type impurity such as phosphorus P is performed from the upper surface to form a shallow junction between the source region and the channel region and the drain region and the channel region.

Next, in order to form the gate side wall, the SiO2 film is isotropically deposited by a CVD method or the like. The SiO2 film is etched back and removed by RIE using a fluorine-based gas such as CF4 to form a gate side wall. Ion implantation of n-type impurities such as phosphorus P is performed from the upper surface, and a deep joint portion serving as a source region and a drain region is formed with the gate side wall as a mask edge.

[0090]

After the above steps, pFinFETs and nFETs are produced by forming gate electrodes, source / drain electrodes, contacts, wirings, and the like using a semiconductor manufacturing process according to a known technique.

[0091]

(Effect of Fifth Embodiment) According to the fifth embodiment of the present invention, in addition to the effects shown in the first to fourth embodiments, FinFET and planar FET are formed on the same substrate. Therefore, a semiconductor device in which each of them is mounted is possible.

[0092]

FinFETs contribute to high integration and can increase currents, but peripheral circuits may require planar FETs, which is advantageous when constructing an actual integrated semiconductor device. Has an effect.

[0093]

It is a figure which shows the structure of the pFinFET which is the semiconductor device which concerns on 1st Embodiment of this invention.

It is a figure which shows the manufacturing process of the p-type FinFET which concerns on 1st Embodiment of this invention in order by the perspective view.

It is a figure which shows the manufacturing process of the p-type FinFET which concerns on 1st Embodiment of this invention in order by the perspective view.

It is a figure which shows the manufacturing process of the p-type FinFET which concerns on 1st Embodiment of this invention in order by the perspective view.

It is a figure which shows the manufacturing process of the p-type FinFET which concerns on 1st Embodiment of this invention in order by the perspective view.

It is a figure which shows the manufacturing process of the p-type FinFET which concerns on 1st Embodiment of this invention in order by the perspective view.

It is a figure which shows the manufacturing process of the p-type FinFET which concerns on the 2nd Embodiment of this invention in order by the perspective view.

It is a figure which shows the manufacturing process of nFinFET and pFinFET which concerns on 3rd Embodiment of this invention in order by the cross-sectional view.

It is a figure which shows the manufacturing process of nFinFET and pFinFET which concerns on 3rd Embodiment of this invention in order by the cross-sectional view.

It is a figure which shows the manufacturing process of nFinFET and pFinFET which concerns on 3rd Embodiment of this invention in order by the cross-sectional view.

It is a figure which shows the manufacturing process of nFinFET and pFinFET which concerns on 3rd Embodiment of this invention in order by the cross-sectional view.

FIG. 5 is a diagram showing a substrate obtained by epitaxially growing different layers in a pFinFET region and an nFinFET region on a Si semiconductor layer 10c according to a fourth embodiment of the present invention.

It is a figure which shows the manufacturing process of the FinFET and the planar type FET which concerns on 5th Embodiment of this invention in order by the cross-sectional view.

It is a figure which shows the manufacturing process of the FinFET and the planar type FET which concerns on 5th Embodiment of this invention in order by the cross-sectional view.

It is a figure which shows the manufacturing process of the FinFET and the planar type FET which concerns on 5th Embodiment of this invention in order by the cross-sectional view.

It is a figure which shows the manufacturing process of the FinFET and the planar type FET which concerns on 5th Embodiment of this invention in order by the cross-sectional view.

It is a figure which shows the manufacturing process of the FinFET and the planar type FET which concerns on 5th Embodiment of this invention in order by the cross-sectional view.

It is a figure which shows the manufacturing process of the FinFET and the planar type FET which concerns on 5th Embodiment of this invention in order by the cross-sectional view.

Code description

[0094]

1 Semiconductor device 10 Semiconductor substrate 10a Buffer layer 10b SiGe layer 10c Si semiconductor layer 20 Fin 30 Gate electrode 31 Gate insulating film 32 Channel region 40 Source region 50 Drain region

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JP2007258485A

1.

A predetermined buffer layer formed on the Si semiconductor layer with a stepwise change in Ge concentration and a SiGe layer formed on the buffer layer with a Ge concentration corresponding to the Ge concentration at the interface with the buffer layer. It has fins formed at a height, gate electrodes formed on the side surfaces of the fins via a gate insulating film, and source regions and drain regions formed on both sides of the gate electrodes of the fins. A semiconductor device having a fin-structured FET, characterized in that a channel region of a fin facing the gate electrode via the gate insulating film is formed in the region of the SiGe layer.

2.

A semiconductor device region formed by having the fin, the gate electrode, the source region and the drain region is further provided with an element separation layer for separating the semiconductor element region from other semiconductor element regions, and the element separation layer is the buffer layer. The semiconductor device having a fin-structured FET according to claim 1, wherein the semiconductor device is formed up to a position where the semiconductor device is embedded.

3.

It is composed of at least one p-type FET having the fin structure and at least one FET having the n-type fin structure, and the Ge concentration of the p-type FET having the fin structure is the same as that of the n-type fin structure. The semiconductor device having a FET having a fin structure according to claim 1 or 2, wherein the concentration is higher than the Ge concentration of the FET.

4.

The semiconductor device according to any one of claims 1 to 3, wherein an FET having a planar structure is further formed on the Si semiconductor layer.

5.

A substrate having a buffer layer formed on a Si semiconductor layer by gradually changing the Ge concentration and a SiGe layer formed on the buffer layer with a substantially constant Ge concentration is etched into a predetermined shape. The first step of forming the fins, the second step of increasing the Ge concentration of the fins by oxidizing the buffer layer and the SiGe layer of the fins to form an oxide layer, and removing the oxide layer by etching. A third step of forming a gate insulating film on the side surface of the fin from which the oxide layer has been removed by etching, and forming a gate electrode via the gate insulating film, and both sides of the gate electrode. A method for manufacturing a semiconductor device having a fin structure, which comprises a fifth step of forming a source region and a drain region.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-258485
(P2007-258485A)
(43)公開日　平成19年10月4日(2007.10.4)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/78	***(2006.01)***	H01L	29/78	301B	5F048
H01L 29/786	***(2006.01)***	H01L	29/78	301X	5F110
H01L 21/8238	***(2006.01)***	H01L	29/78	618C	5F140
H01L 27/092	***(2006.01)***	H01L	29/78	618B	
		H01L	29/78	613A	

審査請求 有　請求項の数 5　ＯＬ　（全 29 頁）　最終頁に続く

(21)出願番号　特願2006-81559(P2006-81559)
(22)出願日　平成18年3月23日(2006.3.23)

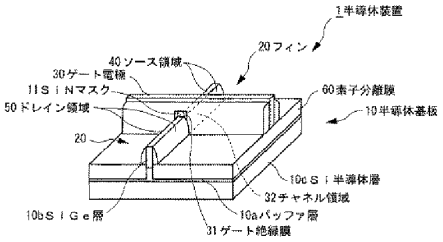
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100071526
弁理士　平田　忠雄
(74)代理人　100099597
弁理士　角田　賢二
(74)代理人　100124235
弁理士　中村　恵子
(74)代理人　100124246
弁理士　遠藤　和光
(72)発明者　稲葉　聡
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】
【課題】ＳｉＧｅ層をＦｉｎＦＥＴのチャネル領域とし、ＦｉｎＦＥＴのチャネル幅（フィン高さ）の設計に自由度を有するフィン構造のＦＥＴを有する半導体装置、及び、その製造方法を提供する。
【解決手段】Ｓｉ半導体層上にＧｅ濃度が段階的に変化して形成されたバッファ層と、バッファ層との界面のＧｅ濃度に応じたＧｅ濃度でバッファ層上に形成されたＳｉＧｅ層とにより所定の高さで形成されたフィンと、フィンの側面にゲート絶縁膜を介して形成されたゲート電極と、フィンのゲート電極の両側に形成されたソース領域及びドレイン領域とを有し、フィンにおけるゲート絶縁膜を介してゲート電極と対向したチャネル領域は、ＳｉＧｅ層の領域内に形成されていることを特徴とするフィン構造のＦＥＴを有する半導体装置とする。
【選択図】図１

図　1
（第１の実施の形態）



【特許請求の範囲】
【請求項1】
Ｓｉ半導体層上にＧｅ濃度が段階的に変化して形成されたバッファ層と、前記バッファ層との界面のＧｅ濃度に応じたＧｅ濃度で前記バッファ層上に形成されたＳｉＧｅ層とにより所定の高さで形成されたフィンと、
前記フィンの側面にゲート絶縁膜を介して形成されたゲート電極と、
前記フィンの前記ゲート電極の両側に形成されたソース領域及びドレイン領域とを有し、
前記フィンにおける前記ゲート絶縁膜を介して前記ゲート電極と対向したチャネル領域は、前記ＳｉＧｅ層の領域内に形成されていることを特徴とするフィン構造のＦＥＴを有する半導体装置。
【請求項2】
前記フィン、前記ゲート電極、前記ソース領域及びドレイン領域とを有して形成される半導体素子領域を他の半導体素子領域から分離する素子分離層をさらに有し、
前記素子分離層は、前記バッファ層を埋め込む位置まで形成されていることを特徴とする請求項１に記載のフィン構造のＦＥＴを有する半導体装置。
【請求項3】
少なくとも１つのｐ型の前記フィン構造のＦＥＴと、少なくとも１つのｎ型のフィン構造のＦＥＴとで構成され、
前記ｐ型の前記フィン構造のＦＥＴの前記Ｇｅ濃度は、前記ｎ型のフィン構造のＦＥＴのＧｅ濃度よりも高いことを特徴とする請求項１又は２に記載のフィン構造のＦＥＴを有する半導体装置。
【請求項4】
前記Ｓｉ半導体層上に、さらにプレーナ構造のＦＥＴが形成されたことを特徴とする前記請求項１乃至３のいずれか１に記載のＦＥＴを有する半導体装置。
【請求項5】
Ｓｉ半導体層上にＧｅ濃度を段階的に変化させて形成されたバッファ層と前記バッファ層の上にＧｅ濃度を略一定にして形成されたＳｉＧｅ層とを有する基板を所定の形状にエッチングしてフィンを形成する第１の工程と、
前記フィンのバッファ層とＳｉＧｅ層を酸化して酸化層を形成することにより、前記フィンのＧｅ濃度を高める第２の工程と、
前記酸化層をエッチングにより除去する第３の工程と、
前記酸化層がエッチング除去された前記フィンの側面にゲート絶縁膜を形成し、前記ゲート絶縁膜を介してゲート電極を形成する第４の工程と、
前記ゲート電極の両側にソース領域及びドレイン領域を形成する第５の工程と、を含むフィン構造の半導体装置の製造方法。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、半導体装置及びその製造方法に係り、特に、ＦｉｎＦＥＴ（Fin- Field Effect Transistor）のデバイス構造、及びその製造方法に関する。
【背景技術】
【0002】
近年、シリコン基板上に形成されるＬＳＩにおいて、そこに用いられる素子の微細化によって高性能化が達成されてきている。これは論理回路、またはＳＲＡＭなどの記憶装置に用いられるＭＯＳＦＥＴにおいて、いわゆるスケーリング則に基づいてゲート長が縮小されたり、ゲート絶縁膜が薄膜化されることで実現されている。現在３０ｎｍ以下の短チャネル領域においてカットオフ特性を改善するために、例えば、３次元構造ＭＩＳ型半導体装置の一種として、ＳＯＩ基板を用いてＳＯＩ層を短冊状に細く切り出して突起状領域を形成し（これをフィン（Ｆｉｎ）という）、それにゲート電極を立体交差させることで

、切り出した突起状基板の上面及び側面をチャネルとするダブルゲート型Ｆｕｌｌｙ　Ｄｅｐｌｅｔｅｄ－ＳＯＩ　ＭＯＳＦＥＴが提案されている（例えば、特許文献１参照）。この形のＦＥＴを特にＦｉｎＦＥＴと呼んでいる。

【0003】

一方、最近ではデバイス性能、特に電流駆動力を改善するためにＭＯＳＦＥＴのチャネル領域に対して高いキャリア移動度を得るための工夫がなされてきている。

【0004】

従来の他の半導体装置として、例えば、シリコンに歪みを加えてサブバンド構造を変調し、キャリアの散乱確率と伝導の有効質量（conductivity　mass）を改善することで高いキャリア移動度を得ようとする歪みシリコン技術がある。これを実現する方法の一例として、ＳｉとＧｅの混晶層上にＳｉをエピタキシャル成長させ、両者の格子定数の違い（約４．８％）を利用してＳｉ層に引張り応力を与えて高性能ｎ型ＦＥＴを形成する。

【0005】

また、ｐ型ＦＥＴにおいてはＧｅ自身をチャネルにすると高いホール移動度を持つのでこれもＣＭＯＳ高性能化に寄与できる。この場合、ＳｉＧｅ、もしくはｐｕｒｅ　Ｇｅに近い層を使う場合があるが、いずれにしても高濃度のＧｅ層を基板上に作りこむ必要がある。これにはＳＧＯＩ（Silicon Germanium on Insulator）基板のＳｉＧｅ領域を酸化してＧｅ濃縮するか、もしくはＳｉＧｅ上に高濃度ゲルマニウム層をエピタキシャル成長することで得られる（例えば、非特許文献１参照）。

【0006】

しかし、非特許文献１によると、プレーナ（planar）型ＦＥＴは比較的簡単に形成できるが、Ｇｅチャネル、もしくはＳｉＧｅチャネルのＦｉｎＦＥＴを想定した場合には問題がある。例えば、従来のＳｉＧｅ／バッファ層　ＳｉＧｅ／Ｓｉ積層構造ウエハーに酸化によるＧｅ濃縮工程を行って高濃度ゲルマニウム層を形成するには、基板底部へのＧｅ拡散を抑制するために基板構造はＳＧＯＩ（Silicon Germanium on Insulator）基板に限定されてしまう。また縦方向への酸化によってＧｅ濃縮を行っているため、この場合Ｇｅ濃度の高い領域の厚さは当初のＳｉＧｅ膜の厚さよりも小さくなる。従って、ＦｉｎＦＥＴのＦｉｎ高さ、すなわち最大チャネル幅がそれで決まってしまうので、ＦｉｎＦＥＴの電流駆動力が必然的に制限されることになり、設計の自由度が失われる。

【0007】

また、ＳｉＧｅ層上に高濃度ゲルマニウム層をエピタキシャル成長で形成する場合は、Ｓｉ基板上にバッファ層、緩和層を形成しておいてからＧｅ層をエピタキシャル成長させる必要があり、やはりＧｅ層の膜厚を大きく取れない。もしＧｅを厚く積めたとしてもフィンの根元に近い領域では圧縮応力がかかっているが、フィン上部では応力が弱くなり、チャネル中での応力が一様にならないという問題がある。

【特許文献1】特開２００５－１９９７０号公報

【非特許文献1】S. Takagi et al: IEDM Tech. Dig. pp. 57-61, (2003)

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、ＳｉＧｅ層をＦｉｎＦＥＴのチャネル領域とし、ＦｉｎＦＥＴのチャネル幅（フィン高さ）が大きくできて、設計に自由度を有するフィン構造のＦＥＴを有する半導体装置、及び、その製造方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明の一態様によれば、Ｓｉ半導体層上にＧｅ濃度が段階的に変化して形成されたバッファ層と、前記バッファ層との界面のＧｅ濃度に応じたＧｅ濃度で前記バッファ層上に形成されたＳｉＧｅ層とにより所定の高さで形成されたフィンと、前記フィンの側面にゲート絶縁膜を介して形成されたゲート電極と、前記フィンの前記ゲート電極の両側に形成されたソース領域及びドレイン領域とを有し、前記フィンにおける前記ゲート絶縁膜を介

して前記ゲート電極と対向したチャネル領域は、前記ＳｉＧｅ層の領域内に形成されていることを特徴とするフィン構造のＦＥＴを有する半導体装置を提供する。

【0010】

本発明の一態様によれば、Ｓｉ半導体層上にＧｅ濃度を段階的に変化させて形成されたバッファ層と前記バッファ層の上にＧｅ濃度を略一定にして形成されたＳｉＧｅ層とを有する基板を所定の形状にエッチングしてフィンを形成する第１の工程と、前記フィンのバッファ層とＳｉＧｅ層を酸化して酸化層を形成することにより、前記フィンのＧｅ濃度を高める第２の工程と、前記酸化層をエッチングにより除去する第３の工程と、前記酸化層がエッチング除去された前記フィンの側面にゲート絶縁膜を形成し、前記ゲート絶縁膜を介してゲート電極を形成する第４の工程と、前記ゲート電極の両側にソース領域及びドレイン領域を形成する第５の工程と、を含むフィン構造の半導体装置の製造方法を提供する。

【発明の効果】

【0011】

本発明の実施の態様によれば、ＳｉＧｅ層をＦｉｎＦＥＴのチャネル領域とし、ＦｉｎＦＥＴのチャネル幅（フィン高さ）が大きくできて、設計に自由度を有するフィン構造のＦＥＴを有する半導体装置、及び、その製造方法を提供することが可能となる。

【発明を実施するための最良の形態】

【0012】

（本発明の第１の実施の形態）

図１は、本発明の第１の実施の形態に係る半導体装置であるｐ型ＦｉｎＦＥＴ（以下、ｐＦｉｎＦＥＴという）の構成を示す図である。

【0013】

ｐＦｉｎＦＥＴは、所定の高さで形成されたフィン２０、ゲート電極３０、ソース領域４０、及び、ドレイン領域５０とを有して構成され、各素子は、素子分離膜６０で素子分離されている。

【0014】

フィン２０は、Ｓｉ半導体層１０ｃ上にＧｅ濃度が段階的に変化して形成されたバッファ層１０ａとこのバッファ層１０ａ上にＧｅ濃度が略一定に形成されたＳｉＧｅ層１０ｂとにより形成された半導体基板１０上に、所定の厚さ及び所定の高さで形成されている。ＳｉＧｅ層１０ｂは、ｎ型不純物で所定の濃度に形成されている。また、フィン２０の厚さは、例えば、２０ｎｍ、フィンの高さは、５０ｎｍ～１００ｎｍである。

【0015】

フィン２０において、ゲート電極３０の下部には、ゲート絶縁膜３１を介して、ゲート電極３０と対向したチャネル領域３２がＳｉＧｅ層１０ｂの領域内に形成されている。

【0016】

ソース領域４０、及び、ドレイン領域５０は、ゲート電極３０と対向したチャネル領域３２の両側に形成されている。ソース領域４０、及び、ドレイン領域５０は、ボロンＢ等のｐ型不純物がイオン注入されて所定の不純物濃度に形成されている。尚、以上のほかに、一般的に具備されているので図示は省略したが、ソース領域４０、及び、ドレイン領域５０へ電圧を印加するためのコンタクト部、電極部等がある。以下に、製造方法を説明しながら、上記半導体装置１を説明する。

【0017】

（第１の実施の形態に係る半導体装置の製造方法）

図２（ａ）、（ｂ）、（ｃ）、（ｄ）、図３（ａ）、（ｂ）、（ｃ）、図４（ａ）、（ｂ）、（ｃ）、図５（ａ）、（ｂ）、（ｃ）、図６（ａ）、（ｂ）、（ｃ）は、本発明の第１の実施の形態に係るｐ型ＦｉｎＦＥＴの製造工程を斜視図により順に示す図である。

【0018】

（１ａ）Ｓｉ半導体層１０ｃ上に、ＣＶＤ（Chemical Vapor Deposition）法により、Ｇｅ濃度を段階的に変化させてバッファ層１０ａを形成し、その上に、Ｇｅ濃度を所定の

濃度にしてＳｉＧｅ層１０ｂを形成する。ＳｉＧｅ層１０ｂを、ｎ型不純物で所定の濃度に形成する。バッファ層１０ａは、Ｓｉ半導体層１０ｃからＳｉＧｅ層１０ｂにかけてＧｅ濃度が高くなるようにＧｅ濃度を変化させて、格子不整合を緩和させながらエピタキシャル成長を行なう。尚、ＳｉＧｅ層１０ｂのＧｅ濃度は、バッファ層１０ａとの界面のＧｅ濃度に応じたＧｅ濃度にするのが好ましく、特に、バッファ層１０ａとの界面のＧｅ濃度に近似した濃度にするのが好ましい。また、ＳｉＧｅ層１０ｂのＧｅ濃度は、一定であることが好ましい。上記のようにして形成された半導体基板１０において、ＳｉＧｅ層１０ｂの上にＳｉＮマスク１１を形成する（図２（ａ））。本実施の形態においては、ＳｉＮマスク１１が形成された半導体基板１０を予め準備しておくことにより、以下の工程から本実施の形態に係る製造方法を始めることができる。

【0019】

（１ｂ）リソグラフィ技術によりＳｉＮマスク１１を所定の形状にパターニングし、これを基にＲＩＥ（Reactive Ion Etching）によりフィン２０を形成する（図２（ｂ））。

【0020】

（１ｃ）ＳｉＧｅ層１０ｂ及びバッファ層１０ａを選択的に酸化してＧｅ濃縮を行ない、チャネル領域等となる部分のＧｅ濃度を高める。ＳｉＧｅ層１０ｂを酸化することにより、ＳｉＧｅ中のＳｉをSiO_2中に取り込む。チャネル領域等となる部分は、高濃度ＧｅのＳｉＧｅチャネル、Ｇｅチャネル、あるいは、歪Ｇｅチャネルに形成される。これにより、ＳｉＧｅ層１０ｂ表面に形成されるSiO_2酸化膜１２は厚くなると共に、ＳｉＧｅ層１０ｂは薄くなる。尚、ＳｉＧｅ層１０ｂはＧｅ濃度の勾配をその厚さ方向にほぼ対称に有する。また、各フィン２０の間の底部２０ａにもSiO_2酸化膜１２が形成される（図２（ｃ））。

【0021】

（１ｄ）ＳｉＮマスク１１をホットリン酸により、スリミングして酸化後のＳｉＧｅ層１０ｂとほぼ同じ厚さにする（図２（ｄ））。

【0022】

（１ｅ）ＳｉＧｅ層１０ｂの表面のSiO_2酸化膜１２を、フッ酸系のガスにより除去する。これにより、ＳｉＧｅ層１０ｂは薄くなり、所定のフィン厚さとなる。同様に、各フィン２０の間の底部２０ａのSiO_2酸化膜１２も除去され、フィン２０の高さが所定の値に形成される。尚、バッファ層１０ａの一部も除去される（図３（ａ））。

【0023】

（１ｆ）各ＦｉｎＦＥＴの素子分離のため、ＣＶＤ法により、SiO_2等の素子分離膜６０を堆積、充填する（図３（ｂ））。

【0024】

（１ｇ）素子分離膜６０をエッチングにより所定の深さまでエッチバックする。所定の深さは、エッチバックによりバッファ層１０ａが露出するまではエッチングされず、バッファ層１０ａは素子分離膜６０に埋め込まれているようにする（図３（ｃ））。

【0025】

（１ｈ）各フィン２０の間の素子分離膜上面６０ａに、イオン注入を行う。リンＰ等のｎ型不純物を上方から素子分離膜上面６０ａに向って図示Ａ方向に打ち込むと、フィン２０にはその頂部にＳｉＮマスク１１があるのでイオン注入されないが、素子分離膜上面６０ａにはイオン注入される。素子分離膜上面６０ａにイオン注入されると共に、不純物は横方向にも拡散されるので、フィン下部の不純物濃度が高くなり、パンチスルーストッパとなる（図４（ａ））。

【0026】

（１ｉ）ゲートとなるポリシリコンを堆積させる工程である。ゲート絶縁膜３１（SiO_2等）を熱酸化等により形成した後に、ＭＯＣＶＤ法等によりポリシリコン７０をフィン２０を含む全体に堆積させる（図４（ｂ））。

【0027】

（１ｊ）上記の工程後、平坦化する。ＣＭＰにより、ＳｉＮマスク１１の上端をストッ

パ位置として、ポリシリコン７０を平坦化処理する（図４（ｃ））。

【0028】

（１ｋ）平坦化されたポリシリコン７０及びＳｉＮマスク１１上に、第２のポリシリコン７１をＭＯＣＶＤ法等により堆積させる（図５（ａ））。

【0029】

（１１）ＳｉＮ膜１２を所定の膜厚でＭＯＣＶＤ法により堆積させ、ゲート形成のためのレジスト１３をＳｉＮ膜１２上に形成する（図５（ｂ））。

【0030】

（１ｍ）ＳｉＮ膜１２をＲＩＥ等によりエッチングする（図５（ｃ））。

【0031】

（１ｎ）ＳｉＮ膜１２をマスクとして、CF_4 等のフッ素系ガスを用いたＲＩＥによりエッチングを行う。これにより、フィン２０及びゲート３３の構造が形成される（図６（ａ））。

【0032】

（１ｏ）ＳｉＮマスク１１及びＳｉＮ膜１２を剥離した後、フィン２０の上面から垂直に、あるいは、傾斜させて、ボロンＢ等のｐ型不純物のイオン注入を行い、ソース領域とチャネル領域及びドレイン領域とチャネル領域との間の浅い接合部（図示を省略）を各々形成する。ゲート側壁３４を形成するため、SiO_2 膜８０をＣＶＤ法等により、等方的に堆積させる（図６（ｂ））。

【0033】

（１ｐ）CF_4 等のフッ素系ガスを用いたＲＩＥによりSiO_2 膜８０をエッチバック除去して、ゲート側壁３４を形成する。ここで、フィン２０の上面から垂直に、あるいは、傾斜させて、ボロンＢ等のｐ型不純物のイオン注入を行い、ゲート側壁３４をマスクエッジとして、ソース領域４０及びドレイン領域５０となる深い接合部を各々形成する（図６（ｃ））。

【0034】

（１ｑ）上記の工程後に、ゲート電極、ソース・ドレイン電極、コンタクト、配線等を公知技術による半導体製造プロセスを用いて形成することにより、ｐＦｉｎＦＥＴが作製されることになる。

【0035】

（第１の実施の形態の効果）

１．本発明の第１の実施の形態によれば、高濃度Ｇｅをエピタキシャル成長させてある程度の膜厚を形成してからＦｉｎＦＥＴを構成した場合よりもフィン高さを比較的大きく確保できる。そして、ＦｉｎＦＥＴにおいて、チャネル領域を高濃度ＧｅのＳｉＧｅチャネル、Ｇｅチャネル、あるいは、歪Ｇｅチャネルとできるので、キャリア移動度の向上に有利な効果を有する。

【0036】

２．また、バッファ層を介してＳｉＧｅ層をエピタキシャル成長させてフィンを形成し、チャネル領域として転移密度の大きいバッファ層を使用しないので、結晶欠陥が少ないフィン構造のＦＥＴを形成しやすい。そして、フィン下部に不純物をイオン注入して、パンチスルーストッパを形成するので、接合リーク電流の増大を抑制する効果を有する。

【0037】

３．また、Ｇｅ濃度はフィン表面が高く、中心部にかけて傾斜分布を持つような低温酸化を行うことにより、中心部のＳｉＧｅ部のＧｅ濃度を小さくすることができる。従って外側のフィン表面よりも内部の方が格子定数が小さいので、フィン表面のＧｅチャネルに対しては圧縮歪みが印加されることになり、キャリア移動度の向上に有利な効果を有する。

【0038】

４．また、素子分離のために高価なＳＧＯＩ基板等を使用しないので、コスト低減にも効果を有する。

【0039】
（本発明の第２の実施の形態）
第２の実施の形態は、第１の実施の形態において、基板底部へのＧｅ拡散を抑制するためにＳｉ半導体基板の替わりに、ＳＧＯＩ基板を使用してｐＦｉｎＦＥＴを構成したものである。以下においては、第１の実施の形態との相違点について、その製造工程を説明する。
【0040】
（第２の実施の形態に係る半導体装置の製造方法）
図７（ａ）、（ｂ）は、本発明の第２の実施の形態に係るｐ型ＦｉｎＦＥＴの製造工程を斜視図により順に示す図である。
【0041】
（２ａ）Ｓｉ基板１００上に、埋め込み酸化膜であるＢＯＸ層１００ｄ、その上に形成されたＳｉ層１００ｃ、その上に形成されたバッファ層１００ａ、及び、その上にＧｅ濃度を略一定にして形成されたＳｉＧｅ層１００ｂを有するＳＧＯＩ基板を用意する。すなわち、ＢＯＸ層１００ｄ上のＳｉ層１００ｃには、Ｇｅ濃度を段階的に変化させてバッファ層１００ａが形成され、その上に、ＳｉＧｅ層１００ｂがＧｅ濃度を略一定にして形成されている。バッファ層１００ａは、ＢＯＸ層１００ｄからＳｉＧｅ層１００ｂにかけてＧｅ濃度が高くなるようにＧｅ濃度を変化させて、格子不整合を緩和させながら形成されている。ＳｉＧｅ層１００ｂは、ｎ型不純物で所定の濃度に形成されている。ＳｉＧｅ層１００ｂの上には、ＳｉＮマスク１１が形成されている（図７（ａ））。
（２ｂ）～（２ｄ）の工程は、第１の実施の形態の（１ｂ）～（１ｄ）の工程と同様である。
（２ｅ）ＳｉＧｅ層１００ｂの表面のSiO_2酸化膜１２を、フッ酸系のガスにより除去する。これにより、ＳｉＧｅ層１００ｂは薄くなり、所定のフィン厚さとなる。同様に、各フィン２０の間のＢＯＸ層１００ｄの埋め込み酸化膜も、この工程により除去される。従って、エッチング量を時間の管理等により注意しながらこの工程を実施するのが好ましい（図７（ｂ））。以下の工程は、第１の実施の形態の（１ｉ）～（１ｑ）と同様である。
【0042】
（第２の実施の形態の効果）
本発明の第２の実施の形態によれば、第１の実施の形態の効果に示した１及び３項の効果に加え、以下のような効果を有する。
【0043】
ＳＧＯＩ基板を使用するので、基板底部へのＧｅ拡散を抑制でき、素子分離が容易になるという効果を有する。また、フィンの横方向からＧｅ濃縮を行うので、フィンの縦方向に関してＳｉＧｅ層のＧｅ濃度は均一に高濃度化され、Ｇｅ濃度の高い領域の厚さをＳｉＧｅ層の厚さ以上にできるという効果を有する。
【0044】
（本発明の第３の実施の形態）
第３の実施の形態は、第１の実施の形態で示したｐＦｉｎＦＥＴと、ｎ型ＦｉｎＦＥＴ（以下、ｎＦｉｎＦＥＴという）を有し、１枚の半導体基板上に少なくとも１つのｐＦｉｎＦＥＴと少なくとも１つのｎＦｉｎＦＥＴとで構成された半導体装置である。以下に、製造方法を説明しながら、上記半導体装置を説明する。
【0045】
図８（ａ）、（ｂ）、（ｃ）、図９（ａ）、（ｂ）、（ｃ）、図１０（ａ）、（ｂ）、（ｃ）、図１１（ａ）、（ｂ）は、本発明の第３の実施の形態に係るｎＦｉｎＦＥＴ及びｐＦｉｎＦＥＴの製造工程を断面図により順に示す図である。左側にｎＦｉｎＦＥＴ領域、右側にｐＦｉｎＦＥＴ領域の製造工程を示す。
【0046】
（３ａ）Ｓｉ半導体層１０ｃ上に、ＣＶＤ法により、Ｇｅ濃度を段階的に変化させてバ

ッファ層１０ａを形成し、その上に、Ｇｅ濃度を所定の濃度にしてＳｉＧｅ層１０ｂを形成する。バッファ層１０ａは、Ｓｉ半導体層１０ｃからＳｉＧｅ層１０ｂにかけてＧｅ濃度が高くなるようにＧｅ濃度を変化させて、格子不整合を緩和させながらエピタキシャル成長を行なう。尚、ＳｉＧｅ層１０ｂのＧｅ濃度は、バッファ層１０ａとの界面のＧｅ濃度に応じたＧｅ濃度にするのが好ましく、特に、バッファ層１０ａとの界面のＧｅ濃度に近似した濃度にするのが好ましい。また、ＳｉＧｅ層１０ｂのＧｅ濃度は、一定であることが好ましい。ＳｉＧｅ層１０ｂは、ｐＦｉｎＦＥＴ領域ではｎ型不純物で所定の濃度に形成され、ｎＦｉｎＦＥＴ領域ではｐ型不純物で所定の濃度に形成されている。ＳｉＧｅ層１０ｂの上に、ＳｉＮマスク１１を形成する（図８（ａ））。

【0047】

（３ｂ）まず、ｐＦｉｎＦＥＴ領域を形成するため、ｎＦｉｎＦＥＴ領域にレジスト（図示を省略）を施し、選択的にｐＦｉｎＦＥＴの製造工程を進める。ｐＦｉｎＦＥＴ領域にリソグラフィ技術によりＳｉＮマスク１１を所定の形状にパターニングし、これを基にＲＩＥによりフィン２０を形成する（図８（ｂ））。

【0048】

（３ｃ）ＳｉＧｅ層１０ｂ及びバッファ層１０ａを選択的に酸化してＧｅ濃縮を行ない、チャネル領域等となる部分のＧｅ濃度を高める。ＳｉＧｅ層を酸化することにより、ＳｉＧｅ中のＳｉをSiO_2中に取り込む。チャネル領域等となる部分は、高濃度ＧｅのＳｉＧｅチャネル、Ｇｅチャネル、あるいは、歪Ｇｅチャネルに形成される。これにより、ＳｉＧｅ層１０ｂ表面に形成されるSiO_2酸化膜１２は厚くなると共に、ＳｉＧｅ層１０ｂは薄くなる。尚、ＳｉＧｅ層１０ｂはＧｅ濃度の勾配をその厚さ方向にほぼ対称に有する。また、各フィン２０の間の底部２０ａにもSiO_2酸化膜１２が形成される（図８（ｃ））。

【0049】

（３ｄ）次に、ｎＦｉｎＦＥＴ領域のレジストを剥離後、ｐＦｉｎＦＥＴ領域にレジスト（図示を省略）を施し、選択的に、ｎＦｉｎＦＥＴ領域に、リソグラフィ技術とＲＩＥによりフィン２０を形成するため、ＳｉＮマスク１１を所定の形状にパターニングする（図９（ａ））。

【0050】

（３ｅ）ｐＦｉｎＦＥＴ領域のレジストを剥離した後、ｐＦｉｎＦＥＴ領域及びｎＦｉｎＦＥＴ領域において、ＳｉＮマスク１１をホットリン酸により、スリミングして酸化後のＳｉＧｅ層１０ｂとほぼ同じ厚さにする（図９（ｂ））。

【0051】

（３ｆ）次に、ｎＦｉｎＦＥＴ領域を形成するため、ｐＦｉｎＦＥＴ領域にレジスト（図示を省略）を施し、選択的にｎＦｉｎＦＥＴの製造工程を進める。ｎＦｉｎＦＥＴ領域において、ＳｉＮマスク１１を基にＲＩＥによりフィン２０を形成する（図９（ｃ））。

【0052】

（３ｇ）ｐＦｉｎＦＥＴ領域のレジストを剥離後、ｐＦｉｎＦＥＴ領域において、ＳｉＧｅ層１０ｂの表面のSiO_2酸化膜１２を、フッ酸系のガスにより除去する。これにより、ＳｉＧｅ層１０ｂは薄くなり、所定のフィン厚さとなる。同様に、各フィン２０の間の底部２０ａのSiO_2酸化膜１２も除去され、フィン２０の高さが所定の値に形成される。尚、バッファ層１０ａの一部も除去される（図１０（ａ））。

【0053】

（３ｈ）ｐＦｉｎＦＥＴ領域及びｎＦｉｎＦＥＴ領域において、各ＦｉｎＦＥＴの素子分離を行うため、ＣＶＤ法により、SiO_2等の素子分離膜６０を堆積、充填する（図１０（ｂ））。

【0054】

（３ｉ）素子分離膜６０をエッチングにより所定の深さまでエッチバックする。所定の深さは、エッチバックによりバッファ層１０ａが露出するまではエッチングされず、バッファ層１０ａは素子分離膜６０に埋め込まれているようにする（図１０（ｃ））。

【0055】
（３ｊ）ｐＦｉｎＦＥＴ領域にレジスト（図示を省略）を施し、選択的に、ｎＦｉｎＦＥＴ領域の各フィン２０の間の素子分離膜上面６０ａに、イオン注入を行う。ボロンＢ又はインジウムＩｎ等のｐ型不純物を上方から素子分離膜上面６０ａに向って図示Ａ方向に打ち込むと、フィン２０にはその頂部にＳｉＮマスク１１があるのでイオン注入されないが、素子分離膜上面６０ａにはイオン注入される。素子分離膜上面６０ａにイオン注入されると共に、不純物は横方向にも拡散され、フィン下部にもイオン注入され、フィン下部の不純物濃度が高くなり、パンチスルーストッパとなる（図１１（ａ））。
【0056】
（３ｋ）次に、ｎＦｉｎＦＥＴ領域にレジスト（図示を省略）を施し、選択的に、ｐＦｉｎＦＥＴ領域の各フィン２０の間の素子分離膜上面６０ａに、イオン注入を行う。リンＰ又は砒素Ａｓ等のｎ型不純物を上方から素子分離膜上面６０ａに向って図示Ａ方向に打ち込むと、フィン２０にはその頂部にＳｉＮマスク１１があるのでイオン注入されないが、素子分離膜上面６０ａにはイオン注入される。素子分離膜上面６０ａにイオン注入されると共に、不純物は横方向にも拡散され、フィン下部にもイオン注入され、フィン下部の不純物濃度が高くなり、パンチスルーストッパとなる（図１１（ｂ））。
【0057】
（３ｌ）以下の工程は、第１の実施の形態において示した（１ｉ）～（１ｑ）、すなわち、図４（ｂ）～図６（ｃ）の製造工程と共通である。レジスト剥離後、ゲート絶縁膜３１（SiO_2 等）を熱酸化等により形成した後に、ＭＯＣＶＤ法等によりポリシリコン７０をフィン２０を含む全体に堆積させる。上記の工程後、ＣＭＰにより、ＳｉＮマスク１１の上端をストッパ位置として、平坦化処理する。平坦化されたポリシリコン７０及びＳｉＮマスク１１上に、第２のポリシリコン７１をＭＯＣＶＤ法等により堆積させる。ＳｉＮ膜１２を所定の膜厚でＭＯＣＶＤ法により堆積させ、ゲート形成のためのレジストをＳｉＮ膜１２上に形成する。ＳｉＮ膜１２をＲＩＥ等によりエッチングした後、ＳｉＮ膜１２をマスクとして、CF_4 等のフッ素系ガスを用いたＲＩＥによりエッチングを行う。これにより、フィン２０及びゲート３３の構造が形成される。
【0058】
ＳｉＮマスク１１及びＳｉＮ膜１２を剥離した後、フィン２０の上面から垂直に、あるいは、傾斜させて、不純物のイオン注入を行い、ソース領域とチャネル領域及びドレイン領域とチャネル領域との間の浅い接合部を各々形成する。
【0059】
ゲート側壁を形成するため、SiO_2 膜８０をＣＶＤ法等により、等方的に堆積させる。CF_4 等のフッ素系ガスを用いたＲＩＥによりSiO_2 膜８０をエッチバック除去して、ゲート側壁３４を形成する。そして、フィン２０の上面から垂直に、あるいは、傾斜させて、不純物のイオン注入を行い、ゲート側壁３４をマスクエッジとして、ソース領域４０及びドレイン領域５０となる深い接合部を各々形成する。
【0060】
上記の工程後に、ゲート電極、ソース・ドレイン電極、コンタクト、配線等を公知技術による半導体製造プロセスを用いて形成するこにより、ｎＦｉｎＦＥＴ及びｐＦｉｎＦＥＴが作製されることになる。
【0061】
尚、ソース領域とチャネル領域及びドレイン領域とチャネル領域との間の浅い接合部、ソース領域及びドレイン領域となる深い接合部の形成では、ｎＦｉｎＦＥＴの場合は、リンＰ等のｎ型不純物のイオン注入を行い、ｐＦｉｎＦＥＴの場合は、ボロンＢ等のｐ型不純物のイオン注入を行なう。
【0062】
（第３の実施の形態の効果）
１．本発明の第３の実施の形態によれば、ｐＦｉｎＦＥＴにおいては、第１の実施の形態の効果と同様に、チャネル領域３２を高濃度ＧｅのＳｉＧｅチャネル、Ｇｅチャネル、あ

るいは、歪Ｇｅチャネルとできるので、キャリア移動度の向上に有利な効果を有する。また、ｎＦｉｎＦＥＴにおいては、ｐＦｉｎＦＥＴチャネル領域３２のＧｅ濃度よりも低濃度のＳｉＧｅチャネルが形成される。
２．上記のように、同一の基板上に、高濃度ＧｅのＳｉＧｅチャネルを有するｐＦｉｎＦＥＴと、低濃度ＧｅのＳｉＧｅチャネルを有するｎＦｉｎＦＥＴとが形成できるので、ＣＭＯＳ構成にする場合に特に効果を有する。
【0063】
（本発明の第４の実施の形態）
本発明の第４の実施の形態は、第３の実施の形態において、Ｓｉ半導体基板上に成長させる結晶を、ｎＦｉｎＦＥＴとｐＦｉｎＦＥＴとで異ならせることにより、ｐＦｉｎＦＥＴチャネル領域３２のＧｅ濃度よりもさらに低濃度ＧｅのＳｉチャネルが形成されたｎＦｉｎＦＥＴを形成するものである。
【0064】
図１２は、本発明の第４の実施の形態に係り、Ｓｉ半導体層１０ｃ上に、ｐＦｉｎＦＥＴ領域とｎＦｉｎＦＥＴ領域とで異なる層をエピタキシャル成長させた基板を示す図である。
【0065】
ＣＶＤ法により、ｐＦｉｎＦＥＴを形成する領域には、Ｇｅ濃度を段階的に変化させてバッファ層１０ａを形成し、その上に、Ｇｅ濃度を一定にしてＳｉＧｅ層１０ｂを形成する。ＳｉＧｅ層１０ｂは、ｎ型不純物で所定の濃度に形成されている。バッファ層１０ａは、Ｓｉ半導体層１０ｃからＳｉＧｅ層１０ｂにかけてＧｅ濃度が高くなるようにＧｅ濃度を変化させて、格子不整合を緩和させながらエピタキシャル成長を行なう。
【0066】
一方、ｎＦｉｎＦＥＴを形成する領域は、Ｓｉをエピタキシャル成長させたＳｉエピタキシャル層１０ｄとする。Ｓｉエピタキシャル層１０ｄは、ｐ型不純物で所定の濃度に形成されている。ｐＦｉｎＦＥＴ領域及びｎＦｉｎＦＥＴ領域へのエピタキシャル成長後に、全領域にＳｉＮマスク１１を形成する。
【0067】
ｎＦｉｎＦＥＴ及びｐＦｉｎＦＥＴの製造方法は、第３の実施の形態と同様であり、説明を省略する。
【0068】
本発明の第４の実施の形態によれば、第３の実施の形態の効果に加え、ｐＦｉｎＦＥＴチャネル領域３２のＧｅ濃度よりもさらに低濃度ＧｅのＳｉチャネルが形成されたｎＦｉｎＦＥＴを形成できるので、ＣＭＯＳ構成にする場合に特に効果を有する。
【0069】
（本発明の第５の実施の形態）
第５の実施の形態は、第１～３の実施の形態で示したＦｉｎＦＥＴと、プレーナ型ＦＥＴを有する半導体装置である。以下に、製造方法を説明しながら、上記半導体装置を説明する。
【0070】
図１３（ａ）、（ｂ）、（ｃ）、図１４（ａ）、（ｂ）、（ｃ）、図１５（ａ）、（ｂ）、（ｃ）、図１６（ａ）、（ｂ）、（ｃ）、図１７（ａ）、（ｂ）、（ｃ）、図１８は、本発明の第５の実施の形態に係るＦｉｎＦＥＴ及びプレーナ型ＦＥＴの製造工程を断面図により順に示す図である。本説明では、ＦｉｎＦＥＴはｐＦｉｎＦＥＴ、及び、プレーナ型ＦＥＴはｎ型のプレーナ型ＦＥＴ（以下、ｎＦＥＴという）とする。各図においては、左側にｎＦＥＴ領域、右側にｐＦｉｎＦＥＴ領域の製造工程を示す。
【0071】
（５ａ）Ｓｉ半導体層１０ｃ上に、ＣＶＤ法により、ｐＦｉｎＦＥＴを形成する領域には、Ｇｅ濃度を段階的に変化させてバッファ層１０ａを形成し、その上に、Ｇｅ濃度を所定の濃度にしてＳｉＧｅ層１０ｂを形成する。ＳｉＧｅ層１０ｂは、ｎ型不純物で所定の

濃度に形成されている。バッファ層１０ａは、Ｓｉ半導体層１０ｃからＳｉＧｅ層１０ｂにかけてＧｅ濃度が高くなるようにＧｅを変化させて、格子不整合を緩和させながらエピタキシャル成長を行なう。尚、ＳｉＧｅ層１０ｂのＧｅ濃度は、バッファ層１０ａとの界面のＧｅ濃度に応じたＧｅ濃度にするのが好ましく、特に、バッファ層１０ａとの界面のＧｅ濃度に近似した濃度にするのが好ましい。また、ＳｉＧｅ層１０ｂのＧｅ濃度は、略一定であることが好ましい。

【0072】

一方、ｎＦＥＴを形成する領域は、Ｓｉをエピタキシャル成長させたＳｉエピタキシャル層１０ｄとする。Ｓｉエピタキシャル層１０ｄは、ｐ型不純物で所定の濃度に形成されている。ｐＦｉｎＦＥＴ領域及びｎＦＥＴ領域へのエピタキシャル成長後に、全領域にＳｉＮマスク１１を形成する。図１３（ａ）参照。

【0073】

（５ｂ）まず、ｐＦｉｎＦＥＴ領域を形成するため、ｎＦＥＴ領域にレジスト（図示を省略）を施し、選択的にｐＦｉｎＦＥＴの製造工程を進める。ｐＦｉｎＦＥＴ領域にリソグラフィ技術によりＳｉＮマスク１１を所定の形状にパターニングし、これを基にＲＩＥによりフィン２０を形成する（図１３（ｂ））。

【0074】

（５ｃ）ＳｉＧｅ層１０ｂ及びバッファ層１０ａを選択的に酸化してＧｅ濃縮を行ない、チャネル領域等となる部分のＧｅ濃度を高める。ＳｉＧｅ層１０ｂを酸化することにより、ＳｉＧｅ中のＳｉをSiO_2中に取り込む。チャネル領域等となる部分は、高濃度ＧｅのＳｉＧｅチャネル、Ｇｅチャネル、あるいは、歪Ｇｅチャネルに形成される。これにより、ＳｉＧｅ層１０ｂ表面に形成されるSiO_2酸化膜１２は厚くなると共に、ＳｉＧｅ層１０ｂは薄くなる。尚、ＳｉＧｅ層１０ｂはＧｅ濃度の勾配をその厚さ方向にほぼ対称に有する。また、各フィン２０の間の底部２０ａにもSiO_2酸化膜１２が形成される（図１３（ｃ））。

【0075】

（５ｄ）次に、ｎＦｉｎＦＥＴ領域のレジストを剥離後、ｐＦｉｎＦＥＴ領域にレジスト（図示を省略）を施し、選択的に、ｎＦＥＴ領域に、リソグラフィ技術とＲＩＥによりｎＦＥＴ素子領域８３を形成するため、ＳｉＮマスク１１を所定の形状にパターニングする（図１４（ａ））。

【0076】

（５ｅ）ＳｉＮマスク１１により、ｎＦＥＴ素子領域８３の素子分離のためのトレンチ８１をＳｉ半導体層１０ｃに達するまでエッチングする（図１４（ｂ））。

【0077】

（５ｆ）ｐＦｉｎＦＥＴ領域のレジストを剥離後、ｐＦｉｎＦＥＴ領域において、ＳｉＧｅ層１０ｂ及びバッファ層１０ａの表面のSiO_2酸化膜１２を、フッ酸系のガスにより除去する。これにより、ＳｉＧｅ層１０ｂは薄くなり、所定のフィン厚さとなる。同様に、各フィン２０の間の底部２０ａのSiO_2酸化膜１２も除去され、フィン２０の高さが所定の値に形成される。尚、バッファ層１０ａの一部も除去される（図１４（ｃ））。

【0078】

（５ｇ）ｐＦｉｎＦＥＴ領域及びｎＦＥＴ領域において、ＳｉＮマスク１１をホットリン酸により、スリミングする。ｐＦｉｎＦＥＴ領域では、スリミングした後のＳｉＮマスク１１厚さは、SiO_2酸化膜１２が除去された後のＳｉＧｅ層１０ｂとほぼ同じ厚さとなる（図１５（ａ））。

【0079】

（５ｈ）ｐＦｉｎＦＥＴ領域及びｎＦＥＴ領域において、各素子の素子分離を行うため、ＣＶＤ法により、SiO_2等の素子分離膜６０を各フィン２０の間及びトレンチ８１に堆積、充填する（図１５（ｂ））。

【0080】

（５ｉ）素子分離膜６０をＳｉＮマスク１１をストッパとして、ｐＦｉｎＦＥＴ領域及

びｎＦＥＴ領域の素子分離膜６０の高さが同一になるよう、エッチングする（図１５（ｃ））。

【0081】

（５ｊ）次に、ｎＦＥＴ領域にレジスト（図示を省略）を施し、選択的に、素子分離膜６０をエッチングにより所定の深さまでエッチバックする。所定の深さは、エッチバックによりバッファ層１０ａが露出するまではエッチングされず、バッファ層１０ａは素子分離膜６０に埋め込まれているようにする。次に、ｐＦｉｎＦＥＴ領域の各フィン２０の間の素子分離膜上面６０ａに、イオン注入を行う。リンＰ又は砒素Ａｓ等のｎ型不純物を上方から素子分離膜上面６０ａに向って図Ａ方向に打ち込むと、フィン２０にはその頂部にＳｉＮマスク１１があるのでイオン注入されないが、素子分離膜上面６０ａにはイオン注入される。素子分離膜上面６０ａにイオン注入されると共に、不純物は横方向にも拡散され、フィン２０の下部にもイオン注入され、フィン２０の下部の不純物濃度が高くなり、パンチスルーストッパとなる（図１６（ａ））。

【0082】

（５ｋ）ｎＦＥＴ領域のレジストを剥離後、ｐＦｉｎＦＥＴ領域にレジスト（図示を省略）を施し、ｎＦＥＴ領域のＳｉＮマスク１１を剥離する（図１６（ｂ））。

【0083】

（５ｌ）

ｐＦｉｎＦＥＴ領域及びｎＦＥＴ領域に、各々、ゲート絶縁膜３１（SiO_2等）を熱酸化等により形成する（図１６（ｃ））。

【0084】

（５ｍ）ゲートとなるポリシリコン７０を堆積させる工程である。ＭＯＣＶＤ法等によりポリシリコン７０をｐＦｉｎＦＥＴ領域及びｎＦＥＴ領域全体に堆積させる（図１７（ａ））。

【0085】

（５ｎ）上記の工程後、平坦化する。ＣＭＰにより、ｐＦｉｎＦＥＴ領域のＳｉＮマスク１１の上端をストッパ位置として、ポリシリコン７０を平坦化処理する（図１７（ｂ））。

【0086】

（５ｏ）平坦化されたポリシリコン７０及びＳｉＮマスク１１上に、第２のポリシリコン７１をＭＯＣＶＤ法等により堆積させる（図１７（ｃ））。

【0087】

（５ｐ）

ｐＦｉｎＦＥＴ領域にレジスト（図示を省略）を施し、選択的に、ｎＦＥＴ領域のゲート電極８２を所定のパターンで形成する（図１８）。

【0088】

（５ｑ）以下、ｐＦｉｎＦＥＴ領域の工程は、第１の実施の形態において示した（１１）～（１ｑ）、すなわち、図５（ｂ）～図６（ｃ）の製造工程と共通である。すなわち、ｐＦｉｎＦＥＴ領域のレジスト剥離後、ｎＦＥＴ領域にレジスト（図示を省略）を施し、ＳｉＮ膜１２を所定の膜厚でＭＯＣＶＤ法により堆積させ、ゲート形成のためのレジスト１３をＳｉＮ膜１２上に形成する。ＳｉＮ膜１２をＲＩＥ等によりエッチングした後、ＳｉＮ膜１２をマスクとして、CF_4等のフッ素系ガスを用いたＲＩＥによりエッチングを行う。これにより、フィン２０及びゲート３３の構造が形成される。ＳｉＮマスク１１及びＳｉＮ膜１２を剥離した後、フィン２０の上面から垂直に、あるいは、傾斜させて、ボロンＢ等のｐ型不純物のイオン注入を行い、ソース領域とチャネル領域及びドレイン領域とチャネル領域との間の浅い接合部を形成する。ゲート側壁３４を形成するため、SiO_2膜８０をＣＶＤ法等により、等方的に堆積させる。CF_4等のフッ素系ガスを用いたＲＩＥによりSiO_2膜８０をエッチバック除去して、ゲート側壁３４を形成する。ここで、フィン上面から垂直に、あるいは、傾斜させて、ボロンＢ等のｐ型不純物のイオン注入を行い、ゲート側壁３４をマスクエッジとして、ソース領域４０及びドレイン領域５０と

なる深い接合部を形成する。

【0089】

（５ｒ）一方、ｎＦＥＴ領域では、上面からリンＰ等のｎ型不純物のイオン注入を行い、ソース領域とチャネル領域及びドレイン領域とチャネル領域との間の浅い接合部を形成する。次に、ゲート側壁を形成するため、SiO_2膜をＣＶＤ法等により、等方的に堆積させる。CF_4等のフッ素系ガスを用いたＲＩＥによりSiO_2膜をエッチバック除去して、ゲート側壁を形成する。上面から、リンＰ等のｎ型不純物のイオン注入を行い、ゲート側壁をマスクエッジとして、ソース領域及びドレイン領域となる深い接合部を形成する。

【0090】

上記の工程後に、ゲート電極、ソース・ドレイン電極、コンタクト、配線等を公知技術による半導体製造プロセスを用いて形成することにより、ｐＦｉｎＦＥＴ及びｎＦＥＴが作製されることになる。

【0091】

（第５の実施の形態の効果）

本発明の第５の実施の形態によれば、第１～４の実施の形態に示した効果に加え、同一基板上にＦｉｎＦＥＴとプレーナ型ＦＥＴとが形成され、各々を混載した半導体装置が可能となる。

【0092】

ＦｉｎＦＥＴは、高集積化に寄与し、かつ、大電流化が可能となるが、周辺回路の構成にはプレーナ型ＦＥＴを必要とする場合があり、実際の集積半導体装置を構成する場合に有利な効果を有する。

【図面の簡単な説明】

【0093】

【図1】本発明の第１の実施の形態に係る半導体装置であるｐＦｉｎＦＥＴの構成を示す図である。

【図2】本発明の第１の実施の形態に係るｐ型ＦｉｎＦＥＴの製造工程を斜視図により順に示す図である。

【図3】本発明の第１の実施の形態に係るｐ型ＦｉｎＦＥＴの製造工程を斜視図により順に示す図である。

【図4】本発明の第１の実施の形態に係るｐ型ＦｉｎＦＥＴの製造工程を斜視図により順に示す図である。

【図5】本発明の第１の実施の形態に係るｐ型ＦｉｎＦＥＴの製造工程を斜視図により順に示す図である。

【図6】本発明の第１の実施の形態に係るｐ型ＦｉｎＦＥＴの製造工程を斜視図により順に示す図である。

【図7】本発明の第２の実施の形態に係るｐ型ＦｉｎＦＥＴの製造工程を斜視図により順に示す図である。

【図8】本発明の第３の実施の形態に係るｎＦｉｎＦＥＴ及びｐＦｉｎＦＥＴの製造工程を断面図により順に示す図である。

【図9】本発明の第３の実施の形態に係るｎＦｉｎＦＥＴ及びｐＦｉｎＦＥＴの製造工程を断面図により順に示す図である。

【図10】本発明の第３の実施の形態に係るｎＦｉｎＦＥＴ及びｐＦｉｎＦＥＴの製造工程を断面図により順に示す図である。

【図11】本発明の第３の実施の形態に係るｎＦｉｎＦＥＴ及びｐＦｉｎＦＥＴの製造工程を断面図により順に示す図である。

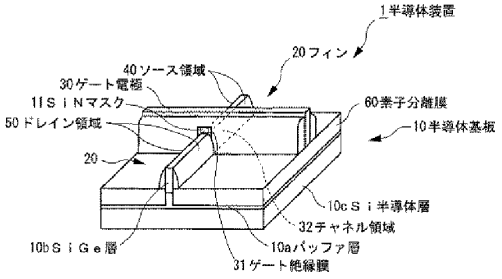
【図12】本発明の第４の実施の形態に係り、Ｓｉ半導体層１０ｃ上に、ｐＦｉｎＦＥＴ領域とｎＦｉｎＦＥＴ領域とで異なる層をエピタキシャル成長させた基板を示す図である。

【図13】本発明の第５の実施の形態に係るＦｉｎＦＥＴ及びプレーナ型ＦＥＴの製造工程を断面図により順に示す図である。

【図14】本発明の第５の実施の形態に係るＦｉｎＦＥＴ及びプレーナ型ＦＥＴの製造工程を断面図により順に示す図である。
【図15】本発明の第５の実施の形態に係るＦｉｎＦＥＴ及びプレーナ型ＦＥＴの製造工程を断面図により順に示す図である。
【図16】本発明の第５の実施の形態に係るＦｉｎＦＥＴ及びプレーナ型ＦＥＴの製造工程を断面図により順に示す図である。
【図17】本発明の第５の実施の形態に係るＦｉｎＦＥＴ及びプレーナ型ＦＥＴの製造工程を断面図により順に示す図である。
【図18】本発明の第５の実施の形態に係るＦｉｎＦＥＴ及びプレーナ型ＦＥＴの製造工程を断面図により順に示す図である。
【符号の説明】
【0094】
１　　半導体装置
１０　半導体基板
１０ａ　バッファ層
１０ｂ　ＳｉＧｅ層
１０ｃ　Ｓｉ半導体層
２０　フィン
３０　ゲート電極
３１　ゲート絶縁膜
３２　チャネル領域
４０　ソース領域
５０　ドレイン領域

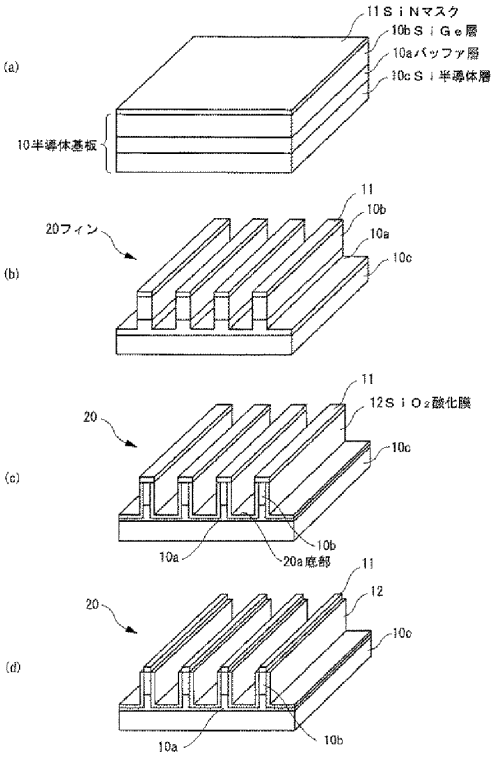
【図1】

図　1
（第１の実施の形態）



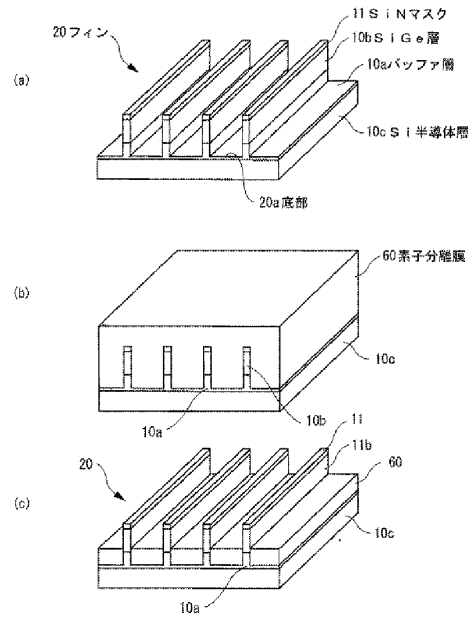
【図2】

図　2



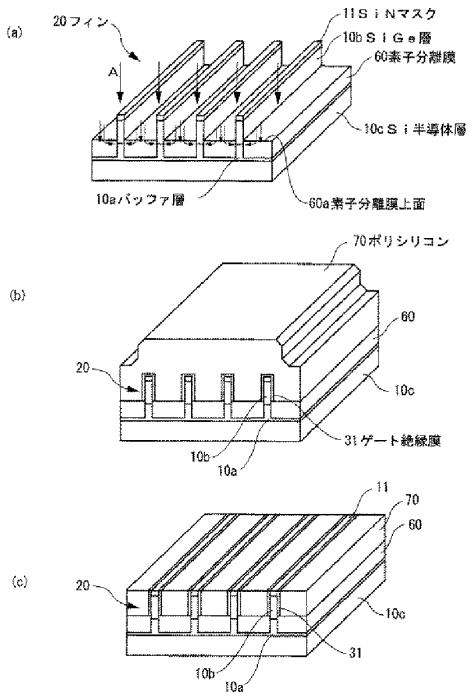
【図3】

図　３



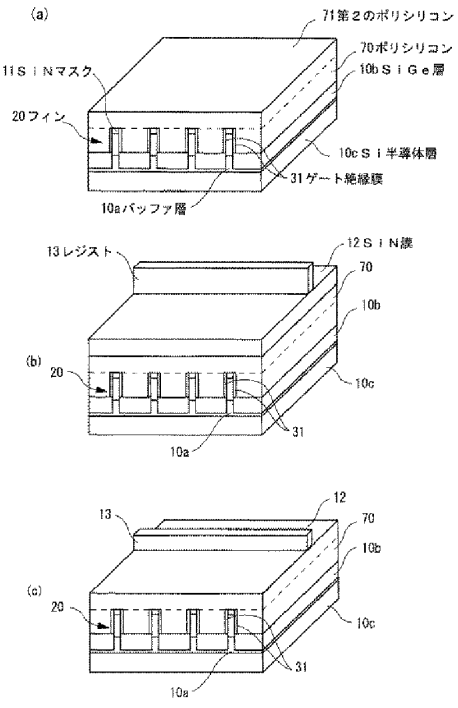
【図4】

図　４



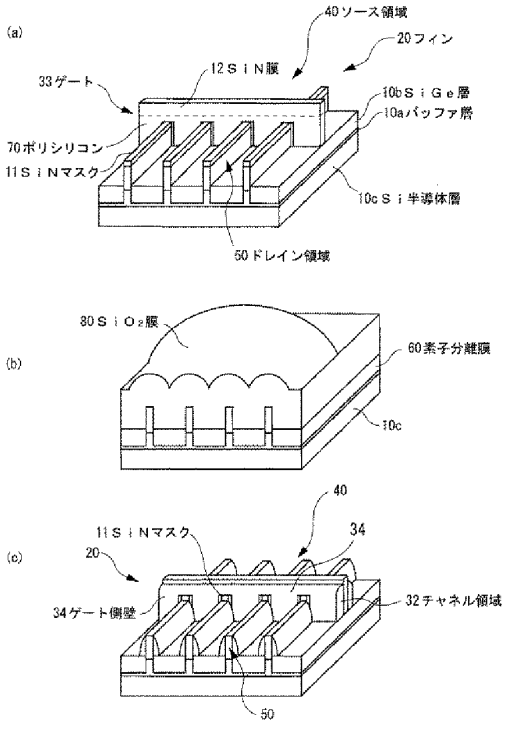
【図5】

図　５



【図6】

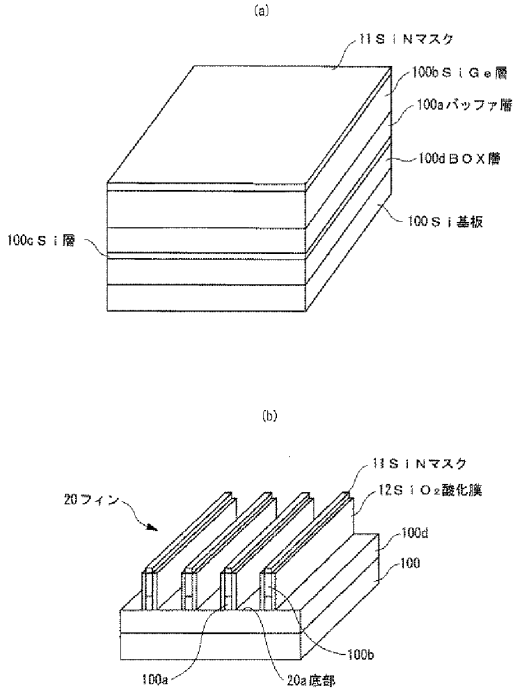
図　６



【図7】

図　７

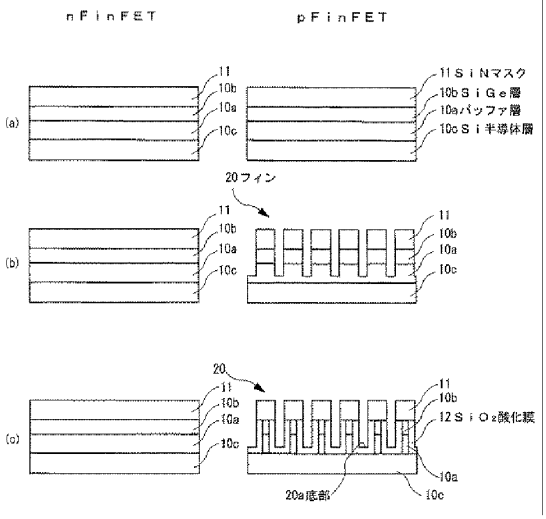
（第２の実施の形態）



【図8】

図　８

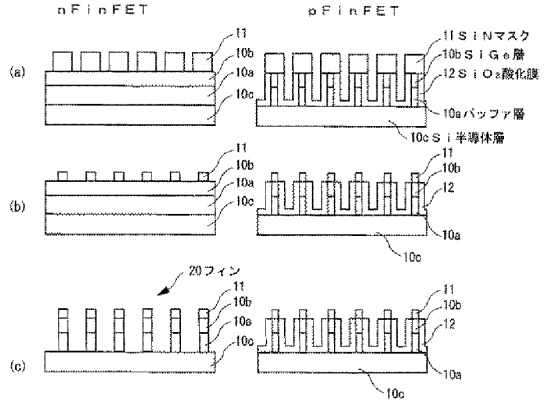
（第３の実施の形態）



【図9】

図　９

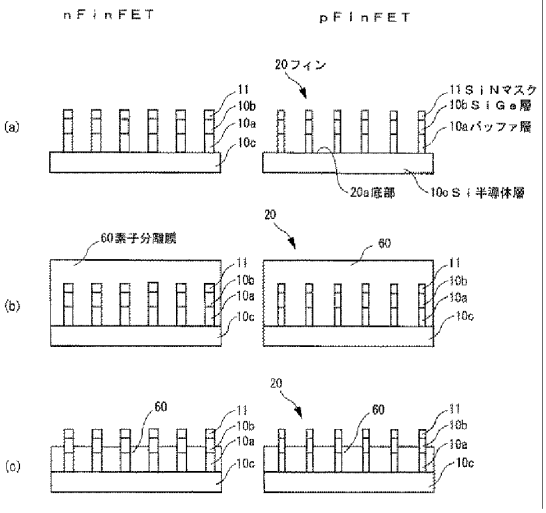
（第３の実施の形態）



【図10】

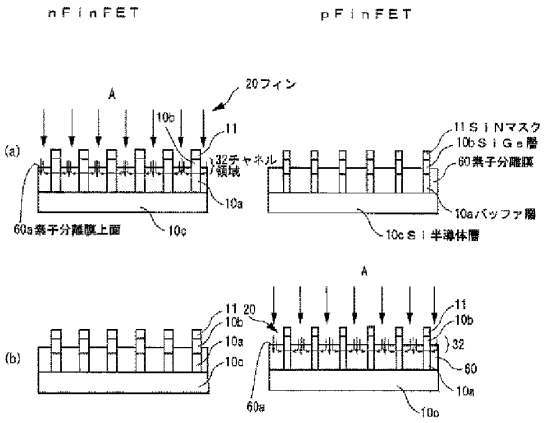
図　１０

（第３の実施の形態）



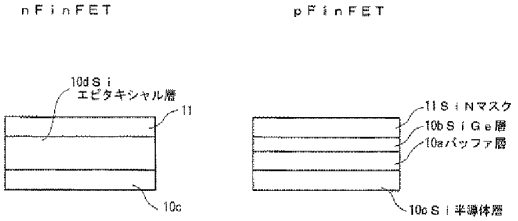
【図11】

図　１１
（第３の実施の形態）



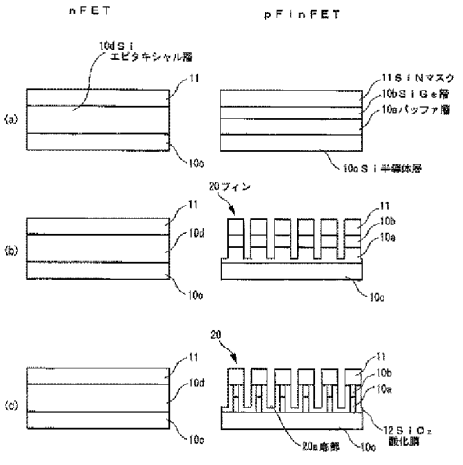
【図12】

図　１２
（第４の実施の形態）



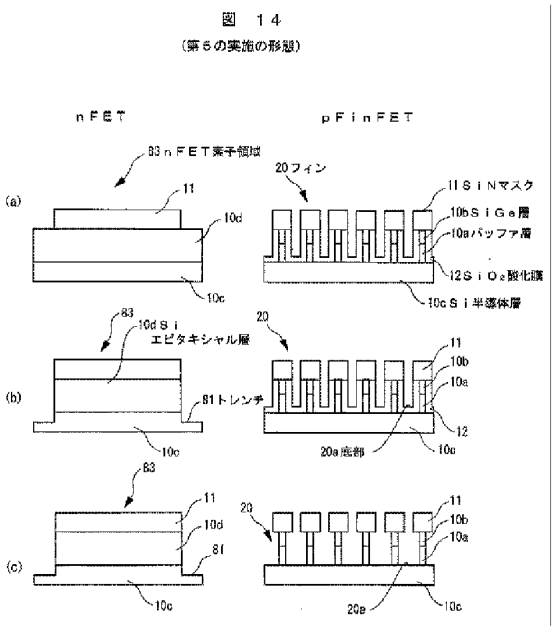
【図13】

図　１３
（第５の実施の形態）



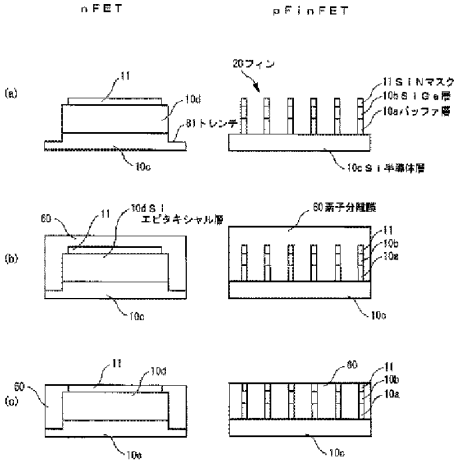
【図14】

図　１４
（第５の実施の形態）



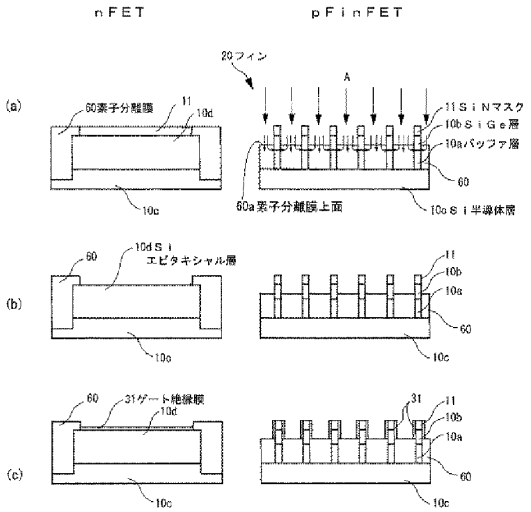
【図15】

図　１５
（第５の実施の形態）



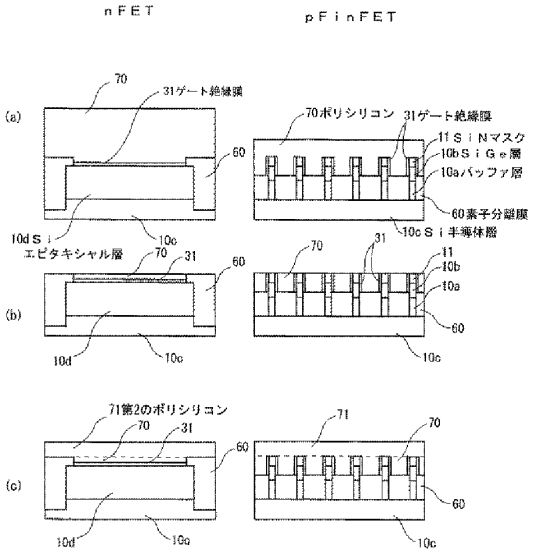
【図16】

図　１６
（第５の実施の形態）



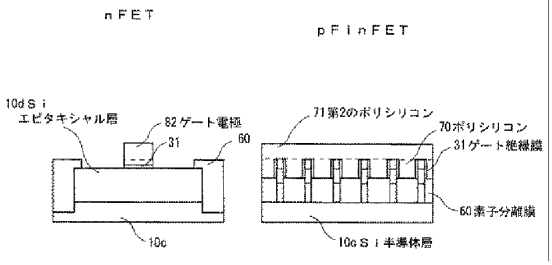
【図17】

図　１７
（第５の実施の形態）



【図18】

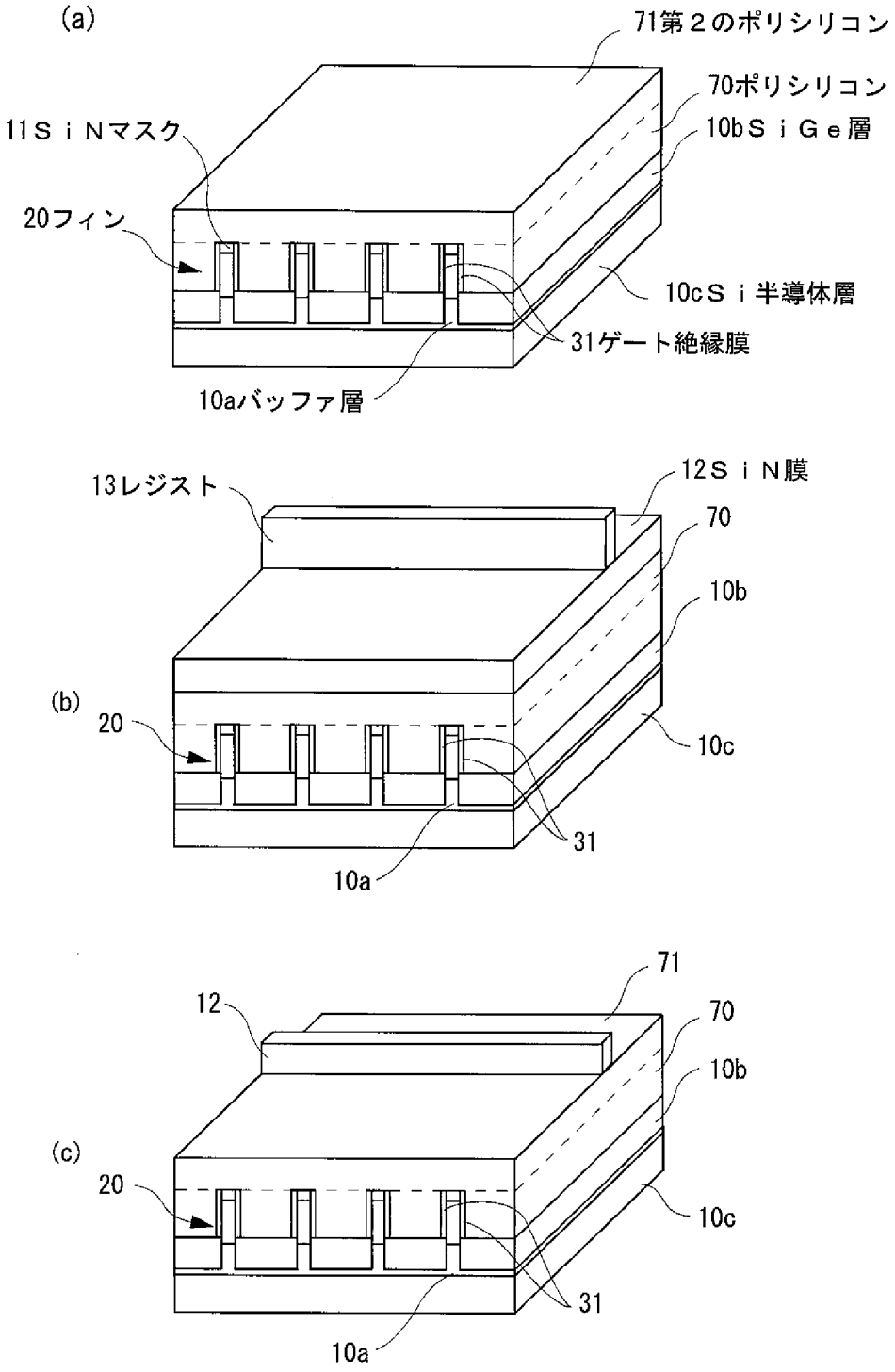
図　１８
（第５の実施の形態）



【手続補正書】
【提出日】平成18年4月21日(2006.4.21)
【手続補正1】
【補正対象書類名】図面
【補正対象項目名】図５
【補正方法】変更
【補正の内容】

【図5】

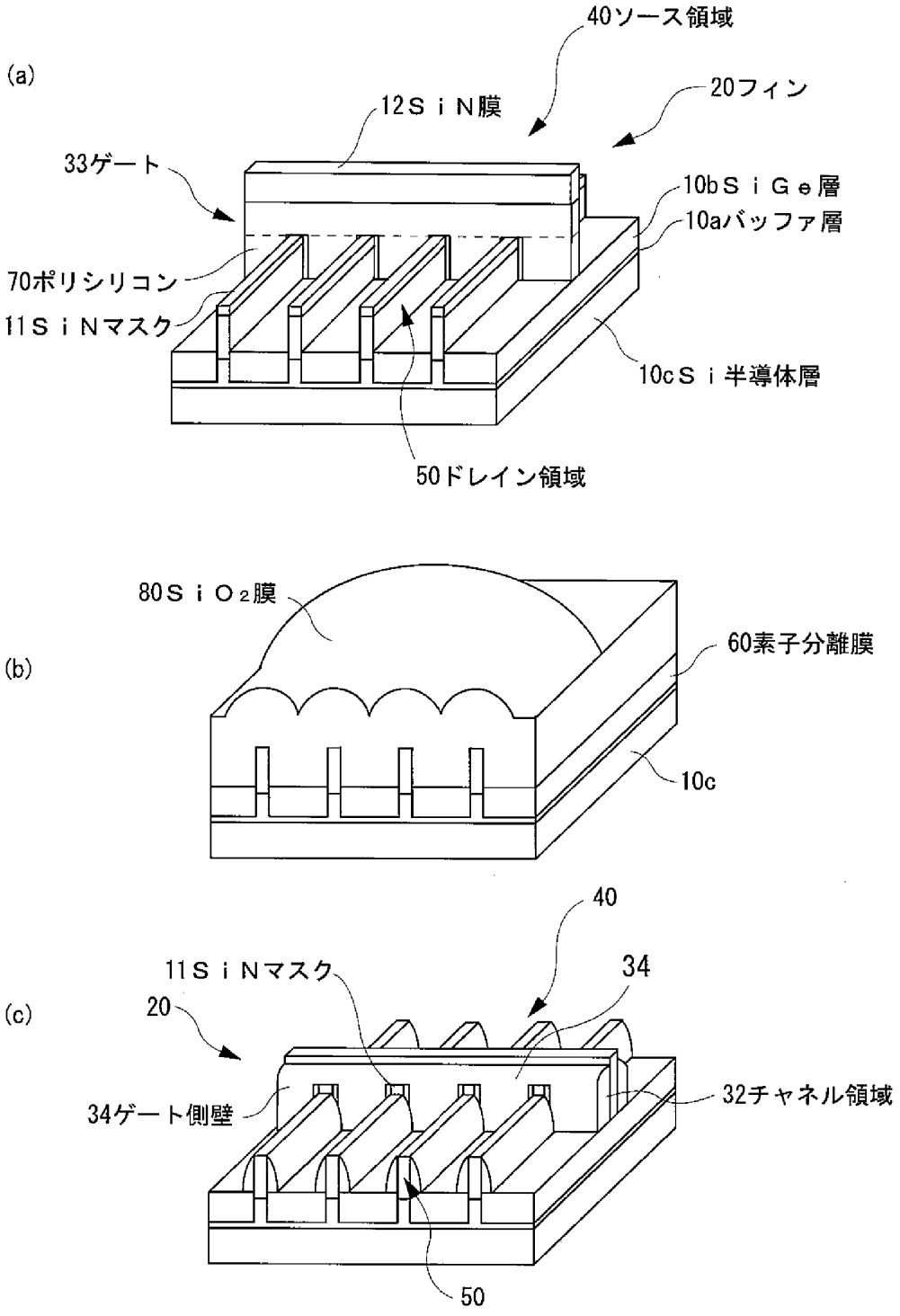
図　５


(a)
71第２のポリシリコン
70ポリシリコン
10bＳｉＧｅ層
11ＳｉＮマスク
20フィン
10cＳｉ半導体層
31ゲート絶縁膜
10aバッファ層
13レジスト
12ＳｉＮ膜
70
10b
(b)
20
10c
31
10a
71
12
70
10b
(c)
20
10c
31
10a

【手続補正2】
【補正対象書類名】図面
【補正対象項目名】図６
【補正方法】変更
【補正の内容】

【図6】

図　６

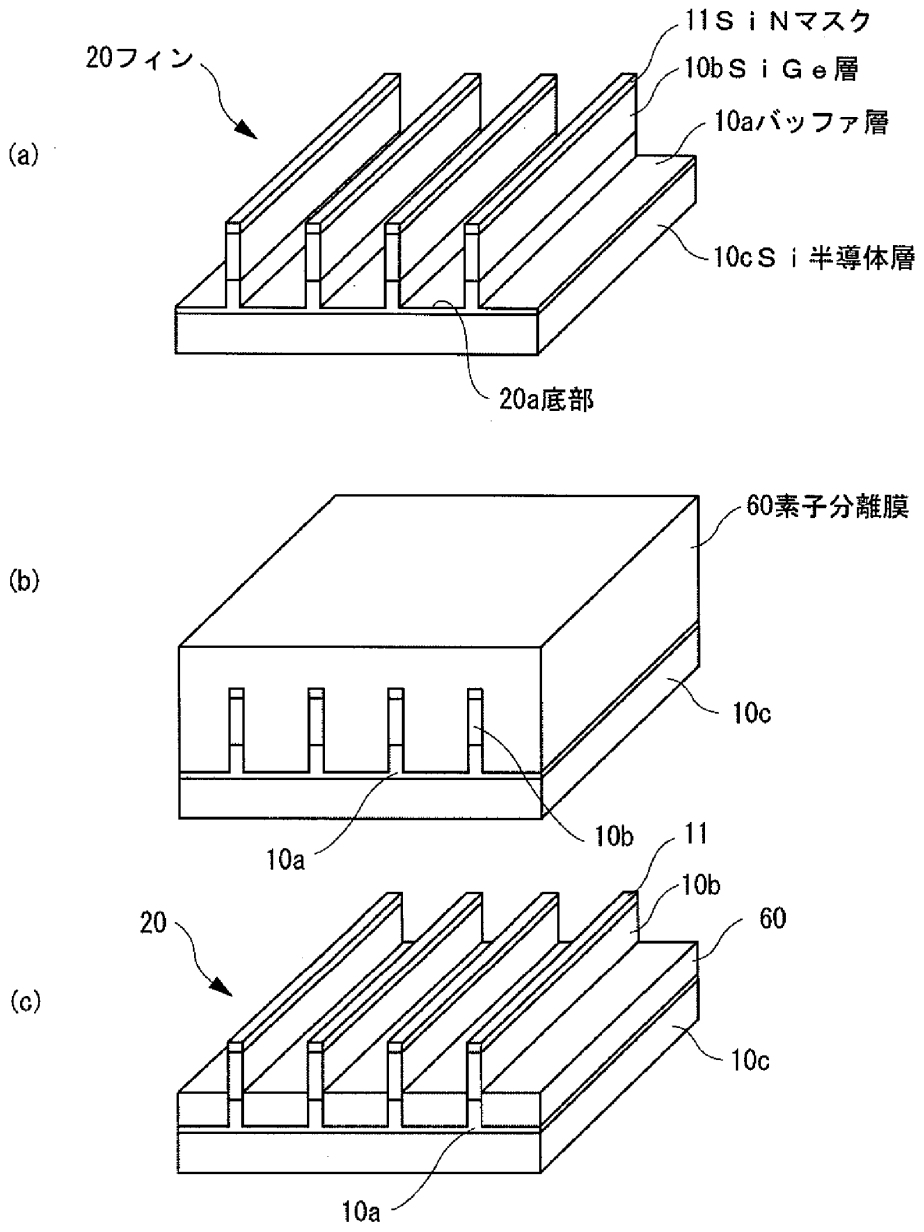

(a)
40ソース領域
20フィン
12ＳｉＮ膜
33ゲート
10bＳｉＧｅ層
10aバッファ層
70ポリシリコン
11ＳｉＮマスク
10cＳｉ半導体層
50ドレイン領域
(b)
80ＳｉＯ２膜
60素子分離膜
10c
(c)
40
11ＳｉＮマスク
34
20
34ゲート側壁
32チャネル領域
50

【手続補正書】

【提出日】平成19年3月14日(2007.3.14)
【手続補正1】
【補正対象書類名】図面
【補正対象項目名】図３
【補正方法】変更
【補正の内容】

【図3】

図　３

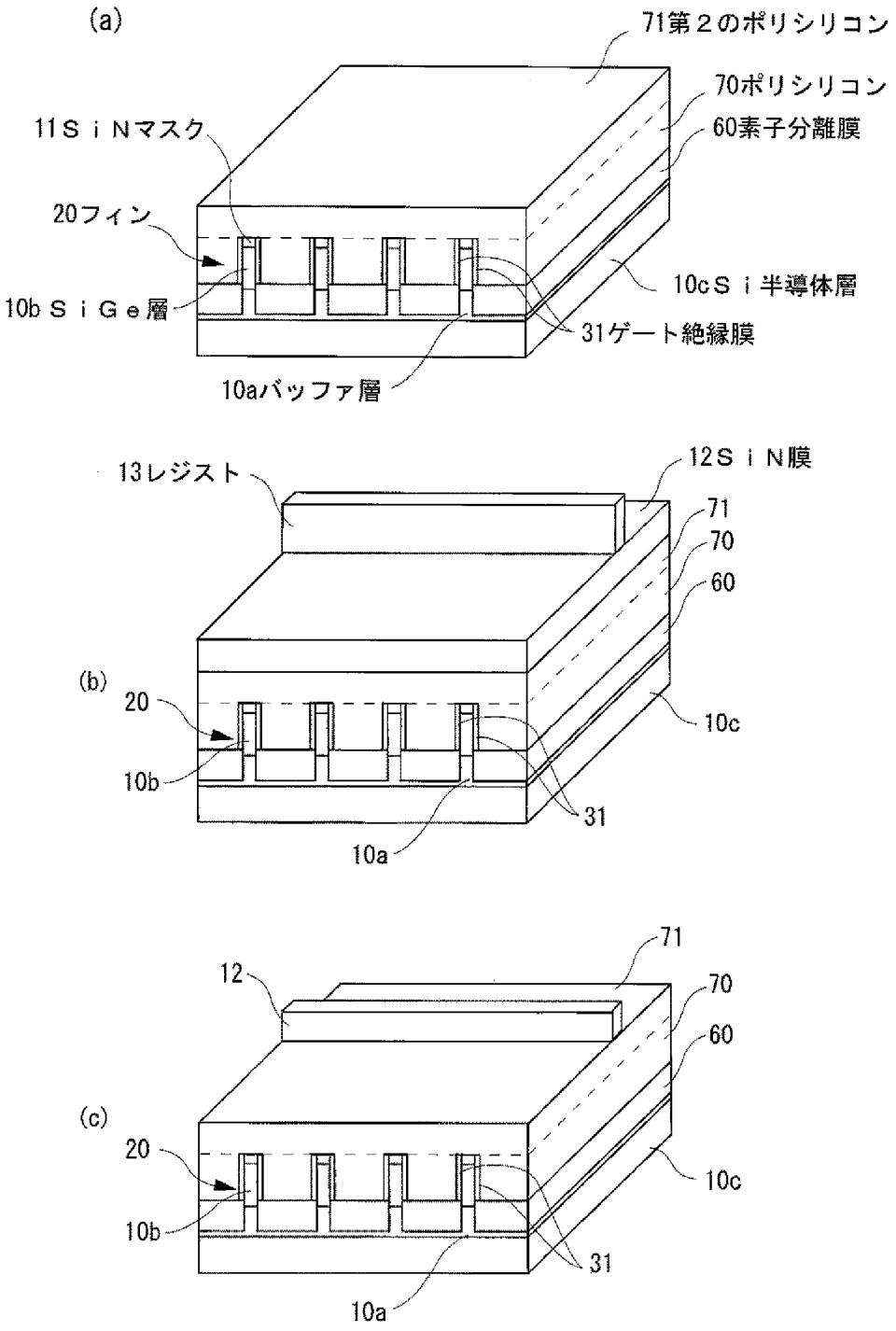


【手続補正2】
【補正対象書類名】図面
【補正対象項目名】図５
【補正方法】変更

【補正の内容】

【図5】

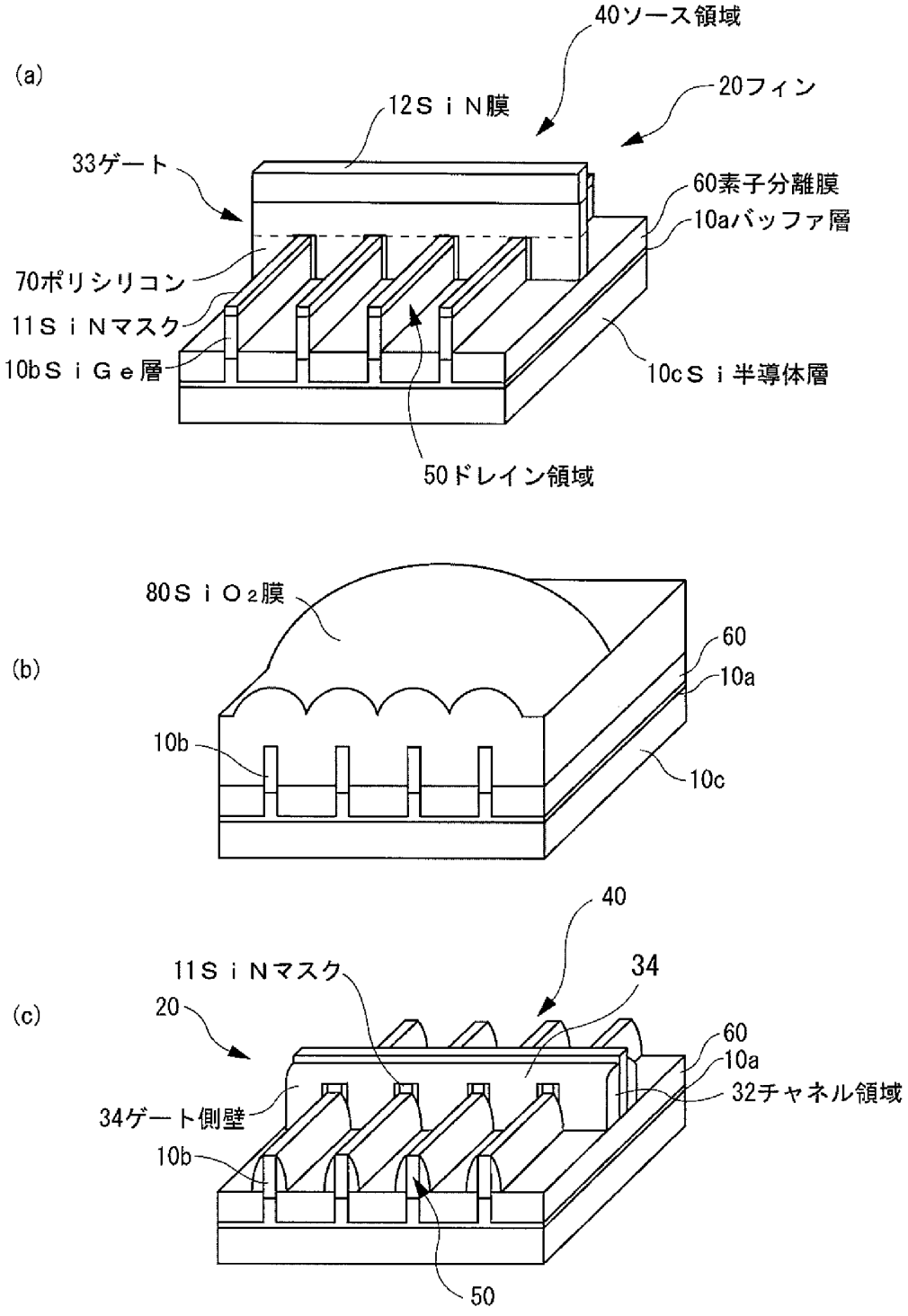
図　５


(a)
71第２のポリシリコン
70ポリシリコン
60素子分離膜
11ＳｉＮマスク
20フィン
10ｂＳｉＧｅ層
10ｃＳｉ半導体層
31ゲート絶縁膜
10aバッファ層
13レジスト
12ＳｉＮ膜
71
70
60
(b)
20
10b
10c
31
10a
71
12
70
60
(c)
20
10b
10c
31
10a

【手続補正3】
【補正対象書類名】図面
【補正対象項目名】図６
【補正方法】変更
【補正の内容】

【図6】

図　６


(a)
40ソース領域
20フィン
12ＳｉＮ膜
33ゲート
60素子分離膜
10aバッファ層
70ポリシリコン
11ＳｉＮマスク
10bＳｉＧｅ層
10cＳｉ半導体層
50ドレイン領域
(b)
80ＳｉＯ2膜
60
10a
10b
10c
(c)
40
11ＳｉＮマスク
34
20
60
10a
32チャネル領域
34ゲート側壁
10b
50

(51)Int.Cl.	FI		テーマコード（参考）
	Ｈ０１Ｌ　27/08	３２１Ｂ	
	Ｈ０１Ｌ　27/08	３２１Ｃ	

Ｆターム(参考)
5F048 AA01 AA08 AC01 AC03 BA03 BA04 BA06 BA12 BA14 BB01 BB03 BB06 BB07 BC05 BD01 BD06 BD10 BG13 BH03 DA23 DA25 DB02 DB03
5F110 AA07 BB04 CC02 DD05 DD13 EE09 EE32 EE45 FF02 FF23 GG01 GG02 GG07 GG12 GG19 GG22 GG25 GG44 HJ01 HJ13 HJ14 NN62 NN65 NN74
5F140 AA01 AA39 AB03 AC28 AC36 BA05 BA17 BB05 BC12 BC15 BC17 BE07 BF04 BF11 BF14 BF42 BF47 BG08 BG12 BG28 BG38 BG39 BG40 BG52 BG53 BH05 BH14 BK02 BK13 BK14 CB04 CE07 CE20

Espacenet

Bibliographic data: JP2007294757 (A) — 2007-11-08

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Inventor(s): YAGISHITA JUNJI ± (YAGISHITA JUNJI)

Applicant(s): TOSHIBA CORP ± (TOSHIBA CORP)

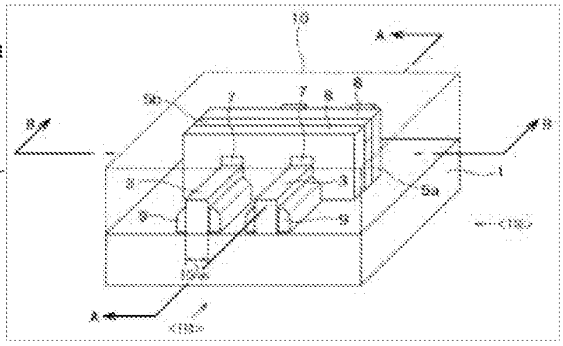
Classification: - international: ***H01L29/423; H01L29/49; H01L29/78; H01L29/786***
- cooperative: **H01L29/045 (EP, US)**; **H01L29/66643 (EP, US)**; **H01L29/66795 (EP, US)**; **H01L29/7839 (EP, US)**; **H01L29/7842 (EP, US)**; **H01L29/7845 (EP, US)**; **H01L29/785 (EP, US)**; H01L29/78684 (EP, US)

Application number: JP20060122503 20060426 Global Dossier

Priority number (s): JP20060122503 20060426

Also published as: JP4960007 (B2) US2007252211 (A1) US7755104 (B2)

Abstract of JP2007294757 (A)



PROBLEM TO BE SOLVED: To provide a semiconductor device capable of enhancing Hall mobility, and of reducing Schottky barrier in a p-type MOSFET structure. SOLUTION: The semiconductor device 100 having a p-type MOS double-gate structure comprises an n-type channel layer 2 formed on a substrate 1 extending in a first crystal plane direction <110> with its upper surface consisting of silicon or germanium in a <100> crystal plane direction; a source layer 3 and a drain layer 4 formed on the substrate 1, adjoining to the first channel layer 2 in the first crystal plane <110> direction, and Schottky-joined with the channel layer 2 and consisted of metal or metal silicide; a gate layer 5 formed on the substrate 1 and channel layer 2, extending in a second crystal plane direction <110>; and a gate insulating film 6 provided between the channel layer 2 and the gate layer 5. Uniaxial tensile strain is applied to a side wall of the channel layer in the second crystal plane

direction <110> perpendicular to a current direction. ;COPYRIGHT: (C) 2008,JPO&INPIT

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JP2007294757A

Semiconductor devices and methods for manufacturing semiconductor devices

[0001]

The present invention relates to, for example, a semiconductor device having a double gate structure and a method for manufacturing the semiconductor device.

[0002]

Conventionally, for example, a double gate transistor (for example, FinFET) has been proposed for miniaturization, low power consumption, and high speed of the transistor (see, for example, Patent Document 1).

[0003]

The merits of this structure are (1) because it has two gates, it is strong against the short channel effect and can reduce the punch-through (leakage) current between the source and drain.

[0004]

Further, (2) the mobility can be improved because the electric field in the vertical direction of the channel is small.

[0005]

Further, (3) the channel width (fin height or number) can be increased by the amount that the off-current is reduced, so that the current can be increased, and the like.

[0006]

In another conventional technique, a Schottky source / drain transistor technique in which the source / drain region of a transistor is formed of metal instead of a diffusion layer of impurities has been proposed (see, for example, Non-Patent Document 1).

[0007]

By using this structure, the parasitic resistance in the source region and the drain region can be reduced, and a shallow junction (Schottky junction) can be formed.

[0008]

Further, since impurities are not used in the source / drain, it is not necessary to perform a high-temperature heating process for activation, the manufacturing process can be remarkably simplified, and the LSI manufacturing cost can be reduced.

[0009]

Furthermore, since the Schottky barrier exists at the end of the source, the off-current can be suppressed and the short channel effect can be suppressed (miniaturization can be achieved).

[0010]

Further, especially in the Ge channel transistor, the solid solubility of the dopant (dopant) is low, and the dopant is easily diffused.

Therefore, it is desirable that the source / drain structure be Schottky joint.

[0011]

On the other hand, the problem with this transistor is to reduce the Schottky contact resistance (silicon / silicide or metal interfacial resistance).

[0012]

One of the solutions is work function control technology for source / drain materials.

For example, a method in which a metal or VDD (ErSi2, etc.) having a small work function is used for the source / drain of an n-type MOS transistor, and a metal or VDD (PtSi, etc.) having a large work function is used for the source / drain of a p-type MOS transistor. Has been proposed (see, for example, Non-Patent Document 1).

[0013]

By using this technique, the Schottky barrier height of the n-type MOS transistor can be set to about 0.28 eV, and the Schottky barrier height of the p-type MOS transistor can be set to about 0.22 eV.

[0014]

That is, it is possible to form a metal silicide source / drain having a somewhat low Schottky contact resistance for an n-type MOS transistor and a p-type MOS transistor.

[0015]

However, it was still insufficient to obtain a sufficiently high current, and further reduction of the Schottky barrier was required.

[0016]

On the other hand, it was difficult to further reduce the Schottky barrier because the Fermi-level-pinning effect was adversely affected only by controlling the work function of metal.

[0017]

The technique proposed there is a combination technique of "distortion channel and Schottky junction".

This is a technique that uses strain (mechanical stress) in order to reduce the height of the Schottky barrier, that is, to reduce the contact resistance (see, for example, Non-Patent Document 2).

[0018]

Further, as another conventional technique, a technique for improving carrier mobility by distorting the channel has been developed.

In the Planar-pMOSFET, compression distortion from SiGe embedded in the source / drain region is effective.

In this Planar-nMOSFET, it is effective to apply tensile strain from SiC embedded in the source / drain region, or to deposit a film with tensile strain on the gate and source / drain to apply tensile strain to the channel. It is known that there is.

[0019]

As described above, according to the above-mentioned conventional techniques (distortion channel technique and Schottky source / drain technique), in the case of an n-type MOS transistor, tensile strain is used, so that the mobility is improved and the Schottky barrier is improved. Can be reduced.

[0020]

That is, the Schottky source / drain n-type MOS FinFET could be made to have a high drive current by simply combining the conventional techniques.

[0021]

However, even with the above-mentioned conventional technique, since compression strain is used in the p-type MOS transistor, there is a problem that the carrier mobility is improved but the Schottky barrier cannot be reduced.

[0022]

Therefore, it was not possible to increase the drive current of the Schottky source / drain p-type MOS FinFET.

特開２００５－２９４７８９号公報

Jakub Kedzierski et al., IEDM Technical digest, pp.57-60, (2000)

A. Yagishita, T-J. King, and J. Bokor, "Schottky Barrier Height Reduction and Drive Current Improvement in Metal Source/Drain MOS F E T with Strained-Si Channel", Jpn. J. Appl. Phys., Vol.43, No.4B, pp.1713-1716, (2004)

[0023]

The present invention solves the above problems, and is a semiconductor device capable of improving the hole mobility and reducing the Schottky barrier (contact resistance) with a p-type MOSFET structure, and a method for manufacturing the semiconductor device. The purpose is to provide.

[0024]

The semiconductor device according to one aspect of the present invention is a semiconductor device having a p-type MOS double gate structure, the upper surface of which is made of silicon or germanium having a crystal plane orientation of <100>, and a first crystal plane orientation on a substrate. A metal that is formed on the substrate adjacent to the channel layer extending to <110> on one end side in the direction of the first crystal plane orientation <110> and is Schottky-bonded to the channel layer. Alternatively, a metal or metal silicide formed on the substrate adjacent to the source layer made of metal silicide and the other end side of the channel layer in the direction of the first crystal plane orientation <110> and to be Schottky-bonded to the channel layer. A drain layer composed of the same, a gate layer adjacent to the side wall of the channel layer and extending in a second crystal plane orientation <110> direction perpendicular to the current direction of the channel layer, and at least a gate layer formed on the substrate. A side wall of the channel layer is provided with a gate insulating film provided between the channel layer and the gate layer, and the uniaxial tensile strain is perpendicular to the current direction in the second crystal plane orientation <110> direction. It is characterized by being added to.

[0025]

Further, the method for manufacturing a semiconductor device according to another aspect of the present invention is a method for manufacturing a semiconductor device having a p-type MOS double gate structure, in which the upper surface provided on the substrate has a crystal plane orientation of <100>. An insulating film is formed on silicon or germanium, and the silicon or germanium is selectively etched to form fins extending in the first crystal plane orientation <110>, and gate insulation is provided on the side surfaces of the fins. The insulating film and the substrate on the region to be the channel layer of the fin so as to form a film and extend in the second crystal plane orientation <110> perpendicular to the first crystal plane orientation <110>. A polysilicon layer is formed on the fins, the insulating film exposed on the fins is removed, and a region of the fins from which the insulating film has been removed is selectively silicinated, and the fins are combined with the channel layer. It is characterized in that a source layer and a drain layer to be Schottky-bonded are formed, and the polysilicon layer is selectively silicinated to form a gate layer made of a shrinkable material.

[0026]

Further, the method for manufacturing a semiconductor device according to still another aspect of the present invention is a method for manufacturing a semiconductor device having a p-type MOS double gate structure, in which the upper surface provided on the substrate has a crystal plane orientation of <100>. By forming an insulating film on the silicon or germanium of the above and selectively etching the silicon or the germanium, fins are formed so as to extend in the first crystal plane orientation <110>, and a gate is formed on the side surface of the fin. The insulating film is formed, and the insulating film is formed on the region to be the channel layer of the fin so as to extend in the second crystal plane orientation <110> perpendicular to the first crystal plane orientation <110> and the said. A polysilicon layer was formed on the substrate, an insulating gate side wall was formed on the side surface of the polysilicon layer, the insulating film exposed on the fins was removed, and the insulating film of the fins was removed. The region is selectively sintered to form a source layer and a drain layer to be Schottky-bonded to the channel layer on the fins, and an interlayer insulating film is deposited and etched back to expose the upper part of the polysilicon layer. It is characterized in that the polysilicon layer is selectively removed and a shrinkable material is embedded in a gate groove whose inner wall is formed of the gate side wall to form a gate layer.

[0027]

According to the semiconductor device according to one aspect of the present invention and the method for manufacturing the semiconductor device, the hole mobility is improved in the p-type MOSFET structure by the uniaxial tensile strain in the direction perpendicular to the current direction, and the Schottky barrier (contact). Resistance) can be reduced.

[0028]

Hereinafter, each embodiment to which the present invention is applied will be described with reference to the drawings.

[0029]

FIG. 1A is a perspective view showing the configuration of a main part of the semiconductor device according to the first embodiment of the present invention.

Further, FIG. 1B is a cross-sectional view showing a cross section of the semiconductor device 100 along the line AA of FIG. 1A.

Further, FIG. 1C is a cross-sectional view showing a cross section of the semiconductor device 100 along the line BB of FIG. 1A.

[0030]

As shown in FIGS. 1A to 1C, the semiconductor device 100 having a p-type MOS double gate structure is made of silicon (Si) or germanium (Ge) containing impurities and having a crystal plane orientation of <100> on the upper surface, and is a substrate. An n-type channel layer 2 formed on the 1 extending in the first crystal plane orientation <110> is provided.

[0031]

For the substrate 1, BOX (Buried Oxide: embedded oxide film), bulk silicon, or the like is selected.

When forming the channel layer 2 using silicon, for example, an SOI (Silicon-On-Insulator) substrate may be used for the substrate 1.

Further, when forming the channel layer 2 using germanium, for example, a GOI (Germanium-On-Insulator) substrate may be used for the substrate 1.

[0032]

Further, the semiconductor device 100 is formed on the substrate 1 adjacent to the channel layer 2 on one end side in the direction of the first crystal plane orientation <110>, and is a source made of metal or metal silicide that is Schottky-bonded to the channel layer 2. A layer 3 and a drain layer 4 made of metal or metal silicide formed on the substrate 1 adjacent to the channel layer 2 on the other end side in the first crystal plane orientation <110> direction and to be Schottky-bonded to the channel layer 2. , is equipped.

[0033]

The channel layer 2, the source layer 3, and the drain layer 4 form a fin 11 having a double gate structure.

[0034]

Further, the semiconductor device 100 is formed on the substrate 1 and the channel layer 2 so as to be adjacent to the side wall of the channel layer 2 and extend in the second crystal plane orientation <110> direction perpendicular to the current direction of the channel layer 2. The gate layer 5, the gate insulating film 6 provided between the channel layer 2 and the gate layer 5, and the insulating film 7 provided between the upper surface of the channel layer 2 and the gate layer 5, for example, SiN. And have.

[0035]

The gate layer 5 contains a shrinkable material, and due to this shrinkage, uniaxial tensile strain is applied to the side wall of the channel layer in the second crystal plane orientation <110> direction perpendicular to the current direction. ..

For this shrinkable material, for example, TiSi2 and CoSi2 are selected.

[0036]

In order to apply the uniaxial tensile strain to the side wall of the channel layer in the second crystal plane orientation <110> direction perpendicular to the current direction, the gate layer 5 has at least a double gate structure. It suffices if it is formed on the substrate 1.

[0037]

Further, a gate side wall 8 such as a TEOS (TetraEthOxySilane) film is formed on the side wall of the gate layer 5.

[0038]

Further, fin side walls 9 such as a TEOS (TetraEthOxySilane) film are formed on the side walls of the source layer 3 and the drain layer 4.

[0039]

Further, in the semiconductor device 100, an interlayer insulating film 10 such as a TEOS film that insulates the above-mentioned components is formed on the substrate 1.

[0040]

Here, the reason why the above configuration is adopted for the Schottky source / drain p-type MOS double gate transistor will be described.

[0041]

First, in the above configuration, the reason why the channel is distorted due to the tensile strain will be described.

[0042]

FIG. 2A is a diagram showing a band structure change due to strain of silicon (Si). Further, FIG. 2B is a diagram showing a change in the band structure due to the strain of germanium (Ge).

[0043]

As shown in FIGS. 2A and 2B, the energy levels of 2fold-valley (Δ2) and 4fold-valley (Δ4) are affected by tensile strain.

[0044]

That is, it is considered that the barrier height for 2fold-valley (as seen from the metal source / drain) is reduced and the barrier height for 4fold-valley is increased.

[0045]

Since the Schottky barrier for 2 fold-valley, which has a light effective mass, is reduced, it is considered that the drive current of the n-type MOS transistor increases.

[0046]

On the other hand, considering the case of a hole, as shown in FIGS. 2A and 2B, when tensile strain is applied, the energy level of the light-hole (lh) valley rises, and the energy level of the heavy-hole (hh) valley is too low. It does not change.

Since the Schottky barrier for the light-hole (lh) valley, which has a light effective mass, is reduced, it is considered that the drive current of the p-type MOS transistor also increases.

[0047]

As described above, from FIGS. 2A and 2B, tensile strain is effective for reducing the Schottky barrier of the p-type MOS transistor, and compression strain cannot obtain the effect of reducing the Schottky barrier.

[0048]

Next, in the above configuration, the direction of tensile strain (second crystal plane orientation <110> direction) and the channel direction ((current direction) (first crystal plane orientation <110> direction)) are perpendicular to each other. I will explain the reason why I chose it.

[0049]

FIG. 3A is a model diagram showing the relationship between the distortion component and the effectiveness for Hall mobility in the p-type MOS transistor (Si channel).

In FIG. 3A, the crystal plane orientation of the upper surface of silicon is <100>, and the channel direction (current direction) <110> is perpendicular to the fin side surface <110>.

[0050]

As shown in FIG. 3A, in a p-type MOS transistor (Si channel), when the channel direction (current direction) <110> and the tensile strain direction <110> are perpendicular, it is effective in improving the hole mobility. Is.

It should be noted that even when the channel direction (current direction) and the compression strain direction are parallel, it is effective in improving the hole mobility.

[0051]

Further, FIG. 3B is a model diagram showing the relationship between the distortion component and the effectiveness for Hall mobility in the p-type MOS transistor (Ge channel).

In FIG. 3B, the crystal plane orientation of the upper surface of germanium is <100>, and the channel direction (current direction) <110> is perpendicular to the fin side surface <110>.

[0052]

As shown in FIG. 3B, in a p-type MOS transistor (Ge channel), when the channel direction (current direction) <110> and the tensile strain direction <110> are perpendicular, it is effective in improving the hole mobility. Is.

It should be noted that even when the channel direction (current direction) and the compression strain direction are parallel, it is effective in improving the hole mobility.

[0053]

As described above, in the p-type MOS double gate transistor having a channel having a crystal plane orientation of <100> on the upper surface, the channel direction (current direction) <110> and the tensile strain direction <110 are similarly performed for both the Si channel and the Ge channel. When> is vertical, it is effective in improving the hole mobility.

[0054]

From the above, from the viewpoint of reducing the Schottky barrier and improving the hole mobility, the above-described configuration was selected for the p-type MOS FinFET having a Schottky source / drain.

[0055]

Next, a method of manufacturing the semiconductor device 100 having the p-type MOS double gate structure as described above will be described.

[0056]

4A to 4K are perspective views of each step for explaining the manufacturing method of the semiconductor device 100 according to the first embodiment of the present invention.

Further, FIG. 5A is a cross-sectional view showing a cross section taken along the line AA of FIG. 4J.

Further, FIG. 5B is a cross-sectional view showing a cross section taken along the line BB of FIG. 4J.

Further, FIG. 6A is a cross-sectional view showing a cross section taken along the line AA of FIG. 4K.

Further, FIG. 6B is a cross-sectional view showing a cross section taken along the line BB of FIG. 4K.

[0057]

First, when silicon is used for the fin 11, an SOI substrate (BOX) having a crystal plane orientation of <100> on the upper surface is prepared, and the SOI thickness is reduced to, for example, about 50 nm to 100 nm.

When a germanium is used for the fin 11, a GOI substrate is prepared as described above.

[0058]

Then, channel doping is performed on the body region that becomes the channel layer 2.

Here, the dose amount is adjusted so that the channel concentration is about 1 × 1017 / cm3.

[0059]

Then, a SiN hard mask 7 having a size of about 70 nm is deposited.

That is, the insulating film 7 is formed on silicon (or germanium) whose upper surface is provided on the substrate 1 and whose crystal plane orientation is <100>.

[0060]

Using this SiN hard mask (insulating film) 7, patterning of fins 11 and RIE (Reactive Ion Etching) treatment are performed.

That is, by selectively etching silicon (or germanium), fins 11 are formed so as to extend in the first crystal plane orientation <110> (FIG. 4A).

[0061]

If the direction of the fin line pattern is, for example, parallel or perpendicular to the notch direction (<110> direction) of the SOI substrate (GOI substrate), the side surface of the fin 11 becomes a <110> plane.

[0062]

Next, a gate insulating film (not shown) is formed on the side surface of the fin 11, and the first layer of gate polysilicon (Poly-Si) 5a is deposited at about 300 nm.

At this time, since polysilicon is deposited on the step of the fin 11, a large step 12 is formed on the surface of the polysilicon (FIG. 4B).

[0063]

Next, this polysilicon is flattened by CMP (Chemical Mechanical Polishing) treatment and etched back until the SiN hard mask 7 is exposed (FIG. 4C).

[0064]

Next, the second polysilicon layer 5b is deposited at about 50 nm (Fig. 4D).

When the gate layer is formed by the FUSI (FUll Silicidation) technique, the second polysilicon layer 5b and the first polysilicon layer 5a are combined and used as a material for the gate layer 5.

[0065]

Next, a SiN hard mask 15 is deposited on the second polysilicon layer 5b as a hard mask at about 100 nm, and a resist or hard mask 16 for forming a gate pattern perpendicular to the fins 11 is further applied. Accumulate (Fig. 4E).

[0066]

Next, the SiN hard mask 15 is RIE-treated to form a SiN hard mask 16 as a hard mask for gate processing on the polysilicon layer 5b (FIG. 4F).

[0067]

Next, the polysilicon layers 5a and 5b are RIE-treated to form a gate pattern.

That is, on the SiN hard mask (insulating film) 7 on the region to be the channel layer 2 of the fin 11 so as to extend in the second crystal plane orientation <110> perpendicular to the first crystal plane orientation <110>. Polysilicon layers 5a and 5b are formed on the substrate 1 (FIG. 4G).

[0068]

Next, a material (for example, TEOS) used for the gate side wall is deposited on the entire surface and etched back.

As a result, a gate side wall (TEOS film) 8 having a thickness of about 40 nm is formed (FIG. 4H).

[0069]

Further, the SiN hard mask 7 is subjected to RIE treatment to remove the SiN hard mask 7 on the fins 11 by etching.

That is, the SiN hard mask (insulating film) 7 exposed on the fins 11 is selectively removed (FIG. 4H).

The etching conditions and the SiN film thickness are adjusted so that the SiN hard mask 16 on the polysilicon layer 5b remains.

[0070]

Next, VDD is attached to the portion of the fin 11 that becomes the source / drain region to form a Schottky bond with the channel layer 2.

That is, the region of the fins 11 from which the insulating film 7 has been removed is selectively silicidized to form a source layer 3 and a drain layer 4 that are Schottky-bonded to the channel layer 2 (FIG. 4I).

As the source / drain silicide material, for example, PtSi may be used for the p-type MOS transistor.

[0071]

For example, when an n-type MOS transistor is separately formed, ErSi may be used.

[0072]

In addition, the process conditions are controlled so that the source / drain layers 3 and 4 do not distort the channel layer 2.

Since the polysilicon layers 5a and 5b to be the gate layer 5 are covered with the SiN hard mask 16 and the gate side wall 8, they are not silicated at this point.

[0073]

Next, TEOS or the like is deposited as the interlayer insulating film 10 at about 400 nm and flattened by CMP treatment (FIG. 4I).

[0074]

The interlayer insulating film 10 is completely etched back to expose the SiN hard mask 16.

Further, the remaining SiN hard mask 16 is removed with hot phosphoric acid to expose the upper portion of the polysilicon layer 5b (FIGS. 4J, 5A, 5B).

[0075]

Next, the polysilicon layers 5a and 5b are silicidized from the upper surface.

That is, the polysilicon layers 5a and 5b are selectively silicidized to form a gate layer 5 made of a shrinkable material (FIGS. 4K, 6A, 6B).

As the ferrite material for the gate, for example, TiSi2 or CoSi2, which are shrinkable materials, are selected.

[0076]

As described above, the FinFET gate and source / drain can be silicidized, and the gate VDD formation and the source / drain VDD formation can be performed in separate steps.

[0077]

Therefore, it is possible to prevent the source / drain SiO from becoming too deep (growing too laterally).

[0078]

Further, depending on the process conditions, since TiSi2 (or CoSi2) is a shrinkable material (because it is a material having a larger coefficient of thermal expansion than silicon), tensile strain is applied to the fin side surface (<110> surface). (Fig. 6B).

At this time, distortion occurs in the compression direction by the Poisson ratio in the current direction.

[0079]

However, the strain from the source / drain layers 3 and 4 is reduced so that the compression strain due to the process strain higher than the strain in the compression direction does not occur.

Of course, stressor technology such as an element structure (e-SiGe) in which SiGe having compression strain is embedded in the source / drain region is not used.

[0080]

However, since the channel layer 2 (particularly long-channel) of the fin 11 has a structure in which distortion from the source / drain layers 3 and 4 is not easily transmitted, the p-type MOS double gate transistor (p-type MOS-FinFET) is not easily transmitted. It is advantageous.

[0081]

Further, according to this embodiment, since TiSi2 is a shrinkable material, tensile strain is applied to the fin side surface (<110> surface) of the p-type MOS transistor.

[0082]

That is, the mobility of the p-type MOS double gate transistor (p-type MOS-FinFET) is improved, and the contact resistance of the Schottky source / drain is reduced.

[0083]

Further, since the strain of the gate layer 5 is used, the tensile strain can be efficiently and easily applied to the channel layer 2 of the fin 11.

[0084]

Furthermore, since FUSI technology is used, the silicide gate can be formed relatively easily.

[0085]

As described above, according to the semiconductor device and the method for manufacturing the semiconductor device according to the present embodiment, the hole mobility can be improved and the Schottky barrier (contact resistance) can be reduced.

[0086]

In Example 1, a method of manufacturing a semiconductor device for producing a silicide gate using FUSI technology has been described.

In this embodiment, a method of manufacturing a semiconductor device in which a material other than SiO such as pure metal is applied to the gate by using the damascene gate technology will be described.

[0087]

7A and 7B are perspective views of each step for explaining the manufacturing method of the semiconductor device 200 according to the second embodiment of the present invention.

Further, FIG. 8A is a cross-sectional view showing a cross section taken along the line AA of FIG. 7B.

Further, FIG. 8B is a cross-sectional view showing a cross section taken along the line BB of FIG. 7B.

[0088]

Further, FIG. 9A is a cross-sectional view showing a cross section taken along the line AA of the step after FIG. 8A.

FIG. 9B is a cross-sectional view showing a cross section taken along the line BB of the step after FIG. 8A.

[0089]

Furthermore, FIG. 10A is a cross-sectional view showing a cross section of the semiconductor device 200 along the line AA of the step after FIG. 9A.

FIG. 10B is a cross-sectional view showing a cross section of the semiconductor device 200 along the line BB of the step after FIG. 9A.

[0090]

In the figure, the same reference numerals as those of the first embodiment indicate the same configurations as those of the first embodiment.

[0091]

Further, the method for manufacturing the semiconductor device of the second embodiment is the same as the steps up to FIG. 4J described in the first embodiment.

[0092]

After forming source layers / drain layers 3 and 4 to form a Schottky bond by the same process as in FIG. 4I of Example 1, TEOS or the like is deposited as an interlayer insulating film 10 at about 400 nm and flattened by CMP treatment. (Fig. 7A).

[0093]

By the same process as in FIG. 4I of Example 1, the interlayer insulating film 10 is completely etched back to expose the SiN hard mask 16.

Further, for example, the SiN hard mask 16 is removed with hot phosphoric acid to expose the upper portion of the polysilicon layer 5b (FIGS. 7B, 8A, 8B).

[0094]

Next, the polysilicon layers 5a and 5b sandwiched between the gate side walls 8 are selectively removed by CDE (Chemical Dry Etching) treatment or the like.

(FIGS. 9A, 9B).

[0095]

Next, a shrinkable material is embedded in the gate groove whose inner wall is composed of the gate side wall 8 by the damascene method to form a gate layer 13 made of the shrinkable material (FIGS. 10A and 10B).

[0096]

That is, after the gate material is deposited on the entire surface, it is flattened by CMP treatment and remains only in the gate groove.

Here, for example, TiN, W, and WSi having shrinkage properties are used as the gate material of the p-type MOS transistor.

[0097]

As described above, the semiconductor device 200 in which the gate layer 5 of the semiconductor device 100 shown in FIG. 1A is replaced with the gate layer 13 to which a metal such as TiN, W, WSi or the like is applied is completed.

[0098]

As described above, since TiN, W, and WSi are shrinkable materials, tensile strain is applied to the fin 11 side surface (<110> surface) of the p-type MOS double gate transistor.

[0099]

That is, the hole mobility of the p-type MOS double gate transistor is improved, and the contact resistance of the Schottky source / drain is reduced.

[0100]

Since the strain of the gate layer is used, the tensile strain can be easily applied to the channel layer of the fin.

[0101]

Furthermore, since the damascene gate technology is used, materials other than SiO such as pure metal can be applied to the gate layer.

[0102]

By using this damascene gate process, for example, when an n-type MOS transistor is separately formed, it is possible to embed a gate material different from the p-type MOS.

[0103]

As described above, according to the semiconductor device and the method for manufacturing the semiconductor device according to the present embodiment, the hole mobility can be improved and the Schottky barrier (contact resistance) can be reduced.

[0104]

It is a perspective view which shows the structure of the main part of the semiconductor device which concerns on Example 1 of this invention which is one aspect of this invention.

It is sectional drawing which shows the cross section of the semiconductor device along the line AA of FIG. 1A.

It is sectional drawing which shows the cross section of the semiconductor device along the line BB of FIG. 1A.

It is a figure which shows the band structure change by the strain of silicon (Si).

It is a figure which shows the band structure change by the strain of germanium (Ge).

It is a model diagram which shows the relationship between the distortion component and the effectiveness with respect to the hole mobility in a p-type MOS transistor (Si channel).

It is a model diagram which shows the relationship between the distortion component and the effectiveness with respect to hole mobility in a p-type MOS transistor (Ge channel).

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 1 of this invention.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 1 of this invention.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 1 of this invention.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 1 of this invention.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 1 of this invention.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 1 of this invention.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 1 of this invention.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 1 of this invention.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 1 of this invention.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 1 of this invention.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 1 of this invention.

It is sectional drawing which shows the cross section along the line AA of FIG. 4J.

It is sectional drawing which shows the cross section along the line BB of FIG. 4J.

It is sectional drawing which shows the cross section along the line AA of FIG. 4K.

It is sectional drawing which shows the cross section along the line BB of FIG. 4K.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 2 of this invention.

It is a perspective view of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 2 of this invention.

It is sectional drawing which shows the cross section along the line AA of FIG. 7B.

It is sectional drawing which shows the cross section along the line BB of FIG. 7B.

It is sectional drawing of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 2 of this invention.

It is sectional drawing of the process for demonstrating the manufacturing method of the semiconductor device which concerns on Example 2 of this invention.

It is sectional drawing which shows the cross section of the semiconductor device along the line AA of the process after FIG. 9A.

9 is a cross-sectional view showing a cross section of the semiconductor device along the line BB of the step after FIG. 9A.

Code description

[0105]

1 Substrate 2 Channel layer 3 Source layer 4 Drain layer 5 Gate layer 5a Polysilicon layer 5b Polysilicon layer 6 Gate insulating film 7 SiN hard mask (insulating film) 8 Gate side wall 9 Fin side wall 10 Interlayer insulating film 11 Fin 12 Step 13 Gate Layer 14 Gate groove 15 SiN hard mask 16 Resist or hard mask 100, 200 Semiconductor device

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JP2007294757A

1.

A semiconductor device having a p-type MOS double gate structure, the upper surface of which is made of silicon or germanium having a crystal plane orientation of <100>, and a channel layer formed on a substrate extending in the first crystal plane orientation <110>. And the channel layer and the source layer made of metal or metal silicide formed on the substrate adjacent to the channel layer on one end side in the direction of the first crystal plane orientation <110> and to be Schottky-bonded to the channel layer, and the channel. A drain layer made of metal or metal silicide formed on the substrate adjacent to the layer on the other end side in the direction of the first crystal plane orientation <110> and Schottky-bonded to the channel layer, and a side wall of the channel layer. A gate layer is provided between the channel layer and the gate layer, which is adjacent to the gate layer and extends in the second crystal plane orientation <110> direction perpendicular to the current direction of the channel layer and is formed at least on the substrate. The gate insulating film is provided, and a uniaxial tensile strain is applied to the side wall of the channel layer in the second crystal plane orientation <110> direction perpendicular to the current direction. Semiconductor device.

2.

The gate layer contains a shrinkable material, and due to this shrinkage, the uniaxial tensile strain is perpendicular to the side wall of the channel layer in the second crystal plane orientation <110> direction perpendicular to the current direction. The semiconductor device according to claim 1, wherein the semiconductor device is added.

3.

The semiconductor device according to claim 2, wherein the shrinkable material is any one of TiSi2, CoSi2, TiN, W, or WSi.

4.

A method for manufacturing a semiconductor device having a p-type MOS double gate structure, wherein an insulating film is formed on silicon or germanium having a crystal plane orientation of <100> on the upper surface provided on the substrate, and the silicon or germanium is formed. By selectively etching, fins are formed so as to extend in the direction of the first crystal plane orientation <110>, a gate insulating film is formed on the side surface of the fins, and the fins are perpendicular to the first crystal plane orientation <110>. A polysilicon layer is formed on the insulating film and the substrate on the region to be the channel layer of the fin so as to extend in the second crystal plane orientation <110>, and is exposed on the fin. The insulating film is removed, and the region of the fin from which the insulating film has been removed is selectively carboxylated to form a source layer and a drain layer that are Schottky-bonded to the channel layer on the fins, and the polysilicon layer is formed. A method for manufacturing a semiconductor device, which comprises selectively forming a gate layer made of a shrinkable material.

5.

A method for manufacturing a semiconductor device having a p-type MOS double gate structure, wherein an insulating film is formed on silicon or germanium having a crystal plane orientation of <100> on the upper surface provided on the substrate, and the silicon or germanium is formed. By selectively etching, fins are formed so as to extend in the direction of the first crystal plane orientation <110>, a gate insulating film is formed on the side surface of the fins, and the fins are perpendicular to the first crystal plane orientation <110>. A polysilicon layer is formed on the insulating film and the substrate on the region to be the channel layer of the fin so as to extend in the second crystal plane orientation <110>, and is insulated on the side surface of the polysilicon layer. A property gate sidewall is formed, the insulating film exposed on the fins is removed, and a region of the fins from which the insulating film has been removed is selectively sintered, and the fins are bonded to the channel layer and Schottky. The source layer and drain layer to be formed are formed, an interlayer insulating film is deposited and etched back to expose the upper part of the polysilicon layer, the polysilicon layer is selectively removed, and the inner wall is composed of the gate side wall. A method for manufacturing a semiconductor device, which comprises embedding a shrinkable material in a gate groove to form a gate layer.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-294757
(P2007-294757A)
(43)公開日　平成19年11月8日(2007.11.8)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/786	***(2006.01)***	H01L	29/78	616S	4M104
H01L 29/423	***(2006.01)***	H01L	29/58	G	5F110
H01L 29/49	***(2006.01)***	H01L	29/78	618B	5F140
H01L 29/78	***(2006.01)***	H01L	29/78	620	
		H01L	29/78	617M	

審査請求 未請求　請求項の数 5　OL　（全 19 頁）　最終頁に続く

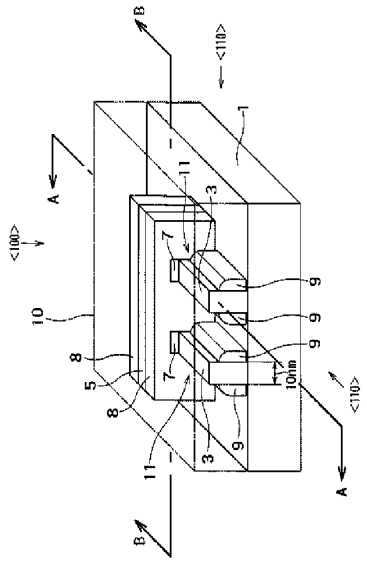
(21)出願番号　特願2006-122503 (P2006-122503)
(22)出願日　平成18年4月26日 (2006.4.26)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100075812
弁理士　吉武　賢次
(74)代理人　100088889
弁理士　橘谷　英俊
(74)代理人　100082991
弁理士　佐藤　泰和
(74)代理人　100096921
弁理士　吉元　弘
(74)代理人　100103263
弁理士　川崎　康

最終頁に続く

(54)【発明の名称】半導体装置及び半導体装置の製造方法

(57)【要約】
【課題】ｐ型ＭＯＳＦＥＴ構造で、ホール移動度を向上するとともに、ショットキバリアを低減することが可能な半導体装置を提供する。
【解決手段】ｐ型ＭＯＳダブルゲート構造を有する半導体装置１００は、上面が＜１００＞の結晶面方位のシリコンまたはゲルマニウムからなり、基板１上に第１の結晶面方位＜１１０＞に延びて形成されたｎ型のチャネル層２と、このチャネル層２と第１の結晶面方位＜１１０＞方向で隣接して基板１上に形成され、チャネル層２とショットキ接合するメタルまたはメタルシリサイドからなるソース層３、ドレイン層４と、第２の結晶面方位＜１１０＞方向に延びて基板１上およびチャネル層２上に形成されたゲート層５と、チャネル層２とゲート層５との間に設けられたゲート絶縁膜６と、を備える。1軸性引張り歪が電流方向と垂直な第２の結晶面方位＜１１０＞方向にチャネル層の側壁に対して加えられている。
【選択図】図１Ａ



【特許請求の範囲】
【請求項1】
ｐ型ＭＯＳダブルゲート構造を有する半導体装置であって、
上面が＜１００＞の結晶面方位のシリコンまたはゲルマニウムからなり、基板上に第１の結晶面方位＜１１０＞に延びて形成されたチャネル層と、
前記チャネル層と前記第１の結晶面方位＜１１０＞方向の一端側で隣接して前記基板上に形成され、このチャネル層とショットキ接合するメタルまたはメタルシリサイドからなるソース層と、
前記チャネル層と前記第１の結晶面方位＜１１０＞方向の他端側で隣接して前記基板上に形成され、このチャネル層とショットキ接合するメタルまたはメタルシリサイドからなるドレイン層と、
前記チャネル層の側壁と隣接するとともに前記チャネル層の電流方向と垂直な第２の結晶面方位＜１１０＞方向に延びて少なくとも前記基板上に形成されたゲート層と、
前記チャネル層と前記ゲート層との間に設けられたゲート絶縁膜と、を備え、
1軸性引張り歪が前記電流方向と垂直な前記第２の結晶面方位＜１１０＞方向に前記チャネル層の側壁に対して加えられていることを特徴とする半導体装置。
【請求項2】
前記ゲート層は、収縮性の材料を含み、この収縮性により、前記1軸性引張り歪が前記電流方向と垂直な前記第２の結晶面方位＜１１０＞方向に前記チャネル層の側壁に対して加えられていることを特徴とする請求項１に記載の半導体装置。
【請求項3】
前記収縮性の材料は、$TiSi_2$、$CoSi_2$、ＴｉＮ、Ｗ、または、ＷＳｉの何れかであることを特徴とする請求項２に半導体装置。
【請求項4】
ｐ型ＭＯＳダブルゲート構造を有する半導体装置の製造方法であって、
基板上に設けられた上面が＜１００＞の結晶面方位のシリコンまたはゲルマニウム上に絶縁膜を形成し、
前記シリコンまたは前記ゲルマニウムを選択的にエッチングすることにより、第１の結晶面方位＜１１０＞方向に延びるようにフィンを形成し、
前記フィン側面にゲート絶縁膜を形成し、
前記第１の結晶面方位＜１１０＞と垂直な第２の結晶面方位＜１１０＞方向に延びるように、前記フィンのチャネル層となる領域上の前記絶縁膜上および前記基板上に、ポリシリコン層を形成し、
前記フィン上で露出する前記絶縁膜を除去し、
前記フィンのうち前記絶縁膜が除去された領域を選択的にシリサイド化して、前記フィンに前記チャネル層とショットキ接合するソース層およびドレイン層を形成し、
前記ポリシリコン層を選択的にシリサイド化して、収縮性の材料からなるゲート層を形成する
ことを特徴とする半導体装置の製造方法。
【請求項5】
ｐ型ＭＯＳダブルゲート構造を有する半導体装置の製造方法であって、
基板上に設けられた上面が＜１００＞の結晶面方位のシリコンまたはゲルマニウム上に絶縁膜を形成し、
前記シリコンまたは前記ゲルマニウムを選択的にエッチングすることにより、第１の結晶面方位＜１１０＞方向に延びるようにフィンを形成し、
前記フィン側面にゲート絶縁膜を形成し、
前記第１の結晶面方位＜１１０＞と垂直な第２の結晶面方位＜１１０＞方向に延びるように、前記フィンのチャネル層となる領域上の前記絶縁膜上および前記基板上に、ポリシリコン層を形成し、

前記ポリシリコン層側面に絶縁性のゲート側壁を形成し、
前記フィン上で露出する前記絶縁膜を除去し、
前記フィンのうち前記絶縁膜が除去された領域を選択的にシリサイド化して、前記フィンに前記チャネル層とショットキ接合するソース層およびドレイン層を形成し、
層間絶縁膜を堆積するとともにエッチバックして、前記ポリシリコン層の上部を露出させ、
前記ポリシリコン層を選択的に除去し、
内壁が前記ゲート側壁で構成されたゲート溝に収縮性の材料を埋め込んで、ゲート層を形成する
【発明の詳細な説明】半導体装置の製造方法。
【技術分野】
【0001】
本発明は、例えば、ダブルゲート構造を有する半導体装置及び半導体装置の製造方法に関する。
【背景技術】
【0002】
従来、例えば、トランジスタの微細化、低消費電力化、高速化のために、ダブルゲートトランジスタ（例えば、ＦｉｎＦＥＴ）が提案されている（例えば、特許文献１参照。）。
【0003】
この構造のメリットは、（１）ゲートを２つ有する構造なので、ショートチャネル効果に強く、ソース/ドレイン間のパンチスルー（漏れ）電流を低減できる。
【0004】
また、（２）チャネル垂直方向電界が小さいため移動度を向上させることができる。
【0005】
また、（３）オフ電流が低減する分チャネル幅（フィン高さ、または、本数）を増やせるので、電流を増加させることができる、等である。
【0006】
他の従来技術では、トランジスタのソース/ドレイン領域を不純物の拡散層でなく、メタルで形成するショットキ・ソース/ドレイントランジスタ技術が提案されている（例えば、非特許文献１参照。）。
【0007】
この構造を用いると、ソース領域およびドレイン領域の寄生抵抗を小さくでき、浅い接合（ショットキ（Schottky）接合）を形成することができる。
【0008】
また、ソース/ドレインに不純物を用いないので、活性化のための高温熱工程を行なう必要が無く、製造工程を著しく簡略化でき、LSI製造コストを低減できる。
【0009】
さらにまた、ソース端部にショットキバリアが存在するため、オフ電流を抑え、ショートチャネル効果を抑制することができる（微細化できる）。
【0010】
また、特にGeチャネルトランジスタでは、ドーパント（dopant）の固溶度が低くく、そして、ドーパントが拡散しやすい。このため、ソース/ドレイン構造は、ショットキ接合が望ましい。
【0011】
一方、このトランジスタの課題は、ショットキコンタクト抵抗（シリコン/シリサイドまたはメタル界面抵抗）を低減させることである。
【0012】
解決策の一つのとして、ソース/ドレイン材料の仕事関数制御技術がある。例えば、ｎ型ＭＯＳトランジスタのソース/ドレインに仕事関数の小さいメタルまたはシリサイド（

ＥｒＳｉ$_2$等）を用い、また、ｐ型ＭＯＳトランジスタのソース/ドレインに仕事関数の大きいメタルまたはシリサイド（PtSi等）を用いる方法が提案されている（例えば、非特許文献１参照。）。

【0013】

この技術を用いれば、ｎ型ＭＯＳトランジスタのショットキバリア高さを0.28eV程度、また、ｐ型ＭＯＳトランジスタのショットキバリア高さを0.22eV程度とすることができる。

【0014】

すなわち、ｎ型ＭＯＳトランジスタ、および、ｐ型ＭＯＳトランジスタについて、ある程度低いショットキコンタクト抵抗のメタルシリサイド・ソース/ドレインを形成することが可能である。

【0015】

しかし、十分な高電流を得るには、まだ不十分であり、さらなるショットキバリアの低減が必要であった。

【0016】

一方で、メタルの仕事関数制御のみでは、Fermi-level-pinning効果の悪影響を受けるため、さらなるショットキバリアの低減は困難であった。

【0017】

そこで提案された技術が、「歪チャネルとショットキ接合」の組合せ技術である。ショットキバリア高さを下げるため、すなわちコンタクト抵抗を下げるため、歪（機械的応力）を用いる技術である（例えば、非特許文献２参照。）。

【0018】

さらに、他の従来技術として、チャネルに歪をかけてキャリア移動度を向上させる技術が開発されている。Planar-pMOSＦＥＴでは、ソース/ドレイン領域に埋め込んだSiGeからの圧縮歪が有効である。そして、このPlanar-nMOSＦＥＴでは、ソース/ドレイン領域に埋め込んだSiCからの引張り歪や、ゲート、ソース/ドレイン上に引張り歪を持った膜を堆積してチャネルに引張り歪、をかけることが有効であることが知られている。

【0019】

以上のように、既述の従来技術（歪チャネル技術とショットキ・ソース/ドレイン技術）によれば、ｎ型ＭＯＳトランジスタの場合は、引張り歪が用いられるため、移動度が向上し、かつショットキバリアを低減できる。

【0020】

すなわち、従来技術を単純に組み合わせるだけで、ショットキ・ソース/ドレインｎ型ＭＯＳＦｉｎＦＥＴを高駆動電流化できた。

【0021】

しかし、上記従来技術によっても、ｐ型ＭＯＳトランジスタでは圧縮歪が用いられるため、キャリア移動度は向上するがショットキバリアを低減することができないという問題があった。

【0022】

したがって、ショットキ・ソース/ドレインｐ型ＭＯＳＦｉｎＦＥＴを高駆動電流化できなかった。

【特許文献1】特開２００５－２９４７８９号公報

【非特許文献1】Jakub Kedzierski et al., IEDM Technical digest, pp.57-60, (2000)

【非特許文献2】A. Yagishita, T-J. King, and J. Bokor, “Schottky Barrier Height Reduction and Drive Current Improvement in Metal Source/Drain MOSＦＥＴ with Strained-Si Channel”, Jpn. J. Appl. Phys., Vol.43, No.4B, pp.1713-1716, (2004)

【発明の開示】

【発明が解決しようとする課題】

【0023】

本発明は、上記課題を解決するものであり、ｐ型ＭＯＳＦＥＴ構造で、ホール移動度を

向上するとともに、ショットキバリア(コンタクト抵抗)を低減することが可能な半導体装置、および、半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0024】

本発明の一態様に係る半導体装置は、

ｐ型ＭＯＳダブルゲート構造を有する半導体装置であって、

上面が＜１００＞の結晶面方位のシリコンまたはゲルマニウムからなり、基板上に第１の結晶面方位＜１１０＞に延びて形成されたチャネル層と、

前記チャネル層と前記第１の結晶面方位＜１１０＞方向の一端側で隣接して前記基板上に形成され、このチャネル層とショットキ接合するメタルまたはメタルシリサイドからなるソース層と、

前記チャネル層と前記第１の結晶面方位＜１１０＞方向の他端側で隣接して前記基板上に形成され、このチャネル層とショットキ接合するメタルまたはメタルシリサイドからなるドレイン層と、

前記チャネル層の側壁と隣接するとともに前記チャネル層の電流方向と垂直な第２の結晶面方位＜１１０＞方向に延びて少なくとも前記基板上に形成されたゲート層と、

前記チャネル層と前記ゲート層との間に設けられたゲート絶縁膜と、を備え、

1軸性引張り歪が前記電流方向と垂直な前記第２の結晶面方位＜１１０＞方向に前記チャネル層の側壁に対して加えられていることを特徴とする。

【0025】

また、本発明の他の態様に係る半導体装置の製造方法は、

ｐ型ＭＯＳダブルゲート構造を有する半導体装置の製造方法であって、

基板上に設けられた上面が＜１００＞の結晶面方位のシリコンまたはゲルマニウム上に絶縁膜を形成し、

前記シリコンまたは前記ゲルマニウムを選択的にエッチングすることにより、第１の結晶面方位＜１１０＞方向に延びるようにフィンを形成し、

前記フィン側面にゲート絶縁膜を形成し、

前記第１の結晶面方位＜１１０＞と垂直な第２の結晶面方位＜１１０＞方向に延びるように、前記フィンのチャネル層となる領域上の前記絶縁膜上および前記基板上に、ポリシリコン層を形成し、

前記フィン上で露出する前記絶縁膜を除去し、

前記フィンのうち前記絶縁膜が除去された領域を選択的にシリサイド化して、前記フィンに前記チャネル層とショットキ接合するソース層およびドレイン層を形成し、

前記ポリシリコン層を選択的にシリサイド化して、収縮性の材料からなるゲート層を形成することを特徴とする。

【0026】

また、本発明のさらに他の態様に係る半導体装置の製造方法は、

ｐ型ＭＯＳダブルゲート構造を有する半導体装置の製造方法であって、

基板上に設けられた上面が＜１００＞の結晶面方位のシリコンまたはゲルマニウム上に絶縁膜を形成し、

前記シリコンまたは前記ゲルマニウムを選択的にエッチングすることにより、第１の結晶面方位＜１１０＞方向に延びるようにフィンを形成し、

前記フィン側面にゲート絶縁膜を形成し、

前記第１の結晶面方位＜１１０＞と垂直な第２の結晶面方位＜１１０＞方向に延びるように、前記フィンのチャネル層となる領域上の前記絶縁膜上および前記基板上に、ポリシリコン層を形成し、

前記ポリシリコン層側面に絶縁性のゲート側壁を形成し、

前記フィン上で露出する前記絶縁膜を除去し、

前記フィンのうち前記絶縁膜が除去された領域を選択的にシリサイド化して、前記フィンに前記チャネル層とショットキ接合するソース層およびドレイン層を形成し、

層間絶縁膜を堆積するとともにエッチバックして、前記ポリシリコン層の上部を露出させ、
前記ポリシリコン層を選択的に除去し、
内壁が前記ゲート側壁で構成されたゲート溝に収縮性の材料を埋め込んで、ゲート層を形成する
ことを特徴とすることを特徴とする。
【発明の効果】
【0027】
本発明の一態様に係る半導体装置および半導体装置の製造方法によれば、電流方向と垂直方向の１軸性引張り歪により、ｐ型ＭＯＳＦＥＴ構造で、ホール移動度を向上するとともに、ショットキバリア(コンタクト抵抗)を低減することができる。
【発明を実施するための最良の形態】
【0028】
以下、本発明を適用した各実施例について図面を参照しながら説明する。
【実施例】
【0029】
図１Ａは、本発明の実施例１に係る半導体装置の要部の構成を示す斜視図である。また、図１Ｂは、図１ＡのＡ－Ａ線に沿った半導体装置１００の断面を示す断面図である。また、図１Ｃは、図１ＡのＢ－Ｂ線に沿った半導体装置１００の断面を示す断面図である。
【0030】
図１Ａないし図１Ｃに示すように、ｐ型ＭＯＳダブルゲート構造を有する半導体装置１００は、不純物を含有し上面が＜１００＞の結晶面方位のシリコン（Ｓｉ）またはゲルマニウム（Ｇｅ）からなり、基板１上に第１の結晶面方位＜１１０＞に延びて形成されたｎ型のチャネル層２を備えている。
【0031】
なお、基板１は、ＢＯＸ（Ｂｕｒｉｅｄ　Ｏｘｉｄｅ：埋め込み酸化膜）またはバルクシリコン等が選択される。また、シリコンを用いるチャネル層２を形成する場合は、例えば、基板１にＳＯＩ（Silicon-On-Insulator）基板を用いてもよい。また、ゲルマニウムを用いるチャネル層２を形成する場合は、例えば、基板１にＧＯＩ（Germanium-On-Insulator）基板を用いてもよい。
【0032】
また、半導体装置１００は、このチャネル層２と第１の結晶面方位＜１１０＞方向の一端側で隣接して基板１上に形成され、チャネル層２とショットキ接合するメタルまたはメタルシリサイドからなるソース層３と、チャネル層２と第１の結晶面方位＜１１０＞方向の他端側で隣接して基板１上に形成され、チャネル層２とショットキ接合するメタルまたはメタルシリサイドからなるドレイン層４と、を備えている。
【0033】
これらのチャネル層２、ソース層３、および、ドレイン層４により、ダブルゲート構造のフィン１１が構成される。
【0034】
また、半導体装置１００は、チャネル層２の側壁と隣接するとともに、チャネル層２の電流方向と垂直な第２の結晶面方位＜１１０＞方向に延びて基板１上およびチャネル層２上に形成されたゲート層５と、チャネル層２とゲート層５との間に設けられたゲート絶縁膜６と、チャネル層２の上面とゲート層５との間に設けられ、例えば、ＳｉＮからなる絶縁膜７と、を備えている。
【0035】
ゲート層５は、収縮性の材料を含み、この収縮性により、1軸性引張り歪が電流方向と垂直な第２の結晶面方位＜１１０＞方向にチャネル層の側壁に対して加えられている。この収縮性の材料には、例えば、$TiSi_2$、$CoSi_2$が選択される。
【0036】

なお、1軸性引張り歪が電流方向と垂直な第２の結晶面方位＜１１０＞方向にチャネル層の側壁に対して加えるためには、ダブルゲート構造を成すように、ゲート層５は、少なくとも基板１上に形成されていればよい。

【0037】

また、ゲート層５の側壁には、ＴＥＯＳ（TetraEthOxySilane）膜等のゲート側壁８が形成されている。

【0038】

また、ソース層３、ドレイン層４の側壁には、ＴＥＯＳ（TetraEthOxySilane）膜等のフィン側壁９が形成されている。

【0039】

また、半導体装置１００は、基板１上に、上記の構成要素を絶縁するＴＥＯＳ膜等の層間絶縁膜１０が形成されている。

【0040】

ここで、ショットキ・ソース/ドレインｐ型ＭＯＳダブルゲートトランジスタに対して、上記構成を採用した理由について説明する。

【0041】

先ず、上記構成において、引張り歪によりチャネルに歪みを発生させた理由について説明する。

【0042】

図２Ａは、シリコン（Ｓｉ）の歪みによるバンド構造変化を示す図である。また、図２Ｂは、ゲルマニウム（Ｇｅ）の歪みによるバンド構造変化を示す図である。

【0043】

図２Ａ、図２Ｂに示すように、2fold-valley（Δ2）、4fold-valley（Δ4）のエネルギーレベルは、引張り歪によって影響を受ける。

【0044】

すなわち、2fold-valleyに対する（メタルソース/ドレインから見た）バリア高さは低減され、4fold-valleyに対するバリア高さは増加すると考えられる。

【0045】

なお、有効質量の軽い2fold-valleyに対するショットキバリアが低減されるので、ｎ型ＭＯＳトランジスタの駆動電流が増加すると考えられる。

【0046】

一方、ホールの場合を考えると、図２Ａ、図２Ｂに示すように、引張り歪がかかるとlight-hole（ｌｈ）valleyのエネルギーレベルが上昇し、heavy-hole（ｈｈ）valleyのエネルギーレベルはあまり変化しない。有効質量の軽いlight-hole（ｌｈ）valleyに対するショットキバリアが低減されるので、ｐ型ＭＯＳトランジスタの駆動電流も増加すると考えられる。

【0047】

このように、図２Ａ、図２Ｂから、ｐ型ＭＯＳトランジスタのショットキバリア低減には引張り歪みが有効であり、圧縮歪ではショットキバリア低減の効果が得られない。

【0048】

次に、上記構成において、引張り歪の方向（第２の結晶面方位＜１１０＞方向）とチャネル方向（（電流方向）（第１の結晶面方位＜１１０＞方向））とが垂直になるようにした理由について説明する。

【0049】

図３Ａは、ｐ型ＭＯＳトランジスタ（Ｓｉチャネル）における、歪成分とホール移動度に対する有効性との関係を示すモデル図である。なお、図３Ａにおいて、シリコンの上面の結晶面方位は＜１００＞であり、チャネル方向（電流方向）＜１１０＞はフィン側面＜１１０＞と垂直である。

【0050】

図３Ａに示すように、ｐ型ＭＯＳトランジスタ（Ｓｉチャネル）においては、チャネル

方向（電流方向）＜１１０＞と引張り歪の方向＜１１０＞とが垂直である場合は、ホール移動度の向上に有効である。なお、チャネル方向（電流方向）と圧縮歪の方向とが平行である場合もホール移動度の向上に有効である。

【0051】

また、図３Ｂは、ｐ型ＭＯＳトランジスタ（Ｇｅチャネル）における、歪成分とホール移動度に対する有効性との関係を示すモデル図である。なお、図３Ｂにおいて、ゲルマニウムの上面の結晶面方位は＜１００＞であり、チャネル方向（電流方向）＜１１０＞はフィン側面＜１１０＞と垂直である。

【0052】

図３Ｂに示すように、ｐ型ＭＯＳトランジスタ（Ｇｅチャネル）においては、チャネル方向（電流方向）＜１１０＞と引張り歪の方向＜１１０＞とが垂直である場合は、ホール移動度の向上に有効である。なお、チャネル方向（電流方向）と圧縮歪の方向とが平行である場合もホール移動度の向上に有効である。

【0053】

このように、上面の結晶面方位が＜１００＞のチャネルを有するｐ型ＭＯＳダブルゲートトランジスタにおいて、Ｓｉチャネル、Ｇｅチャネルとも同様に、チャネル方向（電流方向）＜１１０＞と引張り歪の方向＜１１０＞とが垂直である場合は、ホール移動度の向上に有効である。

【0054】

以上により、ショットキバリアを低減するとともにホール移動度を向上させる観点から、ショットキ・ソース/ドレインを有するｐ型ＭＯＳＦｉｎＦＥＴに対して既述の構成を選択した。

【0055】

次に、以上のようなｐ型ＭＯＳダブルゲート構造を有する半導体装置１００の製造方法について説明する。

【0056】

図４Ａないし図４Ｋは、本発明の実施例１に係る半導体装置１００の製造方法を説明するための各工程の斜視図である。また、図５Ａは、図４ＪのＡ－Ａ線に沿った断面を示す断面図である。また、図５Ｂは、図４ＪのＢ－Ｂ線に沿った断面を示す断面図である。また、図６Ａは、図４ＫのＡ－Ａ線に沿った断面を示す断面図である。また、図６Ｂは、図４ＫのＢ－Ｂ線に沿った断面を示す断面図である。

【0057】

先ず、フィン１１にシリコンを用いる場合には、上面の結晶面方位が＜１００＞のSOI基板（ＢＯＸ）を用意し、SOI厚を、例えば50nm～100nm程度に薄膜化する。なお、フィン１１にゲルマニュウムを用いる場合には、既述のようにＧＯＩ基板を用意する。

【0058】

そして、チャネル層２となるボディ（Body）領域にチャネルドーピングを行なう。ここでは、チャネル濃度が$1\times10^{17}/cm^3$程度になるようにドーズ量を調整する。

【0059】

そして、70nm程度のSiNハードマスク７を堆積する。すなわち、基板１上に設けられた上面が＜１００＞の結晶面方位のシリコン（またはゲルマニウム）上に絶縁膜７を形成する。

【0060】

このSiNハードマスク（絶縁膜）７を用いて、フィン１１のパターンニング、RIE(Reactive Ion Etching:反応性イオンエッチング)処理を行なう。すなわち、シリコン（またはゲルマニウム）を選択的にエッチングすることにより、第１の結晶面方位＜１１０＞方向に延びるようにフィン１１を形成する（図４Ａ）。

【0061】

なお、フィンラインパターンの方向を、例えば、ＳＯＩ基板（ＧＯＩ基板）のノッチ方向（＜１１０＞方向）と平行または垂直にすれば、フィン１１の側面は＜１１０＞面にな

る。

【0062】

次に、フィン１１側面にゲート絶縁膜（図示せず）を形成し、1層目のゲートポリシリコン（Poly-Si）５ａを300nm程度堆積する。このとき、フィン１１の段差上にポリシリコンを堆積するため、ポリシリコン表面には大きな段差１２が形成される（図４Ｂ）。

【0063】

次に、このポリシリコンをCMP(Chemical Mechanical Polishing: 化学機械研磨)処理により平坦化し、SiNハードマスク７が露出するまでエッチバックする（図４Ｃ）。

【0064】

次に、２層目のポリシリコン層５ｂを50nm程度堆積する（図４Ｄ）。ＦＵＳＩ(FUll SIlicidation)技術によりゲート層を形成する場合は、この２層目のポリシリコン層５ｂと１層目のポリシリコン層５ａとを合わせて、ゲート層５の材料として用いる。

【0065】

次に、２層目のポリシリコン層５ｂの上にハードマスクとしてSiNハードマスク１５を100nm程度堆積し、さらに、フィン１１と垂直に配置されるゲートパターンを形成するためのレジストまたはハードマスク１６を堆積する（図４Ｅ）。

【0066】

次に、SiNハードマスク１５をRIE処理し、ポリシリコン層５ｂ上にゲート加工用ハードマスクとしてSiNハードマスク１６を形成する（図４Ｆ）。

【0067】

次に、ポリシリコン層５ａ、５ｂをRIE処理して、ゲートパターンを形成する。すなわち、第１の結晶面方位＜１１０＞と垂直な第２の結晶面方位＜１１０＞方向に延びるように、フィン１１のチャネル層２となる領域上のSiNハードマスク（絶縁膜）７上および基板１上に、ポリシリコン層５ａ、５ｂを形成する（図４Ｇ）。

【0068】

次に、ゲート側壁に用いる材料（例えば、ＴＥＯＳ）を、全面に堆積しエッチバックする。これにより、厚さ40nm程度のゲート側壁（ＴＥＯＳ膜）８を形成する（図４Ｈ）。

【0069】

さらに、SiNハードマスク７に対してRIE処理を行ない、フィン１１上のSiNハードマスク７をエッチング除去する。すなわち、フィン１１上で露出するSiNハードマスク（絶縁膜）７を選択的に除去する（図４Ｈ）。なお、エッチング条件、SiN膜厚を調整して、ポリシリコン層５ｂ上のSiNハードマスク１６は残留させる。

【0070】

次に、フィン１１のソース/ドレイン領域となる部分にシリサイド貼り付けを行ない、チャネル層２との間でショットキ接合を形成する。すなわち、フィン１１のうち絶縁膜７が除去された領域を選択的にシリサイド化して、チャネル層２とショットキ接合するソース層３およびドレイン層４を形成する（図４Ｉ）。ソース/ドレインのシリサイド材料としては、例えば、ｐ型ＭＯＳトランジスタにはPtSiを用いればよい。

【0071】

なお、例えば、別途ｎ型ＭＯＳトランジスタを形成する場合には、ErSiを用いればよい。

【0072】

また、プロセス条件を制御し、ソース/ドレイン層３、４からチャネル層２に歪がかからないようにする。ゲート層５となるポリシリコン層５ａ、５ｂは、SiNハードマスク１６とゲート側壁８に覆われているため、この時点でシリサイド化されない。

【0073】

次に、層間絶縁膜１０としてＴＥＯＳ等を400nm程度堆積し、CMP処理により平坦化する（図４Ｉ）。

【0074】

この層間絶縁膜１０を全面エッチバックしてSiNハードマスク１６を露出させる。さら

に、ホットリン酸で残存するSiNハードマスク１６を除去し、ポリシリコン層５ｂの上部を露出させる（図４Ｊ、図５Ａ、図５Ｂ）。

【0075】

次に、ポリシリコン層５ａ、５ｂを上面からシリサイド化する。すなわち、ポリシリコン層５ａ、５ｂを選択的にシリサイド化して、収縮性の材料からなるゲート層５を形成する（図４Ｋ、図６Ａ、図６Ｂ）。ゲートのシリサイド材料としては、例えば、収縮性の材料である$TiSi_2$や$CoSi_2$が選択される。

【0076】

以上のように、ＦｉｎＦＥＴのゲート、ソース/ドレインをシリサイド化することができるとともに、ゲートのシリサイド形成とソース/ドレインのシリサイド形成を別々の工程で行うことができる。

【0077】

したがって、ソース/ドレインのシリサイドが深くなりすぎる（横方向に成長しすぎる）のを防止することができる。

【0078】

さらに、プロセス条件によっては、$TiSi_2$（または$CoSi_2$）は、収縮性の材料であるため（シリコンよりも熱膨張係数が大きい材料であるため）、フィン側面（＜１１０＞面）に引張の歪がかかる（図６Ｂ）。このとき、電流方向にはポアソン比分、圧縮方向の歪が生じる。

【0079】

しかし、その圧縮方向の歪以上のプロセス歪による圧縮歪が生じないように、ソース/ドレイン層３、４からの歪を低減しておく。もちろん、ソース/ドレイン領域に圧縮歪を持つＳｉＧｅを埋め込んだ素子構造（e-SiGe）などのストレッサ（stressor）技術を用いない。

【0080】

もっとも、フィン１１のチャネル層２（特に、long-channel）は、ソース/ドレイン層３、４からの歪が伝わりにくい構造であるため、ｐ型ＭＯＳダブルゲートトランジスタ（ｐ型ＭＯＳ－ＦｉｎＦＥＴ）に対して有利である。

【0081】

また、本実施例によれば、$TiSi_2$は収縮性の材料であるため、ｐ型ＭＯＳトランジスタのフィン側面（＜１１０＞面）に引張り歪がかかる。

【0082】

すなわち、ｐ型ＭＯＳダブルゲートトランジスタ（ｐ型ＭＯＳ－ＦｉｎＦＥＴ）の移動度が向上し、かつショットキ・ソース/ドレインのコンタクト抵抗が低減される。

【0083】

また、ゲート層５の歪を用いているので、フィン１１のチャネル層２に効率よく、容易に引張り歪を印加できる。

【0084】

さらにまた、ＦＵＳＩ技術を用いているので、比較的容易にシリサイドゲートを形成できる。

【0085】

以上のように、本実施例に係る半導体装置および半導体装置の製造方法によれば、ホール移動度を向上するとともに、ショットキバリア(コンタクト抵抗)を低減することができる。

【実施例】

【0086】

実施例１では、ＦＵＳＩ技術を用いて、シリサイドゲートを作成する半導体装置の製造方法について述べた。本実施例では、ダマシンゲート技術を用いて、Pureメタルなどシリサイド以外の材料をゲートに適用する半導体装置の製造方法について述べる。

【0087】

図７Ａ、図７Ｂは、本発明の実施例２に係る半導体装置２００の製造方法を説明するための各工程の斜視図である。また、図８Ａは、図７ＢのＡ－Ａ線に沿った断面を示す断面図である。また、図８Ｂは、図７ＢのＢ－Ｂ線に沿った断面を示す断面図である。

【0088】

また、図９Ａは、図８Ａの後の工程のＡ－Ａ線に沿った断面を示す断面図である。図９Ｂは、図８Ａの後の工程のＢ－Ｂ線に沿った断面を示す断面図である。

【0089】

さらにまた、図１０Ａは、図９Ａの後の工程のＡ－Ａ線に沿った半導体装置２００の断面を示す断面図である。図１０Ｂは、図９Ａの後の工程のＢ－Ｂ線に沿った半導体装置２００の断面を示す断面図である。

【0090】

なお、図中、実施例１と同じ符号は、実施例１と同様の構成を示す。

【0091】

また、本実施例２の半導体装置の製造方法は、実施例１で説明した図４Ｊまでの工程は同様である。

【0092】

実施例１の図４Ｉまでと同様の工程により、ソース層/ドレイン層３、４を形成してショットキ接合を形成した後、層間絶縁膜１０としてＴＥＯＳ等を400nm程度堆積し、CMP処理により平坦化する（図７Ａ）。

【0093】

実施例１の図４Ｉと同様の工程により、この層間絶縁膜１０を全面エッチバックしてSiNハードマスク１６を露出させる。さらに、例えば、ホットリン酸でSiNハードマスク１６を除去し、ポリシリコン層５ｂの上部を露出させる（図７Ｂ、図８Ａ、図８Ｂ）。

【0094】

次に、CDE（Chemical Dry Etching)処理等により、ゲート側壁８で挟まれたポリシリコン層５ａ、５ｂを選択的に除去する。（図９Ａ、図９Ｂ）。

【0095】

次に、内壁がゲート側壁８で構成されたゲート溝にダマシン法により収縮性の材料を埋め込んで収縮性の材料からなるゲート層１３を形成する（図１０Ａ、図１０Ｂ）。

【0096】

すなわち、ゲート材料を、全面に堆積した後、CMP処理により平坦化し、ゲート溝内にのみ残留させる。ここでは、ｐ型ＭＯＳトランジスタのゲート材料として、例えば、収縮性を有するＴｉＮ，Ｗ、ＷＳｉを用いる。

【0097】

以上により、図１Ａに示される半導体装置１００のゲート層５を、ＴｉＮ，Ｗ、ＷＳｉ等のメタル等を適用したゲート層１３に代替させた半導体装置２００が完成する。

【0098】

上述のように、ＴｉＮ，Ｗ，ＷＳｉは収縮性の材料であるため、ｐ型ＭＯＳダブルゲートトランジスタのフィン１１側面（＜１１０＞面）に引張りの歪がかかる。

【0099】

すなわち、ｐ型ＭＯＳダブルゲートトランジスタのホール移動度が向上し、かつショットキ・ソース/ドレインのコンタクト抵抗が低減される。

【0100】

ゲート層の歪を用いているので、フィンのチャネル層に、容易に引張り歪を印加できる。

【0101】

さらにまた、ダマシンゲート技術を用いているので、Pureメタルなどシリサイド以外の材料をゲート層に適用することができる。

【0102】

なお、このダマシンゲートプロセスを用いれば、例えば、ｎ型ＭＯＳトランジスタを別

途形成する場合に、ｐ型ＭＯＳとは別のゲート材を埋め込むことも可能である。

【0103】

以上のように、本実施例に係る半導体装置および半導体装置の製造方法によれば、ホール移動度を向上するとともに、ショットキバリア(コンタクト抵抗)を低減することができる。

【図面の簡単な説明】

【0104】

【図1A】本発明の一態様である本発明の実施例１に係る半導体装置の要部の構成を示す斜視図である。

【図1B】図１ＡのＡ－Ａ線に沿った半導体装置の断面を示す断面図である。

【図1C】図１ＡのＢ－Ｂ線に沿った半導体装置の断面を示す断面図である。

【図2A】シリコン（Ｓｉ）の歪みによるバンド構造変化を示す図である。

【図2B】ゲルマニウム（Ｇｅ）の歪みによるバンド構造変化を示す図である。

【図3A】ｐ型ＭＯＳトランジスタ（Ｓｉチャネル）における、歪成分とホール移動度に対する有効性との関係を示すモデル図である。

【図3B】ｐ型ＭＯＳトランジスタ（Ｇｅチャネル）における、歪成分とホール移動度に対する有効性との関係を示すモデル図である。

【図4A】本発明の実施例１に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図4B】本発明の実施例１に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図4C】本発明の実施例１に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図4D】本発明の実施例１に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図4E】本発明の実施例１に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図4F】本発明の実施例１に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図4G】本発明の実施例１に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図4H】本発明の実施例１に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図4I】本発明の実施例１に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図4J】本発明の実施例１に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図4K】本発明の実施例１に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図5A】図４ＪのＡ－Ａ線に沿った断面を示す断面図である。

【図5B】図４ＪのＢ－Ｂ線に沿った断面を示す断面図である。

【図6A】図４ＫのＡ－Ａ線に沿った断面を示す断面図である。

【図6B】図４ＫのＢ－Ｂ線に沿った断面を示す断面図である。

【図7A】本発明の実施例２に係る半導体装置の製造方法を説明するための工程の斜視図である。

【図7B】本発明の実施例２に係る半導体装置の製造方法を説明するための工程の斜視図である。

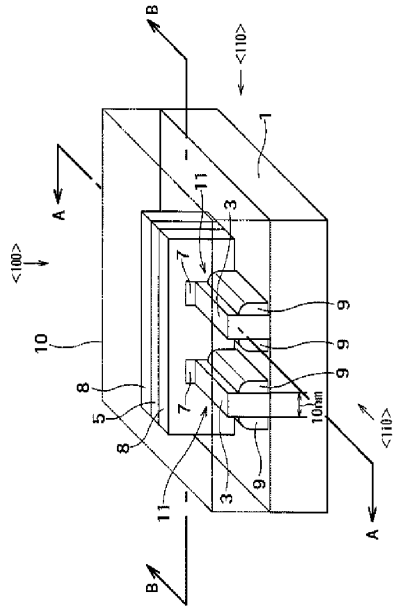
【図8A】図７ＢのＡ－Ａ線に沿った断面を示す断面図である。

【図8B】図７ＢのＢ－Ｂ線に沿った断面を示す断面図である。

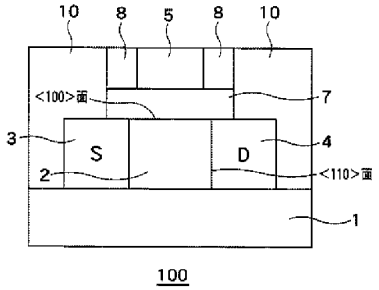
【図9A】本発明の実施例２に係る半導体装置の製造方法を説明するための工程の断面図で

ある。
【図9B】本発明の実施例２に係る半導体装置の製造方法を説明するための工程の断面図である。
【図10A】図９Ａの後の工程のＡ－Ａ線に沿った半導体装置の断面を示す断面図である。
【図10B】図９Ａの後の工程のＢ－Ｂ線に沿った半導体装置の断面を示す断面図である。
【符号の説明】
【0105】
１　基板
２　チャネル層
３　ソース層
４　ドレイン層
５　ゲート層
５ａ　ポリシリコン層
５ｂ　ポリシリコン層
６　ゲート絶縁膜
７　ＳｉＮハードマスク（絶縁膜）
８　ゲート側壁
９　フィン側壁
１０　層間絶縁膜
１１　フィン
１２　段差
１３　ゲート層
１４　ゲート溝
１５　ＳｉＮハードマスク
１６　レジストまたはハードマスク
１００、２００　半導体装置

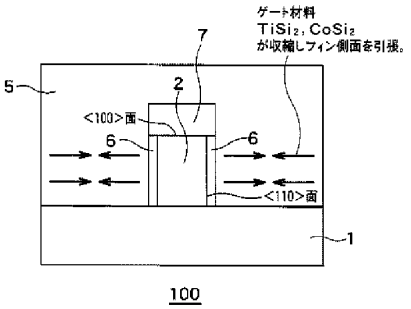
【図1A】



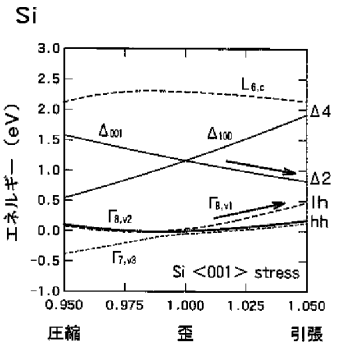
【図1B】



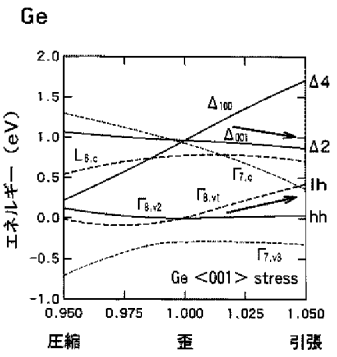
【図1C】



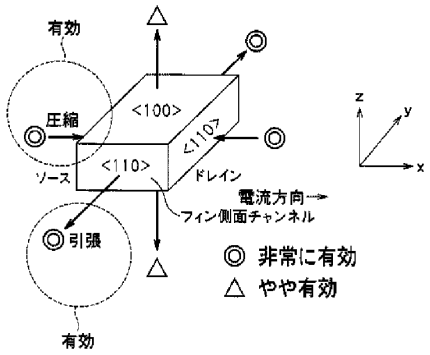
【図2A】



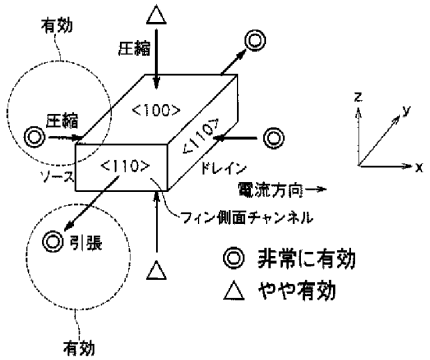
【図2B】



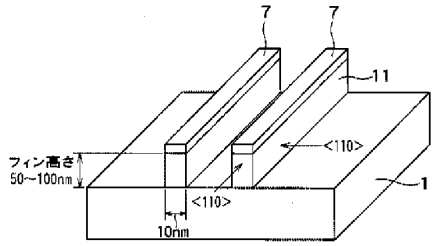
【図3A】



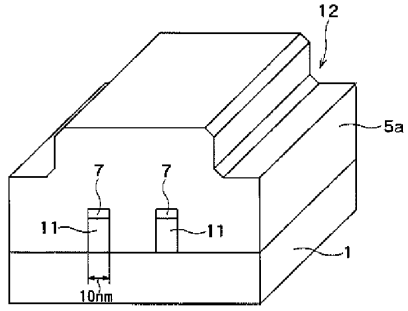
【図3B】



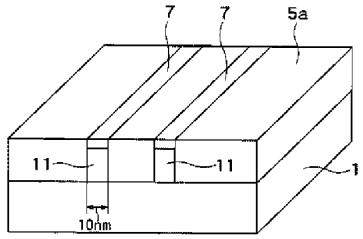
【図4A】



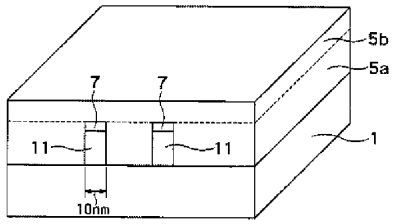
【図4B】



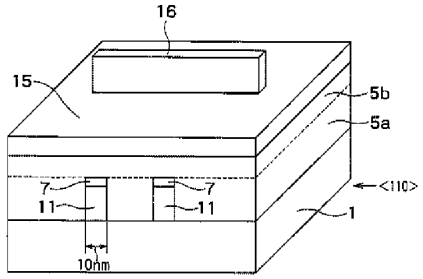
【図4C】



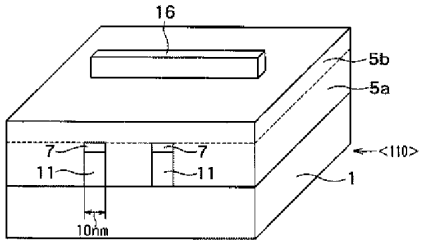
【図4D】



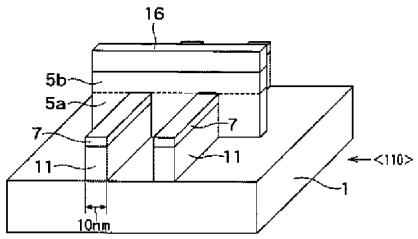
【図4E】



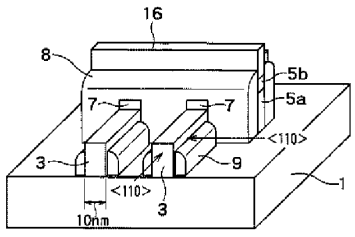
【図4F】



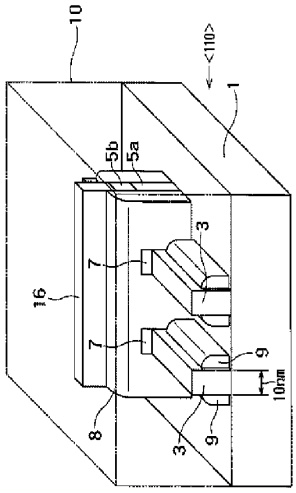
【図4G】



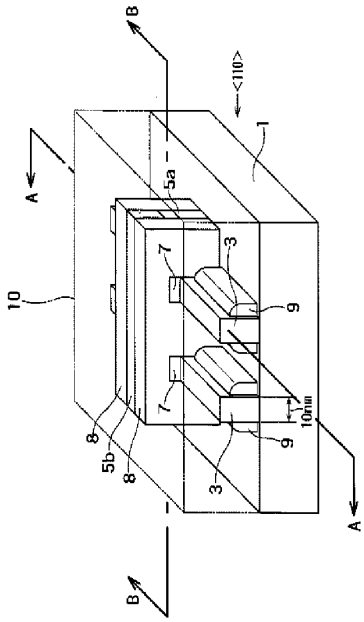
【図4H】



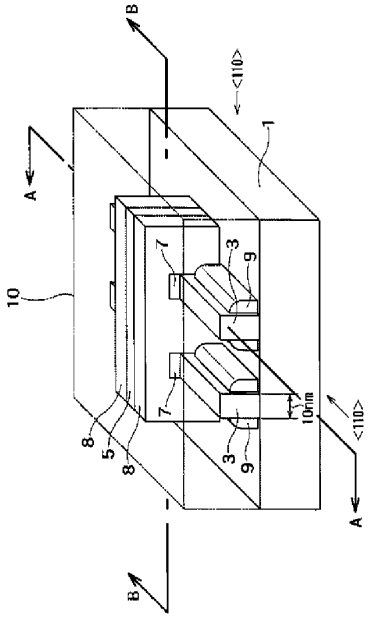
【図4I】



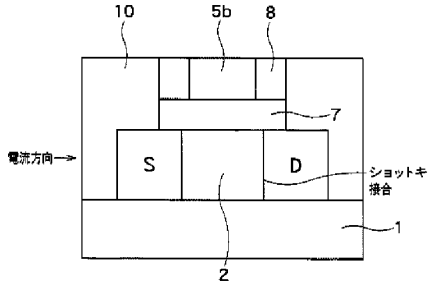
【図4J】



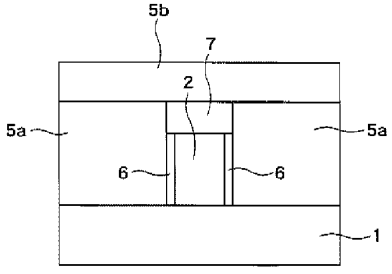
【図4K】



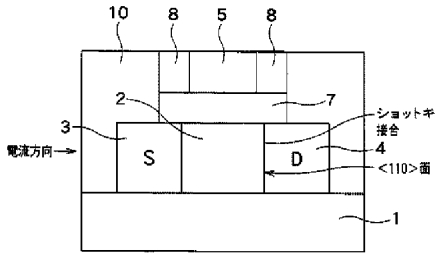
【図5A】



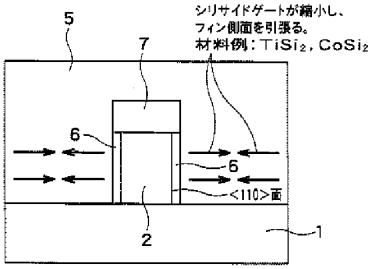
【図5B】



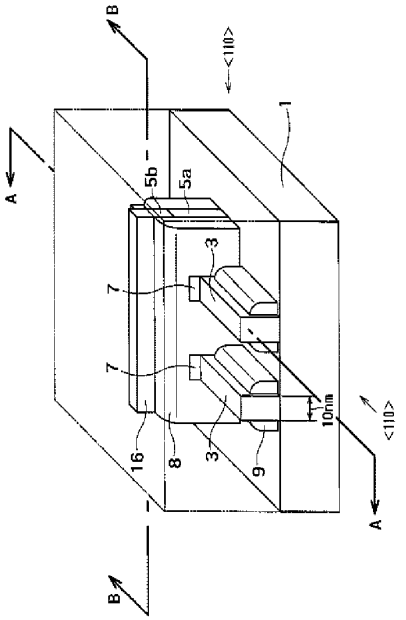
【図6A】



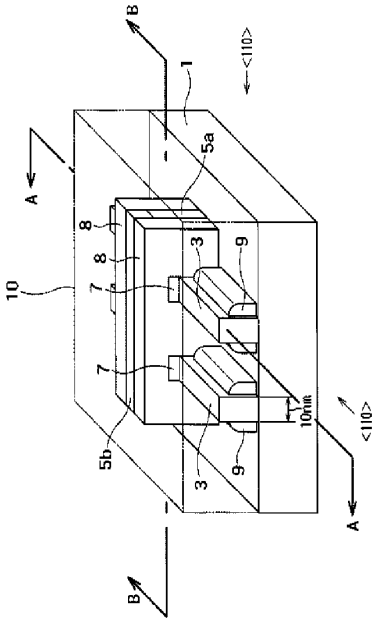
【図6B】



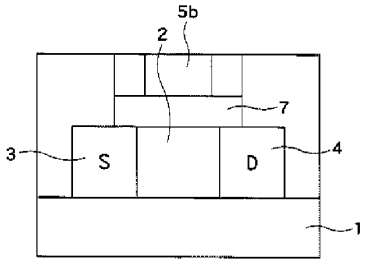
【図7A】



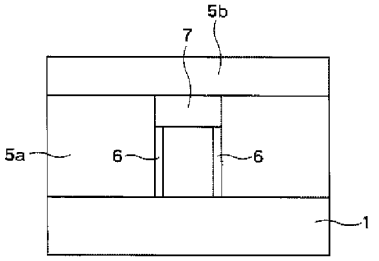
【図7B】



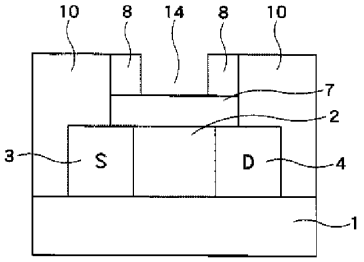
【図8A】



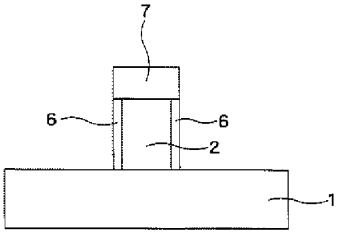
【図8B】



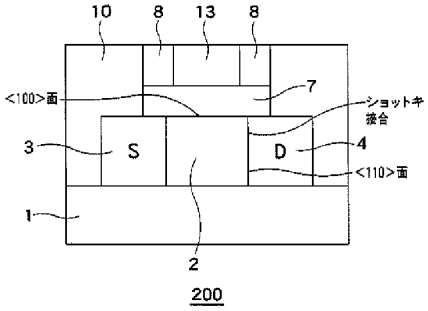
【図9A】



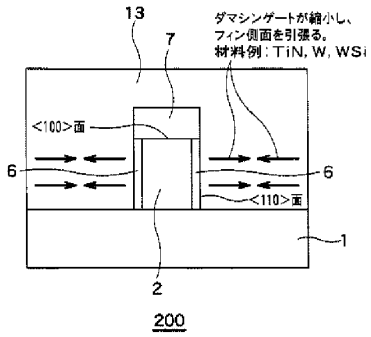
【図9B】



【図10A】



【図10B】



(51)Int.Cl.	FI		テーマコード（参考）
	Ｈ０１Ｌ　29/78	６１７Ｋ	
	Ｈ０１Ｌ　29/78	６１８Ｃ	
	Ｈ０１Ｌ　29/78	３０１Ｘ	

(72)発明者　八木下　淳　史
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内

Ｆターム(参考)　4M104 AA01 AA02 AA09 BB18 BB19 BB20 BB22 BB24 BB25 BB28
BB30 CC03 CC05 DD02 DD78 DD84 GG09 GG10 GG14
5F110 AA01 AA03 AA06 AA07 AA09 CC01 DD11 EE01 EE04 EE05
EE09 EE14 EE22 EE30 EE32 EE41 EE42 EE48 FF03 GG02
GG03 GG12 GG17 GG22 GG25 GG30 GG34 HJ30 HK02 HK05
HK40 HM20 NN02 NN23 NN35 NN40 QQ19
5F140 AA01 AA02 AA24 AA30 AB01 AC01 AC28 AC36 BA01 BA03
BA20 BB05 BD07 BF01 BF04 BF07 BF08 BF10 BF11 BF18
BF42 BG04 BG08 BG12 BG26 BG27 BG36 BG39 BG40 BG52
BG53 BH27 BJ01 BJ05 BJ08 BJ30 BK34 CC03 CC12 CE06
CE07

Espacenet

Bibliographic data: JP2007294780 (A) — 2007-11-08

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Inventor(s):	MIYANAMI YUUKI ± (MIYANAMI YUUKI)	
Applicant(s):	SONY CORP ± (SONY CORP)	

Classification:	**- international:**	***H01L29/78***
	- cooperative:	
Application number:	JP20060122824 20060427	Global Dossier
Priority number(s):	JP20060122824 20060427	
Also published as:	JP5130648 (B2)	

Abstract of JP2007294780 (A)

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device for applying stress to a channel region effectively within the range of the critical film thickness of a mixed crystal layer, and forming a film-like silicide layer at the surface side of the mixed crystal layer; and to provide the semiconductor device. SOLUTION: The manufacturing method comprises: a first process for forming a gate electrode 13 on a silicon substrate 11 via a gate insulation film 12; a second process for digging down the surface layer of the silicon substrate 11, by etching with the gate electrode 13 as a mask; and a third process for growing an SiGe layer 21 epitaxially on the dug surface of the silicon substrate 11. In the third process, the SiGe layer 21 is grown epitaxially so that Ge is contained while it has a concentration gradient that becomes high from the side of the silicon substrate 11 toward the center of the SiGe layer 21, and becomes low from the center toward the surface of the SiGe layer 21. The semiconductor device can be obtained by the manufacturing method. ;COPYRIGHT: (C)2008,JPO&INPIT

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JP2007294780A

Manufacturing method of semiconductor devices and semiconductor devices

[0001]

The present invention relates to a method for manufacturing a semiconductor device and a semiconductor device, and more particularly to a MOS (Metal Oxide Semiconductor) type field effect transistor.

[0002]

In recent years, in order to improve transistor performance, studies have been conducted to increase the drain current by applying stress to the channel region. As a method of applying stress, a method of forming a film with high stress after forming a gate electrode and applying stress to the channel region, or an etching of the source / drain region of a P-channel MOS field effect transistor (PMOSFET) is performed. Examples thereof include a process in which a silicon-germanium (SiGe) layer is epitaxially grown on a portion and stress is applied to a channel region.

[0003]

The application of stress to the channel region is more effective when the SiGe layer is closer to the channel region and the volume of the SiGe layer is larger.

Further, although the source / drain region is generally formed by ion implantation, a method of forming the source / drain region of the MOSFET by epitaxially growing the SiGe layer and adding impurities such as boron is also studied. (For example, see Patent Document 1 below).

[0004]

Here, the method for manufacturing the above-mentioned MOSFET will be described with reference to FIG.

First, as shown in FIG. 6A, an element separation region (not shown) is formed on the surface side of the silicon substrate 11. Next, the gate electrode 13 is formed on the silicon substrate 11 via the gate insulating film 12, and the offset insulating film 14 made of a silicon nitride film is formed on the gate electrode 13. Next, a silicon nitride film is formed on the silicon substrate 11 while covering the gate insulating film 12, the gate electrode 13, and the offset insulating film 14, and the silicon nitride film is etched back by a dry etching method to obtain a gate. Sidewalls 15 are formed on both sides of the insulating film 12, the gate electrode 13, and the offset insulating film 14.

[0005]

Next, as shown in FIG. 6B, the recess region 16 is formed by performing so-called recess etching in which the silicon substrate 11 is dug down by etching with the offset insulating film 14 and the sidewall 15 as masks.

Then, the natural oxide film on the surface of the silicon substrate 11 is removed by a cleaning treatment using dilute hydrofluoric acid.

[0006]

Next, as shown in FIG. 6C, a silicon germanium (SiGe) layer 17 containing a p-type impurity such as boron is epitaxially grown on the recess region 16, that is, the surface of the dug-down silicon substrate 11.

As a result, the SiGe layer 17 containing a constant concentration of Ge is formed. The SiGe layer 17 serves as a source / drain region, and a region directly below the gate electrode 13 sandwiched between the source / drain regions on the silicon substrate 11 serves as a channel region 18. When stress is applied to the channel region 18 by the SiGe layer 17, the channel region 18 is distorted, so that a MOSFET having sufficient carrier mobility is formed.

[0007]

特表２００２－５３０８６４号公報（特に、図４および段落番号００３０参照）

[0008]

However, in the method for manufacturing a semiconductor device as described above, in order to effectively apply stress to the channel region 18, it is necessary to thicken the SiGe layer 17 containing a high concentration of germanium (Ge). If the SiGe layer 17 containing a high concentration of Ge is formed with a thickness equal to or higher than the critical thickness, stress relaxation occurs due to the inclusion of defects, and it becomes difficult to apply stress to the channel region 18. There is.

Further, in order to reduce the resistance of the source / drain region, there is a method of silicidizing the surface side of the SiGe layer 17 to form a silicide layer, but the surface side of the SiGe layer 17 containing a high concentration of Ge is provided. There is also a problem that the silicide layer is not formed in a uniform film shape, the resistance is not reduced, and the leakage current when connected to the SiGe layer 17 is increased.

[0009]

Therefore, the present invention provides a method for manufacturing a semiconductor device capable of effectively applying stress to a channel region within the critical film thickness of the mixed crystal layer and forming a silicide layer in a film shape on the surface side of the mixed crystal layer. An object of the present invention is to provide a semiconductor device.

[0010]

In order to achieve the above-mentioned object, the method for manufacturing a semiconductor device in the present invention is characterized in that the following steps are sequentially performed.

First, in the first step, a step of forming a gate electrode on a silicon substrate via a gate insulating film is performed.

Next, in the second step, a step of digging down the surface layer of the silicon substrate is performed by etching with the gate electrode as a mask.

Next, in the third step, a step of epitaxially growing a mixed crystal layer composed of silicon and atoms having different lattice constants from silicon is performed on the surface of the dug-down silicon substrate.

Then, in the third step, the atoms have a concentration gradient such that the concentration increases from the silicon substrate side toward the central portion of the mixed crystal layer and decreases from the central portion toward the surface of the mixed crystal layer. It is characterized in that the mixed crystal layer is epitaxially grown so as to be contained.

[0011]

According to the method for manufacturing such a semiconductor device, the mixed crystal layer is epitaxially grown so as to contain atoms having a concentration gradient as described above and having a lattice constant different from that of silicon. Compared with the case where the atom is contained in a constant concentration as a whole, the concentration of the atom in the central portion can be increased within the range of the critical film thickness.

This makes it possible to effectively apply stress to the channel region.

Further, the concentration of the atom on the surface side of the mixed crystal layer is lower than that of the central portion of the mixed crystal layer, so that a uniform film-like silicide layer is formed on the surface side of the mixed crystal layer. Is possible.

[0012]

Further, in the semiconductor device of the present invention, an atom having a lattice constant different from that of silicon and silicon is formed in a region where a gate electrode provided on a silicon substrate via a gate insulating film and a silicon substrate on both sides of the gate electrode are dug down. In a semiconductor device including a mixed crystal layer composed of It is characterized in that the atom is contained having a concentration gradient such that.

[0013]

According to such a semiconductor device, since the mixed crystal layer contains atoms having a concentration gradient as described above and having a lattice constant different from that of silicon, the mixed crystal layer has a constant concentration as described above. Compared with the case where atoms are contained, the concentration of the atoms in the central portion can be increased within the range of the critical film thickness.

This makes it possible to effectively apply stress to the channel region.

Further, the concentration of the atom on the surface side of the mixed crystal layer is lower than that of the central portion of the mixed crystal layer, so that a uniform film-like silicide layer is formed on the surface side of the mixed crystal layer. Is possible.

[0014]

As described above, according to the method for manufacturing a semiconductor device and the semiconductor device according to the present invention, stress can be effectively applied to the channel region, so that the channel region is distorted and the carrier mobility is improved. be able to.

Further, since a uniform film-like silicide layer can be formed on the surface side of the mixed crystal layer, the contact resistance of the mixed crystal layer can be reduced, and a leak when connecting to the mixed crystal layer can be achieved. It is possible to prevent the generation of electric current.

Therefore, the characteristics of the transistor can be improved.

[0015]

Hereinafter, embodiments of the present invention will be described in detail with reference to the drawings.

In each embodiment, the configuration of the semiconductor device will be described in the order of manufacturing processes.

[0016]

(First Embodiment) As an example of the embodiment according to the method for manufacturing a semiconductor device of the present invention, a method for manufacturing a MOSFET will be taken as an example, and will be described with reference to the cross-sectional views of the manufacturing process of FIGS. 1 and 2.

The same configurations as those described in the background art will be described with the same numbers.

[0017]

First, as shown in FIG. 1A, a silicon substrate 11 made of single crystal silicon is prepared, and an element separation region is formed on the surface side thereof.

At this time, for example, a groove is formed on the surface side of the silicon substrate 11, and an element separation region having an STI (shallow trench isolation) structure in which an insulating film made of, for example, a silicon oxide film is embedded in the groove is formed.

[0018]

Next, on the silicon substrate 11 separated in the element separation region, for example, a gate electrode 13 made of polysilicon is formed in a pattern via a gate insulating film 12 made of a silicon oxynitride film.

At this time, after the gate insulating film 12, the gate electrode 13, and each material film constituting the offset insulating film 14 are laminated and formed so that the offset insulating film 14 made of, for example, a silicon nitride film is provided on the gate electrode 13. , These laminated films are pattern-etched.

[0019]

Here, the constituent material of the gate insulating film 12 is not limited to the silicon oxynitride film, but may be a silicon oxide film or a metal oxide film containing hafnium or aluminum.

Further, the gate electrode 13 is not limited to polysilicon, and may contain a metal material.

[0020]

Next, as shown in FIG. 1B, for example, a silicon nitride film 15'is formed on the silicon substrate 11 in a state of covering the gate insulating film 12, the gate electrode 13, and the offset insulating film 14.

Subsequently, as shown in FIG. 1C, the silicon nitride film 15'(see FIG. 1B) is etched back by, for example, a dry etching method, whereby the gate insulating film 12, the gate electrode 13, and the gate electrode 13 are formed. An insulating sidewall 15 is formed on the side wall of the offset insulating film 14.

Here, the sidewall 15 is composed of, for example, a silicon nitride film, but may be other than the silicon nitride film, and may be composed of a silicon oxide film or a laminated structure thereof.

[0021]

Next, as shown in FIG. 1D, recess etching is performed to dig down the surface of the silicon substrate 11.

In this case, the recess region 16 having a depth of about 80 nm is formed by performing recess etching in which the surface layer of the silicon substrate 11 is dug down by etching with the offset insulating film 14 and the sidewall 15 on the gate electrode 13 as masks. Form.

In this recess etching, the recess region 16 is expanded to the lower side of the sidewall 15 by performing isotropic etching.

Then, the natural oxide film on the surface of the silicon substrate 11 is removed by a cleaning treatment using dilute hydrofluoric acid.

Here, an example in which recess etching is performed with the sidewall 15 provided will be described, but the present invention can be applied even when recess etching is performed without providing the sidewall 15. ..

[0022]

Next, a mixed crystal layer of silicon and atoms having different lattice constants from that of silicon is epitaxially grown on the surface of the recess region 16, that is, the surface of the silicon substrate 11 dug down.

Here, since a PMOSFET is formed, a compressive stress is applied to the channel region sandwiched between the mixed crystal layers, so that a SiGe layer (mixed) composed of silicon (Si) and germanium (Ge) having a lattice constant larger than that of silicon is applied. Crystal layer) is epitaxially grown.

[0023]

At this time, as a characteristic configuration of the present invention, the concentration becomes high on the surface of the recess region 16 from the silicon substrate 11 side toward the central portion in the film thickness direction of the SiGe layer, and from this central portion toward the surface of the SiGe layer. The SiGe layer is epitaxially grown so that Ge is contained with a concentration gradient such that the concentration becomes low.

Here, the SiGe layer is sequentially laminated with three layers including a first SiGe layer (first layer), a second SiGe layer (second layer), and a third SiGe layer (third layer). Will be configured.

[0024]

Specifically, as shown in FIG. 2 (e), the concentration on the surface of the recess region 16 becomes high from the silicon substrate 11 side toward the surface up to the Ge concentration of the second SiGe layer described later. The first SiGe layer 21a is epitaxially grown so that it has a gradient and contains Ge.

Here, 1 nm to 30 nm so that Ge is contained so as to have a concentration gradient such that the Ge concentration is continuously high from a concentration range of 0 to 30 vol% to a concentration range of 30 vol% to 50 vol%. The first SiGe layer 21a is formed with the film thickness of.

[0025]

As the film forming condition of the first SiGe layer 21a, hydride germanium diluted to 1.5 vol% with dichlorosilane (DCS), hydrogen chloride (HCl), and hydrogen (H2) as the film forming gas. (GeH4), the gas flow rate is DCS / HCl = 10-100 / 10-100 (ml / min), and GeH4 is continuous from 0 to 50 (ml / min) to 100 to 200 (ml / min). Change to.

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

However, the above gas flow rate shall indicate the volume flow rate in the standard state, and the same shall apply to the gas flow rates shown thereafter.

[0026]

Here, there is a case where the first SiGe layer 21a constituting the SiGe layer is formed with a concentration gradient as described above to form a SiGe layer having the same film thickness and containing a constant concentration of Ge. By comparison, it is possible to increase the concentration of the second SiGe layer, which will be described later, below the critical film thickness.

Further, by interposing the first SiGe layer 21a between the silicon substrate 11 and the second SiGe layer containing the highest concentration Ge described later, the first SiGe layer 21a and the first SiGe layer 21a and the first The defect of film formation due to the difference in concentration of Ge from the SiGe layer of 2 is alleviated.

Here, it was decided to form the first SiGe layer 21a so that Ge is contained so as to have a concentration gradient such that the concentration is continuously high from the silicon substrate 11 side toward the surface. However, this concentration gradient may be gradual.

In this case, the gas flow rate of GeH4 is changed stepwise.

[0027]

Further, as described in the background art, even when the SiGe layer is directly formed on the surface of the recess region so that a constant concentration of Ge is contained in the entire surface, the concentration is low on the surface of the recess region for the convenience of film formation. A SiGe layer containing the above Ge may be formed, but this embodiment is different from the second SiGe layer described later, and has a concentration gradient as described above by changing the film forming conditions. The first SiGe layer 21a is formed with a predetermined film thickness so that Ge is contained therein.

[0028]

Next, as shown in FIG. 2 (f), the second SiGe layer 21b is epitaxially grown on the first SiGe layer 21a so that the highest concentration of Ge among the three layers is contained.

Here, the second SiGe layer 21b is formed with a film thickness of 20 nm to 100 nm so that the Ge concentration is 30 vol% to 50 vol%.

[0029]

As the film forming condition of the second SiGe layer 21b, the same film forming gas as the first SiGe layer 21a is used, and the gas flow rate is DCS / HCl / GeH4 = 10 to 100/10 to 100/100 to 200. (Ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0030]

Here, it is preferable that the second SiGe layer 22b has a high Ge concentration and is as thick as possible within the range of the critical film thickness.

This makes it possible to effectively apply stress to the channel region of the formed MOSFET.

Here, as described above, the first SiGe layer 21a is formed from the silicon substrate 11 side toward the surface with a concentration gradient such that the concentration becomes high up to the Ge concentration of the second SiGe layer 21b. Further, as will be described later, the Ge is contained so as to have a concentration gradient from the second SiGe layer 22b side toward the surface so that the concentration becomes lower than the Ge concentration of the second SiGe layer 22b. By forming the SiGe layer of No. 3, it is possible to increase the concentration of the second SiGe layer 21b within the range of the critical film thickness as compared with the case where the entire SiGe layer contains a constant concentration of Ge.

[0031]

Next, as shown in FIG. 2 (g), the concentration on the second SiGe layer 21b is lowered from the Ge concentration of the second SiGe layer 21b from the side of the second SiGe layer 21b toward the surface. The third SiGe layer 21c is epitaxially grown so that Ge is contained having a concentration gradient.

Here, since the Ge concentration of the second SiGe layer 21b is 30 vol% to 50 vol%, 0 vol% to 30 vol% from the concentration range of 30 vol% to 50 vol% from the second SiGe layer 21 b side toward the surface. The third SiGe layer 21c is formed with a film thickness of 10 nm to 50 nm so that Ge is contained with a concentration gradient such that the concentration is continuously low up to the concentration range of.

[0032]

As the film forming condition of the third SiGe layer 21c, the same film forming gas as the first SiGe layer 21a and the second SiGe layer 21b is used, and the gas flow rate is DCS / HCl = 10 to 100/10 to 10. It is set to 100 (ml / min).

Then, the gas flow rate of GeH4 is continuously changed from 100 to 200 (ml / min) to 0 to 50 (ml / min).

The treatment temperature is set to 650 ° C to 750 ° C, and the treatment pressure is set to 1.3 kPa to 13.3 kPa.

[0033]

Here, by forming the third SiGe layer 21c with the concentration gradient as described above, the Ge concentration of the third SiGe layer 21c becomes lower than that of the second SiGe layer 21b. Therefore, as will be described later, the third SiGe layer 21c can be silicidalized to form a uniform film-like silicide layer.

Here, the third SiGe layer 21c is formed so that Ge is contained with a concentration gradient such that the concentration is continuously low from the second SiGe layer 21b side toward the surface. However, this concentration gradient may be gradual.

In this case, the gas flow rate of GeH4 is changed stepwise.

[0034]

By forming the third SiGe layer 21c as described above, the first SiGe layer 21a, the second SiGe layer 21b, and the third SiGe layer 21c are sequentially laminated on the surface of the recess region 16. SiGe layer 21 is formed.

Here, since the recess region 16 is formed at a depth of about 80 nm, it is sequentially embedded in the first SiGe layer 21a, the second SiGe layer 21b, and the third SiGe layer 21c, and is sequentially embedded in the third SiGe layer. 21c is in a state of being raised from the surface of the silicon substrate 11.

The SiGe layer 21 has a concentration gradient such that the concentration increases from the silicon substrate 11 side toward the central portion of the SiGe layer 21 and decreases from the central portion toward the surface of the SiGe layer 21. Ge is contained.

[0035]

Then, a p-type impurity composed of, for example, boron is doped by an ion implantation method using the offset insulating film 14 and the sidewall 15 as masks.

As a result, the SiGe layer 21 mainly becomes the source / drain region of the MOSFET formed by the manufacturing method of the present embodiment, and the region of the silicon substrate 11 directly below the gate electrode 13 sandwiched by the SiGe layer 21 becomes the channel region 18. Become.

[0036]

Next, as shown in FIG. 2H, a refractory metal film made of, for example, nickel (not shown) is formed on the offset insulating film 14, the sidewall 15, and the SiGe layer 21, and then annealed. , The surface side of the SiGe layer 21 is silicidized to form a silicide layer S made of nickel silicide.

Here, it is assumed that the third SiGe layer 21c (see FIG. 2 (g) above) is silicidal.

At this time, since the third SiGe layer 21c contains impurities having a lower concentration than that of the second SiGe layer 21b, a uniform film-like silicide layer S is formed on the surface side of the SiGe layer 21.

Then, the unreacted refractory metal film is removed.

Here, it is decided to form nickel silicide as the silicide layer S, but the present invention is not limited to this, and a silicide layer S composed of cobalt silicide and titanium silicide may be formed.

[0037]

As described above, the MOSFET in which the channel region 18 is distorted is manufactured by applying stress (compressive stress) to the channel region 18 by the SiGe layer 21.

[0038]

According to the method for manufacturing such a semiconductor device and the semiconductor device obtained by the method, the concentration becomes high from the silicon substrate 11 side toward the central portion of the SiGe layer 21, and the concentration becomes low toward the surface of the SiGe layer 21 from the central portion. By forming the SiGe layer 21 so that Ge is contained with a concentration gradient such that Therefore, the concentration of Ge in the central portion (second SiGe layer 21b) can be increased.

This makes it possible to effectively apply stress to the channel region 18.

Therefore, the channel region 18 can be distorted to improve carrier mobility.

Further, the third SiGe layer 21c contains Ge at a lower concentration than that of the second SiGe layer 21b, so that a uniform film-like silicide layer S is formed on the surface side of the SiGe layer 21. can.

Therefore, it is possible to reduce the contact resistance of the SiGe layer 21 and prevent the generation of a leakage current when connecting to the SiGe layer 21.

From the above, the characteristics of the transistor can be improved.

[0039]

Further, according to the method for manufacturing a semiconductor device of the present embodiment, the SiGe layer 21 having a Ge concentration gradient is formed by a series of operations only by changing the film forming conditions without changing the film forming gas. It is also excellent in productivity.

[0040]

(Second Embodiment) In the first embodiment, the manufacturing method of the MOSFET has been described as an example, but in the present embodiment, the manufacturing method of the NMOSFET will be described as an example with reference to FIG.

The process of digging down the surface of the silicon substrate 11 is the same as the process described with reference to FIGS. 1 (a) to 1 (d).

[0041]

Even when manufacturing an NMOSFET, as shown in FIG. 3A, silicon and silicon are mixed with atoms having different lattice constants on the surface of the recess region 16, that is, the surface of the silicon substrate 11 dug down. The crystal layer is epitaxially grown.

In this case, since tensile stress is applied to the channel region sandwiched between the mixed crystal layers, a silicon carbon (SiC) layer (mixed crystals) composed of silicon (Si) and carbon (C) having a lattice constant smaller than that of silicon. Layer) is epitaxially grown.

[0042]

Even in this case, the concentration on the surface of the recess region 16 becomes high from the silicon substrate 11 side toward the central portion in the film thickness direction of the SiC layer, and decreases from the central portion toward the surface of the SiC layer. The SiC layer is epitaxially grown so that C is contained with a high concentration gradient.

Here, as in the first embodiment, the SiC layer is a first SiC layer (first layer), a second SiC layer (second layer), and a third SiC layer (third layer).) Sequentially laminated.

[0043]

Specifically, C is contained on the surface of the recess region 16 with a concentration gradient such that the concentration increases from the silicon substrate 11 side toward the surface to the C concentration of the second SiC layer described later. As described above, the first SiC layer 22a is epitaxially grown.

Here, C is contained with a concentration gradient such that the C concentration is continuously high from a concentration range of 0 to 1.0 vol% to a concentration range of 1.0 vol% to 3.0 vol%. As described above, the first SiC layer 22a is formed with a film thickness of 1 nm to 30 nm.

[0044]

As the film forming condition of the first SiC layer 22a, monomethylsilane (SiH3CH3) diluted to 1 vol% with DCS, HCl and hydrogen (H2) was used as the film forming gas, and the gas flow rate was DCS / HCl = 10. It is set to ~ 100/10 to 100, and SiH3CH3 is continuously changed from 0 to 25 (ml / min) to 25 to 50 (ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0045]

Here, as compared with the case of forming the first SiC layer 22a having the concentration gradient as described above to form the SiC layer containing a constant concentration of C with the same film thickness, the second described later. It is possible to increase the concentration of the SiC layer below the critical film thickness.

Further, the first SiC layer 22a and the first SiC layer 22a are formed by interposing the first SiC layer 22a between the silicon substrate 11 and the second SiC layer containing the highest concentration of C, which will be described later. The defect of film formation due to the difference in C concentration from the SiC layer of 2 is alleviated.

Here, it was decided to form the first SiC layer 22a so that C is contained so as to have a concentration gradient such that the concentration is continuously high from the silicon substrate 11 side toward the surface. However, this concentration gradient may be gradual.

In this case, the gas flow rate of the SiH3CH3 is changed stepwise.

[0046]

Further, even when the SiC layer is directly formed on the surface of the recess region so that the entire surface contains a constant concentration of C, the SiC layer containing a low concentration of C on the surface of the recess region for the convenience of film formation. However, in this embodiment, unlike the second SiC layer described later, the film forming conditions are changed so that C is contained with a concentration gradient as described above. , The first SiC layer 21a is formed with a predetermined film thickness.

[0047]

Next, as shown in FIG. 3B, the second SiC layer 22b is epitaxially grown on the first SiC layer 22a so that impurities are contained at the highest concentration among the three layers.

Here, the second SiC layer 22b is formed with a film thickness of 20 nm to 100 nm so that the C concentration is 1.0 vol% to 3.0 vol%.

[0048]

As the film forming condition of the second SiC layer 22b, the same film forming gas as the first SiC layer 22a is used, and the gas flow rate is DCS / HCl / SiH3CH3 = 10 to 100/10 to 100/25 to 50. (Ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0049]

Here, it is preferable that the second SiC layer 22b has a high C concentration and is as thick as possible within the range of the critical film thickness.

This makes it possible to effectively apply stress to the channel region of the formed MOSFET.

Here, as described above, the first SiC layer 22a is formed from the silicon substrate 11 side toward the surface with a concentration gradient such that the concentration becomes high up to the C concentration of the second SiC layer 22b. Further, as will be described later, C is contained so as to have a concentration gradient from the C concentration of the second SiC layer 22b toward the surface from the C concentration of the second SiC layer 22b to a low concentration. By forming the SiC layer of No. 3, it is possible to increase the concentration of the second SiC layer 22b within the range of the critical film thickness as compared with the case where the entire SiC layer contains a constant concentration of C.

[0050]

Next, as shown in FIG. 3C, the C concentration of the second SiC layer 22b becomes lower than the C concentration of the second SiC layer 22b from the second SiC layer 22b side toward the surface on the second SiC layer 22b. The third SiC layer 22c is epitaxially grown so that C is contained with a high concentration gradient.

Here, since the C concentration of the second SiC layer 21b is 1.0 vol% to 3.0 vol%, it is 1.0 vol% to 3.0 vol% from the second SiC layer 22b side toward the surface. A third SiC layer with a film thickness of 10 nm to 50 nm so that C is contained with a concentration gradient such that the concentration is continuously low from the concentration range to the concentration range of 0 vol% to 1.0 vol%. 22c is formed.

[0051]

As the film forming conditions for the third SiC layer 22c, the same film forming gas as the first SiC layer 22a and the second SiC layer 22b is used, and the gas flow rate is DCS / HCl = 10 to 100/10 to 10 It is set to 100 (ml / min).

Then, the gas flow rate of SiH3CH3 is continuously changed from 25 to 50 (ml / min) to 0 to 25 (ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0052]

Here, by forming the third SiC layer 22c with the concentration gradient as described above, the C concentration of the third SiC layer 22c becomes lower than that of the second SiC layer 22b. Therefore, as will be described later, the third SiC layer 22c can be silicidized to form a uniform film-like VDD layer.

Here, the third SiC layer 22c is formed so that C is contained so as to have a concentration gradient such that the concentration is continuously low from the second SiC layer 22b side toward the surface. However, this concentration gradient may be gradual.

In this case, the gas flow rate of the SiH3CH3 is changed stepwise.

[0053]

By forming the third SiC layer 22c as described above, the first SiC layer 22a, the second SiC layer 22b, and the third SiC layer 22c are sequentially laminated on the surface of the recess region 16. The SiC layer 22 is formed.

Here, since the recess region 16 is formed at a depth of about 80 nm, it is sequentially embedded in the first SiC layer 22a, the second SiC layer 22b, and the third SiC layer 22c, and is sequentially embedded in the third SiC layer. 22c is in a state of being raised from the surface of the silicon substrate 11.

The SiC layer 22 has a concentration gradient such that the concentration increases from the silicon substrate 11 side toward the central portion of the SiC layer 22 and decreases from the central portion toward the surface of the SiC layer 22. C is contained.

[0054]

Then, an n-type impurity composed of, for example, As is doped by an ion implantation method using the offset insulating film 14 and the sidewall 15 as masks.

As a result, the SiC layer 22 mainly becomes the source / drain region of the NMOSFET formed by the manufacturing method of the present embodiment, and the region of the silicon substrate 11 immediately below the gate electrode 13 sandwiched by the SiC layer 22 becomes the channel region 18. Become.

[0055]

Next, as shown in FIG. 3D, a refractory metal film made of, for example, nickel (not shown) is formed on the offset insulating film 14, the sidewall 15, and the SiC layer 22, and then annealed. , The surface side of the SiC layer 22 is silicidalized to form a silicide layer S made of nickel silicide.

Here, it is assumed that the third SiC layer 22c (see FIG. 3C) is silicidal.

At this time, since the third SiC layer 22c contains impurities having a lower concentration than that of the second SiC layer 22b, a uniform film-like silicide layer S is formed on the surface side of the SiC layer 22.

Then, the unreacted refractory metal film is removed.

Here, it is decided to form nickel silicide as the silicide layer S, but the present invention is not limited to this, and a silicide layer S composed of cobalt silicide and titanium silicide may be formed.

[0056]

As described above, the N MOSFET in which the channel region 18 is distorted is manufactured by applying stress (tensile stress) to the channel region 18 by the SiC layer 21.

[0057]

Depending on the method for manufacturing such a semiconductor device and the semiconductor device obtained by the method, the concentration becomes high from the silicon substrate 11 side toward the central portion of the SiC layer 22, and decreases from the central portion toward the surface of the SiC layer 22. By forming the SiC layer 22 so that C is contained with such a concentration gradient, within the range of the critical film thickness as compared with the case where the entire SiC layer contains C at a constant concentration. , The concentration of C in the second SiC layer 22b can be increased.

This makes it possible to effectively apply stress to the channel region 18.

Therefore, the channel region 18 can be distorted to improve carrier mobility.

Further, since the third SiC layer 22c contains a lower concentration of C than that of the second SiC layer 22b, a uniform film-like silicide layer S can be formed on the surface side of the SiC layer 22. ..

Therefore, it is possible to reduce the contact resistance of the SiC layer 22, and it is possible to prevent the generation of a leakage current when connecting to the SiC layer 22.

From the above, the characteristics of the transistor can be improved.

[0058]

Further, according to the method for manufacturing a semiconductor device of the present embodiment, the SiC layer 22 having a C concentration gradient is formed by a series of operations only by changing the film forming conditions without changing the film forming gas. It is also excellent in productivity.

[0059]

In the first and second embodiments described above, an example in which the mixed crystal layer composed of the SiGe layer or the SiC layer is composed of three layers has been described, but the central portion of the mixed crystal layer from the silicon substrate side. It suffices if the mixed crystal layer is formed so that Ge or C is contained with a concentration gradient such that the concentration becomes high toward the surface of the mixed crystal layer and becomes low toward the surface of the mixed crystal layer. It may be composed of a plurality of layers of three or more layers.

Further, it may be composed of a single layer which is continuously changed so as to have the above concentration gradient.

[0060]

(Third Embodiment) In the first embodiment and the second embodiment, an example in which impurities are introduced into the mixed crystal layer by an ion doping method after forming the mixed crystal layer has been described, but in the present embodiment, the example has been described. An example of epitaxially growing a mixed crystal layer in which impurities are introduced will be described with reference to FIG.

Here, taking a method for manufacturing a MOSFET as an example, for example, a SiGe layer (mixed crystal layer) containing an impurity made of boron is epitaxially grown.

The process of digging down the surface of the silicon substrate 11 is the same as the process described with reference to FIGS. 1 (a) to 1 (d).

[0061]

In the present embodiment, as described with reference to FIG. 2 in the first embodiment, the concentration becomes high on the surface of the recess region 16 from the silicon substrate 11 side toward the central portion in the film thickness direction of the SiGe layer, and the concentration is high at the center. The SiGe layer is epitaxially grown so that Ge is contained having a concentration gradient such that the concentration becomes low from the portion toward the surface of the SiGe layer.

Further, at this time, a concentration gradient such that the concentration becomes high from the silicon substrate 11 side toward the surface is provided so that a p-type impurity composed of, for example, boron is contained.

[0062]

Here, as in the first embodiment, the SiGe layer is configured by sequentially laminating three layers including a first SiGe layer, a second SiGe layer, and a third SiGe layer.

Further, it is assumed that the concentration gradient of Ge of these three layers is the same as that of the SiGe layer of the first embodiment.

[0063]

Specifically, first, as shown in FIG. 4A, the concentration of the recess region 16 is increased from the silicon substrate 11 side toward the surface up to the Ge concentration of the second SiGe layer described later. The first SiGe layer 23a is epitaxially grown so that Ge is contained having a high concentration gradient.

Here, the first one is such that Ge is contained so as to have a concentration gradient such that the Ge concentration is continuously high from the concentration range of 0 to 30 vol% to the concentration range of 30 vol% to 50 vol%. The SiGe layer 23a is formed.

At this time, for example, the first SiGe layer 23a having a boron concentration of 1 × 1018 cm3 to 1 × 1019 cm3 is formed so that the lowest concentration of boron among the above three layers is contained.

Further, the film thickness of the first SiGe layer 23a is assumed to be 1 nm to 30 nm.

[0064]

As the film forming conditions of the first SiGe layer 23a, as the film forming gas, GeH4 diluted to 1.5 vol% with DCS, HCl and hydrogen (H2) and diborane diluted to 100 ppm with hydrogen (H2) (B2H6) is used, the gas flow rate is DCS / HCl / B2H6 = 10 to 100/10 to 100/1 to 50 (ml / min), and GeH4 is from 0 to 50 (ml / min) to 100 to 200 (ml / min).).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0065]

Here, since the first SiGe layer 23a containing the low-concentration impurities is arranged near the channel region among the SiGe layers to be formed, as will be described later, the diffusion of boron from the SiGe layer by heat treatment is performed. Is suppressed and the short channel effect is prevented.

Then, in order to surely prevent the short channel effect, the first SiGe layer 23a has a film thickness of about 10 nm to 30 nm even within the above film thickness range within a range that does not reduce the carrier mobility of the MOSFET to be formed. It is more preferable that the film is formed.

[0066]

Even when a SiGe layer containing a constant concentration of boron is directly formed on the surface of the recess region, a SiGe layer containing a low concentration of boron is formed on the surface of the recess region for the convenience of film formation. In some cases, this embodiment is different from that of the first SiGe layer, which contains a low concentration of impurities so as to have a predetermined film thickness by changing the film forming conditions from the second SiGe layer described later. The layer 23a is formed.

[0067]

Next, as shown in FIG. 4B, the second SiGe layer 23b is epitaxially grown on the first SiGe layer 23a so that the highest concentration of Ge among the three layers is contained.

Here, the second SiGe layer 23b is formed with a film thickness of 20 nm to 100 nm so that the Ge concentration is 30 vol% to 50 vol%.

[0068]

At this time, the second SiGe layer 23b'and the second SiGe layer 23b' are sequentially laminated to form the second SiGe layer 23b.

Here, the second SiGe layer 23b', which is the lower layer side, is the second SiGe layer 23b" described later from the impurity concentration of the first SiGe layer 23a from the first SiGe layer 23a side toward the surface. The second SiGe layer 23b'is formed so that the impurities are contained with a concentration gradient that continuously changes to the impurity concentration.

Here, the concentration range of boron in the first SiGe layer 23a is 1 × 1018 cm3 to 1 × 1019 cm3, and as will be described later, the concentration range of boron in the second SiGe layer 23b " is 1 × 1019 cm3 to 5 ×. Since it is 1020 cm3, the concentration is continuously high from the concentration range of 1 × 1018 cm3 to 1 × 1019 cm3 to the concentration range of

1 × 1019 cm3 to 5 × 1020 cm3 from the first SiGe layer 23a side toward the surface. A second SiGe layer 23b'is formed so that it has a concentration gradient and contains boron.

The film thickness of the second SiGe layer 23b'is 1 nm to 20 nm.

[0069]

As the film forming condition of the second SiGe layer 23b', the same film forming gas as the first SiGe layer 23a is used, and the gas flow rate is DCS / HCl / GeH4 = 10 to 100/10 to 100/100 to 100/100. It is set to 200 (ml / min).

Then, the gas flow rate of B2H6 diluted to 100 ppm by H2 is continuously changed from 1 to 50 (ml / min) to 50 to 300 (ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0070]

Here, between the first SiGe layer 23a having the lowest impurity concentration among the three layers and the second SiGe layer b" having a higher impurity concentration than the first SiGe layer 23a described later, the above-mentioned first By interposing the SiGe layer 23b'of 2, the defect of film formation due to the difference in the concentration of impurities between the first SiGe layer 23a and the second SiGe layer 23b'is alleviated.

Therefore, when the difference in the concentration of impurities between the first SiGe layer 23a and the second SiGe layer 23b'is small, it is not necessary to form the second SiGe layer 23b'.

Further, here, the impurities are contained so as to have a concentration gradient such that the concentration is continuously high from the first SiGe layer 23a side to the second SiGe layer b " side. Although it was decided to form the SiGe layer 23b of 2, the concentration gradient may be gradual.

In this case, the gas flow rate of B2H6 is changed stepwise.

[0071]

Next, a second SiGe layer 23b" is formed on the second SiGe layer 23b'so that impurities having a higher concentration than that of the first SiGe layer 23a are contained.

Here, the boron concentration is set to 1 × 1019 cm3 to 5 × 1020 cm3, and the second SiGe layer 23b'and the second SiGe layer 23b" have a total film thickness of 20 nm to 100 nm. Layer 23b" is formed.

[0072]

As the film forming condition of the second SiGe layer 23b", the same film forming gas as the first SiGe layer 23a and the second SiGe layer 23b'is used, and the gas flow rate is DCS / HCl / GeH4 / B2H6. = 10 to 100/10 to 100/100 to 200/50 to 300 (ml / min), the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0073]

Next, as shown in FIG. 4C, the concentration on the second SiGe layer 23b is lowered from the Ge concentration of the second SiGe layer 23b from the side of the second SiGe layer 23b toward the surface. The third SiGe layer 23c is epitaxially grown so that Ge is contained having a high concentration gradient.

Here, since the Ge concentration of the second SiGe layer 23b is 30 vol% to 50 vol%, 0 vol% to 30 vol% from the concentration range of 30 vol% to 50 vol% from the second SiGe layer 23 b side toward the surface. The third SiGe layer 23c is formed so that Ge is contained with a concentration gradient such that the concentration is continuously low up to the concentration range of.

[0074]

At this time, the third SiGe layer 23c is formed so as to contain impurities having a high concentration similar to that of the second SiGe layer 23b".

Here, the third SiGe layer 23c is formed so that the boron concentration is 1 × 1019 cm3 to 5 × 1020 cm3.

The film thickness of the third SiGe layer 23c is 10 nm to 50 nm.

[0075]

As the film forming condition of the third SiGe layer 23c, the same film forming gas as the first SiGe layer 23a and the second SiGe layer 23b is used, and the gas flow rate is DCS / HCl / B2H6 = 10 to 100 /. It is set to 10 to 100/50 to 300 (ml / min).

Then, the gas flow rate of GeH4 is continuously changed from 100 to 200 (ml / min) to 0 to 50 (ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0076]

By forming the third SiGe layer 23c as described above, the first SiGe layer 23a, the second SiGe layer 23b, and the third SiGe layer 23c are sequentially laminated on the surface of the recess region 16. SiGe layer 23 is formed.

The SiGe layer 23 has a concentration gradient such that the concentration increases from the silicon substrate 11 side toward the central portion of the SiGe layer 23 and decreases from the central portion toward the surface of the SiGe layer 23. In addition to being contained, boron is contained with a concentration gradient such that the concentration becomes high from the silicon substrate 11 side toward the surface.

The SiGe layer 23 becomes the source / drain region of the MOSFET, and the region of the silicon substrate 11 immediately below the gate electrode 13 sandwiched by the SiGe layer 23 becomes the channel region 18.

[0077]

Next, as shown in FIG. 4D, the surface side of the SiGe layer 23, here the third SiGe layer 23c, is silicidized to form the silicide layer S, as in the first embodiment.

[0078]

As described above, the MOSFET in which the channel region 18 is distorted is manufactured by applying stress (compressive stress) to the channel region 18 by the SiGe layer 23.

[0079]

According to the method for manufacturing such a semiconductor device and the semiconductor device obtained by the method, the SiGe layer 23 is formed so as to have the same concentration gradient as that of the first embodiment and contains Ge. The same effect as that of the embodiment can be obtained.

[0080]

Further, according to the method for manufacturing a semiconductor device and the semiconductor device of the present embodiment, impurities made of boron are contained so as to have a concentration gradient such that the concentration increases from the silicon substrate 11 side toward the surface. Since the SiGe layer 23 is epitaxially grown, diffusion of impurities due to heat treatment is suppressed, and the short channel effect is prevented.

In particular, according to the present embodiment, the first SiGe layer 23a close to the channel region 18 is formed so as to contain impurities having a lower concentration than the other layers, so that the short channel effect is surely prevented. be able to.

Further, since it is not necessary to increase the distance between the SiGe layer 23 and the region directly below the gate electrode 13, sufficient carrier mobility can be obtained.

[0081]

In the third embodiment, an example in which boron is contained as an impurity in the SiGe layer 23 has been described, but gallium (Ga) or indium (In) may be used as the impurity in addition to the above boron. ..

When, for example, Ga is used as an impurity, triethylgallium (Ga (C2H5) 3) or trimethylgallium (Ga (CH3) 3) is used instead of B2H6 used as the film forming gas in the above-mentioned third embodiment. Apply.

When, for example, In is used as an impurity, triethylindium (In (C2H5) 3) or trimethylindium (In (CH3) 3) is applied instead of B2H6 used as the film-forming gas.

[0082]

(Fourth Embodiment) In the third embodiment, the manufacturing method of the MOSFET has been described as an example, but in the present embodiment, the manufacturing method of the NMOSFET will be described as an example with reference to FIG.

The process of digging down the surface of the silicon substrate 11 is the same as the process described with reference to FIGS. 1 (a) to 1 (d).

[0083]

In the present embodiment, as described with reference to FIG. 3 in the second embodiment, the concentration on the surface of the recess region 16 becomes high from the silicon substrate 11 side toward the central portion in the film thickness direction of the SiC layer, and the concentration becomes high at the center. The SiC layer is epitaxially grown so that C is contained with a concentration gradient such that the concentration becomes low from the portion toward the surface of the SiC layer.

Further, at this time, an n-type impurity composed of, for example, As is contained with a concentration gradient such that the concentration becomes high from the silicon substrate 11 side toward the surface.

[0084]

Here, as in the second embodiment, the SiC layer is configured by sequentially laminating three layers including a first SiC layer, a second SiC layer, and a third SiC layer.

Further, the concentration gradient of C in these three layers is the same as that of the SiC layer of the second embodiment.

[0085]

Specifically, first, as shown in FIG. 5A, the concentration of the recess region 16 is increased from the silicon substrate 11 side toward the surface up to the C concentration of the second SiC layer described later. The first SiC layer 24a is epitaxially grown so that C is contained with a high concentration gradient.

Here, C is contained with a concentration gradient such that the C concentration is continuously high from a concentration range of 0 to 1.0 vol% to a concentration range of 1.0 vol% to 3.0 vol%. As described above, the first SiC layer 24a is formed.

At this time, for example, the first SiC layer 24a having an As concentration of 1 × 1018 cm3 to 1 × 1019 cm3 is formed so that the lowest concentration of As among the above three layers is contained.

Further, the film thickness of the first SiC layer 24a is assumed to be 1 nm to 30 nm.

[0086]

As the film forming conditions for the first SiC layer 24a, SiH3CH3 diluted to 1 vol% with DCS, HCl and H2 and arsine hydride (AsH3) diluted to 1 vol% with H2 were used as the film forming gas. The gas flow rate is DCS / HCl / AsH3 = 10 to 100/10 to 100/1 to 25 (ml / min), and SiH3CH3 is changed from 0 to 25 (ml / min) to 25 to 50 (ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0087]

Here, as described later, the first SiC layer 24a containing the low-concentration impurities is arranged near the channel region among the SiC layers to be formed, so that As is diffused from the SiC layer by heat treatment. Is suppressed and the short channel effect is prevented.

Then, in order to surely prevent the short channel effect, the first SiC layer 24a has a film thickness of about 10 nm to 30 nm even within the above film thickness range within a range that does not reduce the carrier mobility of the NMOSFET to be formed. It is more preferable that the film is formed.

[0088]

Even when a SiC layer containing a constant concentration of As is directly formed on the surface of the recess region, a SiC layer containing a low concentration of As is formed on the surface of the recess region for the convenience of film formation. In some cases, this embodiment is different from that of the first SiC layer, which contains a low concentration of impurities so as to have a predetermined film thickness by changing the film forming conditions from the second SiC layer described later. The layer 24a is formed.

[0089]

Next, as shown in FIG. 5B, the second SiC layer 24b is epitaxially grown on the first SiC layer 24a so that the highest concentration of C among the three layers is contained.

Here, the second SiC layer 24b is formed with a film thickness of 20 nm to 100 nm so that the C concentration is 1.0 vol% to 3.0 vol%.

[0090]

At this time, the second SiC layer 24b'is sequentially laminated with the second SiC layer 24b' to form the second SiC layer 24b.

Here, the second SiC layer 24b', which is the lower layer side, is the second SiC layer 24b" described later from the impurity concentration of the first SiC layer 24a from the first SiC layer 24a side toward the surface. The second SiC layer 24b'is formed so that the impurities are contained with a concentration gradient that continuously changes to the impurity concentration.

Here, the As concentration range of the first SiC layer 24a is 1 × 1018 cm3 to 1 × 1019 cm3, and as will be described later, the As concentration range of the second SiC layer 24b " is 1 × 1019 cm3 to 5 ×. Since it is 1020 cm3, the concentration is continuously high from the concentration range of 1 × 1018 cm3 to 1 × 1019 cm3 to the concentration range of 1 × 1019 cm3 to 5 × 1020 cm3 from the first SiC layer 24a side toward the surface. The second SiC layer 24b'is formed so that As has a concentration gradient and contains As.

The film thickness of the second SiC layer 24b'is 1 nm to 20 nm.

[0091]

As the film forming condition of the second SiC layer 24b', the same film forming gas as the first SiC layer 24a is used, and the gas flow rate is DCS / HCl / SiH3CH3 = 10 to 100/10 to 100/25 to It is set to 50 (ml / min).

Then, the gas flow rate of AsH3 diluted to 1 vol% by H2 is continuously changed from 1 to 25 (ml / min) to 25 to 50 (ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0092]

Here, between the first SiC layer 24a having the lowest impurity concentration among the three layers and the second SiC layer 24b" having a higher impurity concentration than the first SiC layer 24a, as will be described later. By interposing the second SiC layer 24b', the defect of film formation due to the difference in the concentration of impurities between the first SiC layer 24a and the second SiC layer 24b'is alleviated.

Therefore, when the difference in the concentration of impurities between the first SiC layer 24a and the second SiC layer 24b " is small, it is not necessary to form the second SiC layer 24b '.

Further, here, the impurities are contained so as to have a concentration gradient such that the concentration is continuously high from the first SiC layer 24a side to the second SiC layer 24b" side. Although it was decided to form the SiC layer 24b'of 2, the concentration gradient may be gradual.

In this case, the gas flow rate of AsH3 is changed stepwise.

[0093]

Next, a second SiC layer 24b" is formed on the second SiC layer 24b'so that impurities having a higher concentration than that of the first SiC layer 24a are contained.

Here, the As concentration is set to 1 × 1019 cm3 to 5 × 1020 cm3, and the second SiC is set so that the total film thickness of the second SiC layer 24b'and the second SiC layer 24b" is 20 nm to 100 nm. Layer 24b" is formed.

[0094]

As the film forming condition of the second SiC layer 24b", the same film forming gas as the first SiC layer 24a and the second SiC layer 24b'is used, and the gas flow rate is DCS / HCl / SiH3CH3 / AsH3. = 10 to 100/10 to 100/25 to 50/25 to 50 (ml / min), the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0095]

Next, as shown in FIG. 5C, the C concentration of the second SiC layer 24b becomes lower than the C concentration of the second SiC layer 24b from the side of the second SiC layer 24b toward the surface on the second SiC layer 24b. The third SiC layer 24c is epitaxially grown so that C is contained with a high concentration gradient.

Here, since the C concentration of the second SiC layer 24b is 1.0 vol% to 3.0 vol%, it is 1.0 vol% to 3.0 vol% from the second SiC layer 24 b side toward the surface. The third SiC layer 24c is formed so that C is contained so as to have a concentration gradient such that the concentration is continuously low from the concentration range to the concentration range of 0 vol% to 1.0 vol%.

[0096]

At this time, the third SiC layer 24c is formed so as to contain impurities having a high concentration similar to that of the second SiC layer 24b".

Here, the third SiC layer 24c is formed so that the boron concentration is 1 × 1019 cm3 to 5 × 1020 cm3.

The film thickness of the third SiC layer 24c is 10 nm to 50 nm.

[0097]

As the film forming conditions for the third SiC layer 24c, the same film forming gas as the first SiC layer 24a and the second SiC layer 24b is used, and the gas flow rate is DCS / HCl / AsH3 = 10 to 100 /. It is set to 10 to 100/25 to 50 (ml / min).

Then, the gas flow rate of SiH3CH3 is continuously changed from 25 to 50 (ml / min) to 0 to 25 (ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0098]

By forming the third SiC layer 24c as described above, the first SiC layer 24a, the second SiC layer 24b, and the third SiC layer 24c are sequentially laminated on the surface of the recess region 16. The SiC layer 24 is formed.

The SiC layer 24 has a concentration gradient such that the concentration increases from the silicon substrate 11 side toward the central portion of the SiC layer 24 and decreases from the central portion toward the surface of the SiC layer 24. In addition to being contained, As is contained with a concentration gradient such that the concentration becomes high from the silicon substrate 11 side toward the surface.

Then, the SiC layer 24 becomes the source / drain region of the NMOSFET, and the region of the silicon substrate 11 immediately below the gate electrode 13 sandwiched by the SiC layer 24 becomes the channel region 18.

[0099]

Next, as shown in FIG. 5D, the surface side of the SiC layer 24, here, the third SiC layer 24c, is silicidalized to form the silicide layer S, as in the second embodiment.

[0100]

As described above, the N MOSFET in which the channel region 18 is distorted is manufactured by applying stress (tensile stress) to the channel region 18 by the SiC layer 24.

[0101]

According to the method for manufacturing such a semiconductor device and the semiconductor device obtained by the method, the SiC layer 24 is formed so as to have C having the same concentration gradient as that of the second embodiment, and therefore, the second embodiment is formed. The same effect as that of the embodiment can be obtained.

[0102]

Further, according to the method for manufacturing a semiconductor device and the semiconductor device of the present embodiment, the SiC layer 24 is contained so that impurities are contained so as to have a concentration gradient such that the concentration increases from the silicon substrate 11 side toward the surface. Is epitaxially grown, the diffusion of impurities due to heat treatment is suppressed, and the short channel effect is prevented.

In particular, according to the present embodiment, the first SiC layer 24a close to the channel region 18 is formed so as to contain impurities having a lower concentration than the other layers, so that the short channel effect is surely prevented. be able to.

Further, since it is not necessary to increase the distance between the SiC layer 24 and the region directly below the gate electrode 13, sufficient carrier mobility can be obtained.

[0103]

(Modification 1) In the fourth embodiment, an example in which As is contained as an impurity in the SiC layer serving as the source / drain region of the NMOSFET has been described. P) may be used.

[0104]

Also in this case, the C concentration is continuous on the surface of the recess region 16 from the silicon substrate 11 side toward the surface from a concentration range of 0 to 1.0 vol% to a concentration range of 1.0 vol% to 3.0 vol%. With a thickness of 1 nm to 30 nm, C is contained with a concentration gradient that results in a high concentration, and impurities consisting of P are contained in a concentration range of 1 × 1018 cm3 to 1 × 1019 cm3. The first SiC layer 24a is epitaxially grown (see FIG. 5 (a) above).

[0105]

As the film forming conditions for the first SiC layer 24a, SiH3CH3 diluted to 1 vol% with DCS, HCl and H2 and phosphorus hydride (PH3) diluted to 50 ppm with H2 were used as the film forming gas. The flow rate is DCS / HCl / PH3 = 10 to 100/10 to 100/1 to 150 (ml / min), and SiH3CH3 is changed from 0 to 25 (ml / min) to 25 to 50 (ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0106]

Next, the second SiC layer 24b'and the second SiC layer 24b' are sequentially laminated on the first SiC layer 24a so that the C concentration is 1.0 vol% to 3.0 vol%. The second SiC layer 24b is epitaxially grown to a film thickness of 20 nm to 100 nm (see FIG. 5 (b) above).

[0107]

Here, from the first SiC layer 24a side toward the surface, a concentration gradient is formed so that the concentration is continuously high from the concentration range of 1 × 1018 cm3 to 1 × 1019 cm3 to the concentration range of 1 × 1019 cm3 to

5 × 1020 cm3. The second SiC layer 24b'on the lower layer side is formed with a film thickness of 1 nm to 20 nm so that P is contained therein.

[0108]

As the film forming condition of the second SiC layer 24b', the same film forming gas as the first SiC layer 24a is used, and the gas flow rate is DCS / HCl / SiH3CH3 = 10 to 100/10 to 100/25 to It is set to 50 (ml / min).

Then, the gas flow rate of PH3 diluted to 50 ppm by H2 is continuously changed from 1 to 150 (ml / min) to 150 to 300 (ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0109]

Next, the P concentration is set to 1 × 1019 cm3 to 5 × 1020 cm3 on the second SiC layer 24b', and the total film thickness of the second SiC layer 24b'and the second SiC layer 24b" is 20 nm to 100 nm. The second SiC layer 24b" is formed so as to be.

[0110]

As the film forming condition of the second SiC layer 24b", the same film forming gas as the first SiC layer 24a and the second SiC layer 24b'is used, and the gas flow rate is DCS / HCl / SiH3CH3 / PH3. = 10 to 100/10 to 100/25 to 50/150 to 300 (ml / min), the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0111]

Next, on the second SiC layer 24b, continuously from the second SiC layer 24b side toward the surface from a concentration range of 1.0 vol% to 3.0 vol% to a concentration range of 0 vol% to 1.0 vol%. The third SiC layer 24c has a thickness of 10 nm to 50 nm so that C is contained with a concentration gradient such that the concentration is relatively low and the P concentration is 1 × 1019 cm3 to 5 × 1020 cm3. (See FIG. 5 (c) above).

[0112]

As the film forming conditions for the third SiC layer 24c, the same film forming gas as the first SiC layer 24a and the second SiC layer 24b is used, and the gas flow rate is DCS / HCl / PH3 = 10 to 100 /. It is set to 10 to 100/150 to 300 (ml / min).

Then, the gas flow rate of SiH3CH3 is continuously changed from 25 to 50 (ml / min) to 0 to 25 (ml / min).

Further, the processing temperature is set to 650 ° C to 750 ° C, and the processing pressure is set to 1.3 kPa to 13.3 kPa.

[0113]

By forming the third SiC layer 24c as described above, the first SiC layer 24a, the second SiC layer 24b, and the third SiC layer 24c are sequentially laminated on the surface of the recess region 16. The SiC layer 24 is formed.

The SiC layer 24 has a concentration gradient such that the concentration increases from the silicon substrate 11 side toward the central portion of the SiC layer 24 and decreases from the central portion toward the surface of the SiGe layer 24. In addition to being contained, P is contained with a concentration gradient such that the concentration becomes high from the silicon substrate 11 side toward the surface.

[0114]

The subsequent steps are carried out in the same manner as in the fourth embodiment, and the surface side of the SiC layer 24, here, the third SiC layer 24c is silicidalized to form the silicide layer S (see FIG. 5D).).

[0115]

The SiC layer 24 is also formed by such a method for manufacturing a semiconductor device and the semiconductor device obtained by the method, as in the fourth embodiment, having a concentration gradient of C and a concentration gradient of impurities composed of P. Therefore, the same effect as that of the fourth embodiment described above can be obtained.

[0116]

In the third embodiment, the fourth embodiment, and the first modification described above, the first layer, the second layer, and the third layer are sequentially laminated with the mixed crystal layer composed of the SiGe layer or the SiC layer. The three layers were configured to have a concentration gradient of Ge or C.

The concentration gradient of the impurity concentration includes a first layer containing low-concentration impurities, an upper layer and a third layer of the second layer containing high-concentration impurities, and the first layer. An example of forming the lower layer of the second layer with a concentration gradient such that the concentration becomes continuously high from the layer side to the upper layer side of the second layer has been described.

However, the present invention is not limited to this, and a mixed crystal layer composed of a plurality of layers containing impurities having a concentration gradient such that the concentration gradually increases from the silicon substrate side toward the surface is formed. Alternatively, a mixed crystal layer composed of a single layer containing impurities may be formed with a concentration gradient such that the concentration is continuously high.

However, it is preferable that the portion of the mixed crystal layer close to the channel region has a film thickness of 10 nm to 30 nm in which impurities are maintained at a low concentration.

[0117]

Further, in the above-described embodiment, an example of a method for manufacturing a semiconductor device for forming a PMOSFET and an NMOSFET has been described, but when forming a CMOS (Complementary Metal Oxide Semiconductor) FET equipped with both the PMOSFET and the NMOSFET. The present invention is also applicable.

[0118]

It is a manufacturing process sectional view (the 1) for demonstrating 1st Embodiment which concerns on the manufacturing method of the semiconductor device of this invention.

It is a manufacturing process sectional view (the 2) for demonstrating 1st Embodiment which concerns on the manufacturing method of the semiconductor device of this invention.

It is a manufacturing process sectional view for demonstrating the 2nd Embodiment which concerns on the manufacturing method of the semiconductor device of this invention.

It is a manufacturing process sectional view for demonstrating 3rd Embodiment which concerns on the manufacturing method of the semiconductor device of this invention.

It is a manufacturing process sectional view for demonstrating 4th Embodiment which concerns on the manufacturing method of the semiconductor device of this invention.

It is a manufacturing process sectional view for demonstrating the manufacturing method of the conventional semiconductor device.

Code description

[0119]

11 ... Silicon substrate, 12 ... Gate insulating film, 13 ... Gate electrode, 21, 23 ... SiGe layer, 21a, 23a ... First SiGe layer, 21b, 23b ... Second SiGe layer, 21c, 23c ... Third SiGe layer, 22, 24 ... 1st SiC layer, 22a, 24a ... 1st SiC layer, 22b, 24b ... 2nd SiC layer, 22c, 24c ... 3rd SiC layer

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JP2007294780A

1.

The first step of forming a gate electrode on a silicon substrate via a gate insulating film, the second step of digging down the surface layer of the silicon substrate by etching with the gate electrode as a mask, and the digging of the silicon substrate. The surface has a third step of epitaxially growing a mixed crystal layer composed of silicon and atoms having different lattice constants from silicon, and in the third step, the silicon substrate side is directed toward the central portion of the mixed crystal layer. The mixed crystal layer is characterized by epitaxially growing the mixed crystal layer so that the atoms are contained with a concentration gradient such that the concentration becomes high and the concentration becomes low from the central portion toward the surface of the mixed crystal layer. A method for manufacturing a semiconductor device.

2.

The method for manufacturing a semiconductor device according to claim 1, wherein the semiconductor device is a p-type field effect transistor, and the mixed crystal layer is made of silicon and germanium.

3.

The method for manufacturing a semiconductor device according to claim 1, wherein the semiconductor device is an n-type field effect transistor, and the mixed crystal layer is made of silicon and carbon.

4.

In the method for manufacturing a semiconductor device according to claim 1, the mixed crystal layer is formed by sequentially laminating three layers including a first layer, a second layer, and a third layer, and in the third step, it is dug down. The surface of the silicon substrate is contained with the atom having a concentration gradient so as to have a high concentration from the silicon substrate side toward the surface to the concentration of the atom in the second layer. A step of forming the first layer, and a step of forming the second layer on the first layer so that the atom having the highest concentration among the three layers is contained. The atom is contained on the second layer with a concentration gradient from the second layer side toward the surface so that the concentration of the atom in the second layer becomes lower than that of the atom. As described above, a method for manufacturing a semiconductor device, which comprises performing the step of forming the third layer.

5.

In the method for manufacturing a semiconductor device according to claim 1, in the third step, impurities are contained on the surface of the silicon substrate having a concentration gradient such that the concentration increases from the silicon substrate side toward the surface. As described above, a method for manufacturing a semiconductor device, characterized in that the mixed crystal layer is epitaxially grown.

6.

The method for manufacturing a semiconductor device according to claim 1, wherein after the third step, a step of silicidizing the surface side of the mixed crystal layer to form a silicide layer is performed.

7.

A gate electrode provided on a silicon substrate via a gate insulating film, and a mixed crystal layer composed of atoms having different lattice constants between silicon and silicon in a region where the silicon substrate is dug down on both sides of the gate electrode. In the semiconductor device provided with the above, the concentration of the mixed crystal layer increases from the silicon substrate side toward the central portion of the mixed crystal layer, and decreases from the central portion toward the surface of the mixed crystal layer. A semiconductor device having such a concentration gradient and containing the atom.

8.

The semiconductor device according to claim 7, wherein the mixed crystal layer contains impurities having a concentration gradient such that the concentration increases from the silicon substrate side toward the surface. ..

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-294780
(P2007-294780A)
(43)公開日　平成19年11月8日(2007.11.8)

(51)Int.Cl.	F I	テーマコード（参考）
H01L 29/78 (2006.01)	H01L 29/78 301S	5F140

審査請求 未請求　請求項の数 8　ＯＬ　（全 21 頁）

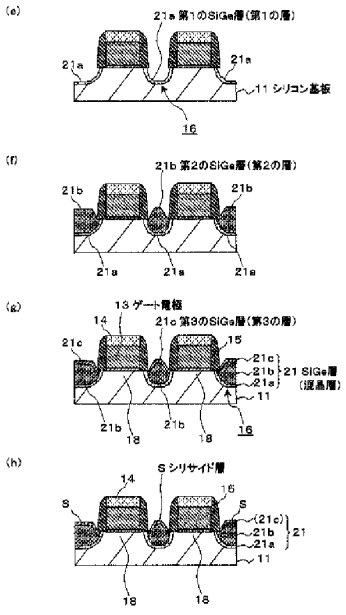
(21)出願番号　特願2006-122824 (P2006-122824)
(22)出願日　平成18年4月27日 (2006.4.27)

(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100086298
弁理士　船橋　國則
(72)発明者　宮波　勇樹
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

Ｆターム(参考)　5F140 AA05 AA24 AB03 AC28 BA01 BD09 BD11 BF01 BF04 BG08 BG12 BG14 BG22 BG51 BG53 BH07 BH17 BH27 BJ01 BJ08 BK09 BK13 BK18 BK34 BK39 CB04

(54)【発明の名称】半導体装置の製造方法および半導体装置

(57)【要約】
【課題】混晶層の臨界膜厚の範囲内でチャネル領域に効果的にストレスを印加し、混晶層の表面側にシリサイド層を膜状に形成可能な半導体装置の製造方法および半導体装置を提供する。
【解決手段】シリコン基板１１上にゲート絶縁膜１２を介してゲート電極１３を形成する第１工程と、ゲート電極１３をマスクにしたエッチングにより、シリコン基板１１の表面層を掘り下げる第２工程と、掘り下げられたシリコン基板１１の表面に、ＳｉＧｅ層２１をエピタキシャル成長させる第３工程とを有し、第３工程では、シリコン基板１１側からＳｉＧｅ層２１の中央部に向かって高濃度になるとともに、中央部からＳｉＧｅ層２１の表面に向かって低濃度となるような濃度勾配を有してＧｅが含有されるように、ＳｉＧｅ層２１をエピタキシャル成長させることを特徴とする半導体装置の製造方法およびこれにより得られる半導体装置である。
【選択図】図２



【特許請求の範囲】
【請求項1】
シリコン基板上にゲート絶縁膜を介してゲート電極を形成する第１工程と、
前記ゲート電極をマスクにしたエッチングにより、前記シリコン基板の表面層を掘り下げる第２工程と、
掘り下げられた前記シリコン基板の表面に、シリコンとシリコンとは格子定数の異なる原子とからなる混晶層をエピタキシャル成長させる第３工程とを有し、
前記第３工程では、前記シリコン基板側から前記混晶層の中央部に向かって高濃度となり、当該中央部から前記混晶層の表面に向かって低濃度となるような濃度勾配を有して前記原子が含有されるように、前記混晶層をエピタキシャル成長させる
ことを特徴とする半導体装置の製造方法。
【請求項2】
請求項１記載の半導体装置の製造方法において、
前記半導体装置はｐ型の電界効果トランジスタであり、前記混晶層はシリコンとゲルマニウムとからなる
ことを特徴とする半導体装置の製造方法。
【請求項3】
請求項１記載の半導体装置の製造方法において、
前記半導体装置はｎ型の電界効果トランジスタであり、前記混晶層はシリコンと炭素とからなる
ことを特徴とする半導体装置の製造方法。
【請求項4】
請求項１記載の半導体装置の製造方法において、
前記混晶層が、第１の層、第２の層および第３の層からなる３層を順次積層してなり、
前記第３工程では、掘り下げられた前記シリコン基板の表面に、当該シリコン基板側から表面に向かって、前記第２の層の前記原子の濃度まで高濃度となるような濃度勾配を有して前記原子が含有されるように、前記第１の層を形成する工程と、
前記第１の層上に、前記３層のうちで最も高濃度の前記原子が含有されるように、前記第２の層を形成する工程と、
前記第２の層上に、当該第２の層側から表面に向かって、当該第２の層の前記原子の濃度から低濃度となるような濃度勾配を有して、前記原子が含有されるように、前記第３の層を形成する工程とを行う
ことを特徴とする半導体装置の製造方法。
【請求項5】
請求項１記載の半導体装置の製造方法において、
前記第３工程では、前記シリコン基板の表面に、当該シリコン基板側から表面に向かって高濃度となるような濃度勾配を有して不純物が含有されるように、前記混晶層をエピタキシャル成長させる
ことを特徴とする半導体装置の製造方法。
【請求項6】
請求項１記載の半導体装置の製造方法において、
前記第３工程の後に、前記混晶層の表面側をシリサイド化して、シリサイド層を形成する工程を行う
ことを特徴とする半導体装置の製造方法。
【請求項7】
シリコン基板上にゲート絶縁膜を介して設けられたゲート電極と、
前記ゲート電極の両側の前記シリコン基板が掘り下げられた領域に、シリコンとシリコンとは格子定数の異なる原子とからなる混晶層とを備えた半導体装置において、
前記混晶層には、前記シリコン基板側から前記混晶層の中央部に向かって高濃度となり

、当該中央部から前記混晶層の表面に向かって低濃度となるような濃度勾配を有して前記原子が含有されている
　ことを特徴とする半導体装置。
【請求項8】
　請求項７記載の半導体装置において、
　前記混晶層には、前記シリコン基板側から表面に向かって高濃度となるような濃度勾配を有して不純物が含有されている
【発明の詳細な説明】導体装置。
【技術分野】
【0001】
　本発明は、半導体装置の製造方法および半導体装置に関するものであって、特に、ＭＯＳ（Metal Oxide Semiconductor)型電界効果トランジスタに関するものである。
【背景技術】
【0002】
　近年、トランジスタ性能向上の為、チャネル領域へストレスを印加し、ドレイン電流を増大させる検討が行われている。ストレス印加の手法として、ゲート電極形成後に高い応力を持った膜を形成し、チャネル領域にストレスを印加する方法や、ＰチャネルＭＯＳ型電界効果トランジスタ（ＰＭＯＳＦＥＴ）のソース・ドレイン領域をエッチングし、その部分にシリコンゲルマニウム（ＳｉＧｅ）層をエピタキシャル成長させ、チャネル領域にストレスを印加するプロセスなどが挙げられる。
【0003】
　チャネル領域へのストレス印加は、ＳｉＧｅ層がチャネル領域に近く、ＳｉＧｅ層の体積が多いほど効果的である。さらに、ソース・ドレイン領域はイオン注入による形成が一般的であるが、上記ＳｉＧｅ層をエピタキシャル成長させると同時に、ボロン等の不純物を添加することで、ＰＭＯＳＦＥＴのソース・ドレイン領域を形成する方法も検討されている（例えば、下記特許文献１参照）。
【0004】
　ここで、上述したＰＭＯＳＦＥＴの製造方法について、図６を用いて説明する。まず、図６（ａ）に示すように、シリコン基板１１の表面側に素子分離領域（図示省略）を形成する。次に、シリコン基板１１上にゲート絶縁膜１２を介してゲート電極１３を形成し、このゲート電極１３上にシリコン窒化膜からなるオフセット絶縁膜１４を形成する。次いで、ゲート絶縁膜１２、ゲート電極１３およびオフセット絶縁膜１４を覆う状態で、シリコン基板１１上に、シリコン窒化膜を形成し、ドライエッチング法により、このシリコン窒化膜をエッチバックすることで、ゲート絶縁膜１２、ゲート電極１３およびオフセット絶縁膜１４の両脇にサイドウォール１５を形成する。
【0005】
　次に、図６（ｂ）に示すように、オフセット絶縁膜１４とサイドウォール１５をマスクにして、シリコン基板１１をエッチングによって掘り下げる、いわゆるリセスエッチングを行うことで、リセス領域１６を形成する。その後、希フッ酸を用いた洗浄処理により、シリコン基板１１表面の自然酸化膜を除去する。
【0006】
　次いで、図６（ｃ）に示すように、リセス領域１６、すなわち、掘り下げられたシリコン基板１１の表面に、ボロン等のｐ型不純物を含むシリコンゲルマニウム（ＳｉＧｅ）層１７をエピタキシャル成長させる。これにより、一定濃度のＧｅを含有させたＳｉＧｅ層１７が形成される。このＳｉＧｅ層１７がソース・ドレイン領域となり、シリコン基板１１におけるソース・ドレイン領域に挟まれたゲート電極１３直下の領域がチャネル領域１８となる。このＳｉＧｅ層１７によるチャネル領域１８へのストレス印加により、チャネル領域１８が歪むことから、十分なキャリア移動度を有するＰＭＯＳＦＥＴが形成される。
【0007】

【特許文献1】特表２００２－５３０８６４号公報（特に、図４および段落番号００３０参照）
【発明の開示】
【発明が解決しようとする課題】
【0008】
しかし、上述したような半導体装置の製造方法では、チャネル領域１８に効果的にストレスを印加するために、ゲルマニウム（Ｇｅ）を高濃度で含有させたＳｉＧｅ層１７を厚膜化する必要があるが、高濃度のＧｅを含むＳｉＧｅ層１７を臨界膜厚（Critical Thickness)以上の膜厚で形成すると、欠陥が入ることで応力緩和が生じてしまい、チャネル領域１８にストレス印加され難くなる、という問題がある。また、ソース・ドレイン領域の低抵抗化を図るために、ＳｉＧｅ層１７の表面側をシリサイド化して、シリサイド層を形成する方法があるが、高濃度のＧｅが含有されたＳｉＧｅ層１７の表面側には、シリサイド層は均一な膜状に形成されず、抵抗が低減されないだけでなく、ＳｉＧｅ層１７に接続する際のリーク電流が増大してしまう、という問題もある。
【0009】
したがって、本発明は、混晶層の臨界膜厚の範囲内でチャネル領域に効果的にストレスを印加し、混晶層の表面側にシリサイド層を膜状に形成可能な半導体装置の製造方法および半導体装置を提供することを目的とする。
【課題を解決するための手段】
【0010】
上述したような目的を達成するために、本発明における半導体装置の製造方法は、次のような工程を順次行うことを特徴としている。まず、第１工程では、シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程を行う。次に、第２工程では、ゲート電極をマスクにしたエッチングにより、シリコン基板の表面層を掘り下げる工程を行う。次いで、第３工程では、掘り下げられたシリコン基板の表面に、シリコンとシリコンとは格子定数の異なる原子とからなる混晶層をエピタキシャル成長させる工程を行う。そして、第３工程では、シリコン基板側から混晶層の中央部に向かって高濃度となり、中央部から混晶層の表面に向かって低濃度となるような濃度勾配を有して前記原子が含有されるように、上記混晶層をエピタキシャル成長させることを特徴としている。
【0011】
このような半導体装置の製造方法によれば、上述したような濃度勾配を有してシリコンとは格子定数の異なる原子が含有されるように、上記混晶層をエピタキシャル成長させることで、混晶層全体に一定濃度の上記原子を含有させる場合と比較して、臨界膜厚の範囲内で、中央部の上記原子の高濃度化が図れる。これにより、チャネル領域に効果的にストレスを印加することが可能となる。また、混晶層の表面側の上記原子の濃度が、混晶層の中央部と比較して低濃度となることで、混晶層の表面側に均一な膜状のシリサイド層を形成することが可能となる。
【0012】
また、本発明の半導体装置は、シリコン基板上にゲート絶縁膜を介して設けられたゲート電極と、ゲート電極の両側のシリコン基板が掘り下げられた領域に、シリコンとシリコンとは格子定数の異なる原子とからなる混晶層とを備えた半導体装置において、混晶層には、シリコン基板側から混晶層の中央部に向かって高濃度となり、中央部から混晶層の表面に向かって低濃度となるような濃度勾配を有して上記原子が含有されていることを特徴としている。
【0013】
このような半導体装置によれば、混晶層には、上述したような濃度勾配を有してシリコンとは格子定数の異なる原子が含有されていることから、混晶層全体に一定濃度の上記原子を含有させる場合と比較して、臨界膜厚の範囲内で、中央部の上記原子の高濃度化が図れる。これにより、チャネル領域に効果的にストレスを印加することが可能となる。また

、混晶層の表面側の上記原子の濃度が、混晶層の中央部と比較して低濃度となることで、混晶層の表面側に均一な膜状のシリサイド層を形成することが可能となる。

【発明の効果】

【0014】

以上、説明したように、本発明における半導体装置の製造方法および半導体装置によれば、チャネル領域に効果的にストレスを印加することができるため、チャネル領域を歪ませて、キャリア移動度を向上させることができる。また、混晶層の表面側に均一な膜状のシリサイド層を形成することができるため、混晶層のコンタクト抵抗の低抵抗化を図ることができ、この混晶層に接続する際のリーク電流の発生を防止することができる。したがって、トランジスタの特性を向上させることができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。各実施形態においては、半導体装置の構成を製造工程順に説明する。

【0016】

（第１実施形態）

本発明の半導体装置の製造方法に係る実施の形態の一例として、ＰＭＯＳＦＥＴの製造方法を例にとり、図１～図２の製造工程断面図を用いて説明する。なお、背景技術で説明したものと同様の構成には、同一の番号を付して説明する。

【0017】

まず、図１（ａ）に示すように、単結晶シリコンからなるシリコン基板１１を用意し、その表面側に素子分離領域を形成する。この際、例えば、シリコン基板１１の表面側に溝を形成し、この溝内に例えば酸化シリコン膜からなる絶縁膜を埋め込んだＳＴＩ（shallow trench isolation）構造の素子分離領域を形成する。

【0018】

次に、素子分離領域で分離されたシリコン基板１１上に、例えばシリコン酸窒化膜からなるゲート絶縁膜１２を介して、例えばポリシリコンからなるゲート電極１３をパターン形成する。この際、ゲート電極１３上に例えばシリコン窒化膜からなるオフセット絶縁膜１４が設けられるように、ゲート絶縁膜１２、ゲート電極１３、およびオフセット絶縁膜１４を構成する各材料膜を積層成膜した後に、これらの積層膜をパターンエッチングする。

【0019】

ここで、上記ゲート絶縁膜１２の構成材料としては、シリコン酸窒化膜に限定されず、シリコン酸化膜でもよく、ハフニウムやアルミニウムを含む金属酸化膜であってもよい。また、ゲート電極１３としては、ポリシリコンに限定されるものではなく、金属材料を含有してもよい。

【0020】

次いで、図１（ｂ）に示すように、ゲート絶縁膜１２、ゲート電極１３、およびオフセット絶縁膜１４を覆う状態で、シリコン基板１１上に、例えばシリコン窒化膜１５’を成膜する。続いて、図１（ｃ）に示すように、例えばドライエッチング法により、シリコン窒化膜１５’（前記図１（ｂ）参照）をエッチバックすることにより、ゲート絶縁膜１２、ゲート電極１３、およびオフセット絶縁膜１４の側壁に、絶縁性のサイドウォール１５を形成する。ここでは、このサイドウォール１５が、例えばシリコン窒化膜で構成されることとするが、シリコン窒化膜以外でもよく、シリコン酸化膜またはこれらの積層構造で構成されていてもよい。

【0021】

次に、図１（ｄ）に示すように、シリコン基板１１の表面を掘り下げるリセスエッチングを行う。この場合には、ゲート電極１３上のオフセット絶縁膜１４およびサイドウォール１５をマスクにしたエッチングにより、シリコン基板１１の表面層を掘り下げるリセスエッチングを行うことで、８０ｎｍ程度の深さのリセス領域１６を形成する。このリセス

エッチングにおいては、等方性のエッチングを行うことにより、サイドウォール１５の下方にまでリセス領域１６が広げられるようにする。その後、希フッ酸を用いた洗浄処理により、シリコン基板１１表面の自然酸化膜を除去する。なお、ここでは、サイドウォール１５が設けられた状態で、リセスエッチングを行う例について説明するが、サイドウォール１５を設けずに、リセスエッチングを行う場合であっても、本発明は適用可能である。

【0022】

次いで、リセス領域１６の表面、すなわち掘り下げられたシリコン基板１１の表面に、シリコンとシリコンとは格子定数の異なる原子との混晶層をエピタキシャル成長させる。ここでは、ＰＭＯＳＦＥＴを形成することから、この混晶層に挟まれるチャネル領域に圧縮応力を印加するため、シリコン（Ｓｉ）とシリコンよりも格子定数の大きいゲルマニウム（Ｇｅ）とからなるＳｉＧｅ層（混晶層）をエピタキシャル成長させる。

【0023】

この際、本発明の特徴的な構成として、リセス領域１６の表面に、シリコン基板１１側からＳｉＧｅ層の膜厚方向の中央部に向かって高濃度となり、この中央部からＳｉＧｅ層の表面に向かって低濃度となるような濃度勾配を有してＧｅが含有されるように、上記ＳｉＧｅ層をエピタキシャル成長させる。ここでは、上記ＳｉＧｅ層が、第１のＳｉＧｅ層（第１の層）、第２のＳｉＧｅ層（第２の層）および第３のＳｉＧｅ層（第３の層）からなる３層を順次積層して構成されることとする。

【0024】

具体的には、図２（ｅ）に示すように、リセス領域１６の表面に、シリコン基板１１側から表面に向かって、後述する第２のＳｉＧｅ層のＧｅ濃度まで高濃度となるような濃度勾配を有してＧｅが含有されるように、第１のＳｉＧｅ層２１ａをエピタキシャル成長させる。ここでは、Ｇｅ濃度が０～３０vol％の濃度範囲から３０vol％～５０vol％の濃度範囲まで、連続的に高濃度となるような濃度勾配を有してＧｅが含有されるように、１ｎｍ～３０ｎｍの膜厚で第１のＳｉＧｅ層２１ａを形成する。

【0025】

上記第１のＳｉＧｅ層２１ａの成膜条件としては、成膜ガスとして、ジクロロシラン（Dichlorosilane（ＤＣＳ））、塩化水素（ＨＣｌ）、水素（H_2）により１．５vol%に希釈された水素化ゲルマニウム（GeH_4）、を用い、ガス流量をＤＣＳ／ＨＣｌ＝１０～１００／１０～１００（ｍｌ／ｍｉｎ）とし、GeH_4は０～５０（ｍｌ／ｍｉｎ）から１００～２００（ｍｌ／ｍｉｎ）まで連続的に変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。ただし、上記ガス流量は、標準状態における体積流量を示すものとし、これ以降に示すガス流量についても同様であることとする。

【0026】

ここで、ＳｉＧｅ層を構成する第１のＳｉＧｅ層２１ａを、上述したような濃度勾配を有して形成することで、同じ膜厚で一定濃度のＧｅを含有させたＳｉＧｅ層を形成する場合と比較して、後述する第２のＳｉＧｅ層を臨界膜厚以下で高濃度化することが可能となる。また、シリコン基板１１と、後述する最も高濃度のＧｅが含有される第２のＳｉＧｅ層との間に、上記第１のＳｉＧｅ層２１ａが介在されることで、第１のＳｉＧｅ層２１ａと第２のＳｉＧｅ層とのＧｅの濃度差による成膜の不具合が緩和される。なお、ここでは、シリコン基板１１側から表面に向かって、連続的に高濃度となるような濃度勾配を有してＧｅが含有されるように、第１のＳｉＧｅ層２１ａを形成することとしたが、この濃度勾配は段階的であってもよい。この場合には、上記GeH_4のガス流量を段階的に変化させる。

【0027】

また、背景技術で説明したように、リセス領域の表面に、全体に一定濃度のＧｅが含有されるようにＳｉＧｅ層を直接形成する場合でも、成膜の都合上、リセス領域の表面に低濃度のＧｅが含有されるＳｉＧｅ層が形成される場合もあるが、本実施形態はそれとは異なり、後述する第２のＳｉＧｅ層とは成膜条件を変えて、上述したような濃度勾配を有し

てＧｅが含有されるように、所定の膜厚で、第１のＳｉＧｅ層２１ａを形成する。

【0028】

次に、図２（ｆ）に示すように、第１のＳｉＧｅ層２１ａ上に、３層のうちで最も高濃度のＧｅが含有されるように、第２のＳｉＧｅ層２１ｂをエピタキシャル成長させる。ここでは、Ｇｅ濃度が３０vol％～５０vol％となるように、２０ｎｍ～１００ｎｍの膜厚で第２のＳｉＧｅ層２１ｂを形成する。

【0029】

この第２のＳｉＧｅ層２１ｂの成膜条件としては、上記第１のＳｉＧｅ層２１ａと同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ／GeH_4＝１０～１００／１０～１００／１００～２００（ｍｌ／ｍｉｎ）とする。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0030】

ここで、第２のＳｉＧｅ層２２ｂは、Ｇｅ濃度が高く、臨界膜厚の範囲内で、できるだけ膜厚が厚い方が好ましい。これにより、形成するＰＭＯＳＦＥＴのチャネル領域に効果的にストレスを印加することが可能となる。ここでは、上述したように、シリコン基板１１側から表面に向かって、第２のＳｉＧｅ層２１ｂのＧｅ濃度まで高濃度となるような濃度勾配を有して第１のＳｉＧｅ層２１ａを形成し、かつ、後述するように、第２のＳｉＧｅ層２２ｂ側から表面に向かって、第２のＳｉＧｅ層２２ｂのＧｅ濃度から低濃度となるような濃度勾配を有してＧｅが含有されるように第３のＳｉＧｅ層を形成することで、ＳｉＧｅ層全体に一定濃度のＧｅを含有させる場合と比較して、臨界膜厚の範囲内で上記第２のＳｉＧｅ層２１ｂの高濃度化が可能となる。

【0031】

次に、図２（ｇ）に示すように、第２のＳｉＧｅ層２１ｂ上に、第２のＳｉＧｅ層２１ｂ側から表面に向かって、第２のＳｉＧｅ層２１ｂのＧｅ濃度から低濃度となるような濃度勾配を有してＧｅが含有されるように、第３のＳｉＧｅ層２１ｃをエピタキシャル成長させる。ここでは、第２のＳｉＧｅ層２１ｂのＧｅ濃度が３０vol％～５０vol％であることから、第２のＳｉＧｅ層２１ｂ側から表面に向かって、３０vol％～５０vol％の濃度範囲から０vol％～３０vol％の濃度範囲まで連続的に低濃度となるような濃度勾配を有してＧｅが含有されるように、１０ｎｍ～５０ｎｍの膜厚で第３のＳｉＧｅ層２１ｃを形成する。

【0032】

この第３のＳｉＧｅ層２１ｃの成膜条件としては、上記第１のＳｉＧｅ層２１ａ、第２のＳｉＧｅ層２１ｂと同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ＝１０～１００／１０～１００（ｍｌ／ｍｉｎ）とする。そして、GeH_4のガス流量を１００～２００（ｍｌ／ｍｉｎ）から０～５０（ｍｌ／ｍｉｎ）まで連続的に変化させる。処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0033】

ここで、上述したような濃度勾配を有して第３のＳｉＧｅ層２１ｃを形成することで、第３のＳｉＧｅ層２１ｃのＧｅ濃度は、第２のＳｉＧｅ層２１ｂと比較して低濃度となることから、後述するように、第３のＳｉＧｅ層２１ｃをシリサイド化して、均一な膜状のシリサイド層を形成することが可能となる。なお、ここでは、第２のＳｉＧｅ層２１ｂ側から表面に向かって、連続的に低濃度となるような濃度勾配を有してＧｅが含有されるように、第３のＳｉＧｅ層２１ｃを形成することとしたが、この濃度勾配は段階的であってもよい。この場合には、上記GeH_4のガス流量を段階的に変化させる。

【0034】

以上のようにして、第３のＳｉＧｅ層２１ｃを形成することで、リセス領域１６の表面に、第１のＳｉＧｅ層２１ａ、第２のＳｉＧｅ層２１ｂおよび第３のＳｉＧｅ層２１ｃを順次積層してなるＳｉＧｅ層２１が形成される。ここで、上記リセス領域１６は８０ｎｍ程度の深さで形成されることから、第１のＳｉＧｅ層２１ａ、第２のＳｉＧｅ層２１ｂおよび第３のＳｉＧｅ層２１ｃで順次埋め込まれ、第３のＳｉＧｅ層２１ｃは、シリコン基

板１１の表面から盛り上がった状態となる。そして、このＳｉＧｅ層２１には、シリコン基板１１側からＳｉＧｅ層２１の中央部に向かって高濃度となり、中央部からＳｉＧｅ層２１の表面に向かって低濃度となるような濃度勾配を有してＧｅが含有されている。

【0035】

その後、オフセット絶縁膜１４、サイドウォール１５をマスクとしたイオン注入法により、例えばボロンからなるｐ型不純物をドーピングする。これにより、主として上記ＳｉＧｅ層２１が、本実施形態の製造方法により形成されるＰＭＯＳＦＥＴのソース・ドレイン領域となり、ＳｉＧｅ層２１により挟まれたゲート電極１３直下のシリコン基板１１の領域がチャネル領域１８となる。

【0036】

次いで、図２（ｈ）に示すように、オフセット絶縁膜１４上、サイドウォール１５上およびＳｉＧｅ層２１上に、例えばニッケルからなる高融点金属膜（図示省略）を形成した後、アニール処理を行い、ＳｉＧｅ層２１の表面側をシリサイド化して、ニッケルシリサイドからなるシリサイド層Ｓを形成する。ここでは、第３のＳｉＧｅ層２１ｃ（前記図２（ｇ）参照）がシリサイド化されることとする。この際、第３のＳｉＧｅ層２１ｃに第２のＳｉＧｅ層２１ｂと比較して低濃度の不純物が含有されるため、ＳｉＧｅ層２１の表面側に均一な膜状のシリサイド層Ｓが形成される。その後、未反応の高融点金属膜を除去する。なお、ここでは、シリサイド層Ｓとして、ニッケルシリサイドを形成することとしたが、本発明はこれに限定されず、コバルトシリサイド、チタンシリサイドからなるシリサイド層Ｓを形成してもよい。

【0037】

以上のようにして、ＳｉＧｅ層２１によるチャネル領域１８へのストレス印加（圧縮応力）により、チャネル領域１８を歪ませたＰＭＯＳＦＥＴが製造される。

【0038】

このような半導体装置の製造方法およびこれにより得られる半導体装置によれば、シリコン基板１１側からＳｉＧｅ層２１の中央部に向かって高濃度となり、中央部からＳｉＧｅ層２１の表面に向かって低濃度となるような濃度勾配を有してＧｅが含有されるように、ＳｉＧｅ層２１を形成することで、ＳｉＧｅ層全体に一定濃度のＧｅを含有させる場合と比較して、臨界膜厚の範囲内で、中央部（第２のＳｉＧｅ層２１ｂ）のＧｅの高濃度化が図れる。これにより、チャネル領域１８に効果的にストレスを印加することが可能となる。したがって、チャネル領域１８を歪ませて、キャリア移動度を向上させることができる。また、第３のＳｉＧｅ層２１ｃに、第２のＳｉＧｅ層２１ｂと比較して低濃度のＧｅが含有されることで、ＳｉＧｅ層２１の表面側に均一な膜状のシリサイド層Ｓを形成することできる。したがって、ＳｉＧｅ層２１のコンタクト抵抗の低抵抗化を図ることができ、このＳｉＧｅ層２１に接続する際のリーク電流の発生を防止することができる。以上のことから、トランジスタの特性を向上させることができる。

【0039】

さらに、本実施形態の半導体装置の製造方法によれば、成膜ガスを変えずに、成膜条件を変更するだけの一連の作業で、Ｇｅの濃度勾配を有するＳｉＧｅ層２１を成膜することができるため、生産性にも優れている。

【0040】

（第２実施形態）

上記第１実施形態では、ＰＭＯＳＦＥＴの製造方法を例にとり説明したが、本実施形態においてはＮＭＯＳＦＥＴの製造方法を例にとり、図３を用いて説明する。なお、シリコン基板１１の表面を掘り下げるまでの工程は、図１（ａ）～（ｄ）を用いて説明した工程と同様に行うこととする。

【0041】

ＮＭＯＳＦＥＴを製造する場合にも、図３（ａ）に示すように、リセス領域１６の表面、すなわち、掘り下げられたシリコン基板１１の表面に、シリコンとシリコンとは格子定数の異なる原子とからなる混晶層をエピタキシャル成長させる。この場合には、この混晶

層に挟まれるチャネル領域に引っ張り応力を印加するため、シリコン（Ｓｉ）とシリコンよりも格子定数の小さい炭素（Ｃ）とからなるシリコン炭素（ＳｉＣ）層（混晶層）をエピタキシャル成長させる。

【0042】

この場合であっても、リセス領域１６の表面に、シリコン基板１１側からＳｉＣ層の膜厚方向の中央部に向かって高濃度となり、中央部からＳｉＣ層の表面に向かって低濃度となるような濃度勾配を有してＣが含有されるように、上記ＳｉＣ層をエピタキシャル成長させる。ここでは、第１実施形態と同様に、上記ＳｉＣ層が、第１のＳｉＣ層（第１の層）、第２のＳｉＣ層（第２の層）および第３のＳｉＣ層（第３の層）からなる３層を順次積層して構成されることとする。

【0043】

具体的には、リセス領域１６の表面に、シリコン基板１１側から表面に向かって、後述する第２のＳｉＣ層のＣ濃度まで高濃度となるような濃度勾配を有してＣが含有されるように、第１のＳｉＣ層２２ａをエピタキシャル成長させる。ここでは、Ｃ濃度が０～１．０vol％の濃度範囲から１．０vol％～３．０vol％の濃度範囲まで、連続的に高濃度となるような濃度勾配を有してＣが含有されるように、１ｎｍ～３０ｎｍの膜厚で第１のＳｉＣ層２２ａを形成する。

【0044】

この第１のＳｉＣ層２２ａの成膜条件としては、成膜ガスとして、ＤＣＳ、ＨＣｌ、水素（H_2）により1vol％に希釈されたモノメチルシラン（SiH_3CH_3）を用い、ガス流量をＤＣＳ／ＨＣｌ＝１０～１００／１０～１００とし、SiH_3CH_3は０～２５（ｍｌ／ｍｉｎ）から２５～５０（ｍｌ／ｍｉｎ）まで連続的に変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0045】

ここで、上述したような濃度勾配を有する第１のＳｉＣ層２２ａを形成することで、同じ膜厚で一定濃度のＣを含有させたＳｉＣ層を形成する場合と比較して、後述する第２のＳｉＣ層を臨界膜厚以下で高濃度化することが可能となる。また、シリコン基板１１と、後述する最も高濃度のＣが含有される第２のＳｉＣ層との間に、上記第１のＳｉＣ層２２ａが介在されることで、第１のＳｉＣ層２２ａと第２のＳｉＣ層とのＣの濃度差による成膜の不具合が緩和される。なお、ここでは、シリコン基板１１側から表面に向かって、連続的に高濃度となるような濃度勾配を有してＣが含有されるように、第１のＳｉＣ層２２ａを形成することとしたが、この濃度勾配は段階的であってもよい。この場合には、上記SiH_3CH_3のガス流量を段階的に変化させる。

【0046】

また、リセス領域の表面に、全体に一定濃度のＣが含有されるようにＳｉＣ層を直接形成する場合でも、成膜の都合上、リセス領域の表面に低濃度のＣが含有されるＳｉＣ層が形成される場合もあるが、本実施形態はそれとは異なり、後述する第２のＳｉＣ層とは成膜条件を変えて、上述したような濃度勾配を有してＣが含有されるように、所定の膜厚で、第１のＳｉＣ層２１ａを形成する。

【0047】

次に、図３（ｂ）に示すように、第１のＳｉＣ層２２ａ上に、３層のうちで最も高濃度に不純物が含有されるように、第２のＳｉＣ層２２ｂをエピタキシャル成長させる。ここでは、Ｃ濃度が１．０vol％～３．０vol％となるように、２０ｎｍ～１００ｎｍの膜厚で第２のＳｉＣ層２２ｂを形成する。

【0048】

この第２のＳｉＣ層２２ｂの成膜条件としては、上記第１のＳｉＣ層２２ａと同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ／SiH_3CH_3＝１０～１００／１０～１００／２５～５０（ｍｌ／ｍｉｎ）とする。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0049】

ここで、第２のＳｉＣ層２２ｂは、Ｃ濃度が高く、臨界膜厚の範囲内で、できるだけ膜厚が厚い方が好ましい。これにより、形成するＮＭＯＳＦＥＴのチャネル領域に効果的にストレスを印加することが可能となる。ここでは、上述したように、シリコン基板１１側から表面に向かって、第２のＳｉＣ層２２ｂのＣ濃度まで高濃度となるような濃度勾配を有して第１のＳｉＣ層２２ａを形成し、かつ、後述するように、第２のＳｉＣ層２２ｂ側から表面に向かって、第２のＳｉＣ層２２ｂのＣ濃度から低濃度となるような濃度勾配を有してＣが含有されるように第３のＳｉＣ層を形成することで、ＳｉＣ層全体に一定濃度のＣを含有させる場合と比較して、臨界膜厚の範囲内で上記第２のＳｉＣ層２２ｂの高濃度化が可能となる。

【0050】

次に、図３（ｃ）に示すように、第２のＳｉＣ層２２ｂ上に、第２のＳｉＣ層２２ｂ側から表面に向かって、第２のＳｉＣ層２２ｂのＣ濃度から低濃度となるような濃度勾配を有してＣが含有されるように、第３のＳｉＣ層２２ｃをエピタキシャル成長させる。ここでは、第２のＳｉＣ層２１ｂのＣ濃度が１．０ｖｏｌ％～３．０ｖｏｌ％であることから、第２のＳｉＣ層２２ｂ側から表面に向かって、１．０ｖｏｌ％～３．０ｖｏｌ％の濃度範囲から０ｖｏｌ％～１．０ｖｏｌ％の濃度範囲まで連続的に低濃度となるような濃度勾配を有してＣが含有されるように、１０ｎｍ～５０ｎｍの膜厚で、第３のＳｉＣ層２２ｃを形成する。

【0051】

この第３のＳｉＣ層２２ｃの成膜条件としては、上記第１のＳｉＣ層２２ａ、第２のＳｉＣ層２２ｂと同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ＝１０～１００／１０～１００（ｍｌ／ｍｉｎ）とする。そして、SiH_3CH_3のガス流量を２５～５０（ｍｌ／ｍｉｎ）から０～２５（ｍｌ／ｍｉｎ）まで連続的に変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0052】

ここで、上述したような濃度勾配を有して第３のＳｉＣ層２２ｃを形成することで、第３のＳｉＣ層２２ｃのＣ濃度は、第２のＳｉＣ層２２ｂと比較して低濃度となることから、後述するように、第３のＳｉＣ層２２ｃをシリサイド化して、均一な膜状のシリサイド層を形成することが可能となる。なお、ここでは、第２のＳｉＣ層２２ｂ側から表面に向かって、連続的に低濃度となるような濃度勾配を有してＣが含有されるように、第３のＳｉＣ層２２ｃを形成することとしたが、この濃度勾配は段階的であってもよい。この場合には、上記SiH_3CH_3のガス流量を段階的に変化させる。

【0053】

以上のようにして、第３のＳｉＣ層２２ｃを形成することで、リセス領域１６の表面に、第１のＳｉＣ層２２ａ、第２のＳｉＣ層２２ｂおよび第３のＳｉＣ層２２ｃを順次積層してなるＳｉＣ層２２が形成される。ここで、上記リセス領域１６は８０ｎｍ程度の深さで形成されることから、第１のＳｉＣ層２２ａ、第２のＳｉＣ層２２ｂおよび第３のＳｉＣ層２２ｃで順次埋め込まれ、第３のＳｉＣ層２２ｃは、シリコン基板１１の表面から盛り上がった状態となる。そして、このＳｉＣ層２２には、シリコン基板１１側からＳｉＣ層２２の中央部に向かって高濃度となり、中央部からＳｉＣ層２２の表面に向かって低濃度となるような濃度勾配を有してＣが含有されている。

【0054】

その後、オフセット絶縁膜１４、サイドウォール１５をマスクとしたイオン注入法により、例えばＡｓからなるｎ型不純物をドーピングする。これにより、主として上記ＳｉＣ層２２が、本実施形態の製造方法により形成されるＮＭＯＳＦＥＴのソース・ドレイン領域となり、ＳｉＣ層２２により挟まれたゲート電極１３直下のシリコン基板１１の領域がチャネル領域１８となる。

【0055】

次いで、図３（ｄ）に示すように、オフセット絶縁膜１４上、サイドウォール１５上およびＳｉＣ層２２上に、例えばニッケルからなる高融点金属膜（図示省略）を形成した後、アニール処理を行い、ＳｉＣ層２２の表面側をシリサイド化して、ニッケルシリサイド

からなるシリサイド層Ｓを形成する。ここでは、第３のＳｉＣ層２２ｃ（前記図３（ｃ）参照）がシリサイド化されることとする。この際、第３のＳｉＣ層２２ｃに第２のＳｉＣ層２２ｂと比較して低濃度の不純物が含有されるため、ＳｉＣ層２２の表面側に均一な膜状のシリサイド層Ｓが形成される。その後、未反応の高融点金属膜を除去する。なお、ここでは、シリサイド層Ｓとして、ニッケルシリサイドを形成することとしたが、本発明はこれに限定されず、コバルトシリサイド、チタンシリサイドからなるシリサイド層Ｓを形成してもよい。

【0056】

以上のようにして、ＳｉＣ層２１によるチャネル領域１８へのストレス印加（引っ張り応力）により、チャネル領域１８を歪ませたＮＭＯＳＦＥＴが製造される。

【0057】

このような半導体装置の製造方法およびこれにより得られる半導体装置によっても、シリコン基板１１側からＳｉＣ層２２の中央部に向かって高濃度となり、中央部からＳｉＣ層２２の表面に向かって低濃度となるような濃度勾配を有してＣが含有されるように、ＳｉＣ層２２を形成することで、ＳｉＣ層全体に一定濃度のＣを含有させる場合と比較して、臨界膜厚の範囲内で、第２のＳｉＣ層２２ｂのＣの高濃度化が図れる。これにより、チャネル領域１８に効果的にストレスを印加することが可能となる。したがって、チャネル領域１８を歪ませて、キャリア移動度を向上させることができる。また、第３のＳｉＣ層２２ｃに第２のＳｉＣ層２２ｂと比較して低濃度のＣが含有されることで、ＳｉＣ層２２の表面側に均一な膜状のシリサイド層Ｓを形成することできる。したがって、ＳｉＣ層２２のコンタクト抵抗の低抵抗化を図ることができ、このＳｉＣ層２２に接続する際のリーク電流の発生を防止することができる。以上のことから、トランジスタの特性を向上させることができる。

【0058】

さらに、本実施形態の半導体装置の製造方法によれば、成膜ガスを変えずに、成膜条件を変更するだけの一連の作業で、Ｃの濃度勾配を有するＳｉＣ層２２を成膜することができるため、生産性にも優れている。

【0059】

なお、上述した第１実施形態および第２実施形態においては、ＳｉＧｅ層またはＳｉＣ層からなる混晶層が、３層で構成された例について説明したが、シリコン基板側から混晶層の中央部に向かって高濃度となり、中央部から混晶層の表面に向かって低濃度となるような濃度勾配を有してＧｅまたはＣが含有されるように、混晶層が形成されていればよく、３層以上の複数層で構成されていてもよい。また、上記濃度勾配を有するように連続的に変化させた単一層で構成されていてもよい。

【0060】

（第３実施形態）

上記第１実施形態および第２実施形態では、混晶層を形成した後にイオンドーピング法により、混晶層に不純物を導入する例について説明したが、本実施形態においては、不純物を導入した状態の混晶層をエピタキシャル成長させる例について、図４を用いて説明する。ここでは、ＰＭＯＳＦＥＴの製造方法を例にとり、例えばボロンからなる不純物を含むＳｉＧｅ層（混晶層）をエピタキシャル成長させる。なお、シリコン基板１１の表面を掘り下げるまでの工程は、図１（ａ）～（ｄ）を用いて説明した工程と同様に行うこととする。

【0061】

本実施形態では、第１実施形態で図２を用いて説明したように、リセス領域１６の表面に、シリコン基板１１側からＳｉＧｅ層の膜厚方向の中央部に向かって高濃度となり、この中央部からＳｉＧｅ層の表面に向かって低濃度となるような濃度勾配を有してＧｅが含有されるように、上記ＳｉＧｅ層をエピタキシャル成長させる。また、この際、シリコン基板１１側から表面に向かって高濃度となるような濃度勾配を有して、例えばボロンからなるｐ型不純物が含有されるようにする。

【0062】
ここでは、第１実施形態と同様に、上記ＳｉＧｅ層が、第１のＳｉＧｅ層、第２のＳｉＧｅ層および第３のＳｉＧｅ層からなる３層を順次積層して構成されることとする。また、これら３層のＧｅの濃度勾配は第１実施形態のＳｉＧｅ層と同様であることとする。
【0063】
具体的には、まず、図４（ａ）に示すように、リセス領域１６の表面に、シリコン基板１１側から表面に向かって、後述する第２のＳｉＧｅ層のＧｅ濃度まで高濃度となるような濃度勾配を有してＧｅが含有されるように、第１のＳｉＧｅ層２３ａをエピタキシャル成長させる。ここでは、Ｇｅ濃度が０～３０vol％の濃度範囲から３０vol％～５０vol％の濃度範囲まで、連続的に高濃度となるような濃度勾配を有してＧｅが含有されるように、第１のＳｉＧｅ層２３ａを形成する。この際、上記３層のうち、最も低濃度のボロンが含有されるように、例えばボロン濃度が$1\times10^{18}cm^3$～$1\times10^{19}cm^3$の第１のＳｉＧｅ層２３ａを形成する。また、この第１のＳｉＧｅ層２３ａの膜厚は１ｎｍ～３０ｎｍであることとする。
【0064】
上記第１のＳｉＧｅ層２３ａの成膜条件としては、成膜ガスとして、ＤＣＳ、ＨＣｌ、水素（H_2）により１．５vol％に希釈されたGeH_4および水素（H_2）により１００ｐｐｍに希釈されたジボラン（B_2H_6）を用い、ガス流量をＤＣＳ／ＨＣｌ／B_2H_6＝１０～１００／１０～１００／１～５０（ｍｌ／ｍｉｎ）とし、GeH_4は０～５０（ｍｌ／ｍｉｎ）から１００～２００（ｍｌ／ｍｉｎ）まで変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。
【0065】
ここで、この低濃度の不純物が含有される第１のＳｉＧｅ層２３ａは、後述するように、形成するＳｉＧｅ層の中でもチャネル領域に近くに配置されるため、熱処理によるＳｉＧｅ層からのボロンの拡散が抑制され、ショートチャネル効果が防止される。そして、ショートチャネル効果を確実に防止するため、形成するＰＭＯＳＦＥＴのキャリア移動度を低下させない範囲で、上記第１のＳｉＧｅ層２３ａは、上記膜厚の範囲内でも１０ｎｍ～３０ｎｍ程度の膜厚を有して形成されることが、さらに好ましい。
【0066】
なお、リセス領域の表面に、全体に一定濃度のボロンを含むＳｉＧｅ層を直接形成する場合でも、成膜の都合上、リセス領域の表面に低濃度のボロンが含有されるＳｉＧｅ層が形成される場合もあるが、本実施形態はそれとは異なり、後述する第２のＳｉＧｅ層とは成膜条件を変えて、所定の膜厚となるように、低濃度の不純物が含有される第１のＳｉＧｅ層２３ａを形成する。
【0067】
次に、図４（ｂ）に示すように、第１のＳｉＧｅ層２３ａ上に、３層のうちで最も高濃度のＧｅが含有されるように、第２のＳｉＧｅ層２３ｂをエピタキシャル成長させる。ここでは、Ｇｅ濃度が３０vol％～５０vol％となるように、第２のＳｉＧｅ層２３ｂを２０ｎｍ～１００ｎｍの膜厚で形成する。
【0068】
この際、第２のＳｉＧｅ層２３ｂ’と第２のＳｉＧｅ層２３ｂ’’とを順次積層することで、第２のＳｉＧｅ層２３ｂを形成する。ここで、下層側となる第２のＳｉＧｅ層２３ｂ’は、第１のＳｉＧｅ層２３ａ側から表面に向かって、第１のＳｉＧｅ層２３ａの不純物濃度から後述する第２のＳｉＧｅ層２３ｂ’’の不純物濃度まで連続的に変化するような濃度勾配を有して不純物が含有されるように、第２のＳｉＧｅ層２３ｂ’を形成する。ここでは、第１のＳｉＧｅ層２３ａのボロンの濃度範囲が$1\times10^{18}cm^3$～$1\times10^{19}cm^3$であり、後述するように、第２のＳｉＧｅ層２３ｂ’’のボロンの濃度範囲が$1\times10^{19}cm^3$～$5\times10^{20}cm^3$であることから、第１のＳｉＧｅ層２３ａ側から表面に向かって、$1\times10^{18}cm^3$～$1\times10^{19}cm^3$の濃度範囲から$1\times10^{19}cm^3$～$5\times10^{20}cm^3$の濃度範囲まで連続的に高濃度となるような濃度勾配を有してボロンが含有されるように、

第２のＳｉＧｅ層２３ｂ’を形成する。この第２のＳｉＧｅ層２３ｂ’の膜厚は、１ｎｍ～２０ｎｍであることとする。

【0069】

この第２のＳｉＧｅ層２３ｂ’の成膜条件としては、上記第１のＳｉＧｅ層２３ａと同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ／GeH_4＝１０～１００／１０～１００／１００～２００（ｍｌ／ｍｉｎ）とする。そして、H_2により１００ｐｐｍに希釈されたB_2H_6のガス流量を１～５０（ｍｌ／ｍｉｎ）から５０～３００（ｍｌ／ｍｉｎ）に連続的に変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0070】

ここで、３層のうちで最も不純物濃度の低い第１のＳｉＧｅ層２３ａと、後述する第１のＳｉＧｅ層２３ａよりも不純物濃度の高い第２のＳｉＧｅ層ｂ’’との間に、上記第２のＳｉＧｅ層２３ｂ’が介在されることで、第１のＳｉＧｅ層２３ａと第２のＳｉＧｅ層２３ｂ’との不純物の濃度差による成膜の不具合が緩和される。このため、第１のＳｉＧｅ層２３ａと第２のＳｉＧｅ層２３ｂ’の不純物の濃度差が小さい場合には、第２のＳｉＧｅ層２３ｂ’を形成しなくてもよい。また、ここでは、第１のＳｉＧｅ層２３ａ側から第２のＳｉＧｅ層ｂ’’側に向かって、連続的に高濃度となるような濃度勾配を有して不純物が含有されるように、第２のＳｉＧｅ層２３ｂを形成することとしたが、濃度勾配は段階的であってもよい。この場合には、上記B_2H_6のガス流量を段階的に変化させる。

【0071】

次いで、第２のＳｉＧｅ層２３ｂ’上に、第１のＳｉＧｅ層２３ａよりも高濃度の不純物が含有されるように、第２のＳｉＧｅ層２３ｂ’’を形成する。ここでは、ボロン濃度を$1\times10^{19}cm^3$～$5\times10^{20}cm^3$とし、上記第２のＳｉＧｅ層２３ｂ’と第２のＳｉＧｅ層２３ｂ’’との総膜厚が２０ｎｍ～１００ｎｍとなるように、第２のＳｉＧｅ層２３ｂ’’を形成する。

【0072】

この第２のＳｉＧｅ層２３ｂ’’の成膜条件としては、上記第１のＳｉＧｅ層２３ａ、第２のＳｉＧｅ層２３ｂ’と同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ／GeH_4／B_2H_6＝１０～１００／１０～１００／１００～２００／５０～３００（ｍｌ／ｍｉｎ）とし、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0073】

次に、図４（ｃ）に示すように、第２のＳｉＧｅ層２３ｂ上に、第２のＳｉＧｅ層２３ｂ側から表面に向かって、第２のＳｉＧｅ層２３ｂのＧｅ濃度から低濃度となるような濃度勾配を有してＧｅが含有されるように、第３のＳｉＧｅ層２３ｃをエピタキシャル成長させる。ここでは、第２のＳｉＧｅ層２３ｂのＧｅ濃度が３０ｖｏｌ％～５０ｖｏｌ％であることから、第２のＳｉＧｅ層２３ｂ側から表面に向かって、３０ｖｏｌ％～５０ｖｏｌ％の濃度範囲から０ｖｏｌ％～３０ｖｏｌ％の濃度範囲まで連続的に低濃度となるような濃度勾配を有してＧｅが含有されるように、第３のＳｉＧｅ層２３ｃを形成する。

【0074】

この際、第２のＳｉＧｅ層２３ｂ’’と同程度の高濃度の不純物が含有されるように、上記第３のＳｉＧｅ層２３ｃを形成する。ここでは、ボロン濃度が$1\times10^{19}cm^3$～$5\times10^{20}cm^3$となるように、上記第３のＳｉＧｅ層２３ｃを形成する。第３のＳｉＧｅ層２３ｃの膜厚は１０ｎｍ～５０ｎｍであることとする。

【0075】

この第３のＳｉＧｅ層２３ｃの成膜条件としては、上記第１のＳｉＧｅ層２３ａ、第２のＳｉＧｅ層２３ｂと同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ／B_2H_6＝１０～１００／１０～１００／５０～３００（ｍｌ／ｍｉｎ）とする。そして、GeH_4のガス流量を１００～２００（ｍｌ／ｍｉｎ）から０～５０（ｍｌ／ｍｉｎ）まで連続的に変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋ

Ｐａに設定する。

【0076】

以上のようにして、第３のＳｉＧｅ層２３ｃを形成することで、リセス領域１６の表面に、第１のＳｉＧｅ層２３ａ、第２のＳｉＧｅ層２３ｂおよび第３のＳｉＧｅ層２３ｃを順次積層してなるＳｉＧｅ層２３が形成される。このＳｉＧｅ層２３には、シリコン基板１１側からＳｉＧｅ層２３の中央部に向かって高濃度となり、中央部からＳｉＧｅ層２３の表面に向かって低濃度となるような濃度勾配を有してＧｅが含有されているとともに、シリコン基板１１側から表面に向かって、高濃度となるような濃度勾配を有してボロンが含有されている。そして、このＳｉＧｅ層２３がＰＭＯＳＦＥＴのソース・ドレイン領域となり、ＳｉＧｅ層２３によって挟まれたゲート電極１３直下のシリコン基板１１の領域がチャネル領域１８となる。

【0077】

次いで、図４（ｄ）に示すように、第１実施形態と同様に、ＳｉＧｅ層２３の表面側、ここでは、第３のＳｉＧｅ層２３ｃをシリサイド化し、シリサイド層Ｓを形成する。

【0078】

以上のようにして、ＳｉＧｅ層２３によるチャネル領域１８へのストレス印加（圧縮応力）により、チャネル領域１８を歪ませたＰＭＯＳＦＥＴが製造される。

【0079】

このような半導体装置の製造方法およびこれにより得られる半導体装置によれば、第１実施形態と同様の濃度勾配を有してＧｅが含有されるようにＳｉＧｅ層２３を形成することから、第１実施形態と同様の効果を奏することができる。

【0080】

また、本実施形態の半導体装置の製造方法および半導体装置によれば、シリコン基板１１側から表面に向かって高濃度となるような濃度勾配を有してボロンからなる不純物が含有されるように、ＳｉＧｅ層２３をエピタキシャル成長させることから、熱処理による不純物の拡散が抑制され、ショートチャネル効果が防止される。特に、本実施形態によれば、チャネル領域１８に近い第１のＳｉＧｅ層２３ａを他の層と比較して低濃度の不純物が含有されるように形成するため、ショートチャネル効果を確実に防止することができる。また、上記ＳｉＧｅ層２３とゲート電極１３の直下領域からの距離を広げなくてもよいため、十分なキャリア移動度が得られる。

【0081】

なお、上記第３実施形態においては、ＳｉＧｅ層２３に、不純物としてボロンを含有させる例について説明したが、不純物としては、上記ボロン以外に、ガリウム（Ｇａ）またはインジウム（Ｉｎ）を用いてもよい。不純物として、例えばＧａを用いる場合には、上述した第３実施形態において、成膜ガスとして用いたB_2H_6の代わりに、トリエチルガリウム（$Ga(C_2H_5)_3$）またはトリメチルガリウム（$Ga(CH_3)_3$）を適用する。また、不純物として、例えばＩｎを用いる場合には、成膜ガスとして用いたB_2H_6の代わりに、トリエチルインジウム（$In(C_2H_5)_3$）またはトリメチルインジウム（$In(CH_3)_3$）を適用する。

【0082】

（第４実施形態）

上記第３実施形態では、ＰＭＯＳＦＥＴの製造方法を例にとり説明したが、本実施形態においてはＮＭＯＳＦＥＴの製造方法を例にとり、図５を用いて説明する。なお、シリコン基板１１の表面を掘り下げるまでの工程は、図１（ａ）～（ｄ）を用いて説明した工程と同様に行うこととする。

【0083】

本実施形態では、第２実施形態で図３を用いて説明したように、リセス領域１６の表面に、シリコン基板１１側からＳｉＣ層の膜厚方向の中央部に向かって高濃度となり、この中央部からＳｉＣ層の表面に向かって低濃度となるような濃度勾配を有してＣが含有されるように、上記ＳｉＣ層をエピタキシャル成長させる。また、この際、シリコン基板１１

側から表面に向かって高濃度となるような濃度勾配を有して例えばＡｓからなるｎ型不純物が含有されるようにする。

【0084】

ここでは、第２実施形態と同様に、上記ＳｉＣ層が、第１のＳｉＣ層、第２のＳｉＣ層および第３のＳｉＣ層からなる３層を順次積層して構成されることとする。また、これら３層のＣの濃度勾配は第２実施形態のＳｉＣ層と同様であることとする。

【0085】

具体的には、まず、図５（ａ）に示すように、リセス領域１６の表面に、シリコン基板１１側から表面に向かって、後述する第２のＳｉＣ層のＣ濃度まで高濃度となるような濃度勾配を有してＣが含有されるように、第１のＳｉＣ層２４ａをエピタキシャル成長させる。ここでは、Ｃ濃度が０～１．０vol％の濃度範囲から１．０vol％～３．０vol％の濃度範囲まで、連続的に高濃度となるような濃度勾配を有してＣが含有されるように、第１のＳｉＣ層２４ａを形成する。この際、上記３層のうち、最も低濃度のＡｓが含有されるように、例えばＡｓ濃度が$1\times10^{18}cm^3$～$1\times10^{19}cm^3$の第１のＳｉＣ層２４ａを形成する。また、この第１のＳｉＣ層２４ａの膜厚は１ｎｍ～３０ｎｍであることとする。

【0086】

上記第１のＳｉＣ層２４ａの成膜条件としては、成膜ガスとして、ＤＣＳ、ＨＣｌ、H_2により１vol％に希釈されたSiH_3CH_3およびH_2により１vol％に希釈された水素化砒素（AsH_3）を用い、ガス流量をＤＣＳ／ＨＣｌ／AsH_3＝１０～１００／１０～１００／１～２５（ｍｌ／ｍｉｎ）とし、SiH_3CH_3は０～２５（ｍｌ／ｍｉｎ）から２５～５０（ｍｌ／ｍｉｎ）まで変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0087】

ここで、この低濃度の不純物が含有される第１のＳｉＣ層２４ａは、後述するように、形成するＳｉＣ層の中でもチャネル領域に近くに配置されるため、熱処理によるＳｉＣ層からのＡｓの拡散が抑制され、ショートチャネル効果が防止される。そして、ショートチャネル効果を確実に防止するため、形成するＮＭＯＳＦＥＴのキャリア移動度を低下させない範囲で、上記第１のＳｉＣ層２４ａは、上記膜厚の範囲内でも１０ｎｍ～３０ｎｍ程度の膜厚を有して形成されることが、さらに好ましい。

【0088】

なお、リセス領域の表面に、全体に一定濃度のＡｓを含むＳｉＣ層を直接形成する場合でも、成膜の都合上、リセス領域の表面に低濃度のＡｓが含有されるＳｉＣ層が形成される場合もあるが、本実施形態はそれとは異なり、後述する第２のＳｉＣ層とは成膜条件を変えて、所定の膜厚となるように、低濃度の不純物が含有される第１のＳｉＣ層２４ａを形成する。

【0089】

次に、図５（ｂ）に示すように、第１のＳｉＣ層２４ａ上に、３層のうちで最も高濃度のＣが含有されるように、第２のＳｉＣ層２４ｂをエピタキシャル成長させる。ここでは、Ｃ濃度が１．０vol％～３．０vol％となるように、第２のＳｉＣ層２４ｂを２０ｎｍ～１００ｎｍの膜厚で形成する。

【0090】

この際、第２のＳｉＣ層２４ｂ’と第２のＳｉＣ層２４ｂ’’とを順次積層することで、第２のＳｉＣ層２４ｂを形成する。ここで、下層側となる第２のＳｉＣ層２４ｂ’は、第１のＳｉＣ層２４ａ側から表面に向かって、第１のＳｉＣ層２４ａの不純物濃度から後述する第２のＳｉＣ層２４ｂ’’の不純物濃度まで連続的に変化するような濃度勾配を有して不純物が含有されるように、第２のＳｉＣ層２４ｂ’を形成する。ここでは、第１のＳｉＣ層２４ａのＡｓの濃度範囲が$1\times10^{18}cm^3$～$1\times10^{19}cm^3$であり、後述するように、第２のＳｉＣ層２４ｂ’’のＡｓの濃度範囲が$1\times10^{19}cm^3$～$5\times10^{20}cm^3$であることから、第１のＳｉＣ層２４ａ側から表面に向かって、$1\times10^{18}cm^3$～$1\times10^{19}cm^3$の濃度範囲から$1\times10^{19}cm^3$～$5\times10^{20}cm^3$の濃度範囲まで連続的に高濃度

となるような濃度勾配を有してＡｓが含有されるように、第２のＳｉＣ層２４ｂ’を形成する。この第２のＳｉＣ層２４ｂ’の膜厚は、１ｎｍ～２０ｎｍであることとする。

【0091】

この第２のＳｉＣ層２４ｂ’の成膜条件としては、上記第１のＳｉＣ層２４ａと同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ／SiH_3CH_3＝１０～１００／１０～１００／２５～５０（ｍｌ／ｍｉｎ）とする。そして、H_2により１vol％に希釈されたAsH_3のガス流量を１～２５（ｍｌ／ｍｉｎ）から２５～５０（ｍｌ／ｍｉｎ）に連続的に変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0092】

ここで、３層のうちで最も不純物濃度の低い第１のＳｉＣ層２４ａと、後述するように、第１のＳｉＣ層２４ａよりも不純物濃度の高い第２のＳｉＣ層２４ｂ’’との間に、上記第２のＳｉＣ層２４ｂ’が介在されることで、第１のＳｉＣ層２４ａと第２のＳｉＣ層２４ｂ’’との不純物の濃度差による成膜の不具合が緩和される。このため、第１のＳｉＣ層２４ａと第２のＳｉＣ層２４ｂ’’の不純物の濃度差が小さい場合には、第２のＳｉＣ層２４ｂ’を形成しなくてもよい。また、ここでは、第１のＳｉＣ層２４ａ側から第２のＳｉＣ層２４ｂ’’側に向かって、連続的に高濃度となるような濃度勾配を有して不純物が含有されるように、第２のＳｉＣ層２４ｂ’を形成することとしたが、この濃度勾配は段階的であってもよい。この場合には、上記AsH_3のガス流量を段階的に変化させる。

【0093】

次いで、第２のＳｉＣ層２４ｂ’上に、第１のＳｉＣ層２４ａよりも高濃度の不純物が含有されるように、第２のＳｉＣ層２４ｂ’’を形成する。ここでは、Ａｓ濃度を$1\times10^{19}cm^3$～$5\times10^{20}cm^3$とし、上記第２のＳｉＣ層２４ｂ’と第２のＳｉＣ層２４ｂ’’との総膜厚が２０ｎｍ～１００ｎｍとなるように、第２のＳｉＣ層２４ｂ’’を形成する。

【0094】

この第２のＳｉＣ層２４ｂ’’の成膜条件としては、上記第１のＳｉＣ層２４ａ、第２のＳｉＣ層２４ｂ’と同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ／SiH_3CH_3／AsH_3＝１０～１００／１０～１００／２５～５０／２５～５０（ｍｌ／ｍｉｎ）とし、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0095】

次に、図５（ｃ）に示すように、第２のＳｉＣ層２４ｂ上に、第２のＳｉＣ層２４ｂ側から表面に向かって、第２のＳｉＣ層２４ｂのＣ濃度から低濃度となるような濃度勾配を有してＣが含有されるように、第３のＳｉＣ層２４ｃをエピタキシャル成長させる。ここでは、第２のＳｉＣ層２４ｂのＣ濃度が１．０vol％～３．０vol％であることから、第２のＳｉＣ層２４ｂ側から表面に向かって、１．０vol％～３．０vol％の濃度範囲から０vol％～１．０vol％の濃度範囲まで連続的に低濃度となるような濃度勾配を有してＣが含有されるように、第３のＳｉＣ層２４ｃを形成する。

【0096】

この際、第２のＳｉＣ層２４ｂ’’と同程度の高濃度の不純物が含有されるように、上記第３のＳｉＣ層２４ｃを形成する。ここでは、ボロン濃度が$1\times10^{19}cm^3$～$5\times10^{20}cm^3$となるように、上記第３のＳｉＣ層２４ｃを形成する。第３のＳｉＣ層２４ｃの膜厚は１０ｎｍ～５０ｎｍであることとする。

【0097】

この第３のＳｉＣ層２４ｃの成膜条件としては、上記第１のＳｉＣ層２４ａ、第２のＳｉＣ層２４ｂと同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ／AsH_3＝１０～１００／１０～１００／２５～５０（ｍｌ／ｍｉｎ）とする。そして、SiH_3CH_3のガス流量を２５～５０（ｍｌ／ｍｉｎ）から０～２５（ｍｌ／ｍｉｎ）まで連続的に変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0098】
以上のようにして、第3のＳｉＣ層２４ｃを形成することで、リセス領域１６の表面に、第１のＳｉＣ層２４ａ、第２のＳｉＣ層２４ｂおよび第３のＳｉＣ層２４ｃを順次積層してなるＳｉＣ層２４が形成される。このＳｉＣ層２４には、シリコン基板１１側からＳｉＣ層２４の中央部に向かって高濃度となり、中央部からＳｉＣ層２４の表面に向かって低濃度となるような濃度勾配を有してＣが含有されているとともに、シリコン基板１１側から表面に向かって、高濃度となるような濃度勾配を有してＡｓが含有されている。そして、このＳｉＣ層２４がＮＭＯＳＦＥＴのソース・ドレイン領域となり、ＳｉＣ層２４によって挟まれたゲート電極１３直下のシリコン基板１１の領域がチャネル領域１８となる
【0099】
次いで、図５（ｄ）に示すように、第２実施形態と同様に、ＳｉＣ層２４の表面側、ここでは、第3のＳｉＣ層２４ｃをシリサイド化し、シリサイド層Ｓを形成する。
【0100】
以上のようにして、ＳｉＣ層２４によるチャネル領域１８へのストレス印加（引っ張り応力）により、チャネル領域１８を歪ませたＮＭＯＳＦＥＴが製造される。
【0101】
このような半導体装置の製造方法およびこれにより得られる半導体装置によれば、第２実施形態と同様の濃度勾配を有してＣが含有されるようにＳｉＣ層２４を形成することから、第２実施形態と同様の効果を奏することができる。
【0102】
また、本実施形態の半導体装置の製造方法および半導体装置によれば、シリコン基板１１側から表面に向かって高濃度となるような濃度勾配を有して不純物が含有されるように、ＳｉＣ層２４をエピタキシャル成長させることから、熱処理による不純物の拡散が抑制され、ショートチャネル効果が防止される。特に、本実施形態によれば、チャネル領域１８に近い第１のＳｉＣ層２４ａを他の層と比較して低濃度の不純物が含有されるように形成するため、ショートチャネル効果を確実に防止することができる。また、上記ＳｉＣ層２４とゲート電極１３の直下領域からの距離を広げなくてもよいため、十分なキャリア移動度が得られる。
【0103】
（変形例１）
なお、上記第４実施形態においては、ＮＭＯＳＦＥＴのソース・ドレイン領域となるＳｉＣ層に、不純物としてＡｓを含有させる例について説明したが、不純物としては、上記Ａｓ以外に、リン（Ｐ）を用いてもよい。
【0104】
この場合にも、リセス領域１６の表面に、シリコン基板１１側から表面に向かって、Ｃ濃度が０～１．０vol％の濃度範囲から１．０vol％～３．０vol％の濃度範囲まで、連続的に高濃度となるような濃度勾配を有してＣが含有されるとともに、$1\times10^{18}cm^{3}$～$1\times10^{19}cm^{3}$の濃度範囲でＰからなる不純物が含有されるように、１ｎｍ～３０ｎｍの膜厚で第１のＳｉＣ層２４ａをエピタキシャル成長させる（前記図５（ａ）参照）。
【0105】
この第１のＳｉＣ層２４ａの成膜条件としては、成膜ガスとして、ＤＣＳ、ＨＣｌ、H_2により１vol％に希釈されたSiH_3CH_3およびH_2により５０ｐｐｍに希釈された水素化リン（PH_3）を用い、ガス流量をＤＣＳ／ＨＣｌ／PH_3＝１０～１００／１０～１００／１～１５０（ｍｌ／ｍｉｎ）とし、SiH_3CH_3は０～２５（ｍｌ／ｍｉｎ）から２５～５０（ｍｌ／ｍｉｎ）まで変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。
【0106】
次に、第１のＳｉＣ層２４ａ上に、Ｃ濃度が１．０vol％～３．０vol％となるように、第２のＳｉＣ層２４ｂ’と第２のＳｉＣ層２４ｂ’’とを順次積層してなる第２のＳｉＣ層２４ｂを２０ｎｍ～１００ｎｍの膜厚でエピタキシャル成長させる（前記図５（ｂ）参照

）。

【0107】

ここで、第１のＳｉＣ層２４ａ側から表面に向かって、１×１０^{18}ｃｍ^{3}～１×１０^{19}ｃｍ^{3}の濃度範囲から１×１０^{19}ｃｍ^{3}～５×１０^{20}ｃｍ^{3}の濃度範囲まで連続的に高濃度となるような濃度勾配を有してＰが含有されるように、下層側となる第２のＳｉＣ層２４ｂ’を１ｎｍ～２０ｎｍの膜厚で形成する。

【0108】

この第２のＳｉＣ層２４ｂ’の成膜条件としては、上記第１のＳｉＣ層２４ａと同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ／ＳｉH_3CH_3＝１０～１００／１０～１００／２５～５０（ｍｌ／ｍｉｎ）とする。そして、H_2により５０ｐｐｍに希釈されたPH_3のガス流量を１～１５０（ｍｌ／ｍｉｎ）から１５０～３００（ｍｌ／ｍｉｎ）に連続的に変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0109】

次いで、第２のＳｉＣ層２４ｂ’上に、Ｐ濃度を１×１０^{19}ｃｍ^{3}～５×１０^{20}ｃｍ^{3}とし、上記第２のＳｉＣ層２４ｂ’と第２のＳｉＣ層２４ｂ’’との総膜厚が２０ｎｍ～１００ｎｍとなるように、第２のＳｉＣ層２４ｂ’’を形成する。

【0110】

この第２のＳｉＣ層２４ｂ’’の成膜条件としては、上記第１のＳｉＣ層２４ａ、第２のＳｉＣ層２４ｂ’と同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ／ＳｉH_3CH_3／PH_3＝１０～１００／１０～１００／２５～５０／１５０～３００（ｍｌ／ｍｉｎ）とし、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0111】

次に、第２のＳｉＣ層２４ｂ上に、第２のＳｉＣ層２４ｂ側から表面に向かって、１．０ｖｏｌ％～３．０ｖｏｌ％の濃度範囲から０ｖｏｌ％～１．０ｖｏｌ％の濃度範囲まで連続的に低濃度となるような濃度勾配を有してＣが含有されるとともに、Ｐ濃度が１×１０^{19}ｃｍ^{3}～５×１０^{20}ｃｍ^{3}となるように、１０ｎｍ～５０ｎｍの膜厚で、第３のＳｉＣ層２４ｃをエピタキシャル成長させる（前記図５（ｃ）参照）。

【0112】

この第３のＳｉＣ層２４ｃの成膜条件としては、上記第１のＳｉＣ層２４ａ、第２のＳｉＣ層２４ｂと同一の成膜ガスを用い、ガス流量をＤＣＳ／ＨＣｌ／PH_3＝１０～１００／１０～１００／１５０～３００（ｍｌ／ｍｉｎ）とする。そして、ＳｉH_3CH_3のガス流量を２５～５０（ｍｌ／ｍｉｎ）から０～２５（ｍｌ／ｍｉｎ）まで連続的に変化させる。また、処理温度を６５０℃～７５０℃、処理圧力を１．３ｋＰａ～１３．３ｋＰａに設定する。

【0113】

以上のようにして、第３のＳｉＣ層２４ｃを形成することで、リセス領域１６の表面に、第１のＳｉＣ層２４ａ、第２のＳｉＣ層２４ｂおよび第３のＳｉＣ層２４ｃを順次積層してなるＳｉＣ層２４が形成される。このＳｉＣ層２４には、シリコン基板１１側からＳｉＣ層２４の中央部に向かって高濃度となり、中央部からＳｉＧｅ層２４の表面に向かって低濃度となるような濃度勾配を有してＣが含有されているとともに、シリコン基板１１側から表面に向かって、高濃度となるような濃度勾配を有してＰが含有されている。

【0114】

この後の工程は、第４実施形態と同様に行い、ＳｉＣ層２４の表面側、ここでは、第３のＳｉＣ層２４ｃをシリサイド化して、シリサイド層Ｓを形成する（前記図５（ｄ）参照）。

【0115】

このような半導体装置の製造方法およびこれにより得られる半導体装置によっても、第４実施形態と同様に、Ｃの濃度勾配とＰからなる不純物の濃度勾配を有してＳｉＣ層２４

が形成されることから、上述した第４実施形態と同様の効果を奏することができる。

【0116】

なお、上述した第３実施形態および第４実施形態ならびに変形例１においては、ＳｉＧｅ層またはＳｉＣ層からなる混晶層を、第１の層、第２の層および第３の層が順次積層された３層で、ＧｅまたはＣの濃度勾配を有するように構成した。また、不純物濃度の濃度勾配としては、低濃度の不純物が含有された第１の層と、高濃度の不純物が含有された第２の層の上層および第３の層とを備え、第１の層側から第２の層の上層側に向かって連続的に高濃度となるような濃度勾配を有して第２の層の下層を形成する例について説明した。しかし、本発明はこれに限定されず、シリコン基板側から表面に向かって段階的に高濃度となるような濃度勾配を有して不純物が含有される複数層からなる混晶層を形成してもよく、連続的に高濃度となるような濃度勾配を有して不純物が含有される単一層からなる混晶層を形成してもよい。ただし、混晶層の中でもチャネル領域に近い部分は、不純物が低濃度で維持された領域が、１０ｎｍ～３０ｎｍの膜厚で構成されることが好ましい。

【0117】

また、上述した実施形態においては、ＰＭＯＳＦＥＴとＮＭＯＳＦＥＴとをそれぞれ形成する半導体装置の製造方法の例について説明したが、ＰＭＯＳＦＥＴとＮＭＯＳＦＥＴの両方を搭載したＣＭＯＳ（Complementary Metal Oxide Semiconductor)ＦＥＴを形成する場合にも本発明は適用可能である。

【図面の簡単な説明】

【0118】

【図1】本発明の半導体装置の製造方法に係る第１実施形態を説明するための製造工程断面図（その１）である。

【図2】本発明の半導体装置の製造方法に係る第１実施形態を説明するための製造工程断面図（その２）である。

【図3】本発明の半導体装置の製造方法に係る第２実施形態を説明するための製造工程断面図である。

【図4】本発明の半導体装置の製造方法に係る第３実施形態を説明するための製造工程断面図である。

【図5】本発明の半導体装置の製造方法に係る第４実施形態を説明するための製造工程断面図である。

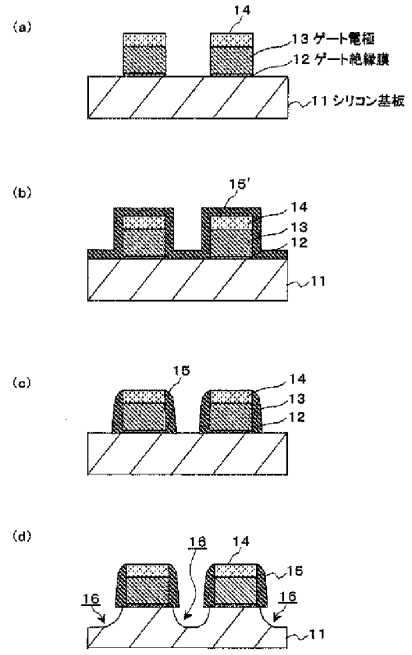
【図6】従来の半導体装置の製造方法を説明するための製造工程断面図である。

【符号の説明】

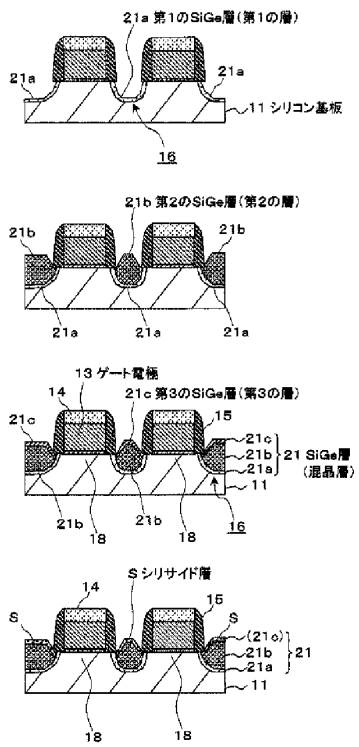
【0119】

１１…シリコン基板、１２…ゲート絶縁膜、１３…ゲート電極、２１，２３…ＳｉＧｅ層、２１ａ，２３ａ…第1のＳｉＧｅ層、２１ｂ，２３ｂ…第2のＳｉＧｅ層、２１ｃ，２３ｃ…第3のＳｉＧｅ層、２２，２４…第1のＳｉＣ層、２２ａ，２４ａ…第1のＳｉＣ層、２２ｂ，２４ｂ…第2のＳｉＣ層、２２ｃ，２４ｃ…第3のＳｉＣ層

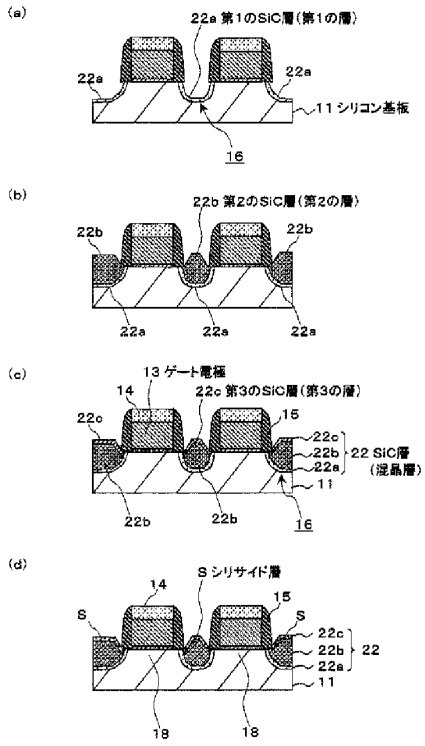
【図1】


(a)
14
13 ゲート電極
12 ゲート絶縁膜
11 シリコン基板
(b)
15'
14
13
12
11
(c)
15
14
13
12
(d)
16
14
15
16
16
11

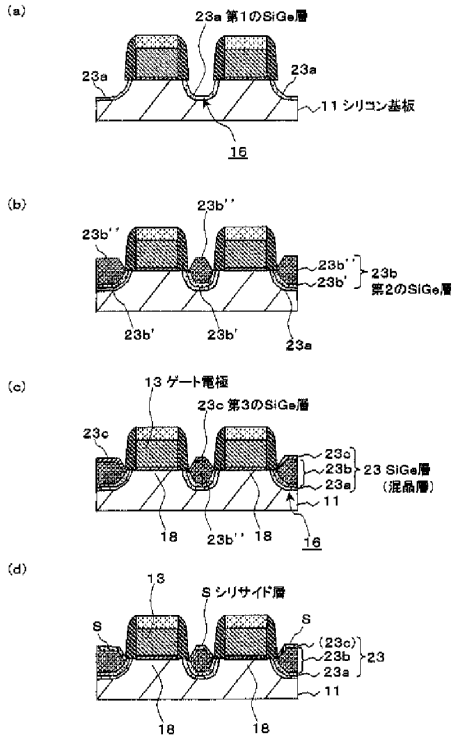
【図2】


(e)
21a 第1のSiGe層(第1の層)
21a
21a
11 シリコン基板
16
(f)
21b 第2のSiGe層(第2の層)
21b
21b
21a
21a
21a
(g)
13 ゲート電極
14
21c 第3のSiGe層(第3の層)
15
21c
21c
21b
21a
21 SiGe層
(混晶層)
11
21b
18
21b
18
16
(h)
S シリサイド層
14
15
S
S
(21c)
21b
21a
21
11
18
18

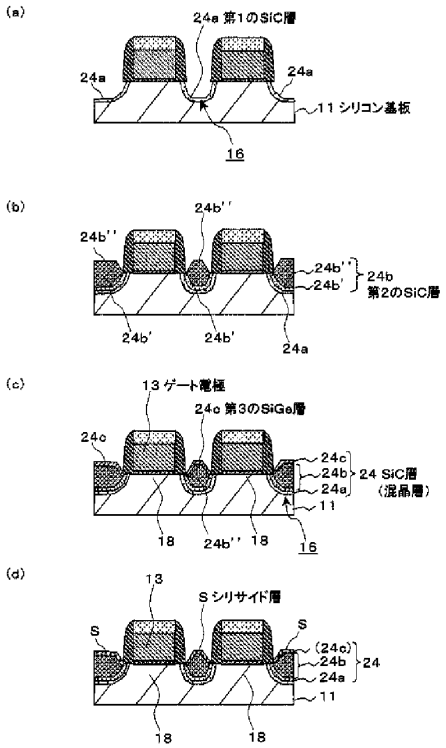
【図3】


(a)
22a 第1のSiC層(第1の層)
22a
22a
11 シリコン基板
16
(b)
22b 第2のSiC層(第2の層)
22b
22b
22a
22a
22a
(c)
13 ゲート電極
14
22c 第3のSiC層(第3の層)
22c
15
22c
22b
22a
22 SiC層
(混晶層)
11
22b
22b
16
(d)
S シリサイド層
14
15
S
S
22c
22b
22a
22
11
18
18

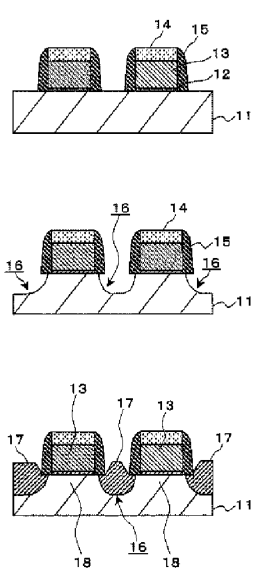
【図4】


(a)
23a 第1のSiGe層
23a
23a
11 シリコン基板
16
(b)
23b''
23b''
23b''
23b'
23b
第2のSiGe層
23b'
23b'
23a
(c)
13 ゲート電極
23c 第3のSiGe層
23c
23c
23b
23a
23 SiGe層
(混晶層)
11
18
23b''
18
16
(d)
13
S シリサイド層
S
S
(23c)
23b
23a
23
11
18
18

【図5】


(a)
24a 第1のSiC層
24a
24a
11 シリコン基板
16
(b)
24b''
24b''
24b'
24b
第2のSiC層
24b'
24b'
24a
(c)
13 ゲート電極
24c 第3のSiGe層
24c
24c
24b
24a
24 SiC層
(混晶層)
11
18
24b''
18
16
(d)
13
S シリサイド層
S
S
(24c)
24b
24a
24
11
18
18

【図6】


(a)
14
15
13
12
11
(b)
16
14
15
16
16
11
(c)
13
17
13
17
17
11
18
16
18

Espacenet

Bibliographic data: JP2008034650 (A) — 2008-02-14

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Inventor(s): SHIMAMUNE YOSUKE; FUKUDA MASAHIRO; KIN EISOKU; KATAUE AKIRA; HATADA AKIRA; TAMURA NAOYOSHI; OTA HIROYUKI ± (SHIMAMUNE YOSUKE, ; FUKUDA MASAHIRO, ; KIN EISOKU, ; KATAUE AKIRA, ; HATADA AKIRA, ; TAMURA NAOYOSHI, ; OTA HIROYUKI)

Applicant(s): FUJITSU LTD ± (FUJITSU LTD)

Classification: - international: ***H01L21/20; H01L21/28; H01L29/417; H01L29/423; H01L29/49; H01L29/78***

- cooperative: **H01L29/165 (EP, US); H01L29/6653 (EP, US); H01L29/66636 (EP, US); H01L29/7833 (EP, US); H01L29/7848 (EP, US);** H01L29/665 (EP, US); H01L29/6659 (EP, US)

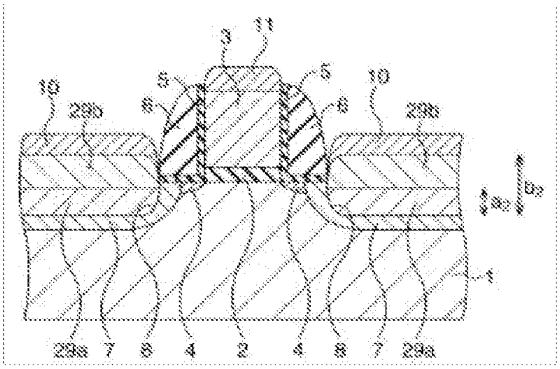
Application number: JP20060206910 20060728 Global Dossier

Priority number(s): JP20060206910 20060728

Also published as: CN101114673 (A) CN101114673 (B) JP5076388 (B2) TW200807712 (A) TWI326918 (B) more

Abstract of JP2008034650 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of increasing mobility of carriers while suppressing conventional defects, and a manufacturing method thereof. ;SOLUTION: A p-type SiGe mixed crystal layer 49a is formed in a groove 8 by epitaxial growth, and a p-type SiGe mixed crystal layer 49b is formed thereupon by epitaxial growth. Further, a p-type SiGe mixed crystal layer 49c is formed on the SiGe mixed crystal layer 49b by epitaxial growth. Here, the height a<SB>4</SB>of the



top surface of the SiGe mixed crystal layer 49a from the bottom of a groove 8 is less than the depth of the groove 8 based upon a surface of a silicon substrate 1. Further, the height b<SB>4</SB>of the top surface of the SiGe mixed crystal layer 49b from the bottom of the groove 8 is higher than the depth of the groove 8 based upon the surface of the silicon substrate 1. Furthermore, the Ge density in the SiGe mixed crystals 49a and 49c is less than the Ge density in the SiGe mixed crystal layer 49b. ;COPYRIGHT: (C)2008,JPO&INPIT

Espacenet

Bibliographic data: JP2008192989 (A) — 2008-08-21

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

Inventor(s): FUKUDA MASAHIRO; SHIMAMUNE YOSUKE ± (FUKUDA MASAHIRO, ; SHIMAMUNE YOSUKE)

Applicant(s): FUJITSU LTD ± (FUJITSU LTD)

Classification: - international: ***H01L21/8234; H01L21/8238; H01L27/088; H01L27/092; H01L29/78***

- cooperative: **H01L21/02381 (EP)**; **H01L21/02447 (EP)**; **H01L21/0245 (EP)**; **H01L21/02502 (EP)**; **H01L21/02529 (EP)**; **H01L21/02532 (EP)**; **H01L21/02573 (EP)**; **H01L21/0262 (EP)**; **H01L21/823807 (EP)**; **H01L21/823814 (EP)**; **H01L29/66636 (EP)**; **H01L29/7848 (EP)**; H01L29/165 (EP); Y10S438/933 (EP); Y10S438/938 (EP)

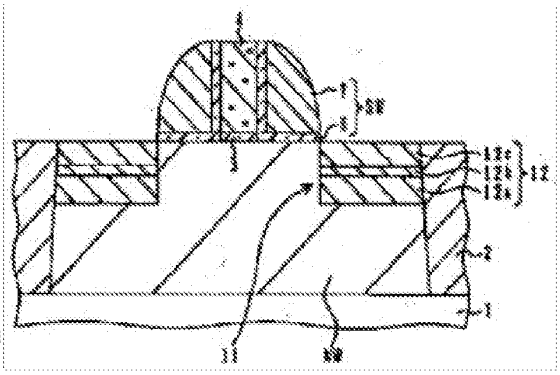
Application number: JP20070028345 20070207 Global Dossier

Priority number(s): JP20070028345 20070207

Also published as: JP5141029 (B2) US2008185612 (A1) US2011014765 (A1) US8232191 (B2)

Abstract of JP2008192989 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor device, along with its manufacturing method, comprising an MOS transistor structure capable of efficiently applying stresses to a channel. SOLUTION: The manufacturing method of the semiconductor device includes a process (a) where a gate insulating film 3 and a gate electrode 4 are formed on an Si surface of a semiconductor substrate; a process (b) where an insulating side wall spacer SW is formed on an insulating gate electrode sidewall; a process (c) where a



recess 11 is formed in an Si region on both sides of the insulating sidewall spacer SW; a process (d) where a first SiGe layer 12a of critical film thickness or less is epitaxially grown on the semiconductor substrate surface that has been recessed; a process (e) where a second SiGe layer 12b of critical film thickness or less whose Ge composition is lower than the first SiGe layer 12a is epitaxial-grown on the first SiGe layer 12a; and a process (f) where a third SiGe layer 12a of critical film thickness or less whose Ge composition is higher than the second SiGe layer 12b is epitaxially grown on the second SiGe layer 12b. ;COPYRIGHT: (C)2008,JPO&INPIT

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JP2008192989A

Semiconductor devices and their manufacturing methods

[0001]

The present invention relates to a semiconductor device and a method for manufacturing the same, and more particularly to a semiconductor device including a MOS transistor having a stress application mechanism and a method for manufacturing the same. A field-effect transistor having a gate electrode including a laminated gate insulating film and a conductor on a semiconductor active region is called a MOS transistor.

[0002]

Miniaturization has been promoted in order to improve the degree of integration and operating speed of silicon semiconductor integrated circuits. The gate length of MOS transistors has been shortened with miniaturization. When the gate length is 65 nm or less, there is a limit to expecting performance improvement by miniaturization.

[0003]

As a technology for improving the performance of MOS transistors other than miniaturization, strain transistors that improve carrier mobility by strain (stress application) are attracting attention.

The on-current is improved by applying stress to the channel region of the MOS transistor to generate distortion and increasing the mobility of electrons and holes.

[0004]

The n-channel (N) MOS transistor improves electron mobility by applying tensile stress to the channel region.

In the p-channel (P) MOS transistor, the mobility of holes is improved by applying compressive stress to the channel region.

[0005]

In the case of a epitaxial transistor, when the source / drain region is formed of a silicon-germanium (Si-Ge) mixed crystal having a larger lattice constant than that of the Si substrate, compressive stress is applied to the Si crystal of the channel, and the mobility of holes increases.

T. Ghani et al:IEDM Tech. Dig., 2003, p.978

Y. S. Kim et al:Proceedings of ESSDERC 2005, p.305 NMOSトランジスタの場合、ソース／ドレイン領域をＳｉ基板より格子定数の小さいシリコン-カーボン（Ｓｉ-Ｃ）混晶（Ｃを添加したＳｉ）で形成すると、チャネルのＳｉ結晶に引っ張り応力が印加され、電子の移動度が大きくなる。

K. Ang etal:IEDM Tech. Dig., 2004, p.1069 Ｓｉ基板上にＳｉ−Ｇｅ結晶をエピタキシャルに成長する時、ミスフィット転位なしに成長できるエピタキシャル層の厚さは臨界膜厚と呼ばれる厚さに制限される。

[0006]

Various methods for forming a laminated structure including a Si—Ge layer on a Si substrate have been proposed.

[0007]

特開２００３−１２８４９４号公報

特開２００３−１６３３６１号公報

特開２００３−１７８９７５号公報

特開２００４−１０３８０５号公報

特開２００４−２４１５０７号公報

[0008]

For example, in order to produce a distorted PBS transistor, a source / drain planned region of a Si substrate is etched to form a recess, and a SiGe film is epitaxially grown on the Si crystal of the recess.

To avoid dislocations, grow a SiGe film thinner than the critical thickness determined by the growth temperature and Ge composition of the Si-Ge film.

When the Si-Ge film is grown beyond a certain film thickness, dislocations occur in the Si-Ge film.

The maximum thickness at which dislocations do not occur is called the critical film thickness.

When dislocations occur, the stress is relaxed and the channel cannot be effectively strained.

The film thickness should be less than or equal to the critical film thickness, or the Ge composition should be lowered.

In any case, the stress that can be applied to the channel region is limited.

[0009]

An object of the present invention is to provide a semiconductor device having a MOS transistor structure capable of efficiently applying stress to a channel, or a method for manufacturing the same.

[0010]

According to one aspect of the present invention, a semiconductor substrate having at least a surface layer made of Si, a gate insulating film formed on the semiconductor substrate, a gate electrode formed on the gate insulating film, and the gate. An insulating sidewall spacer formed on the electrode side wall, a recess formed on the semiconductor substrate on both sides of the insulating sidewall spacer, and embedded in the recess, epitaxially grown on the semiconductor substrate, and the thickness is a critical thickness. A second SiGe layer, which is epitaxially grown on the following first SiGe layer and the first SiGe layer, has a lower Ge composition than the first SiGe layer, and has a thickness of a critical film thickness or less, and the first SiGe layer. A source / source A semiconductor device having a drain region and a drain region is provided.

[0011]

According to another aspect of the present invention, (a) a step of forming an insulated gate electrode including a gate insulating film and a gate electrode on the Si surface of the semiconductor substrate, and (b) an insulating sidewall on the side wall of the insulated gate electrode. A step of forming a spacer, (c) a step of forming a recess in the Si region on both sides of the insulating sidewall spacer, and (d) a first SiGe layer having a critical film thickness or less on the surface of the recessed semiconductor substrate. (E) A step of epitaxially growing a second SiGe layer having a Ge composition lower than that of the first SiGe layer and having a critical film thickness or less on the first SiGe layer, and (f). Provided is a method for manufacturing

a semiconductor device, which comprises a step of epitaxially growing a third SiGe layer having a higher Ge composition than the second SiGe layer and having a critical film thickness or less on the second SiGe layer.

[0012]

It is also possible to replace SiGe with SiC and replace p-type with n-type.

[0013]

By interposing a second SiGe (SiC) layer having a low Ge (C) composition between the first and third SiGe (SiC) layers, the thickness of the first and third SiGe (SiC) layers Even if the sum of the above exceeds the critical film thickness, the occurrence of dislocations can be suppressed.

[0014]

The critical film thickness in heteroepitaxial growth will be described.

It is assumed that a SiGe crystal is epitaxially grown on the surface of a Si substrate.

When the Ge composition x when the composition of Si-Ge is Si1-xGex is as high as about 0.2 or more, as the thickness of the epitaxial layer is increased, the accumulated strain energy also increases, and dislocations occur at a certain thickness. Occurs.

This is a dislocation called a misfit dislocation.

The critical film thickness also depends on the film formation temperature.

[0015]

FIG. 5 is a graph showing the relationship between the critical film thickness and the Ge concentration.

The vertical axis shows the critical film thickness, and the horizontal axis shows the Ge concentration.

When epitaxially grown at the temperature a, the higher the Ge concentration, the larger the lattice constant of SiGe, and the smaller the critical film thickness.

When the temperature is set to b, which is lower than a, the critical film thickness increases.

The larger the difference in lattice constant and the higher the film formation temperature, the smaller the critical film thickness is a general property when heteroepitaxially growing a material different from the substrate on a single crystal substrate.

When a SiGe mixed crystal having a lattice constant different from that of Si is grown on a Si crystal without causing misfit dislocations, its thickness is limited by the critical film thickness.

[0016]

As described above, as the Ge concentration increases, the critical film thickness of SiGe decreases, so that dislocations are likely to occur in SiGe.

When dislocations occur in SiGe, the strain accumulated in SiGe is also relaxed, so that the stress applied to Si also decreases.

[0017]

For example, when it is desired to apply compressive stress to the channel of a MOS transistor, the Si substrate of the portion forming the source / drain region is etched to form a recess, and a SiGe mixed crystal having a lattice constant larger than that of Si is epitaxially grown in the recess. Compressive stress is applied to the channel from both sides of the source and drain.

The greater the compressive stress, the faster the mobility of holes.

If a SiGe layer having a thickness exceeding the critical film thickness can be formed while suppressing dislocations, compressive stress can be applied more efficiently.

The present inventor has experimentally investigated the effect on the occurrence of misfit dislocations when a layer having a large lattice constant difference is divided into layers having a small lattice constant difference in the thickness direction.

[0018]

1A, 1B, and 1C show cross-sectional configurations of three types of samples.

FIG. 1A shows a first sample SA.

A Si0.76Ge0.24 (Ge composition 0.24) layer 22 having a thickness of 25 nm was epitaxially grown on the surface of the Si substrate 21.

FIG. 1B shows a second sample SB.

A 25 nm-thick Si0.76Ge0.24 (Ge composition 0.24) layer 22 is epitaxially grown on the Si substrate 21, a 3 nm-thick Si layer 23 is epitaxially grown on the layer 22, and a 25 nm-thick Si0.76Ge0.24 is further epitaxially grown. (Ge composition 0.24) Layer 24 was epitaxially grown.

FIG. 1C shows a third sample SC.

A Si0.76Ge0.24 (Ge composition 0.24) layer 25 having a thickness of 50 nm was epitaxially grown on the surface of the Si substrate 21.

The total thickness of the SiGe layers of the second sample SB and the third sample SC is 50 nm.

[0019]

The epitaxial growth was carried out at a substrate temperature of 500 ° C. to 700 ° C. using a mixed gas of SiH4 (silane), GeH4 (German), HCl (hydrogen chloride) and H2 (hydrogen).

The Ge composition was controlled by the partial pressure ratio of the mixed gas.

[0020]

1D, 1E, and 1F show atomic force microscope (AFM) observation images of the surfaces of samples SA, SB, and SC.

The AFM of sample SA in FIG. 1D shows a flat surface.

On the other hand, the AFM of the sample SC shown in FIG. 1F shows the occurrence of a crosshatch-like step.

It is probable that the strain energy accumulated in the SiGe layer 25 became large and could not be retained in the epitaxial layer 25, causing a misfit dislocation.

It is considered that the sample SA of FIG. 1D has no step, the thickness of the epitaxial layer 22 is equal to or less than the critical film thickness, and no misfit dislocation has occurred.

In this way, the presence or absence of dislocations can be determined by AFM.

[0021]

The AFM of the sample SB shown in FIG. 1E shows the occurrence of a step, but the density thereof is much smaller than that of the step of the sample SC shown in FIG. 1F.

The sum of the thicknesses of the SiGe layers 22 and 24 is 50 nm, which is the same as the thickness of the SiGe layers 25 of the sample SC, but the occurrence of dislocations is clearly suppressed.

It was found that the occurrence of dislocations was suppressed by inserting a thin Si layer at an intermediate position in the thickness direction of the SiGe layer having a thickness of 50 nm.

[0022]

By adjusting the thickness of each layer, it will be possible to form an epitaxial layer without dislocations even if the total thickness exceeds the critical film thickness.

The same effect can be expected by inserting a layer having a small lattice constant difference from the substrate at an intermediate position in the thickness direction of the layer having a large lattice constant difference.

That is, it may be possible to use SiGe having a small Ge composition instead of the Si layer.

[0023]

Other materials could be used as the epitaxial layer with a large difference in lattice constant from the substrate.

Instead of the SiGe mixed crystal having a larger lattice constant than Si, a mixed crystal having a smaller lattice constant than Si could be used.

For example, the same effect can be expected by using a SiC mixed crystal having the same diamond crystal structure as Si and having a smaller lattice constant than Si, and inserting a Si layer or a SiC mixed crystal having a smaller C composition at an intermediate position in the thickness direction. You can do it.

A large tensile stress can be applied by the SiC mixed crystal having a small lattice constant.

By arranging a SiC laminate whose sum of thickness exceeds the critical film thickness on the source / drain of the NMOS transistor, a large tensile stress can be applied to the channel of the NMOS transistor.

The high tensile stress improves the mobility of electrons.

[0024]

The layer having a small difference in lattice constant from the substrate to be inserted in the middle may not be limited to one layer.

By interposing two or more layers having a small lattice constant difference, it will be possible to further increase the total thickness of the substrate and the epitaxial layer having a large lattice constant difference.

[0025]

B2H6 (diborane) was added as an impurity source gas, and a B-doped p-type SiGe / Si / SiGe epitaxial layer was also grown.

The B concentration was 1 × 1019 (hereinafter referred to as 1E19) cm-3 to 1E21 cm-3, but even in high-concentration doping of about 1E20 cm-3, the electrical of B incorporated into the epitaxial layer was set. The activation rate reached almost 100%.

[0026]

The conditions for epitaxial growth could be changed in various ways.

For example, Si2H6 (disilane), SiH2Cl2 (dichlorosilane) and the like can be used as the source gas for Si, and Ge2H6 (digermane) and the like can be used as the source gas for Ge.

In the case of SiC / SiC (SiC) / SiC lamination, the epitaxial growth of SiC may be carried out at a substrate temperature of 600 ° C. to 900 ° C. using SiCH3 (CH3) as a C source.

PH3 (phosphine), AsH3 (arsine), etc. could also be used as the n-type impurities.

[0027]

FIG. 2A is a cross-sectional view showing a semiconductor device according to the first embodiment based on the experimental results.

A device separation region 2 is formed on the Si substrate 1 by STI (shallow trench isolation), and an n-type impurity is ion-implanted into the active region defined by the device separation region 2 to form an n-type well NW.

A gate insulating film 3 formed of, for example, a silicon oxide film having a thickness of 1 nm to 2 nm and a polysilicon film 4 doped with p-type impurities such as B are laminated on the surface of the active region and patterned to form a gate electrode. doing.

An insulating sidewall spacer SW is formed on the side walls of the gate electrodes 4 and 3 by laminating the silicon oxide film 6 and the silicon nitride film 7.

The above configuration is known, and various known substitutions, modifications, and modifications are possible.

For example, the gate insulating film 3 may be formed by laminating a silicon oxide film or a film of a material having a higher relative permittivity (so-called high k material) with the silicon oxide film.

The sidewall spacer SW may be formed of a single layer or may be formed by laminating other materials.

[0028]

The Si substrates on both sides of the insulating sidewall spacer SW are etched to form a recess 11, and the recess is embedded to form a first SiGe layer 12a having a high Ge composition, a second SiGe layer 12b having a low Ge composition, and a Ge composition. A high third SiGe layer 12c is formed epitaxially.

Assuming that the composition of the first SiGe layer 12a is Si1-xGex, the composition of the second SiGe layer 12b is Si1-yGey, and the composition of the third SiGe layer 12c is Si1-zGez, x and z are 0.2 ≦ ∀. (X, z) ≦ 0.4, y is set so as to satisfy the relationship of 0 ≦ y <∀ (x, z).

Note that ∀ (x, z) means both x and z.

The first, second, and third SiGe epitaxial layers are collectively indicated by 12.

The SiGe epitaxial laminate 12 is doped with 1E19cm-3 to 1E21cm-3.

[0029]

By growing the first and third SiGe layers having a high Ge composition across the second SiGe layer having a low Ge composition, the total thickness of the first and third SiGe layers exceeds the critical film thickness. However, it is possible to suppress the occurrence of dislocations.

[0030]

It is also possible to form an n-channel MOS transistor by inverting all the conductive types of impurities, replacing the SiGe layer with a SiC layer, and selecting a C composition instead of the Ge composition.

When a SiC layer is used, assuming that the composition of the first SiC layer is SiC1-xCx, the composition of the second SiC layer is SiC1-yCy, and the composition of the third SiC layer is SiC1-zCz, x and z are 0. 01 ≦ ∀ (x, z) ≦ 0.02, y is set so as to satisfy the relationship of 0 ≦ y <∀ (x, z).

Note that ∀ (x, z) means both x and z.

[0031]

FIG. 2B is a cross-sectional view showing a modified example of the first embodiment.

The SiGe epitaxial laminate 12 embedded in the recess has a SiGe layer 12a, 12c, ... 12y, which is thinner than the critical film thickness and has a high Ge composition, and a plurality of SiGe 12b having a low Ge composition inserted so as to divide these layers. Includes 12d, ... 12x.

The SiGe layers 12 are all epitaxial growth layers.

Other points are the same as in the first embodiment.

[0032]

3A to 3F are cross-sectional views showing the main steps of the manufacturing method for manufacturing the semiconductor device of FIG. 2A.

[0033]

As shown in FIG. 3A, a device separation region 2 is formed on the Si substrate 1 by shallow trench isolation (STI), and a plurality of active regions are defined.

An n-type impurity is ion-implanted into the active region for a epitaxial transistor to create an n-type well NW.

A p-type impurity is ion-implanted into the active region for an NMOS transistor to create a p-type well.

The Si surface of the active region is exposed, and a silicon oxide film having a thickness of 1 nm to 2 nm is grown by thermal oxidation.

Nitrogen may be introduced from the surface to form a silicon nitride film.

Another insulating film having a high relative permittivity may be laminated on the silicon oxide film by CVD or the like.

In this way, the gate insulating film 3 is formed.

The polysilicon film 4 is deposited on the gate insulating film 3 by CVD.

A p-type impurity is ion-implanted into the polysilicon film 4 of the epitaxial transistor at any stage.

A photoresist mask PR is formed on the polysilicon film 4, the polysilicon film 4 is etched, and the gate electrode is patterned.

After that, the photoresist mask PR is removed.

[0034]

As shown in FIG. 3B, the gate electrode 4 is covered, the silicon oxide film 6 and the silicon nitride film 7 are deposited on the Si substrate by CVD, and anisotropic etching is performed by reactive ion etching on the side wall of the gate electrode. Leave the sidewall spacer SW of.

The material of the sidewall spacer, the number of layers, and the like can be changed in various ways.

[0035]

As shown in FIG. 3C, the sidewall spacer SW is used as a mask, and the Si substrates on both sides thereof are etched with HBr as an etching gas by reactive etching or the like to form a recess 11.

[0036]

As shown in FIG. 3D, the first SiGe layer 12a is epitaxially grown.

Using a mixed gas of SiH4 (silane), GeH4 (German), HCl (hydrogen chloride), H2 (hydrogen), B2H6 (diborane), the substrate temperature is 500 ° C to 700 ° C, and the Ge composition is 0.2 to 0.4. SiGe mixed crystals are epitaxially grown to a thickness equal to or less than the critical film thickness, for example, 20 nm.

[0037]

As shown in FIG. 3E, the supply amount of GeH4 gas is reduced, and the second SiGe layer 12b having a Ge composition of 0 to 0.2 is epitaxially grown on the first SiGe layer 12a.

For example, the Si layer is grown to a thickness of 3 nm.

[0038]

As shown in FIG. 3F, the supply amount of GeH4 gas is increased again on the second SiGe layer 12b, and the third SiGe layer 12c having a Ge composition of 0.2 to 0.4 is epitaxially grown.

If necessary, the supply amount of H2 may be adjusted to keep the mixed gas flow rate constant.

[0039]

In this way, the first, second, and third SiGe layers 12a, 12b, and 12c are embedded in the recess.

The sum of the thicknesses of the first and third SiGe epitaxial layers 12a and 12c having a Ge composition of 0.2 to 0.4 is thicker than the critical film thickness.

By interposing a second SiGe epitaxial layer having a low Ge composition in the middle, it is possible to suppress the occurrence of dislocations even if the SiGe epitaxial layer having a total thickness exceeding the critical film thickness is grown.

Since the SiGe epitaxial layer thicker than the critical film thickness can be arranged as a whole, a large compressive stress can be applied to the channel of the epitaxial transistor.

The high compressive stress improves the mobility of holes.

[0040]

In addition, according to the modification shown in FIG. 2B, a SiGe epitaxial layer having a low Ge composition and a SiGe epitaxial layer having a high Ge composition may be further laminated on the three layers.

The number of layers to be laminated can be appropriately selected.

[0041]

FIG. 4 is a plan view showing a part of the CMOS transistor device according to the second embodiment.

An opening for an NMOS transistor and an opening for a NMOS transistor are provided in the element separation region, and an active region is defined.

The insulated gate electrode structure G is formed across the NMOS transistor regions NMOS and the NMOS transistor regions MIMO.

The Si substrates on both sides of the insulated gate electrode structure are etched to form recesses in at least one of the NMOS transistor regions NMOS and the NMOS transistor region epitaxials.

In the recess, a SiGe laminate is formed epitaxially if it is a NMOS transistor, and a SiC laminate is formed epitaxially if it is an NMOS transistor.

In the case of the SiGe lamination in which the recess for source / drain of the epitaxial transistor is embedded, the lamination is the same as the SiGe lamination described with reference to FIGS. 2A (2B) and 3F.

In the case of a SiC stack in which a recess for source / drain of an NMOS transistor is embedded, the conductive type of impurities described with reference to FIGS. 2A and 3F is inverted, SiC Ge is replaced with SiC, and Ge composition is replaced with C composition. Is.

[0042]

A film TF that covers the NMOS transistor and applies a tensile stress such as a silicon nitride film by thermal CVD may be deposited, and a film CF that covers a epitaxial transistor and applies a compressive stress such as a silicon nitride film by plasma CVD may be deposited.

In this case, it is preferable that the boundary between the two stress films is closer to the NMOS transistor than to the NMOS transistor.

This is because the stress in the channel width direction is such that the tensile stress improves the mobility of both the NMOS transistor and the NMOS transistor.

A SiGe epitaxial laminate may be embedded in the source / drain of the epitaxial transistor to form a film TF that applies tensile stress to the entire surface of the substrate.

[0043]

Although the present invention has been described above with reference to Examples, the present invention is not limited thereto.

For example, with respect to the manufacturing process of a semiconductor device, the disclosure of Japanese Patent Application No. 2006-0457740 and Japanese Patent Application No. 2006-242087 [the best mode for carrying out the invention] can be incorporated.

In addition, it will be obvious to those skilled in the art that various changes, additions, improvements, replacements, combinations, etc. are possible.

[0044]

Hereinafter, the features of the present invention will be added.

[0045]

(Appendix 1) A semiconductor substrate having at least a surface layer made of Si, a gate insulating film formed on the semiconductor substrate, a gate electrode formed on the gate insulating film, and a gate electrode formed on the side wall of the gate electrode. The first insulating sidewall spacer formed, the recess formed on the semiconductor substrate on both sides of the insulating sidewall spacer, embedded in the recess, epitaxially grown on the semiconductor substrate, and the thickness is equal to or less than the critical film thickness. A second SiGe layer epitaxially grown on the SiGe layer and the first SiGe layer, has a lower Ge composition than the first SiGe layer, and has a thickness of a critical film thickness or less, and on the second SiGe layer. The source / drain region, which is epitaxially grown in, contains a laminate with a third SiGe layer having a higher Ge composition than the second SiGe layer and a thickness of a critical film thickness or less, and is doped with p-type impurities. Semiconductor device to have.

[0046]

(Appendix 2) When the composition of the first SiGe layer is Si1-xGex, the composition of the second SiGe layer is Si1-yGey, and the composition of the third SiGe layer is Si1-zGez, x, y, z satisfies the relationship of 0.2 ≦ ∀ (x, z) ≦ 0.4, 0 ≦ y <∀ (x, z) (Note that ∀ (x, z) means both x and z.) The semiconductor device according to Appendix 1.

[0047]

(Appendix 3) The semiconductor device according to Appendix 1 or 2, wherein the p-type impurity is B and the concentration is 1 × 1019 cm-3 to 1 × 1021 cm-3.

[0048]

(Appendix 4) A semiconductor substrate having at least a surface layer made of Si, a gate insulating film formed on the semiconductor substrate, a gate electrode formed on the gate insulating film, and a gate electrode formed on the side wall of the gate electrode. The first insulating sidewall spacer formed, the recess formed on the semiconductor substrate on both sides of the insulating sidewall spacer, embedded in the recess, epitaxially grown on the semiconductor substrate, and the thickness is equal to or less than the critical film thickness. On the SiC layer and the second SiC layer, which is epitaxially grown on the first SiC layer, has a lower C composition than the first SiC layer, and has a thickness of a critical film thickness or less, and the second SiC layer. Into / drain regions Semiconductor device to have.

[0049]

(Appendix 5) When the composition of the first SiC layer is SiC1-xCx, the composition of the second SiC layer is Si1-yCy, and the composition of the third SiC layer is Si1-zCz, x, y, z satisfies the relationship of 0.01 ≦ ∀ (x, z) ≦ 0.02, 0 ≦ y <∀ (x, z) (Note that ∀ (x, z) means both x and z.) The semiconductor device according to Appendix 4.

[0050]

(Supplementary note 6) The semiconductor device according to Supplementary note 4 or 5, wherein the n-type impurity is P or As and the concentration is 1 × 1019 cm-3 to 1 × 1021 cm-3.

[0051]

(Appendix 7) (a) a step of forming an insulating gate electrode including a gate insulating film and a gate electrode on the Si surface of a semiconductor substrate, and (b) a step of forming an insulating sidewall spacer on the side wall of the insulating gate electrode. , (C) A step of forming a recess in the Si region on both sides of the insulating sidewall spacer, and (d) a step of epitaxially growing a first SiGe layer having a critical thickness or less on the surface of the recessed semiconductor substrate. , (E) A step of epitaxially growing a second SiGe layer having a lower Ge composition than the first SiGe layer and having a critical film thickness or less on the first SiGe layer, and (f) the second SiGe. A method for manufacturing a semiconductor

device, comprising a step of epitaxially growing a third SiGe layer having a Ge composition higher than that of the second SiGe layer and having a critical film thickness or less on the layer.

[0052]

(Appendix 8) When the composition of the first SiGe layer is Si1-xGex, the composition of the second SiGe layer is Si1-yGey, and the composition of the third SiGe layer is Si1-zGez, x, y, z satisfies the relationship of 0.2 ≦ ∀ (x, z) ≦ 0.4, 0 ≦ y <∀ (x, z) (Note that ∀ (x, z) means both x and z.) The method for manufacturing a semiconductor device according to Appendix 7.

[0053]

(Appendix 9) (g) The method for manufacturing a semiconductor device according to Appendix 7 or 8, further comprising a step of doping the first, second, and third SiGe layers with p-type impurities.

[0054]

(Supplementary Note 10) The method for manufacturing a semiconductor device according to Supplementary note 9, wherein the p-type impurity is B and the concentration is 1 × 1019 cm-3 to 1 × 1021 cm-3.

[0055]

(Appendix 11) (a) a step of forming an insulating gate electrode including a gate insulating film and a gate electrode on the Si surface of a semiconductor substrate, and (b) a step of forming an insulating sidewall spacer on the side wall of the insulating gate electrode. , (C) A step of forming a recess in the Si region on both sides of the insulating sidewall spacer, and (d) a step of epitaxially growing a first SiC layer having a critical thickness or less on the surface of the recessed semiconductor substrate. , (E) A step of epitaxially growing a second SiC layer having a lower C composition than the first SiC layer and having a critical film thickness or less on the first SiC layer, and (f) the second SiC. A method for manufacturing a semiconductor device, comprising a step of epitaxially growing a third SiC layer having a C composition higher than that of the second SiC layer and having a critical film thickness or less on the layer.

[0056]

(Appendix 12) When the composition of the first SiC layer is SiC1-xCx, the composition of the second SiC layer is Si1-yCy, and the composition of the third SiC layer is Si1-zCz, x, y, z satisfies the relationship of 0.01 ≦ ∀ (x, z) ≦ 0.02, 0 ≦ y <∀ (x, z) (Note that ∀ (x, z) means both x and z. The method for manufacturing a semiconductor device according to Appendix 11.

[0057]

(Appendix 13) (g) The method for manufacturing a semiconductor device according to Appendix 11 or 12, further comprising a step of doping the first, second, and third SiC layers with n-type impurities.

[0058]

(Appendix 14) The method for manufacturing a semiconductor device according to Appendix 13, wherein the n-type impurity is P or As and the concentration is 1 × 1019 cm-3 to 1 × 1021 cm-3.

[0059]

FIGS. 1A to 1C are schematic cross-sectional views showing the configurations of samples SA, SB, and SC experimentally prepared by the present inventors, and FIGS. 1D to 1F are atomic force microscopes on the surfaces of the samples SA, SB, and SC. AFM) Image.

2A and 2B are cross-sectional views of the semiconductor device according to the first embodiment and a modified example thereof.

3A to 3F are schematic cross-sectional views showing the main steps of the method for manufacturing the semiconductor device shown in FIG.

FIG. 4 is a schematic plan view of the CMOS apparatus according to the second embodiment.

FIG. 5 is a graph showing changes in the critical film thickness.

Code description

[0060]

1 Semiconductor (Si) substrate 2 Element separation region 3 Gate insulating film 4 Gate electrode 6, 7 Insulating film SW sidewall spacer NW n-type well 12 SiGe epitaxial lamination 21 Si substrate 22 SiGe epitaxial layer 23 Si epitaxial layer 24 SiGe epitaxial layer 25 SiGe epitaxial layer G insulated gate electrode structure

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JP2008192989A

1.

A semiconductor substrate whose surface layer is at least made of Si, a gate insulating film formed on the semiconductor substrate, a gate electrode formed on the gate insulating film, and an insulating side formed on the side wall of the gate electrode. A wall spacer, a recess formed on the semiconductor substrate on both sides of the insulating sidewall spacer, and a first SiGe layer embedded in the recess, epitaxially grown on the semiconductor substrate, and having a thickness of a critical film thickness or less. It is epitaxially grown on the first SiGe layer, has a lower Ge composition than the first SiGe layer, and is epitaxially grown on the second SiGe layer having a thickness equal to or less than the critical thickness, and the second SiGe layer. A semiconductor device having a source / drain region having a Ge composition higher than that of the second SiGe layer, including a laminate with a third SiGe layer having a thickness of a critical film thickness or less, and doped with p-type impurities.

2.

When the composition of the first SiGe layer is Si1-xGex, the composition of the second SiGe layer is Si1-yGey, and the composition of the third SiGe layer is Si1-zGez, x, y, z are 0. .2 ≤ ∀ (x, z) ≤ 0.4, 0 ≤ y <∀ (x, z) (where ∀ (x, z) means both x and z). 1. The semiconductor device according to 1.

3.

The semiconductor device according to claim 1 or 2, wherein the p-type impurity is B and the concentration is 1 × 1019 cm-3 to 1 × 1021 cm-3.

4.

A semiconductor substrate whose surface layer is at least made of Si, a gate insulating film formed on the semiconductor substrate, a gate electrode formed on the gate insulating film, and an insulating side formed on the side wall of the gate electrode. A wall spacer, a recess formed on the semiconductor substrate on both sides of the insulating sidewall spacer, and a first SiC layer embedded in the recess, epitaxially grown on the semiconductor substrate, and having a thickness of a critical film thickness or less. It is epitaxially grown on the first SiC layer, has a lower C composition than the first SiC layer, and is epitaxially grown on the second SiC layer having a thickness equal to or less than the critical film thickness and the second SiC layer. A semiconductor device having a source / drain region having a C composition higher than that of the second SiC layer, a stacking with a third SiC layer having a thickness equal to or less than a critical film thickness, and a source / drain region doped with n-type impurities.

5.

When the composition of the first SiC layer is SiC1-xCx, the composition of the second SiC layer is Si1-yCy, and the composition of the third SiC layer is Si1-zCz, x, y, z are 0. .01 ≤ ∀ (x, z) ≤ 0.02, 0 ≤ y <∀ (x, z) (where ∀ (x, z) means both x and z). 4. The semiconductor device according to 4.

6.

The semiconductor device according to claim 4 or 5, wherein the n-type impurity is P or As, and the concentration is 1 × 1019 cm-3 to 1 × 1021 cm-3.

7.

(A) A step of forming an insulated gate electrode including a gate insulating film and a gate electrode on the Si surface of a semiconductor substrate, (b) a step of forming an insulating sidewall spacer on the side wall of the insulated gate electrode, and (c). A step of forming recesses in the Si regions on both sides of the insulating sidewall spacer, (d) a step of epitaxially growing a first SiGe layer having a critical thickness or less on the surface of the recessed semiconductor substrate, and (e). A step of epitaxially growing a second SiGe layer having a lower Ge composition than the first SiGe layer and having a critical film thickness or less on the first SiGe layer, and (f) on the second SiGe layer. A method for manufacturing a semiconductor device, comprising a step of epitaxially growing a third SiGe layer having a Ge composition higher than that of the second SiGe layer and having a critical film thickness or less.

8.

When the composition of the first SiGe layer is Si1-xGex, the composition of the second SiGe layer is Si1-yGey, and the composition of the third SiGe layer is Si1-zGez, x, y, z are 0. .2 ≤ ∀ (x, z) ≤ 0.4, 0 ≤ y <∀ (x, z) (where ∀ (x, z) means both x and z). 7. The method for manufacturing a semiconductor device according to 7.

9.

(A) A step of forming an insulating gate electrode including a gate insulating film and a gate electrode on the Si surface of a semiconductor substrate, (b) a step of forming an insulating sidewall spacer on the side wall of the insulating gate electrode, and (c). A step of forming recesses in the Si regions on both sides of the insulating sidewall spacer, (d) a step of epitaxially growing a first SiC layer having a critical thickness or less on the surface of the recessed semiconductor substrate, and (e). A step of epitaxially growing a second SiC layer having a lower C composition than the first SiC layer and having a critical film thickness or less on the first SiC layer, and (f) on the second SiC layer. A method for manufacturing a semiconductor device, comprising a step of epitaxially growing a third SiC layer having a C composition higher than that of the second SiC layer and having a critical film thickness or less.

10.

When the composition of the first SiC layer is SiC1-xCx, the composition of the second SiC layer is Si1-yCy, and the composition of the third SiC layer is Si1-zCz, x, y, z are 0. .01 ≤ ∀ (x, z) ≤ 0.02, 0 ≤ y <∀ (x, z) (where ∀ (x, z) means both x and z). 9. The method for manufacturing a semiconductor device according to 9.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-192989
(P2008-192989A)
(43)公開日　平成20年8月21日(2008.8.21)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/78	(2006.01)	H01L	29/78	301S	5F048
H01L 21/8234	(2006.01)	H01L	29/78	301H	5F140
H01L 27/088	(2006.01)	H01L	27/08	102B	
H01L 21/8238	(2006.01)	H01L	27/08	321C	
H01L 27/092	(2006.01)	H01L	27/08	321E	

審査請求 未請求　請求項の数 10　ＯＬ　（全 15 頁）

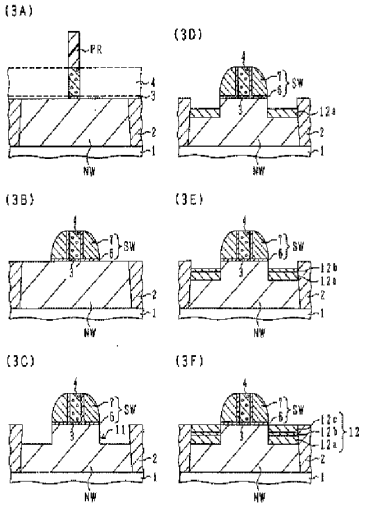
(21)出願番号　特願2007-28345 (P2007-28345)
(22)出願日　平成19年2月7日 (2007.2.7)

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100091340
弁理士　高橋　敬四郎
(74)代理人　100105887
弁理士　来山　幹雄
(72)発明者　福田　真大
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内
(72)発明者　島宗　洋介
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

最終頁に続く

(54)【発明の名称】半導体装置とその製造方法

(57)【要約】　（修正有）
【課題】チャネルに効率的に応力を印加できるＭＯＳトランジスタ構造を有する半導体装置、またはその製造方法の提供。
【解決手段】半導体装置の製造方法は、（ａ）半導体基板のＳｉ表面上にゲート絶縁膜３、ゲート電極４を形成する工程と、（ｂ）絶縁ゲート電極側壁上に絶縁サイドウォールスペーサＳＷを形成する工程と、（ｃ）絶縁サイドウォールスペーサＳＷ両側のＳｉ領域にリセス１１を形成する工程と、（ｄ）リセスされた半導体基板表面上に、臨界膜厚以下の第１のＳｉＧｅ層１２ａをエピタキシャル成長する工程と、（ｅ）第１のＳｉＧｅ層１２ａ上に、第１のＳｉＧｅ層１２ａよりもＧｅ組成が低く、臨界膜厚以下の第２のＳｉＧｅ層１２ｂをエピタキシャル成長する工程と、（ｆ）第２のＳｉＧｅ層１２ｂ上に、第２のＳｉＧｅ層１２ｂよりもＧｅ組成が高く、臨界膜厚以下の第３のＳｉＧｅ層１２ａをエピタキシャル成長する工程と、を含む。
【選択図】図３



【特許請求の範囲】
【請求項1】
少なくとも表面層がＳｉで形成された半導体基板と、
前記半導体基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記ゲート電極側壁上に形成された絶縁サイドウォールスペーサと、
前記絶縁サイドウォールスペーサ両側で前記半導体基板に形成されたリセスと、
前記リセスに埋め込まれ、前記半導体基板上にエピタキシャル成長し、厚さが臨界膜厚以下の第１のＳｉＧｅ層と、前記第１のＳｉＧｅ層上にエピタキシャル成長され、前記第１のＳｉＧｅ層よりもＧｅ組成が低く、厚さが臨界膜厚以下の第２のＳｉＧｅ層と、前記第２のＳｉＧｅ層上にエピタキシャル成長され、前記第２のＳｉＧｅ層よりもＧｅ組成が高く、厚さが臨界膜厚以下の第３のＳｉＧｅ層との積層を含み、ｐ型不純物をドープされたソース／ドレイン領域と、
を有する半導体装置。
【請求項2】
前記第１のＳｉＧｅ層の組成を$Si_{1-x}Ge_x$、前記第２のＳｉＧｅ層の組成を$Si_{1-y}Ge_y$，前記第３のＳｉＧｅ層の組成を$Si_{1-z}Ge_z$とするとき、ｘ、ｙ、ｚが、０．２≦∀（ｘ、ｚ）≦０．４、０≦ｙ＜∀（ｘ、ｚ）の関係を満たす（なお、∀（ｘ、ｚ）はｘおよびｚのいずれもを意味する）請求項１記載の半導体装置。
【請求項3】
前記ｐ型不純物がＢであり、濃度が$1\times10^{19}\ cm^{-3}$～$1\times10^{21}\ cm^{-3}$である請求項１または２記載の半導体装置。
【請求項4】
少なくとも表面層がＳｉで形成された半導体基板と、
前記半導体基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記ゲート電極側壁上に形成された絶縁サイドウォールスペーサと、
前記絶縁サイドウォールスペーサ両側で前記半導体基板に形成されたリセスと、
前記リセスに埋め込まれ、前記半導体基板上にエピタキシャル成長し、厚さが臨界膜厚以下の第１のＳｉＣ層と、前記第１のＳｉＣ層上にエピタキシャル成長され、前記第１のＳｉＣ層よりもＣ組成が低く、厚さが臨界膜厚以下の第２のＳｉＣ層と、前記第２のＳｉＣ層上にエピタキシャル成長され、前記第２のＳｉＣ層よりもＣ組成が高く、厚さが臨界膜厚以下の第３のＳｉＣ層との積層を含み、ｎ型不純物をドープされたソース／ドレイン領域と、
を有する半導体装置。
【請求項5】
前記第１のＳｉＣ層の組成を$Si_{1-x}C_x$、前記第２のＳｉＣ層の組成を$Si_{1-y}C_y$，前記第３のＳｉＣ層の組成を$Si_{1-z}C_z$とするとき、ｘ、ｙ、ｚが、０．０１≦∀（ｘ、ｚ）≦０．０２、０≦ｙ＜∀（ｘ、ｚ）の関係を満たす（なお、∀（ｘ、ｚ）はｘおよびｚのいずれもを意味する）請求項４記載の半導体装置。
【請求項6】
前記ｎ型不純物がＰあるいはＡｓであり、濃度が$1\times10^{19}\ cm^{-3}$～$1\times10^{21}\ cm^{-3}$である請求項４または５記載の半導体装置。
【請求項7】
（ａ）半導体基板のＳｉ表面上にゲート絶縁膜、ゲート電極を含む絶縁ゲート電極を形成する工程と、
（ｂ）前記絶縁ゲート電極側壁上に絶縁サイドウォールスペーサを形成する工程と、
（ｃ）前記絶縁サイドウォールスペーサ両側のＳｉ領域にリセスを形成する工程と、
（ｄ）リセスされた前記半導体基板の表面上に、臨界膜厚以下の第１のＳｉＧｅ層をエ

ピタキシャル成長する工程と、
（ｅ）前記第１のＳｉＧｅ層上に、前記第１のＳｉＧｅ層よりもＧｅ組成が低く、臨界膜厚以下の第２のＳｉＧｅ層をエピタキシャル成長する工程と、
（ｆ）前記第２のＳｉＧｅ層上に、前記第２のＳｉＧｅ層よりもＧｅ組成が高く、臨界膜厚以下の第３のＳｉＧｅ層をエピタキシャル成長する工程と、
を含む半導体装置の製造方法。
【請求項8】
前記第１のＳｉＧｅ層の組成を$Si_{1-x}Ge_x$、前記第２のＳｉＧｅ層の組成を$Si_{1-y}Ge_y$，前記第３のＳｉＧｅ層の組成を$Si_{1-z}Ge_z$とするとき、ｘ、ｙ、ｚが、０．２≦∀（ｘ、ｚ）≦０．４、０≦ｙ＜∀（ｘ、ｚ）の関係を満たす（なお、∀（ｘ、ｚ）はｘおよびｚのいずれもを意味する）請求項７記載の半導体装置の製造方法。
【請求項9】
（ａ）半導体基板のＳｉ表面上にゲート絶縁膜、ゲート電極を含む絶縁ゲート電極を形成する工程と、
（ｂ）前記絶縁ゲート電極側壁上に絶縁サイドウォールスペーサを形成する工程と、
（ｃ）前記絶縁サイドウォールスペーサ両側のＳｉ領域にリセスを形成する工程と、
（ｄ）リセスされた前記半導体基板の表面上に、臨界膜厚以下の第１のＳｉＣ層をエピタキシャル成長する工程と、
（ｅ）前記第１のＳｉＣ層上に、前記第１のＳｉＣ層よりもＣ組成が低く、臨界膜厚以下の第２のＳｉＣ層をエピタキシャル成長する工程と、
（ｆ）前記第２のＳｉＣ層上に、前記第２のＳｉＣ層よりもＣ組成が高く、臨界膜厚以下の第３のＳｉＣ層をエピタキシャル成長する工程と、
を含む半導体装置の製造方法。
【請求項10】
前記第１のＳｉＣ層の組成を$Si_{1-x}C_x$、前記第２のＳｉＣ層の組成を$Si_{1-y}C_y$，前記第３のＳｉＣ層の組成を$Si_{1-z}C_z$とするとき、ｘ、ｙ、ｚが、０．０１≦∀（ｘ、ｚ）≦０．０２、０≦ｙ＜∀（ｘ、ｚ）の関係を満たす（なお、∀（ｘ、ｚ）はｘおよびｚのいずれもを意味する）請求項９記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【0001】
本発明は、半導体装置とその製造方法に関し、特に応力印加機構を有するＭＯＳトランジスタを含む半導体装置とその製造方法に関する。なお、半導体活性領域上に、ゲート絶縁膜と導電体の積層を含むゲート電極を有する電界効果トランジスタをＭＯＳトランジスタと呼ぶ。
【背景技術】
【0002】
シリコン半導体集積回路の集積度向上、動作速度向上のために微細化が進められてきた。微細化と共にＭＯＳトランジスタのゲート長は短縮化されている。ゲート長６５ｎｍ以下では、微細化で性能向上を期待することに限界が見えてきた。
【0003】
微細化以外で、ＭＯＳトランジスタの性能向上を実現する技術として、歪（応力印加）によってキャリアの移動度を向上する歪トランジスタが注目されている。ＭＯＳトランジスタのチャネル領域に応力を印加して歪を発生させ、電子やホールの移動度を上げることにより、オン電流を向上する。
【0004】
ｎチャネル（Ｎ）ＭＯＳトランジスタはチャネル領域に引っ張り応力を印加することにより電子の移動度が向上する。ｐチャネル（Ｐ）ＭＯＳトランジスタは、チャネル領域に圧縮応力を印加することによりホールの移動度が向上する。
【0005】
ＰＭＯＳトランジスタの場合、ソース／ドレイン領域をＳｉ基板より格子定数の大きい

シリコン－ゲルマニウム（Ｓｉ－Ｇｅ）混晶で形成すると、チャネルのＳｉ結晶に圧縮応力が印加され、ホールの移動度が大きくなる。
【非特許文献1】T. Ghani et al:IEDM Tech. Dig., 2003, p.978
【非特許文献2】Y. S. Kim et al:Proceedings of ESSDERC 2005, p.305　ＮＭＯＳトランジスタの場合、ソース／ドレイン領域をＳｉ基板より格子定数の小さいシリコン－カーボン（Ｓｉ－Ｃ）混晶（Ｃを添加したＳｉ）で形成すると、チャネルのＳｉ結晶に引っ張り応力が印加され、電子の移動度が大きくなる。
【非特許文献3】K. Ang etal:IEDM Tech. Dig., 2004, p.1069　Ｓｉ基板上にＳｉ－Ｇｅ結晶をエピタキシャルに成長する時、ミスフィット転位なしに成長できるエピタキシャル層の厚さは臨界膜厚と呼ばれる厚さに制限される。
【0006】
　なお、Ｓｉ基板上にＳｉ－Ｇｅ層を含む積層構造を形成する方法が、種々提案されている。
【0007】
【特許文献1】特開２００３－１２８４９４号公報
【特許文献2】特開２００３－１６３３６１号公報
【特許文献3】特開２００３－１７８９７５号公報
【特許文献4】特開２００４－１０３８０５号公報
【特許文献5】特開２００４－２４１５０７号公報
【発明の開示】
【発明が解決しようとする課題】
【0008】
例えば、歪ＰＭＯＳトランジスタを作成するため、Ｓｉ基板のソース／ドレイン予定領域をエッチングしてリセスを形成し、リセスのＳｉ結晶上にＳｉＧｅ膜をエピタキシャルに成長する。転位を避けるには、Ｓｉ－Ｇｅ膜の成長温度とＧｅ組成によって決定される臨界膜厚より薄いＳｉＧｅ膜を成長する。一定の膜厚を越えてＳｉ－Ｇｅ膜を成長させると、Ｓｉ－Ｇｅ膜中に転位が発生する。転位が発生しない最大の厚さを臨界膜厚と呼ぶ。転位が発生すると応力が緩和され、有効にチャネルに歪を加えることができない。膜厚を臨界膜厚以下にするか、Ｇｅ組成を低くすることになる。いずれにしても、チャネル領域に印加できる応力が制限される。
【0009】
　本発明の目的は、チャネルに効率的に応力を印加できるＭＯＳトランジスタ構造を有する半導体装置、またはその製造方法を提供することである。
【課題を解決するための手段】
【0010】
　本発明の１観点によれば、
　少なくとも表面層がＳｉで形成された半導体基板と、
　前記半導体基板上に形成されたゲート絶縁膜と、
　前記ゲート絶縁膜上に形成されたゲート電極と、
　前記ゲート電極側壁上に形成された絶縁サイドウォールスペーサと、
　前記絶縁サイドウォールスペーサ両側で前記半導体基板に形成されたリセスと、
　前記リセスに埋め込まれ、前記半導体基板上にエピタキシャル成長し、厚さが臨界膜厚以下の第１のＳｉＧｅ層と、前記第１のＳｉＧｅ層上にエピタキシャル成長され、前記第１のＳｉＧｅ層よりもＧｅ組成が低く、厚さが臨界膜厚以下の第２のＳｉＧｅ層と、前記第２のＳｉＧｅ層上にエピタキシャル成長され、前記第２のＳｉＧｅ層よりもＧｅ組成が高く、厚さが臨界膜厚以下の第３のＳｉＧｅ層との積層を含み、ｐ型不純物をドープされたソース／ドレイン領域と、
を有する半導体装置
が提供される。
【0011】

本発明の他の観点によれば、
（ａ）半導体基板のＳｉ表面上にゲート絶縁膜、ゲート電極を含む絶縁ゲート電極を形成する工程と、
（ｂ）前記絶縁ゲート電極側壁上に絶縁サイドウォールスペーサを形成する工程と、
（ｃ）前記絶縁サイドウォールスペーサ両側のＳｉ領域にリセスを形成する工程と、
（ｄ）リセスされた前記半導体基板表面上に、臨界膜厚以下の第１のＳｉＧｅ層をエピタキシャル成長する工程と、
（ｅ）前記第１のＳｉＧｅ層上に、前記第１のＳｉＧｅ層よりもＧｅ組成が低く、臨界膜厚以下の第２のＳｉＧｅ層をエピタキシャル成長する工程と、
（ｆ）前記第２のＳｉＧｅ層上に、前記第２のＳｉＧｅ層よりもＧｅ組成が高く、臨界膜厚以下の第３のＳｉＧｅ層をエピタキシャル成長する工程と、
を含む半導体装置の製造方法
が提供される。

【0012】
なお、ＳｉＧｅをＳｉＣに置換し、ｐ型をｎ型に置換した形態も可能である。

【発明の効果】

【0013】
第１と第３のＳｉＧｅ（ＳｉＣ）層の間に、Ｇｅ（Ｃ）組成の低い第２のＳｉＧｅ（ＳｉＣ）層を介在させることにより、第１と第３のＳｉＧｅ（ＳｉＣ）層の厚さの和が臨界膜厚を越えても、転位の発生を抑制できる。

【発明を実施するための最良の形態】

【0014】
ヘテロエピタキシャル成長における臨界膜厚に付いて説明する。Ｓｉ基板表面にＳｉＧｅ結晶をエピタキシャルに成長する場合を想定する。Ｓｉ－Ｇｅの組成を$Si_{1-x}Ge_x$とした時のＧｅ組成ｘが０．２程度以上高い場合、エピタキシャル層の厚さを増していくと、蓄積される歪エネルギも増大し、ある厚さで転位が発生する。ミスフィット転位と呼ばれる転位である。臨界膜厚は、成膜温度にも依存する。

【0015】
図５は、Ｇｅ濃度に対する臨界膜厚の関係を示すグラフである。縦軸は臨界膜厚を示し、横軸はＧｅ濃度を示す。温度ａでエピタキシャル成長する時、Ｇｅ濃度が高くなる程、ＳｉＧｅの格子定数も大きくなり、臨界膜厚は小さくなる。温度をａより低いｂにすると、臨界膜厚は増加する。格子定数の差が大きい程、成膜温度が高い程、臨界膜厚が小さくなることは、単結晶基板上に基板と異なる材料をヘテロエピタキシャル成長する時の一般的な性質である。Ｓｉ結晶上にＳｉと格子定数の異なるＳｉＧｅ混晶をミスフィット転位を発生させずに成長する場合、その厚さは臨界膜厚で制限される。

【0016】
上述のように、Ｇｅ濃度が高くなるに従って、ＳｉＧｅの臨界膜厚が小さくなるのでＳｉＧｅ内に転位が発生しやすくなる。ＳｉＧｅ内に転位が発生すると、ＳｉＧｅ内に蓄積された歪も緩和されるため、Ｓｉに印加される応力も小さくなる。

【0017】
ＭＯＳトランジスタのチャネルに例えば圧縮応力を印加したい場合、ソース／ドレイン領域を形成する部分のＳｉ基板をエッチしてリセスを形成し、リセス内にＳｉより格子定数の大きいＳｉＧｅ混晶をエピタキシャル成長すれば、チャネルにソース及びドレインの両側から圧縮応力が印加される。圧縮応力は大きいほど正孔の移動度は速くなる。転位を抑制しつつ、臨界膜厚を越える厚さのＳｉＧｅ層を形成できれば、圧縮応力をより効率的に印加できることになる。本発明者は格子定数差の大きい層を格子定数差の小さい層で厚さ方向に分割した場合にミスフィット転位の発生に与える影響を実験的に調べた。

【0018】
図１Ａ，１Ｂ，１Ｃは、３種類のサンプルの断面構成を示す。図１Ａは、第１のサンプルＳＡを示す。Ｓｉ基板２１の表面上に厚さ２５ｎｍの$Si_{0.76}Ge_{0.24}$（Ｇｅ

組成０．２４）層２２をエピタキシャル成長した。図１Ｂは、第２のサンプルＳＢを示す。Ｓｉ基板２１上に厚さ２５ｎｍ$Si_{0.76}Ge_{0.24}$（Ｇｅ組成０．２４）層２２をエピタキシャル成長し、その上に一旦厚さ３ｎｍのＳｉ層２３をエピタキシャル成長し、さらに厚さ２５ｎｍの$Si_{0.76}Ge_{0.24}$（Ｇｅ組成０．２４）層２４をエピタキシャル成長した。図１Ｃは第３のサンプルＳＣを示す。Ｓｉ基板２１の表面上に厚さ５０ｎｍの$Si_{0.76}Ge_{0.24}$（Ｇｅ組成０．２４）層２５をエピタキシャル成長した。第２のサンプルＳＢと第３のサンプルＳＣのＳｉＧｅ層の総厚は共に５０ｎｍである。

【0019】

エピタキシャル成長は、SiH_4（シラン）、GeH_4（ゲルマン）、ＨＣｌ（塩化水素）、H_2（水素）の混合ガスを用い、基板温度５００℃～７００℃で行なった。Ｇｅ組成は、混合ガスの分圧比によって制御した。

【0020】

図１Ｄ，１Ｅ，１Ｆは、サンプルＳＡ，ＳＢ，ＳＣの表面の原子間力顕微鏡（ＡＦＭ）観察像を示す。図１ＤのサンプルＳＡのＡＦＭは、平坦な表面を示している。これに対し、図１ＦのサンプルＳＣのＡＦＭはクロスハッチ状の段差の発生を示している。ＳｉＧｅ層２５に蓄積された歪エネルギが大きくなり、エピタキシャル層２５に保持することができなくなり、ミスフィット転位を生じたものと考えられる。図１ＤのサンプルＳＡには段差の発生がなく、エピタキシャル層２２の厚さが臨界膜厚以下であり、ミスフィット転位は生じていないと考えられる。このように、ＡＦＭにより転位の有無を判断することができる。

【0021】

図１Ｅに示すサンプルＳＢのＡＦＭは、段差の発生を示しているが、その密度は図１Ｆのサンプル ＳＣの段差より格段に少ない。ＳｉＧｅ層２２，２４の厚さの和は、サンプルＳＣのＳｉＧｅ層２５の厚さと同じ５０ｎｍであるが、転位の発生は明らかに抑制されている。厚さ５０ｎｍのＳｉＧｅ層の厚さ方向中間位置に薄いＳｉ層を挿入すると、転位の発生が抑制されることが判った。

【0022】

各層の厚さ等を調整することにより、厚さの総和が臨界膜厚を越えても、転位のないエピタキシャル層を形成することが可能であろう。基板との格子定数差の大きい層の厚さ方向中間位置に格子定数差の小さい層を挿入することで同様の効果が期待できる。即ちＳｉ層の代わりにＧｅ組成の小さいＳｉＧｅを用いることも可能であろう。

【0023】

基板との格子定数差の大きいエピタキシャル層として他の材料を用いることもできるであろう。Ｓｉより格子定数の大きいＳｉＧｅ混晶に代え、Ｓｉより格子定数の小さい混晶を用いることもできよう。例えば、Ｓｉと同じダイヤモンド結晶構造を有し、Ｓｉより格子定数の小さいＳｉＣ混晶を用い、厚さ方向中間位置にＳｉ層またはＣ組成の小さいＳｉＣ混晶を挿入しても同様の効果が期待できるであろう。格子定数の小さいＳｉＣ混晶により、大きな引張応力を印加することができる。ＮＭＯＳトランジスタのソース／ドレインに厚さの和が臨界膜厚を越えたＳｉＣ積層を配置することにより、ＮＭＯＳトランジスタのチャネルに大きな引張応力を印加できる。大きな引張応力により電子の移動度が向上する。

【0024】

中間に挿入する基板との格子定数差の小さい層は１層に限らないであろう。２層以上格子定数差の小さい層を介在させることにより、基板と格子定数差の大きいエピタキシャル層の厚さの総和をさらに大きくすることが可能となるであろう。

【0025】

不純物ソースガスとしてB_2H_6（ジボラン）を追加して、Ｂをドープしたｐ型ＳｉＧｅ／Ｓｉ／ＳｉＧｅエピタキシャル層も成長した。Ｂ濃度は、1×10^{19}（以下、１Ｅ１９のように表記する）cm^{-3}～１Ｅ２１cm^{-3}としたが、１Ｅ２０cm^{-3}程度の

高濃度ドーピングにおいても、エピタキシャル層中に取り込まれたＢの電気的活性化率はほぼ１００％に達した。

【0026】

エピタキシャル成長の条件は、種々変更可能であろう。例えば、Ｓｉのソースガスとして、Si_2H_6（ジシラン）、SiH_2Cl_2（ジクロルシラン）等、ＧｅのソースガスとしてGe_2H_6（ジゲルマン）等を用いることもできるであろう。ＳｉＣ／Ｓｉ（ＳｉＣ）／ＳｉＣ積層の場合、ＳｉＣのエピタキシャル成長は、ＣソースとしてSiH_3CH_3）を用い、基板温度６００℃～９００℃で行なえばよい。ｎ型不純物としてPH_3（ホスフィン），AsH_3（アルシン）等を用いることもできるであろう。

【0027】

図２Ａは、実験結果に基づく、第１の実施例による半導体装置を示す断面図である。Ｓｉ基板１にＳＴＩ（シャロートレンチアイソレーション）による素子分離領域２が形成され、素子分離領域２で画定された活性領域にｎ型不純物がイオン注入されｎ型ウェルＮＷが形成されている。活性領域表面に、例えば厚さ１ｎｍ～２ｎｍの酸化シリコン膜などで形成されたゲート絶縁膜３、Ｂ等のｐ型不純物をドープされたポリシリコン膜４が積層され、パターニングされてゲート電極を構成している。ゲート電極４，３の側壁上には、酸化シリコン膜６、窒化シリコン膜７の積層で絶縁サイドウォールスペーサＳＷが形成されている。なお、以上の構成は公知のものであり、公知の種々の置換、変形、修正が可能である。例えば、ゲート絶縁膜３は、窒化酸化シリコン膜や、酸化シリコン膜とより比誘電率の高い材料（いわゆるハイｋ材料）の膜の積層などで形成してもよい。サイドウォールスペーサＳＷは単層で形成してもよいし、他の材料の積層で形成してもよい。

【0028】

絶縁サイドウォールスペーサＳＷの両側のＳｉ基板がエッチングされてリセス１１を形成し、リセスを埋め込んで、Ｇｅ組成の高い第１のＳｉＧｅ層１２ａ、Ｇｅ組成の低い第２のＳｉＧｅ層１２ｂ、Ｇｅ組成の高い第３のＳｉＧｅ層１２ｃがエピタキシャルに形成されている。第１のＳｉＧｅ層１２ａの組成を$Si_{1-x}Ge_x$、第２のＳｉＧｅ層１２ｂの組成を$Si_{1-y}Ge_y$，第３のＳｉＧｅ層１２ｃの組成を$Si_{1-z}Ge_z$とすると、ｘ、ｚは０．２≦∀（ｘ、ｚ）≦０．４、ｙは０≦ｙ＜∀（ｘ、ｚ）の関係を満たすように設定される。なお、∀（ｘ、ｚ）はｘおよびｚのいずれもを意味する。第１、第２、第３のＳｉＧｅエピタキシャル層をまとめて１２で示す。ＳｉＧｅエピタキシャル積層１２にはBを$1E19cm^{-3}$～$1E21cm^{-3}$ドープする。

【0029】

Ｇｅ組成の低い第２のＳｉＧｅ層を挟んで、Ｇｅ組成の高い第１、第３のＳｉＧｅ層を成長することにより、第１、第３のＳｉＧｅ層の厚さの総和が臨界膜厚を越えても、転位の発生を抑制することが可能となる。

【0030】

なお、不純物の導電型を全て反転し、ＳｉＧｅ層をＳｉＣ層に置換し、Ｇｅ組成の変わりにＣ組成を選択することによりｎチャネルＭＯＳトランジスタを形成することもできる。ＳｉＣ層を用いる場合、第１のＳｉＣ層の組成を$Si_{1-x}C_x$，第２のＳｉＣ層の組成を$Si_{1-y}C_y$，第３のＳｉＣ層の組成を$Si_{1-z}C_z$とすると、ｘ、ｚは０．０１≦∀（ｘ、ｚ）≦０．０２、ｙは０≦ｙ＜∀（ｘ、ｚ）の関係を満たすように設定される。なお、∀（ｘ、ｚ）はｘおよびｚのいずれもを意味する。

【0031】

図２Ｂは、第１の実施例の変形例を示す断面図である。リセス内に埋め込むＳｉＧｅエピタキシャル積層１２が、臨界膜厚より薄く、Ｇｅ組成の高いＳｉＧｅ層１２ａ、１２ｃ、…１２ｙと、これらの層を分割するように挿入された複数層のＧｅ組成の低いＳｉＧｅ１２ｂ、１２ｄ、…１２ｘとを含む。ＳｉＧｅ層１２は、全てエピタキシャル成長層である。他の点は第１の実施例と同じである。

【0032】

図３Ａ～３Ｆは、図２Ａの半導体装置を製造する製造方法の主要工程を示す断面図であ

る。

【0033】

図３Ａに示すように、Ｓｉ基板１にシャロートレンチアイソレーション（ＳＴＩ）により、素子分離領域２を形成し、複数の活性領域を画定する。ＰＭＯＳトランジスタ用活性領域にｎ型不純物をイオン注入し、ｎ型ウェルＮＷを作成する。ＮＭＯＳトランジスタ用活性領域にはｐ型不純物をイオン注入し、ｐ型ウェルを作成する。活性領域のＳｉ表面を露出し、熱酸化により厚さ１ｎｍ～２ｎｍの酸化シリコン膜を成長する。表面から窒素を導入し、窒化酸化シリコン膜としてもよい。酸化シリコン膜の上に高比誘電率の他の絶縁膜をＣＶＤ等で積層してもよい。このようにしてゲート絶縁膜３を形成する。ゲート絶縁膜３上にＣＶＤによりポリシリコン膜４を堆積する。ＰＭＯＳトランジスタのポリシリコン膜４には、いずれかの段階でｐ型不純物をイオン注入する。ポリシリコン膜４上にホトレジストマスクＰＲを形成し、ポリシリコン膜４をエッチングし、ゲート電極をパターニングする。その後、ホトレジストマスクＰＲは除去する。

【0034】

図３Ｂに示すように、ゲート電極４を覆って、Ｓｉ基板上に酸化シリコン膜６、窒化シリコン膜７をＣＶＤで堆積し、リアクティブイオンエッチングにより異方性エッチングすることにより、ゲート電極側壁上のサイドウォールスペーサＳＷを残す。サイドウォールスペーサの材料、層数等は種々変更可能である。

【0035】

図３Ｃに示すように、サイドウォールスペーサＳＷをマスクとして、その両側のＳｉ基板をＨＢｒをエッチングガスとしてリアクティブエッチングなどでエッチし、リセス１１を形成する。

【0036】

図３Ｄに示すように、第１のＳｉＧｅ層１２ａのエピタキシャル成長を行なう。SiH_4（シラン）、GeH_4（ゲルマン）、ＨＣｌ（塩化水素）、H_2（水素）、B_2H_6（ジボラン）の混合ガスを用い、基板温度５００℃～７００℃で、Ｇｅ組成０．２～０．４のＳｉＧｅ混晶を臨界膜厚以下の厚さ、例えば２０ｎｍエピタキシャル成長する。

【0037】

図３Ｅに示すように、GeH_4 ガスの供給量を減少し、第１のＳｉＧｅ層１２ａの上に、Ｇｅ組成０～０．２の第２のＳｉＧｅ層１２ｂをエピタキシャルに成長する。たとえば、Ｓｉ層を厚さ３ｎｍ成長する。

【0038】

図３Ｆに示すように、第２のＳｉＧｅ層１２ｂの上に、GeH_4 ガスの供給量を再び増大し、Ｇｅ組成０．２～０．４の第３のＳｉＧｅ層１２ｃをエピタキシャルに成長する。なお、必要に応じて、H_2 の供給量を調整して、混合ガス流量を一定に保ってもよい。

【0039】

このようにしてリセス内に、第１、第２、第３のＳｉＧｅ層１２ａ、１２ｂ、１２ｃが埋め込まれる。Ｇｅ組成０．２～０．４の第１、第３のＳｉＧｅエピタキシャル層１２ａ、１２ｃの厚さの和は、臨界膜厚より厚い。中間にＧｅ組成の低い第２のＳｉＧｅエピタキシャル層を介在させることにより、厚さの和としては臨界膜厚を越えるＳｉＧｅエピタキシャル層を成長しても、転位の発生を抑制することができる。全体として臨界膜厚より厚いＳｉＧｅエピタキシャル層を配置できるので、大きな圧縮応力をＰＭＯＳトランジスタのチャネルに印加することができる。大きな圧縮応力により、正孔の移動度が向上する。

【0040】

なお、図２Ｂに示す変形例に従い、３層の積層上にさらに、Ｇｅ組成の低いＳｉＧｅエピタキシャル層、Ｇｅ組成の高いＳｉＧｅエピタキシャル層を積層してもよい。積層の層数は、適宜選択できる。

【0041】

図４は、第２の実施例によるＣＭＯＳトランジスタ装置の一部を示す平面図である。素

子分離領域中にＮＭＯＳトランジスタ用開口、ＰＭＯＳトランジスタ用開口が設けられ、活性領域が画定されている。絶縁ゲート電極構造ＧがＮＭＯＳトランジスタ領域ＮＭＯＳ、ＰＭＯＳトランジスタ領域ＰＭＯＳを横断して形成されている。ＮＭＯＳトランジスタ領域ＮＭＯＳ、ＰＭＯＳトランジスタ領域ＰＭＯＳの少なくとも一方において、絶縁ゲート電極構造両側のＳｉ基板がエッチングされ、リセスが形成される。リセス内にＰＭＯＳトランジスタであればＳｉＧｅ積層、ＮＭＯＳトランジスタであればＳｉＣ積層がエピタキシャルに形成される。ＰＭＯＳトランジスタのソース／ドレイン用リセスを埋め込むＳｉＧｅ積層の場合は、図２Ａ（２Ｂ），３Ｆを参照して説明したＳｉＧｅ積層と同様の積層である。ＮＭＯＳトランジスタのソース／ドレイン用リセスを埋め込むＳｉＣ積層の場合は、図２Ａ，３Ｆを参照して説明した不純物の導電型を反転し、ＳｉＧｅをＳｉＣに置換し、Ｇｅ組成をＣ組成に置換したものである。

【0042】

なお、ＮＭＯＳトランジスタを覆って熱ＣＶＤによる窒化シリコン膜等の引張応力を印加する膜ＴＦ，ＰＭＯＳトランジスタを覆ってプラズマＣＶＤによる窒化シリコン膜等の圧縮応力を印加する膜ＣＦを堆積してもよい。この場合、両応力膜の境界はＮＭＯＳトランジスタより、ＰＭＯＳトランジスタに近づけるのが好ましい。チャネル幅方向応力は、ＮＭＯＳトランジスタ、ＰＭＯＳトランジスタ共に、引張応力が移動度を向上させるからである。ＰＭＯＳトランジスタのソース／ドレインにＳｉＧｅエピタキシャル積層を埋め込み、基板全面に引張応力を印加する膜ＴＦを形成してもよい。

【0043】

以上、実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、半導体装置の製造工程などに関して、特願２００６－０４５７４０号、特願２００６－２４２０８７号の［発明を実施するための最良の形態］の開示を取り込むことができる。その他、種々の変更、追加、改良、置換、組み合わせ等が可能なことは当業者に自明であろう。

【0044】

以下、本発明の特徴を付記する。

【0045】

（付記１）

少なくとも表面層がＳｉで形成された半導体基板と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ゲート電極側壁上に形成された絶縁サイドウォールスペーサと、

前記絶縁サイドウォールスペーサ両側で前記半導体基板に形成されたリセスと、

前記リセスに埋め込まれ、前記半導体基板上にエピタキシャル成長し、厚さが臨界膜厚以下の第１のＳｉＧｅ層と、前記第１のＳｉＧｅ層上にエピタキシャル成長され、前記第１のＳｉＧｅ層よりもＧｅ組成が低く、厚さが臨界膜厚以下の第２のＳｉＧｅ層と、前記第２のＳｉＧｅ層上にエピタキシャル成長され、前記第２のＳｉＧｅ層よりもＧｅ組成が高く、厚さが臨界膜厚以下の第３のＳｉＧｅ層との積層を含み、ｐ型不純物をドープされたソース／ドレイン領域と、

を有する半導体装置。

【0046】

（付記２）

前記第１のＳｉＧｅ層の組成を$Si_{1-x}Ge_x$、前記第２のＳｉＧｅ層の組成を$Si_{1-y}Ge_y$，前記第３のＳｉＧｅ層の組成を$Si_{1-z}Ge_z$とするとき、ｘ、ｙ、ｚが、０．２≦∀（ｘ、ｚ）≦０．４、０≦ｙ＜∀（ｘ、ｚ）の関係を満たす（なお、∀（ｘ、ｚ）はｘおよびｚのいずれもを意味する）付記１記載の半導体装置。

【0047】

（付記３）

前記ｐ型不純物がＢであり、濃度が$1\times10^{19}\ cm^{-3}$～$1\times10^{21}\ cm^{-3}$であ

る付記１または２記載の半導体装置。
【0048】
（付記４）
少なくとも表面層がＳｉで形成された半導体基板と、
前記半導体基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記ゲート電極側壁上に形成された絶縁サイドウォールスペーサと、
前記絶縁サイドウォールスペーサ両側で前記半導体基板に形成されたリセスと、
前記リセスに埋め込まれ、前記半導体基板上にエピタキシャル成長し、厚さが臨界膜厚以下の第１のＳｉＣ層と、前記第１のＳｉＣ層上にエピタキシャル成長され、前記第１のＳｉＣ層よりもＣ組成が低く、厚さが臨界膜厚以下の第２のＳｉＣ層と、前記第２のＳｉＣ層上にエピタキシャル成長され、前記第２のＳｉＣ層よりもＣ組成が高く、厚さが臨界膜厚以下の第３のＳｉＣ層との積層を含み、ｎ型不純物をドープされたソース／ドレイン領域と、
を有する半導体装置。
【0049】
（付記５）
前記第１のＳｉＣ層の組成を$Si_{1-x}C_x$、前記第２のＳｉＣ層の組成を$Si_{1-y}C_y$，前記第３のＳｉＣ層の組成を$Si_{1-z}C_z$とするとき、ｘ、ｙ、ｚが、０．０１≦∀（ｘ、ｚ）≦０．０２、０≦ｙ＜∀（ｘ、ｚ）の関係を満たす（なお、∀（ｘ、ｚ）はｘおよびｚのいずれもを意味する）付記４記載の半導体装置。
【0050】
（付記６）
前記ｎ型不純物がＰあるいはＡｓであり、濃度が$1\times10^{19}cm^{-3}$～$1\times10^{21}cm^{-3}$である付記４または５記載の半導体装置。
【0051】
（付記７）
（ａ）半導体基板のＳｉ表面上にゲート絶縁膜、ゲート電極を含む絶縁ゲート電極を形成する工程と、
（ｂ）前記絶縁ゲート電極側壁上に絶縁サイドウォールスペーサを形成する工程と、
（ｃ）前記絶縁サイドウォールスペーサ両側のＳｉ領域にリセスを形成する工程と、
（ｄ）リセスされた前記半導体基板の表面上に、臨界膜厚以下の第１のＳｉＧｅ層をエピタキシャル成長する工程と、
（ｅ）前記第１のＳｉＧｅ層上に、前記第１のＳｉＧｅ層よりもＧｅ組成が低く、臨界膜厚以下の第２のＳｉＧｅ層をエピタキシャル成長する工程と、
（ｆ）前記第２のＳｉＧｅ層上に、前記第２のＳｉＧｅ層よりもＧｅ組成が高く、臨界膜厚以下の第３のＳｉＧｅ層をエピタキシャル成長する工程と、
を含む半導体装置の製造方法。
【0052】
（付記８）
前記第１のＳｉＧｅ層の組成を$Si_{1-x}Ge_x$、前記第２のＳｉＧｅ層の組成を$Si_{1-y}Ge_y$，前記第３のＳｉＧｅ層の組成を$Si_{1-z}Ge_z$とするとき、ｘ、ｙ、ｚが、０．２≦∀（ｘ、ｚ）≦０．４、０≦ｙ＜∀（ｘ、ｚ）の関係を満たす（なお、∀（ｘ、ｚ）はｘおよびｚのいずれもを意味する）付記７記載の半導体装置の製造方法。
【0053】
（付記９）
（ｇ）前記第１、第２、第３のＳｉＧｅ層にｐ型不純物をドープする工程をさらに含む付記７または８記載の半導体装置の製造方法。
【0054】
（付記１０）

前記ｐ型不純物がＢであり、濃度が１×１０^{19}ｃｍ$^{-3}$～１×１０^{21}ｃｍ$^{-3}$である付記９記載の半導体装置の製造方法。

【0055】

（付記１１）

（ａ）半導体基板のＳｉ表面上にゲート絶縁膜、ゲート電極を含む絶縁ゲート電極を形成する工程と、

（ｂ）前記絶縁ゲート電極側壁上に絶縁サイドウォールスペーサを形成する工程と、

（ｃ）前記絶縁サイドウォールスペーサ両側のＳｉ領域にリセスを形成する工程と、

（ｄ）リセスされた前記半導体基板の表面上に、臨界膜厚以下の第１のＳｉＣ層をエピタキシャル成長する工程と、

（ｅ）前記第１のＳｉＣ層上に、前記第１のＳｉＣ層よりもＣ組成が低く、臨界膜厚以下の第２のＳｉＣ層をエピタキシャル成長する工程と、

（ｆ）前記第２のＳｉＣ層上に、前記第２のＳｉＣ層よりもＣ組成が高く、臨界膜厚以下の第３のＳｉＣ層をエピタキシャル成長する工程と、

を含む半導体装置の製造方法。

【0056】

（付記１２）

前記第１のＳｉＣ層の組成を$Si_{1-x}C_x$、前記第２のＳｉＣ層の組成を$Si_{1-y}C_y$，前記第３のＳｉＣ層の組成を$Si_{1-z}C_z$とするとき、ｘ、ｙ、ｚが、０．０１≦∀（ｘ、ｚ）≦０．０２、０≦ｙ＜∀（ｘ、ｚ）の関係を満たす（なお、∀（ｘ、ｚ）はｘおよびｚのいずれもを意味する）付記１１記載の半導体装置の製造方法。

【0057】

（付記１３）

（ｇ）前記第１、第２、第３のＳｉＣ層にｎ型不純物をドープする工程をさらに含む付記１１または１２記載の半導体装置の製造方法。

【0058】

（付記１４）

前記ｎ型不純物がＰまたはＡｓであり、濃度が１×１０^{19}ｃｍ$^{-3}$～１×１０^{21}ｃｍ$^{-3}$である付記１３記載の半導体装置の製造方法。

【図面の簡単な説明】

【0059】

【図1】図１Ａ～１Ｃは、本発明者らが実験的に作成したサンプルＳＡ，ＳＢ，ＳＣの構成を示す概略断面図、図１Ｄ～１Ｆは、サンプルＳＡ，ＳＢ，ＳＣの表面の原子間力顕微鏡（ＡＦＭ）像である。

【図2】図２Ａ，２Ｂは、第１の実施例による半導体装置、およびその変形例の断面図である。

【図3】図３Ａ～３Ｆは、図２に示す半導体装置の製造方法の主要工程を示す概略断面図である。

【図4】図４は、第２の実施例によるＣＭＯＳ装置の概略平面図である。

【図5】図５は、臨界膜厚の変化を示すグラフである。

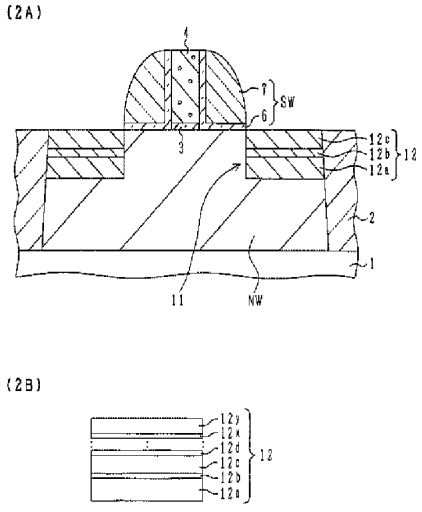
【符号の説明】

【0060】

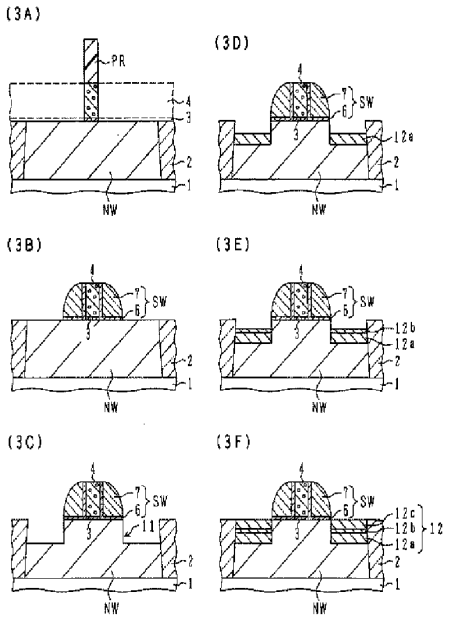
１　半導体（Ｓｉ）基板
２　素子分離領域
３　ゲート絶縁膜
４　ゲート電極
６，７　絶縁膜
ＳＷ　サイドウォールスペーサ
ＮＷ　ｎ型ウェル
１２　ＳｉＧｅエピタキシャル積層

２１　Ｓｉ基板
２２　ＳｉＧｅエピタキシャル層
２３　Ｓｉエピタキシャル層
２４　ＳｉＧｅエピタキシャル層
２５　ＳｉＧｅエピタキシャル層
Ｇ　絶縁ゲート電極構造

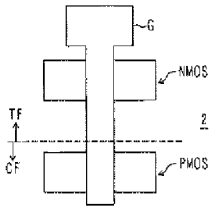
【図2】



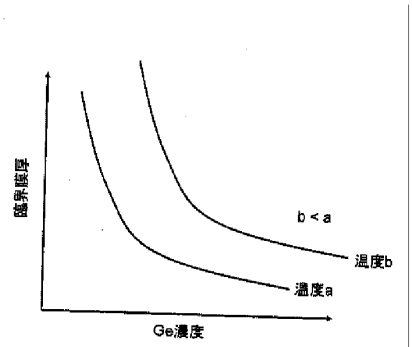
【図3】



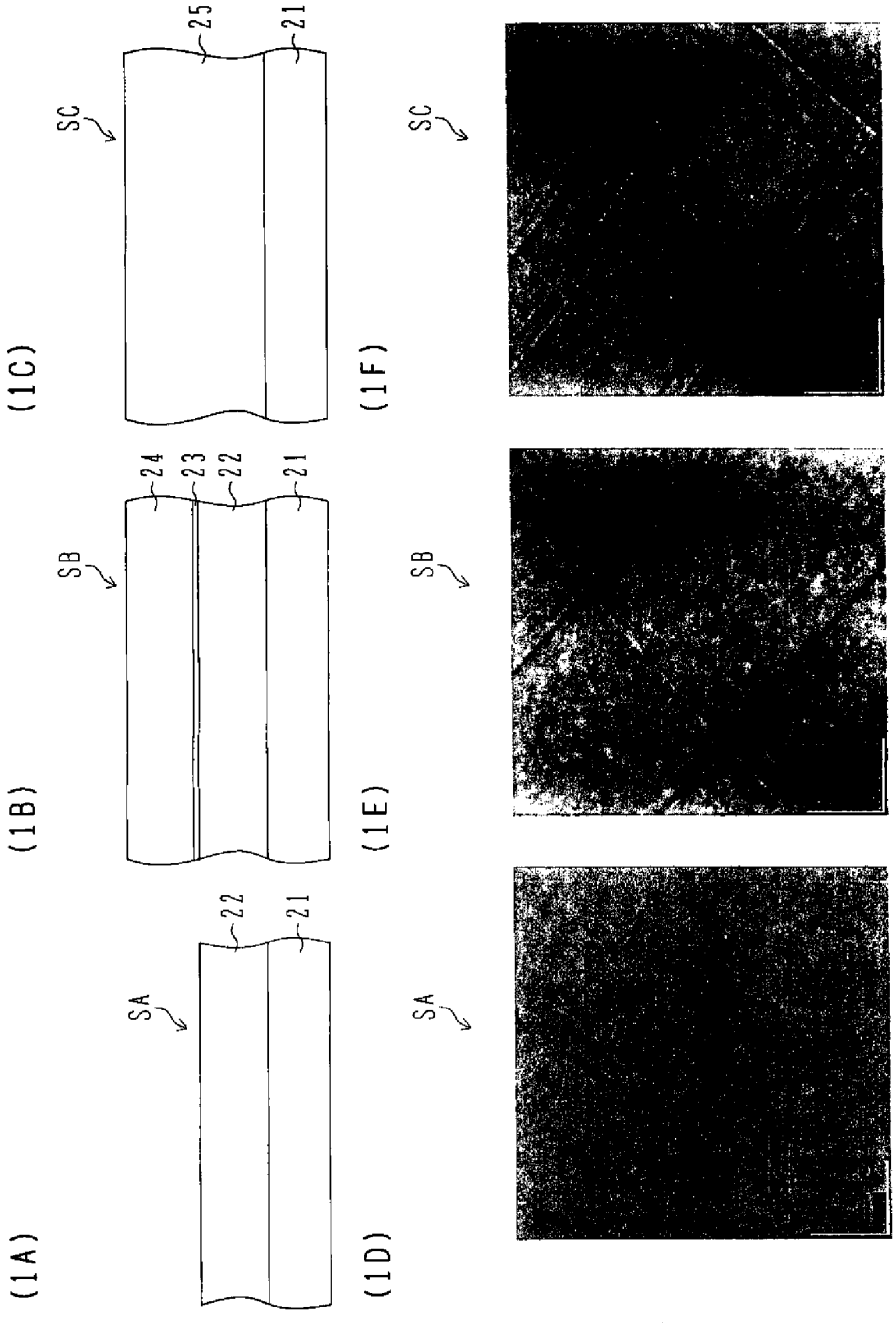
【図4】



【図5】



【図1】



Ｆターム(参考)　5F048　AA08　AC01　AC03　BA01　BA14　BB05　BB07　BB11　BC01　BC15
　　BC18　BE03　BG13　DA25　DA27　DA30
　　5F140　AA01　AB03　AC01　AC28　BA01　BC06　BD01　BD04　BD09　BE07
　　BE08　BE10　BF01　BF04　BG08　BG09　BG12　BG14　BG28　BG32
　　BG37　BG52　BG53　BH27　BK09　BK18　CB04　CB08　CC08　CC12

Espacenet

Bibliographic data: JP2008218725 (A) — 2008-09-18

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Inventor(s): KITAZAWA MASASHI; KUROI TAKASHI ± (KITAZAWA MASASHI, ; KUROI TAKASHI)

Applicant(s): RENESAS TECH CORP ± (RENESAS TECHNOLOGY CORP)

Classification: **- international:** ***H01L21/336; H01L29/78***
- cooperative:

Application number: JP20070054331 20070305 Global Dossier

Priority number (s): JP20070054331 20070305

Abstract of JP2008218725 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor device, comprising an SiGe layer in a source/drain region, wherein a conventional process is not complicated, with a stress applied to a channel region with good controllabiliy. ;SOLUTION: The semiconductor device comprises a gate structure 10 which comprises a laminate consisting of a gate insulating film 11 and a gate electrode 12 formed at a specified position on the surface of a silicon substrate 1, as well as a side wall spacer 13 formed on both sides in line width direction of the laminate. It also comprises a source/drain region 21 formed on the surface of the silicon substrate 1, on both sides in the line width direction of the gate structure 10. An SiGe layer 31 is formed from the surface of the silicon substrate 1 down to the region that is shallower than the depth of the source/drain region 21. ;COPYRIGHT: (C)2008,JPO&INPIT

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JP2008218725A

Semiconductor devices and their manufacturing methods

[0001]

The present invention relates to a semiconductor device having a strain structure and a method for manufacturing the same.

[0002]

Conventionally, in order to improve the current driving abilily of a field effect transistor, a technique of applying stress to the channel region has been used. As an example of this technique, a method of forming a SiGe layer in a source / drain region of a P-type field effect transistor (hereinafter referred to as a epilaxial transistor) is known. Here, by forming a SiGe layer having a lattice constant larger than that of Si in the source / drain region, compressive stress is applied to the channel region of the epitaxial transistor in the channel direction (source / drain direction). Compressive stresses in the channel direction increase the mobility of holes, resulting in an increase in the current drive capability of the epitaxial transistor.

[0003]

A conventional example of a method for manufacturing a epitaxial transistor having such a SiGe layer in the source / drain region will be described.

13-1 to 13-2 are cross-sectional views for schematically explaining a conventional example of a method for manufacturing a semiconductor device. First, a gate structure 110 composed of a gate insulating film 111, a gate electrode 112, and a sidewall film 113 is formed at a predetermined position on the Si substrate 101. Then, a predetermined region (that is, a region serving as a source / drain region) on the surface of the Si substrate 101 on both sides of the gate structure 110 in the line width direction is recessed by etching (FIG. 13-1). Then, the SiGe layer 151 is epitaxially grown in the recessed region 150 (FIG. 13-2). In this way, a epitaxial transistor having a SiGe layer in the source / drain region can be obtained (see, for example, Patent Document 1).

[0004]

米国特許第６８６１３１８号明細書

[0005]

By the way, at present, in the manufacture of semiconductor devices, it is rare that only a epitaxial transistor is formed on a Si substrate, and like a CMOS (Complementary Metal Oxide Semiconductor) transistor, a epitaxial transistor and an N-type field effect transistor are formed on the same Si substrate. It is common that effect transistors are built in.

Therefore, when forming a epitaxial transistor having a SiGe layer in the source / drain region by the above-mentioned conventional technique, the region other than the epitaxial transistor is masked with an oxide film or the like, and then the epitaxial transistor is formed as described above. It is necessary to etch the Si substrate only in the region and selectively grow the SiGe layer there.

Also, it is necessary to remove the mask after that.

As described above, the conventional method requires a large number of steps.

Further, since the method of applying stress to the channel region by the conventional method largely depends on the recess shape before epitaxial growth, precise shape control is required for stress control.

Further, in order to form a epitaxial transistor having a SiGe layer in the source / drain region as described above, there is a problem that the manufacturing method and stress control are complicated.

[0006]

The present invention has been made in view of the above, and it is possible to apply stress to a channel region with good controllability without making a semiconductor device having a SiGe layer in a source / drain region more complicated than in a conventional process. The purpose is to obtain a semiconductor device and its manufacturing method.

[0007]

In order to achieve the above object, in the semiconductor device according to the embodiment of the present invention, a SiGe layer formed by a cluster injection method is formed in the vicinity of the surface of the source / drain region of a epitaxial transistor formed on a silicon substrate. It is characterized by that.

[0008]

According to one embodiment of the present invention, since the SiGe layer can be formed in a shallow region of the source / drain region of the Si substrate surface with good controllability, the compressive stress is effectively applied only to the channel region directly under the gate insulating film. Has the effect of being able to add.

[0009]

Hereinafter, preferred embodiments of the semiconductor device according to the present invention and the method for manufacturing the same will be described in detail with reference to the accompanying drawings. An embodiment will be described.

The present invention is not limited to these embodiments.

Further, the cross-sectional view of the semiconductor device used in the following embodiments is schematic, and the relationship between the thickness and width of the layers and the ratio of the thickness of each layer are different from the actual ones.

[0010]

FIG. 1 is a cross-sectional view schematically showing the structure of the semiconductor device according to the present invention.

This semiconductor device is a polycional transistor, and is formed on a laminate of a gate insulating film 11 and a gate electrode 12 formed at a predetermined position on a Si (silicon) substrate 1, and on both side surfaces of the laminate in the line width direction. A gate structure 10 composed of a sidewall spacer 13 and a source / drain region 21 including a SiGe layer 31 formed on the surface of a Si substrate 1 on both sides of the gate structure 10 in the line width direction are provided.

Here, the SiGe layer 31 of the source / drain region 21 is formed by Ge that is cluster-injected into the shallow region of the Si substrate 1 until the composition ratio is about 20% with respect to Si.

[0011]

FIG. 2 is a diagram showing a profile in the depth direction of Ge atoms cluster-injected into a Si substrate.

In this figure, the horizontal axis represents the depth from the Si substrate surface, and the vertical axis represents the injected Ge concentration (arbitrary unit).

As shown in FIG. 2, the distribution of Ge atoms is localized in a shallow region (near the substrate) on the surface of the substrate.

This is because Ge can be effectively introduced into a shallow region on the surface of the Si substrate 1 by using the cluster injection method as described in the embodiment described later.

Therefore, it is possible to effectively (with good controllability) apply compressive stress only to the channel region directly under the gate insulating film 11.

[0012]

As described above, the present invention is characterized in that compressive stress is applied to the channel region of the epitaxial transistor by introducing Ge in a shallow region on the surface of the Si substrate 1 with good controllability by using cluster injection.

Since the introduction location of Ge may be the depth at which the compressive stress of the channel region under the gate insulating film 11 is desired to be applied, the depth can be changed by changing the injection energy.

Hereinafter, the embodiment will be described.

[0013]

Embodiment 1.

FIG. 3 is a cross-sectional view schematically showing the structure of the first embodiment of the semiconductor device according to the present invention.

For example, a epitaxial transistor is formed in an N-type well 3 element-separated by an element-separating insulating film 2 formed at a predetermined position on a P-type Si substrate 1.

The N-shaped well 3 has a gate structure 10 having a gate insulating film 11, a gate electrode 12, and sidewall spacers 13 formed on both side surfaces of the gate insulating film 11 and the gate electrode 12 in the line width direction. It is formed.

As the gate insulating film 11, an oxynitride film or a High-k film having an electrical capacitance film thickness of about 0.5 to 2 nm is used.

The gate electrode 12 is made of polysilicon to which P-type impurity ions are added, or a metal such as TiSi or Pt.

[0014]

A source / drain region 21 composed of a P-type impurity high-concentration diffusion layer in which P-type impurities are diffused at a high concentration is formed in the upper layer portion of the Si substrate 1 sandwiching the gate structure 10, and further on the channel region side thereof. An extension portion 22 composed of a P-type impurity low-concentration diffusion region is formed at the end portion.

That is, it is a epitaxial transistor having an LDD structure.

Further, a silicide film 41 such as NiSi is formed on the source / drain region 21 and the upper part of the gate electrode 12 in order to reduce the wiring resistance.

[0015]

Here, the SiGe layer 31 is formed on the upper part (the portion close to the substrate surface) of the source / drain region 21.

As will be described later, the SiGe layer 31 is formed by injecting Ge into the vicinity of the surface of the source / drain region 21 and activating it by ion implantation.

Further, since SiGe has a larger lattice constant than Si, compressive stress is applied to the channel region adjacent to the SiGe layer 31 in the channel direction.

This compressive stress increases the mobility of holes in the channel region, resulting in a epitaxial transistor with high drive current capability.

[0016]

Next, a method of manufacturing a semiconductor device having such a structure will be described.

4 to 4-4 are cross-sectional views schematically showing an example of the procedure of the first embodiment of the method for manufacturing a semiconductor device according to the present invention.

Normally, it is a method of manufacturing a CMOS device in which a NMOS transistor and an NMOS transistor are built on the same Si substrate. Only the part related to the manufacture of the NMOS transistor will be described.

[0017]

First, for example, an element separation insulating film 2 having a predetermined pattern is formed by an STI (Shallow Trench Isolation) method or the like so as to locally expose a region forming a MOS transistor on a P-type Si substrate 1, and the Si substrate 1 is formed. The N-type well 3 is formed by ion injection in a region (hereinafter, referred to as a epitaxial transistor forming region) in which the epitaxial transistor is formed.

Then, a first insulating film such as an oxynitride film or a High-k film, which is the base of the gate insulating film, is deposited on the entire surface of the Si substrate 1 with a thickness of 0.5 to 2 nm, followed by a P-type poly. An electrode material film made of a metal such as silicon, TiSi, or Pt is deposited with a thickness of about 50 to 200 nm.

Then, the electrode material film and the first insulating film are etched into a predetermined shape to form a laminate composed of the gate insulating film 11 and the gate electrode 12 (FIG. 4-1).

[0018]

Next, a diffusion layer in which impurities other than the epitaxial transistor forming region are masked with a resist or the like and impurities serving as acceptors are introduced into a shallow region of the surface of the Si substrate 1 at a low concentration by ion implantation using the laminate of the epitaxial transistor forming region as a mask. The extension portion 22 is formed (FIG. 4-2).

At the time of forming the extension portion 22, a halo layer may be formed in a deep region of the gate structure 10 side end of the extension portion 22 or a deep region of the gate structure 10 side end of the source / drain region 21 to be formed later.

After that, a second insulating film made of a silicon nitride film having a predetermined thickness or the like is deposited on the entire surface of the Si substrate 1, and the second insulating film remains only on both side portions in the line width direction of the laminate. The sidewall spacer 13 is formed by performing anisotropic etching (FIG. 4-3).

As a result, the gate structure 10 is formed at a predetermined position partitioned by the element separation insulating film 2.

[0019]

Then, the area other than the epitaxial transistor forming region is masked with a resist or the like, and Ge and B are introduced into the source / drain region 21 of the Si substrate 1 by cluster injection using the gate structure 10 of the epitaxial transistor forming region as a mask.

Ge is introduced to form the SiGe layer 31, and B is introduced to form the source / drain region 21.

At this time, B is introduced into a slightly deep region so as to cover the injection layer of Ge.

Further, Ge is introduced so that the composition ratio is up to about 20% with respect to Si.

As an example, Ge is introduced at a depth of 5 to 50 nm with an injection volume of 1 × 1013-1 × 1016 cm-2, and B is introduced at a depth of 50 to 200 nm with an injection volume of 1 × 1014-1 × 1016 cm-2. Introduced in.

The injection profile of Ge introduced at this time is the same profile as that shown in FIG.

After the introduction, heat treatment is performed to form the SiGe layer 31 in the source / drain region 21 and in the vicinity of the substrate surface of the source / drain region 21.

As the heat treatment, low temperature annealing at 400 to 700 ° C. for several tens of minutes to several hours, high temperature annealing at 900 to 1,300 ° C. for several tens of seconds, and the like can be performed.

[0020]

Here, cluster implantation means generating clusters having several to several thousand atoms including atoms such as Ge and B, which are the implantation species, and other atoms such as Ar, and using the clusters as a Si substrate. · Compared to normal ion implantation, the effective acceleration voltage per atom can be lowered by using a huge cluster, so extremely high-concentration implantation can be performed in a very shallow region. It can be realized with high throughput.

[0021]

Generally, when ion implantation is performed in a shallow region, the throughput of a normal ion implanter is extremely reduced.

This is because it is difficult to generate a beam at a low acceleration voltage, and as a result, when high-concentration ion implantation is performed in a shallow region, there are cases where only a throughput that is difficult to apply to the production of mass-produced products can be obtained. ..

On the other hand, cluster implantation is superior in terms of throughput to high-concentration ion implantation into a very shallow region as described above.

[0022]

Further, in normal ion implantation, the mass peculiar to ions affects the implantation depth Rp (Projection Range).

That is, even if ion implantation is performed with the same energy, ions having a small mass number are generally implanted with a deep Rp, and ions with a large mass number are generally implanted with a shallow Rp.

On the other hand, in cluster injection, by generating and injecting a cluster having a larger mass number than individual ions, it is possible to inject with the same Rp even if there is a mass difference between the ions to be injected. It becomes.

For example, the mass numbers of B and Ge are 11 and 73, respectively, but when 1,000 Ar atoms having a mass number of 40 and a cluster are formed, the mass numbers of both are 40,011 and 40,073, respectively. This is because the mass numbers are almost the same.

[0023]

Using this property, ions of any mass can be injected to any depth.

This makes it possible to form the SiGe layer 31 localized near the surface of the substrate as shown in FIG. 4-4, and the B layer (source / drain region 21) in a region deeper than the SiGe layer 31.

[0024]

The reason why the source / drain region 21 is formed so as to include the SiGe layer 31 in this embodiment is as follows.

Since the SiGe layer 31 has a different lattice constant from that of the Si substrate 1, a lattice mismatch occurs at the interface with the Si substrate 1.

In such a region, if a pn junction is formed between the source / drain region 21 and the Si substrate 1, there is a problem that the leakage current increases.

Therefore, by forming the SiGe layer 31 only in a portion shallower than the deep pn junction, the leakage current can be reduced and the power consumption of the device can be reduced.

[0025]

After the source / drain region 21 is formed in FIG. 4-4, a silicide film 41 is formed on the source / drain region 21 and the upper surface of the gate electrode 12 according to a normal CMOS device manufacturing method, and is shown in FIG. A semiconductor device having a structure can be obtained.

After that, a CMOS device is created through steps such as depositing an interlayer insulating film and forming wiring.

[0026]

According to the first embodiment, since the SiGe layer 31 is formed only in the vicinity of the channel region, it has an effect that the compressive stress can be effectively applied to the channel region and a high current driving force can be obtained. ..

Further, a pn junction is formed between the source / drain region 21 and the Si substrate 1, but since the SiGe layer 31 is formed only in a portion shallower than this pn junction, it is possible to prevent an increase in the junction leakage current. It also has the effect of being able to do it.

[0027]

Further, the manufacturing process is simplified and the number of steps is further reduced as compared with the case where the surface of the Si substrate 1 of the formed portion of the source / drain region of the epitaxial transistor is recessed and the SiGe layer is formed there as in the conventional case. It also has the effect of being able to reduce.

Further, unlike the conventional case, the degree of application of the compressive stress to the channel region does not greatly depend on the recess shape, and there is also an effect that the compressive stress can be applied to the channel region with good controllability.

[0028]

Embodiment 2.

In FIG. 4-4 of the first embodiment, the SiGe layer is formed only in the vicinity of the substrate surface in the source / drain region, but Ge is injected in multiple stages of the same injection amount while changing the energy. You may do it.

[0029]

FIG. 5 is a cross-sectional view schematically showing the structure of the second embodiment of the semiconductor device according to the present invention.

This semiconductor device is characterized in that the SiGe layer 31 is formed in a region deeper than that in FIG. 3 of the first embodiment.

FIG. 5 shows a case where the SiGe layer 31 forms the SiGe layers 31-1 to 1-31-3 in three stages by cluster injection.

FIG. 6 is a diagram showing an example of the injection profile of Ge in FIG.

In FIG. 6, the concentrations of Ge atoms injected in each stage are set to be the same.

The same components as those in the first embodiment are designated by the same reference numerals, and the description thereof is omitted.

[0030]

A method for manufacturing a semiconductor device having such a structure can be formed by performing cluster injection with different injection energies into the Si substrate 1 in multiple stages (three stages) in FIG. 4-4 of the first embodiment. ..

For example, three-step injection is performed by changing the energy so that the Ge atom has a peak at a depth of 20 nm, 60 nm, and 100 nm.

B is then injected to a depth of 150-200 nm to cover it.

Since the other manufacturing methods are the same as those described in the first embodiment, the description thereof will be omitted.

[0031]

According to the second embodiment, since Ge is injected in multiple stages with the same injection amount, there is an effect that uniform stress can be applied to a deep part of the channel region.

Further, depending on the channel structure of the epitaxial transistor, carriers are transported as a channel region to a region deeper than the substrate surface. Therefore, in such a device, it is better to have a structure in which stress is applied to a deep portion.

Further, according to the second embodiment, even such a device has an effect that a further increase in the current driving force can be expected.

[0032]

Embodiment 3.

In the second embodiment, the injection amount is the same at any depth (stage) in the multi-stage injection, but the injection amount at each stage may be changed.

7 to 8 are diagrams showing an example of an injection profile in multi-stage injection.

FIG. 7 shows an example in which the Ge concentration near the surface of the substrate is the highest, and the Ge concentration decreases as the deeper region becomes deeper.

As an example of this, Ge is injected from the vicinity of the substrate surface toward the deep side with an injection amount of 1 × 1016 cm-2, 1 × 1015 cm-2, and 1 × 1014 cm-2.

Further, FIG. 8 illustrates a structure in which the Ge concentration is highest in a portion slightly deep from the surface of the substrate.

As an example of this, Ge is injected from the vicinity of the substrate surface toward the deep side with an injection amount of 1 × 1015 cm-2, 1 × 1016 cm-2, and 1 × 1015 cm-2.

[0033]

In the third embodiment, even a epitaxial transistor having a specific channel structure has an effect that compressive stress can be applied at a position in the depth direction of an optimum channel region.

[0034]

Embodiment 4.

FIG. 9 is a cross-sectional view schematically showing the structure of the fourth embodiment of the semiconductor device according to the present invention.

This semiconductor device is characterized by further having an epitaxially grown Ge layer 32 on the source / drain region 21 of the Si substrate 1 in FIG. 3 of the first embodiment.

In this way, by forming the Ge layer 32 having a lattice constant larger than that of Si or SiGe on the source / drain region 21, a larger compressive stress is applied to the channel region under the gate structure 10.

Since the other configurations are the same as those in the first embodiment, the description thereof will be omitted.

[0035]

In the method of manufacturing a semiconductor device having such a structure, Ge is introduced into the Si substrate 1 by cluster injection in FIG. 4-4 of the first embodiment, the SiGe layer 31 is formed, and then the cluster size and the injection energy are adjusted. Then, Ge is deposited on the Si substrate 1 under the condition that Ge is not injected into the Si substrate 1.

For example, a Ge layer 32 with a thickness of 50-100 nm is formed on the source / drain region 21.

Since the other manufacturing procedures are the same as those in the first embodiment, the description thereof will be omitted.

[0036]

In the above description, the case where the Ge layer 32 is formed in the structure of the first embodiment has been described, but the Ge layer may be formed in the structure of the second to third embodiments.

Further, in the above description, the Ge layer 32 is formed by the cluster injection method, but it may be formed by the PVD (Physical Vapor Deposition) method or the CVD (Chemical Vapor Deposition) method.

[0037]

According to the fourth embodiment, since the Ge layer 32 having a lattice constant larger than that of Si or SiGe is deposited on the source / drain region 21 of the Si substrate 1, a larger compressive stress can be applied to the channel region. ..

As a result, there is an effect that a larger current amplification can be obtained with the epitaxial transistor.

[0038]

Embodiment 5.

FIG. 10 is a cross-sectional view schematically showing the structure of the fifth embodiment of the semiconductor device according to the present invention.

This semiconductor device is characterized in that, in FIG. 3 of the first embodiment, the compressive stress insulating film 33 is provided on the Si substrate 1 on which the epitaxial transistor is formed.

Since the other configurations are the same as those in the first embodiment, the description thereof will be omitted.

[0039]

In the method for manufacturing a semiconductor device having such a structure, the source / drain region 21 and the SiGe layer are formed in FIG. 4-4 of the first embodiment, and the silicide film 41 is formed on the gate electrode 12 and the source / drain region 21. After the formation, the compressive stress insulating film 33 may be deposited.

For example, as in the fourth embodiment, the compressive stress insulating film 33 can be formed by using cluster injection with a strong sedimentary component.

As an example, compressive stress can be applied to the channel region under the gate structure 10 by depositing a SiN film of 20 to 100 nm.

Since the SiN film can apply compressive stress or tensile stress to the channel region under deposition conditions, it is necessary to set the deposition conditions so that compressive stress can be applied.

Further, since the other manufacturing procedures are the same as those in the first embodiment, the description thereof will be omitted.

[0040]

In the above description, the case where the compressive stress insulating film 33 is formed in the structure of the first embodiment has been described, but the compressive stress insulating film 33 is formed in the structures of the second to fourth embodiments. It may be.

Further, the compressive stress insulating film 33 may be formed by a method such as a PVD method or a CVD method.

[0041]

According to the fifth embodiment, in addition to the effects of the first to fourth embodiments, a larger compressive stress can be applied to the channel region by the compressive stress insulating film 33 deposited on the gate electrode 12.

As a result, it has the effect of obtaining a larger current amplification.

[0042]

Embodiment 6.

FIG. 11 is a cross-sectional view schematically showing the structure of the sixth embodiment of the semiconductor device according to the present invention.

This semiconductor device is characterized in that the SiGe layer 31 is formed on the extension portion 22 in FIG. 3 of the first embodiment.

In order to suppress the short channel effect of the epitaxial transistor, the extension portion 22 needs to be formed in a shallow region near the surface of the Si substrate 1.

Therefore, for example, the SiGe layer 31 is formed at a depth of 5 to 10 nm from the surface of the substrate, and the extension portion 22 by B is formed at a depth of 10 to 20 nm.

Further, by forming the SiGe layer 31 on the extension portion 22, the position where the SiGe layer 31 is formed is located on the channel region side by the amount of the sidewall spacer 13 as compared with the case of FIG. 3 of the first embodiment. It will move.

By this amount, compressive stress can be applied to the channel region.

Since the other configurations are the same as those in the first embodiment, the description thereof will be omitted.

[0043]

A method for manufacturing a semiconductor device having such a structure is first described in FIG. 4-2 of the first embodiment by cluster injection using a laminated body of a gate insulating film 11 and a gate electrode 12 patterned in a predetermined shape as a mask. It can be formed by introducing Ge to a depth of, for example, 5 to 10 nm, and then introducing B to a depth of, for example, 10 to 20 nm, followed by heat treatment.

The other manufacturing procedures are basically the same as those in the first embodiment, except that the cluster injection of Ge is not performed in FIG. 4-4 and is changed to the cluster injection of P-type impurities such as B.

[0044]

According to the sixth embodiment, since the SiGe layer 31 is formed on the extension portion 22, stress can be applied from a region closer to the channel region, so that the current amplification effect can be effectively obtained. Has the effect of being able to.

[0045]

Embodiment 7.

By combining the sixth embodiment and the second to third embodiments, a SiGe layer may be formed in both the source / drain region and the extension portion.

FIG. 12 is a cross-sectional view schematically showing an example of the structure of the seventh embodiment of the semiconductor device according to the present invention.

In FIG. 11 of the sixth embodiment, this semiconductor device is a case where multi-stage injection is performed in the source / drain region 21 to form SiGe layers 31-2 and 31-3 deep in the source / drain region 21. Shown.

FIG. 12 illustrates a case where a three-stage SiGe layer 31-1 to 1-31-3 is formed by cluster injection in the extension portion 22 and the source / drain region 21.

[0046]

In a method for manufacturing a semiconductor device having such a structure, as shown in the sixth embodiment, Ge is formed by cluster injection using a laminated body of a gate insulating film 11 and a gate electrode 12 patterned in a predetermined shape as a mask. For example, it is introduced to a depth of 5 to 10 nm, and then B is introduced to a depth of, for example, 10 to 20 nm to form a SiGe layer 31-1 in the extension portion 22.

Then, in FIG. 4-4 of the first embodiment, after the sidewall spacer 13 is formed, Ge is injected into a region deeper than the SiGe layer 31-1 formed in the extension portion 22 of the source / drain region 21. In addition, Ge is introduced in multiple stages by changing the injection energy.

As shown in FIG. 6 of the second embodiment, the profile when injecting Ge into the extension portion 22 and the source / drain region 21 may be the same injection amount in each stage, or the embodiment may be the same. As illustrated in FIGS. 7 to 8,

the injection amount may be changed so as to be different in each stage according to the channel structure of the epitaxial transistor.

Since the other manufacturing methods are the same as those described in the first embodiment, the description thereof will be omitted.

[0047]

According to the seventh embodiment, since the SiGe layers 31-1 to 1-31-3 are formed in both the source / drain region 21 and the extension portion 22, the compressive stress applied to the channel region is increased and more. It has the effect of being able to obtain the effect of amplifying the current of.

[0048]

In the sixth and seventh embodiments in which the SiGe layer 31 is formed on the extension portion 22 described above, the Ge layer 32 is epitaxially formed on the source / drain region 21 as shown in the fourth embodiment. Alternatively, as shown in the fifth embodiment, the compressive stress insulating film 33 may be formed on the gate structure 10 and the source / drain region 21.

By doing so, a larger compressive stress can be applied to the channel region under the gate structure 10, and there is an effect that a high current driving force can be obtained.

[0049]

As described above, the semiconductor device according to the present invention is useful for a semiconductor device that improves the current driving force.

[0050]

It is sectional drawing which shows typically the structure of the semiconductor device by this invention.

It is a figure which shows the profile in the depth direction of the Ge atom cluster-injected into a Si substrate.

It is sectional drawing which shows typically the structure of Embodiment 1 of the semiconductor device by this invention.

It is sectional drawing which shows typically an example of the procedure of Embodiment 1 of the manufacturing method of the semiconductor device by this invention (the 1).

It is sectional drawing which shows typically an example of the procedure of Embodiment 1 of the manufacturing method of the semiconductor device by this invention (the 2).

FIG. 3 is a cross-sectional view schematically showing an example of the procedure of the first embodiment of the method for manufacturing a semiconductor device according to the present invention (No. 3).

It is sectional drawing which shows typically an example of the procedure of Embodiment 1 of the manufacturing method of the semiconductor device by this invention (the 4).

It is sectional drawing which shows typically the structure of Embodiment 2 of the semiconductor device by this invention.

It is a figure which shows an example of the injection profile of Ge of FIG.

It is a figure which shows an example of the injection profile in multi-stage injection.

It is a figure which shows an example of the injection profile in multi-stage injection.

It is sectional drawing which shows typically the structure of Embodiment 4 of the semiconductor device by this invention.

It is sectional drawing which shows typically the structure of Embodiment 5 of the semiconductor device by this invention.

It is sectional drawing which shows typically the structure of Embodiment 6 of the semiconductor device by this invention.

It is sectional drawing which shows typically an example of the structure of Embodiment 7 of the semiconductor device by this invention.

It is sectional drawing for schematically explaining the conventional example of the manufacturing method of a semiconductor device (the 1).

It is sectional drawing for schematically explaining the conventional example of the manufacturing method of a semiconductor device (the 2).

Code description

[0051]

1 Si substrate 2 Element separation insulating film 3 N-type well 10 Gate structure 11 Gate insulating film 12 Gate electrode 13 Side wall spacer 21 Source / drain region 22 Extension section 31, 31-1 to 1-31-3 SiGe layer 32 Ge layer 33 Compression Stress insulating film 41 VDD film

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JP2008218725A

1.

A gate structure including a laminated body of a gate insulating film and a gate electrode formed at a predetermined position on the surface of a silicon substrate, and sidewall spacers formed on both sides of the laminated body in the line width direction, and a line of the gate structure. A source / drain region formed on the surface of the silicon substrate on both sides in the width direction is provided, and a SiGe layer is formed in a region shallower than the depth of the source / drain region from the surface of the silicon substrate. Semiconductor device.

2.

The semiconductor device according to claim 1, wherein the SiGe layer is formed in the vicinity of the surface of the silicon substrate.

3.

The semiconductor device according to claim 1, wherein the SiGe layer has a different concentration of Ge depending on the depth.

4.

A gate structure including a laminated body of a gate insulating film and a gate electrode formed at a predetermined position on the surface of a silicon substrate, and sidewall spacers formed on both sides of the laminated body in the line width direction, and the gate insulating film. From the extension portions formed by the low-concentration impurity diffusion layers on both sides of the laminated body of the gate electrodes in the line width direction and the extension portions on the surface of the silicon substrate on both sides in the line width direction of the gate structure. A semiconductor device comprising a source / drain region formed by a high-concentration impurity diffusion layer in a deep region, and a SiGe layer formed in the extension portion.

5.

The semiconductor device according to claim 4, wherein the SiGe layer is further formed in a region deeper than the extension portion and shallower than the depth of the source / drain region.

6.

The semiconductor device according to claim 5, wherein the SiGe layer has a different concentration of Ge depending on the depth.

7.

The semiconductor device according to any one of claims 1 to 6, wherein a Ge layer epitaxially grown with respect to the SiGe layer is further formed on the source / drain region.

8.

The semiconductor device according to any one of claims 1 to 6, wherein a compressive stress insulating film is further formed on the gate structure and the source / drain region.

9.

A gate structure forming step in which a laminated body of a gate insulating film and a gate electrode is formed at a predetermined position on the surface of a silicon substrate, and sidewall spacers are formed on both side surfaces in the line width direction of the laminated body to form a gate structure. With the gate structure as a mask, Ge is introduced from the surface of the silicon substrate to a predetermined depth by the cluster injection method, and the P-type impurity is deeper than the region where the Ge is introduced and includes the region where the Ge is introduced. A method for manufacturing a semiconductor device, which comprises an ion introduction step of introducing the above by a cluster injection method and a heat treatment step of performing heat treatment to form a SiGe layer and a source / drain region.

10.

The method for manufacturing a semiconductor device according to claim 9, wherein in the ion introduction step, Ge is introduced only in the vicinity of the surface of the silicon substrate.

11.

The method for manufacturing a semiconductor device according to claim 9, wherein in the iontophoresis step, Ge is injected in a plurality of stages from the surface of the silicon substrate to a predetermined depth by changing the injection energy.

12.

The method for manufacturing a semiconductor device according to claim 11, wherein Ge is introduced into each stage at the same injection concentration in the ion introduction step.

13.

The method for manufacturing a semiconductor device according to claim 11, wherein Ge is introduced into each stage at different injection concentrations in the ion introduction step.

14.

A gate electrode forming step of forming a laminate of a gate insulating film and a gate electrode at a predetermined position on the surface of a silicon substrate, and using the laminate as a mask, Ge is introduced in the vicinity of the surface of the silicon substrate by a cluster injection method. A first ion introduction step of introducing P-type impurities into a shallow region on the surface of the silicon substrate deeper than the Ge introduced by the cluster injection method, and a side forming sidewalls on both side surfaces in the line width direction of the laminate. A second ion introduction that introduces a P-type impurity into a region deeper than the extension portion from the surface of the silicon substrate using the wall forming step and the gate structure including the gate insulating film, the gate electrode, and the sidewall as a mask. A method for manufacturing a semiconductor device, which comprises a step and a heat treatment step of performing heat treatment to form the extension portion, a SiGe layer, and a source / drain region.

15.

The semiconductor device according to claim 14, wherein in the second ion introduction step, Ge is introduced into a region deeper than the extension portion and shallower than the depth of the source / drain region by a cluster injection method. Manufacturing method.

16.

The production of the semiconductor device according to claim 15, wherein in the first and second iontophoresis steps, Ge is injected in a plurality of stages from the surface of the silicon substrate to a predetermined depth by changing the injection energy. Method.

17.

The method for manufacturing a semiconductor device according to claim 16, wherein Ge is introduced into each stage at the same injection concentration in the first and second ion introduction steps.

18.

The method for manufacturing a semiconductor device according to claim 16, wherein Ge is introduced into each stage at different injection concentrations in the first and second iontophoresis steps.

19.

The method for manufacturing a semiconductor device according to any one of claims 9 to 18, further comprising a Ge layer forming step of epitaxially growing the Ge layer on the SiGe layer in the source / drain region.

20.

The method for manufacturing a semiconductor device according to any one of claims 9 to 18, further comprising an insulating film forming step of forming a compressive stress insulating film on the gate structure and the source / drain region. ..

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-218725
(P2008-218725A)
(43)公開日　平成20年9月18日(2008.9.18)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/78	***(2006.01)***	H01L	29/78	301X	5F140
H01L 21/336	***(2006.01)***	H01L	29/78	301S	
		H01L	29/78	301Y	
		H01L	29/78	301N	

審査請求 未請求　請求項の数 20　ＯＬ　（全 15 頁）

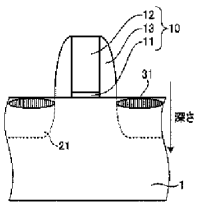
(21)出願番号　特願2007-54331(P2007-54331)
(22)出願日　平成19年3月5日(2007.3.5)

(71)出願人　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(74)代理人　100089118
弁理士　酒井　宏明
(72)発明者　北澤　雅志
東京都千代田区丸の内二丁目４番１号　株式会社ルネサステクノロジ内
(72)発明者　黒井　隆
東京都千代田区丸の内二丁目４番１号　株式会社ルネサステクノロジ内

最終頁に続く

(54)【発明の名称】半導体装置とその製造方法

(57)【要約】
【課題】ソース／ドレイン領域にＳｉＧｅ層を有する半導体装置を、従来の工程よりも複雑にすることなく、しかもチャネル領域にストレスを制御性よく与えることができる半導体装置を得る。
【解決手段】シリコン基板１表面の所定の位置に形成されるゲート絶縁膜１１とゲート電極１２の積層体と、この積層体の線幅方向両側に形成されるサイドウォールスペーサ１３と、を含むゲート構造１０と、ゲート構造１０の線幅方向両側のシリコン基板１表面に形成されるソース／ドレイン領域２１と、を備え、シリコン基板１の表面からソース／ドレイン領域２１の深さよりも浅い領域にＳｉＧｅ層３１が形成される。
【選択図】　図1



【特許請求の範囲】
【請求項1】
シリコン基板表面の所定の位置に形成されるゲート絶縁膜とゲート電極の積層体と、この積層体の線幅方向両側に形成されるサイドウォールスペーサと、を含むゲート構造と、
前記ゲート構造の線幅方向両側の前記シリコン基板表面に形成されるソース／ドレイン領域と、
を備え、
前記シリコン基板の表面から前記ソース／ドレイン領域の深さよりも浅い領域にＳｉＧｅ層が形成されることを特徴とする半導体装置。
【請求項2】
前記ＳｉＧｅ層は、前記シリコン基板の表面近傍に形成されることを特徴とする請求項１に記載の半導体装置。
【請求項3】
前記ＳｉＧｅ層は、深さによってＧｅの濃度が異なることを特徴とする請求項１に記載の半導体装置。
【請求項4】
シリコン基板表面の所定の位置に形成されるゲート絶縁膜とゲート電極の積層体と、この積層体の線幅方向両側に形成されるサイドウォールスペーサと、を含むゲート構造と、
前記ゲート絶縁膜と前記ゲート電極の積層体の線幅方向両側の前記シリコン基板表面の近傍に低濃度不純物拡散層によって形成されるエクステンション部と、
前記ゲート構造の線幅方向両側の前記シリコン基板表面の前記エクステンション部よりも深い領域に、高濃度不純物拡散層によって形成されるソース／ドレイン領域と、
を備え、
前記エクステンション部にＳｉＧｅ層が形成されることを特徴とする半導体装置。
【請求項5】
前記ＳｉＧｅ層は、前記エクステンション部よりも深く、前記ソース／ドレイン領域の深さよりも浅い領域にさらに形成されることを特徴とする請求項４に記載の半導体装置。
【請求項6】
前記ＳｉＧｅ層は、深さによってＧｅの濃度が異なることを特徴とする請求項５に記載の半導体装置。
【請求項7】
前記ソース／ドレイン領域上に前記ＳｉＧｅ層に対してエピタキシャル成長したＧｅ層がさらに形成されることを特徴とする請求項１～６のいずれか１つに記載の半導体装置。
【請求項8】
前記ゲート構造と前記ソース／ドレイン領域上に圧縮応力性の絶縁膜がさらに形成されることを特徴とする請求項１～６のいずれか１つに記載の半導体装置。
【請求項9】
シリコン基板の表面の所定の位置にゲート絶縁膜とゲート電極との積層体を形成し、この積層体の線幅方向両側側面にサイドウォールスペーサを形成して、ゲート構造を形成するゲート構造形成工程と、
前記ゲート構造をマスクとして、前記シリコン基板表面から所定の深さまでＧｅをクラスタ注入法によって導入し、前記Ｇｅを導入した領域よりも深く、前記Ｇｅを導入した領域を含むようにＰ型不純物をクラスタ注入法によって導入するイオン導入工程と、
熱処理を行ってＳｉＧｅ層とソース／ドレイン領域を形成する熱処理工程と、
を含むことを特徴とする半導体装置の製造方法。
【請求項10】
前記イオン導入工程では、Ｇｅを前記シリコン基板の表面近傍にのみ導入することを特徴とする請求項９に記載の半導体装置の製造方法。
【請求項11】

前記イオン導入工程では、注入エネルギを変化させてＧｅを前記シリコン基板表面から所定の深さまで複数段にわたって多段注入することを特徴とする請求項９に記載の半導体装置の製造方法。
【請求項12】
前記イオン導入工程で、同一の注入濃度で各段にＧｅを導入することを特徴とする請求項１１に記載の半導体装置の製造方法。
【請求項13】
前記イオン導入工程で、異なる注入濃度で各段にＧｅを導入することを特徴とする請求項１１に記載の半導体装置の製造方法。
【請求項14】
シリコン基板の表面の所定の位置にゲート絶縁膜とゲート電極との積層体を形成するゲート電極形成工程と、
前記積層体をマスクとして、前記シリコン基板表面近傍にクラスタ注入法によってＧｅを導入し、クラスタ注入法によって導入された前記Ｇｅよりも深い前記シリコン基板表面の浅い領域にＰ型不純物を導入する第１のイオン導入工程と、
前記積層体の線幅方向両側側面にサイドウォールを形成するサイドウォール形成工程と、
前記ゲート絶縁膜と前記ゲート電極と前記サイドウォールとを含むゲート構造をマスクとして、前記シリコン基板表面から前記エクステンション部よりも深い領域にＰ型不純物を導入する第２のイオン導入工程と、
熱処理を行って前記エクステンション部、ＳｉＧｅ層およびソース／ドレイン領域を形成する熱処理工程と、
を含むことを特徴とする半導体装置の製造方法。
【請求項15】
前記第２のイオン導入工程では、前記エクステンション部よりも深く、前記ソース／ドレイン領域の深さよりも浅い領域に、クラスタ注入法によってＧｅを導入することを特徴とする請求項１４に記載の半導体装置の製造方法。
【請求項16】
前記第１および第２のイオン導入工程では、注入エネルギを変化させてＧｅを前記シリコン基板表面から所定の深さまで複数段にわたって多段注入することを特徴とする請求項１５に記載の半導体装置の製造方法。
【請求項17】
前記第１および第２のイオン導入工程で、同一の注入濃度で各段にＧｅを導入することを特徴とする請求項１６に記載の半導体装置の製造方法。
【請求項18】
前記第１および第２のイオン導入工程で、異なる注入濃度で各段にＧｅを導入することを特徴とする請求項１６に記載の半導体装置の製造方法。
【請求項19】
前記ソース／ドレイン領域のＳｉＧｅ層上にＧｅ層をエピタキシャル成長させるＧｅ層形成工程をさらに含むことを特徴とする請求項９～１８のいずれか１つに記載の半導体装置の製造方法。
【請求項20】
前記ゲート構造とソース／ドレイン領域上に、圧縮応力性の絶縁膜を形成させる絶縁膜形成工程をさらに含むことを特徴とする請求項９～１８のいずれか１つに記載の半導体装置の製造方法。

【発明の詳細な説明】
【技術分野】
【0001】
この発明は、歪構造を有する半導体装置とその製造方法に関するものである。
【背景技術】
【0002】

従来、電界効果型トランジスタの電流駆動能力を向上させるために、そのチャネル領域にストレスを加える技術が用いられている。この技術の一例として、Ｐ型電界効果型トランジスタ（以下、ＰＭＯＳトランジスタという）のソース／ドレイン領域にＳｉＧｅ層を形成する手法が知られている。ここで、Ｓｉよりも格子定数の大きいＳｉＧｅ層をソース／ドレイン領域に形成することで、ＰＭＯＳトランジスタのチャネル領域には、チャネル方向（ソース／ドレイン方向）に圧縮応力が加えられる。チャネル方向の圧縮応力は、ホール（正孔）の移動度を増大させるために、その結果として、ＰＭＯＳトランジスタの電流駆動能力が増加する。

【0003】

このようなＳｉＧｅ層をソース／ドレイン領域に有するＰＭＯＳトランジスタの製造方法の従来例を説明する。図１３－１～図１３－２は、半導体装置の製造方法の従来例を模式的に説明するための断面図である。まず、Ｓｉ基板１０１上の所定の位置に、ゲート絶縁膜１１１、ゲート電極１１２およびサイドウォール膜１１３からなるゲート構造１１０を形成する。ついで、ゲート構造１１０の線幅方向両側のＳｉ基板１０１表面の所定の領域（すなわち、ソース／ドレイン領域となる領域）をエッチングによってリセスする（図１３－１）。ついで、リセスした領域１５０にＳｉＧｅ層１５１をエピタキシャル成長させる（図１３－２）。このようにして、ソース／ドレイン領域にＳｉＧｅ層を有するＰＭＯＳトランジスタが得られる（たとえば、特許文献１参照）。

【0004】

【特許文献1】米国特許第６８６１３１８号明細書

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、現在では、半導体装置の製造において、ＰＭＯＳトランジスタのみをＳｉ基板上に形成することはほとんどなく、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）トランジスタのように、同一のＳｉ基板上にＰＭＯＳトランジスタとＮ型電界効果型トランジスタとが作り込まれていることが一般的である。そのため、上記従来の技術によって、ソース／ドレイン領域にＳｉＧｅ層を有するＰＭＯＳトランジスタを形成する場合には、ＰＭＯＳトランジスタ以外の領域を酸化膜などでマスクをした後に、上述したようにＰＭＯＳトランジスタを形成する領域のみＳｉ基板をエッチングし、そこに選択的にＳｉＧｅ層をエピタキシャル成長させる必要がある。また、その後にマスクを除去する必要がある。このように、従来の方法では、多数の工程を必要としていた。また、従来の方法によるチャネル領域へのストレスのかかり方は、エピタキシャル成長前のリセス形状に大きく依存するので、ストレスの制御には精密な形状制御が必要になっていた。そして、これらのように、ソース／ドレイン領域にＳｉＧｅ層を有するＰＭＯＳトランジスタを形成するには、その製造方法やストレスの制御が複雑であるという問題点があった。

【0006】

この発明は、上記に鑑みてなされたもので、ソース／ドレイン領域にＳｉＧｅ層を有する半導体装置を、従来の工程よりも複雑にすることなく、しかもチャネル領域にストレスを制御性よく与えることができる半導体装置とその製造方法を得ることを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するため、この発明の一実施の形態による半導体装置は、シリコン基板上に形成されたＰＭＯＳトランジスタにおいて、そのソース／ドレイン領域の表面近傍にクラスタ注入法によって形成したＳｉＧｅ層が形成されることを特徴とする。

【発明の効果】

【0008】

この発明の一実施の形態によれば、Ｓｉ基板表面のソース／ドレイン領域の浅い領域にＳｉＧｅ層を制御性よく形成することができるので、ゲート絶縁膜直下のチャネル領域にのみ効果的に圧縮応力を加えることができるという効果を有する。

【発明を実施するための最良の形態】
【0009】
以下に添付図面を参照して、この発明にかかる半導体装置とその製造方法の好適な実施の形態を詳細に説明するが、最初にこの発明の半導体装置の概要について説明し、その後に具体的な実施の形態について説明する。なお、これらの実施の形態によりこの発明が限定されるものではない。また、以下の実施の形態で用いられる半導体装置の断面図は模式的なものであり、層の厚みと幅との関係や各層の厚みの比率などは現実のものとは異なる。
【0010】
図１は、この発明にかかる半導体装置の構造を模式的に示す断面図である。この半導体装置は、ＰＭＯＳトランジスタであり、Ｓｉ（シリコン）基板１上の所定の位置に形成されたゲート絶縁膜１１とゲート電極１２の積層体、およびこの積層体の線幅方向両側側面に形成されたサイドウォールスペーサ１３からなるゲート構造１０と、このゲート構造１０の線幅方向両側のＳｉ基板１表面に形成されたＳｉＧｅ層３１を含むソース／ドレイン領域２１と、を備える。ここで、ソース／ドレイン領域２１のＳｉＧｅ層３１は、Ｓｉ基板１の浅い領域に、Ｓｉに対して組成比で約２０％となるまでクラスタ注入されたＧｅによって形成される。
【0011】
図２は、Ｓｉ基板にクラスタ注入したＧｅ原子の深さ方向のプロファイルを示す図である。この図で、横軸はＳｉ基板表面からの深さを示しており、縦軸は注入されるＧｅ濃度（任意単位）を示している。この図２に示されるように、Ｇｅ原子の分布は、基板表面の浅い領域（基板近傍）に局在化している。これは、後述する実施の形態で説明するように、クラスタ注入法を用いることによって、Ｓｉ基板１表面の浅い領域にも効果的にＧｅを導入することができることによる。そのため、ゲート絶縁膜１１直下のチャネル領域のみに効果的に（制御性よく）圧縮応力を加えることが可能となる。
【0012】
このように、この発明では、クラスタ注入を用いてＳｉ基板１表面の浅い領域に制御性よくＧｅを導入することで、ＰＭＯＳトランジスタのチャネル領域に圧縮応力を加えることを特徴としている。なお、Ｇｅの導入箇所は、ゲート絶縁膜１１の下のチャネル領域の圧縮応力を印加したい深さとすればよいので、注入エネルギを変えることによって、深さを変えたりすることも可能である。以下では、その態様について説明する。
【0013】
実施の形態１．
図３は、この発明にかかる半導体装置の実施の形態１の構造を模式的に示す断面図である。たとえば、Ｐ型Ｓｉ基板１上の所定の位置に形成された素子分離絶縁膜２で素子分離されたＮ型ウェル３に、ＰＭＯＳトランジスタが形成される。このＮ型ウェル３には、ゲート絶縁膜１１と、ゲート電極１２と、ゲート絶縁膜１１とゲート電極１２の線幅方向の両側側面に形成されるサイドウォールスペーサ１３と、を有するゲート構造１０が形成されている。ゲート絶縁膜１１としては、電気的な容量膜厚が０．５～２ｎｍ程度の酸窒化膜やＨｉｇｈ－ｋ膜などが用いられる。また、ゲート電極１２としては、Ｐ型の不純物イオンを添加したポリシリコンや、ＴｉＳｉ、Ｐｔなどの金属からなる。
【0014】
このゲート構造１０を挟んだＳｉ基板１の上層部には、Ｐ型不純物が高濃度に拡散されたＰ型不純物高濃度拡散層からなるソース／ドレイン領域２１が形成され、さらにそのチャネル領域側の端部には、Ｐ型不純物低濃度拡散領域からなるエクステンション部２２が形成されている。つまり、ＬＤＤ構造を有するＰＭＯＳトランジスタとなっている。さらに、ソース／ドレイン領域２１とゲート電極１２の上部には、配線抵抗を低減するために、ＮｉＳｉなどのシリサイド膜４１が形成されている。
【0015】
ここで、ソース／ドレイン領域２１の上部（基板面に近い部分）には、ＳｉＧｅ層３１

が形成されていることを特徴とする。なお、このＳｉＧｅ層３１は、後述するように、イオン注入によって、ソース／ドレイン領域２１の表面近傍にＧｅを注入して活性化することによって形成される。また、ＳｉＧｅはＳｉに比べて格子定数が大きいため、ＳｉＧｅ層３１に隣接するチャネル領域には、チャネル方向に圧縮応力が加えられる。この圧縮応力によって、チャネル領域におけるホールの移動度が増加し、結果として高い駆動電流能力を持ったＰＭＯＳトランジスタが得られる。

【0016】

つぎに、このような構造を有する半導体装置の製造方法について説明する。図４－１～図４－４は、この発明にかかる半導体装置の製造方法の実施の形態１の手順の一例を模式的に示す断面図である。なお、通常は、ＰＭＯＳトランジスタとＮＭＯＳトランジスタを同一Ｓｉ基板上に作りこむＣＭＯＳデバイスの製造方法となるが、この実施の形態１の対象が、ＰＭＯＳトランジスタに適用されるものであるので、以下では、ＰＭＯＳトランジスタの製造に関わる部分のみ説明する。

【0017】

まず、たとえばＰ型のＳｉ基板１上のＭＯＳトランジスタを形成する領域を局所的に露出させるように所定のパターンの素子分離絶縁膜２をＳＴＩ（Shallow Trench Isolation）法などによって形成し、Ｓｉ基板１のＰＭＯＳトランジスタを形成する領域（以下、ＰＭＯＳトランジスタ形成領域という）にイオン注入によってＮ型ウェル３を形成する。ついで、このＳｉ基板１上の全面にゲート絶縁膜の基となる酸窒化膜やＨｉｇｈ－ｋ膜などの第１の絶縁膜を厚さ０．５～２ｎｍで堆積し、続けてＰ型のポリシリコンやＴｉＳｉ、Ｐｔなどの金属からなる電極材料膜を５０～２００ｎｍ程度の厚さで堆積する。その後、電極材料膜と第１の絶縁膜を所定の形状にエッチングして、ゲート絶縁膜１１とゲート電極１２とからなる積層体を形成する（図４－１）。

【0018】

ついで、ＰＭＯＳトランジスタ形成領域以外をレジストなどでマスクし、ＰＭＯＳトランジスタ形成領域の積層体をマスクとして、イオン注入によって、Ｓｉ基板１の表面の浅い領域にアクセプタとなる不純物を低濃度で導入した拡散層からなるエクステンション部２２を形成する（図４－２）。なお、このエクステンション部２２の形成時に、エクステンション部２２のゲート構造１０側端部や後に形成するソース／ドレイン領域２１のゲート構造１０側端部の深い領域にハロー層を形成してもよい。その後、Ｓｉ基板１上の全面に、所定の厚さのシリコン窒化膜などからなる第２の絶縁膜を堆積させ、積層体の線幅方向両側部分にのみ第２の絶縁膜が残るように異方性エッチングを行って、サイドウォールスペーサ１３を形成する（図４－３）。これにより、素子分離絶縁膜２で区画された所定の位置にゲート構造１０が形成される。

【0019】

ついで、ＰＭＯＳトランジスタ形成領域以外をレジストなどでマスクし、ＰＭＯＳトランジスタ形成領域のゲート構造１０をマスクとして、クラスタ注入によって、ＧｅとＢをＳｉ基板１のソース／ドレイン領域２１となる部分に導入する。Ｇｅは、ＳｉＧｅ層３１を形成するために導入するものであり、Ｂはソース／ドレイン領域２１を形成するために導入するものである。このとき、ＢはＧｅの注入層を覆うようにやや深い領域に導入する。また、Ｇｅは、Ｓｉに対して組成比で２０％程度までとなるように、導入される。一例としては、Ｇｅは５～５０ｎｍの深さに1×10^{13}～1×10^{16}ｃｍ$^{-2}$の注入量で導入され、Ｂは５０～２００ｎｍの深さに1×10^{14}～1×10^{16}ｃｍ$^{-2}$の注入量で導入される。このとき導入されるＧｅの注入プロファイルは、図２に示されるものと同様のプロファイルとなる。導入後、熱処理を行うことで、ソース／ドレイン領域２１と、このソース／ドレイン領域２１の基板表面付近にＳｉＧｅ層３１が形成される。熱処理としては、４００～７００℃のN_2雰囲気で数十分～数時間の低温アニールや、９００～１，３００℃で数十秒の高温アニールなどを行うことができる。

【0020】

ここで、クラスタ注入とは、注入種となるＧｅやＢなどの原子と、Ａｒなどの他の原子

を含めて、原子数が数個～数千個のクラスタを生成し、そのクラスタをＳｉ基板に注入する技術である・通常のイオン注入と比べ、巨大クラスタを用いると、原子１つ当りの実効的な加速電圧を低くすることができるので、非常に浅い領域に極めて高濃度の注入を、高いスループットで実現することができる。

【0021】

一般的に、浅い領域にイオン注入を行う場合、通常のイオン注入機では、スループットが極端に低下する。低い加速電圧ではビームの生成が困難になるためで、この結果、浅い領域に高濃度のイオン注入を行う場合、量産製品の製造への適用が困難なほどのスループットしか得られない場合があった。これに対して、クラスタ注入は、上述したように非常に浅い領域への高濃度のイオン注入に対して、スループットの点で優れている。

【0022】

また、通常のイオン注入では、イオン固有の質量が注入深さＲｐ（Projection Range）に影響する。つまり、同じエネルギでイオン注入を行っても、質量数の小さいイオンは一般的にＲｐが深く注入され、質量数の大きなイオンは一般的にＲｐが浅く注入される。これに対して、クラスタ注入では、個々のイオンより質量数が巨大なクラスタを生成して注入することで、注入種となるイオンに質量差がある場合も、同様のＲｐで注入することが可能となる。これは、たとえばＢとＧｅの質量はそれぞれ１１と７３であるが、質量数４０のＡｒ原子１，０００個とクラスタをそれぞれ作った場合、両者の質量数はそれぞれ４０，０１１と４０，０７３となり、ほぼ同等な質量数となるためである。

【0023】

この性質を用いると、任意の質量のイオンを任意の深さに注入することができる。これによって、図４－４に示されるような基板表面付近に局在したＳｉＧｅ層３１、それよりも深い領域にＢ層（ソース／ドレイン領域２１）を形成することが可能となる。

【0024】

なお、この実施の形態でＳｉＧｅ層３１を含むようにソース／ドレイン領域２１を形成するのは、以下の理由による。ＳｉＧｅ層３１はＳｉ基板１と格子定数が違うため、Ｓｉ基板１との界面では格子のミスフィットが発生する。そのような領域で、ソース／ドレイン領域２１とＳｉ基板１との間にｐｎ接合を形成すると、リーク電流が増大してしまうという問題がある。そのため、ＳｉＧｅ層３１は、深いｐｎ接合よりも浅い部分にのみ形成するようにすることで、リーク電流を減らし、デバイスの消費電力を低減することができる。

【0025】

図４－４でソース／ドレイン領域２１の形成後は、通常のＣＭＯＳデバイスの製造方法にしたがって、ソース／ドレイン領域２１とゲート電極１２の上面にシリサイド膜４１を形成して、図３に示される構造の半導体装置が得られる。なお、その後、層間絶縁膜の堆積や配線の形成などの工程を経て、ＣＭＯＳデバイスが作成される。

【0026】

この実施の形態１によれば、チャネル領域近辺にのみＳｉＧｅ層３１を形成したので、効果的にチャネル領域に圧縮応力を印加することができ、高い電流駆動力を得ることができるという効果を有する。また、ソース／ドレイン領域２１とＳｉ基板１との間にｐｎ接合が形成されるが、ＳｉＧｅ層３１をこのｐｎ接合よりも浅い部分にのみ形成したので、接合リーク電流の増加を防止することができるという効果も有する。

【0027】

また、従来のように、ＰＭＯＳトランジスタのソース／ドレイン領域の形成部分のＳｉ基板１表面をリセスしてそこにＳｉＧｅ層を形成する場合に比して、製造工程が簡略化され、さらに工程数を削減することができるという効果も有する。また、従来のように、チャネル領域への圧縮応力の印加具合が、リセス形状に大きく依存することがなく、制御性よくチャネル領域に圧縮応力を印加することができるという効果も有する。

【0028】

実施の形態２．

実施の形態１の図４－４では、ソース／ドレイン領域の基板表面付近にのみＳｉＧｅ層を形成するようにしていたが、Ｇｅの注入を、エネルギを変化させながら、同じ注入量の多段階で行うようにしてもよい。

【0029】

図５は、この発明にかかる半導体装置の実施の形態２の構造を模式的に示す断面図である。この半導体装置は、実施の形態１の図３よりもさらに深い領域にまでＳｉＧｅ層３１を形成していることを特徴とする。この図５では、ＳｉＧｅ層３１は、クラスタ注入によって、３段にわたってＳｉＧｅ層３１－１～３１－３を形成している場合が示されている。図６は、図５のＧｅの注入プロファイルの一例を示す図である。この図６では、各段において注入されるＧｅ原子の濃度は同一となるようにしている。なお、実施の形態１と同一の構成要素には同一の符号を付して、その説明を省略している。

【0030】

このような構造の半導体装置の製造方法は、実施の形態１の図４－４で、Ｓｉ基板１に注入エネルギを変えたクラスタ注入を多段階（３段階）行うことによって、形成することができる。たとえば、２０ｎｍ、６０ｎｍ、１００ｎｍの深さにＧｅ原子がピークを持つようにエネルギを変えて３段階の注入を行う。その後、Ｂはそれを覆うように１５０～２００ｎｍの深さに注入する。なお、その他の製造方法は、実施の形態１で説明したものと同じであるので、その説明を省略する。

【0031】

この実施の形態２によれば、同じ注入量で多段階でＧｅの注入を行うようにしたので、チャネル領域の深い部分まで一様な応力を加えることができるという効果を有する。また、ＰＭＯＳトランジスタのチャネル構造によっては、基板表面より深い領域までチャネル領域としてキャリアが輸送されるので、そのようなデバイスでは深い部分まで応力が加えられる構造とした方がよい。そして、この実施の形態２によれば、そのようなデバイスでも、電流駆動力の一層の増加を期待することができるという効果も有する。

【0032】

実施の形態３．

実施の形態２では、多段注入におけるどの深さ（段）においても同じ注入量で注入を行っていたが、各段での注入量を変えてもよい。図７～図８は、多段注入における注入プロファイルの一例を示す図である。図７では、基板表面付近のＧｅ濃度が一番高く、深い領域になるにしたがってＧｅ濃度が低くなるように注入している例を示している。この一例として、基板表面付近から深い方へ向かって、$1\times10^{16}cm^{-2}$、$1\times10^{15}cm^{-2}$、$1\times10^{14}cm^{-2}$の注入量でＧｅを注入している。また、図８では、基板表面からやや深い部分で、最もＧｅ濃度が高くなるような構造を例示している。この一例として、基板表面付近から深い方へ向かって、$1\times10^{15}cm^{-2}$、$1\times10^{16}cm^{-2}$、$1\times10^{15}cm^{-2}$の注入量でＧｅを注入している。

【0033】

この実施の形態３では、特定のチャネル構造を有するＰＭＯＳトランジスタでも、最適なチャネル領域の深さ方向の位置で圧縮応力を加えることができるという効果を有する。

【0034】

実施の形態４．

図９は、この発明にかかる半導体装置の実施の形態４の構造を模式的に示す断面図である。この半導体装置は、実施の形態１の図３において、Ｓｉ基板１のソース／ドレイン領域２１上に、エピタキシャルに成長したＧｅ層３２をさらに有することを特徴とする。このように、ＳｉやＳｉＧｅよりも格子定数の大きなＧｅ層３２をソース／ドレイン領域２１上に形成することによって、ゲート構造１０下のチャネル領域により大きな圧縮応力が印加される。なお、その他の構成については、実施の形態１と同様であるので、その説明を省略する。

【0035】

このような構造の半導体装置の製造方法は、実施の形態１の図４－４でＳｉ基板１にク

ラスタ注入によってＧｅを導入し、ＳｉＧｅ層３１を形成した後に、クラスタサイズや注入エネルギを調整して、ＧｅがＳｉ基板１に注入されないような条件で、Ｓｉ基板１上にＧｅを堆積させる。たとえば、５０～１００ｎｍの厚さのＧｅ層３２がソース／ドレイン領域２１上に形成される。なお、その他の製造手順は、実施の形態１と同様であるので、その説明を省略する。

【0036】

なお、上述した説明では、実施の形態１の構造にＧｅ層３２を形成した場合を説明したが、実施の形態２～３の構造にＧｅ層を形成するようにしてもよい。また、上述した説明では、Ｇｅ層３２をクラスタ注入法によって形成しているが、ＰＶＤ（Physical Vapor Deposition）法やＣＶＤ（Chemical Vapor Deposition）法によって形成してもよい。

【0037】

この実施の形態４によれば、Ｓｉ基板１のソース／ドレイン領域２１上にＳｉやＳｉＧｅよりも格子定数の大きなＧｅ層３２を堆積させたので、一層大きな圧縮応力をチャネル領域に加えることができる。その結果、ＰＭＯＳトランジスタで一層大きな電流の増幅が得られるという効果を有する。

【0038】

実施の形態５．

図１０は、この発明にかかる半導体装置の実施の形態５の構造を模式的に示す断面図である。この半導体装置は、実施の形態１の図３において、ＰＭＯＳトランジスタを形成したＳｉ基板１上に圧縮応力性の絶縁膜３３を有することを特徴とする。なお、その他の構成については、実施の形態１と同様であるので、その説明を省略する。

【0039】

このような構造の半導体装置の製造方法は、実施の形態１の図４－４でソース／ドレイン領域２１とＳｉＧｅ層を形成し、ゲート電極１２上とソース／ドレイン領域２１上にシリサイド膜４１を形成した後に、圧縮応力性の絶縁膜３３を堆積させればよい。たとえば、実施の形態４と同様に、堆積成分の強いクラスタ注入を用いて圧縮応力性の絶縁膜３３を形成することができる。一例として、２０～１００ｎｍのＳｉＮ膜を堆積することで、圧縮応力をゲート構造１０下のチャネル領域に印加することができる。なお、ＳｉＮ膜は、堆積条件でチャネル領域に圧縮応力を印加したり、引張応力を印加したりすることができるので、圧縮応力を印加することができる堆積条件とする必要がある。また、その他の製造手順は、実施の形態１と同様であるので、その説明を省略する。

【0040】

なお、上述した説明では、実施の形態１の構造に圧縮応力性の絶縁膜３３を形成した場合を説明したが、実施の形態２～４の構造に圧縮応力性の絶縁膜３３を形成するようにしてもよい。また、この圧縮応力性の絶縁膜３３を、ＰＶＤ法やＣＶＤ法などの方法で形成してもよい。

【0041】

この実施の形態５によれば、実施の形態１～４の効果に加え、ゲート電極１２上に堆積された圧縮応力性の絶縁膜３３によって、チャネル領域に一層大きな圧縮応力を加えることができる。その結果、さらに大きな電流の増幅が得られるという効果を有する。

【0042】

実施の形態６．

図１１は、この発明にかかる半導体装置の実施の形態６の構造を模式的に示す断面図である。この半導体装置は、実施の形態１の図３において、ＳｉＧｅ層３１をエクステンション部２２に形成したことを特徴とする。ＰＭＯＳトランジスタの短チャネル効果を抑制するために、エクステンション部２２はＳｉ基板１表面付近の浅い領域に形成する必要がある。そのため、たとえばＳｉＧｅ層３１を基板表面から５～１０ｎｍ深さに形成し、Ｂによるエクステンション部２２を１０～２０ｎｍの深さに形成する。また、エクステンション部２２にＳｉＧｅ層３１を形成することで、ＳｉＧｅ層３１の形成される位置が、実施の形態１の図３の場合に比して、サイドウォールスペーサ１３の分だけチャネル領域側

に移ることになる。この分、圧縮応力をチャネル領域に印加することが可能となる。なお、その他の構成については、実施の形態１と同様であるので、その説明を省略する。

【0043】

このような構造の半導体装置の製造方法は、実施の形態１の図４－２で、所定の形状にパターニングしたゲート絶縁膜１１とゲート電極１２との積層体をマスクとして、クラスタ注入によって、まずＧｅをたとえば５～１０ｎｍの深さに導入し、ついでＢをたとえば１０～２０ｎｍの深さに導入し、その後に熱処理を行うことによって形成することができる。なお、その他の製造手順は、実施の形態１と基本的に同様であるが、図４－４においてＧｅのクラスタ注入は行われず、ＢなどのＰ型不純物のクラスタ注入に変わる点が異なる。

【0044】

この実施の形態６によれば、エクステンション部２２にＳｉＧｅ層３１を形成するようにしたので、一層チャネル領域に近い領域から応力を印加することができるため、効果的に電流の増幅効果を得ることができるという効果を有する。

【0045】

実施の形態７．

実施の形態６と実施の形態２～３とを組み合わせることで、ソース／ドレイン領域とエクステンション部の両方にＳｉＧｅ層を形成してもよい。図１２は、この発明にかかる半導体装置の実施の形態７の構造の一例を模式的に示す断面図である。この半導体装置は、実施の形態６の図１１において、ソース／ドレイン領域２１に多段注入を行って、ソース／ドレイン領域２１の深い位置にまでＳｉＧｅ層３１－２，３１－３を形成した場合を示している。この図１２では、エクステンション部２２とソース／ドレイン領域２１にクラスタ注入によって３段のＳｉＧｅ層３１－１～３１－３が形成される場合が例示されている。

【0046】

このような構造の半導体装置の製造方法は、実施の形態６で示したように、所定の形状にパターニングしたゲート絶縁膜１１とゲート電極１２との積層体をマスクとして、クラスタ注入によって、Ｇｅをたとえば５～１０ｎｍの深さに導入し、ついでＢをたとえば１０～２０ｎｍの深さに導入し、エクステンション部２２にＳｉＧｅ層３１－１を形成する。ついで、実施の形態１の図４－４で、サイドウォールスペーサ１３を形成した後に、ソース／ドレイン領域２１のエクステンション部２２に形成したＳｉＧｅ層３１－１よりも深い領域にＧｅが注入されるように、注入エネルギを変えて、Ｇｅの導入を多段階で行う。エクステンション部２２とソース／ドレイン領域２１にＧｅを注入するときのプロファイルは、実施の形態２の図６に示されるように、各段で同じ注入量となるようにしてもよいし、実施の形態３の図７～図８に例示されるようにＰＭＯＳトランジスタのチャネル構造に合わせて各段で注入量が異なるように変化させるようにしてもよい。その他の製造方法は、実施の形態１で説明したものと同様であるので、その説明を省略する。

【0047】

この実施の形態７によれば、ソース／ドレイン領域２１とエクステンション部２２の両方にＳｉＧｅ層３１－１～３１－３を形成するようにしたので、チャネル領域にかかる圧縮応力を大きくし、一層多くの電流の増幅効果を得ることができるという効果を有する。

【0048】

なお、上述したエクステンション部２２にＳｉＧｅ層３１を形成した実施の形態６，７においても、実施の形態４で示したように、ソース／ドレイン領域２１上にＧｅ層３２をエピタキシャルに形成させるようにしてもよいし、実施の形態５で示したように、ゲート構造１０とソース／ドレイン領域２１上に圧縮応力性の絶縁膜３３を形成してもよい。このようにすることで、さらに大きな圧縮応力をゲート構造１０下のチャネル領域に印加することができ、高い電流駆動力が得られるという効果を有する。

【産業上の利用可能性】

【0049】

以上のように、この発明にかかる半導体装置は、電流駆動力を向上させる半導体装置に有用である。

【図面の簡単な説明】

【0050】

【図1】この発明による半導体装置の構造を模式的に示す断面図である。

【図2】Ｓｉ基板にクラスタ注入したＧｅ原子の深さ方向のプロファイルを示す図である。

【図3】この発明による半導体装置の実施の形態１の構造を模式的に示す断面図である。

【図4-1】この発明による半導体装置の製造方法の実施の形態１の手順の一例を模式的に示す断面図である（その１）。

【図4-2】この発明による半導体装置の製造方法の実施の形態１の手順の一例を模式的に示す断面図である（その２）。

【図4-3】この発明による半導体装置の製造方法の実施の形態１の手順の一例を模式的に示す断面図である（その３）。

【図4-4】この発明による半導体装置の製造方法の実施の形態１の手順の一例を模式的に示す断面図である（その４）。

【図5】この発明による半導体装置の実施の形態２の構造を模式的に示す断面図である。

【図6】図５のＧｅの注入プロファイルの一例を示す図である。

【図7】多段注入における注入プロファイルの一例を示す図である。

【図8】多段注入における注入プロファイルの一例を示す図である。

【図9】この発明による半導体装置の実施の形態４の構造を模式的に示す断面図である。

【図10】この発明による半導体装置の実施の形態５の構造を模式的に示す断面図である。

【図11】この発明による半導体装置の実施の形態６の構造を模式的に示す断面図である。

【図12】この発明による半導体装置の実施の形態７の構造の一例を模式的に示す断面図である。

【図13-1】半導体装置の製造方法の従来例を模式的に説明するための断面図である（その１）。

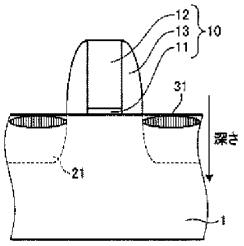
【図13-2】半導体装置の製造方法の従来例を模式的に説明するための断面図である（その２）。

【符号の説明】

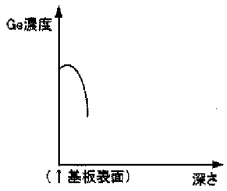
【0051】

１　Ｓｉ基板
２　素子分離絶縁膜
３　Ｎ型ウェル
１０　ゲート構造
１１　ゲート絶縁膜
１２　ゲート電極
１３　サイドウォールスペーサ
２１　ソース／ドレイン領域
２２　エクステンション部
３１，３１－１～３１－３　ＳｉＧｅ層
３２　Ｇｅ層
３３　圧縮応力性の絶縁膜
４１　シリサイド膜

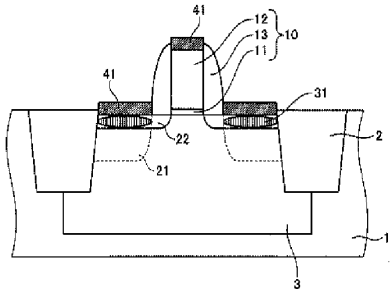
【図1】



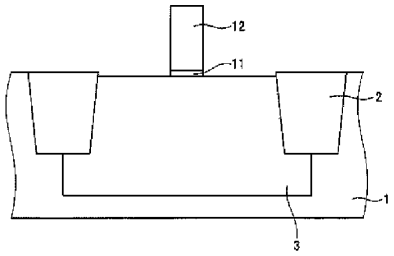
【図2】



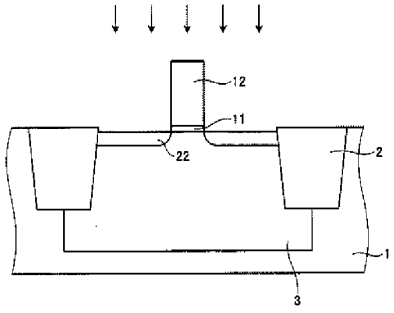
【図3】



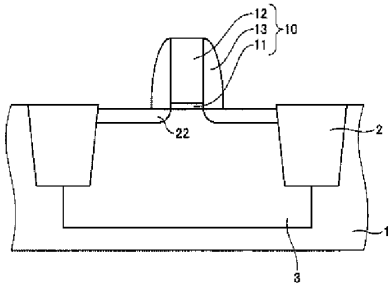
【図4-1】



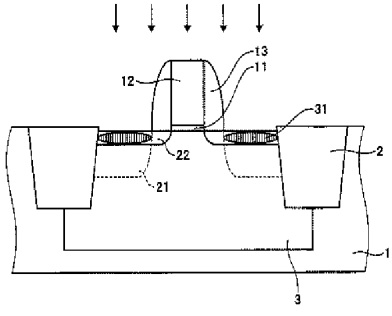
【図4-2】



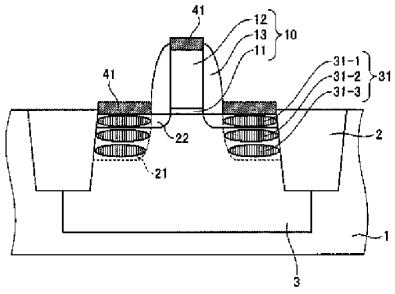
【図4-3】



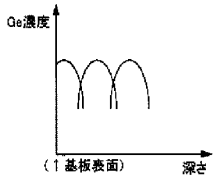
【図4-4】



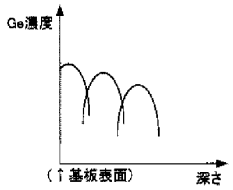
【図5】



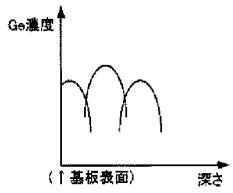
【図6】



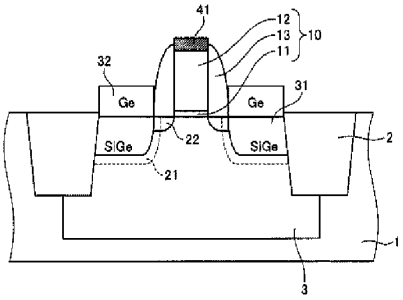
【図7】



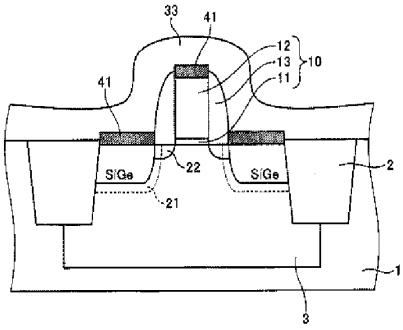
【図8】



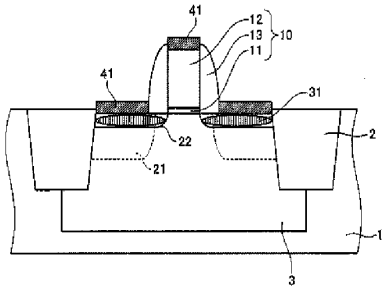
【図9】



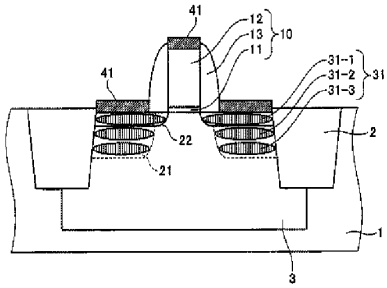
【図10】



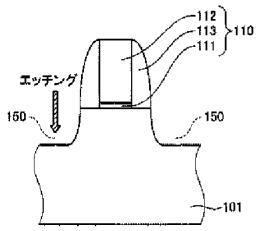
【図11】



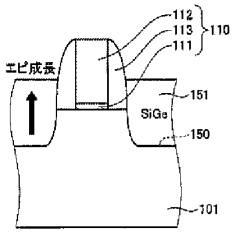
【図12】



【図13-1】


112
113
111
110
エッチング
150
150
101

【図13-2】


112
113
111
110
エピ成長
151
SiGe
150
101

Ｆターム(参考) 5F140 AA05 AB03 AC01 AC28 BA01 BD09 BF01 BF04 BF05 BF08
BF11 BF18 BG08 BG14 BG51 BG53 BH06 BH14 BH22 BH27
BH41 BH45 BJ01 BJ08 BK13 BK18 BK22 CB04 CB08 CC08
CC11 CC12

Espacenet

Bibliographic data: JP2008533695 (A) — 2008-08-21

CMOS transistor junction regions formed by a CVD etching and deposition sequence

Inventor(s):

Applicant(s):

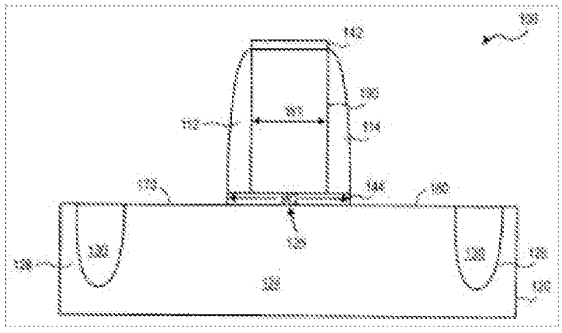
Classification: **- international:** ***H01L21/8238; H01L27/092; H01L29/78***
- cooperative: **H01L21/02381 (EP, CN, US)**; **H01L21/02532 (EP, CN, US)**; **H01L21/0262 (EP, CN, US)**; **H01L21/02639 (EP, CN, US)**; **H01L21/18 (KR)**; **H01L21/205 (KR)**; **H01L21/2053 (GB)**; **H01L21/3065 (KR)**; **H01L29/66628 (EP, CN, US)**; **H01L29/7834 (EP, CN, US)**; **H01L29/7848 (EP, CN, US)**; B82Y40/00 (KR); H01L21/8238 (GB); H01L29/517 (EP, US)

Application number: JP20070549723 20060104 Global Dossier

Priority number(s): US20050029740 20050104 ; WO2006US00372 20060104

Also published as: CN102282657 (A) CN102282657 (B) CN102709248 (A) CN102709248 (B) CN105895531 (A) more

Abstract not available for JP2008533695 (A)
Abstract of corresponding document: US2006148151 (A1)



This invention adds to the art of replacement source-drain cMOS transistors. Processes may involve etching a recess in the substrate material using one equipment set, then performing deposition in another. Disclosed is a method to perform the etch and subsequent deposition in the same reactor without atmospheric exposure. In-situ etching of the source-drain recess for replacement source-drain applications provides several advantages over state of the art ex-situ etching. Transistor drive current is improved by: (1) Eliminating contamination of the silicon-epilayer interface when the as-etched surface is exposed

to atmosphere and (2) Precise control over the shape of the etch recess. Deposition may be done by a variety of techniques including selective and non-selective methods. In the case of blanket deposition, a measure to avoid amorphous deposition in performance critical regions is also presented.

Espacenet

Description: JP2008533695 (A) — 2008-08-21

CMOS transistor junction regions formed by a CVD etching and deposition sequence

Description not available for JP2008533695 (A)
Description of corresponding document: US2006148151 (A1)

A high quality text as facsimile in your desired language may be available amongst the following family members:

CN102282657 (A) DE112006000151 (T5) GB2437461 (B) KR20070100787 (A) TW200634987 (A) US2006148151 (A1) WO2006104529 (A2) CN102709248 (A) CN105895531 (A) US2007105331 (A1) US2009039390 (A1)

The EPO does not accept any responsibility for the accuracy of data and information originating from other authorities than the EPO; in particular, the EPO does not guarantee that they are complete, up-to-date or fit for specific purposes.

BACKGROUND

[0001] 1. Field

[0002] Circuit devices and the manufacture and structure of circuit devices.

[0003] 2. Background

[0004] Increased performance in circuit devices on a substrate (e.g., integrated circuit (IC) transistors, resistors, capacitors, etc. on a semiconductor (e.g., silicon) substrate) is typically a major factor considered during design, manufacture, and operation of those devices. For example, during design and manufacture or forming of metal oxide semiconductor (MOS) transistor devices, such as those used in a complementary metal oxide semiconductor (CMOS), it is often desired to increase movement of electrons in N-type MOS device (n-MOS) channels and to increase movement of positive charged holes in P-type MOS device (p-MOS) channels. A key parameter in assessing device performance is the current delivered at a given design voltage. This parameter is commonly referred to as transistor drive current or saturation current (IDSAT). Drive current is affected by factors that include the transistor's channel mobility and external resistance.

[0005] Channel mobility refers to the mobility of carriers (i.e. holes and electrons) in the

transistor's channel region. Increased carrier mobility translates directly into increased drive current at a given design voltage and gate length. Carrier mobility can be increased by straining the channel region's silicon lattice. For p-MOS devices, carrier mobility (i.e. hole mobility) is enhanced by generating a compressive strain in the transistor's channel region. For n-MOS devices, carrier mobility (i.e. electron mobility) is enhanced by generating a tensile strain in the transistor's channel region.

[0006] Drive current is also influenced by other factors that include: (1) the resistances associated with the ohmic contacts (metal to semiconductor and semiconductor to metal), (2) the resistance within the source/drain region itself, (3) the resistance of the region between the channel region and the source/drain regions (i.e. the tip region), and (4) the interface resistance due to impurity (carbon, nitrogen, oxygen) contamination at the location of the initial substrate-epi-layer interface. The sum of these resistances is commonly referred to as the external resistance.

[0007] Conventional tip (also commonly called source drain extensions) region fabrication is done by dopant implantation prior to fabricating the gate spacer dielectric layers. The location of the dopants is concentrated near the top surface of the substrate. This narrow band of dopants leads to high spreading resistance, and limits the current flow from channel to salicide contact. In state of the art replacement source-drain architectures, the shape of the recess is better, but is still not fully optimized with respect to spreading resistance.

BRIEF DESCRIPTION OF THE DRAWINGS

[0008] FIG. 1 is a schematic cross-sectional view of a portion of a substrate having a well, gate dielectric, and gate electrode.

[0009] FIG. 2 is the schematic substrate of FIG. 1 after forming junction regions having tip regions.

[0010] FIG. 3A shows the substrate of FIG. 2 after forming a thickness of material in the junction regions to form junctions.

[0011] FIG. 3B shows the substrate of FIG. 2 after forming a thickness of material in junction regions having tip implants to form junctions.

[0012] FIG. 4 shows a representative CMOS structure.

[0013] FIG. 5 is the schematic cross-sectional view of a portion of a substrate having a well, gate dielectric, gate electrode, and junction regions having tip regions.

[0014] FIG. 6 is the schematic substrate of FIG. 5 after forming a thickness of a crystalline material in the junction regions and a thickness of amorphous material on the gate electrode.

[0015] FIG. 7 shows the substrate of FIG. 6 after removing a thickness of the crystalline material and a thickness of the amorphous material.

[0016] FIG. 8 shows the substrate of FIG. 7 after forming a subsequent thickness of a crystalline material in the junction regions and a subsequent thickness of the amorphous material on the gate electrode.

[0017] FIG. 9 shows the substrate of FIG. 8 after removing a thickness of the crystalline material and the amorphous material.

[0018] FIG. 10 shows the substrate of FIG. 9 after forming a thickness of crystalline material in the junction regions to form junctions, and after forming a thickness of amorphous material on the gate electrode.

[0019] FIG. 11 shows the substrate of FIG. 10 after removing the amorphous materials.

[0020] FIG. 12 shows a representative CMOS structure.

DETAILED DESCRIPTION

[0021] Locally straining transistor channel regions may be accomplished by selective epitaxial deposition of source and drain regions with materials that impart a strain in a MOS transistor's channel region. Such process flows may involve etching the substrate material from the source-drain regions of the transistor in one process operation using an etch reactor. A subsequent operation may involve replacing the removed material with Si alloy material in a deposition reactor. The etch reactor and deposition reactor may be physically different and separate. Thus the substrate must be removed from the etch reactor and exposed to atmospheric pressure environments before initiating the Si alloy deposition process. The Si alloy may be pure Si or Si1-xGex or Si1-xCx and can be undoped or doped with p-type or n-type dopants. The deposition process may be selective or non-selective. According to embodiments provided herein, the etch reactor and deposition reactor may be physically the same.

[0022] For example, FIG. 1 is a schematic cross-sectional view of a portion of a substrate having a well, gate dielectric, gate electrode, and tip material. FIG. 1 shows apparatus 100 including substrate 120 having gate dielectric 144 formed on top surface 125 of substrate 120 over well 124. Gate electrode 190 is formed on gate dielectric 144 and has spacers 112 and 114 formed on its side surfaces. Etch mask 142 is formed on gate electrode 190. Electrically insulating material 130 is also shown to electrically isolate well 124 from surrounding regions 128. Surface 170 and surface 180 are shown adjacent to gate electrode 190. Apparatus 100, and components thereof described above may be further processed, such as in a semiconductor transistor fabrication process that involves one or more processing chambers, to become or be parts of a p-MOS or n-MOS transistor (e.g., by being parts of a CMOS device).

[0023] For example, substrate 120 may include, be formed from, deposited with, or grown from silicon, polycrystalline silicon, single crystal silicon, or various other suitable technologies for forming a silicon base or substrate, such as a silicon wafer. For example, according to embodiments, substrate 120 may be formed by growing a single crystal silicon substrate base material having a thickness of between 100 Angstroms and 1000 Angstroms of pure silicon. Alternately, substrate 120 may be formed by sufficient chemical vapor deposition (CVD) of various appropriate silicon or silicon alloy materials to form a layer of material having a thickness between one and three micrometers in thickness, such as by CVD to form a thickness of two micrometers in thickness. It is also considered that substrate 120 may be a relaxed, non-relaxed, graded, and/or non-graded silicon alloy material.

[0024] As shown in FIG. 1, substrate 120 includes well 124, such as an N-type well

having an electrically negative charge on a P-type material having an electrically positive charge formed by doping substrate 120 during formation or after formation of substrate 120. Specifically, to form well 124, top surface 125 may be doped with phosphorous, arsenic, and/or antimony to form an N-type well of a p-MOS transistor (e.g., a p-MOS device of a CMOS device). Doping as described herein may be performed, for example, by angled doping, such as to implant ions or atoms of the above-noted dopants into a material, such as substrate 120 or a material formed in or on substrate 120. For example, doping may include ion implantation performed by an ion "gun", or an ion "implanter" to bombard surfaces of a substrate with accelerated high velocity ions to implant ions to form doped material. The accelerated ions may penetrate through the surface of the material and scatter into the material below to form a depth of doped material. For example, top surface 125 may be selectively doped, such as by placing a mask over the non-selected area or areas to block the introduction of the dopant from entering the non-selected are or areas, while allowing the dopant to dope well 124.

[0025] Alternatively, to form well 124, top surface 125 may be doped with boron and/or aluminum to form a P-type well of a n-MOS transistor (e.g., a n-MOS device of a CMOS device).

[0026] Thus, well 124 may be a material suitable for forming a "channel" of a transistor device. For example, a transistor device channel maybe defined as a portion of the material of well 124 under top surface 125 and between surfaces 170 and 180, or junctions formed adjacent to, consuming portions of, and/or including surfaces 170 and 180.

[0027] FIG. 1 shows electrically insulating material 130 between well 124 and surrounding regions 128. Material 130 may be various appropriate electrically insulating materials and structures sufficient for electrically isolating well 124 from surrounding regions 128. For example, surrounding regions 128 may be well regions of adjacent or related transistor devices. Specifically, material 130 may be shallow trench isolation (STI) formed between an N-type well of a p-MOS device (e.g., where well 124 has an N-type well) and other regions of substrate 120 to electrically isolate the N-type well from the other regions. Similarly, material 130 may be STI formed between a P-type well of a n-MOS device (e.g., where well 124 is a P-type well) and other regions of substrate 120. Thus, material 130 may isolate well 124 from other regions of substrate 120 to provide for functionality of a transistor formed on top surface 125 (e.g., to isolate well 124 from an adjacent well of an associated device paired with well 124 to form a CMOS device). In one example, where well 124 is an N-type well, one of regions 128 may be a related P-type well of an n-MOS device paired with a P-MOS device formed on top surface 125 to form a CMOS device. Alternatively, where well 124 is a P-type well, one of regions 128 may be a related N-type well of a p-MOS device paired with a n-MOS device formed on top surface 125 to form a CMOS device. Material 130 may be formed by doping through a layer of material located above material 130, and/or may be formed before or after forming well 124.

[0028] As shown in FIG. 1, gate dielectric 144 has width W2. Gate electrode 190 is shown formed on gate dielectric 144 with width W1. The thickness of gate dielectric 144 may be generally consistent throughout and conform to the topography of top surface 125 along width W2. Moreover, gate dielectric 144 may be formed of a material having a relatively high dielectric constant (e.g., a dielectric constant greater than or equal to that of silicon dioxide (SiO_2), or of a material having a relatively low dielectric

constant. A thickness of gate dielectric 144 may be between one and five nanometers in thickness. Gate dielectric 144 may be formed by deposition, such as by CVD, atomic layer deposition (ALD), blanket deposition, selective deposition, epitaxial deposition, ultra high vacuum (UHV) CVD, rapid thermal (RT) CVD, reduced pressure (RP) CVD, molecular beam epitaxy (MBE), and/or other appropriate growing, depositing, or forming processes. Gate dielectric 144 may have an appropriate P-type work function for apparatus 100, such as where apparatus 100 is a p-MOS device. Alternatively, gate dielectric 144 may have an appropriate N-type work function for apparatus 100, such as where apparatus 100 is an n-MOS device. Specifically, gate dielectric 144 may be formed of dielectrics such as silicon dioxide (SiO2), hafnium oxide (HfO), hafnium silicate (HfSiO4), zirconium oxide (ZrO), carbon doped oxide (CDO), cubic boron nitride (CBN), phosphosilicate glass (PSG), silicon nitride (Si3N4), fluorinated silicate glass (FSG), silicon carbide (SiC), etc.

[0029] Gate electrode 190 may be formed, such as by processes described above with respect to forming gate dielectric 144. Moreover, gate electrode 190 may be formed of various semiconductor or conductor materials, such as silicon, polysilicon, crystal silicon, and/or various other appropriate gate electrode materials. Also, gate electrode 190 may be doped during or after formation. For example, gate electrode 190 may be doped with boron and/or aluminum to form a p-type gate electrode having an electrically positive charge (e.g., for a p-MOS device, which may be part of a CMOS device). Conversely, it is also contemplated, that gate electrode 190 may be doped with phosphorous, arsenic, and/or antimony to form a n-type gate electrode having an electrically negative charge (e.g., for a n-MOSn-MOS device, which may be part of a CMOS device).

[0030] Gate electrode 190 may have a thickness appropriate for a p-MOS or n-MOS device, such as when apparatus 100 is a p-MOS or n-MOS device. For example, gate electrode 190 may have a thickness to cause a transistor formed on substrate 120 to have a threshold "ON" voltage between 0.1 and 0.5 volts. In some cases, gate electrode 190 may have a thickness of, for example, between 150 and 2000 Angstroms (e.g., between 15 and 200 nanometers(nm)). Gate electrode 190 may have a work function for responding to a gate electrode of a p-MOS device (e.g., where apparatus 100 is a p-MOS device). Alternatively, gate electrode 190 may have a work function for responding to a gate electrode of a n-MOS device (e.g., where apparatus 100 is a n-MOS device).

[0031] FIG. 1 shows spacer 112 and spacer 114 formed on surfaces of gate electrode 190 and gate dielectric 144. Specifically, spacer 112 and spacer 114 may be formed on sidewall surfaces of gate electrode 190 and on a top surface of gate dielectric 144 (e.g., a surface opposite from substrate 120). Spacers 112 and 114 may be a dielectric material such as silicon nitride (Si3N4), silicon dioxide (SiO2), and/or various other appropriate semiconductor device spacer materials.

[0032] FIG. 1 also shows etch mask 142 formed on gate electrode 190. Etch mask 142 may be a "hard" mask formed of silicon nitride (Si3N4), where other material mentioned above for forming gate dielectric 144. For example, etch mask 142 may be used when forming gate electrode 190, gate dielectric 144 and/or spacers 112 and 114. Specifically, portions corresponding to the shape of mask 142 or area around mask 142 may be removed or etched away from above, using mask 142 as an etch stop.

[0033] For example, spacers 112 and 114 may be formed by first depositing dielectric

material, similar to dielectric materials described above for gate dielectric 144, conformally along surfaces of substrate 120, sidewall surfaces of gate electrode 190, and a top surface etch mask 142. Then the formed or deposited dielectric material may be patterned and etched to create spacers 112 and 114.

[0034] According to embodiments, portions of well 124 and substrate 120, such as at surfaces 170 and surface 180, may be removed to form a junction regions in substrate 120 adjacent to gate electrode 190. For example, junctions adjacent to gate electrode 190 may be formed by removing portions of substrate 120 at surfaces 170 and 180 to form junction regions or recesses in substrate 120, and then forming or depositing a junction material into the junction regions. Such removal may include "source-drain recess" etching, so that the junction regions extend under gate dielectric 144.

[0035] For example, FIG. 2 is the schematic substrate of FIG. 1 after forming junction regions having tip regions. FIG. 2 shows junction region 270, such as a recess formed in surface 170 of substrate 120 adjacent to gate electrode 190 and source-drain recess below a bottom surface of gate dielectric 144. Similarly, FIG. 2 shows junction region 280, such a recess formed in surface 180 of substrate 120 adjacent to gate electrode 190, and source-drain recess below a bottom surface of gate dielectric 144.

[0036] Junction region 270 defines substrate surface 222 (e.g., a base surface of junction region 270), facet 220, and tip region 276. Tip region 276 is between facet 220 and the bottom surface of gate dielectric 144. For instance, it can be said that tip region 276 defines facet 220 having angle A1 between facet 220 and the bottom surface of gate dielectric 144 Similarly, junction region 280 defines substrate surface 232, facet 230, and tip region 286. Tip region 286 is between facet 230 and the gate dielectric 144. Thus, tip region 286 defines facet 230 having angle A2 between facet 230 and bottom surface of gate dielectric 144.

[0037] According to embodiments, preferred angles A1 and/or A2 may be angles of between 52[deg.] (degrees) and 57[deg.]. For example, angles A1 and A2 may both be approximately 52[deg.], 53[deg.], 54[deg.], 54.7[deg.], 54.74[deg.], 54.739137[deg.], 54.8[deg.], 55[deg.], 56[deg.]. This range of angles corresponds roughly to alignment with the {111} family of planes as described using conventional Miller index nomenclature. Alternative embodiments allow the A1 and A2 angles to be in the range 0[deg.] to 90[deg.], and excluding the preferred range listed above.

[0038] According to embodiments, tip regions 276 and 286 may extend under spacer 112, spacer 114, and/or gate electrode 190. For example, tip regions 276 and 286 may extend along top surface 125 under the bottom surface of gate dielectric 144 from a width equal to width W2 to a width of less than width W2, such as a width of greater than zero. Thus, facets 220 and 230 may contact the bottom surface of gate dielectric 144 adjacent to top surface 125 of substrate 120 to form a channel under top surface 125 between facets 220 and 230 (e.g., a channel of a transistor formed in apparatus 200), where facets 220 and 230 may each extend under gate dielectric 144 by a distance of between zero and one-half of width W2. Thus, portions of substrate 120 may be removed to form facets 220 and 230 contacting and extending under the bottom surface of gate dielectric 144 to contact the bottom surface of gate dielectric 144 under spacer 112, spacer 114, and/or gate electrode 190.

[0039] It is contemplated that junction region 270 and/or 280 may have a depth below top surface 125 between 800 angstroms and 1300 angstroms. Moreover, junction

region 270 and/or 280 may have a width or size appropriate for depositing material into those regions to form junction of a transistor device (e.g., a p-MOS or n-MOS device of a CMOS device).

[0040] Junction region 270 and/or 280 may be referred to as "source-drain regions" or "diffusion regions." Also, when an appropriate material is formed, deposited, or grown in junction regions 270 and 280, the resulting material may be referred to as a "junction," a "source," a "drain," or a "diffusion region."

[0041] According to embodiments, junction regions 270 and 280 may be formed by removing undesired portions of substrate 120, such as at surfaces 170 and 180. For instance, a patterning two operation process may be used where in the first operation, a photo-resist is used to define regions of a hardmask to be removed (e.g., a hardmask layer over apparatus 100 of FIG. 1). Those regions of the hardmask are then etched away. After that etching, the photo-resist is removed, and a recess etch is performed to form junction regions 270 and 280 by removing undesired portions of substrate 120 (e.g., etching away the undesired exposed portions, not covered by the remaining hardmask). Photolithographic patterning using an etch stop, dielectric material, photo resist, or other suitable material for masking and etch processing (e.g., a negative photo-resist mask, positive photo-resist mask, silicon dioxide SiO2), or silicon nitride Si3N4) may also be used to define an area to be protected while source-drain recess etching to form junction regions 270 and 280, as shown in FIG. 2.

[0042] Suitable non-plasma etch chemistries for removing undesired portions of substrate 120, such as at surfaces 170 and 180 to form junction regions 270 and 280 include chlorine (Cl2), hydrochloric acid (HCl), fluorine (F2), bromine (Br2), HBr and/or other etch processes capable of removing portions of substrate 120. Plasma etches including chemistries of SF6, NF3 or the like are possible as alternative embodiments. Typical epitaxial deposition equipment types available today (e.g., chambers or reactors) can perform the above noted non-plasma etches with little or no modification. A change to enable plasma etching as noted above and CVD deposition in the same reactor is possible, but adds a great deal of complexity to the hardware (e.g., chambers or reactors).

[0043] Suitable chambers for etching junction regions 270 and 280 include a CVD chamber, an ALD chamber, a UHVCVD chamber, an RTCVD chamber, an RPCVD chamber, an MBE chamber, a "batch" UHV CVD chamber, a cold-wall UHV CVD chamber, an atmospheric pressure (AP) CVD chamber a low-pressure (LP) CVD chamber, or a chamber reactor that combines the functionality of one or more of these chambers or reactors.

[0044] Moreover, etching to form junction regions 270 and 280 may be performed at a pressure of between 1E-4 Torr and 1,000 Torr (e.g., at a pressures within a one decimal range of 1E-3, 1E-2, 0.1, 1.0, 10, 100, or 1000 Torr) in either a "cold-wall" or "hot-wall" reactor. Also, etching to form junction regions 270 and 280 may be performed at typical epitaxial silicon alloy deposition temperatures, for example from 500 to 900[deg.] C. A "cold-wall" reactor may be described as a reactor having vessel walls that, during deposition or etching, are at room temperature. A "cold-wall" reactor may have vessel walls fabricated from metal. Alternatively, a "hot-wall" reactor may have vessel wall fabricated from quartz or other ceramics that are at a temperature greater than room temperature during deposition or etching.

[0045] For example, junction region 270 and/or 280 may be formed by removing or etching portions of substrate 120 with etchant gas that may contain mixtures including: chlorine (Cl2), hydrochloric acid (HCl), hydrogen (H2), and/or nitrogen (N2). Specifically, an etchant or gas including one or more of the above-noted gases may flow into a chamber in which apparatus 100 is housed at a rate of between five standard cubic centimeters per minute (SCCM) and ten SCCM, at a temperature of between 500 degrees Celsius ([deg.] C.) and 800[deg.] C. (e.g., a temperature of 500, 525, 540, 550, 560, 575, 600, 625, 650, 675, 700, 750, or 800[deg.] C.) for between 30 and 90 minutes (e.g,. a period of 30, 35, 40, 45, 50, 55, 60, 65, 75, 85, or 90 minutes) to etch portions of substrate 120 at surfaces 170 and 180. According to embodiments, junction region 270 and/or 280 may be formed at a pressure of between 3E-3 Torr and 7E-3 Torr (e.g., 3E-3, 3.5E-3, 4E-3, 4.5E-3, 5E-3, 5.5E-3, 6E-3, 6.5E-3, or 7E-3). In some cases, chlorine gas is used to etch junction regions 270 and 280 in a chamber as described above, at a temperature of 650[deg.] C. and at a pressure of between 3E-3 Torr and 7E-3 Torr, in a 300 millimeter (mm) UHV CVD cold-wall single wafer reactor.

[0046] For example, FIG. 3A shows the substrate of FIG. 2 after forming thickness of a material in the junction regions to form junctions. FIG. 3A shows apparatus 300 having material 370 formed in junction region 270 and material 380 formed in junction region 280. Material 370 and/or material 380 may be described as a junction, source, drain, or diffusion region. In addition, material 370 may be formed to have junction top surface 372 that is superior to top surface 125 of substrate 120. Specifically, material 370 may be a thickness of silicon germanium material having a lattice spacing greater than a lattice spacing of the material of substrate 120. Likewise, material 380 may be formed to have junction top surface 382 that is also superior to top surface 125. For example, material 370 may be thickness T4 of an epitaxial thickness of crystalline silicon-germanium alloy, geranium, or silicon material (e.g., SiGe, such as SixGe1-x), where the size and/or thickness T4 is sufficient to cause a compressive strain in substrate 120. The material may be pure or doped with p-type dopants such as B and Al. Alternatively, material 370 may be thickness of T4 of an epitaxial thickness of crystalline silicon-carbon alloy material (e.g., SixC1-x), where the size and/or thickness of T4 is sufficient to cause a tensile strain in substrate 120. The material may be pure or doped with n-type dopants such as P, As and Sb. For example, material 370 may be a thickness of silicon-carbon alloy (SixC1-x) having a lattice spacing smaller than a lattice spacing of substrate 120. Similarly, material 380 may be a thickness T5 of an epitaxial thickness of crystalline silicon-germanium alloy (SixGe1-x) having sufficient size and/or thickness T5 to cause a strain in substrate 120.

[0047] For example, as shown in FIG. 3A, material 370 may cause compressive strain 374 towards a portion of substrate 120 under top surface 125, and material 380 may cause compressive strain 384 towards the same portion of substrate 120. Thus, strain 374 may cause compressive strain 392 and strain 384 may cause compressive strain 394 in a channel of substrate 120 between material 370 and material 380 (e.g., a compressive strain between p-type junction material formed in junction regions 270 and 280 and in the channel of apparatus 300, where apparatus 300 is a p-MOS device). It can be appreciated that compressive strains 392 and 394 may be strains between facets 220 and 230 sufficient to increase carrier mobility (e.g., mobility of holes in the channel of well 124) between material 370 and material 380. In other words, a channel in substrate 120 may be under a compressive strain caused by a lattice spacing of material 370 and/or material 380 (e.g., where material 370 and material 380 are silicon-germanium alloy material) being larger than a lattice spacing of the material of substrate 120.

[0048] In another example, material 370 and material 380 may cause a tensile strain in a channel of apparatus 300 (e.g., if the direction of strains 374, 384, 392, and 394 were reversed). In this case a tensile strain in the channel of apparatus 300, where apparatus 300 is a n-MOS device may be a strain between facets 220 and 230 sufficient to increase carrier mobility (e.g., mobility of electrons in the channel of well 124) between material 370 and material 380. Correspondingly, a channel in substrate 120 may be under a tensile strain caused by a lattice spacing of material 370 and/or material 380 (e.g., where those materials are silicon-carbon alloy) being larger than a lattice spacing of new material of substrate 120.

[0049] Material 370 and material 380 may be deposited by chemical vapor deposition or other processes described above for forming gate dielectric 144. For example, material 370 and material 380 may be formed in a chamber as described above for forming junction regions 270 and 280, and for forming gate dielectric 144. Suitable chambers for forming, growing, or depositing materials 370 and 380 include equipment capable of selective deposition of silicon-based elemental or alloyed films. For instance, some suitable chambers for forming material 370 and material 380 include a CVD chamber, an ALD chamber, a UHVCVD chamber, an RTCVD chamber, an RPCVD chamber, an MBE chamber, a "batch" UHV CVD chamber, a cold-wall UHV CVD chamber, an atmospheric pressure (AP) CVD chamber a low-pressure (LP) CVD chamber, or a chamber reactor that combines the functionality of one or more of these chambers or reactors.

[0050] Suitable deposition techniques include thermal decomposition of hydride or chlorinated hydride precursor gases on silicon wafers. Deposition pressure may be between 1E-4 Torr and 1000 Torr (e.g., at a pressures within a one decimal range of 1E-3, 1E-2, 0.1, 1.0, 10, 100, or 1000 Torr). Deposition may occur in a cold-wall or hot-wall reactor. Specifically, material 370 and 380 may be formed by selective deposition of silane, disilane, dichlorosilane, and/or methylsilane gas to chemically bond a thickness of silicon alloy or silicon elemental material to surfaces of junction region 270 and 280 to form junctions therein. In an alternative embodiment, this can be performed by non-selective deposition using trisilane as the silicon precursor, and the same alloy and dopant precursor gases mentioned below.

[0051] In some process, deposition is performed in a 300 mm epitaxial UHV CVD cold-wall single wafer reactor. Appropriate temperatures for forming material 370 and 380 include room temperature, or a temperature of between 500 and 800[deg.] C., and at a pressure of between 300 E-3 Torr and 7 E-3 Torr (e.g., 3E-3, 3.5E-3, 4E-3, 4.5E-3, 5E-3, 5.5E-3, 6E-3, 6.5E-3, or 7E-3). In some examples, material 370 and 380 is formed by introducing disilane at between seven standard cubic centimeters per minute (SCCM) and 20 SCCM, and introducing methylsilane at between 10 SCCM and 300 SCCM. For example, thickness T4 and/or T5 may be a thickness of between 1000 angstroms and 1500 angstroms, such as a thickness of 1050, 1100, 1150, or 1200 angstroms.

[0052] Material 370 and 380may be doped during formation and/or doped after formation. In some embodiments, material 370 and/or 380 may be alloyed or doped during deposition when the silicon precursor flow is accompanied with germane, methylsilane, acetylene, diborane, boron chloride, phosphine, arsine, and/or stibine. For instance, during or after formation, material 370 and 380 may be doped, such as by boron and/or aluminum to form P-type junction material having an electronically

positive charge. In one embodiment, material 370 and material 380 may be formed as boron and/or aluminum doped epitaxial crystalline silicon-germanium alloy material in junction regions 270 and 280, and then subsequently doped with additional boron and/or aluminum.

[0053] Alternatively, during and/or after formation, material 370 and 380 may be doped, such as by phosphorous, arsenic, and/or antimony to form an N-type junction material having an electrically negative charge. In one embodiment, material 370 and 380 may be silicon carbon alloy epitaxial crystalline material formed in junction regions 270 and 280, and subsequently doped with additional phosphorous, arsenic, and/or antimony.

[0054] Thus, material 370 and 380 may be (Six(Ge)1-x:(B,Al) for p-MOS and SixC1-x:(P,As,Sb) for n-MOS. Subsequent to forming material 370 and 380, apparatus 300 may be thermally treated, such as by annealing.

[0055] Moreover, according to embodiments, forming of junction regions 270 and 280, and forming, depositing, or growing of material 370 and material 380 may occur in the in the same chamber, in the same reactor, at the same pressure, at the same temperature, in the same setting, and/or in a chamber or reactor without breaking a seal or vacuum of the chamber or reactor. The process consists of an initial set of etch gas flows, followed by a set of deposition gas flows. Thus, forming material 370 and 380 may be performed in-situ with forming junction regions 270 and 280. It can be appreciated that forming of junction regions 270 and 280 in the same chamber used to deposit material 370 and 380, may reduce undesired impurities including carbon, oxygen and nitrogen in surfaces of junction regions 270 and 280, and material 370 and 380. A suitable chamber for forming of junction regions 270 and 280, and for forming material 370 and 380 includes chambers described above for forming junction regions 270 and 280.

[0056] For instance, some suitable chambers for forming of junction regions 270 and 280, and for forming material 370 and 380 in the same chamber include a CVD chamber, an ALD chamber, a UHVCVD chamber, an RTCVD chamber, an RPCVD chamber, an MBE chamber, a "batch" UHV CVD chamber, a cold-wall UHV CVD chamber, an atmospheric pressure (AP) CVD chamber a low-pressure (LP) CVD chamber, or a chamber reactor that combines the functionality of one or more of these chambers or reactors. Deposition mode may be selective or non-selective. Moreover, forming of junction regions 270 and 280 and depositing material 370 and 380 can be performed in the same chamber in the same vacuum (e.g., without opening the chamber, opening a seal of the chamber or exposing the inside of the chamber to air from outside of the chamber). For example, junction regions 270 and 280, and material 370 and 380 can be formed in a chamber having a pressure of between 1E-4 Torr and 1000 Torr (e.g., at a pressures within a one decimal range of 1E-3, 1E-2, 0.1, 1.0, 10, 100, or 1000 Torr) without opening the chamber, opening a seal of the chamber or exposing the inside of the chamber to air from outside of the chamber.

[0057] In one example, a process to perform in-situ recessed source drain etch (e.g., performing junction regions 270 and 280) followed immediately by deposition of source drain material (e.g., deposition of material 370 and 380) is performed in a UHV CVD chamber (e.g., a 300 mm epitaxial UHV CVD cold-walled single-wafer reactor. This process uses a set of etch gases and a set of deposition gases to form junction regions having facets 220 and 230, and then to selectively deposit silicon or silicon alloy material to form junctions on those facets. Moreover, hydrogen (H2) and/or nitrogen

(N2) may be used as carrier gases during the etch and/or deposition processes. It is observed that the deposition of materials 370 and 380 may follow the etching of regions 270 and 280 immediately, such as by occurring as the next operation in the processing of apparatus 200, occurring before a seal or vacuum of the chamber is opened, occurring within 30 minutes of forming a recess in regions 270 and 280, and/or occurring after a "pump out" of the chamber to remove the etchant or gas used to form regions 270 and 280.

[0058] In one example, an etch process using a flow rate of pure chlorine gas of between five and ten SCCM for a period of between ten and 300 minutes (e.g., a period of 30, 40, 50, 60, 70, 80, 90, 100 or 120 minutes) is used to form regions 270 and 280. Following pump-out of the pure chlorine gas, a deposition process occurs to form materials 370 and 380 in regions 270 and 280, in the same chamber, without exposing the inside of the chamber to the outside air.

[0059] The deposition process may include a flow rate of between seven and 20 SCCM of disilane and between ten and 30 SCCM of methylsilane for a period of between ten and 200 seconds (e.g., a period of 10, 15, 20, 25, 30, 35, 40, 45, 50, 60, 70, 80 or 90 seconds), the disilane and methylsilane are then pumped out during a five-second period, this pump-out period is followed by introduction of a pure chlorine gas at a flow rate of between five and 15 SCCM for a period of between ten and 200 seconds (e.g., a period of 10, 15, 20, 25, 30, 35, 40,45, 50, 60, 70, 80 or 90 seconds). The chlorine gas is then pumped out for a period of 5 seconds. The introduction of disilane, methylsilane, and subsequent chlorine etch are repeated between 50 and 100 time (e.g., by repeating 70 times, 75 times, 80 times, 85 times, or another number of times between 50 and 100 times) to form material 370 and 380.

[0060] In one example, recessed source drain etch is performed in-situ with deposition of the source drain material in a 300 millimeter (mm) wafer UHV CVD cold-wall single wafer reactor. First, junction regions 270 and 280 are formed by removing or etching portions of substrate 120 with pure chlorine flowing into the chamber at a rate of between five standard cubic centimeters per minute (SCCM) and ten SCCM for one hour while the reactor is kept at a temperature of 650 degrees Celsius. Junction regions 270 and 280 are formed to a depth of 1000 angstroms.

[0061] Next, material 370 and 380 are formed in regions 270 and 280 "immediately" after etching (e.g., no other processing is performed between pumping out the chlorine etchant and depositing material 370 and 380) by a standard MOS integration while the reactor is kept at a temperature of 650 degrees Celsius. For instance, material 370 and 380 are formed or deposited by introducing pure disilane at a flow rate of between seven and 20 SCCM and ten percent methylsilane in H2 at a flow rate of between 10 and 30 SCCM for a period of 30 seconds, and the pumping out for a period of five seconds. The pump-out period is followed by introduction of pure chlorine gas at a flow rate of between five and 15 SCCM for a period 30 seconds, and the pumping out for a period of five seconds.

[0062] The sequence of introducing disilane and methylsilane, pumping out, introducing chlorine and pumping out is repeated 75 times to form material 370 and 380 of Si-C alloy with one atomic percent of C and a thickness of 1100 angstroms. Moreover, it can be appreciated that the seal or vacuum of the reactor can be kept intact during the 75 iterations. Similarly, the pressure of the chamber and a temperature of 650 degrees Celsius may be maintained during the 75 iterations.

[0063] Thus, material 370 and 380 may be formed as an epitaxial layer of Si-C alloy with an atomic percent of C of between 0.1 and two percent (e.g., one percent) of carbon and a thickness of 1100 angstroms. Alternatively, material 370 and 380 may be formed of a SiGe alloy with an atomic percentage of Ge of between 10 and 40 percent (e.g., 20 percent) and a thickness of 1100 angstroms.

[0064] It can be appreciated that by forming junction regions 270 and 280, and material 370 and 380 by processes described above and/or in the same chamber without breaking vacuum or a seal of the chamber forms very high-quality epitaxial film junction region material 370 and 380 in junction regions 270 and 280 without interfacial contaminants, and strained channels for increased electron or hole mobility, as well as increased drive current in at least the following four ways:

1. Facets 220 and 230 may be well defined high quality interfaces for the epitaxial material at the junction location due to high purity. For example, the formation of regions 270 and 280 (including facets 220 and 230) and the formation of material 370 and 380 in a single chamber as described above may decrease the interface resistance due to impurity (e.g., by decreasing the amount of carbon, nitrogen, oxygen in the interface) contamination at the location of the initial substrate-epi-layer interface (e.g., between facets 220 and 230 and material 370 and 380), leading to better interface control, lower Rexexternal and higher drive current. Similarly, such formation may decrease in interface impurity contamination in material 370 and 380 allowing for higher dopant concentrations in material 370 and 380 (e.g., such as boron, aluminum, phosphorus, arsenic and/or antimony), and providing lower resistance within the source/drain region itself, thus causing better interface control, lower Rexternal and higher drive current.
2. The shape of the source-drain recess with facets 220 and 230 angled near 54[deg.] provides optimum current spreading. For example, the angle, alignment, and planar characteristics of facets 220 and 230 formed as described above may provide optimal tip shapes and orientations that allow current to spread through the facets and tips (e.g., current flowing between material 370 and 380 and the channel region) more evenly and easily (e.g., in greater overall magnitude or amount) causing lower resistance of the region between the channel region and material 370 and 380 (i.e. the tip region), leading to lower Rexeternal and higher drive current.
3. Facets 220 and 230 angled near 54[deg.] also provide maximum resistance to dopant over-run that can cause shorts below the channel, as well as short channel effects. The recess and tip regions 376 and 486 can be placed in closer proximity to the channel without fear of short channel effects or shorting.
4. Strain relaxation by formation of misfit dislocations is enhanced when interface contamination is present. This invention allows use of higher strain in deposited films without relaxation. For instance, the formation of regions 270 and 280 (including facets 220 and 230) and the formation of material 370 and 380 in a single chamber as described above may allow for higher germanium or carbon concentrations in material 370 and 380, leading to higher amounts of strain in the channel causing higher carrier mobility and drive current during transistor use.

[0069] Moreover, when forming junction regions 270 and 280, and material 370 and 380 by processes described above, the native oxide build-up at the junction/substrate interface is reduced (e.g., the interface between material 370 and 380 and well 124 of substrate 120); the carbon, oxygen, and/or nitrogen contamination at those interfaces is reduced; the need for wet cleans (e.g., and processing queue time restrictions required

for the cleans) is not necessary; the number of tool types required during processing is reduced; loading in nested regions is reduced; planar, smooth, and appropriately oriented tip profiles (e.g., for tips 376 and 386) with (1,1,1) facets are produced; electron and/or hole mobility in the channel is improved due to strain from (SixGe1-x):B,Al for p-MOS and (SixC1-x):P, As, Sb for n-MOS within junction regions); reduces Rexeternal is reduced due to the high concentration of dopants allowable (e.g., phosphorous or boron doped in the junctions during and/or after epitaxial deposition to form (SixGe1-x):B,Al for p-MOS and (SixC1-x):P, As, Sb for n-MOS.

[0070] In addition, the concepts described above can be applied to form a transistor having junction regions (e.g., source drain regions) that extend under the spacers but not under the gate electrode. In such a case, tip implants (e.g., doped substrate material) may be formed adjacent to the junction regions under the gate electrode. For instance, FIG. 3B shows the substrate of FIG. 2 after forming a thickness of material in junction regions having tip implants to form junctions. FIG. 3B shows junction regions 270 and 280 (e.g., source drain regions) extending under spacers 112 and 114 but not under the gate electrode 190. Also shown, tip implants 354 and 364 (e.g., doped substrate material) may be formed adjacent to the junction regions under the gate electrode. Tip implants 354 and 364 may be formed by standard process in the industry, such as by doping substrate 120 during formation or after formation of substrate 120. Specifically, to form well 124, top surface 125 may be doped with boron and/or aluminum to form p-type tip implants of a p-MOS transistor. After doping the surface of substrate 120 to form the p-type material of the tip implants, portions of the p-type material may be removed or etched to form junction regions 270 and 280 as described above with respect to FIG. 2. Thus, as shown in FIG. 3B facets 320 and 330 may be described as having tips (e.g., tip implants) fabricated from deposited material formed under the bottom surface of the gate dielectric.

[0071] Similar to FIG. 3A, FIG. 3B, shows that material 370 may cause compressive strain 374 towards a portion of substrate 120 under top surface 125, and material 380 may cause compressive strain 384 towards the same portion of substrate 120. Thus, strain 374 may cause compressive strain 392 and strain 384 may cause compressive strain 394 in a channel of substrate 120 between tip implants 354 and 364. It can be appreciated that compressive strains 392 and 394 may be strains between facets 220 and 230 and tip implants 354 and 364 sufficient to increase carrier mobility (e.g., mobility of holes in the channel of well 124) between material 370 and material 380 and tip implants 354 and 364.

[0072] In another example, material 370 and material 380 may cause a tensile strain in a channel of apparatus 300 (e.g., if the direction of strains 374, 384, 392, and 394 were reversed). In this case a tensile strain in the channel of apparatus 300, where apparatus 300 is a n-MOS device may be a strain between facets 220 and 230 and tip implants 354 and 364 sufficient to increase carrier mobility (e.g., mobility of electrons in the channel of well 124) between material 370 and material 380.

[0073] For example, FIG. 4 shows a representative CMOS structure. FIG. 4 shows CMOS device 400 having p-MOS device, such as a p-MOS embodiment of apparatus 300 as described above with respect to FIGS. 3A and 3B, connected to n-MOS transistor device 478 in typical fashion. Substrate 120 includes P-type well 422 related to N-type well 124 for forming CMOS device 400, such that P-type well 422 is part of n-MOS transistor device 478 formed on a second area of substrate 120 and defining a different second interface surface 425 of substrate 120 adjacent to N-type well 124.

Specifically, for instance, n-MOS device 478 may be formed adjacent to p-MOS apparatus 300 by having n-MOS device 478 electrically isolated from p-MOS apparatus 300 by electrically insulating material 130 as described herein. Moreover, n-MOS device 478 may include a channel below gate dielectric 444 which is below gate electrode 490, and between N-type junctions 470 and 480. n-MOS device 478 is also shown with spacers 412 and 414. n-MOS device 478 may be an n-MOS embodiment of apparatus 300 as described above with respect to FIGS. 3A and B. Thus, CMOS device 400 has ground GND, input voltage Vin, output voltage Vout, and bias voltage VDD.

[0074] According to embodiments, the technology and processes described above with respect to FIGS. 1-4, may or may not be combined with a process for blanket or non-selective deposition of an epitaxial thickness of crystalline material into junction regions to form junctions and a conformal thickness of an amorphous material over a gate electrode, such as during formation of a transistor device. For example, the technology and processes described above with respect to FIGS. 1-4, may or may not be combined with the processes and devices described below with respect to FIGS. 5-12.

[0075] FIG. 5 is the schematic cross-sectional view of a portion of a substrate having a well, gate dielectric, gate electrode, and junction regions having tip regions. FIG. 5 shows apparatus 500 including substrate 505 having gate dielectric 544 formed on top surface 525 of substrate 505 over well 524. Gate electrode 590 is formed on gate dielectric 544 and has spacers 512 and 514 formed on its side surfaces. Etch mask 542 is formed on gate electrode 590. Electrically insulating material 510 is also shown to electrically isolate well 524 from surrounding regions 528. Junction regions 570 and 580 are shown adjacent to gate electrode 590. Apparatus 500, and components thereof described above may be further processed, such as in a semiconductor transistor fabrication process that involves one or more processing chambers, to become or be parts of a p-MOS or n-MOS transistor (e.g., by being parts of a CMOS device).

[0076] Features, of FIG. 5 may or may not "correspond" to features of FIG. 1 as described above (e.g., "correspond," such as by having corresponding or similar features, materials, doping, widths, lengths, depths, thicknesses, and functionality; being formed in corresponding or similar chambers or reactors, and/or being formed by corresponding or similar processes). For example, in FIG. 5, substrate 505 may correspond to substrate 120, etch mask 542 may correspond to etch mask 142, spacers 512 and 514 may correspond to spacers 112 and 114, width W51 may correspond to width W1, width W52 may correspond to width W2, and top surface 525 may correspond to top surface 125 of FIG. 1, as described above.

[0077] Moreover, in FIG. 5, well 524 may correspond to a P-type well of a n-MOS transistor as described above with respect to well 124 of FIG. 1. Specifically, to form well 524, top surface 525 may be doped with boron and/or aluminum to form a P-type well of a n-MOS transistor (e.g., a n-MOS device of a CMOS device). Thus, well 524 may be a material suitable for forming a "channel" of an n-MOS transistor device. For example, a transistor device channel maybe defined as a portion of the material of well 524 under top surface 525 and between junction regions 570 and 580, or junctions formed therein.

[0078] Also, in FIG. 5, material 510 may correspond to material 130, and surrounding regions 528 may correspond to surrounding regions 128, of FIG. 1. Specifically, material 510 may be shallow trench isolation (STI) formed between a P-type well of a

n-MOS device (e.g., where well 524 has a P-type well) and other regions of substrate 505 to electrically isolate the P-type well from the other regions (e.g., where one of other regions 528 is an N-type well of a p-MOS device in substrate 505).

[0079] Next, gate dielectric 544 of FIG. 5 may correspond to gate dielectric 144 of FIG. 1 as described above. For instance, gate dielectric 144 may have an appropriate N-type work function for apparatus 500, such as where apparatus 500 is an n-MOS device.

[0080] Furthermore, in FIG. 5, gate electrode 590 may correspond to gate electrode 190 of FIG. 1 as described above. Thus, gate electrode 590 may be doped with phosphorous, arsenic, and/or antimony to form an N-type electrode material having an electrically negative charge (e.g., for a n-MOS device, which may be part of a CMOS device). Gate electrode 590 may have a thickness appropriate for a p-MOS or n-MOS device, such as when apparatus 500 is an n-MOS device. Gate electrode 590 may have a work function for responding to a gate electrode of an n-MOS device (e.g., where apparatus 500 is an n-MOS device).

[0081] FIG. 5 shows junction region 570, such as a recess formed a surface of substrate 505 adjacent to gate electrode 590 and source-drain recess below a bottom surface of gate dielectric 544. Similarly, FIG. 5 shows junction region 580, such a recess formed in a surface of substrate 505 adjacent to gate electrode 590, and source-drain recess below a bottom surface of gate dielectric 544.`

[0082] Portions of well 524 and substrate 505 of FIG. 5 may be removed to form recesses such as junction regions 570 and 580 in substrate 505 adjacent to gate electrode 590. For example, junctions adjacent to gate electrode 590 may be formed by forming or depositing a junction material into junction regions 570 and 580. Such removal may include "source-drain recess" etching as described above with respect to forming junction regions 270 and 280 of FIG. 2, so that junction regions 570 and 680 extend under gate dielectric 544.

[0083] Junction region 570 defines substrate surface 522 (e.g., a base surface of junction region 570), facet 520, and tip region 576. Tip region 576 is between facet 520 and the bottom surface of gate dielectric 544. Similarly, junction region 580 defines substrate surface 532, facet 530, and tip region 586. Tip region 586 is between facet 530 and the bottom surface of gate dielectric 544.

[0084] According to embodiments, tip regions 576 and 586 may extend under spacer 512, spacer 514, and/or gate electrode 590. For example, tip regions 576 and 586 may extend along top surface 525 under the bottom surface of gate dielectric 544 from a width equal to width W52 to a width of less than width W52, such as a width of greater than zero. Thus, facets 520 and 530 may contact the bottom surface of gate dielectric 544 adjacent to top surface 525 of substrate 505 to form a channel under top surface 525 between facets 520 and 530 (e.g., a channel of a transistor formed in apparatus 500), where facets 520 and 530 may each extend under gate dielectric 544 by a distance of between zero and one-half of width W52. Thus, portions of substrate 505 may be removed to form facets 520 and 530 contacting and extending under the bottom surface of gate dielectric 544 to contact the bottom surface of gate dielectric 544 under spacer 512, spacer 514, and/or gate electrode 590.

[0085] Junction region 570 and/or 580 may be referred to as "source/drain regions" or

"diffusion regions." Also, when an appropriate material is formed, deposited, or grown in junction regions 570 and 580, the resulting material may be referred to as a "junction," a "source," a "drain," or a "diffusion region."

[0086] Suitable chambers for etching junction regions 570 and 580 include those mentioned above with respect to forming gate dielectric 144. Specifically, suitable chambers for etching junction regions 570 and/or 580 include a CVD chamber, an ALD chamber, a UHVCVD chamber, an RTCVD chamber, an RPCVD chamber, an MBE chamber, a "batch" UHV CVD chamber, a cold-wall UHV CVD chamber, an atmospheric pressure (AP) CVD chamber a low-pressure (LP) CVD chamber, an etch chamber, a high-purity high-flow hydrogen (H2) purge reactor, a chlorine (Cl2) etch chamber, a trisilane deposition reactor, a disilane deposition reactor, or a chamber reactor that combines the functionality of one or more of these chambers or reactors.

[0087] Consequently, in FIG. 5, junction regions 570 and 580 may or may not correspond to junction regions 270 and 280, surfaces 522 and 532 may or may not correspond to surfaces 222 and 232, facets 520 and 530 may or may not correspond to facets 220 and 230, and tip regions 576 and 586 may or may not correspond to tip regions 276 and 286 of FIG. 2, as described above. Specifically, in FIG. 5, junction regions 570 and 580 may or may not be formed by chlorine etching or other etching as described above with respect to junction regions 270 and 280. Likewise, deposition of material into junction regions 570 and 580 of FIG. 5 may or may not occur in the same chamber as the chamber in which junction regions 570 and 580 were formed or etched. Next, facets 520 and 530 of FIG. 5 may or may not form an angle with respect to surfaces 522 and 532 similar to angle A1 and angle A2 as described with respect to FIG. 2.

[0088] FIG. 6 is the schematic substrate of FIG. 5 after forming a thickness of a crystalline material in the junction regions and a thickness of amorphous material on the gate electrode. FIG. 6 shows apparatus 600 having conformal thickness 610 of amorphous material formed over etch mask 542, spacers 512 and 514, gate electrode 590, and gate dielectric 544. Herein, etch mask 542, spacers 512 and 514, gate electrode 590, and gate dielectric 544 may be referred to as a "gate structure" (e.g., the gate structure of apparatus 500). Conformal thickness 610 is shown having thickness T610 above etch mask 542, thickness T612 beside spacer 512 and thickness T613 besides spacer 514.

[0089] FIG. 6 also shows epitaxial thickness 620 of a crystalline material in junction region 570 and having thickness T620. Likewise, epitaxial thickness 630 is formed in junction region 580 and has thickness T630. According to embodiments, thickness 610 (e.g., such as an amorphous layer) and epitaxial thickness 620 and 630 may be formed "simultaneously," such as by deposition of those materials on apparatus 500 during the same period of time, by blanket deposition, and/or by non-selective deposition to form thickness 610, 620, and 630 of apparatus 600. Moreover, during simultaneous formation, the rate of forming conformal thickness 610 may be faster than the rate of forming epitaxial thicknesses 620 and 630

[0090] For example, conformal thickness 610 and epitaxial thicknesses 620 and 630 may be formed by non-selective or "blanket" chemical vapor deposition (CVD) of the crystalline and amorphous materials. It is contemplated that epitaxial thickness 620 and 630 may be a silicon alloy or a silicon element material having a lattice spacing different than the lattice spacing of substrate 505. In some embodiments, thicknesses

620 and 630 may be an epitaxial thickness of crystalline phosphorous and/or a silicon-carbon alloy material having a size, thickness, and lattice spacing to cause a tensile strain in substrate 505. It is also contemplated that thicknesses 620 and 630 may be doped with phosphorous, arsenic, and/or antimony during or after formation, such as to form a N-type material having an electrically negative charge. Thus, thickness 620 and thickness 630 may cause a tensile strain in a channel of apparatus 600, such as a region of substrate 505 below top surface 525 and between junction regions 578 and 580.

[0091] Conformal thickness 610 may be an amorphous material of the same silicon alloy or silicon element material used to form thickness 620 and 630. Specifically, instead of being a epitaxial thickness, conformal thickness 610 may be a conformal thickness of the same material that forms thickness 620 and 630. As such, conformal thickness 610 may be an amorphous layer with no definite arrangement of atoms in contrast to the very regular arrangement of atoms and crystalline material of thickness 620 and 630. Also, conformal thickness 610 may have a lattice spacing that is different than that of the material etch mask 542, spacers 512 and 514, gate electrode 590, and/or gate dielectric 544 (e.g., the gate structure of apparatus 500). Thus, conformal thickness 610 may cause a tensile strain in gate electrode 590 and/or other components of the gate structure of apparatus 500.

[0092] For example, thickness 610, 620, and 630 may be formed (e.g., in the case where apparatus 600 is or will become a n-MOS transistor or device) of a silicon-carbon alloy film blanket or non-selective deposited over the active area of a transistor (e.g., deposited over apparatus 500). The deposition may be a chemical vapor deposition (CVD) using trisilane, methylsilane, and hydrogen (e.g., a H2 carrier gas) had a deposition temperature of less than 550 [deg.] C. (e.g., at a temperature of 450, 500 or 550[deg.] C.). In such a setting, epitaxial thickness 620 and 630 are rendered epitaxial on the exposed silicon or surface of junction regions 570 and 580. Specifically, an epitaxial layer is formed on surface 522, facet 520, surface 532, and facet 530. Alternatively, in such a setting, an amorphous thickness is formed on the dielectric, oxide, or nitride of etch mask 542, spacers 512 and 514, gate electrode 590, and gate dielectric 544 (e.g., the gate structure of apparatus 500). The epitaxial crystalline material formed as thickness 620 and 630 may be in-situ doped with phosphorous or arsenic during or after deposition to form N-type electrically negatively charged material.

[0093] According to embodiments, thickness 610, 620, and 630 may be formed by introducing trisilane at between 25 milligrams per minute (mg/min) and 200 mg/min, and introducing monomethyl silane at between 15 standard cubic centimeters (SCCM) and 45 SCCM, and introducing PH3 (e.g., by introducing 1 percent PH3 in a hydrogen (H2) carrier gas) at between 400 SCCM and 800 SCCM. In another example, forming thicknesses 610, 620, and 630may include introducing between 50 and 100 mg/min of trisilane, 30 SCCM of monomethylsilane, and 600 SCCM of PH3.

[0094] In one embodiment, in a single wafer 300 mm RT CVD reactor, a chemistry of 20 SCCM of trisilane, 30 SCCM of mono-methyl silane, 20 SLM of H2, at 550[deg.] C., and 15 Torr pressure for 12 minutes produces a 500 nano-meter silicon-carbon alloy film with a fully substituted carbon concentration of 3E20 cm cubed as epitaxial thickness 620 and 630. Conformal thickness 610 of an amorphous material is formed in regions not in contact with the surfaces of junction regions 570 and 580 (e.g., regions not in contact with surface 522 and 532 or facet 520 and 530). Thus, conformal

thickness 610 may be formed on etch mask 542, spacers 512 and 514, gate electrode 590, and/or gate dielectric 544. One reason for the formation of the crystalline material on surfaces 522 and 532 and facets 520 and 530 is that, on these surfaces, the silicon continues to grow by epitaxially expanding the existing lattice. However, since there is no existing silicon lattice to support growth on surfaces of etch mask 542, spacers 512 and 514, gate electrode 590, and gate dielectric 544, material formed there is of an amorphous nature.

[0095] In some embodiments, epitaxial thickness 620 and 630 may be or include a silicon material having a substitutional-carbon concentration of between 0.13 percent and 2.0 percent. Also, in some embodiments, epitaxial thickness 620 and 630 may be or include a silicon material having a phosphorous concentration of between 5E13 atoms per centimeter cubed (atoms/cm) and 5E20 atoms/CM<3> . For example, epitaxial thickness 620 and 630 may be a silicon alloy or silicon elemental material having a substitutional-carbon concentration of between 0.13 percent and 2.0 percent, and having a phosphorous concentration of between 5E13 atoms per centimeter cubed (atoms/cm) and 5E20 atoms/CM<3> .

[0096] Often, when blanket or non-selective deposition over the active area of a transistor (e.g., deposition over apparatus 500) is continued thickness 610, 620, and 630 may be formed such that thickness 610 expands into the tip regions and/or onto the bottom surface of the gate electrode before thickness 620 and 630 expand to those locations. Specifically, if the deposition process described above with respect to FIG. 6 is continued, it is possible that thickness T612 and T613 will continue to grow and that amorphous material of thickness 610 will expand into tip regions 576 and 586 (see FIG. 5) and or onto bottom surface B1 or bottom surface B2 of gate dielectric 544 (see FIG. 7). Having amorphous material of thickness 610 in the tip regions and/or on the bottom surface of the gate electrode inhibits performance of the transistor. Moreover, after thickness 620 and 630 have been formed to a height above surface 525, etching away or removal of amorphous material of thickness 610 in the tip regions and/or on the bottom surface of the gate electrode leaves a device that does not function properly.

[0097] However, according to embodiments, epitaxial thickness 610, 620 and 630 may be etched back prior to further deposition of material to expand thickness 610, 620 and 630. For instance, FIG. 7 shows the substrate of FIG. 5 after removing a thickness of the crystalline material and a thickness of the amorphous material. FIG. 7 shows apparatus 700, such as an apparatus corresponding to apparatus 600 after a thickness of conformal thickness 610 and epitaxial thickness 620 and 630 are removed. For example, the amorphous material of conformal thickness 610 and the crystalline material of epitaxial thickness 620 and 630 may be removed simultaneously during a process, such as an etch process to form conformal thickness 710 and epitaxial thickness 720 and 730, as shown in FIG. 7. Conformal thickness 710 as thickness T710 above etch mask 542, thickness T712 adjacent to spacer 512, and thickness T713 adjacent to spacer 514. Also, epitaxial thickness 720 has thickness T720, and epitaxial thickness 730 has thickness T730. According to embodiments a rate of removing or etching epitaxial thickness 720 and 730 may be slower than a rate of removing or etching conformal thickness 710. For example, an etch chemistry may be selected that etches the crystalline material of thickness 720 and 730 slower than it etches the amorphous material of thickness 710. Thus, removal of thicknesses 710, 720 and 730 may continue until a remaining vertical thickness of thickness 710 is less than a remaining thickness of thickness 720 and 730. Specifically, thickness T710 may be less than thickness T720 or thickness T730. However, it is also contemplated that

thickness T710 may be equal to or greater than thickness T720 and/or thickness T730.

[0098] Moreover, according to embodiments, forming thickness 710 may include removing a thickness of thickness 610 sufficiently so that a subsequent forming or deposition of conformal material over thickness 710 does not extend onto or below bottom surface B1 or bottom surface B2 of gate dielectric 544. For example, thickness T712 and thickness T713 may be sufficiently thin so that subsequent deposition of conformal thickness or amorphous material onto thickness 710 does not extend below or onto bottom surfaces B1 and B2.

[0099] Thickness T720 and/or thickness T730 may be a thickness of crystalline material between 0.5 nano-meters (nm) and 2 nm, such as 0.8, 0.9, 0.95, 1.0, 1.05, 1.1, 1.15, 1.2, 1.3, or 1.4 nm. Specifically, the net affect of forming thickness 610, 620, and 630, and removing thicknesses thereof to form thickness 710, 720 and 730 may define a formation rate of approximately 1.05 angstroms per second (e.g., 10 nm per minute) for epitaxial thickness 720 and 730. A similar net effect may occur or the thickness 710 in the lateral direction, and may be a little higher in the vertical direction (e.g., in the direction of thickness T710).

[0100] Furthermore, in embodiments, removal of thicknesses of thickness 610, 620, and 630 may occur at a rate, for a duration, or with an etchant such that thickness T712 and T713 is less than thickness T720 or thickness T730.

[0101] For example, removal of thicknesses of thickness 610, 620, and 630 may include etching with hydrochloric acid, chlorine, or other appropriate etchants or gases. Specifically, such etching may include etching with a hydrochloric acid gas a flow rate of between 100 SCCM and 200 SCCM, such as at a flow rate of 140, 145, 150, 155, or 160 SCCM. It is also contemplated that a dry resist etch, chlorine etch, CF4, plasma, sputter, and/or other etch chemistry or gas capable of removing thicknesses of thickness 610, 620, and 630 may be used.

[0102] Moreover, according to embodiments, forming of thickness 610, 620, and 630, and removal of thicknesses thereof to form thickness 710, 720, and 730 may occur in the same chamber for reactor without breaking a seal, vacuum, pressure, ambiance, of the chamber or reactor, and/or without exposing the inside of the chamber or reactor to the outside atmosphere or air. Thus, removal of thickness of material to form thickness 710, 720, and 730 may be performed in-situ with forming of thickness 610, 620, and 630. Specifically, the simultaneous forming and removal of the thicknesses may occur at the same pressure, at the same temperature, in the same ambiance, in the same atmosphere, and/or during the same seal or vacuum of a chamber or reactor. For instance, some suitable chambers for forming of thickness 610, 620, and 630, and removal of thicknesses thereof to form thickness 710, 720, and 730 in the same chamber include a CVD chamber, an ALD chamber, a UHVCVD chamber, an RTCVD chamber, an RPCVD chamber, an MBE chamber, a "batch" UHV CVD chamber, a cold-wall UHV CVD chamber, an atmospheric pressure (AP) CVD chamber a low-pressure (LP) CVD chamber, an etch chamber, a high-purity high-flow hydrogen (H2) purge reactor, a chlorine (Cl2) etch chamber, a trisilane deposition reactor, a disilane deposition reactor, or a chamber reactor that combines the functionality of one or more of these chambers or reactors. Further, appropriate chambers include chambers for performing deposition of epitaxial thicknesses of silicon, silicon alloy, and/or silicon elemental materials; chambers for deposition of conformal thickness of amorphous material; chambers for deposition of crystalline material, chambers for forming blanket

or non-selective deposition; chambers for forming selective deposition, chambers for depositing doped material, chambers for depositing silicon germanium (SiGe) and/or chambers for depositing silicon-carbon alloy (Si1-xCx) material.

[0103] In some embodiments, forming thickness 610, 620, and 630 and removing thicknesses thereof may occur in the same CVD chamber, at a temperature of between 500 and 750[deg.] C. (e.g., at a temperature of 500, 550, 600, 650, 700, or 750[deg.] C.), and at a pressure of between 12 and 18 Torr (e.g., at a pressure of 12, 13, 14, 15, 16, 17, or 18 Torr). Also, forming thickness 610, 620, and 630 and removing thicknesses thereof may occur in the same CVD chamber at a pressure of between 1E-4 and 1000 Torr (e.g., at a pressures within a one decimal range of 1E-3, 1E-2, 0.1, 1.0, 10, 100, or 1000 Torr). In some cases, forming thickness 610, 620, and 630 and removing thicknesses thereof may occur in the same CVD chamber at a pressure of between 3E-3 Torr and 7E-3 Torr (e.g., 3E-3, 3.5E-3, 4E-3, 4.5E-3, 5E-3, 5.5E-3, 6E-3, 6.5E-3, or 7E-3). Moreover, there may be a hydrogen (H2) ambient flow of between ten standard liters per minute (SLM) and 30 SLM during the forming and removing.

[0104] In some embodiments, forming, depositing, or growing thickness 610, 620, and 630; and then removing, or etching a thickness of thickness 610, 620, and 630 as described above with respect to FIGS. 6 and 7 may describe one iteration or deposition/removal sequence of a multiple iteration process. Thus, the iteration or deposition/removal sequence of FIGS. 6 and 7 may be repeated.

[0105] For example, FIG. 8 shows the substrate of FIG. 7 after forming a subsequent thickness of a crystalline material in the junction regions and a subsequent thickness of the amorphous material on the gate electrode. FIG. 8 shows apparatus 800, such as apparatus 700 after reforming or redepositing additional conformal thickness of amorphous material on thickness 710 to form thickness 810, redepositing or depositing additional epitaxial thickness of crystalline material on thickness 720 to form thickness 820, and redepositing or depositing additional epitaxial thickness of crystalline material on thickness 730 to form epitaxial thickness 830. Thus, thickness T810 of conformal thickness 810 may be thicker than thickness T610 or T710. Similarly, thickness T812 may be thicker than thickness T712 or T612. Likewise, thickness T813 may be thicker than T713 or T613.

[0106] Similarly, thickness T820 of epitaxial thickness 820 may be thicker than thickness T720 or T620. Likewise, thickness T830 of epitaxial thickness 830 may be thicker than thickness T730 or T630.

[0107] It is contemplated that conformal thickness 810 may include material, be formed by a process, have a functionality, and cause strains as described above with respect to conformal thickness 610. Similarly, epitaxial thickness 820 and 830 may correspond to material, be formed by processes, cause strains, and have functionality as described above with respect to epitaxial thickness 620 and 630.

[0108] Subsequent to forming apparatus 800, thicknesses of thickness 810, 820, and 830 may be removed, such as by etching. For example, FIG. 9 shows the substrate of FIG. 8 after removing a thickness of the crystalline material and the amorphous material. FIG. 9 shows apparatus 900, such as apparatus 800 after removing thicknesses of thickness 810, 820, and 830 to form conformal thickness 910 of amorphous material, epitaxial thickness 920 of crystalline material, and epitaxial thickness 930 of crystalline material. Thus, materials, processes, functionality, and

strains of thickness 910, 920, and 930 may correspond to those described above with respect to thickness 710, 720, and 730. It can also be appreciated that the relationship between thickness 910, 920, and 930, as compared to thickness 810, 820, and 830 may correspond to the relationship between thickness 710, 720, and 730 as compared to thickness 610, 620, and 630. Specifically, processes for forming apparatus 800 from apparatus 700 and subsequently forming apparatus 900 from apparatus 800 may correspond to those described above for forming apparatus 600 from apparatus 500 and subsequently forming apparatus 700 from apparatus 600.

[0109] Moreover, according to embodiments, processes for forming apparatus 600, 700, 800, and 900 may occur in the same chamber, such as without breaking a seal or vacuum of a chamber, and/or under other settings or conditions as described above with respect to forming apparatus 700 from apparatus 600. Thus, formation of apparatus 600 and 700 may be defined as a first iteration, and forming apparatus 800 and 900 may be defined as a second iteration in a process for deposit/removal iterations. Such iterations may be continued until a desired or selected thickness of an epitaxial crystalline material is formed in the junction regions of the transistor device. Also, such iterations may be continued until a desired or selected thickness of a conformal amorphous material over the gate structure of a transistor device. In some cases, such iterations may be repeated between five and ten times, such as by being repeated five times, six times, seven times, eight times, nine times, or ten times.

[0110] It is also contemplated that such iterations may terminate with a deposition or a removal process (e.g., a process corresponding to forming apparatus 600 or apparatus 700). Likewise the deposition or removal portions of the iteration may occur over a period of between five seconds and five minutes, such as where each deposition and/or removal process occurs over a period of ten seconds, 20 seconds, 25 seconds, 30 seconds, 35 seconds, 40 seconds, 45 seconds, 50 seconds, 60 seconds, or 90 seconds.

[0111] In one example, forming of thickness 610, 620, and 630 may be performed in-situ with removal of thicknesses of material to form thickness 710, 720, and 730 in CVD chamber. First, thickness 610, 620, and 630 are formed or deposited by introducing trisilane at between 50 mg/min and 100 mg/min, introducing monomethyl silane at 30 SCCM, and introducing PH3 (e.g., one percent PH3 in a H2) at 600 SCCM for 30 seconds while of H2 is introduced into the chamber at a flow of 20 SLM, the chamber is kept at a temperature of between 600 and 650 degrees Celsius, and the chamber is at a pressure of 15 Torr.

[0112] Next, thickness 710, 720, and 730 are formed "immediately" after deposition of thickness 610, 620, and 630 (e.g., no other processing is performed between pumping out the deposition gases used to form thickness 610, 620, and 630 and etching thickness 610, 620, and 630 to from thickness 710, 720, and 730). For instance, thickness 710, 720, and 730 are formed by etching thickness 610, 620, and 630 by introducing HCl at 150 SCCM into the chamber for 30 seconds while of H2 is introduced into the chamber at a flow of 20 SLM, the chamber is kept at a temperature of between 600 and 650 degrees Celsius, and the chamber is at a pressure of 15 Torr.

[0113] The sequence of introducing trisilane, monomethyl silane, and PH3, pumping out, and then introducing HCl is repeated 7 times to form about 1.05 angstroms/sec in thickness (deposition minus etch) for crystalline material of thickness 720, and 730. The thickness of thickness 710 of amorphous material is about the same in the lateral

direction (e.g., thickness T712 and T714), but is a little more in the vertical direction (e.g., thickness T710). Moreover, it can be appreciated that the seal or vacuum of the chamber can be kept in tact during the 7 iterations. Similarly, the conditions where H2 is introduced into the chamber at a flow of 20 SLM, the chamber is kept at a temperature of between 600 and 650 degrees Celsius, and the chamber is at a pressure of 15 Torr may be maintained during the 7 iterations.

[0114] Thus, it is possible to repeat iterations of forming and removal of the conformal and epitaxial thicknesses until a top surface of the epitaxial thicknesses is superior to top surface 525, and/or until the epitaxial thicknesses cause a selected strain in substrate 505. For example, FIG. 10 shows the substrate of FIG. 9 after forming a thickness of crystalline material in the junction regions to form junctions, and after forming a thickness of amorphous material on the gate electrode. FIG. 10 shows apparatus 1000 having conformal thickness 1010 of amorphous material over the gate structure and epitaxial thickness 1020 and 1030 in junction regions 570 and 580. Thickness 1020 has top surface 1022 superior to top surface 525, and thickness 1030 has top surface 1032 superior to top surface 525. FIG. 10 also shows thickness 1020 having thickness T1020, and thickness 1030 having thickness T1030.

[0115] It can be appreciated that conformal thickness 1010 may be formed of a material by processes, have a functionality and cause strains as described above with respect to conformal thickness 610. Similarly, epitaxial thicknesses 1020 and 1030 may be formed of a material, by a process, have a functionality, and/or cause strains as described above with respect to epitaxial thickness 620 and 630. For example, thickness 1020 and 1030 may be a sufficient thickness or size of a crystalline material having a lattice spacing different than the lattice spacing of new material of substrate 505 to cause a strain in substrate 505, such as a strain in the channel of apparatus 1000 (e.g., where the channel may be defined as the portion of substrate 505 below top surface 525 and between thicknesses 1020 and 1030). Moreover, thickness 1020 and 1030 may be epitaxial thicknesses of crystalline phosphorous and/or silicon-carbon alloy material, sufficient to cause a tensile strain in substrate 505.

[0116] Specifically, as shown in FIG. 10, thickness 1020 may cause tensile strain 1074 away from a portion of substrate 505 under top surface 525, and thickness 1030 may cause tensile strain 1084 away from the same portion of substrate 505. Thus, strain 1074 may cause tensile strain 1092, and strain 1084 may cause tensile strain 1094 in a channel of substrate 505 between thickness 1020 and 1030 (e.g., a tensile strain in the channel of apparatus 1000, or apparatus 1000 is a n-MOS device). According to embodiments, tensile strains 1092 and 1094 may be sufficient strains to increase carrier mobility (e.g., mobility of electrons in the channel of well 524) between thickness 1020 and 1030. In other words, a channel in substrate 505 may be under a tensile strain caused by the lattice spacing of a phosphorous and/or silicon-carbon alloy material in thickness 1020 and 1030 being larger than the lattice spacing of the substrate material.

[0117] Also, as described above, with respect to conformal thickness 610, conformal thickness 1010 may cause a tensile strain in the gate structure of apparatus 1000, such as a tensile strain in gate electrode 590.

[0118] FIG. 10 also shows epitaxial thickness 1020 filling tip region 576, and epitaxial thickness 1030 filling tip region 586. For example, thickness 1020 may be in contact with and/or atomically bonded to bottom B1 and facet 520. Similarly, thickness 1030

may be attached to and/or atomically bonded bottom B2 and/or facet 530.

[0119] It is also considered that thickness 1020 and thickness 1030 may be doped during or after formation with phosphorous, arsenic, and/or antimony to form an N-type material having an electrically negative charge.

[0120] For example, once a sufficient or selected thickness of material is deposited or formed as thickness 1020 and 1030 (e.g., after a deposition or etch portion of an iteration) conformal thickness 1010 may be removed. Thus, conformal thickness 1010 of FIG. 10 may be removed from the gate structure of apparatus 1000, such as by selective wet etch. Moreover, a conformal amorphous thickness (e.g., thicknesses 610, 710, 810, 910 and 1010 described above, may be left on isolation material (e.g., material 510) as well. These conformal amorphous thicknesses may also be removed, such as by selective wet etch, thus resulting in a tensile strained N-channel transistor which has increased electron mobility and drive current.

[0121] For example, FIG. 11 shows the substrate of FIG. 10 after removing the amorphous materials. FIG. 11 shows apparatus 1100, such as apparatus 1000 after removing or etching conformal thickness 1010 from the gate structure of apparatus 1000. For example, conformal thickness 1010 may be selectively or non-selectively etched using an etch chemistry that leaves an appropriate thickness of epitaxial material in junction region 570 and 580, such as thickness 1120 and 1130. In some embodiments, etching conformal thickness 1010 from the gate structure includes etching a thickness of between five percent and 35 percent of the thickness of thickness 1020 and 1030. Thus, after etching conformal thickness 1010 from the gate structure thickness 1120 and 1130 may be 75, 80, 75, or 90 percent as thick as thickness 1020 and 1030 as described above for FIG. 10. Similarly, top surface 1122 and 1132 may correspond to top surface 1022 and 1032 as described above for FIG. 10. Furthermore, thickness T1120 and T1130 may correspond to thickness T1020 and thickness T1030 as described above for FIG. 10.

[0122] After removal of thickness 1010, the remaining transistor (e.g., apparatus 1100) may have strains 1174, 1184, 1192, and 1194 which may correspond to or be greater in magnitude than strains 1074, 1084, 1092, and 1094 of FIG. 10. It is also appreciated that strains 1174, 1184, 1192, and 1194 may correspond to or have directions similar to strains 1074, 1084, 1092, and 1094 of FIG. 10. Specifically, strains 1174, 1184, 1192, and 1194 may correspond to or be within thirty percent in magnitude and ten degrees direction of strains 1074, 1084, 1092, and 1094 of FIG. 10.

[0123] Thus, strains 1174, 1184, 1192, and 1194 may cause a sufficient tensile strain in the channel of apparatus 1100 to increase electron mobility and drive current. Moreover, strain 1192 and 1194 may be uniaxial tensile strain caused by increased phosphorous and substitutional-carbon concentration in epitaxial thickness 1120 and 1130. Also, increased phosphorous doping in epitaxial thickness 1120 and 1130 may be greater than the 2E20 cm cubed. Specifically, apparatus 1100 may be a n-MOS transistor with a sufficient increased phosphorous and substitutional-carbon concentration in epitaxial thickness 1120 and 1130 to increase carrier mobility and reduce Rexeternal. Overall, a transistor similar to apparatus 1100 may have improved saturation current and improved device speed due to the gain in carrier mobility and due to decreased sheet resistant in epitaxial thickness 1120 and 1130.

[0124] Thus, apparatus 1100 may be an n-MOS device of a CMOS device. For

example, FIG. 12 shows a representative CMOS structure. FIG. 12 shows CMOS device 1200 having n-MOS device 1202, such as an embodiment of apparatus 1100 as described above with respect to FIG. 11, connected to p-MOS device 1204 in typical fashion. Substrate 505 includes P-type well 524 related to N-type well 1224 for forming CMOS device 1200, such that N-type well 1224 is part of p-MOS transistor device 1204 formed on a second area of substrate 505 and defining a second different interface surface 1225 of substrate 505 adjacent to P-type well 524. Specifically, for instance, p-MOS device 1204 may be formed adjacent to n-MOS device 1202 by having p-MOS device 1204 electrically isolated from n-MOS device 1202 by electrically insulating material 510 as described herein. Moreover, p-MOS device 1204 may include a channel below gate dielectric 1244 which is below gate electrode 1290, and between P-type junctions 1220 and 1230. p-MOS device 1204 is also shown with spacers 1212 and 1214.

[0125] FIG. 12 also shows compressive strains 1274, 1284, 1292, and 1294 and p-MOS device 1204. For example, junctions 1220 and 1230 may cause compressive strains 1274 and 1284 towards a portion of substrate 505 under top surface 1225. Thus, strains 1274 and 1284 may cause compressive strains 1292 and 1294 in a channel of p-MOS device 1204. It can be appreciated that compressive strains 1292 and 1294 may be sufficient to increase carrier mobility (e.g., mobility of holes in the channel of well 1224) between junctions 1220 and 1230. Specifically, junctions 1220 and 1230 may be formed of a material having a lattice spacing larger than a lattice spacing of substrate 505 (e.g., by being formed of SiGe, which may or may not be doped with boron and/or aluminum to form a P-type electrically positive charged material). Finally, CMOS device 1200 has ground GND, input voltage Vin, output voltage Vout, and bias voltage VDD.

[0126] In the foregoing specification, specific embodiments are described. However, various modifications and changes may be made thereto without departing from the broader spirit and scope of embodiments as set forth in the claims. The specification and drawings are, accordingly, to be regarded in an illustrative rather than a restrictive sense.

Espacenet

Claims: JP2008533695 (A) — 2008-08-21

CMOS transistor junction regions formed by a CVD etching and deposition sequence

Claims not available for JP2008533695 (A)
Claims of corresponding document: US2006148151 (A1)

A high quality text as facsimile in your desired language may be available amongst the following family members:

CN102282657 (A) DE112006000151 (T5) GB2437461 (B) TW200634987 (A) US2006148151 (A1) WO2006104529 (A2) CN102709248 (A) CN105895531 (A) US2007105331 (A1) US2009039390 (A1)

- Original claims
- Claims tree

The EPO does not accept any responsibility for the accuracy of data and information originating from other authorities than the EPO; in particular, the EPO does not guarantee that they are complete, up-to-date or fit for specific purposes.

What is claimed is:

1. A method comprising:
removing a first portion of a substrate adjacent to a gate electrode to form a first junction region and a different second portion of the substrate adjacent to the gate electrode to form a second junction region in the substrate; and
forming an epitaxial thickness of a crystalline material in the first junction region and in the second junction region;
wherein removing and forming occur in the same chamber without breaking a seal of the chamber.

2. The method of claim 1, wherein removing comprises etching with at least one of a chlorine gas, a hydrochloric acid gas, a hydrogen gas, and a nitrogen gas.

3. The method of claim 1, wherein removing comprises etching with a pure chlorine gas to form a first sidewall of the substrate adjacent to the gate electrode and at an angle of between 128 degrees and 123 degrees with respect to a first base surface of the substrate in the first junction region, and to form a second sidewall of the substrate adjacent to the gate electrode and at an angle of between 128 degrees and 123 degrees with respect to a second base surface of the substrate in the second junction region.

4. The method of claim 3, wherein forming comprises selective deposition with at least one of a silane gas, a disilane gas, a dichlorosilane gas, a germane gas, and a methylsilane gas to chemically bond a thickness of a silicon alloy or silicon elemental material to the first and second sidewall surfaces and to the first and second base surfaces.

5. The method of claim 1, wherein removing and forming occur in one of a chemical vapor deposition (CVD) chamber, a batch ultra high vacuum (UHV) CVD chamber, a cold-wall UHV CVD chamber, a low-pressure (LP) CVD chamber, a rapid thermal (RT) CVD chamber, a reduced pressure (RP) CVD chamber, an atmospheric pressure (AP) CVD chamber, and during a period of time when the chamber has a temperature of between 500 and 800 degrees Celsius, and at a pressure of between 1E-4 Torr and 1000 Torr.

6. A method comprising:
removing a first portion of a substrate to form a first tip region in a first substrate surface adjacent to a gate electrode of the substrate; and
removing a different second portion of a substrate to form a second tip region in a second substrate surface adjacent to the gate electrode of the substrate;
wherein the first tip region defines a first facet having an angle of approximately 54.7 degrees with respect to a bottom surface of the gate electrode, and the second tip region defines a second facet having an angle of approximately 54.7 degrees with respect to the bottom surface.

7. The method of claim 6, wherein the first facet and second facet form planes {1,1,1} according to conventional Miller index nomenclature.

8. The method of claim 6, wherein removing comprises forming the first facet under and contacting a bottom surface of a gate dielectric formed between the gate electrode and a top surface of the substrate, and forming the second facet under and contacting the bottom surface of the gate dielectric.

9. The method of claim 6, wherein the first facet comprises a first tip fabricated from deposited material formed under a bottom surface of a gate dielectric formed between the gate electrode and a top surface of the substrate, and the second facet comprises a second tip fabricated from deposited material formed under the bottom surface.

10. The method of claim 6, wherein the substrate comprises a material of one of silicon, polycrystalline silicon, and single crystal silicon; and wherein forming comprises forming a thickness of one of boron doped silicon germanium having a lattice spacing greater than a lattice spacing of the substrate material and phosphorus doped silicon-carbon alloy having a lattice spacing less than the lattice spacing of the substrate material.

11. The method of claim 10, wherein forming comprises one of forming a sufficient thickness of boron doped silicon germanium to cause a compressive strain in a channel of the substrate between the first facet and the second facet, and forming a sufficient thickness of phosphorus doped silicon-carbon alloy to cause a tensile strain in a channel of the substrate between the first facet and the second facet.

12. A system comprising:
a semiconductor microprocessor electronically and physically coupled to a printed

circuit board, the microprocessor comprising a transistor, the transistor comprising:
a substrate;
a device on the substrate comprising:
a first junction region in a single crystal silicon substrate adjacent to a gate electrode;
a different second junction region in the substrate adjacent to the gate electrode; and
a gate dielectric layer over a top surface of the silicon substrate between the first junction region and the second junction region;
wherein a first facet of the first junction region adjacent the gate electrode defines an angle of between 52 degrees and 57 degrees with respect to a bottom surface of the gate dielectric, and a second facet of the second junction region adjacent the gate electrode defines an angle of between 52 degrees and 57 degrees with respect to the bottom surface.

13. The system of claim 12, wherein the first junction region and the second junction region define a depth below the top surface; and
further comprising a material disposed within the first junction region and the second junction region, the material having a surface superior to the top surface by a distance of between ten and fifty percent of the depth.

14. A method comprising:
simultaneously forming a first epitaxial thickness of a crystalline material in a first junction region in a substrate, a second epitaxial thickness of a crystalline material in a different second junction region in the substrate, the first and second junction regions adjacent a gate electrode, and a conformal thickness of an amorphous material over the gate electrode; then
simultaneously removing a thickness of the amorphous material and a thickness of the crystalline material.

15. The method of claim 14, wherein a rate of forming the conformal thickness of an amorphous material is faster than a rate of forming the first and second epitaxial thickness of crystalline material, and a rate of removing the thickness of crystalline material is slower than a rate of removing the thickness of an amorphous material.

16. The method of claim 14, wherein simultaneously removing comprises removing a thickness of the amorphous material until a remaining horizontal thickness of the amorphous material is thinner than a remaining vertical thickness of the crystalline material.

17. The method of claim 14, wherein simultaneously removing comprises removing a thickness of the amorphous material until a remaining vertical thickness of the amorphous material is thinner than a remaining vertical thickness of the crystalline material.

18. The method of claim 17, further comprising removing the remaining thickness of the amorphous material.

19. The method of claim 14, wherein a surface of the substrate defines a top surface of the substrate and further comprising repeating simultaneously forming and simultaneously removing until a surface of the first junction region and a surface of the second junction region are superior to the top surface.

20. The method of claim 14, further comprising repeating simultaneously forming and

simultaneously removing between five and 10 times to form a thickness of crystalline material of between 0.8 nano-meters and 1.4 nano-meters.

21. The method of claim 14, wherein simultaneously forming and simultaneously removing occur in one of a chemical vapor deposition (CVD) chamber, an ultra high vacuum (UHV) CVD chamber, a rapid thermal (RT) CVD chamber, a reduced pressure (RP) CVD chamber, and without breaking a seal of the chamber.

22. The method of claim 14, wherein simultaneously forming and simultaneously removing occur in the same chemical vapor deposition chamber, at a temperature of between 500 and 750 degrees Celsius and at a pressure of between 12 and 18 Torr.

23. The method of claim 14, wherein simultaneously removing comprises etching with a hydrochloric acid gas; and wherein simultaneously forming comprises non-selective chemical vapor deposition of the crystalline and amorphous materials by introducing trisilane, introducing monomethyl silane.

24. The method of claim 14, wherein simultaneously forming comprises depositing a sufficient epitaxial thickness of a crystalline material having a lattice spacing different than a lattice spacing of the substrate material to cause a strain in the substrate material.

25. The method of claim 14, wherein simultaneously forming comprises depositing a sufficient epitaxial thickness of a crystalline phosphorous doped silicon-carbon alloy material to cause a tensile strain in the substrate.

26. The method of claim 14, wherein the epitaxial thickness of a crystalline material comprises a silicon material having a substitutional-carbon concentration of between 0.13 percent and 2.0 percent, and a phosphorous concentration of between 5E13 atoms per centimeter cubed (atoms/cm<3>) and 5E20 atoms/cm<3> .

27. The method of claim 14, wherein simultaneously removing comprises removing the conformal thickness of an amorphous material from a first sidewall surface of the substrate proximate to the first junction region, and from a second sidewall surface of the substrate proximate to the second junction region, and wherein simultaneously forming comprises depositing a sufficient epitaxial thickness of a crystalline phosphorous silicon-carbon alloy material to fill a first tip region superadjacent to the first sidewall surface and a second tip region superadjacent to the second sidewall surface.

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2008-533695
(P2008-533695A)
(43)公表日　平成20年8月21日(2008.8.21)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/78	***(2006.01)***	H01L	29/78	301S	5F048
H01L 21/8238	***(2006.01)***	H01L	27/08	321E	5F140
H01L 27/092	***(2006.01)***	H01L	27/08	321C	

審査請求 有　予備審査請求 未請求　（全 30 頁）

(21)出願番号　特願2007-549723 (P2007-549723)
(86)(22)出願日　平成18年1月4日 (2006.1.4)
(85)翻訳文提出日　平成19年9月3日 (2007.9.3)
(86)国際出願番号　PCT/US2006/000372
(87)国際公開番号　WO2006/104529
(87)国際公開日　平成18年10月5日 (2006.10.5)
(31)優先権主張番号　11/029,740
(32)優先日　平成17年1月4日 (2005.1.4)
(33)優先権主張国　米国(US)

(71)出願人　591003943
インテル・コーポレーション
アメリカ合衆国　９５０５２　カリフォルニア州・サンタクララ・ミッション　カレッジ　ブーレバード・２２００
(74)代理人　100104156
弁理士　龍華　明裕
(72)発明者　ムールティ、アナンド
アメリカ合衆国、９７２２９　オレゴン州、ポートランド、エヌ．ダブリュー．　ルーサン　コート　１０９３４
(72)発明者　グラス、グレン
アメリカ合衆国、９７００８　オレゴン州、ビーバートン、エスダブリュー　マッドハター　エルエヌ．　６２２０
最終頁に続く

(54)【発明の名称】ＣＶＤエッチングおよび堆積シーケンスにより形成されるＣＭＯＳトランジスタ接合領域

(57)【要約】
この発明は、ソースードレインｃＭＯＳトランジスタの置換技術に関する。プロセスは、装置一式を利用して基板材料に窪みをエッチングして、その後、別のものに堆積することに関する。エッチングとその後の堆積とを、大気に曝すことなく、同じ反応器でなす方法が開示される。置換ソースードレインアプリケーション用のソースードレイン窪みのイン・サイチューエッチングは、現行のエックス・サイチューエッチングに対して幾らかの利点を提供する。トランジスタ駆動電流は、（１）ａｓエッチングされた表面が大気に曝されると、シリコンエピ層界面の汚染が削減されること、（２）エッチング窪みの形状に対する正確制御、により向上する。堆積は、選択的／非選択的方法を含む、様々な技術によりなされてもよい。ブランケット堆積の場合、性能重要領域のアモルファス堆積を避ける基準も提示される。
【選択図】図１

【特許請求の範囲】
【請求項1】
一の第１接合領域を形成すべく一のゲート電極の隣の一の基板の一の第１箇所と、前記基板に一の第２接合領域を形成すべく前記ゲート電極の隣の前記基板の一の異なる第２箇所とを除去する工程と、
前記第１接合領域と前記第２接合領域とに一の結晶質材料の一のエピタキシャル厚みを形成する工程とを含み、
前記除去する工程と前記形成する工程は同一のチャンバ内で前記チャンバの一の封止を破ることなく起こる、方法。
【請求項2】
前記除去する工程は、一の塩素ガス、一の塩酸ガス、一の水素ガス、および一の窒素ガスのうちの少なくともひとつでエッチングすることを含む、請求項１に記載の方法。
【請求項3】
前記除去する工程は、前記ゲート電極の隣の前記基板の一の第１側壁を前記第１接合領域内の前記基板の一の第１ベース表面に対して１２８度～１２３度の間の一の角度で形成すべく、および、前記ゲート電極の隣の前記基板の一の第２側壁を前記第２接合領域内の前記基板の一の第２ベース表面に対して１２８度～１２３度の間の一の角度で形成すべく、一の純粋塩素ガスで、エッチングすることを含む、請求項１に記載の方法。
【請求項4】
前記形成する工程は、前記第１側壁の表面および前記第２側壁の表面、および前記第１ベース表面および前記第２ベース表面に対して一のシリコン合金あるいはシリコン元素材料の一の厚みを化学結合すべく、一のシランガス、一のジシランガス、一のジクロロシランガス、一のゲルマンガス、および一のメチルシランガスのうちの少なくともひとつで選択的堆積を行うことを含む、請求項３に記載の方法。
【請求項5】
前記除去する工程および前記形成する工程は、一の化学気相成長法（ＣＶＤ）チャンバ、一のバッチ高真空（ＵＨＶ）ＣＶＤチャンバ、一のコールド・ウォールＵＨＶ　ＣＶＤチャンバ、一の低圧（ＬＰ）ＣＶＤチャンバ、一の高速熱的（ＲＴ）ＣＶＤチャンバ、一の減圧（ＲＰ）ＣＶＤチャンバ、一の大気圧（ＡＰ）ＣＶＤチャンバのうちのひとつの中で、前記チャンバが摂氏５００～８００度の間の一の温度を持つとき、および１Ｅ－４Ｔｏｒｒ～１０００Ｔｏｒｒの間の一の圧力である一の期間内に起こる、請求項１に記載の方法。
【請求項6】
一の基板の一のゲート電極の隣の一の第１基板表面の一の第１先端領域を形成すべく、前記基板の一の第１箇所を除去する工程と、
前記基板の前記ゲート電極の隣の一の第２基板表面の一の第２先端領域を形成すべく、一の基板の一の異なる第２箇所を除去する工程とを含み、
前記第１先端領域は、前記ゲート電極の一の底面に対して略５４．７度の一の角度を持つ一の第１切子面を規定し、前記第２先端領域は、前記底面に対して略５４．７度の一の角度を持つ一の第２切子面を規定する、方法。
【請求項7】
前記第１切子面および第２切子面は、通例のミラー指数命名法（Ｍｉｌｌｅｒ　ｉｎｄｅｘ　ｎｏｍｅｎｃｌａｔｕｒｅ）の面｛１，１，１｝を形成する、請求項６に記載の方法。
【請求項8】
前記除去する工程は、前記ゲート電極と前記基板の一の頂面との間に形成される一のゲート誘電体の一の底面の下にあり接触している前記第１切子面を形成することと、前記ゲート誘電体の前記底面の下にあり接触している前記第２切子面を形成することとを含む、請求項６に記載の方法。

【請求項9】
前記第１切子面は、前記ゲート電極と前記基板の一の頂面との間に形成される一のゲート誘電体の一の底面の下に形成される堆積材料から製造される一の第１先端を含み、前記第２切子面は、前記底面の下に形成される堆積材料から製造される一の第２先端を含む、請求項６に記載の方法。
【請求項10】
前記基板は、シリコン、多結晶シリコン、単結晶シリコンのうちひとつの一の材料を含み、
前記形成する工程は、基板材料の一の格子間隔よりも大きい一の格子間隔を持つホウ素でドープされたシリコンゲルマニウム、および、基板材料の前記格子間隔よりも小さい一の格子間隔を持つリンでドープされたシリコンカーボン合金のうちのひとつの一の厚みを形成することを含む、請求項６に記載の方法。
【請求項11】
前記形成する工程は、前記第１切子面と前記第２切子面との間の、前記基板の一のチャネルに一の圧縮性のひずみを生じさせるべく、ホウ素でドープされたシリコンゲルマニウムの一の十分な厚みを形成すること、および、前記第１切子面と前記第２切子面との間の、前記基板の一のチャネルに一の伸張性のひずみを生じさせるべく、リンでドープされたシリコンカーボン合金の一の十分な厚みを形成することのうちのひとつを含む、請求項１０に記載の方法。
【請求項12】
一のプリント回路基板に、電気的および物理的に連結された一の半導体マイクロプロセッサを含むシステムであって、前記マイクロプロセッサは一のトランジスタを含み、前記トランジスタは、
一の基板と、
前記基板上の一のデバイスとを含み、前記デバイスは、
一のゲート電極の隣の一の単結晶シリコン基板内の一の第１接合領域と、
前記ゲート電極の隣の前記基板中の一の異なる第２接合領域と、
前記第１接合領域と前記第２接合領域との間の前記シリコン基板の一の頂面の上の一のゲート誘電体層とを含み、
前記ゲート電極の隣の前記第１接合領域の一の第１切子面は、前記ゲート誘電体の一の底面に対して５２度～５７度の間の一の角度を規定し、前記ゲート電極の隣の前記第２接合領域の一の第２切子面は、前記底面に対して５２度～５７度の間の一の角度を規定する、システム。
【請求項13】
前記第１接合領域および前記第２接合領域は、前記頂面の下に一の深さを規定し、
前記システムは、前記第１接合領域および前記第２接合領域内に配置される一の材料をさらに含み、前記材料は前記深さの１０～５０パーセントの間の一の距離で、前記頂面より優位である一の表面を持つ、請求項１２に記載のシステム。
【請求項14】
一の基板内の一の第１接合領域内に一の結晶質材料の一の第１エピタキシャル厚みと、前記基板内の一の異なる第２接合領域内に一の結晶質材料の一の第２エピタキシャル厚みと、一のゲート電極の隣の前記第１接合領域および第２接合領域と、前記ゲート電極の上の一のアモルファス材料の一の等角的厚みとを同時に形成する工程と、
次に、前記アモルファス材料の一の厚みと、前記結晶質材料の一の厚みとを同時に除去する工程とを含む、方法。
【請求項15】
一のアモルファス材料の前記等角的厚みを形成する一の速度は、結晶質材料の前記第１エピタキシャル厚みおよび第２エピタキシャル厚みを形成する一の速度よりも速く、結晶質材料の前記厚みを除去する一の速度は一のアモルファス材料の前記厚みを除去する一の速度より遅い、請求項１４に記載の方法。

【請求項16】
前記同時に除去する工程は、前記アモルファス材料の一の残りの水平方向の厚みが前記結晶質材料の一の残りの垂直方向の厚みより薄くなるまで、前記アモルファス材料の一の厚みを除去することを含む、請求項１４に記載の方法。
【請求項17】
前記同時に除去する工程は、前記アモルファス材料の一の残りの垂直方向の厚みが前記結晶質材料の一の残りの垂直方向の厚みより薄くなるまで、前記アモルファス材料の一の厚みを除去することを含む、請求項１４に記載の方法。
【請求項18】
前記アモルファス材料の前記残りの厚みを除去する工程をさらに含む、請求項１７に記載の方法。
【請求項19】
前記基板の一の表面は、前記基板の一の頂面を規定し、前記方法は、前記第１接合領域の一の表面と前記第２接合領域の一の表面が前記頂面よりも優位になるまで、前記同時に形成する工程と前記同時に除去する工程とを繰り返す工程をさらに含む、請求項１４に記載の方法。
【請求項20】
０．８ナノメータ～１．４ナノメータの結晶質材料の一の厚みを形成すべく、前記同時に形成する工程と前記同時に除去する工程とを５～１０回繰り返す工程をさらに含む、請求項１４に記載の方法。
【請求項21】
前記同時に形成する工程と前記同時に除去する工程とは、一の化学気相成長法（ＣＶＤ）チャンバ、一の超高真空（ＵＨＶ）ＣＶＤチャンバ、一の高速熱的（ＲＴ）ＣＶＤチャンバ、一の低圧（ＲＰ）ＣＶＤチャンバのうちのひとつの中で、前記チャンバの封止を破ることなく起こる、請求項１４に記載の方法。
【請求項22】
前記同時に形成する工程と前記同時に除去する工程とは、同一の化学気相成長法チャンバ内で、摂氏５００～７５０度の間の一の温度で、且つ１２～１８Ｔｏｒｒの間の一の圧力で起こる、請求項１４に記載の方法。
【請求項23】
前記同時に除去する工程は一の塩酸ガスでエッチングをすることを含み、
前記同時に形成する工程は、トリシランの導入、モノメチルシランの導入による、前記結晶質およびアモルファス材料の非選択的化学気相成長法を含む、請求項１４に記載の方法。
【請求項24】
前記同時に形成する工程は、基板材料に一のひずみを生じさせる目的上十分な、基板材料の一の格子間隔とは異なる一の格子間隔を持つ一の結晶質材料の一のエピタキシャル厚みを堆積することを含む、請求項１４に記載の方法。
【請求項25】
前記同時に形成する工程は、基板材料に一の伸張性ひずみを生じさせる目的上十分な、一の結晶質でリンによりドープされたシリコンカーボン合金材料の一のエピタキシャル厚みを堆積することを含む、請求項１４に記載の方法。
【請求項26】
一の結晶質材料の前記エピタキシャル厚みは、０．１３パーセント～２．０パーセントの間の一の置換型炭素濃度と、１立方センチメータにつき５Ｅ１３アトム（ａｔｏｍｓ／ｃｍ^3）～５Ｅ２０ａｔｏｍｓ／ｃｍ^{3}の一のリン濃度とを持つ一のシリコン材料とを持つ、請求項１４に記載の方法。
【請求項27】
前記同時に除去する工程は、前記第１接合領域の近傍の前記基板の一の第１側壁表面と、前記第２接合領域の近傍の前記基板の一の第２側壁表面とから、一のアモルファス材料

の前記等角的厚みを除去することを含み、
　前記同時に形成する工程は、前記第１側壁表面の直近の一の第１先端領域と、前記第２側壁表面の直近の一の第２先端領域とを満たす目的上十分な、一の結晶質のリンを含むシリコンカーボン合金材料の一のエピタキシャル厚みを堆積することを含む、請求項１４に記
【発明の詳細な説明】
【技術分野】
【0001】
　回路デバイスおよび回路デバイスの製造および構造である。
【背景技術】
【0002】
　基板上の回路デバイス（半導体（例えばシリコン）基板上の集積回路（ＩＣ）トランジスタ、抵抗器、コンデンサ、など）における性能の改善は、典型的にこれらデバイスの設計、製造、および操作中に考慮される主要な要因である。例えば、相補型金属酸化膜半導体（ＣＭＯＳ）などにおけるように、金属酸化膜半導体（ＭＯＳ）トランジスタデバイスの設計、製造あるいは形成中には、Ｎ型ＭＯＳデバイス（ｎ－ＭＯＳ）チャネル中の電子の移動を増加させ、Ｐ型ＭＯＳデバイス（ｐ－ＭＯＳ）チャネルにおける正電荷を帯びた正孔の移動を増加させることがしばしば望ましい。デバイス性能評価における重要なパラメタは任意の設計電圧で供給される電流である。このパラメタは一般にトランジスタ駆動電流あるいは飽和電流（I_{dsat}）と称される。駆動電流は、トランジスタのチャネル移動度および外部抵抗を含む要因に影響される。
【0003】
　チャネル移動度は、トランジスタのチャネル領域内のキャリア（正孔および電子）の移動度のことを言う。キャリア移動度の増加は、任意の設計電圧およびゲート長における駆動電流の増加と直接換言できる。キャリア移動度はチャネル領域のシリコン格子にひずみ（ｓｔｒａｉｎ）をかけることで増加させることができる。ｐ－ＭＯＳデバイスにおいては、キャリア移動度（つまり、正孔移動度）は、トランジスタのチャネル領域において圧縮性のひずみを（ｃｏｍｐｒｅｓｓｉｖｅ　ｓｔｒａｉｎ）生成することで強化される。ｎ－ＭＯＳデバイスにおいては、キャリア移動度（つまり、電子移動度）は、トランジスタのチャネル領域において伸張性のひずみを（ｔｅｎｓｉｌｅ　ｓｔｒａｉｎ）を生成することで強化される。
【0004】
　駆動電流はさらに（１）オーム接点（金属から半導体へ、および半導体から金属へ）に関する抵抗、（２）ソース／ドレイン領域そのもの内の抵抗、（３）チャネル領域とソース／ドレイン領域との間の領域（先端領域）の抵抗、および（４）最初の基板エピ層界面の位置における不純物（炭素、窒素、酸素）汚染による界面抵抗、を含むその他の要因によっても影響を被る。これら抵抗の合計も、一般に外部抵抗と称される。
【0005】
　従前の先端（典型的にソース・ドレイン・エクステンションとも称される）領域製造は、ゲート・スペーサ誘電体層製造前に、ドーパント注入によりなされる。ドーパントの位置は基板の頂面付近に集中している。このドーパントの狭い帯は高い広がり抵抗に繋がり、電流の流れをチャネルからサリサイド接触に制限する。目下の技術水準の置換ソース・ドレインアーキテクチャでは、窪みの形状は良くなっているが、広がり抵抗に関しては依然、完全に最適化できていない。
【発明を実施するための最良の形態】
【0006】
　局所的にひずみをかけるトランジスタチャネル領域はＭＯＳトランジスタのチャネル領域にひずみを与える材料を用いて、ソースおよびドレイン領域に選択的エピタキシャル堆積を行うことで達成することができる。このようなプロセスの流れは、エッチング反応器を利用する一プロセス処理において、トランジスタのソース―ドレイン領域から基板材料をエッチングしてもよい。その後の処理において、除去された材料を堆積反応器内でＳｉ

合金材料に置き換えてもよい。エッチング反応器および堆積反応器は物理的に異なり別個であってもよい。従い、Ｓｉ合金堆積プロセス開始前に、基板はエッチング反応器から取り出され、大気圧環境に曝されねばならない。Ｓｉ合金は純粋なＳｉあるいは$Si_{1-x}Ge_x$あるいは$Si_{1-x}C_x$であってよく、非ドープであってもよいし、あるいはｐ型あるいはｎ型のドーパントでドープされていてもよい。堆積プロセスは選択的でも非選択的でもよい。ここで提供する実施形態によると、エッチング反応器および堆積反応器は物理的に同じであってもよい。

【0007】

例えば図１は、ウェル、ゲート誘電体、ゲート電極、および先端材料を持つ基板の部分の概略断面図である。図１は、ウェル１２４の上方の基板１２０の頂面１２５に形成されたゲート誘電体１４４を持つ基板１２０を含む装置１００を示す。ゲート電極１９０はゲート誘電体１４４上に形成されていて、側面にスペーサ１１２および１１４が形成されている。エッチングマスク１４２はゲート電極１９０上に形成される。さらに電気絶縁材料１３０が周囲領域１２８からウェル１２４を電気的に絶縁すると示されている。表面１７０および表面１８０がゲート電極１９０に隣接すると示されている。装置１００、および上述されたその部材は、一以上のプロセスチャンバを伴う半導体トランジスタ製造プロセスなどでさらに加工されて、ｐ－ＭＯＳあるいはｎ－ＭＯＳトランジスタのパーツとなってもよい（例えば、ＣＭＯＳデバイスのパーツなど）。

【0008】

例えば、基板１２０は、シリコン、多結晶シリコン、単結晶シリコンを含んでも、それから形成されても、それで堆積されても、それから成長させられてもよい。あるいはシリコンウェハなどのシリコンベースあるいは基板を形成する他の様々な適切な技術を利用してもよい。例えば、実施形態によると、基板１２０は、１００オングストローム～１０００オングストロームの純粋シリコンの厚みを持つ単結晶シリコン基板基材を成長させることで形成されてもよい。あるいは、基板１２０は、ＣＶＤなどにより２マイクロメータの厚みの厚みを形成すべく、様々な適切なシリコンあるいはシリコン合金材料の十分な化学気相成長法（ＣＶＤ）により形成されることで１～３マイクロメータの厚みの厚みを持つ材料層を形成してもよい。また、基板１２０は、緩和されたあるいは非緩和の、グレードされた、あるいは非グレードのシリコン合金材料であってもよいと考えられる。

【0009】

図１に示すように、基板１２０は、基板１２０形成中あるいは形成後にドーピング基板１２０により形成される電気的に正の電荷を持つＰ型材料上の電気的に負の電荷を持つＮ型ウェルなどの、ウェル１２４を含む。特に、ウェル１２４を形成するには、頂面１２５はｐ－ＭＯＳトランジスタ（ＣＭＯＳデバイスのｐ－ＭＯＳデバイスなど）のＮ型ウェルを形成するリン、ヒ素、および／またはアンチモンでドープされてもよい。ここで記載されるドーピングは、例えば、上述のドーパントのイオンあるいは原子を、材料（基板１２０あるいは基板１２０の中／上に形成される材料など）に注入するなどの、アングルド・ドーピング（ａｎｇｌｅｄ　ｄｏｐｉｎｇ）により遂行してもよい。例えば、ドーピングはイオン「銃」あるいはイオン「注入機」により、基板表面に超高速イオンを衝突させて、ドープされた材料を形成するイオン注入を含んでもよい。加速したイオンは材料の表面を貫通、あるいは下の材料に拡散して、ドープされた材料の深さを形成してもよい。例えば、マスクを非選択の一領域あるいは複数の領域上に配置して、ドーパントが前記非選択の一領域あるいは複数の領域へ侵入するのを妨げながら、一方でドーパントをウェル１２４へドープさせることなどにより、頂面１２５を選択的にドープしてもよい。

【0010】

この他にも、ウェル１２４を形成するには、頂面１２５をホウ素および／またはアルミニウムでドープして、ｎ－ＭＯＳトランジスタ（例えば、ＣＭＯＳデバイスのｎ－ＭＯＳデバイス）のＰ型ウェルを形成してもよい。

【0011】

従い、ウェル１２４はトランジスタデバイスの「チャネル」を形成するのに適した材料

であってもよい。例えば、トランジスタデバイスチャネルは頂面１２５の下方、および表面１７０および１８０の間にあるウェル１２４の材料の一箇所として規定されてよく、あるいは表面１７０および１８０の隣に形成される接合、それらの消費箇所、および／またはそれらを含む接合であってもよい。

【0012】

図１は、ウェル１２４と周囲領域１２８との間の電気絶縁材料１３０を示す。材料１３０は様々な適切な電気絶縁材料、および周囲領域１２８からウェル１２４を電気的に絶縁するのに十分な構造であってもよい。例えば、周囲領域１２８は隣のあるいは関連のトランジスタデバイスのウェル領域であってもよい。詳しくは、材料１３０は、ｐ－ＭＯＳデバイスのN型ウェル（例えば、ウェル１２４がN型ウェルを持つ箇所）と基板１２０の他の領域との間に形成され、N型ウェルをその他の領域から電気的に絶縁する、浅いトレンチ絶縁（ＳＴＩ）であってもよい。同様に、材料１３０はｎ－ＭＯＳデバイスのP型ウェル（例えば、ウェル１２４がP型ウェルである箇所）と基板１２０の他の領域との間に形成されるＳＴＩであってもよい。従い、材料１３０はウェル１２４を基板１２０の他の領域から絶縁して、頂面１２５上に形成されるトランジスタの機能を提供してもよい（例えば、ウェル１２４と対になっている関連デバイスの隣接ウェルからウェル１２４を絶縁してＣＭＯＳデバイスを形成する）。一例においては、ウェル１２４がN型ウェルである箇所において、領域１２８の一つは、頂面１２５に形成されるｐ－ＭＯＳデバイスと対になったｎ－ＭＯＳデバイスの関連P型ウェルであり、ＣＭＯＳデバイスを形成してもよい。あるいは、ウェル１２４がP型ウェルである箇所において、領域１２８の一つは、頂面１２５に形成されるｎ－ＭＯＳデバイスと対になったｐ－ＭＯＳデバイスの関連N型ウェルであり、ＣＭＯＳデバイスを形成してもよい。材料１３０は材料１３０上に位置する材料層にドーピングすることで形成されてよく、および／またはウェル１２４形成の前あるいは前に形成されてもよい。

【0013】

図１に示すように、ゲート誘電体１４４は幅Ｗ２を持つ。ゲート電極１９０はゲート誘電体１４４上に幅Ｗ１で形成されると示されている。ゲート誘電体１４４の厚みは頂面１２５のトポグラフィに沿うように幅Ｗ２沿いに全域に亘り大体一貫していてもよい。さらには、ゲート誘電体１４４は比較的高い誘電率（例えば、二酸化ケイ素（SiO_2）の誘電率以上の誘電率）を持つ材料により、あるいは比較的低い誘電率を持つ材料により形成されてもよい。ゲート誘電体１４４の厚みは１～５ナノメータの厚みであってもよい。ゲート誘電体１４４はＣＶＤ、原子層堆積（ＡＬＤ）、ブランケット堆積、選択的堆積、エピタキシャル堆積、超高真空（ＵＨＶ）ＣＶＤ、高速熱的（ＲＴ）ＣＶＤ、低圧（ＲＰ）ＣＶＤ、分子線エピタキシー（ＭＢＥ）などの堆積法、および／または、その他の適切な成長、堆積、あるいは形成プロセスにより形成されてもよい。ゲート誘電体１４４は装置１００に適切なP型仕事関数を持っていてもよい（例えば装置１００がｐ－ＭＯＳデバイスである場合）。あるいは、ゲート誘電体１４４は装置１００に適切なN型仕事関数を持っていてもよい（例えば装置１００がｎ－ＭＯＳデバイスである場合）。詳しくは、ゲート誘電体１４４は、二酸化ケイ素（SiO_2）、酸化ハフニウム（ＨｆＯ）、ケイ酸ハフニウム（$HfSiO_4$）、酸化ジルコニウム（ＺｒＯ）、炭素ドープ酸化物（ＣＤＯ）、立方晶窒化ホウ素（ＣＢＮ）、リンケイ酸ガラス（ｐｈｏｓｐｈｏｓｉｌｉｃａｔｅ　ｇｌａｓｓ）（ＰＳＧ）、窒化ケイ素（Si_3N_4）、フッ素系ケイ酸ガラス（ＦＳＧ）、炭化ケイ素（ＳｉＣ）などの誘電体により形成されてもよい。

【0014】

ゲート電極１９０は、ゲート誘電体１４４の形成について上述したプロセスなどにより、形成することができる。さらには、ゲート電極１９０はシリコン、多結晶シリコン、結晶シリコン、および／または様々な他の適切なゲート電極材料などの、様々な半導体あるいは伝導体材料で形成されてもよい。さらに、ゲート電極１９０は形成中あるいは形成後にドープされてもよい。例えばゲート電極１９０は、ホウ素および／またはアルミニウムでドープされることで電気的に正の電荷を持つｐ型ゲート電極を形成してもよい（例えば

、ＣＭＯＳデバイスの一部であってもよいｐ－ＭＯＳデバイスについて）。逆に、ゲート電極１９０は、リン、ヒ素、および／またはアンチモンでドープされて、電気的に負の電荷を持つｎ型ゲート電極を形成してもよいと思われる（例えば、ＣＭＯＳデバイスの一部であってもよいｎ－ＭＯＳｎ－ＭＯＳデバイスについて）。

【0015】

ゲート電極１９０はｐ－ＭＯＳあるいはｎ－ＭＯＳデバイスにつき適切な厚みを持ってもよい（装置１００がｐ－ＭＯＳあるいはｎ－ＭＯＳデバイスである場合など）。例えば、ゲート電極１９０は基板１２０上に形成されるトランジスタに、０．１～０．５ボルトの閾値「ＯＮ」電圧を持たせるような厚みを持っていてもよい。場合によっては、ゲート電極１９０は例えば、１５０～２０００オングストローム（１５～２００ナノメータ（ｎｍ））の厚みを持ってもよい。ゲート電極１９０は、ｐ－ＭＯＳデバイスのゲート電極に対応する仕事関数を持っていてもよい（例えば、装置１００がｐ－ＭＯＳデバイスの場合）。あるいは、ゲート電極１９０は、ｎ－ＭＯＳデバイスのゲート電極に対応する仕事関数を持っていてもよい（例えば、装置１００がｎ－ＭＯＳデバイスの場合）。

【0016】

図１はゲート電極１９０およびゲート誘電体１４４の表面に形成されたスペーサ１１２およびスペーサ１１４を示している。詳しくは、スペーサ１１２およびスペーサ１１４はゲート電極１９０の側壁表面、およびゲート誘電体１４４の頂面（基板１２０とは反対側の表面）に形成されてもよい。スペーサ１１２、１１４は、窒化ケイ素（Si_3N_4）、二酸化ケイ素（SiO_2）、および／または様々な他の適切な半導体デバイススペーサ材料で形成されてもよい。

【0017】

図１はさらに、ゲート電極１９０上に形成されるエッチングマスク１４２を示す。エッチングマスク１４２は窒化ケイ素（Si_3N_4）から形成される「ハード」マスクであってよく、上述のゲート誘電体１４４を形成する目的の他の材料であってもよい。例えば、エッチングマスク１４２はゲート電極１９０、ゲート誘電体１４４および／またはスペーサ１１２、１１４を形成するときに利用されてもよい。詳しくは、マスク１４２の形状に対応する箇所、あるいはマスク１４２の周辺領域は、マスク１４２をエッチングストップとして利用して、上からエッチングにより除去してもよい。

【0018】

例えば、スペーサ１１２、１１４は先ず、ゲート誘電体１４４について上述した誘電体材料と類似した誘電体材料を基板１２０の表面、ゲート電極１９０の側壁表面、頂面エッチングマスク１４２に沿って等角的に堆積することで形成されてもよい。そして、形成されたあるいは堆積された誘電体材料はパターニングおよびエッチングされて、スペーサ１１２、１１４を作成してもよい。

【0019】

実施形態によると、表面１７０および表面１８０などにおける、ウェル１２４および基板１２０の箇所が削除されることで、ゲート電極１９０の隣の基板１２０の接合領域が形成されてもよい。例えば、ゲート電極１９０の隣の接合は、基板１２０の表面１７０、１８０の数箇所を除去して基板１２０に接合領域あるいは窪みを形成して、その後接合材料を接合領域に形成あるいは堆積することで形成されてもよい。このような除去は、接合領域がゲート誘電体１４４の下に広がるように「ソース－ドレイン窪み」エッチングを含んでもよい。

【0020】

例えば、図２は、先端領域を持つ接合領域の形成後の図１の概略基板である。図２は、ゲート電極１９０の隣の基板１２０の表面１７０に形成される窪み、及びゲート誘電体１４４の底面の下のソース－ドレイン窪みのような、接合領域２７０を示す。同様に、図２は、ゲート電極１９０の隣の基板１２０の表面１８０に形成される窪み、及びゲート誘電体１４４の底面の下のソース－ドレイン窪みのような、接合領域２８０を示す。

【0021】

接合領域２７０は基板表面２２２（例えば、接合領域２７０のベース表面）、切子面２２０、および先端領域２７６を規定する。先端領域２７６は切子面２２０とゲート誘電体１４４の底面との間にある。例えば、先端領域２７６は、切子面２２０とゲート誘電体１４４の底面との間に角度Ａ１を持つ切子面２２０を規定すると言うことができる。同様に、接合領域２８０は基板表面２３２、切子面２３０、及び先端領域２８６を規定する。先端領域２８６は切子面２３０とゲート誘電体１４４との間に在る。先端領域２８６は、切子面２３０とゲート誘電体１４４の底面との間に角度Ａ２を持つ切子面２３０を規定すると言える。

【0022】

実施形態によると、好ましい角度Ａ１および／またはＡ２は５２度～５７度の角度であってもよい。例えば、角度Ａ１、Ａ２は双方とも、略５２度、５３度、５４度、５４．７度、５４．７４度、５４．７３９１３７度、５４．８度、５５度、５６度であってもよい。この角度範囲は、従来のミラー指数命名法（Ｍｉｌｌｅｒ　ｉｎｄｅｘ　ｎｏｍｅｎｃｌａｔｕｒｅ）を利用して示される、｛１１１｝面族の配置に略対応する。代替的実施形態では、角度Ａ１、Ａ２が０度～９０度の範囲にあるようになっており、ここにリストした好ましい範囲が除外されている。

【0023】

実施形態によると、先端領域２７６、２８６はスペーサ１１２、スペーサ１１４、および／またはゲート電極１９０の下に延びてもよい。例えば、先端領域２７６、２８６は、０より大きい幅などの、幅Ｗ２に等しい幅から、幅Ｗ２より小さい幅までの、ゲート誘電体１４４の底面下に頂面１２５沿いに延びてもよい。従い、切子面２２０、２３０は基板１２０の頂面１２５の隣のゲート誘電体１４４の底面に接触して、切子面２２０、２３０間の頂面１２５下のチャネルを形成してもよく（例えば、装置２００に形成されるトランジスタのチャネル）、ここで切子面２２０、２３０は各々、ゼロと幅Ｗ２の半分の間の距離でゲート誘電体１４４の下に延びていてもよい。従い、スペーサ１１２、スペーサ１１４、および／またはゲート電極１９０の下のゲート誘電体１４４の底面に接するよう、ゲート誘電体１４４の底面に接触し、その下に延びる切子面２２０、２３０を形成するように基板１２０の数箇所を除去してもよい。

【0024】

接合領域２７０および／または２８０は、上面１２５の下に８００オングストローム～１３００オングストロームの深さを持ってもよいと考えられる。さらには、接合領域２７０および／または２８０は、トランジスタデバイス（例えば、ＣＭＯＳデバイスのｐ－ＭＯＳあるいはｎ－ＭＯＳデバイス）の接合を形成すべく、これら領域に材料を堆積するのに適した幅あるいは寸法を持ってもよい。

【0025】

接合領域２７０および／または２８０は「ソース－ドレイン領域」あるいは「拡散領域」と称することができる。また、適切な材料が接合領域２７０、２８０に形成、堆積、あるいは成長されるとき、生じる材料は「接合」「ソース」「ドレイン」「拡散領域」として称することができる。

【0026】

実施形態によると、接合領域２７０、２８０は基板１２０の、表面１７０および１８０におけるような望ましくない箇所を除去することで形成することができる。例えば、第１操作中、フォトレジストを利用して除去すべきハードマスクの領域（例えば、図１の装置１００の上方のハードマスク層）を規定する、二つの操作をパターニングするプロセスが利用されてもよい。これらハードマスク領域はその後エッチングで取り除かれる。このエッチングの後で、フォトレジストが除去され、窪みエッチングを施して基板１２０の望ましくない箇所を除去することで接合領域２７０、２８０を形成する（残りのハードマスクで被覆されていない、望ましくない露出箇所をエッチングで除去する）。エッチングストップ、誘電体材料、フォトレジスト、あるいはマスキングおよびエッチング処理に適した他の材料（例えば、負のフォトレジストマスク、正のフォトレジストマスク、二酸化ケイ

素（SiO_2）、あるいは窒化ケイ素（Si_3N_4））を利用するフォトリソグラフィーパターニングも、図２に示すように、接合領域２７０、２８０を形成すべくソース―ドレイン窪みエッチングを施す間に保護したい領域を規定するのに利用されてもよい。

【0027】

表面１７０、１８０などの基板１２０の望ましくない箇所を除去することで接合領域２７０、２８０を形成するのに適した非プラズマエッチングケミストリーには、塩素（Cl_2）、塩酸（ＨＣＩ）、フッ素（F_2）、臭素（Br_2）、ＨＢｒおよび／または、基板１２０の箇所を除去することのできる他のエッチングプロセスが含まれる。SF_6、NF_3などのケミストリーを含むプラズマエッチングは、代替実施形態として可能性がある。今日入手できる典型的なエピタキシャル堆積装置の種類は（例えば、チャンバあるいは反応器）は、上述の非プラズマエッチングを、少ない修正で、あるいは修正なしに行うことができる。上述のプラズマエッチングができるようになる変更、および同じ反応器内でのＣＶＤ堆積もできるが、ハードウェアに対して多大な複雑性が加わる（例えば、チャンバあるいは反応器）。

【0028】

接合領域２７０、２８０をエッチングするのに適したチャンバには、ＣＶＤチャンバ、ＡＬＤチャンバ、ＵＨＶＣＶＤチャンバ、ＲＴＣＶＤチャンバ、ＲＰＣＶＤチャンバ、ＭＢＥチャンバ、「バッチ」ＵＨＶ　ＣＶＤチャンバ、コールド・ウォール（ｃｏｌｄ　ｗａｌｌ）ＵＨＶ　ＣＶＤチャンバ、大気圧（ＡＰ）ＣＶＤチャンバ、低圧（ＬＰ）ＣＶＤチャンバ、あるいは一以上のこれらチャンバあるいは反応器の機能を組み合わせたチャンバ反応器が含まれる。

【0029】

さらに、接合領域２７０、２８０を形成するエッチングは、「コールド・ウォール」あるいは「ホット・ウォール」内において、１Ｅ－４Ｔｏｒｒ～１，０００Ｔｏｒｒの圧力（例えば、１Ｅ－３、１Ｅ－２、０．１、１．０、１０、１００、１０００Ｔｏｒｒのうちの一つの十進範囲（ｄｅｃｉｍａｌ　ｒａｎｇｅ）の圧力で）でなされてもよい。また、接合領域２７０、２８０を形成するエッチングは、例えば摂氏５００～９００度の、典型的なエピタキシャルシリコン合金堆積温度で行われてもよい。「コールド・ウォール」反応器は、堆積あるいはエッチング中に室温である容器壁を持つ反応器として記すことができる。「コールド・ウォール」反応器の容器壁は、金属から製造されてもよい。または、「ホット・ウォール」反応器の容器壁が、堆積あるいはエッチング中に室温より高い温度である、石英あるいは他のセラミックから製造されてもよい。

【0030】

例えば、接合領域２７０、２８０は、塩素（Cl_2）、塩酸（ＨＣＩ）、水素（H_2）、および／または、窒素（N_2）を含む混合物を含むことのできるエッチャントガスで、基板１２０の箇所を除去あるいはエッチングすることで形成されてもよい。詳しくは、上述のガスのうちの一以上を含むエッチャントあるいはガスは、装置１００が収納されるチャンバ内に、一分につき５標準立方センチメータ（ＳＣＣＭ）～１０ＳＣＣＭの速度で、摂氏５００度～摂氏８００度（例えば、摂氏５００、５２５、５４０、５５０、５６０、５７５、６００、６２５、６５０、６７５、７００、７５０、８００度）の温度で、３０～９０分間（例えば、３０、３５、４０、４５、５０、５５、６０、６５、７５、８５、９０分間）流入されて、基板１２０の表面１７０、１８０の箇所をエッチングしてもよい。実施形態によると、接合領域２７０および／または２８０は、３Ｅ－３Ｔｏｒｒ～７Ｅ－３Ｔｏｒｒの間（例えば、３Ｅ－３、３．５Ｅ－３、４Ｅ－３、４．５Ｅ－３、５Ｅ－３、５．５Ｅ－３、６Ｅ－３、６．５Ｅ－３、７Ｅ－３）の圧力で形成されてもよい。場合によっては、塩素ガスを利用して、上述のチャンバ内で接合領域２７０、２８０を、摂氏６５０度の温度で３Ｅ－３Ｔｏｒｒ～７Ｅ－３Ｔｏｒｒの間の圧力で、および３００ミリメータ（ｍｍ）ＵＨＶ　ＣＶＤコールド・ウォール単一ウェハ反応器でエッチングすることもある。

【0031】

例えば図３Ａは、接合を形成すべく接合領域に材料の厚みを形成した後の図２の基板を示す。図３Ａは、接合領域２７０に材料３７０が形成され、接合領域２８０に材料３８０が形成された装置３００を示す。材料３７０および／または材料３８０は、接合、ソース、ドレイン、あるいは拡散領域として記載されてもよい。さらには、材料３７０は、基板１２０の頂面１２５よりも優位の接合頂面３７２を有すよう形成されてもよい。詳しくは、材料３７０は基板１２０の材料の格子間隔よりも大きな格子間隔を持つシリコンゲルマニウム材料の厚みを持ってもよい。同様に、材料３８０も、頂面１２５よりも優位の接合頂面３８２を持つよう形成されてもよい。例えば、材料３７０は、結晶質シリコンゲルマニウム合金、ゲルマニウム、あるいはシリコン材料（例えばSi_xGe_{1-x}などのＳｉＧｅ）のエピタキシャル厚みを持つ厚みＴ４であってよい（ここで寸法および／または厚みＴ４は、基板１２０に圧縮性のひずみを起こすのに十分である）。材料は純粋でも、ｐ型ドーパントにドープされていてもよい（ＢおよびＡｌなど）。または、材料３７０は結晶質シリコンカーボン合金材料（例えばSi_xC_{1-x}）のエピタキシャル厚みを持つ厚みＴ４であってよい（ここで寸法および／または厚みＴ４は、基板１２０に伸張性のひずみを起こすのに十分である）。材料は純粋でも、ｎ型ドーパントにドープされていてもよい（ＰおよびＡｓ、Ｓｂなど）。例えば、材料３７０は基板１２０の格子間隔よりも小さい格子間隔を持つシリコンカーボン合金（Si_xC_{1-x}）の厚みであってもよい。同様に、材料３８０は、寸法および／または厚みＴ５が基板１２０にひずみを起こすのに十分である、結晶質シリコンゲルマニウム合金（Si_xGe_{1-x}）のエピタキシャル厚みの厚みＴ５を持っていてもよい。

【0032】

例えば、図３Ａに示すように、材料３７０は頂面１２５下の基板１２０の箇所に対して圧縮性のひずみ３７４を生じさせることができ、材料３８０は基板１２０の同じ箇所に対して圧縮性のひずみ３８４を生じさせることができる。故に、ひずみ３７４は圧縮性のひずみ３９２を生じさせることができ、ひずみ３８４は圧縮性のひずみ３９４を材料３７０と材料３８０との間の基板１２０のチャネル内に生じさせることができる（例えば、接合領域２７０、２８０、および装置３００のチャネル内に形成されるｐ型接合材料の間の圧縮性のひずみ、ここで装置３００はｐ－ＭＯＳデバイス）。圧縮性のひずみ３９２、３９４は、材料３７０と材料３８０との間のキャリア移動性（例えば、ウェル１２４のチャネルの正孔の移動性）を増すのに足る、切子面２２０と２３０との間のひずみであってもよいことが理解されよう。つまり、基板１２０内のチャネルは、基板１２０の材料の格子間隔よりも大きい材料３７０および／または材料３８０の格子間隔が引き起こす圧縮性のひずみ下にあってもよい（例えば、ここで材料３７０および材料３８０はシリコンゲルマニウム合金材料である）。

【0033】

別の例においては、材料３７０および材料３８０は伸張性のひずみを装置３００のチャネルに生じさせてもよい（例えば、ひずみ３７４、３８４、３９２、３９４の方向を逆にする場合）。この場合、装置３００のチャネルの伸張性のひずみは、装置３００がｎ－ＭＯＳデバイスである場合、材料３７０と材料３８０との間のキャリア移動性（ウェル１２４のチャネル内の電子の移動性）を増すのに足る、切子面２２０と２３０との間のひずみであってもよい。対応して、基板１２０内のチャネルは、基板１２０の新たな材料の格子間隔より大きい、材料３７０および／または材料３８０の格子間隔が引き起こす伸張性のひずみ下にあってもよい（例えば、これら材料はシリコンカーボン合金である）。

【0034】

材料３７０および材料３８０は化学気相成長法あるいはゲート誘電体１４４を形成する上述の他のプロセスにより堆積されてもよい。例えば、材料３７０および材料３８０は、接合領域２７０、２８０形成目的のおよびゲート誘電体１４４形成目的の、上述のチャンバ内に形成されてもよい。材料３７０および３８０を形成、成長、あるいは堆積するのに適したチャンバは、シリコンベースの要素あるいは合金のフィルムの選択的堆積ができる装置を含む。例えば、材料３７０および材料３８０を形成するのに適したチャンバのなか

には、ＣＶＤチャンバ、ＡＬＤチャンバ、ＵＨＶＣＶＤチャンバ、ＲＴＣＶＤチャンバ、ＲＰＣＶＤチャンバ、ＭＢＥチャンバ、「バッチ」ＵＨＶ　ＣＶＤチャンバ、コールド・ウォールＵＨＶ　ＣＶＤチャンバ、大気圧（ＡＰ）ＣＶＤチャンバ、低圧（ＬＰ）ＣＶＤチャンバ、あるいは一以上のこれらチャンバあるいは反応器の機能を組み合わせたチャンバ反応器が含まれる。

【0035】

適した堆積技術には、シリコンウェハ上の水素化物あるいは塩素処理された水素化物の前駆ガスの熱分解が含まれる。堆積圧力は１Ｅ－４Ｔｏｒｒ～１０００Ｔｏｒｒであってもよい（例えば、１Ｅ－３、１Ｅ－２、０．１、１．０、１０、１００、あるいは１０００Ｔｏｒｒのうちの一つの十進範囲内の圧力）。堆積はコールド・ウォールあるいはホット・ウォール反応器内で起こってもよい。詳しくは、材料３７０、３８０はシラン、ジシラン、ジクロロシラン、および／またはメチルシランガスの選択的堆積により接合領域２７０および２８０の表面にシリコン合金あるいはシリコン元素材料の厚みを化学結合してそこに接合を形成することで形成されてもよい。代替的実施形態においては、これはトリシランをシリコン前駆体として、および下記と同じ合金およびドーパント前駆ガスを使用することで行われてもよい。

【0036】

あるプロセスには、堆積が３００ｍｍエピタキシャルＵＨＶ　ＣＶＤコールド・ウォール単一ウェハ反応器において行われるものがある。材料３７０、３８０を形成するのに適切な温度は、３００Ｅ－３Ｔｏｒｒ～７Ｅ－３Ｔｏｒｒ（例えば、３Ｅ－３、３．５Ｅ－３、４Ｅ－３、４．５Ｅ－３、５Ｅ－３、５．５Ｅ－３、６Ｅ－３、６．５Ｅ－３、７Ｅ－３）の圧力において、室温、摂氏５００～８００度の温度が含まれる。幾らかの例においては、材料３７０および３８０は、一分につき７標準立方センチメータ（ＳＣＣＭ）～２０ＳＣＣＭのジシランを導入、および１０ＳＣＣＭ～３００ＳＣＣＭのメチルシランを導入することで形成される。例えば、厚みＴ４および／またはＴ５は１０００オングストローム～１５００オングストロームの厚みであってもよい（１０５０、１１００、１１５０、１２００オングストロームの厚みなど）。

【0037】

材料３７０および３８０は形成中にドープされても、および／または形成後にドープされてもよい。幾らかの実施形態においては、材料３７０および／または３８０は、シリコン前駆体の流れがゲルマン、メチルシラン、アセチレン、ジボラン、塩化ホウ素、ホスフィン、アルシン、および／またはスチビンにより追従される堆積中に、合金化されてもドープされてもよい。例えば、形成中あるいは形成後には、材料３７０および３８０は、ホウ素および／またはアルミニウムなどによりドープされ電気的に正の電荷を持つＰ型接合材料を形成してもよい。一実施形態においては、材料３７０および材料３８０はホウ素および／またはアルミニウムによりドープされたエピタキシャル結晶質シリコンゲルマニウム合金材料として接合領域２７０および２８０に形成され、その後追加的なホウ素および／またはアルミニウムによりドープされてもよい。

【0038】

あるいは、形成中および／または形成後に、材料３７０および３８０は、電気的に負の電荷を持つＮ型接合材料を形成するリン、ヒ素、および／またはアンチモンなどでドープされてもよい。一実施形態においては、材料３７０および３８０は、接合領域２７０および２８０に形成されるシリコンカーボン合金エピタキシャル結晶質材料であってよく、その後追加的なリン、ヒ素、および／またはアンチモンでドープされてもよい。

【0039】

故に、材料３７０および３８０は、ｐ－ＭＯＳについては（$Si_X(Ge)_{1-X}$：（Ｂ，Ａｌ）、およびｎ－ＭＯＳについてはSi_XC_{1-X}：（Ｐ，Ａｓ，Ｓｂ）であってもよい。材料３７０および３８０形成に続いて、装置３００はアニーリングなどの熱処理にかけられてもよい。

【0040】

さらに、幾らかの実施形態によれば、接合領域２７０および２８０の形成、および、材料３７０および材料３８０の形成、堆積、あるいは成長は、同じチャンバ、同じ反応器で、同じ圧力、同じ温度下で、同じ設定で、および／または一チャンバあるいは反応器でそのチャンバあるいは反応器の封止あるいは真空状態を壊すことなく起こってもよい。プロセスは、最初にエッチングガスを流す一式のプロセスおよび、その後になされる堆積ガスを流す一式のプロセスを含む。故に、材料３７０および３８０の形成は、接合領域２７０および２８０の形成とともにイン・サイチューでなされてもよい。接合領域２７０および２８０を、材料３７０および３８０の堆積に利用されるのと同じチャンバ内で形成することにより、接合領域２７０および２８０、および材料３７０および３８０の表面の炭素、酸素、窒素を含む望ましくない不純物を除去することもできる。接合領域２７０および２８０の形成、および材料３７０および３８０の形成に適したチャンバには、上述の接合領域２７０および２８０の形成用チャンバが含まれる。

【0041】

例えば、接合領域２７０および２８０の形成、および材料３７０および３８０の形成を同一のチャンバでなすのに適したチャンバには、ＣＶＤチャンバ、ＡＬＤチャンバ、ＵＨＶＣＶＤチャンバ、ＲＴＣＶＤチャンバ、ＲＰＣＶＤチャンバ、ＭＢＥチャンバ、「バッチ」ＵＨＶ　ＣＶＤチャンバ、コールド・ウォールＵＨＶ　ＣＶＤチャンバ、大気圧（ＡＰ）ＣＶＤチャンバ、低圧（ＬＰ）ＣＶＤチャンバ、あるいは一以上のこれらチャンバあるいは反応器の機能を組み合わせたチャンバ反応器が含まれる。堆積方式は選択的でも非選択的でも構わない。さらに、接合領域２７０および２８０の形成および材料３７０および３８０の堆積は、同じ真空状態の同じチャンバ内でなすことができる（例えば、チャンバを開いたり、チャンバを開封したり、チャンバの内部をチャンバ外の空気に曝すことなしに）。例えば、接合領域２７０および２８０、および材料３７０および３８０は、１Ｅ－４Ｔｏｒｒ～１０００Ｔｏｒｒの圧力（１Ｅ－３、１Ｅ－２、０．１、１．０、１０、１００、あるいは１０００Ｔｏｒｒの一つの十進範囲内（ｄｅｃｉｍａｌ　ｒａｎｇｅ）の圧力）を持つチャンバ内で、チャンバを開いたり、チャンバを開封したり、チャンバの内部をチャンバ外の空気に曝すことなしに、形成されてもよい。

【0042】

一例においては、ソースドレイン材料の堆積（例えば、材料３７０および３８０の堆積）が直後に続く、イン・サイチューに窪んだソースドレインエッチング（例えば、接合領域２７０および２８０をなすこと）をなすプロセスは、ＵＨＶ　ＣＶＤチャンバ内でなされる（例えば、３００ｍｍエピタキシャルＵＨＶ　ＣＶＤコールド・ウォール単一ウェハ反応器）。このプロセスは、エッチングガス一式および堆積ガス一式を利用することで切子面２２０および２３０を持つ接合領域を形成して、その後、シリコンあるいはシリコン合金材料を選択的に堆積することでこれら切子面に接合を形成する。さらに、エッチングおよび／または堆積プロセス中に水素（H_2）および／または、窒素（N_2）をキャリアガスとして利用してもよい。材料３７０および３８０の堆積は、領域２７０および２８０のエッチングの直後に、装置２００の処理の次の操作において、チャンバの開封あるいは真空を破ることの前に、領域２７０および２８０の窪みの形成の３０分間に、および／またはチャンバの「ポンプアウト」の後に、領域２７０および２８０の形成に利用されるエッチャントあるいはガスを除去すべく行われることが留意される。

【0043】

一例においては、１０～３００分間（例えば３０、４０、５０、６０、７０、８０、９０、１００、１２０分間）、５～１０ＳＣＣＭの流量の純粋な塩素ガスを利用したエッチングプロセスを利用して、領域２７０および２８０を形成する。純粋な塩素ガスのポンプアウトに続き、領域２７０および２８０へ材料３７０および３８０を形成すべく、同じチャンバで、チャンバ内を外気に曝すことなく、堆積プロセスが起こる。

【0044】

堆積プロセスは、１０～２００秒間（例えば１０、１５、２０、２５、３０、３５、４０、４５、５０、６０、７０、８０、９０秒間）７～２０ＳＣＣＭの流量のジシランおよ

び１０～３０ＳＣＣＭの流量のメチルシランを含むことができ、ジシランおよびメチルシランはその後、５秒間ポンプアウトされ、このポンプアウト期間の後に純粋塩素ガスを５～１５ＳＣＣＭの流量で１０～２００秒間（例えば、１０、１５、２０、２５、３０、３５、４０、４５、５０、６０、７０、８０、９０秒間）導入する工程が続く。塩素ガスはその後５秒間ポンプアウトされる。ジシラン、メチルシラン、およびその後の塩素エッチングは、５０～１００回繰り返されて（例えば、７０回、７５回、８０回、８５回、あるいはその他の５０～１００回の間の回数繰り返され）材料３７０および３８０が形成される。

【0045】

一例においては、窪んだソースドレインエッチングは、３００ミリメータ（ｍｍ）ウェハＵＨＶ　ＣＶＤコールド・ウォール単一ウェハ反応器内でソースドレイン材料の堆積とともにイン・サイチュー
になされる。先ず、反応器を摂氏６５０度に保ったまま、チャンバに純粋塩素を一分につき５標準立方センチメータ（ＳＣＣＭ）～１０ＳＣＣＭの速度で一時間にわたり流して基板１２０の箇所を除去あるいはエッチングすることで、接合領域２７０および２８０を形成する。接合領域２７０および２８０は１０００オングストロームの深さまで形成される。

【0046】

次に、材料３７０および３８０が、反応器を摂氏６５０度に保ったまま、標準ＭＯＳ集積により、エッチングの「直後」に、領域２７０および２８０に形成される（他のいかなる処理も塩素エッチャントのポンプアウトと、材料３７０および３８０の堆積との間になされない、ということ）。例えば、７～２０ＳＣＣＭの流量の純粋ジシランと、１０～３０ＳＣＣＭの流量のH_2に１０パーセントのメチルシランとを３０秒間導入して、５秒間ポンプアウトすることで、材料３７０および３８０を形成あるいは堆積する。ポンプアウト期間の後に、５～１５ＳＣＣＭの流量の純粋塩素ガスを３０秒間導入して、５秒間ポンプアウトする。

【0047】

ジシランおよびメチルシランの導入、ポンプアウト、塩素の導入、ポンプアウト、というシーケンスは、７５回繰り返され、Ｓｉ－Ｃ合金からなり、一原子パーセントのＣおよび１１００オングストロームの厚みの材料３７０および３８０が形成される。さらに、反応器の封止あるいは真空は７５回の繰り返しの間損ななくてよいことが理解されよう。同様に、チャンバの圧力および摂氏６５０度の温度が７５回の繰り返しの間維持されてもよい。

【0048】

こうして、材料３７０および３８０は、Ｃの原子パーセントが炭素の０．１～２パーセントであり（例えば１パーセント）、厚みが１１００オングストロームのＳｉ―Ｃ合金のエピタキシャル層として形成されてもよい。あるいは、材料３７０および３８０は、Ｇｅの原子パーセントが１０～４０パーセント（例えば２０パーセント）であり、厚みが１１００オングストロームのＳｉＧｅ合金として形成されてもよい。

【0049】

上述のプロセスで、および／または同じチャンバで、チャンバの真空状態あるいは封止を壊すことなく、接合領域２７０および２８０、および材料３７０および３８０を形成することにより、極めて高品質のエピタキシャルフィルム接合領域材料３７０および３８０が接合領域２７０および２８０に、界面汚染あるいはひずみをもつチャネルなしに電子あるいは正孔の移動性を増すよう形成され、且つ、少なくとも次の四つの観点において駆動電流が増す。

１．切子面２２０および２３０は、高い純度のせいで、接合位置においてエピタキシャル材料のよく定義された高品質界面となりうる。例えば、領域２７０および２８０の形成（切子面２２０および２３０を含む）および材料３７０および３８０の形成が上述のように単一のチャンバ内でなされることで、当初の基板のエピ層界面位置において（切子面２２

０、２３０および材料３７０、３８０の間）不純物による汚染により（炭素、窒素、酸素の量が界面で減ることにより）界面抵抗が減ることがあり、これが、よりよい界面制御、より低い$R_{external}$およびより高い駆動電流に繋がることがある。同様に、このような形成により、材料３７０および３８０で界面不純物汚染が減り、材料３７０および３８０で、より高いドーパント汚染を起こすことがあり（例えば、ホウ素、アルミニウム、リン、ヒ素、および／またはアンチモン）、またソース／ドレイン領域自身内の抵抗が減ることがあり、故に、よりよい界面制御、より低い$R_{external}$およびより高い駆動電流に繋がることがある。

２．略５４度の角度の切子面２２０および２３０を持つソース－ドレイン窪みの形状は、最適な電流波及を提供する。例えば、上述のように形成された切子面２２０および２３０の角度、配置、および平面特徴は、切子面および先端を通じて電流をより均等に容易に（より大きな総体規模および量で）波及させるのに（例えば、電流が材料３７０および３８０およびチャネル領域の間を流れること）最適な先端形状および配置を提供することがあり、チャネル領域および材料３７０、３８０間の領域の抵抗を低くし、より低い$R_{external}$およびより高い駆動電流に繋がる。

３．また略５４度の角度の切子面２２０および２３０は、チャネル下で短絡、および短絡チャネル効果を引き起こしかねないドーパントのオーバーランに対して最大抵抗を提供する。窪みおよび先端領域３７６および４８６は、短絡チャネル効果あるいは短絡の惧れなく、チャネルのより近傍に配置することができる。

４．ミスフィット転位の形成によるひずみ緩和は、界面汚染が存在する場合に強化される。この発明は、緩和なしに堆積フィルムで、より高いひずみ利用ができる。例えば、領域２７０および２８０の形成（切子面２２０および２３０を含む）、および材料３７０および３８０の形成を上述のように単一のチャンバでなすことにより、材料３７０および３８０内でゲルマニウムあるいは炭素の濃度がより高くなり、チャネル内のひずみ量がより多くなり、トランジスタとして利用される間により高いキャリア移動性および駆動電流を生じる。

【0050】

さらに、接合領域２７０および２８０、および材料３７０および３８０を上述のプロセスで形成する際、接合／基板界面における生来の酸化物ビルドアップが減らされ（例えば、材料３７０、３８０および基板のウェル１２４の間の界面）、これら界面における炭素、酸素、および／または窒素汚染が減らされ、湿式洗浄（例えば、洗浄に必要な処理待ち時間制限）が不要となり、処理中に必要となるツール種類の数が減らされ、ネスト化した領域のローディング（ｌｏａｄｉｎｇ）が減らされ、（１，１，１）切子面を持つ、平面化、平坦化され、および適切な配置の先端プロフィールが（先端３７６、３８６について）生成され、チャネルにおける電子および／または正孔移動性が、接合領域内でｐ－ＭＯＳについては（Si_XGe_{1-X}）：Ｂ，Ａｌ、およびｎ－ＭＯＳについては（Si_XC_{1-X}）：Ｐ，Ａｓ，Ｓｂであることにより改善され、$R_{External}$が、許される範囲のドーパントの高い濃度により減らされる（例えば、ｐ－ＭＯＳについては（Si_XGe_{1-X}）：Ｂ，Ａｌ、およびｎ－ＭＯＳについては（Si_XC_{1-X}）：Ｐ，Ａｓ，Ｓｂを形成するべく、エピタキシャル堆積中および／またはエピタキシャル堆積後に、リンあるいはホウ素を接合にドープする）。

【0051】

また、上述の構想は、スペーサ下には広がるが、ゲート電極下には広がらない接合領域（ソースドレイン領域）を持つトランジスタを形成するべく適用することもできる。このような場合、先端の注入（例えば、ドープされた基板材料）をゲート電極下の接合領域の隣に形成することができる。例えば図３Ｂは、接合を形成すべく先端注入を持つ接合領域に材料の厚みを形成した後の図２の基板を示す。図３Ｂはスペーサ１１２および１１４の下に広がるがゲート電極１９０の下には広がらない接合領域２７０および２８０（例えば、ソースドレイン領域）を示す。さらに示されているのは、先端注入３５４および３６４（例えばドープされた基板材料）がゲート電極下の接合領域の隣に形成されてもよいこと

である。先端注入３５４および３６４は、例えば基板１２０の形成中あるいはその後に、基板１２０をドープすることなどの、この業界では標準的なプロセスで形成されてもよい。詳しくは、ウェル１２４を形成するには、頂面１２５はホウ素および／またはアルミニウムでドープされることでｐ－ＭＯＳトランジスタのｐ型先端注入を形成してもよい。基板１２０の表面をドープすることで先端注入のｐ型材料を形成した後、ｐ型材料の箇所を除去あるいはエッチングして、図2に関して上述したような接合領域２７０および２８０を形成する。従い、図３Ｂに示すように、切子面３２０および３３０は、ゲート誘電体の底面下に形成される堆積材料から製造される先端を持つと示されてもよい（例えば、先端注入）。

【0052】

図３Ａ同様に、図３Ｂは、材料３７０が頂面１２５下の基板１２０の箇所に対して圧縮性のひずみ３７４を生じさせてもよく、材料３８０が基板１２０の同じ箇所に対して圧縮性のひずみ３８４を生じさせてもよいことを示している。故に、ひずみ３７４は圧縮性のひずみ３９２を生じさせてもよく、ひずみ３８４は基板１２０のチャネル中、先端注入３５４および３６４間に、圧縮性のひずみ３９４を生じさせてもよい。圧縮性のひずみ３９２および３９４は、材料３７０、材料３８０、および先端注入３５４、３６４の間のキャリア移動性（例えば、ウェル１２４のチャネルの正孔移動性）を増すのに足る、切子面２２０、２３０、および先端注入３５４、３６４の間のひずみであってもよいことが理解されよう。

【0053】

別の例においては、材料３７０および材料３８０は装置３００のチャネル中に伸張性のひずみを生じさせてもよい（例えば、ひずみ３７４、３８４、３９２、３９４の方向を逆にする場合）。この場合、装置３００がｎ－ＭＯＳデバイスである場合、装置３００のチャネル内の伸張性のひずみは、材料３７０および材料３８０間のキャリア移動性（例えば、ウェル１２４のチャネル内の電子移動性）を増すのに足る切子面２２０、２３０、先端注入３５４、３６４間のひずみであってもよい。

【0054】

例えば、図4は代表的なＣＭＯＳ構造を示す。図4は、図３Ａおよび３Ｂについて上述したような装置３００のｐ－ＭＯＳ実施形態のような、ｎ－ＭＯＳトランジスタデバイス４７８に典型的方法で接続されるｐ－ＭＯＳデバイスを持つＣＭＯＳデバイス４００を示す。基板１２０は、ＣＭＯＳデバイス４００を形成すべくＮ型ウェル１２４に関するＰ型ウェル４２２を含み、Ｐ型ウェル４２２は、基板１２０の第２領域上に形成されるｎ－ＭＯＳトランジスタデバイス４７８の一部であり、Ｎ型ウェル１２４の隣の基板１２０の異なる第２内面４２５を定義している。詳しくは、例えば、ここで記載されるように材料１３０を電気絶縁することで、ｎ－ＭＯＳデバイス４７８をｐ－ＭＯＳ装置３００から電気的に絶縁することで、ｎ－ＭＯＳデバイス４７８がｐ－ＭＯＳ装置３００の隣に形成されてもよい。さらに、ｎ－ＭＯＳデバイス４７８はゲート電極４９０の下であるゲート誘電体４４４の下、およびＮ型接合４７０および４８０の間にあるチャネルを含むこともできる。ｎ－ＭＯＳデバイス４７８はさらにスペーサ４１２および４１４を持つとして示されている。ｎ－ＭＯＳデバイス４７８は、図３ＡおよびＢとの関連で上述した装置３００のｎ－ＭＯＳ実施形態であってもよい。故に、ＣＭＯＳデバイス４００はグランドＧＮＤ、入力電圧V_{in}、出力電圧V_{out}、およびバイアス電圧V_{DD}を持つ。

【0055】

幾らかの実施形態によると、図１－４の関連で上述した技術およびプロセスは、接合領域への結晶質材料のエピタキシャル厚みのブランケットあるいは非選択的堆積をなして、例えばトランジスタデバイスの形成中などに、ゲート電極上に接合およびアモルファス材料の等角的厚み（ｃｏｎｆｏｒｍａｌ　ｔｈｉｃｋｎｅｓｓ）を形成する。例えば、図１－４の関連で上述した技術およびプロセスは、図５－１２の関連で以下に記載するプロセスおよびデバイスと組み合わせても組み合わせなくてもよい。

【0056】

図５はウェル、ゲート誘電体、ゲート電極、および先端領域を持つ接合領域を持つ基板の部分の概略断面図である。図５は、ウェル５２４の上方の基板５０５の上面５２５に形成されたゲート誘電体５４４を持つ基板５０５を含む装置５００を示す。ゲート電極５９０はゲート誘電体５４４上に形成されていて、側面にスペーサ５１２および５１４が形成されている。エッチングマスク５４２はゲート電極５９０上に形成される。さらに電気絶縁材料５１０が、周囲領域５２８からウェル５２４を電気絶縁すると示されている。接合領域５７０および５８０がゲート電極５９０に隣接すると示されている。装置５００、および上述されたその部材は、一以上のプロセスチャンバを伴う半導体トランジスタ製造プロセスなどでさらに加工されることでｐ－ＭＯＳあるいはｎ－ＭＯＳトランジスタのパーツとなってもよい（例えば、ＣＭＯＳデバイスのパーツなど）。

【0057】

図５の特徴は、上述の図１の特徴と「対応」していてもいなくてもよい（「対応」とは、対応するあるいは類似する特徴、材料、ドーピング、幅、長さ、深さ、厚み、および機能がある、対応するあるいは類似するチャンバあるいは反応器に形成されている、および／または対応するあるいは類似するプロセスにより形成される、ということである）。例えば、図５においては、基板５０５は基板１２０に対応していてよく、エッチングマスク５４２はエッチングマスク１４２に対応していてよく、スペーサ５１２、５１４はスペーサ１１２、１１４に対応していてよく、幅Ｗ５１は幅Ｗ１に対応していてよく、幅Ｗ５２は幅Ｗ２に対応していてよく、頂面５２５は頂面１２５に対応していてもよい（上述の図１参照）。

【0058】

さらに図５においては、ウェル５２４は、図１のウェル１２４に関して上述したようなｎ－ＭＯＳトランジスタのＰ型ウェルに対応していてもよい。詳しくは、ウェル５２４を形成すべく、頂面５２５はホウ素および／またはアルミニウムにドーピングされることでｎ－ＭＯＳトランジスタのＰ型ウェルを形成してもよい（ＣＭＯＳデバイスのｎ－ＭＯＳデバイス）。故に、ウェル５２４は、ｎ－ＭＯＳトランジスタデバイスの「チャネル」を形成するのに適した材料であってもよい。例えば、トランジスタデバイスチャネルは、頂面５２５の下、および接合領域５７０と５８０との間にあるウェル５２４の材料の箇所、あるいはそこに形成される接合として規定されてもよい。

【0059】

また図５においては、材料５１０は材料１３０に対応していてよく、周囲領域５２８は周囲領域１２８に対応していてもよい（図１参照）。詳しくは、材料５１０は、ｎ－ＭＯＳデバイスのＰ型ウェル（ウェル５２４がＰ型ウェルを持つところの）と基板５０５の他の領域の間に形成される浅い溝の分離（ｓｈａｌｌｏｗ　ｔｒｅｎｃｈ　ｉｓｏｌａｔｉｏｎ）（ＳＴＩ）であってよく、Ｐ型ウェルを他の領域から電気絶縁していてもよい（ここで、他の領域５２８の一つは、基板５０５のｐ－ＭＯＳデバイスのＮ型ウェルである）。

【0060】

次に、図５のゲート誘電体５４４は上述した図１のゲート誘電体１４４に対応していてもよい。例えば、ゲート誘電体１４４は装置５００に対して適切なＮ型仕事関数を持っていてもよい（例えば装置５００がｎ－ＭＯＳデバイスである場合）。

【0061】

さらに、図５においては、ゲート電極５９０は上述の図１のゲート電極１９０に対応していてもよい。故に、ゲート電極５９０はリン、ヒ素、および／またはアンチモンでドープされることで電気的に負の電荷を持つＮ型電極材料を形成してもよい（例えば、ｎ－ＭＯＳデバイスについて、これはＣＭＯＳデバイスの一部であってもよい）。ゲート電極５９０は、例えば装置５００がｎ－ＭＯＳデバイスである場合など、ｐ－ＭＯＳあるいはｎ－ＭＯＳデバイスに適した厚みを持っていてもよい。ゲート電極５９０はｎ－ＭＯＳデバイスのゲート電極に対応する仕事関数を持っていてもよい（例えば装置５００がｎ－ＭＯＳデバイスである場合）。

【0062】
図５は、ゲート電極５９０の隣の基板５０５の表面に形成される窪みおよびゲート誘電体５４４の底面下のソース―ドレイン窪みのような、接合領域５７０を示す。同様に、図５は、ゲート電極５９０の隣の基板５０５の表面に形成される窪みおよびゲート誘電体５４４の底面下のソース―ドレイン窪みのような、接合領域５８０を示す。
【0063】
図５の、ウェル５２４および基板５０５の箇所は、ゲート電極５９０の隣の基板５０５の接合領域５７０および５８０のような窪みを形成すべく除去されてもよい。例えば、ゲート電極５９０の隣の接合は、接合材料を接合領域５７０および５８０に形成あるいは堆積することで形成されてもよい。このような除去は、接合領域５７０および６８０がゲート誘電体５４４下に広がるように、図２の接合領域２７０および２８０の形成に関して上述した「ソース―ドレイン窪み」エッチングを含むことができる。
【0064】
接合領域５７０は、基板表面５２２（例えば、接合領域５７０のベース表面）、切子面５２０、および先端領域５７６を規定する。先端領域５７６は切子面５２０とゲート誘電体５４４の底面との間にある。同様に、接合領域５８０は、基板表面５３２、切子面５３０、および先端領域５８６を規定する。先端領域５８６は切子面５３０とゲート誘電体５４４の底面との間にある。
【0065】
実施形態によると、先端領域５７６、５８６はスペーサ５１２、スペーサ５１４、および／またはゲート電極５９０の下に延びることもできる。例えば、先端領域５７６および５８６は、０より大きい幅などの、幅Ｗ５２と等しい幅から、幅Ｗ５２より小さい幅までの、ゲート誘電体５４４の底面下に頂面５２５沿いに延びてもよい。故に、切子面５２０、５３０は、基板５０５の頂面５２５の隣のゲート誘電体５４４の底面に接触して、切子面５２０、５３０間の頂面５２５下のチャネルを形成していてよく（例えば、装置５００に形成されるトランジスタのチャネル）、ここで切子面５２０、５３０は各々、ゼロと幅Ｗ２の半分の間の距離でゲート誘電体５４４の下に延びていてよい。従いスペーサ５１２、スペーサ５１４、および／またはゲート電極５９０の下のゲート誘電体５４４の底面に接するよう、ゲート誘電体５４４の底面に接触し、その下に延びる切子面５２０、５３０を形成するように基板５０５の箇所を除去してもよい。
【0066】
接合領域５７０および／または５８０は、「ソース／ドレイン領域」あるいは「拡散領域」と称することができる。また、適切な材料が接合領域５７０、５８０に形成、堆積、あるいは成長されるとき、生じる材料は「接合」「ソース」「ドレイン」「拡散領域」と称することができる。
【0067】
接合領域５７０、５８０をエッチングするのに適したチャンバは、ゲート誘電体１４４の形成に関して上述したものを含む。詳しくは、接合領域５７０および／または５８０をエッチングするのに適したチャンバには、ＣＶＤチャンバ、ＡＬＤチャンバ、ＵＨＶＣＶＤチャンバ、ＲＴＣＶＤチャンバ、ＲＰＣＶＤチャンバ、ＭＢＥチャンバ、「バッチ」ＵＨＶ　ＣＶＤチャンバ、コールド・ウォールＵＨＶ　ＣＶＤチャンバ、大気圧（ＡＰ）ＣＶＤチャンバ、低圧（ＬＰ）ＣＶＤチャンバ、エッチングチャンバ、高純度高流量水素（H_2）パージ反応器、塩素（$C1_2$）エッチングチャンバ、トリシラン堆積反応器、ジシラン堆積反応器、あるいは一以上のこれらチャンバあるいは反応器の機能を組み合わせたチャンバ反応器が含まれる。
【0068】
その結果、図５において、接合領域５７０、５８０は接合領域２７０、２８０に対応していてもいなくてもよく、表面５２２、５３２は表面２２２、２３２に対応していてもいなくてもよく、切子面５２０、５３０は切子面２２０、２３０に対応していてもいなくてもよく、先端領域５７６、５８６は先端領域２７６、２８６に対応していてもいなくても

よい（上述の図２参照）。詳しくは、図５においては、接合領域５７０、５８０は塩素エッチングあるいは接合領域２７０、２８０に関して上述した他のエッチングにより形成されてもされなくてもよい。同様に、図５の接合領域５７０、５８０への材料の堆積は、接合領域５７０、５８０が形成あるいはエッチングされたチャンバと同じチャンバで起こっても起こらなくてもよい。次に、図５の切子面５２０、５３０は、図２に関して述べた角度Ａ１、角度Ａ２に類似した角度を表面５２２、５３２に対して形成してもしなくてもよい。

【0069】

図６は、接合領域に結晶質材料の厚み、ゲート電極上にアモルファス材料の厚みを形成した後の図５の概略基板である。図６は、エッチングマスク５４２、スペーサ５１２、５１４、ゲート電極５９０、およびゲート誘電体５４４の上に形成されたアモルファス材料の等角的厚み（ｃｏｎｆｏｒｍａｌ　ｔｈｉｃｋｎｅｓｓ）６１０を持つ装置６００を示す。ここで、エッチングマスク５４２、スペーサ５１２、５１４、ゲート電極５９０、およびゲート誘電体５４４は「ゲート構造」と称されてもよい（例えば、装置５００のゲート構造）。等角的厚み６１０は、エッチングマスク５４２の上にＴ６１０の厚み、スペーサ５１２の横にＴ６１２の厚み、スペーサ５１４の横にＴ６１３の厚みを持つと示されている。

【0070】

図６はまた、接合領域５７０に結晶質材料のエピタキシャル厚み６２０を示しており、これは厚みＴ６２０を持つ。同様に、エピタキシャル厚み６３０が接合領域５８０に形成されており、厚みＴ６３０を持つ。実施形態によると、厚み６１０（例えば、アモルファス層）およびエピタキシャル厚み６２０、６３０は、同じ期間に、装置６００の厚み６１０、６２０、６３０を形成するべく、ブランケット堆積、および／または非選択的堆積により、これら材料を装置５００に堆積させることなどにより、「同時に」形成されてもよい。さらに、同時形成中に、等角的厚み６１０の形成速度は、エピタキシャル厚み６２０、６３０の形成速度よりも速くてもよい。

【0071】

例えば、等角的厚み６１０およびエピタキシャル厚み６２０、６３０は、結晶質およびアモルファス材料の、非選択的あるいは「ブランケット」化学気相成長法（ＣＶＤ）により形成されてもよい。エピタキシャル厚み６２０、６３０は、基板５０５の格子間隔と異なる格子間隔を持つシリコン合金あるいはシリコン元素材料であってもよいと考えられる。幾らかの実施形態においては、厚み６２０、６３０は、基板５０５に伸張性のひずみを生じさせる、寸法、厚み、および格子間隔を持つ結晶質リンおよび／またはシリコンカーボン合金材料のエピタキシャル厚みであってよい。厚み６２０、６３０は形成中あるいは形成後に、電気的に負の電荷を持つＮ型材料を形成する目的などから、リン、ヒ素、および／またはアンチモンなどでドープされてもよい。故に、厚み６２０および厚み６３０は、伸張性のひずみを装置６００のチャネル（頂面５２５下であり、接合領域５７８、５８０の間である、基板５０５の領域など）に生じさせてもよい。

【0072】

等角的厚み６１０は、厚み６２０、６３０の形成に使用されるのと同じシリコン合金あるいはシリコン元素材料であるアモルファス材料であってもよい。詳しくは、エピタキシャル厚みである代わりに、等角的厚み６１０は厚み６２０、６３０を形成するのと同じ材料の等角的厚みであってもよい。このような次第で、等角的厚み６１０は、厚み６２０、６３０の原子および結晶質材料の非常に規則的な配列と比較して、原子の並びが明確でないアモルファス層であることができる。さらに、等角的厚み６１０は、材料エッチングマスク５４２、スペーサ５１２、５１４、ゲート電極５９０、および／またはゲート誘電体５４４（装置５００のゲート構造）のものと異なる格子間隔を持つことができる。故に、等角的厚み６１０は、ゲート電極５９０および／または装置５００のゲート構造のその他の構成品に対して伸張性のひずみを生じさせることができる。

【0073】

例えば、厚み６１０、６２０、６３０は、シリコンカーボン合金フィルムブランケットで形成されても、あるいはトランジスタ（装置５００上に堆積される）の能動領域上に非選択的に堆積されてもよい（装置６００がｎ－ＭＯＳトランジスタあるいはデバイスである、あるいはそうなる場合）。堆積は、トリシラン、メチルシラン、および水素（H_2 キャリアガス）を使用する化学気相成長法（ＣＶＤ）で、堆積温度は摂氏５５０度未満であってよい（例えば、摂氏４５０、５００、５５０度）。このような設定において、エピタキシャル厚み６２０、６３０は、露出シリコンあるいは接合領域５７０、５８０の表面においてエピタキシャルになる。詳しくは、エピタキシャル層は表面５２２、切子面５２０、表面５３２、および切子面５３０に形成される。または、このような設定において、アモルファス厚みは、エッチングマスク５４２、スペーサ５１２、５１４、ゲート電極５９０、およびゲート誘電体５４４の誘電体、酸化物、あるいは窒化物上に形成される（例えば、装置５００のゲート構造）。厚み６２０、６３０として形成されるエピタキシャル結晶質材料は、Ｎ型の電気的に負の電荷の材料を形成するべく、堆積中あるいは堆積後にイン・サイチューにリンあるいはヒ素でドープされてもよい。

【0074】

実施形態によると、厚み６１０、６２０、６３０はトリシランを毎分２５ミリグラム（ｍｇ／ｍｉｎ）～２００ｍｇ／ｍｉｎ導入して、モノメチルシランを１５標準立方センチメータ（ＳＣＣＭ）～４５ＳＣＣＭ導入して、PH_3（例えば、水素（H_2）キャリアガスに１パーセントPH_3を導入することで）を４００ＳＣＣＭ～８００ＳＣＣＭ導入することで形成されてもよい。別の例においては、厚み６１０、６２０、６３０を形成することには、５０～１００ｍｇ／ｍｉｎのトリシラン、３０ＳＣＣＭのモノメチルシラン、および６００ＳＣＣＭのPH_3を導入することが含まれてもよい。

【0075】

一実施形態においては、単一水３００ｍｍＲＴ　ＣＶＤ反応器において、２０ＳＣＣＭのトリシラン、３０ＳＣＣＭのモノメチルシラン、２０ＳＬＭのH_2の、摂氏５５０度で１５Ｔｏｒｒ圧力で１２分間のケミストリーにより、５００ナノメータのシリコンカーボン合金フィルムが、エピタキシャル厚み６２０および６３０として３Ｅ２０立方ｃｍの完全置換型炭素濃度で生成される。アモルファス材料の等角的厚み６１０が、接合領域５７０、５８０の表面に接触しない領域で形成される（例えば、表面５２２、５３２あるいは切子面５２０、５３０と接触しない領域）。故に、等角的厚み６１０はエッチングマスク５４２、スペーサ５１２、５１４、ゲート電極５９０、および／またはゲート誘電体５４４上に形成することができる。表面５２２、５３２、および切子面５２０、５３０の結晶質材料の形成の一つの理由は、これら表面では、既存の格子をエピタキシャル拡張させることによりシリコンが成長し続けることにある。しかし、エッチングマスク５４２、スペーサ５１２、５１４、ゲート電極５９０、およびゲート誘電体５４４の表面上では成長を支えるシリコン格子が存在しないので、そこに形成される材料はアモルファスな性質を持つ。

【0076】

幾らかの実施形態においては、エピタキシャル厚み６２０、６３０は、０．１３～２．０パーセントの置換型炭素濃度を持つシリコン材料であってよい、またはそれを含んでよい。さらに、幾らかの実施形態においては、エピタキシャル厚み６２０、６３０は、１立方センチメータあたり5Ｅ１３アトム（アトム／ｃｍ）～5Ｅ２０アトム／cm^3のリン濃度を持つシリコン材料であってよい、またはそれを含んでよい。例えば、エピタキシャル厚み６２０、６３０は、０．１３パーセント～２．０パーセントの置換型炭素濃度を持ち、１立方センチメータあたり5Ｅ１３アトム（アトム／ｃｍ）～5Ｅ２０アトム／cm^3のリン濃度を持つ、シリコン合金あるいはシリコン元素材料であってもよい。

【0077】

しばしば、トランジスタの能動領域上のブランケットあるいは非選択的堆積（例えば、装置５００上の堆積）が続くと、厚み６１０、６２０、および６３０は、厚み６２０、６３０がこれら位置に延びる前に、厚み６１０が先端領域内および／またはゲート電極の底

面上に延びるように、形成されてもよい。詳しくは、もし図６に関して上述した堆積プロセスが続くと、厚みＴ６１２、Ｔ６１３が成長し続けて、厚み６１０のアモルファス材料が先端領域５７６、５８６内（図５参照）および／またはゲート誘電体５４４の底面Ｂ１あるいは底面Ｂ２上（図７参照）に延びることもあろう。厚み６１０のアモルファス材料を先端領域および／またはゲート電極の底面上に持つことで、トランジスタの性能が阻害される。さらには、厚み６２０、６３０が表面５２５より上の高さまで形成されてしまうと、厚み６１０のアモルファス材料を先端領域内および／またはゲート電極の底面上からエッチングにより取り除くことあるいは除去することにより、デバイスが適切に機能しないことになる。

【0078】

しかし、実施形態によると、エピタキシャル厚み６１０、６２０、６３０は、厚み６１０、６２０、６３０を延ばすべく材料を堆積する前にエッチングされてもよい。例えば、図７は結晶質材料の厚みとアモルファス材料の厚みとを除去した後の図５の基板を示す。図７は、等角的厚み６１０およびエピタキシャル厚み６２０、６３０の厚みが除去された後の装置６００に対応する装置のような、装置７００を示す。例えば、等角的厚み６１０のアモルファス材料およびエピタキシャル厚み６２０、６３０の結晶質材料は、図７に示すように等角的厚み７１０およびエピタキシャル厚み７２０、７３０を形成するエッチングプロセスのように、プロセス中で同時に除去されてもよい。等角的厚み７１０はエッチングマスク５４２上の厚みＴ７１０、スペーサ５１２の隣の厚みＴ７１２、スペーサ５１４の隣の厚みＴ７１３である。また、エピタキシャル厚み７２０は厚みＴ７２０を持ち、エピタキシャル厚み７３０は厚みＴ７３０を持つ。実施形態によると、エピタキシャル厚み７２０、７３０の除去あるいはエッチング速度は、等角的厚み７１０の除去あるいはエッチング速度よりも遅くてもよい。例えば、エッチングケミストリーは、厚み７２０、７３０の結晶質材料が、厚み７１０のアモルファス材料のエッチングよりも遅くエッチングされるように選択されてもよい。故に、厚み７１０、７２０、７３０の除去は、厚み７１０の残りの垂直厚みが厚み７２０、７３０の残りの厚みよりも小さくなるまで続けられてもよい。詳しくは、厚みＴ７１０は、厚みＴ７２０あるいは厚みＴ７３０よりも小さくてもよい。しかし、厚みＴ７１０は、厚みＴ７２０および／または厚みＴ７３０以上であってもよいと思われる。

【0079】

さらに、実施形態によると、厚み７１０の形成は、厚み７１０上への等角的材料の次の形成あるいは堆積がゲート誘電体５４４の底面Ｂ１あるいは底面Ｂ２の上あるいは下に延びないように、十分に厚み６１０の厚みを除去することを含んでよい。例えば、厚みＴ７１２および厚みＴ７１３は、厚み７１０への等角的厚みあるいはアモルファス材料の厚みの次の堆積が、底面Ｂ１およびＢ２の下あるいは上に伸びないように、十分薄くてもよい。

【0080】

厚みＴ７２０および／または厚みＴ７３０は、０．５ナノメータ（ｎｍ）～２ｎｍの結晶質材料の厚みであってもよい（０．８、０．９、０．９５、１．０、１．０５、１．１、１．１５、１．２、１．３、１．４ｎｍなど）。詳しくは、厚み６１０、６２０、６３０を形成して、その厚みを除去して厚み７１０、７２０、７３０を形成することの正味の影響は、エピタキシャル厚み７２０、７３０について毎秒略１．０５オングストローム（例えば、毎分１０ｎｍ）の形成速度を規定することであってもよい。類似する正味の影響あるいは厚み７１０が横方向で起こることもあり、垂直方向よりも少し高いこともある（例えば厚みＴ７１０の方向）。

【0081】

さらには、実施形態においては、厚み６１０、６２０、６３０の厚みの除去は、厚みＴ７１２、Ｔ７１３が厚みＴ７２０あるいは厚みＴ７３０よりも小さいように、ある速度、期間、あるいはエッチャントで起こる場合もある。

【0082】

例えば、厚み６１０、６２０、６３０の厚みの除去は、塩酸、塩素、あるいは他の適切なエッチャントあるいはガスによるエッチングを含むことがある。詳しくは、このようなエッチングは、塩酸ガスで、１００ＳＣＣＭ～２００ＳＣＣＭの流量（１４０、１４５、１５０、１５５、１６０ＳＣＣＭの流量など）のエッチングを含むことがある。また、ドライレジストエッチング、塩素エッチング、CF_4、プラズマ、スパッタリング、および／または、厚み６１０、６２０、６３０の厚みを除去できる他のエッチングケミストリーあるいはガスを利用することができると考えられる。

【0083】

さらに、実施形態によると、厚み７１０、７２０、７３０を形成すべく、厚み６１０、６２０、６３０の形成、およびその厚みの除去を行うことは同じチャンバあるいは反応器で、そのチャンバあるいは反応器の封止、真空、圧力、雰囲気を壊さずに、および／またはそのチャンバあるいは反応器の内部を外雰囲気あるいは外気に曝すことなく起こってもよい。故に、厚み７１０、７２０、７３０を形成すべく材料の厚みを除去することは、厚み６１０、６２０、６３０の形成とともにイン・サイチューに行ってもよい。詳しくは、厚みの形成および除去を同時になすことは、同じ圧力で、同じ温度で、同じ雰囲気（ａｍｂｉａｎｃｅ）中で、同じ大気中（ａｔｍｏｓｐｈｅｒｅ）で、および／またはチャンバあるいは反応器の同じ封止あるいは真空中で起こってもよい。例えば、厚み７１０、７２０、７３０を形成すべく同じチャンバ内で厚み６１０、６２０、６３０の形成、その厚みの除去を行うことは、ＣＶＤチャンバ、ＡＬＤチャンバ、ＵＨＶＣＶＤチャンバ、ＲＴＣＶＤチャンバ、ＲＰＣＶＤチャンバ、ＭＢＥチャンバ、「バッチ」ＵＨＶ　ＣＶＤチャンバ、コールド・ウォールＵＨＶ　ＣＶＤチャンバ、大気圧（ＡＰ）ＣＶＤチャンバ、低圧（ＬＰ）ＣＶＤチャンバ、エッチングチャンバ、高純度高流量水素（H_2）パージ反応器、塩素（Cl_2）エッチングチャンバ、トリシラン堆積反応器、ジシラン堆積反応器、あるいは一以上のこれらチャンバあるいは反応器の機能を組み合わせたチャンバ反応器が含まれる。さらに、適切なチャンバは、シリコン、シリコン合金、および／またはシリコン元素材料のエピタキシャル厚みの堆積をなすチャンバ、アモルファス材料の等角的厚みの堆積用のチャンバ、結晶質材料の堆積用チャンバ、ブランケットあるいは非選択的堆積形成用チャンバ、選択的堆積形成用チャンバ、ドープされた材料の堆積用チャンバ、シリコンゲルマニウム（ＳｉＧｅ）堆積用チャンバ、および／またはシリコンカーボン合金（$Si_{1-x}C_x$）材料堆積用チャンバを含む。

【0084】

幾らかの実施形態においては、厚み６１０、６２０、６３０の形成、およびその厚みの除去は、同じＣＶＤチャンバ内で、摂氏５００～７５０度の温度で（例えば、摂氏５００、５５０、６００、６５０、７００、７５０度の温度で）、および１２～１８Ｔｏｒｒの圧力で（例えば、１２、１３、１４、１５、１６、１７、１８Ｔｏｒｒの圧力で）起こってもよい。また、厚み６１０、６２０、６３０の形成、およびその厚みの除去は、同じＣＶＤチャンバ内で、１Ｅ－４～１０００Ｔｏｒｒの圧力で（例えば、１Ｅ－３、１Ｅ－２、０．１、１．０、１０、１００、１０００Ｔｏｒｒのうちの一つの十進範囲内の圧力で）起こってもよい。幾らかの場合においては、厚み６１０、６２０、６３０の形成、およびその厚みの除去は、同じＣＶＤチャンバ内で、３Ｅ－３Ｔｏｒｒ～７Ｅ－３Ｔｏｒｒの圧力で（例えば、３Ｅ－３、３．５Ｅ－３、４Ｅ－３、４．５Ｅ－３、５Ｅ－３、５．５Ｅ－３、６Ｅ－３、６．５Ｅ－３、７Ｅ－３）の圧力で起こってもよい。さらに、形成および除去中、毎分１０標準リッター（ＳＬＭ）～３０ＳＬＭの水素（H_2）雰囲気の流れがあってもよい。

【0085】

幾らかの実施形態においては、図６、７に関して上述した、厚み６１０、６２０、６３０の厚みの形成、堆積、あるいは成長、その後の厚み６１０、６２０、６３０の厚みの除去、あるいはエッチングは、一つの繰り返しのことであっても、あるいは多数の繰り返しプロセスの堆積／除去シーケンスのことであってもよい。故に、図６、７のこの繰り返し、あるいは堆積／除去シーケンスは反復してもよい。

【0086】
例えば、図８は、接合領域に結晶材料の次の厚み、およびゲート電極上に非結晶材料の次の厚みを形成した後の図７の基板を示す。図８は、厚み８１０を形成すべく厚み７１０に追加的なアモルファス材料の等角的厚みを再形成あるいは再堆積して、厚み８２０を形成すべく厚み７２０に追加的な結晶質材料のエピタキシャル厚みを再形成あるいは再堆積して、エピタキシャル厚み８３０を形成すべく厚み７３０に追加的な結晶質材料のエピタキシャル厚みを再形成あるいは再堆積した後の装置７００のような、装置８００を示す。故に、等角的厚み８１０の厚みＴ８１０は、厚みＴ６１０あるいはＴ７１０よりも厚くてもよい。同様に、厚みＴ８１２は厚みＴ７１２あるいはＴ６１２より厚くてもよい。同様に、厚みＴ８１３は厚みＴ７１３あるいはＴ６１３より厚くてもよい。
【0087】
同様に、エピタキシャル厚み８２０の厚みＴ８２０は、厚みＴ７２０あるいはＴ６２０より厚くてもよい。同様に、エピタキシャル厚み８３０の厚みＴ８３０は厚みＴ７３０あるいはＴ６３０より厚くてもよい。
【0088】
等角的厚み８１０は、等角的厚み６１０に関して上述したような、材料を含み、プロセスから形成され、機能を持ち、ひずみを生じさせてもよい。同様に、エピタキシャル厚み８２０、８３０は、エピタキシャル厚み６２０、６３０に関して上述したような、材料に対応し、プロセスから形成され、ひずみを生じさせ、機能を持ってもよい。
【0089】
装置８００の形成に続いて、厚み８１０、８２０、８３０の厚みをエッチングなどにより除去してもよい。例えば、図９は、結晶質材料およびアモルファス材料の厚みを除去した後の図８の基板を示す。図９は、アモルファス材料の等角的厚み９１０、結晶質材料のエピタキシャル厚み９２０、および結晶質材料のエピタキシャル厚み９３０を形成すべく厚み８１０、８２０、８３０の厚みを除去した後の装置８００などの、装置９００を示す。故に、厚み９１０、９２０、９３０の材料、プロセス、機能、およびひずみは、厚み７１０、７２０、７３０に関して上述したものと対応していてもよい。また、厚み９１０、９２０、９３０の、厚み８１０、８２０、８３０と比べたときの関係は、厚み７１０、７２０、７３０の、厚み６１０、６２０、６３０と比べたときの関係に対応していてもよいと考えられる。詳しくは、装置７００から装置８００を形成して、その後に装置８００から装置９００を形成するプロセスは、装置５００から装置６００を形成して、その後に装置６００から装置７００を形成する前述のプロセスに対応していてもよい。
【0090】
さらに、実施形態によれば、装置６００、７００、８００、９００の形成プロセスは同じチャンバで、チャンバの封止あるいは真空を壊さずに、および／または装置６００から装置７００を形成することに関して上述したその他の設定あるいは条件下などで起こってもよい。故に、堆積／除去繰り返しのプロセスで、装置６００、７００の形成は、第１繰り返しとして規定され、装置８００、９００の形成は第２繰り返しとして規定されてもよい。これら繰り返しは、トランジスタデバイスの接合領域にエピタキシャル結晶質材料の望ましいあるいは選択された厚みが形成されるまで続けられてもよい。また、このような繰り返しは、トランジスタデバイスのゲート構造上に等角的アモルファス材料の望ましいあるいは選択された厚みが形成されるまで続けられてもよい。幾らかの場合においては、このような繰り返しは、５～１０回繰り返されてもよい（例えば、５回、６回、７回、８回、９回、１０回などの繰り返し）。
【0091】
また、このような繰り返しは堆積／除去プロセスと共に終了してもよい（例えば、装置６００あるいは装置７００の形成に対応するプロセス）。同様に、繰り返しの堆積／除去部分は、５秒～５分の期間起こってよく、ここで、各堆積および／または除去プロセスは、１０秒、２０秒、２５秒、３０秒、３５秒、４０秒、４５秒、５０秒、６０秒、９０秒などの期間起こるなどである。

【0092】
一例においては、厚み６１０、６２０、６３０の形成は、ＣＶＤチャンバ内で厚み７１０、７２０、７３０を形成目的の材料の厚みの除去と共にイン・サイチューになされてもよい。先ず、チャンバを摂氏６００～６５０度の温度に保ち、チャンバを１５Ｔｏｒｒの圧力にして、H_2をチャンバへ２０ＳＬＭの流れで導入しながら、５０ｍｇ／ｍｉｎ～１００ｍｇ／ｍｉｎのトリシラン導入、３０ＳＣＣＭのモノメチルシランの導入、および６００ＳＣＣＭのPH_3の導入（H_2に1パーセントのPH_3）を３０秒間行うことで、厚み６１０、６２０、６３０が形成あるいは堆積される。
【0093】
次に、厚み７１０、７２０、７３０が、厚み６１０、６２０、６３０の堆積の「直後に」形成される（例えば、厚み６１０、６２０、６３０の形成に利用される堆積ガスのポンプアウトと、および厚み７１０、７２０、７３０の形成目的の厚み６１０、６２０、６３０のエッチングとの間には何ら他の処理がなされないということである）。例えば、厚み７１０、７２０、７３０は、チャンバを摂氏６００～６５０度の温度に保ち、チャンバを１５Ｔｏｒｒの圧力にして、H_2をチャンバへ２０ＳＬＭの流れで導入しながら、１５０ＳＣＣＭのＨＣｌをチャンバへ３０秒間導入して、厚み６１０、６２０、６３０をエッチングすることで形成される。
【0094】
トリシラン、モノメチルシラン、およびPH_3の導入、ポンプアウト、その後にＨＣｌを導入するシーケンスは、厚み７２０、７３０の結晶質材料が約１．０５オングストローム／秒の厚み（堆積からエッチングを引き算する）になるまで、7回繰り返される。非結晶材料の厚み７１０の厚みは、横方向には略等しい（例えば、厚みＴ７１２、Ｔ７１４）が、垂直方向（例えば、厚みＴ７１０）には少し大きい。さらに、チャンバの封止あるいは真空は、7回の繰り返しの間損なわれなくてもよい。7回の繰り返しの間、H_2がチャンバに２０ＳＬＭの流れで導入され、チャンバが摂氏６００～６５０度の温度に保たれ、およびチャンバが１５Ｔｏｒｒの圧力であるという条件も、同様である。
【0095】
故に、エピタキシャル厚みの頂面が頂面５２５より優位になるまで、および／またはエピタキシャル厚みが選択されたひずみを基板５０５に生じさせるまで、等角的およびエピタキシャル厚みの形成／除去の繰り返しを繰り返すことができる。例えば、図１０は、接合を形成すべく、接合領域に結晶質材料の厚みを形成した後、およびゲート電極上にアモルファス材料の厚みを形成した後の図９の基板を示す。図１０は、ゲート構造上に非結晶材料の等角的厚み１０１０、および接合領域５７０、５８０中にエピタキシャル厚み１０２０、１０３０を持つ装置１０００を示す。厚み１０２０は、頂面５２５より優位な頂面１０２２を持ち、厚み１０３０は、頂面５２５より優位な頂面１０３２を持つ。図１０はまた、厚みＴ１０２０を持つ厚み１０２０、および厚みＴ１０３０を持つ厚み１０３０を示す。
【0096】
等角的厚み１０１０は、等角的厚み６１０に関して上述したような、プロセスによる材料から形成され、機能を持ち、ひずみを生じさせてもよい。同様に、エピタキシャル厚み１０２０、１０３０は、エピタキシャル厚み６２０、６３０に関して上述したような、材料から形成され、プロセスから形成され、機能を持ち、および／またはひずみを生じさせてもよい。例えば、厚み１０２０、１０３０は、基板５０５に、装置１０００のチャネルのひずみのようなひずみを生じさせるべく（例えば、チャネルは、頂面５２５の下および厚み１０２０、１０３０の間の基板５０５の箇所で規定されてもよい）、基板５０５の新たな材料の格子間隔と異なる格子間隔を持つ十分な厚みあるいは寸法の結晶質材料であってもよい。さらに、厚み１０２０および１０３０は、基板５０５に伸張性のひずみを生じさせるのに足る、結晶質リンおよび／またはシリコンカーボン合金材料のエピタキシャル厚みであってもよい。
【0097】

特に、図１０に示すように、厚み１０２０は、頂面５２５下の基板５０５の箇所から離れる伸張性のひずみ１０７４を生じさせてよく、厚み１０３０は、基板５０５の同じ箇所から離れる伸張性のひずみ１０８４を生じさせてもよい。故に、ひずみ１０７４は伸張性のひずみ１０９２を、および、ひずみ１０８４は伸張性のひずみ１０９４を、厚み１０２０および１０３０の間の基板５０５のチャネル内に生じさせてもよい（例えば、装置１０００のチャネルの伸張性ひずみ、あるいは装置１０００はｎ－ＭＯＳデバイスである）。実施形態によると、伸張性ひずみ１０９２、１０９４は、厚み１０２０、１０３０間のキャリア移動性（例えば、ウェル５２４のチャネルの電子の移動性）を増すのに足るひずみであってもよい。つまり、基板５０５のチャネルは、基板材料の格子間隔より大きい厚み１０２０および１０３０のリンおよび／またはシリコンカーボン合金材料の格子間隔が生じさせる伸張性ひずみの下にあってもよい。

【0098】

また、上述のように、等角的厚み６１０に関して、等角的厚み１０１０は装置１０００のゲート構造に、ゲート電極５９０の伸張性ひずみのような、伸張性のひずみを生じさせてもよい。

【0099】

図１０はまた、先端領域５７６を満たすエピタキシャル厚み１０２０、および先端領域５８６を満たすエピタキシャル厚み１０３０を示す。例えば、厚み１０２０は底部Ｂ１および切子面５２０に接触および／または原子的に結合されていてもよい。同様に、厚み１０３０もＢ２および／または切子面５３０に取付および／または原子的に結合されていてもよい。

【0100】

また、厚み１０２０および厚み１０３０は、電気的に負の電荷を持つＮ型材料を形成すべく、形成中あるいは形成後にリン、ヒ素、および／またはアンチモンでドープされてもよい。

【0101】

例えば、ひとたび、十分なあるいは選択された材料の厚みが厚み１０２０、１０３０として堆積あるいは形成されると（例えば、一回の繰り返し中、一堆積／エッチング部分の後に）、等角的厚み１０１０が除去されてもよい。故に、図１０の等角的厚み１０１０は、選択的ウェットエッチングなどにより、装置１０００のゲート構造から除去されてもよい。さらに、等角的アモルファス厚み（例えば、上述の厚み６１０、７１０、８１０、９１０、１０１０）もまた絶縁材料（例えば、材料５１０）上に残されてもよい。これら等角的アモルファス厚みもまた、選択的ウェットエッチングなどにより除去されてよく、これにより、電子移動性および駆動電流の増した伸張性のひずみをもつＮ－チャネルトランジスタが生じる。

【0102】

例えば、図１１は、アモルファス材料の除去後の図１０の基板を示す。図１１は、装置１０００のゲート構造から等角的厚み１０１０を除去あるいはエッチングにより取り除いた後の装置１０００のような、装置１１００を示す。例えば、等角的厚み１０１０は、厚み１１２０、１１３０のように、接合領域５７０、５８０のエピタキシャル材料の適切な厚みを残すエッチングケミストリーを利用して選択的あるいは非選択的にエッチングすることができる。幾らかの実施形態においては、ゲート構造から等角的厚み１０１０をエッチングすることには、厚み１０２０、１０３０の厚みの５パーセント～３５パーセントの厚みをエッチングすることが含まれる。故に、ゲート構造から等角的厚み１０１０をエッチングした後、厚み１１２０、１１３０は、図１０について上述した厚み１０２０、１０３０の７５、８０、７５、９０パーセントほどの厚みであってもよい。同様に、頂面１１２２、１１３２は図１０について上述した頂面１０２２、１０３２に対応してもよい。さらに、厚みＴ１１２０、Ｔ１１３０は、図１０について上述した厚みＴ１０２０、Ｔ１０３０に対応してもよい。

【0103】

厚み１０１０の除去後、残りのトランジスタ（例えば、装置１１００）は、図１０のひずみ１０７４、１０８４、１０９２、１０９４の大きさ以上の大きさのひずみ１１７４、１１８４、１１９２、１１９４を持ってもよい。また、ひずみ１１７４、１１８４、１１９２、１１９４は、図１０のひずみ１０７４、１０８４、１０９２、１０９４に対応する、あるいはそれと同様の方向を持ってもよいことが理解される。特に、ひずみ１１７４、１１８４、１１９２、１１９４は、図１０のひずみ１０７４、１０８４、１０９２、１０９４に対応する、あるいはその三十パーセントの大きさの範囲、および１０度の方向であってもよい。

【0104】

故に、ひずみ１１７４、１１８４、１１９２、１１９４は、電子移動性および駆動電流を増すべく、装置１１００のチャネルに十分な伸張性ひずみを生じさせてもよい。さらに、ひずみ１１９２、１１９４は、エピタキシャル厚み１１２０、１１３０のリンおよび置換型炭素濃度の増加により生じる単軸伸張性ひずみであってもよい。また、エピタキシャル厚み１１２０、１１３０のリンのドーピング増加は、２Ｅ２０立方ｃｍより大きくてもよい。特に、装置１１００は、キャリア移動性を増し$R_{External}$を減らすべく、エピタキシャル厚み１１２０、１１３０に十分に増加したリンおよび置換型炭素濃度を持つｎ－ＭＯＳトランジスタであってもよい。概して、装置１１００に類似したトランジスタは、キャリア移動性のゲインにより、およびエピタキシャル厚み１１２０、１１３０において減少したシート抵抗により、改善された飽和電流および改善されたデバイス速度を持ってもよい。

【0105】

故に、装置１１００はＣＭＯＳデバイスのｎ－ＭＯＳデバイスであってもよい。例えば、図１２は代表的なＣＭＯＳ構造を示す。図１２は、ｐ－ＭＯＳデバイス１２０４に典型的様式で接続された、図１１に関して上述した装置１１００の実施形態のような、ｎ－ＭＯＳデバイス１２０２を持つＣＭＯＳデバイス１２００を示す。基板５０５は、ＣＭＯＳデバイス１２００を形成すべく、Ｎ型ウェル１２２４に関するＰ型ウェル５２４を含み、Ｎ型ウェル１２２４は基板５０５の第２領域に形成されるｐ－ＭＯＳトランジスタデバイス１２０４の一部であり、Ｐ型ウェル５２４の隣の基板５０５の第２の異なる界面表面１２２５を規定する。特に例えば、ｐ－ＭＯＳデバイス１２０４は、ここに記載されたように材料５１０を電気絶縁することでｐ－ＭＯＳデバイス１２０４をｎ－ＭＯＳデバイス１２０２から電気絶縁させることで、ｎ－ＭＯＳデバイス１２０２の隣に形成することができる。さらに、ｐ－ＭＯＳデバイス１２０４は、ゲート電極１２９０下のゲート誘電体１２４４の下、およびＰ型接合１２２０、１２３０間のチャネルを含んでもよい。ｐ－ＭＯＳデバイス１２０４もまた、スペーサ１２１２、１２１４とともに示される。

【0106】

図１２も、圧縮性のひずみ１２７４、１２８４、１２９２、１２９４およびｐ－ＭＯＳデバイス１２０４を示す。例えば、接合１２２０および１２３０は、頂面１２２５下の基板５０５の箇所に向けて、圧縮性のひずみ１２７４、１２８４を生じさせてもよい。故に、ひずみ１２７４、１２８４はｐ－ＭＯＳデバイス１２０４のチャネルに圧縮性のひずみ１２９２、１２９４を生じさせてもよい。圧縮性のひずみ１２９２、１２９４は、接合１２２０、１２３０間のキャリア移動性（例えば、ウェル１２２４のチャネルの正孔の移動性）を増すのに足るものであってもよいことが理解されよう。特に、接合１２２０、１２３０は、基板５０５の格子間隔より大きい格子間隔を持つ材料から形成されてもよい（Ｐ型の電気的に正の電荷を持つ材料を形成すべく、ホウ素および／またはアルミニウムでドープされてもされなくてもよい、ＳｉＧｅで形成されることにより）。最後に、ＣＭＯＳデバイス１２００はグランドＧＮＤ、入力電圧V_{in}、出力電圧V_{out}、およびバイアス電圧V_{DD}を持つ。

【0107】

上記明細書では特定の実施の形態を用いて説明している。しかしながら、それに対しては、請求項で述べるように実施形態の広義の精神および範囲から逸脱することなく様々な

変更または修正を加えてもよい。よって明細書および図面は、限定的ではなく例示的に捉えられるべきである。

【図面の簡単な説明】

【0108】

【図1】ウェル、ゲート誘電体、およびゲート電極を持つ基板の部分の概略断面図である。

【0109】

【図2】先端領域を持つ接合領域を形成した後の図１の概略基板である。

【0110】

【図3A】接合を形成すべく接合領域に材料の厚みを形成した後の図２の基板を示す。

【0111】

【図3B】接合を形成すべく、先端注入を持つ接合領域に材料の厚みを形成した後の図２の基板を示す。

【0112】

【図4】代表的なＣＭＯＳ構造を示す。

【0113】

【図5】ウェル、ゲート誘電体、ゲート電極、および先端領域を持つ接合領域を持つ基板の部分の概略断面図である。

【0114】

【図6】接合領域に結晶質材料の厚み、ゲート電極上にアモルファス材料の厚みを形成した後の図５の概略基板である。

【0115】

【図7】結晶質材料の厚みとアモルファス材料の厚みとを除去した後の図６の基板を示す。

【0116】

【図8】接合領域に結晶質材料の次の厚み、ゲート電極上にアモルファス材料の次の厚みを形成した後の図７の基板を示す。

【0117】

【図9】結晶質材料およびアモルファス材料の厚みを除去した後の図８の基板を示す。

【0118】

【図10】接合を形成すべく接合領域に結晶質材料の厚みを形成した後、およびゲート電極上にアモルファス材料の厚みを形成した後の、図９の基板を示す。

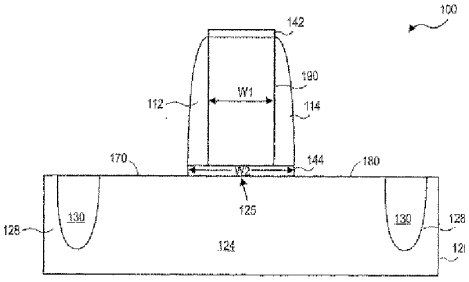
【0119】

【図11】アモルファス材料を除去した後の図１０の基板を示す。

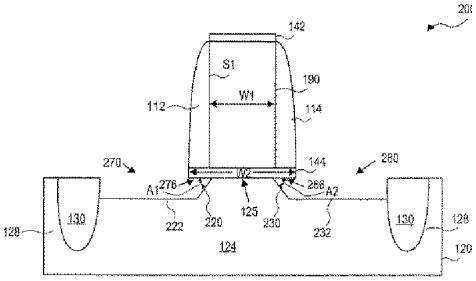
【0120】

【図12】代表的なＣＭＯＳ構造を示す。

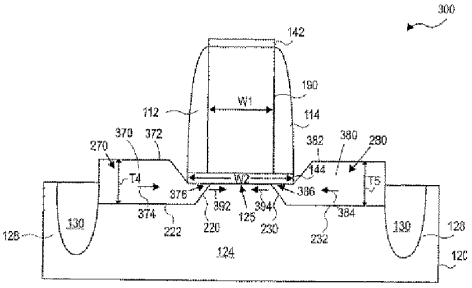
【図1】



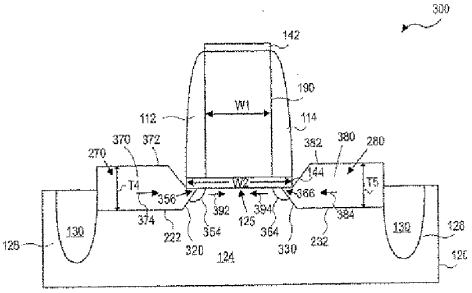
【図2】



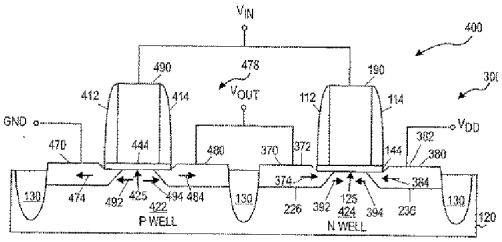
【図3A】



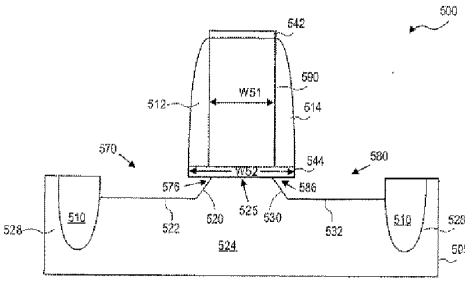
【図3B】



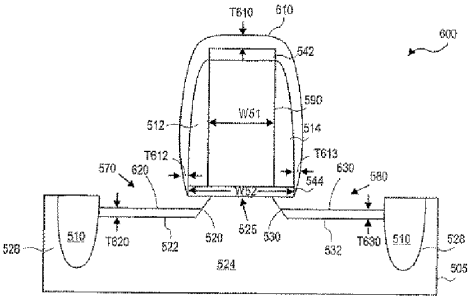
【図4】



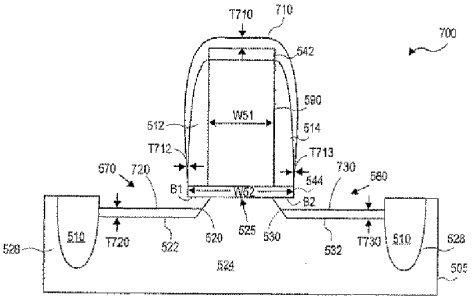
【図5】



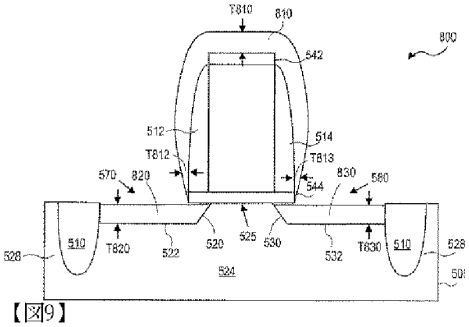
【図6】



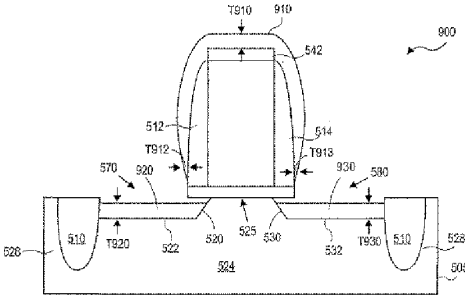
【図7】



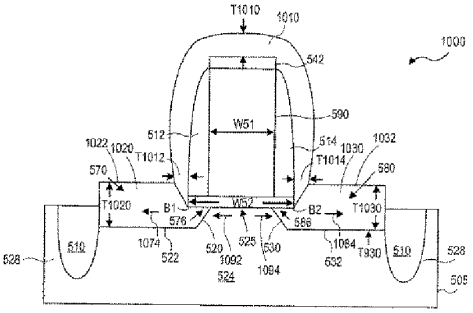
【図8】



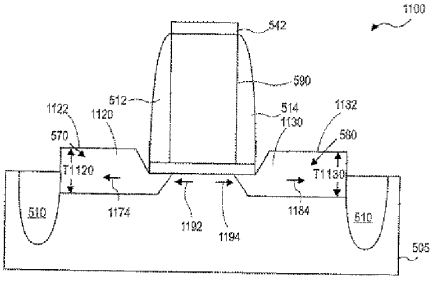
【図9】



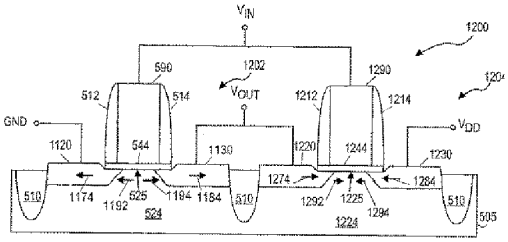
【図10】



【図11】



【図12】



(81)指定国　　AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者　ウェストマイヤー、アンドリュー
アメリカ合衆国、９７００７－６７６６　オレゴン州、ビーバートン、エスダブリュー　１７３アールディー　ピーエル　７７３８
(72)発明者　ハッテンドルフ、マイケル
アメリカ合衆国、９７００６　オレゴン州、アロハ、エスダブリュー　セミノル　ディーアール　１７５
(72)発明者　ワンク、ジェフリー
アメリカ合衆国、９７２２４　オレゴン州、ティガード、エスダブリュー　１３１エスティー　ピーエル　１４１９０

Ｆターム(参考) 5F048 AA07 AC03 BA01 BA10 BA14 BB06 BB07 BB11 BC01 BC05
BC15 BD01 BE03 BG13 DA25 DA27 DA28 DA30
5F140 AA01 AB03 AC28 BA01 BA13 BA16 BD04 BD05 BD07 BD11
BD13 BD17 BE09 BE10 BF01 BF04 BG08 BG12 BG14 BG31
BG39 BH06 BH07 BH14 BH21 BH27 BK03 BK09 BK13 BK18
CB04 CB08 CE10 CF03

Espacenet

Bibliographic data: JP2009164281 (A) — 2009-07-23

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

Inventor(s): SHIMAMUNE YOSUKE ± (SHIMAMUNE YOSUKE)

Applicant(s): FUJITSU MICROELECTRONICS LTD ± (FUJITSU MICROELECTRONICS LTD)

Classification: **- international:** ***H01L21/205; H01L21/8238; H01L27/092; H01L29/78***

- cooperative:

Application number: JP20070340900 20071228 Global Dossier

Priority number (s): JP20070340900 20071228

Also published as: JP5018473 (B2)

Abstract of JP2009164281 (A)

PROBLEM TO BE SOLVED: To provide a manufacturing method of semiconductor device, in which stable characteristics can be obtained, even when a batch type reactor is used. ;SOLUTION: A raw material gas begins to be supplied to a supply line (step S2). The raw material gas passed through a MFC (mass flow controller) from the supply line flows to an exhaust line and does not flow to an in-reactor supply line. Then, it is decided whether the flow rate of the raw material gas flowing in the MFC becomes stable (step S3). For example, it is decided whether the variation width of the flow rate is within a predetermined range. When the flow rate becomes stable, a valve V1 is opened and a valve V2 is closed (step S4). Consequently, the raw material gas passed through the MFC from the supply line does not flow to the exhaust line, but will flow to the in-reactor supply line. Then it is decided whether a predetermined time has elapsed (step S5). The predetermined time is the time needed to grow an expected SiGe layer. The valve V1 is closed and the valve V2 is opened the predetermined time later (step S6). ;COPYRIGHT: (C)2009,JPO&INPIT

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JP2009164281A

Manufacturing method of semiconductor devices

[0001]

The present invention relates to a method for manufacturing a semiconductor device capable of high-speed operation.

[0002]

In recent years, research has been conducted on transistors in which the channels are distorted in order to increase the mobility of electric charges. For example, research is being conducted on transistors in which SiGe films are formed on the source and drain. In addition, research on a transistor having a SiGe film containing boron (B) is also being conducted. Examples of such a transistor include a transistor in which the Ge concentration in the SiGe film is constant and a transistor in which the Ge concentration changes according to the depth. Patent Documents 1 and 2 describe transistors in which the Ge concentration in the SiGe film continuously changes according to the depth.

[0003]

When a semiconductor device provided with such a transistor is industrially manufactured, it is preferable to form a SiGe film on a plurality of semiconductor substrates by using a batch type vertical reactor in order to improve the throughput.

However, when a batch type vertical reactor is used, the volume of the reactor is generally large, and it is difficult to ensure the uniformity of Ge concentration among the wafers arranged in various places in the reactor, and the desired characteristics are obtained. Hard to get.

[0004]

In order to improve the throughput, it is also conceivable to form the SiGe film at a high temperature.

However, at high temperatures, defects are likely to occur, and as a result, strain is relaxed. In addition, the dopant may be re-diffused and the desired properties may not be obtained.

[0005]

Therefore, at present, a SiGe film is formed by using a single-wafer type device.

Throughput can be improved by using a large number of single-wafer devices, but this increases the cost.

[0006]

特開２００３－３４７２２９号公報

特開２０００－３２３４２０号公報

[0007]

An object of the present invention is to provide a method for manufacturing a semiconductor device capable of obtaining stable characteristics even when a batch type reactor is used.

[0008]

The inventor of the present application investigated the cause of unstable Ge concentration when the Ge concentration was changed by using a conventional batch type vertical reactor.

As a result, we found that there is the following tendency.

[0009]

When forming a SiGe film containing B, a mixed gas of SiH4 gas, GeH4 gas, B2H6 gas, HCl gas and H2 gas is used as a raw material gas.

Then, in order to change the Ge concentration, as shown in FIG. 1A, the partial pressure of the GeH4 gas may be increased.

However, when the partial pressure of GeH4 gas is increased, the growth rate of the SiGe film becomes faster as shown in FIG. 1B.

[0010]

Because of this tendency, as shown in FIG. 2A, when a SiGe film is formed on a Si substrate while changing the partial pressure of GeH4 gas in proportion to time, it grows as shown in FIG. 2B. The change in Ge concentration at the initial stage becomes steep.

Therefore, even if the error generated in the composition of the mixed gas or the like is minute, the Ge concentration fluctuates greatly.

[0011]

Then, as a result of further diligent studies by the inventor of the present application paying attention to such a tendency, as shown in FIG. 3A, a SiGe film is formed on the Si substrate while gradually changing the partial pressure of the GeH4 gas. In that case, as shown in FIG. 3B, it was found that the Ge concentration also changed stepwise.

Since such a stepwise change in Ge concentration can be easily controlled by controlling the partial pressure, it can be said that the Ge concentration of the entire SiGe film can be easily controlled.

[0012]

The invention of the present application has been made based on such findings.

[0013]

This method for manufacturing a semiconductor device extends into the reaction furnace in a step of laminating a plurality of SiGe layers having different Ge concentrations on the semiconductor substrate in a reaction furnace in which a plurality of semiconductor substrates are arranged. A mixture containing Si raw material gas and Ge raw material gas in a state where the internal supply line is closed and the exhaust line is open in the supply line connected to the in-core supply line and the exhaust line extending to the outside of the reaction furnace. The in-furn supply line is opened after the first step of flowing the mixed gas through the exhaust line and the fluctuation range of the flow rate of the mixed gas in the supply line are within a predetermined range by flowing the gas. A second step of forming one of the plurality of SiGe layers by flowing the mixed gas from the in-core supply line into the reaction furnace at a constant flow rate by closing the exhaust line. include.

Then, the first step and the second step are repeated after changing the partial pressure of the gas contained in the mixed gas that affects the Ge concentration of the SiGe layer.

[0014]

According to the above-mentioned manufacturing method of the semiconductor device, when laminating a plurality of SiGe layers, the stabilization of the flow rate of the mixed gas and the supply of the mixed gas at a constant flow rate affect the Ge concentration of the SiGe layer such as GeH4 gas. Since it is repeated after changing the partial pressure of the gas that exerts the above, it is possible to suppress an uncontrollable change in the Ge concentration in the SiGe layer.

Therefore, stable characteristics can be obtained even if batch processing is performed.

[0015]

Hereinafter, embodiments of the present invention will be specifically described with reference to the accompanying drawings.

[0016]

(Film film forming apparatus) First, an apparatus for forming a SiGe film will be described.

This device is a CVD device equipped with a batch type vertical reactor.

FIG. 4 is a schematic view showing an outline of the film forming apparatus.

[0017]

In this film forming apparatus, a mass flow controller (MFC) 13 is attached to the raw material gas supply line 12.

As the raw material gas, for example, SiH4 gas, GeH4 gas, B2H6 gas, HCl gas and H2 gas are used, and a gas supply line corresponding to each gas is provided.

In FIG. 4, only one line is posted as an example.

SiH4 is a raw material gas for Si, GeH4 is a raw material gas for Ge, and B2H6 is a raw material gas for B (impurities).

In addition, HCl is a gas that suppresses growth on the insulating film and improves selectivity.

The downstream side of the supply line 12 from the MFC 13 branches into the in-core supply line 14 and the exhaust line 15.

A valve V1 is attached to the in-core supply line 14, and a valve V2 is attached to the exhaust line 15.

Then, the in-core supply line 14 extends into the vertical reactor 11.

Further, the film forming apparatus is also provided with a control unit 16 that controls the MFC 13, the valve V1 and the valve V2.

The control unit 16 controls the flow rate of the raw material gas in the MFC 13 and controls the opening and closing of the valves V1 and V2, for example, based on a predetermined program.

[0018]

Next, a method of forming a SiGe region in which the Ge concentration changes using the film forming apparatus shown in FIG. 4 will be described.

FIG. 5 is a flowchart showing a method of forming a SiGe region in which the Ge concentration changes.

6A to 6C are schematic views showing the transition of the state of the film forming apparatus.

[0019]

First, as shown in FIG. 6A, the control unit 16 closes the valve V1 and opens the valve V2 (step S1).

[0020]

Then, as shown in FIG. 6B, the control unit 16 controls the MFC 13 to start flowing the raw material gas to the supply line 12 (step S2).

The raw material gas that has passed through the MFC 13 from the supply line 12 flows to the exhaust line 15 and does not flow to the in-core supply line 14.

[0021]

After that, the control unit 16 determines whether the flow rate of the raw material gas flowing through the MFC 13 is stable (step S3).

For example, the control unit 16 determines whether the fluctuation range of the flow rate is within a predetermined range.

The control unit 16 repeats this determination until the flow rate stabilizes.

Instead of the process in step S3, the time required for the flow rate of the raw material gas flowing through the MFC 13 to stabilize is measured in advance, and after the time set based on the measurement result has elapsed, the valve V2 is opened. The process of closing the valve V1 may be performed.

[0022]

Then, when the flow rate becomes stable, the control unit 16 opens the valve V1 and closes the valve V2 (step S4).

As a result, as shown in FIG. 6C, the raw material gas that has passed through the MFC 13 from the supply line 12 does not flow to the exhaust line 15, but flows to the in-core supply line 14.

[0023]

Subsequently, the control unit 16 determines whether the predetermined time has elapsed (step S5).

This predetermined time is the time required for the growth of the SiGe layer to be formed, and can be easily specified based on an experiment or the like.

The control unit 16 repeats this determination until a predetermined time elapses.

[0024]

Then, when the predetermined time elapses, the control unit 16 closes the valve V1 and opens the valve V2 (step S6).

As a result, as shown in FIG. 6B, the raw material gas that has passed from the supply line 12 to the MFC 13 does not flow to the in-core supply line 14, but flows to the exhaust line 15.

[0025]

Next, the control unit 16 determines whether the formation of all the SiGe layers has been completed, that is, whether the entire SiGe film in which the Ge concentration changes has been formed (step S7).

Then, when the formation of all the SiGe layers is completed, the supply of the raw material gas is stopped (step S9), and the process is completed.

[0026]

On the other hand, when the formation of a part of the SiGe layer is not completed, the control unit 16 controls the MFC 13 to adjust the flow rate of the raw material gas (step S8).

That is, the control unit 16 adjusts to the flow rate set for the SiGe layer to be formed next.

Then, the processes after step S3 are repeated until the formation of all SiGe layers is completed.

[0027]

Immediately after the start of supply of the raw material gas (step S2) and immediately after the flow rate adjustment of the raw material gas (step S8), the flow rate of the raw material gas becomes unstable. (Steps S3 to S4), so that only the raw material gas having a stable flow rate can be supplied into the vertical reactor 11.

Therefore, the Ge concentration of each SiGe layer can be made appropriate while using the vertical reactor 11.

That is, the throughput can be improved while stabilizing the characteristics.

[0028]

(First Embodiment) Next, the first embodiment will be described.

8A to 8F are cross-sectional views showing the manufacturing method of the semiconductor device according to the embodiment in process order.

[0029]

In the present embodiment, first, as shown in FIG. 8A, a gate insulating film 2 having a thickness of, for example, about 1.2 nm is formed on an n-type silicon substrate 1 having a surface (001), for example.

As the gate insulating film 2, for example, a thermal oxide film or a SION film is formed.

Next, a gate electrode 3 made of polycrystalline silicon in which a p-type impurity is introduced is formed on the gate insulating film 2.

Then, by implanting p-type impurities into ions using the gate electrode 3 as a mask, low-concentration impurity diffusion layers 4 are formed on the surface of the silicon substrate 1 on both sides of the gate electrode 3.

[0030]

Subsequently, an oxide film is formed on the entire surface by the CVD method, an insulating film is further formed, and these are etched back to form the CVD oxide film 5 and the sidewall insulating film 6 as shown in FIG. 8B. ..

The CVD oxide film 5 covers a part of the surface of the silicon substrate 1 and the side surface of the gate electrode 3.

Next, using the gate electrode 3, the CVD oxide film 5 and the sidewall insulating film 6 as masks, ion implantation of p-type impurities is performed to form a high-concentration impurity diffusion layer 7 that overlaps with a part of the low-concentration impurity diffusion layer 4. Form.

[0031]

Then, as shown in FIG. 8C, a groove (trench) 8 consistent with the sidewall insulating film 6 is formed in the high-concentration impurity diffusion layer 7.

The side surface of the groove 8 on the channel region side is a <111> surface.

Such a groove 8 can be self-consistently formed by forming a groove having a predetermined depth by dry etching and then performing wet etching with an organic alkaline solution such as TMAH (Tetra Methyl Ammonium Hydroxide), can.

[0032]

Subsequently, using the film forming apparatus shown in FIG. 4, a p-type inclined SiGe region 9a containing B is formed in the groove 8 by the epitaxial growth method as shown in FIG. 8D.

At this time, as will be described in detail later, the structure of the inclined SiGe region 9a is a five-layer structure, and the layer closer to the bottom of the groove 8 has a lower Ge concentration.

Further, for example, the height from the bottom of the groove 8 on the outermost surface of the inclined SiGe region 9a is made lower than the depth of the groove 8 when the surface of the silicon substrate 1 is used as a reference.

[0033]

Before forming the inclined SiGe region 9a, it is preferable to perform the following pretreatment.

First, the natural oxide film existing on the surface of the silicon substrate 1 is removed.

Next, in the film forming apparatus shown in FIG. 4, the substrate temperature is raised from 400 ° C. to 600 ° C. in a hydrogen atmosphere.

Then, hydrogen baking is performed by holding the product under the conditions of pressure: 5 Pa to 1330 Pa and temperature: 400 ° C. to 600 ° C. for about 60 minutes at the maximum.

[0034]

Further, the Ge concentration in the inclined SiGe region 9a is set to, for example, less than 20 atomic%.

By appropriately defining the Ge concentration in the inclined SiGe region 9a, the difference (mismatch) in the lattice constant between the inclined SiGe region 9a and the silicon substrate 1 becomes small, and dislocations with these interfaces as the base points occur. It becomes difficult.

[0035]

Next, using the film forming apparatus shown in FIG. 4, a p-type fixed SiGe region 9b containing B is formed on the inclined SiGe region 9a by an epitaxial growth method as shown in FIG. 8E.

At this time, although the details will be described later, the Ge concentration in the fixed SiGe region 9b is set to be equal to or higher than the Ge concentration in the outermost layer of the inclined SiGe region 9a.

Further, for example, the surface of the fixed SiGe region 9b is aligned with the surface of the silicon substrate 1.

[0036]

The Ge concentration in the fixed SiGe region 9b is, for example, 20 atomic% or more.

By appropriately defining the Ge concentration in the fixed SiGe region 9b, the difference (mismatch) in the lattice constant between the fixed SiGe region 9b and the silicon substrate 1 becomes large, and uniaxial compressive stress is effectively applied to the channel region. Acts on.

[0037]

Then, using the film forming apparatus shown in FIG. 4, a sacrificial SiGe film 9c is formed on the fixed SiGe region 9b by an epitaxial growth method as shown in FIG. 8F.

At this time, the Ge concentration in the sacrificial SiGe film 9c is made lower than the Ge concentration in the fixed SiGe region 9b.

[0038]

By appropriately defining the Ge concentration in the sacrificial SiGe film 9c, it becomes difficult to form a NiSi2 phase having a high resistivity in the subsequent silicidal treatment.

The NiSi2 phase has a higher resistance than the NiSi phase and easily forms spikes surrounded by the (111) plane.

Therefore, the presence of the NiSi2 phase tends to deteriorate the current driving ability of the transistor and increase the leakage current.

On the other hand, if the Ge concentration in the sacrificial SiGe film 9c is appropriately defined, such a problem can be avoided in advance.

[0039]

Subsequently, as shown in FIG. 8F, the Si film 9d is formed on the sacrificial SiGe film 9c by the epitaxial growth method.

Further, a Ni layer or the like is formed on the entire surface and heat treatment is performed to form a silicide layer on the surface of the Si film 9d and the surface of the gate electrode 3.

At this time, the silicide layer may be formed by expanding to the sacrificial SiGe film 9c.

After that, an interlayer insulating film, wiring, and the like are formed to complete the semiconductor device.

[0040]

In the semiconductor device manufactured in this manner, the inclined SiGe region 9a, the fixed SiGe region 9b, and the sacrificial SiGe film 9c are formed by using the film forming apparatus shown in FIG. 4, so that the characteristics are stable. .

[0041]

Here, specific conditions for forming the inclined SiGe region 9a and the fixed SiGe region 9b using the film forming apparatus shown in FIG. 4 will be described.

In forming the inclined SiGe region 9a and the fixed SiGe region 9b, the partial pressure of the H2 gas is fixed within the range of 1 Pa to 100 Pa, and the partial pressure of the SiH4 gas is fixed within the range of 1 Pa to 10 Pa.

Further, the partial pressure of the B2H6 gas is fixed within the range of 0.0001 Pa to 0.1 Pa, and the partial pressure of the HCl gas is fixed within the range of 0.1 Pa to 10 Pa.

For example, the partial pressure of H2 gas is 32 Pa, the partial pressure of SiH4 gas is 5 Pa, the partial pressure of B2H6 gas is 0.005 Pa, and the partial pressure of HCl gas is 3 Pa.

The partial pressure of the GeH4 gas is selected in the range of 0.001 Pa to 1 Pa depending on the Ge concentration in the layer or film to be formed.

The doping amount of B is about 1 × 1019 to 1 × 1021 cm-3.

[0042]

The thickness of each of the five SiGe layers constituting the inclined SiGe region 9a is, for example, 4 nm, and the thickness of the fixed SiGe region 9b is, for example, 36 nm.

Further, as shown in FIG. 9, the Ge concentrations in the five SiGe layers constituting the inclined SiGe region 9a are, for example, 14 atomic% (first layer) and 16 atomic% (second layer) in order from the bottom side of the groove. Layer), 18 atomic% (third layer), 20 atomic% (fourth layer), 22 atomic% (fifth layer), and the Ge concentration in the fixed SiGe region 9b is, for example, 24 atomic%.

The Ge concentration in the sacrificial SiGe film 9c is, for example, 20 atomic%.

Further, the supply time of the raw material gas for forming the five SiGe layers constituting the inclined SiGe region 9a into the vertical reaction furnace 11 is, for example, 4.5 minutes in the first to fourth layers. The fifth layer is set to 5 minutes, and the supply time of the raw material gas for forming the fixed SiGe region 9b into the vertical reactor 11 is, for example, 46 minutes.

The time required to stabilize the flow rate of the raw material gas is about 1 minute.

[0043]

Further, the change in the partial pressure of the GeH4 gas is shown in a graph as shown in FIG. 10A.

In this embodiment, as shown in FIG. 10B, the exhaust conductance is constant.

[0044]

According to such a first embodiment, a change in Ge concentration is desired, and a semiconductor device including a transistor having stable characteristics can be manufactured by batch processing with high throughput.

[0045]

(Second Embodiment) Next, the second embodiment will be described.

The Ge concentration in the SiGe layer can be controlled by changing the partial pressure of the HCl gas without changing the partial pressure of the GeH4 gas.

That is, when the partial pressure of the HCl gas is changed while the partial pressure of the H2 gas, the partial pressure of the SiH4 gas, and the partial pressure of the B2H6 gas and the GeH4 gas are fixed, the Ge concentration in the formed SiGe layer changes. .

FIG. 11 shows the relationship between the partial pressure of the HCl gas and the Ge concentration in the SiGe layer.

As shown in FIG. 11, the higher the partial pressure of the HCl gas, the higher the Ge concentration.

Therefore, in the second embodiment, unlike the first embodiment, the partial pressure of the HCl gas is changed while fixing the partial pressure of the GeH4 gas.

[0046]

Specifically, in forming the inclined SiGe region 9a and the fixed SiGe region 9b, the partial pressure of the H2 gas is fixed within the range of 1 Pa to 100 Pa, and the partial pressure of the SiH4 gas is fixed within the range of 1 Pa to 10 Pa.

Further, the partial pressure of B2H6 gas is fixed in the range of 0.0001 Pa to 0.1 Pa, and the partial pressure of GeH4 gas is fixed in the range of 0.001 Pa to 1 Pa.

For example, the partial pressure of H2 gas is 32 Pa, the partial pressure of SiH4 gas is 5 Pa, the partial pressure of B2H6 gas is 0.005 Pa, and the partial pressure of GeH4 gas is 0.15 Pa.

The partial pressure of the HCl gas is selected in the range of 0.1 Pa to 10 Pa depending on the Ge concentration in the layer or membrane to be formed.

[0047]

Similar to the first embodiment, such a second embodiment can also manufacture a semiconductor device including a transistor having stable characteristics with high throughput.

[0048]

(Third Embodiment) Next, the third embodiment will be described.

As shown in FIG. 12, a plurality of semiconductor substrates 20 are arranged side by side in the vertical direction in the vertical reactor 11.

In such a case, the GeH4 gas 21 in the raw material gas supplied from the in-core supply line 14 flows while being consumed from the upstream to the downstream in the vertical reactor 11.

A pump 17 for exhaust gas is connected to the vertical reaction furnace 11, and a valve V3 is attached between the pump 17 and the vertical reaction furnace 11.

[0049]

Then, as shown in FIG. 13A, the consumption rate of the GeH4 gas 21 increases as the flow rate decreases.

Here, the consumption rate is the ratio of the amount consumed until exhausted to the amount of GeH4 gas 21 supplied from the in-core supply line 14.

Therefore, when an attempt is made to form the inclined SiGe region 9a as shown in FIG. 9, the GeH4 gas 21 is insufficient on the downstream side, especially when the first layer and the second layer are formed, depending on the number of semiconductor substrates 20. There is also the possibility of doing.

This also applies to other components in the raw material gas.

[0050]

Therefore, in the third embodiment, as shown by the triangle in FIG. 13B, the more the SiGe layer having a lower Ge concentration is formed, the higher the flow rate of the raw material gas and the higher the exhaust conductance.

For example, the flow rate and the exhaust conductance are controlled at the same magnification based on the flow rate and the exhaust conductance when forming a certain SiGe layer.

The control of the flow rate and the exhaust conductance is performed based on, for example, the control of the MFC 13, the pump 17, and the valve V3 by the control unit 16.

The conductance increase rate in FIG. 13B is a value indicating how many times the exhaust conductance is multiplied with the lowest exhaust conductance as a reference (1).

[0051]

When such control of exhaust conductance is not performed, the consumption rate becomes high when the SiGe layer having a low Ge concentration is formed as shown by the ⊗ mark in FIG. 13B, whereas such control is performed. When this is done, the consumption rate is low and stable, as shown by the □ mark in FIG. 13B.

As a result, the GeH4 gas 21 is stably supplied throughout the vertical reactor 11, so that the variation in the vertical reactor 11 can be further suppressed.

[0052]

Then, the change in the partial pressure of the GeH4 gas is shown in a graph as shown in FIG. 14A as in the first embodiment, but the exhaust conductance is as shown in FIG. 14B when the partial pressure of the GeH4 gas is low. It is so high.

[0053]

According to such a third embodiment, as described above, the variation in the vertical reactor 11 can be further suppressed.

[0054]

It is not always necessary to control the flow rate and the exhaust conductance at the same magnification, and these magnifications may deviate from each other.

[0055]

Further, if only the variation is suppressed, it is conceivable to increase the exhaust conductance as a whole, but since a large amount of gas is exhausted without reacting, the cost increases significantly.

[0056]

In the previous embodiments, only the p-channel MOS transistor has been described, but the n-channel MOS transistor also has an element active region separated from the p-channel MOS transistor by the element separation region in parallel with the p-channel MOS transistor. It is preferably formed inside.

[0057]

It is also possible to form a strained silicon transistor as an n-channel MOS transistor.

In this case, a Si layer into which carbon (C) has been introduced may be formed in the groove.

Since the lattice constant of C is lower than that of Si, stress and strain in the opposite direction to the case where the SiGe film is formed will occur.

Further, in the n-channel MOS transistor, the carrier is an electron.

Therefore, as with the p-channel MOS transistor, the carrier mobility is improved.

[0058]

Further, in any of the embodiments, the components of the mixed gas are not limited to those described above.

Further, the raw material of Ge is not limited to GeH4 gas.

Further, the number of SiGe layers constituting the inclined SiGe film does not have to be 5, but may be 2 or more.

[0059]

Hereinafter, various aspects of the present invention will be collectively described as appendices.

[0060]

(Appendix 1) In a reaction furnace in which a plurality of semiconductor substrates are arranged, an in-core supply line extending into the reaction furnace in a step of laminating a plurality of SiGe layers having different Ge concentrations on the semiconductor substrate. And, in a state where the in-core supply line is closed and the exhaust line is open, a mixed gas containing a Si raw material gas and a Ge raw material gas is flowed through a supply line connected to an exhaust line extending to the outside of the reactor. After the first step of flowing the mixed gas through the exhaust line and the fluctuation range of the flow rate of the mixed gas in the supply line are within a predetermined range, the in-furn supply line is opened and the exhaust line is opened. The mixing includes a second step of flowing the mixed gas from the in-core supply line into the reaction furnace at a constant flow rate to form one of the plurality of SiGe layers. A method for manufacturing a semiconductor device, which comprises repeating the first step and the second step after changing the partial pressure of the gas contained in the gas that affects the Ge concentration of the SiGe layer. ..

[0061]

(Appendix 2) The method for manufacturing a semiconductor device according to Appendix 1, wherein the plurality of SiGe layers are formed in order of increasing Ge concentration from the bottom.

[0062]

(Appendix 3) The semiconductor according to Appendix 1, wherein GeH4 gas is used as a raw material of the Ge, and the partial pressure of the GeH4 gas is changed when the partial pressure of the GeH4 gas is changed, which affects the Ge concentration. How to manufacture the device.

[0063]

(Supplementary note 4) The mixed gas further contains an HCl gas, and when the partial pressure of an substance that affects the Ge concentration is changed, the partial pressure of the HCl gas is changed. The method for manufacturing a semiconductor device according to.

[0064]

(Appendix 5) The description in Appendix 1, wherein the flow rate of the mixed gas and the exhaust conductance of the gas exhausted from the reaction furnace are changed when the partial pressure of the substance that affects the Ge concentration is changed. A method for manufacturing a semiconductor device.

[0065]

(Appendix 6) The method for manufacturing a semiconductor device according to Appendix 5, wherein the flow rate and the exhaust conductance are increased as the SiGe layer having a lower Ge concentration is formed.

[0066]

(Appendix 7) The method for manufacturing a semiconductor device according to Appendix 5, wherein the flow rate and the exhaust conductance are changed at the same magnification.

[0067]

(Appendix 8) The method for manufacturing a semiconductor device according to Appendix 5, wherein a vertical reactor is used as the reactor.

[0068]

(Appendix 9) The method for manufacturing a semiconductor device according to Appendix 1, wherein a Si substrate is used as the semiconductor substrate.

[0069]

(Appendix 10) Prior to the step of laminating the plurality of SiGe layers, a step of forming a gate insulating film on the semiconductor substrate, a step of forming a gate electrode on the gate insulating film, and a surface of the semiconductor substrate. In the step of forming two impurity diffusion layers sandwiching the gate electrode in a plan view and a step of forming a groove on the surface of the impurity diffusion layer, and laminating the plurality of SiGe layers. The method for manufacturing a semiconductor device according to Appendix 1, wherein the plurality of SiGe layers are epitaxially grown in the grooves.

[0070]

(Appendix 11) The method for manufacturing a semiconductor device according to Appendix 1, wherein the SiGe layer is formed by a chemical vapor deposition method.

[0071]

(Appendix 12) The method for manufacturing a semiconductor device according to Appendix 1, wherein a gas containing H2 gas, SiH4 gas, GeH4 gas, B2H6 gas and HCl gas is used as the mixed gas.

[0072]

It is a graph which shows the relationship between the partial pressure of GeH4 gas and the Ge concentration in a SiGe film.

It is a graph which shows the relationship between the partial pressure of GeH4 gas and the growth rate of a SiGe film.

It is a graph which shows the example of the content of the control of the partial pressure of GeH4 gas.

FIG. 3 is a graph showing the relationship between the distance from the surface of the Si substrate and the Ge concentration when the control shown in FIG. 2A is performed.

It is a graph which shows other example of the content of the partial pressure control of GeH4 gas.

FIG. 3 is a graph showing the relationship between the distance from the surface of the Si substrate and the Ge concentration when the control shown in FIG. 3A is performed.

It is a schematic diagram which shows the outline of the film forming apparatus.

It is a flowchart which shows the method of forming the SiGe region where the Ge concentration changes.

It is a schematic diagram which shows the transition of the state of a film forming apparatus.

Following FIG. 6A, it is a schematic diagram showing the transition of the state of the film forming apparatus.

Following FIG. 6B, it is a schematic diagram showing the transition of the state of the film forming apparatus.

It is a graph which shows the change of the flow rate of a raw material gas.

It is sectional drawing which shows the manufacturing method of the semiconductor device.

Following FIG. 8A, it is a cross-sectional view showing a method of manufacturing a semiconductor device.

Following FIG. 8B, it is a cross-sectional view showing a method of manufacturing a semiconductor device.

Following FIG. 8C, it is a cross-sectional view showing a manufacturing method of a semiconductor device.

Following FIG. 8D, it is a cross-sectional view showing a method of manufacturing a semiconductor device.

Following FIG. 8E, it is a cross-sectional view showing a manufacturing method of a semiconductor device.

It is a figure which shows the detail of the inclined SiGe region 9a and the fixed SiGe region 9b.

It is a graph which shows the change of the partial pressure of GeH4 gas in 1st Embodiment.

It is a graph which shows the change of the exhaust conductance in 1st Embodiment.

It is a graph which shows the relationship between the partial pressure of HCl gas and the Ge concentration in a SiGe film.

It is a figure which shows the flow of the GeH4 gas introduced in the vertical reaction furnace 11.

It is a graph which shows the relationship between the flow rate of GeH4 gas 21 and the consumption rate.

It is a graph which shows the relationship between the Ge concentration in the SiGe film, the consumption rate of GeH4 gas, and the conductance increase rate.

It is a graph which shows the change of the partial pressure of GeH4 gas in 4th Embodiment.

It is a graph which shows the change of the exhaust conductance in 4th Embodiment.

Code description

[0073]

11: Vertical reactor 12: Supply line 13: Mass flow meter (MFC) 14: In-core supply line 15: Exhaust line 16: Control unit 17: Pumps V1, V2, V3: Valves

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JP2009164281A

1.

In a reaction furnace in which a plurality of semiconductor substrates are arranged, in a step of laminating a plurality of SiGe layers having different Ge concentrations on the semiconductor substrate, an in-core supply line extending into the reaction furnace and the reaction furnace. The exhaust is performed by flowing a mixed gas containing a Si raw material gas and a Ge raw material gas in a state where the in-core supply line is closed and the exhaust line is open in a supply line connected to an exhaust line extending to the outside of the above. By opening the in-core supply line and closing the exhaust line after the first step of flowing the mixed gas through the line and the fluctuation range of the flow rate of the mixed gas in the supply line are within a predetermined range. A second step of flowing the mixed gas from the in-core supply line into the reaction furnace at a constant flow rate to form one of the plurality of SiGe layers is included in the mixed gas. A method for manufacturing a semiconductor device, which comprises repeating the first step and the second step after changing the partial pressure of the gas that affects the Ge concentration of the SiGe layer.

2.

The method for manufacturing a semiconductor device according to claim 1, wherein the plurality of SiGe layers are formed in order of increasing Ge concentration from the bottom.

3.

The manufacture of the semiconductor device according to claim 1, wherein GeH4 gas is used as a raw material of the Ge, and the partial pressure of the GeH4 gas is changed when the partial pressure of the GeH4 gas is changed although it affects the Ge concentration. Method.

4.

The first aspect of claim 1, wherein a gas containing HCl gas is used as the mixed gas, and the partial pressure of the HCl gas is changed when the partial pressure of the mixed gas that affects the Ge concentration is changed. A method for manufacturing a semiconductor device.

5.

The semiconductor device according to claim 1, wherein the flow rate of the mixed gas and the exhaust conductance of the gas exhausted from the reactor are changed when the partial pressure that affects the Ge concentration is changed. Production method.

6.

The method for manufacturing a semiconductor device according to claim 5, wherein the flow rate and the exhaust conductance are increased as the SiGe layer having a lower Ge concentration is formed.

7.

The method for manufacturing a semiconductor device according to claim 5, wherein the flow rate and the exhaust conductance are changed at the same magnification.

8.

The method for manufacturing a semiconductor device according to claim 5, wherein a vertical reactor is used as the reactor.

9.

The method for manufacturing a semiconductor device according to claim 1, wherein a Si substrate is used as the semiconductor substrate.

10.

Prior to the step of laminating the plurality of SiGe layers, a step of forming a gate insulating film on the semiconductor substrate, a step of forming a gate electrode on the gate insulating film, and a plan view on the surface of the semiconductor substrate. In the step of forming the two impurity diffusion layers sandwiching the gate electrode and the step of forming a groove on the surface of the impurity diffusion layer, and laminating the plurality of SiGe layers, the plurality of The method for manufacturing a semiconductor device according to claim 1, wherein the SiGe layer is epitaxially grown in the groove.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-164281
(P2009-164281A)
(43)公開日　平成21年7月23日(2009.7.23)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/205	(2006.01)	H01L	21/205		5F045
H01L 21/8238	(2006.01)	H01L	27/08	321E	5F048
H01L 27/092	(2006.01)	H01L	29/78	301S	5F140
H01L 29/78	(2006.01)	H01L	27/08	321C	

審査請求 未請求　請求項の数 10　ＯＬ　（全 16 頁）

(21)出願番号　特願2007-340900 (P2007-340900)
(22)出願日　平成19年12月28日 (2007.12.28)

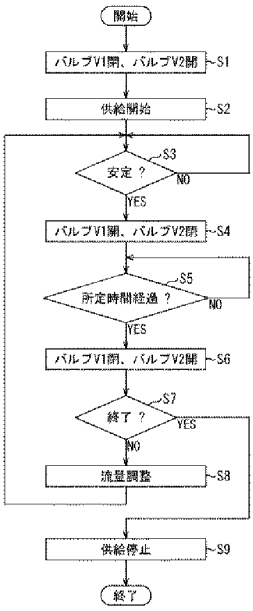
(71)出願人　308014341
富士通マイクロエレクトロニクス株式会社
東京都新宿区西新宿二丁目７番１号
(74)代理人　100090273
弁理士　國分　孝悦
(72)発明者　島宗　洋介
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

Ｆターム(参考)　5F045 AA03 AB01 AC01 AC13 AC19 AF01 BB16 CA05 DA58 DP19 DQ04
5F048 AC03 BA01 BA10 BA14 BB05 BB11 BC01 BC06 BC15 BF06 BF16 DA25 DA27 DA30

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【要約】
【課題】バッチ式の反応炉を用いた場合でも、安定した特性を得ることができる半導体装置の製造方法を提供する。
【解決手段】供給ラインに原料ガスを流し始める（ステップＳ２）。供給ラインからＭＦＣを通過した原料ガスは排気ラインに流れ、炉内供給ラインには流れない。その後、ＭＦＣを流れる原料ガスの流量が安定したかを判定する（ステップＳ３）。例えば、流量の変動幅が所定の範囲内に収まっているか判定する。流量が安定すると、バルブＶ１を開くと共に、バルブＶ２を閉じる（ステップＳ４）。この結果、供給ラインからＭＦＣを通過した原料ガスは排気ラインに流れなくなり、炉内供給ラインに流れるようになる。続いて、所定時間が経過したかを判定する（ステップＳ５）。この所定時間は、形成しようとしているＳｉＧｅ層の成長に必要とされる時間である。所定時間が経過すると、バルブＶ１を閉じると共に、バルブＶ２を開く（ステップＳ６）。
【選択図】図５



【特許請求の範囲】
【請求項1】
複数枚の半導体基板が配置された反応炉内において、前記半導体基板上に、互いにＧｅ濃度が相違する複数のＳｉＧｅ層を積層する工程において、
前記反応炉内に延びる炉内供給ライン及び前記反応炉の外部に延びる排気ラインに繋がった供給ラインに、前記炉内供給ラインが閉じ、前記排気ラインが開いた状態で、Ｓｉの原料ガス及びＧｅの原料ガスを含む混合ガスを流すことにより、前記排気ラインに前記混合ガスを流す第１の工程と、
前記供給ラインにおける前記混合ガスの流量の変動幅が所定の範囲内に収まった後に、前記炉内供給ラインを開き、前記排気ラインを閉じることにより、前記炉内供給ラインから前記反応炉内に前記混合ガスを一定の流量で流し、前記複数のＳｉＧｅ層のうちの一つを形成する第２の工程と、を含み、
前記混合ガスに含まれるガスのうちでＳｉＧｅ層のＧｅ濃度に影響を及ぼすものの分圧を変更した上で、前記第１の工程と前記第２の工程とを繰り返すことを特徴とする半導体装置の製造方法。
【請求項2】
前記複数のＳｉＧｅ層として、下から順にＧｅ濃度が高くなるものを形成することを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項3】
前記Ｇｅの原料としてGeH_4ガスを用い、
前記Ｇｅ濃度に影響を及ぼすものの分圧を変更する際に、前記GeH_4ガスの分圧を変更することを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項4】
前記混合ガスとして、更にＨＣｌガスを含むものを用い、
前記Ｇｅ濃度に影響を及ぼすものの分圧を変更する際に、前記ＨＣｌガスの分圧を変更することを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項5】
前記Ｇｅ濃度に影響を及ぼすものの分圧を変更する際に、
前記混合ガスの流量及び前記反応炉から排気されるガスの排気コンダクタンスを変更することを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項6】
Ｇｅ濃度が低いＳｉＧｅ層を形成する場合ほど、前記流量及び前記排気コンダクタンスを高くすることを特徴とする請求項５に記載の半導体装置の製造方法。
【請求項7】
前記流量及び前記排気コンダクタンスを互いに同じ倍率で変更することを特徴とする請求項５に記載の半導体装置の製造方法。
【請求項8】
前記反応炉として、縦型反応炉を用いることを特徴とする請求項５に記載の半導体装置の製造方法。
【請求項9】
前記半導体基板としてＳｉ基板を用いることを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項10】
前記複数のＳｉＧｅ層を積層する工程の前に、
前記半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、
前記半導体基板の表面に、平面視で前記ゲート電極を挟む２個の不純物拡散層を形成する工程と、
前記不純物拡散層の表面に溝を形成する工程と、

を有し、
前記複数のＳｉＧｅ層を積層する工程において、前記複数のＳｉＧｅ層を前記溝内にエ
【発明の詳細な説明】ることを特徴とする請求項１に記載の半導体装置の製造方法。
【技術分野】
【0001】
本発明は、高速動作が可能な半導体装置の製造方法に関する。
【背景技術】
【0002】
近年、電荷の移動度を高速化するためにチャネルに歪を生じさせたトランジスタについての研究が行われている。例えば、ＳｉＧｅ膜をソース及びドレインに形成したトランジスタについての研究が行われている。また、ホウ素（Ｂ）を含有するＳｉＧｅ膜を形成したトランジスタについての研究も行われている。このようなトランジスタとしては、ＳｉＧｅ膜中のＧｅ濃度が一定のもの、及びＧｅ濃度が深さに応じて変化しているものが挙げられる。特許文献１及び２には、ＳｉＧｅ膜中のＧｅ濃度が深さに応じて連続的に変化しているトランジスタが記載されている。
【0003】
このようなトランジスタを備えた半導体装置を工業的に製造する場合、スループットの向上のためにはバッチ式の縦型反応炉を用いて複数の半導体基板に対してＳｉＧｅ膜を形成することが好ましい。しかしながら、バッチ式の縦型反応炉を用いた場合には、一般に反応炉容積が大きく、炉内の各所に配置したウェハ間でＧｅ濃度の均一性を確保することが困難であり、所望の特性を得にくい。
【0004】
スループットの向上のためには、ＳｉＧｅ膜を高温下で形成することも考えられる。しかしながら、高温下では、欠陥が生じやすく、この結果、歪が緩和されてしまう。また、ドーパントの再拡散が生じて、所望の特性が得られないこともある。
【0005】
このため、現状では、枚葉式の装置を用いてＳｉＧｅ膜を形成している。多数の枚葉式の装置を用いれば、スループットを向上させることは可能であるが、それでは、コストが高くなってしまう。
【0006】
【特許文献1】特開２００３－３４７２２９号公報
【特許文献2】特開２０００－３２３４２０号公報
【発明の開示】
【発明が解決しようとする課題】
【0007】
本発明の目的は、バッチ式の反応炉を用いた場合でも、安定した特性を得ることができる半導体装置の製造方法を提供することにある。
【課題を解決するための手段】
【0008】
本願発明者は、従来のバッチ式の縦型反応炉を用いてＧｅ濃度を変化させた場合にＧｅ濃度が安定しない原因について検討した。この結果、次のような傾向があることを見出した。
【0009】
Ｂを含有するＳｉＧｅ膜を形成する場合には、SiH_4ガス、GeH_4ガス、B_2H_6ガス、ＨＣｌガス及びH_2ガスの混合ガスが原料ガスとして用いる。そして、Ｇｅ濃度を変化させるには、図１Ａに示すように、GeH_4ガスの分圧を高めればよい。但し、GeH_4ガスの分圧を高めると、図１Ｂに示すように、ＳｉＧｅ膜の成長速度が速くなる。
【0010】
このような傾向があるため、図２Ａに示すように、GeH_4ガスの分圧を時間に比例して変化させながらＳｉ基板上にＳｉＧｅ膜を形成した場合には、図２Ｂに示すように、成

長初期におけるＧｅ濃度の変化が急峻なものとなる。従って、混合ガスの組成等に生じた誤差が微小なものであっても、Ｇｅ濃度が大きく変動してしまう。

【0011】

そして、本願発明者がこのような傾向に着目して、更に鋭意検討を重ねた結果、図３Ａに示すように、GeH_4ガスの分圧を段階的に変化させながらＳｉ基板上にＳｉＧｅ膜を形成した場合には、図３Ｂに示すように、Ｇｅ濃度も段階的に変化することが判明した。このようなＧｅ濃度の段階的な変化は、分圧の制御によって容易に制御できるものであるため、ＳｉＧｅ膜全体のＧｅ濃度を容易に制御できるといえる。

【0012】

本願発明は、このような知見に基づいてなされたものである。

【0013】

この半導体装置の製造方法は、複数枚の半導体基板が配置された反応炉内において、前記半導体基板上に、互いにＧｅ濃度が相違する複数のＳｉＧｅ層を積層する工程において、前記反応炉内に延びる炉内供給ライン及び前記反応炉の外部に延びる排気ラインに繋がった供給ラインに、前記炉内供給ラインが閉じ、前記排気ラインが開いた状態で、Ｓｉの原料ガス及びＧｅの原料ガスを含む混合ガスを流すことにより、前記排気ラインに前記混合ガスを流す第１の工程と、前記供給ラインにおける前記混合ガスの流量の変動幅が所定の範囲内に収まった後に、前記炉内供給ラインを開き、前記排気ラインを閉じることにより、前記炉内供給ラインから前記反応炉内に前記混合ガスを一定の流量で流し、前記複数のＳｉＧｅ層のうちの一つを形成する第２の工程と、を含む。そして、前記混合ガスに含まれるガスのうちでＳｉＧｅ層のＧｅ濃度に影響を及ぼすものの分圧を変更した上で、前記第１の工程と前記第２の工程とを繰り返す。

【発明の効果】

【0014】

上記の半導体装置の製造方法によれば、複数のＳｉＧｅ層の積層に当たり、混合ガスの流量の安定化と、混合ガスの一定流量での供給とを、GeH_4ガス等のＳｉＧｅ層のＧｅ濃度に影響を及ぼすガスの分圧を変更した上で繰り返すので、ＳｉＧｅ層中のＧｅ濃度の制御しにくい変化を抑制することができる。このため、バッチ処理を行っても安定した特性を得ることができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施形態について、添付の図面を参照して具体的に説明する。

【0016】

（成膜装置）

先ず、ＳｉＧｅ膜を形成する装置について説明する。この装置は、バッチ式の縦型反応炉を備えたＣＶＤ装置である。図４は、成膜装置の概要を示す模式図である。

【0017】

この成膜装置においては、原料ガスの供給ライン１２にマスフローコントローラ（ＭＦＣ）１３が取り付けられている。原料ガスとしては、例えば、SiH_4ガス、GeH_4ガス、B_2H_6ガス、ＨＣｌガス及びH_2ガスが用いられ、夫々のガスに対応したガス供給ラインが設けてある。図４ではその一例として一つのラインのみを掲示している。SiH_4はＳｉの原料ガスであり、GeH_4はＧｅの原料ガスであり、B_2H_6はＢ（不純物）の原料ガスである。また、ＨＣｌは絶縁膜上の成長を抑制して選択性を向上させるガスである。供給ライン１２のＭＦＣ１３よりも下流側は、炉内供給ライン１４及び排気ライン１５に分岐している。炉内供給ライン１４にはバルブＶ１が取り付けられており、排気ライン１５にはバルブＶ２が取り付けられている。そして、炉内供給ライン１４が縦型反応炉１１内まで延びている。更に、この成膜装置には、ＭＦＣ１３、バルブＶ１及びバルブＶ２の制御を行う制御部１６も設けられている。制御部１６は、例えば所定のプログラムに基づいて、ＭＦＣ１３における原料ガスの流量を制御し、また、バルブＶ１及びＶ２の開閉を制御する。

【0018】
次に、図４に示す成膜装置を用いてＧｅ濃度が変化するＳｉＧｅ領域を形成する方法について説明する。図5は、Ｇｅ濃度が変化するＳｉＧｅ領域を形成する方法を示すフローチャートである。また、図６Ａ～図６Ｃは、成膜装置の状態の遷移を示す模式図である。
【0019】
先ず、図６Ａに示すように、制御部１６が、バルブＶ１を閉じると共に、バルブＶ２を開く（ステップＳ１）。
【0020】
次いで、図６Ｂに示すように、制御部１６がＭＦＣ１３を制御することにより、供給ライン１２に原料ガスを流し始める（ステップＳ２）。供給ライン１２からＭＦＣ１３を通過した原料ガスは排気ライン１５に流れ、炉内供給ライン１４には流れない。
【0021】
その後、ＭＦＣ１３を流れる原料ガスの流量が安定したかを制御部１６が判定する（ステップＳ３）。例えば、制御部１６は、流量の変動幅が所定の範囲内に収まっているか判定する。制御部１６は、流量が安定するまでこの判定を繰り返す。なお、ステップＳ３の処理に代えて、ＭＦＣ１３を流れる原料ガスの流量が安定するまでにかかる時間を前もって測定しておき、この測定結果に基づいて設定した時間が経過した後に、バルブＶ２を開き、バルブＶ１を閉じるという処理を行ってもよい。
【0022】
そして、流量が安定すると、制御部１６が、バルブＶ１を開くと共に、バルブＶ２を閉じる（ステップＳ４）。この結果、図６Ｃに示すように、供給ライン１２からＭＦＣ１３を通過した原料ガスは排気ライン１５に流れなくなり、炉内供給ライン１４に流れるようになる。
【0023】
続いて、所定時間が経過したかを制御部１６が判定する（ステップＳ５）。この所定時間は、形成しようとしているＳｉＧｅ層の成長に必要とされる時間であり、実験等に基づいて容易に特定することができる。制御部１６は、所定時間が経過するまでこの判定を繰り返す。
【0024】
そして、所定時間が経過すると、制御部１６が、バルブＶ１を閉じると共に、バルブＶ２を開く（ステップＳ６）。この結果、図６Ｂに示すように、供給ライン１２からＭＦＣ１３を通過した原料ガスは炉内供給ライン１４に流れなくなり、排気ライン１５に流れるようになる。
【0025】
次いで、すべてのＳｉＧｅ層の形成が終了したか、つまりＧｅ濃度が変化するＳｉＧｅ膜の全体が形成されたかを制御部１６が判定する（ステップＳ７）。そして、すべてのＳｉＧｅ層の形成が終了している場合には、原料ガスの供給を停止し（ステップＳ９）、処理を終了する。
【0026】
一方、一部のＳｉＧｅ層の形成が終了していない場合には、制御部１６がＭＦＣ１３を制御することにより、原料ガスの流量を調整する（ステップＳ８）。つまり、制御部１６は、次に形成しようとするＳｉＧｅ層に対して設定されている流量に調整する。そして、ステップＳ３以降の処理を、すべてのＳｉＧｅ層の形成が終了するまで繰り返す。
【0027】
原料ガスの供給開始（ステップＳ２）の直後及び原料ガスの流量調整（ステップＳ８）の直後では、原料ガスの流量が不安定となるが、図７に示すように、流量が安定するまでバルブＶ１が開くことがないため（ステップＳ３～Ｓ４）、流量が安定した原料ガスのみを縦型反応炉１１内に供給することができる。従って、縦型反応炉１１を用いながら、各ＳｉＧｅ層のＧｅ濃度を適切なものとすることができる。つまり、特性を安定させながらスループットを向上させることができる。

【0028】
（第１の実施形態）
次に、第１の実施形態について説明する。図８Ａ乃至図８Ｆは、の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。
【0029】
本実施形態では、先ず、図８Ａに示すように、例えば表面が（００１）面のｎ型シリコン基板１上に、例えば厚さが１．２ｎｍ程度のゲート絶縁膜２を形成する。ゲート絶縁膜２としては、例えば熱酸化膜又はＳｉＯＮ膜を形成する。次いで、ゲート絶縁膜２上にｐ型不純物が導入された多結晶シリコンからなるゲート電極３を形成する。その後、ゲート電極３をマスクとして、ｐ型不純物のイオン注入を行うことにより、ゲート電極３の両脇において、シリコン基板１の表面に低濃度不純物拡散層４を形成する。
【0030】
続いて、全面に、ＣＶＤ法により酸化膜を形成し、更に絶縁膜を形成し、これらをエッチバックすることにより、図８Ｂに示すように、ＣＶＤ酸化膜５及びサイドウォール絶縁膜６を形成する。ＣＶＤ酸化膜５は、シリコン基板１の表面の一部及びゲート電極３の側面を覆う。次いで、ゲート電極３、ＣＶＤ酸化膜５及びサイドウォール絶縁膜６をマスクとして、ｐ型不純物のイオン注入を行うことにより、低濃度不純物拡散層４の一部と重畳する高濃度不純物拡散層７を形成する。
【0031】
その後、図８Ｃに示すように、サイドウォール絶縁膜６と整合する溝（トレンチ）８を、高濃度不純物拡散層７内に形成する。溝８のチャネル領域側の側面は＜１１１＞面となっている。このような溝８は、ドライエッチングにより所定深さの溝を形成した後に、ＴＭＡＨ（Tetra Methyl Ammonium Hydroxide）等の有機アルカリ溶液を用いたウェットエッチングを行うことにより、自己整合的に形成することができる。
【0032】
続いて、図４に示す成膜装置を用い、エピタキシャル成長法により、図８Ｄに示すように、溝８内にＢを含有するｐ型の傾斜ＳｉＧｅ領域９ａを形成する。このとき、詳細は後述するが、傾斜ＳｉＧｅ領域９ａの構造を５層構造とし、溝８の底に近い層ほどＧｅ濃度を低くする。また、例えば傾斜ＳｉＧｅ領域９ａの最表面の溝８の底からの高さを、シリコン基板１の表面を基準としたときの溝８の深さよりも低くする。
【0033】
なお、傾斜ＳｉＧｅ領域９ａの形成前には、次のような前処理を行うことが好ましい。先ず、シリコン基板１の表面に存在する自然酸化膜を除去する。次いで、図４に示す成膜装置内において、水素雰囲気中で４００℃～６００℃まで基板温度を昇温する。そして、圧力：５Ｐａ～１３３０Ｐａ、温度：４００℃～６００℃の条件下に最大で６０分間程度保持することにより、水素ベーキングを行う。
【0034】
また、傾斜ＳｉＧｅ領域９ａ中のＧｅ濃度は、例えば２０原子％未満とする。傾斜ＳｉＧｅ領域９ａ中のＧｅ濃度を適切に規定することにより、傾斜ＳｉＧｅ領域９ａとシリコン基板１との間の格子定数の相違（ミスマッチ）が小さくなり、これらの界面を基点とする転位が発生しにくくなる。
【0035】
次いで、図４に示す成膜装置を用い、エピタキシャル成長法により、図８Ｅに示すように、傾斜ＳｉＧｅ領域９ａ上にＢを含有するｐ型の固定ＳｉＧｅ領域９ｂを形成する。このとき、詳細は後述するが、固定ＳｉＧｅ領域９ｂ中のＧｅ濃度を、傾斜ＳｉＧｅ領域９ａの最表層のＧｅ濃度以上とする。また、例えば、固定ＳｉＧｅ領域９ｂの表面をシリコン基板１の表面に揃える。
【0036】
また、固定ＳｉＧｅ領域９ｂ中のＧｅ濃度は、例えば２０原子％以上とする。固定ＳｉＧｅ領域９ｂ中のＧｅ濃度を適切に規定することにより、固定ＳｉＧｅ領域９ｂとシリコ

ン基板１との間の格子定数の相違（ミスマッチ）が大きくなり、チャネル領域に一軸性の圧縮応力を効果的に作用する。

【0037】

その後、図４に示す成膜装置を用い、エピタキシャル成長法により、図８Ｆに示すように、固定ＳｉＧｅ領域９ｂ上に犠牲ＳｉＧｅ膜９ｃを形成する。このとき、犠牲ＳｉＧｅ膜９ｃ中のＧｅ濃度を、固定ＳｉＧｅ領域９ｂのＧｅ濃度より低くする。

【0038】

犠牲ＳｉＧｅ膜９ｃ中のＧｅ濃度を適切に規定することにより、後のシリサイド化処理の際に、抵抗率が高い$NiSi_2$相が形成されにくくなる。$NiSi_2$相はＮｉＳｉ相と比較して抵抗が高く、（１１１）面で囲まれたスパイクを形成しやすい。このため、$NiSi_2$相が存在すると、トランジスタの電流駆動能力が劣化しやすく、また、リーク電流が増大しやすい。これに対し、犠牲ＳｉＧｅ膜９ｃ中のＧｅ濃度を適切に規定すれば、このような問題を未然に回避できる。

【0039】

続いて、エピタキシャル成長法により、図８Ｆに示すように、犠牲ＳｉＧｅ膜９ｃ上にＳｉ膜９ｄを形成する。更に、全面にＮｉ層等を形成し、熱処理を行うことにより、Ｓｉ膜９ｄの表面及びゲート電極３の表面にシリサイド層を形成する。このとき、シリサイド層が犠牲ＳｉＧｅ膜９ｃまで拡がって形成されてもよい。その後、層間絶縁膜及び配線等を形成して半導体装置を完成させる。

【0040】

このようにして製造された半導体装置では、図４に示す成膜装置を用いて傾斜ＳｉＧｅ領域９ａ、固定ＳｉＧｅ領域９ｂ及び犠牲ＳｉＧｅ膜９ｃが形成されているため、その特性は安定したものとなる。

【0041】

ここで、図４に示す成膜装置を用いて傾斜ＳｉＧｅ領域９ａ及び固定ＳｉＧｅ領域９ｂを形成する際の具体的な条件について説明する。傾斜ＳｉＧｅ領域９ａ及び固定ＳｉＧｅ領域９ｂの形成に当たっては、H_2ガスの分圧を１Ｐａ～１００Ｐａの範囲内で固定し、SiH_4ガスの分圧を１Ｐａ～１０Ｐａの範囲内で固定する。また、B_2H_6ガスの分圧を０．０００１Ｐａ～０．１Ｐａの範囲内で固定し、ＨＣｌガスの分圧を０．１Ｐａ～１０Ｐａの範囲内で固定する。例えば、H_2ガスの分圧を３２Ｐａとし、SiH_4ガスの分圧を５Ｐａとし、B_2H_6ガスの分圧を０．００５Ｐａとし、ＨＣｌガスの分圧を３Ｐａとする。また、GeH_4ガスの分圧は、形成しようとする層又は膜中のＧｅ濃度に応じて、０．００１Ｐａ～１Ｐａの範囲内で選択する。また、Ｂのドーピング量は、1×10^{19}～$1\times10^{21}cm^{-3}$程度とする。

【0042】

また、傾斜ＳｉＧｅ領域９ａを構成する５層のＳｉＧｅ層の各厚さは、例えば４ｎｍとし、固定ＳｉＧｅ領域９ｂの厚さは、例えば３６ｎｍとする。更に、図９に示すように、傾斜ＳｉＧｅ領域９ａを構成する５層のＳｉＧｅ層中のＧｅ濃度は、溝の底側から順に、例えば１４原子％（第１層）、１６原子％（第２層）、１８原子％（第３層）、２０原子％（第４層）、２２原子％（第５層）とし、固定ＳｉＧｅ領域９ｂ中のＧｅ濃度は、例えば２４原子％とする。また、犠牲ＳｉＧｅ膜９ｃ中のＧｅ濃度は、例えば２０原子％とする。また、傾斜ＳｉＧｅ領域９ａを構成する５層のＳｉＧｅ層の形成のための原料ガスの縦型反応炉１１内への供給時間は、例えば、第１層～第４層において４．５分間とし、第５層において５分間とし、固定ＳｉＧｅ領域９ｂの形成のための原料ガスの縦型反応炉１１内への供給時間は、例えば４６分間とする。また、原料ガスの流量の安定に必要な時間は約１分間である。

【0043】

また、GeH_4ガスの分圧の変化をグラフに表すと図１０Ａのようになる。なお、本実施形態では、図１０Ｂに示すように、排気コンダクタンスは一定とする。

【0044】

このような第１の実施形態によれば、Ｇｅ濃度の変化が所望のものとなり、特性が安定したトランジスタを備えた半導体装置を、バッチ処理により高いスループットで製造することができる。

【0045】

（第２の実施形態）

次に、第２の実施形態について説明する。ＳｉＧｅ層中のＧｅ濃度は、GeH_4ガスの分圧を変化させなくとも、ＨＣｌガスの分圧を変化させれば、制御することができる。つまり、H_2ガスの分圧、SiH_4ガスの分圧、B_2H_6ガス及びGeH_4ガスの分圧を固定した状態で、ＨＣｌガスの分圧を変化させると、形成されるＳｉＧｅ層中のＧｅ濃度が変化する。図１１に、ＨＣｌガスの分圧とＳｉＧｅ層中のＧｅ濃度との関係を示す。図１１に示すように、ＨＣｌガスの分圧が高くなるほど、Ｇｅ濃度が上昇する。そこで、第２の実施形態では、第１の実施形態とは異なり、GeH_4ガスの分圧を固定しつつ、ＨＣｌガスの分圧を変化させる。

【0046】

具体的には、傾斜ＳｉＧｅ領域９ａ及び固定ＳｉＧｅ領域９ｂの形成に当たり、H_2ガスの分圧を１Ｐａ～１００Ｐａの範囲内で固定し、SiH_4ガスの分圧を１Ｐａ～１０Ｐａの範囲内で固定する。また、B_2H_6ガスの分圧を０．０００１Ｐａ～０．１Ｐａの範囲内で固定し、GeH_4ガスの分圧を０．００１Ｐａ～１Ｐａの範囲内で固定する。例えば、H_2ガスの分圧を３２Ｐａとし、SiH_4ガスの分圧を５Ｐａとし、B_2H_6ガスの分圧を０．００５Ｐａとし、GeH_4ガスの分圧を０．１５Ｐａとする。また、ＨＣｌガスの分圧は、形成しようとする層又は膜中のＧｅ濃度に応じて、０．１Ｐａ～１０Ｐａの範囲内で選択する。

【0047】

このような第２の実施形態によっても第１の実施形態と同様に、特性が安定したトランジスタを備えた半導体装置を高いスループットで製造することができる。

【0048】

（第３の実施形態）

次に、第３の実施形態について説明する。図１２に示すように、縦型反応炉１１内には、複数の半導体基板２０が縦方向に並べて配置される。このような場合、炉内供給ライン１４から供給された原料ガス中のGeH_4ガス２１は、縦型反応炉１１内の上流から下流に向けて消費されながら流れる。なお、縦型反応炉１１には、排気のためのポンプ１７が繋げられており、このポンプ１７と縦型反応炉１１との間にはバルブＶ３が取り付けられている。

【0049】

そして、図１３Ａに示すように、GeH_4ガス２１の消費率は、その流量が小さいほど大きくなる。ここで、消費率とは、炉内供給ライン１４から供給されたGeH_4ガス２１の量に対する排気されるまでの間に消費された量の割合である。従って、図９に示すような傾斜ＳｉＧｅ領域９ａを形成しようとした場合には、半導体基板２０の数によっては、特に第１層及び第２層の形成の際に下流側でGeH_4ガス２１が不足する可能性もある。これは、原料ガス中の他の成分についても同様である。

【0050】

そこで、第３の実施形態では、図１３Ｂ中の△印のように、Ｇｅ濃度が低いＳｉＧｅ層を形成する時ほど、原料ガスの流量を多くすると共に、排気コンダクタンスを高くする。例えば、あるＳｉＧｅ層を形成する際の流量及び排気コンダクタンスを基準として、流量及び排気コンダクタンスを同じ倍率で制御する。この流量及び排気コンダクタンスの制御は、例えば制御部１６によるＭＦＣ１３、ポンプ１７及びバルブＶ３の制御に基づいて行われる。なお、図１３Ｂ中のコンダクタンス上昇率は、最も低い排気コンダクタンスを基準（１）として、排気コンダクタンスが何倍となっているかを示す値である。

【0051】

このような排気コンダクタンスの制御を行わない場合には、図１３Ｂ中の●印のように

、Ｇｅ濃度が低いＳｉＧｅ層の形成の際には消費率が高くなるのに対し、このような制御を行うと、図１３Ｂ中の□印のように、消費率が低く安定する。この結果、縦型反応炉１１の全体にわたって安定してGeH_4ガス２１が供給されるので、縦型反応炉１１内でのばらつきをより一層抑制することができる。

【0052】

そして、GeH_4ガスの分圧の変化をグラフに表すと、第１の実施形態と同様に図１４Ａのようになるが、排気コンダクタンスは、図１４Ｂに示すように、GeH_4ガスの分圧が低いときほど高くしている。

【0053】

このような第３の実施形態によれば、上述のように、縦型反応炉１１内でのばらつきをより一層抑制することができる。

【0054】

なお、流量及び排気コンダクタンスを常に同じ倍率で制御する必要はなく、これらの倍率にずれがあってもよい。

【0055】

また、ばらつきを抑制するのみであれば、排気コンダクタンスを全体的に高くすることも考えられるが、未反応のまま排気されるガスが多くなるため、大幅にコストが上昇してしまう。

【0056】

なお、これまでの実施形態では、ｐチャネルＭＯＳトランジスタについてのみ説明しているが、ｎチャネルＭＯＳトランジスタもｐチャネルＭＯＳトランジスタと並行して、素子分離領域によってｐチャネルＭＯＳトランジスタから分離された素子活性領域内に形成することが好ましい。

【0057】

また、ｎチャネルＭＯＳトランジスタとして歪シリコントランジスタを形成することも可能である。この場合には、溝内に、炭素（Ｃ）が導入されたＳｉ層を形成すればよい。Ｃの格子定数はＳｉのそれよりも低いので、ＳｉＧｅ膜を形成した場合に対して逆方向の応力及び歪が生じることになる。また、ｎチャネルＭＯＳトランジスタでは、キャリアが電子である。従って、ｐチャネルＭＯＳトランジスタと同様に、キャリアの移動度が向上する。

【0058】

また、いずれの実施形態においても、混合ガスの成分は上述のものに限定されない。また、Ｇｅの原料はGeH_4ガスに限定されない。また、傾斜ＳｉＧｅ膜を構成するＳｉＧｅ層の数は５である必要はなく、２以上であればよい。

【0059】

以下、本発明の諸態様を付記としてまとめて記載する。

【0060】

（付記１）

複数枚の半導体基板が配置された反応炉内において、前記半導体基板上に、互いにＧｅ濃度が相違する複数のＳｉＧｅ層を積層する工程において、

前記反応炉内に延びる炉内供給ライン及び前記反応炉の外部に延びる排気ラインに繋がった供給ラインに、前記炉内供給ラインが閉じ、前記排気ラインが開いた状態で、Ｓｉの原料ガス及びＧｅの原料ガスを含む混合ガスを流すことにより、前記排気ラインに前記混合ガスを流す第１の工程と、

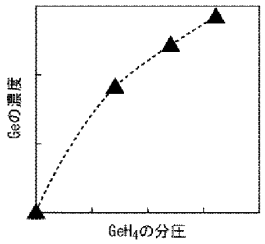
前記供給ラインにおける前記混合ガスの流量の変動幅が所定の範囲内に収まった後に、前記炉内供給ラインを開き、前記排気ラインを閉じることにより、前記炉内供給ラインから前記反応炉内に前記混合ガスを一定の流量で流し、前記複数のＳｉＧｅ層のうちの一つを形成する第２の工程と、を含み、

前記混合ガスに含まれるガスのうちでＳｉＧｅ層のＧｅ濃度に影響を及ぼすものの分圧を変更した上で、前記第１の工程と前記第２の工程とを繰り返すことを特徴とする半導体

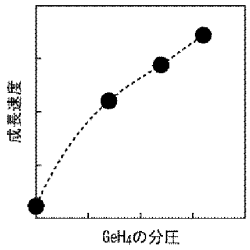
装置の製造方法。
【0061】
（付記２）
前記複数のＳｉＧｅ層として、下から順にＧｅ濃度が高くなるものを形成することを特徴とする付記１に記載の半導体装置の製造方法。
【0062】
（付記３）
前記Ｇｅの原料としてGeH_4ガスを用い、
前記Ｇｅ濃度に影響を及ぼすものの分圧を変更する際に、前記GeH_4ガスの分圧を変更することを特徴とする付記１に記載の半導体装置の製造方法。
【0063】
（付記４）
前記混合ガスとして、更にＨＣｌガスを含むものを用い、
前記Ｇｅ濃度に影響を及ぼすものの分圧を変更する際に、前記ＨＣｌガスの分圧を変更することを特徴とする付記１に記載の半導体装置の製造方法。
【0064】
（付記５）
前記Ｇｅ濃度に影響を及ぼすものの分圧を変更する際に、
前記混合ガスの流量及び前記反応炉から排気されるガスの排気コンダクタンスを変更することを特徴とする付記１に記載の半導体装置の製造方法。
【0065】
（付記６）
Ｇｅ濃度が低いＳｉＧｅ層を形成する場合ほど、前記流量及び前記排気コンダクタンスを高くすることを特徴とする付記５に記載の半導体装置の製造方法。
【0066】
（付記７）
前記流量及び前記排気コンダクタンスを互いに同じ倍率で変更することを特徴とする付記５に記載の半導体装置の製造方法。
【0067】
（付記８）
前記反応炉として、縦型反応炉を用いることを特徴とする付記５に記載の半導体装置の製造方法。
【0068】
（付記９）
前記半導体基板としてＳｉ基板を用いることを特徴とする付記１に記載の半導体装置の製造方法。
【0069】
（付記１０）
前記複数のＳｉＧｅ層を積層する工程の前に、
前記半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、
前記半導体基板の表面に、平面視で前記ゲート電極を挟む２個の不純物拡散層を形成する工程と、
前記不純物拡散層の表面に溝を形成する工程と、
を有し、
前記複数のＳｉＧｅ層を積層する工程において、前記複数のＳｉＧｅ層を前記溝内にエピタキシャル成長させることを特徴とする付記１に記載の半導体装置の製造方法。
【0070】
（付記１１）
前記ＳｉＧｅ層の形成を化学気相成長法により行うことを特徴とする付記１に記載の半

導体装置の製造方法。
【0071】
（付記１２）
前記混合ガスとして、H_2ガス、SiH_4ガス、GeH_4ガス、B_2H_6ガス及びＨＣｌガスを含むものを用いることを特徴とする付記１に記載の半導体装置の製造方法。
【図面の簡単な説明】
【0072】
【図1A】GeH_4ガスの分圧とＳｉＧｅ膜中のＧｅ濃度との関係を示すグラフである。
【図1B】GeH_4ガスの分圧とＳｉＧｅ膜の成長速度との関係を示すグラフである。
【図2A】GeH_4ガスの分圧の制御の内容の例を示すグラフである。
【図2B】図２Ａに示す制御が行われた場合のＳｉ基板の表面からの距離とＧｅ濃度のとの関係を示すグラフである。
【図3A】GeH_4ガスの分圧の制御の内容の他の例を示すグラフである。
【図3B】図３Ａに示す制御が行われた場合のＳｉ基板の表面からの距離とＧｅ濃度のとの関係を示すグラフである。
【図4】成膜装置の概要を示す模式図である。
【図5】Ｇｅ濃度が変化するＳｉＧｅ領域を形成する方法を示すフローチャートである。
【図6A】成膜装置の状態の遷移を示す模式図である。
【図6B】図６Ａに引き続き、成膜装置の状態の遷移を示す模式図である。
【図6C】図６Ｂに引き続き、成膜装置の状態の遷移を示す模式図である。
【図7】原料ガスの流量の変化を示すグラフである。
【図8A】半導体装置の製造方法を示す断面図である。
【図8B】図８Ａに引き続き、半導体装置の製造方法を示す断面図である。
【図8C】図８Ｂに引き続き、半導体装置の製造方法を示す断面図である。
【図8D】図８Ｃに引き続き、半導体装置の製造方法を示す断面図である。
【図8E】図８Ｄに引き続き、半導体装置の製造方法を示す断面図である。
【図8F】図８Ｅに引き続き、半導体装置の製造方法を示す断面図である。
【図9】傾斜ＳｉＧｅ領域９ａ及び固定ＳｉＧｅ領域９ｂの詳細を示す図である。
【図10A】第１の実施形態におけるGeH_4ガスの分圧の変化を示すグラフである。
【図10B】第１の実施形態における排気コンダクタンスの変化を示すグラフである。
【図11】ＨＣｌガスの分圧とＳｉＧｅ膜中のＧｅ濃度との関係を示すグラフである。
【図12】縦型反応炉１１内に導入されたGeH_4ガスの流れを示す図である。
【図13A】GeH_4ガス２１の流量と消費率との関係を示すグラフである。
【図13B】ＳｉＧｅ膜中のＧｅ濃度とGeH_4ガスの消費率及びコンダクタンス上昇率との関係を示すグラフである。
【図14A】第４の実施形態におけるGeH_4ガスの分圧の変化を示すグラフである。
【図14B】第４の実施形態における排気コンダクタンスの変化を示すグラフである。
【符号の説明】
【0073】
１１：縦型反応炉
１２：供給ライン
１３：マスフローメータ（ＭＦＣ）
１４：炉内供給ライン
１５：排気ライン
１６：制御部
１７：ポンプ
Ｖ１、Ｖ２、Ｖ３：バルブ

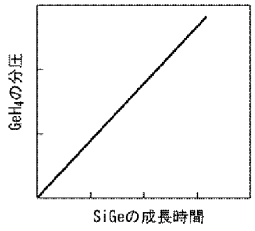
【図1A】



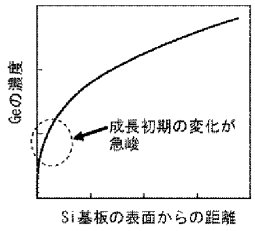
【図1B】



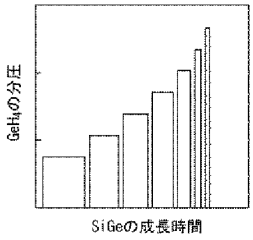
【図2A】



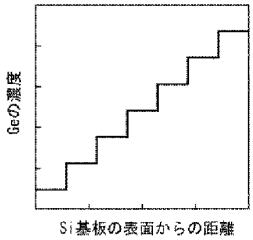
【図2B】



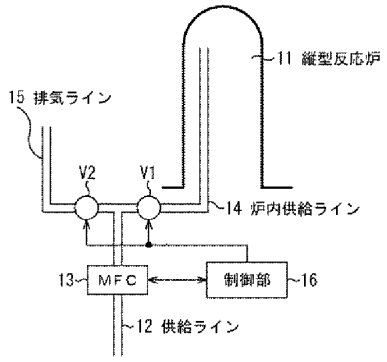
【図3A】



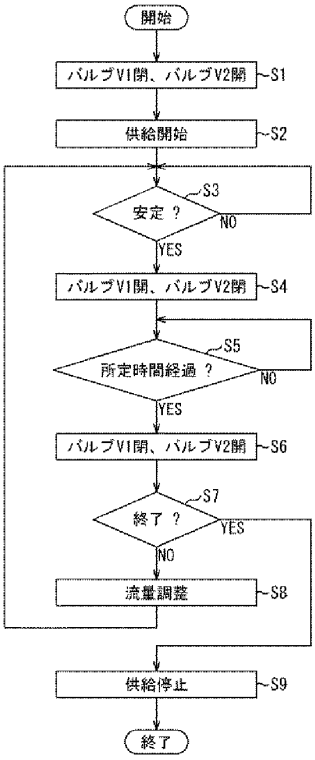
【図3B】



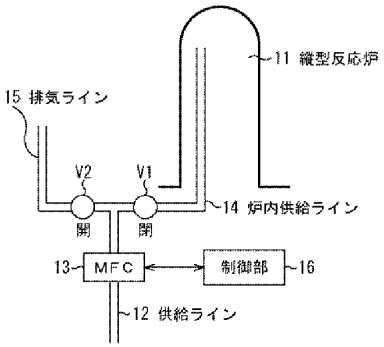
【図4】



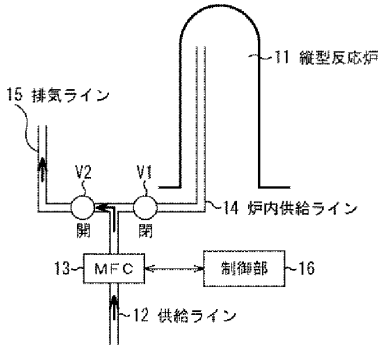
【図5】



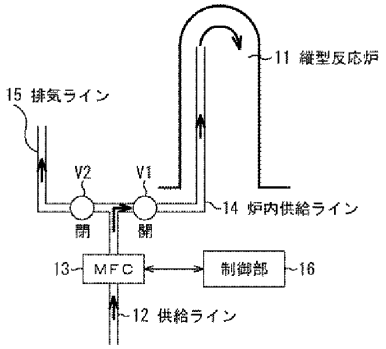
【図6A】



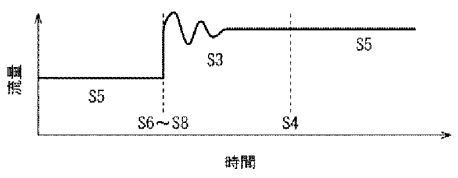
【図6B】



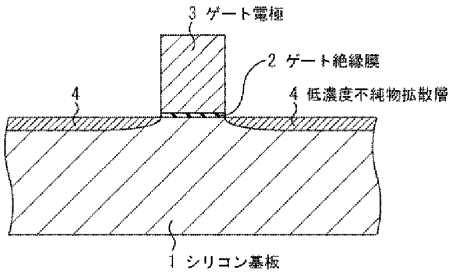
【図6C】



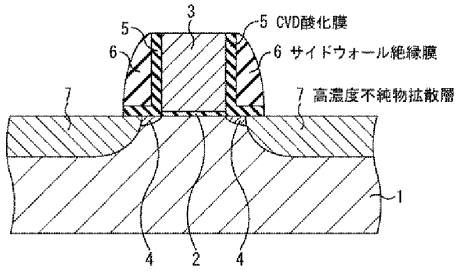
【図7】



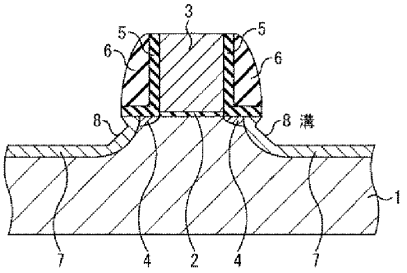
【図8A】



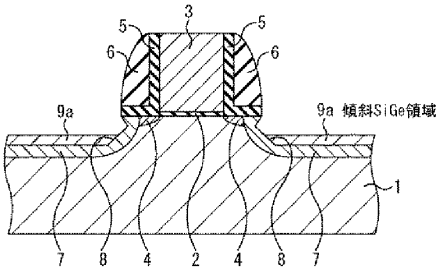
【図8B】



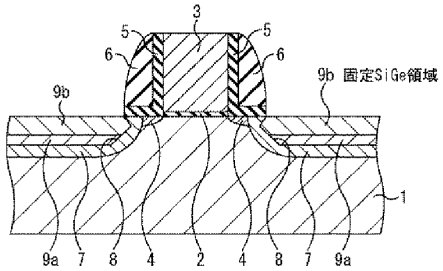
【図8C】



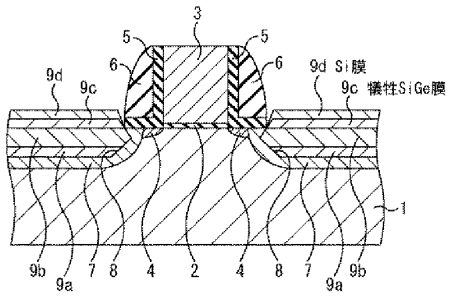
【図8D】



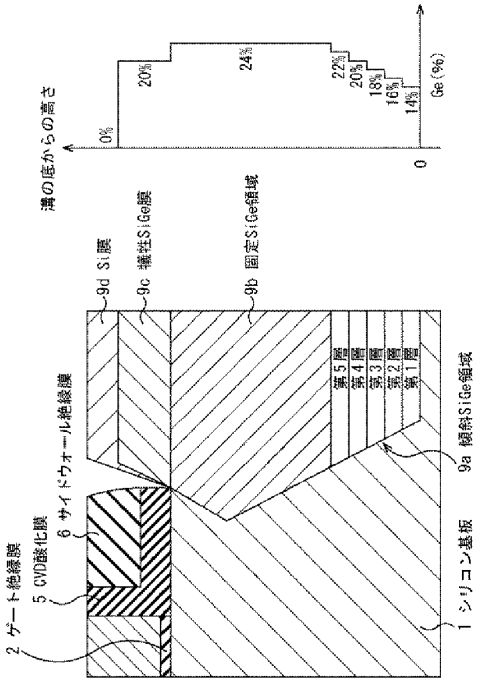
【図8E】



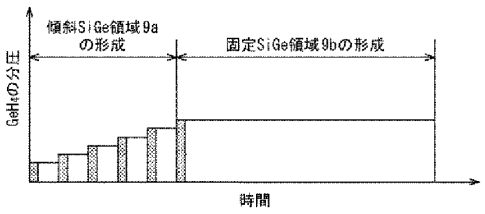
【図8F】



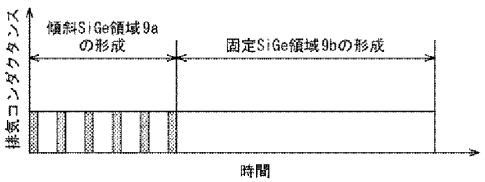
【図9】



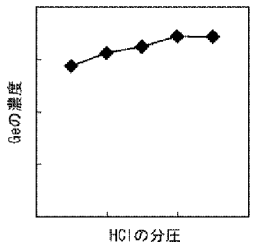
【図10A】



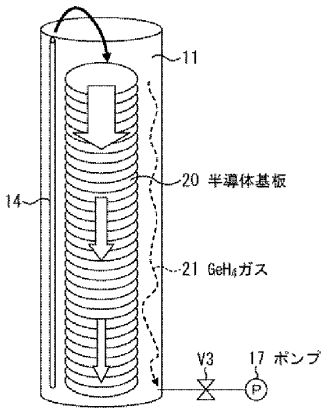
【図10B】



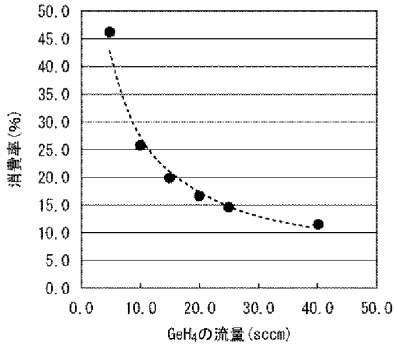
【図11】



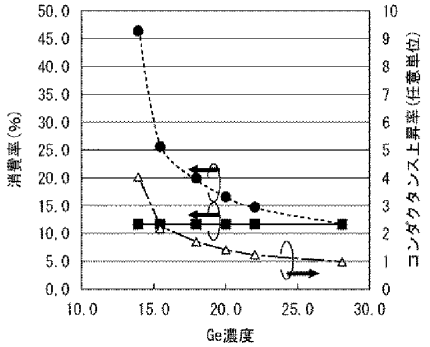
【図12】



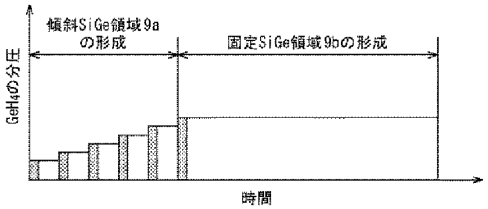
【図13A】



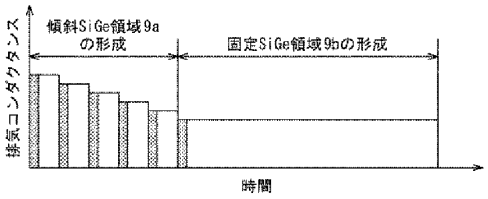
【図13B】



【図14A】



【図14B】



Ｆターム(参考) 5F140 AA05 AB03 AC28 BA01 BA20 BD09 BE07 BF04 BF11 BF18
BG09 BG12 BG31 BG34 BG52 BG53 BH06 BH15 BH22 BH27
BJ01 BJ08 BK02 BK08 BK09 BK13 BK18 BK34 CF04

Espacenet

Bibliographic data: JP2009182360 (A) — 2009-08-13

TRI-GATE DEVICES AND METHODS OF FABRICATION

Inventor(s): CHAU ROBERT; DOYLE BRIAN; KAVALIEROS JACK; BARLAGE DOUGLAS; DATTA SUMAN ± (CHAU ROBERT, ; DOYLE BRIAN, ; KAVALIEROS JACK, ; BARLAGE DOUGLAS, ; DATTA SUMAN)

Applicant(s): INTEL CORP ± (INTEL CORP)

Classification: **- international:** ***H01L21/336; H01L29/423; H01L29/78; H01L29/786***
- cooperative: **B82Y10/00 (EP)**; **H01L29/0665 (EP, KR)**; **H01L29/0673 (EP)**; **H01L29/1033 (EP, KR)**; **H01L29/41791 (EP, KR)**; **H01L29/42384 (EP, KR)**; **H01L29/42392 (EP, KR)**; **H01L29/4908 (EP, KR)**; **H01L29/66795 (EP, KR)**; **H01L29/772 (EP, KR)**; **H01L29/785 (EP, KR)**; **H01L29/7854 (KR)**; **H01L29/78696 (EP)**; **H01L51/0048 (EP)**; **H01L51/0554 (EP)**; H01L29/7854 (EP); H01L29/78645 (EP); Y10S977/742 (EP); Y10S977/842 (EP); Y10S977/938 (EP)

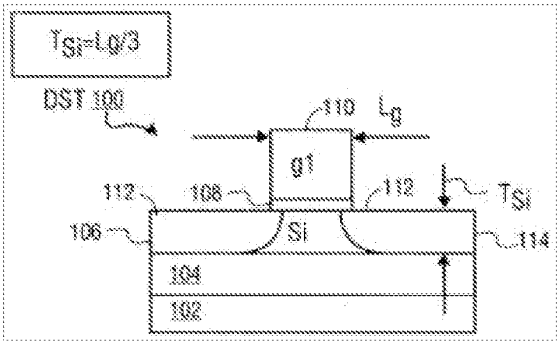
Application number: JP20090122283 20090520 Global Dossier

Priority number(s): US20020227068 20020823

Also published as: AU2003262770 (A1) CN1287433 (C) CN1518771 (A) CN1822338 (A) CN1897232 (A) more

Abstract of JP2009182360 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor device comprising a semiconductor body having a top surface sidewalls on both right and left sides formed on a substrate, and its fabrication method. ;SOLUTION: A gate dielectric layer is formed on the top surface of the semiconductor body and on the sidewalls on both right and left sides of the semiconductor body. A gate electrode is formed on the gate dielectric on the top surface of the semiconductor body and is formed adjacently to the gate dielectric on the sidewalls on both the right and left sides of the semiconductor body. ;COPYRIGHT: (C)2009,JPO&INPIT


$T_{Si}=L_g/3$
DST 100
110
L_g
g1
112
108
112
T_{Si}
106
Si
114
104
102

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JP2009182360A

Trigate device and manufacturing method

[0001]

The present invention relates to the field of semiconductor integrated circuit manufacturing, and more particularly to a trigate completely depleted substrate transistor and a method for manufacturing the same.

[0002]

To improve device performance, silicon on insulator (SOI) transistors have been proposed for the manufacture of modern integrated circuits. FIG. 1 shows a standard full depleted SOI transistor 100. The SOI transistor 100 includes a single crystal silicon substrate 102. The single crystal silicon substrate 102 includes an insulating layer 104. The insulating layer 104 is, for example, an embedded oxide film formed on the single crystal silicon substrate 102. A single crystal silicon body 106 is formed on the insulating layer 104. A gate insulating layer 108 is formed on the single crystal silicon body 106, and a gate electrode 110 is formed on the gate insulating film 108. A source 112 region and a drain 114 region are formed on the silicon body 106 along the left and right sides of the gate electrode 110.

[0003]

Completely depleted SOI has been proposed as a transistor structure that optimizes the on-current / off-current ratio using an ideal subthreshold gradient.

In order to achieve an ideal subthreshold gradient using the transistor 100, the thickness of the silicon body 106 must be about 1/3 the size of the gate length (Lg) of the transistor (Tsi = Lg / 3). .. However, the need to gradually reduce the thickness of the silicon thin film (Tsi) when reducing the gate lengths, especially as they approach 30 nm, makes this method increasingly impractical. When the gate length is 30 nanometers, the thickness required for the silicon body is considered to need to be less than 10 nanometers and should be less than about 6 nanometers for a gate length of 20 nanometers. It is conceivable that. The production of silicon thin films with a thickness of less than 10 nanometers is considered to be extremely difficult. On the other hand, wafer uniformity on the order of 1 nanometer is a difficult challenge. On the other hand, it is almost impossible to make it possible to bring these thin films into contact so that a raised source / drain region is formed to reduce the contact resistance. This is because the silicon thin film layer in this source / drain region will be depleted during the gate etching followed by various cleanings and spacer etching leaving the silicon 106 inadequate for silicon growth.

[0004]

Double gate (DG) devices, as illustrated in FIGS. 2A and 2B, have been proposed to alleviate this silicon thickness problem.

The double gate (DG) device 200 includes a silicon body 202 formed on an insulating substrate 204. The gate dielectric 206 is formed on both the left and right sides of the silicon body 202, and the gate electrodes 208 are formed adjacent to the gate

dielectric 206 formed on both sides of the silicon body 202. A sufficiently thick insulating layer 209, such as silicon nitride, insulates the gate electrode 208 from the top of the silicon body 202.

[0005]

The double gate (DG) device 200 basically comprises two gates, one on each side of the channel of the device.

Since the double gate device 200 has one gate on each side of the channel, even if the thickness (Tsi) of the silicon body is double that of the single gate device, the operation as a completely depleted transistor can still be obtained. .. That is, if the double gate device 200 is used, a completely depleted transistor having Tsi = (2 × Lg) / 3 can be formed. However, most of the manufacturable forms of the double gate (DG) device 200 pattern the body 202 with photolithography 0.7 times smaller than that used to pattern the gate length (Lg) of the device. Needs to be done. In order to obtain a high density integrated circuit, it is generally desirable to ensure that the most aggressive photolithography occurs with respect to the gate length (Lg) of the gate electrode 208. Despite the fact that double gate structures double the silicon film thickness (because there are gates on each side of the channel), these structures are horribly difficult to manufacture. For example, the silicon body 202 requires silicon body etching capable of producing a silicon body 202 having an aspect ratio (ratio of height to width) of about 5: 1.

[0006]

A trigate transistor structure and a method for manufacturing the same are provided.

[0007]

According to one aspect, a method for manufacturing a non-planar semiconductor device is provided.

The method is a step of forming a semiconductor body having a planar upper surface and a pair of opposing side walls on a substrate; a step of forming a gate dielectric on the upper surface of the semiconductor body and the pair of opposing side walls; It is a step of forming a gate electrode on the gate dielectric and adjacent to the gate dielectric on the opposite side wall of the semiconductor body, and the semiconductor body is a first conductive type under the gate electrode. A step of forming a gate electrode having the above; a step of forming a first conductive type halo region in the semiconductor body under the gate electrode; It has a step of forming a region and a drain region;

[0008]

It is a cross-sectional view of a depletion substrate transistor.

It is a figure which shows the double gate depletion substrate transistor.

It is a figure which shows the double gate depletion substrate transistor.

It is a figure which shows the trigate transistor which concerns on one Embodiment of this invention.

It is a figure which shows the trigate transistor which concerns on one Embodiment of this invention.

It is a figure which shows the trigate transistor which concerns on one Embodiment of this invention.

It is a figure which shows the method of manufacturing the trigate transistor which concerns on one Embodiment of this invention.

It is a figure which shows the method of manufacturing the trigate transistor which concerns on one Embodiment of this invention.

It is a figure which shows the method of manufacturing the trigate transistor which concerns on one Embodiment of this invention.

It is a figure which shows the method of manufacturing the trigate transistor which concerns on one Embodiment of this invention.

It is a figure which shows the method of manufacturing the trigate transistor which concerns on one Embodiment of this invention.

It is a figure which shows the method of manufacturing the trigate transistor which concerns on one Embodiment of this invention.

It is a figure which shows the method of manufacturing the trigate transistor which concerns on one Embodiment of this invention.

It is a figure which shows the method of manufacturing the trigate transistor which concerns on one Embodiment of this invention.

It is a figure which shows the method of manufacturing the trigate transistor which concerns on one Embodiment of this invention.

FIG. 6 is a plot showing body height and body width that can be used to obtain a partially depleted trigate transistor with a gate length (lg) of 30 nm and a fully depleted trigate transistor with a gate length (lg) of 20 nm.

[0009]

The present invention is a novel trigate transistor structure and a method for manufacturing the same.

In the following description, many specific details are provided to provide a complete understanding of the present invention.

In other examples, well-known semiconductor processes and manufacturing methods are not described in particular detail so as not to unnecessarily blur the invention.

[0010]

The present invention is a novel trigate transistor structure and a method for manufacturing the same.

In one embodiment of the invention, the trigate transistor is an SOI transistor.

Ideally, trigate transistors are used in completely depleted substrate transistor applications.

The trigate transistor includes a thin semiconductor body formed on the substrate, the substrate being an insulating substrate or a semiconductor substrate.

A gate dielectric is formed on the upper surface and the side wall of the semiconductor body.

A gate electrode is formed adjacent to the gate dielectric formed on the upper surface of the semiconductor body and on the side wall of the semiconductor body.

The source / drain region is formed on the side opposite to the gate electrode of the semiconductor body.

This transistor essentially has three separate channels and gates, as the gate electrode and the gate dielectric surround the three surfaces of the semiconductor body.

The gate "width" of the transistor is equal to the sum of each of these three sides of this semiconductor body.

When the "width" is increased, a plurality of trigate transistors can be integrally connected to form a transistor.

[0011]

Since three separate channels are formed in the semiconductor body, turning the transistor "ON" can completely deplete the semiconductor body, which allows the use of ultra-thin semiconductor bodies or lithographical semiconductor bodies. It is possible to form a completely depleted transistor with a gate length of less than 30 nanometers without the need to make the size smaller than the gate length (Lg) of the device by patterning.

That is, the structure of the trigate transistor of the present invention makes it possible to manufacture a completely depleted transistor in which the thickness and width of the semiconductor body are equal to the gate length of the device.

Because the novel trigate transistors of the invention can be fully depleted and operated, the device has an ideal (ie, very sharp) subthreshold gradient and less than 100 mV / V, ideally. Is characterized by a DIBL (drain-induced barrier lowering) short-channel effect reduced to about 60 mV / V.

This reduced DIBL short channel effect reduces leakage current when the device is "off" and reduces power consumption.

[0012]

FIG. 3 shows an example of the trigate transistor 300 according to the embodiment of the present invention.

The trigate transistor 300 is formed on the substrate 302.

In one embodiment of the present invention, the substrate 302 is an insulating substrate including a lower single crystal silicon substrate 304, and an insulating layer 306 such as a silicon oxide film is formed on the silicon substrate 304.

However, the trigate transistor 300 can be formed on any well-known insulating substrate such as a substrate made of silicon dioxide, nitrides, oxides, and sapphires.

In one embodiment of the present invention, the substrate 302 may be a semiconductor substrate such as a single crystal silicon substrate or a gallium arsenide substrate.

[0013]

The trigate transistor 300 includes a semiconductor body 308 formed on the insulator 306 of the insulating substrate 302.

The semiconductor body 308 includes silicon (Si), germanium (Ge), silicon germanium (SixGey), gallium arsenide (GaAs), indium antimonide (InSb), gallium phosphide (GaP), gallium antimonide (GaSb), and It can be formed from any well-known semiconductor material such as carbon nanotubes.

The semiconductor body 308 can be formed from any well-known material that can be reversibly changed from an insulated state to a conductive state by external electrical control.

The semiconductor body 308 is ideally a single crystal film when the best electrical performance of the transistor 300 is desired.

For example, when the transistor 300 is used in high performance applications such as high density circuits (eg, microprocessors, etc.), the semiconductor body 308 is a single crystal film.

However, when the transistor 300 is used in applications such as liquid crystal displays where relatively strict performance is not required, the semiconductor body 308 may be a polycrystalline film.

The insulator 306 insulates the semiconductor body 308 from the single crystal silicon substrate 302.

In one embodiment of the invention, the semiconductor body 308 is a single crystal silicon film.

The semiconductor body 308 has a pair of side walls 310 and 312.

These sidewalls are on opposite sides in the lateral direction, and the distance between them defines the semiconductor body width 314.

In addition, the semiconductor body 308 has a top surface 316 on the opposite side of the bottom surface 318 formed on the substrate 302.

The distance between the top surface 316 and the bottom surface 318 defines the body height 320.

In one embodiment of the invention, the body height 320 is substantially equal to the body width 314.

In one embodiment of the invention, the body 308 has a width of 314 and a height of 320, less than 30 nanometers, ideally less than 20 nanometers.

In one embodiment of the present invention, the body height 320 is between 1/2 of the body width 314 and twice the body width 314.

[0014]

The trigate transistor 300 has a gate insulating layer 322.

As shown in FIG. 3, the gate insulating layer 322 is formed on the semiconductor body 308 so as to surround the three surfaces thereof.

As shown in FIG. 3, the gate insulating layer 322 is formed on or adjacent to the side wall 312, the upper surface 316, and the side wall 310 of the body 308.

The gate insulating layer 322 may be any well-known gate insulating layer.

In one embodiment of the present invention, the gate insulating layer is a silicon dioxide (SiO2), silicon oxynitride (SiOxNy), or silicon nitride (Si3N4) insulating layer.

In one embodiment of the present invention, the gate insulating layer 322 is a silicon oxynitride film formed to a thickness of 5 to 20 Å.

In one embodiment of the present invention, the gate insulating layer 322 is a high K gate insulating layer such as a metal oxide dielectric such as tantalum pentaoxide (Ta2O5) or titanium oxide oxide (TiO2).

The gate insulating layer 322 may be another type of high K dielectric such as PZT.

[0015]

The trigate device 300 has a gate electrode 324.

As shown in FIG. 3, the gate electrode 324 is formed on the gate insulating layer 322 so as to surround the gate electrode 324.

The gate electrode 324 is formed on or adjacent to the gate insulating layer 322 formed on the side wall 312 of the semiconductor body 308, and is further formed on the gate insulating layer 322 formed on the upper surface 316 of the semiconductor body 308. , Is formed on or adjacent to the gate insulating layer 322 formed on the side wall 310 of the semiconductor body 308.

The gate electrode 324 has a pair of side walls 326 and 328.

These sidewalls are laterally opposite and the distance between them defines the gate length (Lg) 330 of the transistor 300.

In one embodiment of the present invention, the left and right side walls 326 and 328 of the gate electrode 324 extend in a direction perpendicular to the left and right side walls 310 and 312 of the semiconductor body 308.

[0016]

The gate electrode 324 can be formed from any suitable gate electrode material.

In one embodiment of the invention, the gate electrode 324 comprises polycrystalline silicon with a doping concentration of 1 × 1019 atoms / cm3 to 1 × 1020 atoms / cm3.

In one embodiment of the invention, the gate electrode may be a metal gate electrode such as tungsten, tantalum, titanium, and nitrides thereof.

In one embodiment of the invention, the gate electrode is formed from a material having a mid-gap work function of 4.6 to 4.8 eV.

As is clear, the gate electrode 324 does not necessarily have to be a single material, and may be a composite thin film laminate such as a polycrystalline silicon / metal electrode or a metal / polycrystalline silicon electrode.

[0017]

The trigate transistor 300 has a source region 330 and a drain region 332.

The source region 330 and the drain region 332 are formed on the semiconductor bodies 308 on both sides of the gate electrode 324, as shown in FIG.

The source region 330 and the drain region 332 are formed from the same conduction type such as N type or P type.

In one embodiment of the invention, the source region 330 and the drain region 332 have a doping concentration of 1 × 1019 to 1 × 1021 atoms / cm3.

The source region 330 and the drain region 332 may be formed at a uniform concentration, or may include sub-regions having different doping concentrations or profiles, such as a tip region (eg, source / drain expansion portion).

In one embodiment of the invention, when the transistor 300 is a symmetrical transistor, the source region 330 and the drain region 332 have the same doping concentration and profile.

In one embodiment of the invention, when the trigate transistor 300 is formed as an asymmetric transistor, the doping concentrations and profiles of the source region 330 and drain region 332 can be varied to obtain specific electrical characteristics.

[0018]

A portion of the semiconductor body 308 arranged between the source region 330 and the drain region 332 defines the channel region 350 of the transistor 300.

The channel region 350 can also be defined as an area of the semiconductor body 308 surrounded by the gate electrode 324.

However, from time to time, the source / drain region may define a channel region that extends slightly below the gate electrode, eg, through diffusion, and is slightly less than the gate electrode length (Lg).

In one embodiment of the invention, the channel region 350 is a true or non-doped single crystal silicone.

In one embodiment of the invention, the channel region 350 is a doped single crystal silicone.

When the channel region 350 is doped, it is usually doped to a conductivity level of 1 × 1016 to 1 × 1019 atoms / cm3.

In one embodiment of the invention, when the channel region is doped, it is usually doped in a conduction type opposite to that of the source region 330 and the drain region 332.

For example, when the source and drain regions are N-type, the channel regions are P-type doped.

Similarly, when the source and drain regions are P-type, the channel region is N-type.

As described above, the trigate transistor 300 can be formed into an NMOS transistor or a NMOS transistor.

The channel region 350 may be uniformly doped, or may be non-uniformly or doped to have different concentrations to provide specific electrical and performance characteristics.

For example, the channel region 350 may include the well-known "halo" region, if desired.

[0019]

By providing a gate dielectric and a gate electrode that surround the semiconductor body on three sides, the trigate transistor is characterized by having three channels and three gates.

Here, the first gate (g1) extends between the source and drain regions on the side surface 312 of the silicon body 308, and the second gate (g2) extends between the source and drain regions on the top surface 316 of the silicon body 308. A third gate (g3) extends between the source and drain regions on the side wall 310 of the silicon body 308.

The gate "width" (Gw) of transistor 300 is the sum of the widths of the three channel regions.

That is, the gate width of the transistor 300 is equal to the height 320 of the silicon body 308 on the side wall 310 + the width of the silicon body 308 on the top surface 316 + the height 320 of the silicon body 308 on the side wall 312.

Larger "width" transistors can be obtained by using a plurality of integrally coupled devices (eg, a plurality of silicon bodies 308 surrounded by one gate electrode 324).

[0020]

Since the three surfaces of the channel region 350 are surrounded by the gate electrode 324 and the gate dielectric 322, the transistor 300 is operated in a completely depleted state in which the channel region 350 is completely depleted when the transistor 300 is "on". And provides the beneficial electrical properties and performance of a fully depleted transistor.

That is, when the transistor 300 is "on", a depletion region is formed and a channel region 350 is formed with an inversion layer on the surface of the region 350 (ie, the inversion layer is formed on the side and top surfaces of the semiconductor body. NS).

This inversion layer has the same conduction type as the source and drain regions and forms a conduction channel between the source and drain regions to allow current to flow between them.

The trigate transistor according to the present invention can be said to be a non-planar transistor because the channel region is formed in both the horizontal direction and the vertical direction of the semiconductor body 308.

The depletion region robs the free carrier from beneath the reversal layer.

Since the depletion region extends to the bottom of the channel region 350, this transistor can be said to be a "full depleted" transistor.

Fully depleted transistors have electrical performance characteristics that exceed those that are not completely depleted or partially depleted.

For example, operating the transistor 300 in a completely depleted manner provides the transistor 300 with an ideal or very steep subthreshold gradient.

This trigate transistor has a very steep subthreshold gradient of less than 80 mV / decade, ideally less than about 60 mV / decade, even when manufactured using a semiconductor body with a thickness of less than 30 nm. Can be manufactured.

In addition, when the transistor 300 is operated in a completely depleted manner, the transistor 300 has improved drain-induced barrier lowering (DIBL).

This effectively provides better "off" state leaks and reduces leaks, thus reducing power consumption.

In one embodiment of the invention, the trigate transistor 300 has a DIBL effect of less than 100 mV / V, ideally less than 40 mV / V.

[0021]

FIG. 6 shows a fully depleted (FD) trigate transistor (602) or a partially depleted (PD) trigate transistor (604) having a gate length (Lg) of 30 nm and a gate length (Lg) of 20 nm, respectively. It is a figure of two plots 602 and 604 showing the body height and the body width to be generated.

In one embodiment of the invention, the body height, body width, and gate length are chosen to have dimensions in which a completely depleted transistor is formed.

In other embodiments, the trigate transistor has a body height, body width, and gate length such that a partially depleted transistor is formed.

[0022]

In one embodiment of the trigate transistor 300 according to the present invention, the source and drain regions include silicon or other semiconductor film 410 formed on the semiconductor body 308 to surround it, as shown in FIG. 4A. be able to.

For example, the semiconductor film 410 may be a silicon film or a silicon alloy such as silicon germanium (SixGey).

In one embodiment of the present invention, the semiconductor film 410 is a single crystal silicon film formed from the same conduction type as the source region 330 and the drain region 332.

In one embodiment of the present invention, the semiconductor film may be a silicon alloy such as silicon germanium containing silicon in an atomic percentage of about 1-99%.

The semiconductor film 410 does not necessarily have to be a single crystal semiconductor film, and may be a polycrystalline film as an embodiment.

In one embodiment of the invention, the semiconductor film 410 is formed on the source region 330 and drain region 332 of the semiconductor body 308 to form a "raised" source and drain region.

The semiconductor film 410 can be insulated from the gate electrode 324 by a pair of dielectric side wall spacers 420 such as a mixture of silicon nitride and silicon oxide.

Since the side wall spacer 420 extends along the side walls 326 and 328 on both the left and right sides of the gate electrode 324 as shown in FIG. 4A, the semiconductor film 410 is insulated from the gate electrode 324 as shown in FIG. 4A.

In one embodiment of the invention, the sidewall spacer 420 has a thickness of 20-200 Å.

Adding silicon or semiconductor film to the source and drain regions 330 and 332 of the semiconductor body to form a "raised" source and drain region increases the thickness of the source and drain regions and thus the source / drain with respect to the transistor 300. Contact resistance is reduced and its electrical properties and performance are improved.

[0023]

In one embodiment of the invention, a silicide film 430 such as titanium silicide, nickel silicide, and cobalt silicide is formed on the source region 330 and the drain region 332.

In one embodiment of the invention, the silicide film 430 is formed on the silicon film 410 of the silicon body 308, as shown in FIG. 4A.

However, the silicide film 430 can also be formed just above the upper surface 316 of the silicon body 308.

For example, the silicid film 430 first forms a silicon film, such as an undoped silicon film or silicon body, and then forms on the silicon body 308 by completely consuming the silicon film during the silicid process. be able to.

The insulating spacer 420 allows the silicide film 430 to be formed on the semiconductor body 308 or silicon film 410 in a self-aligning process (ie, salicide process).

[0024]

In addition, in one embodiment of the present invention, the semiconductor or silicon film 440 can also be formed on the upper surface of the gate electrode 324 such as the silicide film 450 on the upper surface of the gate electrode 325 such as the silicide film 450.

The silicide film 450 and the silicon film 440 are usually formed at the same time as the silicide film 430 and the silicon film 420 on the silicon body 308.

By forming the silicon film 440 on the silicide film 450 on the gate electrode, the contact resistance to the gate is reduced, and thus the electrical performance of the transistor 300 is improved.

[0025]

As mentioned above, the gate "width" of the transistor 300 is equal to the sum of the three gate widths created from the semiconductor body 308 of the transistor 300.

To manufacture a transistor with a larger gate width, the transistor 300 can include additional or multiple semiconductor bodies or fingers 308, as shown in FIG. 4B.

As shown in FIG. 4B, each semiconductor body 308 has a gate insulating layer 322 formed on the upper surface and the side wall thereof.

The gate electrode 324 is formed on and adjacent to each gate dielectric 322 on each of the semiconductor bodies 308.

Each semiconductor body 308 also includes a source region 330 and a drain region 332 formed on the semiconductor body 308 on both sides of the gate electrode 324, as shown in FIG. 4B.

In one embodiment of the invention, each semiconductor body 308 is formed to have the same width and height (thickness) as the remaining semiconductor body 308.

In one embodiment of the invention, each source region 330 and drain region 332 of the semiconductor body 308 are electrically integrally coupled by the semiconductor material used to form the semiconductor body 308, as shown in FIG. 4B. It forms a source landing pad 460 and a drain landing pad 480.

Alternatively, the source region 330 and the drain region 332 are used to electrically interconnect various transistors 300 into a functional circuit with a higher level of metallization (eg, metal 1, metal 2). , Metal 3 ...) can also be integrally bonded.

The gate width of the transistor 300 shown in FIG. 4B is equal to the sum of the gate widths created by each of the semiconductor bodies 308.

As described above, the trigate transistor 300 can be formed with an arbitrary desired gate width.

[0026]

5A-5J show methods for manufacturing a trigate transistor according to an embodiment of the present invention.

Manufacture of the trigate transistor begins with substrate 502.

Silicon or semiconductor film 508 is formed on the substrate 502 as shown in FIG. 5A.

In one embodiment of the invention, the substrate 502 is an insulating substrate, as shown in FIG. 5A.

In one embodiment of the present invention, the insulating substrate 502 includes a lower single crystal silicon substrate 504 and an upper insulating layer 506 such as a silicon oxide film or a silicon nitride film.

The insulating layer 506 insulates the semiconductor film 508 from the substrate 504.

In one embodiment, the insulating layer 506 is formed to a thickness of 200-2000 Å.

The insulating layer 506 is sometimes referred to as an "embedded oxide film" layer.

When the silicon or semiconductor film 508 is formed on the insulating substrate 502, a "silicon or semiconductor on insulator" (SOI) substrate 500 is created.

As another embodiment of the present invention, the substrate 502 may be a semiconductor substrate such as a silicon single crystal substrate or a gallium arsenide substrate.

[0027]

Ideally, the semiconductor film 508 is a silicon film, but in other embodiments, germanium (Ge), silicon germanium alloy (SixGey), gallium arsenide (GaAs), gallium antimonide (InSb), phosphorification. Other types of semiconductor films such as gallium (GaP), gallium antimonide (GaSb), and carbon nanotubes may be used.

In one embodiment of the invention, the semiconductor film 508 is an intrinsic (ie, undoped) silicon film.

In another embodiment, the semiconductor film 508 is doped into a p-type or n-type conduction type having a concentration level of 1 × 1016 to 1 × 1019 atoms / cm3.

The semiconductor film 508 may be doped while being (i.e., a doping process performed during deposition), or may be doped after it has been formed on the substrate 502, for example by ion implantation. ..

The post-formation doping process allows for easy manufacture of both complete and NMOS trigate devices on the same insulating substrate.

The doping level of the semiconductor body at this point determines the doping level in the channel region of the device.

[0028]

The semiconductor film 508 is formed to a thickness approximately equal to the height desired for one or more semiconductor bodies formed after the manufactured trigate transistor.

In one embodiment of the invention, the semiconductor film 508 has a thickness or height of less than 30 nanometers, ideally less than 20 nanometers.

In one embodiment of the invention, the semiconductor film 508 is formed to a thickness approximately equal to the desired gate "length" of the manufactured trigate transistor.

In one embodiment of the invention, the semiconductor film 508 is formed thicker than the desired gate length of the device.

In one embodiment of the invention, the semiconductor film 580 is formed to a thickness that allows the manufactured trigate transistor to operate in a completely depleted manner with respect to its designed gate length (Lg).

[0029]

The semiconductor film 508 can be formed on the insulating substrate 502 by any well-known method.

In a method of forming silicon on an insulating substrate known as the SIMOX method, a large amount of oxygen atoms are injected into a single crystal silicon substrate, and then annealing is performed to embed the oxide film 506 in the substrate. Form.

The portion of the single crystal silicon substrate above the embedded oxide film becomes the silicon film 508.

Another method currently used to form SOI substrates is an epitaxial silicon film transfer method, usually referred to as bonded SOI.

In this method, an oxide thin film that later functions as an embedded oxide film 506 in the SOI structure is grown on the surface of the first silicon wafer.

Next, a large amount of hydrogen is injected into the first silicon wafer to form a high stress region under the silicon surface of the first wafer.

The first wafer is then turned over and attached to the surface of the second silicon wafer.

The first wafer then cracks along the high stress plane created by hydrogen injection.

As a result, an SOI structure is obtained in which a silicon thin film layer is provided on the upper surface and all the embedded oxide films under the silicon thin film layer are on the upper surface of the single crystal silicon substrate.

The top surface of the semiconductor film 508 can be smoothed to the desired thickness using well-known smoothing methods such as HC smoothing and chemical mechanical polishing (CMP).

[0030]

At this point, if desired, an insulating region (not shown) may be formed on the SOI substrate 500 so that various transistors formed therein are insulated from each other.

The insulating region is formed by etching a part of the substrate film 508 surrounding the trigate transistor by, for example, a well-known lithography and etching method, and then backfilling the etched region with an insulating film such as SiO2. Can be formed.

[0031]

To form the trigate transistor on the substrate 500, a photoresist mask 510 is formed on the semiconductor film 508, as shown in FIG. 5B.

The photoresist mask 510 includes one or more patterns 512 that later define the position where the semiconductor body or fins are formed on the semiconductor film 508.

The photoresist pattern 512 defines the desired width 518 of the semiconductor body or fins of the later formed trigate transistor.

In one embodiment of the invention, pattern 512 defines a fin or body having a width of 518 that is greater than or equal to the desired width of the gate length (Lg) of the transistor being manufactured.

Thus, the strictest graphic conditions used to manufacture this transistor relate to gate electrode patterning rather than the definition of semiconductor body or fins.

In one embodiment of the invention, the semiconductor body or fin has a width of 518, less than 30 nanometers, ideally less than 20 nanometers.

In one embodiment of the invention, the pattern 512 for the semiconductor body or fins has a width 518 that is approximately equal to the silicon body height 509.

In one embodiment of the invention, the photoresist pattern 512 has a width 518 that is 1/2 to 2 times the semiconductor body height 509.

[0032]

In addition, as shown in FIG. 5B, the photoresist mask 510 can include patterns 514 and 516 that define where the source landing pads and drain landing pads are formed, respectively.

Landing pads can be used to integrally connect the various source and drain regions of a transistor to be manufactured.

The photoresist mask 510 can be formed by a well-known photolithography method such as coating, exposing, and developing a blanket-deposited photoresist film.

[0033]

After forming the photoresist mask 510, the semiconductor film 508 is etched along the photoresist mask 510, with one or more silicon bodies or fins and source and drain landing pads, as shown in FIG. 5C. And (if desired).

The semiconductor film 508 is etched until the underlying oxide film layer 506 is exposed.

Well-known semiconductor etching methods such as plasma anisotropic etching and reactive ion etching can be used to etch the semiconductor film 508 along the mask 510, as shown in FIG. 5C.

[0034]

After the semiconductor film 508 is etched to form the semiconductor body or fins 520 (and, if desired, source / drain landing pads 522 and 524), the photoresist mask is chemically stripped. And O2 ashing are removed by well-known techniques to produce the substrate shown in FIG. 5D.

[0035]

Next, a gate insulating layer 526 is formed on each semiconductor body 520 so as to surround the gate insulating layer 526.

That is, the gate insulating layer 526 is formed on the upper surface 527 of each of the semiconductor body 520 and the side walls 528 and 529 on both the left and right sides.

The gate insulating layer may be a deposited dielectric or a grown dielectric.

In one embodiment of the invention, the gate insulating layer 526 is a silicon dioxide dielectric film grown in a dry / wet oxidation process.

In one embodiment of the invention, the silicon dioxide film has grown to a thickness of 5-15 Å.

In one embodiment of the invention, the gate insulating film 526 is a high dielectric such as a tantalum pentaoxide (Ta_2O_5) or titanium oxide (TiO_2) or a metal oxide dielectric such as another high K dielectric (eg PZT, BST, etc.). It is a dielectric deposited on a film with a constant rate.

A film with a high dielectric constant can be formed by any well-known technique such as chemical vapor deposition (CVD).

[0036]

Next, as shown in FIG. 5E, the gate electrode 530 is formed.

The gate electrode 530 is formed on the gate dielectric layer 526 formed on each upper surface 527 of the semiconductor body 520 and is on or adjacent to the respective side walls 528 and 529 of the semiconductor body as shown in FIG. 5E. It is formed on or adjacent to the formed gate dielectric 526.

The gate electrode 530 has a top surface 532 on the opposite side of the bottom surface formed on the insulating substrate 502, and has a pair of left and right side walls 534 and 536.

The spacing between the left and right side walls 534 and 536 defines the gate length (Lg) 538 of the trigate transistor.

The gate electrode 530 can be formed by blanket depositing a suitable gate electrode material on the substrate shown in FIG. 5D.

The gate electrode can be formed to a thickness of 533 of 200 to 3000 Å.

In one embodiment, the gate electrode has a thickness or height of 533 that is at least three times the height of the semiconductor body 520 of 509.

The gate electrode material is then patterned by well-known lithography and etching methods to form the gate electrode 530 from the gate electrode material.

In one embodiment of the invention, the gate electrode material has polycrystalline silicon.

In another embodiment of the invention, the gate electrode material has a polycrystalline silicon-germanium alloy.

In yet another embodiment of the invention, the gate electrode material may have a metal film such as tungsten, tantalum, and nitrides thereof.

The gate electrode 530 can be formed by a well-known technique such as blanket depositing the gate electrode material on the substrate of FIG. 5D and then patterning the gate electrode material by a well-known lithography and etching method.

In one embodiment of the invention, the lithographic process used to define the gate electrode 530 utilizes the minimal or minimal dimensional lithographic process used to manufacture trigate transistors.

(That is, in one embodiment of the invention, the gate length (Lg) 538 of the gate electrode 530 has the minimum shape dimension of the transistor defined by lithography.

) In one embodiment of the invention, the gate length 538 is 30 nanometers or less, ideally 20 nanometers or less.

[0037]

Next, the source and drain regions of this transistor are formed on the opposite side of the gate electrode 530 of the semiconductor body 520.

In one embodiment of the invention, the source and drain regions include a tip or source / drain extension region.

The source and drain expansion regions 540 and 542 are formed by arranging dopants 544 into the semiconductor body 520 at 532 and 534 on both sides of the gate electrode 530 to form tip regions 540 and 542, respectively, as shown in FIG. 5F. Can be formed.

Source and drain landing pads 522 and 524 are not shown in FIGS. 5F-5J to better illustrate aspects of the invention.

If source and drain landing pads 522 and 524 are utilized, they can also be doped at this point.

For the MIMO trigate transistor, the semiconductor fin or body 520 is doped with a conduction type = p type and a concentration of 1 × 1020 to 1 × 1021 atoms / cm3.

For the NMOS trigate transistor, the semiconductor fin or body 520 is doped with a conduction type = n type and a concentration of 1 × 1020 to 1 × 1021 atoms / cm3.

In one embodiment of the invention, the silicon film is doped by ion implantation.

In one embodiment of the invention, ion implantation occurs in the vertical direction (ie, in the direction perpendicular to the substrate 500), as shown in FIG. 5F.

When the gate electrode 530 is a polysilicon gate electrode, it can be doped during the ion implantation process.

The gate electrode 530 functions as a mask to prevent one or more channel regions 548 of the trigate transistor from being doped by the ion implantation process.

The channel region 548 is a portion of the silicon body 520 located below or surrounded by the gate electrode 530.

If the gate electrode 530 is a metal electrode, a hard dielectric mask can be used to block doping during the ion implantation process.

As another embodiment, the semiconductor body may be doped to form source and drain expansion regions using other methods such as solid source diffusion.

[0038]

In one embodiment of the invention, a "halo" region can be formed on the silicon body prior to forming the source / drain region or the source / drain extension region.

The halo region is a doped region formed in the channel region 548 of the device and has the same conductivity as the doping of the channel region of the device, but at a slightly higher concentration.

The halo region can be formed by ion-implanting a dopant under the gate electrode using a large angle ion implantation method.

[0039]

Next, if desired, the substrate shown in FIG. 5F can be further processed for high concentration doping into the source / drain region, silicon deposition not only on the gate electrode but also on the source / drain region, if only on the gate electrode. Additional features such as silicid formation on the source / drain contact region can be formed.

[0040]

In the embodiment of the present invention, the dielectric side wall spacer 550 can be formed on the side wall of the gate electrode.

The sidewall spacers allow the high concentration source / drain contact implants to be offset, the source / drain region to be insulated from the gate electrode during the selective silicon deposition process, and on the gate electrode during the salicide process. Not only can the silicide be formed on the source and drain regions.

The spacer can be formed by blanket-depositing an insulating protective film 550 such as silicon nitride, silicon oxide, silicon oxynitride, or a synthesis thereof on the substrate 500 of FIG. 5F.

Since the insulating film is deposited at a conformal angle, it has substantially the same height as a vertical surface such as the side walls 534 and 536 of the gate electrode 530 and a horizontal surface such as the upper surface 526 of the silicon film 520 and the upper surface of the gate electrode 530.

In one embodiment of the invention, the insulating film is a silicon nitride film formed by a hotwall vacuum chemical vapor deposition (LPCVD) process.

The deposited thickness of the insulating film determines the width or thickness of the spacer to be formed.

In one embodiment of the invention, the insulating film is formed to a thickness of 20 to 200 Å.

[0041]

Next, as shown in FIG. 5G, the insulating film is anisotropically etched by, for example, plasma etching or reactive ion etching to form the side wall spacer 550.

By anisotropic etching of the insulating film, the insulating film is removed from the horizontal plane such as the upper surface of the gate electrode 530 (and the upper surfaces of the landing pads 522 and 524 if used), and the side wall 534 of the gate electrode 530 is removed. And a dielectric side wall spacer adjacent to a vertical plane such as 536 is left.

The etching is continued for a sufficient time to remove the insulating film from all horizontal planes.

In one embodiment of the invention, over-etching is utilized so that the spacer material on the side walls of the semiconductor body 520 is removed, as shown in FIG. 5G.

As a result, as shown in FIG. 5H, a side wall spacer 550 extending along the side walls 532 and 534 of the gate electrode 530 and adjacent to the side wall spacers 550 is formed.

[0042]

Next, if desired, the semiconductor film 560 can be formed on the exposed surfaces (and landing pads 522 and 524) of the semiconductor body 520, as shown in FIG. 5H.

In addition, if desired, the semiconductor film 562 can be formed on the upper surface of the gate electrode 530.

This semiconductor film may be a single crystal film or a polycrystalline film.

In one embodiment of the present invention, the semiconductor film 560 is an epitaxial (single crystal) silicon film.

In one embodiment of the invention, the silicon film 560 is formed by a selective deposition process in which silicon is formed only on exposed regions containing silicon, such as the exposed top surface 527 and side walls 528 and 529 of the silicon body 520. NS.

In the selective deposition process, the silicon film does not form on the dielectric area such as the side wall spacer 555.

When the gate electrode 530 has a polycrystalline silicon film, the silicon film is also selectively formed on the upper surface of the gate electrode 530 to form the silicon film 562.

In one embodiment of the invention, the silicon film 560 is formed to a thickness of 50-500 Å.

In one embodiment of the invention, the silicon film is formed to a thickness sufficient to provide sufficient silicon to be used or consumed while forming the silicide film on the source and drain regions. Will be done.

The silicon film can be either while doping (ie, doping during deposition) or post-doping, for example by ion implantation or solid source diffusion.

The silicone film is doped in the desired conductive form in the source and drain regions of the device.

In one embodiment of the invention, the deposited silicon films 560 and 562 are intrinsic silicon films (ie, non-doped silicon films).

The deposition of semiconductor film 560 forms raised source and drain regions that improve device infestation.

[0043]

In one embodiment of the invention, the deposited silicon films 560 and 562 are doped by an ion implantation method utilizing a vertical ion implantation angle, as shown in FIG. 5I.

The ion implantation process doping the deposited silicon film 560 and the underlying silicon body 520 to a concentration of 1 × 1020 to 1 × 1021 atoms / cm3 to form a source contact area 570 and a drain contact area 572. ..

The side wall spacer 550 offsets the source / drain contact injection step and defines the region of the deposited silicone body below the side wall spacer 550 as the tip region.

The process described above forms a source region 570 and a drain region 572, each having a tip region and a contact region.

The tip region is a region of the silicon body 520 located below the side wall spacer 555.

The contact region is a region of the silicon body and the deposited silicon film adjacent to the outer end of the side wall spacer 550.

In addition, the source / drain contact area, when used, includes source and drain landing pads 522 and 524.

[0044]

Next, if desired, a heat-resistant (high melting point) metal silicide 580 can be formed on the source and drain contact regions and the upper surface of the gate electrode 530 (or silicon film 562), as shown in FIG. 5J.

The refractory metal silicide film 580 can be formed by using a self-alignment process such as a salicide process.

In the salicide process, refractory metals such as titanium, tungsten, nickel and cobalt are blanket deposited on the substrate of FIG. 5J.

Next, this substrate is heated to an appropriate temperature, and the heat-resistant metal film is reacted with a silicon portion of the substrate 500 such as the silicon film 560 formed on the silicon body and the silicon film 562 formed on the gate electrode to withstand heat. Forming metal silicide.

Places where there is no reacting silicon, such as the dielectric spacer 555 and the exposed portion of the embedded oxide film 506, do not react and remain refractory metals.

At that time, the unreacted refractory metal can be removed by using selective etching such as wet etching, and the refractory metal silicide can be left in the contact area.

In this way, the metal silicide film can be self-aligned with the contact region of the trigate transistor.

This completes the production of the trigate transistor according to the present invention.

[0045]

The trigate transistor and the manufacturing method have been described above.

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JP2009182360A

1.

A step of forming a semiconductor body having a flat upper surface and a pair of opposing side walls on a substrate; a step of forming a gate dielectric on the upper surface of the semiconductor body and the pair of opposing side walls; A step of forming a gate electrode on top of and adjacent to the gate dielectric on the opposite side wall of the semiconductor body, wherein the semiconductor body has a first conductive type under the gate electrode. A step of forming an electrode; a step of forming a first conductive type halo region in the semiconductor body under the gate electrode; and a source region and a drain region in the semiconductor body so as to face each other across the gate electrode. A method of manufacturing a non-planar semiconductor device having a step of forming.

2.

The method according to claim 1, wherein the semiconductor body has single crystal silicon.

3.

The method according to claim 2, wherein the single crystal silicon is intrinsic silicon.

4.

The method of claim 1, wherein the semiconductor body is selected from the group consisting of germanium (Ge), silicon germanium (SixGey), gallium arsenide (GaAs), InSb, GaP, GaSb and carbon nanotubes.

5.

The method according to claim 1, wherein the substrate is an insulating substrate.

6.

The method according to claim 1, wherein the substrate is a semiconductor substrate.

7.

A step of patterning a silicon film formed on a substrate into a silicon body having a flat upper surface and facing side walls; a gate dielectric layer on the upper surface of the silicon body and the facing side walls of the silicon body. The step of depositing the gate material so as to cover the silicon body and the substrate; the gate material is patterned on the gate dielectric layer on the planar upper surface of the silicon body, and A step of forming a gate electrode adjacent to the gate dielectric layer on the

opposing side wall of the silicon body, the gate electrode extending perpendicular to the opposing side wall of the silicon body. A step of forming a gate electrode having opposite side walls; a step of forming a pair of source / drain regions in the silicon body so as to face each other across the opposite side wall of the gate electrode, the pair of sources. A step of forming a pair of source / drain regions in which a channel region having a first conductive type is formed between the / drain regions and in the silicon body below the gate electrode; and the channel region of the silicon body. A method for manufacturing a transistor, which comprises a step of forming a halo region having a first conductive type inside.

8.

The method according to claim 7, wherein the silicon film is single crystal silicon.

9.

The method according to claim 8, wherein the single crystal silicon is intrinsic silicon.

10.

A step of forming a semiconductor body having an upper surface and facing side walls on a substrate; a step of forming a continuous gate dielectric on the upper surface of the semiconductor body and the facing side walls of the semiconductor body; It is a step of forming a gate electrode on the gate dielectric on the upper surface and adjacent to the gate dielectric on the opposite side wall of the semiconductor body, wherein the gate electrode is the gate electrode of the semiconductor body. It has an opposing side wall that extends perpendicular to the opposing side wall, and the gate electrode is adjacent to one of the first gate adjacent to the upper surface of the semiconductor body and the opposing side wall of the semiconductor body. A step of forming a gate electrode comprising a second gate to be formed and a third gate adjacent to the other side of the facing side wall of the semiconductor body; a side wall spacer is formed on each of the facing side walls of the gate electrode. A method of manufacturing a transistor, comprising a step; and a step of forming a semiconductor film on and around the semiconductor body adjacent to the side wall spacer.

11.

The method according to claim 10, further comprising a step of forming VDD on the semiconductor film formed on the semiconductor body.

12.

The method of claim 10, wherein the semiconductor film is formed by a selective deposition process.

13.

It is a step of forming the first and second semiconductor bodies on the substrate, each of the first and second semiconductor bodies has an upper surface and opposite side walls, and the first and second semiconductor bodies. A step of forming the first and second semiconductor bodies, wherein an insulating layer is formed between the two; a first on the upper surface of the first semiconductor body and on the opposing side walls of the first semiconductor body. A step of forming a continuous gate dielectric layer and forming a second continuous gate dielectric layer on the upper surface of the second semiconductor body and on the opposing side walls of the second semiconductor body; Gate electrodes on the gate dielectric layer on the top surface of the first and second semiconductor bodies and adjacent to the gate dielectric layer on the opposite side walls of the first and second semiconductor bodies. The gate electrode is also formed above the insulating layer between the first and second semiconductor bodies, and the gate electrode is the upper surface of the first and second semiconductor bodies. A pair of first gates adjacent to each other, a pair of second gates adjacent to one of the opposite side walls of each of the first and second semiconductor bodies, and each of the first and second semiconductor bodies. A step of forming a gate electrode comprising a pair of third gates adjacent to the other of the opposing side walls; a first source region and a first source region in the first semiconductor body facing each other across the gate electrode. A step of forming the drain region of 1; a step of forming a second source region and a second drain region in the second semiconductor body so as to face each other with the gate electrode interposed therebetween; the first source region and the step of forming the second drain region. A semiconductor having a step of forming a source landing pad connecting the second source region; and a step of forming a drain landing pad connecting the first drain region and the second drain region; How to make a device.

14.

The upper surface of the semiconductor body is separated from the substrate by a first distance, the opposing side walls of the semiconductor body are separated from each other by a second distance, and the gate electrodes are separated from each other by a third distance. 13. The method of claim 13, wherein the first, second and third distances are substantially equal, having a pair of side walls.

15.

A step of forming a semiconductor body having an upper surface and facing side walls on a substrate; a step of forming a continuous gate dielectric layer on the upper surface of the semiconductor body and the facing side walls; the upper surface of the semiconductor body. It is a step of forming a gate electrode on the gate dielectric layer above and adjacent to the gate dielectric layer on the opposite side wall of the semiconductor body, with respect to the facing side wall of the semiconductor body. A first gate having vertically extending opposing side walls and adjacent to the upper surface of the semiconductor body, a second gate adjacent to one of the opposing side walls of the semiconductor body, and the semiconductor body. A step of forming a gate electrode including a third gate adjacent to the other side of the opposite side wall; a step of forming a pair of source / drain expansion regions in the semiconductor body so as to face each other with the gate electrode interposed therebetween. A step of forming a pair of side wall spacers so as to face each other across the opposite side wall of the gate electrode and on the source / drain expansion region in the semiconductor body; the semiconductor body below the gate electrode. A step of forming a halo region in the semiconductor body; a step of forming a semiconductor film on and around the semiconductor body adjacent to the side wall spacer; and a pair of source / drain contact regions in the semiconductor body adjacent to the side wall spacer. A method of manufacturing a semiconductor device having a step of forming;

16.

15. The method of claim 15, wherein the semiconductor film is a silicon film and the semiconductor body is a silicon body.

17.

The method according to claim 16, further comprising a step of forming VDD on the silicon film formed on the silicon body.

18.

15. The method of claim 15, wherein the source / drain expansion region is formed by ion implantation.

19.

15. The method of claim 15, wherein the pair of source / drain contact regions is formed by ion implantation.

20.

A step of forming a semiconductor body having an upper surface and facing side walls on a substrate; a step of forming a continuous gate dielectric on the upper surface of the semiconductor body and the facing side walls of the semiconductor body; A step of forming a gate electrode on the gate dielectric on the top surface and adjacent to the opposing side wall of the semiconductor body, wherein the gate electrode is relative to the opposing side wall of the semiconductor body. A first gate having vertically extending opposing side walls and adjacent to the upper surface of the semiconductor body, a second gate adjacent to one of the opposing side walls of the semiconductor body, and the semiconductor body. A step of forming a gate electrode including a third gate adjacent to the other of the opposing side walls; a step of forming a pair of side wall spacers on the opposite side wall of the gate electrode; the upper surface of the semiconductor body and the said. A step of forming a semiconductor film on and adjacent to the side wall spacers facing each other; and a step of forming a pair of source / drain regions in the semiconductor body so as to face each other with the gate electrode interposed therebetween; A method of manufacturing a transistor having.

21.

The method according to claim 20, further comprising a step of forming a halo region in the semiconductor body below the gate electrode.

22.

The method according to claim 20, wherein the gate electrode has a height of three times or more the height of the semiconductor body.

23.

The method according to claim 20, further comprising a step of forming a refractory metal on the semiconductor film on the upper surface of the semiconductor body and the opposite side wall.

24.

A step of forming a semiconductor body having a first concentration of a first conductive dopant and having an upper surface and a pair of opposing side walls on a substrate; on the upper surface of the semiconductor body and on the pair of opposing side walls. A step of forming a gate dielectric layer; a step of forming a gate electrode on the gate dielectric layer on the upper surface of the semiconductor body and the pair of opposing side walls, and the step below the gate electrode. A step of forming a gate electrode in which a channel region is formed in a semiconductor body; a doped region having a first conductive dopant having a second concentration higher than the first concentration is formed in the channel region of the semiconductor body. A method for manufacturing a non-planar transistor having a step of forming; and a step of forming a pair of source / drain regions in the semiconductor body so as to face each other with the gate electrode interposed therebetween.

25.

24. The method of claim 24, wherein the doped region is formed using a large angle ion implantation process.

26.

24. The method of claim 24, further comprising a step of forming a semiconductor film on the upper surface of the semiconductor body and the facing side walls so as to face each other with the gate electrode interposed therebetween.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-182360
(P2009-182360A)
(43)公開日　平成21年8月13日(2009.8.13)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/786	***(2006.01)***	H01L	29/78	618C	5F110
H01L 21/336	***(2006.01)***	H01L	29/78	618F	5F140
H01L 29/78	***(2006.01)***	H01L	29/78	618B	
		H01L	29/78	617N	
		H01L	29/78	616A	

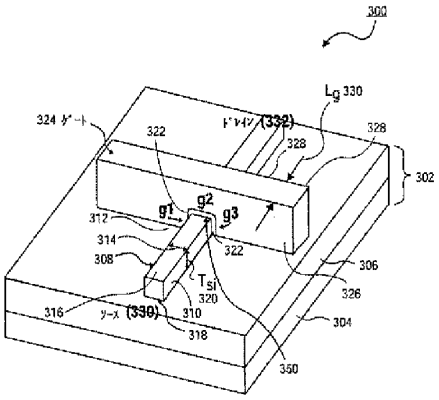
審査請求 有　請求項の数 26　OL　（全 21 頁）　最終頁に続く

(21)出願番号　特願2009-122283 (P2009-122283)
(22)出願日　平成21年5月20日 (2009.5.20)
(62)分割の表示　特願2004-529802 (P2004-529802)の分割
原出願日　平成15年8月22日 (2003.8.22)
(31)優先権主張番号　10/227,068
(32)優先日　平成14年8月23日 (2002.8.23)
(33)優先権主張国　米国(US)

(71)出願人　593096712
インテル　コーポレイション
アメリカ合衆国　９５０５２　カリフォルニア州　サンタ　クララ　ミッション　カレッジ　ブールバード　２２００
(74)代理人　100070150
弁理士　伊東　忠彦
(74)代理人　100091214
弁理士　大貫　進介
(74)代理人　100107766
弁理士　伊東　忠重
(72)発明者　チャウ，ロバート
アメリカ合衆国　９７００７　オレゴン州　ビーヴァートン　サウスウェスト　１７１スト　アヴェニュー　８８７５
最終頁に続く

(54)【発明の名称】トリゲート・デバイス及び製造方法

(57)【要約】
【課題】　基板上に形成された上面及び左右両側の側壁を備えた半導体ボディを有する半導体デバイス及びその製造方法を提供する。
【解決手段】　ゲート誘電体層が、半導体ボディの上面上及び半導体ボディの左右両側の側壁上に形成される。ゲート電極は、半導体ボディの上面上のゲート誘電体上に形成されると共に、半導体ボディの左右両側の側壁上のゲート誘電体に隣接して形成される。
【選択図】　図３



【特許請求の範囲】
【請求項1】
平面状の上面及び一対の対向する側壁を有する半導体ボディを基板上に形成する工程；
前記半導体ボディの前記上面及び前記一対の対向する側壁の上にゲート誘電体を形成する工程；
前記ゲート誘電体上に、及び前記半導体ボディの前記対向する側壁上の前記ゲート誘電体に隣接して、ゲート電極を形成する工程であり、該ゲート電極の下で前記半導体ボディは第１導電型を有する、ゲート電極を形成する工程；
前記ゲート電極の下の前記半導体ボディ内に第１導電型のハロ領域を形成する工程；及び
前記ゲート電極を挟んで対向するように前記半導体ボディ内にソース領域及びドレイン領域を形成する工程；
を有する、非平面型半導体デバイスを製造する方法。
【請求項2】
前記半導体ボディは単結晶シリコンを有する、請求項１に記載の方法。
【請求項3】
前記単結晶シリコンは真性シリコンである、請求項２に記載の方法。
【請求項4】
前記半導体ボディは、ゲルマニウム（Ｇｅ）、シリコンゲルマニウム（Si_xGe_y）、ガリウム砒素（ＧａＡｓ）、ＩｎＳｂ、ＧａＰ、ＧａＳｂ及びカーボンナノチューブから成るグループから選択される、請求項１に記載の方法。
【請求項5】
前記基板は絶縁基板である、請求項１に記載の方法。
【請求項6】
前記基板は半導体基板である、請求項１に記載の方法。
【請求項7】
基板上に形成されたシリコン膜を、平面状の上面及び対向する側壁を有するシリコンボディへとパターニングする工程；
前記シリコンボディの前記上面及び前記シリコンボディの前記対向する側壁の上にゲート誘電体層を形成する工程；
前記シリコンボディ及び前記基板を覆うようにゲート材料を堆積する工程；
前記ゲート材料をパターニングして、前記シリコンボディの前記平面状の上面上の前記ゲート誘電体層上に、及び前記シリコンボディの前記対向する側壁上の前記ゲート誘電体層に隣接して、ゲート電極を形成する工程であり、該ゲート電極は、前記シリコンボディの前記対向する側壁に対して垂直に延在する対向する側壁を有する、ゲート電極を形成する工程；
前記ゲート電極の前記対向する側壁を挟んで対向するように前記シリコンボディ内に一対のソース／ドレイン領域を形成する工程であり、該一対のソース／ドレイン領域の間且つ前記ゲート電極の下方の前記シリコンボディ内に、第１導電型を有するチャネル領域が形成される、一対のソース／ドレイン領域を形成する工程；及び
前記シリコンボディの前記チャネル領域内に、第１導電型を有するハロ領域を形成する工程；

を有する、トランジスタを製造する方法。
【請求項8】
前記シリコン膜は単結晶シリコンである、請求項７に記載の方法。
【請求項9】
前記単結晶シリコンは真性シリコンである、請求項８に記載の方法。
【請求項10】