上面及び対向する側壁を有する半導体ボディを基板上に形成する工程；
前記半導体ボディの前記上面及び前記半導体ボディの前記対向する側壁の上に、連続したゲート誘電体を形成する工程；
前記半導体ボディの前記上面上の前記ゲート誘電体上に、及び前記半導体ボディの前記対向する側壁上の前記ゲート誘電体に隣接して、ゲート電極を形成する工程であり、該ゲート電極は、前記半導体ボディの前記対向する側壁に対して垂直に延在する対向する側壁を有し、且つ該ゲート電極は、前記半導体ボディの前記上面に隣接する第１ゲートと、前記半導体ボディの前記対向する側壁の一方に隣接する第２ゲートと、前記半導体ボディの前記対向する側壁の他方に隣接する第３ゲートとを備える、ゲート電極を形成する工程；
前記ゲート電極の前記対向する側壁の各々上に側壁スペーサを形成する工程；及び
前記側壁スペーサに隣接する前記半導体ボディの上及び周囲に半導体膜を形成する工程；
を有する、トランジスタを製造する方法。
【請求項11】
前記半導体ボディ上に形成された前記半導体膜上にシリサイドを形成する工程、を更に有する請求項１０に記載の方法。
【請求項12】
前記半導体膜は選択的堆積プロセスによって形成される、請求項１０に記載の方法。
【請求項13】
基板上に、第１及び第２の半導体ボディを形成する工程であり、該第１及び第２の半導体ボディの各々は上面及び対向する側壁を有し、且つ該第１及び第２の半導体ボディの間に絶縁層が形成される、第１及び第２の半導体ボディを形成する工程；
前記第１の半導体ボディの前記上面及び前記第１の半導体ボディの前記対向する側壁の上に第１の連続したゲート誘電体層を形成し、且つ前記第２の半導体ボディの前記上面及び前記第２の半導体ボディの前記対向する側壁の上に第２の連続したゲート誘電体層を形成する工程；
前記第１及び第２の半導体ボディの前記上面上の前記ゲート誘電体層上に、及び前記第１及び第２の半導体ボディの前記対向する側壁上の前記ゲート誘電体層に隣接して、ゲート電極を形成する工程であり、該ゲート電極は前記第１及び第２の半導体ボディの間の前記絶縁層の上方にも形成され、該ゲート電極は、前記第１及び第２の半導体ボディの前記上面に隣接する一対の第１ゲートと、前記第１及び第２の半導体ボディの各々の前記対向する側壁の一方に隣接する一対の第２ゲートと、前記第１及び第２の半導体ボディの各々の前記対向する側壁の他方に隣接する一対の第３ゲートとを備える、ゲート電極を形成する工程；
前記ゲート電極を挟んで対向するように前記第１の半導体ボディ内に第１のソース領域及び第１のドレイン領域を形成する工程；
前記ゲート電極を挟んで対向するように前記第２の半導体ボディ内に第２のソース領域及び第２のドレイン領域を形成する工程；
前記第１のソース領域及び前記第２のソース領域を接続するソース・ランディング・パッドを形成する工程；及び
前記第１のドレイン領域及び前記第２のドレイン領域を接続するドレイン・ランディング・パッドを形成する工程；
を有する、半導体デバイスを製造する方法。
【請求項14】
前記半導体ボディの前記上面は前記基板から第１の距離だけ隔てられ、前記半導体ボディの前記対向する側壁は相互に第２の距離だけ隔てられ、前記ゲート電極は、相互に第３の距離だけ隔てられた一対の側壁を有し、前記第１、第２及び第３の距離は実質的に等しくされる、請求項１３に記載の方法。
【請求項15】
基板上に、上面及び対向する側壁を有する半導体ボディを形成する工程；

前記半導体ボディの前記上面及び前記対向する側壁の上に、連続したゲート誘電体層を形成する工程；
前記半導体ボディの前記上面上の前記ゲート誘電体層上に、及び前記半導体ボディの前記対向する側壁上の前記ゲート誘電体層に隣接して、ゲート電極を形成する工程であり、前記半導体ボディの前記対向する側壁に対して垂直に延在する対向する側壁を有し、且つ、前記半導体ボディの前記上面に隣接する第１ゲートと、前記半導体ボディの前記対向する側壁の一方に隣接する第２ゲートと、前記半導体ボディの前記対向する側壁の他方に隣接する第３ゲートとを備える、ゲート電極を形成する工程；
前記ゲート電極を挟んで対向するように前記半導体ボディ内の一対のソース／ドレイン拡張領域を形成する工程；
前記ゲート電極の前記対向する側壁を挟んで対向するように、且つ前記半導体ボディ内の前記ソース／ドレイン拡張領域上に、一対の側壁スペーサを形成する工程；
前記ゲート電極の下方の前記半導体ボディ内にハロ領域を形成する工程；

前記側壁スペーサに隣接する前記半導体ボディの上及び周囲に半導体膜を形成する工程；及び
前記側壁スペーサに隣接する前記半導体ボディ内に一対のソース／ドレインコンタクト領域を形成する工程；
を有する、半導体デバイスを製造する方法。
【請求項16】
前記半導体膜はシリコン膜であり、前記半導体ボディはシリコンボディである、請求項１５に記載の方法。
【請求項17】
前記シリコンボディ上に形成された前記シリコン膜上にシリサイドを形成する工程、を更に有する請求項１６に記載の方法。
【請求項18】
前記ソース／ドレイン拡張領域はイオン注入によって形成される、請求項１５に記載の方法。
【請求項19】
前記一対のソース／ドレインコンタクト領域はイオン注入によって形成される、請求項１５に記載の方法。
【請求項20】
上面及び対向する側壁を有する半導体ボディを基板上に形成する工程；
前記半導体ボディの前記上面及び前記半導体ボディの前記対向する側壁の上に、連続したゲート誘電体を形成する工程；
前記半導体ボディの前記上面上の前記ゲート誘電体上に、及び前記半導体ボディの前記対向する側壁に隣接して、ゲート電極を形成する工程であり、該ゲート電極は、前記半導体ボディの前記対向する側壁に対して垂直に延在する対向する側壁を有し、且つ、前記半導体ボディの前記上面に隣接する第１ゲートと、前記半導体ボディの前記対向する側壁の一方に隣接する第２ゲートと、前記半導体ボディの前記対向する側壁の他方に隣接する第３ゲートとを備える、ゲート電極を形成する工程；
前記ゲート電極の前記対向する側壁上に一対の側壁スペーサを形成する工程；
前記半導体ボディの前記上面及び前記対向する側壁の上に、且つ前記側壁スペーサに隣接して、半導体膜を形成する工程；及び
前記ゲート電極を挟んで対向するように前記半導体ボディ内に一対のソース／ドレイン領域を形成する工程；
を有する、トランジスタを製造する方法。
【請求項21】
前記ゲート電極の下方の前記半導体ボディ内にハロ領域を形成する工程、を更に有する請求項２０に記載の方法。

【請求項22】
前記ゲート電極は、前記半導体ボディの高さの３倍以上の高さを有する、請求項２０に記載の方法。
【請求項23】
前記半導体ボディの前記上面及び前記対向する側壁の上の前記半導体膜上に高融点金属を形成する工程、を更に有する請求項２０に記載の方法。
【請求項24】
第１の濃度の第１導電型ドーパントを有し、且つ上面及び一対の対向する側壁を有する半導体ボディを、基板上に形成する工程；
前記半導体ボディの前記上面及び前記一対の対向する側壁の上に、ゲート誘電体層を形成する工程；
前記半導体ボディの前記上面及び前記一対の対向する側壁の上の前記ゲート誘電体層上にゲート電極を形成する工程であり、該ゲート電極の下方の前記半導体ボディ内にチャネル領域が形成される、ゲート電極を形成する工程；
前記半導体ボディの前記チャネル領域内に、前記第１の濃度より高い第２の濃度の第１導電型ドーパントを有するドープト領域を形成する工程；及び
前記ゲート電極を挟んで対向するように前記半導体ボディ内に一対のソース／ドレイン領域を形成する工程；
を有する、非平面型トランジスタを製造する方法。
【請求項25】
大角度イオン注入プロセスを用いて前記ドープト領域を形成する、請求項２４に記載の方法。
【請求項26】
前記ゲート電極を挟んで対向するように、前記半導体ボディの前記上面及び前記対向する側壁の上に半導体膜を形成する工程、を更に有する請求項２４に記載の方法。
【発明の詳細な説明】
【技術分野】
【0001】
本発明は、半導体集積回路製造の分野に係り、特に、トリゲート完全空乏基板トランジスタ及びその製造方法に関する。
【背景技術】
【0002】
デバイス性能を向上させるために、シリコン・オン・インシュレータ（ｓｉｌｉｃｏｎ　ｏｎ　ｉｎｓｕｌａｔｏｒ；ＳＯＩ）トランジスタが、最新の集積回路の製造について提案されている。図1は、標準的な完全空乏（ｆｕｌｌｙ　ｄｅｐｌｅｔｅｄ）ＳＯＩトランジスタ１００を示す。ＳＯＩトランジスタ１００は単結晶シリコン基板１０２を含む。この単結晶シリコン基板１０２は、絶縁層１０４を備える。絶縁層１０４は、例えば、単結晶シリコン基板１０２上に形成された埋め込み酸化膜などである。絶縁層１０４上に、単結晶シリコンボディ１０６が形成される。単結晶シリコンボディ１０６上にはゲート絶縁層１０８が形成され、ゲート絶縁膜１０８上にはゲート電極１１０が形成される。シリコンボディ１０６には、ゲート電極１１０の左右両側に沿って、ソース１１２領域及びドレイン１１４領域が形成される。
【0003】
理想的なサブスレッショルド勾配を利用してオン電流／オフ電流比を最適化するトランジスタ構造として、完全空乏ＳＯＩが提案されている。トランジスタ１００を用いて理想的なサブスレッショルド勾配を実現するためには、シリコンボディ１０６の厚さがトランジスタのゲート長（Ｌｇ）の約１／３のサイズでなければならない（Ｔｓｉ＝Ｌｇ／３）。しかし、ゲート長を縮小するとき、特にそれらが３０ｎｍに近づくとき、シリコン薄膜の厚さ（Ｔｓｉ）を次第に減少させる必要性は、この方法をますます非現実的にする。ゲート長が３０ナノメートルのとき、シリコンボディに要求される厚さは１０ナノメートル未満である必要があると考えられ、２０ナノメートルのゲート長に対して約６ナノメート

ル未満である必要があると考えられる。１０ナノメートル未満の厚さを持つシリコン薄膜の製造は、極めて困難であると考えられる。一方で、１ナノメートル・オーダーのウェハ均一性は困難な挑戦である。もう一方で、接触抵抗を減らすために隆起したソース／ドレイン領域が形成されるようにこれら薄膜を接触させることを可能にすることはほぼ不可能となる。なぜなら、このソース／ドレイン領域のシリコン薄膜層は、ゲート・エッチング及びそれに続く様々な洗浄及びシリコンの成長に不十分なシリコン１０６を残すスペーサ・エッチングの間に、消耗することになるからである。

【0004】

図２Ａ及び２Ｂに図示するようなダブルゲート（ＤＧ）・デバイスが、このシリコン厚さの問題を緩和するものとして提案されている。ダブルゲート（ＤＧ）・デバイス２００は、絶縁基板２０４上に形成されたシリコンボディ２０２を含む。ゲート誘電体２０６がシリコンボディ２０２の左右両側に形成され、ゲート電極２０８がシリコンボディ２０２の両側に形成されたゲート誘電体２０６に隣接して形成される。窒化珪素などの十分に厚い絶縁層２０９が、ゲート電極２０８をシリコンボディ２０２上部から絶縁する。

【0005】

ダブルゲート（ＤＧ）・デバイス２００は、基本的に、該デバイスのチャネルの両側に１つずつ、２つのゲートを備える。ダブルゲート・デバイス２００は、チャネルの両側に１つずつゲートを備えるため、シリコンボディの厚さ（Ｔｓｉ）をシングルゲート・デバイスの倍にしても、依然として完全空乏トランジスタとしての作動を得ることができる。すなわち、ダブルゲート・デバイス２００を用いれば、Ｔｓｉ＝（２×Ｌｇ）／３となる完全空乏トランジスタを形成することができる。しかし、ダブルゲート（ＤＧ）・デバイス２００の製造可能な形のほとんどは、該デバイスのゲート長（Ｌｇ）をパターニングするのに用いられたものより０．７倍に小さいフォトリソグラフィでボディ２０２のパターニングが行われることを必要とする。高密度集積回路を得るためには、一般的に、ゲート電極２０８のゲート長（Ｌｇ）に対して最もアグレッシブなフォトリソグラフィが発生するようにすることが望ましい。ダブルゲート構造はシリコン膜厚さの２倍にする（なぜなら、チャネルの両側にそれぞれゲートがあるため）にもかかわらず、これらの構造は恐ろしいほどに製造が困難である。例えば、シリコンボディ２０２は、約５：１のアスペクト比（幅に対する高さの比）を持つシリコンボディ２０２を生成可能なシリコンボディ・エッチングを必要とする。

【図面の簡単な説明】

【0008】

【図1】空乏基板トランジスタの横断面図である。

【図2A】ダブルゲート空乏基板トランジスタを示す図である。

【図2B】ダブルゲート空乏基板トランジスタを示す図である。

【図3】本発明の一実施形態に係るトリゲート・トランジスタを示す図である。

【図4A】本発明の一実施形態に係るトリゲート・トランジスタを示す図である。

【図4B】本発明の一実施形態に係るトリゲート・トランジスタを示す図である。

【図5A】本発明の一実施形態に係るトリゲート・トランジスタを製造する方法を示す図である。

【図5B】本発明の一実施形態に係るトリゲート・トランジスタを製造する方法を示す図である。

【図5C】本発明の一実施形態に係るトリゲート・トランジスタを製造する方法を示す図である。

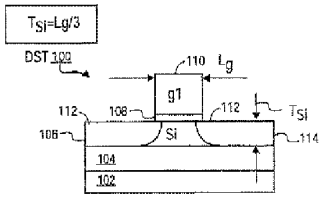
【図5D】本発明の一実施形態に係るトリゲート・トランジスタを製造する方法を示す図である。

【図5E】本発明の一実施形態に係るトリゲート・トランジスタを製造する方法を示す図である。

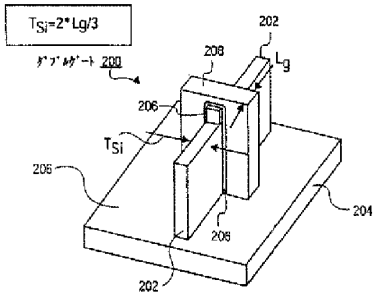
【図5F】本発明の一実施形態に係るトリゲート・トランジスタを製造する方法を示す図である。

【図5G】本発明の一実施形態に係るトリゲート・トランジスタを製造する方法を示す図である。
【図5H】本発明の一実施形態に係るトリゲート・トランジスタを製造する方法を示す図である。
【図5I】本発明の一実施形態に係るトリゲート・トランジスタを製造する方法を示す図である。
【図5J】本発明の一実施形態に係るトリゲート・トランジスタを製造する方法を示す図である。
【図6】３０ｎｍのゲート長（１ｇ）を有する部分空乏トリゲート・トランジスタと２０ｎｍのゲート長（１ｇ）を有する完全空乏トリゲート・トランジスタを得るのに用いることができるボディ高さ及びボディ幅を示すプロットである。

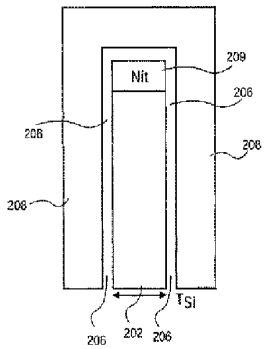
【図1】



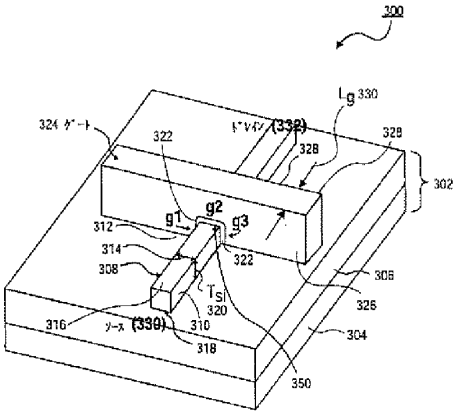
【図2A】



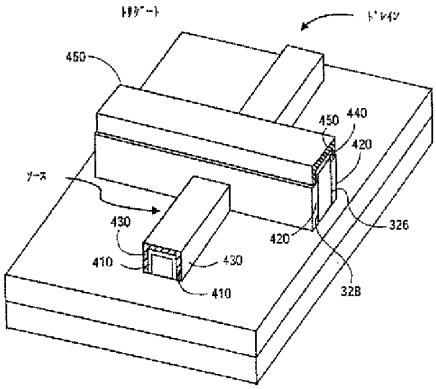
【図2B】



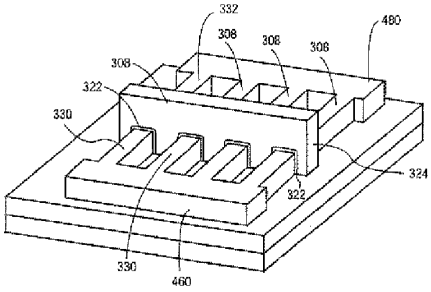
【図3】


300
Lg 330
324 ゲート
322
ドレイン (332)
328
328
302
g1
g2
g3
312
314
308
322
306
326
T_{SI}
320
316
ソース (330)
310
318
304
350

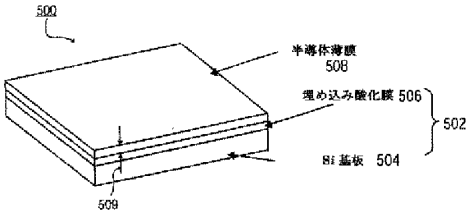
【図4A】



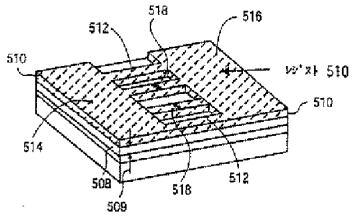
【図4B】



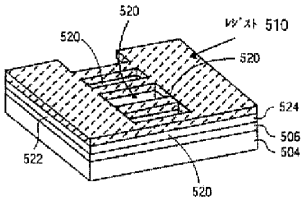
【図5A】



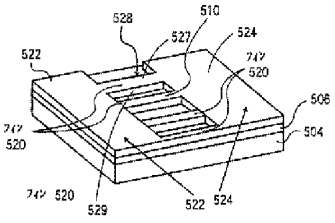
【図5B】



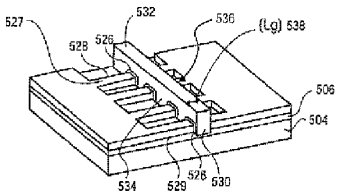
【図5C】



【図5D】

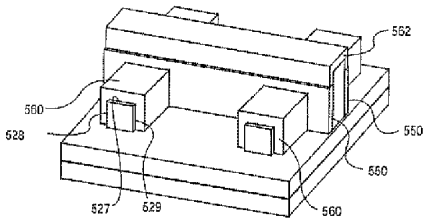


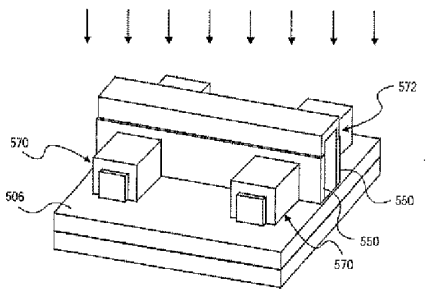
【図5E】



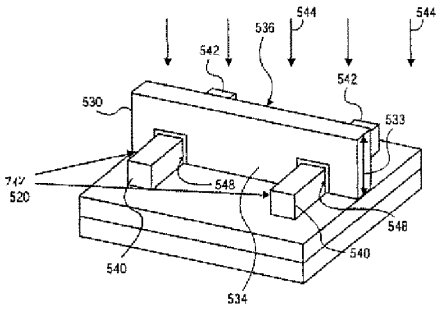
【図5F】

【図5G】

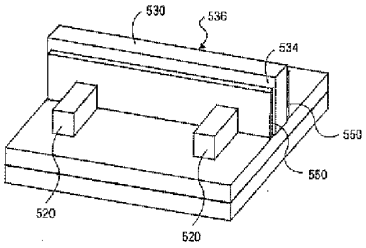




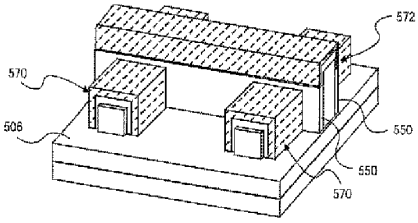
【図5H】



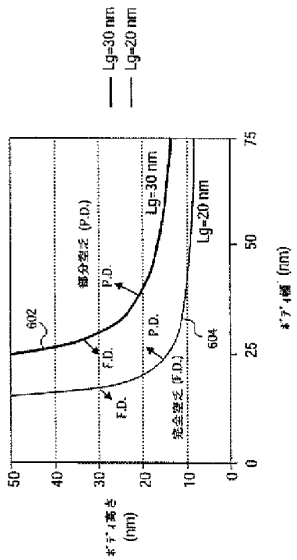
【図5I】



【図5J】



【図6】


Lg=30 nm
Lg=20 nm
50
40
30
20
10
0
75
50
25
0
602
604
P.D.
F.D.
Lg=30 nm
Lg=20 nm
(nm)

(51)Int.Cl.	ＦＩ	テーマコード（参考）
	Ｈ０１Ｌ　29/78　３０１Ｘ	

(72)発明者　ドイル，ブライアン
アメリカ合衆国　９７２２９　オレゴン州　ポートランド　ノースウェスト　モントルー　レーン　１１１５６
(72)発明者　カヴァリエロス，ジャック
アメリカ合衆国　９７２２９　オレゴン州　ポートランド　ノースウェスト　ベル　コート　１４２６０
(72)発明者　バーレイジ，ダグラス
アメリカ合衆国　２７７０５　ノースカロライナ州　ダーラム　モンキャッスル　コート　２８０９
(72)発明者　ダッタ，スーマン
アメリカ合衆国　９７００６　オレゴン州　ビーヴァートン　ノースウェスト　トーキングスティック　ウェイ　１６６５９

Ｆターム(参考)　5F110 AA16 BB01 BB03 CC10 DD01 DD04 DD05 DD13 DD14 EE01
EE04 EE05 EE08 EE09 EE11 EE14 EE29 EE32 EE42 FF01
FF02 FF03 FF04 FF22 FF29 GG01 GG02 GG03 GG04 GG12
GG13 GG22 GG23 GG25 GG28 GG30 GG34 GG35 GG36 GG42
GG52 GG55 HJ04 HJ13 HJ14 HK05 HK09 HK14 HK16 HK21
HK32 HK34 HK39 HK40 HM02 HM15 QQ08 QQ11 QQ17
5F140 AA21 AA24 AB04 AC36 BA01 BA03 BA05 BA06 BA07 BB01
BB05 BD07 BD11 BD12 BD13 BE07 BE10 BF01 BF04 BF07
BF10 BF11 BF18 BG08 BG11 BG12 BG14 BG34 BG45 BG52
BG53 BH06 BH30 BH49 BJ01 BJ08 BK10 BK13 BK18 BK34
BK39 CF04

Espacenet

Bibliographic data: JP2009200090 (A) — 2009-09-03

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Inventor(s): ITO OSAMU; OKUNO YASUTOSHI; NAKABAYASHI TAKASHI ± (ITO OSAMU, ; OKUNO YASUTOSHI, ; NAKABAYASHI TAKASHI)

Applicant(s): PANASONIC CORP ± (PANASONIC CORP)

Classification: **- international:*H01L21/8238; H01L27/092; H01L29/78***
- cooperative: **H01L29/6659 (EP); H01L29/66628 (EP); H01L29/66636 (EP); H01L29/7833 (EP);** H01L21/823807 (EP); H01L21/823814 (EP); H01L29/165 (EP); H01L29/66545 (EP)

Application number: JP20080037142 20080219 Global Dossier

Priority number (s): JP20080037142 20080219

Also published as: US2010032733 (A1) WO2009104231 (A1)

Abstract of JP2009200090 (A)

PROBLEM TO BE SOLVED: To achieve a semiconductor device reducing a junction leakage current caused by a defective caused on an interface between a silicon mixed crystal layer and a substrate in an MIS transistor equipped with the silicon mixed layer for introducing distortion into a channel. ;SOLUTION: The semiconductor device is provided with: a semiconductor substrate 10 having an element forming region 12 containing impurities of a first conductivity type; a gate electrode 15 formed on the element forming region 12 with a gate insulating film 14 interposed therebetween; and a silicon mixed crystal layer 22 formed outside the gate electrode 15 in the element forming region 12 and containing impurities of a second conductivity type. A boundary layer 23 containing the second conductivity-type impurity is formed in between the silicon mixed crystal layer 22 and the element forming region 12. ;COPYRIGHT: (C) 2009,JPO&INPIT

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JP2009200090A

Semiconductor devices and their manufacturing methods

[0001]

The present invention relates to a semiconductor device and a method for manufacturing the same, and more particularly to a semiconductor device in which strain is introduced in a channel region and a method for manufacturing the same.

[0002]

In recent years, attempts have been made to improve carrier mobility and increase the speed of MIS transistors by introducing crystal strain into the channel region of metal-insulating film-semiconductor type (MIS) transistors. As one of them, there is a method of epitaxially growing a material having a lattice constant different from that of silicon in the source and drain portions of the MIS transistor (see, for example, Patent Document 1).

[0003]

For example, in the case of a p-type transistor, a mixed crystal layer of silicon containing p-type impurities and germanium is epitaxially grown in a trench formed on the outer side of the gate electrode.

Silicon-germanium, which is a mixed crystal of silicon and germanium, has a larger lattice constant than silicon, so that uniaxial compressive strain in the gate length direction is applied to the channel of the MIS transistor. As a result, the mobility of the hole is increased, and the driving force of the p-type MIS transistor is improved.

[0004]

On the other hand, in the case of an n-type transistor, a mixed crystal layer of silicon and carbon containing an n-type impurity is epitaxially grown.

Silicon carbide, which is a mixed crystal of silicon and carbon, has a smaller lattice constant than silicon, so that uniaxial tensile strain in the gate length direction is applied to the channel. As a result, the electron mobility is increased and the driving force of the n-type MIS transistor is improved.

米国特許６３１９７８２号明細書

[0005]

However, the conventional semiconductor device has the following problems.

A silicon mixed crystal layer made of silicon germanium, silicon carbide, or the like does not lattice-match with a silicon substrate.

Therefore, defects occur in the vicinity of the interface between the silicon mixed crystal layer and the silicon substrate when the temperature is lowered after the silicon mixed crystal layer is grown or when activation annealing is performed.

[0006]

Defects are incorporated into the depletion region formed near the interface between the silicon mixed crystal layer and the silicon substrate.

As a result, trap assist tunneling occurs, and electrons move from the valence band to the conduction band.

As a result, the junction leakage of the MIS transistor increases, causing a problem that the leakage current during circuit standby increases.

[0007]

The present invention solves the above-mentioned conventional problems and in a MIS transistor provided with a silicon mixed crystal layer for introducing strain into a channel, a junction leakage current caused by a defect generated at an interface between the silicon mixed crystal layer and a substrate. The purpose is to make it possible to realize a semiconductor device with reduced power consumption.

[0008]

In order to achieve the above object, the present invention has a configuration in which the semiconductor device is provided with the same conductive type boundary layer as the silicon mixed crystal layer formed between the silicon mixed crystal layer and the device forming region.

[0009]

Specifically, the semiconductor device according to the present invention includes a semiconductor substrate having an element forming region containing a first conductive type impurity, a gate electrode formed by interposing a gate insulating film on the element forming region, and element forming. A boundary layer formed on the outer side of the gate electrode in the region and containing a second conductive type impurity, and a boundary layer formed between the silicon mixed crystal layer and the device forming region and containing a second conductive type impurity. It is characterized by having.

[0010]

The semiconductor device of the present invention is formed between the silicon mixed crystal layer and the device forming region, and includes a boundary layer containing a second conductive type impurity.

Therefore, the interface between the device forming region and the boundary layer becomes the pn junction interface.

Therefore, the distance between the defect caused by the lattice mismatch between the silicon mixed crystal layer and the semiconductor substrate and the pn junction interface where the depletion region expands increases by the thickness of the boundary layer.

As a result, it is possible to prevent the occurrence of trap assist tunneling due to the defects being taken into the depletion region and suppress the deterioration of the leakage current characteristics.

[0011]

In the semiconductor device of the present invention, the concentration profile of the second conductive type impurities in the boundary layer may have a maximum value.

[0012]

In the semiconductor device of the present invention, the boundary layer may be thicker than the thickness of the depleted region extending from the interface between the boundary layer and the device forming region toward the silicon mixed crystal layer side.

[0013]

In the semiconductor device of the present invention, the silicon mixed crystal layer has a defect, and the distance from the interface between the boundary layer and the device forming region to the end of the depleted region extending toward the silicon mixed crystal layer side is from the interface to the defect. It may be shorter than the distance of.

[0014]

In the semiconductor device of the present invention, the boundary layer may have a thickness of 5 nm or more and may contain a second conductive type impurity of 5 × 1019 cm-3 or more.

[0015]

In the semiconductor device of the present invention, the silicon mixed crystal layer contains p-type impurities and may generate compressive strain in the gate length direction in the channel region formed in the region corresponding to the gate electrode in the device forming region. good.

In this case, the silicon mixed crystal layer may be silicon germanium.

[0016]

In the semiconductor device of the present invention, the element forming region is p-type, and the silicon mixed crystal layer is configured to generate tensile strain in the gate length direction in the channel region formed in the region corresponding to the gate electrode in the element forming region. May be.

In this case, the silicon mixed crystal layer may be a silicon carbide.

[0017]

The method for manufacturing a semiconductor device according to the present invention includes a step (a) of sequentially forming a gate insulating film and a gate electrode on an element forming region containing a first conductive type impurity formed on a semiconductor substrate, and element forming. A step (b) of forming a trench on the outer side of the gate electrode in the region, a step (c) of forming a boundary layer containing a second conductive type impurity on the side surface and the bottom surface of the trench, and a step after the step (c). The trench is provided with a step (d) of epitaxially growing a silicon mixed crystal layer containing a second conductive type impurity.

[0018]

The method for manufacturing a semiconductor device according to the present invention includes a step of forming a boundary layer containing a second conductive type impurity on the side surface and the bottom surface of the trench.

Therefore, the distance between the defect generated in the silicon mixed crystal layer and the pn junction increases by the thickness of the boundary layer.

Therefore, the defect is not taken into the depletion region, and the occurrence of trap assist tunneling can be suppressed.

As a result, it is possible to realize a semiconductor device having improved leakage current characteristics.

[0019]

In the method for manufacturing a semiconductor device of the present invention, in the step (c), a boundary layer may be formed by plasma-doping a second conductive type impurity on the side surface and the bottom surface of the trench in the device forming region.

[0020]

In the method for manufacturing a semiconductor device of the present invention, in step (c), a material containing a second conductive type impurity in the side surface and bottom surface of the trench in the device forming region and lattice-matched with the semiconductor substrate is epitaxially grown. A boundary layer may be formed.

[0021]

In the method for manufacturing a semiconductor device of the present invention, the boundary layer may have a thickness of 5 nm or more and may contain a second conductive type impurity of 5 × 1019 cm-3 or more.

[0022]

In the method for manufacturing a semiconductor device of the present invention, in step (d), silicon containing p-type impurities and generating compressive strain in the gate length direction in a channel region formed in a region corresponding to a gate electrode in an element forming region. The mixed crystal layer may be configured to grow epitaxially.

In this case, the silicon mixed crystal layer may be silicon germanium.

[0023]

In the method for manufacturing a semiconductor device of the present invention, in step (d), tensile strain in the gate length direction is generated in a channel region containing n-type impurities and formed in a region corresponding to a gate electrode in an element forming region. The material may be configured to grow epitaxially.

In this case, the silicon mixed crystal layer may be silicon carbide.

[0024]

According to the semiconductor device and the manufacturing method thereof according to the present invention, it is caused by a defect generated at the interface between the silicon mixed crystal layer and the silicon substrate in the MIS transistor provided with the silicon mixed crystal layer for introducing strain into the channel. The junction leakage current can be reduced.

[0025]

(One Embodiment) One embodiment of the present invention will be described with reference to the drawings.

FIG. 1 shows a cross-sectional configuration of a semiconductor device according to an embodiment.

In the following, a p-type MIS transistor will be described as an example.

Further, in FIG. 1, components that are not directly related to the present invention, such as the silicide layer, the interlayer insulating film, contacts, and wiring, are not shown.

[0026]

An element forming region 12 separated by an element separation region 11 which is shallow trench isolation (STI) is formed on an n-type semiconductor substrate 10 made of silicon.

[0027]

A gate electrode 15 is formed on the element forming region 12 with a gate insulating film 14 interposed therebetween.

A sidewall 17 is formed on both side walls of the gate electrode 15.

In the present embodiment, the sidewall 17 includes an L-shaped sidewall 17A and an outer sidewall 17B.

[0028]

P-type extension regions 21 are formed on both sides of the gate electrode 15 in the element forming region 12.

In the present embodiment, the extension region 21 contains a p-type impurity of about 3 × 1020 cm-3.

A trench is formed in a region outside the p-shaped extension region 21.

A silicon mixed crystal layer 22 containing p-type impurities is formed in the trench.

In the present embodiment, the silicon mixed crystal layer 22 is a mixed crystal (silicon germanium) of silicon and germanium formed by epitaxial growth, and contains a p-type impurity of about 1 × 1021 cm-3.

Silicon-germanium has a larger lattice constant than silicon.

Therefore, the compressive stress in the gate length direction is applied to the channel region formed in the region corresponding to the gate electrode 15 in the device forming region 12.

As a result, the mobility of the hole is increased, and the driving force of the p-type MIS transistor is improved.

[0029]

Further, in the semiconductor device of the present embodiment, a boundary layer 23 doped with p-type impurities is formed in the regions located on the side surface and the bottom surface of the trench in the device forming region 12.

Therefore, the interface between the boundary layer 23 and the device forming region 12 becomes the pn junction interface.

As described below, the boundary layer 23 preferably has a concentration of p-type impurities of 5 × 1019 cm-3 or more and a thickness of 5 nm or more.

[0030]

FIG. 2 shows an energy band diagram in the vicinity of the boundary layer 23 when a negative drain voltage is applied to the drain of the MIS transistor of the present embodiment.

The thickness W of the depletion region generated by applying a voltage to the pn junction is expressed by the following equation 1.

[0032]

Here, Wp is the thickness of the depletion layer extending toward the p-type semiconductor layer side, and Wn is the thickness of the depletion layer extending toward the n-type semiconductor layer side.

ε0 is the permittivity in vacuum, εs is the relative permittivity of silicon, NA is the acceptor concentration, ND is the donor concentration, q is the charge, V is the voltage applied to the pn junction, and Vd is the built-in voltage.

Here, Wp, Wn, NA and ND have the relationship shown in Equation 2 (see, for example, "Physics of Semiconductor Devices" by S.M.Sze).

[0034]

Further, Vd can be expressed as shown in Equation 3.

In Equation 3, kB is the Boltzmann constant and Ni is the true carrier concentration of silicon.

[0036]

From the above equation, the concentration of p-type impurities (acceptors) contained in the boundary layer 23 is 5 × 1019 cm-3, the concentration of n-type impurities (donors) contained in the device forming region 12 is 5 × 1018 cm-3, and the pn junction. When the voltage applied to the device is 1.2 V, the thickness Wp of the depletion region extending from the interface between the device forming region 12 and the boundary layer 23 toward the silicon mixed crystal layer 22 is about 3 nm.

[0037]

When the silicon mixed crystal layer 22 is epitaxially grown, defects 30 due to lattice mismatch between silicon germanium and silicon are generated in the vicinity of the interface between silicon germanium and silicon during temperature reduction after growth or activation annealing.

When the boundary layer 23 is not formed, the defect 30 is incorporated into the depletion region as shown in FIG.

This causes trap-assisted tunneling in which electrons move from the valence band to the conduction band.

As a result, there is a problem that the junction leakage increases and the leakage current during circuit standby increases.

[0038]

However, in the semiconductor device of the present embodiment, since the boundary layer 23 having a thickness of 5 nm is formed, the defect 30 is not incorporated into the depletion region, and trap assist tunneling does not occur.

As a result, as shown in FIG. 4, the junction leakage current is suppressed to be lower than that of the transistor in which the silicon mixed crystal layer is formed without forming the conventional boundary layer, and is almost the same level as in the case where the silicon mixed crystal layer 22 is not formed. Can be kept.

[0039]

The thickness of the boundary layer 23 may be thicker than the thickness Wp of the depletion region extending from the pn junction interface to the silicon mixed crystal layer 22 side.

In this way, the defect 30 is not incorporated into the depletion region.

As described above, the thickness of the depletion region changes depending on the concentration of p-type impurities contained in the boundary layer 23 and the concentration of n-type impurities contained in the device forming region 12.

Therefore, the thickness of the boundary layer 23 may be set according to the concentration of these impurities.

[0040]

The higher the concentration of the p-type impurity contained in the boundary layer 23, the thinner the thickness Wp of the depletion region extending toward the silicon mixed crystal layer 22, and the more difficult it is for the defect 30 to be incorporated into the depletion region.

However, if the concentration of the p-type impurities contained in the boundary layer 23 is too high, the diffusion of the p-type impurities to the periphery of the boundary layer 23 becomes large, and the impurity concentration profiles of the extension region 21 and the silicon mixed crystal layer 22 become abnormal. May occur.

Therefore, it is preferable that the impurity concentration contained in the boundary layer 23 is not extremely high as compared with the impurity concentration contained in the silicon mixed crystal layer 22.

Specifically, it is preferably about 5 × 1019 cm-3 to 3 × 1020.

[0041]

Since the semiconductor device of the present embodiment is not easily affected by the defect 30, it is possible to increase the germanium concentration of the silicon mixed crystal layer 22 so that a larger strain is generated.

This makes it possible to improve the driving force of the transistor as compared with the conventional case.

[0042]

The semiconductor device of the present embodiment can be formed by the same method as the semiconductor device provided with the silicon mixed crystal layer that applies strain to the conventional channel, except that the boundary layer 23 is formed.

Specifically, as shown in FIG. 5A, the element forming region 12 separated by the element separating region 11 is formed on the n-type silicon substrate 10.

Subsequently, after selectively forming the gate insulating film 14, the gate electrode 15, and the insulating film 41 serving as a mask during epitaxial growth on the device forming region 12, impurities are injected to form the p-type extension region 21. ..

Subsequently, a sidewall 17 including an L-shaped sidewall 17A covering the side wall of the gate electrode and an outer sidewall 17B is formed.

Instead of the n-type substrate, an n-type impurity may be injected to form an n-type well.

[0043]

Next, as shown in FIG. 5B, the element forming region 12 is dry-etched using the gate electrode 15 on which the sidewall 17 is formed as a mask to form the trench portion 12a.

If the extension region 21 can be secured, the trench portion 12a may be formed before the sidewall 17 is formed.

In this way, it is possible to apply a larger stress to the channel.

[0044]

Next, as shown in FIG. 5C, the boundary layer 23 is formed by doping the regions located on the bottom surface and side surfaces of the trench portion 12a in the device forming region 12 with p-type impurities such as boron.

[0045]

Next, as shown in FIG. 5D, a silicon germanium layer containing p-type impurities is grown in the trench portion 12a on which the boundary layer 23 is formed to form a silicon mixed crystal layer 22.

[0046]

After that, although not shown, the insulating film 41 is removed, the gate electrode 15 and the silicon mixed crystal layer 22 are silicidized, wiring is formed, contacts are formed, and the like, if necessary.

[0047]

In the semiconductor device of the present embodiment, it is preferable that the boundary layer 23 is uniformly doped with impurities not only on the bottom surface of the trench portion but also on the side surfaces.

Therefore, for the formation of the boundary layer 23, refer to the plasma doping method (for example, D. Lenoble et al., 2006 Symposium on VLSI Technology Digest of Technical Papers p.168.

) is preferably used.

FIG. 6 shows an example of the profile of the impurity concentration in the vicinity of the interface between the element forming region 12 and the boundary layer 23 when the boundary layer 23 is formed by the plasma doping method.

[0048]

Since the boundary layer 23 is formed by impurity doping, a tail is generated on the element forming region 12 side.

Further, the movement of impurities by heat diffusion from the silicon mixed crystal layer 23 side, the movement of impurities by heat diffusion to the silicon mixed crystal layer 23 side, and the like occur.

Therefore, the concentration of impurities in the boundary layer 23 is not constant, and the profile has a peak as shown in FIG.

In this case, the impurity concentration may be 5 × 1019 cm-3 or more in a region of at least 5 nm from the interface between the boundary layer 23 and the silicon mixed crystal layer 22.

In this way, the defect is not taken into the depletion region, and the influence of trap assist tunneling can be suppressed.

[0049]

(Modified Example of One Embodiment) Hereinafter, a modified example of one embodiment of the present invention will be described with reference to the drawings.

FIG. 7 shows a cross-sectional configuration of a semiconductor device according to a modified example of one embodiment.

As shown in FIG. 7, the semiconductor device of this modification is characterized by including a boundary layer 24 formed by an epitaxial growth method.

[0050]

The boundary layer 24 may be formed by forming a trench on the outer side of the gate electrode 15 in the device forming region 12, and then forming a silicon layer containing p-type impurities on the bottom surface and the side surface of the trench by an epitaxial growth method.

Even when the boundary layer 24 is formed by the epitaxial growth method in this way, the leakage current can be reduced as in the case where the boundary layer is formed by impurity doping.

When the boundary layer 24 is formed by the epitaxial growth method, the impurity concentration in the boundary layer 24 can be made substantially constant as shown in FIG.

[0051]

Further, the boundary layer 24 is not limited to silicon, and a material that lattice-matches with silicon to the extent that defects do not occur may be used.

For example, when silicon germanium is used for the silicon mixed crystal layer 22, the boundary layer 24 can also distort the channel if it is a silicon germanium layer containing a low concentration of germanium.

[0052]

Although the p-type MIS transistor has been described in one embodiment and the modified example, the same effect can be obtained with the n-type MIS transistor.

When forming an n-type MIS transistor, impurities contained in the silicon mixed crystal layer and the boundary layer are defined as n-type impurities such as phosphorus, and impurities contained in the device forming region are defined as p-type.

Further, the silicon mixed crystal layer may be a mixed crystal of silicon and carbon (silicon carbide) or the like so that tensile stress in the gate length direction can be applied.

[0053]

The semiconductor device and the manufacturing method thereof according to the present invention can reduce the junction leakage current caused by a defect generated at the interface between the silicon mixed crystal layer for introducing strain and the silicon substrate, and the semiconductor in which strain is introduced in the channel region. It is useful as an apparatus and a method for manufacturing the apparatus.

[0054]

It is sectional drawing which shows the semiconductor device which concerns on one Embodiment of this invention.

It is an energy band diagram in the vicinity of the boundary layer of the semiconductor device which concerns on one Embodiment of this invention.

It is an energy band diagram in the semiconductor device which does not have a boundary layer.

It is a graph which shows the leakage current characteristic of the semiconductor device which concerns on one Embodiment of this invention in comparison with the conventional semiconductor device.

It is sectional drawing which shows the manufacturing method of the semiconductor device which concerns on one Embodiment of this invention in process order.

It is a graph which shows an example of the impurity profile in the vicinity of the boundary layer of the semiconductor device which concerns on one Embodiment of this invention.

It is sectional drawing which shows the semiconductor device which concerns on the modification of one Embodiment of this invention.

It is a graph which shows an example of the impurity profile in the vicinity of the boundary layer of the semiconductor device which concerns on the modification of one Embodiment of this invention.

Code description

[0055]

10 Semiconductor substrate 11 Element separation region 12 Element formation region 12a Trench portion 14 Gate insulating film 15 Gate electrode 17 Side wall 17A L-shaped sidewall 17B Outer sidewall 21 Extension region 22 Silicon mixed crystal layer 23 Boundary layer 24 Boundary layer 30 Defect 41 Insulation film

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JP2009200090A

1.

A semiconductor substrate having an element forming region containing a first conductive type impurity, a gate electrode formed by interposing a gate insulating film on the element forming region, and outside the gate electrode in the element forming region. It is provided with a silicon mixed crystal layer formed and containing a second conductive type impurity, and a boundary layer formed between the silicon mixed crystal layer and the device forming region and containing a second conductive type impurity. A semiconductor device characterized by.

2.

The semiconductor device according to claim 1, wherein the boundary layer is thicker than the thickness of the depleted region extending from the interface between the boundary layer and the device forming region toward the silicon mixed crystal layer side.

3.

The silicon mixed crystal layer has a defect, and the distance from the interface between the boundary layer and the device forming region to the end of the depletion region extending toward the silicon mixed crystal layer side is from the interface to the defect. The semiconductor device according to claim 1 or 2, wherein the semiconductor device is shorter than the distance.

4.

The semiconductor device according to any one of claims 1 to 3, wherein the concentration profile of the second conductive type impurity in the boundary layer has a maximum value.

5.

The semiconductor device according to any one of claims 1 to 4, wherein the boundary layer has a thickness of 5 nm or more and contains the second conductive type impurity of 5 × 1019 cm-3 or more.

6.

The silicon mixed crystal layer contains a p-type impurity as the second conductive type impurity, and compresses strain in the gate length direction is applied to a channel region formed in a region corresponding to the gate electrode in the device forming region. The semiconductor device according to any one of claims 1 to 5, wherein the semiconductor device is generated.

7.

The semiconductor device according to claim 6, wherein the silicon mixed crystal layer is made of silicon germanium.

8.

The silicon mixed crystal layer contains n-type impurities as the second conductive-type impurities, and causes tensile strain in the gate length direction in the channel region formed in the region corresponding to the gate electrode in the device forming region. The semiconductor device according to any one of claims 1 to 5, wherein the semiconductor device is generated.

9.

The semiconductor device according to claim 8, wherein the silicon mixed crystal layer is made of silicon carbide.

10.

A step (a) of sequentially forming a gate insulating film and a gate electrode on an element forming region containing a first conductive type impurity formed on a semiconductor substrate, and a trench on the outer side of the gate electrode in the element forming region. (B), a step (c) of forming a boundary layer containing a second conductive type impurity on the side surface and the bottom surface of the trench, and a second step in the trench after the step (c). A method for manufacturing a semiconductor device, which comprises a step (d) of epitaxially growing a silicon mixed crystal layer containing conductive impurities.

11.

The tenth aspect of the present invention is characterized in that the boundary layer is formed by plasma doping the second conductive type impurities on the side surface and the bottom surface of the trench in the element forming region. The method for manufacturing a semiconductor device according to the description.

12.

In the step (c), the boundary layer is formed by epitaxially growing a material containing the second conductive type impurities on the side surfaces and the bottom surface of the trench in the device forming region and lattice-matching with the semiconductor substrate. The method for manufacturing a semiconductor device according to claim 10, wherein the semiconductor device is manufactured.

13.

The production of the semiconductor device according to any one of claims 10 to 12, wherein the boundary layer has a thickness of 5 nm or more and contains the second conductive type impurity of 5 × 1019 cm-3 or more. Method.

14.

In the step (d), a p-type impurity is contained as the second conductive type impurity, and compression strain in the gate length direction is generated in the channel region formed in the region corresponding to the gate electrode in the device forming region. The method for manufacturing a semiconductor device according to any one of claims 10 to 13, wherein the silicon mixed crystal layer to be subjected to is epitaxially grown.

15.

The method for manufacturing a semiconductor device according to claim 14, wherein the silicon mixed crystal layer is silicon germanium.

16.

In the step (d), an n-type impurity is contained as the second conductive type impurity, and tensile strain in the gate length direction is generated in the channel region formed in the region corresponding to the gate electrode in the device forming

region. The method for manufacturing a semiconductor device according to any one of claims 10 to 13, wherein the material to be subjected to is epitaxially grown.

17.

The method for manufacturing a semiconductor device according to claim 16, wherein the silicon mixed crystal layer is silicon carbide.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-200090
(P2009-200090A)
(43)公開日　平成21年9月3日(2009.9.3)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/78	(2006.01)	H01L	29/78	301S	5F048
H01L 21/8238	(2006.01)	H01L	27/08	321E	5F140
H01L 27/092	(2006.01)	H01L	27/08	321C	

審査請求 未請求　請求項の数 17　OL　（全 12 頁）

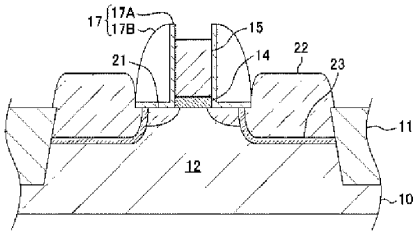
(21)出願番号　特願2008-37142(P2008-37142)
(22)出願日　平成20年2月19日(2008.2.19)

(71)出願人　000005821
パナソニック株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100077931
弁理士　前田　弘
(74)代理人　100110939
弁理士　竹内　宏
(74)代理人　100110940
弁理士　嶋田　高久
(74)代理人　100113262
弁理士　竹内　祐二
(74)代理人　100115059
弁理士　今江　克実
(74)代理人　100115691
弁理士　藤田　篤史

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】
【課題】チャネルに歪みを導入するためのシリコン混晶層を備えたＭＩＳトランジスタにおいて、シリコン混晶層と基板との界面に発生する欠陥に起因する接合リーク電流を低減した半導体装置を実現できるようにする。
【解決手段】半導体装置は、第１導電型の不純物を含む素子形成領域１２を有する半導体基板１０と、素子形成領域１２の上にゲート絶縁膜１４を介在させて形成されたゲート電極１５と、素子形成領域１２におけるゲート電極１５の外側方に形成され、第２導電型の不純物を含むシリコン混晶層２２とを備えている。シリコン混晶層２２と素子形成領域１２との間には、第２導電型の不純物を含む境界層２３が形成されている。
【選択図】図１



【特許請求の範囲】
【請求項1】
第１導電型の不純物を含む素子形成領域を有する半導体基板と、
前記素子形成領域の上にゲート絶縁膜を介在させて形成されたゲート電極と、
前記素子形成領域における前記ゲート電極の外側方に形成され、第２導電型の不純物を含むシリコン混晶層と、
前記シリコン混晶層と前記素子形成領域との間に形成され、第２導電型の不純物を含む境界層とを備えていることを特徴とする半導体装置。
【請求項2】
前記境界層は、前記境界層と前記素子形成領域との界面から前記シリコン混晶層側に向かって拡がる空乏領域の厚さよりも厚いことを特徴とする請求項１に記載の半導体装置。
【請求項3】
前記シリコン混晶層は欠陥を有し、
前記境界層と前記素子形成領域との界面から前記シリコン混晶層側に向かって拡がる空乏領域の端部までの距離は、前記界面から前記欠陥までの距離よりも短いことを特徴とする請求項１又は２に記載の半導体装置。
【請求項4】
前記境界層における前記第２導電型の不純物の濃度プロファイルは、極大値を有していることを特徴とする請求項１～３のいずれか１項に記載の半導体装置。
【請求項5】
前記境界層は、厚さが５ｎｍ以上であり、前記第２導電型の不純物を$5\times10^{19}cm^{-3}$以上含むことを特徴とする請求項１～４のいずれか１項に記載の半導体装置。
【請求項6】
前記シリコン混晶層は、前記第２の導電型の不純物としてｐ型の不純物を含み、前記素子形成領域における前記ゲート電極と対応する領域に形成されたチャネル領域に、ゲート長方向の圧縮歪みを発生させることを特徴とする請求項１～５のいずれか１項に記載の半導体装置。
【請求項7】
前記シリコン混晶層は、シリコンゲルマニウムからなることを特徴とする請求項６に記載の半導体装置。
【請求項8】
前記シリコン混晶層は、前記第２の導電型の不純物としてｎ型の不純物を含み、前記素子形成領域における前記ゲート電極と対応する領域に形成されたチャネル領域に、ゲート長方向の引っ張り歪みを発生させることを特徴とする請求項１～５のいずれか１項に記載の半導体装置。
【請求項9】
前記シリコン混晶層は、シリコンカーバイドからなることを特徴とする請求項８に記載の半導体装置。
【請求項10】
半導体基板に形成された第１導電型の不純物を含む素子形成領域の上に、ゲート絶縁膜及びゲート電極を順次形成する工程（ａ）と、
前記素子形成領域における前記ゲート電極の外側方にトレンチを形成する工程（ｂ）と、
前記トレンチの側面及び底面に第２導電型の不純物を含む境界層を形成する工程（ｃ）と、
前記工程（ｃ）よりも後に、前記トレンチに第２の導電型の不純物を含むシリコン混晶層をエピタキシャル成長する工程（ｄ）とを備えていることを特徴とする半導体装置の製造方法。
【請求項11】

前記工程（ｃ）では、前記素子形成領域における前記トレンチの側面及び底面となる部分に前記第２導電型の不純物をプラズマドーピングすることにより前記境界層を形成することを特徴とする請求項１０に記載の半導体装置の製造方法。

【請求項12】

前記工程（ｃ）では、前記素子形成領域における前記トレンチの側面及び底面となる部分に前記第２導電型の不純物を含み且つ前記半導体基板と格子整合する材料をエピタキシャル成長することにより前記境界層を形成することを特徴とする請求項１０に記載の半導体装置の製造方法。

【請求項13】

前記境界層は、厚さが５ｎｍ以上であり、前記第２導電型の不純物を$5\times10^{19}cm^{-3}$以上含むことを特徴とする請求項１０～１２のいずれか１項に記載の半導体装置の製造方法。

【請求項14】

前記工程（ｄ）では、前記第２の導電型の不純物としてｐ型の不純物を含み且つ前記素子形成領域における前記ゲート電極と対応する領域に形成されたチャネル領域にゲート長方向の圧縮歪みを発生させるシリコン混晶層をエピタキシャル成長することを特徴とする請求項１０～１３のいずれか１項に記載の半導体装置の製造方法。

【請求項15】

前記シリコン混晶層は、シリコンゲルマニウムであることを特徴とする請求項１４に記載の半導体装置の製造方法。

【請求項16】

前記工程（ｄ）では、前記第２の導電型の不純物としてｎ型の不純物を含み且つ前記素子形成領域における前記ゲート電極と対応する領域に形成されたチャネル領域にゲート長方向の引っ張り歪みを発生させる材料をエピタキシャル成長することを特徴とする請求項１０～１３のいずれか１項に記載の半導体装置の製造方法。

【請求項17】

前記シリコン混晶層は、シリコンカーバイドであることを特徴とする請求項１６に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、チャネル領域に歪みを導入した半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、金属－絶縁膜－半導体型（ＭＩＳ）トランジスタのチャネル領域に結晶の歪を導入することによりキャリア移動度を向上し、ＭＩＳトランジスタを高速化する試みが行われている。その一つとして、ＭＩＳトランジスタのソース及びドレイン部にシリコンと異なる格子定数を持つ材料をエピタキシャル成長する方法がある（例えば、特許文献１を参照。）。

【0003】

例えば、ｐ型トランジスタの場合には、ゲート電極の外側方に形成したトレンチにｐ型不純物を含むシリコンとゲルマニウムとの混晶層をエピタキシャル成長する。シリコンとゲルマニウムとの混晶であるシリコンゲルマニウムは、シリコンよりも格子定数が大きいため、ＭＩＳトランジスタのチャネルにゲート長方向の一軸性の圧縮歪みが加わる。これによりホールの移動度が増大し、ｐ型ＭＩＳトランジスタの駆動力が向上する。

【0004】

一方、ｎ型トランジスタの場合には、ｎ型不純物を含むシリコンと炭素との混晶層をエピタキシャル成長する。シリコンと炭素との混晶であるシリコンカーバイドは、シリコンよりも格子定数が小さいため、チャネルにゲート長方向の一軸性の引っ張り歪みが加わる。これにより、電子移動度が増大し、ｎ型ＭＩＳトランジスタの駆動力が向上する。

【特許文献1】米国特許６３１９７８２号明細書
【発明の開示】
【発明が解決しようとする課題】
【0005】
しかしながら、従来の半導体装置には以下のような問題点がある。シリコンゲルマニウム又はシリコンカーバイド等からなるシリコン混晶層は、シリコン基板と格子整合しない。このため、シリコン混晶層を成長した後の降温時又は活性化アニールを行う際に、シリコン混晶層とシリコン基板との界面近傍に欠陥が発生する。
【0006】
欠陥は、シリコン混晶層とシリコン基板との界面近傍に形成される空乏領域内に取り込まれる。これにより、トラップアシストトンネリングが発生し、価電子帯から伝導帯への電子の移動が生じる。その結果、ＭＩＳトランジスタの接合リークが増大し、回路スタンバイ時のリーク電流が増大するという問題が生じる。
【0007】
本発明は、前記従来の問題を解決し、チャネルに歪みを導入するためのシリコン混晶層を備えたＭＩＳトランジスタにおいて、シリコン混晶層と基板との界面に発生する欠陥に起因する接合リーク電流を低減した半導体装置を実現できるようにすることを目的とする。
【課題を解決するための手段】
【0008】
前記の目的を達成するため、本発明は半導体装置を、シリコン混晶層と素子形成領域との間に形成されたシリコン混晶層と同一の導電型の境界層を備えている構成とする。
【0009】
具体的に本発明に係る半導体装置は、第１導電型の不純物を含む素子形成領域を有する半導体基板と、素子形成領域の上にゲート絶縁膜を介在させて形成されたゲート電極と、素子形成領域におけるゲート電極の外側方に形成され、第２導電型の不純物を含むシリコン混晶層と、シリコン混晶層と素子形成領域との間に形成され、第２導電型の不純物を含む境界層とを備えていることを特徴とする。
【0010】
本発明の半導体装置は、シリコン混晶層と素子形成領域との間に形成され、第２導電型の不純物を含む境界層を備えている。このため、素子形成領域と境界層との界面がｐｎ接合界面となる。従って、シリコン混晶層と半導体基板との格子不整合に起因する欠陥と、空乏領域が拡がるｐｎ接合界面との距離は、境界層の厚さだけ長くなる。その結果、欠陥が空乏領域内に取り込まれることによるトラップアシストトンネリングの発生を防止し、リーク電流特性の悪化を抑えることが可能となる。
【0011】
本発明の半導体装置において、境界層における第２導電型の不純物の濃度プロファイルは、極大値を有していてもよい。
【0012】
本発明の半導体装置において境界層は、境界層と素子形成領域との界面からシリコン混晶層側に向かって拡がる空乏領域の厚さよりも厚くてもよい。
【0013】
本発明の半導体装置において、シリコン混晶層は欠陥を有し、境界層と素子形成領域との界面からシリコン混晶層側に向かって拡がる空乏領域の端部までの距離は、界面から欠陥までの距離よりも短くてもよい。
【0014】
本発明の半導体装置において境界層は、厚さが５ｎｍ以上であり、第２導電型の不純物を$5\times10^{19}cm^{-3}$以上含む構成としてもよい。
【0015】

本発明の半導体装置において、シリコン混晶層は、ｐ型の不純物を含み、素子形成領域におけるゲート電極と対応する領域に形成されたチャネル領域に、ゲート長方向の圧縮歪みを発生させる構成としてもよい。この場合において、シリコン混晶層は、シリコンゲルマニウムとしてもよい。

【0016】

本発明の半導体装置において、素子形成領域はｐ型であり、シリコン混晶層は、素子形成領域におけるゲート電極と対応する領域に形成されたチャネル領域に、ゲート長方向の引っ張り歪みを発生させる構成としてもよい。この場合において、シリコン混晶層は、シリコンカーバイドとしてもよい。

【0017】

本発明に係る半導体装置の製造方法は、半導体基板に形成された第１導電型の不純物を含む素子形成領域の上に、ゲート絶縁膜及びゲート電極を順次形成する工程（ａ）と、素子形成領域におけるゲート電極の外側方にトレンチを形成する工程（ｂ）と、トレンチの側面及び底面に第２導電型の不純物を含む境界層を形成する工程（ｃ）と、工程（ｃ）よりも後に、トレンチに第２の導電型の不純物を含むシリコン混晶層をエピタキシャル成長する工程（ｄ）とを備えていることを特徴とする。

【0018】

本発明に係る半導体装置の製造方法は、トレンチの側面及び底面に第２導電型の不純物を含む境界層を形成する工程を備えている。このため、シリコン混晶層に生じる欠陥とｐｎ接合との距離は、境界層の厚さだけ長くなる。従って、欠陥が空乏領域内に取り込まれることがなく、トラップアシストトンネリングの発生を抑えることができる。その結果、リーク電流特性が向上した半導体装置を実現できる。

【0019】

本発明の半導体装置の製造方法において、工程（ｃ）では、素子形成領域におけるトレンチの側面及び底面となる部分に第２導電型の不純物をプラズマドーピングすることにより境界層を形成してもよい。

【0020】

本発明の半導体装置の製造方法において、工程（ｃ）では、素子形成領域におけるトレンチの側面及び底面となる部分に第２導電型の不純物を含み且つ半導体基板と格子整合する材料をエピタキシャル成長することにより境界層を形成してもよい。

【0021】

本発明の半導体装置の製造方法において境界層は、厚さが５ｎｍ以上であり、第２導電型の不純物を$5\times10^{19}cm^{-3}$以上含む構成としてもよい。

【0022】

本発明の半導体装置の製造方法において、工程（ｄ）では、ｐ型の不純物を含み且つ素子形成領域におけるゲート電極と対応する領域に形成されたチャネル領域にゲート長方向の圧縮歪みを発生させるシリコン混晶層をエピタキシャル成長する構成としてもよい。この場合において、シリコン混晶層は、シリコンゲルマニウムであってもよい。

【0023】

本発明の半導体装置の製造方法において、工程（ｄ）では、ｎ型の不純物を含み且つ素子形成領域におけるゲート電極と対応する領域に形成されたチャネル領域に、ゲート長方向の引っ張り歪みを発生させる材料をエピタキシャル成長する構成としてもよい。この場合において、シリコン混晶層は、シリコンカーバイドであってもよい。

【発明の効果】

【0024】

本発明に係る半導体装置及びその製造方法によれば、チャネルに歪みを導入するためのシリコン混晶層を備えたＭＩＳトランジスタにおいて、シリコン混晶層とシリコン基板との界面に発生する欠陥に起因する接合リーク電流を低減できる。

【発明を実施するための最良の形態】

【0025】

（一実施形態）

本発明の一実施形態について図面を参照して説明する。図１は一実施形態に係る半導体装置の断面構成を示している。以下においては、ｐ型ＭＩＳトランジスタを例に説明する。また、図１においてシリサイド層、層間絶縁膜、コンタクト及び配線等の本願発明とは直接関係がない構成要素については図示を省略している。

【0026】

シリコンからなるｎ型の半導体基板１０にシャロートレンチ分離（ＳＴＩ）である素子分離領域１１により分離された素子形成領域１２が形成されている。

【0027】

素子形成領域１２の上には、ゲート絶縁膜１４を介在させてゲート電極１５が形成されている。ゲート電極１５の両側壁上には、サイドウォール１７が形成されている。本実施形態においては、サイドウォール１７はＬ型サイドウォール１７Ａと外側サイドウォール１７Ｂとからなる。

【0028】

素子形成領域１２におけるゲート電極１５の両側方にはｐ型のエクステンション領域２１が形成されている。本実施形態においてエクステンション領域２１は$3\times10^{20}cm^{-3}$程度のｐ型不純物を含んでいる。ｐ型のエクステンション領域２１よりも外側の領域にはトレンチが形成されている。トレンチには、ｐ型の不純物を含むシリコン混晶層２２が形成されている。本実施形態においてシリコン混晶層２２は、エピタキシャル成長により形成されたシリコンとゲルマニウムとの混晶（シリコンゲルマニウム）であり、$1\times10^{21}cm^{-3}$程度のｐ型不純物を含んでいる。シリコンゲルマニウムはシリコンよりも格子定数が大きい。このため、素子形成領域１２におけるゲート電極１５に対応する領域に形成されるチャネル領域に、ゲート長方向の圧縮応力が印加される。これによりホールの移動度が増大し、ｐ型ＭＩＳトランジスタの駆動力が向上する。

【0029】

また、本実施形態の半導体装置は、素子形成領域１２におけるトレンチの側面及び底面に位置する領域には、ｐ型の不純物がドープされた境界層２３が形成されている。従って、境界層２３と素子形成領域１２との界面がｐｎ接合界面となる。以下に説明するように境界層２３はｐ型不純物の濃度を$5\times10^{19}cm^{-3}$以上とし、厚さを５ｎｍ以上とすることが好ましい。

【0030】

図２は、本実施形態のＭＩＳトランジスタのドレインに負のドレイン電圧を印加した場合における境界層２３の近傍のエネルギーバンド図を示している。ｐｎ接合に電圧が印加されることにより生じる空乏領域の厚さＷは、以下の式１により表される。

【0031】

【数1】

$$W = W_n + W_p = \sqrt{\frac{2\varepsilon_s\varepsilon_0(Vd+V)}{qN_DN_A}(N_D+N_A)} \qquad \cdots(1)$$

【0032】

ここでW_pはｐ型半導体層側に拡がる空乏層の厚さであり、W_nはｎ型半導体層側に拡がる空乏層の厚さである。ε_0は真空中の誘電率、ε_sはシリコンの比誘電率、N_Aはアクセプタ濃度、N_Dはドナー濃度、ｑは電荷、Ｖはｐｎ接合に印加される電圧、V_dはビルトイン電圧である。ここでW_p、W_n、N_A及びN_Dは式２に示すような関係を有する（例えば、S. M. Sze著 "Physics of Semiconductor Devices"を参照。）。

【0033】

【数2】

$$N_A Wp = N_D Wn \qquad \cdots (2)$$

【0034】
また、V_dは式３に示すように表すことができる。式３において、k_Bはボルツマン定数、Niはシリコンの真性キャリア濃度である。
【0035】
【数3】

$$Vd = \frac{k_B T}{q} \ln\left(\frac{N_D N_A}{Ni^2}\right) \qquad \cdots (3)$$

【0036】
以上の式から、境界層２３に含まれるｐ型不純物（アクセプタ）の濃度が５×１０^{19}ｃｍ$^{-3}$、素子形成領域１２に含まれるｎ型不純物（ドナー）の濃度が５×１０^{18}ｃｍ$^{-3}$、ｐｎ接合に印加される電圧が１．２Ｖの場合には、素子形成領域１２と境界層２３との界面からシリコン混晶層２２側へ拡がる空乏領域の厚さW_pは約３ｎｍとなる。
【0037】
シリコン混晶層２２をエピタキシャル成長させた場合、成長後の降温時又は活性化アニール時に、シリコンゲルマニウムとシリコンとの格子不整合に起因する欠陥３０がシリコンゲルマニウムとシリコンとの界面近傍に発生する。境界層２３が形成されていない場合には、欠陥３０は図３に示すように空乏領域内に取り込まれる。これにより、価電子帯から伝導帯へ電子が移動するトラップアシストトンネリングが生じる。その結果、接合リークが増大し、回路スタンバイ時のリーク電流が増大する問題が発生する。
【0038】
しかし、本実施形態の半導体装置においては、厚さが５ｎｍの境界層２３が形成されているため、欠陥３０が空乏領域内に取り込まれることがなく、トラップアシストトンネリングが発生しない。その結果、図４に示すように接合リーク電流を、従来の境界層を形成せずにシリコン混晶層を形成したトランジスタよりも低く抑え、シリコン混晶層２２を形成しない場合とほぼ同じレベルに保つことができる。
【0039】
境界層２３の厚さは、ｐｎ接合界面からシリコン混晶層２２側に拡がる空乏領域の厚さW_pよりも厚くすればよい。このようにすれば、欠陥３０が空乏領域内に取り込まれることがない。先に述べたように、空乏領域の厚さは境界層２３に含まれるｐ型不純物の濃度と素子形成領域１２に含まれるｎ型不純物の濃度とによって変化する。従って、これらの不純物濃度に応じて境界層２３の厚さを設定すればよい。
【0040】
境界層２３に含まれるｐ型不純物の濃度が高い方が、シリコン混晶層２２側へ拡がる空乏領域の厚さＷｐが薄くなり、欠陥３０が空乏領域に取り込まれにくくなる。しかし、境界層２３に含まれるｐ型不純物の濃度をあまり高くすると、境界層２３の周辺へのｐ型不純物の拡散が大きくなり、エクステンション領域２１及びシリコン混晶層２２の不純物濃度プロファイルに異常が生じるおそれがある。従って、境界層２３に含まれる不純物濃度はシリコン混晶層２２に含まれる不純物濃度と比べて極端に高くしない方が好ましい。具体的には、５×１０^{19}ｃｍ$^{-3}$～３×１０^{20}程度とすることが好ましい。

【0041】
本実施形態の半導体装置は、欠陥３０の影響を受けにくいため、シリコン混晶層２２のゲルマニウム濃度を高くし、より大きな歪みが発生するようにすることも可能となる。これにより、従来よりもトランジスタの駆動力を向上することが可能となる。
【0042】
本実施形態の半導体装置は、境界層２３を形成する以外は、従来のチャネルに歪みを印加するシリコン混晶層を備えた半導体装置と同様の方法により形成することができる。具体的には、図５（ａ）に示すように、ｎ型のシリコン基板１０に素子分離領域１１により分離された素子形成領域１２を形成する。続いて、素子形成領域１２の上にゲート絶縁膜１４、ゲート電極１５及びエピタキシャル成長の際のマスクとなる絶縁膜４１を選択的に形成した後、不純物注入を行いｐ型のエクステンション領域２１を形成する。続いて、ゲート電極の側壁上を覆うＬ型サイドウォール１７Ａと外側サイドウォール１７Ｂとからなるサイドウォール１７を形成する。なお、ｎ型の基板に代えてｎ型不純物を注入してｎ型ウェルを形成してもよい。
【0043】
次に、図５（ｂ）に示すように、サイドウォール１７が形成されたゲート電極１５をマスクとして素子形成領域１２をドライエッチングしてトレンチ部１２ａを形成する。なお、エクステンション領域２１が確保できれば、サイドウォール１７を形成する前にトレンチ部１２ａを形成してもよい。このようにすれば、より大きな応力をチャネルに印加することが可能となる。
【0044】
次に、図５（ｃ）に示すように、素子形成領域１２におけるトレンチ部１２ａの底面及び側面に位置する領域にホウ素等のｐ型の不純物をドーピングして境界層２３を形成する。
【0045】
次に、図５（ｄ）に示すように、境界層２３が形成されたトレンチ部１２ａにｐ型不純物を含むシリコンゲルマニウム層を成長させ、シリコン混晶層２２を形成する。
【0046】
この後、図示していないが絶縁膜４１の除去、ゲート電極１５及びシリコン混晶層２２のシリサイド化、配線の形成、コンタクトの形成等を必要に応じて行う。
【0047】
本実施形態の半導体装置において、境界層２３はトレンチ部の底面だけでなく側面に対しても均一に不純物がドープされていることが好ましい。従って、境界層２３の形成にはプラズマドーピング法（例えば、D. Lenoble et al., 2006 Symposium on VLSI Technology Digest of Technical Papers ｐ.168を参照。）を用いることが好ましい。図６にはプラズマドーピング法により境界層２３を形成した場合の、素子形成領域１２と境界層２３との界面近傍における不純物濃度のプロファイルの一例を示している。
【0048】
境界層２３を不純物ドープにより形成するため、素子形成領域１２側にテールが生じる。また、シリコン混晶層２３側からの熱拡散による不純物の移動又はシリコン混晶層２３側への熱拡散による不純物の移動等が生じる。このため、境界層２３内において不純物の濃度は一定とならず図６に示すようなピークを有するプロファイルとなる。この場合には、境界層２３とシリコン混晶層２２との界面から少なくとも５ｎｍの領域において不純物濃度が$5\times10^{19}\,cm^{-3}$以上となるようにすればよい。このようにすれば、欠陥が空乏領域内に取り込まれることはなく、トラップアシストトンネリングの影響を抑えることが可能となる。
【0049】
（一実施形態の変形例）
以下に、本発明の一実施形態の変形例について図面を参照して説明する。図７は一実施形態の変形例に係る半導体装置の断面構成を示している。図７に示すように本変形例の半

導体装置は、エピタキシャル成長法により形成した境界層２４を備えていることを特徴とする。

【0050】

境界層２４は、素子形成領域１２におけるゲート電極１５の外側方に、トレンチを形成した後、トレンチの底面及び側面にｐ型不純物を含むシリコン層をエピタキシャル成長法により形成すればよい。このようにエピタキシャル成長法により境界層２４を形成した場合にも、不純物ドープにより境界層を形成した場合と同様に、リーク電流を低減することができる。境界層２４をエピタキシャル成長法により形成した場合には、図８に示すように境界層２４内における不純物濃度をほぼ一定にできる。

【0051】

また、境界層２４はシリコンに限らず、欠陥が発生しない程度にシリコンと格子整合する材料を用いてもよい。例えば、シリコン混晶層２２にシリコンゲルマニウムを用いる場合には、低濃度のゲルマニウムを含むシリコンゲルマニウム層とすれば、境界層２４もチャネルへ歪を与えることができる。

【0052】

一実施形態及び変形例において、ｐ型ＭＩＳトランジスタについて説明したが、ｎ型ＭＩＳトランジスタにおいても同様の効果が得られる。ｎ型ＭＩＳトランジスタを形成する場合には、シリコン混晶層及び境界層に含まれる不純物をリン等のｎ型不純物とし、素子形成領域に含まれる不純物をｐ型とする。また、シリコン混晶層をシリコンと炭素との混晶（シリコンカーバイド）等とし、ゲート長方向の引っ張り応力を印加できるようにすればよい。

【産業上の利用可能性】

【0053】

本発明に係る半導体装置及びその製造方法は、歪みを導入するためのシリコン混晶層とシリコン基板との界面に発生する欠陥に起因する接合リーク電流を低減でき、チャネル領域に歪みを導入した半導体装置及びその製造方法等として有用である。

【図面の簡単な説明】

【0054】

【図1】本発明の一実施形態に係る半導体装置を示す断面図である。

【図2】本発明の一実施形態に係る半導体装置の境界層近傍におけるエネルギーバンド図である。

【図3】境界層がない半導体装置におけるエネルギーバンド図である。

【図4】本発明の一実施形態に係る半導体装置のリーク電流特性を従来の半導体装置と比較して示すグラフである。

【図5】本発明の一実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】本発明の一実施形態に係る半導体装置の境界層近傍における不純物プロファイルの一例を示すグラフである。

【図7】本発明の一実施形態の変形例に係る半導体装置を示す断面図である。

【図8】本発明の一実施形態の変形例に係る半導体装置の境界層近傍における不純物プロファイルの一例を示すグラフである。

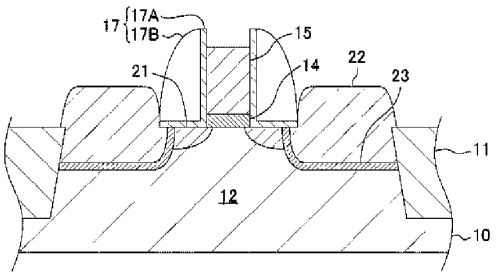
【符号の説明】

【0055】

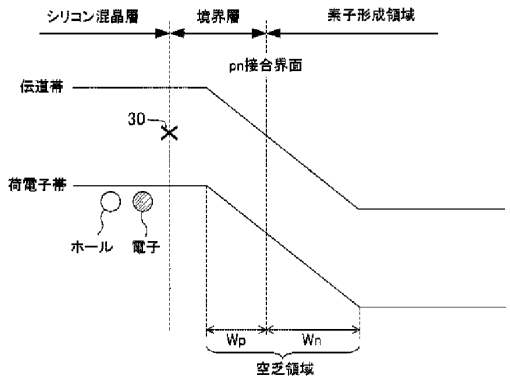
１０　　半導体基板
１１　　素子分離領域
１２　　素子形成領域
１２ａ　　トレンチ部
１４　　ゲート絶縁膜
１５　　ゲート電極
１７　　サイドウォール
１７Ａ　　Ｌ型サイドウォール

１７Ｂ　外側サイドウォール
２１　エクステンション領域
２２　シリコン混晶層
２３　境界層
２４　境界層
３０　欠陥
４１　絶縁膜

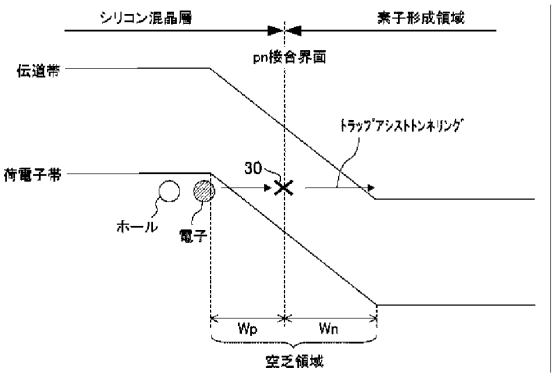
【図1】



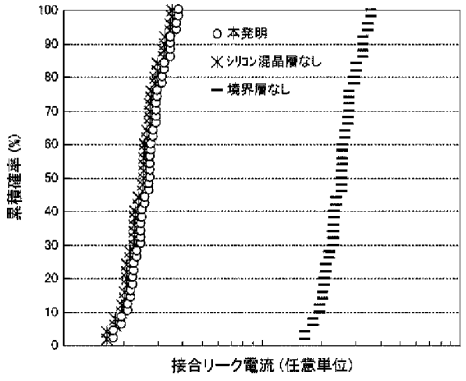
【図2】



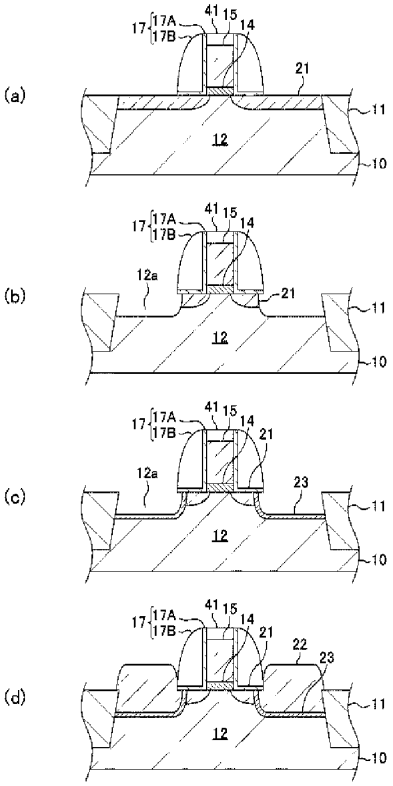
【図3】



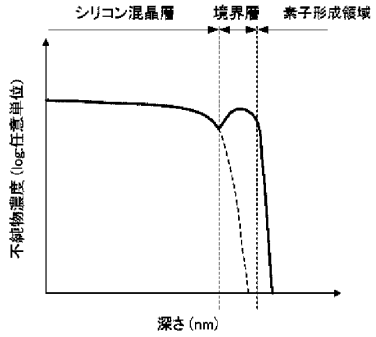
【図4】


○本発明
×シリコン混晶層なし
－境界層なし
累積確率(%)
接合リーク電流(任意単位)

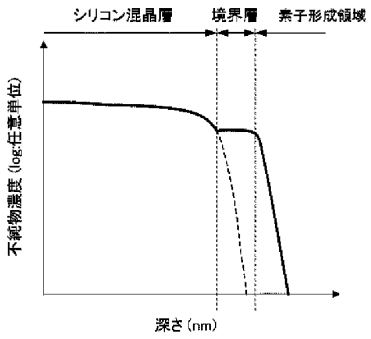
【図5】


(a)
(b)
(c)
(d)
17
17A
17B
41
15
14
21
22
23
12a
11
12
10

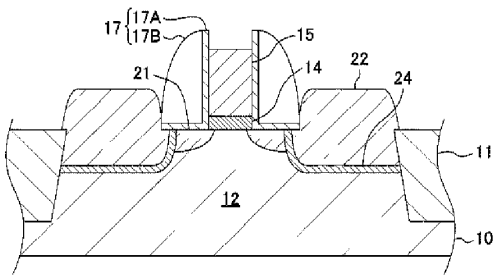
【図6】


シリコン混晶層
境界層
素子形成領域
不純物濃度(log:任意単位)
深さ(nm)

【図8】


シリコン混晶層
境界層
素子形成領域
不純物濃度(log:任意単位)
深さ(nm)

【図7】


17
17A
17B
15
14
21
22
24
11
12
10

(74)代理人　100117581
弁理士　二宮　克也
(74)代理人　100117710
弁理士　原田　智雄
(74)代理人　100121728
弁理士　井関　勝守
(74)代理人　100124671
弁理士　関　啓
(74)代理人　100131060
弁理士　杉浦　靖也
(72)発明者　伊藤　理
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　奥野　泰利
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　中林　隆
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
Ｆターム(参考) 5F048 AA07 AC03 BA01 BC01 BC05 BC06 BC15 BD01 BG13 DA30
5F140 AA00 AA24 AB01 AC28 BA01 BG09 BH06 BH14 BH27 BH49
BH50 BK02 BK09 BK18 CB04

Espacenet

Bibliographic data: JP2009514248 (A) — 2009-04-02

TECHNIQUE FOR STRAIN ENGINEERING IN SI-BASED TRANSISTORS BY USING EMBEDDED SEMICONDUCTOR LAYERS INCLUDING ATOMS WITH HIGH COVALENT RADIUS

Inventor(s):

Applicant(s):

Classification: - international: ***H01L21/20; H01L21/336; H01L21/8238; H01L27/092; H01L29/78; H01L29/786***

- cooperative: **H01L21/20 (KR)**; **H01L21/205 (KR)**; **H01L21/823807 (EP, US)**; **H01L21/823878 (EP, US)**; **H01L21/84 (EP, US)**; **H01L27/1203 (EP, US)**; **H01L29/1054 (EP, US)**; **H01L29/66628 (EP, US)**; **H01L29/66636 (EP, US)**; **H01L29/7848 (EP, US)**; H01L29/165 (EP, US); H01L29/665 (EP, US); H01L29/6656 (EP, US)

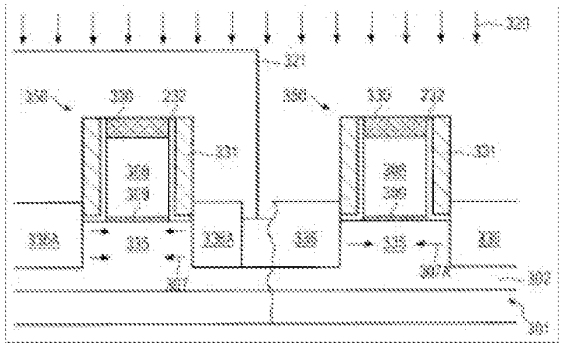
Application number: JP20080538919 20061023 Global Dossier

Priority number(s): DE20051051994 20051031 ; US20060465592 20060818 ; WO2006US41559 20061023

Also published as: CN101300664 (A) CN101300664 (B) DE102005051994 (A1) DE102005051994 (B4) KR101238432 (B1) more

Abstract not available for JP2009514248 (A)
Abstract of corresponding document: US2007096194 (A1)

By incorporating an atomic species of increased covalent radius, which may at least partially substitute germanium, a highly efficient strain mechanism may be provided, in which the risk of stress relief due to germanium conglomeration and lattice defects may be reduced. The atomic species of increased radius, such as tin, may be readily incorporated by epitaxial growth techniques on the basis of tin hydride.



Espacenet

Description: JP2009514248 (A) — 2009-04-02

TECHNIQUE FOR STRAIN ENGINEERING IN SI-BASED TRANSISTORS BY USING EMBEDDED SEMICONDUCTOR LAYERS INCLUDING ATOMS WITH HIGH COVALENT RADIUS

Description not available for JP2009514248 (A)
Description of corresponding document: US2007096194 (A1)

A high quality text as facsimile in your desired language may be available amongst the following family members:

CN101300664 (A) DE102005051994 (A1) KR20080074937 (A) TWI495101 (B) US2007096194 (A1)

The EPO does not accept any responsibility for the accuracy of data and information originating from other authorities than the EPO; in particular, the EPO does not guarantee that they are complete, up-to-date or fit for specific purposes.

BACKGROUND OF THE INVENTION

[0001] 1. Field of the Invention

[0002] Generally, the present invention relates to the formation of integrated circuits, and, more particularly, to the formation of different transistor types having strained channel regions by using embedded silicon/germanium to enhance charge carrier mobility in the channel region of a MOS transistor.

[0003] 2. DESCRIPTION OF THE RELATED ART

[0004] The fabrication of integrated circuits requires the formation of a large number of circuit elements on a given chip area according to a specified circuit layout. Generally, a plurality of process technologies are currently practiced, wherein, for complex circuitry, such as microprocessors, storage chips and the like, CMOS technology is currently the most promising approach due to the superior characteristics in view of operating speed and/or power consumption and/or cost efficiency. During the fabrication of complex integrated circuits using CMOS technology, millions of transistors, i.e., N-channel transistors and P-channel transistors, are formed on a substrate including a crystalline semiconductor layer. A MOS transistor, irrespective of whether an N-channel transistor or a P-channel transistor is considered, comprises so-called PN junctions that are formed by an interface of highly doped drain and source

regions with an inversely doped channel region disposed between the drain region and the source region.

[0005] The conductivity of the channel region, i.e., the drive current capability of the conductive channel, is controlled by a gate electrode formed above the channel region and separated therefrom by a thin insulating layer. The conductivity of the channel region upon formation of a conductive channel, due to the application of an appropriate control voltage to the gate electrode, depends on the dopant concentration, the mobility of the majority charge carriers, and, for a given extension of the channel region in the transistor width direction, on the distance between the source and drain regions, which is also referred to as channel length. Hence, in combination with the capability of rapidly creating a conductive channel below the insulating layer upon application of the control voltage to the gate electrode, the overall conductivity of the channel region substantially determines the performance of MOS transistors. Thus, the reduction of the channel length, and associated therewith the reduction of the channel resistivity, renders the channel length a dominant design criterion for accomplishing an increase in the operating speed of the integrated circuits.

[0006] The continuing shrinkage of the transistor dimensions, however, involves a plurality of issues associated therewith that have to be addressed so as to not unduly offset the advantages obtained by steadily decreasing the channel length of MOS transistors. One major problem in this respect is the development of enhanced photolithography and etch strategies to reliably and reproducibly create circuit elements of critical dimensions, such as the gate electrode of the transistors, for a new device generation. Moreover, highly sophisticated dopant profiles, in the vertical direction as well as in the lateral direction, are required in the drain and source regions to provide low sheet and contact resistivity in combination with a desired channel controllability. In addition, the vertical location of the PN junctions with respect to the gate insulation layer also represents a critical design criterion in view of leakage current control. Hence, reducing the channel length usually also requires reducing the depth of the drain and source regions with respect to the interface formed by the gate insulation layer and the channel region, thereby requiring sophisticated implantation techniques. According to other approaches, epitaxially grown regions are formed with a specified offset to the gate electrode, which are referred to as raised drain and source regions, to provide increased conductivity of the raised drain and source regions, while at the same time maintaining a shallow PN junction with respect to the gate insulation layer.

[0007] Since the continuous size reduction of the critical dimensions, i.e., the gate length of the transistors, necessitates the adaptation and possibly the new development of highly complex process techniques concerning the above-identified process steps, it has been proposed to also enhance the channel conductivity of the transistor elements by increasing the charge carrier mobility in the channel region for a given channel length, thereby offering the potential for achieving a performance improvement that is comparable with the advance to a future technology node, while avoiding or at least postponing many of the above process adaptations associated with device scaling. One efficient mechanism for increasing the charge carrier mobility is the modification of the lattice structure in the channel region, for instance by creating tensile or compressive stress in the vicinity of the channel region to produce a corresponding strain in the channel region, which results in a modified mobility for electrons and holes, respectively. For example, creating tensile strain in the channel region increases the mobility of electrons, wherein, depending on the magnitude and direction of the tensile strain, an increase in mobility of 50% or more may be obtained,

which, in turn, may directly translate into a corresponding increase in the conductivity. On the other hand, compressive strain in the channel region may increase the mobility of holes, thereby providing the potential for enhancing the performance of P-type transistors. The introduction of stress or strain engineering into integrated circuit fabrication is an extremely promising approach for further device generations, since, for example, strained silicon may be considered as a "new" type of semiconductor material, which may enable the fabrication of fast powerful semiconductor devices without requiring expensive semiconductor materials, while many of the well-established manufacturing techniques may still be used.

[0008] Consequently, it has been proposed to introduce, for instance, a silicon/germanium layer or a silicon/carbon layer in or below the channel region to create tensile or compressive stress that may result in a corresponding strain. Transistor performance may be considerably enhanced by the introduction of stress-creating layers in or below the channel region, and therefore significant efforts have been made to implement the formation of corresponding stress layers into the conventional and well-approved MOS technique. For instance, additional epitaxial growth techniques have been developed and implemented into the process flow to form the germanium or carbon-containing stress layers at appropriate locations in or below the channel region.

[0009] In other approaches, external stress created by, for instance, overlaying layers, spacer elements and the like is used in an attempt to create a desired strain within the channel region. However, the process of creating the strain in the channel region by applying a specified external stress may suffer from an inefficient translation of the external stress into strain in the channel region. Hence, although providing advantages in terms of process complexity over the above-discussed approach requiring additional stress layers within the channel region, the efficiency of the stress transfer mechanism may depend on the process and device specifics and may result in a reduced performance gain for one type of transistors.

[0010] In another approach, the hole mobility in PMOS transistors is enhanced by forming a strained silicon/germanium layer in the drain and source regions of the transistors, wherein the compressively strained drain and source regions create uniaxial strain in the adjacent silicon channel region. To this end, the drain and source regions of the PMOS transistors are selectively recessed, while the NMOS transistors are masked and subsequently the silicon/germanium layer is selectively formed in the PMOS transistor by epitaxial growth. This technique offers significant advantages in view of performance gain of the PMOS transistor and thus of the entire CMOS device.

[0011] Thus, strain engineering by means of embedded semiconductor materials, especially of silicon/germanium, provided as strained or relaxed layers depending on the desired effect, has proven to be a powerful means in increasing the device performance of advanced silicon-based transistors. It turns out, however, that the degree of strain induced in the respective channel regions depends on the amount of lattice mismatch between the basic silicon and the embedded semiconductor compound. For silicon/germanium, a maximum concentration of germanium for currently established epitaxial growth techniques is limited to approximately 25%, since otherwise germanium conglomeration may occur, which in turn may result in a non-desired stress relief in the corresponding embedded semiconductor compound material, thereby also reducing the strain in the respective channel region.

[0012] In view of the above-described situation, there exists a need for an improved technique that enables efficiently increasing strain by embedded semiconductor materials, while substantially avoiding or at least reducing one or more of the above-identified problems.

SUMMARY OF THE INVENTION

[0013] The following presents a simplified summary of the invention in order to provide a basic understanding of some aspects of the invention. This summary is not an exhaustive overview of the invention. It is not intended to identify key or critical elements of the invention or to delineate the scope of the invention. Its sole purpose is to present some concepts in a simplified form as a prelude to the more detailed description that is discussed later.

[0014] Generally, the present invention is directed to a technique for creating strain in specified regions of a crystalline semiconductor layer, in which a lattice mismatch between a silicon-based lattice, i.e., a lattice having a diamond-like lattice structure, and a semiconductor compound having per se an increased lattice spacing is taken advantage of for this purpose. A corresponding technology is conventionally used for creating strained silicon channels in highly advanced silicon-based MOS transistor elements, wherein, as previously explained, the amount of strain obtained by this mechanism is, among others, significantly restricted by the limited germanium concentration that may be successfully used in currently established epitaxial growth techniques. Therefore, in the present invention, additionally or alternatively to germanium, a further atomic species may be used that has a significantly increased covalent radius with respect to the boding characteristics within a silicon-like crystalline structure, thereby enabling a high degree of crystal distortion with a significantly reduced amount of non-silicon atoms in the respective silicon-based crystalline structure. In illustrative embodiments of the present invention, tin (Sn) may be used as an addition or a substitute for germanium as tin atoms have the same valence compared to silicon and germanium and also exhibit a significantly larger covalent radius.

[0015] According to one illustrative embodiment of the present invention, a transistor device comprises a substrate having formed thereon a crystalline semiconductor layer having a diamond-like crystalline structure. The crystalline semiconductor layer comprises a stress-inducing region comprised of silicon and a further atomic species having the same valence as silicon in the crystalline structure and having a covalent radius that is greater than a covalent radius of germanium. Moreover, the transistor device comprises a gate electrode formed above the crystalline semiconductor layer and a strained channel region.

[0016] According to another illustrative embodiment of the present invention, a semiconductor device comprises a crystalline semiconductor layer having a first portion comprising silicon and tin to form a first strained region in the crystalline semiconductor layer.

[0017] In accordance with still another illustrative embodiment of the present invention, a method comprises forming, in a crystalline semiconductor layer, a crystalline structure on the basis of silicon and at least one further atomic species having a covalent radius that is greater than a covalent radius of germanium. Moreover, the method comprises using the crystalline structure to create strain in a first specified

region of the semiconductor layer.

BRIEF DESCRIPTION OF THE DRAWINGS

[0018] The invention may be understood by reference to the following description taken in conjunction with the accompanying drawings, in which like reference numerals identify like elements, and in which:

[0019] FIGS. 1a-1d schematically show cross-sectional views of a semiconductor device during various manufacturing stages in forming a strained region in a crystalline semiconductor layer on the basis of silicon and a further species that may be built into the diamond structure of silicon and has an increased covalent radius compared to germanium, according to illustrative embodiments of the present invention;

[0020] FIGS. 2a-2d schematically show cross-sectional views during various manufacturing stages in forming a transistor device receiving an embedded strained semiconductor region for creating compressive strain in a respective channel region in accordance with further illustrative embodiments of the present invention; and

[0021] FIG. 3 schematically illustrates a cross-sectional view of a semiconductor device comprising different transistor elements that receive a different amount of tin for creating a different magnitude of strain in accordance with still another illustrative embodiment of the present invention.

[0022] While the invention is susceptible to various modifications and alternative forms, specific embodiments thereof have been shown by way of example in the drawings and are herein described in detail. It should be understood, however, that the description herein of specific embodiments is not intended to limit the invention to the particular forms disclosed, but on the contrary, the intention is to cover all modifications, equivalents, and alternatives falling within the spirit and scope of the invention as defined by the appended claims.

DETAILED DESCRIPTION OF THE INVENTION

[0023] Illustrative embodiments of the invention are described below. In the interest of clarity, not all features of an actual implementation are described in this specification. It will of course be appreciated that in the development of any such actual embodiment, numerous implementation-specific decisions must be made to achieve the developers'specific goals, such as compliance with system-related and business-related constraints, which will vary from one implementation to another. Moreover, it will be appreciated that such a development effort might be complex and time-consuming, but would nevertheless be a routine undertaking for those of ordinary skill in the art having the benefit of this disclosure.

[0024] The present invention will now be described with reference to the attached figures. Various structures, systems and devices are schematically depicted in the drawings for purposes of explanation only and so as to not obscure the present invention with details that are well known to those skilled in the art. Nevertheless, the attached drawings are included to describe and explain illustrative examples of the present invention. The words and phrases used herein should be understood and interpreted to have a meaning consistent with the understanding of those words and phrases by those skilled in the relevant art. No special definition of a term or phrase, i.

e., a definition that is different from the ordinary and customary meaning as understood by those skilled in the art, is intended to be implied by consistent usage of the term or phrase herein. To the extent that a term or phrase is intended to have a special meaning, i.e., a meaning other than that understood by skilled artisans, such a special definition will be expressly set forth in the specification in a definitional manner that directly and unequivocally provides the special definition for the term or phrase.

[0025] Generally, the present invention contemplates an enhanced strain-inducing mechanism by means of strained or relaxed semiconductor structures having a diamond-type lattice structure with a different lattice spacing compared to a non-strained silicon crystal. As previously explained, the mechanism of providing a strained or relaxed silicon/germanium layer within appropriate locations of a silicon-based semiconductor device provides an efficient strain engineering technique so as to correspondingly enhance the charge carrier mobility, especially within channel regions of highly advanced MOS transistor devices. These techniques rely on epitaxial growth processes, during which a strained or relaxed silicon/germanium layer may be formed, depending on the device requirements.

[0026] Moreover, recently, local selective epitaxial growth techniques have been developed which may effectively suppress a significant material deposition on dielectric surfaces, while efficiently depositing silicon, silicon/germanium and the like on exposed silicon or silicon-like surfaces. For example, if a silicon/germanium layer is deposited on a crystalline silicon layer, the silicon/germanium material may be deposited so as to have substantially the same lattice spacing as the underlying crystalline "template" so that a strained silicon/germanium layer is formed, since an undisturbed silicon/germanium crystal may have a somewhat enlarged lattice spacing compared to a pure silicon crystal. The difference in lattice spacing of a silicon/germanium layer and a silicon layer depends on the germanium concentration. Therefore, the amount of strain created in the silicon/germanium layer also depends on the germanium concentration. As previously explained, however, in currently used epitaxial growth techniques, a maximum germanium concentration may range up to approximately 25-30%, whereas a higher concentration may actually result in a germanium conglomeration, which in turn may result in an increased defect rate and thus relaxation of the initially strained silicon/germanium layer.

[0027] According to the present invention, a desired degree of lattice mismatch and thus strain may be adjusted on the basis of an atomic species having a significantly larger covalent radius compared to germanium, wherein, in some illustrative embodiments, the valence of the atomic species under consideration is substantially identical to silicon or germanium with respect to a covalent bonding structure in a diamond-like crystalline structure. In one illustrative embodiment, tin, having a covalent radius of 1.40 Å, may be used as a suitable atomic species. For example, silicon having a covalent radius of 1.17 Å may be used in combination with germanium having a covalent radius of 1.22 Å, wherein, additionally, a certain amount of tin may be incorporated to create a significantly enlarged lattice mismatch. Since the difference in covalent radius between silicon and tin is significantly higher compared to the difference in radius between silicon and germanium, a more pronounced effect on the overall lattice structure may be achieved with a reduced number of non-silicon atoms. Consequently, the germanium concentration may be kept well below a critical value of approximately 25% while an enhanced lattice mismatch may still be obtained by adding a certain amount of tin.

[0028] Furthermore, in some illustrative embodiments, silicon may be used in combination with tin, without adding any germanium, thereby providing a moderately high degree of lattice modification with a significantly reduced number of non-silicon atoms. For example, in some embodiments, it is contemplated to incorporate a certain amount of tin by other techniques such as implantation in addition or alternatively to the incorporation of tin by means of epitaxial growth. Since a reduced number of tin atoms may nevertheless significantly contribute to a lattice distortion, even atomic concentrations achievable by currently used implantation techniques may be sufficient to create a specified strain or at least to fine tune the lattice mismatch and thus the degree of strain achieved thereby. Since ion implantation is a well-established technique, which may be performed at room temperature on the basis of resist masks formed by photolithography, a corresponding incorporation of tin may be accomplished in a highly efficient and even a highly local fashion, thereby providing additional flexibility in process techniques and device design. For example, a concentration of approximately 10<20 > tin atoms/cm<3> , which may be achievable by presently performed implantation techniques, may enable an efficient adjustment or control of strain in a corresponding silicon/tin or silicon/germanium/tin crystalline structure.

[0029] In the following detailed description, it may be referred to specific applications of the principles of the present invention, i.e., the incorporation of an atomic species having an enlarged covalent radius so as to create strain in a specified crystalline semiconductor region. It should be appreciated, however, that any restriction to specific transistor architectures, such as SOI-like transistors, bulk devices, transistors having raised drain and source regions and the like, are not intended unless such specific restrictions are explicitly set forth in the detailed description as well as in the appended claims.

[0030] With reference to FIGS. 1a-1d, 2a-2d and 3, further illustrative embodiments of the present invention will now be described in more detail. FIG. 1a schematically shows a cross-sectional view of a semiconductor device 100 at an early manufacturing stage. The semiconductor device 100 comprises a substrate 101, which may represent any appropriate substrate for carrying a semiconductor layer 102, in and on which circuit elements, such as transistors, capacitors, resistors and the like, may be formed. For example, the substrate 101 may represent a bulk semiconductor substrate, such as a silicon substrate, or may represent any insulating substrate, such as an SOI-like substrate, wherein the semiconductor layer 102 may be formed on a buried insulation layer (not shown). It should be appreciated that, although the present invention is highly advantageous in combination with highly scaled MOS transistors as are typically fabricated in advanced CMOS technologies including transistors having a gate length of 50 nm and even less, the principles of the present invention may also be applied to less critical applications so that, for existing designs, a significant performance increase may be achieved.

[0031] The semiconductor layer 102 may be a silicon-based crystalline semiconductor layer, wherein the term silicon-based is to be understood as a material layer comprising silicon with a concentration of at least atomic 50%. In illustrative embodiments, the semiconductor layer 102 may represent a doped silicon layer as is typically used for highly complex integrated circuits having transistor elements with a gate length in the above specified range. A further substantially crystalline layer 103 may be formed on the layer 102 and may represent a so-called buffer layer, in which the crystalline mismatch and thus the concentration of a specific atomic species such as germanium, tin, and the like may gradually increase to allow for the formation of a substantially

relaxed stress-inducing crystalline layer 104 thereon, which may comprise at least one atomic species in combination with silicon that has a covalent radius that is greater than that of germanium. In one illustrative embodiment, the stress-inducing layer 104 may be comprised of silicon, germanium and tin, wherein a concentration of germanium may range from less than 1% to approximately 25%, while a concentration of tin may range from approximately 0.1-25%. In some embodiments, the germanium content may be selected to be well below 25%, for instance 1-10%, while the tin content may be selected within a range of approximately 0.1-10%. In still other embodiments, the stress-inducing layer 104 may be comprised of silicon and tin substantially without any germanium.

[0032] The layer 104 may represent a substantially relaxed layer having a diamond-like structure according to the crystalline template provided by the layer 102 which is transferred via the buffer layer 103 into the layer 104, wherein, however, the lattice spacing of the layer 104 may differ from that of the layer 102 depending on the concentration of germanium and tin.

[0033] The semiconductor device 100 as shown in FIG. 1a may be formed in accordance with the following processes. After providing the substrate 101, which may represent a silicon bulk substrate or an SOI substrate having formed thereon the layer 102, the thickness of which may be adapted by an epitaxial growth process, the buffer layer 103 may be formed by an epitaxial growth process 105, in which one or more non-silicon species may be deposited with varying concentrations so as to form the buffer layer 103. For example, the formation of silicon/germanium buffer layers on the basis of germanium hydride (GeH4) is well established and may be used for forming the layer 103 when no additional atomic species, such as tin, is considered appropriate in the buffer layer 103. In other embodiments, the buffer layer 103 may be formed on the basis of a further atomic species such as tin, which may be accomplished by providing tin hydride (SnH4) as a precursor for the epitaxial growth process 105, wherein tin hydride may be handled in a similar fashion as germanium hydride.

[0034] By appropriately depositing the material of the buffer layer 103, a corresponding lattice structure may increasingly deviate from the basic crystalline template of the layer 102 in terms of lattice spacing so that finally the layer 104 may then be deposited as a substantially unstrained, i.e., relaxed, semiconductor layer with an increased lattice spacing compared to the original lattice spacing of the layer 102. For this purpose, during the epitaxial growth process 105, a desired amount of tin and, if desired, a respective amount of germanium may be provided in combination with the silicon, which still represents the majority of the material in the layer 104. After a desired layer thickness is achieved, the epitaxial growth process 105 may be discontinued and a further epitaxial growth process may be performed so as to deposit a substantially crystalline silicon layer above the layer 104. In other embodiments, the epitaxial growth process 105 may be modified to subsequently deposit silicon, doped or undoped, depending on device requirements, wherein the substantially relaxed layer 104 acts as a crystalline template. Consequently, the silicon deposited thereon may have substantially the same crystalline structure, which represents a strained crystalline structure compared to a natural crystalline silicon layer, such as the layer 102. Consequently, a certain degree of tensile strain may be generated.

[0035] FIG. 1b schematically shows the semiconductor device 100 in a further advanced manufacturing stage. As is shown, a further crystalline silicon layer 106 is formed in the layer 104 in accordance with the above-described epitaxial growth

technique. Consequently, the layer 106 exhibits intrinsic tensile strain, indicated as 107, thereby efficiently modifying the charge carrier mobility in the layer 106. Moreover, a gate electrode 108 is formed above the layer 106 and is separated therefrom by a gate insulation layer 109. The gate electrode 108 in combination with the gate insulation layer 109 defines a channel region 110 within the layer 106, which, as previously explained, exhibits the tensile strain 107, thereby increasing, for instance, the mobility of electrons in the channel region 110. Consequently, the performance of a corresponding transistor element including the gate electrode 108 and the channel region 110 may be significantly enhanced, wherein the degree of tensile strain 107 may be efficiently adjusted and controlled on the basis of the epitaxial growth process 105. Consequently, by means of the stress-inducing layer 104, an efficient strain-creating mechanism may be provided for generating tensile strain in the silicon-based layer 106.

[0036] FIG. 1c schematically shows the semiconductor device 100 in accordance with another illustrative embodiment, in which compressive strain may be generated in a specified region of a crystalline semiconductor layer. In this embodiment, the stress-inducing layer 104 may be directly formed on the crystalline layer 102, which again acts as a crystalline template during the epitaxial growth process 105, which may now have been configured such that the layer 104 is itself grown as a substantially strained layer, since the crystalline structure of the layer 102 is substantially maintained within the layer 104, thereby reducing its natural lattice spacing so that the channel region 110 may be a compressively strained region, thereby modifying the mobility of holes, which may be advantageous in forming a P-channel transistor on the basis of the channel region 110 and the gate electrode 108.

[0037] Thereafter, starting from the device 100 as shown in FIG. 1b or in FIG. 1c, the further manufacturing process may be continued on the basis of well-established techniques for forming MOS transistors, which will be described in more detail later on with reference to FIGS. 2a-2d.

[0038] As previously explained, a moderately low concentration of the atomic species having the increased covalent radius may suffice so as to modify a corresponding lattice mismatch required for the generation of compressive or tensile strain, as is explained with reference to FIGS. 1a-1c. Thus, in some illustrative embodiments, additionally or alternatively to the epitaxial growth process 105, other techniques for incorporating the atomic species, such as diffusion and implantation, may be used. For example, an implantation process may be performed to introduce, for instance, tin atoms into the layer 104, thereby increasing the corresponding concentration and thus the induced strain.

[0039] FIG. 1d schematically shows an illustrative embodiment in which the semiconductor device 100 comprises a first device region 150, in which the gate electrode 108 may be formed, while, in a second device region 160, a second gate electrode 118 may be formed on a second gate insulation layer 119, wherein the second device region 160 may be covered by an implantation mask 121, which may be provided in the form of a resist mask. Moreover, the semiconductor device 100 is subjected to an ion implantation 120 for introducing tin in a local fashion. For example, in the embodiment shown, it may be assumed that the layer 104 has been formed by the epitaxial growth process 105, as explained with reference to FIG. 1c, thereby providing the layer 104 with an intrinsic strain 107. By further implanting tin ions in the vicinity of the gate electrode 108, the corresponding tin concentration may be increased, wherein a high dose, such as 10<16 > to 10<17 > ions/cm<2 > may be used

to provide a moderately high additional concentration of tin atoms within the layer 104. The implantation parameters of the process 120 may be selected on the basis of well-established simulation models in order to obtain an implantation energy for substantially depositing the tin ions within the layer 104 without unduly damaging the "template layer" 102.

[0040] After the completion of the implantation process 120, the resist mask 121 may be removed and the device 100 may be subjected to an anneal process for re-crystallizing damaged portions in the layer 104 and for substantially placing the implanted species at lattice sites to rebuild the strained lattice in the layer 104. Due to the increased tin concentration in the vicinity of the channel region 110, an even increased compressive strain may be generated therein, thereby also causing a more efficient modification of the charge carrier mobility.

[0041] It should be appreciated that the above-described embodiment is only of an illustrative nature and a variety of modifications may be considered. For instance, the implantation process 120 may be performed prior to the formation of the gate electrodes 108 and 118 on the basis of the mask 121, so that the entire exposed portion of the layer 104 may receive the increased tin contents. In still other illustrative embodiments, the epitaxial growth process 105 may be omitted when the tin concentration incorporated by the implantation process 120 is considered sufficient for generating the desired degree of strain 107. In still other illustrative embodiments, the epitaxial growth process 105 may be performed on the basis of silicon and germanium and the implantation process 120 may be used to locally introduce tin atoms, thereby providing a means for fine tuning the finally obtained strain. For example, the first and second device regions 150, 160 may represent regions for different transistor types or may represent different die regions, in which a different degree of strain is required. For instance, in highly sensitive device regions of complex microprocessors, such as static RAM areas, none or a significantly reduced strain may be desirable, while, in logic areas, such as a CPU core, an increased degree of stress may be preferable to enhance operating speed of the CPU core. Consequently, due to the enhanced effect of the atomic species, such as tin, having the increased covalent radius, on the crystalline structure, a concentration achievable by implantation techniques may be appropriate so as to locally adjust the strain.

[0042] With reference to FIGS. 2a-2d, further illustrative embodiments of the present invention will now be described in more detail in which an embedded strained semiconductor material is formed in drain and source regions of a transistor element to induce a corresponding strain in the adjacent channel region.

[0043] FIG. 2a schematically shows in a cross-sectional view a semiconductor device 200 comprising a substrate 201 having formed thereon a crystalline semiconductor layer 202. The substrate 201 may represent a bulk silicon substrate or an SOI-like substrate, i.e., the substrate 201 may have formed thereon a buried insulating layer (not shown) above which is formed the crystalline semiconductor layer 202. The semiconductor layer 202 may represent a silicon-based layer, i.e., the layer 202 may at least comprise approximately 50% silicon. Moreover, a transistor element 250 at an early manufacturing stage may be formed in and above the crystalline semiconductor layer 202. In this stage, a gate electrode 208 may be formed above the layer 202 and may be comprised of doped polysilicon, or any other appropriate material may be provided above the layer 202 and may be separated therefrom by a gate insulation layer 209. It should be appreciated that other approaches and transistor architectures

may also be used in combination with the present invention, in which, for example, the gate electrode 208 may represent a replacement or dummy gate electrode, which may be removed in a later stage of manufacture to provide a conductive material of enhanced electrical characteristics. The gate electrode 208 may be "encapsulated" by a capping layer 230 and respective spacer elements 231, which may be separated from the gate electrode 208 by a respective liner 232. For instance, the capping layer 230 and the spacer 231 may be comprised of any appropriate dielectric material, such as silicon nitride, silicon oxynitride and silicon dioxide, which may be used as an etch and growth mask in an etch process and an epitaxial growth process for the formation of an embedded strained semiconductor region. The liner 232 is typically formed of a material having a high etch selectivity with respect to the spacer 231. For instance, a combination of silicon dioxide and silicon nitride for the liner 232 and the spacer 231 may be efficiently used on the basis of well-established etch recipes.

[0044] The semiconductor device 200 as shown in FIG. 2a may be formed in accordance with the following processes. After manufacturing the substrate 201, which may include advanced wafer bond techniques or other methods of forming a buried insulation layer, if SOI-like substrates are considered, the gate electrode 208 and the gate insulation layer 209 may be formed by deposition and/or oxidation for forming an appropriate gate insulation material, followed by the deposition of an appropriate gate electrode material. Thereafter, advanced lithography and etch techniques may be applied in accordance with well-established recipes to pattern the corresponding layers, thereby forming the gate electrode 208 and the gate insulation layer 209, wherein, during the patterning process, the capping layer 230 may also be patterned, which may have been used as an anti-reflective coating (ARC) layer, a hard mask layer and the like. Next, a liner material may be conformally deposited on the basis of plasma enhanced chemical vapor deposition (PECVD) followed by the deposition of a spacer layer, which is then patterned by an anisotropic etch process, thereby obtaining the spacer 231. Thereafter, the exposed residuals of the liner 232 may be removed and then the device 200 may be subjected to an anisotropic etch process 233 for forming a respective cavity or recess adjacent to the encapsulated gate electrode 208.

[0045] FIG. 2b schematically shows the semiconductor device 200 in a further advanced manufacturing stage, wherein a recess or cavity 234 is formed after the completion of the anisotropic etch process 233. Next, the device 200 may be subjected to any pretreatments for preparing the device 200 for a subsequent selective epitaxial growth process. For instance, appropriate cleaning processes may be performed to remove contaminants and etch byproducts from exposed surfaces of the device 200. Thereafter, a selective epitaxial growth process 246 may be performed, wherein, in one illustrative embodiment, an appropriate deposition atmosphere may be established on the basis of a silicon-containing precursor material, a germanium-containing precursor material, and a precursor including an atomic species having the same valence as silicon and germanium and exhibiting an increased covalent radius compared to germanium. In one illustrative embodiment, the deposition ambient may be created on the basis of tin hydride (SnH_4) to provide a desired concentration of tin within the deposition atmosphere of the process 246. As previously explained, typically, in selective epitaxial growth processes, the process parameters, such as pressure, temperature, type carrier gases and the like, are selected such that substantially no material is deposited on dielectric surfaces, such as surfaces of the capping layer 230 and the spacers 231, while a deposition is obtained on exposed surfaces of the crystalline layer 202, thereby using this layer as a crystalline template, which substantially determines the crystalline structure of the epitaxially grown material. In

this illustrative embodiment, the material grown within at least a portion of the recess 234 is to be provided as a strained material, i.e., the material should exhibit the same crystalline structure and, thus, substantially the same lattice spacing as the basic template of the layer 202, which results in a highly strained material region due to the presence of germanium and a further atomic species having an increased covalent radius, such as tin. Consequently, due to the presence of strained crystalline material, a corresponding strain is also created in a channel region 235 located adjacent to the recess 234.

[0046] As previously explained, due to the enhanced covalent radius of tin with respect to silicon and germanium, a significantly reduced amount of non-silicon atoms may be sufficient to achieve a corresponding strained semiconductor material during the epitaxial growth process 246. Consequently, a moderately low concentration of, for instance, tin within the deposition atmosphere in the range of approximately 0.1-10% may be considered appropriate for creating the required strain. In other embodiments, the deposition atmosphere of the process 246 may be established on the basis of silicon and the at least one further atomic species having the increased covalent radius, such as tin, substantially without adding any germanium, thereby providing enhanced design flexibility when the influence of a substantial amount of germanium may be considered inappropriate with respect to other electrical characteristics, such as leakage current of PN junctions and the like. During the epitaxial growth process 236, a concentration of tin and/or germanium and thus of silicon may be controlled in any appropriate manner. For example, in some cases, it may be appropriate to locate the tin atoms more closely to an upper surface of the drain and source regions still to be formed due to a different diffusion behavior of tin compared to germanium in subsequent high temperature processes in the further processing of the device 200. In other illustrative embodiments, the tin may be provided in the vicinity of areas in which a metal silicide is to be subsequently formed, wherein the significantly reduced amount of tin atoms may provide increased flexibility in creating the metal silicide, compared to a corresponding device that would require a significantly increased germanium content for creating the same amount of strain, which may, however, impose significant restrictions with respect to the subsequent silicidation process. In still other embodiments, a final silicon layer may be formed on top of the strained silicon/germanium/tin layer or the silicon/tin layer formed by the epitaxial growth process 246.

[0047] FIG. 2c schematically shows the semiconductor device 200 after the completion of the epitaxial growth process 236. Hence, the device 200 comprises a recessed strained semiconductor region 236 having a crystalline structure that corresponds to the diamond-structure of the silicon-based layer 202. Due to the lattice mismatch, as the natural lattice spacing of the crystalline structure in the region 236 is larger than a regular silicon spacing, a compressive strain 207 is generated in the channel region 235, thereby providing an enhanced mobility for holes during the operation of the transistor 250. Moreover, due to the partial or complete substitution of germanium by an atomic species having an enlarged covalent radius, such as tin, a significantly increased value for the strain 207 may be obtained on the basis of a concentration of non-silicon atoms in the region 236 that is well below a limit for conglomeration, as is previously encountered in conventional devices, when a high germanium co. tent is used. However, as previously explained, the germanium and/or tin concentration within the region 236 may vary in the depth direction to account for various device requirements. For instance, in the embodiment shown, a specific "overgrowth" may have been formed to enhance a subsequent silicidation process, thereby reducing the

resulting contact resistance. Moreover, an upper region of the epitaxially grown material 236, indicated as 236A, may be provided, which may have a reduced germanium concentration while still providing a high degree of strain by correspondingly increasing the tin concentration, which may, however, still be significantly less compared to a silicon/germanium region producing the same amount of strain 207, thereby allowing enhanced flexibility in selecting appropriate refractory metals for the subsequent silicidation process. It should be appreciated that any other appropriate variation in the germanium and/or tin concentration within the region 236 may be created during the preceding epitaxial growth process.

[0048] Thereafter, the spacers 231 and the capping layer 230 may be removed, possibly after any implantation processes for forming drain and source regions, when the spacers 231 have appropriate dimensions for obtaining the desired lateral profile, at least of a part of the drain and the source regions. In other cases, the spacers 231 and the capping layer 230 may be removed and a conventional process sequence may be carried out to form spacer elements with intermediate implantation processes for obtaining the required complex lateral profiling of the drain and source region defined by design rules.

[0049] FIG. 2d schematically shows the semiconductor device 200 at an advanced manufacturing stage, in which the transistor 250 is substantially finished. Thus, the device 200 comprises a sidewall spacer structure 237, which may include a plurality of individual spacer elements separated by respective liners. Moreover, a drain and source region 239 has a specified lateral dopant profile in accordance with device requirements. Moreover, metal silicide regions 238 may be formed on the drain and source regions 239 and a corresponding metal silicide region 239 may be formed in the gate electrode 208. Consequently, the channel region 235 may be compressively strained due to the strain 207 created by the region 236, thereby significantly enhancing the drive current capability of the transistor 250, which may represent a P-channel transistor. Due to the provision of the atomic species having the increased covalent radius in the region 236, a significant increase of the strain 207 may be achieved compared to conventional devices including an embedded silicon/germanium region.

[0050] Moreover, by appropriately designing the germanium and/or tin concentration in the region 236, an enhanced flexibility in forming the metal silicide regions 238 may be provided. For example, a highly conductive nickel silicide may be formed in the region 238 by reducing the germanium content at least in the upper portion 236A while nevertheless providing enhanced strain by correspondingly increasing the tin concentration. Consequently, a significant gain in performance may be obtained while nevertheless a high degree of compatibility with conventional processes for forming embedded silicon/germanium semiconductor structures may be maintained and an additional freedom in the design may be obtained. For this purpose, a corresponding epitaxial growth process may be adapted to include the provision of appropriate precursor material such as tin hydride (SnH_4), on the basis of which an appropriate and desired incorporation of non-silicon atoms may be achieved, which allows efficient control of the created strain substantially without creating any stress relief by phase segregation and crystal slips inside the strained semiconductor region 236.

[0051] FIG. 3 schematically shows a cross-sectional view of a semiconductor device 300 in accordance with still other embodiments. The semiconductor device 300 comprises a first transistor 350 and second transistor 360 formed above a substrate

301 on the basis of a crystalline semiconductor layer 302. With respect to the substrate 302 and the semiconductor layer 302, the same criteria apply as previously explained with reference to the components 101, 102, 201 and 202. Moreover, in the embodiment illustrated, the transistors 350, 360 may have encapsulated gate electrodes 308 and formed adjacent thereto corresponding raised semiconductor regions 336, 336A. In other illustrative embodiments (not shown), the raised regions 336, 336A may not be provided and may merely represent a portion of the crystalline semiconductor layer 302.

[0052] The device 300 as shown in FIG. 3 may be formed in accordance with a process strategy as is previously described with reference to FIGS. 2a-2b, wherein, however, the transistors 350, 360 may represent transistors that may receive a different magnitude of strain, since these transistors may represent transistors at different die regions or may represent transistors of different conductivity type. For example, the first transistor 350 may represent a P-channel transistor while the transistor 360 may represent an N-channel transistor. Consequently, during a corresponding etch process for forming respective cavities or recesses to accommodate the semiconductor regions 336, 336A, an enhanced process uniformity may be achieved since the etch process may not require any hard masks to completely cover one transistor type, while exposing the other. Similarly, in the subsequent epitaxial growth process, an enhanced degree of uniformity may be achieved across the substrate 301 due to the reduction of any loading effects that may also be an issue in conventional techniques, in which one transistor type is to be completely covered while the other type is exposed. During the corresponding epitaxial growth process for forming the raised semiconductor regions 336, 336A, a small amount of germanium and/or tin may be incorporated to provide a "basic" strain 307 that is compatible with the performance of, for instance, the second transistor 360. In other illustrative embodiments, when the basic strain 307 is considered inappropriate, a corresponding cavity etch and a subsequent epitaxial growth process may be omitted. In other cases, the transistor 360 may represent a P-channel transistor in a critical device region, such as a static RAM area, which may receive a reduced amount of strain 307, while the transistor 350 may require an increased strain.

[0053] In one illustrative embodiment, an implantation process 320 may be performed, during which the first transistor 350 is exposed while the second transistor 360 may be covered by a resist mask 321. During the implantation 320, tin may be implanted into the region 336, thereby increasing the tin concentration therein, which may lead to a desired increase of strain due to the increased covalent radius of tin generating a lattice distortion more efficiently. Since a high concentration in terms of implantation induced concentrations may be required, such as approximately 10<20 > atoms/cm<3 > or even more, the region 336 may be substantially amorphized during the implantation 320. Consequently, an anneal process may be performed to re-crystallize the substantially amorphized portion 336 on the basis of the crystalline template 302, thereby forming a highly strained crystal structure in the region 336. As a consequence, the initially present strain 307 may be increased to a value 307A to thereby obtain the required mobility gain in the transistor 350. Thereafter, the further processing for completing the transistors 350 and 360 may be continued as is previously described with reference to FIGS. 2a-2d.

[0054] In other illustrative embodiments, the implantation process 320 may be performed without a preceding formation of the regions 336, 336A, when the creation of the strain 307A obtained by a concentration achieved by the implantation 320 is

considered appropriate. For example, in highly sensitive device regions, a strain engineering on the basis of a strained semiconductor material may not be inappropriate for N-channel transistors, while a "mild" strain in the channel region of PMOS transistors may be desirable. In this situation, the implantation sequence 320 may be applied prior to the formation of any drain and source regions, wherein, in one embodiment, additionally the implantation 320 may be performed as a pre-amorphization implantation to enhance the subsequent dopant introduction for forming the drain and source regions. Consequently, a highly selective performance improvement may be achieved with a high degree of compatibility with existing process techniques substantially without grossly affecting the N-channel transistors.

[0055] As a result, the present invention provides an improved technique for the formation of strain by means of strained or relaxed semiconductor material in that an atomic species, such as tin, having greater covalent radius compared to germanium is incorporated into respective crystalline silicon-based semiconductor layers, thereby significantly reducing the risk for stress relief due to conglomeration and lattice defects. In illustrative embodiments, the atomic species having the increased covalent radius may be incorporated by an epitaxial growth process on the basis of an appropriate precursor material, such as tin hydride (SnH_4). Moreover, by incorporating the atomic species by other techniques, such as implantation, a highly localized strain engineering may be accomplished, thereby offering high flexibility for process and product design.

[0056] The particular embodiments disclosed above are illustrative only, as the invention may be modified and practiced in different but equivalent manners apparent to those skilled in the art having the benefit of the teachings herein. For example, the process steps set forth above may be performed in a different order. Furthermore, no limitations are intended to the details of construction or design herein shown, other than as described in the claims below. It is therefore evident that the particular embodiments disclosed above may be altered or modified and all such variations are considered within the scope and spirit of the invention. Accordingly, the protection sought herein is as set forth in the claims below.

Espacenet

Claims: JP2009514248 (A) — 2009-04-02

TECHNIQUE FOR STRAIN ENGINEERING IN SI-BASED TRANSISTORS BY USING EMBEDDED SEMICONDUCTOR LAYERS INCLUDING ATOMS WITH HIGH COVALENT RADIUS

Claims not available for JP2009514248 (A)
Claims of corresponding document: US2007096194 (A1)

A high quality text as facsimile in your desired language may be available amongst the following family members:

CN101300664 (A) DE102005051994 (A1) KR101238432 (B1) TWI495101 (B) US2007096194 (A1)

- Original claims
- Claims tree

The EPO does not accept any responsibility for the accuracy of data and information originating from other authorities than the EPO; in particular, the EPO does not guarantee that they are complete, up-to-date or fit for specific purposes.

What is claimed:

1. A transistor device, comprising:
a substrate having formed thereon a crystalline semiconductor layer having a diamond-like crystalline structure, said crystalline semiconductor layer comprising a stress-inducing region being comprised of silicon and a further atomic species having the same valence as silicon in said crystalline structure and having a covalent radius that is greater than a covalent radius of germanium;
a gate electrode formed above said crystalline semiconductor layer; and
a strained channel region.

2. The transistor device of claim 1, wherein said stress-inducing region is formed in a drain and source region.

3. The transistor device of claim 1, wherein said stress-inducing region is said strained semiconductor material so as to generate compressive strain in said channel region.

4. The transistor device of claim 1, wherein said stress-inducing region comprises tin.

5. The transistor device of claim 4, wherein said stress-inducing region comprises germanium.

6. A semiconductor device, comprising:
a crystalline semiconductor layer having a first portion comprising silicon and tin so as to form a first strained region in said crystalline semiconductor layer.

7. The semiconductor device of claim 6, wherein said first strained region represents a channel region of a field effect transistor.

8. The semiconductor device of claim 7, wherein said tin is provided in a drain and source region of said field effect transistor, said tin forming, in combination with said silicon, a strained drain and source region.

9. The semiconductor device of claim 6, wherein a content of tin in said portion is in a range of approximately 0.1-25 atomic percent.

10. The semiconductor device of claim 6, wherein said first portion further comprises germanium.

11. The semiconductor device of claim 6, further comprising a second portion comprising silicon and tin so as to form a second strained region in said crystalline semiconductor layer, wherein a concentration of tin in said first portion and said second portion is different.

12. A method, comprising:
forming, in a crystalline semiconductor layer, a crystalline structure on the basis of silicon and at least one further atomic species having a covalent radius that is greater than a covalent radius of germanium; and
using said crystalline structure to create strain in a first specified region of said semiconductor layer.

13. The method of claim 12, wherein forming said crystalline structure comprises epitaxially growing said silicon and said at least one further atomic species using said crystalline semiconductor layer as a growth template.

14. The method of claim 12, wherein forming said crystalline structure comprises depositing said silicon and said at least one further atomic species in a substantially amorphous form and re-crystallizing said silicon and said at least one further atomic species using said crystalline semiconductor layer as a crystalline template.

15. The method of claim 12, wherein forming said crystalline structure comprises implanting said at least one further atomic species into a first portion of said crystalline semiconductor layer and re-crystallizing said portion using said crystalline semiconductor layer as a crystalline template.

16. The method of claim 15, further comprising forming a silicon/germanium crystal in said structure and implanting said at least one further atomic species to adjust the amount of strain in said first region.

17. The method of claim 15, further comprising implanting said at least one further atomic species into a second portion so as to create a second strain in a second specified region of said crystalline semiconductor layer, said second strain differing from said first strain.

18. The method of claim 12, further comprising forming a gate electrode above said crystalline semiconductor layer, wherein said crystalline structure is formed with a lateral offset to said gate electrode.

19. The method of claim 18, further comprising forming a recess adjacent to said gate electrode and forming at least a portion of said crystalline structure within said recess.

20. The method of claim 13, wherein epitaxially growing said silicon and said at least one further atomic species is based on a precursor comprising tin and hydrogen.

21. The method of claim 20, wherein said precursor is comprised of tin hydride.

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2009-514248
(P2009-514248A)
(43)公表日　平成21年4月2日(2009.4.2)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/20	***(2006.01)***	H01L	21/20		5F048
H01L 29/78	***(2006.01)***	H01L	29/78	301B	5F110
H01L 29/786	***(2006.01)***	H01L	29/78	301H	5F140
H01L 21/336	***(2006.01)***	H01L	29/78	301S	5F152
H01L 21/8238	***(2006.01)***	H01L	29/78	618B	

審査請求 未請求　予備審査請求 有　（全 21 頁）　最終頁に続く

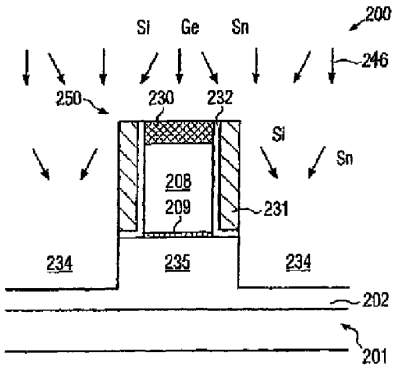
(21)出願番号　特願2008-538919 (P2008-538919)
(86)(22)出願日　平成18年10月23日 (2006.10.23)
(85)翻訳文提出日　平成20年6月30日 (2008.6.30)
(86)国際出願番号　PCT/US2006/041559
(87)国際公開番号　WO2007/053381
(87)国際公開日　平成19年5月10日 (2007.5.10)
(31)優先権主張番号　102005051994.6
(32)優先日　平成17年10月31日 (2005.10.31)
(33)優先権主張国　ドイツ(DE)
(31)優先権主張番号　11/465,592
(32)優先日　平成18年8月18日 (2006.8.18)
(33)優先権主張国　米国(US)

(71)出願人　591016172
アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
ＡＤＶＡＮＣＥＤ　ＭＩＣＲＯ　ＤＥＶＩＣＥＳ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、９４０８８－３４５３　カリフォルニア州、サニィベイル、ピィ・オゥ・ボックス・３４５３、ワン・エイ・エム・ディ・プレイス、メイル・ストップ・６８（番地なし）
(74)代理人　100099324
弁理士　鈴木　正剛
(74)代理人　100111615
弁理士　佐野　良太

最終頁に続く

(54)【発明の名称】高共有半径の原子を含む埋め込まれた半導体層を利用したシリコンベースのトランジスタに歪みを生成する技術

(57)【要約】
共有半径が大きくされた原子種、例えば少なくとも一部が置換されたゲルマニウム、を導入することにより、ゲルマニウムの集塊化ならびに格子の欠陥による応力緩和のリスクを低減することができる、非常に実効的な歪みのメカニズムが提供される。錫などの、半径が増加した原子種は、水素化錫に基づくエピタキシャル成長技術により、容易に導入することができる。



【特許請求の範囲】
【請求項1】
結晶半導体層（１０４、２３６、３３６）において、シリコンと、ゲルマニウムの共有半径よりも大きな共有半径を有する少なくとも１つのさらなる原子種と、に基づいて結晶構造を形成するステップと、
前記半導体層の第１領域（１１０、２３５、３３５）に歪み（１０７、２０７、３０７）を生成するために、前記結晶構造を用いるステップと、を含む方法。
【請求項2】
前記結晶構造を形成するステップは、前記シリコンと、前記少なくとも１つのさらなる原子種をエピタキシャル成長させるステップと、前記シリコンおよび少なくとも１つのさらなる原子種を蒸着するステップと、の少なくとも一方を含む、請求項１記載の方法。
【請求項3】
前記結晶構造を形成するステップは、前記少なくとも１つのさらなる原子種を前記結晶半導体層の第１部位に注入するステップと、前記結晶半導体層を結晶テンプレートとして用いて前記部位を再結晶化するステップと、を含む請求項１記載の方法。
【請求項4】
前記構造にシリコン／ゲルマニウム結晶を形成するステップと、前記第１領域の歪みの量を調整するように、前記少なくとも１つのさらなる原子種を注入するステップと、をさらに含む、請求項３記載の方法。
【請求項5】
前記結晶半導体層の第２領域に、前記第１歪み（３０７）とは異なる第２歪み（３０７Ａ）を生成するように、前記少なくとも１つのさらなる原子種を第２部位に注入するステップをさらに含む、請求項３記載の方法。
【請求項6】
前記結晶半導体層の上方にゲート電極（１０８、２０８、３０８）を形成するステップをさらに含み、前記結晶構造は前記ゲート電極（１０８、２０８、３０８）に対して側方向にオフセットして形成されている、請求項１記載の方法。
【請求項7】
前記ゲート電極（１０８、２０８、３０８）に隣接してリセス（２３４）を形成し、前記リセス内に前記結晶構造の少なくとも一部（２３６、３３６）を形成するステップをさらに含む、請求項６記載の方法。
【請求項8】
シリコンおよびゲルマニウムの共有半径よりも大きな共有半径を有する少なくとも１つのさらなる原子種を含む、第１応力誘発領域（３３５）を有する結晶半導体層（１０４、２３６、３３６）を含む、半導体デバイス。
【請求項9】
前記結晶半導体層（１０４）の上方に形成されたゲート電極（１０８、２０８、３０８）と、
歪みのあるチャネル領域（１１０、２３５、３３５）と、をさらに含み、前記第１応力誘発領域はドレインならびにソース領域に形成される、請求項８記載の半導体デバイス。
【請求項10】
前記第１応力誘発領域は錫を含む、請求項８記載の半導体デバイス。
【請求項11】
前記第１応力誘発領域はゲルマニウムを含む、請求項１０記載の半導体デバイス。
【請求項12】
シリコンおよび少なくとも１つのさらなる原子種を含む第２応力誘発領域（３３５）をさらに含み、前記第１応力誘発領域の前記少なくとも１つのさらなる原子種の濃度は、前記第２応力誘発領域（３３５）の少なくとも１つのさらなる原子種の濃度とは異なる、請求項８記載の半導体デバイス。

【発明の詳細な説明】

【技術分野】
【0001】
概して、本発明は集積回路の形成に関し、より詳細には、ＭＯＳトランジスタのチャネル領域の電荷キャリア移動度を高めるべく、埋め込まれたシリコン／ゲルマニウムを用いることで歪みのあるチャネル領域を有する、タイプの異なるトランジスタを形成する技術に関する。
【背景技術】
【0002】
集積回路を製造するには、特定の回路レイアウトに応じて所与のチップエリア上に多数の回路素子を形成する必要がある。一般に、複数のプロセス技術が現在実施されており、マイクロプロセッサ、記憶チップなどの複合回路の場合、動作速度および／あるいは電力消費量および／あるいは費用効率の点で優れた特性を備えるこいう理由から、ＣＭＯＳ技術が現在最も有望なアプローチとされる。ＣＭＯＳ技術を用いた複合集積回路の製造において、数百万ものトランジスタ、すなわち、ｎチャネルトランジスタとｐチャネルトランジスタが、結晶半導体層を含む基板に形成される。ＭＯＳトランジスタは、ｎチャネルトランジスタであるかｐチャネルトランジスタであるかに拘わらず、いわゆるｐｎ接合を備え、このｐｎ接合は、逆ドープされたチャネル領域がドレイン領域とソース領域との間に配置された高濃度ドープドレインおよびソース領域の境界に形成される。
【0003】
チャネル領域の伝導性、すなわち、伝導性チャネルの駆動電流の容量は、チャネル領域の上方に形成され、薄い絶縁層によってチャネル領域から分離されたゲート電極によって制御される。チャネル領域の伝導性は、伝導性領域が形成されると、適切な制御電圧をゲート電極に印加することにより、ドーパントの濃度、多数の電荷キャリアの移動度、およびトランジスタの幅方向におけるチャネル領域の所与の拡張に対して、チャネル長さとも呼ばれるソースおよびドレイン領域間の距離に左右される。したがって、制御電圧をゲート電極に印加すると、絶縁層の下方に伝導性チャネルを迅速に作り出す能力との組み合わせにより、チャネル領域の全体の伝導性によって、ＭＯＳトランジスタの特性が実質的に決定される。このことから、チャネル長さを縮小し、これによりチャネルの抵抗率が下がることで、チャネル長さが集積回路の動作速度を上げるための主要なデザイン基準となる。
【発明の開示】
【発明が解決しようとする課題】
【0004】
しかしながら、トランジスタの寸法を縮小すると、それに関連した複数の問題が生じてしまい、ＭＯＳトランジスタのチャネル長さを着実に短くすることによって得られた利点をあまり損なわないようにこれらの問題に取り組む必要がある。これに関する主要な課題の１つとして、新たなデバイス世代に対して、トランジスタのゲート電極などの極限寸法の回路素子を確実に再現して生成することができる、強化されたフォトリソグラフィおよびエッチストラテジーを構築することが挙げられる。さらに、所望のチャネル制御性と組み合わせてシート抵抗と接触抵抗とを低くするために、ドレイン領域およびソース領域において、横方向に加えて垂直方向にも非常に高度なドーパントプロファイルが要求される。加えて、ゲート絶縁層に対して垂直のＰＮ接合の位置はさらに、漏れ電流制御の点でクリティカルなデザイン基準を表す。よって、チャネル長を縮小するには、ゲート絶縁層およびチャネル領域によって形成されるインターフェースに対してドレインおよびソース領域の深さも低くしなければならず、これにより洗練されたインプラント技術が要求される。別のアプローチによれば、隆起したドレインおよびソース領域と呼ばれるエピタキシャル成長した領域が、ゲート電極に対して特定のオフセットを備えて形成され、この隆起したドレインおよびソース領域の導電性が増加される一方で、ゲート絶縁層に対して浅いＰＮ接合が維持される。
【0005】

極限寸法のサイズ、すなわち、トランジスタのゲート長、が縮小し続けていることから、上述のプロセスステップに関して非常に複雑なプロセス技術を適用し、場合によっては新たに構築する必要があるので、所与のチャネル長に対するチャネル領域の電荷キャリア移動度を増加することでトランジスタ素子のチャネルの導電性を強化することも提案されている。これにより、デバイスのスケーリングに関連付けられる多くの上記プロセスを適用しないで、あるいは少なくとも適用を延期しつつ、将来の技術ノードに対する進歩と互換性のあるパフォーマンスの向上を達成する可能性が与えられる。電荷キャリア移動度を増加する１つの実効的メカニズムとしては、例えば、チャネル領域に対応の歪みを生成するために引張応力あるいは圧縮応力を生成することで、チャネル領域の格子構造を変化させることが挙げられ、この結果、電子および正孔に対する移動度がそれぞれ変化する。例えば、チャネル領域に引張歪みを生成することで電子の移動度が増加する。ここでは、引張歪みの大きさおよび方向に応じて、移動度を５０％あるいはそれ以上増加させることができ、これに対応して導電性度が増加し得る。他方では、チャネル領域の圧縮歪みにより正孔移動度が増加し、これにより、Ｐ型トランジスタのパフォーマンスを強化する可能性が与えられる。集積回路の製造に応力や歪み技術を導入することは、将来のデバイス世代にとって非常に有望なアプローチである。その理由は、例えば、歪みのあるシリコンは、「新たな」 種類のシリコン材料として考えられ、これにより、高額な半導体材料を必要とせずに、高速でパワフルな半導体デバイスの製造が可能になる一方で、十分に承認された多くの製造技術を依然として用いることができる。

【0006】

この結果、引張応力あるいは圧縮応力を生成してこれを対応の歪みとするように、例えばシリコン／ゲルマニウム層あるいはシリコン／カーボン層をチャネル領域に、あるいはその下に導入することが提案されている。チャネル領域に、あるいはその下に応力生成層を導入することで、トランジスタのパフォーマンスを非常に向上することができるために、従来の十分に承認されたＭＯＳ技術に対応の応力層を形成するために、著しい努力が続けられている。例えば、チャネル領域に、あるいはその下の適所にゲルマニウムやカーボンを含む応力層を形成するためには、さらなるエピタキシャル成長技術が構築されてプロセスフローに導入されている。

【0007】

他のアプローチでは、チャネル領域に所望の応力を生成するために、層、スペーサ素子などをオーバーレイすることで生成される外部応力が用いられる。しかし、特定の外部応力を加えることでチャネル領域に歪みを生成するプロセスは、外部応力をチャネル領域の歪みへ変換するステップを非効率的なものとしている。したがって、チャネル領域内に付加的な応力層を必要とする上述のアプローチにはプロセスの複雑性に関しては著しい利点を与えているが、応力伝達機構の効率は処理およびデバイスによって異なり、トランジスタのタイプによってはパフォーマンスゲインが減ることもある。

【0008】

別のアプローチにおいては、ＰＭＯＳトランジスタの正孔移動度は、トランジスタのソースおよびドレイン領域に歪みシリコン／ゲルマニウム層を形成することで強化することができる。ここでは、圧縮歪みのあるドレインおよびソース領域は、隣接するシリコンチャネル領域に一軸性の歪みを生成する。このために、ＰＭＯＳトランジスタのドレインおよびソース領域には選択的にリセスが設けられる一方、ＮＭＯＳトランジスタはマスキングされ、その後、シリコン／ゲルマニウム層がエピタキシャル成長によりＰＭＯＳトランジスタに選択的に形成される。この技術により、ＰＭＯＳトランジスタのパフォーマンスゲインの点で、したがって、ＣＭＯＳデバイス全体のパフォーマンスゲインの点で、著しい利点が与えられる。

【0009】

したがって、所望の効果に応じて歪み層として、または緩和層として与えられる、埋め込まれた半導体材料により、具体的にはシリコン／ゲルマニウムにより歪みを生成する技術は、最新のシリコンベーストランジスタのデバイスのパフォーマンスを向上させる強力

な手段であることが証明されている。しかし、それぞれのチャネル領域に生成される歪みの程度は、ベースのシリコンと埋め込まれた半導体化合物間の格子のミスマッチ量によって決まる。シリコン／ゲルマニウムに対しては、現在確立されているエピタキシャル成長技術のゲルマニウムの最高濃度は約２５％までに制限されている。その理由は、濃度に制限がなければ、ゲルマニウムが集塊化してしまい、これにより対応する埋め込まれた半導体の化合物材料に望ましくない応力の緩和が生じることになり、その結果、それぞれのチャネル領域の歪みも減少してしまうからである。

【0010】

上述の状況を鑑みて、埋め込まれた半導体材料により実効的に歪みを増加させることができる一方で、上述した問題点の1つ以上を回避するか少なくとも減らすことができる改良された技術が求められている。

【課題を解決するための手段】

【0011】

以下、本発明のいくつかの態様を基本的に理解するために、本発明の概要を説明する。この概要は、本発明の全体像を詳細に説明するものではない。本発明の主要な、または重要な要素を特定しようとするものでも、本発明の範囲を説明しようとするものでもない。ここでの目的は、本発明のいくつかのコンセプトを簡単な形で提供して、後続のより詳細な説明に対する前置きとすることである。

【0012】

概して、本発明は、結晶半導体の特定領域に歪みを生成する技術に関するものであり、このために、シリコンベースの格子、つまり、ダイアモンドのような格子構造と、それ自体が増加した格子間隔を有する半導体化合物との格子のミスマッチが利用される。従来は、高度なシリコンベースＭＯＳトランジスタ素子に歪みのあるシリコンチャネルを生成する対応の技術が用いられており、すでに説明したように、このメカニズムで得られる歪みの量は、とりわけ、現在確立されているエピタキシャル成長技術においてうまく利用され得る限られたゲルマニウム濃度により著しく制限されている。したがって、本発明では、ゲルマニウムに加えて、またはこれに代えて、シリコンのような結晶構造内の結合特性に対して、実質的に増加した共有半径を有するさらなる原子種を用いることができ、これにより、実質的に非シリコン原子量が低減した状態でそれぞれのシリコンベース構造に高度な結晶歪みを生成することが可能となる。本発明の実施例では、ゲルマニウムに加えて、またはこれに代えて、錫（Ｓｎ）を使用することができる。その理由は、錫原子の原子価はシリコンおよびゲルマニウムと同じであり、さらに、錫原子は実質的により大きな共有半径を表すからである。

【0013】

本発明の一実施例によれば、トランジスタデバイスは、ダイアモンドのような結晶構造を有する結晶半導体層が形成された基板を含む。結晶半導体層は、シリコンおよび結晶構造中のシリコンと同じ原子価を有するとともに、共有半径がゲルマニウムの共有半径よりも大きなさらなる原子種から構成される応力誘発領域を含む。さらに、トランジスタデバイスは、結晶半導体層と歪みのあるチャネル領域の上方に形成されたゲート電極を含む。

【0014】

本発明の別の実施例では、半導体デバイスは、結晶半導体層に第１の歪みのある領域を形成するように、シリコンならびに錫を含む第１部位を有する結晶半導体層を含む。

【0015】

本発明のさらに別の実施例では、方法は、結晶半導体層において、シリコンと、ゲルマニウムの共有半径よりも大きな共有半径を有するさらなる原子種に基づいて結晶構造を形成するステップを含む。さらに、上記方法は、半導体層の第１の特定領域に歪みを生成するように、結晶構造を用いるステップを含む。

【発明を実施するための最良の形態】

【0016】

本発明は添付の図面とともに以下の記載を参照することで理解することができる。図面

において、同じ参照符号は同様の要素を示す。

【0017】

本発明は、様々な改良を行い、また、他の形態で実施することができるが、ここに説明されている特定の実施例は、例示として示さたものであり、以下にその詳細を記載する。しかし当然のことながら、ここに示した特定の実施例は、本発明を開示されている特定の形態に限定するものではなく、むしろ本発明は添付の請求項によって規定されている発明の範疇に属する全ての改良、等価物、及び変形例をカバーするものである。本発明の実施例を以下に記載する。簡素化のため、現実の実施品におけるすべての特徴を本明細書に記載することはしていない。当然のことながら、そのような現実の実施品の開発においては、開発者における特定の目標を達成するため、システム的制限やビジネス的制限との摺り合せなど、多くの特定の実施の決定がなされる。それらは各実施形態によって様々に変化するものである。更に、そのような開発努力は複雑で時間を消費するものであるのは当然のことであるが、それでもなお、この開示の恩恵を有する当業者にとっては通常作業の範疇に入るものである。

【0018】

以下、本発明を添付の図面を参照しながら記載する。図面には、様々な構造、システム、デバイスが単なる説明目的で、また、当業者にとっては周知の詳細で本発明を不明瞭にしないように概略的に示されている。しかしながら、添付の図面は本発明の実施例を説明・解説する目的で添付されているものである。本明細書で使用される用語や言い回しは関連技術において当業者たちによって理解される単語や言い回しと一貫した意味を持つものと理解、解釈される。本明細書において用語あるいは言い回しを一貫して使用していても、これらの用語や言い回しのいかなる特定の定義、すなわち、当業者により理解される通常の意味及び慣習的な意味からは異なる定義を意味するものではない。用語や言い回しを、特定の意味を有する範囲において用いる場合、つまり当業者により理解されているのとは異なる意味で用いる場合、本明細書においては、直接かつ明確にそのような言葉や言い回しの特定の定義を行う。概して、本発明は、歪みのないシリコン結晶とは格子の間隔が異なるダイアモンド型格子構造を有する、歪みのある半導体構造または緩和した半導体構造により強化された歪み生成メカニズムを検討する。すでに説明したように、シリコンベースの半導体デバイスの適切な位置に歪みのある、または緩和したシリコン／ゲルマニウム層を与えるメカニズムは、電荷キャリア移動度を、具体的には非常に高度なＭＯＳトランジスタデバイスのチャネル領域の電荷キャリア移動度を対応して増加することができるように、実効的な歪み生成技術を提供する。この技術は、デバイス要件に応じて、歪みのあるシリコン／ゲルマニウム層か緩和したシリコン／ゲルマニウム層が形成されるエピタキシャル成長プロセスに依存している。

【0019】

さらに最近では、誘電体表面に対する実質的な材料蒸着を実効的に抑える一方で、露出したシリコン表面やシリコンのような表面にシリコン、シリコン／ゲルマニウムなどを実効的に蒸着する局所的選択性エピタキシャル成長技術が構築されている。例えば、結晶シリコン層にシリコン／ゲルマニウム層が蒸着されると、シリコン／ゲルマニウム材料は、下方の結晶「テンプレート」と実質的に同じ格子間隔を有するように蒸着され、これにより歪みのあるシリコン／ゲルマニウム層が形成される。その理由は、乱されていないシリコン／ゲルマニウム結晶は、純粋なシリコン結晶よりも格子の間隔が幾分か大きいからである。シリコン／ゲルマニウム層ならびにシリコン層の格子間隔の差はゲルマニウム濃度によって決まる。したがって、シリコン／ゲルマニウム層に生成される歪みの量もまた、ゲルマニウムの濃度によって決まる。しかし、すでに説明したように、現在用いられているエピタキシャル成長技術では、ゲルマニウムの最大濃度は約２５～３０％までに制限されている。一方で、高濃度ではゲルマニウムが集塊化するおそれがあり、その結果、欠陥率が増加してしまい、したがって、最初に歪みをかけたシリコン／ゲルマニウム層が緩和してしまう。

【0020】

本発明によれば、所望の格子のミスマッチと、したがって歪みの程度は、ゲルマニウムよりも実質的に大きな共有半径を有する原子種に基づいて調整することができ、ある実施形態では、対象の原子種の原子価は、ダイアモンドのような結晶構造の共有結合構造に対するシリコンまたはゲルマニウムと実質的に同じである。一実施例では、共有半径が１．４０Åである錫を適切な原子種として使用してもよい。

【0021】

例えば、共有半径が１．２２Åのゲルマニウムとともに共有半径が１．１７Åのシリコンを使用してもよく、さらに、一定量の錫を加えて、実質的に拡張した格子のミスマッチを生成するようにしてもよい。シリコンと錫間の共有半径の差はシリコンとゲルマニウム間の半径の差よりも実質的に大きいので、非シリコン原子の数を低減した状態で全体の格子構造に対してより明白な効果を達成することができる。

【0022】

したがって、ゲルマニウム濃度を臨界値の約２５％を大きく下回る濃度に維持しながら、一定量の錫を加えることで依然として格子のミスマッチを得ることができる。

【0023】

さらに、ある実施形態では、ゲルマニウムを加えないで、錫とともにシリコンを使用してもよく、これにより、非シリコン原子数が実質的に低減した状態で適度に高度な格子の変更を行うことができる。例えば、ある実施形態では、エピタキシャル成長によって錫を加えることに加えて、またはこれに代えて、注入などのその他の技術により一定量の錫を加える技術が検討されている。錫原子数が減少しているものの、それでもなお格子歪みに実質的に寄与する。このことから、現在用いられている注入技術によって実現可能な原子濃度であっても、特定の歪みを生成するために、あるいは、少なくとも格子のミスマッチ（従ってこれにより得られる歪みの程度）を微調整するには十分である。フォトリソグラフィにより形成されるレジストマスクに基づいて室温で実行することのできるイオン注入は十分に確立された技術であるので、対応の錫は、非常に実効的で、さらに非常に局所的な方法で加えることができ、これにより、プロセス技術ならびにデバイス設計にさらなるフレキシビリティが与えられる。例えば、現在実行されている注入技術によって実現可能な、約10^{20}錫原子／cm^3という濃度は、対応のシリコン／錫またはシリコン／ゲルマニウム／錫結晶構造中の歪みの実効的な調整または制御を可能とする。

【0024】

以下の詳細な説明では、本発明の原理の特定の用途が、つまり、特定の結晶半導体領域に歪みを生成するように、拡張した共有半径を有する原子種を加えることが説明されている。しかし、以下の詳細な説明および添付の請求項に特定の制限事項が明白に記載されていない限り、ＳＯＩのようなトランジスタ、バルクデバイス、隆起したドレイン並びにソース領域を有するトランジスタなどの特定のトランジスタアーキテクチャに限定することを意図しないことを理解されたい。

【0025】

図１ａ～１ｄ、２ａ～２ｄ、および図３に関して、本発明のさらなる実施例が鳥瞰に詳細に説明されている。図１ａに、早期製造段階における半導体デバイス１００の断面図を概略的に示す。半導体デバイス１００は、半導体層１０２を設けるための任意の適切な基板であってもよい基板１０１を備える。半導体層１０２とその上には、トランジスタ、コンデンサ、抵抗器などの回路素子が形成され得る。例えば、基板１０１は、シリコン基板などのバルク半導体基板であってもよく、または、ＳＯＩのような基板などの任意の絶縁基板であってもよく、半導体層１０２は埋め込み絶縁層（図示せず）上に形成され得る。本発明は、ゲート長が５０ｎｍおよびさらに短いトランジスタを含む高度なＣＭＯＳ技術で一般に製造される、非常にスケーリングされたＭＯＳトランジスタとの併用することで非常に有利であるが、さらに本発明の原理は、それほどクリティカルではない用途にも適用することができ、これにより、既存の設計に対して著しく性能を向上させることができる。

【0026】

半導体層１０２はシリコンベースの結晶半導体層であってもよく、シリコンベースとの文言は、原子濃度が少なくとも５０％のシリコンを有する材料層として理解されるものである。実施例では、半導体層１０２は、上述の値域のゲート長を有するトランジスタ素子を備えた非常に複雑な集積回路に一般に使用されるような、ドープされたシリコン層であってもよい。層１０２上には更なる実質的結晶層１０３を形成してもよく、層１０３はいわゆるバッファ層であってもよい。バッファ層では、結晶のミスマッチと、したがって、ゲルマニウム、錫などの特定の原子種の濃度が次第に増加し、実質的に緩和した応力生成結晶層１０４が層１０３上に形成される。層１０４は、ゲルマニウムの共有半径よりも大きな共有半径を有するシリコンとともに少なくとも１つの原子種を含み得る。一実施例では、応力誘発層１０４は、シリコン、ゲルマニウム、および錫から構成することができ、ゲルマニウムの濃度は１％未満～約２５％の範囲である一方で、錫の濃度は約０．１％～２５％の範囲であってもよい。ある実施形態では、ゲルマニウム含量は２５％を大きく下回るように選択され、例えば１～１０％の範囲で選択される一方で、錫含量は、約０．１～１０％の範囲で選択されてもよい。さらに他の実施形態では、応力誘発層１０４は実質的にゲルマニウムを含まず、シリコンおよび錫から構成され得る。

【0027】

層１０４は、バッファ層１０３を介して層１０４に転送される層１０２によって提供される結晶テンプレートに従うダイアモンドのような構造を有する、実質的に緩和した層であってもよい。しかし、層１０４の格子間隔は、ゲルマニウムならびに錫の濃度に応じて、層１０２の格子間隔とは違ってくる。

【0028】

図１ａに示すように、半導体デバイス１００は、以下のプロセスにより形成され得る。基板１０１（シリコンバルク基板またはＳＯＩ基板であってもよく、基板１０１上には層１０２が形成されている。厚みはエピタキシャル成長プロセスによって適応される）を準備後に、さまざまな濃度で１つ以上の非シリコン種が蒸着され得るエピタキシャル成長プロセス１０５によりバッファ層１０３が形成される。例えば、水素化ゲルマニウム（GeH_4）に基づくシリコン／ゲルマニウムバッファ層の形成は十分に確立されており、さらに、バッファ層１０３に錫などの、どのような原子種も不適切であると考えられる場合に、層１０３を形成するために用いることができる。他の実施形態では、バッファ層１０３は、錫などのさらなる原子種に基づいて形成することができ、エピタキシャル成長プロセス１０５に先駆物質として水素化錫（SnH_4）を与えることによって形成することができる。水素化錫は、水素化ゲルマニウムと同様の方法で処理することができる。

【0029】

バッファ層１０３の材料を適切に蒸着することにより、対応の格子構造は、格子間隔において層１０２の基本の結晶テンプレートから徐々に外れる。その結果、最終的に層１０４は、層１０２の元の格子間隔よりも格子間隔が増えた、実質的に歪みのない、つまり、緩和した半導体層として蒸着され得る。このために、エピタキシャル成長プロセス１０５において、今でも層１０４の主要材料であるシリコンとともに、所望量の錫と必要に応じて対応量のゲルマニウムとが与えられる。所望の層厚を達成すると、エピタキシャル成長プロセス１０５は中断され、さらなるエピタキシャル成長プロセスを実行して層１０４の上方に実質的に結晶シリコン層を蒸着するようにしてもよい。他の実施形態では、エピタキシャル成長プロセス１０５は、デバイス要件に応じて、ドープされている／されていないシリコンを続いて蒸着するように変更することができる。ここでは、実質的に緩和した層１０４は結晶テンプレートとしての役割を果たす。これにより、蒸着されたシリコンは、層１０２などの本来備わっている結晶シリコン層と比べると歪みのある結晶構造と実質的に同じ結晶構造を有し得る。これにより、ある程度の引っ張り歪みが生成される。

【0030】

図１ｂに、さらに進んだ製造段階での半導体デバイス１００を概略的に示す。図示しているように、上述のエピタキシャル成長技術に従って、さらなる結晶シリコン層１０６が層１０４に形成される。これにより、層１０６には、１０７として示すように、固有の引

っ張り歪みが表れ、したがって、層１０６の電荷キャリア移動度が実効的に変更される。さらに、ゲート電極１０８が層１０６の上方に形成され、ゲート絶縁層１０９によって層１０６から分離されている。ゲート電極１０８は、ゲート絶縁層１０９とともに、層１０６中にチャネル領域１１０を形成している。このチャネル領域は、すでに説明したように引っ張り歪み１０７を表すものであって、これにより、例えばチャネル領域１１０の電子移動度が増加する。この結果、ゲート電極１０８とチャネル領域１１０を含む対応のトランジスタ素子の性能が著しく向上し、引っ張り歪み１０７の程度は、エピタキシャル成長プロセス１０５に基づいて実効的に調整ならびに制御がなされる。

【0031】

これにより、シリコンベース層１０６に引っ張り歪みを生成する実効的な歪み生成メカニズムが応力生成層１０４によって提供される。

【0032】

図１ｃに、結晶半導体層の特定領域に圧縮歪みが生成され得る、別の実施例による半導体デバイス１００を概略的に示す。この実施形態では、応力誘発層１０４は結晶層１０２の真上に形成される。結晶構造はエピタキシャル成長プロセス１０５において再度、結晶テンプレートとしての役割を果たす。エピタキシャル成長プロセス１０５は、現在は、層１０４自体が実質的に歪みのある層として成長するように構成されている。これにより、本来の格子間隔が狭くなり、その結果、チャネル領域１１０が圧縮歪みのある領域となる。これにより、正孔移動度が変化するが、この変化は、チャネル領域１１０とゲート電極１０８とに基づくＰチャネルトランジスタを形成するのに有利となり得る。

【0033】

その後、図１ｂまたは図１ｃに図示したデバイス１００から開始し、ＭＯＳトランジスタを形成する十分に確立された技術に基づいてさらなる製造プロセスを継続することができる。これについては図２ａ～２ｄを参照して以下に詳述する。すでに説明したように、圧縮歪みまたは引っ張り歪みを生成するために必要な、対応する格子のミスマッチは、増加した共有半径を有する、濃度が中程度に低くされた原子種により十分に修正することができる。したがって、ある実施形態では、エピタキシャル成長プロセス１０５に加えて、またはこれに代えて、原子種を加える、拡散および注入などの他の技術を用いてもよい。例えば、注入プロセスを行い、例えば錫原子を層１０４に加えるようにしてもよく、これにより、対応の濃度と、従って、生成される歪みが増加する。

【0034】

図１ｄに、ゲート電極１０８が形成され得る第１デバイス領域１５０を有する一方で、第２デバイス領域１６０にはゲート電極１１８が形成され得る半導体デバイス１００を概略的に示しており、第２デバイス領域１６０は、レジストマスクの形態で与えられる注入マスク１２１によって覆われていてもよい。さらに、半導体デバイス１００は、局所的に錫を加えるように、イオン注入１２０にさらされる。例えば、図示している実施形態では、層１０４は、図１ｃに関して説明したように、エピタキシャル成長プロセス１０５によって形成され、したがって、層１０４に固有の歪み１０７が与えられているものと想定される。ゲート電極１０８の近くに錫イオンをさらに注入することによって、対応の錫の濃度が増加する。ここでは、10^{16}から10^{17}ｉｏｎｓ／ｃｍ^{2}などの高い投与量を用いて、層１０４に適度に高い付加的濃度の錫原子を与えるようにしてもよい。プロセス１２０の注入パラメータは、「テンプレート層」１０２に損傷を与え過ぎることなく、層１０４に錫イオンを実質的に蒸着する注入エネルギーを得るように、十分に確立されたシュミレーションモデルに基づいて選択される。

【0035】

注入プロセス１２０の完了後、レジストマスク１２１を除去してもよい。またデバイス１００はアニールプロセスにさらされ、層１０４の損傷部が再結晶化され、さらに、注入された種が実質的に格子サイトに配置されることで、層１０４に歪みのある格子が再構築される。チャネル領域１１０の近くの錫濃度が増加することにより、チャネル領域中の圧縮歪みがさらに増加し得る。これにより、さらに電荷キャリア移動度をより実効的に変更

することができる。

【0036】

上述の実施形態は単なる例示的なものであり、各種の変更が検討され得ることを理解されたい。例えば、マスク１２１に基づいてゲート電極１０８と１１８とを形成する前に、注入プロセス１２０を実施することができる。よって、層１０４の露出部分全体が増量された錫を受け入れる。さらに別の実施例では、エピタキシャル成長プロセス１０５は、注入プロセス１２０により導入される錫濃度が、所望の程度の歪み１０７を生成するのに十分であると考えられる場合には、省いてもよい。さらに別の実施形態では、エピタキシャル成長プロセス１０５は、シリコンおよびゲルマニウムに基づいて実行してもよく、さらに、注入プロセス１２０は、局所的に錫原子を導入するように利用することもでき、これにより、最終的に得られる歪みの微調整手段が与えられる。例えば、第１デバイス領域１５０ならびに第２デバイス領域１６０は、トランジスタ型の異なる領域であってもよく、または、程度の異なる歪みが求められる、異なるダイ領域であってもよい。例えば、スタティックＲＡＭ領域などの、複合マイクロプロセッサの高選択性デバイス領域では、歪みがない、または実質的に歪みが低減されていることが望ましいとされる一方で、ＣＰＵコアなどの論理領域では、ＣＰＵコアの動作速度を向上すべく、応力の程度が増加することは望ましいとされ得る。したがって、錫などの、増加した共有半径を有する原子種の効果が結晶構造に対して高まるので、局所的に歪みを調整するには、注入技術によって実現できる濃度が適切であるとされる。

【0037】

図２ａ～２ｄを参照すると、埋め込まれた歪み半導体材料がトランジスタ素子のドレインならびにソース領域に形成され、隣接するチャネル領域に対応の歪みが生成される、本発明のさらなる実施例がさらに詳細に説明されている。

【0038】

図２ａに、結晶半導体層２０２が形成された基板２０１を含む半導体デバイス２００の断面図を概略的に示す。基板２０１は、バルクシリコン基板またはＳＯＩのような基板であってもよい。つまり、基板２０１には、埋め込み絶縁層（図示せず）が形成されており、その上方には結晶半導体層２０２が形成されている。半導体層２０２は、シリコンベースの層であってもよく、つまり、層２０２は少なくとも約５０％のシリコンを含む。さらに、早期製造段階でのトランジスタ素子２５０が結晶半導体層２０２とその上方に形成され得る。この段階では、ゲート電極２０８は層２０２の上方に形成され、ドープされたポリシリコンから構成されるか、層２０２の上方に任意の他の適切な材料が与えられてもよい。さらにゲート電極２０８は、層２０２からゲート絶縁層２０９によって分離されてもよい。他のアプローチ法ならびにトランジスタアーキテクチャを本発明とともに用いることができることを理解されたい。例えば、ゲート電極２０８は、製造の後期段階で除去し、電気特性が向上した導電材料を供給する、代替ゲート電極またはダミーゲート電極であってもよい。ゲート電極２０８は、キャッピング層２３０と、それぞれのライナ２３２によりゲート電極２０８から分離されているそれぞれのスペーサ素子２３１により「カプセル化」されてもよい。例えば、キャッピング層２３０ならびにスペーサ２３１は、窒化シリコン、酸窒化シリコン、および二酸化シリコンなどの任意の適切な誘電材料から構成されてもよく、これらは埋め込まれた歪み半導体領域を形成するエッチプロセスならびにエピタキシャル成長プロセスにおいてエッチならびに成長マスクとして使用してもよい。ライナ２３２は一般的に、スペーサ２３１に対して高選択性の材料から形成される。例えば、ライナ２３２とスペーサ２３１に、二酸化シリコンと窒化シリコンとの混合物を十分に確立されたエッチレシピに基づいて実効的に利用してもよい。

【0039】

図２ａに示す半導体デバイス２００は、以下のプロセスに従って形成され得る。ＳＯＩのような基板が考慮される場合は、高度なウェハ接合技術や埋め込み絶縁層を形成する他の方法を含み得る基板２０１を製造後に、ゲート電極２０８ならびにゲート絶縁層２０９は適切なゲート絶縁材料を形成する蒸着および／または酸化により形成され、続いて、適

切なゲート電極材料が蒸着される。その後、十分に確立されたレシピに従って高度なリソグラフィならびにエッチ技術が施され、対応の層がパターニングされる。これにより、ゲート電極２０８とゲート絶縁層２０９とが形成される。パターニングプロセスにおいては、ＡＲコーティング（ＡＲＣ）層、ハードマスク層などとして利用され得たキャッピング層２３０もまたパターニングされ得る。次に、プラズマエンハンスト化学気相蒸着（ＰＥＣＶＤ）に基づいてライナ材料が共形に蒸着され、続いてスペーサ層が蒸着される。このスペーサ層は次に異方性エッチプロセスによりパターニングされ、これによりスペーサ２３１が得られる。その後、露出した、ライナ２３２の残留物が除去される。次いでデバイス２００は異方性エッチプロセス２３３にさらされ、カプセル化されたゲート電極２０８に隣接してそれぞれのキャビティまたはリセスが形成される。

【0040】

図２ｂに、異方性エッチプロセス２３３の完了後にリセスまたはキャビティ２３４が形成された、さらに進んだ製造段階での半導体デバイス２００を概略的に示す。次に、デバイス２００は、後続の選択性エピタキシャル成長プロセスに備えるように任意の前処理にさらされてもよい。例えば、適切な洗浄プロセスを実施して、デバイス２００の露出面から汚染物質とエッチの副産物とを除去するようにしてもよい。その後、選択的エピタキシャル成長プロセスを実施してもよく、一実施例では、適切な蒸着雰囲気は、シリコン含有先駆物質材料、ゲルマニウム含有先駆物質材料、および、シリコンおよびゲルマニウムと同じ原子価を有し、ゲルマニウムよりも増加した共有半径を表す原子種を含む先駆物質に基づいて確立することができる。一実施例では、蒸着雰囲気を水素化錫（SnH_4）に基づいて生成して、プロセス２４６の蒸着雰囲気に所望濃度の錫を与えるようにしてもよい。すでに説明したように、一般に選択的エピタキシャル成長プロセスでは、圧力、温度、キャリアガスの種類などのプロセスパラメータは、キャッピング層２３０およびスペーサ２３１などの表面には実質的に材料を蒸着せず、一方で、結晶層２０２の露出面には蒸着するように選択される。これにより、結晶層２０２がエピタキシャル成長材料の結晶構造を実質的に決定する結晶テンプレートとして使用される。この実施例では、リセス２３４の少なくとも一部に成長する材料は、歪みのある材料として提供される。つまり、この材料は層２０２のベーシックテンプレートと同じ結晶構造を表し、したがって、実質的に同じ格子間隔を表す。これにより、ゲルマニウムと、錫などの増加した共有半径を有するさらなる原子種の存在により、高歪みの材料領域が形成される。この結果、歪み結晶材料があることで、リセス２３４に隣接して設けられたチャネル領域２３５にも対応の歪みが生成される。

【0041】

すでに説明したように、シリコンおよびゲルマニウムに対する錫の共有半径が増加しているので、非シリコン原子量を著しく減らしても十分に、エピタキシャル成長プロセス２４６において対応の歪みのある半導体材料を得ることが出来る。これにより、適度に低濃度の、例えば、約０．１％～１０％の範囲の蒸着雰囲気の錫が所要の錫の生成に適切であると考えられる。他の実施形態では、プロセス２４６の蒸着雰囲気は、実質的にゲルマニウムは導入せず、シリコンおよび錫などの、増加した共有半径を有する少なくとも１つのさらなる原子種に基づき確立することができる。これにより、実質量のゲルマニウムによる影響が、ＰＮ接合の漏れ電流などの他の電気特性に対して適切でないと考えられる場合に、設計上のフレキシビリティを強化することができる。エピタキシャル成長プロセス２３６において、錫および／またはゲルマニウムの濃度と、したがってシリコンの濃度は、任意の適切な方法で制御することができる。例えば、ある場合では、デバイス２００のさらなるプロセッシングの後続の高温処理において、ゲルマニウムとは異なる錫の拡散挙動により、まだ形成されていないドレインならびにソース領域の上面の近くに錫原子を配置することが適切である。他の実施例では、錫は、続いて金属シリサイドが形成されることになる領域の近くに供給することができ、非常に少ない錫原子量で、金属シリサイドを生成する際のフレキシビリティを高めることができる。対応するデバイスと比較すると、これと同量の歪みを生成するには、ゲルマニウムを著しく増量しなければならないが、その

場合、後続のシリサイド化プロセスに対しては著しい制限が課される。さらに他の実施形態では、最終のシリコン層が、エピタキシャル成長プロセス２４６によって形成された、歪みのあるシリコン／ゲルマニウム／錫層、または、シリコン／錫層の上部に形成される。

【0042】

図２ｃに、エピタキシャル成長プロセス２３６の完了後の半導体デバイス２００を概略的に示す。よって、デバイス２００は、シリコンベース層２０２のダイアモンド構造に対応する結晶構造を有する、リセスの設けられた歪みのある半導体領域２３６を含む。領域２３６の結晶構造の本来の格子間隔が、標準のシリコンの間隔よりも大きいことによる格子のミスマッチにより、チャネル領域２３５に圧縮歪み２０７が生成され、これにより、トランジスタ２５０の動作において正孔移動度が向上する。さらに、ゲルマニウムの一部または全部を、錫などの、拡張した共有半径を有する原子種に置き換えることにより、領域２３６の非シリコン原子の濃度（従来のデバイスのように高含量のゲルマニウムが使用される場合に集塊化される濃度よりも大幅に低い濃度）に基づいて、歪み２０７を著しく増加させることができる。しかし、すでに説明したように、領域２３６のゲルマニウムおよび／または錫の濃度は、様々なデバイス要件を説明するように、深さ方向において異なる。例えば、図示している実施形態では、後続のシリサイド化プロセスを強化するように、特定の「過成長部」が形成されている。これにより、この結果生じる接触抵抗が低減する。さらに、２３６Ａとして示す、エピタキシャル成長材料２３６の上部が与えられる。この部分のゲルマニウム濃度は少なくされている一方で、錫の濃度を対応して増加させることで高歪みを与えている。しかし、この錫の濃度は同量の歪み２０７を生成しているシリコン／ゲルマニウム領域と比べると非常に少ない。よって、後続のシリサイドプロセスのための適切な耐熱金属を選択するうえで、フレキシビリティを高めることができる。先行するエピタキシャル成長プロセスにおいて、領域２３６のゲルマニウムおよび／または錫の濃度のあらゆる適切なバリエーションを生成可能でることが理解される。

【0043】

その後、スペーサ２３１およびキャッピング層２３０は、スペーサ２３１がドレインならびにソース領域の少なくとも一部の所望の側方向のプロファイルを得るのに適切な寸法を有するときは、場合によっては、ドレインならびにソース領域を形成する任意の注入プロセス後に除去される。他の場合では、スペーサ２３１ならびにキャッピング層２３０が除去されるとともに従来のプロセスシーケンスが実行されて、設計ルールにより定義されるドレインならびにソース領域の所要の複雑な側方向のプロファイルを得るための中間の注入プロセスでスペーサ素子が形成される。

【0044】

図２ｄに、トランジスタ２５０が実質的に完成している、進んだ製造段階における半導体デバイス２００を概略的に示す。したがって、デバイス２００は、それぞれのライナによって分離された複数の個々のスペーサ素子を含む、サイドウォールスペーサ構造２３７を含む。さらに、ドレインならびにソース領域２３９は、デバイス要件に従う特定の側方向のドーパントプロファイルを有する。さらに、金属シリサイド領域２３８は、ドレインならびにソース領域２３９に形成され、対応の金属シリサイド領域２３９はゲート電極２０８に形成され得る。これにより、チャネル領域２３５は、領域２３６により生成された歪み２３６により圧縮歪みがかけられており、その結果、Ｐチャネルトランジスタであり得るトランジスタ２５０の駆動電流容量が著しく増加する。領域２３６に、増加した共有半径を有する原子種を供給することにより、埋め込まれたシリコン／ゲルマニウム領域を含む従来のデバイスと比べると、歪み２０７を著しく増加させることができる。

【0045】

さらに、領域２３６にゲルマニウムおよび／または錫の濃度を適切に設計することで、金属シリサイド領域２３８を形成するうえでのフレキシビリティを高めることができる。例えば、高導電性のニッケルシリサイドは、少なくとも部位２３６Ａのゲルマニウム含量を減らすことにより形成することができる一方で、これに対応して錫の濃度を増加させる

ことで歪みを強化することができる。これにより、著しいパフォーマンスゲインが得られる一方で、埋め込まれたシリコン／ゲルマニウム半導体構造を形成する従来のプロセスとの高度な互換性は維持され、さらに、設計上のさらなる自由度を得ることが出来る。このために、対応のエピタキシャル成長プロセスは、水素化錫（SnH_4）などの適切な先駆物質材料の供給するように変更することができ、これに基づいて、適切で望ましい非シリコン原子の導入が実現される。これにより、歪みのある半導体領域２３６内の相分離および結晶スリップによる応力の緩和を実質的に生成しないで、生成された歪みを実効的に制御することが可能となる。

【0046】

図３に、さらなる他の実施形態に従う半導体デバイス３００の断面図を概略的に示す。半導体デバイス３００は、結晶半導体層３０２に基づいて基板３０１の上方に形成された第１トランジスタ３５０と第２トランジスタ３６０とを含む。基板３０２（３０１？）ならびに半導体層３０２に関しては、コンポーネント１０１、１０２、２０１および２０２に関してすでに説明した基準と同じ基準を適用することができる。さらに、実施例では、トランジスタ３５０、３６０は、カプセル化されたゲート電極３０８を有し、これに隣接して、対応の隆起した半導体領域３３６、３３６Ａが形成されてもよい。一実施例（図示せず）では、隆起した領域３３６、３３６Ａは設けられず、単に結晶半導体層３０２の一部であってもよい。

【0047】

図３に示すデバイス３００は、図２ａ～２ｂに関してすでに説明したように、プロセスストラテジーに従って形成されてもよいが、トランジスタ３５０、３６０は、大きさの異なる歪みを受け入れることができるトランジスタであってもよい。その理由は、これらのトランジスタは、異なるダイ領域におけるトランジスタであってもよく、または、導電型の異なるトランジスタであってもよいからである。例えば、第１トランジスタ３５０はＰチャネルトランジスタである一方で、トランジスタ３６０はＮチャネルトランジスタであってもよい。これにより、半導体領域３３６、３３６Ａを受け入れるように、それぞれのキャビティまたはリセスを形成する対応のエッチプロセスにおいては、一方のトランジスタ型を完全に覆いつつ、もう一方を露出するハードマスクはいずれも必要とされ得ないことから、プロセスの均一性を強化することができる。同様に、後続のエピタキシャル成長プロセスでは、従来の技術（一方のトランジスタ型を完全に覆い、もう一方の型を露出する技術）においても問題視されうるローディング効果が減少することにより、基板３０１にわたって均一の程度を高めることができる。隆起した半導体領域３３６、３３６Ａを形成する対応のエピタキシャル成長プロセスにおいては、少量のゲルマニウムおよび／または錫が導入されて、例えば第２トランジスタ３６０の性能と互換性のある「ベーシック」歪み３０７が与えられる。他の実施例では、このベーシック歪み３０７が適切でないと考えられる場合は、対応のキャビティエッチならびに後続のエピタキシャル成長プロセスを省いてもよい。他の場合では、トランジスタ３６０は、少なくされた歪み３０７を受け入れるクリティカルデバイス領域（スタティックＲＡＭ領域など）のＰチャネルトランジスタであってもよく、一方でトランジスタ３５０には増加された歪みが求められる。一実施例では、注入プロセス３２０が実行され、このプロセスにおいて第１トランジスタ３５０が露出される一方、第２トランジスタ３６０はレジストマスク３２１によって覆われる。注入プロセス３２０において、錫が領域３３６に注入され、これにより領域３３６中の錫濃度が増加する。この結果、格子歪みをより実効的に生成する錫の共有半径が増加することから、所望に応じて歪みを増加させることができる。注入により生成される濃度（implantation induced concentrations）という意味での高濃度、例えば、約10^{20}原子／cm^3またはそれ以上の濃度が求められることから、領域３３６は注入プロセス３２０の間、実質的に非晶質化される。したがって、結晶テンプレート３０２に基づいて実質的に非晶質化された部位３３６を再結晶化するようにアニールプロセスが行われ、これにより、領域３３６に著しく歪みのかけられた結晶構造が形成される。この結果、最初の歪み３０７が３０７Ａの歪み量(value 307A)にまで増加し、この結果、トランジスタ３５０にお

いて所要のモビリティゲイン(mobility gain)を得ることが出来る。その後、図２ａ～２ｄに関してすでに説明したように、トランジスタ３５０および３６０を完成させるさらなるプロセッシングを継続してもよい。

【0048】

他の実施例では、注入プロセス３２０によって達成される濃度により得られる歪み３０７の生成が適切であると考えられる場合は、先に領域３３６、３３６Ａを形成しないで注入プロセス３２０を実行してもよい。例えば、高選択性のデバイス領域では、歪みのある半導体材料に基づく歪みの生成はＮチャネルトランジスタには不適切とされ得る一方で、ＰＭＯＳトランジスタのチャネル領域の「ゆるい(mild)」歪みが望ましいとされ得る。この状況では、注入シーケンス３２０はドレインならびにソース領域の形成前に行われてもよく、一実施形態では、さらなる注入３２０を前非晶質化注入プロセスとして実行し、ドレインならびにソース領域を形成する後続のドーパント導入を強化するようにしてもよい。これにより、Ｎチャネルトランジスタに著しい影響を与えることなく、既存のプロセス技術との互換性の高い、高選択性パフォーマンスを向上させることができる。

【0049】

この結果、本発明は、ゲルマニウムよりも大きな共有半径を有する錫などの原子種がそれぞれの結晶シリコンベースの半導体層に導入され、これにより、集塊化ならびに格子の欠陥により応力が緩和されるリスクを実質的に減らすことができる点で、歪みまたは緩和半導体材料によって歪みを生成する改良された技術を提供する。

実施例では、増加した共有半径を有する原子種は、水素化錫（$S_{11}H_4$）などの適切な先駆物質材料に基づいて、エピタキシャル成長プロセスにより導入することができる。さらに、注入などの他の技術により原子種を導入することで、高局所化した歪みの生成を実現することができ、これにより、プロセスならびにプロダクトの設計において高いフレキシビリティを与えることができる。

【0050】

本発明による利益を享受し得る当業者であれば、本発明に関して等価の範囲内で種々の変形及び実施が可能であることは明らかであることから、上述の個々の実施形態は、例示的なものに過ぎない。

例えば、上述した方法における各ステップは、その実行順序を変えることもできる。更に上述した構成あるいは設計の詳細は、なんら本発明を限定することを意図するものではなく、請求の範囲の記載にのみ限定されるものである。

従って、上述した特定の実施形態は、変形及び修正が可能であることは明らかであり、このようなバリエーションは、本発明の趣旨及び範囲内のものである。従って、本発明の保護は、請求の範囲によってのみ限定されるものである。

【図面の簡単な説明】

【0051】

【図1a】本発明の実施例に従う、シリコンと、シリコンのダイアモンド構造に構築することができ、ゲルマニウムと比べると増加した共有半径を有する更なる種に基づいて、結晶半導体層に歪み領域を生成する際の様々な製造段階における半導体デバイスの概略断面図。

【図1b】本発明の実施例に従う、シリコンと、シリコンのダイアモンド構造に構築することができ、ゲルマニウムと比べると増加した共有半径を有する更なる種に基づいて、結晶半導体層に歪み領域を生成する際の様々な製造段階における半導体デバイスの概略断面図。

【図1c】本発明の実施例に従う、シリコンと、シリコンのダイアモンド構造に構築することができ、ゲルマニウムと比べると増加した共有半径を有する更なる種に基づいて、結晶半導体層に歪み領域を生成する際の様々な製造段階における半導体デバイスの概略断面図。

【図1d】本発明の実施例に従う、シリコンと、シリコンのダイアモンド構造に構築することができ、ゲルマニウムと比べると増加した共有半径を有する更なる種に基づいて、結晶

半導体層に歪み領域を生成する際の様々な製造段階における半導体デバイスの概略断面図
。
【図2a】本発明のさらなる実施例に従う、それぞれのチャネル領域に圧縮歪みを生成する、埋め込まれた歪みのある半導体領域を受け入れるトランジスタデバイスを形成する際の様々な製造段階における概略断面図。図３：本発明のさらに別の実施例に従う、大きさの異なる歪みを生成するために様々な量の錫を受け入れる、様々なトランジスタ素子を含む半導体デバイスの概略断面図。
【図2b】本発明のさらなる実施例に従う、それぞれのチャネル領域に圧縮歪みを生成する、埋め込まれた歪みのある半導体領域を受け入れるトランジスタデバイスを形成する際の様々な製造段階における概略断面図。図３：本発明のさらに別の実施例に従う、大きさの異なる歪みを生成するために様々な量の錫を受け入れる、様々なトランジスタ素子を含む半導体デバイスの概略断面図。
【図2c】本発明のさらなる実施例に従う、それぞれのチャネル領域に圧縮歪みを生成する、埋め込まれた歪みのある半導体領域を受け入れるトランジスタデバイスを形成する際の様々な製造段階における概略断面図。図３：本発明のさらに別の実施例に従う、大きさの異なる歪みを生成するために様々な量の錫を受け入れる、様々なトランジスタ素子を含む半導体デバイスの概略断面図。
【図2d】本発明のさらなる実施例に従う、それぞれのチャネル領域に圧縮歪みを生成する、埋め込まれた歪みのある半導体領域を受け入れるトランジスタデバイスを形成する際の様々な製造段階における概略断面図。
【図3】本発明のさらに別の実施例に従う、大きさの異なる歪みを生成するために様々な量の錫を受け入れる、様々なトランジスタ素子を含む半導体デバイスの概略断面図。

【図1a】

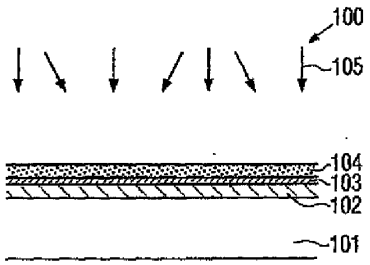


FIG. 1a

【図1b】

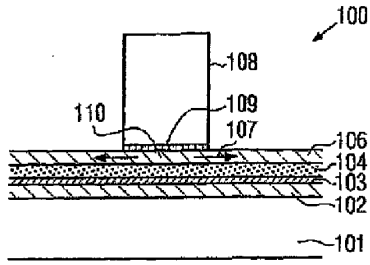


FIG. 1b

【図1c】

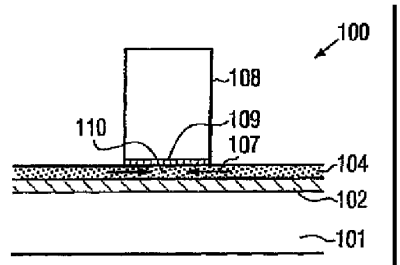


FIG. 1c

【図1d】

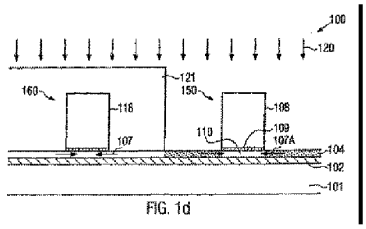


FIG. 1d

【図2a】

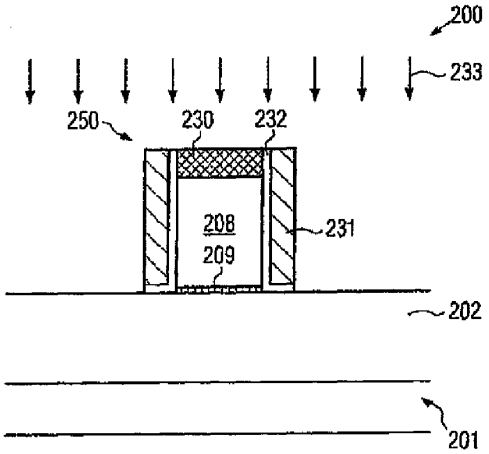


FIG. 2a

【図2b】

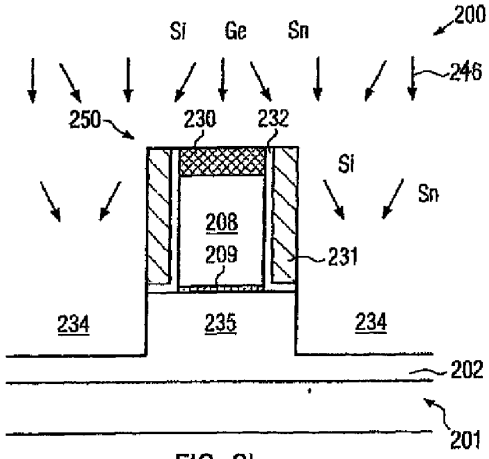


FIG. 2b

【図2c】

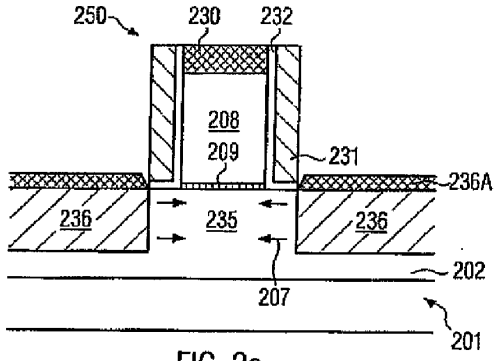


FIG. 2c

【図2d】

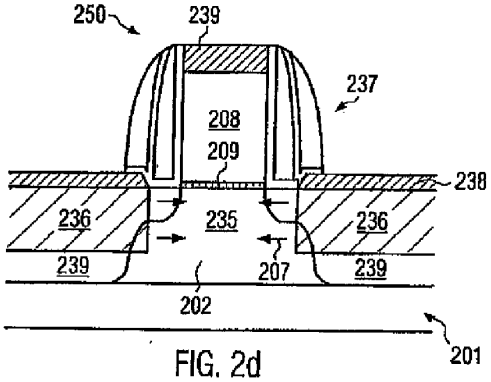


FIG. 2d

【図3】

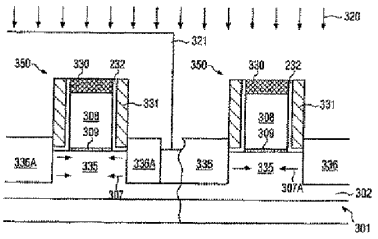


FIG. 3

【手続補正書】
【提出日】平成19年8月31日(2007.8.31)
【手続補正1】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項1】
結晶半導体層（１０４、２３６、３３６）において、シリコンと、ゲルマニウムの共有半径よりも大きな共有半径を有する少なくとも１つのさらなる原子種に基づいて選択的エピタキシャル成長プロセスにより前記シリコンと前記少なくとも１つのさらなる原子種と、をエピタキシャル成長させることにより結晶構造を形成するステップと、
前記半導体層の第１領域（１１０、２３５、３３５）に歪み（１０７、２０７、３０７）を生成するために、前記結晶構造を用いるステップと、を含む方法。
【請求項2】
前記結晶半導体層の上方にゲート電極（１０８、２０８、３０８）を形成するステップをさらに含み、前記結晶構造は前記ゲート電極（１０８、２０８、３０８）に対して側方向にオフセットして形成されている、請求項１記載の方法。
【請求項3】
前記ゲート電極（１０８、２０８、３０８）に隣接してリセス（２３４）を形成し、前記リセス内に前記結晶構造の少なくとも一部（２３６、３３６）を形成するステップをさらに含む、請求項２記載の方法。
【請求項4】
シリコンおよび、ゲルマニウムの共有半径よりも大きな共有半径を有する少なくとも１つのさらなる原子種を含む、第１応力誘発領域（３３５）を有する結晶半導体層（１０４、２３６、３３６）と、
前記結晶半導体層（１０４）の上方に形成されたゲート電極（１０８、２０８、３０８）と、
歪みのあるチャネル領域（１１０、２３５、３３５）と、を含み、前記第１応力誘発領域はドレインならびにソース領域に形成される、半導体デバイス。
【請求項5】
前記第１応力誘発領域は錫を含む、請求項４記載の半導体デバイス。
【請求項6】
前記第１応力誘発領域はゲルマニウムを含む、請求項５記載の半導体デバイス。
【請求項7】
シリコンおよび少なくとも１つのさらなる原子種を含む第２応力誘発領域（３３５）をさらに含み、前記第１応力誘発領域の前記少なくとも１つのさらなる原子種の濃度は、前記第２応力誘発領域（３３５）の少なくとも１つのさらなる原子種の濃度とは異なる、請求項４記載の半導体デバイス。

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/041559

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L21/20 H01L21/205

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/070053 A1 (SADAKA MARIAM G [US] ET AL) 31 March 2005 (2005-03-31) the whole document	1-12
X	WO 2005/015609 A (UNIV ARIZONA [US]; KOUVETAKIS JOHN [US]; BAUER MATTHEW [US]; TOLLE JOH) 17 February 2005 (2005-02-17) paragraphs [0022] - [0048]	1-12

-/—

[X] Further documents are listed in the continuation of Box C.　　[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
6 March 2007	19/03/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Wolff, Gerhard

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/041559

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KOBAYASHI ET AL: "Synthesis of metastable group-IV alloy semiconductors by ion implantation and ion-beam-induced epitaxial crystallization" APPLIED SURFACE SCIENCE, ELSEVIER, AMSTERDAM, NL, vol. 100-101, 2 July 1996 (1996-07-02), pages 498-502, XP005296582 ISSN: 0169-4332 1. Introduction, 2. Experimental	1-12
X	KOUVETAKIS J ET AL: "New IR semiconductors in the Si-Ge-Sn system" GROUP IV PHOTONICS, 2004. FIRST IEEE INTERNATIONAL CONFERENCE ON HONG KONG, CHINA 29 SEPT.-1 OCT. 2004, PISCATAWAY, NJ, USA,IEEE, US, 29 September 2004 (2004-09-29), pages 55-57, XP010782182 ISBN: 0-7803-8474-1 the whole document	1-12
X	"Pseudomorphic Si1-xSnx alloy films grown by molecular beam epitaxy on Si" APPLIED PHYSICS LETTERS, AIP, AMERICAN INSTITUTE OF PHYSICS, MELVILLE, NY, US, vol. 67, no. 16, 16 October 1995 (1995-10-16), pages 2287-2289, XP012013788 ISSN: 0003-6951 abstract	1-12
X	"Band-edge photoluminescence from pseudomorphic Si0.96Sn0.04 alloy" APPLIED PHYSICS LETTERS, AIP, AMERICAN INSTITUTE OF PHYSICS, MELVILLE, NY, US, vol. 68, no. 22, 27 May 1996 (1996-05-27), pages 3105-3107, XP012015378 ISSN: 0003-6951 page 3105	1-12

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2006/041559

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2005070053 A1	31-03-2005	US 2005070056 A1	31-03-2005
		US 2005070057 A1	31-03-2005
WO 2005015609 A	17-02-2005	WO 2005001902 A2	06-01-2005
		WO 2004114368 A2	29-12-2004

Form PCT/ISA/210 (patent family annex) (April 2005)

(51)Int.Cl.		FI		テーマコード（参考）
Ｈ０１Ｌ　27/092	(2006.01)	Ｈ０１Ｌ	29/78　６１８Ａ	
		Ｈ０１Ｌ	29/78　６１８Ｅ	
		Ｈ０１Ｌ	29/78　６２７Ｇ	
		Ｈ０１Ｌ	27/08　３２１Ａ	
		Ｈ０１Ｌ	27/08　３２１Ｃ	
		Ｈ０１Ｌ	27/08　３２１Ｅ	

(81)指定国　AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人　100108604
弁理士　村松　義人
(72)発明者　クリストフ　シュトレック
ドイツ、０１６４０　コスビク、ベッティンシュトラッセ　１６
(72)発明者　フォルカー　カーレルト
ドイツ、０１２１７　ドレスデン、アッカーマンシュトラッセ　１５
(72)発明者　アレクサンダー　ハンケ
ドイツ、０１４４５　ラーデボイル、シュバイツァーシュトラッセ　７

Ｆターム(参考)　5F048 AA07 AA08 AC03 AC04 BA01 BA14 BA16 BB05 BB08 BB12
BC01 BC05 BC06 BC15 BC18 BD01 BD04 BD09 BF06 DA30
5F110 AA01 BB04 BB07 CC02 EE09 EE32 EE43 FF22 FF27 GG01
GG02 GG06 GG12 GG19 GG42 HJ02 HJ13 HK05 HK08 HK13
HK32 HK41 HM02 PP01 PP16
5F140 AA05 AB03 AC28 AC36 BA01 BA05 BA17 BB16 BC06 BF01
BF04 BF11 BF18 BG08 BG18 BG54 BH06 BH14 BH22 BH27
BJ01 BJ08 BK09 BK10 BK18 BK22
5F152 LL02 LM09 LN08 LN14 MM04 NN03 NN15 NN29 NP02 NP03
NP04 NQ03

Espacenet

Bibliographic data: JP2009517867 (A) — 2009-04-30

Multigate device with recessed strain regions

Inventor(s):

Applicant(s):

Classification: - international: ***H01L21/8238; H01L27/092; H01L29/78***
- cooperative: **H01L29/165 (KR)**; **H01L29/41791 (KR)**; **H01L29/66628 (EP, KR)**; **H01L29/66636 (EP, KR)**; **H01L29/66795 (EP, KR)**; **H01L29/7848 (EP, KR)**; **H01L29/785 (EP, KR)**; **H01L29/78696 (GB)**; H01L29/165 (EP)

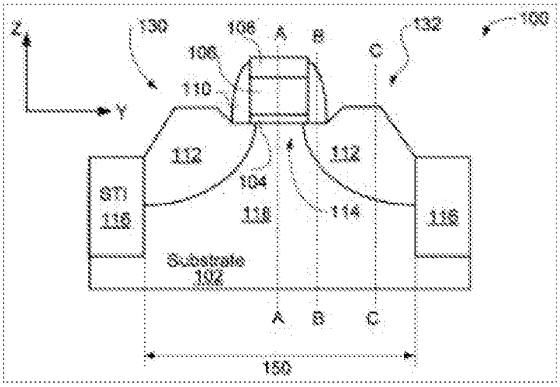
Application number: JP20080542489 20061207 Global Dossier

Priority number(s): US20050320309 20051227 ; WO2006US47100 20061207

Also published as: CN101336472 (A) CN101336472 (B) DE112006003550 (B4) DE112006003550 (T5) GB2444681 (A) more

Abstract not available for JP2009517867 (A)
Abstract of corresponding document: US2007145487 (A1)

Embodiments of the invention provide a device with a multiple gates. Stress material within recesses of a device body metal gate may cause a stress in channel regions of the device, thereby improving performance of the device.



Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JP2009517867A

Multi-gate device with recessed strain area

[0001]

Improved performance of circuit devices on the board (eg, integrated circuit (IC) transistors, resistors, capacitors, etc. on semiconductor boards) is a major factor typically considered in the design, manufacture, and operation of these devices. Is. For example, in the design, manufacture, or formation of metal oxide semiconductor (MOS) transistor semiconductor devices such as those used in complementary metal oxide semiconductors (CMOS), in the N-type MOS device (MOS) channel. It is often desirable to increase the mobility of negatively charged electrons and increase the movement of positively charged holes in P-type MOS device (MOSFET) channels.

[0002]

FIG. 1a-1e is a cross-sectional side view showing a semiconductor device according to an embodiment of the present invention.

[0003]

It is sectional drawing side view which shows the substrate which can form a device.

[0004]

It is sectional drawing which shows the substrate after the STI region was formed.

[0005]

FIG. 5 is a cross-sectional side view showing a device after some portion of the STI region has been removed to form fins.

[0006]

It is a perspective view which shows the fin after formation.

[0007]

It is sectional drawing which shows the gate dielectric material layer formed on the surface of the STI region main body.

[0008]

It is sectional drawing which shows the material layer which forms the gate electrode deposited on the gate dielectric material layer.

[0009]

It is sectional drawing which shows the hard mask layer formed on the gate electrode material.

[0010]

FIG. 5 is a perspective view showing a device after patterning a hard mask to remove regions of a gate electrode material and a gate dielectric material.

[0011]

It is sectional drawing side view which shows the device after spacer formation.

[0012]

It is sectional drawing which shows the device after recess formation in the main body.

[0013]

FIG. 3 is a cross-sectional side view of the device after the source and drain materials have been formed in the recess.

[0014]

It is a block diagram which shows the system by one Embodiment of this invention.

[0015]

In various embodiments, devices and methods for forming strained multi-gate devices are described.

In the following description, various embodiments will be described.

However, one of ordinary skill in the art will understand that these various embodiments can be performed without one or more specific details, or can be performed with other replacement and / or additional methods, materials, or components. Let's do it.

In other cases, known structures, materials, or operations are not shown or described in detail for the purpose of not obscuring various aspects of the various embodiments of the invention.

Similarly, for purposes of explanation, specific numbers, materials, and configurations are stated to provide a complete understanding of the invention.

However, the present invention can be practiced without specific details.

Furthermore, the various embodiments shown in the drawings are exemplary representations and are not necessarily proportional to their actual size.

[0016]

References to "one embodiment" or "embodiments" as used herein are at least one embodiment of the invention in which a particular feature, structure, material, or feature described in the context of that embodiment. Indicates that they are included in the embodiments, but does not mean that they are present in all embodiments.

Therefore, the phrases "in one embodiment" and "in an embodiment" appear throughout the specification, but they do not necessarily refer to the same embodiment of the invention. No.

In addition, specific features, structures, materials, or features can be combined in a suitable manner in one or more embodiments.

Various additional layers and / or structures may be included and / or the features described may be omitted in other embodiments.

[0017]

To the maximum extent possible to aid in the understanding of the present invention, the various actions are described as a number of separate actions.

However, the order in the description should not necessarily be considered as an indication that these actions are order-dependent.

In particular, these operations need not be performed in the order presented.

The described actions may be performed in a different order than the described embodiments.

Various additional actions can be performed and / or the described actions may be omitted in further embodiments.

[0018]

A non-planar multi-gate (such as a tri-gate) transistor having a stressed channel and a method for manufacturing the same are disclosed.

The transistor may contain a stress material in the recess of the semiconductor body and stress the channel region to improve carrier mobility.

Further, as the carrier mobility increases, the transistor drive current increases.

In one embodiment of the invention, stress materials may be formed in recesses on all sides of the semiconductor body adjacent to the channel region. This causes stress on all sides of the channel, stressing over a wide area and improving device performance. The semiconductor body may be formed from a semiconductor substrate that is not a semiconductor (SOI) substrate on an insulating film.

[0019]

FIG. 1a is a cross-sectional side view showing the semiconductor device 100 according to the embodiment of the present invention.

The cross-sectional side view of FIG. 1a is cut at a plane defined by the ZZ plane. The other drawing may be a cross-sectional side view in the ZZ plane perpendicular to the ZZ plane. Further, the other drawings may be perspective views showing all three dimensions of X, Y, and Z. Here, the "length" of the device 100 is measured in the Y direction, the "width" is measured in the X direction, and the "height" is measured in the Z direction.

[0020]

In some embodiments, the device 100 may be a multi-gate transistor formed on the substrate 102.

In the embodiments shown herein, the device 100 is shown as a tri-gate transistor, but in other embodiments, the device 100 may be another type of transistor or other device. The substrate 102 may contain any material that serves as a basis on which a semiconductor device can be constructed. The substrate 102 may be a substrate 102 containing silicon. In one embodiment, the silicon substrate 102 may include a semiconductor material such as single crystal silicon, gallium arsenide, or another suitable material. In some embodiments, the substrate 102 is a bulk semiconductor substrate 102, not an SOI substrate. That is, the substrate 102 does not have to include the embedded oxide layer existing in the SOI substrate. In one embodiment, the substrate 102 may include a semiconductor material having a lattice structure and a crystal lattice with lattice spacing.

[0021]

The device 100 may include a body 118, which in some embodiments may be referred to as a "fin".

The main body 118 may be a region of the substrate 102, as shown in the embodiment of FIG. In other embodiments, the body 118 may be a different layer than the substrate 102. In one embodiment, the body 118 may have an upper surface and a plurality of side walls, projecting onto some other portion of the device 100 in the form of fins. In one embodiment, the body 118

may include a semiconductor material having a lattice structure and a crystal lattice with lattice spacing. Since the main body 118 may be merely one region of the substrate 102, the main body 118 may have the same lattice structure and the same crystal structure having the same lattice spacing as the main body 102. The body 118 may be in the shape of a fin and may have a length of 150.

[0022]

There may be a gate dielectric layer 104 on the body 108.

The gate dielectric layer 104 may contain any suitable type of dielectric material. In one embodiment of the present invention, the gate dielectric layer 104 may be silicon dioxide (SiO 2), silicon nitride (SiO X N y) or silicon nitride (Si 3 N 4) dielectric layer 104. In another embodiment of the present invention, the gate dielectric layer 104 may be a high-K gate dielectric layer such as a metal oxide dielectric layer, and is not limited to, but is pentoxide. Materials such as tantalum (Ta 2 O 5) HfO 2, ZrO 2, and titanium oxide (TiO 2) may be included.

[0023]

There may be a gate electrode 106 and a gate dielectric layer 104.

The gate electrode 106 may be made of any suitable gate electrode material. In one embodiment, the gate electrode 106 may include polysilicon and may be doped. The gate electrode 106 may be a metal gate electrode in other embodiments and may include materials such as tungsten, tantalum, titanium, or nitrides thereof, alloys or other materials. Below the gate electrode 106 may be the channel region 114 of the body 118.

[0024]

There may be a hard mask layer 108 on the gate electrode 106.

The hard mask layer 108 may contain any material suitable for patterning the gate electrode 108.

[0025]

The spacer 110 may be adjacent to the gate dielectric layer 104, the gate electrode 106, and the hardmask layer 108.

The spacer 110 may include any suitable material such as silicon nitride, aluminum nitride, or another material. In some embodiments, the top surface of the spacer 110 does not have to be as high as the top surface of the hardmask layer 108.

[0026]

The recesses on both sides of the gate electrode 106 of the body 118 may have source and drain materials 112.

The source and drain materials 112 may have substantially the same lattice structure as the lattice structure of the main body 118, and may have a lattice spacing different from the lattice spacing of the main body. The source and drain material 112 may thus create strain within the channel region 114 to improve the performance of the device 100. For example, the source and drain material 112 may have a larger grid spacing than the material of the body 118, which causes compressive stress in the channel region 114. This compressive stress may improve performance by increasing the motion of positively charged holes in the P-type MOS device (MOSFET) channel. In another embodiment, the source and drain material 112 may have a smaller grid spacing than the material of the body 118, thereby creating a tensile stress in the channel region 114. This tensile stress may improve performance by increasing the motion of negatively charged electrons in the N-type MOS device (IMS) channel. The source and drain material 112 may be silicon germanium (SiGe), silicon carbide (SiC), nickel silicide (NiSi), titanium silicide (TiSi 2), cobalt silicide (CoSi 2), or other suitable stress on the channel region 114. Materials may be included. In embodiments where the device 100 includes a source 130 and a drain 132, the source and drain material 112 may include all or part of the source 130 and the drain 132.

[0027]

There may also be front and back shallow groove separation (STI) regions 116 that isolate the device 100 from other devices on the same substrate 102.

The STI region 116 may contain any suitable material.

[0028]

FIG. 1b is a cross-sectional side view of the semiconductor device 100 according to the embodiment of the present invention in line AA of FIG. 1a.

The cross-sectional side view of FIG. 1b is a cross-sectional side view of a plane defined by a ZZ plane perpendicular to the ZZ plane of FIG. 1a. FIG. 1b shows the multi-gate side of the device 100 more clearly.

[0029]

The device 100 may include a side STI region 117 that isolates the device 100 from other devices on the same substrate 102.

The STI region 117 may contain any suitable material.

[0030]

The three-dimensional multi-gate characteristic of the device 100 can be seen more clearly from FIG. 1b.

The dielectric layer 104 may be adjacent to the upper surface 122 and the side wall 120 of the main body 118. Similarly, the gate electrode 106 may be adjacent to all three sides of the body 118 of the embodiment shown in FIG. 1b. This results in three channel regions 114 on the top and sides, rather than just a single channel region 114. The channel region 114, including the channel region 114 of the side wall 120 of the body 118, is referred to herein as being "below" the gate electrode 106. When the gate electrode 106 is horizontally adjacent to the channel region 114 on the side wall 120 of the body 118, it is still considered to be "below" the gate electrode 106 and is described and claimed as such. Such a device 100 having gate electrodes 106 on three sides of the body 118 produces three channel regions 114 and may be referred to as the trigate device 100. As shown in FIG. 1b, the gate electrode 106 may further conform to the body 118 and be adjacent to the STI region 117, and the hardmask layer 108 may conform to the gate electrode 106.

[0031]

The main body 118 may have a height 152 measured from the upper surface of the STI region 117 to the upper surface of the main body 118 under the central portion of the gate electrode 106.

Further, the main body 118 may have a width 156 measured at the non-recessed portion of the main body 118 (measured at the portion of the main body 118 through which the line AA passes, and the main body 118 passing through the line BB or CC. On the upper surface of the part, the main body 118 is dented, so it is not in these places). The gate electrode 106 may have a height 154 measured from the upper surface of the main body 118 to the upper surface of the gate electrode 106. The STI region 117 may have a depth of 158 measured from the top surface of the STI region 117 to its lower boundary. The depth of the STI region 116 may be substantially the same as the depth 158 of the STI region 117.

[0032]

In one embodiment, the depth 158 of the STI region may be about twice the height 152 of the body 118.

In another embodiment, the depth 158 of the STI region may be about twice or more the height 152 of the body 118. In another embodiment, the depth 158 of the STI region may be about 1.8 times the height 152 of the body 118 to about 2.2 times the height 152 of the body 118.

[0033]

In one embodiment, the height 154 of the gate electrode 106 may be about twice the height 152 of the body 118.

In one embodiment, the height 154 of the gate electrode 106 may be more than about twice the height 152 of the body 118. In one embodiment, the height 154 of the gate electrode 106 may be higher than about two-thirds of the height 152 of the body 118. In yet another embodiment, the height 154 of the gate electrode 106 may be between about 1.8 times the height 152 of the main body 118 and about 2.2 times the height 152 of the main body 118. In yet another embodiment, the height 154 of the gate electrode 106 may be between about 1.5 times the height 152 of the main body 118 and about twice the height 152 of the main

body 118. In yet another embodiment, the height 154 of the gate electrode 106 may be between about 1.5 times the height 152 of the main body 118 and approximately equal to the height 152 of the main body 118. In other embodiments, the height 154 of the electrode 106 may be smaller or larger.

[0034]

The height 152 of the main body 118 may be about twice the width 156 of the main body 118 in one embodiment.

In another embodiment, the height 152 of the body 118 may be greater than about twice the width 156 of the body 118. In another embodiment, the height 152 of the main body 118 may be about 1.8 times the width 156 of the main body 118 to about 2.2 times the width 156 of the main body 118. Other dimensions of the height 152 of the body 118 and the width 156 of the body 118 may be utilized in other embodiments. In some embodiments, the width 156 of the body 118 may be selected so that the channel region 114 is substantially completely depleted during operation. Therefore, in some embodiments, if the substrate 102 is highly doped, the width 156 may be smaller so as to result in substantially complete depletion.

[0035]

In one embodiment, the body 118 may have a width 156 of about 20 nanometers and a height 152 of about 40 nanometers, the height 154 of the gate electrode 106 is at least 40 nanometers, and the STI region 116. The depth of 117, 158, may be at least 40 nanometers.

In one embodiment, the depth 158 of the STI regions 116 and 117 may be between about twice the height 152 of the body 118 and about three times the height 152 of the body 118, but in other embodiments. The STI regions 116 and 117 may have different depths. In another embodiment, the height 154 of the gate electrode 106 may be about 30 nanometers and the body 118 width 156 may be between about 20 nanometers and about 40 nanometers. In some embodiments, the body 118 height 152 may be between about 20 nanometers and about 100 nanometers. In some embodiments, the body 118 width 156 may be between about 10 nanometers and about 50 nanometers. In yet another embodiment, the structure of the device 100 may have different dimensions.

[0036]

FIG. 1c is a cross-sectional side view of line BB of FIG. 1a showing a semiconductor device 100 according to an embodiment of the present invention.

As can be seen from FIG. 1c, the fins 118 are recessed and etched on all three sides (top and two side walls) and the etching is undercut under the spacer 110. The source and drain materials 112 are present on all three sides of the fin 118, which may stress all three sides of the fin 118. In FIG. 1c, the hard mask 108 is visible behind the spacer 110, but the cross section of line BB does not pass through the hard mask 108.

[0037]

FIG. 1d is a cross-sectional side view taken along the line CC of FIG. 1a showing the semiconductor device 100 according to the embodiment of the present invention.

As can be seen from FIG. 1d, as compared to FIG. 1c, more parts of the fins 118 have been further etched from the spacer 110 to show fewer fins 118 etched under the spacer 110. The dotted line 124 indicates the original boundary of the fins 118 before being etched to form the recess of the body 118. In the embodiment shown in FIG. 1d, the source and drain material 112 is formed in the recess of the fin 118 and further extends beyond the boundary 124 in front of the fin 118. Further, in one embodiment, there may be recesses on all three sides of the fin 118 and on all three sides of the source and drain material 112, which may stress all three channel regions 114. .. (In FIG. 1d, the hard mask 108 and spacer 110 are visible behind the source and drain material 112, but the cross section of line CC does not cross the hard mask 108 or spacer 110). In some embodiments where the height 154 of the gate electrode 106 is lower than the height 152 of the body 118, the side surface of the fin 118 is formed by forming a spacer 110 that separates the gate electrode 106 from the source region 130 and the drain region 132. Recess is restricted. In such an embodiment, most of the source and drain materials 112 may be on top of the body 118.

[0038]

FIG. 1e is a cross-sectional side view taken along line CC of FIG. 1a showing a semiconductor device 100 according to another embodiment of the present invention.

In the embodiment of FIG. 1e, more portions of the fins 118 are removed by etching than in the embodiment of FIG. 1d, resulting in a deeper recess. In this embodiment, the source and drain material 112 grows within the recess but does not cross the original boundaries of the fins 118. (In other embodiments, the source and drain material 112 may exceed the limits shown in FIG. 1e.) All three sides 118 source and drain materials 112 may stress all three channel regions 114. (In FIG. 1e, the hardmask 108 and spacer 110 behind the source and drain material 112 are omitted).

[0039]

2 to 12 show the formation stage of the device 100 of FIG. 1 according to one embodiment.

[0040]

FIG. 2 shows a cross-sectional side view of the substrate 102 on which the device 100 according to one embodiment can be formed.

The substrate 102 may contain any suitable material from which the device 100 can be formed.

In one embodiment, the substrate 102 is a bulk single crystal silicon material (because it is not an SOI substrate, it does not have an embedded oxide layer). In such an embodiment, the recesses of the source and drain material 112 are formed as deep as desired, rather than being limited by the depth at which the embedded oxide layer is located. This can apply deeper recesses and greater stress to the channel region 114, which can improve performance. In other embodiments, other semiconductor materials such as gallium arsenide or other materials may be utilized.

[0041]

FIG. 3 is a cross-sectional side view showing the substrate 102 after the STI regions 116 and 117 have been formed.

In one embodiment, some portion of the substrate 102 may be protected, the unprotected portion may be removed to form a groove, and a material suitable for the intended use of the STI may be deposited in the groove. In some embodiments, front and back STI regions 116 and side STI regions 117 may be formed simultaneously. The distance between the grooves in which the front and back STI regions 116 are formed may define the length 150 of the fins 118, and the distance between the grooves in which the side STI regions 117 are formed defines the width 156 of the fins 118. May be done. The depth of the STI regions 116 and 117 may be selected based on the desired height 152 of the body 118 and the desired STI depth 158.

[0042]

FIG. 4 is a cross-sectional side view showing the device 100 according to one embodiment after some portion of the STI regions 116 and 117 has been removed to form the fins 118.

In one embodiment, some portion of the STI regions 116 and 117 may be removed with hydrofluoric acid. In other embodiments, other methods such as RIE dry etching may be utilized. In some embodiments, the amount of original STI regions 116 and 117 removed may determine the height 152 of the body 118. Therefore, the originally existing STI regions 116 and 117 to be removed may be determined based on the desired height 152 of the body 118. The amount of the remaining STI regions 116 and 117 determines the depth 158 of the STI regions 116 and 117. Therefore, after removing a portion of the STI regions 116 and 117, a body or fins 118 that extend over the remaining substrate 102 and the STI regions 116 and 117 are defined.

[0043]

As mentioned with respect to FIG. 3, the original depth of the STI regions 116 and 117 shown in FIG. 3 may be selected based on the desired height 152 of the body 118 and the desired depth 158 of the STI regions 116 and 117.

Since the original depth of the STI regions 116 and 117 includes both the height 152 of the body after forming the fins 118 and the depth 158 of the STI regions 116 and 117, the original depth of the STI regions 116 and 117 is the body. It is selected to be at least equal to the combined height 152 of 118 and the depth of STI regions 116 and 117. In one embodiment, the STI regions 116 and 117 may have a depth of 158 that is at least about twice the height 152 of the body 118. In one embodiment, the original depth of the STI regions 116 and 117 may be about 1500 angstroms, as shown in FIG. After formation of the fins 118,

as shown in FIG. 4, the fins 118 may have a height of about 500 angstroms 152 and the STI regions 116 and 117 may have a depth of about 1000 angstroms 158. In another embodiment, the original depth of the STI regions 116 and 117 may be between about 1000 angstroms and about 3000 angstroms, as shown in FIG. In yet another embodiment, the original depths of the STI regions 116 and 117 may be different. After forming the fins 118, as shown in FIG. 4, the fins 118 may have a height 152 of about 1/3 or less of the original depth, and the STI regions 116 and 117 are about 2/3 of the original depth. It may have a depth of 158 or more. In other embodiments, the size of the height 152 of the fins 118 represented by the comparison of the depths 158 of the STI regions 116 and 117 may be different.

[0044]

FIG. 5 is a perspective view showing the fins 118 after being formed by removing some parts of the STI regions 116 and 117 according to one embodiment.

The front and back STI regions 116 and the side STI regions 117 may enclose the fins 118 projecting above the STI regions 116 and 117. The body 118 passes through the STI regions 116 and 117 and extends downward toward the rest of the substrate 102. The dotted line 125 indicates the boundary of the main body 118 below the upper surface of the STI regions 116 and 117, which extends to match the other regions of the substrate 102. Further shown in FIG. 5 are the length 150 of the fins 118, the width 156 of the fins, the height 152 of the fins 116, and the width 158 of the STI regions 116 and 117. The fins 118 may be slightly shorter and slightly narrower at the top than at the point of contact with the STI regions 116 and 117, but the drawings provide an ideal representation. In some embodiments, this tapered shape is practically avoided and the sidewalls are kept straight.

[0045]

FIG. 6 is a cross-sectional side view showing a gate dielectric 104 material layer formed on the surfaces of the main body 118 and the STI regions 116 and 117 according to one embodiment.

The material of the gate dielectric layer 104 may include any suitable type of dielectric material.

[0046]

FIG. 7 is a cross-sectional side view showing the material layer forming the gate electrode 106 deposited on the gate dielectric layer 104 material.

In some embodiments, the material layer forming the gate electrode 106 may have a single layer of a single material. In other embodiments, many different materials may be utilized and there may be multi-material layers. Thus, in some embodiments, the gate electrode 106 is shown as a single layer, but may include multiple layers of different materials, even though referred to herein as a single material layer, it actually contains multiple layers. It may be. The gate electrode 106 may be formed of any suitable gate electrode material. In one embodiment, the gate electrode 106 may include polysilicon, which may be doped. In another embodiment, the gate electrode 106 may include a polysilicon layer on top of the metal layer. In yet another embodiment, the gate electrode 106 may include layers of different materials and may include more than two layers. The material layer forming the gate electrode 106 may have at least about twice the thickness of the height 152 of the main body 118 in one embodiment, but may be different in other embodiments. The material layer forming the gate electrode 106 may be conformally deposited.

[0047]

FIG. 8 is a cross-sectional side view showing the hard mask layer 108 formed on the gate electrode 106 material according to the embodiment of the present invention.

The hard mask 108 may be patterned to protect the areas of the gate electrode 106 material and the gate dielectric 104 material that should be left in place while exposing the areas that should be removed. The exposed areas of the gate electrode 106 material and the gate dielectric 104 material may be removed by any suitable method.

[0048]

FIG. 9 shows the device 100 after removal of regions of the gate electrode 106 material and the gate dielectric 104 material for which patterning and removal of the hard mask 108 is desirable according to one embodiment.

It can be seen that the gate dielectric layer 104, the gate electrode 106, and the hard mask layer 108 are adjacent to all three sides (upper surface and both side walls) of the main body 118. For the sake of brevity, the gate dielectric layer 104, the gate electrode 106, and the hardmask layer 108 are not shown separately. By adjoining the gate electrodes on all three sides, the effective gate width of the device 100 can be doubled from the width 156 of the main body 118 plus the height 152 of the main body 118. The distance 160 is the gate length of the device 100. In one embodiment, the distance 160 may be between about 10 nanometers and about 50 nanometers. In other embodiments, the distance may be longer or shorter, for example up to 2 microns.

[0049]

FIG. 10 is a cross-sectional side view showing the device 100 after the formation of the spacer 110 according to the embodiment of the present invention.

In some embodiments, additional steps such as forming a tip junction may be performed prior to forming the spacer 110. The spacer 110 can be formed by any suitable method. In one embodiment, the spacer 110 material layer may be deposited on the device 100. This material may include any suitable material such as silicon nitride, silicon dioxide or another material. After that, the spacer 110 material layer portion adjacent to the place where the main body 118 contacts the STI regions 116 and 117, and other regions, leaving the spacer 110 adjacent to the gate dielectric layer 104, the gate electrode 106, and the hard mask 108, and other regions. The portion of the spacer 110 material layer may be removed so as to substantially remove. As a result, the upper part of the spacer 110 is lower than the upper part of the hard mask 108.

[0050]

FIG. 11 is a cross-sectional side view showing the device 100 after the recess 126 is formed on the main body 118 according to the embodiment of the present invention.

Recess 126 may be referred to as source and drain recesses. The recess 126 may be formed by any suitable method, such as wet etching. The recess 126 has a depth 162 between about 50 angstroms and about 1000 angstroms under the top surface of the body 118 adjacent to the gate dielectric 104 in some embodiments, but is different in other embodiments. A depth of 162 is possible. In one embodiment, the recess 126 may extend laterally beneath the side wall 110 and possibly the gate dielectric 104 over a distance of 164 from 5 nanometers to about 50 nanometers, but in other embodiments the distance 164 is It can be different. In some embodiments where the substrate 102 is a non-SOI substrate, the recess 126 may be deeper than is possible with the SOI substrate, because in the SOI substrate the depth of the embedded oxide layer is the recess 126. This is because it represents the maximum possible depth of. The deeper recess 126 puts more stress on the channel region 114, which results in higher performance than is possible with the lower stress of the SOI-based device.

[0051]

The steps used to remove the top surface portion of the fin 118 may further remove the side wall portion of the fin 118, for in some embodiments the steps utilized are partially or completely. Because it is isotropic.

The results of such removal steps can be seen in FIGS. 1c to 1e described above, in which the side wall portions of the fins 118 removed from the gate electrode 106 at various distances are shown. . .

[0052]

FIG. 12 is a cross-sectional side view showing the device 100 after the source and drain material 112 has been formed in the recess 126 according to one embodiment.

The source and drain material 112 may function as the source and drain of device 100, or may function as part of the source and drain of device 100. In one embodiment, the source and drain material 112 comprises silicon germanium (SiGe), silicon carbide (SiC), nickel silicide (NiSi), titanium silicide (TiSi 2), cobalt silicide (CoSi 2), and other materials. It's fine.

[0053]

In one embodiment, the substrate 102 includes a material having a grid structure (eg, a base centered cubic or other grid structure) and grid spacing.

The source and drain materials 112 may have the same grid structure as the material of the substrate 102 and may have different grid spacings. As a result of having such different grid spacings, stress may occur in the channel region 114 of the device 100. If the source and drain material 112 has a larger lattice spacing than that of the substrate 112 material, compressive stress 170 may occur in the channel region 114. If the source and drain materials 112 have a smaller lattice spacing than that of the substrate 112 material, tensile stress (not shown) may occur in the channel region 114. Therefore, the source and drain material 112 is sometimes referred to as the stress material 112 because it creates stress in the channel 114 region of the device 100.

[0054]

In one embodiment, the substrate 102 may contain single crystal silicon and the source and drain material 112 in the recess 126 may contain silicon germanium with a larger lattice spacing than silicon.

In this embodiment, the SiGe stress material can generate compressive stress 170 in the channel region 114, which can improve the performance of the MIMO device 100. In other embodiments, the stress material 112 can generate tensile stresses within the channel region 114, which can improve the performance of the NMOS device 100. Since the recess 126 can be formed on both side surfaces of the fin 118 and the upper surface of the fin 118, and on both side surfaces and the upper surface of the fin 118 in the recess 126, stress can be applied to all three channel regions 114.

[0055]

In one embodiment, the stress material 112 may be epitaxially formed, but other steps may be utilized.

As shown in FIG. 12, the epitaxially formed source and drain material 112 may exceed the volume that contained the fins 118. In other embodiments, the stress material 112 may have substantially coplanarity with respect to the top surface of the fins 118.

[0056]

In some embodiments, the source and drain material 112 is doped during formation.

For example, in embodiments that include SiGe in which the stress material 112 is epitaxially formed, the dopant may be incorporated into the SiGe during growth. In such embodiments, ion implantation or annealing steps may not be required. In other embodiments, ions may be injected into the source and drain material 112 after the source and drain material 112 has been formed to convert the source and drain material into the source and drain of the device 100.

[0057]

Further steps may be taken to complete the device 100, as will be appreciated by those skilled in the art.

[0058]

FIG. 13 is a block diagram showing a system 1300 according to an embodiment of the present invention.

The system 1300 of FIG. 13 may include one or more multi-gate devices 100 that include a stress material 112 that causes stress in the channel region 114 as described above.

As shown, in this embodiment, system 1300 includes computing device 1302 for data processing. Computational device 1302 may include motherboard 1304. In particular, the processor 1306 and the network interface 1308 connected to the bus 1310 may be connected to the motherboard 1304 or may be part of the motherboard 1304. The chipset may form part or all of the bus 1310. A portion of the processor 1306, chipset, and / or other system 1306 may include one or more devices 100 as described above.

[0059]

Depending on the application, the system 1300 is a volatile and non-volatile memory 1312, integrated on the motherboard 404 or connected to the motherboard as a separate removable component such as an AGP or PCI-E graphics processor). Other components including, but not limited to, graphics processors, digital signal processors, encryption processors, mass storage

devices 1314 (hard disks, compact disks (CDs), digital video disks (DVDs), etc.), input and output devices 1316, etc. May include.

[0060]

In various embodiments, the system 1300 is a personal digital assistant (PDA), mobile phone, tablet computing device, laptop computing device, desktop computing device, set-top box, entertainment control unit, digital camera, digital video recorder, CD player. , DVD player, and other similar digital devices.

[0061]

Any one or more members 1306, 1314, etc. of FIG. 13 may include one or more devices 100 described herein.

For example, the trigate transistor 100 containing the SiGe stress material 112 may be part of a CPU 1306, motherboard 1304, graphics processor, digital signal processor, or other device.

[0062]

The aforementioned embodiments of the present invention have been presented for purposes of illustration and description.

Nothing is intended to limit the invention to what is exhaustive or remains disclosed.

The present disclosure and the following claims are, for example, left, right, top, bottom, over, under, upper, lower, first, Although it includes terms such as second, they are used for descriptive purposes only and should not be construed as limiting.

For example, the term for a relatively vertical position indicates that the device side (or active surface) of the board or the integrated circuit is the "top surface" of the board, which is actually the board. Since it can also be oriented in a direction, the "upper" plane of the substrate may be below the "lower" plane in the reference reference earth framework, which is also within the meaning of the term "top". Also, regarding the term "on" used here (including claims), unless the first layer on the second layer clearly states that, the first layer is directly the first layer. It does not indicate that it is on top of two layers or that it is in direct contact. That is, a third layer or other structure may exist between the first layer and the second layer above the first layer. The devices or product embodiments described herein may be manufactured, utilized, or shipped in any location and orientation. As those skilled in the art will understand, many modifications and modifications are possible in light of the above teachings. Those skilled in the art will appreciate that various even combinations and replacements are possible for the various components shown in the drawings. Therefore, the scope of the present invention is not limited by this detailed description, but is intended to be limited by the accompanying claims.

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JP2009517867A

1.

It has a substrate containing a semiconductor material having a first crystal lattice having a first lattice structure and a first lattice spacing, an upper surface, and a plurality of side walls extending toward a length separated by a width. The main body region of the substrate, the gate electrodes on the upper surface of the main body region and a part of the plurality of side walls, the source recesses and drain recesses on both sides of the gate electrodes in the main body region, and the first. The source recess and said, comprising a second material having a second crystal lattice having a second lattice structure that is substantially the same as one lattice structure and a second lattice spacing that is different from the first lattice spacing. Semiconductor devices, including stress materials in drain recesses.

2.

The device of claim 1, further comprising a plurality of channel regions under the gate electrode between the source and the drain in the substrate and adjacent to the top surface of the body region and the plurality of side walls. ..

3.

The device according to claim 1, wherein the substrate is not a semiconductor (SOI) substrate on an insulating film.

4.

The front shallow groove separation region and the back shallow groove separation region in which the length of the main body region is between the front shallow groove separation region and the back shallow groove separation region, and the main body region in the substrate. 1 The device described in.

5.

The device according to claim 4, wherein the upper surface of the main body region under the gate electrode is located at a position higher than the side surface shallow groove separation region.

6.

The device according to claim 5, wherein the height of the main body region is at least about twice the width of the main body region.

7.

The device according to claim 5, wherein the depth of the front shallow groove separation region, the back shallow groove separation region, and the side shallow groove separation region is at least about twice the height of the main body region.

8.

The device according to claim 7, wherein the height of the main body region is at least about twice the width of the main body region.

9.

The device of claim 1, wherein the source recess and the drain recess are recessed with respect to the top surface of the body region and to the plurality of side walls of the body region.

10.

The source and the drain include the second material, the second material extending vertically over the top surface and horizontally on the plurality of side walls of the body region at the source and the drain. , The device of claim 9.

11.

The device of claim 10, wherein the second grid spacing is greater than the first grid spacing.

12.

A substrate that is not an SOI substrate and contains a semiconductor material having a first lattice having a first lattice structure and a first lattice spacing, and a front shallow groove separation region having a depth and a back shallow groove in the substrate. The separation region, the side surface shallow groove separation region, and the main body region of the substrate, at least a part of the main body region includes the front shallow groove separation region, the back surface shallow groove separation region, and the side surface shallow groove separation region. The main body region and the main body region having a height exceeding the height and having a length between the front shallow groove separation region and the back shallow groove separation region and having a width between the side shallow groove separation regions. A plurality of gate electrodes on one upper surface and a plurality of side walls of the main body region, a plurality of channel regions under the gate electrode in the main body region, and a plurality of the plurality of channels provided on the upper surface and the plurality of side walls of the main body region. A second lattice structure having source recesses and drain recesses on both sides of the gate electrode including recesses, a second lattice structure substantially the same as the first lattice structure, and a second lattice spacing different from the first lattice spacing. A semiconductor device comprising two grids, the source and a second material in the drain region.

13.

12. The device of claim 12, wherein the width is between about 20 nanometers and about 40 nanometers, and the height is between about 1.8 times the width and about 2.2 times the width. ..

14.

13. The device of claim 13, wherein the height is between about 400 angstroms and about 600 angstroms, and the depth is between about 900 angstroms and about 1100 angstroms.

15.

14. The device of claim 14, wherein the second material extends beyond the top surface of the body region and the plurality of side walls at the source and drain.

16.

The width between the plurality of side walls having one upper surface and a plurality of side walls by removing a plurality of parts of the substrate containing the semiconductor material having the first lattice having the first lattice structure and the first lattice spacing. To form a fin having a gate electrode on the upper surface and the plurality of side walls of the fin, and to have a plurality of channel regions adjacent to the upper surface and the plurality of side walls under the gate electrode. Forming, removing a plurality of points on both sides of the gate electrode of the fin to generate a source recess and a drain recess extending into the upper surface and the plurality of side walls, and the source recess and the drain recess. A method comprising forming a second material having a second grid having a second grid spacing different from the first grid spacing.

17.

The method according to claim 16, wherein the substrate is not an SOI substrate.

18.

Further including forming a plurality of side shallow groove separation regions on both sides of the plurality of side walls of the main body region in the substrate, the main body region is located at a position higher than the shallow groove separation region, and the shallow groove separation is performed. 17. The method of claim 17, wherein the region has depth.

19.

18. The method of claim 18, wherein the depth of the shallow groove separation region is at least about twice the height of the body region.

20.

19. The device of claim 19, wherein the height of the body region is at least about twice the width of the body region.

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2009-517867
(P2009-517867A)
(43)公表日　平成21年4月30日(2009.4.30)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/78	(2006.01)	H01L	29/78	301S	5F048
H01L 21/8238	(2006.01)	H01L	27/08	321E	5F140
H01L 27/092	(2006.01)	H01L	27/08	321C	

審査請求 有　予備審査請求 未請求　（全 20 頁）

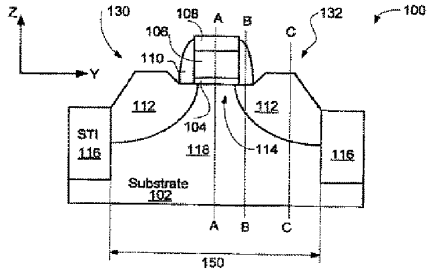
(21)出願番号　特願2008-542489 (P2008-542489)
(86)(22)出願日　平成18年12月7日 (2006.12.7)
(85)翻訳文提出日　平成20年5月26日 (2008.5.26)
(86)国際出願番号　PCT/US2006/047100
(87)国際公開番号　WO2007/075309
(87)国際公開日　平成19年7月5日 (2007.7.5)
(31)優先権主張番号　11/320,309
(32)優先日　平成17年12月27日 (2005.12.27)
(33)優先権主張国　米国 (US)

(71)出願人　591003943
インテル・コーポレーション
アメリカ合衆国　９５０５２　カリフォルニア州・サンタクララ・ミッション　カレッジ　ブーレバード・２２００
(74)代理人　100104156
弁理士　龍華　明裕
(72)発明者　カヴァリロス、ジャック
アメリカ合衆国、９７２２９　オレゴン州、ポートランド、エヌダブリュ　ベル　コート　１４２６０
(72)発明者　ブラスク、ジャスティン
アメリカ合衆国、９７２２９　オレゴン州、ポートランド、エヌダブリュ　ベーヨン　レーン　１２７４８

最終頁に続く

(54)【発明の名称】リセスのあるストレイン領域を有すマルチゲートデバイス

(57)【要約】
発明の実施形態は、多数ゲートを有すデバイスを提供する。デバイス本体金属ゲートのリセス内の応力材料は、デバイスのチャネル領域に応力を生じてよく、これによりデバイスの性能が向上する。
【選択図】図１ａ



【特許請求の範囲】
【請求項1】
第一の格子構造と第一の格子間隔とを持つ第一の結晶格子を持つ半導体材料を含む基板と、
一の上面と、幅分だけ離れ長さの方に延びる複数の側壁とを有す、前記基板の本体領域と、
前記本体領域の前記上面および前記複数の側壁の一部の上のゲート電極と、
前記本体領域内の、前記ゲート電極の両側にあるソースリセスおよびドレインリセスと、
前記第一の格子構造と実質的に同じ第二の格子構造と、前記第一の格子間隔と異なる第二の格子間隔とを持つ第二の結晶格子を持つ第二の材料を含む、前記ソースリセスおよび前記ドレインリセス内の応力材料と、を含む、半導体デバイス。
【請求項2】
前記基板内の前記ソースおよび前記ドレイン間の前記ゲート電極の下であって、前記本体領域の前記上面および前記複数の側壁に隣接する、複数のチャネル領域をさらに含む、請求項１に記載のデバイス。
【請求項3】
前記基板は絶縁膜上半導体（ＳＯＩ）基板ではない、請求項１に記載のデバイス。
【請求項4】
前記本体領域の前記長さが前面浅溝分離領域と背面浅溝分離領域との間である、前記前面浅溝分離領域および前記背面浅溝分離領域と、
前記基板内の、前記本体領域の前記側壁の両側にある複数の側面浅溝分離領域と、をさらに含み、
前記前面浅溝分離領域、前記背面浅溝分離領域、および前記側面浅溝分離領域は一つの深さを持つ、請求項１に記載のデバイス。
【請求項5】
前記ゲート電極下の、前記本体領域の前記上面は、前記側面浅溝分離領域より高い位置にある、請求項４に記載のデバイス。
【請求項6】
前記本体領域の前記高さは、前記本体領域の前記幅の少なくとも約二倍である、請求項５に記載のデバイス。
【請求項7】
前記前面浅溝分離領域、前記背面浅溝分離領域、および前記側面浅溝分離領域の前記深さは、前記本体領域の前記高さの少なくとも約二倍である、請求項５に記載のデバイス。
【請求項8】
前記本体領域の前記高さは、前記本体領域の前記幅の少なくとも約二倍である、請求項７に記載のデバイス。
【請求項9】
前記ソースリセスおよび前記ドレインリセスは、前記本体領域の前記上面に対しておよび前記本体領域の前記複数の側壁に対して窪んでいる、請求項１に記載のデバイス。
【請求項10】
前記ソースおよび前記ドレインは前記第二の材料を含み、前記第二の材料は、前記ソースおよび前記ドレインにおいて、前記上面を越えて垂直に延び、前記本体領域の前記複数の側壁上に水平に延びる、請求項９に記載のデバイス。
【請求項11】
前記第二の格子間隔は前記第一の格子間隔より大きい、請求項１０に記載のデバイス。
【請求項12】
第一の格子構造と第一の格子間隔とを持つ第一の格子を持つ半導体材料を含み、ＳＯＩ基板ではない基板と、

前記基板内の、深さを持つ前面浅溝分離領域、背面浅溝分離領域、および側面浅溝分離領域と、

前記基板の本体領域であって、前記本体領域の少なくとも一部が前記前面浅溝分離領域、前記背面浅溝分離領域、および前記側面浅溝分離領域を超える高さを持ち、且つ前記本体領域は前記前面浅溝分離領域と前記背面浅溝分離領域との間の長さを持ち、前記側面浅溝分離領域間の幅を持つ、本体領域と、

前記本体領域の一の上面および複数の側壁上のゲート電極と、

前記本体領域内の、前記ゲート電極の下の複数のチャネル領域と、

前記本体領域の前記上面および前記複数の側壁に設けられる複数のリセスを含む、前記ゲート電極の両側にあるソースリセスおよびドレインリセスと、

前記第一の格子構造と略同じ第二の格子構造と、前記第一の格子間隔と異なる第二の格子間隔とを持つ第二の格子を持つ、前記ソースおよび前記ドレイン領域内の第二の材料と、を含む半導体デバイス。

【請求項13】

前記幅は約２０ナノメートルから約４０ナノメートルの間であり、前記高さは前記幅の約１．８倍から前記幅の約２．２倍の間である、請求項１２に記載のデバイス。

【請求項14】

前記高さは約４００オングストロームから約６００オングストロームの間であり、前記深さは約９００オングストロームから約１１００オングストロームの間である、請求項１３に記載のデバイス。

【請求項15】

前記第二の材料は、前記ソースおよび前記ドレインにおいて前記本体領域の前記上面および前記複数の側壁を超えて延びる、請求項１４に記載のデバイス。

【請求項16】

第一の格子構造と第一の格子間隔とを持つ第一の格子を持つ半導体材料を含む基板の複数の箇所を除去して、一の上面および複数の側壁を持ち前記複数の側壁間の幅を持つフィンを形成することと、

前記フィンの前記上面および前記複数の側壁上にゲート電極を、前記ゲート電極の下に前記上面および前記複数の側壁に隣接する複数のチャネル領域が存在するように形成することと、

前記フィンの、前記ゲート電極の両側の複数の箇所を除去して、前記上面および前記複数の側壁内へ延びるソースリセスおよびドレインリセスを生じることと、

前記ソースリセスおよび前記ドレインリセスの前記第一の格子間隔と異なる第二の格子間隔を持つ第二の格子を持つ第二の材料を形成することと、を含む方法。

【請求項17】

前記基板はＳＯＩ基板ではない、請求項１６に記載の方法。

【請求項18】

前記基板内の本体領域の前記複数の側壁の両側に、複数の側面浅溝分離領域を形成することをさらに含み、前記本体領域は、前記浅溝分離領域より高い位置にあり、前記浅溝分離領域は深さを持つ、請求項１７に記載の方法。

【請求項19】

前記浅溝分離領域の前記深さは、前記本体領域の前記高さの少なくとも約二倍である、請求項１８に記載の方法。

【請求項20】

前記本体領域の前記高さは、前記本体領域の前記幅の少なくとも約二倍である、請求項１９に記載のデバイス。

【発明の詳細な説明】

【背景技術】

【0001】

基板上の回路デバイス（例えば、半導体基板上の集積回路（ＩＣ）トランジスタ、抵抗器、コンデンサなど）の性能が向上したことは、典型的にこれらデバイスの設計、製造、

動作において考慮される主たる要素である。例えば、相補型金属酸化膜半導体（ＣＭＯＳ）で利用されるようなものなどの金属酸化物半導体（ＭＯＳ）トランジスタ半導体デバイスの設計、製造、あるいは形成においては、Ｎ－型ＭＯＳデバイス（ＮＭＯＳ）チャネル中の負電荷の電子の移動度が増し、Ｐ－型ＭＯＳデバイス（ＰＭＯＳ）チャネル中の正電荷の正孔の運動が増すことがしばしば望ましい。

【図面の簡単な説明】

【0002】

【図1a-1e】図１ａ－１ｅは、本発明の一実施形態の半導体デバイスを示す断面側面図である。

【0003】

【図2】デバイスを形成しうる基板を示す断面側面図である。

【0004】

【図3】ＳＴＩ領域が形成された後の基板を示す断面側面図である。

【0005】

【図4】ＳＴＩ領域の幾らかの部分が除去されてフィンが形成された後のデバイスを示す断面側面図である。

【0006】

【図5】形成後のフィンを示す斜視図である。

【0007】

【図6】ＳＴＩ領域本体表面に形成されるゲート誘電体材料層を示す断面側面図である。

【0008】

【図7】ゲート誘電体材料層上に堆積されるゲート電極を形成する材料層を示す断面側面図である。

【0009】

【図8】ゲート電極材料上に形成されたハードマスク層を示す断面側面図である。

【0010】

【図9】ハードマスクをパターニングして、ゲート電極材料およびゲート誘電体材料の領域を除去した後のデバイスを示す斜視図である。

【0011】

【図10】スペーサ形成後のデバイスを示す断面側面図である。

【0012】

【図11】本体にリセス形成後のデバイスを示す断面側面図である。

【0013】

【図12】リセス内にソースおよびドレイン材料が形成された後のデバイスの断面側面図である。

【0014】

【図13】本発明の一実施形態によるシステムを示すブロック図である。

【発明を実施するための最良の形態】

【0015】

様々な実施形態において、ストレインされたマルチゲートデバイスの形成に関する装置および方法を記載する。以下の記載において、様々な実施形態を記載する。しかし当業者であればこの様々な実施形態が一以上の特定の詳細なしに実施されうること、あるいは他の置き換えおよび／または追加的方法、材料、あるいは部材とともに実施されうることを理解するであろう。他の場合においては、本発明の様々な実施形態の色々な局面を曖昧にしない目的から、公知の構造、材料、あるいは動作が示されておらず、あるいは詳細には記載されていない。同様に、説明の目的上、特定の数、材料、および構成を述べて、本発明の完全な理解を提供するようにしている。しかし本発明は特定の詳細なしにも実施可能である。さらに図面に示した様々な実施形態は例示的表現であって、必ずしも原寸に比例していない。

【0016】

本明細書の随所に利用される「一実施形態」あるいは「実施形態」という言及は、該実施形態との関連で記載される特定のフィーチャ、構造、材料、あるいは特徴が本発明の少なくとも一実施形態に含まれることを示すが、それらが全ての実施形態に存在することを意味しない。故に、「一実施形態において（”in one embodiment” ”in an embodiment”）」というフレーズは本明細書の随所に出てくるが、これらは必ずしも発明の同じ実施形態のことを言っているわけではない。さらに、特定のフィーチャ、構造、材料、あるいは特徴は一以上の実施形態において適切な方法で組み合わせることができる。様々な追加的層および／または構造が含まれてよく、および／または記載されるフィーチャは他の実施形態では省かれてもよい。

【0017】

最大限本発明の理解の助けとなるよう、様々な動作を多数の別個の動作として記載する。しかし、記載に順序があるからといって、これら動作が必ずしも順序に依存していることを示唆しているとみなされるべきではない。特に、これら動作は提示される順序で行われる必要はない。記載された動作は記載された実施形態とは異なる順序で行われてもよい。様々な追加的動作を行うことができ、および／または記載された動作はさらなる実施形態では省かれてもよい。

【0018】

応力を加えられたチャネルを持つ非平面マルチゲート（トライゲートなど）のトランジスタおよびその製造方法を開示する。トランジスタは半導体本体のリセス内に応力材料を含み、チャネル領域に応力を与えてキャリア移動度を向上させてよい。さらにキャリア移動度が高まるとトランジスタドライブ電流が増加する。本発明の一実施形態においては、チャネル領域に隣接する半導体本体の全ての側面のリセス内に応力材料が形成されてよい。これによりチャネルの全ての側面に応力がかかることになり、広域において応力がかけられデバイス性能が向上する。半導体本体は、絶縁膜上半導体（ＳＯＩ）基板ではない半導体基板から形成されてもよい。

【0019】

図１ａは本発明の一実施形態の半導体デバイス１００を示す断面側面図である。図１ａの断面側面図はＺ－Ｙ平面が画定する平面で切断されている。他の図面はＺ－Ｙ平面に垂直なＺ－Ｘ平面における断面側面図であってよい。またその他の図面はＸ、Ｙ、Ｚ全ての三次元を示す斜視図であってよい。ここでは、デバイス１００の「長さ」はＹ方向で測定され、「幅」はＸ方向で測定され、「高さ」はＺ方向で測定される。

【0020】

幾らかの実施形態においてデバイス１００は、基板１０２上に形成されるマルチゲートトランジスタであってよい。ここに示す実施形態において、デバイス１００はトライゲートトランジスタとして示されるが、他の実施形態においては、デバイス１００は他の種類のトランジスタあるいは他のデバイスであってもよい。基板１０２は、半導体デバイスを構築しうる基礎としての役目を果たす任意の材料を含んでよい。基板１０２は、シリコンを含む基板１０２であってよい。一実施形態においては、シリコン基板１０２は単結晶シリコン、ガリウム砒化物、あるいは別の適切な材料などの半導体材料を含んでよい。幾らかの実施形態においては、基板１０２はバルク半導体基板１０２であってＳＯＩ基板ではなくてよい。つまり基板１０２は、ＳＯＩ基板には存在する埋め込み酸化層を含まなくてよい。一実施形態においては、基板１０２は格子構造および格子間隔を持つ結晶格子を持つ半導体材料を含んでよい。

【0021】

デバイス１００は本体１１８（幾らかの実施形態においては「フィン」と称されることもある）を含んでよい。本体１１８は、図1の実施形態に示されるように、基板１０２の領域であってよい。他の実施形態においては、本体１１８は基板１０２とは異なる層であってよい。一実施形態においては、本体１１８は上面と複数の側壁とを持ち、デバイス１００の幾らかの他の部分上に突出してフィンの形をしていてよい。一実施形態においては、本体１１８は格子構造および格子間隔を持つ結晶格子を持つ半導体材料を含んでよい。

本体１１８は単に基板１０２の一領域であってよいので、本体１１８は本体１０２と同じ格子構造および格子間隔を持つ同じ結晶構造を持ってよい。本体１１８はフィンの形をしていてよく、長さ１５０を持ってよい。

【0022】

本体１０８上にはゲート誘電体層１０４があってよい。ゲート誘電体層１０４は任意の適切な種類の誘電体材料を含んでよい。本発明の一実施形態においては、ゲート誘電体層１０４は、二酸化ケイ素（SiO_2）、酸窒化ケイ素（SiO_xN_y）あるいは窒化ケイ素（Si_3N_4）誘電体層１０４であってよい。本発明の別の実施形態においては、ゲート誘電体層１０４は、金属酸化誘電体などの高Kゲート誘電体層（high-K gate dielectric layer）であってよく、これらに限られないが五酸化タンタル（Ta_2O_5）HfO_2、ZrO_2、および酸化チタン（TiO_2）などの材料を含んでよい。

【0023】

ゲート電極１０６およびゲート誘電体層１０４があってよい。ゲート電極１０６は任意の適切なゲート電極材料で形成されてよい。一実施形態においては、ゲート電極１０６はポリシリコンを含んでよく、ドープされてよい。ゲート電極１０６は他の実施形態においては金属ゲート電極であってよく、タングステン、タンタル、チタニウム、あるいはそれらの窒化物などの材料、合金あるいは別の材料を含んでよい。ゲート電極１０６の下には、本体１１８のチャネル領域１１４があってよい。

【0024】

ゲート電極１０６上にはハードマスク層１０８があってよい。ハードマスク層１０８は、ゲート電極１０８のパターニングに適した任意の材料を含んでよい。

【0025】

スペーサ１１０が、ゲート誘電体層１０４、ゲート電極１０６、およびハードマスク層１０８に隣接していてよい。スペーサ１１０は、窒化ケイ素、窒化アルミニウム、あるいは別の材料などの任意の適切な材料を含んでよい。幾らかの実施形態においては、スペーサ１１０の上面はハードマスク層１０８の上面ほど高くなくてよい。

【0026】

本体１１８のゲート電極１０６の両側面のリセスには、ソースおよびドレイン材料１１２があってよい。ソースおよびドレイン材料１１２は、本体１１８の格子構造と略同じ格子構造を持ってよく、本体の格子間隔とは異なる格子間隔を持ってよい。ソースおよびドレイン材料１１２はこうしてチャネル領域１１４内にストレインを生じ、デバイス１００の性能を向上させてよい。例えば、ソースおよびドレイン材料１１２は本体１１８の材料より大きい格子間隔を持ってよく、これによりチャネル領域１１４には圧縮応力が生じる。この圧縮応力はＰ－型ＭＯＳデバイス（ＰＭＯＳ）チャネルの正電荷の正孔の運動を増加させることで性能を向上させてよい。別の実施形態においては、ソースおよびドレイン材料１１２は本体１１８の材料よりも格子間隔が小さくてよく、こうするとチャネル領域１１４に引張応力を生じる。この引張応力は、Ｎ－型ＭＯＳデバイス（ＮＭＯＳ）チャネルの負電荷の電子の運動を増加させることで性能を向上させてよい。ソースおよびドレイン材料１１２は、シリコンゲルマニウム（ＳｉＧｅ）、シリコンカーバイド（ＳｉＣ）、ニッケルシリサイド（ＮｉＳｉ）、チタニウムシリサイド（$TiSi_2$）、コバルトシリサイド（$CoSi_2$）、あるいはチャネル領域１１４に応力を加える他の適切な材料を含んでよい。デバイス１００がソース１３０およびドレイン１３２を含む実施形態においては、ソースおよびドレイン材料１１２はソース１３０およびドレイン１３２の全てあるいは一部を含んでよい。

【0027】

またデバイス１００を同一の基板１０２上の他のデバイスから隔離する、正面および背面浅溝分離（ＳＴＩ）領域１１６があってもよい。ＳＴＩ領域１１６は任意の適切な材料を含んでよい。

【0028】

図１ｂは本発明の一実施形態の半導体デバイス１００を図示する図１ａの線Ａ－Ａにお

ける断面側面図である。図１ｂの断面側面図は、図１ａのＺ－Ｙ平面に垂直なＺ－Ｘ平面で画定される平面における断面側面図である。図１ｂはデバイス１００のマルチゲート側面をより明確に示す。

【0029】

デバイス１００は、デバイス１００を同じ基板１０２上の他のデバイスからデバイス１００を隔離する側面ＳＴＩ領域１１７を含んでよい。ＳＴＩ領域１１７は任意の適切な材料を含んでよい。

【0030】

デバイス１００の三次元マルチゲート特性が図１ｂからより明確に分かる。誘電体層１０４は本体１１８の上面１２２および側壁１２０に隣接してよい。同様に、ゲート電極１０６は図１ｂに示す実施形態の本体１１８の三つの側面全てに隣接してよい。これにより、単なる単一チャネル領域１１４ではなくて、上面および側面において三つのチャネル領域１１４が生じる。本体１１８の側壁１２０のチャネル領域１１４を含むチャネル領域１１４は、ここでゲート電極１０６の「下」にあるとして言及される。ゲート電極１０６が本体１１８の側壁１２０にあるチャネル領域１１４に水平方向に隣接する際にも、依然ゲート電極１０６の「下」にあるとみなされ、そのように記載および請求される。本体１１８の三側面にゲート電極１０６を持つこのようなデバイス１００は、三つのチャネル領域１１４を生じ、トライゲートデバイス１００と称されてよい。図１ｂに示すように、ゲート電極１０６はさらに本体１１８に合致してＳＴＩ領域１１７に隣接してよく、ハードマスク層１０８はゲート電極１０６に合致してよい。

【0031】

本体１１８は、ゲート電極１０６の中央部の下に、ＳＴＩ領域１１７の上面から本体１１８の上面までを測定した高さ１５２を持ってよい。また本体１１８は本体１１８の非リセス部で測定した幅１５６を持ってよい（線Ａ－Ａが通る本体１１８の部分で測ったときのもの、線Ｂ－ＢあるいはＣ－Ｃを通る本体１１８の部分の上面においては、本体１１８がへこんでいるので、これら箇所においてではない）。ゲート電極１０６は本体１１８の上面からゲート電極１０６の上面までを測定された高さ１５４を持ってよい。ＳＴＩ領域１１７は、ＳＴＩ領域１１７の上面からそのより低い境界までを測定された深さ１５８を持ってよい。ＳＴＩ領域１１６の深さはＳＴＩ領域１１７の深さ１５８と略同じであってよい。

【0032】

一実施形態においては、ＳＴＩ領域の深さ１５８は本体１１８の高さ１５２の約二倍であってよい。別の実施形態においては、ＳＴＩ領域の深さ１５８は本体１１８の高さ１５２の約二倍以上であってよい。別の実施形態においては、ＳＴＩ領域の深さ１５８は、本体１１８の高さ１５２の約１．８倍から本体１１８の高さ１５２の約２．２倍であってよい。

【0033】

一実施形態においては、ゲート電極１０６の高さ１５４は、本体１１８の高さ１５２の約二倍であってよい。一実施形態においては、ゲート電極１０６の高さ１５４は、本体１１８の高さ１５２の約二倍より高くてよい。一実施形態においては、ゲート電極１０６の高さ１５４は本体１１８の高さ１５２の約２／３より高くてよい。また別の実施形態においては、ゲート電極１０６の高さ１５４は、本体１１８の高さ１５２の約１．８倍から本体１１８の高さ１５２の約２．２倍の間であってよい。また別の実施形態においては、ゲート電極１０６の高さ１５４は、本体１１８の高さ１５２の約１．５倍から本体１１８の高さ１５２の約２倍の間であってよい。また別の実施形態においては、ゲート電極１０６の高さ１５４は本体１１８の高さ１５２の約１．５倍から本体１１８の高さ１５２に略等しい間であってよい。他の実施形態においては、電極１０６の高さ１５４はこれより小さくても大きくてもよい。

【0034】

本体１１８の高さ１５２は一実施形態においては本体１１８の幅１５６の約二倍であっ

てよい。別の実施形態においては、本体１１８の高さ１５２は本体１１８の幅１５６の約二倍より大きくてよい。別の実施形態においては、本体１１８の高さ１５２は本体１１８の幅１５６の約１．８倍から本体１１８の幅１５６の約２．２倍であってよい。本体１１８の高さ１５２の他の寸法および本体１１８の幅１５６が他の実施形態で利用されてもよい。幾らかの実施形態においては、本体１１８の幅１５６を、チャネル領域１１４が動作中に略完全に枯渇するように選択してもよい。故に、幾らかの実施形態においては、基板１０２が高ドープされている場合、幅１５６は、略完全な枯渇を生じるよう、より小さくてよい。

【0035】

一実施形態においては、本体１１８は、約２０ナノメートルの幅１５６と約４０ナノメートルの高さ１５２とを持ってよく、ゲート電極１０６の高さ１５４は少なくとも４０ナノメートルであり、ＳＴＩ領域１１６、１１７の深さ１５８は少なくとも４０ナノメートルであってよい。一実施形態においては、ＳＴＩ領域１１６、１１７の深さ１５８は本体１１８の高さ１５２の約二倍から本体１１８の高さ１５２の約三倍の間であってよいが、他の実施形態においてＳＴＩ領域１１６、１１７は異なる深さを持ってよい。別の実施形態においては、ゲート電極１０６の高さ１５４は約３０ナノメートル、本体１１８幅１５６は約２０ナノメートルから約４０ナノメートルの間であってよい。幾らかの実施形態においては、本体１１８高さ１５２は約２０ナノメートルから約１００ナノメートルの間であってよい。幾らかの実施形態においては、本体１１８幅１５６は約１０ナノメートルから約５０ナノメートルの間であってよい。また別の実施形態においては、デバイス１００の構造は異なる寸法を持ってよい。

【0036】

図１ｃは、本発明の一実施形態の半導体デバイス１００を示す図１ａの線Ｂ－Ｂの断面側面図である。図１ｃから分かるように、フィン１１８は三側面全てでリセス、エッチングされており（上面および二側壁）、エッチングはスペーサ１１０の下でアンダーカットされている。ソースおよびドレイン材料１１２はフィン１１８の三側面全てに存在して、これによりフィン１１８の三側面全てに対して応力をかけてよい。図１ｃにおいては、ハードマスク１０８がスペーサ１１０の後ろに見えるが、線Ｂ－Ｂの断面はハードマスク１０８を通らない。

【0037】

図１ｄは、本発明の一実施形態の半導体デバイス１００を示す図１ａの線Ｃ－Ｃにおける断面側面図である。図１ｄから分かるように、図１ｃと比べると、フィン１１８のより多くの部分がスペーサ１１０からさらにエッチングにより除去されており、スペーサ１１０の下をエッチングされた、より少ないフィン１１８を示す。点線１２４は、エッチングされて本体１１８のリセスを形成する前の、フィン１１８の元の境界を示す。図１ｄに示す実施形態においては、ソースおよびドレイン材料１１２がフィン１１８のリセスに形成され、さらにフィン１１８の前の境界１２４を越えて広がる。さらに、一実施形態においては、フィン１１８の全ての三側面のリセスおよび全ての三側面のソースおよびドレイン材料１１２上にリセスがあってよく、これにより三チャネル領域１１４全てに応力がかけられてよい。（図１ｄにおいては、ハードマスク１０８およびスペーサ１１０がソースおよびドレイン材料１１２の背後に見えるが、線Ｃ－Ｃの断面はハードマスク１０８もスペーサ１１０も横切らない）。ゲート電極１０６の高さ１５４が本体１１８の高さ１５２より低い幾らかの実施形態においては、ゲート電極１０６をソース領域１３０およびドレイン領域１３２から隔てるスペーサ１１０を形成することで、フィン１１８の側面のリセスが制限される。このような実施形態においては、ソースおよびドレイン材料１１２の殆どが本体１１８の上部にあってよい。

【0038】

図１ｅは、本発明の別の実施形態の半導体デバイス１００を示す図１ａの線Ｃ－Ｃにおける断面側面図である。図１ｅの実施形態においては、図１ｄの実施形態よりも多くのフィン１１８の部分がエッチングで除去され、より深いリセスが生じている。本実施形態に

おいては、ソースおよびドレイン材料１１２がリセス内で成長しているが、フィン１１８の元の境界を越えてはいない。（他の実施形態においては、ソースおよびドレイン材料１１２は図１ｅに示す限界を超えてもよい。）三側面１１８全てのソースおよびドレイン材料１１２は三チャネル領域１１４全てに応力をかけてもよい。（図１ｅにおいては、ソースおよびドレイン材料１１２の背後のハードマスク１０８およびスペーサ１１０が省かれている）。

【0039】

図２から図１２は、一実施形態による図１のデバイス１００の形成段階を示す。

【0040】

図２は、一実施形態によるデバイス１００が形成されうる基板１０２の断面側面図を示す。基板１０２は、デバイス１００が形成されうる任意の適切な材料を含んでよい。一実施形態においては、基板１０２はバルク単結晶シリコン材料（ＳＯＩ基板ではないので、埋め込み酸化層を持たない）。このような実施形態においては、埋め込み酸化層が位置する深さにより制限されるのではなく、ソースおよびドレイン材料１１２のリセスは望ましい程度に深く形成される。これにより、チャネル領域１１４にはより深いリセス、およびより大きな応力が加えられ得、性能を向上させうる。他の実施形態においては、ガリウム砒化物あるいは他の材料などの他の半導体材料を利用してよい。

【0041】

図３はＳＴＩ領域１１６、１１７が形成された後の基板１０２を示す断面側面図である。一実施形態においては、基板１０２の幾らかの部分が保護されてよく、保護されない部分は除去されて溝を形成してよく、ＳＴＩの利用目的に適した材料を溝内に堆積してよい。幾らかの実施形態においては、前面および背面のＳＴＩ領域１１６および側面ＳＴＩ領域１１７が同時に形成されてよい。前面および背面のＳＴＩ領域１１６が形成される溝間の距離により、フィン１１８の長さ１５０が画定されてよく、側面ＳＴＩ領域１１７が形成される溝間の距離により、フィン１１８の幅１５６が画定されてよい。ＳＴＩ領域１１６、１１７の深さは、本体１１８の望ましい高さ１５２および望ましいＳＴＩの深さ１５８に基づき選択されてよい。

【0042】

図４は、一実施形態による、ＳＴＩ領域１１６、１１７の幾らかの部分が除去されてフィン１１８を形成した後のデバイス１００を示す断面側面図である。一実施形態においては、ＳＴＩ領域１１６、１１７の幾らかの部分は、フッ化水素酸で除去されてよい。他の実施形態においては、ＲＩＥドライエッチングなどの他の方法を利用してよい。幾らかの実施形態においては、除去される元のＳＴＩ領域１１６、１１７の量によって本体１１８の高さ１５２が決定されてよい。故に、除去される元々存在するＳＴＩ領域１１６、１１７は、本体１１８の望ましい高さ１５２を基に決定されてよい。残りのＳＴＩ領域１１６、１１７の量により、ＳＴＩ領域１１６、１１７の深さ１５８が決定される。故に、ＳＴＩ領域１１６、１１７の一部を除去した後、残りの基板１０２およびＳＴＩ領域１１６、１１７の上に広がる本体あるいはフィン１１８が画定される。

【0043】

図３に関して述べたように、図３に示すＳＴＩ領域１１６、１１７の元の深さは、本体１１８の望ましい高さ１５２および望ましいＳＴＩ領域１１６、１１７の深さ１５８に基づき選択されてよい。ＳＴＩ領域１１６、１１７の元の深さは、フィン１１８形成後の本体の高さ１５２およびＳＴＩ領域１１６、１１７の深さ１５８両方を含むので、ＳＴＩ領域１１６、１１７の元の深さは、本体１１８の組み合わせた高さ１５２およびＳＴＩ領域１１６、１１７の深さに少なくとも等しいよう選択される。一実施形態においては、ＳＴＩ領域１１６、１１７は、本体１１８の高さ１５２の約少なくとも二倍の深さ１５８を持ってよい。一実施形態においては、ＳＴＩ領域１１６、１１７の元の深さは、図３に示すように、約１５００オングストロームであってよい。フィン１１８の形成後、図４が示すように、フィン１１８は約５００オングストロームの高さ１５２を持ってよく、ＳＴＩ領域１１６、１１７は約１０００オングストロームの深さ１５８を持ってよい。別の実施形

態においては、ＳＴＩ領域１１６、１１７の元の深さは、図３に示すように、約１０００オングストロームと約３０００オングストロームの間にあってよい。また別の実施形態においては、ＳＴＩ領域１１６、１１７の元の深さは異なっていてよい。フィン１１８の形成後に、図４に示すように、フィン１１８は元の深さの約１／３以下の高さ１５２を持ってよく、ＳＴＩ領域１１６、１１７は元の深さの約２／３以上の深さ１５８を持ってよい。他の実施形態においては、ＳＴＩ領域１１６、１１７の深さ１５８の比較で表されるフィン１１８の高さ１５２の大きさは異なっていてよい。

【0044】

図５は、一実施形態による、ＳＴＩ領域１１６、１１７の幾らかの箇所を除去することで形成された後のフィン１１８を示す斜視図である。正面および背面ＳＴＩ領域１１６および側面ＳＴＩ領域１１７は、ＳＴＩ領域１１６、１１７上に突出するフィン１１８を囲んでよい。本体１１８はＳＴＩ領域１１６、１１７を通り、基板１０２の残りの方へ下に延びる。点線１２５は、基板１０２の他の領域に合致するよう延びる、ＳＴＩ領域１１６、１１７の上面より下の本体１１８の境界を示す。さらに図５に示されているのは、フィン１１８の長さ１５０、フィンの幅１５６、フィン１１８の高さ１５２、およびＳＴＩ領域１１６、１１７の幅１５８である。フィン１１８は上部においては、ＳＴＩ領域１１６、１１７と接する点においてよりも僅かに短く、僅かに幅が狭くてもよいが、図面は理想的な表現を示す。幾らかの実施形態において、このテーパ形状は実際的な限り避けられ、側壁は真っ直ぐに保たれている。

【0045】

図６は、一実施形態による、本体１１８およびＳＴＩ領域１１６、１１７の表面に形成されるゲート誘電体１０４材料層を示す断面側面図である。ゲート誘電体層１０４の材料は任意の適切な種類の誘電体材料を含んでよい。

【0046】

図７は、ゲート誘電体層１０４材料に堆積されるゲート電極１０６を形成する材料層を示す断面側面図である。幾らかの実施形態において、ゲート電極１０６を形成する材料層は、単一材料の単一層を持ってよい。他の実施形態においては、多数の異なる材料を利用してよく、多材料層があってよい。故に、幾らかの実施形態においては、ゲート電極１０６は、単一層として示されるが、異なる材料からなる多層を含んでもよく、ここでは単一材料層として称されていても実際には多層を含んでもよい。ゲート電極１０６は任意の適切なゲート電極材料により形成されてもよい。一実施形態においては、ゲート電極１０６は、ポリシリコンを含んでよく、これはドープされてもよい。別の実施形態のいては、ゲート電極１０６は金属層上にポリシリコン層を含んでよい。また別の実施形態においては、ゲート電極１０６は、異なる材料の層を含んでよく、二を超える数の層を含んでよい。ゲート電極１０６を形成する材料層は、一実施形態においては本体１１８の高さ１５２の少なくとも約二倍の厚みを持ってよいが、他の実施形態では異なる厚みであってよい。ゲート電極１０６を形成する材料層は適合的に（conformally）堆積されてよい。

【0047】

図８は、本発明の一実施形態による、ゲート電極１０６材料上に形成されるハードマスク層１０８を示す断面側面図である。ハードマスク１０８は、除去されるのが望ましい領域を露出しながら、その場に残すのが望ましいゲート電極１０６材料およびゲート誘電体１０４材料の領域を保護するようにパターニングされてよい。ゲート電極１０６材料およびゲート誘電体１０４材料の露出領域は、任意の適切な方法により除去されてよい。

【0048】

図９は、一実施形態による、ハードマスク１０８のパターニング、および除去が望ましいゲート電極１０６材料およびゲート誘電体１０４材料の領域の除去後のデバイス１００を示す。ゲート誘電体層１０４、ゲート電極１０６、およびハードマスク層１０８は、本体１１８の三側面（上面および両側壁）全てに隣接しているのが分かる。簡潔化目的から、ゲート誘電体層１０４、ゲート電極１０６、およびハードマスク層１０８は別個に示されてはいない。三側面全てにゲート電極を隣接させることで、効果的なデバイス１００の

ゲート幅を本体１１８の幅１５６プラス本体１１８の高さ１５２の二倍とすることができる。距離１６０はデバイス１００のゲート長である。一実施形態においては、距離１６０は約１０ナノメートルから約５０ナノメートルの間であってよい。他の実施形態においては、距離は、例えば２ミクロンまでなど、これより長くても短くてもよい。

【0049】

図１０は、本発明の一実施形態による、スペーサ１１０の形成後のデバイス１００を示す断面側面図である。幾らかの実施形態においては、スペーサ１１０形成の前に先端ジャンクションの形成などの追加的な工程を行ってもよい。スペーサ１１０の形成は任意の適切な方法で行うことができる。一実施形態にオいては、スペーサ１１０材料層がデバイス１００上に堆積されてよい。この材料は、窒化ケイ素、二酸化ケイ素あるいは別の材料などの任意の適切な材料を含んでよい。その後、ゲート誘電体層１０４、ゲート電極１０６、およびハードマスク１０８に隣接するスペーサ１１０は残して、本体１１８がＳＴＩ領域１１６、１１７に接する場所に隣接するスペーサ１１０材料層の部分、およびその他の領域について実質的に除去するよう、スペーサ１１０材料層の部分を除去してよい。この結果、スペーサ１１０の上部はハードマスク１０８の上部より下になる。

【0050】

図１１は、本発明の一実施形態による、本体１１８にリセス１２６が形成された後のデバイス１００を示す断面側面図である。リセス１２６はソースおよびドレインリセスと称されてよい。リセス１２６は、ウェットエッチングなど、任意の適切な方法により形成されてよい。リセス１２６は、幾らかの実施形態においては、ゲート誘電体１０４に隣接する本体１１８の上面下に、約５０オングストロームから約１０００オングストロームの間の深さ１６２を持つが、他の実施形態においては異なる深さ１６２が可能である。一実施形態においては、リセス１２６は側壁１１０およびおそらくゲート誘電体１０４の下に横方向に、５ナノメートルから約５０ナノメートルの距離１６４に亘り延びてよいが、他の実施形態において距離１６４は異なっていてよい。基板１０２が非ＳＯＩ基板である幾らかの実施形態においては、リセス１２６はＳＯＩ基板で可能な深さよりも深くしてもよい、というのもＳＯＩ基板においては埋め込み酸化層の深さは、リセス１２６の最大可能深さを表すからである。リセス１２６をより深くすることにより、チャネル領域１１４にはより大きな応力がかけられることになり、これにより、ＳＯＩに基づくデバイスのより低い応力により可能となる性能よりも高い性能が生じる。

【0051】

フィン１１８の上面の部分を除去するのに利用される工程により、さらにフィン１１８の側壁の箇所が除去されてもよい、というのも幾らかの実施形態においては利用する工程が部分的にあるいは完全に等方性だからである。このような除去工程の結果は、上述した図１ｃから図１ｅに見ることができるが、これら図面においては、ゲート電極１０６から様々な距離で除去されたフィン１１８の側壁の部分が示されている。

【0052】

図１２は、一実施形態による、ソースおよびドレイン材料１１２がリセス１２６内に形成された後のデバイス１００を示す断面側面図である。ソースおよびドレイン材料１１２はデバイス１００のソースおよびドレインとして機能してよい、あるいは、デバイス１００のソースおよびドレインの一部として機能してよい。一実施形態においては、ソースおよびドレイン材料１１２は、シリコンゲルマニウム（ＳｉＧｅ）、シリコンカーバイド（ＳｉＣ）、ニッケルシリサイド（ＮｉＳｉ）、チタニウムシリサイド（$TiSi_2$）、コバルトシリサイド（$CoSi_2$）、その他の材料を含んでよい。

【0053】

一実施形態においては、基板１０２は、格子構造（たとえば、ベースセンター立方（base centered cubic）その他の格子構造）および格子間隔を有す材料を含む。ソースおよびドレイン材料１１２は、基板１０２の材料と同じ格子構造を有し、異なる格子間隔を有してよい。このように異なる格子間隔を有す結果、デバイス１００のチャネル領域１１４に応力が生じることがある。ソースおよびドレイン材料１１２が、基板１１２材料のもの

より大きな格子間隔を有すと、チャネル領域１１４には圧縮応力１７０が生じることがある。ソースおよびドレイン材料１１２が、基板１１２材料のものより小さな格子間隔を持つと、チャネル領域１１４には引張応力（不図示）が生じることがある。故に、ソースおよびドレイン材料１１２は、デバイス１００のチャネル１１４領域内に応力を生じるので、応力材料（stress material）１１２と称されることもある。

【0054】

一実施形態においては、基板１０２は単結晶シリコンを含んでよく、リセス１２６内のソースおよびドレイン材料１１２は、シリコンよりも大きな格子間隔を持つシリコンゲルマニウムを含んでよい。この実施形態においては、ＳｉＧｅ応力材料は、圧縮応力１７０をチャネル領域１１４内に生じさせ得、これによりＰＭＯＳデバイス１００の性能を向上させうる。他の実施形態においては、応力材料１１２は、チャネル領域１１４内に引張応力を生じさせ得、これによりＮＭＯＳデバイス１００の性能を向上させうる。リセス１２６をフィン１１８の両側面およびフィン１１８の上面、リセス１２６内のフィン１１８の両側面および上面に形成することができるので、三チャネル領域１１４全てに応力をかけることができる。

【0055】

一実施形態においては、応力材料１１２はエピタキシャル形成されてよいが、他の工程を利用することもできる。図１２に示すように、エピタキシャル形成されるソースおよびドレイン材料１１２はフィン１１８を含んでいたボリュームを越えてよい。他の実施形態においては、応力材料１１２はフィン１１８の上面に対して略共平面性を有してよい。

【0056】

幾らかの実施形態においては、ソースおよびドレイン材料１１２は、形成時にドープされる。例えば、応力材料１１２がエピタキシャル形成されるＳｉＧｅを含む実施形態においては、成長中にドーパントがＳｉＧｅ中に組み込まれてよい。このような実施形態においては、イオン注入あるいはアニーリングステップは必要とされなくてよい。他の実施形態においては、ソースおよびドレイン材料をデバイス１００のソースおよびドレインに変えるべく、ソースおよびドレイン材料１１２が形成された後にソースおよびドレイン材料１１２にイオンが注入されてよい。

【0057】

当業者であれば理解するように、さらなる工程ステップを行い、デバイス１００を完成させてよい。

【0058】

図１３は、本発明の一実施形態によるシステム１３００を示すブロック図である。上述のようにチャネル領域１１４内に応力を生じさせる応力材料１１２を含む一以上のマルチゲートデバイス１００が図１３のシステム１３００に含まれてよい。示されているように、本実施形態においては、システム１３００が、データ処理用に計算デバイス１３０２を含む。計算デバイス１３０２はマザーボード１３０４を含んでよい。特にプロセッサ１３０６、およびバス１３１０に連結されるネットワークインタフェース１３０８がマザーボード１３０４に連結されていてよい、あるいはマザーボード１３０４の一部であってよい。チップセットがバス１３１０の一部あるいは全体を形成してもよい。プロセッサ１３０６、チップセット、および／または他のシステム１３０６の部分が上述のように一以上のデバイス１００を含んでもよい。

【0059】

用途に応じて、システム１３００は、揮発性および不揮発性メモリ１３１２、（マザーボード４０４に集積される、またはＡＧＰあるいはＰＣＩ－Ｅグラフィックプロセッサのような別個の取り外し可能な部材としてマザーボードに接続されている）グラフィックプロセッサ、デジタル信号プロセッサ、暗号化プロセッサ、大容量記憶装置１３１４（ハードディスク、コンパクトディスク（ＣＤ）、デジタルビデオディスク（ＤＶＤ）など）、入力および出力デバイス１３１６などを含むがそれに限られない他の部材を含んでよい。

【0060】

様々な実施形態においては、システム１３００は携帯情報端末（ＰＤＡ）、携帯電話、タブレット計算デバイス、ラップトップ計算デバイス、デスクトップ計算デバイス、セットトップボックス、娯楽制御部、デジタルカメラ、デジタルビデオレコーダ、ＣＤプレーヤ、ＤＶＤプレーヤ、その他同様のデジタルデバイスであってよい。

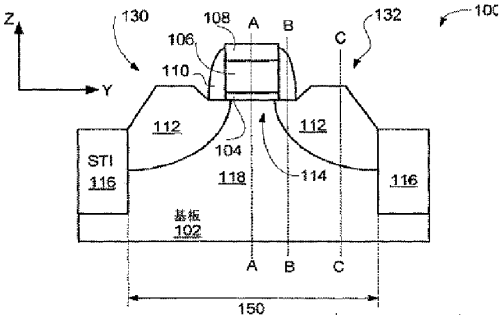
【0061】

図１３の一以上の部材１３０６、１３１４などの任意のものは、ここに記載するデバイス１００を一以上含んでよい。例えば、ＳｉＧｅ応力材料１１２を含むトライゲートトランジスタ１００がＣＰＵ１３０６、マザーボード１３０４、グラフィックプロセッサ、デジタル信号プロセッサ、その他のデバイスの一部であってよい。

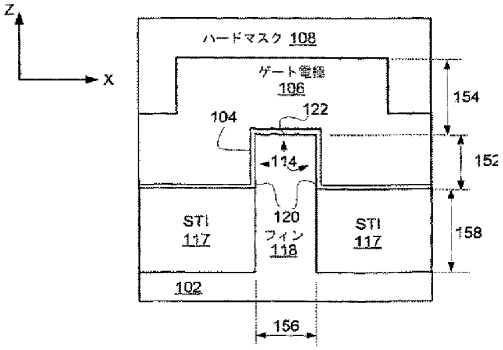
【0062】

前述の本発明の実施形態は、例示および記載目的で提示された。網羅的であるとする、あるいは開示されたままの状態に本発明を限定しようとする意図はない。本開示および以下の請求項は、例えば左、右、上（top）、下（bottom）、上方（over）、下方(under)、上方（upper）、下方（lower）、第一（first）、第二（second）などの用語を含むが、これらは記載目的からのみ利用されており、限定として解釈されるべきではない。例えば、相対的に垂直の位置を示す用語は、基板のデバイス側（あるいは能動面）あるいは集積回路が基板の「上」面（top surface）であることを示しており、基板は実際にはどの方向にも配向できるので、基板の「上」面は、参照基準地球枠組みにおいては「下」面の下方になる場合もあるが、これも用語「上面」の意味の範囲内である。また、ここで利用する「上に（on）」という用語については（請求項を含み）、第二層上にある第一層が、そうと明記していない限りにおいて、第一層が直接第二層の上にあること、あるいは直接接触していることを示すものではない。つまり、第三層あるいはその他の構造が、第一層と、第一層上にある第二層との間に存在してもよい。ここに記載したデバイスあるいは製品の実施形態は、幾らかの位置および方向で製造、利用、あるいは出荷されてよい。当業者であれば理解するように、上述の教示に照らして幾多もの変形例、変更例が可能である。当業者であれば図面に示す様々な部材について様々な均等的組み合わせ、および置き換えが可能であることを理解するであろう。故に、本発明の範囲は本詳細な説明により限定されるのではなく、付属する請求項によって限定されることが意図されている。

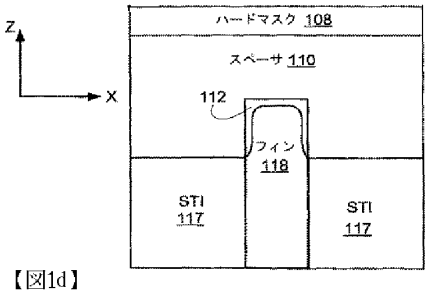
【図1a】



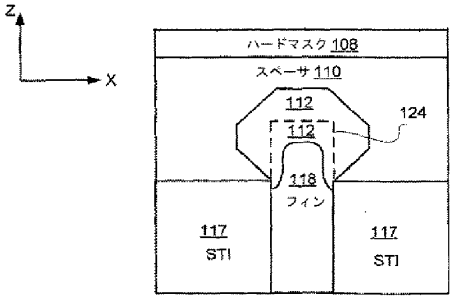
【図1b】



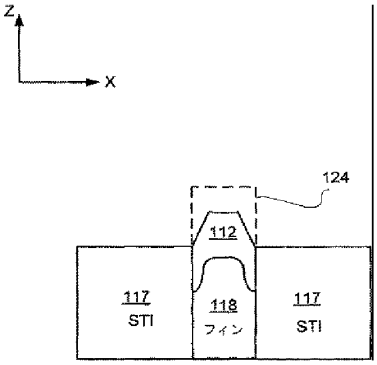
【図1c】



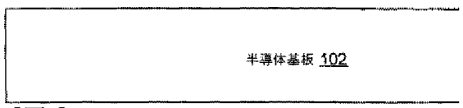
【図1d】



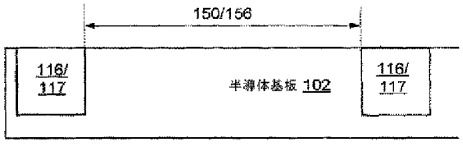
【図1e】



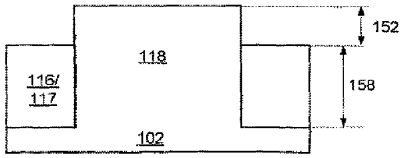
【図2】



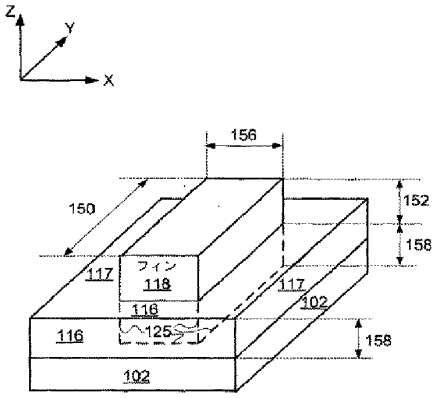
【図3】



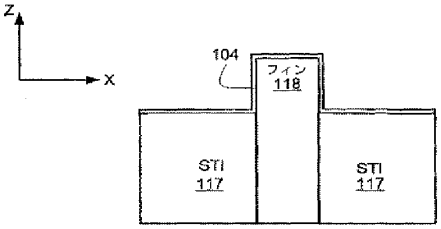
【図4】



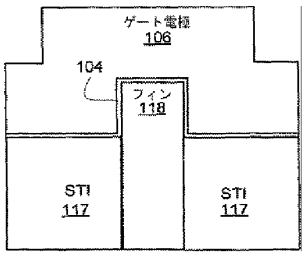
【図5】



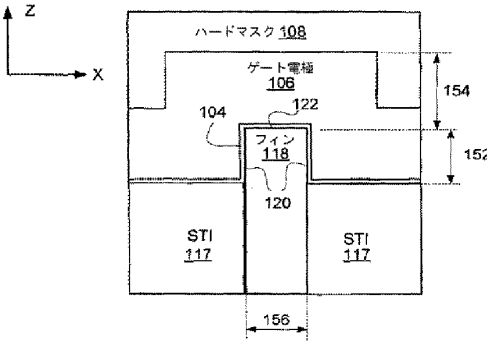
【図6】



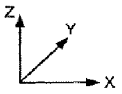
【図7】

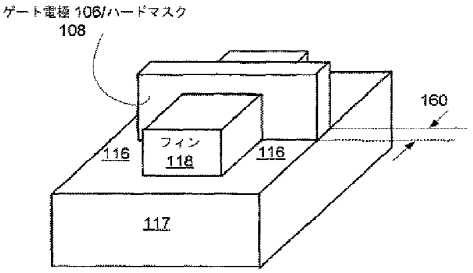


【図8】

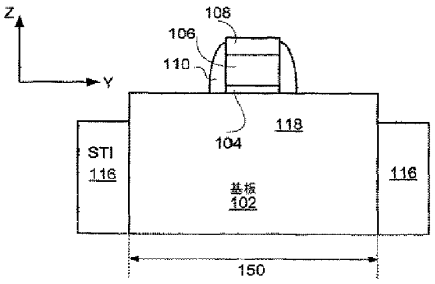


【図9】

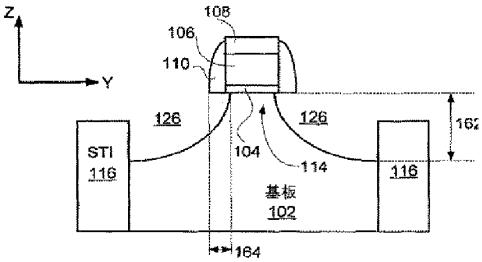




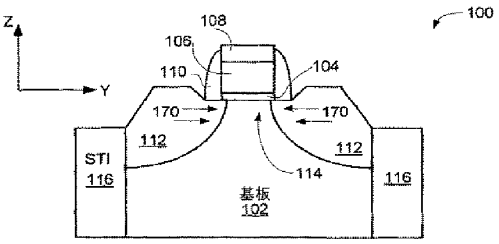
【図10】



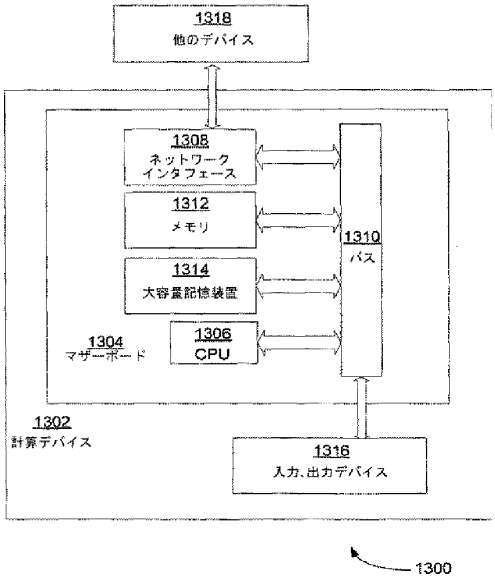
【図11】



【図12】



【図13】


1318
他のデバイス
1308
ネットワーク
インタフェース
1312
メモリ
1310
バス
1314
大容量記憶装置
1304
マザーボード
1306
CPU
1302
計算デバイス
1316
入力、出力デバイス
1300

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/047100

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L21/336 H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	VERHEYEN P ET AL: "25% DRIVE CURRENT IMPROVEMENT FOR P-TYPE MULTIPLE GATE FET (MUGFET) DEVICES BY THE INTRODUTION OF RECESSED SIO.8GE0.2 IN THE SOURCE AND DRAIN REGIONS" VLSI TECHNOLOGY, 2005. DIGEST OF TECHNICAL PAPERS. 2005 SYMPOSIUM ON KYOTO, JAPAN JUNE 14-16, 2005, PISCATAWAY, NJ, USA,IEEE, 14 June 2005 (2005-06-14), pages 194-195, XP001240795 ISBN: 4-900784-00-1 the whole document	1-20
X	US 2004/173812 A1 (CURRIE MATTHEW T [US] ET AL) 9 September 2004 (2004-09-09) paragraph [0077] paragraph [0087] figures 10D,E	1-20

-/--

[X] Further documents are listed in the continuation of Box C.　　[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 April 2007	24/04/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Hoffmann, Niels

Form PCT/ISA/210 (second sheet) (April 2005)

page 1 of 2

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/047100

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/108559 A1 (SUGII NOBUYUKI [JP] ET AL) 10 June 2004 (2004-06-10) paragraph [0123] - paragraph [0148]; figures 12-29	1,2,9-11
P,X	WO 2006/026339 A (ACORN TECHNOLOGIES INC [US]; GRUPP DANIEL E [US]; CONNELLY DANIEL J [U) 9 March 2006 (2006-03-09) paragraphs [0125], [0126]; figure 17	1-4, 9-12, 15-17
A	US 2005/202618 A1 (YAGISHITA ATSUSHI [JP]) 15 September 2005 (2005-09-15) paragraph [0127]; figures 25-27	3,12,17
A	US 2003/085424 A1 (BRYANT ANDRES [US] ET AL) 8 May 2003 (2003-05-08) paragraphs [0042], [0056] - [0062]; figures 7,12	1-20
A	US 2005/035409 A1 (KO CHIH-HSIN [TW] ET AL) 17 February 2005 (2005-02-17) paragraphs [0072], [0073]; figures 11,12	1-20
A	US 2005/184345 A1 (LIN CHUN-CHIEH [TW] ET AL) 25 August 2005 (2005-08-25) paragraphs [0019], [0109]	1-20
A	WO 2005/112577 A (APPLIED MATERIALS INC [US]; SAMOILOV ARKADAII V [US]; KIM YIHWAN [US];) 1 December 2005 (2005-12-01) paragraphs [0065], [0066]	1-20

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

page 2 of 2

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2006/047100

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2004173812 A1	09-09-2004	US 2005205859 A1	22-09-2005
US 2004108559 A1	10-06-2004	JP 2004128185 A	22-04-2004
WO 2006026339 A	09-03-2006	NONE	
US 2005202618 A1	15-09-2005	JP 2005294789 A	20-10-2005
US 2003085424 A1	08-05-2003	US 2005101072 A1	12-05-2005
US 2005035409 A1	17-02-2005	TW 253716 B US 2006255365 A1	21-04-2006 16-11-2006
US 2005184345 A1	25-08-2005	NONE	
WO 2005112577 A	01-12-2005	CN 1926664 A EP 1745503 A2	07-03-2007 24-01-2007

Form PCT/ISA/210 (patent family annex) (April 2005)

(81)指定国　　AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者　チャウ、ロバーツ
アメリカ合衆国、９７００７　オレゴン州、ビーバートン、エスダブリュ　１７１エスティー　アベニュー　８８７５
(72)発明者　ダッタ、スーマン
アメリカ合衆国、９７００６　オレゴン州、ビーバートン、エヌダブリュ　トーキングスティック　ウェイ　１６６５９
(72)発明者　ドイル、ブライアン、エス.
アメリカ合衆国、９７２２９　オレゴン州、ポートランド、エヌダブリュ　モントルー　レーン　１１１５６

Ｆターム(参考)　5F048 AA07 AA08 AC01 AC03 BA01 BB01 BB05 BB09 BB11 BB20
BC01 BC15 BC18 BD01 BF06 BG13 DA24 DA27
5F140 AA01 AB03 AC28 BA01 BA07 BB05 BC15 BD07 BD09 BD11
BD12 BF01 BF04 BF07 BF10 BF44 BG08 BG11 BG14 BH06
BH07 BH27 BJ01 BJ08 BK09 BK13 BK18 CB04

Espacenet

Bibliographic data: JP2010171337 (A) — 2010-08-05

FIELD EFFECT TRANSISTOR

Inventor(s): TEZUKA TSUTOMU ± (TEZUKA TSUTOMU)

Applicant(s): TOSHIBA CORP ± (TOSHIBA CORP)

Classification: **- international:** ***H01L21/20; H01L21/336; H01L29/417; H01L29/78; H01L29/786***

- cooperative:

Application number: JP20090014541 20090126 Global Dossier

Priority number (s): JP20090014541 20090126

Abstract of JP2010171337 (A)

PROBLEM TO BE SOLVED: To reduce a leakage current, when using a distortion channel and suppress occurrence of failure to improve the yield. ;SOLUTION: A field effect transistor includes a base layer 20 that is provided on a semiconductor substrate 10 and constituted of an alloy semiconductor, having a different lattice constant from the substrate 10; a channel semiconductor layer 30, that is provided on the base layer 20, has a different lattice constant from the base layer 20, and in which a tensile stress is given in a channel length direction and one of a channel width direction, and compressive stress is given in the other channel width direction; source and drain regions 60 and 70 that are provided on the base layer 20 so as to interpose the channel semiconductor layer 30; and a gate electrode 50, that is provided on the channel semiconductor layer 30 via a gate insulation film 40. The base layer 20 is thicker than a thickness in which depletion layers 61 and 71 created in the lower portion of the source, and drain regions 60 and 70 are accommodated in the base layer 20 and is also thinner than the thermal equilibrium critical film thickness. ;COPYRIGHT: (C) 2010,JPO&INPIT

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JP2010171337A

Field effect transistor

[0001]

The present invention relates to a MOS field effect transistor (MOSFET).

[0002]

In recent years, in order to improve the performance of MOSFETs, a technique for increasing carrier mobility by applying distortion to a channel has been used. Attempts to use Ge channels, which have higher electron and hole mobilities than Si, are also being studied. Furthermore, studies on the strain Ge channel by combining the two have begun (see, for example, Non-Patent Document 1).

[0003]

When such a strain channel is used, there is a concern that device characteristics may be deteriorated or defects may occur due to the occurrence of dislocations caused by strain.

For example, when dislocations occur in the depletion layer below the source and drain, there is concern that the leakage current will increase due to impurities that have abnormally diffused along the dislocations. In the worst case, a short circuit occurs between the source and drain. Then, these become factors that cause defects and cause a decrease in yield.

[0004]

Y.-J. Yang, et al., Appl. Phys. Lett. 91, 102103 (2007).

D. C. Houghton, J. Appl. Phys. 70, 2136 (1991).

I.Yonenaga and K. Sumino, J. Appl. Phys. 80, 3244 (1996).

[0005]

An object of the present invention is to provide a field effect transistor capable of reducing a leakage current when a strain channel is used, suppressing the occurrence of defects, and improving the yield.

[0006]

The field-effect transistor according to one aspect of the present invention includes a stressed channel region, a gate electrode provided on the channel region via a gate insulating film, and sources provided on both sides of the channel region. A drain

region and at least a base layer made of an alloy semiconductor provided below the source / drain region are provided. In the base layer, a depletion layer formed below the source / drain region is the base layer. It is characterized in that it is formed thicker than the thickness that fits inside, and is formed thinner than the thermal equilibrium critical film thickness in which misfit dislocations are introduced into the crystal in a thermal equilibrium state.

[0007]

Further, the field effect transistor according to another aspect of the present invention includes a base layer provided on a semiconductor substrate, which contains the same elements as the substrate and is made of an alloy semiconductor having a lattice constant different from that of the substrate, and a base layer under the above. A channel semiconductor layer provided in a part of the ground layer, which has a different lattice constant from the underlying layer, is subjected to tensile stress in one of the channel length direction and the channel width direction, and is subjected to compressive stress in the other, and the above-mentioned A source / drain region provided on the base layer so as to sandwich the channel semiconductor layer and a gate electrode provided on the channel semiconductor layer via a gate insulating film are provided, and the base layer comprises. The depletion layer formed in the lower part of the source / drain region is formed thicker than the thickness that can be accommodated in the underlying layer, and is formed thinner than the thermal equilibrium critical film thickness in which misfit rearrangements are introduced into the crystal in the thermal equilibrium state. It is characterized by being.

[0008]

Further, the field effect transistor according to another aspect of the present invention is provided on the substrate with a gate electrode provided on a part of the semiconductor substrate via a gate insulating film and a channel region under the gate electrode. A source / drain base layer made of an alloy semiconductor containing the same elements as the substrate and having a lattice constant different from that of the substrate, which is formed by being embedded in the groove in the middle of the groove, and a channel region on the base layer. A source / drain region having a lattice constant different from that of the underlying layer is provided so as to sandwich the channel region, and a tensile stress is applied to the channel region in one of the channel length direction and the channel width direction, and the other. Compressive stress is applied to the underlayer, the depletion layer formed in the lower part of the source / drain region is formed thicker than the thickness that fits in the underlayer, and misfit dislocations are introduced into the crystal in a thermal equilibrium state. It is characterized in that it is formed thinner than the thermal equilibrium critical film thickness to be formed.

[0009]

Further, the field effect transistor according to another aspect of the present invention is formed on the semiconductor substrate substantially perpendicular to the main surface of the substrate, and the first region in which the channel region should be formed is the region. A plate-shaped semiconductor fin formed higher than a second region to form a source / drain region on both sides, an embedded insulating film embedded around the lower portion of the fin, and the first region of the fin. Contains gate electrodes provided via a gate insulating film on at least both sides of the fin, and the same elements as the substrate provided in the second region of the fin to a position lower than the upper end of the first region. A source / drain underlayer made of an alloy semiconductor having a lattice constant different from that of the substrate, and a source having a lattice constant different from that of the underlayer provided so as to sandwich the upper part of the first region on the underlayer. A drain region and a drain region are provided, stress is applied to the channel region in the channel length direction, and the base layer has a thickness in which a depletion layer formed below the source / drain region fits in the base layer. It is characterized in that it is formed thicker than the above, and is formed thinner than the thermal equilibrium critical film thickness into which misfit dislocations are introduced into the crystal in the thermal equilibrium state.

[0010]

According to the present invention, since the depletion layer below the source / drain region is substantially contained in the mixed crystal base layer (metal semiconductor layer) in which dislocations are unlikely to occur, the off-leakage current when a strain channel is used. Can be reduced.

Therefore, the occurrence of defects can be suppressed and the yield can be improved.

[0011]

The cross-sectional view which shows the element structure of the MOS type field effect transistor which concerns on 1st Embodiment.

The schematic diagram which shows the state of the lattice strain of each specific example in 1st Embodiment.

The cross-sectional view which shows the manufacturing process of the MOS type field effect transistor of 1st Embodiment.

The cross-sectional view which shows the element structure of the MOS type field effect transistor which concerns on 2nd Embodiment.

The cross-sectional view which shows the manufacturing process of the MOS type field effect transistor of 2nd Embodiment.

The cross-sectional view which shows the element structure of the MOS type field effect transistor which concerns on 3rd Embodiment.

The cross-sectional view which shows the manufacturing process of the MOS type field effect transistor of 3rd Embodiment.

The plan view and the cross-sectional view which show the element structure of the MOS type field effect transistor which concerns on 4th Embodiment.

The plan view and the cross-sectional view which show the manufacturing process of the MOS type field effect transistor of 4th Embodiment.

The plan view and the cross-sectional view which show the manufacturing process of the MOS type field effect transistor of 4th Embodiment.

The plan view and the cross-sectional view which show the manufacturing process of the MOS type field effect transistor of 4th Embodiment.

The plan view and the cross-sectional view which show the manufacturing process of the MOS type field effect transistor of 4th Embodiment.

The plan view and the cross-sectional view which show the manufacturing process of the MOS type field effect transistor of 4th Embodiment.

The plan view and the cross-sectional view which show the manufacturing process of the MOS type field effect transistor of 4th Embodiment.

The plan view and the cross-sectional view which show the manufacturing process of the MOS type field effect transistor of 4th Embodiment.

[0012]

Hereinafter, the details of the present invention will be described with reference to the illustrated embodiments.

[0013]

(First Embodiment) The structure of the MOS field effect transistor 100 according to the first embodiment of the present invention is shown in FIG.

[0014]

A base layer 20 and a channel semiconductor layer (channel region) 30 made of an alloy semiconductor containing the same elements as the substrate 10 are sequentially laminated on the semiconductor substrate 10 in a lattice-matched manner.

A gate electrode 50 is formed on the channel semiconductor layer 30 via a gate insulating film 40.

A source region 60 and a drain region 70 made of semiconductors containing the same elements as the substrate 10 and having a composition ratio different from that of the substrate 10 and the base layer 20 and different lattice constants sandwiching the gate electrode 50 are above the base layer 20. It is formed in a lattice-matched manner.

Stress is applied to the channel semiconductor layer 30 by these source / drain regions 60 and 70.

A side wall insulating film 81 is formed on the side surface of the gate electrode 50.

[0015]

Here, the base layer 20 is generally distorted because the lattice constant is different from that of the substrate 10.

Therefore, in order to prevent the occurrence of dislocations, the film thickness of the base layer 20 is less than the thermal equilibrium critical film thickness at which misfit dislocations are introduced into the crystal in the thermal equilibrium state (Non-Patent Document 2).

Further, the thickness of the base layer 20 is set to be thicker than the width of the depletion layer 61 below the source region 60 and the depletion layer 71 below the drain region 70.

That is, the base layer 20 is formed to be thicker than the depletion layers 61 and 71 formed under the source / drain regions 60 and 70 so as to fit in the base layer 20.

Further, a metal compound layer (NiGeSi or the like) having a thickness of about 5 to 20 nm may be formed on the surfaces of the source / drain regions 60 and 70.

[0016]

In this embodiment, since the base layer 20 is an alloy semiconductor, the source layer 20 is a source / drain structure as compared with a conventional structure using a source / drain structure for applying strain to a single element substrate such as Si or Ge. It has the characteristic that dislocations are unlikely to occur in the lower part of the drain.

This feature is due to the hardening phenomenon due to alloying as observed in the bulk crystal of SiGe (Non-Patent Document 3).

[0017]

Further, since all the depletion layers 61 and 71 in the lower region of the source / drain are included in the base alloy layer, there is a feature that dislocations in the depletion layer that cause a leak current do not occur.

Further, since the thickness of the base layer 20 is less than the thermal equilibrium critical film thickness, there is a feature that dislocations do not occur due to lattice mismatch between the substrate 10 and the base layer 20.

Due to these effects, it is possible to suppress an increase in leakage current due to dislocations or the occurrence of defects due to the increase.

[0018]

(Specific Example 1-1) As a first specific example of the first embodiment, the field effect transistor 100 is a strain Gen MOSFET having tensile strain in the electron conduction direction (channel length direction).

The term "MOS" also includes a so-called "MIS" in which an insulating film other than the silicon oxide film is used as the gate insulating film.

[0019]

Here, the substrate 10 is a p-type Ge, the base layer 20 is a p-type Si0.05Ge 0.95 having a thickness of 70 nm, the channel semiconductor layer 30 is a p-type Ge having a thickness of 8 nm, and the gate insulating film 40 is LaAlO having a thickness of 5 nm. GeO2 interface layer with a film thickness of less than 1 nm, TiN with a thickness of 20 nm at the gate electrode 50, and Si0.3Ge0 with a film thickness of 30 nm in which the source region 60 and drain region 70 are all doped with P (phosphorus) as high-concentration n-type impurities. It is .7.

[0020]

Further, from the viewpoint that the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are all included in the base layer 20 and dislocations do not occur between the base layer 20 and the substrate 10, the base layer 20 The preferred Ge composition range is 85% or more and 99% or less.

Further, the lower limit of the film thickness of the base layer 20 is 30 nm, the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm in the case of 95% Ge composition), and the higher the Ge composition, the larger the upper limit value. Become.

Regarding the source / drain regions 60 and 70, the range of Ge composition is preferably 50% to 85%, and the film thickness is preferably 5 nm to 50 nm from the viewpoint of generating as large a stress as possible while avoiding stress reduction due to plastic deformation. It becomes a range.

[0021]

Other components can be changed to the extent easily conceivable by those skilled in the art.

Further, the surface index and the channel length direction of the substrate are optimal in the (111) plane and the [110] direction from the viewpoint of maximizing the drive current, respectively, but on the (111) plane, the drive current with respect to the channel direction Since the dependency is small, it may be in the other direction.

Further, a drive current comparable to that on the (111) plane can be obtained even in the [-110] direction on the (110) plane.

[0022]

In this specific example, the substrate 10 is not only a bulk Ge substrate, but also a substrate on which a Ge single crystal layer is formed on a Si substrate, and a Ge single crystal layer on an SOI (Si-on-insulator) substrate. A formed substrate or a substrate in which a Ge single crystal layer is formed on an SGOI (SiGe-on-insulator) substrate may be used.

[0023]

Further, as the base layer 20, SiGe: C, Ge: C to which carbon has been added, or SiGeSn to which Sn has been added may be used.

In this case, the atomic composition of C is preferably 0.1% to 2%, and the atomic composition of Sn is preferably 0.1% to 3%.

Further, SiGe: C and Ge: C to which carbon is added may be used in the source / drain regions 60 and 70.

The atomic composition of C in this case is preferably in the range of 0.1% to 5%.

Further, the channel semiconductor layer 30 may be SiGe having a higher Ge composition than the underlying layer 20.

[0024]

In the first specific example, the lattice constant when the channel is viewed from the upper surface extends in the channel length direction as shown in FIG. 2 (a).

This is due to the tensile stress from the SiGe source / drain regions 60 and 70, which have a smaller lattice constant than the Ge channel.

On the other hand, it is compressed in the channel width direction orthogonal to the channel length direction.

This is due to the effect that the lattice shrinks in the channel width direction due to the tensile stress applied in the channel length direction in a state where elastic deformation is possible in that direction due to the element separation in the gate width direction, and the lattice constant of the base layer 20. Is a synergistic effect due to the fact that is smaller than the channel semiconductor layer 30.

Such a strain configuration is the optimum configuration for increasing the current of the Gen MOSFET.

[0025]

Next, a manufacturing method of the first specific example will be described with reference to FIG.

[0026]

First, as shown in FIG. 3A, a base layer 20 made of SiGe and a channel semiconductor layer 30 made of Ge are epitaxially grown on a Ge substrate 10 by a low-pressure chemical vapor deposition method (LP-CVD method) or the like.

Subsequently, the elements are separated by a method such as STI, and B is ion-implanted as a p-type channel impurity deeper than the base layer 20 (not shown).

[0027]

Next, as shown in FIG. 3B, the gate insulating film 40 and the gate electrode 50 are sequentially deposited on the channel semiconductor layer 30 by a CVD method or the like, respectively.

Subsequently, after forming a gate pattern (not shown) by photolithography, the gate electrode 50 and the gate insulating film 40 are patterned by a reactive ion etching method (RIE method) as shown in FIG. 3 (c).

[0028]

Next, as shown in FIG. 3D, the Si nitride film (Si3N4) 80 serving as the side wall is deposited on the entire surface by a CVD method or the like.

Subsequently, as shown in FIG. 3 (e), the side wall insulating film 81 is formed by etching the Si nitride film 80 by the RIE method, and the channel semiconductor layer 30 is further etched to reach a depth of about 20 to reach the base layer 20. A recess 82 of 20 nm is formed.

[0029]

Next, as shown in FIG. 3 (f), the source / drain regions 60 and 70 made of SiGe in which P is incorporated at a high concentration as an n-type dopant are epitaxially grown by the LP-CVD method or the like.

[0030]

After that, the strain Gen MOSFET 100 is completed by performing activation annealing and undergoing a normal wiring formation process.

[0031]

(Specific Example 1-2) As a second specific example of the first embodiment, the field effect transistor 100 is a strained Si-p MOSFET having compression distortion in the hole conduction direction (channel length direction).

[0032]

Here, the substrate 10 is n-type Si, the base layer 20 is n-type Si 0.95Ge0.05 having a film thickness of 70 nm, the channel semiconductor layer 30 is n-type Si having a film thickness of 6 nm, and the gate insulating film 40 is LaAlO having a film thickness of 5 nm. The SiO2 interface layer having a film thickness of less than 1 nm, the gate electrode 50 is a TiN having a film thickness of 20 nm, and the source region 60 and the drain region 70 are all Si0.7Ge0.3 having a film thickness of 30 nm and which is doped with a high concentration of B.

[0033]

Further, from the viewpoint that the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are all included in the base layer 20 and dislocations do not occur between the base layer 20 and the substrate 10, the base layer 20 The preferred Ge composition range is 1% or more and 15% or less.

Further, the lower limit of the film thickness of the base layer 20 is 30 nm, the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm in the case of 5% Ge composition), and the lower the Ge composition, the larger the upper limit value. Become.

Regarding the source / drain regions 60 and 70, the range of Ge composition is preferably 15% to 50%, and the film thickness is preferably 5 nm to 50 nm from the viewpoint of generating as large a stress as possible while avoiding stress reduction due to plastic deformation. It becomes a range.

[0034]

Other components can be changed to the extent easily conceivable by those skilled in the art.

Further, the surface index and the channel length direction of the substrate are optimal in the (110) plane and the [110] direction from the viewpoint of maximizing the drive current, but also on the (111) plane and the (100) plane, respectively. , The effect of increasing the drive current due to distortion can be obtained.

[0035]

In this specific example, not only the bulk Si substrate but also the SOI substrate may be used as the substrate 10.

Further, as the base layer 20, SiGe: C to which carbon has been added or SiGeSn or SiSn to which Sn has been added may be used.

In this case, the atomic composition of C is preferably 0.1% to 2%, and the atomic composition of Sn is preferably 0.1% to 3%.

Further, SiGe: C and Ge: C to which carbon is added may be used in the source / drain regions 60 and 70.

[0036]

In the second specific example, the lattice constant when the channel is viewed from the upper surface is compressed in the channel length direction as shown in FIG. 2 (b).

This is due to the compressive stress from the SiGe source / drain regions 60 and 70, which have a larger lattice constant than the Si channel.

On the other hand, it is pulled in the channel width direction.

This is due to the effect that the lattice expands in the channel width direction because the compressive stress is applied in the channel length direction in a state where elastic deformation is possible in that direction due to the element separation in the gate width direction, and the base layer 20. This is a synergistic effect due to the lattice constant being larger than the channel semiconductor layer 30.

Such a strain configuration is the optimum configuration for increasing the current of the Si-p MOSFET.

[0037]

The manufacturing method of the second specific example conforms to the first specific example.

However, since the electrical polarities are opposite, P is used as the channel impurity and B is used as the source / drain impurity.

[0038]

(Specific Example 1-3) As a third specific example of the first embodiment, the field effect transistor 100 is a strain Ge-p MOSFET having compression strain in the hole conduction direction (channel length direction).

[0039]

Here, the substrate 10 is an n-type Ge, the base layer 20 is an n-type Si0.04Ge0.95Sn0.01 with a film thickness of 70 nm, the channel semiconductor layer 30 is an n-type Ge with a film thickness of 8 nm, and the gate insulating film 40 is a film thickness of 5 nm. LaAlO and GeO2 interface layer with a film thickness of less than 1 nm, TiN with a gate electrode 50 with a film thickness of 20 nm, and Sn0.05Ge0. It is 95.

[0040]

Further, from the viewpoint that the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are all included in the base layer 20 and dislocations do not occur between the base layer 20 and the substrate 10, the base layer 20 The preferred Ge composition range is 85% or more and 99% or less.

The lower limit of the film thickness of the base layer 20 is 30 nm, and the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm when [Sn composition × 5-Si composition] = 5%), and the Ge composition. The higher the value and the lower the Sn composition, the larger the upper limit.

Regarding the source / drain regions 60 and 70, the Sn composition range is preferably 1% to 10% and the film thickness is preferably 5 nm to 50 nm from the viewpoint of generating as large a stress as possible while avoiding stress reduction due to plastic deformation. It becomes a range.

[0041]

Other components can be changed to the extent easily conceivable by those skilled in the art.

Further, the surface index and the channel length direction of the substrate are optimal in the (110) plane and the [110] direction from the viewpoint of maximizing the drive current, but also on the (111) plane and the (100) plane, respectively. , The effect of increasing the drive current due to distortion can be obtained.

[0042]

In the third specific example, the lattice constant when the channel is viewed from the upper surface is compressed in the channel length direction as shown in FIG. 2 (b).

This is due to the compressive stress from the SnGe source / drain regions 60 and 70, which have a larger lattice constant than the Ge channel.

On the other hand, it is pulled in the channel width direction.

This is an effect that the lattice expands in the channel width direction because the compressive stress is applied in the channel length direction in a state where elastic deformation is possible in the gate width direction due to the element separation in the gate width direction.

Such a strain configuration is the optimum configuration for increasing the current of the Ge-p MOSFET.

[0043]

In this specific example, the substrate 10 is not only a bulk Ge substrate, but also a substrate on which a Ge single crystal layer is formed on a Si substrate, a substrate on which a Ge single crystal layer is formed on an SOI substrate, or SGOI. A substrate in which a Ge single crystal layer is formed on the substrate may be used.

Further, as the base layer 20, SiGeSn: C to which carbon is added may be used.

In this case, the atomic composition of C is preferably 0.1% to 2%, and the atomic composition of Sn is preferably 0.1% to 3%.

Further, SiGe: C and Ge: C to which carbon is added may be used in the source / drain regions 60 and 70.

The atomic composition of C in this case is preferably in the range of 0.1% to 5%.

Further, SiGe may be used as the base layer 20, but in this case, y> 2x when the Ge atomic compositions of the base layer and the source / drain regions 60 and 70 are x and y, respectively.

This composition condition is for the above-mentioned strain configuration.

Further, the channel semiconductor layer 30 may be SiGe having a higher Ge composition than the underlying layer 20.

[0044]

The manufacturing method of the third specific example conforms to the first specific example.

However, since the electrical polarities are opposite, P is used as the channel impurity and B is used as the source / drain impurity.

[0045]

(Specific Example 1-4) As a fourth specific example of the first embodiment, the field effect transistor 100 is a strained Si-n MOSFET having tensile strain in the electron conduction direction (channel length direction).

[0046]

Here, the substrate 10 is p-type Si, the base layer 20 is p-type Si 0.95Ge0.045C0.005 having a film thickness of 70 nm, the channel semiconductor layer 30 is p-type Si having a film thickness of 8 nm, and the gate insulating film 40 has a film thickness of 5 nm. LaAlO and SiO2 interface layer with a film thickness of less than 1 nm, TiN with a film thickness of 20 nm for the gate electrode 50, and Si0.97C0.03 with a film thickness of 30 nm in which the source region 60 and the drain region 70 are all doped with a high concentration of P. ..

[0047]

Further, from the viewpoint that the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are all included in the base layer 20 and dislocations do not occur between the base layer 20 and the substrate 10, the base layer 20 The preferred Ge composition range is 1% or more and 15% or less, and the atomic composition of C is 0.1% to 2%.

Further, the lower limit of the film thickness of the base layer 20 is 30 nm, and the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm when [C composition × 10-Ge composition] = 5%). The lower the Ge composition, the larger the upper limit.

More preferably, as in the case of Si0.95Ge0.045C0.005 described above, the condition is such that the values of Ge composition and C composition × 10 are substantially equal, and under this condition, the lattice mismatch between the base layer 20 and the substrate 10 is substantially equal. Can be ignored.

Further, for the source / drain regions 60 and 70, the range of Ge composition is preferably 15% to 50% and the film thickness is preferably 5 nm to 50 nm from the viewpoint of generating as large a stress as possible while avoiding stress reduction due to plastic deformation. It becomes a range.

[0048]

Other components can be changed to the extent easily conceivable by those skilled in the art.

Further, the surface index and the channel length direction of the substrate are optimal in the (110) plane and the [110] direction from the viewpoint of maximizing the drive current, but also on the (111) plane and the (100) plane, respectively. , The effect of increasing the drive current due to distortion can be obtained.

[0049]

In the fourth specific example, the lattice constant when the channel is viewed from the upper surface extends in the channel length direction as shown in FIG. 2 (a).

This is due to the tensile stress from the Si: C source / drain regions 60 and 70, which have a smaller lattice constant than the Si channel.

On the other hand, it is compressed in the channel width direction.

This is an effect that the lattice shrinks in the channel width direction because the tensile stress is applied in the channel length direction in a state where elastic deformation is possible in the gate width direction due to the element separation in the gate width direction.

[0050]

In this specific example, not only the bulk Si substrate but also the SOI substrate may be used as the substrate 10.

Further, SiGe: C to which carbon is added may be used in the base layer 20 or the source / drain regions 60 and 70.

The atomic composition of C in this case is preferably in the range of 0.1% to 2%.

Further, SiGe may be used as the base layer 20, but in this case, when the Ge atomic composition of the base layer and the C atomic composition of the source / drain regions 60 and 70 are x and y, respectively, 10y> 2x. ..

This composition condition is for the above-mentioned strain configuration.

[0051]

The manufacturing method of the fourth specific example conforms to the first specific example.

[0052]

In the above first to fourth specific examples, examples using Group IV elements such as Si, Ge, C and Sn are shown, but combinations of other material systems are also possible.

For example, as the substrate 10, a group III-V compound semiconductor substrate (GaAs, InP, InAs, etc.) or a substrate in which a compound semiconductor single crystal layer is formed directly on a Si substrate or via a Ge layer may be used.

Further, alloys thereof (GaAlAs, InGaAs, InGaAlAs, InAsP, etc.) may be used as the base layer 20 and the source / drain regions 60 and 70.

[0053]

(Second Embodiment) The structure of the MOS field effect transistor 200 according to the second embodiment of the present invention is shown in FIG.

[0054]

A base layer 20 and a channel semiconductor layer (channel region) 30 made of an alloy semiconductor containing the same elements as the substrate 10 are sequentially laminated on the semiconductor substrate 10 in a lattice-matched manner.

A gate electrode 50 is formed on the channel semiconductor layer 30 via a gate insulating film 40.

A source electrode 65 and a drain electrode 75 made of a metal compound layer containing a channel layer element are formed on the base layer 20 with the gate electrode 50 interposed therebetween.

Here, the source / drain electrodes 65 and 75 may bite into the base alloy layer 20.

Regions 62 and 72 doped with high-concentration impurities may be formed below the source and drain electrodes 65 and 75.

A side wall insulating film 81 is formed on the side surface of the gate electrode 50.

[0055]

A stress application film 90 containing strain is formed so as to cover the gate electrode 50, the source / drain electrodes 65, 75, and the side wall insulating film 81, and the stress application film 90 exerts stress on the channel semiconductor layer 30. It has been applied.

Here, the base layer 20 is generally distorted because the lattice constant is different from that of the substrate 10.

Therefore, in order to prevent the occurrence of dislocations, it is desirable that the film thickness be less than the thermal equilibrium critical film thickness.

Further, the thickness of the base layer 20 is set to be thicker than the width of the depletion layers 61 and 71 at the lower part of the source / drain region.

[0056]

In the present embodiment, since the base layer 20 is an alloy semiconductor, the source and drain are compared with the conventional structure using a stress application film for applying stress to a single element substrate such as Si or Ge. It has the characteristic that dislocations are unlikely to occur in the lower region.

Further, since all the depletion layers 61 and 71 in the lower region of the source / drain are included in the base alloy layer, there is a feature that dislocations in the depletion layer that cause a leak current do not occur.

Further, since the thickness of the base layer 20 is less than the thermal equilibrium critical film thickness, there is a feature that dislocations do not occur due to lattice mismatch between the substrate 10 and the base layer 20.

Therefore, the same effect as that of the first embodiment can be obtained.

[0057]

(Specific Example 2-1) As a first specific example of the second embodiment, the field effect transistor 200 is a strain Gen MOSFET having tensile strain in the electron conduction direction (channel length direction).

[0058]

Here, the substrate 10 is a p-type Ge, the base layer 20 is a p-type Si0.05Ge 0.95 having a film thickness of 70 nm, the channel semiconductor layer 30 is a p-type Ge having a film thickness of 8 nm, and the gate insulating film 40 is LaAlO having a film thickness of 5 nm. The GeO2 interface layer having a film thickness of less than 1 nm, the gate electrode 50 being TiN having a film thickness of 20 nm, and the source electrode 65 and the drain electrode 75 are all NiGe having a film thickness of 12 nm.

Regions 62 and 72 doped with a high concentration of P are formed below the source and drain electrodes 65 and 75.

The stress application film 90 is a silicon nitride film or a DLC (Diamond-Like Carbon) film.

[0059]

Further, from the viewpoint that the depletion layers 61 and 71 in the lower regions of the source / drain electrodes 65 and 75 are all included in the base layer 20 and no dislocation occurs between the base layer 20 and the substrate 10, the base layer 20 is used. The preferred range of Ge composition is 85% or more and 99% or less.

Further, the lower limit of the film thickness of the base layer 20 is 30 nm, the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm in the case of 95% Ge composition), and the higher the Ge composition, the higher the upper limit value. growing.

Further, the stress application film 90 includes a compressible stress and applies a tensile stress parallel to the current direction to the channel.

[0060]

Other components (surface index of the substrate, channel length direction, substrate material, base layer, channel layer material, etc.) can be deformed in the same manner as described above (Specific Example 1-1).

[0061]

In the first specific example, the lattice constant when the channel is viewed from the upper surface extends in the channel length direction as shown in FIG. 2 (a).

This is due to the tensile stress from the stress application film 90 having compressive stress.

On the other hand, it is compressed in the channel width direction.

This is due to the effect that the lattice shrinks in the channel width direction due to the tensile stress applied in the channel length direction in a state where elastic deformation is possible in that direction due to the element separation in the gate width direction, and the lattice constant of the base layer 20. Is a synergistic effect due to the fact that is smaller than the channel semiconductor layer 30.

Such a strain configuration is the optimum configuration for increasing the current of the Gen MOSFET.

[0062]

Next, a manufacturing method of the first specific example will be described with reference to FIG.

[0063]

First, similarly to FIG. 3A, the base layer 20 made of SiGe and the channel semiconductor layer 30 made of Ge are implanted in order on the Ge substrate 10 by an LP-CVD method or the like, and then the elements are separated by a method such as STI. Is performed, and B is ion-implanted deeper than the base layer 20 as a p-type channel impurity.

[0064]

Next, as shown in FIG. 5A, the gate insulating film 40, the gate electrode 50, and the cap layer 83 are sequentially deposited by a CVD method or the like.

Subsequently, after forming a gate pattern (not shown) by photolithography, the gate electrode 40, the gate insulating film 50, and the cap layer 83 are patterned by the RIE method as shown in FIG. 5 (b).

[0065]

Next, as shown in FIG. 5C, the Si nitride film 80 serving as the side wall is deposited on the entire surface by a CVD method or the like.

Subsequently, as shown in FIG. 5D, the side wall insulating film 81 is formed by etching the Si nitride film 80 by the RIE method, and the Ni film 84 having a thickness of about 7 nm is further formed by a sputtering method or a CVD method. accumulate.

[0066]

Next, as shown in FIG. 5 (e), Ni and Ge are reacted by heat treatment to form source / drain electrodes 65 and 75 made of NiGe germanide, and then the unreacted Ni film 84 is removed by acid treatment.

[0067]

Next, as shown in FIG. 5 (f), when P is ion-implanted into NiGe as an n-type dopant and activation annealing is performed, P segregates into the lower part of the source / drain electrodes 65 and 75 of NiGe and P. High-concentration layers 62 and 72 are formed.

Subsequently, the stress application film 90 is deposited by a CVD method or the like so as to cover the whole.

After that, the strained Gen MOSFET 200 is completed by going through a normal wiring forming process.

[0068]

(Specific Example 2-2) As a second specific example of the second embodiment, the field effect transistor 200 is a strained Si-p MOSFET having compression distortion in the electron conduction direction (channel length direction).

[0069]

Here, the substrate 10 is n-type Si, the base layer 20 is n-type Si 0.95Ge0.05 with a film thickness of 70 nm, the channel semiconductor layer 30 is Si with a film thickness of 8 nm, and the gate insulating film 40 is LaAlO with a film thickness of 5 nm. The SiO2 interface layer of less than 1 nm, the gate electrode 50 is TiN having a film thickness of 20 nm, and the source electrode 65 and the drain electrode 75 are all NiSi having a film thickness of 12 nm.

Regions 62 and 72 heavily doped with B are formed below the source and drain electrodes 65 and 75.

The stress application film 90 is a silicon nitride film or a DLC (Diamond-Like Carbon) film.

[0070]

Further, from the viewpoint that the depletion layers 61 and 71 in the lower regions of the source / drain electrodes 65 and 75 are all included in the base layer 20 and dislocations do not occur between the base layer 20 and the substrate 10, the base layer 20 The preferred range of Ge composition is 1% or more and 15% or less.

Further, the lower limit of the film thickness of the base layer 20 is 30 nm, the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm in the case of 5% Ge composition), and the lower the Ge composition, the higher the upper limit value. growing.

[0071]

The stress application film 90 contains an eccentric stress and applies a compressive stress parallel to the current direction to the channel.

Other components (surface index of the substrate, channel length direction, substrate material, base layer material, etc.) can be deformed in the same manner as described above (Specific Example 1-2).

[0072]

In the second specific example, the lattice constant when the channel is viewed from the upper surface is compressed in the channel length direction as shown in FIG. 2 (b).

This is due to the compressive stress from the stress application film 90 having elastic stress.

On the other hand, it is pulled in the channel width direction.

This is an effect that the lattice expands in the channel width direction because the compressive stress is applied in the channel length direction in a state where elastic deformation is possible in the gate width direction due to the element separation in the gate width direction.

Such a strain configuration is the optimum configuration for increasing the current of the Ge-p MOSFET.

[0073]

The manufacturing method of the second specific example conforms to the first specific example.

However, since the electrical polarities are opposite, B is used as the channel impurity and P is used as the source / drain impurity.

[0074]

(Specific Example 2-3) As a third specific example of the second embodiment, the field effect transistor 200 is a strained Ge-p MOSFET having compressive strain in the conduction direction of holes.

[0075]

Here, the substrate 10 is an n-type Ge, the base layer 20 is an n-type Si0.04Ge0.95Sn0.01 with a film thickness of 70 nm, the channel semiconductor layer 30 is an n-type Ge with a film thickness of 8 nm, and the gate insulating film 40 is a film thickness of 5 nm. LaAlO and the GeO2 interface layer having a film thickness of less than 1 nm, the gate electrode 50 is TiN having a film thickness of 20 nm, and the source electrode 65 and the drain electrode 75 are all NiGe having a film thickness of 12 nm.

Regions 62 and 72 doped with a high concentration of P are formed below the source and drain electrodes 65 and 75.

The stress application film 90 is a silicon nitride film or a DLC (Diamond-Like Carbon) film.

[0076]

Further, from the viewpoint that the depletion layers 61 and 71 in the lower regions of the source / drain electrodes 65 and 75 are all included in the base layer 20 and dislocations do not occur between the base layer 20 and the substrate 10, the base layer 20 The preferred range of Ge composition is 85% or more and 99% or less, and the atomic composition of Sn is 3% or less.

The lower limit of the film thickness of the base layer 20 is 30 nm, and the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm when [Sn composition × 5-Si composition] = 5%), and the Ge composition. The higher the value and the lower the Sn composition, the larger the upper limit.

[0077]

The stress application film 90 contains an eccentric stress and applies a compressive stress parallel to the current direction to the channel.

Other components (surface index of the substrate, channel length direction, substrate material, base layer, channel layer material, etc.) can be deformed in the same manner as described above (Specific Example 1-3).

[0078]

In the third specific example, the lattice constant when the channel is viewed from the upper surface is compressed in the channel length direction as shown in FIG. 2 (b).

This is due to the compressive stress from the stress application film 90 having elastic stress.

On the other hand, it is pulled in the channel width direction.

This is an effect that the lattice expands in the channel width direction because the compressive stress is applied in the channel length direction in a state where elastic deformation is possible in the gate width direction due to the element separation in the gate width direction.

Such a strain configuration is the optimum configuration for increasing the current of the Ge-p MOSFET.

In particular, in the case of Sn composition < 5> Si composition, since the lattice constant of the base layer 20 is larger than the lattice constant of the channel layer 30, the tensile strain in the channel width direction becomes larger, which is more preferable from the viewpoint of improving mobility. .

[0079]

The manufacturing method of the third specific example conforms to the first specific example.

However, since the electrical polarities are opposite, P is used as the channel impurity and B is used as the source / drain impurity.

[0080]

(Specific Example 2-4) As a fourth specific example of the second embodiment, the field effect transistor 200 is a strained Si-n MOSFET having tensile strain in the direction of electron conduction.

[0081]

Here, the substrate 10 is p-type Si, the base layer 20 is p-type Si 0.95Ge0.045C0.005 having a film thickness of 70 nm, the channel semiconductor layer 30 is p-type Si having a film thickness of 8 nm, and the gate insulating film 40 has a film thickness of 5 nm. LaAlO and the SiO2 interface layer having a film thickness of less than 1 nm, the gate electrode 50 is TiN having a film thickness of 20 nm, and the source electrode 65 and the drain electrode 75 are all NiSi having a film thickness of 12 nm.

Regions 62 and 72 doped with a high concentration of P are formed below the source and drain electrodes 65 and 75.

The stress application film 90 is a silicon nitride film or a DLC (Diamond-Like Carbon) film.

[0082]

Further, from the viewpoint that the depletion layers 61 and 71 in the lower regions of the source / drain electrodes 65 and 75 are all included in the base layer 20 and dislocations do not occur between the base layer 20 and the substrate 10, the base layer 20 The preferred range of Ge composition is 1% or more and 15% or less, and the atomic composition of C is 0.1% to 2%.

Further, the lower limit of the film thickness of the base layer 20 is 30 nm, and the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm when [Ge composition −C composition × 10] = 5%). The lower the Ge composition, the larger the upper limit.

More preferably, like the above Si0.95Ge0.045C0.005, the Ge composition and the value of C composition × 10 are substantially equal, and under this condition, the lattice mismatch with the base layer 20 substrate 10 is substantially equal. Can be ignored.

[0083]

The stress application film 90 includes a compressible stress and applies a tensile stress parallel to the current direction to the channel.

Other components (surface index of the substrate, channel length direction, substrate material, base layer material, etc.) can be deformed in the same manner as described above (Specific Example 1-4).

[0084]

In the fourth specific example, the lattice constant when the channel is viewed from the upper surface extends in the channel length direction as shown in FIG. 2 (a).

This is due to the tensile stress from the stress application film 90 containing the compressive stress.

On the other hand, it is compressed in the channel width direction.

This is an effect that the lattice shrinks in the channel width direction because the tensile stress is applied in the channel length direction in a state where elastic deformation is possible in the gate width direction due to the element separation in the gate width direction.

[0085]

The manufacturing method of the fourth specific example conforms to the first specific example.

[0086]

It goes without saying that the modifications described in the first embodiment are also possible in the above first to fourth specific examples.

[0087]

(Third Embodiment) The structure of the MOS field effect transistor 300 according to the third embodiment of the present invention is shown in FIG.

[0088]

A gate electrode 50 is formed on the semiconductor substrate 10 via a gate insulating film 40.

A groove is formed in the substrate 10 with the gate electrode 50 interposed therebetween, and the source / drain base layers 63 and 73 made of alloy semiconductors containing the same elements as the substrate and the same elements as the substrate are contained in the groove. Source / drain regions 60 and 70 made of alloy semiconductors having different composition ratios and different lattice constants from 10 and the base layers 63 and 73 are formed on the base layer 20 in a lattice-matched manner.

Then, stress is applied to the channel region 35 under the gate electrode by these source / drain regions 60 and 70.

[0089]

Here, the base layers 63 and 73 are generally distorted because their lattice constants are different from those of the substrate 10.

Therefore, in order to prevent the occurrence of dislocations, the film thickness is less than the thermal equilibrium critical film thickness.

Further, the thickness of the base layers 63 and 73 is set to be thicker than the width of the depletion layer 61 below the source region 60 and the depletion layer 71 below the drain region 70.

Further, a metal compound layer (NiGeSi or the like) having a thickness of about 5 to 20 nm may be formed on the surfaces of the source / drain regions 60 and 70.

[0090]

In the present embodiment, since the base layers 63 and 73 are alloy semiconductors, compared with the conventional structure using a source / drain structure for applying strain to a single element substrate such as Si or Ge, as compared with the conventional structure. It is characterized by the fact that dislocations are unlikely to occur in the lower region of the source and drain.

Further, since all the depletion layers 61 and 71 in the source / drain lower region are included in the base layers 63 and 73, there is a feature that dislocations in the depletion layer that cause a leak current do not occur.

Further, since the thickness of the base layers 63 and 73 is less than the thermal equilibrium critical film thickness, there is a feature that dislocations do not occur due to lattice mismatch between the substrate 10 and the base layers 63 and 73.

Therefore, the same effect as that of the first embodiment can be obtained.

[0091]

(Specific Example 3-1) As a first specific example of the third embodiment, the field effect transistor 300 is a strain Gen MOSFET having tensile strain in the electron conduction direction (channel length direction).

[0092]

Here, the substrate 10 is p-type Ge, the source base layer 63 and the drain base layer 73 are p-type Si0.05Ge0.95 having a thickness of 70 nm, the channel region 35 is p-type Ge, and the gate insulating film 40 is LaAlO having a thickness of 5 nm. And GeO2 interface layer with a film thickness of less than 1 nm, TiN with a thickness of 20 nm for the gate electrode 50, Si nitride film with a film thickness of 10 nm for the cap layer 83, and P as a high-concentration n-type impurity in the source region 60 and drain region 70. It is a doped Si0.3Ge0.7 with a film thickness of 30 nm.

[0093]

Further, it is said that all the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are included in the source / drain base layers 63 and 73, and dislocation does not occur between the base layers 63 and 73 and the substrate 10. From the viewpoint, the range of preferable Ge composition of the base layers 63 and 73 is 85% or more and 99% or less.

Further, the lower limit of the film thickness of the base layers 63 and 73 is 30 nm, and the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm in the case of 95% Ge composition), and the higher the Ge composition, the upper limit. The value increases.

Regarding the source / drain regions 60 and 70, the range of Ge composition is preferably 50% to 85%, and the film thickness is preferably 5 nm to 50 nm from the viewpoint of generating as large a stress as possible while avoiding stress reduction due to plastic deformation. It becomes a range.

[0094]

Other components (surface index of the substrate, channel length direction, substrate material, base layer material, etc.) can be deformed in the same manner as described above (Specific Example 1-1).

[0095]

Next, with reference to FIG. 7, a manufacturing method of the first specific example of the third embodiment will be described.

[0096]

First, as shown in FIG. 7A, the Ge substrate 10 is subjected to element separation (not shown) by a method such as STI, and then the gate insulating film 40, the gate electrode 50, and the cap layer are formed on the Ge substrate 10. Each of 83 is sequentially deposited by a CVD method or the like.

[0097]

Next, as shown in FIG. 7B, after forming a gate pattern (not shown) by photolithography, the cap layer 83, the gate electrode 50, and the gate insulating film 40 are patterned by the RIE method.

[0098]

Next, as shown in FIG. 7C, the Si nitride film (Si3N4) 80 serving as the side wall is deposited on the entire surface by a CVD method or the like.

Subsequently, as shown in FIG. 7D, the side wall insulating film 81 is formed by etching the Si nitride film 80 by the RIE method, and the substrate 10 is further etched to form the recess 82 having a depth of 80 nm.

[0099]

Next, as shown in FIG. 7 (e), the p-type SiGe base layers 63 and 73 are formed up to the middle of the recess 82 by the LP-CVD method or the like.

Subsequently, as shown in FIG. 7 (f), the SiGe source / drain regions 60 and 70 in which P is incorporated as an n-type dopant at a high concentration are epitaxially grown by the LP-CVD method or the like.

[0100]

After that, the strain Gen MOSFET 300 is completed by performing activation annealing and undergoing a normal wiring formation process.

[0101]

(Specific Example 3-2) As a second specific example of the third embodiment, the field effect transistor 300 is a strained Si-p MOSFET having compression distortion in the hole conduction direction (channel length direction).

[0102]

Here, the substrate 10 is n-type Si, the source base layer 63 and the drain base layer 73 are n-type Si 0.95Ge0.05 having a thickness of 70 nm, the channel region 35 is n-type Si, and the gate insulating film 40 is LaAlO having a thickness of 5 nm. And the SiO2 interface layer with a film thickness of less than 1 nm, the gate electrode 50 is a TiN with a film thickness of 20 nm, the cap layer 83 is a Si nitride film with a film thickness of 10 nm, and the source region 60 and the drain region 70 are all high-concentration p-type impurities. It is a doped Si0.3Ge0.7 with a film thickness of 30 nm.

[0103]

Further, it is said that all the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are included in the source / drain base layers 63 and 73, and dislocation does not occur between the base layers 63 and 73 and the substrate 10. From the viewpoint, the range of preferable Ge composition of the base layers 63 and 73 is 1% or more and 15% or less.

Further, the lower limit of the film thickness of the base layers 63 and 73 is 30 nm, and the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm in the case of 95% Ge composition), and the lower the Ge composition, the upper limit. The value increases.

Regarding the source / drain regions 60 and 70, the range of Ge composition is preferably 15% to 50%, and the film thickness is preferably 5 nm to 50 nm from the viewpoint of generating as large a stress as possible while avoiding stress reduction due to plastic deformation. It becomes a range.

[0104]

Other components (surface index of the substrate, channel length direction, substrate material, base layer material, etc.) can be deformed in the same manner as described above (Specific Example 1-2).

[0105]

The manufacturing method of the second specific example conforms to the first specific example.

However, since the electrical polarities are opposite, P is used as the channel impurity and B is used as the source / drain impurity.

[0106]

(Specific Example 3-3) As a third specific example of the third embodiment, the field effect transistor 300 is a strain Ge-p MOSFET having compression strain in the hole conduction direction (channel length direction).

[0107]

Here, the substrate 10 is an n-type Ge, the source base layer 63 and the drain base layer 73 are n-type Si0.04Ge0.95Sn0.01 with a film thickness of 70 nm, the channel region 35 is an n-type Ge, and the gate insulating film 40 is a film thickness of 5 nm. LaAlO and GeO2 interface layer with a film thickness of less than 1 nm, TiN with a gate electrode 50 with a film thickness of 20 nm, and Sn0.05Ge0 with a film thickness of 30 nm in which the source region 60 and drain region 70 are all doped with B as high-concentration p-type impurities. It is .95.

[0108]

Further, it is said that all the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are included in the source / drain base layers 63 and 73, and dislocation does not occur between the base layers 63 and 73 and the substrate 10. From the viewpoint, the range of preferable Ge composition of the base layers 63 and 73 is 85% or more and 99% or less.

Further, the lower limit of the film thickness of the base layers 63 and 73 is 30 nm, and the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm when [Sn composition × 5-Si composition] = 5%). Yes, the higher the Ge composition and the lower the Sn composition, the larger the upper limit.

Regarding the source / drain regions 60 and 70, the Sn composition range is preferably 1% to 10% and the film thickness is preferably 5 nm to 50 nm from the viewpoint of generating as large a stress as possible while avoiding stress reduction due to plastic deformation. It becomes a range.

[0109]

Other components (surface index of the substrate, channel length direction, substrate material, base layer material, etc.) can be deformed in the same manner as described above (Specific Example 1-3).

[0110]

The manufacturing method of the third specific example conforms to the first specific example.

However, since the electrical polarities are opposite, P is used as the channel impurity and B is used as the source / drain impurity.

[0111]

(Specific Example 3-4) As a fourth specific example of the third embodiment, the field effect transistor 300 is a strained Si-n MOSFET having tensile strain in the electron conduction direction (channel length direction).

[0112]

Here, the substrate 10 is p-type Si, the source base layer 63 and the drain base layer 73 have a film thickness of 70 nm, p-type Si 0.95Ge0.045C0.005, the channel region 35 is p-type Si, and the gate insulating film 40 has a film thickness of 5 nm. LaAlO and SiO2 interface layer with a film thickness of less than 1 nm, TiN with a film thickness of 20 nm for the gate electrode 50, and Si0.97C0.03 with a film thickness of 30 nm in which the source region 60 and the drain region 70 are all doped with a high concentration of P. be.

[0113]

Further, it is said that all the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are included in the source / drain base alloy layers 63 and 73, and dislocations do not occur between the base layers 63 and 73 and the substrate 10. From the viewpoint, the preferable range of Ge composition of the base layers 63 and 73 is 1% or more and 15% or less, and the atomic composition of C is 0.1% to 2%.

Further, the lower limit of the film thickness of the base layers 63 and 73 is 30 nm, and the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm when [Ge composition −C composition × 10] = 5%). Yes, the lower the Ge composition, the larger the upper limit.

More preferably, as in the case of Si0.95Ge0.045C0.005 described above, the condition is such that the values of Ge composition and C composition × 10 are substantially equal, and under this condition, the lattice mismatch between the base layers 63 and 73 and the substrate 10 Can be virtually ignored.

Regarding the source / drain regions 60 and 70, the atomic composition range of C is 0.1% to 5%, and the film thickness is 5 nm from the viewpoint of generating as much stress as possible while avoiding stress reduction due to plastic deformation. To 50 nm is a preferable range.

[0114]

Other components (surface index of the substrate, channel length direction, substrate material, base layer material, etc.) can be deformed in the same manner as described above (Specific Example 1-4).

[0115]

The manufacturing method of the fourth specific example conforms to the first specific example.

[0116]

It goes without saying that the modifications described in the first embodiment are also possible in the above first to fourth specific examples.

[0117]

(Fourth Embodiment) The structure of the MOS field effect transistor 400 according to the fourth embodiment of the present invention is shown in FIG.

In FIG. 8, (a) is a top view, (b) represents an AA'cross section in (a), (c) represents a BB'cross section, and (d) represents a CC'cross section. ing.

[0118]

A plate-shaped semiconductor region (semiconductor fin) 31 is formed on the semiconductor substrate 10 substantially perpendicular to the main surface of the substrate, the lower portion of the fin 31 is embedded with an embedded insulating film 90, and the fin 31 is embedded and insulated. A channel region is formed above the film 90.

A cap layer 83 is formed on the upper surface of the fin 31, but the cap layer 83 is not always necessary.

Gate electrodes 50 are formed on both side surfaces of the upper portion of the fins 31 via a gate insulating film 40.

[0119]

A recess is formed in the fin 31 with the gate electrode 50 interposed therebetween, and a source base layer 63 and a drain base layer 73 made of an alloy semiconductor containing an element similar to that of the substrate 10 are formed in the recess in a lattice-matched manner. There is.

Further, on the base layers 63 and 73, a source region 60 and a drain made of an alloy semiconductor containing an element of the same type as the substrate 10 and having a composition ratio different from that of the substrate 10 and the base layers 63 and 73 and having different lattice constants. The regions 70 are formed in a lattice-matched manner.

Then, stress is applied to the channel region of the fin 31 by the source / drain regions 60 and 70.

[0120]

Here, the base layers 63 and 73 are generally distorted because their lattice constants are different from those of the substrate 10.

Therefore, in order to prevent the occurrence of dislocations, the film thickness is less than the thermal equilibrium critical film thickness.

Further, the thickness of the base layers 63 and 73 is set to be thicker than the width of the depletion layer 61 below the source region 60 and the depletion layer 71 below the drain region 70.

Further, a metal compound layer (NiGeSi or the like) having a thickness of about 5 to 20 nm may be formed on the surfaces of the source / drain regions 60 and 70.

[0121]

In the present embodiment, since the base layers 63 and 73 are alloy semiconductors, compared with the conventional structure using a source / drain structure for applying strain to a single element substrate such as Si or Ge, as compared with the conventional structure. It is characterized by the fact that dislocations are unlikely to occur in the lower region of the source and drain.

Further, since all the depletion layers 61 and 71 in the source / drain lower region are included in the base layers 63 and 73, there is a feature that dislocations in the depletion layer that cause a leak current do not occur.

Further, since the thickness of the base layers 63 and 73 is less than the thermal equilibrium critical film thickness, there is a feature that dislocations do not occur due to lattice mismatch between the substrate 10 and the base layers 63 and 73.

Therefore, the same effect as that of the first embodiment can be obtained.

[0122]

(Specific Example 4-1) As a first specific example of the fourth embodiment, the fin-type field effect transistor 400 is a strain Gen MOSFET having tensile strain in the electron conduction direction (channel length direction).

[0123]

Here, the substrate 10 is p-type Ge, the source base layer 63 and the drain base layer 73 are p-type Si0.05Ge0.95 having a thickness of 50 nm, the fins 31 and the channel region are p-type Ge, and the gate insulating film 40 has a thickness of 5 nm. LaAlO, a GeO2 interface layer with a film thickness of less than 1 nm, and a gate electrode 50 have a laminated structure of a TiN film 51 with a film thickness of 10 nm and an n-type polySiGe film 52, and a cap layer 83 is a Si nitride film with a film thickness of 30 nm and a source region. Both 60 and the drain region 70 are Si0.3Ge0.7 having a film thickness of 30 nm and which is doped with P as a high-concentration n-type impurity.

Instead of the poly-SiGe film 52, a metal such as poly-Si, polyGe, a metal compound thereof (NiSiGe or the like), or TaN may be used.

[0124]

Further, all the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are included in the source / drain base layers 63 and 73, and dislocation does not occur between the base layers 63 and 73 and the substrate 10. From the viewpoint, the range of preferable Ge composition of the base layers 63 and 73 is 85% or more and 99% or less.

The lower limit of the film thickness of the base layers 63 and 73 is 30 nm, the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm in the case of 95% Ge composition), and the higher the Ge composition, the higher the upper limit value. growing.

Regarding the source / drain regions 60 and 70, the range of Ge composition is preferably 50% to 90%, and the film thickness is preferably 5 nm to 50 nm from the viewpoint of generating as large a stress as possible while avoiding stress reduction due to plastic deformation. It becomes a range.

[0125]

Other components can be changed to the extent easily conceivable by those skilled in the art.

Further, the surface index and the channel direction of the side surface (the surface serving as the channel) of the fin 31 are optimal in the (111) plane and the [110] direction from the viewpoint of maximizing the drive current, respectively, but the (111) plane. Since the dependence of the drive current on the channel direction is small above, other directions may be used.

Further, a drive current comparable to that on the (111) plane can be obtained even in the [-110] direction on the (110) plane.

On other surfaces such as the (100) surface, the effect of increasing the drive current due to distortion can be obtained.

[0126]

In this specific example, the substrate 10 is not only a bulk Ge substrate, but also a substrate on which a Ge single crystal layer is formed on a Si substrate, a substrate on which a Ge single crystal layer is formed on an SOI substrate, or SGOI. A substrate in which a Ge single crystal layer is formed on the substrate may be used.

Further, as the base layers 63 and 73, SiGe: C, Ge: C to which carbon has been added, or SiGeSn to which Sn has been added may be used.

In this case, the atomic composition of C is preferably 0.1% to 2%, and the atomic composition of Sn is preferably 0.1% to 3%.

[0127]

Further, SiGe: C and Ge: C to which carbon is added may be used in the source / drain regions 60 and 70.

The atomic composition of C in this case is preferably in the range of 0.1% to 5%.

Further, instead of the cap layer 83 on the upper part of the fin 31, a gate insulating film 40 and a gate electrode 50 are also formed on the upper surface of the fin 31, and a structure (trigate structure) in which both side surfaces and the upper surface are channels. It is possible.

[0128]

The manufacturing method of the first specific example of the fourth embodiment will be described with reference to FIGS. 9 to 17.

Here, in FIGS. 9 to 17, FIG. 9A is a top view, and FIG. 9B is a cross-sectional view taken along the line AA'of FIG. 9A.

[0129]

First, as shown in FIGS. 9A and 9B, a cap layer 83 is formed on the Ge substrate 10, the cap layer 83 is patterned by photolithography, and then the substrate 10 is etched by the RIE method. A plate-shaped semiconductor region (semiconductor fin) 31 on which the cap layer 83 is placed is formed on the upper portion.

[0130]

Next, as shown in FIGS. 10A and 10B, an insulating film 90 is embedded and formed around the lower portion of the fin 31.

Specifically, after embedding the fin 31 and the cap layer 83 with the insulating film 90, flattening with CMP, etching the insulating film 90 by a predetermined amount by the RIE method, and further using dilute phosphoric acid on the side wall of the fin 31. By removing the remaining insulating film, the upper part of the fin 31 is exposed on the insulating film 90.

[0131]

Next, as shown in FIGS. 11A and 11B, the gate insulating film 40 and the TiN film 51 are formed on the region protruding above the embedded insulating film 90 of the fin 31 by a CVD method or the like, and further on the gate insulating film 40 and the TiN film 51. The poly SiGe film 52 is deposited.

[0132]

Next, as shown in FIGS. 12 (a) and 12 (b), the poly SiGe film 52, the TiN film 51, and the gate insulating film 40 are polished and flattened to the surface of the cap layer 83 by CMP, and then on the poly SiGe film 52. The poly SiGe film 52 is deposited again on the surface, and the second cap layer 53 is deposited on the poly SiGe film 52.

[0133]

Next, as shown in FIGS. 13 (a) and 13 (b), a gate pattern including a cap layer 83, a poly SiGe layer 52, and a second cap layer 53 is formed by a photolithography and a RIE method.

[0134]

Next, as shown in FIGS. 14 (a) and 14 (b), the Si nitride film 80 for the gate side wall is deposited on the entire surface, and then, as shown in FIGS. 15 (a) and 15 (b), the gate side wall insulating film is formed by the RIE method. 81 is formed.

[0135]

Next, as shown in FIGS. 16A and 16B, a recess 82 is formed in the source / drain forming region by the RIE method.

As a result, the second region where the source drains on both sides of the region should be formed is lower than the first region where the channel of the fin 31 should be formed.

[0136]

Next, as shown in FIGS. 17 (a) and 17 (b), the base layers 63 and 73 made of p-type Si0.05Ge0.95 are epitaxially grown in the recess 82, and the base layers 63 and 73 made of n-type Si0.3Ge0.7 are formed on the base layers 63 and 73. It grows epitaxially on the source / drain regions 60 and 70.

[0137]

After that, the fin-type strain Gen MOSFET 400 is completed by performing activation annealing and undergoing a normal wiring formation process.

[0138]

(Specific Example 4-2) As a second specific example of the fourth embodiment, the fin-type field effect transistor 400 is a strained Si-p MOSFET having compression distortion in the hole conduction direction (channel length direction). ..

[0139]

Here, the substrate 10 is n-type Si, the source base layer 63 and the drain base layer 73 are n-type Si 0.95Ge0.05 having a thickness of 50 nm, the fins 31 and the channel region are n-type Si, and the gate insulating film 40 has a thickness of 5 nm. LaAlO, a SiO2 interface layer with a film thickness of less than 1 nm, and a gate electrode 50 have a laminated structure of a

TiN film 51 with a film thickness of 10 nm and a p-type poly-Si film 52, and a cap layer 83 is a Si nitride film with a film thickness of 30 nm and a source region. Both 60 and the drain region 70 are Si0.7Ge0.3 having a film thickness of 30 nm and which is doped with B as a high-concentration p-type impurity.

Instead of the poly-Si film 52, a metal such as poly-SiGe, polyGe, a metal compound thereof (NiSiGe or the like), or TaN may be used.

[0140]

Further, the viewpoint that the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are included in the source / drain base layers 63 and 73, and dislocations do not occur between the base layers 63 and 73 and the substrate 10. Therefore, the preferable range of Ge composition of the base layers 63 and 73 is 1% or more and 15% or less.

Further, the lower limit of the film thickness of the base layers 63 and 73 is 30 nm, the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm in the case of 5% Ge composition), and the lower the Ge composition, the upper limit. The value increases.

Regarding the source / drain regions 60 and 70, the range of Ge composition is preferably 50% to 90%, and the film thickness is preferably 5 nm to 50 nm from the viewpoint of generating as large a stress as possible while avoiding stress reduction due to plastic deformation. It becomes a range.

[0141]

Other components can be changed to the extent easily conceivable by those skilled in the art.

Further, the surface index and the channel direction of the side surface (surface serving as the channel) of the fin 31 are optimal in the (110) surface and the [110] direction from the viewpoint of maximizing the drive current, respectively, but the (111) surface. The effect of increasing the drive current due to distortion can also be obtained on the upper surface and the (100) plane.

[0142]

In this specific example, not only the bulk Si substrate but also the SOI substrate may be used as the substrate 10.

Further, as the base layers 63 and 73, SiGe: C to which carbon is added may be used.

The atomic composition of C in this case is preferably in the range of 0.1% to 2%.

Further, SiGe: C, Ge: C with carbon added, or SiGeSn, SiSn with Sn added may be used in the source / drain regions 60 and 70.

In this case, the atomic composition of C is preferably 0.1% to 2%, and the atomic composition of Sn is preferably 0.1% to 10%.

Further, instead of the cap layer on the upper part of the fin, a gate insulating film and a gate electrode are also formed on the upper surface of the fin, and a structure (trigate structure) in which both side surfaces and the upper surface are channels is also possible.

[0143]

The manufacturing method of the second specific example conforms to the first specific example.

However, since the electrical polarities are opposite, P is used as the channel impurity and B is used as the source / drain impurity.

[0144]

(Specific Example 4-3) As a third specific example of the fourth embodiment, the fin-type field effect transistor 400 is a strain Ge-pMOSFET having compression strain in the hole conduction direction (channel length direction). ..

[0145]

Here, the substrate 10 is an n-type Ge, the source base layer 63 and the drain base layer 73 are n-type Si0.05Ge0.94Sn0.01 with a film thickness of 50 nm, the fins 31 and the channel region are n-type Ge, and the gate insulating film 40 is a film. The LaAlO having a thickness of 5 nm, the GeO2 interface layer having a thickness of less than 1 nm, the gate electrode 50 has a laminated structure of a TiN film 51 having a thickness of 10 nm and a polySiGe film 52, and the cap layer 83 has a Si nitride film having a thickness of 30 nm and a source region. Both 60 and the drain region 70 are Sn0.05Ge0.95 having a film thickness of 30 nm and which is doped with B as a high-concentration p-type impurity.

[0146]

Further, it is said that all the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are included in the source / drain base layers 63 and 73, and dislocation does not occur between the base layers 63 and 73 and the substrate 10. From the viewpoint, the range of preferable Ge composition of the base layers 63 and 73 is 85% or more and 99% or less.

Further, the lower limit of the film thickness of the base layers 63 and 73 is 30 nm, and the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm when [Sn composition × 5-Si composition] = 5%). Yes, the higher the Ge composition, the larger the upper limit.

More preferably, it is a condition that the values of the Si composition and the Sn composition × 5 are substantially equal to each other, as in the case of Si0.05Ge0.94Sn0.01, and under this condition, the lattice mismatch between the base layers 63 and 73 and the substrate 10 Can be virtually ignored.

Regarding the source / drain regions 60 and 70, the Sn composition range is preferably 1% to 10% and the film thickness is preferably 5 nm to 50 nm from the viewpoint of generating as large a stress as possible while avoiding stress reduction due to plastic deformation. It becomes a range.

[0147]

Other components can be changed to the extent easily conceivable by those skilled in the art.

Further, the surface index and the channel direction of the fin side wall are optimal in the (110) plane and the [110] direction from the viewpoint of maximizing the drive current, respectively, but also on the (111) plane and the (100) plane. , The effect of increasing the drive current due to distortion can be obtained.

[0148]

The manufacturing method of the third specific example conforms to the first specific example.

However, since the electrical polarities are opposite, P is used as the channel impurity and B is used as the source / drain impurity.

[0149]

(Specific Example 4-4) As a fourth specific example of the fourth embodiment, the fin-type field effect transistor 400 is a strained Si-n MOSFET having tensile strain in the electron conduction direction (channel length direction).

[0150]

Here, the substrate 10 is p-type Si, the source base layer 63 and the drain base layer 73 are p-type Si 0.945Ge0.05C0.005 having a film thickness of 50 nm, the fins 31 and the channel region are p-type Si, and the gate insulating film 40 is a film. LaAlO with a thickness of 5 nm, a SiO2 interface layer with a thickness of less than 1 nm, the gate electrode 50 has a laminated structure of a TiN film 51 with a thickness of 10 nm and a polySiGe film 52, and the cap layer 83 is a Si nitride film with a thickness of 30 nm and a source region. Both 60 and the drain region 70 are Si0.97C0.03 having a film thickness of 30 nm and which is doped with P as a high-concentration n-type impurity.

[0151]

Further, it is said that all the depletion layers 61 and 71 in the lower regions of the source / drain regions 60 and 70 are included in the source / drain base layers 63 and 73, and dislocation does not occur between the base layers 63 and 73 and the substrate 10. From the viewpoint, the preferable range of Ge composition of the base layers 63 and 73 is 1% or more and 15% or less, and the atomic composition of C is 0.1% to 2%.

Further, the lower limit of the film thickness of the base layers 63 and 73 is 30 nm, and the upper limit of the film thickness is the thermal equilibrium critical film thickness according to the composition (for example, 80 nm when [C composition × 10-Ge composition] = 5%). Yes, the lower the Ge composition, the larger the upper limit.

More preferably, as in the case of Si0.945Ge0.05C0.005 described above, the condition is such that the values of Ge composition and C composition × 10 are substantially equal, and under this condition, the lattice mismatch between the base layer 20 and the substrate 10 is substantially equal. Can be ignored.

Regarding the source / drain regions 60 and 70, the atomic composition range of C is 0.1% to 5%, and the film thickness is 5 nm from the viewpoint of generating as much stress as possible while avoiding stress reduction due to plastic deformation. To 50 nm is a preferable range.

[0152]

Other components can be changed to the extent easily conceivable by those skilled in the art.

Further, the surface index and the channel direction of the fin side wall are optimal in the (100) plane and the [110] direction from the viewpoint of maximizing the drive current, respectively, but also on the (111) plane and the (110) plane. , The effect of increasing the drive current due to distortion can be obtained.

[0153]

The manufacturing method of the fourth specific example conforms to the first specific example.

[0154]

It goes without saying that the modifications described in the first embodiment are also possible in the above first to fourth specific examples.

[0155]

10 ... Semiconductor substrate 20 ... Underlayer 30 ... Channel Semiconductor layer 31 ... Semiconductor fin 35 ... Channel region 40 ... Gate insulating film 50 ... Gate electrode 51 ... TiN film 52 ... SiGe film 53, 83 ... Cap layer 60 ... Source region 61 ... Source lower depletion layer 62 ... impurity doping region 63 ... source base layer 65 ... source electrode 70 ... drain region 71 ... drain lower depletion layer 72 ... impurity doping region 73 ... drain base layer 75 ... drain electrode 80 ... Si nitride film 81 ... gate Side wall insulating film 82 ... Recess 90 ... Stress application film

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JP2010171337A

1.

A stressed channel region, a gate electrode provided on the channel region via a gate insulating film, a source / drain region provided on both sides of the channel region, and at least a lower portion of the source / drain region. The base layer is provided with a base layer made of an alloy semiconductor provided in the above, and the base layer is formed so that the depletion layer formed in the lower part of the source / drain region is thicker than the thickness that can be accommodated in the base layer, and is thermally balanced. A field-effect transistor characterized by being formed thinner than the thermal equilibrium critical film thickness into which misfit dislocations are introduced into the crystal in the state.

2.

An underlayer made of an alloy semiconductor having the same elements as the substrate and having a lattice constant different from that of the substrate provided on the semiconductor substrate, and a lattice provided on a part of the underlayer. It is provided on the base layer so as to sandwich the channel semiconductor layer and the channel semiconductor layer, which have different constants and are subjected to tensile stress in one of the channel length direction and the channel width direction and compressive stress is applied to the other. A source / drain region and a gate electrode provided on the channel semiconductor layer via a gate insulating film are provided. In the base layer, a depletion layer formed below the source / drain region is the base layer. A field-effect transistor characterized in that it is formed thicker than the thickness that fits inside, and is formed thinner than the thermal equilibrium critical film thickness in which misfit dislocations are introduced into the crystal in a thermal equilibrium state.

3.

A gate electrode provided on a part of a semiconductor substrate via a gate insulating film and a groove provided on the substrate with a channel region under the gate electrode interposed therebetween, formed by embedding halfway through the groove. A source / drain base layer made of an alloy semiconductor containing the same elements as the substrate and having a lattice constant different from that of the substrate, and the base layer provided on the base layer so as to sandwich the channel region have a lattice constant. A different source / drain region is provided, and the channel region is subjected to tensile stress in one of the channel length direction and the channel width direction and compressive stress is applied to the other, and the base layer is the source / drain region. The feature is that the depletion layer formed in the lower part of the region is formed thicker than the thickness that can be accommodated in the underlying layer, and is formed thinner than the thermal equilibrium critical film thickness in which misfit dislocations are introduced into the crystal in the thermal equilibrium state. Field effect transistor.

4.

3. The field effect transistor according to any one

5.

The source / drain region is p-type, and the channel region or the channel semiconductor layer is subjected to compressive strain in the channel length direction and tensile strain in the channel width direction. The field effect transistor according to any one.

6.

On the semiconductor substrate, the first region formed substantially perpendicular to the main surface of the substrate and on which the channel region should be formed is larger than the second region on which the source / drain regions on both sides of the region should be formed. A high-formed plate-shaped semiconductor fin, an embedded insulating film embedded around the lower portion of the fin, and a gate provided via a gate insulating film on at least both side surfaces of the first region of the fin. A source / drain composed of an electrode and an alloy semiconductor containing the same element as the substrate and having a lattice constant different from that of the substrate, which is provided in the second region of the fin to a position lower than the upper end of the first region. A base layer and a source / drain region having a lattice constant different from that of the base layer, which is provided on the base layer so as to sandwich the upper portion of the first region, are provided, and the channel region includes a channel. Stress is applied in the long direction, and the underlying layer is formed thicker than the depletion layer formed in the lower part of the source / drain region is thicker than the thickness that fits in the underlying layer, and misfit dislocations occur in the crystal in a thermal equilibrium state. A field-effect transistor characterized by being formed thinner than the introduced thermal equilibrium critical film thickness.

7.

The source / drain region is made of a semiconductor that is the same alloy semiconductor as the base layer and has a composition ratio different from that of the base layer, is formed in lattice matching on the base layer, and stresses the channel region or the channel semiconductor layer. The field effect transistor according to any one of claims 1 to 3, which is a stressor to be applied.

8.

Any of claims 1 to 3 and 6, wherein a stressor film surrounding the source / drain region and the gate electrode is provided, and stress is applied to the channel region or the channel semiconductor layer by the stressor film. The described field effect transistor.

9.

7. The substrate and the channel region or channel semiconductor layer are both Ge, the base layer is Si1-xGex, and the source / drain region is Si1-yGey (y <x). The described field effect transistor.

10.

8. The eighth aspect of the invention, wherein the substrate and the channel region or the channel semiconductor layer are both Si, the base layer is Si1-xGex, and the source / drain is Si1-yGey (y> x). Field effect transistor.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-171337
(P2010-171337A)
(43)公開日　平成22年8月5日(2010.8.5)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/78	(2006.01)	H01L	29/78	301B	4M104
H01L 21/20	(2006.01)	H01L	29/78	301N	5F110
H01L 29/417	(2006.01)	H01L	29/78	301S	5F140
H01L 21/336	(2006.01)	H01L	29/78	301X	5F152
H01L 29/786	(2006.01)	H01L	21/20		

審査請求 有　請求項の数 10　ＯＬ　（全 27 頁）　最終頁に続く

(21)出願番号　特願2009-14541 (P2009-14541)
(22)出願日　平成21年1月26日 (2009.1.26)

（出願人による申告）平成２０年度独立行政法人新エネルギー・産業技術総合開発機構「次世代半導体材料・プロセス基盤（ＭＩＲＡＩ）プロジェクト／次世代半導体材料・プロセス基盤（ＭＩＲＡＩ）プロジェクト（一般会計）／新構造極限ＣＭＯＳトランジスタ「関連技術開発」委託研究、産業技術力強化法第１９条の適用を受ける特許出願

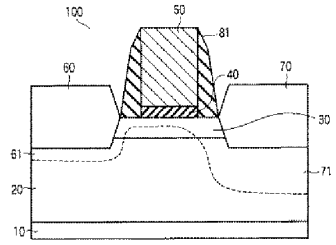
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100075672
弁理士　峰　隆司

最終頁に続く

(54)【発明の名称】電界効果トランジスタ

(57)【要約】
【課題】歪みチャネルを用いた場合のリーク電流を低減することができ、不良の発生を抑制して歩留まりの向上をはかる。
【解決手段】半導体基板１０上に設けられた、基板１０とは格子定数の異なる合金半導体からなる下地層２０と、下地層２０上に設けられた、下地層２０とは格子定数が異なり、チャネル長方向及びチャネル幅方向の一方に引っ張り応力、他方に圧縮応力が付与されたチャネル半導体層３０と、チャネル半導体層３０を挟むように下地層２０上に設けられたソース・ドレイン領域６０，７０と、チャネル半導体層３０上にゲート絶縁膜４０を介して設けられたゲート電極５０とを備えた電界効果トランジスタであって、下地層２０は、ソース・ドレイン領域６０，７０の下部に形成される空乏層６１，７１が下地層２０内に収まる厚さよりも厚く形成され、且つ熱平衡臨界膜厚よりも薄く形成されている。
【選択図】　図１

図１



【特許請求の範囲】
【請求項1】
応力が付与されたチャネル領域と、
前記チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、
前記チャネル領域の両側に設けられたソース・ドレイン領域と、
少なくとも前記ソース・ドレイン領域の下部に設けられた合金半導体からなる下地層と、
を具備し、
前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする電界効果トランジスタ。
【請求項2】
半導体基板上に設けられた、該基板と同じ元素を含み、該基板とは格子定数の異なる合金半導体からなる下地層と、
前記下地層上の一部に設けられた、該下地層とは格子定数が異なり、チャネル長方向及びチャネル幅方向の一方に引っ張り応力が付与され、他方に圧縮応力が付与されたチャネル半導体層と、
前記チャネル半導体層を挟むように、前記下地層上に設けられたソース・ドレイン領域と、
前記チャネル半導体層上にゲート絶縁膜を介して設けられゲート電極と、
を具備し、
前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする電界効果トランジスタ。
【請求項3】
半導体基板上の一部にゲート絶縁膜を介して設けられたゲート電極と、
前記ゲート電極下のチャネル領域を挟んで前記基板に設けられた溝内に該溝の途中まで埋め込み形成された、前記基板と同じ元素を含み、該基板とは格子定数の異なる合金半導体からなるソース・ドレイン下地層と、
前記下地層上に前記チャネル領域を挟むように設けられた、前記下地層とは格子定数の異なるソース・ドレイン領域と、
を具備し、
前記チャネル領域には、チャネル長方向及びチャネル幅方向の一方に引っ張り応力が付与され、他方に圧縮応力が付与され、
前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする電界効果トランジスタ。
【請求項4】
前記ソース・ドレイン領域はｎ型であり、前記チャネル領域若しくはチャネル半導体層にはチャネル長方向に引っ張り歪みが、チャネル幅方向に圧縮歪みが付与されていることを特徴とする請求項１～３の何れかに記載の電界効果トランジスタ。
【請求項5】
前記ソース・ドレイン領域はｐ型であり、前記チャネル領域若しくはチャネル半導体層にはチャネル長方向に圧縮歪みが、チャネル幅方向に引っ張り歪みが付与されていることを特徴とする請求項１～３の何れかに記載の電界効果トランジスタ。
【請求項6】
半導体基板上に、該基板の主面に対してほぼ垂直に形成され、且つチャネル領域を形成すべき第１の領域が該領域の両側のソース・ドレイン領域を形成すべき第２の領域よりも高く形成された板状の半導体フィンと、

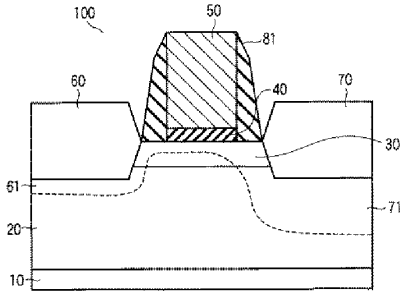
前記フィンの下部周囲に埋め込み形成された埋め込み絶縁膜と、
前記フィンの前記第１の領域の少なくとも両側面に、ゲート絶縁膜を介して設けられたゲート電極と、
前記フィンの第２の領域に前記第１の領域の上端よりも低い位置まで設けられた、前記基板と同じ元素を含み、該基板とは格子定数の異なる合金半導体からなるソース・ドレイン下地層と、
前記下地層上に前記第１の領域の上部を挟むように設けられた、前記下地層とは格子定数の異なるソース・ドレイン領域と、
を具備し、
前記チャネル領域には、チャネル長方向に応力が付与され、
前記下地層は、前記ソース・ドレイン領域の下部に形成される空乏層が該下地層内に収まる厚さよりも厚く形成され、且つ熱平衡状態で結晶にミスフィット転位が導入される熱平衡臨界膜厚よりも薄く形成されていることを特徴とする電界効果トランジスタ。
【請求項7】
前記ソース・ドレイン領域は、前記下地層と同じ合金半導体で該下地層とは組成比の異なる半導体からなり、該下地層上に格子整合して形成され、前記チャネル領域若しくはチャネル半導体層に応力を印加するストレッサーとなっていることを特徴とする請求項１～３，６の何れかに記載の電界効果トランジスタ。
【請求項8】
前記ソース・ドレイン領域及びゲート電極を取り囲むストレッサー膜が設けられ、このストレッサー膜により前記チャネル領域若しくはチャネル半導体層に応力が印加されていることを特徴とする請求項１～３，６の何れかに記載の電界効果トランジスタ。
【請求項9】
前記基板及び前記チャネル領域若しくはチャネル半導体層は共にＧｅであり、前記下地層は$Si_{1-x}Ge_x$であり、前記ソース・ドレイン領域は$Si_{1-y}Ge_y$（ｙ＜ｘ）であることを特徴とする請求項７記載の電界効果トランジスタ。
【請求項10】
前記基板及び前記チャネル領域若しくはチャネル半導体層は共にＳｉであり、前記下地層は$Si_{1-x}Ge_x$であり、前記ソース・ドレインは$Si_{1-y}Ge_y$（ｙ＞ｘ）であることを特徴とする請求項８記載の電界効果トランジスタ。
【発明の詳細な説明】
【技術分野】
【0001】
本発明は、ＭＯＳ型の電界効果トランジスタ（ＭＯＳＦＥＴ）に関する。
【背景技術】
【0002】
近年、ＭＯＳＦＥＴの性能向上のために、チャネルに歪みを加えることによって、キャリア移動度を増大させる技術が用いられている。また、Ｓｉよりも電子，正孔の移動度が何れも高いＧｅチャネルを用いる試みも検討されている。さらに、両者を組み合わせ、歪みＧｅチャネルに対する検討も始まっている（例えば、非特許文献１参照）。
【0003】
このような歪みチャネルを用いる際には、歪み起因の転位の発生による素子特性の劣化や、不良の発生が懸念される。例えば、転位がソース・ドレイン下部の空乏層に発生すると、転位に沿って異常拡散した不純物に起因したリーク電流の増大が懸念される。最悪の場合、ソース・ドレイン間の短絡が発生する。そして、これらが不良の発生要因となって歩留まりの低下を招くことになる。
【図面の簡単な説明】
【0011】
【図1】第１の実施形態に係わるＭＯＳ型電界効果トランジスタの素子構造を示す断面図。
【図2】第１の実施形態における各具体例の格子歪みの状態を示す模式図。

【図3】第１の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す断面図。
【図4】第２の実施形態に係わるＭＯＳ型電界効果トランジスタの素子構造を示す断面図。
【図5】第２の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す断面図。
【図6】第３の実施形態に係わるＭＯＳ型電界効果トランジスタの素子構造を示す断面図。
【図7】第３の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す断面図。
【図8】第４の実施形態に係わるＭＯＳ型電界効果トランジスタの素子構造を示す平面図と断面図。
【図9】第４の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す平面図と断面図。
【図10】第４の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す平面図と断面図。
【図11】第４の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す平面図と断面図。
【図12】第４の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す平面図と断面図。
【図13】第４の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す平面図と断面図。
【図14】第４の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す平面図と断面図。
【図15】第４の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す平面図と断面図。
【図16】第４の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す平面図と断面図。
【図17】第４の実施形態のＭＯＳ型電界効果トランジスタの製造工程を示す平面図と断面図。
【符号の説明】
【0155】
１０…半導体基板
２０…下地層
３０…チャネル半導体層
３１…半導体フィン
３５…チャネル領域
４０…ゲート絶縁膜
５０…ゲート電極
５１…ＴｉＮ膜
５２…ＳｉＧｅ膜
５３，８３…キャップ層
６０…ソース領域
６１…ソース下部空乏層
６２…不純物ドーピング領域
６３…ソース下地層
６５…ソース電極
７０…ドレイン領域
７１…ドレイン下部空乏層
７２…不純物ドーピング領域
７３…ドレイン下地層
７５…ドレイン電極
８０…Ｓｉ窒化膜

８１…ゲート側壁絶縁膜
８２…リセス
９０…応力印加膜

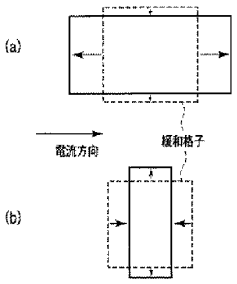
【図1】

図１



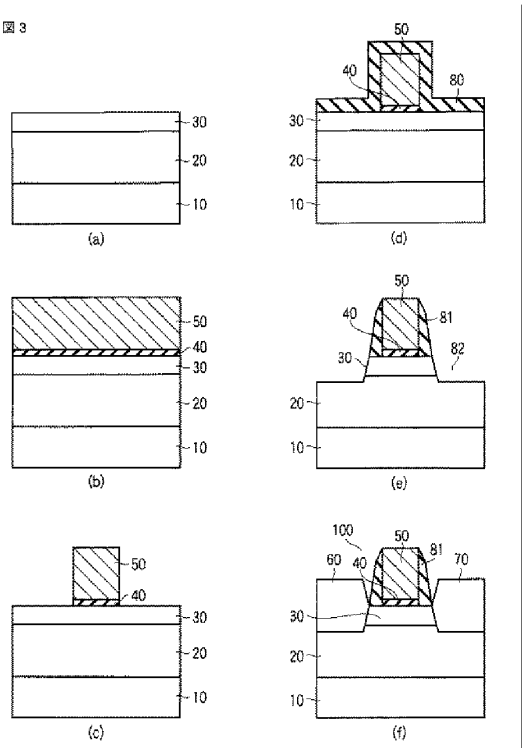
【図2】

図２



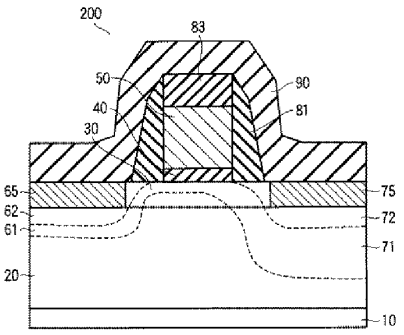
【図3】

図３

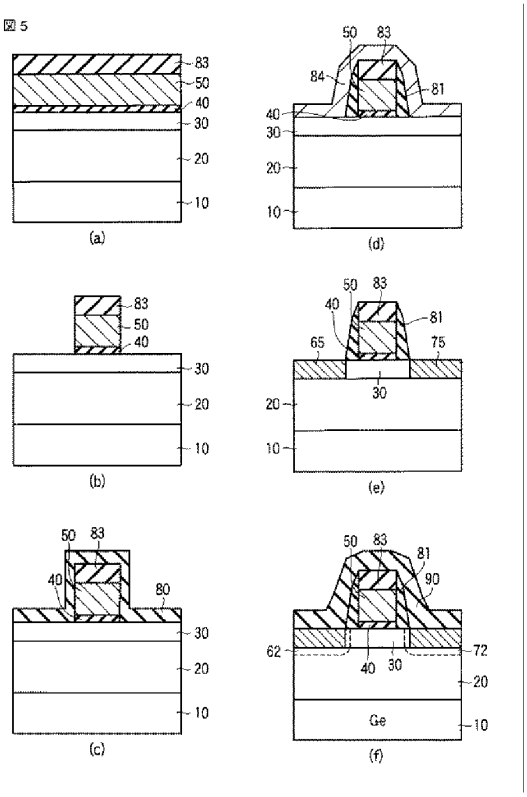

50
40
80
30
20
10
(a)
(d)
50
40
30
20
10
(b)
50
40
81
82
30
20
10
(e)
50
40
30
20
10
(c)
100
50
60
40
81
70
30
20
10
(f)

【図4】

図４

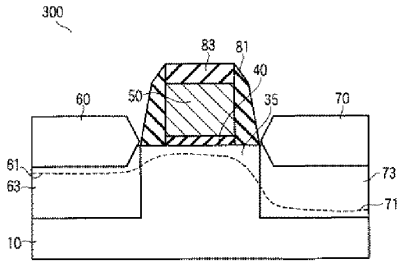


【図5】

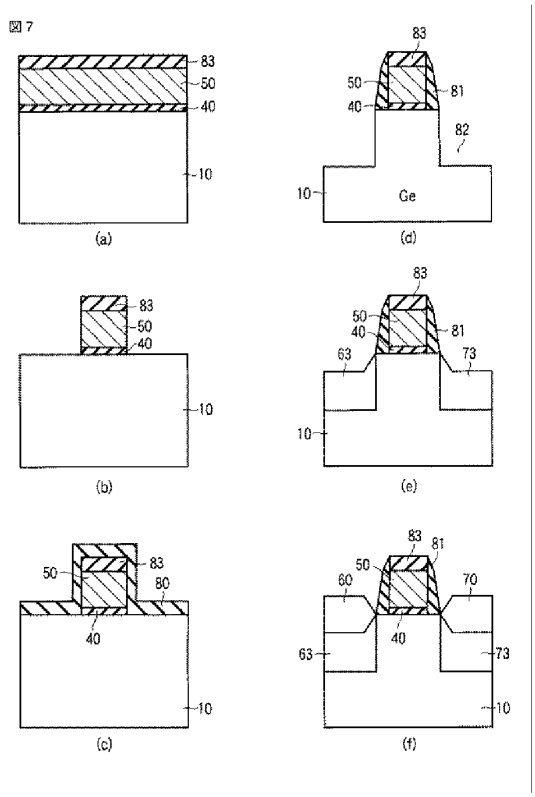

図５
83
50
40
30
20
10
(a)
83
50
40
30
20
10
(b)
50
83
40
80
30
20
10
(c)
50
83
84
81
40
30
20
10
(d)
50
83
40
81
65
75
30
20
10
(e)
50
83
81
90
62
72
40
30
20
Ge
10
(f)

【図6】

図６

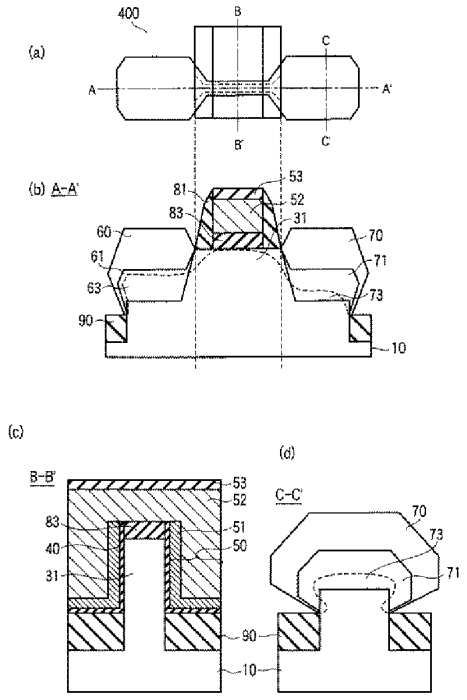


【図7】


図７
83
50
40
10
(a)
83
50
40
10
(b)
50
83
80
40
10
(c)
83
50
81
40
82
10
Ge
(d)
83
50
40
81
63
73
10
(e)
83
81
50
60
70
40
63
73
10
(f)

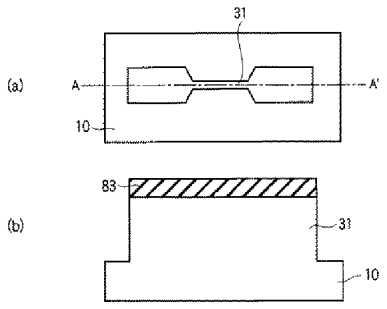
【図8】

図８


400
B
C
(a)
A
A'
B'
C
(b) A-A'
81
53
52
83
31
60
70
61
71
63
73
90
10
(c)
(d)
B-B'
C-C'
53
52
83
51
40
50
31
70
73
71
90
10

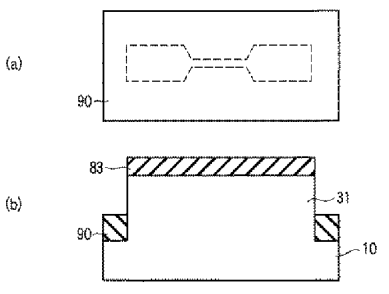
【図9】

図９



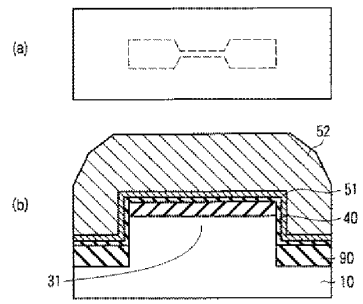
【図10】

図10



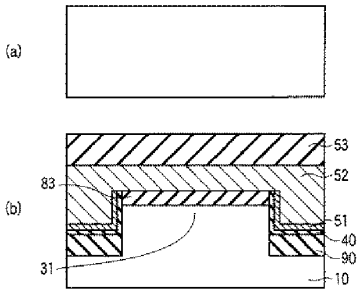
【図11】

図11



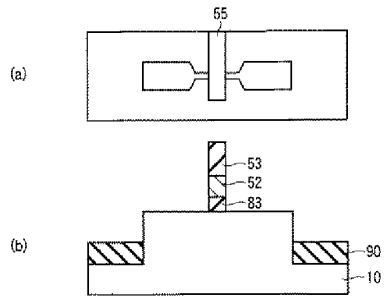
【図12】

図12



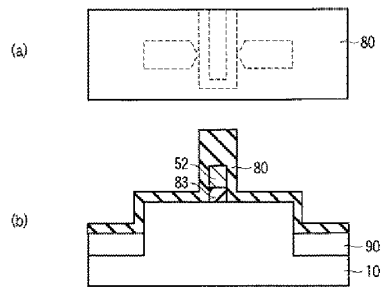
【図13】

図 13



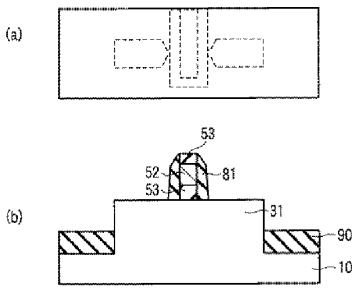
【図14】

図14



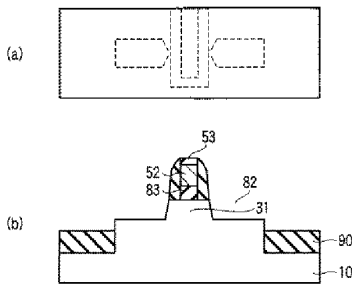
【図15】

図15



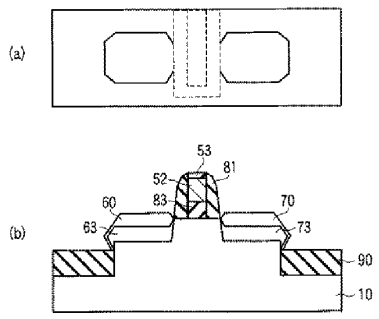
【図16】

図16



【図17】

図17



(51)Int.Cl.	FI		テーマコード（参考）
	Ｈ０１Ｌ	29/50	Ｍ
	Ｈ０１Ｌ	29/78	６１８Ｚ
	Ｈ０１Ｌ	29/78	６１６Ｕ
	Ｈ０１Ｌ	29/78	６１６Ｖ

(74)代理人　100095441
弁理士　白根　俊郎
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100103034
弁理士　野河　信久
(74)代理人　100119976
弁理士　幸長　保次郎
(74)代理人　100153051
弁理士　河野　直樹
(74)代理人　100140176
弁理士　砂川　克
(74)代理人　100100952
弁理士　風間　鉄也
(74)代理人　100101812
弁理士　勝村　紘
(74)代理人　100070437
弁理士　河井　将次
(74)代理人　100124394
弁理士　佐藤　立志
(74)代理人　100112807
弁理士　岡田　貴志
(74)代理人　100111073
弁理士　堀内　美保子
(74)代理人　100134290
弁理士　竹内　将訓
(74)代理人　100127144
弁理士　市原　卓三
(74)代理人　100141933
弁理士　山下　元
(72)発明者　手塚　勉
東京都港区芝浦一丁目１番１号　株式会社東芝内

Ｆターム(参考)
4M104 AA01 AA02 AA09 BB21 BB30 BB36 CC01 CC05 DD04 DD37
DD43 DD65 DD83 EE03 EE16 FF13 GG09 GG10 GG14
5F110 AA06 AA26 CC01 CC10 DD05 DD13 EE01 EE32 EE45 FF01
FF29 GG01 GG02 GG03 GG06 GG07 GG17 GG19 GG22 GG25
GG47 HK05 HK06 HK08 HK18 HK25 HK37 HK39 HK42 HM02
NN05 NN22 NN24 NN35 NN62 NN65
5F140 AA05 AA24 AC01 AC28 BA01 BA03 BA05 BA16 BA20 BB05
BB18 BC06 BC12 BD01 BD05 BD11 BD13 BE10 BF01 BF10
BF11 BF14 BG08 BG14 BG28 BG38 BG52 BG53 BH06 BH27
BH50 BJ01 BJ06 BJ30 BK09 BK15 BK17 BK21 BK34 CC08
CC12

5F152 LL03 LN03 LN08 MM04 NN03 NN04 NN06 NN07 NN08 NN15
NN27 NN29 NP02 NP04 NP05 NP08 NQ03 NQ04 NQ05 NQ08

Espacenet

Bibliographic data: JP2010272859 (A) — 2010-12-02

FIELD EFFECT TRANSISTOR (FET) INVERTER AND METHOD OF FABRICATING THE SAME (NANOWIRE MESH OF SINGLE GATE INVERTER)

Inventor(s): CHANG JOSEPHINE B; GUILLORN MICHAEL A; SLEIGHT JEFFREY W; CHANG PAUL + (CHANG JOSEPHINE B, ; GUILLORN MICHAEL A, ; SLEIGHT JEFFREY W, ; CHANG PAUL)

Applicant(s): IBM + (INTERNATL BUSINESS MACH CORP <IBM>)

Classification: - international: ***H01L21/336; H01L21/8238; H01L27/08; H01L27/092; H01L29/786***
- cooperative: **H01L27/1203 (EP); H01L29/0673 (EP); H01L29/42392 (EP); H01L29/78696 (EP);** H01L27/092 (EP); Y10S977/762 (EP); Y10S977/938 (EP)

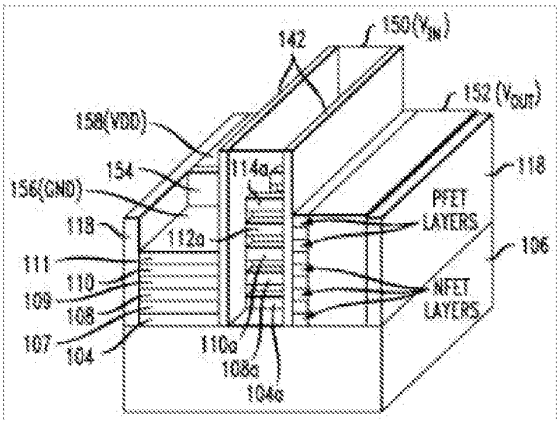
Application number: JP20100108180 20100510 Global Dossier

Priority number (s): US20090470128 20090521

Also published as: CN101894842 (A) CN101894842 (B) JP5607420 (B2) KR101081066 (B1) KR20100126188 (A) more

Abstract of JP2010272859 (A)

PROBLEM TO BE SOLVED: To provide a nanowire mesh of a single gate inverter and a method of fabricating the same. ;SOLUTION: The field effect transistor (FET) includes a plurality of device layers disposed vertically in a stack, each device layer has a source region, a drain region and a plurality of nanowire channels 110 connecting the source region and the drain region, wherein the source and drain regions of one or more of the device layers are doped with an n-type dopant or a p-type dopant. The FET inverter further



includes a common gate 150 surrounding the plurality of nanowire channels, a first contact 156 to the source regions of the one or more device layers doped with the n-type dopant, a second contact 158 to the source regions of the one or more device layers doped with the p-type dopant, and a common third contact 152 to the drain regions of each of the device layers. ;COPYRIGHT: (C)2011,JPO&INPIT

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JP2010272859A

Field Effect Transistor (FET) Inverter and its Manufacturing Method (Nanowire Mesh of Single Gate Inverter)

[0001]

The present invention relates to nanowire-based devices, and more specifically to field effect transistor (FET) logic inverters.

[0002]

In a basic form, a field effect transistor (FET) includes a source region, a drain region, and a channel between the source and drain regions. The gate controls the flow of electrons through the channel between the source and drain regions.

[0003]

FETs are used as basic components of various types of complementary metal oxide semiconductor (CMOS) circuits.

For example, logic gate inverters are a common component of many integrated circuit designs, using one or more complementary pairs of n-type channel field effect transistors (NFETs) and p-channel field effect transistor (PFETs) devices. Can be formed. A typical NFET / PFET inverter is configured such that the source region of the NFET is connected to the drain of the PFET and the gates of the devices are connected to each other.

[0004]

This standard inverter layout has an occupied area (footprint) of the size of two FETs.

Due to the widespread use of inverters in most circuit designs, reducing the layout occupying area of an inverter can significantly reduce the layout area required to implement most circuit designs.

[0005]

Therefore, a shrinkable FET inverter and a manufacturing technique thereof are desired.

[0006]

The present invention provides nanowire-based devices.

A field effect transistor (FET) inverter is provided in one aspect of the present invention.

This FET inverter includes a plurality of vertically arranged device layers in a stack, and each device layer has a source region, a drain region, and a plurality of nanowire channels connecting the source region and the drain region. Here, the source and drain regions of one or more device layers are doped with n-type dopants, the source and drain regions of one or more other

device layers are doped with p-type dopants, and the FET inverters are further nanowired. A gate common to each of the device layers surrounding the channel, a first contact to the source region of one or more device layers doped with an n-type dopant, and one or more doped with a p-type dopant. It includes a second contact to the source region of the plurality of device layers and a common third contact to the drain region of each device layer.

[0007]

In another aspect of the present invention, there is provided a method of manufacturing a FET inverter.

This method involves the following steps:

A plurality of vertically arranged device layers are formed in the stack, where each device layer has a source region, a drain region, and a plurality of nanowire channels connecting the source region and the drain region.

Introduce n-type dopants in the source and drain regions of one or more device layers.

A p-type dopant is introduced into the source and drain regions of one or more device layers.

It forms a common gate for each of the device layers that surrounds the nanowire channel.

It forms a first contact to the source region of one or more device layers doped with an n-type dopant.

It forms a second contact to the source region of one or more device layers doped with a p-type dopant.

It forms a common third contact to the drain region of each device layer.

[0008]

A more complete understanding of the present invention, and yet yet another feature and advantage of the present invention, will be obtained by reference to the following detailed description and drawings.

[0009]

It is sectional drawing which shows the starting structure of manufacturing of the field effect transistor (FET) inverter by one Embodiment of this invention.

It is sectional drawing which shows a plurality of nanowire hardmasks by one Embodiment of this invention.

FIG. 5 is a cross-sectional view showing a dummy gate formed on an active region of an inverter according to an embodiment of the present invention.

FIG. 5 is a cross-sectional view showing a nanowire hardmask trimmed around a dummy gate according to an embodiment of the present invention.

It is sectional drawing which shows the filler layer deposited around the dummy gate by one Embodiment of this invention.

FIG. 5 is a cross-sectional view showing a state in which a dummy gate is removed and a trench is formed in a filler layer according to an embodiment of the present invention.

It is sectional drawing which shows the fin stack by one Embodiment of this invention.

FIG. 5 is a cross-sectional view showing a state in which an exposed nitride portion of a nanowire hard mask has been removed according to an embodiment of the present invention.

It is sectional drawing which shows the spacer formed in the trench by one Embodiment of this invention.

It is sectional drawing which shows the state which the sacrificial layer was removed from the fin stack by one Embodiment of this invention.

It is sectional drawing which shows the separate n-type dope layer and p-type dope layer formed in the FET inverter by one Embodiment of this invention.

It is sectional drawing which shows the substitution gate formed in the trench by one Embodiment of this invention.

It is sectional drawing which shows the state which the filler layer was removed according to one Embodiment of this invention.

It is sectional drawing which shows the drain region contact by one Embodiment of this invention.

It is sectional drawing which shows the source region insulation by one Embodiment of this invention.

It is sectional drawing which shows the source region contact by one Embodiment of this invention.

[0010]

1 to 16 are diagrams illustrating exemplary methods for manufacturing gate all-around (GAA) nanowire-based field effect transistor (FET) inverters.

As described in detail below, the technique of the present invention uses a damascene gate process to construct a source / drain region that is self-aligned with the gate.

[0011]

FIG. 1 is a cross-sectional view showing a starting structure 100 of the FET inverter manufacturing process.

To form the structure 100, shallow trench separation (STI) is used to define the active region within the silicon on insulator (SOI) wafer.

That is, the wafer 102 is prepared to have the SOI layer 104 on the embedded oxide (BOX) layer 106.

SOI wafers also generally include other layers, such as substrates not shown in this figure.

The BOX layer 106 can include any suitable insulating material, including, but not limited to, a dielectric material such as silicon dioxide (SiO2).

Although FIG. 1 shows the formation of a single active region, it should be understood that multiple active regions can be formed within a single wafer.

[0012]

Next, an alternating arrangement of silicon (Si) layers and sacrificial layers is formed by stacking the SOI layer 104 as the first Si layer in the arrangement on the wafer.

Specifically, it starts from the SOI layer 104 and proceeds upward, and the sacrificial layer 107 is epitaxially grown on the SOI layer 104.

[0013]

The sacrificial layer 107 contains a crystalline material that can be selectively etched against Si, such as silicon-germanium (SiGe).

The sacrificial layer 107 contains a high concentration of dopant, which yields n-type or p-type Si when introduced into the Si layer (eg, by annealing later performed in the process).

For example, phosphorus (P) or arsenic (As) is a typical n-type dopant, and boron (B) is a typical p-type dopant.

Dopant concentrations ranging from about 1 x 1019 atoms per cubic centimeter (atoms / cm3) to about 1 x 1022 atoms / cm3 can be used.

Doping can be performed in situ (ie, incorporated during the growth of the sacrificial layer 107) or in X-situ (ie, using techniques such as ion implantation after the growth of the sacrificial layer 107). X-Situ doping is preferred when adjacent n-type and p-type doped regions are required to form adjacent NFETs and PFETs in the same layer.

[0014]

The Sui dynasty undoped crystal Si layer 108 can be epitaxially grown on the sacrificial layer 107.

Further, it is possible to optionally grow one or more additional sacrificial layers and / or crystalline Si layers alternately onto the Si layer 108, in which case the properties of the additional sacrificial layers are sacrificed. It becomes the same as the layer 107, and the characteristics of the additional crystalline Si layer become the same as those of the crystalline Si layer 108.

For purposes of illustration and ease of drawing, one additional sacrificial layer 109 and one additional Si layer 110 are shown above the Si layer 108.

However, these layers are optional, and the present specification assumes embodiments in the absence of these layers.

In addition, these layers may be present more or less than shown.

According to one exemplary embodiment, the sacrificial layers 107 and 109 are similarly doped with each other.

[0015]

The electrical insulating layer 111 is then deposited on the stack.

In the exemplary configuration shown in FIG. 1, the insulating layer 111 is deposited on the Si layer 110.

The insulating layer 111 can be deposited using chemical vapor deposition (CVD), plasma-enhanced CVD (PECVD), or any suitable dielectric deposition technique that does not cause physical or chemical changes in the Si layer 110. can.

According to an exemplary embodiment, the insulating layer 111 includes a crystalline electrical insulating material such as diamond or an amorphous electrical insulating material such as SiO2.

[0016]

Next, the crystalline Si layer 112 is formed on the insulating layer 111.

When the insulating layer 111 contains a crystalline electrical insulating material, the Si layer 112 can be epitaxially grown on the insulating layer 111.

When the insulating layer 111 contains an amorphous electrical insulating material, the Si layer 112 can be introduced onto the insulating layer 111, for example by a wafer bonding technique in which the crystalline silicon layer 112 is moved from the handle wafer.

[0017]

One or more additional sacrificial layers and / or crystalline Si layers can optionally be epitaxially grown on the Si layer 112 in an alternating fashion.

For purposes of illustration and ease of drawing, one sacrificial layer 113 and one Si layer 114 are shown above the Si layer 112.

However, these layers are optional, and the present specification assumes embodiments in the absence of these layers.

In addition, these layers may be present more or less than shown.

[0018]

The sacrificial layer above the insulating layer 111, if present, has the same properties as the sacrificial layer below the insulating layer 111 (eg, sacrificial layers 107 and 109).

However, the polarity of the doping (if present) in the sacrificial layer above the insulating layer 111 is reversed from the doping in the sacrificial layer below the insulating layer 111.

For example, when the doping in the sacrificial layer below the insulating layer 111 is n-type, the doping in the sacrificial layer above the insulating layer 111 is p-type, and vice versa.

Unlike the sacrificial layer below the insulating layer 111, the sacrificial layer above the insulating layer 111 can optionally remain undoped.

When the crystalline Si layer 112 is moved from the handle wafer by wafer bonding, the alternating sacrificial layers and / or crystalline Si layers on the insulating layer 111, if present, handle the handle prior to the growth of the crystalline Si layer 112. It can be grown on a wafer and moved to the starting substrate at the same time that the crystalline Si layer 112 is moved.

[0019]

The first hardmask 116 is then deposited on the stack.

In the exemplary configuration shown in FIG. 1, the hard mask 116 is deposited on the Si layer 114.

The hard mask 116 can have the same composition (SiO2) as the insulating layer 111 and can be deposited in the same way.

According to an exemplary embodiment, the hard mask 116 has a thickness from about 15 nanometers (nm) to about 20 nm, for example about 20 nm.

[0020]

As mentioned above, each sacrificial layer can be deposited by an epitaxial growth process.

Therefore, each sacrificial layer contains a single crystal material.

According to an exemplary embodiment, each sacrificial layer has a thickness from about 5 nm to about 20 nm.

However, to minimize parasitic capacitance, the thickness of each sacrificial layer should be as small as possible while the gate dielectric / gate fits the gap formed by the sacrificial layer being removed later during the process. You need to leave enough room to do so.

Similarly, each of the above-mentioned Si layers can be deposited by an epitaxial growth process.

Therefore, each Si layer also contains a single crystal material.

According to an exemplary embodiment, each Si layer has a thickness from about 5 nm to about 20 nm.

[0021]

The epitaxial growth process used to form the Si layer and / or the sacrificial layer can be carried out at temperatures below about 800 degrees Celsius (° C.), for example below about 650 ° C.

This process can be performed without breaking the vacuum during the growth of each layer, or alternative, breaking the vacuum between the layers, allowing additional processing, eg, X-Situ doping of a particular layer. be able to.

It is preferable to perform a purge step between each successive layer formation, whether or not the vacuum is broken between the layers.

The growth pressure used to form each of the Si layer and the sacrificial layer is less than about 100 torr, for example less than 50 torr.

Note that using these exemplary epitaxial growth parameters, the variation in thickness of each of the Si and sacrificial layers should be less than about 5%.

The portion of the Si layer will be used later in the manufacturing process to form the nanowire channels, and the thickness of each sacrificial layer will determine the spacing in the z direction between the nanowire channels.

[0022]

STI is used to flatten and insulate the Si / sacrificial layer stack with respect to the active region of the wafer.

STI requires conventional lithography and etching processes well known to those of skill in the art and will not be further described herein.

STIs are commonly used in processing techniques in the nanometer structure size range.

The nitride liner 118 is formed adjacent to one or more sidewalls of the stack using a deposition process such as CVD, PECVD or Atomic Layer Deposition (ALD).

Here, the stack formed in the active region of the wafer will later be used in the process to form the nanowire channels of the inverter.

Therefore, the composition of the various layers of the stack determines the position of the nanowires in the z direction.

[0023]

The second hardmask 120 is then deposited on the stack.

According to an exemplary embodiment, the hard mask 120 comprises a nitride layer and is deposited using low pressure chemical vapor deposition (LPCVD) from about 15 nm to about 20 nm, for example to a thickness of about 20 nm.

As described in detail below, the hard mask 116 and the hard mask 120 will be patterned into a plurality of individual nanowire hardmasks (according to the desired position of the nanowires in the x direction).

[0024]

FIG. 2 is a cross-sectional view showing first and second hardmasks patterned on a plurality of individual nanowire hardmasks 122.

As emphasized above, the hardmask patterning aligns with the desired position of the nanowires.

According to an exemplary embodiment, a resist film (not shown) is deposited on a hardmask and patterned by the respective occupied areas and positions of the nanowire hardmask.

In one embodiment, reactive ion etching (RIE) is used to form a nanowire hardmask, and therefore the resist film comprises a resist material such as hydrogen silsesquioxane (HSQ) and an electron beam (e-beam).) Patterned using lithography and transferred to a carbon-based resist.

[0025]

The opening step of the hardmask is then performed using a series of selective RIE steps based on the fact that the first hardmask contains oxides while the second hardmask contains nitrides.

For example, a nitride-selective RIE using a resist film (not shown) as a mask is first used to remove all but the portion directly below the resist film of the hard mask 120 to remove the nitride portion 122a of the nanowire hard mask. Is defined.

The hard mask 116 contains oxides and functions as an etching stop layer for the nitride selective RIE.

The nitride-selective RIE can also etch the nitride liner 118 at the same time, where the Si layer functions as an etching stop layer.

[0026]

Next, using the nitride portion of the mask, all but the portion directly below the nitride mask of the hard mask 116 is removed by oxide selective RIE to define the oxide portion 122b of the nanowire hard mask.

The Si layer 114 functions as an etching stop layer for the oxide-selective RIE.

In this example, each of the nitride portion 122a and the oxide portion 122b of the nanowire hardmask has a thickness of about 15 nm to about 20 nm, for example about 20 nm.

[0027]

The nitride portion 122a and the oxide portion 122b form a double nanowire hardmask structure.

The use of double nanowire hardmask structures makes it possible to form more accurate and uniform nanowires in the Si layer.

That is, using a double hardmask structure, the nitride portion 122a protects the integrity of the oxide portion 122b during dummy gate demarcation (see FIG. 3 described below) and the oxide portion. 122b protects the nanowires during the (nitride-selective) etching of the spacer (see description below).

Maintaining good integrity of the nanowire hardmask is important to minimize dimensional variation in nanowires.

As the size of the device decreases, the effects of undesired dimensional variation become more pronounced.

[0028]

In this example, the nanowire hardmask 122 is configured to have a pitch of less than about 200 nm, such as about 10 nm to about 200 nm, such as about 40 nm to about 50 nm, i.e. a spatial frequency.

In order to maximize layout density and minimize parasitic capacitance, the pitch should be as small as possible within the patterning and processing limits.

Pitch duplication techniques such as side wall image transfer or double patterning / double etching can be used to achieve lower pitches than can be defined by direct lithography.

The width 123 of each nanowire hardmask 122 is less than about 40 nm, such as from about 5 nm to about 40 nm, such as from about 5 nm to about 10 nm.

The pitch / width of each nanowire hardmask 122 will determine the pitch / width of each nanowire.

[0029]

FIG. 3 is a cross-sectional view showing a dummy gate 126 formed on the active region.

As shown in FIG. 3, an oxide stop layer, that is, an oxide layer 124 is formed on the Si layer 114.

According to an exemplary embodiment, thermal oxidation is used to grow the oxide layer 124 to a thickness of up to about 4 nm, for example up to about 2 nm.

A portion of the Si layer 114 is consumed during this thermal oxidation process.

Therefore, the thickness of the Si layer is reduced by, for example, about 2 nm, for example, about 1 nm.

[0030]

A dummy gate structure 126 is formed to initiate the damascene gate process.

As will be apparent from the following description, the dummy gate structure 126 determines the y-direction position of the nanowires and the gate position of the final device structure.

According to an exemplary embodiment, the dummy gate structure comprises polycrystalline Si (polysilicon).

[0031]

The dummy gate structure 126 can be formed by the following process.

First, the polysilicon layer is deposited on the oxide layer 124 / nanowire hardmask 122 using LPCVD to a thickness of about 100 nm to about 150 nm, for example about 140 nm.

Since the thickness of the polysilicon layer will determine the height of the dummy gate, it can be made to the desired thickness / height by chemical mechanical polishing (CMP) after deposition.

A resist film (not shown) is deposited on a polysilicon layer and masked and patterned by the occupied area and position of the dummy gate (above what will be the nanowire channel of the inverter).

The polysilicon selective RIE is then used to remove all but a portion of the polysilicon layer located above the nanowire hardmask (ie, centered in the y direction of the nanowire hardmask). This becomes the dummy gate 126.

According to an exemplary embodiment, the dummy gate 126 has a height of 128 from about 100 nm to about 150 nm, for example about 140 nm, and a length of 130 from about 30 nm to about 50 nm, for example about 45 nm. Have.

[0032]

As indicated by arrow 132, top-down injection can optionally be used to dope one or more crystalline Si layers above the insulating layer 111.

The polarity of the doping in this top-down injection should be reversed from the doping in the sacrificial layer beneath the insulating layer 111.

For example, if the doping in the sacrificial layer below the insulating layer 111 (ie, any one of the sacrificial layer 107 and any optional sacrificial layer, if present) is n-type, then one above the insulating layer 111 or Doping in the plurality of crystalline Si layers is p-type, and vice versa.

This top-down injection step is only necessary if there is no sacrificial layer above the insulating layer 111, or if the sacrificial layer existing above the insulating layer 111 has not already been doped in the previous step.

The depth of top-down injection is chosen so that it affects the layer above the insulation layer 111, but not the layer below the insulation layer 111.

The conditions for this injection are well known to those skilled in the art and can be varied depending on the type of dopant used.

According to an exemplary embodiment, this injection is used to dope the top Si layer in the stack, i.e. the Si layer 114.

[0033]

FIG. 4 is a cross-sectional view showing a nanowire hardmask trimmed around a dummy gate.

The portion of the nanowire hardmask 122 extending outward from the lower dummy gate 126 is removed using selective anisotropic etching (ie, no etching of the dummy gate) on the dummy gate material.

As indicated by arrow 134, the top-down injection described with respect to the description of FIG. 3 above instead is at this point in the process, i.e. the portion of the nanowire hard mask 122 extending out of the lower dummy gate 126. It can be performed after removal rather than before removal.

[0034]

FIG. 5 is a cross-sectional view showing the (sacrificed) filler layer 136 deposited around the dummy gate 126.

The filler layer 136 can include any suitable filler material, including a dielectric material such as SiO2.

According to an exemplary embodiment, the filler layer 136 can be deposited around the dummy gate 126 using high density plasma (HDP).

The dummy gate is then used as the etching stop layer and the CMP is used to flatten the filler material.

Thus, the filler layer 136 will have a thickness equal to the height of the dummy gate, eg, from about 30 nm to about 150 nm, from about 100 nm to about 150 nm, eg about 140 nm.

[0035]

FIG. 6 is a cross-sectional view showing a state in which the dummy gate is removed.

The dummy gate 126 can be removed using a chemical etching process, such as chemical downstream or potassium hydroxide (KOH) etching, or RIE.

As shown in FIG. 6, removal of the dummy gate 126 forms a trench 138 in the filler layer 136.

Since trench 138 is a negative pattern of dummy gate 126, trench 138 is also centered (ie, in the y direction) on the nanowire hardmask 122.

According to an exemplary embodiment, trench 138 distinguishes the (nanowire) channel region of the device from the source and drain regions of the device.

[0036]

Etching may also act on the filler layer 136 to remove that portion.

For example, after an etching process to remove the dummy gate 126, the thickness 139 of the filler layer 136 can be reduced from about 30 nm to about 125 nm, for example to about 80 nm.

[0037]

The use of dummy gates is an important feature of the technique of the present invention.

That is, the dummy gate allows the nanowire hardmask to be placed in front of the filler layer so that the nanowire hardmask that appears when the dummy gate is removed is already present in the trench.

Nanowire hardmasks are important for forming nanowires more accurately and uniformly in the active region.

[0038]

FIG. 7 is a cross-sectional view showing the fin stack 140 etched and formed in the Si / sacrificial layer.

The fins are formed in the Si layer and, once released from the sacrificial layer, become the nanowire channels of the inverter, as described below.

According to an exemplary embodiment, a Si selective RIE is used to remove the portion of the Si / sacrificial layer in the trench 138 that is not masked by the nanowire hardmask 122.

The BOX layer 106 functions as an etching stop layer for fin etching.

The fin stack 140 thus patterned will have sharp, well-defined edges.

As mentioned above, this is the result of using a double (nitride / oxide) hardmask to pattern the nanowires.

[0039]

The advantage of the teachings of the present invention is that the fins are etched only within the trench 138, leaving the source / drain region of the device under the filler layer 136 intact.

In addition, the source / drain region thus formed will be self-aligned with respect to the trench 138 and thus with respect to the device gate that will be formed within the trench 138 (see below).

Based on the pitch and width of the nanowire hardmask 122, the fins formed (including those formed in the Si layer that will become the nanowire channels of the inverter) are less than about 200 nm, eg from about 10 nm. It has a pitch of up to about 200 nm, eg, about 40 nm to about 50 nm, or spatial frequency, and a width of less than about 40 nm, eg, about 5 nm to about 40 nm, eg, about 5 nm to about 10 nm.

[0040]

FIG. 8 is a cross-sectional view showing a state in which the exposed nitride portion 122a (that is, the portion in the trench 138) of the nanowire hard mask has been removed.

Any etching process can be used that selectively removes the nitride portion of the oxide portion of the nanowire hardmask.

But ideally, the thickness of the nitride portion should be chosen so that most of it is consumed during the previous fin etching, so that it does not remain much on the hardmask structure at this point. Should be.

The oxide portion 122b of the hard mask is ideally designed to be completely consumed during spacer etching (see FIG. 9 described below) (see FIG. 9 described below).

Any oxide hardmask remaining after spacer etching must be thin enough to be removed during cleaning prior to gate stack deposition.

Gate stack pre-cleaning is a standard process for removing organic pollutants, metal pollutants and any natural oxides on the Si surface.

Natural oxides can be removed using a wet or dry chemical etching process to remove the oxides.

One example is an etching process with 100: 1 diluted hydrofluoric acid (HF).

[0041]

FIG. 9 is a cross-sectional view showing a spacer 142 formed in the trench 138.

This step is voluntary.

Placing a spacer between the source / drain region and the region that will be the gate (formed within the trench 138, see FIG. 12 described below) helps minimize parasitic capacitance in the finished device. However, it does not necessarily help prevent gate-to-source / drain short circuits, such as during raised source / drain (RSD) epitaxial growth or silicide, i.e. in typical FET flows.

The spacer 142 acts to offset the gate by a certain distance from the source / drain region.

[0042]

According to an exemplary embodiment, the spacer 142 is formed by first depositing a nitride layer in the trench 138.

Next, a resist film (not shown) is deposited on the nitride layer, masked and patterned by the position and occupied area of the spacer.

Next, a selective RIE of the nitride is used to define the spacer 142 in the nitride layer.

Time-consuming overetching is required to remove the side wall of the fin stack 140 so that the spacer 142 is only present along the side wall of the trench 138 and not on the fin stack 140. ..

Therefore, the minimum pulldown of the spacer 142 is the height of the fin stack and the residual (oxide portion 122b) nanowire hardmask.

For example, the amount of overetching is between about 50% and about 80% of the etching time required to remove the total nitride layer.

According to an exemplary embodiment, the spacer 142 has a length 144 ranging from about 5 nm to about 25 nm.

The maximum height of the spacer 142 is the difference obtained by subtracting the height of the spacer pulling down 146 from the thickness 139 of the trench 138.

The minimum height of the spacer 142 is the height 148 of the fin stack 140.

Since the oxide portion 122b of the hard mask is exposed during the long overetching required to remove the nitride layer, the nitride etchant used to remove the nitride layer is incomplete during this step. Highly likely to be eroded due to selectivity.

Ideally, the oxide portion 122b of the hard mask is designed to be thick enough to be completely eroded during this step.

[0043]

FIG. 10 is a cross-sectional view showing a state in which the sacrificial layer is removed from between the Si layers in the nanowire fin stack.

The portions 104a, 108a, 110a, 112a and 114a of the SOI layer 104 released here, and the Si layers 108, 110, 112 and 114, respectively, are nanowire channels of the device.

These multi-layered nanowire channels are also referred to herein as nanowire "mesh".

[0044]

The sacrificial layer can be removed from the fin stack as follows:

A chemical etching agent that utilizes the lower oxidation potential of the sacrificial layer than that of the Si layer can be used.

Examples of such etchants include, but are not limited to, a 1: 2: 3 mixture of HF: hydrogen peroxide (H2O2): acetic acid (CH3COOH), or a mixture of sulfuric acid (H2SO4) and H2O2.

Alternatively, the sacrificial layer can be selectively removed using a dry etching process such as oxygen (O2) plasma etching or using typical plasma chemistry used for etching.

The electrically insulating layer can be removed using HF: H2O2: CH3COOH when the electrically insulating layer is an oxide.

Straight DHF etching can also be used.

If the electrically insulating layer is a crystalline dielectric, another etching is required, for example, with a selective etching agent for Si.

[0045]

FIG. 11 is a cross-sectional view showing an n-type dope layer and a p-type dope layer formed in the FET inverter.

At this point in the manufacturing process, separate layers of FET inverters can be identified.

These layers are also referred to herein as device layers because each layer is a source and drain region (eg, a portion of the SOI layer under the filler layer 136 and Si layers 108, 110, 112 and 114) and This is because it includes a plurality of nanowire channels connecting the source region and the drain region (ie, portions 104a, 108a, 110a, 112a and 114a of the SOI layer 104, and Si layers 108, 110, 112 and 114, respectively).

An exemplary configuration of these device layers is shown in FIG. 11 with the n-type doped device layer labeled "NFET layer" and the p-type doped device layer labeled "PFET layer".

The device layers share a common gate, as described in detail below.

If two given device layers are separated by a gap or by another layer, these two device layers are also considered adjacent device layers for the purposes of the device layer stack description.

For example, the three NFET device layers shown in FIG. 11 are considered adjacent to each other even if they can be separated by sacrificial layers in the source and drain regions.

[0046]

According to an exemplary embodiment, there is one or more sacrificial layers doped with an n-type dopant under the electrical insulating layer 111, and the electrical insulating layer 111 doped with a p-type dopant 1 There are one or more sacrificial layers.

An annealing process is then performed to diffuse / activate the n-type dopant from the sacrificial layer under the electrical insulating layer 111 (currently present only in the source and drain regions) over the entire source / drain region of the NFET device layer, resulting in a PFET. It diffuses / activates the p-type dopant from the sacrificial layer above the electrical insulating layer 111 (currently present only in the source and drain regions) over the entire source / drain region of the device layer.

The temperature of the annealing treatment can be varied from about 1000 ° C. to about 1100 ° C., and the duration of the annealing treatment can be varied from a few milliseconds (ms), for example 5 ms, to a few seconds, for example 5 seconds.

Nanowire channels remain undoped, which is an advantage of completely depleted devices with fine channels such as nanowire FETs.

Before placing the gate (see below), the filler layer 136 is scraped down to the spacer 142, for example using CMP, and wet chemical cleaning is performed to remove surface contaminants and natural oxides to remove the gate dielectric. Form on top of nanowire channels.

[0047]

According to an exemplary embodiment, differential chemical oxidation is used to preferentially oxidize the non-spacer-covered region of the sacrificial material in the source / drain region.

These regions of the sacrificial material can be preferentially oxidized to exposed Si nanowire channel regions.

Next, a dielectric, such as SiO2, or a high k-gate dielectric such as hafnium oxide (HfO2), is formed on the nanowire channel.

This is a gate dielectric (which will separate the gate from the nanowire channel).

Next, as shown in the cross-sectional view of FIG. 12, a substitution gate 150 is formed by filling the trench 138 with a gate material in the trench 138 surrounding the nanowire channel.

After filling the trench 138 with the gate material, the filler layer 136 is made to function as an etching stop layer by using CMP to flatten the gate.

Suitable gate materials include, but are not limited to, composite stacks of multiple materials such as one or more polysilicons, deposited metals, or metal polysilicon.

[0048]

FIG. 13 is a cross-sectional view showing a state in which the filler layer 136 has been removed.

According to an exemplary embodiment, the filler layer 136 contains SiO2 and is removed using an oxide selective etching process such as oxide selective RIE.

The oxide layer 124 is also removed in this etching process.

Removing the filler layer 136 and the oxide layer 124 allows the formation of contacts in the source / drain regions of various device layers, as described below.

[0049]

FIG. 14 is a cross-sectional view showing the contact 152 formed in the drain region of the device layer.

In the arrangement shown in FIG. 14, the left portion of the device layer gate is optionally shown as the source region and the right portion of the device layer gate is shown as the drain region.

[0050]

According to an exemplary embodiment, the contacts 152 are formed by first blanket depositing a hard mask (not shown) and then patterning the hard mask according to the location and occupied area of the contacts 152.

Recess etching (or a combination of etching steps) is then performed through a patterned hardmask to form a trench that spans the entire drain region of the device layer.

Then the hard mask is removed.

[0051]

Silicide layers are formed in trenches using standard methods well known to those of skill in the art.

For example, a layer containing a metal such as nickel (Ni) is deposited to a thickness of about 5 nm to about 30 nm, for example 15 nm.

Next, the wafer is annealed at a temperature of about 350 ° C. to about 500 ° C., for example 450 ° C., for a period of several ms, for example, 5 ms to a few seconds, for example, 5 seconds. It reacts to form nickel silicide.

Next, unreacted Ni is removed using a metal etching agent selective for silicide, such as aqua regia (including nitric acid and sulfuric acid).

The thickness of the residual silicide is determined by the thickness of the deposited metal layer and the time and temperature of the annealing treatment.

Due to the volume expansion during silidic formation, the silicid formation above and below the electrical insulating layer 111 will fuse, with the upper and lower drain regions in the Si layers above and below the electrical insulating layer 111. Form an electrical short circuit between the regions.

Therefore, the silicide layer constituting the contact 152 is common to each drain region of the device layer, and functions to short-circuit the NFET and PFET device layers on the drain region side.

[0052]

FIG. 15 is a cross-sectional view showing the separation of the source region.

Specifically, the NFET and PFET device layers need to be separated from each other on the source side as precursors for contact formation within the source region of the device layer (see FIG. 16 described below).

According to an exemplary embodiment, this separation initially involves, for example, half of the total Si and sacrificial layers above the electrically insulating layer 111 in the source region (ie, Si layer 114, sacrificial layer 113 and This is achieved by removing the Si layer 112).

To do so, a hard mask (not shown) is blanket-deposited and patterned by the location and occupied area of the portion of the Si layer to be removed.

Etching is performed through a patterned hardmask and then the hardmask is removed.

[0053]

Next, the spacer 154 is used to separate the patterned region and the unpatterned region.

The spacer 154 can include a nitride material.

The spacer forming technique has been described, for example, in connection with the description of FIG. 9 above.

[0054]

FIG. 16 is a cross-sectional view showing contacts 156 and 158 formed in the source region of the NFET and PFET device layers, respectively.

According to an exemplary embodiment, contacts 156 and 158 are formed by repeating the silicid process described in connection with the description of FIG. 14 above.

However, in this case, the lower source region in the Si layer below the electrical insulating layer 111 keeps them insulated from the upper source region in the Si layer above the electrical insulating layer 111. Does not short circuit due to spacer 154.

[0055]

It forms silicides that make up contacts 156 and 158.

As shown in FIG. 16, the NFET source contact acts as the ground ("GND" labeled) contact of the inverter, the PFET source contact acts as the power supply (" VDD") contact of the inverter, and the gate 150 It acts as an input (labeled "VIN") contact for the inverter, and the NFET / PFET drain contact 152 acts as an output (labeled "VOUT") contact for the inverter.

Advantageously, the FET inverters of the present invention are configured to have a single GAA gate, which helps maximize layout area when combined with instantly stacked nanowire channel designs.

[0056]

Although exemplary embodiments of the invention have been described herein, the invention is not limited to those exact embodiments, and any other person skilled in the art will not deviate from the scope of the invention. Please understand that changes and modifications can be made.

[0057]

100: Starting structure of FET inverter manufacturing process 102: Wafer 104: SOI layer 104a, 108a, 110a, 112a, 114a: Part of SOI layer 104 106: Embedded oxide (BOX) layer 107, 109, 113: Sacrificial layer 108 , 110, 112, 114: Si layer 111: Insulating layer 116, 120: Hard mask 118: Nitride liner 122: Nanowire hard mask 122a: Nitride portion of nanowire hard mask 122b: Oxide portion of nanowire hard mask 123: Width of nanowire hardmask 124: Oxide layer 126: Dummy gate structure 128: Dummy gate height 130: Dummy gate length 132: Arrow 136: Filler layer 138: Trench 139: Filler layer Thickness 140: Fin stack 142: 154: Spacer 144: Spacer length 146: Spacer pull-down length 148: Fin stack height 150: Replacement gate 152, 156, 158: Contact

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JP2010272859A

1.

A plurality of device layers arranged vertically in a stack, each having a source region, a drain region, and a plurality of nanowire channels connecting the source region and the drain region, and one or more of the above. The source and drain regions of the device layer are doped with an n-type dopant, and the source and drain regions of one or more other device layers are doped with a p-type dopant. The plurality of device layers and the nanowires. A gate common to each of the device layers surrounding the channel, a first contact of the one or more device layers doped with an n-type dopant to the source region, and a p-type dopant doped. A field effect transistor (FET) inverter comprising a second contact to the source region of the one or more other device layers and a common third contact to the drain region of each of the device layers.

2.

The FET inverter according to claim 1, wherein the nanowire channel in any given one of the device layers has a pitch from 10 nm to 200 nm.

3.

The FET inverter according to claim 1, wherein the nanowire channels of adjacent device layers in the stack are separated from each other by a gap of 5 nm to 20 nm.

4.

The FET inverter according to claim 1, wherein the n-type dopant contains one or more of phosphorus and arsenic, and the p-type dopant contains boron.

5.

The FET inverter according to claim 1, wherein the gate is separated from the nanowire channel by a dielectric.

6.

The FET inverter according to claim 1, further comprising a spacer between the source and drain regions of the device layer and the gate.

7.

The FET inverter according to claim 1, wherein the gate comprises one or more of polysilicon and a metal.

8.

The first contact acts as the ground contact of the inverter, the second contact acts as the power contact of the inverter, the gate acts as the input contact of the inverter, and the third contact acts as the output contact of the inverter. The FET inverter according to claim 1, which works.

9.

The FET inverter according to claim 1, wherein the third contact short-circuits the drain region of each of the device layers.

10.

The source and drain regions of the one or more device layers doped with the n-type dopant are separated from the source and drain regions of the one or more device layers doped with the p-type dopant. The FET inverter according to claim 1, further comprising an electrically insulating layer.

11.

The one or more device layers doped with the n-type dopant are under the electrically insulating layer, and the one or more device layers doped with the p-type dopant are of the electrically insulating layer. The FET inverter according to claim 10, which is above.

12.

The FET inverter according to claim 1, wherein the nanowire channel is not doped.

13.

A method of manufacturing an FET inverter, in which a plurality of device layers are arranged vertically in a stack, each having a source region, a drain region, and a plurality of nanowire channels connecting the source region and the drain region. A step of forming, a step of introducing an n-type dopant into the source and drain regions of one or more of the device layers, and a p-type dopant in the source and drain regions of one or more of the other device layers. A step of introducing, a step of forming a common gate for each of the device layers surrounding the nanowire channel, and a first of the n-type dopant-doped device layers to the source region. A step of forming one contact, a step of forming a second contact to the source region of the one or more other device layers doped with the p-type dopant, and each said of the device layer. A method comprising the step of forming a common third contact to the drain region.

14.

The steps of forming the device layer include a step of preparing a silicon-on-insulator (SOI) wafer, a step of forming an alternating arrangement of silicon layers and sacrificial layers on the wafer, and the steps of forming the silicon layer and the sacrificial layer. 13. The method of claim 13, further comprising a step of etching to form a stack of nanowire fins and a step of removing the sacrificial layer from the stack of nanowire fins.

15.

The method of claim 14, wherein the alternating arrangement of the silicon layer and the sacrificial layer is epitaxially grown on the wafer.

16.

14. The method of claim 14, further comprising forming a nanowire hardmask on the silicon layer and the sacrificial layer.

17.

16. The method of claim 16, wherein the nanowire hardmask comprises a double hardmask structure having an oxide portion and a nitride portion above the oxide portion.

18.

The one or more sacrificial layers are doped with an n-type dopant, and the step of introducing the n-type dopant into the source and drain regions of the one or more device layers is the step of doping with the n-type dopant. 14. The method of claim 14, further comprising the step of diffusing the n-type dopant from one or more sacrificial layers over the entire area of the silicon layer.

19.

The one or more sacrificial layers are doped with a p-type dopant, and the step of introducing the p-type dopant into the source and drain regions of the one or more other device layers is doped with the p-type dopant. 14. The method of claim 14, further comprising the step of diffusing the p-type dopant from the one or more sacrificial layers over the entire area of the one or more silicon layers.

20.

13. The method of claim 13, further comprising forming a dielectric on the nanowire channel prior to the step of forming the gate.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-272859
(P2010-272859A)
(43)公開日　平成22年12月2日(2010.12.2)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/786	(2006.01)	H01L	29/78	613A	5F048
H01L 21/336	(2006.01)	H01L	29/78	618C	5F110
H01L 27/08	(2006.01)	H01L	29/78	617K	
H01L 27/092	(2006.01)	H01L	29/78	618A	
H01L 21/8238	(2006.01)	H01L	27/08	331E	

審査請求 未請求　請求項の数 20　ＯＬ　（全 18 頁）　最終頁に続く

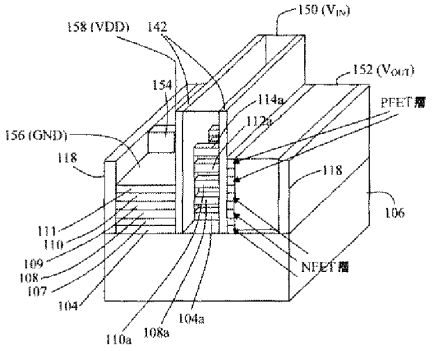
(21)出願番号　特願2010-108180 (P2010-108180)
(22)出願日　平成22年5月10日 (2010.5.10)
(31)優先権主張番号　12/470128
(32)優先日　平成21年5月21日 (2009.5.21)
(33)優先権主張国　米国 (US)

(71)出願人　390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
ＩＮＴＥＲＮＡＴＩＯＮＡＬ　ＢＵＳＩＮＥＳＳ　ＭＡＳＣＨＩＮＥＳ　ＣＯＲＰＯＲＡＴＩＯＮ
アメリカ合衆国１０５０４　ニューヨーク州　アーモンク　ニュー　オーチャード　ロード
(74)代理人　100108501
弁理士　上野　剛史
(74)代理人　100112690
弁理士　太佐　種一
(74)代理人　100091568
弁理士　市位　嘉宏

最終頁に続く

(54)【発明の名称】電界効果トランジスタ（ＦＥＴ）インバータとその製造方法（単一ゲート・インバータのナノワイヤ・メッシュ）

(57)【要約】　（修正有）
【課題】単一ゲート・インバータのナノワイヤ・メッシュ及びその製造方法を提供する。
【解決手段】電界効果トランジスタ（ＦＥＴ）インバータは、スタック内で垂直方向に配置された複数のデバイス層を含み、各デバイス層は、ソース領域、ドレイン領域、及びソース領域とドレイン領域を接続する複数のナノワイヤ・チャネル１１０を有し、ここで１つ又は複数のデバイス層のソース及びドレイン領域はｎ型ドーパント、又はｐ型ドーパントでドープされる。ＦＥＴインバータはさらに、複数のナノワイヤ・チャネルを取り囲む共通のゲート１５０と、ｎ型ドーパントでドープされた１つ又は複数のデバイス層のソース領域への第１のコンタクト１５６と、ｐ型ドーパントでドープされた１つ又は複数のデバイス層のソース領域への第２のコンタクト１５８と、デバイス層の各々のドレイン領域への共通の第３のコンタクト１５２とを含む。
【選択図】図１６



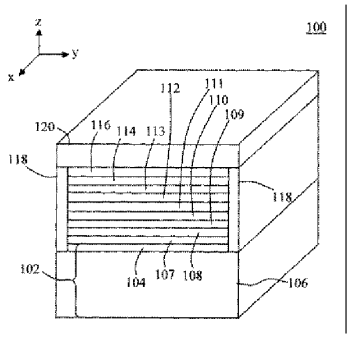
【特許請求の範囲】
【請求項1】
スタック内で垂直方向に配置され、各々がソース領域、ドレイン領域、及び前記ソース領域と前記ドレイン領域を接続する複数のナノワイヤ・チャネルを有する、複数のデバイス層であって、１つ又は複数の前記デバイス層の前記ソース及びドレイン領域はｎ型ドーパントでドープされ、１つ又は複数の他の前記デバイス層の前記ソース及びドレイン領域はｐ型ドーパントでドープされる、前記複数のデバイス層と、
前記ナノワイヤ・チャネルを取り囲む、前記デバイス層の各々に共通のゲートと、
ｎ型ドーパントでドープされた前記１つ又は複数のデバイス層の前記ソース領域への第１のコンタクトと、
ｐ型ドーパントでドープされた前記１つ又は複数の他のデバイス層の前記ソース領域への第２のコンタクトと、
前記デバイス層の各々の前記ドレイン領域への共通の第３のコンタクトと
を備える電界効果トランジスタ（ＦＥＴ）インバータ。
【請求項2】
前記デバイス層の任意の所与の１つにおける前記ナノワイヤ・チャネルは、１０ｎｍから２００ｎｍまでのピッチを有する、請求項１に記載のＦＥＴインバータ。
【請求項3】
前記スタック内の隣接するデバイス層の前記ナノワイヤ・チャネルは、５ｎｍから２０ｎｍまでの間隙により互いに分離される、請求項１に記載のＦＥＴインバータ。
【請求項4】
前記ｎ型ドーパントはリン及びヒ素のうちの１つ又は複数を含み、
前記ｐ型ドーパントはホウ素を含む、請求項１に記載のＦＥＴインバータ。
【請求項5】
前記ゲートは前記ナノワイヤ・チャネルから誘電体によって分離される、請求項１に記載のＦＥＴインバータ。
【請求項6】
前記デバイス層の前記ソース及びドレイン領域と前記ゲートとの間のスペーサをさらに備える、請求項１に記載のＦＥＴインバータ。
【請求項7】
前記ゲートはポリシリコン及び金属のうちの１つ又は複数を含む、請求項１に記載のＦＥＴインバータ。
【請求項8】
前記第１のコンタクトはインバータの接地コンタクトとして働き、前記第２のコンタクトは前記インバータの電源コンタクトとして働き、前記ゲートは前記インバータの入力コンタクトとして働き、前記第３のコンタクトは前記インバータの出力コンタクトとして働く、請求項１に記載のＦＥＴインバータ。
【請求項9】
前記第３のコンタクトは前記デバイス層の各々の前記ドレイン領域を短絡する、請求項１に記載のＦＥＴインバータ。
【請求項10】
前記ｎ型ドーパントでドープされた前記１つ又は複数のデバイス層の前記ソース及びドレイン領域と、前記ｐ型ドーパントでドープされた前記１つ又は複数のデバイス層の前記ソース及びドレイン領域とを分離する電気的絶縁層をさらに備える、請求項１に記載のＦＥＴインバータ。
【請求項11】
前記ｎ型ドーパントでドープされた前記１つ又は複数のデバイス層は前記電気的絶縁層の下にあり、前記ｐ型ドーパントでドープされた前記１つ又は複数のデバイス層は前記電気的絶縁層の上にある、請求項１０に記載のＦＥＴインバータ。

【請求項12】
前記ナノワイヤ・チャネルはドープされていない、請求項１に記載のＦＥＴインバータ。
【請求項13】
ＦＥＴインバータを製造する方法であって、
スタック内で垂直に配置され、各々がソース領域、ドレイン領域、及び前記ソース領域と前記ドレイン領域を接続する複数のナノワイヤ・チャネルを有する、複数のデバイス層を形成するステップと、
１つ又は複数の前記デバイス層の前記ソース及びドレイン領域にｎ型ドーパントを導入するステップと、
１つ又は複数の他の前記デバイス層の前記ソース及びドレイン領域にｐ型ドーパントを導入するステップと、
前記ナノワイヤ・チャネルを取り囲む、前記デバイス層の各々に共通のゲートを形成するステップと、
前記ｎ型ドーパントでドープされた前記１つ又は複数のデバイス層の前記ソース領域への第１のコンタクトを形成するステップと、
前記ｐ型ドーパントでドープされた前記１つ又は複数の他のデバイス層の前記ソース領域への第２のコンタクトを形成するステップと、
前記デバイス層の各々の前記ドレイン領域への共通の第３のコンタクトを形成するステップと
を含む方法。
【請求項14】
前記デバイス層を前記形成するステップは、
シリコン・オン・インシュレータ（ＳＯＩ）ウェハを準備するステップと、
前記ウェハの上にシリコン層及び犠牲層の交互配列を形成するステップと、
前記シリコン層及び犠牲層をエッチングしてナノワイヤ・フィンのスタックを形成するステップと、
前記ナノワイヤ・フィンのスタックから前記犠牲層を除去するステップと
をさらに含む、請求項１３に記載の方法。
【請求項15】
前記シリコン層及び犠牲層の交互配列は、前記ウェハ上にエピタキシャルに成長させる、請求項１４に記載の方法。
【請求項16】
前記シリコン層及び犠牲層の上にナノワイヤ・ハードマスクを形成するステップをさらに含む、請求項１４に記載の方法。
【請求項17】
前記ナノワイヤ・ハードマスクは、酸化物部分と該酸化物部分の上の窒化物部分とを有する２重ハードマスク構造体を含む、請求項１６に記載の方法。
【請求項18】
１つ又は複数の前記犠牲層はｎ型ドーパントでドープされ、
１つ又は複数の前記デバイス層の前記ソース及びドレイン領域にｎ型ドーパントを前記導入するステップは、前記ｎ型ドーパントでドープされた前記１つ又は複数の犠牲層から前記ｎ型ドーパントを１つ又は複数の前記シリコン層の全域に拡散させるステップをさらに含む、
請求項１４に記載の方法。
【請求項19】
１つ又は複数の前記犠牲層はｐ型ドーパントでドープされ、
１つ又は複数の他の前記デバイス層の前記ソース及びドレイン領域にｐ型ドーパントを前記導入するステップは、前記ｐ型ドーパントでドープされた前記１つ又は複数の犠牲層から前記ｐ型ドーパントを１つ又は複数の前記シリコン層の全域に拡散させるステップを

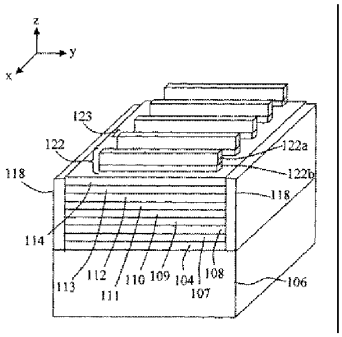
さらに含む、
請求項１４に記載の方法。
【請求項20】
前記ゲートを形成するステップの前に、前記ナノワイヤ・チャネルの上に誘電体を形成
【発明の詳細な説明】含む、請求項１３に記載の方法。
【技術分野】
【0001】
本発明はナノワイヤ・ベースのデバイスに関し、より具体的には電界効果トランジスタ（ＦＥＴ）論理インバータに関する。
【背景技術】
【0002】
基本的な形態において、電界効果トランジスタ（ＦＥＴ）はソース領域、ドレイン領域、及びソース領域とドレイン領域の間のチャネルを含む。ゲートはソース領域とドレイン領域の間のチャネルを通る電子の流れを制御する。
【0003】
ＦＥＴは、様々なタイプの相補型金属酸化膜半導体（ＣＭＯＳ）回路の基本構成要素として用いられる。例えば、論理ゲート・インバータは多くの集積回路設計の共通のコンポーネントであり、ｎ型チャネル電界効果トランジスタ（ＮＦＥＴ）及びｐ型チャネル電界効果トランジスタ（ＰＦＥＴ）デバイスの１つ又は複数の相補的対を用いて形成することができる。典型的なＮＦＥＴ／ＰＦＥＴインバータは、ＮＦＥＴのソース領域がＰＦＥＴのドレインに接続され、デバイスのゲートが互いに接続されるように構成される。
【0004】
この標準的なインバータのレイアウトは２つのＦＥＴのサイズの占有領域（フットプリント）を有する。殆どの回路設計におけるインバータの普及のゆえに、インバータのレイアウト占有領域を縮小することで、殆どの回路設計を実装するのに必要なレイアウト面積を著しく縮小することができる。
【図面の簡単な説明】
【0009】
【図1】本発明の一実施形態による、電界効果トランジスタ（ＦＥＴ）インバータの製造の出発構造体を示す断面図である。
【図2】本発明の一実施形態による、複数のナノワイヤ・ハードマスクを示す断面図である。
【図3】本発明の一実施形態による、インバータのアクティブ領域の上に形成されたダミー・ゲートを示す断面図である。
【図4】本発明の一実施形態による、ダミー・ゲートの周りで切り整えられたナノワイヤ・ハードマスクを示す断面図である。
【図5】本発明の一実施形態による、ダミー・ゲートの周りに堆積させたフィラー層を示す断面図である。
【図6】本発明の一実施形態による、ダミー・ゲートが除去されてフィラー層内にトレンチが形成された状態を示す断面図である。
【図7】本発明の一実施形態による、フィン・スタックを示す断面図である。
【図8】本発明の一実施形態による、ナノワイヤ・ハードマスクの露出窒化物部分が除去された状態を示す断面図である。
【図9】本発明の一実施形態による、トレンチ内に形成されたスペーサを示す断面図である。
【図10】本発明の一実施形態による、フィン・スタックから犠牲層が除去された状態を示す断面図である。
【図11】本発明の一実施形態による、ＦＥＴインバータ内に形成された別個のｎ型ドープ層及びｐ型ドープ層を示す断面図である。
【図12】本発明の一実施形態による、トレンチ内に形成された置換ゲートを示す断面図で

ある。
【図13】本発明の一実施形態による、フィラー層が除去された状態を示す断面図である。
【図14】本発明の一実施形態による、ドレイン領域コンタクトを示す断面図である。
【図15】本発明の一実施形態による、ソース領域絶縁を示す断面図である。
【図16】本発明の一実施形態による、ソース領域コンタクトを示す断面図である。
【符号の説明】
【0057】
１００：ＦＥＴインバータ製造プロセスの出発構造体
１０２：ウェハ
１０４：ＳＯＩ層
１０４ａ、１０８ａ、１１０ａ、１１２ａ、１１４ａ：ＳＯＩ層１０４の部分
１０６：埋め込み酸化物（ＢＯＸ）層
１０７、１０９、１１３：犠牲層
１０８、１１０、１１２、１１４：Ｓｉ層
１１１：絶縁層
１１６，１２０：ハードマスク
１１８：窒化物ライナ
１２２：ナノワイヤ・ハードマスク
１２２ａ：ナノワイヤ・ハードマスクの窒化物部分
１２２ｂ：ナノワイヤ・ハードマスクの酸化物部分
１２３：ナノワイヤ・ハードマスクの幅
１２４：酸化物層
１２６：ダミー・ゲート構造体
１２８：ダミー・ゲートの高さ
１３０：ダミー・ゲートの長さ
１３２：矢印
１３６：フィラー層
１３８：トレンチ
１３９：フィラー層の厚さ
１４０：フィン・スタック
１４２、１５４：スペーサ
１４４：スペーサの長さ
１４６：スペーサ引下げの長さ
１４８：フィン・スタックの高さ
１５０：置換ゲート
１５２、１５６、１５８：コンタクト

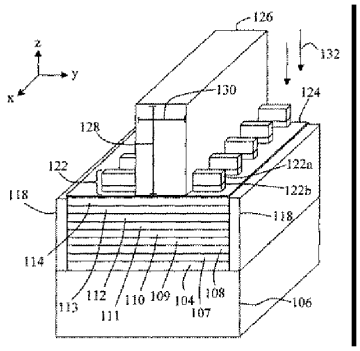
【図1】


z
y
x
100
112
111
110
109
120
116
114
113
118
118
102
104
107
108
106

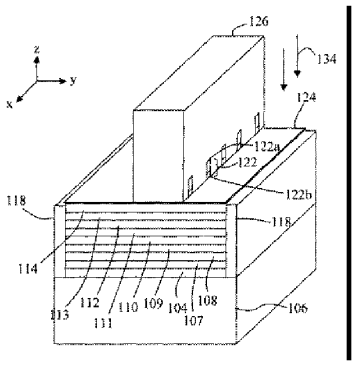
【図2】


z
y
x
123
122
122a
122b
118
118
114
113
112
111
110
109
104
107
108
106

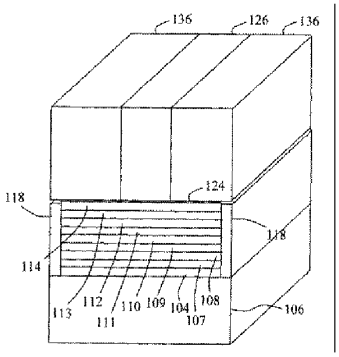
【図3】


z
y
x
126
132
130
124
128
122
122a
122b
118
118
114
113
112
111
110
109
104
107
108
106

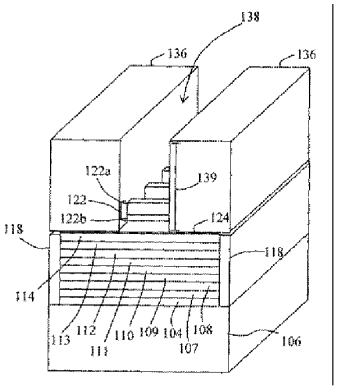
【図4】


126
134
z
y
x
124
122a
122
122b
118
118
114
113
112
131
110
109
104
107
108
106

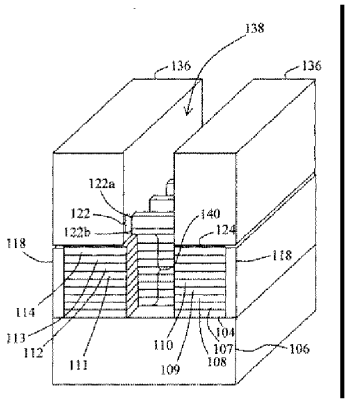
【図5】



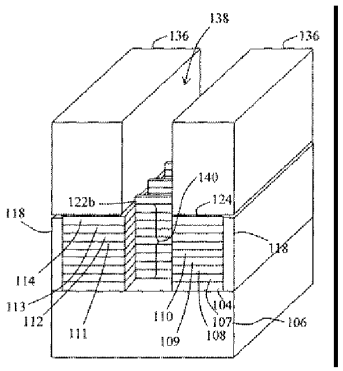
【図6】


138
136
136
122a
139
122
122b
124
118
118
114
113
112
110
109
104
108
111
107
106

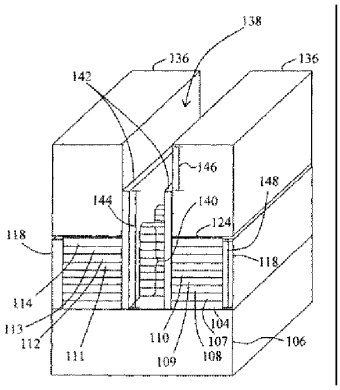
【図7】


138
136
136
122a
122
122b
140
124
118
118
114
113
112
111
110
109
104
107
108
106

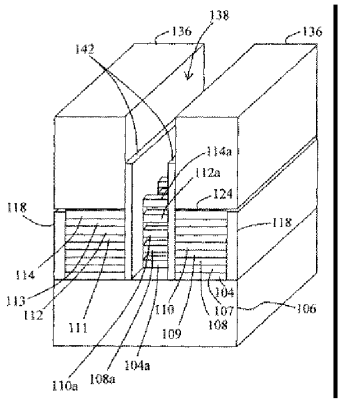
【図8】


138
136
136
140
122b
124
118
118
114
113
112
111
110
109
104
107
108
106

【図9】


138
136
136
142
146
148
144
140
124
118
118
114
113
112
111
110
109
104
107
108
106

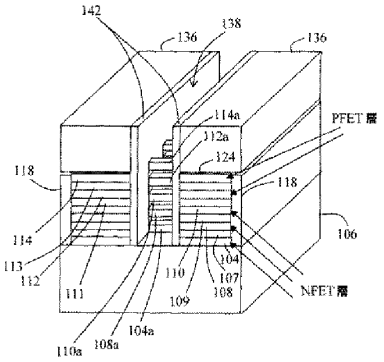
【図10】

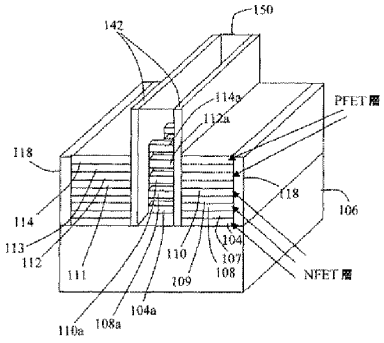

138
136
136
142
114a
112a
124
118
118
114
113
112
111
110
109
104
107
108
106
110a
108a
104a

【図11】

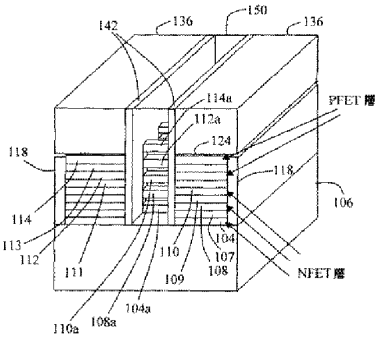
【図12】

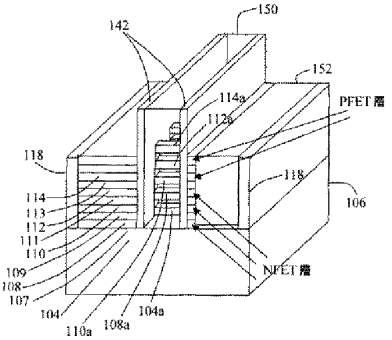
【図13】



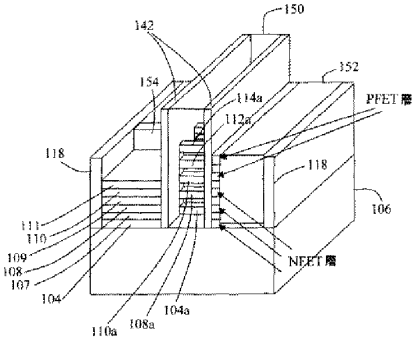


【図14】

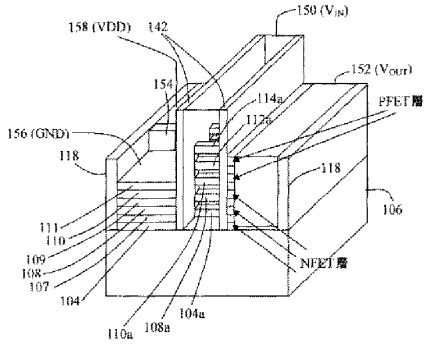




【図15】


150
142
152
154
114a
112a
PFET層
118
118
106
111
110
109
108
107
104
NFET層
110a
108a
104a

【図16】


150 (V_{IN})
158 (VDD)
142
152 (V_{OUT})
154
114a
112a
PFET層
156 (GND)
118
118
106
111
110
109
108
107
104
NFET層
110a
108a
104a

(51)Int.Cl.	FI		テーマコード（参考）
	Ｈ０１Ｌ　27/08	３２１Ｄ	
	Ｈ０１Ｌ　27/08	３２１Ａ	
	Ｈ０１Ｌ　27/08	３２１Ｃ	
	Ｈ０１Ｌ　27/08	３２１Ｆ	

(72)発明者　ジョセフィーヌ・ビー・チャン
アメリカ合衆国　１０５９８　ニューヨーク州　ヨークタウン・ハイツ　ルート１３４　キッチャワンロード　１１０１　私書箱　２１８
(72)発明者　マイケル・エー・ギルローン
アメリカ合衆国　１０５９８　ニューヨーク州　ヨークタウン・ハイツ　ルート１３４　キッチャワンロード　１１０１　私書箱　２１８
(72)発明者　ジェフリー・ダブリュー・スライト
アメリカ合衆国　１０５９８　ニューヨーク州　ヨークタウン・ハイツ　ルート１３４　キッチャワンロード　１１０１　私書箱　２１８
(72)発明者　ポール・チャン
アメリカ合衆国　１２５３３－６６８３　ニューヨーク州　ホープウェル・ジャンクション　ルート５２　２０７０

Ｆターム(参考)　5F048 AA01 AB04 AC04 BA16 BB01 BB05 BB08 BB09 BB11 BB12
BC02 BD01 BD06 BD09 BF06 BF16 BF19 BG13 DA27 DB01
5F110 AA04 BB04 CC02 CC10 DD05 DD13 EE09 EE32 FF01 FF02
GG02 GG22 GG24 GG25 GG30 GG42 HJ01 HJ16 HJ23 HK05
HK40 QQ11 QQ19

Espacenet

Bibliographic data: JP2010510720 (A) — 2010-04-02

DELAY LINE CALIBRATION

Inventor(s):

Applicant(s):

Classification:	**- international:** ***H03L7/081*** **- cooperative:** **H03L7/00 (KR)**; **H03L7/0814 (EP, US)**; **H03L7/085 (EP, US)**
Application number:	JP20090537296 20071112 Global Dossier
Priority number (s):	US20060560327 20061115 ; WO2007US84445 20071112
Also published as:	CN101548467 (A) CN101548467 (B) EP2095510 (A1) JP5335685 (B2) KR101172946 (B1) more

Abstract not available for JP2010510720 (A)
Abstract of corresponding document: WO2008061064 (A1)

A tunable delay line is calibrated to maintain the delay of the delay line at a desired value or within a desired range of values. In some aspects a signal is passed through a delay line multiple times so that the cumulative delay of the signal through the delay line (e.g., as indicated by a count) may be calculated over a period of time. The count is compared with an expected count and, based on this comparison, the delay of the delay line is adjusted as necessary. In some aspects the signal may comprise a digital signal. In some aspects a delay through a delay line may be calculated based on analysis of amplitude changes in a signal caused by a phase shift imparted on the signal by the delay line. In some aspects a delay line is incorporated into a transmitted reference system to generate and/or process transmitted reference signals.

Espacenet

Description: JP2010510720 (A) — 2010-04-02

DELAY LINE CALIBRATION

Description not available for JP2010510720 (A)
Description of corresponding document: WO2008061064 (A1)

A high quality text as facsimile in your desired language may be available amongst the following family members:

CN101548467 (A) KR20090106389 (A) TW200838147 (A) US2008111601 (A1) WO2008061064 (A1)

The EPO does not accept any responsibility for the accuracy of data and information originating from other authorities than the EPO; in particular, the EPO does not guarantee that they are complete, up-to-date or fit for specific purposes.

051009U2

DELAY LINE CALIBRATION

BACKGROUND Field

This application relates generally to communications and, in some aspects, to calibrating a delay line.

Background

A delay line provides a mechanism to impart a known delay on a signal. For example, a signal input into a delay line may exit the delay line relatively intact after a specified period of time. A typical use of a delay line involves delaying a clock signal to provide a clock signal with a different phase. Another typical use of a delay line involves delaying a signal in a circuit to align information in that signal (e.g., clock edges or data) with information in other signals. Another potential use relates to delays in ultra-wideband transmitted reference transmitters and receivers. For a transmitter, a given delay may be provided between a reference pulse and data pulse. For a receiver, that same delay may be imparted on a reference pulse to correlate the reference pulse with a data pulse. A delay line also may be used in a ring oscillator for clock generation, such as an inverter chain-based delay line. A delay line also may be used for a super regenerative receiver with a delay feedback through a gain element. Many other uses are possible.

In practice, the actual delay of a delay line may vary from its nominal, intended value. For example, factors such as integrated circuit process variations and temperature may cause the actual delay of the delay line to be higher or lower than the nominal value. The impact on the delay of the delay line due to integrated circuit process variations is relatively static. That is, once the delay line is manufactured, the actual delay of the delay line may be a specific value that is slightly below or above the nominal value. The impact on the delay of the delay line due to temperature variation may be relatively dynamic. Here, the delay may deviate over time in response to changes in temperature in the operating environment.

Accordingly, applications that require a relatively precise delay may incorporate some form of delay line calibration. For example, the delay of a tunable 051009U2

delay line may be varied based on the value of a control signal provided to the delay line. In this case, a control mechanism may be used to adjust the delay of the delay line to maintain the delay with a given range of values (e.g., a within certain percentage of the nominal delay). Here, provisions may be made to measure or estimate the current delay of the delay line. If this measurement or estimate indicates that the delay is not within the desired range of values, the control signal may be used to adjust the delay of the delay line back to an acceptable value.

SUMMARY

A summary of selected aspects of the disclosure follows. For convenience, one or more aspects of the disclosure may be referred to herein simply as "an aspect" or "aspects."

In some aspects a tunable delay line is calibrated to maintain the delay of the delay line within a desired range of values. A signal is fed into the delay line and the resulting output of the delay line is processed to obtain an indication of the delay through the delay line. The delay of the delay line is then adjusted as necessary based on the indication.

In some aspects a signal is passed through the delay line multiple times to calculate the cumulative delay imparted on the signal by the delay line over a period of time. The cumulative delay is then compared with an expected cumulative delay to determine whether the delay of the delay line needs to be adjusted. This may be accomplished, for example, by counting the number of times the signal is output by the delay line and comparing this count with an expected count.

In some aspects a pulse signal is fed into an input of the delay line and the output of the delay line is fed back to the input of the delay line. A counter coupled to an output of the delay line counts the number of times the pulse signal is output by the delay line. The count generated by the counter is then compared with an expected count to determine whether the delay imparted on the pulse signal by the delay line is within an expected range of values. Based on this comparison, an appropriate control signal may be provided to the delay line to adjust the delay if necessary. [0009] In some aspects provisions may be made to compensate for distortion that may be imparted on a signal as a result of the signal being passed through the delay line multiple times. For example, gain in a feedback loop may be provided and adjusted, as 051009U2

necessary, to compensate for a change in the amplitude of the signal. In addition, a signal regenerator may be provided in the feedback loop to compensate for distortion of

the signal.

In some aspects a digital signal may be repeatedly passed through a delay line. For example, a combiner such as an exclusive -or ("XOR") gate may couple a step signal and an output of the delay line to an input of the delay line. Here, as the step transition is fed from the output back to the XOR gate a transition will occur at the output of the XOR gate thereby causing a repetitive alternating signal to be fed into the delay line. A counter coupled to an output of the delay line may thereby count the number of times the signal is output by the delay line. This count may then be compared to an expected count and, based on this comparison, the delay of the delay line adjusted as necessary.

In some aspects a delay through a delay line may be calculated based on analysis of a phase shift that a delay line imparts on a signal. For example, a reference signal (e.g., a continuous signal such as a sine wave) may be provided to an input of the delay line to generate a delayed reference signal. The reference signal and the delayed reference signal may then be combined to generate a combined signal including phase components of both signals. The amplitude of the combined signal provides an indication as to the delay imparted on the delayed reference signal. Thus, by detecting the amplitude of the combined signal, the delay of the delay line may be adjusted as necessary.

In some aspects a delay line is incorporated into a transmitted reference system. In a transmitter reference system the transmitted waveform consist of a template pulse (e.g., a reference pulse) followed by a data pulse wherein a bit value may be encoded, for example, as a differential between the reference and data pulses. Here, the data pulse will follow the reference pulse by a known time interval. Accordingly, a delay line may be employed in a transmitter to provide the desired spacing between the reference and data pulses. Conversely, in a receiver, a delay line may be employed to delay a received reference pulse to line up the reference pulse in time with a corresponding data pulse. 051009U2

BRIEF DESCRIPTION OF THE DRAWINGS

These and other features, aspects and advantages of the disclosure will be more fully understood when considered with respect to the following detailed description, appended claims and accompanying drawings, wherein:

FIG. 1 is a simplified block diagram of several exemplary aspects of an apparatus that uses feedback to calibrate a delay line;

FIG. 2 is a flowchart of several exemplary aspects of operations that may be performed to calibrate a delay line;

FIG. 3 is a simplified block diagram of several exemplary aspects of an apparatus that calibrates a delay line by counting pulse signals fed back through the delay line;

FIG. 4 is a flowchart of several exemplary aspects of operations that may be performed to calibrate a delay line;

FIG. 5 is a simplified block diagram of several exemplary aspects of an apparatus that uses a digital feedback signal to calibrate a delay line;

FIG. 6 is a flowchart of several exemplary aspects of operations that may be performed to calibrate a delay line using a digital feedback signal;

FIG. 7 is a simplified diagram of several exemplary aspects of a transmitted reference system;

FIG. 8 is a flowchart of several exemplary aspects of operations that may be performed to transmit a transmitted reference signal;

FIG. 9 is a flowchart of several exemplary aspects of operations that may be performed to receive a transmitted reference signal;

FIG. 10 is a simplified block diagram of several exemplary aspects of an apparatus that calibrates a delay line by combining a reference signal and a delayed reference signal;

FIG. 11 is a flowchart of several exemplary aspects of operations that may be performed to calibrate a delay line by combining a reference signal and a delayed reference signal;

FIG. 12 is a simplified block diagram of several exemplary aspects of an apparatus that uses feedback to calibrate a delay line; 051009U2

FIG. 13 is a simplified diagram of several exemplary aspects of a transmitted reference system; and

FIG. 14 is a simplified block diagram of several exemplary aspects of an apparatus that calibrates a delay line by combining a signal and a delayed signal. [0028] In accordance with common practice the various features illustrated in the drawings may not be drawn to scale. Accordingly, the dimensions of the various features may be arbitrarily expanded or reduced for clarity. In addition, some of the drawings may be simplified for clarity. Thus, the drawings may not depict all of the components of a given apparatus or method. Finally, like reference numerals may be used to denote like features throughout the specification and figures.

DETAILED DESCRIPTION

Various aspects of the disclosure are described below. It should be apparent that the teachings herein may be embodied in a wide variety of forms and that any specific structure and/or function disclosed herein is merely representative. Based on the teachings herein one skilled in the art should appreciate that an aspect disclosed herein may be implemented independently of any other aspects and that two or more of these aspects may be combined in various ways. For example, an apparatus may be implemented and/or a method practiced using any number of the aspects set forth herein. In addition, an apparatus may be implemented and/or a method practiced using other structure and/or functionality in addition to or other than one or more of the aspects set forth herein.

FIG. 1 illustrates certain aspects of an apparatus 100 for calibrating a delay line 102. Briefly, the delay line 102 is set up in a feedback configuration so that a signal from a signal generator 104 is repeatedly fed through the delay line 102 via a feedback path 106. A controller 108 calculates the resulting cumulative delay imparted on the signal to

determine whether the delay of the delay line 102 is within a range of desired delay values. For example, the controller 108, in conjunction with a counter 110, may obtain a count 112 of the number of times the signal has passed through the delay line 102 within a given time period. The controller 108 compares this count with an expected count and/or a threshold 114 indicative of an expected value of the count for that time period. If the comparison indicates that the delay of the delay line 102 is not 051009U2

within the desired range, the controller 100 adjusts the delay of the delay line 102 accordingly.

Exemplary operations that may be used to calibrate a delay line will be discussed in conjunction with FIG. 2. For convenience, the operations of FIG. 2 (or any other flowchart herein) may be described as being performed by specific components. It should be appreciated, however, that these operations may be performed in conjunction with and/or by other components.

A delay line calibration operation may be performed at various times. Typically, the apparatus 100 will perform a calibration procedure when the associated circuit is powered-up. In addition, the apparatus 100 may perform a calibration procedure occasionally (e.g., periodically) or in response to some stimulus. For example, a calibration operation may be commenced when the apparatus 100 detects a change in temperature. Thus, the apparatus 100 may include a temperature sensor (not shown) that is used to determine whether there has been a change in temperature that exceeds a given threshold. The calibration may be performed when the circuit is non-operational or operational. In the latter case, provisions may be made to ensure that the calibration procedure does not significantly impact the operation of the associated circuit.

Initially (e.g., upon power-up), the delay of the delay line 102 may be set to a nominal or default value. In this case, the calibration operations discussed below may be performed to adjust the delay of the delay line to a desired value (e.g., to a value within a range of acceptable values).

As represented by block 202 in FIG. 2, the signal generator 104 generates a signal (as represented by a line 116) that is coupled to an input 118 of the delay line 102 via a coupler 120. As will be discussed in more detail below, the coupler 120 may comprise an adder, a logic gate or some other suitable coupling mechanism. As represented by block 204, the signal is thus delayed as it passes through the delay line 102.

An output 122 of the delay line 102 is coupled to the input 106 via the feedback path 106 including the coupler 120. Accordingly, after the signal from the signal generator 104 passes through the delay line 102, the signal will be fed back to the input 106 (block 206). The signal will thus be repeatedly delayed upon each pass through the delay line 102. 051009U2

At block 208, the counter 110 increments a count every time the delay line 102 outputs a signal (as represented by a line 124). In other words, the counter 110 increments the count every time a signal completes a round-trip through the delay line 102 and the feedback path 112. Accordingly, each count represents a period of time corresponding to a delay of the delay line 102. The counter 110 provides the count to the controller via a corresponding signal (as represented by the line 112). [0037] As represented by block 210, the controller 108 uses the count 112 to determine whether the delay of the

delay line 102 is within a range of desired values. Here, a comparator 126 may compare the count with the expected count and threshold 114 that define a range of acceptable values of the count. For example, the comparator 126 may determine the count difference between the count 112 and an expected count value. In the event this difference is greater than an acceptable amount (e.g., a threshold amount), the comparator may generate a signal indicating that the delay of the delay line 102 needs to be adjusted. In addition, the comparator 126 determines whether the count 112 is more than or less than an expected count value. Thus, the signal generated by the comparator 126 also may indicate that the delay of the delay line 102 needs to be increased or decreased (e.g., based on the count 112 being too high or too low, respectively).

Based on the signal from the comparator 126, the controller 108 adjusts a control signal (as represented by a line 128) that controls the delay of the delay line 102. In a typical implementation this involves adjusting the control signal 128 by a predefined step value that causes a corresponding incremental change [Delta] in the delay of the delay line 102. Accordingly, in the example of FIG. 1, a step control component 130 adjusts the magnitude of the control signal 128 (e.g., in a positive or negative direction) in step increments.

This change in the control signal 128 results in a corresponding incremental change [Delta] in the delay of the delay line 102. For example, a tunable delay line may comprise a filter with a tunable group delay implemented via switched capacitors or varactors. Alternatively, a tunable delay line may comprise a variable length transmission line, a sample and hold tapped delay line or some other tunable structure. The control signal 128 may thus interact with one or more of these components to, in effect, control the "length" of the delay line. 051009U2

The operations of FIG. 2 may then be repeated as necessary until the delay of the delay line 102 is within the desired range. Here, the calibration procedure may be an iterative process that attempts to set the delay to an optimum value (e.g., a value that is least likely to fall outside the desired range over time).

In some aspects the controller 108 may adjust the control signal 128 in a manner that is based on the magnitude of the difference between the actual and desired delays of the delay line 102. For example, the step control component 130 may adjust the size of the step based on the magnitude of the difference between the count 112 and the expected count. Thus, in some cases, a change in the delay of the delay line 102 may be proportional to the delay error. In this way, the controller 108 may more quickly adjust the delay of the delay line 102 to an acceptable value through the use of a larger incremental change [Delta] in the delay.

In some aspects the controller 108 may control the operation of one or more components in FIG. 1 to ensure that the count 112 will be taken over a desired time period. Here, the controller 108 may include a timer 132 (clocked by, for example, a 10 MHz clock) that controls the operation of the counter 110 via a signal (as represented by a line 134). For example, the signal 134 may cause the counter 110 to commence counting at a certain point in time (e.g., by resetting the counter) and stop counting at another point in time (e.g., by disabling the counter). Alternatively, the controller 108 may use a signal from the timer 132 to determine when to compare the count 112 with the expected count/threshold 114. Also, based on a signal from the timer 132, the controller 108 may generate a signal (as represented by a line 136) to cause the signal

generator 104 to generate the signal 116 at a specific time. For example, the signal generator 104 may generate the signal 116 at the beginning of a time interval for a counting operation.

An example of timing operations that may be used to set the delay line 102 to a target delay value D follows. Initially, the controller 108 may generate the signal 136 at time TO to cause the signal generator 104 to generate a single pulse signal 116. The counter 110 then counts the number of pulse signals N output by the delay line 102 in T seconds (e.g., 1 [mu]s). If N - T/D < Threshold 114 (e.g., 100 counts), the delay line 102 is deemed to be tuned and the calibration procedure is terminated. Advantageously, a signal may be routed through a delay line multiple times such that small variations in 051009U2

delay are built up to large measurable differences to enable more precise calibration of the delay line.

Otherwise, the controller 108 compares the number of pulse signals N output by the delay line in T seconds to the expected number of pulse signals T/D corresponding to the desired delay. IfN > T/D, controller 108 increases the delay by a step amount [Delta]. IfN < T/D, the controller 108 decreases the delay by a step amount [Delta]. Otherwise, the controller 108 does not change the delay. The calibration process may then be repeated until the delay of the delay line 102 is within a desired range around D. [0045] As will be discussed in more detail below, in a typical implementation the delay line 102 will delay signals for a specific circuit of a device (not shown in FIG. 1). Accordingly, a coupling mechanism (e.g., one or more switches such as transistors, not shown in FIG. 1) may be provided for coupling and/or decoupling various components of the apparatus 100 and the circuit to/from the delay line 102. In this way, the delay line 102 may be readily switched between a configuration that enables the delay line 102 to be calibrated and a configuration where the delay line 102 delays signals for the circuit. In particular, the feedback path 106 may include a mechanism (e.g., a switch such as a transistor, not shown in FIG. 1) to decouple the output 122 and input 118 of the delay line 102.

Referring now to FIGS. 3 and 4, additional details of an apparatus and method for calibrating a delay line will be treated in the context of an apparatus that counts pulse signals that are fed through a delay line. Specifically, FIG. 3 illustrates certain aspects of an apparatus 300 for calibrating a delay line 302. FIG. 4 illustrates certain aspects of operations that may be performed to calibrate a delay line. [0047] As represented by block 402 of FIG. 4, a pulse generator 304 generates a pulse signal that is coupled to an input of the delay line 302 via an adder 306. The delay line 302 delays the pulse signal (block 404) and outputs the delayed pulse signal as represented by the line 308.

As represented by block 406, a feedback path 310 including the adder 306 couples the pulse signal 308 back to the input of the delay line 302. In some aspects the feedback path 310 may optionally include one or more components 312 that compensate for distortion that may be imparted upon the pulse signal as it is repeatedly routed through the loop defined by the delay line 302 and the feedback path 310. For example, the component 312 may incorporate a pulse regenerator and/or an amplifier. 051009U2

10

The pulse regenerator may be used, for example, to reshape the pulse signal to

compensate for any distortion of the shape of the pulse signal (e.g., smearing or amplitude uncertainty) caused by repeated passes through the loop (block 408). In some cases such reshaping may help maintain the stability of the loop. A pulse regenerator may take various forms such as, for example, a matched filter. Here, however, provisions may need to be taken to ensure that the delay imparted on a signal by the pulse regenerator does not adversely affect the calibration procedure to a significant extent.

The amplifier may be used to provide gain for the feedback path 310 to compensate for any change in the amplitude of the pulse signal caused by repeated passes through the loop. In some implementations the apparatus 300 may automatically compensate for any change in the amplitude of the pulse signal. For example, if the amplifier gain is too low, the pulse signal will decay as it is repeatedly fed through the loop. Thus, eventually, the pulse detector 314 may not be able to detect the signal. On the other hand, if the gain is too high, the pulse signal and noise may be amplified to saturation. Again, the pulse detector 314 may not be able to detect the pulse signals. [0051] Accordingly, in some aspects the apparatus 300 may calibrate the gain in feedback path. As an example, an optional pulse detector 314 may detect one or more of the pulse signals 308 output by the delay line 302 to determine whether the pulse signals routed through the loop are being distorted (block 410). For example, the pulse detector 314 may detect the pulse signal strength after a given number of iterations (e.g., 1000 iterations). If the pulse amplitude is too high or saturated, the gain is decreased. If the pulse amplitude is too low, the gain is increased. To this end, the pulse detector 314 may generate a signal (as represented by the line 316) that controls the gain of the amplifier and/or controls some other characteristic of the component 312 (block 412). This procedure is repeated until the pulse amplitude is within an acceptable tolerance. [0052] In some aspects the gain may be dynamically adjusted while the delay line calibration is in progress. For example, if a function of the previous pulse amplitudes was too large or too small, the gain may be decreased or increased, respectively. The function may relate to the last pulse signal, a windowed average of the last several pulse signals, a weighted filter of the previous pulse signals, or any suitable linear or nonlinear function relating to one or more pulse signals. 051009U2

11

The pulse detector 314 may be implemented in various ways. For example, in some aspects the pulse detector 314 may comprise an amplitude detector that detects amplitude of the pulse signal(s). In some aspects the pulse detector 314 may comprise a matched filter that is adapted to match the expected characteristics of the signal(s) being detected. Such an implementation may provide better rejection of noise that may, in the case of a simple peak detector, trigger a false detection.

As represented by block 414, a counter 318 counts each pulse signal 308 output by the delay line 302. In a similar manner as discussed above in conjunction with FIG. 1, the counter 318 provides a resulting count 320 to a controller 322. [0055] As represented by block 416, provisions may be made to account for delays in the feedback path 310. For example, the adder 306 and the component 312 may impart some delay on any pulse signal that passes through these components. In the event this delay is not insubstantial in comparison with the delay of the delay line 302, it may be desirable to compensate for this delay when determining whether the delay of the delay line 302 is at an acceptable delay value. In some aspects a count 320 generated by the counter may be adjusted (e.g., decremented) to account for any component delays that are not

attributable to the delay line 302. In some aspects an expected count and/or a threshold 324 may be adjusted (e.g., incremented) to account for the component delays.

Various techniques may be employed to obtain a component delay value. For example, a delay of a specific component or a specific type of component may be measured after the component has been manufactured. Alternatively, a delay of a component may be calculated or estimated. For example, a mean of the component delay may be statistically calculated or estimated based on analysis of the component or multiple samples of components. In either case, the apparatus 300 may include a data memory into which offset values indicative of the statistical mean of the delay, the measured delay or some other parameter may be programmed for use in the calibration procedure.

As represented by block 418, the controller 322 compares the count 322 to the expected count/threshold 324 (and/or some other suitable baseline) to determine whether the delay of the delay line 322 is acceptable. As represented by block 420, if the delay is not acceptable, the controller 322 will adjust a control signal (as represented by a line 326) based on the comparison. For example, as discussed above in 051009U2

12

conjunction with FIG. 1, the controller 322 may increase or decrease the magnitude and/or polarity of the control signal 326 on an incremental basis. In addition, the controller 322 may adjust the step size based on the results of the comparison. The controller 322 will then provide the resulting control signal 326 to the delay line 302 to adjust the delay (block 422).

Depending upon the requirements of a given application, the pulse generator 304 may generate various forms of pulse signals. In general, the width of a pulse signal may be less than a time period of the delay of the delay line 302. In this way, a second transition of the pulse signal may be input into the delay line 302 before a first transition of the pulse signal is fed from the output of the delay line 302 back to the input of the delay line 302.

In some aspects the pulse generator 304 may generate several pulse signals that may be concurrently routed through the feedback path. To ensure that these pulse signals are orthogonal, the time between the first pulse signal and the last pulse signal may be less than a time period of the delay of the delay line 302. Alternatively, other provisions may be made to reduce the possibility or effect of "collisions" of the pulse signals. For example, the pulse signals may be spaced in time to avoid collisions. Alternatively, the likelihood of collisions may be estimated and factored into one or more of the counter's count, the expected count or the threshold. A potential advantage of the use of multiple pulse signals is that a given count may be reached more quickly. Thus, less time may be required and less power may be used to perform the calibration operation. Another potential advantage of the use of multiple pulse signals is that any adverse effect of pulse detection errors due to noise or distortion may be reduced since a larger number of pulse signals may be processed in a given amount of time. [0060] Referring now to FIGS. 5 and 6, additional details of an apparatus and method for calibrating a delay line will be treated in the context of an apparatus that repeatedly feeds a digital signal through a delay line. FIG. 5 illustrates certain aspects of an apparatus 500 for

calibrating a delay line 502. FIG. 6 illustrates certain aspects of operations that may be performed to calibrate a delay line.

As represented by block 602 of FIG. 6, a step generator 504 generates a step signal that is to be provided to the delay line 502. In this case, as represented by block 604, a feedback path 506 incorporating an XOR gate 508 couples the step signal with a signal output by the delay line 502 (block 604) and provides the result to an input of the 051009U2

13

delay line 502 (block 606). That is, the output of the XOR gate 508 depends on the current value of the step signal and the current value of the output of the delay line 502. Here, regardless of the initial state of the output signal of the delay line 502, once the step signal transitions (from a low to a high state or a high to a low state), the output of the XOR gate 508 will change (from high to low or low to high). Moreover, after the delay line 502 delays the signal (block 608) and outputs the delayed signal, the resulting change in the output signal of the delay line 602 will also cause a corresponding change in the output of the XOR gate 508.

Accordingly, it should be appreciated that a digital signal will, in effect, be continually fed through the feedback loop 506 and the delay line 502. As an example, when the delay of the delay line 502 is 10 ns, the XOR gate will output a signal having a frequency on the order of 50 MHz. Moreover, the shape of this signal may be maintained regardless of the number of signals output by the delay line 502 since the XOR gate inherently provides gain and reshaping of the edges of the signal. Thus, through the use of a digital signal and associated digital components, the apparatus 500 may provide a relatively stable calibration operation without the use of additional components that compensate for distortion of the signal, for example, as discussed above in conjunction with FIG. 1.

As represented by block 610, a counter 518 counts each signal (e.g., via a rising edge and/or a falling edge of the signal) output by the delay line 502. The counter 518 then provides a resulting count 510 to a controller 512.

The controller 512 compares the count 510 with an expected count and/or a threshold 514 (or some other suitable baseline) to determine whether the delay of the delay line 502 is acceptable. If the delay is not acceptable, the controller 512 will generate an appropriate control signal 516 to adjust the delay based on the comparison (block 612).

As discussed above, in practice a delay line is incorporated into a circuit to impart a delay on signals in the circuit. FIG. 7 illustrates several aspects of an exemplary transmitted reference system 700 that incorporates a tunable delay line as taught herein. In some aspects a transmitter reference signaling technique may be used in an ultra-wideband system to provide, for example, a personal area network or a body area network. To reduce the complexity of FIG. 7, various aspects of the associated apparatus for calibrating a delay line (e.g., a counter and a controller) are not shown. It 051009U2

14

should be understood, however, that these aspects may be incorporated into the

system 700.

The transmitted reference system 700 includes a transmitter section (top half of FIG. 7) and receiver section (bottom half of FIG. 7). In the example of FIG. 7, the transmitter section includes a delay line 702 and the receiver section includes a delay line 704. Exemplary operations of each of these sections will be discussed in conjunction with the flowcharts of FIGS. 8 and 9.

As represented by block 802 in FIG. 8, after the delay line 702 is calibrated as discussed herein, the feedback path used during calibration of the delay line 702 may be decoupled. For example, a switch (e.g., a transistor or some other suitable component) 706 may be opened in the feedback path to prevent an output of the delay line 702 from being fed back to an input of the delay line 702. [0068] As represented by block 804, a pulse generator 708 generates a reference pulse that is coupled (as represented by a line 710) to the delay line 702 via an adder 712 (block 806). In this example, during the calibration operation the pulse generator 708 and the adder 712 may have performed similar functions as the pulse generator 304 and the adder 306 of FIG. 3. As represented by block 808, the delayed reference pulse output by the delay line 702 is used (e.g., by a multiplier 714) to generate a data pulse based on a corresponding data bit 716.

As represented by block 810, the reference pulse generated at block 804 and the data pulse generated at block 808 are, in effect, combined (e.g. via adder 718) to provide a transmitted reference signal. Here, the reference pulse will precede the data pulse by a given amount of time as determined by the delay of the delay line 702. [0070] The delay line 702 thus provides a desired delay between the reference pulse and the data pulse when encoding a transmitted reference signal. Advantageously, through the use of delay line calibration techniques as taught herein, the delay of the delay line 702 may be set and maintained with a high level of precision and accuracy regardless of any process variations, temperature variations or other conditions that may otherwise affect the delay of the delay line 702.

In some aspects, the delay imparted by a delay line may be configurable. For example, a different delay may be specified for different communication channels. In addition, the delay between different sets of reference and data pulses may change dynamically (e.g., in accordance with a known hopping sequence). In such cases, a 051009U2

15

calibration mechanism as taught herein may likewise be configurable to calibrate the different values of delay for the delay line and/or to calibrate the delay line to provide an optimum delay value or set of delay values.

As represented by block 812, a transmitter output stage 720 processes (e.g., filters and amplifies) the transmitted reference signal and provides the signal to an antenna 722 for transmission.

Exemplary operations of the receiver section of the system 700 will now be treated in conjunction with the operations of FIG. 9. In the example of FIG. 7, the pulse generator 708 may be used to generate pulse signals for calibration of the delay line 704. Thus, during the calibration operation the pulse generator 708 and an adder 724 may have performed similar functions as the pulse generator 304 and the adder 306 of FIG. 3. In

this case, the system 700 may include a switch 726 that selectively couples an input stage 728 of the receiver to either the output of the pulse generator 708 or to the antenna 722. In this way, the receiver input stage 728 may receive a pulse from the pulse generator 708 during calibration operations or receive signals from the antenna 722 during normal operations.

As represented by block 902 and FIG. 9, after the delay line 704 is calibrated as discussed herein, the feedback path used during calibration of the delay line 704 may be decoupled. For example, a switch 730 may be opened in the feedback path to prevent an output of the delay line 704 from being fed back to an input of the delay line 704.

As represented by block 904, during normal operations the receiver input stage 728 may receive a transmitted reference signal via the antenna 722. As discussed above, a transmitted reference signal consists of a series of reference and data pulses. The receiver input stage 728 may perform various operations including, for example, amplifying and filtering.

As represented by block 906, the reference pulse of a given reference and data pulse pair is coupled (as represented by a line 732) to the input of the delay line 704. In this way, the reference pulse may be delayed an amount of time that is equal to a time period between the reference pulse and the corresponding data pulse (block 908). The delay line 704 thus provides, with precision, a desired delay between the reference pulse and the data pulse for decoding a transmitted reference signal. 051009U2

16

As represented by block 910, the delayed reference pulse may be combined (e.g., via a multiplier 734) with the corresponding data pulse. This operation may, in effect, provide the functionality of a matched filter to efficiently extract the data information from the received data pulse. The resulting pulse may then be provided to a data recovery component 736 that may further process (e.g., amplifying and filter) the pulse to recover data from the transmitted reference signal. [0078] Referring now to FIGS. 10 and 11, in some aspects an apparatus and a method for calibrating a delay line may combine a reference signal and a delayed reference signal to generate an indication of the delay of the delay line. Here, a feedforward mechanism may be employed to facilitate combining the reference signal and the delayed reference signal. The amplitude of the combined signal may then be used to provide an indication as to the actual delay of the delay line. [0079] As represented by block 1102 in FIG. 11, a reference signal generator 1002 generates a reference signal (as represented by a line 1006) that is coupled to an input of a delay line 1004. In some aspects the reference signal 1006 may comprise a continuous wave signal providing, for example, a sine function, a cosine function or some other suitable waveform. The signal generator 1002 may commence and terminate generation of the reference signal 1006 in accordance with a control signal 1008 received from, for example, the controller 1010. As represented by block 1104, the delay line 1004 delays the reference signal 1006 and provides the delayed reference signal to an input of a combiner 1012.

As represented by block 1106, the combiner 1012 combines the reference signal provided via a feedforward path 1014 and the delayed reference signal. The combiner 1012 may comprise a comparator, an arithmetic unit such as a summer (adder), a subtracter or some other suitable combining mechanism. Here, the signal output by the

combiner 1012 has a phase shift due to the delay line 1004. Moreover, this phase shift affects the amplitude (e.g., the peak value) of the output signal. [0081] Accordingly, as represented by block 1108, the combiner 1012 provides the combined signal to an amplitude detector 1016. In some aspects the amplitude detector 1016 may comprise a peak detector adapted to detect the peaks of the combined signal. For example, in the case where the reference signal is a sine wave, the delay line creates a phase shift in the sin wave of [phi] = [omega]*D, where [omega] is the sine wave frequency in radians, and D is the delay of the delay line 1004, in seconds. In the case where the combiner 051009U2

17

1012 is a summer, the output of the summer 1012 is sin([omega]t) + sin([omega]t+[phi]) = 2sin([omega]t+[phi]/2)cos([phi]/2). The peak detector 1016 detects the peak over time which is 2cos([phi]/2). Alternatively, in the case where the combiner 1012 is a subtracter, the peak over time detected by the peak detector 1016 is 2sin([phi]/2). As represented by a line 1018, the amplitude detector 1016 provides the detected value (e.g., the peak value) to the controller 1010.

As represented by block 1110, the controller 1010 adjusts the delay with the delay line 1004 based on the detected value 1018. For example, a comparator 1020 may compare an amplitude 1018 (e.g., a peak value) provided by the amplitude detector 1016 with a threshold 1022. If the amplitude 1018 is a more than or less than the threshold 1022 (or within a certain range of the threshold 1022), the controller 1010 may generate an appropriate control signal 1024 as discussed herein to increase or decrease the delay of the delay line 1004.

In a similar manner as discussed above, in a typical implementation the delay line 1004 will delay signals for a specific circuit of a device (not shown in FIG. 10). Accordingly, a coupling mechanism (e.g., one or more switches, not shown in FIG. 10) may be provided for coupling and/or decoupling various components of the apparatus 1000 and the circuit to/from the delay line 1004.

The teachings herein may be incorporated into a variety of devices. For example, one or more aspects taught herein may be incorporated into a phone (e.g., a cellular phone), a personal data assistant ("PDA"), an entertainment device (e.g., a music or video device), a headset, a microphone, a biometric sensor (e.g., a heart rate monitor, a pedometer, an EKG device, etc.), a user I/O device (e.g., a watch, a remote control, etc.), a tire pressure gauge or any other suitable device. Moreover, these devices may have different power and data requirements. Advantageously, the teachings herein may be adapted for use in low power applications (e.g., that use a pulse-based signaling scheme) and at a variety of data rates including relatively high data rates (e.g., in applications that use high-bandwidth pulses).

The components described herein may be implemented in a variety of ways. For example, referring to FIG. 12, an apparatus 1200 includes components 1202, 1204, 1206, 1208, 1210, 1212, 1214, 1216 and 1218 that may correspond to similar components in FIGS. 1, 3 and 5. In FIG. 13 an apparatus 1300 includes components 1302, 1304, 1306, 1308, 1310, 1312, 1314, 1316, 1318 and 1320 that may correspond to 051009U2

18

similar components in FIG. 7. In FIG. 14 an apparatus 1400 includes components 1402, 1404, 1406, 1408, 1410 and 1412 that may correspond to similar components in FIG. 10. FIGS. 12, 13 and 14 illustrate that in some aspects these components may be implemented via appropriate processor components. These processor components may in some aspects be implemented, at least in part, using structure as taught herein. In some aspects a processor may be adapted to implement a portion or all of the functionality of one or more of these components. In some aspects the components represented by dashed boxes are optional.

In addition, the components and functions described herein may be implemented using any suitable means. Such means also may be implemented, at least in part, using corresponding structure as taught herein. In particular, one or more of such means may be implemented to provide similar functionality as one or more of the processor components of FIGS. 12, 13 and 14. For example, in some aspects means for delaying may comprise a delay line, means for generating a signal may comprise a signal generator, means for coupling may comprise a coupler, means for counting may comprise a counter, means for adjusting delay may comprise a controller, means for comparing may comprise a comparator, means for adjusting gain may comprise an amplifier, means for regenerating may comprise a regenerator, means for detecting may comprise a detector, means for generating reference pulses may comprise a pulse generator, means for decoupling may comprise a switch, means for combining may comprise an adder and/or a multiplier, means for receiving may comprise a receiver, and means for detecting amplitude may comprise an amplitude detector. Moreover, it should be understood that these components may be implemented in other ways using other structures and/or other operations. Also, some or all of the functionality of one or more of these components may be implemented using other types of components.
[0087] Those of skill in the art would understand that information and signals may be represented using any of a variety of different technologies and techniques. For example, data, instructions, commands, information, signals, bits, symbols, and chips that may be referenced throughout the above description may be represented by voltages, currents, electromagnetic waves, magnetic fields or particles, optical fields or particles, or any combination thereof.

Those of skill would further appreciate that the various illustrative logical blocks, modules, processors, means, circuits, and algorithm steps described in 051009U2

19

connection with the aspects disclosed herein may be implemented as electronic hardware, various forms of program or design code incorporating instructions (which may be referred to herein, for convenience, as "software" or a "software module"), or combinations of both. To clearly illustrate this interchangeability of hardware and software, various illustrative components, blocks, modules, circuits, and steps have been described above generally in terms of their functionality. Whether such functionality is implemented as hardware or software depends upon the particular application and design constraints imposed on the overall system. Skilled artisans may implement the described functionality in varying ways for each particular application, but such implementation decisions should not be interpreted as causing a departure from the scope of the present disclosure.

The various illustrative logical blocks, modules, and circuits described in connection

with the aspects disclosed herein may be implemented or performed with a general purpose processor, a digital signal processor (DSP), an application specific integrated circuit (ASIC), a field programmable gate array (FPGA) or other programmable logic device, discrete gate or transistor logic, discrete hardware components, or any combination thereof designed to perform the functions described herein. A general purpose processor may be a microprocessor, but in the alternative, the processor may be any conventional processor, controller, microcontroller, or state machine. A processor may also be implemented as a combination of computing devices, e.g., a combination of a DSP and a microprocessor, a plurality of microprocessors, one or more microprocessors in conjunction with a DSP core, or any other such configuration.

It is understood that the specific order or hierarchy of steps in the processes disclosed is an example of exemplary approaches. Based upon design preferences, it is understood that the specific order or hierarchy of steps in the processes may be rearranged while remaining within the scope of the present disclosure. The accompanying method claims present elements of the various steps in a sample order, and are not meant to be limited to the specific order or hierarchy presented. [0091] The steps of a method or algorithm described in connection with the aspects disclosed herein may be embodied directly in hardware, in a software module executed by a processor, or in a combination of the two. A software module (e.g., including %xecutable instructions and related data) and other data may reside in a data memory 051009U2

20

such as RAM memory, flash memory, ROM memory, EPROM memory, EEPROM memory, registers, a hard disk, a removable disk, a CD-ROM, or any other form of machine-readable storage medium known in the art. An exemplary storage medium may be coupled to a machine such as, for example, a computer/processor (which may be referred to herein, for convenience, as a "processor") such the processor can read information (e.g., software instructions) from and write information to the storage medium. An exemplary storage medium may be integral to the processor. The processor and the storage medium may reside in an ASIC. The ASIC may reside in user equipment. In the alternative, the processor and the storage medium may reside as discrete components in user equipment.

The previous description of the disclosed aspects is provided to enable any person skilled in the art to make or use the present disclosure. Various modifications to these aspects will be readily apparent to those skilled in the art, and the generic principles defined herein may be applied to other aspects without departing from the spirit or scope of the disclosure. Thus, the present disclosure is not intended to be limited to the aspects shown herein but is to be accorded the widest scope consistent with the principles and novel features disclosed herein.

Espacenet

Claims: JP2010510720 (A) — 2010-04-02

DELAY LINE CALIBRATION

Claims not available for JP2010510720 (A)
Claims of corresponding document: WO2008061064 (A1)

A high quality text as facsimile in your desired language may be available amongst the following family members:

CN101548467 (A) KR20090106389 (A) TW200838147 (A) US2008111601 (A1) WO2008061064 (A1)

- Original claims
- Claims tree

The EPO does not accept any responsibility for the accuracy of data and information originating from other authorities than the EPO; in particular, the EPO does not guarantee that they are complete, up-to-date or fit for specific purposes.

051009U2

21
CLAIMS WHAT IS CLAIMED IS:

1. An apparatus for calibrating a delay line, comprising: a delay line adapted to delay a reference signal, in accordance with a delay control signal, to provide a delayed reference signal; a combiner adapted to combine the reference signal and the delayed reference signal; an amplitude detector coupled to an output of the combiner; and a controller coupled to an output of the combiner and adapted to generate the delay control signal.

2. The apparatus of claim 1, wherein the amplitude detector further comprises a peak detector adapted to detect peaks of signals output by the combiner over a period of time.

3. The apparatus of claim 2, comprising a comparator adapted to compare an amplitude signal generated by the peak detector with an expected count to generate the delay control signal.

4. The apparatus of claim 1, wherein the combiner further comprises an adder adapted to combine the reference signal and the delayed reference signal.

5. The apparatus of claim 1, comprising a signal generator adapted to generate a

continuous wave signal for a period of time to provide the reference signal.

6. The apparatus of claim 1, comprising a signal generator adapted to generate a sine wave to provide the reference signal.

7. The apparatus of claim 1, wherein the apparatus comprises a headset, a microphone, a biometric sensor, a heart rate monitor, a pedometer, an EKG device, a user I/O device, a watch, a tire pressure gauge or a remote control.

051009U2

22

8. A method of calibrating a delay line, comprising: delaying a reference signal to provide a delayed reference signal; combining the reference signal and the delayed reference signal to provide an output signal; detecting amplitude of the output signal; and adjusting the delaying of the reference signal in accordance with the detected amplitude.

9. The method of claim 8, wherein detecting amplitude further comprises detecting peaks of the output signal over a period of time.

10. The method of claim 9, comprising comparing the peaks with an expected count to adjust the delaying of the reference signal.

11. The method of claim 8, wherein combining further comprises adding the reference signal and the delayed reference signal.

12. The method of claim 8, comprising generating a continuous wave signal for a period of time to provide the reference signal.

13. The method of claim 8, comprising generating a sine wave to provide the reference signal.

14. The method of claim 8, wherein the method is performed in a headset, a microphone, a biometric sensor, a heart rate monitor, a pedometer, an EKG device, a user I/O device, a watch, a tire pressure gauge or a remote control.

15. An apparatus for calibrating a delay line, comprising: means for delaying a reference signal to provide a delayed reference signal; means for combining the reference signal and the delayed reference signal to provide an output signal; means for detecting amplitude of the output signal; and

051009U2

23
means for adjusting the delaying of the reference signal in accordance with the detected amplitude.

16. The apparatus of claim 15, wherein the means for detecting amplitude is further adapted to detect peaks of the output signal over a period of time.

17. The apparatus of claim 16, wherein the means for detecting amplitude is further adapted to compare the peaks with an expected count to adjust the delaying of the reference signal.

18. The apparatus of claim 15, wherein the means for combining is further adapted to add the reference signal and the delayed reference signal.

19. The apparatus of claim 15, comprising means for generating a continuous wave signal for a period of time to provide the reference signal.

20. The apparatus of claim 15, comprising means for generating a sine wave to provide the reference signal.

21. A computer-program product for calibrating a delay comprising: a computer-readable medium comprising codes for causing a computer to: delay a reference signal to provide a delayed reference signal; combine the reference signal and the delayed reference signal to provide an output signal; detect an amplitude of the output signal; and adjust the delaying of the reference signal in accordance with the detected amplitude.

22. A processor for calibrating a delay, the processor being adapted to: delay a reference signal to provide a delayed reference signal; combine the reference signal and the delayed reference signal to provide an output signal; detect an amplitude of the output signal; and

051009U2

24
adjust the delaying of the reference signal in accordance with the detected amplitude.

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2010-510720
(P2010-510720A)
(43)公表日　平成22年4月2日(2010.4.2)

(51)Int.Cl.		F I		テーマコード（参考）
H03L 7/081	(2006.01)	H03L 7/08	J	5J106

審査請求 有　予備審査請求 有　（全 24 頁）

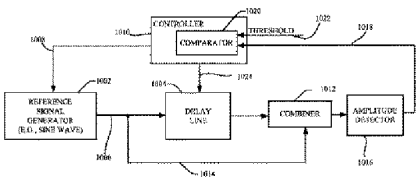
(21)出願番号	特願2009-537296 (P2009-537296)
(86)(22)出願日	平成19年11月12日 (2007.11.12)
(85)翻訳文提出日	平成21年7月15日 (2009.7.15)
(86)国際出願番号	PCT/US2007/084445
(87)国際公開番号	WO2008/061064
(87)国際公開日	平成20年5月22日 (2008.5.22)
(31)優先権主張番号	11/560,327
(32)優先日	平成18年11月15日 (2006.11.15)
(33)優先権主張国	米国 (US)

(71)出願人　595020643
クゥアルコム・インコーポレイテッド
ＱＵＡＬＣＯＭＭ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、カリフォルニア州　９２１２１－１７１４、サン・ディエゴ、モアハウス・ドライブ　５７７５
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠

最終頁に続く

(54)【発明の名称】遅延線の較正

(57)【要約】
調整可能な遅延線は、目標値に、または希望の値の範囲内に遅延線の遅延を維持するように較正される。いくつかの態様において、遅延線を通った信号の累積的な遅延（例えばカウントにより示されるように）が、ある期間にわたって算定されるように、信号は遅延線を複数回通して渡される。前記カウントは、予定カウントと比較される。そして、この比較に基づいて、必要なときには、遅延線の遅延は調節される。いくつかの態様において、信号はデジタル信号を含み得る。いくつかの態様において、遅延線を通った遅延は、遅延線により信号に与えられた位相シフトにより引き起こされる信号における振幅変化の分析に基づいて算定され得る。いくつかの態様において、遅延線は、送信基準信号を生成する、および／または処理するように送信基準システムに組み入れられる。



【特許請求の範囲】
【請求項1】
遅延した基準信号を供給するために遅延制御信号に従って、基準信号を遅延させるのに適合した遅延線と、
前記基準信号と前記遅延した基準信号を連結させるのに適合したコンバイナと、
前記コンバイナの出力に結合された振幅検出器と、
前記コンバイナの出力に結合されて、かつ前記遅延制御信号を生成するのに適合したコントローラ、
を含む遅延線を較正するための装置。
【請求項2】
前記振幅検出器は、時間の期間にわたって前記コンバイナにより出力される信号のピークを検知するのに適合したピーク検出器をさらに含む、請求項１の装置。
【請求項3】
前記遅延制御信号を生成するために、前記ピーク検出器により生成された振幅信号を予定カウントと比較するのに適合した比較器を含む、請求項２の装置。
【請求項4】
前記コンバイナは、前記基準信号と前記遅延した基準信号を連結させるのに適合した加算器をさらに含む、請求項１の装置。
【請求項5】
前記基準信号を供給するために時間の期間に連続波信号を生成するのに適合した信号発生器を含む、請求項１の装置。
【請求項6】
前記基準信号を供給するために正弦波を生成するのに適合した信号発生器を含む、請求項１の装置。
【請求項7】
前記装置は、ヘッドセット、マイクロホン、バイオメトリックセンサ、心拍数モニタ、歩数計、ＥＫＧデバイス、ユーザ入出力デバイス、ウオッチ、タイヤ圧力計またはリモート・コントロールを含む、請求項１の装置。
【請求項8】
遅延した基準信号を供給するために基準信号を遅延させることと、
出力信号を供給するために前記基準信と前記遅延された基準信号を連結することと、
前記出力信号の振幅を検出することと、
前記検出された振幅に従って前記基準信号の遅延を調節すること、
を含む、遅延線を較正する方法。
【請求項9】
前記振幅を検出することは、時間の期間にわたって前記出力信号のピークを検出することをさらに含む、請求項８の方法。
【請求項10】
前記基準信号の遅延を調節するために、前記ピークを予定カウントと比較することを含む、請求項９の方法。
【請求項11】
連結することは、さらに前記基準信号と前記遅延した基準信号を加算することを含む、請求項８の方法。
【請求項12】
前記基準信号を供給するために、時間の期間に連続波信号を生成することを含む、請求項８の方法。
【請求項13】
前記基準信号を供給するために正弦波を生成することを含む、請求項８の方法。
【請求項14】

前記方法は、ヘッドセット、マイクロホン、バイオメトリックセンサ、心拍数モニタ、歩数計、ＥＫＧデバイス、ユーザ入出力デバイス、ウオッチ、タイヤ圧力計またはリモート・コントロールにおいて行なわれる、請求項８の方法。

【請求項15】

遅延した基準信号を供給するために基準信号を遅延するための手段と、

出力信号を供給するために前記基準信号と前記遅延した基準信号を連結させるための手段と、

前記出力信号の振幅を検出するための手段と、

前記検出された振幅に従って前記基準信号の遅延を調節するための手段、

を含む、遅延線を較正するための装置。

【請求項16】

前記振幅を検出するための手段は、さらに、時間の期間にわたって前記出力信号のピークを検出するように適合された、請求項１５の装置。

【請求項17】

前記振幅を検出するための手段は、さらに、前記基準信号の遅延を調節するために前記ピークを予定カウントと比較するように適合された請求項１６の装置。

【請求項18】

前記連結のための手段は、さらに、前記基準信号と前記遅延された基準信号を加算するように適合された請求項１５の装置。

【請求項19】

前記基準信号を供給するために、時間の期間に連続波信号を生成するための手段を含む、請求項１５の装置。

【請求項20】

前記基準信号を供給するために、正弦波を生成するための手段を含む、請求項１５の装置。

【請求項21】

遅延した基準信号を供給するために基準信号を遅延することと、

出力信号を供給するために前記基準信号および前記遅延された基準信号を連結することと、

前記出力信号の振幅を検出することと、

前記検出された振幅に従って前記基準信号の遅延を調節すること、

をコンピュータに引き起こすためのコードを含むコンピュータ可読媒体、を含む、遅延を較正するためのコンピュータ・プログラムプロダクト。

【請求項22】

遅延を較正するためのプロセッサであって、

遅延した基準信号を供給するために基準信号を遅延することと、

出力信号を供給するために前記基準信号および前記遅延された基準信号を連結することと、

前記出力信号の振幅を検出することと、

前記検出された振幅に従って前記基準信号の遅延を調節すること、

に適合した前記プロセッサ。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、一般に通信に関する、そしていくつかの態様において遅延線（ｄｅｌａｙ　ｌｉｎｅ）を較正すること（ｃａｌｉｂｒａｔｉｎｇ）に関する。

【背景技術】

【0002】

遅延線は、信号に対して既知の遅延を与えるために機構を提供する。例えば、遅延線への信号入力は、所定時間の後に比較的そのまま遅延線を出ることができる。

【0003】

遅延線の典型的な用途は、異なる位相を持つクロック信号を供給するためにクロック信号を遅らせることを含む。遅延線の別の典型的な用途は、他の信号における情報によりその信号（例えばクロックエッジまたはデータ）における情報を整列させる回路において信号を遅らせることを含む。別の考えられる用途は、超広帯域の送信基準の送信機および受信機の遅延に関する。送信機については、与えられた遅延は、基準パルスとデータパルスの間で提供され得る。受信機については、基準パルスをデータパルスと相関するために、その同じ遅延が基準パルスに対して与えられ得る。遅延線は、さらにインバータのチェーンに基づいた遅延線のように、クロック発生のためのリングオシレータにおいて使用され得る。遅延線は、さらに利得要素を通して遅延フィードバックを伴う超再生受信機（ｓｕｐｅｒ　ｒｅｇｅｎｅｒａｔｉｖｅ　ｒｅｃｅｉｖｅｒ）として使用され得る。他の多くの用途がありえる。

【0004】

実際上、遅延線の実際の遅延は、その公称の所期の値と変わるかもしれない。例えば、集積回路の処理変動および温度のような要因は、遅延線の実際の遅延を公称値より高くさせるかまたはより低くさせるかもしれない。集積回路の処理変動による遅延線の遅延への影響は、比較的静的である。すなわち、一旦遅延線が製造されれば、その遅延線の実際の遅延は、その公称値よりわずか下または上である特定の値であり得る。温度変動による遅延線の遅延への影響は、比較的動的かもしれない。ここで、遅延は、使用環境における温度の変化に応じて時間にわたって偏移するかもしれない。

【0005】

従って、比較的精密な遅延を必要とするアプリケーションは、遅延線較正（ｄｅｌａｙ　ｌｉｎｅ　ｃａｌｉｂｒａｔｉｏｎ）のいくつかの形態を組込むかもしれない。例えば、調整可能な遅延線の遅延は、遅延線に供給される制御信号の値に基づいて変化させられ得る。この場合、制御機構は、与えられた値の範囲（例えば、公称の遅延のあるパーセンテージ内）での遅延を維持するように遅延線の遅延を調節するために使用することができる。ここで、対応（ｐｒｏｖｉｓｉｏｎｓ）は、遅延線の現在の遅延を測定するか推定するためになされ得る。遅延が希望の値の範囲内にないことをこの測定値か推定値が示す場合、制御信号は、遅延線の遅延を許容値に戻すように調節するために使用され得る。

【図面の簡単な説明】

【0016】

【図1】遅延線を較正するためにフィードバックを使用する装置のいくつかの典型的な態様の簡略ブロック図である。

【図2】遅延線を較正するために行なわれ得る操作のいくつかの典型的な態様のフローチャートである。

【図3】遅延線を通してフィードバックされたパルス信号をカウントすることにより、遅延線を較正する装置のいくつかの典型的な態様の簡略ブロック図である。

【図4】遅延線を較正するために行なわれ得る操作のいくつかの典型的な態様のフローチャートである。

【図5】遅延線を較正するためにデジタル・フィードバック信号を使用する装置のいくつかの典型的な態様の簡略ブロック図である。

【図6】デジタル・フィードバック信号を使用して、遅延線を較正するために行なわれ得る操作のいくつかの典型的な態様のフローチャートである。

【図7】送信基準システムのいくつかの典型的な態様の簡略図である。

【図8】送信基準信号を送信するために行なわれ得る操作のいくつかの典型的な態様のフローチャートである。

【図9】送信基準信号を受信するために行なわれ得る操作のいくつかの典型的な態様のフローチャートである。

【図10】基準信号および遅延基準信号を連結させることにより、遅延線を較正する装置のいくつかの典型的な態様の簡略ブロック図である。

【図11】基準信号および遅延基準信号を連結させることにより遅延線を較正するために行

なわれ得る操作のいくつかの典型的な態様のフローチャートである。
【図12】遅延線を較正するためにフィードバックを使用する装置のいくつかの典型的な態様の簡略ブロック図である。
【図13】送信基準システムのいくつかの典型的な態様の簡略図である。
【図14】信号および遅延信号を連結させることにより遅延線を較正する装置のいくつかの典型的な態様の簡略ブロック図である。
【詳細な説明】
【0017】
開示の種々の態様は、以下に説明される。ここの教示が種々様々の形式で具体化されること、および、ここに示された任意の特定の構成および／または機能も単に代表的なことは明白に違いない。ここにおける教示に基づいて、当業者は、ここに開示された態様が他の態様と独立して実現され得ること、およびこれらの態様の２つ以上が種々のやり方で連結され得ることを認識するべきである。例えば、ここに述べられた任意の数の態様を使用して、装置は実現され、および／または、方法は実行されてもよい。さらに、ここに述べられた態様の１つ以上に加えて、またはそれ以外の他の構成および／または機能を使用して、装置は実現され、および／または、方法は実行されてもよい。
【0018】
図１は、遅延線１０２の較正のために装置１００のある態様を示す。簡潔に言うと、信号発生器１０４からの信号がフィードバック経路１０６経由で遅延線１０２を通して繰り返し供給されるように、遅延線１０２はフィードバックコンフィギュレーションにおいて設定される。コントローラ１０８は、遅延線１０２の遅延が所要の遅延の値の範囲内にあるかどうか決定するために、信号に対して与えられる、結果として生じる累積的な遅延を計算する。例えば、コントローラ１０８は、カウンタ１１０に関連して、与えられた期間内に遅延線１０２を信号が通過した回数のカウント１１２を得ることができる。コントローラ１０８は、このカウントを、その期間に対するカウントの期待値を示すしきい値１１４および／または予定カウントと比較する。遅延線１０２の遅延が、所要の範囲内にないことを比較が示す場合、それに応じてコントローラ１００は遅延線１０２の遅延を調節する。
【0019】
遅延線を較正するために使用され得る典型的な操作が、図２に関連して説明されるだろう。便宜上、図２（またはここにおける他のフローチャート）の操作は、特定の構成要素により行なわれるように説明されるかもしれない。しかしながら、これらの操作が他の構成要素により、および／またはそれらに関連して行なわれてもよいことは認識されるべきである。
【0020】
遅延線の較正動作は、種々の時に行なわれ得る。一般に、関連する回路がパワーアップされる時、装置１００は較正手順を行なうだろう。さらに、装置１００は、時々（例えば周期的に）または、いくつかの刺激（ｓｔｉｍｕｌｕｓ）に応えて較正操作を行なってもよい。例えば、較正動作は、装置１００が温度の変化を検出する時、始められてもよい。したがって、装置１００は、与えられたしきい値を越える温度変化があったかどうか決定するために使用される温度センサー（示されない）を含んでいてもよい。回路が非動作中または動作中の時、較正が行なわれてもよい。後のケースにおいて、対応（ｐｒｏｖｉｓｉｏｎｓ）は、較正手順が関連する回路の動作に著しく影響を与えないことを保証するようになされ得る。
【0021】
最初に（例えばパワーアップ時に）、遅延線１０２の遅延は、基準値かデフォルト値にセットされ得る。この場合、下に説明される較正動作は、目標値（例えば許容値の範囲内の値に対して）に遅延線の遅延を調節するように行なわれ得る。
【0022】
図２においてブロック２０２により表されるように、信号発生器１０４は、カップラ１

２０を介して遅延線１０２の入力１１８に結合される信号（ライン１１６により表されるように）を発生する。より詳細に下に説明されるように、カップラ１２０は、加算器、論理ゲートまたは他のいくつかの適当な結合機構を含み得る。ブロック２０４により表されるように、信号は、それが遅延線１０２を通り抜けるのでそれにより遅延される。

【0023】

遅延線１０２の出力１２２は、カップラ１２０を含むフィードバック経路１０６経由で入力１０６に対して結合されている。従って、信号発生器１０４からの信号は、遅延線１０２を通り抜けた後、その信号は入力１０６にフィードバックされるだろう（ブロック２０６）。したがって、信号は遅延線１０２を通過する毎に繰り返し遅延されるだろう。

【0024】

ブロック２０８で、カウンタ１１０は、遅延線１０２が（ライン１２４により表されるように）信号を出力すると毎回、カウントを増加する。言いかえれば、カウンタ１１０は、信号が遅延線１０２およびフィードバック経路１１２を通してラウンドトリップ（ｒｏｕｎｄ－ｔｒｉｐ）を完了すると、毎回、カウントを増加する。従って、各カウントは、遅延線１０２の遅延に相当する期間を表す。カウンタ１１０は、（ライン１１２により表されるように）対応する信号を介してコントローラにカウントを供給する。

【0025】

ブロック２１０により表されるように、コントローラ１０８は、遅延線１０２の遅延が目標値の範囲内にあるかどうかを決定するためにカウント１１２を使用する。ここで、比較器１２６は、カウントを、カウントの許容値の範囲を定義する予定カウントおよびしきい値１１４と比較することができる。例えば、比較器１２６は、カウント１１２と予定カウント値との間のカウント差を決定することができる。この差が、許容量（例えばしきい値）より大きい場合、比較器は、遅延線１０２の遅延を調節する必要があることを示す信号を生成することができる。さらに、比較器１２６は、カウント１１２が予定カウント値より大きいか、または、それより小さいかどうかを決定する。したがって、比較器１２６により生成された信号は、さらに（例えば、カウント１１２が高すぎるか低すぎるかにそれぞれ基づいて）遅延線１０２の遅延を増加させるか、減少させる必要があることを示すことができる。

【0026】

比較器１２６からの信号に基づいて、コントローラ１０８は、遅延線１０２の遅延を制御する制御信号（ライン１２８により表されるように）を調節する。典型的なインプリメンテーションにおいて、これは遅延線１０２の遅延における対応する漸進的変化（ｉｎｃｒｅｍｅｎｔａｌ　ｃｈａｎｇｅ）Δを引き起こす定義済みのステップ値により制御信号１２８を調節することを含んでいる。従って、図１の例において、ステップ制御構成要素１３０は、ステップ増加において制御信号１２８の大きさ（例えば正または負方向における）を調節する。

【0027】

制御信号１２８におけるこの変化は、遅延線１０２の遅延における対応する漸進的変化Δを生じる。例えば、調整可能な遅延線は、スイッチドキャパシターまたはバラクターを介して実装された調整可能な群遅延のフィルターを含み得る。または、調整可能な遅延線は、可変長伝送路、サンプルアンドホールド・タップ遅延線または他のいくつかの調整可能な構成を含むことができる。したがって、制御信号１２８は、これらの構成要素の１つ以上と相互に作用し、結果において、遅延線の「長さ（ｌｅｎｇｔｈ）」を制御することができる。

【0028】

図２の操作は、そのとき、遅延線１０２の遅延が所要の範囲内となるまで、必要に応じて繰り返されてもよい。ここで、較正手順は、最適値（例えば時間にわたって所要の範囲の外側に落ちる可能性が最もありそうでない値）に遅延をセットすることを試みる反復過程であり得る。

【0029】

いくつかの態様において、コントローラ１０８は、遅延線１０２の実際の遅延と所要の遅延の間の差の大きさに基づいている手法で、制御信号１２８を調節することができる。例えば、ステップ制御構成要素１３０は、カウント１１２と予定カウントの間の差の大きさに基づいてステップのサイズを調節することができる。したがって、ある場合には、遅延線１０２の遅延の変化は遅延誤差に比例するかもしれない。このように、コントローラ１０８は、遅延におけるより大きな漸進的変化Δの使用を通じて許容値に遅延線１０２の遅延をより速く調節することができる。

【0030】

いくつかの態様において、コントローラ１０８は、カウント１１２が所要の時間期間にわたって引き継ぐであろうことを保証するように図１における１つ以上の構成要素の動作を制御することができる。ここで、コントローラ１０８は、信号（ライン１３４により表されるように）を介してカウンタ１１０の動作を制御するタイマー１３２（例えば１０ＭＨｚクロックによりクロックされる）を含むことができる。例えば、信号１３４は、（例えばカウンタのリセットにより）ある時点でカウンタ１１０にカウントを開始させ、（例えばカウンタを不能にすることにより）別の時点でカウントを停止させることができる。または、コントローラ１０８は、何時、カウント１１２を予定カウント／しきい値１１４と比較するかを決定するためにタイマー１３２からの信号を使用することができる。さらに、タイマー１３２からの信号に基づいて、コントローラ１０８は、信号発生器１０４に特定の時に信号１１６を生成させる信号（ライン１３６により表されるように）を生成することができる。例えば、信号発生器１０４は、カウント動作の時間間隔の初めに信号１１６を生成することができる。

【0031】

目標の遅延値Ｄに遅延線１０２をセットするために使用され得るタイミング動作の一例が以下に続く。最初に、コントローラ１０８は、信号発生器１０４に単一パルス信号１１６を生成させるために、時刻Ｔ０において信号１３６を生成することができる。カウンタ１１０は、次に、Ｔ秒（例えば１μｓ）内に遅延線１０２により出力されるパルス信号の数Ｎをカウントする。｜Ｎ－Ｔ／Ｄ｜＜しきい値１１４（例えば１００カウント）である場合、遅延線１０２は、調整されると考えられる。そして、較正手順は終了する。都合よく、信号は、遅延線のより精密な較正を可能にするために、遅延における小さな変動が大きな測定可能な差となるように遅延線を通して複数回、転送され得る。

【0032】

他の場合には、コントローラ１０８は、Ｔ秒内に遅延線により出力されるパルス信号の数Ｎを、所要の遅延に対応するパルス信号の予定の数Ｔ／Ｄと比較する。

【0033】

Ｎ＞Ｔ／Ｄである場合、コントローラ１０８はステップ量Δだけ遅延を増加させる。Ｎ＜Ｔ／Ｄである場合、コントローラ１０８はステップ量Δだけ遅延を減少させる。他の場合には、コントローラ１０８は遅延を変更しない。較正プロセスは、次に、遅延線１０２の遅延が、Ｄの辺りの所要の範囲内になるまで、繰り返されてもよい。

【0034】

より詳細に下に説明されるように、典型的なインプリメンテーションにおいて、遅延線１０２は、デバイス（図１に示されない）の特定の回路の信号を遅延させるだろう。従って、結合機構（例えば、図１に示されないトランジスターのような１つ以上のスイッチ）は、回路および装置１００の種々の構成要素を、遅延線１０２に対して結合する、および／または遅延線１０２から切り離す、ために提供され得る。このように、遅延線１０２が較正されることを可能にする構成と、遅延線１０２が回路の信号を遅延させる構成との間で、遅延線１０２を容易に切り替えることができる。特に、フィードバック経路１０６は、出力１２２と遅延線１０２の入力１１８を切り離すための機構（例えば、図１に示されない、トランジスターのようなスイッチ）を含むことができる。

【0035】

ここで、図３および図４を参照すると、遅延線を較正する装置および方法の追加の詳細

は、遅延線を通して供給されるパルス信号をカウントする装置の文脈において論じられるだろう。具体的には、図3は、遅延線３０２の較正のための装置３００のある態様を例示する。図４は、遅延線を較正するために行なわれ得る操作のある態様を例示する。

【0036】

図４のブロック４０２により表されるように、パルス発生器３０４は加算器３０６を介して遅延線３０２の入力に対して結合されるパルス信号を生成する。遅延線３０２は、パルス信号を遅延させ（ブロック４０４）、そして、ライン３０８により表されるような遅延したパルス信号を出力する。

【0037】

ブロック４０６により表されるように、加算器３０６を含むフィードバック経路３１０は、遅延線３０２の入力にパルス信号３０８を結合する。いくつかの態様において、フィードバック経路３１０は、それが遅延線３０２およびフィードバック経路３１０により定義されたループを通して繰り返し転送されるときに、パルス信号に与えられるかもしれない歪を補償する１つ以上の構成要素３１２を任意に含んでいてもよい。例えば、構成要素３１２は、パルス再生器（ｐｕｌｓｅ　ｒｅｇｅｎｅｒａｔｏｒ）および／または増幅器として組み込むことができる。

【0038】

パルス再生器は、例えば、ループを通過し繰り返されるパスにより引き起こされたパルス信号の形の任意のひずみ（例、スメアリング（ｓｍｅａｒｉｎｇ）または振幅不確実性）を補償するためにパルス信号を再整形（ｒｅｓｈａｐｅ）するように使用されてもよい（ブロック４０８）。ある場合には、そのような再整形は、ループの安定性を維持するのを助長することができる。パルス再生器は、例えば照合フィルター（ｍａｔｃｈｅｄ　ｆｉｌｔｅｒ）のような種々の形態を取り得る。ここで、しかしながら、対応（ｐｒｏｖｉｓｉｏｎ）は、パルス再生器により信号に与えられた遅延が深刻な程度まで較正手順に悪影響を及ぼさないことを保証するように方策を講じられる必要があるかもしれない。

【0039】

増幅器は、ループを繰り返し通過されたパスにより引き起こされるパルス信号の振幅の任意の変化を補償するためにフィードバック経路３１０に対して利得を提供するために使用され得る。いくつかのインプリメンテーションにおいて、装置３００は、パルス信号の振幅の任意の変化を自動的に補償することができる。例えば、増幅器の利得が低すぎれば、ループを通して繰り返し供給されるので、パルス信号は減衰するだろう。したがって、結局、パルス検出器３１４は信号を検出することができないかもしれない。他方では、利得が高すぎる場合、パルス信号とノイズは飽和するまで増幅され得る。再び、パルス検出器３１４はパルス信号を検出することができないかもしれない。

【0040】

従って、いくつかの態様において、装置３００は、フィードバック経路における利得を較正するかもしれない。一例として、オプションのパルス検出器３１４は、ループを通り抜けて転送されたパルス信号が歪められたかどうか判断するために、遅延線３０２による１つ以上のパルス信号３０８の出力を検出することができる（ブロック４１０）。例えば、パルス検出器３１４は、与えられた数の繰り返し（例、１０００の回の繰り返し）後にパルス信号の強度を検出することができる。パルス振幅が大きすぎるか飽和している場合、利得は減少される。パルス振幅が小さすぎる場合、利得は高められる。この目的のために、パルス検出器３１４は、増幅器の利得を制御する、および／または構成要素３１２の他のいくつかの特性を制御する信号（ライン３１６により表されるような）を生成することができる（ブロック４１２）。この手順は、パルス振幅が受け入れ可能な許容差内になるまで、繰り返される。

【0041】

いくつかの態様において、遅延線の較正が進行中である間、利得はダイナミックに調節され得る。例えば、以前のパルス振幅の機能が大きすぎたか小さすぎた場合、利得はそれぞれ減少され、または高められ得る。その機能は、最後のパルス信号、最後のいくつかの

パルス信号の窓平均（ｗｉｎｄｏｗｅｄ　ａｖｅｒａｇｅ）、以前のパルス信号の重みが加えられたフィルター、または１つ以上のパルス信号に関する任意の適当な線形または非線形の機能に関係し得る。

【0042】

パルス検出器３１４は、種々の方式で実装され得る。例えば、いくつかの態様において、パルス検出器３１４は、パルス信号の振幅を検出する振幅検出器を含むことができる。いくつかの態様において、パルス検出器３１４は、検出される信号の予想された特性と一致するように適合された照合フィルター（ｍａｔｃｈｅｄ　ｆｉｌｔｅｒ）を含むことができる。そのようなインプリメンテーションは、単純なピーク検出器の場合には間違った検出を引き起こし得るノイズのより良い除去を提供することができる。

【0043】

ブロック４１４により表されるように、カウンタ３１８は遅延線３０２により出力される各パルス信号３０８をカウントする。同様の方式において、図１に関連して上に説明されるように、カウンタ３１８は結果として生じるカウント３２０をコントローラ３２２に供給する。

【0044】

ブロック４１６により表されるように、対応はフィードバック経路３１０の遅延を説明するためになされ得る。例えば、加算器３０６および構成要素３１２は、これらの構成要素を通り抜ける任意のパルス信号にいくらかの遅延を与え得る。この遅延が、遅延線３０２の遅延と比較して実質のないものではない場合、遅延線３０２の遅延が許容できる遅延値にあるかどうか決定するとき、この遅延を補償することは望ましいかもしれない。いくつかの態様において、カウンタにより生成されたカウント３２０は、遅延線３０２に起因しない任意の構成要素の遅延を償うために調節され得る（例えば、減らされ得る）。いくつかの態様において、予定カウントおよび／またはしきい値３２４は、構成要素の遅延を償うために調節され得る（例えば、増やされ得る）。

【0045】

種々の技法は、構成要素の遅延値を得るために使用され得る。例えば、構成要素が製造された後、特定の構成要素の遅延または構成要素の特定のタイプは測定され得る。または、構成要素の遅延は計算され得る、または推定され得る。例えば、構成要素の遅延の平均は、構成要素の分析または構成要素の複数サンプルに基づいて、統計的に計算され得る、または推定され得る。いずれの場合も、装置３００は、遅延の統計的平均値、測定された遅延、または較正操作において使用するためにプログラムされ得る他のいくつかのパラメータ示すオフセット値が入ったデータ・メモリを含むことができる。

【0046】

コントローラ３２２は、ブロック４１８によって表わされるように、遅延線３２２の遅延が許容可能かどうか判断するために、カウント３２２を予定カウント／しきい値３２４（および／または他のある適切な基準線（ｂａｓｅｌｉｎｅ））と比較する。ブロック４２０により表されるように、遅延が受け入れ可能でなければ、コントローラ３２２は比較に基づいて制御信号（ライン３２６により表されるように）を調節するだろう。例えば、図１に関連して上に説明されるように、コントローラ３２２は、増加を基礎に制御信号３２６の大きさ、および／または極性を増加させることもできる、または減少させることもできる。さらに、コントローラ３２２は、比較の結果に基づいたステップ幅を調節することができる。次に、コントローラ３２２は、遅延を調節するために結果として生じる制御信号３２６を遅延線３０２に供給するだろう（ブロック４２２）。

【0047】

与えられたアプリケーションの要件によって、パルス発生器３０４は、種々の形式のパルス信号を生成することができる。一般に、パルス信号の幅は、遅延線３０２の遅延の期間未満であり得る。このように、パルス信号の第１の遷移が遅延線３０２の出力から遅延線３０２の入力に戻って供給される前に、パルス信号の第２の遷移は遅延線３０２に入力され得る。

【0048】
いくつかの態様において、パルス発生器３０４は、フィードバック経路を通って同時に転送され得るいくつかのパルス信号を生成することができる。これらのパルス信号が直交であることを保証するために、第１のパルス信号と最後のパルス信号の間の時間は、遅延線３０２の遅延の期間未満であり得る。または、他の対応はパルス信号の「衝突」の可能性、または影響を低減するためになされ得る。例えば、パルス信号は、衝突を回避するために時間間隔を置かれ得る。あるいは、衝突の可能性は、推定され、カウンタのカウント、予定カウント、または、しきい値の１つ以上において考慮に入れることができる。複数のパルス信号の使用の考えられる利点は、与えられたカウントがより速く到達され得るということである。したがって、較正動作を行なうために、より少ない時間が必要され得る、そして、より少ないパワーが使用され得る。複数のパルス信号の使用の別の考えられる利点は、多くのパルス信号が与えられた時間において処理され得るので、ノイズまたはひずみによるパルス検出ミスの任意の悪影響も低減され得るということである。
【0049】
次に図５および図６を参照すると、遅延線を較正する方法および装置の追加の詳細は、遅延線を通して繰り返しデジタル信号を供給する装置の文脈において論じられるだろう。図５は、遅延線５０２を較正するために装置５００のある態様を示す。図６は、遅延線を較正するために行なわれ得る操作のある態様を示す。
【0050】
図６のブロック６０２により表されるように、ステップ発生器５０４は、遅延線５０２に供給されるべきステップ信号を生成する。この場合、ブロック６０４により表されるように、ＸＯＲゲート５０８を組込むフィードバック経路５０６は、遅延線５０２により出力される信号にステップ信号を結合し（ブロック６０４）、遅延線５０２の入力にその結果を供給する（ブロック６０６）。すなわち、ＸＯＲゲート５０８の出力は、ステップ信号の現在値、および遅延線５０２の出力の現在値に依存する。ここで、遅延線５０２の出力信号の初期状態にかかわらず、ひとたびステップ信号が遷移する（ロー状態からハイ状態またはハイ状態からロー状態へ）と、ＸＯＲゲート５０８の出力は変化する（ハイからロー、またはローからハイへ）だろう。さらに、遅延線５０２が信号を遅延させ（ブロック６０８）、遅延した信号を出力した後、遅延線６０２の出力信号における結果として生じる変化は、さらにＸＯＲゲート５０８の出力における対応する変化も引き起こすだろう。
【0051】
従って、デジタル信号は、フィードバックループ５０６および遅延線５０２を通して（事実上）絶えず供給されるであろうことが十分に理解されるべきである。一例として、遅延線５０２の遅延が１０ｎｓであるとき、ＸＯＲゲートは、約５０ＭＨｚの周波数を持っている信号を出力するだろう。さらに、この信号の形は、ＸＯＲゲートが利得および信号のエッジ整形を本質的に提供するので、遅延線５０２により出力される信号の数にかかわらず維持され得る、したがって、デジタル信号および関連するデジタル構成要素の使用を通じて、例えば、図１に関連して上に説明されるように、装置５００は信号のひずみを補償する追加の構成要素を使用せずに比較的安定した較正動作を提供することができる。
【0052】
ブロック６１０により表されるように、カウンタ５１８は、遅延線５０２により出力される各信号を（例えば、信号の立ち上がりエッジおよび／または立下がりエッジを介して）カウントする。それから、カウンタ５１８は、結果として生じるカウント５１０をコントローラ５１２に供給する。
【0053】
コントローラ５１２は、遅延線５０２の遅延が許容できるかどうか判断するために、カウント５１０を予定カウントおよび／またはしきい値５１４（あるいは他のある適切な基準線）と比較する。遅延が許容できない場合、コントローラ５１２は、比較に基づいて遅延を調節するために適切な制御信号５１６を生成するだろう（ブロック６１２）。

【0054】
上に説明されるように、実際上、遅延線は、回路における信号に対して遅延を与えるために、回路に組み入れられる。図７は、ここに教示されるような調整可能な遅延線を組込んだ典型的な送信基準システム７００のいくつかの態様を例示する。いくつかの態様において、送信機基準シグナリング技法は、例えば、パーソナル・エリア・ネットワークまたはボディ・エリア・ネットワークを提供する超広帯域システムにおいて使用され得る。図７の複雑さを低減するために、遅延線を較正するための関連する装置（例えばカウンタとコントローラ）の種々の態様は示されない。しかしながら、これらの態様がシステム７００に組み入れられてもよいことは理解されるに違いない。
【0055】
送信基準システム７００は、送信機セクション（図７の上半分）と受信機セクション（図７の下半分）を含んでいる。図７の例において、送信機セクションは遅延線７０２を含んでいる。そして、受信機セクションは遅延線７０４を含んでいる。これらのセクションの各々の典型的な操作は、図８および図９のフローチャートに関連して説明されるだろう。
【0056】
図８のブロック８０２により表されるように、ここに説明されるように、遅延線７０２が較正された後、遅延線７０２の較正の間に使用されたフィードバック経路は切り離され得る。例えば、遅延線７０２の出力が遅延線７０２の入力にフィードバックされること防ぐために、スイッチ（例えばトランジスターまたは他のいくつかの適当な構成要素）７０６は、フィードバック経路において開かれ得る。
【0057】
ブロック８０４により表されるように、パルス発生器７０８は、加算器７１２を介して遅延線７０２に結合される（ライン７１０により表されるように）　基準パルスを生成する（ブロック８０６）。この例において、較正動作の間に、パルス発生器７０８および加算器７１２は、図３のパルス発生器３０４および加算器３０６と類似の機能を行なうことができる。ブロック８０８により表されるように、遅延線７０２による遅延した基準パルス出力は、対応するデータビット７１６に基づいてデータパルスを生成するために（例えば乗算器７１４により）使用される。
【0058】
ブロック８１０により表されるように、ブロック８０４で生成された基準パルスとブロック８０８で生成されたデータパルスは、送信基準信号を供給するために事実上（例えば加算器７１８を介して）連結させられる。ここで、基準パルスは、遅延線７０２の遅延により決められるような時間の所定量だけデータパルスに先行するだろう。
【0059】
送信基準信号をコード化する時、遅延線７０２は、このように基準パルスとデータパルスの間の所要の遅延を提供する。好都合に、ここに教示されるような遅延線の較正技法の使用を通じて、遅延線７０２の遅延は、さもなければ遅延線７０２の遅延に影響を与え得る、任意の処理変動、温度変化、または他の条件に関係なく、高水準の精度および確度に設定されかつ維持され得る。
【0060】
いくつかの態様において、遅延線により与えられた遅延は設定可能であり得る。例えば、異なる遅延が、異なる通信チャンネルに対して指定されてもよい。さらに、基準パルスとデータパルスの異なるセット間の遅延は、ダイナミックに（例えば既知のホッピングシーケンスに従って）変化し得る。そのような場合、ここに教示されるような較正メカニズムは、遅延線に対して異なる遅延の値を較正するように、および／または最適の遅延値あるいは遅延値のセットを提供するべく遅延線を較正するように、やはり設定可能であり得る。
【0061】
ブロック８１２により表されるように、送信機出力段７２０は、送信基準信号を処理（

例えば、フィルタし増幅する）し、その信号を送信のためにアンテナ７２２に供給する。
【0062】
システム７００の受信機セクションの典型的な動作は次に、図９の動作に関連して論じられるだろう。図７の例において、パルス発生器７０８は、遅延線７０４の較正用のパルス信号を生成するために使用され得る。したがって、較正動作の間に、パルス発生器７０８および加算器７２４は、図３のパルス発生器３０４および加算器３０６と同様の機能を行なうことができる。この場合、システム７００は、受信機の入力段７２８を、パルス発生器７０８の一方の出力またはアンテナ７２２に選択的に結合するスイッチ７２６を含み得る。このように、受信機入力段７２８は、較正動作の間にパルス発生器７０８からパルスを受信し、または通常動作の間にアンテナ７２２からの信号を受信することができる。
【0063】
ブロック９０２および図９により表されるように、遅延線７０４が、ここに説明されるように較正された後、遅延線７０４の較正の間に使用されたフィードバック経路は切り離すことができる。例えば、遅延線７０４の出力が遅延線７０４の入力にフィードバックされることを防ぐために、スイッチ７３０は、フィードバック経路において開かれ得る。
【0064】
ブロック９０４により表されるように、通常動作の間に、受信機入力段７２８はアンテナ７２２を介して送信基準信号を受信することができる。上に説明されるように、送信基準信号は、一連の基準およびデータパルスから成る。受信機入力段７２８は、例えば、増幅とフィルタリングを含む各種動作を行ない得る。
【0065】
ブロック９０６により表されるように、与えられた基準およびデータパルス対の基準パルスは、（ライン７３２により表されるように）遅延線７０４の入力に対して結合されている。このように、基準パルスは、基準パルスと対応するデータパルスの間の期間と等しい時間量、遅延され得る（ブロック９０８）。したがって、遅延線７０４は、送信基準信号のデコードのために基準パルスとデータパルスの間の所要の遅延を、精度良く提供する。
【0066】
ブロック９１０により表されるように、遅延した基準パルスは、対応するデータパルスに（例えば乗算器７３４を介して）連結され得るこの動作は、受信データパルスからデータ情報を効率的に抽出するために照合フィルターの機能を事実上提供することができる。そのとき、結果として生じるパルスは、送信基準信号からデータを再生するためにパルスをさらに処理（例えば、増幅し、フィルタ）することができるデータ再生構成要素７３６に供給され得る。
【0067】
次に図１０および１１を参照すると、いくつかの態様において、遅延線を較正する装置および方法は、遅延線の遅延の表示（ｉｎｄｉｃａｔｉｏｎ）を生成するために基準信号と遅延した基準信号を連結させることができる。ここで、フィード・フォワード・メカニズムは、基準信号と遅延した基準信号を連結させることを容易にするために使用され得る。そのとき、連結信号の振幅は、遅延線の実際の遅延に関して表示を提供するために使用され得る。
【0068】
図１１のブロック１１０２により表されるように、基準信号発生器１００２は、遅延線１００４の入力に結合される基準信号（ライン１００６により表されるように）を生成する。いくつかの態様において、基準信号１００６は、例えば、サイン関数、コサイン関数または他のいくつかの適当な波形を提供する連続波信号を含むことができる。信号発生器１００２は、例えばコントローラ１０１０から受信される制御信号１００８に従って基準信号１００６の生成を開始し、終了することができる。ブロック１１０４により表されるように、遅延線１００４は基準信号１００６を遅延させて、コンバイナ１０１２の入力に遅延した基準信号を供給する。

【0069】
ブロック１１０６により表されるように、コンバイナ１０１２は、フィード・フォワード・パス１０１４を介して供給される基準信号、および遅延した基準信号を連結させる。コンバイナ１０１２は、比較器、加算器（ｓｕｍｍｅｒ）（加算器（ａｄｄｅｒ））、減算器のような演算装置、または他のいくつかの適当な連結するメカニズムを含むことができる。ここで、コンバイナ１０１２により出力される信号は、遅延線１００４により位相シフトを受けている。さらに、この位相シフトは、出力信号の振幅（例えばピーク値）に影響を与える。
【0070】
従って、ブロック１１０８により表されるように、コンバイナ１０１２は、振幅検出器１０１６に連結信号を供給する。いくつかの態様において、振幅検出器１０１６は、連結信号のピークを検出するのに適合したピーク検出器を含むことができる。例えば、基準信号が正弦波である場合には、遅延線は、ｓｉｎ波における位相シフト$\phi=\omega*D$を生成する。ただしωはラジアンにおける正弦波周波数である。そして、Ｄは、秒における遅延線１００４の遅延である。コンバイナ１０１２が加算器である場合、加算器１０１２の出力は、$\sin(\omega t)+\sin(\omega t+\phi)=2\sin(\omega t+\phi/2)\cos(\phi/2)$である。ピーク検出器１０１６は、$2\cos(\phi/2)$である時間にわたるピークを検出する。あるいは、コンバイナ１０１２が減算器である場合、ピーク検出器１０１６により検出される時間にわたるピークは、$2\sin(\phi/2)$である。ライン１０１８により表されるように、振幅検出器１０１６はコントローラ１０１０に検出値（例えばピーク値）を供給する。
【0071】
ブロック１１１０により表されるように、コントローラ１０１０は検出値１０１８に基づいて遅延線１００４での遅延を調節する。例えば、比較器１０２０は、振幅検出器１０１６により供給される振幅１０１８（例えばピーク値）をしきい値１０２２と比較することができる。振幅１０１８が、しきい値１０２２（または、しきい値１０２２のある範囲内）より大または小である場合で、コントローラ１０１０は、遅延線１００４の遅延を増加させるか減少させるために、ここに説明されるような適当な制御信号１０２４を生成することができる。
【0072】
同様の方式において、上に説明されるように、典型的なインプリメンテーションにおいて、遅延線１００４は、デバイス（図１０に示されない）の特定回路の信号を遅延させるだろう。従って、結合機構（例えば１つ以上のスイッチ（図１０に示されない））は、遅延線１００４に／遅延線１００４から、装置１０００および回路の種々の構成要素を結合する、および／または切り離すために提供され得る。
【0073】
ここの教示は様々なデバイスに組み入れられ得る。例えば、ここに教示された１つ以上の態様は、電話（例えば携帯電話）、個人情報端末（「ＰＤＡ」）、娯楽装置（例えば音楽あるはビデオデバイス）、ヘッドセット、マイクロホン、バイオメトリック（ｂｉｏｍｅｔｒｉｃ）センサ（例えば心拍数モニタ、歩数計、ＥＫＧデバイス、など）、ユーザ入出力デバイス（例えばウオッチ、リモート・コントロール、など）、タイヤ圧力計または他の適当なデバイスに組み入れられ得る。さらに、これらのデバイスは異なるパワーおよびデータ要件を持ち得る。都合よく、ここの教示は、低消費電力アプリケーション（例えば、それはパルスに基づいた信号方式を使用する）における、および比較的高いデータレート（例えば高帯域パルスを使用するアプリケーションにおける）を含む様々なデータレートにおける用途に適合しているかもしれない。
【0074】
ここに説明された構成要素は、様々な方式において実装され得る。例えば、図１２を参照すると、装置１２００は、図１、３および５における同様の構成要素に対応し得る構成要素１２０２、１２０４、１２０６、１２０８、１２１０、１２１２、１２１４、１２１

６および１２１８を含んでいる。図１３において、装置１３００は、図7における同様の構成要素に対応し得る構成要素１３０２、１３０４、１３０６、１３０８、１３１０、１３１２、１３１４、１３１６、１３１８および１３２０を含んでいる。図１４において、装置１４００は、図１０における同様の構成要素に対応し得る構成要素１４０２、１４０４、１４０６、１４０８、１４１０および１４１２を含んでいる。図１２、１３および１４は、いくつかの態様において、これらの構成要素が適切なプロセッサ構成要素を介して実装され得ることを例示する。これらのプロセッサ構成要素は、ここに教示されるような構成を使用して、少なくとも一部分、いくつかの態様において実装され得る。いくつかの態様において、プロセッサは、これらの構成要素の１つ以上の機能の全て、または一部分を実装するのに適合しているかもしれない。いくつかの態様において、破線のボックスにより表される構成要素はオプションである。

【0075】

さらに、ここに説明された構成要素と機能は任意の適当な手段も使用して実装され得る。そのような手段は、また、ここに教示されるような対応する構成を使用して、少なくとも一部分実装され得る。特に、そのような手段の１つ以上は、図１２、１３および１４のプロセッサ構成要素の１つ以上と同様の機能を提供するために実装され得る。例えば、いくつかの態様において、遅延するための手段は遅延線を含み得る、信号の生成のための手段は信号発生器を含み得る、結合するための手段はカップラを含み得る、およびカウントするための手段はカウンタを含み得る、遅延を調節するための手段はコントローラを含み得る、比較する手段は比較器を含み得る、利得を調節するための手段は増幅器を含み得る、再生のための手段は再生器を含み得る、検出のための手段は検出器を含み得る、基準パルスを生成するための手段はパルス発生器を含み得る、切り離しのための手段はスイッチを含み得る、連結のための手段は加算器および／または乗算器を含み得る、受信のための手段は受信機を含み得る、および振幅を検出するための手段は振幅検出器を含み得る。さらに、これらの構成要素が他の構成および／または他の動作を使用して、他の方式において実装されてもよいことは理解されるに違いない。さらに、これらの構成要素の１つ以上の機能のうちのいくつか、またはすべては他のタイプの構成要素を使用して実装され得る。

【0076】

当業者は、情報と信号が様々な異なる技術および技法のうちの任意のもの使用して表わされ得ることを理解するだろう。例えば、上記説明の全体にわたって参照され得るデータ、命令、コマンド、情報、信号、ビット、シンボルおよびチップは、電圧、電流、電磁波、磁界か磁気粒子、光学界か光学粒子、またはそれらの任意の組み合わせにより表され得る。

【0077】

当業者は、種々の実例となる論理ブロック、モジュール、プロセッサ、手段、回路、およびここに開示された態様に関連して説明されたアルゴリズム・ステップが電子ハードウェア、種々の形態のプログラムまたは命令を組み込んでいる設計コード（それらはここでは便宜上「ソフトウェア」または「ソフトウェアモジュール」と呼ばれるかもしれない）、あるいは両方の組み合わせとして、実装されてもよいことを、さらに認識するだろう。明白にハードウェアとソフトウェアのこの互換性を示すために、種々の実例となる構成要素、ブロック、モジュール、回路およびステップは、それらの機能の点から一般的に上で説明された。そのような機能がハードウェアまたはソフトウェアとして実装されるかどうかは、システム全体に課された特定の用途と設計制約に依存する。当業者は、各特定の用途に対して種々の方式において説明された機能をインプリメントすることができる。しかし、そのようなインプリメンテーションの決定は、本開示の範囲からの逸脱を引き起こすとは解釈されるべきでない。

【0078】

ここに示された態様に関連して説明された、種々の実例となる論理ブロック、モジュール、および回路は、汎用プロセッサ、デジタル信号プロセッサ（ＤＳＰ）、特定用途向け

ＩＣ（ＡＳＩＣ）、フィールドプログラマブルゲートアレイ（ＦＰＧＡ）または他のプログラム可能論理回路、個別のゲートかトランジスター・ロジック、個別のハードウェア構成機器、あるいは、ここに説明された機能を行なうことを目指したそれらの任意の組み合わせによりインプリメントされてもよいし実行されてもよい。汎用プロセッサは、マイクロプロセッサかもしれない。しかし、他の選択肢において、プロセッサは任意の従来のプロセッサ、コントローラ、マイクロコントローラまたは状態機械（ｓｔａｔｅ　ｍａｃｈｉｎｅ）かもしれない。プロセッサは、コンピューティング装置（例えばＤＳＰとマイクロプロセッサの組み合わせ、複数個のマイクロプロセッサ、ＤＳＰコアに結合した１個以上のマイクロプロセッサ、または任意の他のそのような構成の組み合わせ）としてインプリメントされてもよい。

【0079】

開示されたプロセスにおけるステップの特定の順序か階層が、典型的なアプローチの一例であることは理解される。設計の選択で基づいて、本開示の範囲内にとどまる限り、プロセスのステップの特定の順序または階層が再配置されてもよいことは理解される。付随する方法の請求項は、例示の順序における種々のステップの要素を提示する。そして、提示された特定の順序または階層に限定されるべきことを意図していない。

【0080】

ここに開示された態様に関連して説明された方法またはアルゴリズムのステップは、ハードウェア、プロセッサにより実行されるソフトウェアモジュール、あるいは２つの組み合わせにおいて直接具現化され得る。ソフトウェアモジュール（例えば、実行可能命令および関連するデータを含んでいる）および他のデータは、ＲＡＭメモリ、フラッシュ・メモリ、ＲＯＭメモリ、ＥＰＲＯＭメモリ、ＥＥＰＲＯＭメモリ、レジスタ、ハードディスク、取外し可能ディスク、ＣＤ－ＲＯＭまたは技術において既知の機械可読の記憶媒体の任意の他の形態のようなデータ・メモリに存在することができる。典型的な記憶媒体は、プロセッサが情報（例えばソフトウェア命令）を記憶媒体から読むことができるように、かつ記憶媒体に対して情報を書き込みすることができるように、例えばコンピュータ／プロセッサ（それは便宜上、ここに「プロセッサ」と呼ばれ得る）のような機械に対して結合されているかもしれない。典型的な記憶媒体は、プロセッサに対して内蔵されているかもしれない。プロセッサと記憶媒体は、１つの特定用途向けＩＣに存在してもよい。ＡＳＩＣはユーザ装置に存在してもよい。他の選択肢において、プロセッサと記憶媒体はユーザ装置における個別部品として存在してもよい。

【0081】

開示された態様の以前の説明は、任意の当業者が本開示を作るか使用することを可能にするために提供される。これらの態様に対する種々の修正は、当業者に容易に明白になる。そして、ここに定義された一般的な法則は、開示の精神または範囲から外れずに、他の態様に適用され得る。したがって、本開示は、ここに示された態様に対して限定するようには意図されないが、ここに開示された法則および新規な特徴に一致する最も広い範囲を与えられるべきである。

【図1】

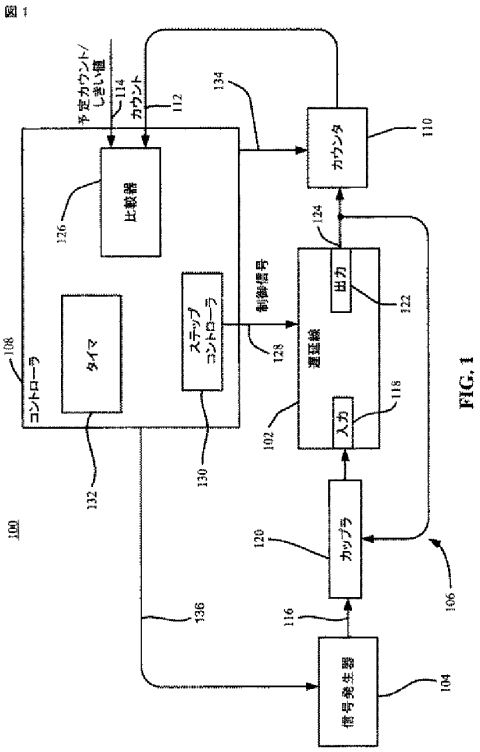

図１
予定カウント/しきい値
114
カウント
112
134
カウンタ
110
比較器
126
124
出力
122
制御信号
ステップコントローラ
123
通信線
タイマ
108
コントローラ
102
入力
118
132
130
100
120
カップラ
106
136
116
信号発生器
104

FIG. 1

【図2】

図２

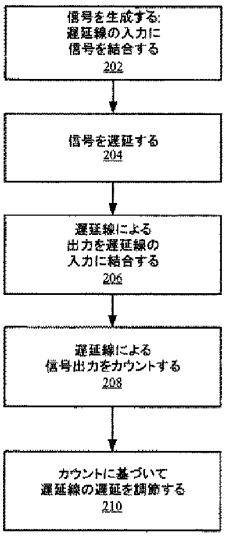

信号を生成する;
遅延線の入力に
信号を結合する
202
信号を遅延する
204
遅延線による
出力を遅延線の
入力に結合する
206
遅延線による
信号出力をカウントする
208
カウントに基づいて
遅延線の遅延を調節する
210

FIG. 2

【図3】

図３

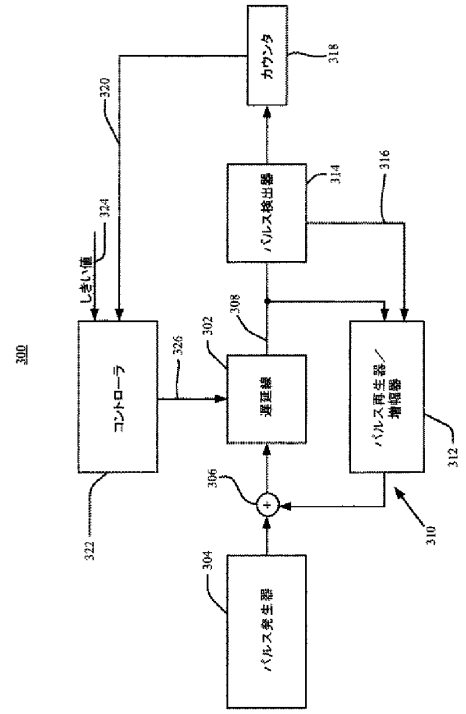


FIG. 3

【図4】

図４

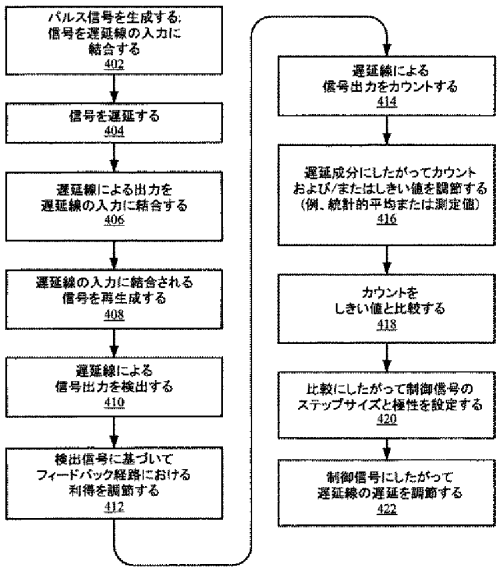


FIG. 4

【図5】

図５

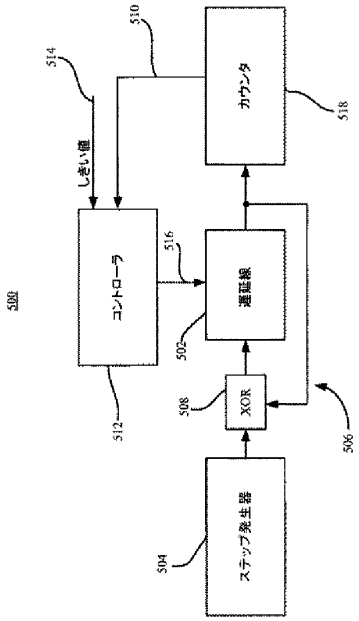


FIG. 5

【図6】

図６

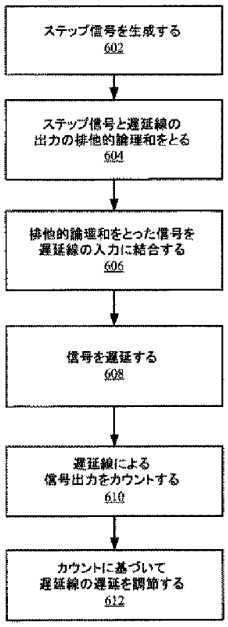


FIG. 6

【図7】

図７

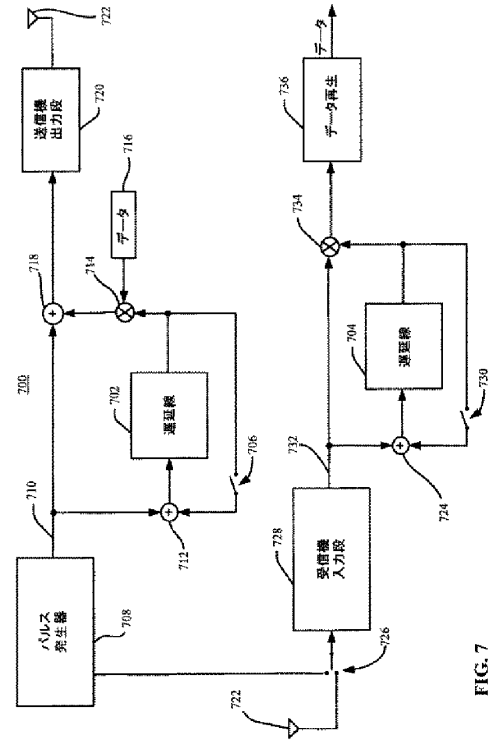


FIG. 7

【図8】

図８

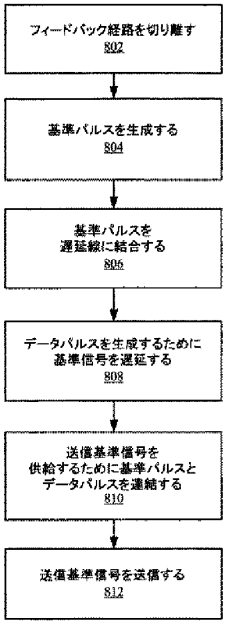


FIG. 8

【図9】

図９

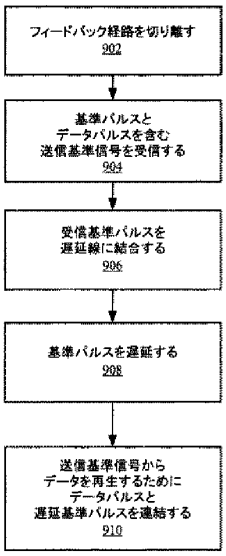


FIG. 9

【図10】

図１０

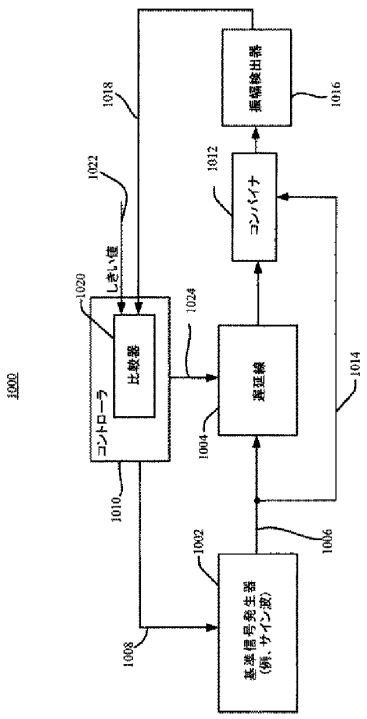


FIG. 10

【図11】

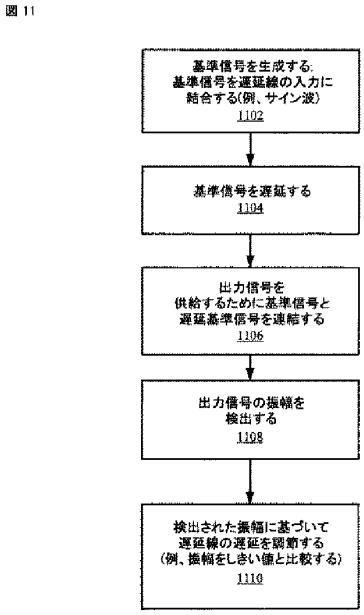


FIG. 11

【図12】

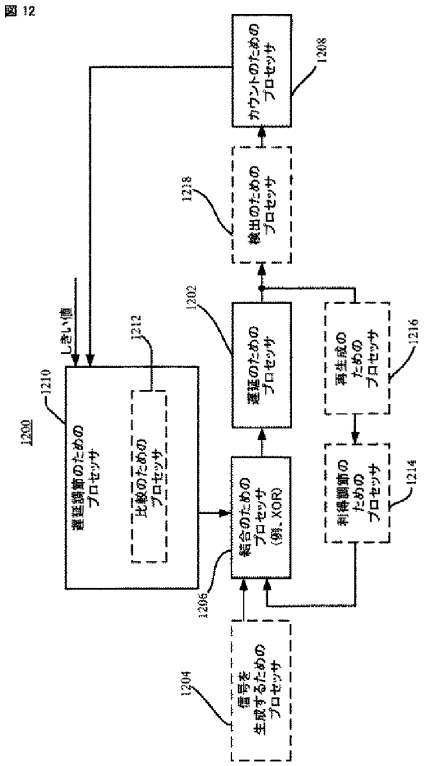


FIG. 12

【図13】

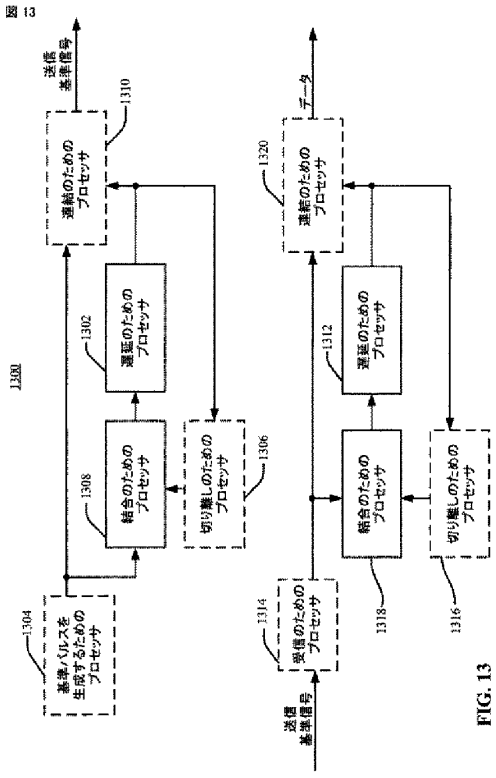


FIG. 13

【図14】

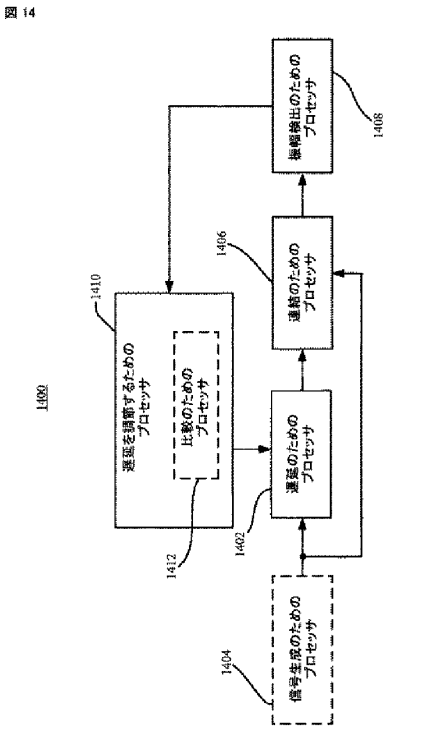


FIG. 14

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2007/084445

A. CLASSIFICATION OF SUBJECT MATTER
INV. H03L7/081

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03L G01R H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 4 341 999 A (RUDISH RONALD M ET AL) 27 July 1982 (1982-07-27) column 4, line 16 - line 42; figure 4	1-22
Y	US 2004/257163 A1 (FAROOQUI ARSHAD SUHAIL [MY]) 23 December 2004 (2004-12-23) page 2, paragraph 29 - page 3, paragraph 37; figure 5	1-22

☐ Further documents are listed in the continuation of Box C.　　☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 February 2008	06/03/2008

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Aouichi, Mohamed

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2007/084445

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4341999 A	27-07-1982	NONE	
US 2004257163 A1	23-12-2004	NONE	

Form PCT/ISA/210 (patent family annex) (April 2005)

(81)指定国　　AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100075672
弁理士　峰　隆司
(74)代理人　100095441
弁理士　白根　俊郎
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100103034
弁理士　野河　信久
(74)代理人　100119976
弁理士　幸長　保次郎
(74)代理人　100153051
弁理士　河野　直樹
(74)代理人　100140176
弁理士　砂川　克
(74)代理人　100100952
弁理士　風間　鉄也
(74)代理人　100101812
弁理士　勝村　紘
(74)代理人　100070437
弁理士　河井　将次
(74)代理人　100124394
弁理士　佐藤　立志
(74)代理人　100112807
弁理士　岡田　貴志
(74)代理人　100111073
弁理士　堀内　美保子
(74)代理人　100134290
弁理士　竹内　将訓
(74)代理人　100127144
弁理士　市原　卓三
(74)代理人　100141933
弁理士　山下　元
(72)発明者　リー、チョン・ユー.
アメリカ合衆国、カリフォルニア州　９２１２１、サン・ディエゴ、モアハウス・ドライブ　５７７５
(72)発明者　ジュリアン、デイビッド・ジョナサン
アメリカ合衆国、カリフォルニア州　９２１２１、サン・ディエゴ、モアハウス・ドライブ　５７７５

(72)発明者　エクバル、アマル
アメリカ合衆国、カリフォルニア州　９２１２１、サン・ディエゴ、モアハウス・ドライブ　５７７５

Ｆターム(参考) 5J106 AA04　CC21　CC52　DD17　DD47　GG10　HH02　JJ06　KK13　KK31

Espacenet

Bibliographic data: JP2010519734 (A) — 2010-06-03

MULTI-LAYER SOURCE/DRAIN STRESSOR

Inventor(s): チャン，ダ, ; ダンダパニ，ヴィーララガヴァン, ; ゲーデケ，ダレン・ブイ, ; ヒルドレス，ジル・シー

Applicant(s): フリースケール セミコンダクター インコーポレイテッド

Classification: - international:*H01L21/336; H01L29/78; H01L29/786*
- cooperative: H01L29/0847 (EP, KR, US); H01L29/165 (EP, KR, US); H01L29/66348 (KR); H01L29/66636 (EP, KR, US); H01L29/7834 (EP, KR, US); H01L29/7848 (EP, KR, US)

Application number: JP20090549654 20080124 Global Dossier

Priority number(s): US20070676114 20070216 ; WO2008US51841 20080124

Also published as: CN101578692 (A) EP2113130 (A1) EP2113130 (A4) EP2113130 (B1) JP5704817 (B2) more

Abstract not available for JP2010519734 (A)
Abstract of corresponding document: WO2008100687 (A1)

A method for forming a semiconductor device (10) includes forming a recess (26) in a source region and a recess (28) in a drain region of the semiconductor device. The method further includes forming a first semiconductor material layer (32) in the recess (26) in the source region and a second semiconductor material layer (34) in the recess (28) in the drain region, wherein each of the first semiconductor material layer (32) and the second semiconductor material layer (38) are formed using a stressor material having a first ratio of an atomic concentration of a first element and an atomic concentration of a second element, wherein the first element is silicon and a first level of concentration of a doping material. The method further includes forming additional semiconductor material layers (36, 38, 40, 42) overlying the first semiconductor material layer (32) and the second semiconductor material layer (34) that have a different ratio of the atomic concentration of the first element and the second element.

Espacenet

Description: JP2010519734 (A) — 2010-06-03

MULTI-LAYER SOURCE/DRAIN STRESSOR

Description not available for JP2010519734 (A)
Description of corresponding document: WO2008100687 (A1)

A high quality text as facsimile in your desired language may be available amongst the following family members:

CN101578692 (A) EP2113130 (A1) KR20090118935 (A) TW200849409 (A) US2008197412 (A1) WO2008100687 (A1)

The EPO does not accept any responsibility for the accuracy of data and information originating from other authorities than the EPO; in particular, the EPO does not guarantee that they are complete, up-to-date or fit for specific purposes.

MULTI-LAYER SOURCE/DRAIN STRESSOR

Background

Field

This disclosure relates generally to integrated circuits, and more specifically, to integrated circuits having a multi-layer source/drain stressor.

Related Art

One of the techniques for improving N channel and P channel transistor performance is by introducing strain to the channel. One of the techniques to introduce strain is to remove semiconductor material from the source/drain locations and regrowing a semiconductor material epitaxially which is of a different composition. For example, one approach for improving P channel performance, where the initial semiconductor material and thus the channel is just silicon, is regrowing a combination of silicon and germanium (SiGe) in the source/drain regions which exerts a compressive stress on the channel. One of the difficulties is that the amount of stress being exerted is dependent on the germanium concentration but increasing the germanium concentration can cause the formation of defects which then causes a reduction in the stress being exerted. In addition, as the device dimension shrinks during the technology evolution, one critical challenge is to maintain good performance characteristics for short channel transistors.

Thus, there is a need for improving on the technique for regrowing the source/drains to provide stress to the channel.

Brief Description of the Drawings

The present invention is illustrated by way of example and is not limited by the accompanying figures, in which like references indicate similar elements. Elements in the figures are illustrated for simplicity and clarity and have not necessarily been drawn to scale.

FIG. 1 is a cross section of a semiconductor device at a stage in processing according to an embodiment of the invention;

FIG. 2 is a cross section of the semiconductor device of FIG. 1 at a subsequent stage in processing;

FIG. 3 is a cross section of the semiconductor device of FIG. 2 at a subsequent stage in processing; [0008] FIG. 4 is a cross section of the semiconductor device of FIG. 3 at a subsequent stage in processing;

FIG. 5 is a cross section of the semiconductor device of FIG. 4 at a subsequent stage in processing;

FIG. 6 is a graph showing relative boron concentration in a semiconductor region, which includes epitaxially grown regions, of the semiconductor device of FIG. 5; and

FIG. 7 is a graph showing relative germanium concentration in the semiconductor region of the semiconductor device of FIG. 5.

Detailed Description

In one aspect, source/drains regions adjacent to a gate are removed and regrown using multiple layers of a different semiconductor combination. In one embodiment the semiconductor combination is an alloy of silicon and germanium (SiGe). The first layer has a first concentration of germanium and is doped with a first concentration of boron. Growth of the first layer is terminated before defects begin occurring. A first subsequent layer is grown at reduced germanium concentration which would not have defects until a second thickness is reached in which the second thickness is greater than the first thickness. The first subsequent layer is grown without defects and is boron-doped to a second concentration of boron greater than the first concentration of boron. A second subsequent layer is then grown at increased germanium concentration compared to the first subsequent layer and which is grown to a sufficiently low thickness so that there are substantially no defects. The boron doping is further increased in the second subsequent layer. Thus, the first subsequent layer provides defect relief against the high germanium concentration layers of the first layer and the second subsequent layer. The boron is increased as distance from the channel is increased to avoid adverse short channel effects. This is further explained in the following description and the drawings.

Shown in FIG. 1 is a semiconductor device 10 comprising a semiconductor substrate 12, an insulating layer 14 over substrate 12, a semiconductor region 16 over insulating

layer 14, a trench isolation region 18 surrounding semiconductor region 16, a gate 22 overlying a center portion semiconductor region 16, a sidewall spacer 24 surrounding gate 22, an insulating cap 30 over gate 22, a gate dielectric between gate 22 and semiconductor region 16, a source/drain extension 25 adjacent to one side of gate 22 in a top surface of semiconductor region 16, and a source/drain extension 27 on the other side of gate 22 on the top surface of semiconductor region 16. The region between source/drain extensions 25 and 27, which is along the top surface of semiconductor region 16 and under gate 22, will function as a channel. This structure of FIG. 1 arises from forming gate 22, performing an implant to form source/drain extensions 25 and 27, forming sidewall spacer 24, and removing portions of semiconductor 16 using trench isolation region 18, gate 22, cap 30, and sidewall spacer 24 as a mask to result in an opening 26 adjacent to gate 22 on one side and opening 28 adjacent to gate 22 on the other side. This etch can be isotropic, preferably a dry isotropic etch, so that portions of openings 26 and 28 are under sidewall spacer 24. While this etch is occurring the N channel transistors are masked off and thus are not etched. Sidewall spacer is shown as one material formed by a conformal deposition followed by an anistropic etch but it may be formed in several layers and may include a liner. As an alternative It may be formed simply as a liner rather than one or more sidewall spacers. One example is a nitride spacer with an oxide liner between the nitride spacer and gate 22 as well as between the nitride spacer and semiconductor region 16. Semiconductor region 16 in this described example is just silicon, as the semiconductor material, that may have background doping and other dopings such as a halo implant. The principles described may have applicability with other semiconductor materials as well. An exemplary thickness for semiconductor region 16 from insulating layer 14 to gate dielectric 20 is about 500 Angstroms. An exemplary depth for openings 26 and 28 is 350 Angstroms. The combination of substrate 12, insulating layer 14, and semiconductor region makes up what is commonly called an SOI (semiconductor on insulator) substrate. Insulating layer 14 is commonly referred to as a BOX (buried oxide). This process may also be effective for a bulk silicon substrate in which the insulating layer is not present. Trench isolation 18 provides electrical isolation for the transistor or transistors that it surrounds.

Shown in FIG. 2 is semiconductor device 10 after epitaxially growing a semiconductor layer 32 on semiconductor region 16 in opening 26 and semiconductor layer 34 on semiconductor region 16 in opening 28. Semiconductor layers 32 and 34 are about 50 Angstroms thick in this example and are boron-doped SiGe. The concentration of Ge is about 30 atomic percent (%). This is a Si to Ge ratio of 2.3 to 1. The boron doping in this example is from about 5e19 (5[chi]10<19>) atoms per cubic centimeter (atoms/cc) to about 2e20 (2x10<20>) atoms/cc. At 30% germanium, semiconductor layers 32 and 34 can be grown to 50 Angstroms directly on just silicon without developing defects. Avoiding defects is important because defects tend to relax the layer where they are. If that occurs, that defeats the primary purpose of growing the layers of generating stress on the channel. The relatively high Ge% in the first grown layers (layers 32 and 34) is important in retarding dopant diffusion into the channel region to improve short channel device control. The reason is that dopant (e.g., Boron) diffusivity is significantly reduced in SiGe with high Ge% than in Si. The boron concentration of about 5e19 atoms/cc to 2e20 atoms/cc is a relatively low concentration that further reduces the boron diffusing into the channel to reduce short channel effects. Also by including boron in the epitaxial growth, this avoids the need for implanting. Implanting also tends to generate the type of defects that cause relaxation so is preferably avoided. The thickness of layer 32 may not be uniform in the lateral and vertical directions because the upward growth tends to be faster than lateral growth.

Shown in FIG. 3 is semiconductor device 10 after epitaxially growing a semiconductor layer 36 on semiconductor layer 32 and epitaxially growing a semiconductor layer 38 on semiconductor layer 34. Semiconductor layers 36 and 38 are, in this example, about 250 Angstroms and are also boron-doped SiGe. In this layer the germanium content is about 25 % (Si to Ge ratio of 3 to 1) and the boron concentration is from about 2e20/cc to 5e20/cc. This reduction in germanium concentration supports the increase of stressor film thickness without generating defects. The increase in boron concentration is for increasing conductivity but the risk in generating short channel problems is reduced by being further from the channel. The lateral growth is low as the growth continues so the thickness of semiconductor layers 36 and 38 in the lateral direction is much less than the 250 Angstrom growth in the upward direction.

Shown in FIG. 4 is semiconductor device 10 after epitaxially growing a semiconductor layer 40 on semiconductor layer 36 and epitaxially growing a semiconductor layer 42 on semiconductor layer 38. Semiconductor layers 40 and 42 are, in this example, about 300 Angstroms and are also boron-doped SiGe. In this layer the germanium content is about 30 % and the boron concentration is from about 5e20/cc to 1 e21/cc. This increase in germanium concentration increases the stress that is generated and can be thicker than semiconductor layers 32 and 34 because they are grown on SiGe instead of just Si, and further, the upper portion of semiconductor layers 40 and 42 can have defects without causing adverse affects because the upper portion is converted to a metal alloy in a subsequent step. The increased Ge and boron concentrations at top layers 40 and 42 reduces contact resistance.

Shown in FIG. 5 is semiconductor device 10 after converting the upper portion of semiconductor layers 40 and 42 to metal germanium suicide layers 44 and 46. This conversion of a top portion of source/drain region to a suicide is a common practice for forming contacts. The increased Ge and boron concentrations at top layers 40 and 42 reduces contact resistance at the silicide-semiconductor interface. With germanium present in the semiconductor, the resulting metal suicide alloy includes silicon and germanium. Any defects in semiconductor layers 40 and 42 that are ultimately consumed in the metallization process to form metal germanium suicide layers 44 and 46 do not cause adverse effects.

Shown in FIG. 6 is a graph showing the increase in boron concentration from the top of insulating layer 14 to the top surface of semiconductor layers 40 and 42. The abrupt change in boron concentration at the interface with semiconductor layer 16 is beneficial because it causes an abrupt PN junction which is better for reducing leakage across the PN junction as well as reducing junction capacitance.

Shown in FIG. 7 is a graph showing the changes in germanium concentration from the top of insulating layer 14 to the top surface of semiconductor layers 40 and 42. The scale does not begin at zero but shows the initial high concentration, the reduced intermediate concentration, and the final high concentration. This is an efficient way of achieving the desired result of high stress in the stressor with low defects.

Thus, it is seen that by altering the concentration of germanium in multiple layers it is possible to have the stressor provide a greater stress while reducing the risk of generating defects. The effectiveness is dependent both the germanium concentration and the thicknesses chosen. As the germanium concentration rises the thickness will need to be reduced, especially for concentrations over 30%. If higher concentration is

used, it may be beneficial to provide additional layers of alternating germanium concentration. Further, by increasing the boron concentration as the layers are added the risk of short channel effects are reduced while obtaining good conductivity.

Thus described is a method for forming a semiconductor device. The method comprises forming a recess in a source region and a recess in a drain region of the semiconductor device, forming a first semiconductor material in the source region and second semiconductor material layer in the recess of the drain region, a third semiconductor material, and a fifth semiconductor material, forming a third semiconductor material layer overlying the first semiconductor material layer and a fourth semiconductor material layer overlying the second semiconductor material layer, and forming a fifth semiconductor material layer overlying the third semiconductor material layer and a sixth semiconductor material layer overlying the fourth semiconductor material layer. The step of forming the first and second semiconductor material layer is further characterized by each of the first semiconductor material layer and the second semiconductor material layer being formed using a stressor material having a first ratio of an atomic concentration of a first element and an atomic concentration of a second element, wherein the first element is silicon and a first level of concentration of a doping material. The step of forming the third and fourth semiconductor layers is further characterized by each of the third semiconductor material layer and the fourth semiconductor material layer having a second ratio of the atomic concentration of the first element and the atomic concentration of the second element, wherein the second ratio is higher than the first ratio and wherein each of the third semiconductor material layer and the fourth semiconductor material layer have a second level of concentration of the doping material, wherein the second level of concentration of the doping material is higher than the first level of concentration of the doping material. The step of forming the fifth and sixth semiconductor material layers is further characterized by each of the fifth semiconductor material layer and the sixth semiconductor material layer having a third ratio of the atomic concentration of the first element and the atomic concentration of the second element, wherein the third ratio is lower than the second ratio and wherein each of the fifth semiconductor material layer and the sixth semiconductor material layer have a third level of concentration of the doping material, wherein the third level of concentration of the doping material is higher than the second level of concentration of the doping material. The method may be further characterized by the stressor material bieing an alloy of silicon and germanium such that the second element is germanium. The method may be further characterized by the doping material being one or more of a group V element in the periodic table. . The method may be further characterized by the first ratio of the atomic concentration of the first element to the atomic concentration of the second element being about 2.3 to 1. The method may be further characterized by the doping material being boron and the first level of concentration of the doping material being from about 5e19 atoms per cm<3> to about 2e20 atoms per cubic centimeter. The method may be further characterized by the second ratio of the atomic concentration of the first element to the atomic concentration of the second element being about 3.0 to 1. The method may be further characterized by the doping material being boron and the second level of concentration of the doping material being from about 2e20 atoms per cm<3> to 5e20 atoms per cubic centimeter. . The method may be further characterized by the third ratio of the atomic concentration of the first element to the atomic concentration of the second element being about 2.3 to 1. The method may be further characterized by the doping material being boron and the third level of concentration of the doping material being in a range from about 5e20 atoms per cm<3> to 1 e21 atoms per cm<3>.

Also described is a method for forming a semiconductor device comprising forming a recess in a source region and a recess in a drain region of the semiconductor device, forming a first semiconductor material layer in the recess in the source region and a second semiconductor material layer in the recess in the drain region, forming a third semiconductor material layer overlying the first semiconductor material layer and a fourth semiconductor material layer overlying the second semiconductor material layer, and forming a fifth semiconductor material layer overlying the third semiconductor material layer and a sixth semiconductor material layer overlying the fourth semiconductor material layer. The step of forming the first and second semiconductor material layers is further characterized by each of the first semiconductor material layer and the second semiconductor material layer being formed using a stressor material having a first ratio of an atomic concentration of a first element and an atomic concentration of a second element, wherein the first element is silicon and wherein each of the first semiconductor material layer and the second semiconductor material layer have a first level of concentration of a doping material. The step of forming the third and fourth semiconductor material layers is further characterized by each of the third semiconductor material layer and the fourth semiconductor material layer have a second level of concentration of the doping material, wherein the second level of concentration of the doping material is higher than the first level of concentration of the doping material. The step of forming the fifth and sixth semiconductor material layers is further characterized by each of the fifth semiconductor material layer and the sixth semiconductor material layer having a third level of concentration of the doping material, wherein the third level of concentration of the doping material is higher than the second level of concentration of the doping material. The method may be further characterized by the doping material being one or more of a group V element in the periodic table. The method may be further characterized by the doping material being boron and the first level of concentration of the doping material being from about 5e19 atoms per cm<3> to about 2e20 atoms per cm<3>. The method may be further characterized by the second level of concentration of the doping material is from about 2e20 atoms per cm<3> to 5e20 atoms per cm<3>. The method may be further characterized by the third level of concentration of the doping material being in a range from about 5e20 atoms per cm<3> to 1e21 atoms per cm<3>.

Also described is a semiconductor comprising a a first semiconductor material layer in a recess in a source region and a second semiconductor material layer in a recess in a drain region; a third semiconductor material layer overlying the first semiconductor material layer and a fourth semiconductor material layer overlying the second semiconductor material layer; and a fifth semiconductor material layer overlying the third semiconductor material layer and a sixth semiconductor material layer overlying the fourth semiconductor material layer. The first and second semiconductor material layers are further characterized by each of the first semiconductor material layer and the second semiconductor material layer using a stressor material having a first ratio of an atomic concentration of a first element and an atomic concentration of a second element and a first level of concentration of a doping material, wherein the first element is silicon. The third and fourth semiconductor material layers being further characterized by each of the third semiconductor material layer and the fourth semiconductor material layer having a second ratio of the atomic concentration of the first element and the atomic concentration of the second element, wherein the second ratio is higher than the first ratio and wherein each of the third semiconductor material layer and the fourth semiconductor material layer have a second level of concentration of the doping material, wherein the second level of concentration of the doping material is higher than the first level of concentration of the doping material. The fifth and sixth

semiconductor material layers being further characterized by each of the fifth semiconductor material layer and the sixth semiconductor material layer having a third ratio of the atomic concentration of the first element and the atomic concentration of the second element, wherein the third ratio is lower than the second ratio and wherein each of the fifth semiconductor material layer and the sixth semiconductor material layer have a third level of concentration of the doping material, wherein the third level of concentration of the doping material is higher than the second level of concentration of the doping material. The semiconductor device may be further characterized by the stressor material being an alloy of silicon and germanium such that the second element is germanium. . The semiconductor device may be further characterized by the doping material being one or more of a group V element in the periodic table. The semiconductor device may be further characterized by the first ratio of the atomic concentration of the first element to the atomic concentration of the second element being about 2.3 to 1. The semiconductor device may be further characterized by the doping material being boron and the first level of concentration of the doping material being from about 5e19 atoms per cm<3> to about 2e20 atoms per cm<3>, the second level of concentration of the doping material being from about 2e20 atoms per cm<3> to 5e20 atoms per cm<3>, and the third level of concentration of the doping material being in a range from about 5e20 atoms per cm<3> to 1 e21 atoms per cm<3>. The semiconductor device may be further characterized by the second ratio of the atomic concentration of the first element to the atomic concentration of the second element being about 3.0 to 1.

Although the invention is described herein with reference to specific embodiments, various modifications and changes can be made without departing from the scope of the present invention as set forth in the claims below. For example, rather than adding stress to P channel transistors, stress may be added to N channel transistors by exerting tensile stress on the channels of the N channel transistors in a similar manner of providing source/drain stressors. This may be achievable by regrowing silicon carbon and altering the concentration of carbon in different layers to provide the desired stress while avoiding defect creation. Further it may be beneficial to increase the N channel dopant in layers as well analogous to increasing the boron dopant for the P channel transistors. Although this may be less necessary for the case where the dopant is arsenic, due to its lower rate of diffusion, there may still some benefit. Accordingly, the specification and figures are to be regarded in an illustrative rather than a restrictive sense, and all such modifications are intended to be included within the scope of the present invention. Any benefits, advantages, or solutions to problems that are described herein with regard to specific embodiments are not intended to be construed as a critical, required, or essential feature or element of any or all the claims.

Furthermore, the terms "a" or "an," as used herein, are defined as one or more than one. Also, the use of introductory phrases such as "at least one" and "one or more" in the claims should not be construed to imply that the introduction of another claim element by the indefinite articles "a" or "an" limits any particular claim containing such introduced claim element to inventions containing only one such element, even when the same claim includes the introductory phrases "one or more" or "at least one" and indefinite articles such as "a" or "an." The same holds true for the use of definite articles.

Unless stated otherwise, terms such as "first" and "second" are used to arbitrarily distinguish between the elements such terms describe. Thus, these terms are not

necessarily intended to indicate temporal or other prioritization of such elements.

Espacenet

Claims: JP2010519734 (A) — 2010-06-03

MULTI-LAYER SOURCE/DRAIN STRESSOR

Claims not available for JP2010519734 (A)
Claims of corresponding document: WO2008100687 (A1)

A high quality text as facsimile in your desired language may be available amongst the following family members:

CN101578692 (A) EP2113130 (A1) KR101446822 (B1) TW200849409 (A) US2008197412 (A1) WO2008100687 (A1)

- Original claims
- Claims tree

The EPO does not accept any responsibility for the accuracy of data and information originating from other authorities than the EPO; in particular, the EPO does not guarantee that they are complete, up-to-date or fit for specific purposes.

CLAIMS What is claimed is:

1. A method for forming a semiconductor device comprising: forming a recess in a source region and a recess in a drain region of the semiconductor device; forming a first semiconductor material layer in the recess in the source region and a second semiconductor material layer in the recess in the drain region, wherein each of the first semiconductor material layer and the second semiconductor material layer are formed using a stressor material having a first ratio of an atomic concentration of a first element and an atomic concentration of a second element, wherein the first element is silicon and a first level of concentration of a doping material; forming a third semiconductor material layer overlying the first semiconductor material layer and a fourth semiconductor material layer overlying the second semiconductor material layer, wherein each of the third semiconductor material layer and the fourth semiconductor material layer have a second ratio of the atomic concentration of the first element and the atomic concentration of the second element, wherein the second ratio is higher than the first ratio and wherein each of the third semiconductor material layer and the fourth semiconductor material layer have a second level of concentration of the doping material, wherein the second level of concentration of the doping material is higher than the first level of concentration of the doping material; and forming a fifth semiconductor material layer overlying the third semiconductor material layer and a sixth semiconductor material layer overlying the fourth semiconductor material layer, wherein each of the fifth semiconductor material layer and the sixth semiconductor material layer have a third ratio of the atomic concentration of the first element and the atomic concentration of the second element, wherein the third ratio is lower than the second

ratio and wherein each of the fifth semiconductor material layer and the sixth semiconductor material layer have a third level of concentration of the doping material, wherein the third level of concentration of the doping material is higher than the second level of concentration of the doping material.

2. The method of claim 1 , wherein the stressor material is an alloy of silicon and germanium such that the second element is germanium.

3. The method of claim 1 , wherein the doping material is one or more of a group V element.

4. The method of claim 3, wherein the first ratio of the atomic concentration of the first element to the atomic concentration of the second element is about 2.3 to 1.

5. The method of claim 3, wherein the doping material is boron and the first level of concentration of the doping material is from about 5e19 atoms per cm<3> to about 2e20 atoms per cubic centimeter.

6. The method of claim 3, wherein the second ratio of the atomic concentration of the first element to the atomic concentration of the second element is about 3.0 to 1.

7. The method of claim 3, wherein the doping material is boron and the second level of ccoonncceennttrraattiioonn ooff ttihe doping material is from about 2e20 atoms per cm<3> to 5e20 atoms per cubic centimeter.

8. The method of claim 3, wherein the third ratio of the atomic concentration of the first element to the atomic concentration of the second element is about 2.3 to 1.

9. The method of claim 3, wherein the doping material is boron and the third level of concentration of the doping material is in a range from about 5e20 atoms per cm<3> to 1e21 atoms per cm<3>.

10. A method for forming a semiconductor device comprising: forming a recess in a source region and a recess in a drain region of the semiconductor device; forming a first semiconductor material layer in the recess in the source region and a second semiconductor material layer in the recess in the drain region, wherein each of the first semiconductor material layer and the second semiconductor material layer are formed using a stressor material having a first ratio of an atomic concentration of a first element and an atomic concentration of a second element, wherein the first element is silicon and wherein each of the first semiconductor material layer and the second semiconductor material layer have a first level of concentration of a doping material; forming a third semiconductor material layer overlying the first semiconductor material layer and a fourth semiconductor material layer overlying the second semiconductor material layer, wherein each of the third semiconductor material layer and the fourth semiconductor material layer have a second level of concentration of the doping material, wherein the second level of concentration of the doping material is higher than the first level of concentration of the doping material; and forming a fifth semiconductor material layer overlying the third semiconductor material layer and a sixth semiconductor material layer overlying the fourth semiconductor material layer, wherein each of the fifth semiconductor material layer and the sixth semiconductor material layer have a third level of concentration of the doping material, wherein the third level of concentration of the doping material is higher than the second level of concentration of

the doping material.

11. The method of claim 10, wherein the doping material is one or more of a group V element.

12. The method of claim 11 , wherein the doping material is boron and the first level of concentration of the doping material is from about 5e19 atoms per cm<3> to about 2e20 atoms per cm<3>.

13. The method of claim 11 , wherein the second level of concentration of the doping material is from about 2e20 atoms per cm<3> to 5e20 atoms per cm<3>.

14. The method of claim 11 , wherein the third level of concentration of the doping material is in a range from about 5e20 atoms per cm<3> to 1 e21 atoms per cm<3>.

15. A semiconductor device comprising: a first semiconductor material layer in a recess in a source region and a second semiconductor material layer in a recess in a drain region, wherein each of the first semiconductor material layer and the second semiconductor material layer are formed using a stressor material having a first ratio of an atomic concentration of a first element and an atomic concentration of a second element and a first level of concentration of a doping material, wherein the first element is silicon; a third semiconductor material layer overlying the first semiconductor material layer and a fourth semiconductor material layer overlying the second semiconductor material layer, wherein each of the third semiconductor material layer and the fourth semiconductor material layer have a second ratio of the atomic concentration of the first element and the atomic concentration of the second element, wherein the second ratio is higher than the first ratio and wherein each of the third semiconductor material layer and the fourth semiconductor material layer have a second level of concentration of the doping material, wherein the second level of concentration of the doping material is higher than the first level of concentration of the doping material; and a fifth semiconductor material layer overlying the third semiconductor material layer and a sixth semiconductor material layer overlying the fourth semiconductor material layer, wherein each of the fifth semiconductor material layer and the sixth semiconductor material layer have a third ratio of the atomic concentration of the first element and the atomic concentration of the second element, wherein the third ratio is lower than the second ratio and wherein each of the fifth semiconductor material layer and the sixth semiconductor material layer have a third level of concentration of the doping material, wherein the third level of concentration of the doping material is higher than the second level of concentration of the doping material.

16. The semiconductor device of claim 15, wherein the stressor material is an alloy of silicon and germanium such that the second element is germanium.

17. The semiconductor device of claim 15, wherein the doping material is one or more of a group V.

18. The semiconductor device of claim 17, wherein the first ratio of the atomic concentration of the first element to the atomic concentration of the second element is about 2.3 to 1.

19. The semiconductor device of claim 17, wherein the doping material is boron and the first level of concentration of the doping material is from about 5e19 atoms per

cm<3> to about 2e20 atoms per cm<3>, the second level of concentration of the doping material is from about 2e20 atoms per cm<3> to 5e20 atoms per cm<3>, and the third level of concentration of the doping material is in a range from about 5e20 atoms per cm<3> to 1 e21 atoms per cm<3>.

20. The semiconductor device of claim 17, wherein the second ratio of the atomic concentration of the first element to the atomic concentration of the second element is about 3.0 to 1.

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2010-519734
(P2010-519734A)
(43)公表日　平成22年6月3日(2010.6.3)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/786	***(2006.01)***	H01L	29/78	616U	5F110
H01L 21/336	***(2006.01)***	H01L	29/78	616V	5F140
H01L 29/78	***(2006.01)***	H01L	29/78	616L	
		H01L	29/78	301S	

審査請求 未請求　予備審査請求 未請求　（全 13 頁）

(21)出願番号　特願2009-549654 (P2009-549654)
(86)(22)出願日　平成20年1月24日 (2008.1.24)
(85)翻訳文提出日　平成21年9月7日 (2009.9.7)
(86)国際出願番号　PCT/US2008/051841
(87)国際公開番号　WO2008/100687
(87)国際公開日　平成20年8月21日 (2008.8.21)
(31)優先権主張番号　11/676,114
(32)優先日　平成19年2月16日 (2007.2.16)
(33)優先権主張国　米国(US)

(71)出願人　504199127
フリースケール　セミコンダクター　インコーポレイテッド
アメリカ合衆国　７８７３５　テキサス州　オースティン　ウィリアム　キャノン　ドライブ　ウエスト　６５０１
(74)代理人　100140109
弁理士　小野　新次郎
(74)代理人　100089705
弁理士　社本　一夫
(74)代理人　100075270
弁理士　小林　泰
(74)代理人　100080137
弁理士　千葉　昭男

最終頁に続く

(54)【発明の名称】マルチレイヤ・ソース／ドレイン・ストレッサー

(57)【要約】
半導体デバイスのドレイン領域にレセス(28)と、ソース領域にレセス(26)とを包含する半導体デバイスを形成する方法。該方法は更に、ソース領域のレセス(26)に第１の半導体材料層(32)と、ドレイン領域のレセス(28)に第２の半導体材料層(34)とを形成することを有し、第１の半導体材料層(32)と第２の半導体材料層(34)の各々が、第１の元素の原子濃度と第２の元素の原子濃度との第１の比を備えたストレッサー材料を用いて形成され、第１の元素が、ドーピング材料の第１の濃度レベルを備えたシリコンであることを特徴とする。該方法は更に、第１の半導体材料層(32)の上に横たわる追加の半導体材料層(36,38,40,42)と、第１の元素の原子濃度と第２の元素の原子濃度との異なる比率を備えた第２の半導体材料層(34)とを有する。

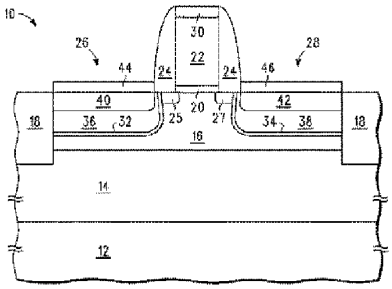


FIG. 5

【特許請求の範囲】
【請求項1】
半導体デバイスを製造する方法であって、
前記半導体デバイスのドレイン領域にレセスと、ソース領域にレセスとを形成するステップと、
前記ソース領域のレセスに第１の半導体材料層と、前記ドレイン領域のレセスに第２の半導体材料層とを形成するステップであって、前記第１の半導体材料層と第２の半導体材料層の各々が、第１の元素の原子濃度と第２の元素の原子濃度との第１の比を備えたストレッサー材料を用いて形成され、前記第１の元素が、ドーピング材料の第１の濃度レベルを備えたシリコンであることを特徴とするステップと、
前記第１の半導体材料層の上に横たわる第３の半導体材料層と、前記第２の半導体材料層の上に横たわる第４の半導体材料層とを形成するステップであって、前記第３の半導体材料層と前記ダイ４の半導体材料層の各々が、第１の元素の原子濃度と第２の元素の原子濃度との第２の比を備え、前期第２の比が前記第１の比よりも大きく、前記第３の半導体材料層と前記第４の半導体材料層の各々が、第２の濃度レベルのドーピング材料を有し、前記ドーピング材料の第２の濃度レベルが、ドーピング材料の第１の濃度レベルよりも高いことを特徴とするステップと、
前記第３の半導体材料層の上に横たわる第５の半導体材料層と、前記第４の半導体材料層の上に横たわる第６の半導体材料層とを形成するステップであって、前記第５の半導体材料層と前記第６の半導体材料層の各々が、第１の元素の原子濃度と第２の元素の原子濃度との第３の比を有し、前記第３の比が、前記第２の比よりも小さく、前記第５の半導体材料層と前記第６の半導体材料層との各々が、第３の濃度レベルのドーピング材料を有し、前記ドーピング材料の第３の濃度レベルが、ドーピング材料の第２の濃度レベルよりも高いことを特徴とするステップと、
を有することを特徴とする方法。
【請求項2】
前記ストレッサー材料が、シリコンとゲルマニウムの合金であり、前記第２の元素がゲルマニウムであることを特徴とする、請求項１に記載の方法。
【請求項3】
前記ドーピング材料が、第Ｖ属の１またはそれ以上の元素であることを特徴とする請求項１に記載の方法。
【請求項4】
前記第１の元素の原子濃度と前記第２の元素の原子濃度との第１の比が、約２．３対１であることを特徴とする請求項３に記載の方法。
【請求項5】
前記ドーピング材料がホウ素であり、前記ドーピング材料の第１の濃度レベルが、約５×１０^{19}（atoms/cm^3）乃至２×１０^{20}（atoms/cm^3）であることを特徴とする請求項３に記載の方法。
【請求項6】
前記第１の元素の原子濃度と前記第２の元素の原子濃度との第２の比が、約３．０対１であることを特徴とする請求項３に記載の方法。
【請求項7】
前記ドーピング材料がホウ素であり、前記ドーピング材料の第２の濃度レベルが、約２×１０^{20}（atoms/cm^3）乃至５×１０^{20}（atoms/cm^3）であることを特徴とする請求項３に記載の方法。
【請求項8】
前記第１の元素の原子濃度と前記第２の元素の原子濃度との第３の比が、約２．３対１であることを特徴とする請求項３に記載の方法。
【請求項9】

前記ドーピング材料がホウ素であり、前記ドーピング材料の第３の濃度レベルが、約５×１０^{20}（atoms/cm^3）乃至１×１０^{21}（atoms/cm^3）の範囲にあることを特徴とする請求項３に記載の方法。

【請求項10】

半導体デバイスを製造する方法であって、

前記半導体デバイスのドレイン領域にレセスと、ソース領域にレセスとを形成するステップと、

前記ソース領域のレセスに第１の半導体材料層と、前記ドレイン領域のセレスに第２の半導体材料層とを形成するステップであって、前記第１の半導体材料層と前記第２の半導体材料層の各々が、第１の元素の原子濃度と第２の元素の原子濃度との第１の比を備えたストレッサー材料を用いて形成され、前記第１の元素がシリコンであり、前記第１の半導体材料層と前記第２の半導体材料層の各々が、第１の濃度レベルのドーピング材料を有することを特徴とするステップと、

前記第１の半導体材料層の上に横たわる第３の半導体材料層と、前記第２の半導体材料層の上に横たわる第４の半導体材料層とを形成するステップであって、前記第３の半導体材料層と前記第４の半導体材料層の各々が、第２の濃度レベルのドーピング材料を有し、前記ドーピング材料の第２の濃度レベルが、ドーピング材料の第１の濃度レベルよりも高いことを特徴とするステップと、

前記第３の半導体材料層の上に横たわる第５の半導体材料層と、前記第４の半導体材料層の上に横たわる第６の半導体材料層とを形成するステップであって、前記第５の半導体材料層と前記第６の半導体材料層の各々が、第３の濃度レベルのドーピング材料を有し、前記ドーピング材料の第３の濃度レベルが、ドーピング材料の第２の濃度レベルよりも高いことを特徴とするステップと、

を有することを特徴とする方法。

【請求項11】

前記ドーピング材料が、第Ｖ属の１またはそれ以上の元素であることを特徴とする請求項１０に記載の方法。

【請求項12】

前記ドーピング材料がホウ素であり、前記ドーピング材料の第１の濃度レベルが、約５×１０^{19}（atoms/cm^3）乃至２×１０^{20}（atoms/cm^3）であることを特徴とする請求項１１に記載の方法。

【請求項13】

前記ドーピング材料の第２の濃度レベルが、約２×１０^{20}（atoms/cm^3）乃至５×１０^{20}（atoms/cm^3）であることを特徴とする請求項１１に記載の方法。

【請求項14】

前記ドーピング材料の第３の濃度レベルが、約５×１０^{20}（atoms/cm^3）乃至１×１０^{21}（atoms/cm^3）であることを特徴とする請求項１１に記載の方法。

【請求項15】

ソース領域のレセスの第１の半導体材料層、および、ドレイン領域のレセスの第２の半導体材料層であって、前記第１の半導体材料層と前記第２の半導体材料層の各々が、第１の元素の原子濃度と第２の元素の原子濃度との第１の比を備えたストレッサー材料を用いて形成され、第１の濃度レベルのドーピング材料を包含し、第１の元素がシリコンであることを特徴とする、ソース領域のレセスの第１の半導体材料層およびドレイン領域のレセスの第２の半導体材料層と、

前記第１の半導体材料層の上に横たわる第３の半導体材料層、および、前記第２の半導体材料層の上に横たわる第４の半導体材料層であって、前記第３の半導体材料層と前記第４の半導体材料層の各々が、第１の元素の原子濃度と第２の元素の原子濃度との第２の比を備え、前記第２の比が、前記第１の比よりも大きく、前記第３の半導体材料層と前記第４の半導体材料層の各々が第２の濃度レベルのドーピング材料を有し、前記ドーピング材料の第２の濃度レベルが、ドーピング材料の第１の濃度レベルよりも高いことを特徴とす

る前記第１の半導体材料層の上に横たわる第３の半導体材料層前記第２の半導体材料層の上に横たわる第４の半導体材料層と、
前記第３の半導体材料層の上に横たわる第５の半導体材料層、および、前記第４の半導体材料層の上に横たわる第６の半導体材料層であって、前記第５の半導体材料層と前記第６の半導体材料層の各々が、第１の元素の原子濃度と第２の元素の原子濃度との第３の比を備え、前記第３の比が前記第２の比よりも小さく、前記第５の半導体材料層と前記第６の半導体材料層の各々が、第３の濃度レベルのドーピング材料を有し、前記ドーピング材料の第３の濃度レベルが、ドーピング材料の第２の濃度レベルよりも高いことを特徴とする前記第３の半導体材料層の上に横たわる第５の半導体材料層および前記第４の半導体材料層の上に横たわる第６の半導体材料層と、
を有することを特徴とする半導体デバイス。
【請求項16】
前記ストレッサー材料が、シリコンとゲルマニウムの合金であり、前記第２の元素がゲルマニウムであることを特徴とする、請求項１５に記載の半導体デバイス。
【請求項17】
前記ドーピング材料が、第Ｖ属の１またはそれ以上の元素であることを特徴とする請求項１５に記載の半導体デバイス。
【請求項18】
前記第１の元素の原子濃度と前記第２の元素の原子濃度との第１の比が、約２．３対１であることを特徴とする請求項１７に記載の半導体デバイス。
【請求項19】
前記ドーピング材料がホウ素であり、前記ドーピング材料の第１の濃度レベルが、約５×１０^{19}（atoms/cm^3）乃至２×１０^{20}（atoms/cm^3）であり、前記ドーピング材料の第２の濃度レベルが、約２×１０^{20}（atoms/cm^3）乃至５×１０^{20}（atoms/cm^3）であり、前記ドーピング材料の第３の濃度レベルが、約５×１０^{20}（atoms/cm^3）乃至１×１０^{21}（atoms/cm^3）の範囲であることを特徴とする請求項１７に記載の半導体デバイス。
【請求項20】
前記第１の元素の原子濃度と前記第２の元素の原子濃度との第２の比が、約３．０対１であることを特徴とする請求項１７に記載の半導体デバイス。
【発明の詳細な説明】
【技術分野】
【0001】
この開示は、一般的には、集積回路に関し、特に、マルチレイヤ・ソース／ドレイン・ストレッサーを備えた集積回路に関する。
【背景技術】
【0002】
ＮチャネルおよびＰチャネルトランジスタパフォーマンスを改善するための技術の一つは、チャネルにひずみを導入することである。ひずみを導入する技術の一つは、ソース／ドレイン領域から半導体材料を除去し、異なる組成の半導体材料をエピタキシャルに再成長させることである。例えば、Ｐチャネルのパフォーマンスを改善するためのあるアプローチは、ここで、最初の半導体材料、すなわちチャネルは単なるシリコンである、ソース／ドレイン領域にシリコンとゲルマニウム（ＳｉＧｅ）の組み合わせ再成長させ、チャネルに圧縮応力を働かせる。導入された応力の量は、ゲルマニウムの濃度に依存するが、ゲルマニウム濃度の増加によって欠陥の形成が引き起こされ、それにより、導入された応力が低減することが困難の一つである。更に、技術革新中にデバイス寸法が小さくなるので、ある重大な挑戦は、短いチャネルトランジスタに関して良好な性能特性を維持する。
【0003】
かくして、チャネルに対して応力を提供するためにソース／ドレインを再成長させる技術の改善の必要性がある。
【発明の開示】

【課題を解決するための手段】
【0004】
ある態様では、ゲートに隣接したソース／ドレイン領域は、除去され、異なる半導体の組み合わせの多層（マルチレイヤ）を使用して再成長される。ある実施形態では、半導体の組み合わせは、シリコンとゲルマニウムの合金（ＳｉＧｅ）である。第１の層は、第１のゲルマニウム濃度を有し、第１の濃度のホウ素でドーピングされる。第１の層の成長は、欠陥が生じる前に終えられる。第１の引き続きの層は、第２の厚さまで欠陥を有しない低減されたゲルマニウム濃度で成長され、かかる第２の厚さは、第１の厚さよりも厚い。第１の引き続きの層は、欠陥なしで成長され、第２の濃度でホウ素ドーピングされ、該第２のホウ素の濃度は、第１のホウ素の濃度よりも濃い。次いで、第２の引き続きの層が、第１の引き続きの層と比較して増加されたゲルマニウム濃度で成長され、十分薄い厚さに成長され、その結果、実質的に欠陥がない。ホウ素ドーピングは、第２の引き続きの層で更に増大する。かくして、第１の引き続きの層は、第１の層の高ゲルマニウム濃度および第２の引き続きの層に対して欠陥レリーフを提供する。チャネルからの距離が増加するにつれて、ホウ素は増加し、逆の短いチャネル効果を回避する。これについては、以下の詳細な説明および図面にて説明する。
【発明を実施するための最良の形態】
【0005】
図１は、半導体基板１２、半導体基板１２の上の絶縁層１４、絶縁層１４の上の半導体領域１６、半導体領域１６を取り囲むトレンチ絶縁領域１８、半導体領域１６を中心部分の上に横たわるゲート２２、ゲート２２を取り囲む側壁スペーサ２４、ゲート２２の上の絶縁キャップ３０、ゲート２２と半導体領域１６との間のゲート絶縁体、半導体領域１６の頂部表面のゲート２２の一方の側に隣接したソース／ドレイン拡張部２５、および、半導体領域１６の頂部表面上のゲート２２の他の側上のソース／ドレイン拡張部２７を包含する半導体デバイス１０を示す。半導体領域１６の頂部表面と下のゲート２２とに沿った、ソース／ドレイン拡張部２５と２７との間の領域は、チャネルとして機能する。図１の構造は、ゲート２２を形成すること、ソース／ドレイン拡張部２５及び２７を形成するためのインプラントを実行すること、側壁スペーサ２４を形成すること、一方の側でゲート２２に隣接する開口部２６と、他の側でゲート２２に隣接する開口部２８とを生じさせるためのマスクとして、トレンチ絶縁領域１８、ゲート２２、キャップ３０および側壁スペーサ２４を使用して、半導体１６の一部を除去することから生じる。このエッチングは、等方性であってよく、好ましくはドライ等方性エッチングであり、それにより、開口部２６および２８の一部が、側壁スペーサ２４の下にある。このエッチングが生じるので、Ｎチャネルトランジスタは、マスクオフされ、かくして、エッチングされない。側壁スペーサは、続く異方性エッチングによって等角に堆積されることにより形成されたひとつの材料として示されるが、種々の層に形成されてもよく、ライナー（liner）を含んでも良い。別の実施形態では、１またはそれ以上の側壁スペーサではなく、単なるライナーとして形成されても良い。ある例では、ナイトライドスペーサと半導体領域１６との間と同様に、ナイトライドスペーサとゲート２２との間に酸化物ライナーを備えたナイトライドスペーサである。この記載された例における半導体領域１６は、半導体材料としての単なるシリコンであり、バックグランドドーピングおよびハローインプラント（halo implant）のような他のドーピングを有していても良い。記載された原理は、他の半導体材料にも適用可能である。絶縁層１４からゲート絶縁体２０までの半導体領域１６に関する例示的な厚さは、約５００オングストロームである。開口部２６および２８の例示的な深さは３５０オングストロームである。基板１２、絶縁層１４および半導体領域の組み合わせは、一般的にＳＯＩ（semiconductor on insulator）基板と呼ばれるものを形成する。絶縁層１４は、一般的にＢＯＸ（buried oxide）と呼ばれる。このプロセスは、絶縁層が存在しない、バルクシリコン基板に関しても有効であろう。トレンチ絶縁体１８は、１または複数のトランジスタに関する電気的絶縁を提供し、それを取り囲む。
【0006】

図２は、開口部２６の半導体領域１６上に半導体層３２と、開口部２８の半導体領域１６上に半導体層３４とをエピタキシャル成長させた後の半導体デバイス１０を示す。半導体層３２および３４は、この例では、約５０オングストロームの厚さであり、硼素ドープされたＳｉＧｅである。Ｇｅの濃度は、約３０原子パーセント（％）である、これは、ＳｉとＧｅの比率が、２．３乃至１である。この例における硼素ドーピングは、１立方センチメートルあたり約５×１０^{19}乃至２×１０^{20}（atoms/cc）である。３０％ゲルマニウムで、半導体層３２および３４は、欠陥の発生無しで単にシリコンに直接、５０オングストロームまで成長させることができる。欠陥は、それらが存在する層を緩和させる傾向があるので、欠陥を回避することは重要である。それが生じると、チャネルで応力を生成させる層を成長させるという第１の目的が打破される。最初に成長された層（層３２および３４）の比較的高いゲルマニウム％は、短いチャネルデバイスコントロールを改善するために、チャネル領域内にドーパント拡散を遅らせるのに重要である。その理由は、ドーパント（例えば、硼素）の拡散係数は、シリコン中よりも高いＧｅ％を備えたＳｉＧｅ中の方が著しく低減するからである。約５×１０^{19}乃至２×１０^{20}（atoms/cc）の硼素濃度は、短いチャネル効果を低減するために、チャネル内に拡散する硼素を更に低減させる比較的低い濃度である。また、エピタキシャル成長中に硼素を導入することにより、これは、インプラントの必要性を回避する。インプラもまた、回避するのが望ましい緩和を生じさせるタイプの欠陥を生成する傾向がある。横方向への成長よりも上方成長の方が早い傾向があるので、層３２の厚さは、均一でなくてもよい。

【0007】

図３は、半導体層３２上に半導体層３６をエピタキシャル成長させ、半導体層３４上に半導体層３８をエピタキシャル成長させた後の、半導体デバイス１０を示す。この例では、半導体層３６および３８は、約２５０オングストロームであり、また硼素ドープされたＳｉＧｅである。この層では、ゲルマニウムは約２５％（Ｓｉ対Ｇｅの比が３対１）であり、硼素濃度は約２×１０^{20}乃至５×１０^{20}（atoms/cc）である。ゲルマニウム濃度のこの低減は、欠陥生成なしでストレッサー薄膜の厚さの増大をサポートする。硼素濃度の増大は、伝導率を増大させるが、短いチャネル問題を生成する際のリスクが、チャネルから更に遠くにあることにより低減される。側方への成長は、成長の連続なので遅く、横方向における半導体層３６および３８の厚さは、上方向における２５０オングストローム成長よりも小さい。

【0008】

図４は、半導体層３６の上に半導体層４０をエピタキシャル成長させ、半導体層３８上に半導体層４２をエピタキシャル成長させた後の半導体デバイス１０を示す。この例では、半導体層４０および４２は、約３００オングストロームであり、また硼素ドーピングされたＳｉＧｅである。この層では、ゲルマニウムは約３０％であり、硼素濃度は約５×１０^{20}乃至１×１０^{21}（atoms/cc）である。このゲルマニウム濃度の増加は、生成される応力を増大させ、それらは単なるシリコンの代わりにＳｉＧｅ上に成長されるので、半導体層３２および３４よりも厚くすることができ、更に、上方部分が、引き続いてのステップで合金に変換されるので、半導体層４０および４２の上方部分は、逆の影響を生じさせることなく欠陥を有しうる。頂部層４０および４２での増大されたＧｅおよび硼素濃度は、接触抵抗を低減させる。

【0009】

図５は、半導体層４０および４２の上方部分を金属ゲルマニウムシリサイド層４４および４６に変換した後の半導体デバイス１０を示す。このソース／ドレイン領域の頂部をシリサイドに変換することは、コンタクトを形成することに関しては一般的な工程である。頂部層４０および４２で増大したＧｅおよび硼素濃度は、シリサイド／半導体界面での接触抵抗を低減させる。半導体におけるゲルマニウムの存在により、結果として生じた金属シリサイド合金は、シリコンとゲルマニウムを包含する。金属ゲルマニウムシリサイド層４４および４６を形成するための金属化プロセスにおいて最終的に消費される半導体層４０および４２の欠陥は、逆の影響を生じさせない。

【0010】
図６は、絶縁層１４の頂部から、半導体層４０および４２の頂部表面までのボロン濃度の増大を示すグラフである。半導体層１６との界面での硼素濃度の突然の変化は、接合容量を低減させると同様に、ＰＮ接合にわたるリークを低減させるのに良好である、急激なＰＮ接合を生じさせるので、有益である。
【0011】
図７は、絶縁層１４の頂部から半導体層４０および４２の頂部表面までのゲルマニウム濃度の変化を示すグラフである。スケールは、ゼロから始まっていないが、最初に高い濃度を示し、低減した中間の濃度、および、最終的には高い濃度を示す。これは、低欠陥のストレッサーに所望の高い応力を生じさせることを達成するのに十分な仕方である。
【0012】
かくして、マルチレイヤーのゲルマニウムの濃度を変更することにより、欠陥を生成するリスクを低減しながら、より大きな応力を提供するストレッサーを有することが可能となる。有効性は、選択されたゲルマニウム濃度と厚さの両方に依存する。ゲルマニウム濃度が増加すると、特に、３０％を超える濃度では、厚さを低減させる必要がある。より高い濃度で使用されるならば、ゲルマニウム濃度を変更する追加の層を提供するのが有益であろう。更に、ホウ素濃度を増加させることにより、層が追加されるので、良好な伝導を得ながら、短いチャネル効果のリスクが低減する。
【0013】
かくして、半導体デバイスを形成するための方法を開示する。該方法は、半導体デバイスのドレイン領域にレセスと、ソース領域にレセスとを形成すること、ソース領域に第１の半導体材料と、ドレイン領域のレセスに第２の半導体材料と、第３の半導体材料、ならびに、第５の半導体材料とを形成すること、第１の半導体材料層の上に横たわる第３の半導体材料層と、第２の半導体材料層の上に横たわる第４の半導体材料層とを形成すること、第３の半導体材料層の上に横たわる第５の半導体層と、第４の半導体材料層の上に横たわる第６の半導体材料層とを形成することを有する。第１および第２の半導体材料層を形成するステップは更に、第１の半導体材料層と第２の半導体材料層の各々が、第１のエレメント（元素）の原子濃度と第２のエレメント（元素）の原子濃度との第１の比を備えたストレッサー材料を用いて形成され、第１のエレメントが第１の濃度レベルのドーピングがなされたシリコンであることを特徴とする。第３及び第４の半導体層を形成するステップは更に、第３の半導体材料層と第４の半導体材料層の各々が、第１のエレメントの原子濃度と第２のエレメントの原子濃度との第２の比を備え、該第２の比は、第１の比よりも大きく、第３の半導体材料層と第４の半導体材料層の各々は、第２のレベルの濃度のドーピング材料を有し、ドーピング材料の第２のレベルの濃度は、第１のレベルのドーピング材料の濃度よりも高いことで特徴付けられる。第５及び第６の半導体材料層を形成するステップは更に、第５の半導体材料層と第６の半導体材料層の各々が、第１のエレメントの原子濃度と第２のエレメントの原子濃度の第３の比を有し、第３の比は第２の比よりも小さく、第５の半導体材料層第６の半導体層の各々が、第３のレベルのドーピング材料を有し、ドーピング材料の第３のレベルの濃度は、第２のレベルのドーピング材料の濃度よりも高いことで特徴付けられる。該方法は更に、ストレッサー材料がシリコンとゲルマニウムの合金であり、第２のエレメントがゲルマニウムであることによって特徴付けられる。該方法は更に、ドーピング材料が、周期律表の第Ｖ属の１またはそれ以上の元素であることによって特徴付けられる。該方法は更に、第１のエレメントの原子濃度と、第２のエレメントの原子濃度との第１の比が約２．３対１であることによって特徴付けられる。該方法は更に、ドーピング材料がホウ素であり、ドーピング材料の第１の濃度のレベルが約５×10^{19}（atoms/cm^3）乃至２×10^{20}（atoms/cm^3）であることによって特徴付けられる。該方法は更に、第２のエレメントの原子濃度に対する第１のエレメントの原子濃度の第２の比が、約３．０対１であることによって特徴付けられる。該方法は更に、ドーピング材料がホウ素であり、ドーピング材料の第２の濃度のレベルが、約２×10^{20}（atoms/cm^3）乃至５×10^{20}（atoms/cm^3）であることを特徴とする。該方法は更に、第２

のエレメントの原子濃度に対する第１のエレメントの原子濃度の第３の比が約２．３対１であることを特徴とする。該方法は更に、ドーピング材料がホウ素であり、ドーピング材料の第３の濃度のレベルが、約５×１０^{20}（atoms/cm^3）乃至１×１０^{21}（atoms/cm^3）の範囲であることを特徴とする。

【0014】

更に、半導体デバイスのドレイン領域にレセスとソース領域にレセスとを形成することと、ソース領域のレセスに第１の半導体材料層と、ドレイン領域のレセスに第2の半導体材料層とを形成することと、第１の半導体材料層の上に横たわる第３の半導体材料層と、第２の半導体材料層の上に横たわる第４の半導体材料層とを形成することと、第３の半導体材料層の上に横たわる第５の半導体材料層と、第４の半導体材料層の上に横たわる第６の半導体材料層とを形成することと、を有する半導体デバイスを形成する方法を開示する。第１及び第２の半導体材料層を形成するステップは更に、第１の半導体材料層および第２の半導体材料層が、第１のエレメントの原子濃度と第２のエレメントの原子濃度との第１の比を備えたストレッサー材料を用いて形成され、第１のエレメントがシリコンであり、第１の半導体材料層と第２の半導体材料層の各々が、第１のレベルの濃度のドーピング材料を有することを特徴とする。第３および第４の半導体材料層を形成するステップは更に、第３の半導体材料層と第４の半導体材料層の各々が、第２のレベルの濃度のドーピング材料を有し、ドーピング材料の第２の濃度のレベルが、第１のドーピング材料の濃度レベルよりも高いことによって特徴付けられる。第５及び第６の半導体材料層を形成するステップは更に、第５の半導体材料層および第６の半導体材料層が、第３の濃度のレベルのドーピング材料を有し、該第３のドーピング材料の濃度レベルが第２のドーピング材料の濃度レベルよりも高いことによって特徴付けられる。かかる方法は更に、ドーピング材料が周期律表の第Ｖ属の１またはそれ以上の元素であることによって特徴付けられる。該方法は更に、ドーピング材料がホウ素であり、ドーピング材料の第１の濃度のレベルが約５×１０^{19}（atoms/cm^3）乃至２×１０^{20}（atoms/cm^3）であることによって特徴付けられる。該方法は更に、ドーピング材料の第２の濃度のレベルが約２×１０^{20}（atoms/cm^3）乃至５×１０^{20}（atoms/cm^3）であることによって特徴付けられる。該方法は更に、ドーピング材料の第３の濃度のレベルが約５×１０^{20}（atoms/cm^3）乃至１×１０^{21}（atoms/cm^3）であることによって特徴付けられる。

【0015】

ソース領域のレセスに第１の半導体材料層並びにドレイン領域のレセスに第２の半導体材料層と、第１の半導体材料層の上に横たわる第３の半導体材料層並びに第２の半導体材料層の上に横たわる第４の半導体材料層と、第３の半導体材料層の上に横たわる第５の半導体材料層並びに第４の半導体材料層の上に横たわる第６の半導体材料層とを有する半導体を開示する。第１及び第２の半導体材料層は、第１の半導体材料層と第２の半導体材料層の各々が、第１のエレメントの原子濃度と第２のエレメントの原始濃度との第１の比と、第１の濃度レベルのドーピング材料とを備えたストレッサー材料を使用し、第１のエレメントがシリコンであることを特徴とする。第３及び第４の半導体材料層は更に、第３の半導体材料層と第４の半導体材料層の各々が、第１のエレメントの原子濃度と第２のエレメントの原子濃度との第２の比とを有し、第２の比は第１の比よりも大きく、第３の半導体材料層と第４の半導体材料層の各々が、第２の濃度レベルのドーピング材料を有し、ドーピング材料の第２の濃度レベルが、ドーピング材料の第１の濃度レベルよりも高いことを特徴とする。第５及び第６の半導体材料層は更に、第５の半導体材料層と第６の半導体材料層の各々が、第１のエレメントの原子濃度と第２のエレメントの原子濃度との第３の比を有し、第３の比が第２の比よりも小さく、第５の半導体材料層と第６の半導体材料層の各々が、第３の濃度レベルのドーピング材料を有し、ドーピング材料の第３の濃度レベルがドーピング材料の第２の濃度レベルよりも高いことを特徴とする。半導体デバイスは更に、ストレッサー材料がシリコンとゲルマニウムとの合金であり、第２のエレメントがゲルマニウムであることによって特徴付けられる。半導体デバイスは更に、ドーピング材料が周期律表の第Ｖ属の１またはそれ以上の元素であることによって特徴付けられる。半

導体デバイスは更に、第１のエレメントの原子濃度と、第２のエレメントの原子濃度との第１の比が約２．３対１であることによって特徴付けられる。半導体デバイスは更に、ドーピング材料がホウ素であり、ドーピング材料の第１の濃度のレベルが約５×１０^{19}（atoms/cm^3）乃至２×１０^{20}（atoms/cm^3）であることによって特徴付けられ、ドーピング材料の第２の濃度のレベルが、約２×１０^{20}（atoms/cm^3）乃至５×１０^{20}（atoms/cm^3）であり、ドーピング材料の第３の濃度のレベルが、約５×１０^{20}（atoms/cm^3）乃至１×１０^{21}（atoms/cm^3）の範囲であることを特徴とする。半導体デバイスは更に、第２のエレメントの原子濃度に対する第１のエレメントの原子濃度の第２の比が、約３．０対１であることによって特徴付けられる。

【0016】

本発明を特定の実施形態を参照してここに記載してきたけれども、特許請求の範囲に規定したような本願発の範囲から逸脱することなく、種々の修正や変更がなされうる。例えば、Ｐチャネルトランジスタに応力を加える代わりに、応力は、ソース／ドレイン・ストレッサーを提供することと同様な仕方でＮチャネルトランジスタのチャネルに引張応力を働かせることによってＮチャネルトランジスタに加えられうる。これは、欠陥形成を回避しながら、所望の応力を提供するように異なる層に炭素の濃度を変更し、炭化珪素を再成長させることによって達成されうる。更に、層内のＮチャネルドーパントを増大させるのに有益であり、Ｐチャネルトランジスタに関するホウ素ドーパントを増大させるのと類似する。ドーパントが砒素である場合、この必要性はより低くなるけれども、そのより低い拡散係数のために、依然として利点は存在する。従って、本明細書及び図面は、限定的な意味ではなく、例示であり、かかる全ての修正は、本発明の範囲内に含まれる。特定の実施形態に関してここに記載した利点、利益、または課題解決手段は、限定的なものではない。

【0017】

更に、ここで用いられた用語「ある」または「ひとつの」は、１またはそれ以上を意味する。「少なくとも一つ」および「１またはそれ以上」のような導入成句は、他の要素を含みうることを暗示するものである。

【0018】

特段の事情なく、「第１の」および「第２の」のような用語は、かかる用語が特定する要素の間の任意の区別として用いられるものである。かくして、かかる用語は、かかる要素の時制または他の優先順位を示すものではない。

【図面の簡単な説明】

【0019】

【図1】本発明のある実施形態によるプロセスのステージでの半導体デバイスの断面図である。

【図2】引き続きのステージでの図１の半導体デバイスの断面図である。

【図3】引き続きのステージでの図２の半導体デバイスの断面図である。

【図4】引き続きのステージでの図３の半導体デバイスの断面図である。

【図5】引き続きのステージでの図４の半導体デバイスの断面図である。

【図6】図５の半導体デバイスの、エピタキシャル成長領域を包含する、半導体領域における相対ボロン濃度を示すグラフである。

【図7】図５の半導体デバイスの半導体領域における相対ゲルマニウム濃度を示すグラフである。

【図1】

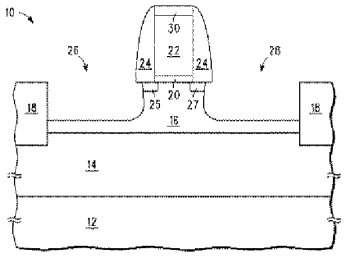


FIG. 1

【図2】

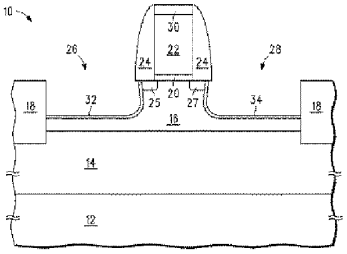


FIG. 2

【図3】

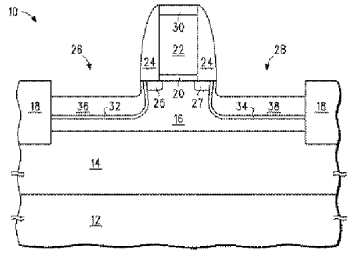


FIG. 3

【図4】

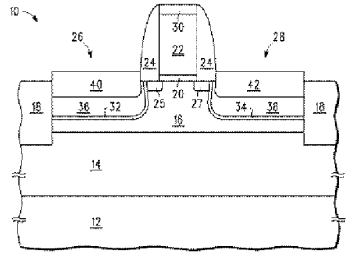


FIG. 4

【図5】

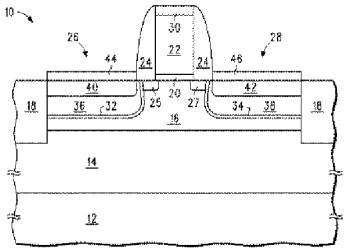
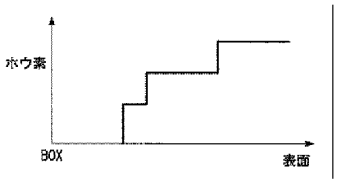
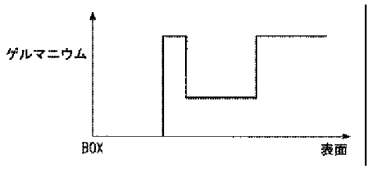


FIG. 5

【図6】



【図7】



INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2008/051841

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 8: H01L21/20, H01L 21/336, H01L29/76, H01L 29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models since 1975
Japanese Utility models and applications for Utility models since 1975

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKIPASS(KIPO internal) "Keyword: multi-layer stressor, source/drain stressor, and recess"

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005-124837 A1 (KONINKLIJKE PHILIPS ELECTRONICS N. V. et al.) 29 December 2005 See Abstract; Page 5, Line 24 - Page 8, Line 13; Claims 1 - 15; Figures 1 - 4.	1 - 20
A	JP 2007-036205 A (FUJITSU LTD.) 08 February 2007 See Abstract; Paragraph [0015] - Paragraph [0209]; Claims 1 - 10; Figures 3 - 39.	1 - 20
A	US 2006-0065914 A1 (CHEN, H. et al.) 30 March 2006 See Abstract; Paragraph [0012] - Paragraph [0036]; Claims 1 - 30; Figures 1 - 11.	1 - 20
A	US 2007-0004123 A1 (BOHR, M. T. et al.) 04 January 2007 See Abstract; Paragraph [0014] - Paragraph [0039]; Claims 1 - 20; Figures 2 - 9.	1 - 20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents,such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 MAY 2008 (29.05.2008)	**29 MAY 2008 (29.05.2008)**
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon, 139 Seonsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Authorized officer KIM, JU SIK Telephone No. 82-42-481-8265

Form PCT/ISA/210 (second sheet) (April 2007)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2008/051841

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO2005124837A1	29.12.2005	CN1969373A	23.05.2007
		EP01759404A1	07.03.2007
		JP20503083	31.01.2008
		KR1020070032692	22.03.2007
		US20070246742A1	25.10.2007
JP2007036205A	08.02.2007	CN1885556A	27.12.2006
		KR1020060134772	28.12.2006
		TW278115B	01.04.2007
		US2006289856A1	28.12.2006
		US2007012913A1	18.01.2007
US20060065914A1	30.03.2006	CN101032018A	05.09.2007
		EP1805796A1	11.07.2007
		KR1020070053300	23.05.2007
		US2006292779AA	28.12.2006
		US7135724BB	14.11.2006
		WO2006039377A1	13.04.2006
US20070004123A1	04.01.2007	KR1020080015891	20.02.2008
		WO2007005817A1	11.01.2007

Form PCT/ISA/210 (patent family annex) (April 2007)

(81)指定国　　AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,NO,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人　100096013
弁理士　富田　博行
(74)代理人　100147681
弁理士　夫馬　直樹
(72)発明者　チャン，ダ
アメリカ合衆国テキサス州７８７１７，オースティン，カサンドラ・ドライブ　１０１３７
(72)発明者　ダンダパニ，ヴィーララガヴァン
アメリカ合衆国テキサス州７８６８１，ラウンド・ロック，ウエスト・マジック・マウンテン・レーン　７１１０
(72)発明者　ゲーデケ，ダレン・ブイ
アメリカ合衆国テキサス州７８６６０，プフルガーヴィル，エマリーズ・レーン　１５５２９
(72)発明者　ヒルドレス，ジル・シー
アメリカ合衆国テキサス州７８７３７，オースティン，イートン・レーン　１６０

Ｆターム(参考)　5F110 AA01 CC02 DD05 DD13 EE31 GG02 GG06 GG12 GG25 GG36
GG52 HJ01 HJ04 HJ07 HJ13 HK05 HK08 HK18 HK22 HK25
HK26 HK27 HK28 HK34 HK39 HK40 HM07 NN62 NN65
5F140 AA01 AA21 AC28 AC36 BA01 BA16 BC12 BG08 BG14 BH06
BH07 BH13 BH14 BH27 BH49 BJ09 BK02 BK18

Espacenet

Bibliographic data: JPH10261792 (A) — 1998-09-29

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Inventor(s): MURAKAMI HIDEKAZU; NISHIDA AKIO; KIMURA SHINICHIRO ± (MURAKAMI HIDEKAZU, ; NISHIDA AKIO, ; KIMURA SHINICHIRO)

Applicant(s): HITACHI LTD ± (HITACHI LTD)

Classification: **- international:** ***H01L21/336; H01L21/8238; H01L27/092; H01L29/78;*** (IPC1-7): H01L21/336; H01L21/8238; H01L27/092; H01L29/78

- cooperative:

Application number: JP19970064141 19970318

Priority number (s): JP19970064141 19970318

Abstract of JPH10261792 (A)

PROBLEM TO BE SOLVED: To enable a source/drain diffusion layer shallow in junction depth to be lessened in parasitic resistance component by a method wherein ions are implanted into an extension region at a prescribed angle, and a high-concentration region higher in impurity ion concentration than a prescribed value is made to overlap with an inversion layer. SOLUTION: A gate electrode is processed, then a screen oxide film is formed, and As ions and BF2 ions 111 are implanted into an NMOS region and a PMOS region making an angle of 5' to 45' with a normal line using a photoresist 18 as a mask respectively, whereby an N-type and a P-type source/ drain diffusion layer, 110 and 113, shallow in junction depth and aligned with the gate electrode are formed. In succession, a spacer is formed. As ions and BF2 ions are implanted into the NMOS region and the PMOS region respectively, whereby self-aligned source/drain diffusion layers 115 and 117 which are both deep are formed. Thereafter, electrode layers 118 and 110, an interlayer insulating film 123, and an Al wiring 120 are formed to obtain a CMOS circuit.

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JPH10261792A

[0001]

INDUSTRIAL APPLICABILITY The present invention relates to a semiconductor device, particularly a fine insulated gate field effect transistor having a high current driving ability (hereinafter, "MOSFET" is used as a typical name).

[0002]

[Conventional Technology] The integration and speeding up of LSIs have been promoted by miniaturization of MOSFETs, which are basic elements.

In order to realize a MOSFET with a gate length of 0.15 μm or less, it is necessary to make the source / drain junction depth shallow to 60 nm or less. For that purpose, for example, an example of prototyping an element by reducing the energy of As and BF2 to 5 KeV is 1994 EEE, Electron Devices, Meeting, Technical Digest, p. 485 (1994 IEEE Electron Devices Meeting, Technical Digest, p.485). Has been reported in.

[0003]

FIG. 2 shows an example of a process flow for forming a complementary MOSFET (also referred to as a C MOSFET) by a conventional method examined by the present inventors prior to the present invention.

In FIG. 2, the description of specific names using the symbols (numbers) attached to the drawings is omitted here, but the same symbols (numbers) as the symbols (numbers) used in the embodiments of the present invention are omitted.) Indicates the same name.

[0004]

In FIG. 2, after the gate electrode is processed (FIG. 2 (a)), As or BF2 having an energy of 5 KeV is ion-implanted at a dose amount of 1x1014 cm-2 to 1x1015 cm-2 to form a shallow diffusion layer (110,113). (Fig. 2 (b) and Fig. 2 (c).

Subsequently, an oxide film side wall spacer (122) is formed, and As or BF2 having an energy of 25-40 KeV is ion-implanted at a dose amount of 1x1015 cm-2 or more to form a deep diffusion layer (115,117) (Fig. 2 (d)).) And FIG. 2 (e). This layer is usually formed to a depth of 0.1 μm or more to facilitate metal contact. In such a structure, the shallow diffusion layer is called an extension because the deep diffusion layer extends shallowly toward the gate. Further, in the heat treatment (annealing) after ion implantation, a short-time heat treatment method (RTA, Rapid Thermal Annealing) is used to suppress abnormal diffusion of impurities.

[0005]

Then, Al wiring is connected to each deep diffusion layer via, for example, a silicide layer (118) (FIG. 2 (f)).

[0006]

However, when the ion implantation energy of the shallow diffusion layer is lowered to 20 KeV or less, as shown in FIG. 3, the embedding depth of impurities becomes shallow and the channel region directly under the gate electrode is filled with the problem. Since the amount of wraparound is also small, the low resistance extension high concentration (≧ 1x1019cm-3) portion and the inversion layer channel are offset.

The diffusion layer just below the gate end is the part where the current is particularly concentrated, and increasing the resistance here causes a large increase in the source / drain parasitic resistance.

Figure 4 is an example of our experimental results showing this. The source / drain parasitic resistance consists of a deep diffusion layer resistance Rdeep, a shallow diffusion layer resistance Rext , And a diffusion layer resistance Redge (a component also called a spread resistance) just below the gate end. As the As energy is lowered, the Redge is increasing in particular. For this reason, the current driving capability of the device prototyped using low-energy ion implantation is currently small. That is, there was a situation in which a sufficient improvement in current driving abilility could not be obtained even if the current was made finer by making the junction shallower.

[0007]

[Means for Solving the Problem] In order to solve the above problem, the high concentration (≧ 1x1019cm-3) portion of the extension is inverted by inclining the ion implantation of the extension portion (region) by about 20 °. A structure that overlaps with the layers may be realized.

[0008]

Figure 5 shows the relationship between impurity doping concentration and resistivity (Physicsand Technology of Semiconductor Devices, John Wiley & Sons, p. 113).

If the impurity concentration is as high as 1x1019cm-3 or more, the resistivity will be 10-2Ωcm or less.

Here, assuming that the depth and length of the source / drain current concentration portion (diffusion layer portion immediately below the gate end) is about 10 nm, the spreading resistance is 100 Ωμm or less in the above case. On the contrary, if it is as low as 1x1018cm-3, it will increase to 300-500Ωμm. This reduces the saturated drain current by 20% or more. From this, as a design guideline for obtaining a high current drive capability, a condition that the impurity concentration of the diffusion layer immediately below the gate end is 1x1019 cm-3 or more can be obtained.

[0009]

On the other hand, FIG. 6 shows the simulation results showing the ion implantation angle dependence of the As concentration near the surface of the diffusion layer just below the gate edge.

By tilting the ion implantation by 10 ° or more, the impurity concentration of the diffusion layer just below the gate end becomes 1x1019cm-3 or more, in other words, a structure in which the high concentration (≧ 1x1019cm-3) part overlaps with the inversion layer is realized. It can reduce parasitic resistance. However, if the injection angle is increased to 45 ° or more, the overlap capacitance between the gate and the source / drain increases, which is not preferable for high-speed operation of the circuit. A suitable injection angle depends on the energy, but is 20 ° to 30 °. Furthermore, oblique injection is also effective for shallow junction formation, such as suppressing ion channeling.

[0010]

Here, the difference from the known method of injecting ions at an angle will be described.

For example, US Pat. No. 5,270,226 discloses a method of 20-60 ° tilted P-ion implantation to form an LDD (Lightly doped drain) structure. By tilting the P ion implantation at 20-60 °, the LDD layer is formed inside with sufficient overlap with the gate, so a deep diffusion layer (As implantation layer) is formed in the same manner as the single drain structure. As a result, it is said that the current drive capability can be increased and at the same time, the hot carrier resistance peculiar to the LDD structure can be improved. At this time, the concentration of the P injection layer is set as low as 1018 cm-3 to relax the drain electric field. (Typical injection conditions are 80 KeV, 4x1013 cm-2,45 °) Also, As injections are performed under high dose (> 1x1015 cm-2)

high energy (> 20 KeV) conditions without tilting. It has been. (See Fig. 4-7 of the above patent gazette) On the other hand, Si-MOSFETs with a gate length of 0.15 μm or less can be used at a power supply voltage of 2 V or less, so the current is not an LDD structure that prioritizes hot carrier resistance. It is expected that an extension structure that prioritizes driving ability will be put into practical use. In the present invention, oblique implantation is performed with low energy (<20 KeV) As (BF2 or B in the case of p-channel MOSFET) ions for formation of shallow (60 nm or less) extensions with a high concentration of 1019 cm-3 or more. It is used for injection. For the first time, it is possible to increase the current drive capability of MOSFETs with a gate length of 0.15 μm or less.

[0011]

Further, as described in the examples, the description of implanting oblique ions through the screen oxide film is not found in the above-mentioned known examples, but the effect of the present invention is particularly remarkable when the screen oxide film is used.

Therefore, the point that oblique ions are implanted through the screen oxide film is also an important difference between the present invention and known examples.

[0012]

BEST MODE FOR CARRYING OUT THE INVENTION (Example 1) An example in which a high-speed CMOS circuit (CMOS IC) is realized by using the present invention will be described with reference to FIG.

First, a shallow groove having a depth of 0.3 μm was dug in the p-type (100 crystal plane) Si substrate 10 by dry etching, and a CVD oxide film was embedded in the shallow groove to form an element separation region (shallow groove separation region) 11. Next, high-energy ion implantation formed p-type wells 12 and n-type wells 13 regions (Fig. 1 (a)). Subsequently, after forming a gate oxide film having a thickness of 4 nm, an amorphous Si film having a thickness of 100 nm is formed. By ion implantation with low energy, impurity doping was performed to form n + polycrystalline Si gate 15 and p + polycrystalline Si gate 16. Here, the amorphous Si film is used in order to prevent impurities from leaking to the channel region under the gate oxide film by ion channeling. Next, after depositing the CVD-SiO2 film 17, the gate electrode was processed by dry etching (Fig. 1 (a)).

[0013]

Next, after forming a screen oxide film (SiO2) 121 having a thickness of 5 nm, an ordinary photoresist 18 was used as a mask, As ion 19 was used in the nMOS forming region, and BF2 ion 111 was used in the pMOS forming region. Aligned with the gate electrode by injecting 3x1014 cm-2 ions at an energy of 10 KeV, tilted 30 ° toward the gate electrode from vertical incidence (see the arrows shown in FIGS. 1 (a) and 1 (b), respectively). A (self-aligned) shallow source / drain n-type diffusion layer 110 (FIG. 1 (b)) and a shallow source / drain p-type diffusion layer (113 (FIG. 1 (c)) were formed.

In this ion implantation, in order to maintain the symmetry of the source / drain, the implantation was performed while rotating the substrate. Therefore, as shown by arrows 19 and 111, impurity ions are injected from a symmetrical angle.

[0014]

For the electrical activation of the injected impurities, a short-time annealing (RTA: Rapid Thermal Annealing) at 950 ° C. for 5 seconds was used (Fig. 1 (b) (c)).

In this method, impurities are also injected into the side surface of the gate electrode, but they do not have an adverse effect enough to change the electrical characteristics of the gate.

[0015]

The screen oxide film described above is considered to be an essential insulating film after gate electrode processing in order to prevent contamination during ion implantation from entering the Si substrate. There is also the problem of making it larger.

Therefore, the oblique injection method of the present invention is particularly effective when combined with an insulating film having a thickness of 10 nm or less. A nitride film (Si3N4) can also be applied to this insulating film.

[0016]

Subsequently, after removing the screen oxide film, a CVD-SiO2 film is deposited, and the CVD-SiO2 film is anisotropically dry-etched to form a gateside wall spacer 122.

Then, by implanting As ion 114 into the nMOS forming region and BF2 ion 116 into the pMOS forming region with 25-40 KeV energy, the gate side wall spacer 122 is matched (self-aligned) deeply. A source / drain n-type diffusion layer 115 and a deep source / drain p-type diffusion layer 117 were formed (FIGS. 1 (d) and 1 (e)), respectively. Here again, RTA at 950 ° C. for 5 seconds was used. After that, the source / drain and the gate are contacted (connected) with electrode layers for low resistance such as Ti silicide layers 118 and 119, and the normal interlayer insulating film 123 and the Al wiring connected to the electrode layers are connected. 120 was formed to form a CMOS circuit.

[0017]

The source / drain parasitic resistance of each of the n MOSFETs and p MOSFETs according to the present invention is 250 (and 500) Ωμm, and the saturated drain current at 1.5V with a gate length of 0.1 μm is 0.55 (and 0.35) mA / μm. Reached.

As a result, the gate delay time measured by the unloaded CMOS ring oscillator was 10 ps or less.

[0018]

(Example 2) Next, an example in which a high-speed DRAM peripheral circuit is realized by using the present invention will be described with reference to FIG. 7.

First, the element separation regions 11 and the well regions 12 and 13 were formed in the same manner as in Example 1. Subsequently, after forming the gate oxide film 14 having a thickness of 5 nm, an amorphous Si film having a thickness of 50 nm is formed, P ions are placed in the nMOS forming region, and B ions are placed in the pMOS forming region at 5 KeV or less. By ion implantation with low energy, impurity doping was performed to form n + polycrystalline Si gate 15 and p + polycrystalline Si gate 16. Next, after depositing the TiN film 71, the W film 72, and the CVD-SiN film 73, the gate electrode was processed by dry etching (Fig. 8 (a)).

[0019]

Next, using the method of the present invention, the As ion 19 is tilted in the nMOS forming region and the BF2 ion 111 is tilted in the pMOS forming region by 20 ° from the vertical incidence toward the gate electrode side with an energy of 10 KeV. By implanting 5x1014 cm-2 ions, shallow source / drain n-type p-type diffusion layers (110 and 113) were formed.

Injecting was performed while rotating the substrate in order to maintain source / drain symmetry. For the electrical activation of the injected impurities, a short-time annealing (RTA: Rapid Thermal Annealing) at 950 ° C. for 10 seconds was used (Fig. 8 (b) (c)). Subsequently, after depositing the CVD-SiN film 74 having a thickness of 50 nm, the interlayer insulating film 123 is deposited, the contact hole 85 is formed, and then the Al wiring 79 forming step using the CVD-TiN plug 78 is performed, and the process is performed for DRAM. A peripheral circuit was formed. Before forming the CVD-TiN plug, As or BF2 ions are implanted at an energy of 20-40 KeV by about 1x1015 cm-2, RTA is performed, and a thin film CVD-Ti is deposited. Processing for reduction was performed.

[0020]

The peripheral circuit CMOS of this example has a shallow source / drain diffusion layer of about 50 nm, a MOSFET with a gate length of 0.15 μm or less operates, and the parasitic resistance is reduced, so the current drive capability is comparable to that of high-speed CMOS. Was realized.

As a result, it was confirmed that it is effective in reducing the access time of DRAM.

[0021]

According to the present invention, the parasitic resistance component of a shallow source / drain diffusion layer having a bonding depth of 60 nm or less can be reduced to about 100 Ωμm, and the current driving ability of a Si-MOSFET having a gate length of 0.15 μm or less can be reduced. Can be enhanced.

As a result, a high-speed, low-power consumption CMOS circuit can be realized. This is effective for realizing high-speed RISC processors and high-speed DRAM.

[0022]

A brief description of the drawing

[0023]

FIG. 1 is a cross-sectional view showing an embodiment of the present invention.

[0024]

FIG. 2 is a cross-sectional view showing a conventional process flow examined by the inventor and the like.

[0025]

FIG. 3 is a cross-sectional view showing a two-dimensional distribution of impurities in the source / drain diffusion layer examined by the inventor and the like.

[0026]

FIG. 4 is a diagram showing injection energy dependence of MOSFET parasitic resistance examined by the inventor and the like.

[0027]

FIG. 5 is a diagram showing the relationship between the impurity doping concentration and the resistivity.

[0028]

FIG. 6 is a diagram showing the ion implantation angle dependence of the impurity concentration immediately below the gate end according to the present invention.

[0029]

FIG. 7 is a cross-sectional view showing an embodiment of the present invention.

[0030]

Code description

[0031]

10--- p-type (100) Si substrate 11 --- element separation region 12 --- p-type well 13 --- n-type well 14 --- gate oxide film 15 --- n + poly-Si gate 16-- -p + poly-Si gate 17 --- CVD-SiO2 film 18 --- Photoresist 19 --- As ion 110--Shallow source / drain n-type diffusion layer 111--BF2 ion 112--Screen oxide film 113-- Shallow source / drain p-type diffusion layer 114--As ion 115--Deep source / drain n-type diffusion layer 116--BF2 ion 117--Deep source / drain p-type diffusion layer 118--Source / drain top VDD layer 119 --CURRENT layer on the gate 121--Screen oxide film 120--Al wiring 122--Side wall spacer 123--Interlayer insulating film.

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JPH10261792A

1.

It has an impurity concentration of 1x1019 cm-3 or more matched by a gate electrode provided on the main surface of the semiconductor region in the semiconductor region showing the first conductive type, and is opposite to the first conductive type. 2 The first region of the desired depth showing the conductive type and the first region matched by the gate side wall spacer provided on the side wall of the gate electrode are connected and deeper than the first region. A semiconductor device comprising a second region of a deep second conductive type and an electrode layer connected to the second region.

2.

The semiconductor device according to claim 1, wherein the electrode layer is composed of a Ti ceiling layer.

3.

After processing a gate electrode on the main surface of the semiconductor region via an oxide film, an insulating film having a thickness of 10 nm or less is formed on the main surface of the semiconductor region so as to cover the gate electrode, and ions are emitted from the conditions of vertical incidence. A method for manufacturing a semiconductor device, which comprises forming a source diffusion layer and a drain diffusion layer by injecting at an angle of 5 ° or more and 45 ° or less.

4.

The method for manufacturing a semiconductor device according to claim 3, wherein the insulating film is made of an oxide film.

5.

The method for manufacturing a semiconductor device according to claim 3, wherein the insulating film is made of a nitride film.

6.

After processing the gate electrode on the main surface of the semiconductor region via an oxide film, ions are injected at an angle of 5 ° or more and 45 ° or less in accordance with the gate electrode, and the impurity concentration is 1019 cm-. A method for manufacturing a semiconductor device, which comprises forming an extension region having a bonding depth of 3 or more and a bonding depth of 60 nm or less, and forming a source diffusion layer and a drain diffusion layer connected to the extension region.

7.

The method for manufacturing a semiconductor device according to claim 6, wherein the ion implantation is performed with an energy of 20 KeV or less.

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平10－261792

(43)公開日　平成10年(1998)９月29日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｈ０１Ｌ　29/78		Ｈ０１Ｌ　29/78	３０１Ｌ
21/336		27/08	３２１Ｆ
21/8238			
27/092			

審査請求　未請求　請求項の数７　ＯＬ　（全 ７ 頁）

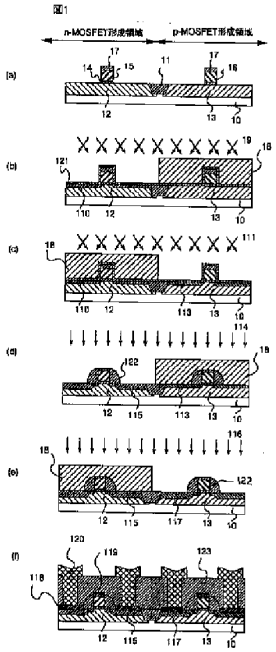
(21)出願番号　特願平9－64141

(22)出願日　平成９年(1997)３月18日

(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地
(72)発明者　村上　英一
東京都国分寺市東恋ケ窪一丁目280番地
株式会社日立製作所中央研究所内
(72)発明者　西田　彰男
東京都国分寺市東恋ケ窪一丁目280番地
株式会社日立製作所中央研究所内
(72)発明者　木村　紳一郎
東京都国分寺市東恋ケ窪一丁目280番地
株式会社日立製作所中央研究所内
(74)代理人　弁理士　小川　勝男

(54)【発明の名称】　半導体装置およびその製造方法

(57)【要約】
【課題】　本発明は、ゲート長微細化（ゲート長0.15μm以下）にともなってう、ソース/ドレイン拡散層を浅くし、かつ電流集中部の寄生抵抗の低減および電流駆動能力を向上させた半導体装置を提供するものである。
【解決手段】　本発明は、電流集中部の不純物濃度を上げるために、低エネルギーのイオンを角度5-45°で斜め注入(19,111)し、接合深さ60ｎｍ以下の不純物濃度が１ｘ１０^{19}ｃｍ$^{-3}$か、それ以上を有するソース/ドレイン拡散層(110,113)を設けるものである。



【特許請求の範囲】
【請求項１】第１導電型を示す半導体領域内に該半導体領域主面上に設けられたゲート電極によって整合された１ｘ１０^{19}ｃｍ$^{-3}$か、それ以上の不純物濃度を有し、該第１導電型とは反対の第２導電型を示した所望の深さの第一領域と、該ゲート電極の側壁に設けられたゲートサイドウオールスペーサによって整合された前記第一領域に連結され、かつ該第一領域よりも深さの深い第２導電型の第二領域と、該第二領域に接続された電極層とから成ることを特徴とする半導体装置。
【請求項２】前記電極層はTiシリサイド層より成ることを特徴とする請求項１記載の半導体装置。
【請求項３】半導体領域主面上に酸化膜を介してゲート電極を加工した後に、そのゲート電極を覆うように上記半導体領域主面上に厚さ10nm以下の絶縁膜を形成し、イオンを垂直入射の条件から5°以上45°以下の角度で傾けて注入することで、ソース拡散層およびドレイン拡散層を形成することを特徴とする半導体装置の製造方法。
【請求項４】前記絶縁膜は酸化膜より成ることを特徴とする請求項３記載の半導体装置の製造方法。
【請求項５】前記絶縁膜は窒化膜より成ることを特徴とする請求項３記載の半導体装置の製造方法。
【請求項６】半導体領域主面上に酸化膜を介してゲート電極を加工した後に、
前記ゲート電極に整合してイオンを垂直入射の条件から5°以上45°以下の角度で傾けて注入し、不純物濃度10^{19}ｃｍ$^{-3}$以上、接合深さ60 nm以下のエクステンション領域を形成し、該エクステンション領域に連結するソース拡散層およびドレイン拡散層を形成することを特徴とする半導体装置の製造方法。
【請求項７】前記イオン注入は、エネルギー20KeV以下で行うことを特徴とする請求項６記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、半導体装置、特に、高電流駆動能力の微細な絶縁ゲート電界効果型トランジスタ（以下、代表的な呼称として“MOSFET”を用いる）に関する。
【０００２】
【従来の技術】LSIの集積化、高速化は、基本素子であるMOSFETの微細化によって進められてきた。ゲート長が０．１５μｍ以下のMOSFETを実現するためには、ソース/ドレインの接合深さを60ｎｍ以下に浅くする必要がある。そのために、例えば、AsやBF$_2$のエネルギーを５KeVまで下げて素子を試作した例が、1994アイイーイーイー、エレクトロンデバイセズ、ミーティング、テクニカルダイジェスト、485頁(1994IEEE Electron Devices Meeting, Technical Digest, p.485)において、報告されている。
【０００３】図2は本発明者等が本発明に先立って検討した従来法による相補型MOSFET（CMOSFETとも言う）を形成するためのプロセスフローの一例を示したものである。図２において、図面に付された記号（番号）を用いた具体的な名称の説明はここでは省略するが、本発明の実施例の中で用いられている記号（番号）と同一記号（番号）は同一名称を示す。
【０００４】図２において、ゲート電極加工を行った後（図２(a)）に、エネルギー5KeVのAsあるいはBF$_2$を1x10^{14}ｃｍ$^{-2}$～1x10^{15}ｃｍ$^{-2}$のドーズ量でイオン注入し、浅い拡散層(110,113)を形成する（図２(b)及び図２(c)。続いて、酸化膜サイドウオールスペーサ(122)を形成し、エネルギー25-40ＫｅＶのAsあるいはBF$_2$を1x10^{15}ｃｍ$^{-2}$以上のドーズ量でイオン注入し、深い拡散層(115,117)を形成する（図２(d)及び図２(e)。この層は、通常、メタルコンタクトをとりやすくするために0.1μｍ以上の深さに形成される。このような構造では、上記の浅い拡散層は、深い拡散層がゲート側に浅く延びた構造から、エクステンション(extension)と呼ばれる。また、イオン打ち込み後の熱処理（アニール）は、短時間熱処理法（ＲＴＡ，Rapid Thermal Annealing)が不純物の異常拡散を抑制するために用いられる。
【０００５】そして、それぞれの深い拡散層には、たとえばシリサイド層(118)を介してAl配線が接続される（図２(f)）。
【０００６】
【発明が解決しようとする課題】ところが、浅い拡散層の　注入エネルギーを20KeV以下に下げると、図3に示すように、不純物の埋め込み深さが浅くなるとともに、ゲート電極直下のチャネル領域への回り込み量も小さくなるため、低抵抗のエクステンション高濃度(≧1x10^{19}ｃｍ$^{-3}$)部と反転層チャネルとの間がオフセットするようになる。ゲート端直下の拡散層は特に電流が集中する部分であり、ここでの高抵抗化は、ソース/ドレイン寄生抵抗の大きな増加を招く。図4は、このことを示す我々の実験結果の一例である。ソース/ドレイン寄生抵抗は、深い拡散層部の抵抗Rdeep、浅い拡散層部の抵抗Rext.、及び、ゲート端直下の拡散層抵抗Redge（拡がり抵抗とも呼ばれる成分）からなる。Asエネルギーを下げるに従って、特にRedgeが増加している。このことから、低エネルギーイオン注入を用いて試作した素子の電流駆動能力は小さいのが現状であった。すなわち、浅接合化により微細化しても十分な電流駆動能力の向上が得られない状況にあった。
【０００７】
【課題を解決するための手段】上記の問題を解決するためには、エクステンション部（領域）のイオン注入を20°程度傾けて行うことで、エクステンションの高濃度（≧1x10^{19}cm^{-3})部分が反転層とオーバーラップした構造を実現すればよい。

【０００８】図5は、不純物ドーピング濃度と抵抗率との関係を示したものである（Physicsand Technology of Semiconductor Devices, John Wiley & Sons, 113頁）。不純物濃度が$1x10^{19}cm^{-3}$以上に高濃度であれば、抵抗率は$10^{-2}\Omega cm$以下となる。ここで、ソース／ドレインの電流集中部(ゲート端直下の拡散層部分）の深さと長さを約10ｎｍとすると、拡がり抵抗は、上記の場合、100Ωμｍ以下となる。反対に、$1x10^{18}cm^{-3}$程度に低くければ、300-500Ωμｍにまで増大する。これは、飽和ドレイン電流を2割以上減少させてしまう。このことから、高電流駆動能力を得るための設計指針として、ゲート端直下の拡散層の不純物濃度が$１ｘ１０^{19}ｃｍ^{-3}$以上であるという条件が得られる。

【０００９】一方、図6は、ゲートエッジ直下の拡散層の表面付近のAs濃度のイオン注入角度依存性を示したシミュレーション結果である。イオン注入を10°以上傾けて行うことでゲート端直下の拡散層の不純物濃度が$1x10^{19}ｃｍ^{-3}$以上となる、言い換えると、高濃度（$\geqq 1x10^{19}cm^{-3}$)部分が反転層とオーバーラップした構造が実現でき、寄生抵抗を低減できる。ただし、注入角度を45°以上に大きくした場合、ゲートとソース/ドレイン間のオーバーラップ容量が大きくなるため、回路の高速動作に好ましくない。好適な注入角度は、エネルギーに依存するが、20°から30°である。さらに、斜め注入することは、イオンチャネリングを抑制する等、浅接合形成にも有効である。

【００１０】ここで、イオンを傾けて注入する公知の方法との差異について述べておく。例えば、米国特許第５270226号において、LDD(Lightly doped drain)構造を形成するためのP　注入を20-60°に傾けて行う方法が開示されている。P　注入を20-60°に傾けて行うことで、LDD層はゲートと十分にオーバーラップして内側に形成されるため、深い拡散層(As注入層）を、シングルドレイン構造と同様に形成して、電流駆動能力を高めると同時に、LDD構造に特有なホットキャリヤ耐性の向上が実現できるとされている。このときP注入層の濃度は、ドレイン電界緩和のために$10^{18}cm^{-3}$オーダに低く設定されている。（典型的な注入条件は、80 KeV, $4x10^{13}cm^{-2}$,45°）また、As注入は、高ドーズ(>$1x10^{15}$ cm^{-2})高エネルギー(>20 KeV)の条件で、傾けることなく、行われている。（上記特許公報Fig.4-7 参照）

一方、ゲート長０．１５μｍ以下のSi-MOSFETにおいては、電源電圧2V以下での使用が考えられるため、ホットキャリヤ耐性を優先したLDD構造でなく、電流駆動能力を優先したエクステンション構造が実用化されると予想される。本発明では、斜め注入を、$10^{19}cm^{-3}$以上に高濃度でかつ浅い(60nm以下）エクステンション形成のための、低エネルギー(<20 KeV)のAs（pチャネルMOSFETの場合はBF2、あるいはB）イオン注入に対して用いている。これによって初めて、ゲート長０．１５μｍ以下のMOSFETの高電流駆動能力化が可能となる。

【００１１】さらに、実施例でも述べるように、スクリーン酸化膜を通して斜めイオン注入する記載は上記公知例には見あたらないが、スクリーン酸化膜を用いた場合、特に本発明の効果は顕著である。従って、スクリーン酸化膜を通して斜めイオン注入する点も本発明と公知例との重要な差違である。

【００１２】

【発明の実施の形態】

（実施例１）本発明を用いて高速のCMOS回路(CMOSIC)を実現した例について図１を用いて説明する。まず、p型(100結晶面)Si基板10にドライエッチングにより深さ0.3μmの浅溝を掘り、これにCVD酸化膜を埋めることにより、素子分離領域（浅溝分離領域）11を形成した。次に、高エネルギーのイオン注入により、p型ウエル12、および、n型ウエル13領域を形成した（図1(a)）。続いて、厚さ4nmのゲート酸化膜を形成後、厚さ100nmの非晶質Si膜を形成し、nMOS形成領域には、Pイオンを、pMOS形成領域には、Bイオンを、10KeV以下の低エネルギーでイオン注入することにより、不純物ドーピングを行い、n+多結晶Siゲート15、p+多結晶Siゲート16を形成した。ここで、非晶質Si膜を用いるのは、イオンチャネリングによって、不純物がゲート酸化膜下のチャネル領域に漏れるのを防止するためである。次に、CVD-SiO_2膜17を堆積した後、ドライエッチングによりゲート電極を加工した（図1(a)）。

【００１３】次に、厚さ5nmのスクリーン酸化膜(SiO_2)121を形成した後、通常のホトレジスト18をマスクに用い、nMOS形成領域には、Asイオン19を、pMOS形成領域には、BF2イオン111を、10KeVのエネルギーで、垂直入射からゲート電極側に30°傾けて(図１(a),(b)それぞれに示された矢印参照）、$3x10^{14}$ cm^{-2}イオン注入することにより、そのゲート電極に整合（自己整合）された浅いソース／ドレインn型拡散層110(図１(b)）及び浅いソース／ドレインp型拡散層(113（図１(c))を形成した。このイオン注入にあたっては、ソース／ドレインの対称性を保持するために、基板を自転させながら注入を行った。したがって、矢印19及び矢印111に示したように左右対称角度から不純物イオンが打ち込まれることになる。

【００１４】なお、注入された不純物の電気的活性化のために、950℃、5秒の短時間アニール(RTA:Rapid Thermal Annealing)を用いた（図1(b)(c)）。この方法では、ゲート電極側面にも不純物が注入されるがゲートの電気的特性を変えるほどの悪影響は及ぼさない。

【００１５】上記のスクリーン酸化膜は、イオン注入時の汚染がSi基板中に入るのを防止するためにゲート電極加工後に必須な絶縁膜と考えるが、前述した拡散層高濃度部と反転層とのオフセットを大きくする問題もある。従って、本発明の斜め注入法は、厚さ１０nm以下の絶縁

膜膜と組み合わせた場合特に有効となる。この絶縁膜は窒化膜(Si_3N_4)の適用も可能である。

【００１６】続いて、上記のスクリーン酸化膜を除去した後、CVD-SiO_2膜を堆積し、このCVD-SiO_2膜を異方性ドライエッチングにより、ゲートサイドウオールスペーサ122を形成する。そして、 nMOS形成領域には、Asイオン114を、pMOS形成領域には、BF2イオン116を、25-40KeVエネルギーでイオン注入することにより、そのゲートサイドウオールスペーサ122に整合（自己整合）された深いソース／ドレインn型拡散層115及び深いソース／ドレインp型拡散層117をそれぞれ形成した（図１(d),(e)）。なお、ここで再び、950℃、5秒のRTAを用いた。その後、ソース/ドレイン、及び、ゲート上にTiシリサイド層118及び119の如き低抵抗化のための電極層をコンタクト（接続）させ、通常の層間絶縁膜123、そしてその電極層に接続するAl配線120を形成して、CMOS回路を形成した。

【００１７】本発明による、n MOSFETおよびpMOSFETそれぞれのソース／ドレイン寄生抵抗は、250(および、500)Ωμｍであり、ゲート長0.1μｍの1.5Vにおける飽和ドレイン電流は、0.55(および、0.35)mA/μｍに達した。その結果、無負荷のCMOSリングオッシレータで測定したゲート遅延時間は10ps以下となった。

【００１８】（実施例２）次に、本発明を用いて高速のDRAM周辺回路を実現した例について図7を用いて説明する。まず、実施例１と同様にして、素子分離領域11、および、ウエル領域12,13、を形成した。続いて、厚さ5nmのゲート酸化膜14を形成後、厚さ50nmの非晶質Si膜を形成し、nMOS形成領域には、Pイオンを、pMOS形成領域には、Bイオンを、5KeV以下の低エネルギーでイオン注入することにより、不純物ドーピングを行い、n+多結晶Siゲート15、 p+多結晶Siゲート16を形成した。次に、TiN膜71、W膜72、CVD-SiN膜73を堆積した後、ドライエッチングによりゲート電極を加工した（図8(a)）。

【００１９】次に、本発明の方法を用いて、nMOS形成領域には、Asイオン19を、pMOS形成領域には、BF2イオン111を、10KeVのエネルギーで、垂直入射からゲート電極側に20° 傾けて、$5x10^{14}$ cm^{-2}イオン注入することにより、浅いソース／ドレインn型p型拡散層(110及び113)を形成した。ソース／ドレインの対称性を保持するために、基板を自転させながら注入を行った。なお、注入された不純物の電気的活性化のために、950℃、10秒の短時間アニール(RTA:Rapid Thermal Annealing)を用いた（図8(b)(c)）。続いて、厚さ50 nmのCVD-SiN膜74堆積後、層間絶縁膜123を堆積し、コンタクト穴85形成を経て、CVD-TiNプラグ78を用いたAl配線79形成工程を行い、DRAM用の周辺回路を形成した。なお、 CVD-TiNプラグ形成前には、AsあるいはBF2イオンを、20-40KeVのエネルギーで、$1x10^{15}$ cm^{-2}程度イオン注入し、RTAを行い、さらに、薄膜CVD-Tiを堆積するという、コンタクト抵抗低減のための処理を行った。

【００２０】本実施例の周辺回路用CMOSは、ソース/ドレイン拡散層が、50nm程度に浅く、ゲート長0.15μｍ以下のMOSFETが動作し、さらに、寄生抵抗が低減されたために、高速CMOS並みの電流駆動能力を実現した。この結果、DRAMのアクセス時間低減に有効であることを確認した。

【００２１】

【発明の効果】本発明によれば、接合深さ60ｎｍ以下の浅いソース/ドレイン拡散層の寄生抵抗成分を１００Ωμｍ程度に低減することができ、ゲート長0.15μｍ以下のSi-MOSFETの電流駆動能力を高めることができる。その結果、高速低消費電力のCMOS回路が実現できる。これは、高速のRISCプロセッサや高速DRAMの実現に有効である。

【図面の簡単な説明】

【図１】本発明の一実施例を示す断面図である。

【図２】発明者等によって検討された従来のプロセスフローを示す断面図である。

【図３】発明者等によって検討されたソース/ドレイン拡散層の不純物２次元分布を示す断面図である。

【図４】発明者等によって検討されたMOSFET寄生抵抗の注入エネルギー依存性を示す図である。

【図５】不純物ドーピング濃度と抵抗率との関係を示す図である。

【図６】本発明に係わるゲート端直下の不純物濃度のイオン注入角度依存性を示す図である。

【図７】本発明の一実施例を示す断面図である。

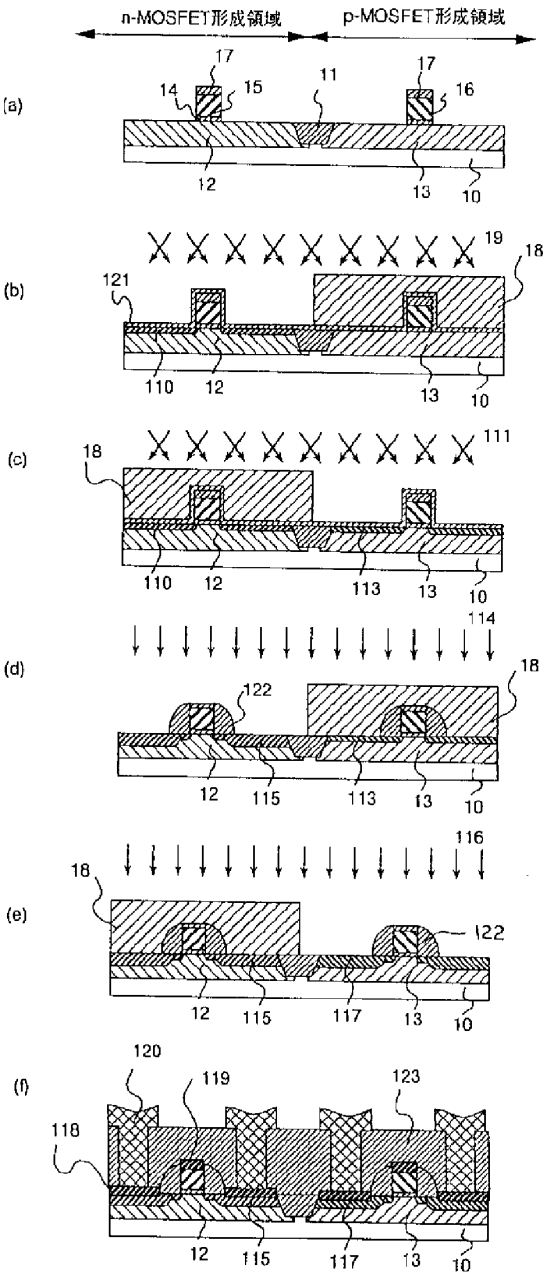
【符号の説明】

10---p型(100)Si基板
11---素子分離領域
12---ｐ型ウエル
13---n型ウエル
14---ゲート酸化膜
15---n+ poly-Siゲート
16---p+ poly-Siゲート
17---CVD-SiO_2膜
18---ホトレジスト
19---Asイオン
110--浅いソース/ドレインn型拡散層
111--BF_2イオン
112--スクリーン酸化膜
113--浅いソース/ドレインp型拡散層
114--Asイオン
115--深いソース/ドレインn型拡散層
116--BF_2イオン
117--深いソース/ドレインp型拡散層
118--ソース/ドレイン上シリサイド層
119--ゲート上シリサイド層
121--スクリーン酸化膜

120--Al配線
122--サイドウオールスペーサ
123--層間絶縁膜。

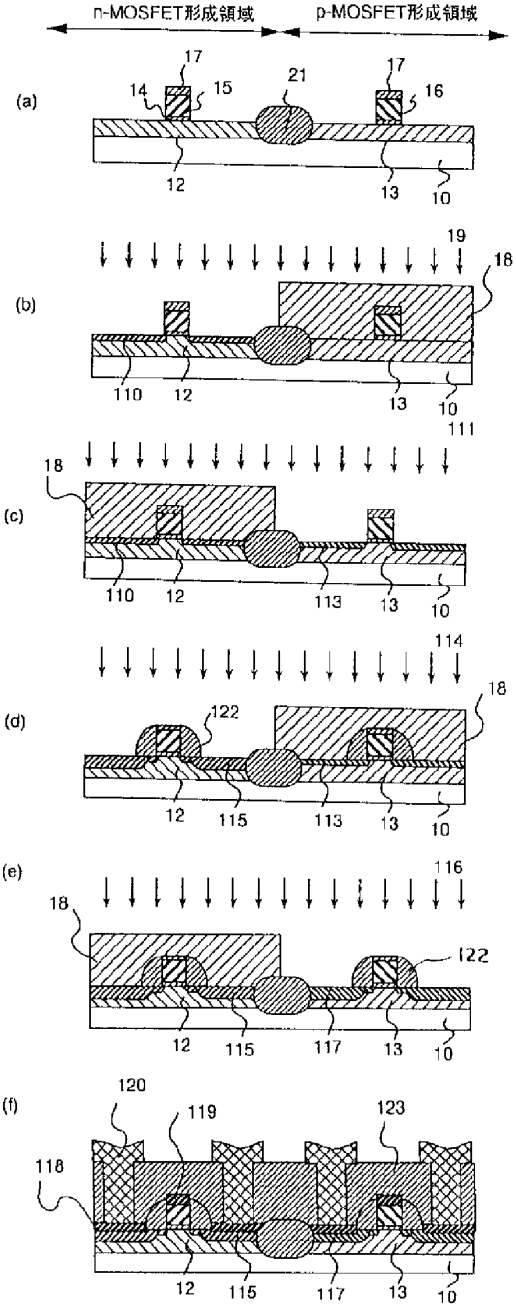
【図１】

図1



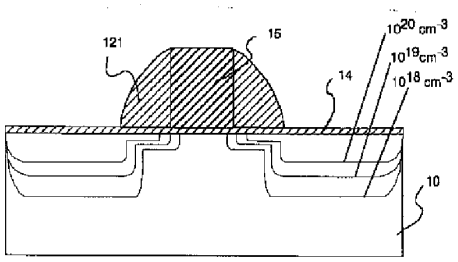
【図２】

図2



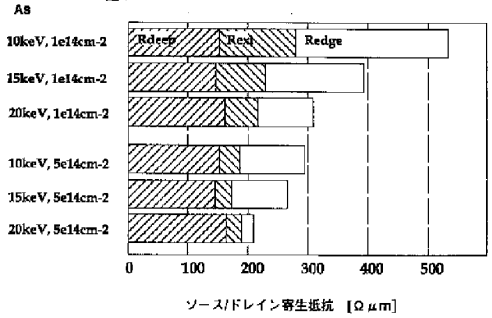
【図３】

図３



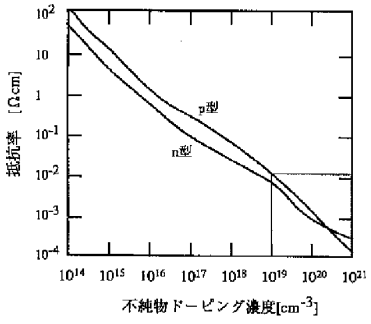
【図４】

図４



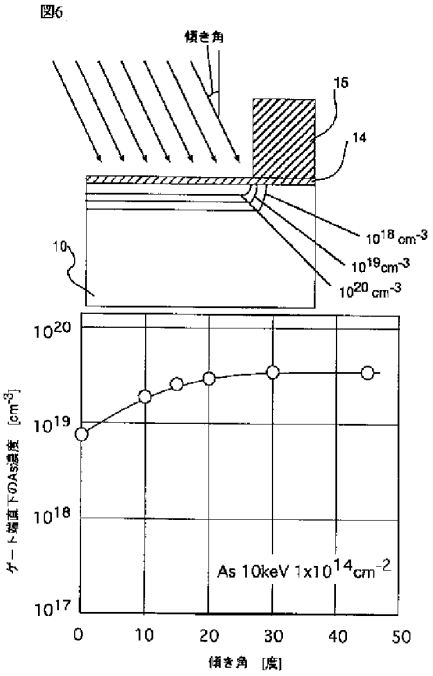
【図５】

図５



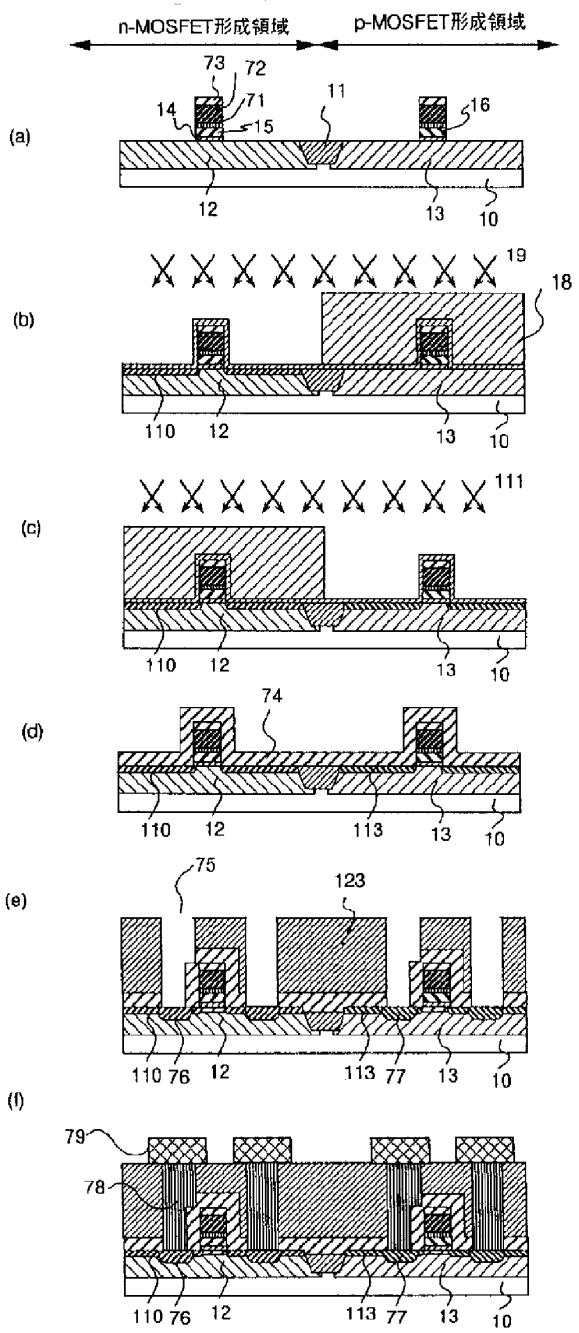
【図６】

図６



【図７】

図7


n-MOSFET形成領域
p-MOSFET形成領域
(a)
(b)
(c)
(d)
(e)
(f)
73
72
71
14
15
11
16
12
13
10
19
18
110
111
74
113
75
123
76
77
79
78

Espacenet

Bibliographic data: JPS6313379 (A) — 1988-01-20

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Inventor(s): TAKAHASHI TSUNEO; ISHII HITOSHI ± (TAKAHASHI TSUNEO, ; ISHII HITOSHI)

Applicant(s): NIPPON TELEGRAPH & TELEPHONE ± (NIPPON TELEGR & TELEPH CORP <NTT>)

Classification: - international: ***H01L21/336; H01L21/8234; H01L27/088; H01L29/78;*** (IPC1-7): H01L27/08; H01L29/78
- cooperative: **H01L29/41783 (EP); H01L29/66477 (EP); H01L29/66636 (EP)**

Application number: JP19860156182 19860704

Priority number (s): JP19860156182 19860704

Abstract of JPS6313379 (A)

PURPOSE:To form shallow source-drain having low resistance by constituting the source and the drain of films mainly comprising germanium or the mixed crystal of germanium and silicon. CONSTITUTION:An insulating film 5 for isolating elements and a gate insulating film 2 are formed, a semiconductor film such as a P-doped or As-doped polycrystalline Si film is shaped as a gate electrode, and the gate electrode 3 is patterned. The patterned gate electrode is thermally oxidized, thus forming structure in which the gate electrode 3 is coated with an insulating film 6. An oxide film on regions as source-drain is removed with directional properties through a reactive ion etching method, etc., and the gate side-wall insulating film 6 is left. An oxide film 6A is also left on the gate electrode 3 at that time. Si in source-drain forming regions is etched through the selective etching of Si. N-type Ge layers 7 are grown selectively only on Si through a CVD method using GeH4 gas or GeCl4 and H2 gas.

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION JPS6313379A

[0001]

[Industrial Application Field] The present invention relates to an MO8 type semiconductor device and a method for manufacturing the same. [Conventional Technique] FIG. 9 shows a conventionally used MOS transistor. A gate electrode 3 made of polycrystalline St is formed on the main surface of the silicon (Si) substrate 1 via a gate insulating film 1 made of 8102 or the like. Reference numeral 4 denotes a source and drain layer composed of a St layer (n-type S1 layer) to which a Group V element giving an n-type such as A8 or P is added as an impurity if it is an n-channel. After forming the gate electrode 3, the gate electrode It is formed by ion-implanting A3 or P with 3 as a mask and then heat-treating at a temperature of 900'Ca degrees. Reference numeral 5 denotes an element separation insulating film made of a thick SiO2 film or the like. [Problems to be Solved by the Invention] It is difficult to make the depth of the source / drain layer formed as described above shallow. As a result, especially in a (fine MOS) Langista with a short gate φ channel length, the vertical dimension becomes extremely large compared to the horizontal dimension, and good operating characteristics cannot be obtained (for example, applied solid). -State φScience Subliment 2 A (1981) "Fix on MOS Transistor J (J, R0Brews +""Ph7sys ofMO8Transistor "+ in D, Kahngh Ed, + Applied 5olid 5time)). Further, since the gate electrode must be a mask for forming the source / drain layer, a thickness of 300 nrn to 500 nm or more is usually required, which increases the unevenness of the element structure. Wiring becomes difficult. Further, since heat treatment at about 900 ° C. is required to form the source / drain layer, the gate electrode and the gate insulating film must withstand this. Therefore, a metal such as At, which has a low resistivity but a low heat resistance, or'razos, which has a high dielectric constant but a low heat resistance, cannot be used as a gate electrode or a gate insulating film. Moreover, the mobility of the carrier during st is not large. Therefore, the resistance of the source or drain layer formed by ion-implanting Al1 or the like into the Si substrate is high, and the characteristics of the MO3 element are deteriorated. As a means for realizing a shallow and low resistance source / drain layer, it has been conventionally proposed to form a low resistance metal or metal silicide layer on the ion-implanted layer of silicide or drain.

However, in this method, the contact resistance between the ion-implanted layer and the metal or metal silicide layer becomes a problem, and especially when the MOS element is made into waste paper and the ion-implanted layer is made shallow, the influence is large, and the source / drain layer It has been reported that it has no effect on the reduction of resistance of (IEEE) Lansations on-Electron Debide Maze Vol. 29, No. 4, p. 651, 1982 (D, B, 5cott et, al ,. IEEE Transactions on Electron Devicea+Vol . 29 . No、4 . P255 . 1982)). [Means for Solving Problems] In the semiconductor device of the present invention, as a source / drain layer, instead of a layer formed by injecting impurity ions into a semiconductor substrate such as St, germanium (Ge) doped with impurities or A film containing a mixed crystal of Ge and st as a main component is used. Further, in the production method of the present invention, the side wall of the gate electrode is covered with an insulating film, the source and drain forming regions are removed by etching, and a film containing ae or a mixed crystal of Ge and St as a main component. Is what forms. [Action] Go has a higher carrier mobility than St, so that the resistance of the source / drain layer is low. Further, the depth of the source / drain layer can be controlled by the etching of the substrate, and can be formed shallow. Further, since the source / drain formation temperature can be lowered to about t-300 ° C., a gate insulating film or a gate electrode having low heat resistance can be used, and a selfaline process can be used. Further, by making the source / drain layer thicker upward, the resistance of the source / drain layer can be further reduced and the element structure can be flattened. The same is true when a mixed crystal of Go and st is used for

the GeO generation. [Example] (Example 1) FIG. 1 is a cross-sectional view showing an embodiment when the present invention is applied to an n-channel MO8 transistor. The same symbols as those in FIG. 9 indicate the same parts, where 1 is a Si substrate, 2 is a gate insulating film made of Si O2, 3 is a gate electrode made of polycrystalline Si, and 5 is an insulating film for element separation made of Sigh. .. Reference numeral 6 is a gate sidewall insulating film, and 7 is an n-type Ge layer. The feature of this structure is that GeNr is used as the source / drain layer. First, the operating principle of the n-channel MO8 transistor of this embodiment will be described. FIG. 2 (-) is an energy band diagram of the source-channel (under the gate electrode) -drain when the potential of the gate electrode 3 is controlled and the channel is turned off (here, for the sake of simplicity, the source). φ drain is the same potential).

Similar to the conventional MO8O8 type engineer, the electrons in the conduction band of the source region composed of n-type Ge cannot cross the potential barrier between the source channels, so even if a voltage is applied between the source and drain. No current flows. Next, when the potential of the gate is controlled so that the channel is turned on, a band diagram as shown in FIG. 2B is obtained. A discontinuity of about 0.1 eV remains between the source or drain and the conduction band of the channel, but the height of the barrier is small, so if a voltage is applied between the source and drain, Current will flow. That is, the transistor according to the present invention operates in almost the same manner as the conventional S n-channel MO8 type transistor. Here, in addition, a band diagram having a discontinuity as shown in FIG. 2 is obtained when the band gaps between aS and st are about 0.67 eV and about 1.11 eV, respectively, and the electron affinity is ae. This is because it is about 0.1 eV larger than si. The discontinuity of the 0.1 eV conduction band of the Ge-8 top junction is due to this difference in electron affinity. Next, a method for forming such an MO8 transistor structure according to the present invention will be described. First, a method for forming a Ge film will be described. When the St substrate is processed in an atmosphere containing GeH4 gas by the CVD method, the Ge film can be selectively epitaxially grown only on the St substrate at a substrate temperature of about 250 ° C. or higher, for example, insulation such as a SiO □ film. G on the film. Does not accumulate. Further, when a gas having a group V element such as PHs gas or AsH3 gas as a constituent element is introduced together with the GeH4 gas, a group V element such as P or A3 can be added to the Ge film. A Ge film is obtained. Even if PH3 or As H3 gas is introduced in this way, there is no change in selective growth only on Si. Selective shrimp growth of Ge on S1 is also possible by using GeCL <and H2 gas. However, in that case, it is necessary to first introduce G6H4 gas to perform Ge nucleation. The growth temperature is slightly higher than that when GeH4 gas is used, and needs to be 400 ° C. or higher. Next, the manufacturing process of the transistor of this embodiment using the selective epitaxial growth of Go will be described. As shown in FIG. 3 (,), after forming the element separation insulating film 5 and the gate insulating film 2 in the same manner as in the normal manufacturing process of the MO8O8 type engineer, the gate electrode is, for example, P-doped or As-doped. A crystalline Si film is formed and the gate electrode 3 is patterned. 0 Next, for example, by thermally oxidizing the gate electrode 3, a structure in which the gate electrode 3 is covered with the insulating film 6 as shown in FIG. 3 (b) is formed. ..

Next, the oxide film on the region (source / drain forming region) that becomes the source / drain in a directional manner is removed by a known reactive ion etching method or the like, and the gate side wall insulation is performed as shown in FIG. 3 (c). Leave the film 6 at this time. The oxide film 6A is also left on the gate electrode 3. During thermal oxidation, the oxide film on the gate electrode 3 made of polycrystalline St is formed thicker than the oxide film on the SI substrate (on the source / drain formation region), so that it is oxidized on the gate electrode 3 by reactive ion etching. It is possible to leave the membrane 6A. Next, as shown in FIG. 3D, the St of the source / drain forming region is etched by the selective etching of Si. After that, the structure shown in FIG. 3 (e) is obtained by selectively growing #) n-type Ge / 17 only on St by the CVD method using Ge H4 gas or Ge C14 and H2 gas described above. The feature of this structure is that, as described above, the formation temperature of the source / drain can be easily set to about 500 ° C. or lower, and the depth of the source / drain layer is equal to the etching depth of SI. By controlling the etching rate and time of Si, it can be easily made shallow. By the way, assuming that the oxide film 6A on the upper part of the gate electrode 3 is removed during the etching of the oxide film on the source / drain forming region in the step of FIG. 3 (e), the next step of etching. Then, the polycrystalline Si constituting the gate electrode 3 is also etched. At this time, if all the polycrystalline Sts are not etched, the ae layer 7A is also deposited on the gate electrode 3 as shown in FIG. 4 after the next Go shrimp growth. There is no functional problem with this structure, but a large step is generated between the gate electrode and the source or drain, which is disadvantageous when forming the wiring layer of the next layer. In order to avoid this, as described above, an insulating film having a thickness capable of withstanding etching may be formed on the gate electrode before forming the pattern of the gate electrode. Therefore, a method of forming a special insulating film (12) on the gate electrode as in the embodiment shown in FIG. 6 may be adopted. In the above step, ion implantation is not used for forming the source fist drain, and the gate electrode 3 does not need to be a mask for ion implantation. Therefore, the thickness thereof can be freely selected within a range in which the resistance does not increase by tb. Further, the thickness of the Ge layer 7 can be arbitrarily set in the upward direction by controlling the deposition rate and the time.

Therefore, the insulating film for element separation 5. Gate electrode 3. By appropriately selecting the thickness of the source / drain Ge layer T, a flat structure as shown in FIG. 5 can be obtained. By doing so, the formation of the wiring layer of the next

layer can be facilitated, and by making the Ge layer 7t-thick, the resistance of the sisource drain can be further reduced. In addition, Ge has higher electron mobility than st, for example, when the concentration of n-type impurities is iQ "cm-". When the resistance of Si is 6X10 1jcm and the lever of Go is about 1.5x10-3Qcm and the impurity concentration is 1o2offi-3, Go is about 3.5X10 and G for St about 7x10Q100. -And a low resistance source / drain is obtained. Further, if the structure is as shown in FIG. 5, a thick source / drain layer can be formed while keeping the depth of the source / drain shallow, and the resistance can be further reduced. Further, the contact resistance does not become a problem as in the method of forming the metal or the metal silicide layer on the ion-implanted layer of the source / drain as described above. Next, in this structure, how shallow the depth of the source / drain can be described will be described. The depth of the source / drain is determined by the etching depth of the St substrate shown in FIG. 3 (d). At this time, if the source and drain regions do not reach directly below the gate electrode 3, the NIO3 transistor will growl and the characteristics of the NIO3 transistor will deteriorate. Therefore, if Si etching is performed completely isotropically, it is sufficient that the etching depth of st is slightly deeper than the thickness of the gate side wall insulating film 6. Since the gate sidewall insulating film can be reduced to 1 ° nm and 8 ° C, the depth of the source and drain can also be reduced to about 10 nm. In this way, the resistance of the source cloud drain is lowered, and the depth is shallow? What you can do has the following table advantages. In other words, if the resistance of the source and drain can be lowered, the high frequency characteristics (or dynamic characteristics) of the MO8 transistor become good 9, and the response speed becomes high, so that a high-speed circuit can be constructed. Further, if the depth of the diffusion layer can be made shallow, the known short channel effect is less likely to occur. Therefore, even if a short-channel fine MO8 transistor is formed, the stability and reproducibility of its characteristics may be lost. Instead, an element that operates at high speed will be created. (Example 2) In the above-described example, the case where polycrystalline S1 is used as the gate electrode is shown.

However, in the above embodiment, the substrate is heat-treated at 700 ° C to 900 ° C. or higher during the formation of polycrystailine Si, and the gate oxide film must withstand this temperature. Therefore, next, a process in which a gate insulating film having low heat resistance and a gate electrode can be used will be described with reference to FIG. A gate electrode (a conductive material layer) 11 is formed on the gate insulating film 2 formed in a normal process, and then an insulating film 12 such as an oxide film or a nitride film is formed (FIG. 6A). .. As described above, the insulating film t2 ensures that the insulating film is also on the gate electrode when the insulating film on the source / drain forming region is removed by reactive ion etching while leaving the gate side wall insulating film. It was formed to remain in the. Next, the pattern of the gate electrode 11 is formed (FIG. 6 (b)), and the insulating film 13 is formed by a method such as a CVD method in which the film is also deposited on the side wall of the gate electrode 11 (FIG. 6 (b)). FIG. 6 (C). Next, the insulating film 13 and the gate insulating film 2 on the source / drain forming region are removed in a directional manner by 1-reactive ion etching or the like (FIG. 6 (d)). Next, if the St substrate 1 is etched and then the n-type Ga layer 7 is epitaxially grown by GeH4 or G6C24 and H in the same manner as shown in FIG. 3, Cre is not deposited on the insulating film. A structure as shown in Fig. 7 can be obtained. As described above, since the insulating film 13 is deposited by the CVD method or the like, it is not necessary to use polycrystalline Si as the gate power source 3. Further, even in this step, the formation temperature of the source / drain layer can be set to 500 ° C. or lower (up to 300 ° C.), so a high dielectric constant insulating film such as Ta205 having low heat resistance is used as the gate insulating film 2. It is possible to use (and) a metal having low heat resistance and high conductivity such as L as the gate electrode 11, and to form an MO8 transistor in the cellarin step. In this case as well, it goes without saying that the source / drain layer can be made shallow, and the element characteristics can be significantly improved as compared with all conventional MOS transistors. That is, since the transmission conductance gm that determines the element performance of the MO8 transistor is proportional to the dielectric constant of the gate insulating film, the larger the dielectric constant of the gate insulating film, the better. Further, when the resistance of the gate electrode is as low as possible, the effect of the parasitic resistance is reduced and the high frequency characteristic (or dynamic characteristic) is improved. However, in the conventional MO8 type transistor forming process, the heat treatment temperature after ion injection of the source association drain is as high as 900 °, so it has a dielectric constant much higher than 5iCh (dielectric constant 3.9) but is heat resistant. It was not possible to use Ta203 (dielectric constant 30), which has low properties, or At, which has low resistance but low heat resistance.

On the other hand, in the above-mentioned forming step, it is sufficient to have a heat resistance of 400'C food change, so that'ra, o. And At can be used. Furthermore, by utilizing the fact that the threshold voltage of the MO8 transistor changes when the work function of the gate electrode changes, the transistor characteristics can be optimized by selecting the gate electrode material. Can only be used for polycrystalline S1 or refractory metals (Mo, Ta, etc.), but according to the present invention, there are many rare earth metals such as pistrasse having a high work function and La having a low work function. There is also the advantage that different types of metals can be used. It is also possible to use oxides such as strontium, other carified films, or semiconductors (semi-insulating) such as GhAB as a substitute for Ta2os. Although the same as in the first embodiment, in this embodiment as well, since the Ge layer can be formed thick in the upward direction, the source-drain resistance can be further reduced. Further, by making the Ge layer thicker, it is possible to make the shape after forming the source / drain almost flat, and it has a feature that the formation of the wiring layer of the next layer becomes easy. (Example 3) Although the example in

which the n-type Ge layer is used as the source / drain has been described above, the same effect can be obtained even if the Ge layer is a mixed crystal of Ge and St. Even if an element of the same family 1 such as carbon or tin is mixed in the Ge film in an amount of about 1 to 2%, almost the same element can be obtained. As a method for epitaxially growing a Ge-8i mixed crystal, for example, there is a CVD method using a gas containing Ge as a constituent element such as GeH4 and a gas containing St such as SiH4 or Si2H6 as a constituent element. For example, GeH4 gas and S! 2 In the method using Ig gas, it is necessary to raise the film formation temperature in order to increase the concentration of Si (that is, increase the ratio of 5izHs gas). -As an example, when the ratio of si to Go is set to I: process degree, about 600 " C. or higher is required. By the way, since the Ge-8i mixed crystal is also deposited on the insulating film as a polycrystalline film or an amorphous film, the selfaline step as shown in FIG. 3 or 6 cannot be used. -Therefore, after depositing the Ge-5t mixed crystal, unnecessary Ge-81 mixed crystal may be removed by performing known photography and etching, or by utilizing lift-off.

Next, an example of removing unnecessary Ge-81 mixed crystals only by etching without using phosphorography will be described with reference to FIG. 'After forming the insulating film 13 on the side wall of the gate electrode in the same step as shown in FIG. 6, the st substrate in the source / drain forming region is further selected and etched (FIG. 8A). Next, Ge-5t mixed crystals are deposited by the method described above. In this case, since the Ge-8i mixed crystal is also deposited on the insulating material, the Ge-8t mixed crystal layer 21 is formed on the entire surface (FIG. 8 (b)). Next K, a highly fluid material such as resist 22 is applied onto this to make the surface flat (Fig. 8 (C)), and then uniformly etched from the surface by a known ion sputtering method, and the gate electrode 11 is used. By removing the Go-8t mixed crystal layer 21 above, the structure shown in FIG. 8D can be obtained. The resist 22 is then removed. Therefore, if this method is used, a Ge-8t mixed crystal layer can be formed in the source / drain region by the cell solution step. The n-channel MO8 transistor using the St substrate has been described above as an example, but the p-channel MO8 transistor is also a mixture of KGe or Ge and si when another substrate such as GaAs is used. It is possible to form a source / drain containing crystals as the main component. [Effects of the Invention] As described above, according to the present invention, a film containing a mixed crystal of Ge or ae and St, which has a high carrier mobility, as a main component can be used as a source / drain. Since a shallow and low resistance source / drain can be formed, and a gate insulating film having a high dielectric constant even if the heat resistance is low or a gate electrode material having a high conductivity even if the heat resistance is low can be used. An MO8 type transistor having a large transmission conductance gm and good high frequency characteristics can be formed. Further, since the source / drain can be formed shallowly, a short channel effect is generated <<, and the cellar line process can also be used, so that a fine MO8 type transistor can be formed. Further, the element structure can be easily flattened to easily form a wiring layer or the like of the next layer, and a high-density and high-speed integrated circuit can be formed.

[0002]

A brief description of the drawing

[0003]

FIG. 1 is a cross-sectional view of an n-channel MO8 type transistor showing an embodiment of the present invention, FIG. 2 is an energy band diagram for explaining its operation, and FIG. 3 is a process sectional view showing an example of a manufacturing method. 4 and 5 are cross-sectional views showing modified examples, FIG. 6 is a process cross-sectional view showing a second embodiment of the present invention, and FIG. 7 is a cross-sectional view of an n-channel MO8 type transistor, FIG. The figure is a cross-sectional view of a process showing a third embodiment of the present invention, and FIG. 9 is a cross-sectional view showing a conventional example.

1.φ ... Si substrate, 2 ... Gate insulating film, 3.11 ... Gate electrode, 6.13- ... Gate side wall insulating film, 7 ... Ge layer, 21 ... .. Ge-8t mixed crystal layer.

Patent applicant Nippon Telegraph and Telephone Corporation's representative Masaki Yamakawa (1 other person) Fig. 1 Fig. 2 C-chome ... - Y) Fig. 3 Fig. 5 Fig. 6 Fig. 8 Fig. 9

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS JPS6313379A

1.

In a semiconductor device including a gate electrode formed on a substrate via a gate insulating film and a source and a drain formed on a semiconductor substrate by sandwiching the gate electrode, the source and drain are germanium or a mixture of germanium and silicon. A semiconductor device characterized by being composed of a film containing crystals as a main component. (2) The semiconductor device according to claim 1, wherein the gate insulating film is an insulating film having a lower heat resistance and a higher dielectric constant than a silicon oxide film. (3) The semiconductor device according to claim 1, wherein the gate electrode is made of metal or metal silicide. (4) A step of forming a gate electrode on a semiconductor substrate via a gate insulating film, a step of forming an insulating film on the side wall of the gate electrode, and a step of removing the semiconductor substrate in the source and drain forming regions by etching. , A method for manufacturing a semiconductor device, which comprises a step of forming a film containing germanium or a mixed crystal of germanium and silicon as a main component in the source and drain forming regions. (5) The semiconductor device according to claim 4, wherein a film containing germanium or a mixed crystal of germanium and silicon as a main component is formed in a gas containing a gas containing germanium as a constituent element. Manufacturing method.

⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　昭63－13379

⑤Int.Cl.⁴	識別記号	庁内整理番号	㊸公開　昭和63年(1988)1月20日
H 01 L 29/78	301	S－8422－5F	
27/08	102	7735－5F	

審査請求　未請求　発明の数 2　（全8頁）

㊹発明の名称　半導体装置およびその製造方法

㉑特　願　昭61－156182

㉒出　願　昭61(1986)7月4日

㉓発明者　高橋　庸夫　神奈川県厚木市森の里若宮3番1号　日本電信電話株式会社厚木電気通信研究所内

㉓発明者　石井　仁　神奈川県厚木市森の里若宮3番1号　日本電信電話株式会社厚木電気通信研究所内

㉑出願人　日本電信電話株式会社　東京都千代田区内幸町1丁目1番6号

㉔代理人　弁理士　山川　政樹　外1名

明　細　書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 半導体基板上にゲート絶縁膜を介して形成したゲート電極と、このゲート電極を挟んで半導体基板に形成されたソースおよびドレインとを備えた半導体装置において、ソースおよびドレインをゲルマニウムまたはゲルマニウムとシリコンとの混晶を主成分とする膜によつて構成したことを特徴とする半導体装置。

(2) ゲート絶縁膜をシリコン酸化膜よりも耐熱性が低くかつ高い誘電率を有する絶縁膜としたことを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) ゲート電極を金属または金属シリサイドとしたことを特徴とする特許請求の範囲第1項記載の半導体装置。

(4) 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、このゲート電極の側壁に絶縁膜を形成する工程と、ソースおよびドレイン形成領域の半導体基板をエッチングにより除去する工程と、このソースおよびドレイン形成領域にゲルマニウムまたはゲルマニウムとシリコンとの混晶を主成分とする膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

(5) ゲルマニウムまたはゲルマニウムとシリコンとの混晶を主成分とする膜の形成をゲルマニウムを構成元素とするガスを含むガス中において行なうことを特徴とする特許請求の範囲第4項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、MOS形半導体装置およびその製造方法に関する。

〔従来の技術〕

従来用いられているMOS形トランジスタを第9図に示す。シリコン（Si）基板1の主表面上に、SiO_2等からなるゲート絶縁膜2を介して多結晶Siからなるゲート電極3が形成されている。4

はnチャネルであればAs あるいはP等のn形を与えるV族元素を不純物として添加したSi 層（n形Si 層）からなるソースおよびドレイン層で、ゲート電極3を形成した後に、ゲート電極3をマスクとしてAsまたはPをイオン注入し、その後900℃程度の温度で熱処理して形成される。5は厚いSiO₂ 膜等からなる素子分離用絶縁膜である。

〔発明が解決しようとする問題点〕

上述したようにして形成されたソース・ドレイン層は、その深さを浅くすることが困難である。その結果、特にゲート・チャネル長の短い微細なMOSトランジスタでは、横方向の寸法に比較して縦方向の寸法が極端に大きくなり、良好な動作特性を得ることができなくなる（例えばアプライド・ソリッド・ステート・サイエンスのサプリメント2A（1981年）中の「フィジクス オブ MOS トランジスタ」（J．R．Brews,"Physics of MOS Transistor"，in D. Kahng，Ed.，Applied Solid State Science，Supplement 2A，Academic Press，New York，1981））。

また、ゲート電極は、ソース・ドレイン層形成のためのマスクにならなければならないため、通常300nm～500nm以上の厚さが必要となるが、これは素子の構造の凹凸を大きくすることとなり、配線等が難しくなる。

さらに、ソース・ドレイン層形成のために、900℃程度の熱処理が必要であるため、ゲート電極およびゲート絶縁膜がこれに耐えなければならない。このため、低抵抗率であっても耐熱性の低いAℓ等の金属や、高誘電率であっても耐熱性の低いTa₂O₅ 等をゲート電極やゲート絶縁膜として使用することができない。

また、Si 中のキャリアの移動度は大きくない。したがって、Si 基板中にAs 等をイオン注入することによって形成されたソースあるいはドレイン層の抵抗は高くなり、MOS素子の特性を悪化させる。

浅くて、しかも低抵抗のソース・ドレイン層を実現する手段としては、従来よりソースあるいはドレインのイオン注入層の上に、低抵抗の金属あるいは金属シリサイド層を形成することが提案されている。しかし、この方法では、イオン注入層と金属あるいは金属シリサイド層との間のコンタクト抵抗が問題となり、特にMOS素子を微細化し、イオン注入層を浅くした場合にはその影響が大きく、ソース・ドレイン層の抵抗の低下に効果がなくなると報告されている（IEEEトランザクションズ・オン・エレクトロン・デバイスイズ29巻4号651頁、1982年（D．B．Scott et.al.，IEEE Transactions on Electron Devices，Vol．29，No.4，P651，1982））。

〔問題点を解決するための手段〕

本発明の半導体装置は、ソース・ドレイン層として、Si 等の半導体基板に不純物イオンを注入してなる層の代りに、不純物をドープしたゲルマニウム（Ge）またはGeとSiとの混晶を主成分とする膜を用いたものである。

また、本発明の製造方法は、ゲート電極の開口を絶縁膜で覆った上で、ソースおよびドレイン形成領域をエッチングで除去し、そこにGeまたはGeとSi との混晶を主成分とする膜を形成するものである。

〔作用〕

GeはSi に比較してキャリアの移動度が大きいことからソース・ドレイン層の抵抗が低くなる。

また、ソース・ドレイン層の深さは基板のエッチングで制御でき、浅く形成することが可能である。

さらに、ソース・ドレイン形成温度を300℃程度まで低くできるため、耐熱性の低いゲート絶縁膜やゲート電極を使用し、しかもセルフアライン工程が利用できる。

また、ソース・ドレイン層は上方に厚くすることにより、ソース・ドレイン層の抵抗を一層低くできるとともに素子構造の平坦化ができる。

Geの代りにGeとSi との混晶を用いた場合もほぼ同様である。

〔実施例〕

（実施例1）

第1図は本発明をnチャネルMOS形トランジスタに適用した場合の一実施例を示す断面図である。第9図と同一記号は同一部分を示し、1はSi基板、2はSiO_2からなるゲート絶縁膜、3は多結晶Siからなるゲート電極、5はSiO_2からなる素子分離用絶縁膜である。6はゲート側壁絶縁膜、7はn形Ge層である。この構造の特徴は、ソース・ドレイン層としてGe層7を用いていることにある。

まず、本実施例のnチャネルMOS形トランジスタの動作原理について説明する。

第2図(a)は、ゲート電極3の電位を制御し、チャネルをオフ状態とした際の、ソース—チャネル（ゲート電極下）—ドレインのエネルギーバンド図である（ここでは簡単のため、ソース・ドレインを同電位としてある）。従来のMOS形トランジスタと同様に、n形Geで構成されるソース領域の伝導帯にある電子は、ソース・チャネル間の電位障壁を越えられないため、ソース・ドレイン間に電圧を印加しても電流は流れない。

次に、ゲートの電位を制御して、チャネルがオン状態となるようにすると、第2図(b)に示すようなバンド図となる。ソースあるいはドレインとチャネルの伝導帯との間には、約0.1eVの不連続が残っているが、障壁の高さがわずかであるので、ソースとドレインとの間に電圧を印加すれば、電流が流れることになる。すなわち、本発明によるトランジスタも従来のSi nチャネルMOS形トランジスタとほぼ同様な動作をすることになる。ここで、つけ加えると、第2図のような不連続を有するバンド図が得られるのは、GeとSiとのバンドギャップがそれぞれ約0.67eVと約1.11eVであり、電子親和力はGeの方がSiより約0.1eV程度大きいからである。Ge—Si接合の0.1eVの伝導帯の不連続は、この電子親和力の差によるものである。

次に、このような本発明によるMOS形トランジスタ構造を形成する方法について述べる。まず、Ge膜の形成法について説明する。CVD法によりGeH_4ガスを含む雰囲気中でSi基板を処理すると、基板温度約250℃以上で、Ge膜をSi基板上にのみ選択的にエピタキシャル成長させることができ、例えばSiO_2膜のような絶縁膜上にはGeは堆積しない。また、GeH_4ガスといっしょに、例えばPH_3ガスあるいはAsH_3ガス等のV族元素を構成元素とするガスを導入すると、Ge膜中にPあるいはAs等のV族元素を添加できることになり、n形Ge膜が得られる。このようにPH_3やAsH_3ガスを導入しても、Si上のみに選択成長することに変わりはない。また、Si上へのGeの選択エピ成長は、$GeCl_4$とH_2ガスを用いることによっても可能である。ただし、その際には、最初にGeH_4ガスを導入して、Geの核形成を行なっておく必要がある。また、成長温度は、GeH_4ガスを用いた場合より少し高く、400℃以上必要である。

次に、このGeの選択エピタキシャル成長を用いた本実施例のトランジスタの製造工程について説明する。第3図(a)に示すように、通常のMOS形トランジスタの製造工程と同様に、素子分離用絶縁膜5およびゲート絶縁膜2を形成した後、ゲート電極としてたとえばPドープあるいはAsドープの多結晶Si膜を形成し、ゲート電極3のパターニングを行なう。次に、例えばこれを熱酸化することにより、第3図(b)に示すようなゲート電極3を絶縁膜6で覆った構造ができる。次に、公知の反応性イオンエッチング法等により、方向性をもってソース・ドレインとなる領域（ソース・ドレイン形成領域）上の酸化膜を除去し、第3図(c)に示すようにゲート側壁絶縁膜6を残す。このとき、ゲート電極3上にも、酸化膜6Aを残すようにする。熱酸化時に、多結晶Siからなるゲート電極3上の酸化膜は、Si基板上（ソース・ドレイン形成領域上）の酸化膜より厚く形成されるため、反応性イオンエッチングによりゲート電極3上に酸化膜6Aを残すことは可能である。

次に、第3図(d)に示すように、Siの選択エッチングにより、ソース・ドレイン形成領域のSiをエッチングする。その後に、前述したGeH_4ガスあるいは$GeCl_4$とH_2ガスとを用いたCVD法に

よりn形Ge層7をSi上にのみ選択成長させ、第3図(e)の構造を得る。この構造の特徴は、前述したように、ソース・ドレインの形成温度を、容易に500℃程度以下にすることができ、また、ソース・ドレイン層の深さは、Siのエッチング深さと等しいので、Siのエッチング速度と時間とを制御することにより、容易に浅くすることができることである。

ところで、第3図(c)の工程で、ゲート電極3の上部の酸化膜6Aが、ソース・ドレイン形成領域上の酸化膜のエッチングの際に除去されてしまったとすると、次のエッチングの工程で、ゲート電極3を構成する多結晶Siもエッチングされる。このとき、多結晶Siが全部エッチングされてしまわなければ、次のGeのエピ成長後に、第4図に示すようにゲート電極3上にもGe層7Aが堆積した構造となる。この構造でも機能的に問題はないが、ゲート電極とソースあるいはドレイン間に大きな段差が生じることになり、次層の配線層形成の際に不利である。これを避けるためには、上述したようにゲート電極のパターン形成前にゲート電極上に、エッチングに耐えうる厚さの絶縁膜を形成しておけばよい。そのために、第6図に示す実施例のようにゲート電極上に特別に絶縁膜(12)を形成する方法をとつてもよい。

上記の工程では、ソース・ドレイン形成にイオン注入を用いておらず、ゲート電極3は、イオン注入のマスクとなる必要がないため、その厚さは抵抗があまり大きくならない範囲で自由に選べる。また、Ge層7の厚さは、堆積速度と時間とを制御することによつて、上方向には任意に設定できる。したがつて、素子分離用絶縁膜5，ゲート電極3，ソース・ドレインGe層7の厚さを適当に選ぶことによつて、第5図のような平坦な構造が得られることになる。こうすることにより、次層の配線層の形成が容易になり、またGe層7を厚くすることによりソース・ドレインの抵抗を一層低くすることができる。

また、GeはSiに比べ電子移動度が高く、例えばn形不純物濃度を$10^{19}cm^{-3}$とした場合で、Siの抵抗率約$6\times10^{-3}\Omega cm$に対し、Geのそれは約$1.5\times10^{-3}\Omega cm$、不純物濃度を$10^{20}cm^{-3}$とした場合で、Si約$7\times10^{-4}\Omega cm$に対しGe約$3.5\times10^{-4}\Omega cm$と、低抵抗のソース・ドレインが得られる。また、第5図のような構造とすれば、ソース・ドレインの深さは浅く保つたまま、厚いソース・ドレイン層が形成でき、なお一層の低抵抗化が可能となる。さらに、先に説明したようなソース・ドレインのイオン注入層の上に金属あるいは金属シリサイド層を形成する方法のように、コンタクト抵抗が問題となることもない。

次に、本構造において、ソース・ドレインの深さをどこまで浅くできるかについて述べる。ソース・ドレインの深さは、第3図(d)のSi基板のエッチング深さで決まる。この際、ソースとドレイン領域は、ゲート電極3直下まで達していないと、オフセットゲートとなり、MOS形トランジスタの特性が悪くなる。したがつてSiのエッチングを完全に等方的に行なえば、Siのエッチング深さは、ゲート側壁絶縁膜6の厚さよりわずかに深くすれば十分である。ゲート側壁絶縁膜厚は、10nm程度まで薄くできるので、ソース・ドレインの深さも10nm程度まで浅くすることができることになる。

このようにソース・ドレインの抵抗を低くし、またその深さを浅くできることにより、次のような利点がある。すなわち、ソース・ドレインの抵抗が低くできると、MOS形トランジスタの高周波特性（あるいは動特性）が良好になり、応答速度が速くなるため、高速回路が構成できるようになる。また、拡散層深さを浅くできると、公知の短チャネル効果が生じにくくなるので、短チャネルの微細なMOS形トランジスタを形成しても、その特性の安定性・再現性が失なわれることはなく、高速動作をする素子ができることになる。

（実施例2）

上述した実施例では、ゲート電極として多結晶Siを用いた場合について示した。しかし、上記実施例では、基板は多結晶Si形成の際に700℃～900℃以上で熱処理されることになり、ゲート

酸化膜はこの温度に耐えなければならなかつた。そこで、次に、耐熱性の低いゲート絶縁膜およびゲート電極を用いることができる工程について、第6図を用いて説明する。

通常の工程で形成したゲート絶縁膜2上に、ゲート電極（となる導電材層）11を形成し、続いて酸化膜や窒化膜等の絶縁膜12を形成する（第6図(a)）。なお、この絶縁膜12は、前述したように、ゲート側壁絶縁膜を残してソース・ドレイン形成領域上の絶縁膜を、反応性イオンエッチングにより除去する際に、ゲート電極上にも絶縁膜が確実に残るようにするために形成したものである。

次に、ゲート電極11のパターン形成を行ない（第6図(b)）、さらに、CVD法等の、ゲート電極11の側壁にも膜が堆積するような方法で、絶縁膜13を形成する（第6図(c)）。次に、反応性イオンエッチング等により、方向性をもつて、ソース・ドレイン形成領域上の絶縁膜13とゲート絶縁膜2を除去する（第6図(d)）。次いで、第3図に示したと同じ方法でSi基板1のエッチング、続いてGeH_4あるいは$GeCl_4$とH_2とによるn形Ge層7のエピタキシャル成長を行なえば、Geは絶縁膜上には堆積しないので、第7図のような構造が得られる。

このように、絶縁膜13をCVD法等により堆積させるため、ゲート電極3として多結晶Siを用いる必要がない。また、この工程でも、ソース・ドレイン層の形成温度は500℃以下（300℃程度まで）にすることができるので、耐熱性の低いTa_2O_5等の高誘電率の絶縁膜をゲート絶縁膜2として用い、かつAl等の耐熱性の低い高導電率を有する金属をゲート電極11として用い、しかもセルフアライン工程でMOS形トランジスタを構成することができる。この場合も、ソース・ドレイン層を浅くできることは言うまでもなく、素子特性を従来のMOSトランジスタに比べて著しく向上させることができる。

すなわち、MOS形トランジスタの素子性能を決定する伝達コンダクタンスg_mは、ゲート絶縁膜の誘電率に比例するため、ゲート絶縁膜の誘電率は大きいほど良い。また、ゲート電極の抵抗は、できるだけ低い方が、寄生抵抗の効果が少なくなり、高周波特性（あるいは動特性）が良好になる。しかし、従来のMOS形トランジスタの形成工程では、ソース・ドレインのイオン注入後の熱処理温度が900°程度と高いため、SiO_2（誘電率3.9）よりはるかに高い誘電率を有するが耐熱性の低いTa_2O_5（誘電率30）や低抵抗体であるが耐熱性の低いAlを用いることはできなかつた。

これに対し、上述した形成工程では400℃程度の耐熱性を有していれば十分であるので、Ta_2O_5やAlを用いることができるという利点を有する。さらに、ゲート電極の仕事関数が変化するとMOS形トランジスタの閾値電圧が変化することを利用し、ゲート電極材料の選択によつて、トランジスタ特性を最適化することができるが、その際、従来はゲート電極としては多結晶Siあるいは高融点金属（Mo、Ta等）のみしか使えなかつたが、本発明によれば、高仕事関数を有するPtシリサイドや低仕事関数を有するLa等の希土類金属等まで、多くの種類の金属を用いることができるという利点もある。なお、Ta_2O_5の代りにストロンチウム等の酸化物、その他窒化膜、あるいは$GaAs$等の半導体（半絶縁性）などを用いることも可能である。

なお、第1の実施例と同様であるが、本実施例でもGe層は、上方向には厚く形成できるので、ソース・ドレインの抵抗をさらに小さくすることもできる。また、Ge層を厚くすることで、ソース・ドレイン形成後の形状を平坦に近くすることも可能であり、次層の配線層の形成が容易になるという特徴も有している。

（実施例3）

以上、ソース・ドレインとしてn形Ge層を用いた例について示したが、Ge層を、GeとSiとの混晶としても、ほぼ同様の効果が得られる。なお、Ge膜に同族の元素、例えば炭素やスズなどが1～2%程度混入しても、ほとんど同様のものが得られる。

Ge－Si 混晶をエピタキシャル成長させる方法としては、例えばGeH_4 等のGeを構成元素とするガスと、SiH_4 や Si_2H_6 等のSi を構成元素とするガスとを用いたCVD法がある。例えば、GeH_4 ガスとSi_2H_6ガスとを用いる方法では、Si の濃度を高くする（すなわちSi_2H_6 ガスの比率を増大させる）ほど膜形成温度を高くする必要がある。一例として、Si とGe の比率を1：1程度とした場合で約600 で以上必要である。

ところで、Ge－Si 混晶は、絶縁膜上にも多結晶膜あるいは非晶質膜として堆積するので、第3図あるいは第6図に示したようなセルフアライン工程は用いることができない。したがつて、Ge－Si 混晶を堆積した後に、公知のフオトリソグラフイおよびエッチングを施すか、あるいはリフトオフを利用するなどの方法により、不要なGe－Si 混晶を除去すればよい。次に、リソグラフイを用いず、エッチングのみにより不要なGe－Si 混晶を除去する例について、第8図を用いて説明する。

第6図に示したと同様の工程でゲート電極の側壁に絶縁膜13を形成した後、さらにソース・ドレイン形成領域のSi 基板を選択エッチングする（第8図(a)）。次に、上述した方法により、Ge－Si 混晶を堆積させる。この場合、Ge－Si 混晶は絶縁物上にも堆積するので、Ge－Si 混晶層21が全面に形成される（第8図(b)）。次に、この上に流動性の高い材料、例えばレジスト22を塗布して表面を平坦にし（第8図(c)）、次いで公知のイオンスパッタ法により表面から一様にエッチングし、ゲート電極11上のGe－Si 混晶層21を除去すれば、第8図(d)のような構造が得られる。レジスト22はその後除去する。

したがつて、この方法を用いれば、セルフアライン工程により、Ge－Si 混晶層をソース・ドレイン領域に形成できることになる。

以上、Si 基板を用いたnチャネルMOS形トランジスタを例に説明したが、pチャネルMOS形トランジスタについても、またGaAs 等、他の基板を用いた場合にも、同様にGeまたはGeとSiとの混晶を主成分とするソース・ドレインを形成することが可能である。

〔発明の効果〕

以上説明したように、本発明によれば、キャリアの移動度の大きいGe またはGeとSi との混晶を主成分とする膜をソース・ドレインとして利用することにより、浅くてしかも低抵抗のソース・ドレインが形成でき、また耐熱性が低くても誘電率の高いゲート絶縁膜あるいは耐熱性が低くても導電率の高いゲート電極材料の使用が可能になることから、伝達コンダクタンスg_mの大きい、高周波特性の良好なMOS形トランジスタが形成できる。また、ソース・ドレインを浅く形成できることから短チャネル効果が生じにくく、かつセルフアライン工程の利用も可能で、微細なMOS形トランジスタが形成できる。さらに素子構造を容易に平坦化して次層の配線層等の形成を容易にでき、高密度・高速の集積回路を形成することが可能となる。

4. 図面の簡単な説明

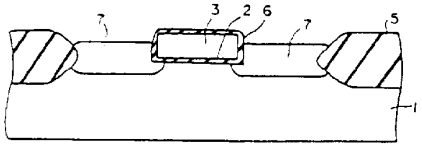
第1図は本発明の一実施例を示すnチャネルMOS形トランジスタの断面図、第2図はその動作を説明するためのエネルギーバンド図、第3図は製造方法の一例を示す工程断面図、第4図および第5図はそれぞれ変形例を示す断面図、第6図は本発明の第2の実施例を示す工程断面図、第7図は同じくnチャネルMOS形トランジスタの断面図、第8図は本発明の第3の実施例を示す工程断面図、第9図は従来例を示す断面図である。

1・・・・Si 基板、2・・・・ゲート絶縁膜、3，11・・・・ゲート電極、6，13・・・・ゲート側壁絶縁膜、7・・・・Ge 層、21・・・・Ge－Si 混晶層。

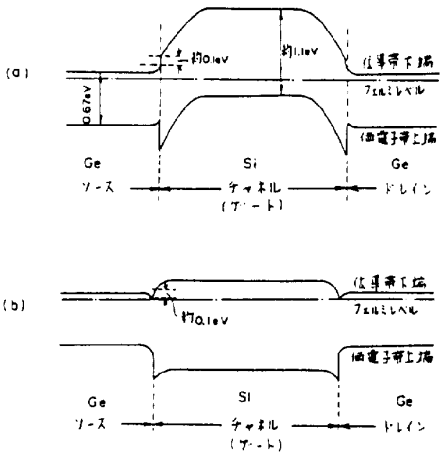
特許出願人　日本電信電話株式会社

代理人　山川政樹（ほか1名）

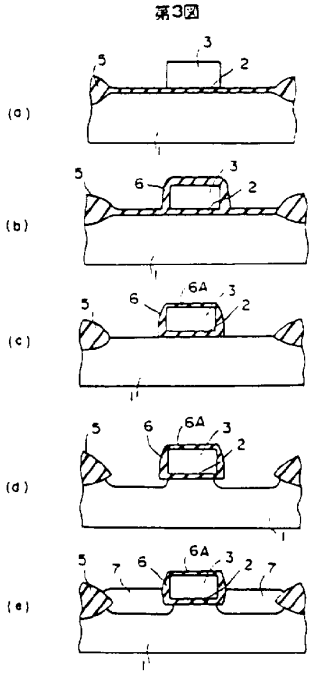
第1図



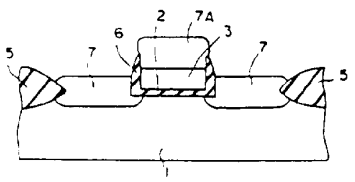
第2図



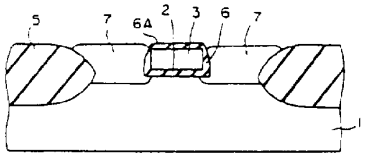
第3図



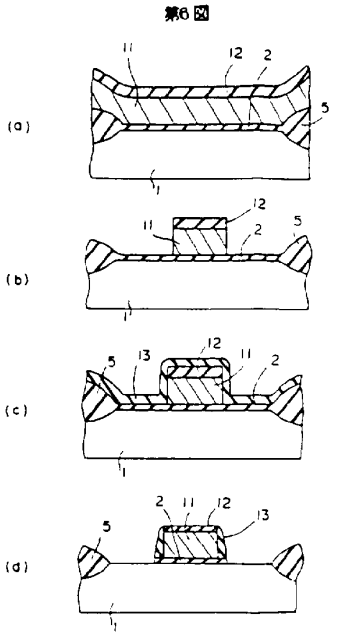
第4図



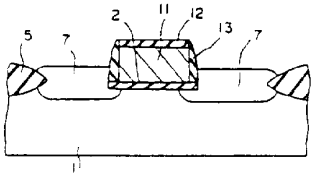
第5図



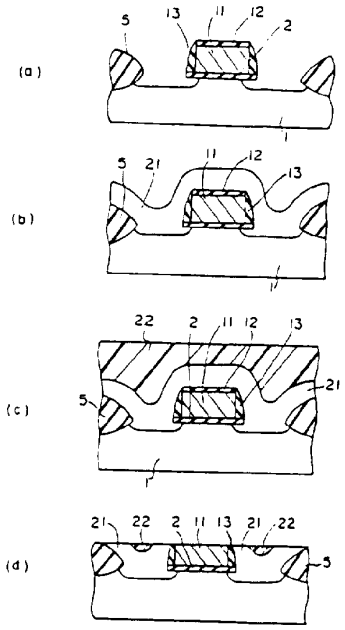
第6図



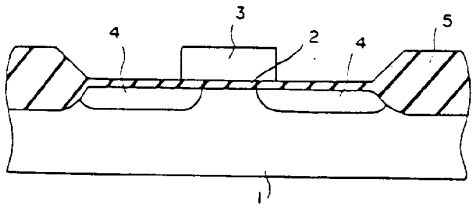
第7図



第8図


(a)
5
13
11
12
2
1
(b)
5
21
11
12
13
(c)
22
2
11
12
13
5
21
(d)
21
22
2
11
13
21
22
5

第9図


4
3
2
4
5
1

Espacenet

Bibliographic data: KR20090118935 (A) — 2009-11-18

MULTI-LAYER SOURCE/DRAIN STRESSOR

Inventor(s): ZHANG DA [CN]; DHANDAPANI VEERARAGHAVAN [IN]; GOEDEKE DARREN V [US]; HILDRETH JILL C [US] + (ZHANG DA, ; DHANDAPANI VEERARAGHAVAN, ; GOEDEKE DARREN V, ; HILDRETH JILL C)

Applicant(s): FREESCALE SEMICONDUCTOR INC [US] + (FREESCALE SEMICONDUCTOR, INC)

Classification: - international: ***H01L21/20; H01L21/336; H01L29/78***
- cooperative: **H01L29/0847 (EP, KR, US); H01L29/165 (EP, KR, US); H01L29/66348 (KR); H01L29/66636 (EP, KR, US); H01L29/7834 (EP, KR, US); H01L29/7848 (EP, KR, US)**

Application number: KR20097017031 20080124 Global Dossier

Priority number(s): US20070676114 20070216 ; WO2008US51841 20080124

Also published as: CN101578692 (A) EP2113130 (A1) EP2113130 (A4) EP2113130 (B1) JP2010519734 (A) more

Abstract of KR20090118935 (A)

A method for forming a semiconductor device (10) includes forming a recess (26) in a source region and a recess (28) in a drain region of the semiconductor device. The method further includes forming a first semiconductor material layer (32) in the recess (26) in the source region and a second semiconductor material layer (34) in the recess (28) in the drain region, wherein each of the first semiconductor material layer (32) and the second semiconductor material layer (38) are formed using a stressor material having a first ratio of an atomic concentration of a first element and an atomic concentration of a second element, wherein the first element is silicon and a first level of concentration of a doping material. The method further includes forming additional semiconductor material layers (36, 38, 40, 42) overlying the first semiconductor material layer (32) and the second semiconductor material layer (34) that have a different ratio of the atomic concentration of the first element and the second element.

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

DESCRIPTION KR20090118935A

MULTI-LAYER SOURCE/DRAIN STRESSOR

[1]

BACKGROUND ART This application relates generally to integrated circuits, and more particularly to integrated circuits having a multi-layer source/drain stressor.

[2]

One of the ways to improve the performance of N-channel and P-channel transistors is to introduce a strain into the channel. One way to introduce such strain is to remove the semiconductor material from the source/drain locations and epitaxially regrow the semiconductor material of a different composition. For example, if the initial semiconductor material and thus the channel is just silicon, one way to improve the P-channel performance is to use a combination of silicon and germanium (SiGe) in the source/drain regions that apply compressive stress to the channel.) to regrow. One of the difficulties of this approach is that the amount of stress applied depends on the concentration of germanium, and increasing the concentration of germanium can reduce the applied stress by causing the formation of defects. Additionally, as device dimensions become smaller with advances in technology, one major challenge is to maintain good performance characteristics for short channel transistors.

[3]

Accordingly, there is a need to improve methods for regrowing sources/drains to provide stress to the channel.

[4]

BRIEF DESCRIPTION OF THE DRAWINGS The invention is illustrated by way of example and not limitation by the accompanying drawings in which like reference numerals indicate like elements. Components in these drawings are shown concisely and clearly and are not necessarily to scale.

[5]

1 is a cross-sectional view of a semiconductor device in a processing step according to an embodiment of the present invention;

[6]

Fig. 2 is a cross-sectional view of the semiconductor device of Fig. 1 in a subsequent processing step;

[7]

Fig. 3 is a cross-sectional view of the semiconductor device of Fig. 2 in a subsequent processing step;

[8]

Fig. 4 is a cross-sectional view of the semiconductor device of Fig. 3 in a subsequent processing step;

[9]

Fig. 5 is a cross-sectional view of the semiconductor device of Fig. 4 in a subsequent processing step;

[10]

6 is a graph showing the relative concentration of boron in a semiconductor region of the semiconductor device of FIG. 5 including epitaxially grown regions;

[11]

7 is a graph showing a relative concentration of germanium in a semiconductor region of the semiconductor device of FIG. 5 .

[12]

In one aspect, the source/drain regions adjacent to the gate are removed and regrown using multiple layers of different semiconductor combinations. In one embodiment, the semiconductor combination is an alloy of silicon and germanium (SiGe). The first layer has a first concentration of germanium and is doped with a first concentration of boron. Growth of the first layer is terminated before defects occur. The first subsequent layer is grown at a reduced germanium concentration that will not have defects until it reaches a second thickness (the second thickness is greater than the first thickness). This first subsequent layer is grown without defects and is boron-doped with a second concentration of boron greater than the first concentration of boron. Thereafter, a second subsequent layer is grown at an increased germanium concentration compared to the first subsequent layer and is grown to a sufficiently low thickness such that almost no defects are present. The boron doping is further increased in the second subsequent layer. Thus, the first subsequent layer eliminates the concern about defects compared to the high germanium concentration layers of the first and second subsequent layers. Boron is increased with increasing distance from the channel to avoid the adverse effect of the short channel. This will be further described in the following description and drawings.

[13]

1 shows a semiconductor substrate 12, an insulating layer 14 on the substrate, a semiconductor region 16 on the insulating layer 14, a trench insulating region 18 surrounding the semiconductor region 16, a semiconductor region (16) a gate 22 overlying the central portion, sidewall spacers 24 surrounding the gate 22, an insulating cap 30 over the gate 22, a gate dielectric between the gate 22 and the semiconductor region 16; A source/drain extension 25 adjacent one side of the gate 22 on the top surface of the semiconductor region 16 , and a source/drain extension 25 on the other side of the gate 22 on the top surface of the semiconductor region 16 . A semiconductor device 10 comprising a drain extension 27 is shown.

The region between the source/drain extensions 25 and 27 , along the top surface of the semiconductor region 16 , under the gate 22 will serve as a channel. This structure of FIG. 1 forms a gate 22 , performs an implant to form source/drain extensions 25 and 27 , forms sidewall spacers 24 , and a trench isolation region 18 .), gate 22, cap 30, and sidewall spacers 24 as a mask to remove a portion of semiconductor region 16, resulting in opening 26 adjacent to gate 22 on one side and gate on the other. This is due to the fact that there is an opening 28 adjacent to 22 . This etch may be an isotropic, preferably dry isotropic etch, such that some of the openings 26 and 28 are under the sidewall spacers 24 . During this etching, the N-channel transistors are masked off and thus not etched. The sidewall spacers are shown as one material formed by conformal deposition followed by anisotropic etching, but may be formed in multiple layers and may include a liner. Alternatively, the sidewall spacers may be formed simply as liners rather than one or more sidewall spacers. One example is a nitride spacer with an oxide liner between the nitride spacer and the semiconductor region 16 as well as between the nitride spacer and the gate 22 . Semiconductor region 16 in this example is pure silicon, which may have a background doping and other dopings, such as a halo implant, as a semiconductor material. This principle can also be applied to other semiconductor materials. The thickness of the semiconductor region 16 from the insulating layer 14 to the gate dielectric 20 is, for example, about 500 Angstroms. The depth

of the openings 26 and 28 is, for example, 350 angstroms. The combination of substrate 12, insulating layer 14, and semiconductor region forms what is commonly referred to as a semiconductor on insulator (SOI) substrate.

The insulating layer 14 is commonly referred to as buried oxide (BOX). This process can also be effective for bulk silicon substrates where no insulating layer is present. The trench isolation region 18 electrically isolates the transistors or electrically isolates the transistors the trench isolation region 18 surrounds.

[14]

In FIG. 2 , the semiconductor layer 32 is epitaxially grown on the semiconductor region 16 at the opening 26 and the semiconductor layer 34 is epitaxially grown on the semiconductor region 16 at the opening 28 . A semiconductor device 10 is shown.

The semiconductor layers 32 and 34 are about 50 angstroms thick in this example and are boron-doped SiGe. The concentration of Ge is about 30% (atomic percent). This is a Si:Ge ratio of 2.3:1. The boron doping in this example ranges from about 5e19 (5x1019) atoms per cubic centimeter (atoms per cubic centimeter) to about 2e20 (2x1020) atoms/cc. 30% In germanium, semiconductor layers 32 and 34 can be grown up to 50 angstroms directly on pure silicon without the occurrence of defects. It is important to avoid defects as they tend to relax the layer in which they are present. When defects do occur, this defeats the primary purpose of the growth of the layers to create stress on the channels. The relatively high Ge % in the first grown layers (layers 32 and 34) is important when slowing the diffusion of impurities into the channel region to improve short channel device control. The reason is that the diffusivity of impurities (for example, boron) is significantly reduced in SiGe having a higher Ge% than in Si. The boron concentration of about 5e19 atoms/cc to 2e20 atoms/cc is a relatively low concentration that further reduces the diffusion of boron into the channel, thereby reducing the short channel effect. The inclusion of boron in the epitaxial growth also eliminates the need for implants. Implants also tend to produce defects of the type that should preferably be avoided as they cause slack. The thickness of layer 32 may not be uniform in the lateral and vertical directions because upward growth tends to be faster than laterally growth.

[15]

FIG. 3 shows the semiconductor device 10 after epitaxial growth of the semiconductor layer 36 on the semiconductor layer 32 and the epitaxial growth of the semiconductor layer 38 on the semiconductor layer 34 .

Semiconductor layers 36 and 38 are about 250 angstroms in this example and are also boron-doped SiGe. In this layer, the germanium content is about 25% (Si:Ge ratio of 3:1) and the boron concentration ranges from about 2e20/cc to 5e20/cc. This reduction in germanium concentration supports an increase in the stressor film thickness without causing defects. The increase in boron concentration is to increase conductivity, but also reduces the risk of short channel problems resulting from that channel. The lateral growth becomes smaller as the growth continues, and the thickness of the semiconductor layers 36 and 38 in the lateral direction is much smaller than the 250 angstrom growth in the upward direction.

[16]

FIG. 4 shows the semiconductor device 10 after epitaxial growth of the semiconductor layer 40 on the semiconductor layer 36 and the epitaxial growth of the semiconductor layer 42 on the semiconductor layer 38 .

The semiconductor layers 40 and 42 are about 300 angstroms in this example and are also boron-doped SiGe. In this layer, the germanium content is about 30% and the boron concentration ranges from about 5e20/cc to 1e21/cc. This increase in germanium concentration increases the stress generated, and semiconductor layers 40 and 42 can be thicker than semiconductor layers 32 and 34 because they are grown on SiGe instead of pure Si, and also the semiconductor layers The upper part of (40 and 42) may have defects without causing adverse effects, since the upper part is converted into a metal alloy in a subsequent step. The increased Ge and boron concentration in the top layers 40 and 42 reduces the contact resistance.

[17]

In FIG. 5 , the semiconductor device 10 is shown after converting the top of the semiconductor layers 40 and 42 to metal germanium silicide layers 44 and 46 .

This conversion to silicide on top of the source/drain region is common in the formation of contacts. The increased Ge and boron concentrations in the top layers 40 and 42 reduce the contact resistance at the silicide-semiconductor interface. If

germanium is present in the semiconductor, the metal silicide alloy will eventually contain silicon and germanium. Any defects in the semiconductor layers 40 and 42 that are ultimately consumed in the metallization process to form the metal germanium silicide layers 44 and 46 do not adversely affect them.

[18]

In FIG. 6 , a graph is shown showing the increase in the boron concentration from the top of the insulating layer 14 to the top of the semiconductor layers 40 and 42 .

An abrupt change in the boron concentration at the interface with the semiconductor layer 16 results in a better abrupt PN junction in reducing the junction capacitance as well as reducing leakage across the PN junction. It is beneficial because

[19]

7 is a graph showing the change in germanium concentration from the top of the insulating layer 14 to the top surface of the semiconductor layers 40 and 42 .

This scale does not start at zero, but shows an initial high concentration, a reduced intermediate concentration, and a final high concentration. This is an effective way to achieve the desired result of high stress in a stressor with small defects.

[20]

Therefore, by changing the concentration of germanium in the multilayer, it is possible to reduce the risk of occurrence of defects while allowing the stressor to provide greater stress.

Its effectiveness depends on both the concentration of germanium and the thickness chosen. As the concentration of germanium increases, its thickness will need to be reduced, especially for concentrations above 30%. If higher concentrations are used, it may be advantageous to provide additional layers to alter the concentration of germanium. Also, by increasing the concentration of boron as layers are added, good conductivity is obtained while reducing the risk of short channel effects.

[21]

Hereinafter, a method of forming a semiconductor device will be described.

The method includes forming a recess in a source region and forming a recess in a drain region of a semiconductor device; forming a first semiconductor material in the source region and a second semiconductor material layer in the recess of the drain region, forming a third semiconductor material and a fifth semiconductor material; forming a third layer of semiconductor material overlying the first layer of semiconductor material and forming a fourth layer of semiconductor material overlying the second layer of semiconductor material; and forming a fifth semiconductor material layer overlying the third semiconductor material layer and forming a sixth semiconductor material layer overlying the fourth semiconductor material layer. The step of forming the first and second semiconductor material layers may further include: each of the first semiconductor material layer and the second semiconductor material layer having a first ratio between the atomic concentration of the first element and the atomic concentration of the second element, it is formed using a stressor material having a first level of concentration of a doping material, and the first element is silicon. The step of forming the third and fourth semiconductor layers also includes, wherein each of the third semiconductor material layer and the fourth semiconductor material layer has a second ratio between the atomic concentration of the first element and the atomic concentration of the second element, the second ratio higher than this first ratio, wherein each of the third and fourth layers of semiconductor material has a second concentration level of the doping material, wherein the second concentration level of the doping material is higher than the first concentration level of the doping material. do. The step of forming the fifth and sixth semiconductor material layers may further include: each of the fifth semiconductor material layer and the sixth semiconductor material layer having a third ratio between the atomic concentration of the first element and the atomic concentration of the second element; the ratio is lower than the second ratio, each of the fifth and sixth semiconductor material layers having a third concentration level of the doping material, the third concentration level of the doping material being higher than the second concentration level of the doping material do it with The method is also characterized in that the stressor material is an alloy of silicon and germanium and the second element is germanium.

The method is also characterized in that the doping material is one or more of the group V elements of the periodic table. The method is also characterized in that the first ratio between the atomic concentration of the first element and the atomic concentration of the second element is about 2.3:1. The method is also characterized in that the doping material is boron, and

the first concentration level of the doping material is from about 5e19 atoms/cm3 to about 2e20 atoms/cm3. The method is also characterized in that the second ratio between the atomic concentration of the first element and the atomic concentration of the second element is about 3.0:1. The method is also characterized in that the doping material is boron, and the second concentration level of the doping material is from about 2e20 atoms/cm3 to 5e20 atoms/cm3. The method is also characterized in that a third ratio between the atomic concentration of the first element and the atomic concentration of the second element is about 2.3:1. The method is also characterized in that the doping material is boron, and the third concentration level of the doping material is in the range of about 5e20 atoms/cm3 to 1e21 atoms/cm3.

[22]

The method may further include: forming a recess in a source region and forming a recess in a drain region of the semiconductor device; forming a first layer of semiconductor material in the recess in the source region and forming a second layer of semiconductor material in the recess in the drain region; forming a third layer of semiconductor material overlying the first layer of semiconductor material and forming a fourth layer of semiconductor material overlying the second layer of semiconductor material; and forming a fifth semiconductor material layer overlying the third semiconductor material layer and forming a sixth semiconductor material layer overlying the fourth semiconductor material layer.

The step of forming the first and second layers of semiconductor material may also include forming a stressor material, each of the first and second layers of semiconductor material having a first ratio between the atomic concentration of the first element and the atomic concentration of the second element. and wherein the first element is silicon, and each of the first semiconductor material layer and the second semiconductor material layer has a first concentration level of the doping material. The step of forming the third and fourth semiconductor material layers may also include: each of the third semiconductor material layer and the fourth semiconductor material layer having a second concentration level of the doping material, and the second concentration level of the doping material being the second concentration level of the doping material. It is characterized in that it is higher than 1 concentration level. The step of forming the fifth and sixth semiconductor material layers may also include: each of the fifth semiconductor material layer and the sixth semiconductor material layer having a third concentration level of the doping material, and the third concentration level of the doping material being the third concentration level of the doping material. It is characterized in that it is higher than 2 concentration levels. The method is also characterized in that the doping material is one or more of the group V elements of the periodic table. The method is also characterized in that the doping material is boron, and the first concentration level of the doping material is from about 5e19 atoms/cm3 to about 2e20 atoms/cm3. The method is also characterized in that the second concentration level of the doping material is from about 2e20 atoms/cm3 to 5e20 atoms/cm3. The method is also characterized in that the third concentration level of the doping material is within a range from about 5e20 atoms/cm3 to 1e21 atoms/cm3.

[23]

It also includes a first layer of semiconductor material in the recess of the source region and a second layer of semiconductor material in the recess of the drain region; a third layer of semiconductor material overlying the first layer of semiconductor material and a fourth layer of semiconducting material overlying the second layer of semiconducting material; and a fifth semiconductor material layer overlying the third semiconductor material layer and a sixth semiconductor material layer overlying the fourth semiconductor material layer.

The first and second layers of semiconductor material also include a first concentration level of the doping material, each of the first and second semiconductor material layers having a first ratio between the atomic concentration of the first element and the atomic concentration of the second element. It is formed using a siressor material having a, characterized in that the first element is silicon. The third and fourth layers of semiconductor material also include, wherein each of the layer of third and fourth semiconductor material has a second ratio between the atomic concentration of the first element and the atomic concentration of the second element, the second ratio being the first ratio, wherein each of the third semiconductor material layer and the fourth semiconductor material layer has a second concentration level of the doping material, and the second concentration level of the doping material is higher than the first concentration level of the doping material. The fifth and sixth layers of semiconductor material also include, wherein each of the fifth and sixth semiconductor material layers has a third ratio between the atomic concentration of the first element and the atomic concentration of the second element, the third ratio being the second ratio, wherein each of the fifth semiconductor material layer and the sixth semiconductor material layer has a third concentration level of the doping material, and the third concentration level of the doping material is higher than the second concentration level of the doping material. The semiconductor device is also characterized in that the stressor material is an alloy of silicon and germanium and the second element is germanium. The semiconductor device is also characterized in that the doping material is one or more of the group V elements of the periodic table. The semiconductor device is also characterized

in that the first ratio between the atomic concentration of the first element and the atomic concentration of the second element is about 2.3:1. The semiconductor device is also characterized in that the doping material is boron, the first concentration level of the doping material is from about 5e19 atoms/cm3 to about 2e20 atoms/cm3, and the second concentration level of the doping material is about 2e20 atoms/cm3 to 5e20 atoms/cm3 cm3, characterized in that the third concentration level of the doping material is in the range of about 5e20 atoms/cm3 to 1e21 atoms/cm3.

The semiconductor device is also characterized in that the second ratio between the atomic concentration of the first element and the atomic concentration of the second element is about 3.0:1.

[24]

Although the present invention has been described herein with reference to specific embodiments, various modifications and changes can be made without departing from the scope of the invention as set forth in the following claims.

For example, rather than adding stress to the P-channel transistors, stress may be added to the N-channel transistors by applying a tensile stress to the channels of the N-channel transistors in a manner similar to providing source/drain stressors. have. This can be achieved by regrowing silicon carbon and providing the desired stress by varying the concentration of carbon in the different layers while avoiding the occurrence of defects. It may also be beneficial to increase the N-channel impurity in the layers in a manner similar to increasing the boron impurity for P-channel transistors. This may be less necessary when the impurity is arsenic due to the low diffusion rate of arsenic, but there are still some advantages. Accordingly, the specification and drawings are to be regarded in an illustrative rather than a restrictive sense, and all such modifications are intended to be included within the scope of the present invention. Any solutions, advantages or benefits of the problems described herein in connection with the specific embodiments are not intended to be construed as critical, necessary or essential features or constituents of any or all claims of the present invention. does not

[25]

Moreover, as used herein, a term such as "a" ("a" or "an") is defined as one or more rather than one.

Also, the use of introductory phrases such as "at least one" and "one or more" in the claims indicates that the same claim includes introductory phrases such as "one or more" or "at least one" and "an The introduction of another claim element by indefinite articles such as "a", even when including indefinite articles such as "a", makes any particular claim that includes such introduced claim element include only one such element. It should not be construed as limiting the inventions. The same applies to definite articles.

[26]

Unless otherwise noted, terms such as "first" and "second" are used to distinguish any distinction between the elements to which these terms refer.

Accordingly, these terms are not intended to indicate a temporal or other priority of their components.

Patent Translate
Powered by EPO and Google

Notice

This translation is machine-generated. It cannot be guaranteed that it is intelligible, accurate, complete, reliable or fit for specific purposes. Critical decisions, such as commercially relevant or financial decisions, should not be based on machine-translation output.

CLAIMS KR20090118935A

1.

A method of forming a semiconductor device, comprising:

forming a recess in a source region and forming a recess in a drain region of the semiconductor device;

forming a first layer of semiconductor material in the recess in the source region and a second layer of semiconductor material in the recess in the drain region - the first layer of semiconductor material and the second semiconductor material Each of the material layers has a first ratio between the atomic concentration of the first element and the atomic concentration of the second element and has a stressor material having a first level of concentration of a doping material (a stressor material, wherein the first element is silicon;

forming a third layer of semiconductor material overlying the first layer of semiconductor material and forming a fourth layer of semiconducting material overlying the second layer of semiconductor material, wherein each of the layer of third semiconductor material and the layer of fourth semiconductor material comprises the a second ratio between the atomic concentration of the first element and the atomic concentration of the second element, wherein the second ratio is higher than the first ratio, and wherein each of the third semiconductor material layer and the fourth semiconductor material layer is doped a second concentration level of the material, the second concentration level of the doping material being higher than the first concentration level of the doping material; and

forming a fifth semiconductor material layer overlying the third semiconductor material layer and forming a sixth semiconductor material layer overlying the fourth semiconductor material layer, each of the fifth semiconductor material layer and the sixth semiconductor material layer comprising the a third ratio between the atomic concentration of the first element and the atomic concentration of the second element, wherein the third ratio is lower than the second ratio, wherein each of the fifth semiconductor material layer and the sixth semiconductor material layer is doped having a third concentration level of the material, wherein the third concentration level of the doping material is higher than the second concentration level of the doping material;

A method of forming a semiconductor device.

2.

According to claim 1,

wherein the stressor material is an alloy of silicon and germanium, and the second element is germanium.

3.

According to claim 1,

The doping material is one or more of a group V element.

4.

The method of claim 3,

A first ratio between the atomic concentration of the first element and the atomic concentration of the second element is about 2.3:1.

5.

4. The method of claim 3,

wherein the doping material is boron, and the first concentration level of the doping material is from about 5e19 atoms/cm3 to about 2e20 atoms/cm3.

6.

4. The method of claim 3,

and a second ratio between the atomic concentration of the first element and the atomic concentration of the second element is about 3.0:1.

7.

4. The method of claim 3,

wherein the doping material is boron and the second concentration level of the doping material is from about 2e20 atoms/cm3 to 5e20 atoms/cm3.

8.

4. The method of claim 3,

and a third ratio between the atomic concentration of the first element and the atomic concentration of the second element is about 2.3:1.

9.

4. The method of claim 3,

wherein the doping material is boron, and the third concentration level of the doping material is in a range from about 5e20 atoms/cm3 to 1e21 atoms/cm3.

10.

A method of forming a semiconductor device, comprising:

forming a recess in a source region and a recess in a drain region of the semiconductor device;

forming a first layer of semiconductor material in a recess in the source region and a second layer of semiconductor material in a recess in the drain region, each of the first semiconductor material layer and the second semiconductor material layer being formed using a stressor material having a first ratio between an atomic concentration of one element and an atomic concentration of a second element, wherein the first element is silicon, and each of the first semiconductor material layer and the second semiconductor material layer is doped having a first concentration level of the substance;

forming a third layer of semiconductor material overlying the first layer of semiconductor material and forming a fourth layer of semiconducting material overlying the second layer of semiconductor material, wherein each of the layer of third semiconductor material and the layer of fourth semiconductor material comprises the having a second concentration level of a doping material, the second concentration level of the doping material being higher than the first concentration level of the doping material; and

forming a fifth semiconductor material layer overlying the third semiconductor material layer and forming a sixth semiconductor material layer overlying the fourth semiconductor material layer, each of the fifth semiconductor material layer and the sixth