



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/722,125	11/03/2015	9178056	74735/163	4586

130036 7590 10/14/2015
IIPH2 [54361] c/o Stoel Rives LLP 130036
201 South Main Street, Suite 1100, One Utah Center
Salt Lake City, UT 84111

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 22 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Yoshihiro TAKAISHI, Tokyo, JAPAN;
PS4 LUXCO S.A.R.L., LUXEMBOURG, LUXEMBOURG

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail** **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

130036 7590 07/02/2015
IIPH2 [54361] c/o Stoel Rives LLP 130036
201 South Main Street, Suite 1100, One Utah Center
Salt Lake City, UT 84111

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/722,125	12/20/2012	Yoshihiro TAKAISHI	LL12P00415US0	4586

TITLE OF INVENTION: SEMICONDUCTOR DEVICE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$960	\$0	\$0	\$960	10/02/2015

EXAMINER	ART UNIT	CLASS-SUBCLASS
COLEMAN, WILLIAM D	2823	257-334000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

- (1) The names of up to 3 registered patent attorneys or agents OR, alternatively, 1 _____
- (2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 _____
- 3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

PS4 Luxco S.a.r.l.

Luxembourg, LU

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

- ☒ Issue Fee
- ☐ Publication Fee (No small entity discount permitted)
- ☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

- ☐ A check is enclosed.
- ☒ Payment by credit card. ~~XXXXXXXXXXXX~~
- ☒ The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number 502375 (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- ☐ Applicant certifying micro entity status. See 37 CFR 1.29
- ☐ Applicant asserting small entity status. See 37 CFR 1.27
- ☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Joseph J. Hawkins/

Date September 28, 2015

Typed or printed name Joseph J. Hawkins

Registration No. 63,194

Electronic Patent Application Fee Transmittal

Application Number:	13722125			
Filing Date:	20-Dec-2012			
Title of Invention:	SEMICONDUCTOR DEVICE			
First Named Inventor/Applicant Name:	Yoshihiro TAKAISHI			
Filer:	Joseph Jackson Hawkins/Janet Wilson			
Attorney Docket Number:	LL12P00415US0			
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl Issue Fee	1501	1	960	960

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				960

Electronic Acknowledgement Receipt

EFS ID:	23619517
Application Number:	13722125
International Application Number:	
Confirmation Number:	4586
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Yoshihiro TAKAISHI
Customer Number:	130036
Filer:	Joseph Jackson Hawkins/Janet Wilson
Filer Authorized By:	Joseph Jackson Hawkins
Attorney Docket Number:	LL12P00415US0
Receipt Date:	28-SEP-2015
Filing Date:	20-DEC-2012
Time Stamp:	14:46:55
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$960
RAM confirmation Number	1163
Deposit Account	502375
Authorized User	HAWKINS, JOSEPH J.

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination process fees)

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	2015_09_28_PartB.pdf	87506	no	1
			cd60975cd858e7fb4820325a34ada0fb04e3511d		
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	30642	no	2
			41ac2c85f2fadf328125f249aa494c7d5f0a60c		
Warnings:					
Information:					
Total Files Size (in bytes):			118148		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

130036 7590 07/02/2015
IIPH2 [54361] c/o Stoel Rives LLP 130036
201 South Main Street, Suite 1100, One Utah Center
Salt Lake City, UT 84111

EXAMINER

COLEMAN, WILLIAM D

ART UNIT

PAPER NUMBER

2823

DATE MAILED: 07/02/2015

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

13/722,125

12/20/2012

Yoshihiro TAKAISHI

LL12P00415US0

4586

TITLE OF INVENTION: SEMICONDUCTOR DEVICE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$960	\$0	\$0	\$960	10/02/2015

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail** **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax **(571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

130036 7590 07/02/2015
IIPH2 [54361] c/o Stoel Rives LLP 130036
201 South Main Street, Suite 1100, One Utah Center
Salt Lake City, UT 84111

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/722,125	12/20/2012	Yoshihiro TAKAISHI	LL12P00415US0	4586

TITLE OF INVENTION: SEMICONDUCTOR DEVICE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$960	\$0	\$0	\$960	10/02/2015

EXAMINER	ART UNIT	CLASS-SUBCLASS
COLEMAN, WILLIAM D	2823	257-334000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363). ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached. ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.	2. For printing on the patent front page, list (1) The names of up to 3 registered patent attorneys or agents OR, alternatively, 1 _____ (2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 _____ 3 _____
---	---

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

- ☐ Issue Fee
☐ Publication Fee (No small entity discount permitted)
☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

- ☐ A check is enclosed.
☐ Payment by credit card. Form PTO-2038 is attached.
☐ The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- ☐ Applicant certifying micro entity status. See 37 CFR 1.29
☐ Applicant asserting small entity status. See 37 CFR 1.27
☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____
Typed or printed name _____ Registration No. _____



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/722,125	12/20/2012	Yoshihiro TAKAISHI	LL12P00415US0	4586

130036	7590	07/02/2015
IIPH2 [54361] c/o Stoel Rives LLP 130036 201 South Main Street, Suite 1100, One Utah Center Salt Lake City, UT 84111		

EXAMINER	
COLEMAN, WILLIAM D	

ART UNIT	PAPER NUMBER
2823	

DATE MAILED: 07/02/2015

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 13/722,125	Applicant(s) TAKAISHI, YOSHIHIRO	
	Examiner W DAVID COLEMAN	Art Unit 2823	AIA (First Inventor to File) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to June 12, 2015.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.
2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
3. ☒ The allowed claim(s) is/are 1-8 and 10-20. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.
4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

- a) ☒ All b) ☐ Some *c) ☐ None of the:
1. ☒ Certified copies of the priority documents have been received.
 2. ☐ Certified copies of the priority documents have been received in Application No. _____.
 3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.

THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.
Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|--|--|
| 1. ☒ Notice of References Cited (PTO-892) | 5. ☐ Examiner's Amendment/Comment |
| 2. ☐ Information Disclosure Statements (PTO/SB/08),
Paper No./Mail Date _____ | 6. ☒ Examiner's Statement of Reasons for Allowance |
| 3. ☐ Examiner's Comment Regarding Requirement for Deposit
of Biological Material | 7. ☐ Other _____. |
| 4. ☐ Interview Summary (PTO-413),
Paper No./Mail Date _____. | |

Art Unit: 2823

1. The present application is being examined under the pre-AIA first to invent provisions.

DETAILED ACTION

Terminal Disclaimer

The terminal disclaimer filed March 26, 2015 and approved on April 1, 2015 is not required because copending Application No. 12/212,364 was abandoned as of February 23, 2011.

Allowable Subject Matter

2. Claims 1-8 and 10-20 allowed.
3. The following is an examiner's statement of reasons for allowance: the prior art does not anticipate nor render obviousness with respect to a semiconductor device comprising amongst other limitations: a conductive plug provided to stand from the semiconductor substrate and connected to the diffusion layer of the plurality of vertical transistors...and a dummy pillar provided to stand from the semiconductor substrate and comprising, over a side surface of the dummy pillar.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to W DAVID COLEMAN whose telephone number is (571)272-1856. The examiner can normally be reached on Monday-Friday 9:00 AM - 5:30 PM.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Olik Chaudhuri can be reached on 571-272-9820. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/W DAVID COLEMAN/
Primary Examiner, Art Unit 2823

Notice of References Cited	Application/Control No. 13/722,125	Applicant(s)/Patent Under Reexamination TAKAISHI, YOSHIHIRO	
	Examiner W DAVID COLEMAN	Art Unit 2823	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-2015/0084122	03-2015	TAKAISHI, Yoshihiro	257/330
	B	US-			
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 4586

SERIAL NUMBER 13/722,125	FILING or 371(c) DATE 12/20/2012 RULE	CLASS 257	GROUP ART UNIT 2823	ATTORNEY DOCKET NO. LL12P00415US0		
APPLICANTS PS4 LUXCO S.A.R.L., LUXEMBOURG, LUXEMBOURG INVENTORS Yoshihiro TAKAISHI, Tokyo, JAPAN; ** CONTINUING DATA ***** ** FOREIGN APPLICATIONS ***** JAPAN 2011-285544 12/27/2011 ** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** 02/09/2013						
Foreign Priority claimed ☒ Yes ☐ No 35 USC 119(a-d) conditions met ☒ Yes ☐ No Verified and Acknowledged <u>/W DAVID COLEMAN/</u> Examiner's Signature		☐ Met after Allowance <u>/WDC/</u> Initials	STATE OR COUNTRY JAPAN	SHEETS DRAWINGS 10	TOTAL CLAIMS 20	INDEPENDENT CLAIMS 3
ADDRESS IIPH2 [54361] c/o Stoel Rives LLP 130036 201 South Main Street, Suite 1100, One Utah Center Salt Lake City, UT 84111 UNITED STATES						
TITLE SEMICONDUCTOR DEVICE						
FILING FEE RECEIVED 1260	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:		☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit			

Search Notes 	Application/Control No. 13722125	Applicant(s)/Patent Under Reexamination TAKAISHI, YOSHIHIRO
	Examiner DAMON HILLMAN	Art Unit 2891

CPC- SEARCHED		
Symbol	Date	Examiner
H01L 29/78; H01L 29/7813	08/20/2014	/WDC/
H01L 29/7813; H01L 29/66666; H01L 29/7827; H01L 27/088 H01L 21/823487	06/22/2015	/WDC/

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
257	334	11/17/2013	D.H.
438	268	08/20/2014	/WDC/

SEARCH NOTES		
Search Notes	Date	Examiner
EAST	11/17/2013	D.H.
PALM	11/17/2013	D.H.
Classification Home Page	11/17/2013	D.H.
EAST ver. 3.2.0 USPGPUBS; USPAT; EPO; JPO; Derwent; IBMTDB; text search; interference search	06/22/2015	/WDC/

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner
H01L	29/7813	06/22/2015	/WDC/

	/WILLIAM D COLEMAN/ Primary Examiner.Art Unit 2823
--	---

OK TO ENTER: /W.D.C./

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Confirmation No. 4586

Yoshihiro TAKAISHI

Application No. 13/722,125

Filed: December 20, 2012

For: **SEMICONDUCTOR DEVICE**

Group Art Unit: 2823

Examiner: Coleman, William D.

Docket No. LL12P00415US0

Date: June 12, 2015

RESPONSE AFTER FINAL UNDER 37 C.F.R. § 1.116

TO THE COMMISSIONER FOR PATENTS:

This paper is being filed in response to the Final Office Action of January 29, 2015 and the Response After Final mailed on March 30, 2015, and includes:

A **Listing of Claims** that begins on page 2;

An **Examiner Interview Summary** that begins on page 7; and

Remarks that begin on page 8.

OK TO ENTER: /W.D.C./

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	213085	pillar	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:32
S2	1124	silicon adj plug	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:32
S3	54	S1 and S2	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:32
S4	2519	(438/268).OCLS.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:32
S5	0	conductive adj padt	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:33
S6	16535	conductive adj pad	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:33
S7	6	S4 and S6	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:33
S8	589912	interconnect	US-PGPUB;	OR	OFF	2014/08/20

			USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			06:34
S9	238	S4 and S8	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:34
S10	36642	multiple adj vias or multiple adj holes or multiple adj openings	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:36
S11	0	S5 and S10	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:36
S12	2	conductive adj pad near4 (multiple adj vias or multiple adj holes or multiple adj openings)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:37
S13	405950	fuse or anti adj fuse	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:38
S14	571	S6 and S13	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:38
S15	3653087	semiconductor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:39
S16	305	S14 and S15	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT;	OR	OFF	2014/08/20 06:39

			IBM_TDB			
S17	6815	vertical adj transistor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:40
S18	0	S16 and S17	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:40
S19	0	H01L27/78.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:44
S20	12780	H01L29/78.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:45
S21	10471	elpida adj memory.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:45
S22	65	S20 and S21	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:45
S23	2016923	laser	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:54
S24	48140	S13 and S23	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:54
S25	226	S6 and S24	US-PGPUB; USPAT; USOCR; FPRS;	OR	OFF	2014/08/20 06:55

			EPO; JPO; DERWENT; IBM_TDB			
S26	4275	via adj array	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:56
S27	54	S6 and S26	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:57
S28	10	("20030020163" "20050280149" "20060091566" "20060097406" "20060125118" "7233075" "7291865" "7538434").PN. OR ("8178980").URPN.	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 06:59
S29	3	("20130134507").PN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:01
S30	3	("20090085102").PN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:03
S31	3	("2009/0085102").URPN.	USPAT	OR	OFF	2014/08/20 07:03
S32	12	("20080150030" "20080296677" "20090085102" "20090148992" "20100078712" "20100123170" "20100252879" "20110006360" "20110089394" "20110266615" "6015725" "7687351").PN. OR ("8729626").URPN.	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 07:04
S33	657245	adhesion	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 07:06
S34	2250	S10 and S33	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 07:06
S35	59	S6 and S34	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 07:06
S36	61	("20010051426" "20020005582" "4141030" "5309025" "5357136" "5547901" "5631498" "5668411" "5686762" "5693565" "5700735" "5703408" "5707894" "5723822" "5736791" "5751065" "5785236"	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 07:08

		"5795796" "5807787" "5834365" "5886414" "5900668" "5904565" "5923088" "5936283" "5994762" "6002179" "6033984" "6034439" "6081033" "6127266" "6133136" "6184121" "6207547" "6218732" "6232662" "6249038" "6252300" "6255586" "6297563" "6306750" "6320263" "6329722" "6350667" "6358847" "6362528" "6444295" "6448641" "6448650" "6451681" "6551916" "6599578" "6625882" "6633087" "6720658" "GB2184288").PN. OR ("7026721").URPN.				
S37	56	("5923088").URPN.	USPAT	OR	OFF	2014/08/20 07:10
S38	0	H01L27/7813.cpc.	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:11
S39	10938	H01L29/7813.cpc.	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:12
S40	408	S1 and S39	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:12
S41	82	S8 and S40	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:12
S42	2	"20130161738"	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:14
S43	4	((("7528035") or ("6560135")).PN.	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 09:56
S44	6	(semiconductor and pillars and lower adj diffusion and plug and upper adj	US- PGPUB; USPAT;	OR	OFF	2015/01/23 09:31

		diffusion).clm.	USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			
S45	6	(semiconductor and pillars and lower adj diffusion and plug and upper adj diffusion and side).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/01/23 09:33
S46	6	(semiconductor and pillars and lower adj diffusion and plug and upper adj diffusion and substrate).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/01/23 09:34
S47	2	(semiconductor and pillars and lower adj diffusion and plug and upper adj diffusion and substrate and source and drain).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/01/23 09:35
S48	0	(12/212364).APP.	USPAT; USOCR	OR	OFF	2015/01/23 09:35
S49	2	(semiconductor and pillars and lower adj diffusion and plug and upper adj diffusion and substrate and source and drain and dummy).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/01/23 09:42
S50	2	(semiconductor and pillars and lower adj diffusion and plug and upper adj diffusion and substrate and source and drain and dummy and (vertical or vertically)).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/01/23 09:43
S51	1	(semiconductor and pillars and lower adj diffusion and plug and upper adj diffusion and substrate and source and drain and dummy and (vertical or vertically) and power).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/01/23 09:44
S52	1	(12/236012).APP.	USPAT; USOCR	OR	OFF	2015/06/22 10:54
S56	0	H01L29/666666.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/06/22 11:02
S57	4465	H01L29/66666.cpc.	US-PGPUB; USPAT;	OR	OFF	2015/06/22 11:03

			USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			
S58	210436	dummy	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/06/22 11:10
S59	165	S57 and S58	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/06/22 11:10
S60	5611	H01L29/7827.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/06/22 11:25
S61	180	S58 and S60	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/06/22 11:25
S62	8557	H01L27/088.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/06/22 11:29
S63	710	S58 and S62	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/06/22 11:29
S64	1600	H01L21/823487.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/06/22 11:46
S65	62424	S58 and "0"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/06/22 11:46

S66	58	S58 and S64	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2015/06/22 11:46
-----	----	-------------	--	----	-----	---------------------

6/ 22/ 2015 12:46:51 PM
C:\ Users\ wcoleman\ Documents\ EAST\ Workspaces\ FY2014\ 13722125.wsp

CPC Issue Classification - Application Number: 13722125

Examiner: William Coleman **Date Created:** Jun 22, 2015 12:10 PM

Family ID: 48653688

US App. No. (1) & Documents (1): 13/722125 (20130161738 A1)

Foreign Documents (1): JP2013153133A

Allocations (5)

No.	Symbol	Type			Endorsed By	CPC Version
1	H01L 29/7813	F			US	2013-01-01
2	H01L 29/66666	I			EP	2013-01-01
3	H01L 29/7827	I			EP	2013-01-01
4	H01L 27/088	A			EP	2013-01-01
5	H01L 21/823487	A			EP	2013-01-01

Combination Sets (0)

No.	Symbol	Type	Set	Rank	Endorsed By	CPC Version
-----	--------	------	-----	------	-------------	-------------

Issue Classification 	Application/Control No. 13722125	Applicant(s)/Patent Under Reexamination TAKAISHI, YOSHIHIRO	
	Examiner WILLIAM COLEMAN	Art Unit 2823	

CPC						
Symbol					Type	Version
H01L		29	/	7813	F	2013-01-01
H01L		21	/	823487	A	2013-01-01
H01L		29	/	66666	I	2013-01-01
H01L		29	/	7827	I	2013-01-01
H01L		27	/	088	A	2013-01-01
			/			
			/			
			/			
			/			
			/			
			/			
			/			
			/			
			/			
			/			
			/			

CPC Combination Sets				
Symbol	Type	Set	Ranking	Version

NONE		Total Claims Allowed:	
(Assistant Examiner) (Date)		19	
/WILLIAM COLEMAN/ Primary Examiner.Art Unit 2823		O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner) (Date)		1	1,2

Issue Classification 	Application/Control No. 13722125	Applicant(s)/Patent Under Reexamination TAKAISHI, YOSHIHIRO
	Examiner WILLIAM COLEMAN	Art Unit 2823

☐ Claims renumbered in the same order as presented by applicant															
☐ CPA															
☐ T.D.															
☐ R.1.47															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1	16	17												
2	2	17	18												
4	3	18	19												
5	4	19	20												
6	5														
10	6														
11	7														
7	8														
	9														
3	10														
12	11														
13	12														
8	13														
9	14														
14	15														
15	16														

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	19	
/WILLIAM COLEMAN/ Primary Examiner.Art Unit 2823	06/22/2015	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1,2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Confirmation No. 4586

Yoshihiro TAKAISHI

Application No. 13/722,125

Filed: December 20, 2012

For: **SEMICONDUCTOR DEVICE**

Group Art Unit: 2823

Examiner: Coleman, William D.

Docket No. LL12P00415US0

Date: June 12, 2015

RESPONSE AFTER FINAL UNDER 37 C.F.R. § 1.116

TO THE COMMISSIONER FOR PATENTS:

This paper is being filed in response to the Final Office Action of January 29, 2015 and the Response After Final mailed on March 30, 2015, and includes:

A **Listing of Claims** that begins on page 2;

An **Examiner Interview Summary** that begins on page 7; and

Remarks that begin on page 8.

LISTING OF CLAIMS

1. (Previously presented) A semiconductor device comprising:
 - a plurality of vertical transistors provided to stand from a semiconductor substrate and comprising a diffusion layer at their end portions on the semiconductor substrate side;
 - a conductive plug provided to stand from the semiconductor substrate and connected to the diffusion layer of the plurality of vertical transistors, the plurality of vertical transistors being uniformly arranged near the conductive plug and sharing the diffusion layer and the conductive plug; and
 - a dummy pillar provided to stand from the semiconductor substrate and comprising, over a side surface of the dummy pillar, a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors.
2. (Original) The semiconductor device according to claim 1, wherein each vertical transistor comprises:
 - a semiconductor pillar provided to stand from the semiconductor substrate and forming a channel;
 - a gate insulating film and a gate electrode provided over a side surface of the semiconductor pillar;
 - an upper diffusion layer provided at an upper end of the semiconductor pillar and serving as one of a source and a drain; and
 - a lower diffusion layer provided at a lower end of the semiconductor pillar and serving as the other of the source and the drain,the conductive plug is a lower diffusion layer side contact plug connected to the lower diffusion layer,
 - the plurality of vertical transistors share the lower diffusion layer and the lower diffusion layer side contact plug, and
 - the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

3. (Original) The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

4. (Original) The semiconductor device according to claim 2, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the lower diffusion layer side contact plug is twice or less a distance between the lower diffusion layer side contact plug and the semiconductor pillar closest to the lower diffusion layer side contact plug.

5. (Original) The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug in a Π -shape in plan view.

6. (Original) The semiconductor device according to claim 5, wherein a plurality of lower diffusion layer side contact plugs are provided, the semiconductor pillars are arranged in a shape combining a plurality of Π -shapes in plan view, and the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the Π -shapes.

7. (Original) The semiconductor device according to claim 6, wherein the semiconductor pillars are arranged in a shape combining two Π -shapes in plan view, and the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the two Π -shapes.

8. (Original) The semiconductor device according to claim 2, wherein the gate electrodes provided over the side surfaces of the semiconductor pillars are connected to each other between the adjacent semiconductor pillars, thereby forming a single gate electrode shared by the semiconductor pillars.

9. (Canceled).

10. (Previously presented) The semiconductor device according to claim 1, further comprising an active region in which the semiconductor pillars are arranged and an element isolation region surrounding the active region,

wherein the dummy pillar is disposed at a position lying over the active region, and the element isolation region and comprises the power feed gate electrode over the side surface of the dummy pillar, and the power feed gate electrode is connected to the gate electrode between the dummy pillar and the semiconductor pillar closest to the dummy pillar.

11. (Original) The semiconductor device according to claim 10, wherein the dummy pillar comprises a first dummy pillar standing in the active region and a second dummy pillar standing in the element isolation region and is an integrated pillar in which one side surface of the first dummy pillar and one side surface of the second dummy pillar are in contact with each other.

12. (Original) The semiconductor device according to claim 11, wherein another side surface, located on an opposite side of the one side surface, of the first dummy pillar faces the side surface of the semiconductor pillar closest to the dummy pillar.

13. (Original) The semiconductor device according to claim 2, wherein the upper diffusion layers are connected to each other so that the plurality of vertical transistors are connected in parallel to each other.

14. (Original) The semiconductor device according to claim 2, wherein each semiconductor pillar has a thickness which allows full depletion.

15. (Previously presented) A semiconductor device comprising:
a plurality of semiconductor pillars provided to stand from a semiconductor substrate,
each of the semiconductor pillars forming a channel;
a gate insulating film and a gate electrode provided over a side surface of each of the semiconductor pillars;
an upper diffusion layer provided at an upper end of each of the semiconductor pillars to serve as one of a source and a drain;

a lower diffusion layer operatively coupled to a lower end of each of the semiconductor pillars to serve as the other of the source and the drain; and
a lower diffusion layer side contact plug connected to the lower diffusion layer, wherein the semiconductor pillars share the lower diffusion layer and the lower diffusion layer side contact plug, and
wherein the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

16. (Original) The semiconductor device according to claim 15, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

17. (Original) The semiconductor device according to claim 16, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the conductive plug is twice or less a distance between the conductive plug and the semiconductor pillar closest to the conductive plug.

18. (Currently amended) A semiconductor device comprising:
a semiconductor substrate with an active region provided on a surface of said semiconductor substrate;
a plurality of vertical transistors provided in the active region so as to stand from the semiconductor substrate;
a lower diffusion layer at end portions of each of said vertical transistors on the semiconductor substrate side;
upper diffusion layers at opposite upper portions of each of said vertical transistors;
a conductive plug provided to stand from the semiconductor substrate and connected to the lower diffusion layer of the plurality of vertical transistors, the plurality of vertical transistors being uniformly arranged near the conductive plug and sharing the upper diffusion layers and the lower diffusion layer so as to be connected in parallel to each other; and

a dummy pillar provided to stand from the semiconductor substrate and comprising, over a side surface of the dummy pillar, a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors.

19. (Original) The semiconductor device according to claim 18, wherein the plurality of vertical transistors are uniformly arranged so as to surround the conductive plug.

20. (Original) The semiconductor device according to claim 18, wherein, in plan view, a distance between the conductive plug and the vertical transistor farthest from the conductive plug is twice or less a distance between the conductive plug and the vertical transistor closest to the conductive plug.

EXAMINER INTERVIEW SUMMARY

The Applicant thanks Examiner Coleman for the telephone interview held on March 30, 2015 with the Applicant's representative, Joseph J. Hawkins (Reg. No. 63,194). In the Interview, the provisional rejection of claims 15-17 on the grounds of nonstatutory double patenting were discussed. The Examiner Coleman indicated that the provisional rejections would be withdrawn since U.S. Patent Application Serial No. 12/212,364 is abandoned, and as such, any purported double patenting issues raised thereby are moot. Examiner Coleman agreed not to enter the Applicant's earlier-filed response, including the unnecessary terminal disclaimer pertaining to U.S. Patent Application Serial No. 12/212,364. The Applicant appreciates Examiner Coleman's assistance.

On June 12, 2015 the Applicant's representative, Joseph J. Hawkins, discussed the status of the Application with Examiner Coleman in a telephone call. Examiner Coleman indicated that the application was in condition for allowance, but in order to update the status of the Application in the Office docket, a new amendment after final should be filed. This paper is, therefore, being filed in response to the Examiner's instructions.

REMARKS

This paper is being filed in response to the Final Office Action of January 29, 2015 (the “Office Action”), and corresponds to the Response after Final Office Action submitted by the Applicant on March 30, 2015 (the “After Final Response”), which replaced the Response after Final Office Action and terminal disclaimer submitted on March 26, 2015 (the “Initial Response”). As discussed in the Examiner interview of March 30, 2015, neither the Initial Response nor Terminal Disclaimer were entered. In accordance with 37 C.F.R. § 1.116, the After Final Response placed the Application in condition for allowance by addressing formal requirements of the Office Action. This paper is being filed to address a docketing issue at the Office, and in accordance with Examiner’s instructions given in the telephone interview held on June 12, 2015.

STATUS OF THE CLAIMS

Claims 1-8 and 10-20 are pending in the Application. Claim 9 was previously canceled without prejudice or disclaimer.

In the Office Action, claims 1-8, 10-14, and 18-20 are allowed. Claims 15-17 stand provisionally rejected on the ground of nonstatutory double patenting over claims 1 and 2 of copending U.S. Patent Application Serial No. 12/212,364.

REMARKS REGARDING CLAIMS 15-17

U.S. Patent Application Serial No. 12/212,364 is abandoned, which renders moot the provisional rejection of claims 15-17 on the ground of nonstatutory double patenting. The Applicant, therefore, respectfully requests that the provisional rejection of claims 15-17 be withdrawn.

CONCLUSION

The Applicant respectfully submits that the Application is in condition for allowance, and a Notice of Allowance is respectfully requested. If the Examiner notes any further matters that may be resolved by a telephone interview, the Examiner is encouraged to contact Joseph J. Hawkins by telephone at (801) 578-6971 or email at joe.hawkins@stoel.com.

Respectfully submitted,

By **/Joseph J. Hawkins/**

Joseph J. Hawkins
Registration No. 63,194
Dated: June 12, 2015

STOEL RIVES LLP
201 S. Main St., Suite 1100
Salt Lake City, UT 84111-4904

Electronic Acknowledgement Receipt

EFS ID:	22621409
Application Number:	13722125
International Application Number:	
Confirmation Number:	4586
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Yoshihiro TAKAISHI
Customer Number:	130036
Filer:	Joseph Jackson Hawkins
Filer Authorized By:	
Attorney Docket Number:	LL12P00415US0
Receipt Date:	12-JUN-2015
Filing Date:	20-DEC-2012
Time Stamp:	17:12:43
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Response After Final Action	2015-06-12_Updated_RAF.pdf	101071 fab09e170e1751c8d7a52b6358a0c462a9dfcfa	no	9

Warnings:

Information:

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875				Application or Docket Number 13/722,125		Filing Date 12/20/2012		☐ To be Mailed		
ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO										
APPLICATION AS FILED – PART I										
(Column 1)		(Column 2)								
FOR	NUMBER FILED	NUMBER EXTRA			RATE (\$)	FEE (\$)				
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A			N/A					
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A			N/A					
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A			N/A					
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*			X \$ =					
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*			X \$ =					
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).									
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))										
* If the difference in column 1 is less than zero, enter "0" in column 2.					TOTAL					
APPLICATION AS AMENDED – PART II										
(Column 1)		(Column 2)		(Column 3)						
AMENDMENT	06/12/2015	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)		ADDITIONAL FEE (\$)		
	Total (37 CFR 1.16(i))	* 19	Minus	** 20	= 0	X \$80 =		0		
	Independent (37 CFR 1.16(h))	* 3	Minus	*** 3	= 0	X \$420 =		0		
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
					TOTAL ADD'L FEE		0			
(Column 1)		(Column 2)		(Column 3)						
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)		ADDITIONAL FEE (\$)		
	Total (37 CFR 1.16(i))	*	Minus	**	=	X \$ =				
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$ =				
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
					TOTAL ADD'L FEE					
<p>* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.</p> <p>** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".</p> <p>*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".</p> <p>The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.</p>										

LIE
/Theresa Dawkins/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Document code: WFEE

United States Patent and Trademark Office
Sales Receipt for Accounting Date: 06/17/2015

TDAWKINS	SALE	#00000001	Mailroom Dt:	06/12/2015	502375	13722125
		01	FC : 1252	600.00	DA	



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY. DOCKET NO	TOT CLAIMS	IND CLAIMS
13/722,125	12/20/2012	2823	1260	LL12P00415US0	20	3

CONFIRMATION NO. 4586

CORRECTED FILING RECEIPT

130036

IIPH2 [54361] c/o Stoel Rives LLP 130036
201 South Main Street, Suite 1100, One Utah Center
Salt Lake City, UT 84111



OC000000074349468

Date Mailed: 04/14/2015

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Yoshihiro TAKAISHI, Tokyo, JAPAN;

Applicant(s)

PS4 LUXCO S.A.R.L., LUXEMBOURG, LUXEMBOURG

Power of Attorney: The patent practitioners associated with Customer Number 130036

Domestic Applications for which benefit is claimed - None.

A proper domestic benefit claim must be provided in an Application Data Sheet in order to constitute a claim for domestic benefit. See 37 CFR 1.76 and 1.78.

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see <http://www.uspto.gov> for more information.)

JAPAN 2011-285544 12/27/2011

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 02/09/2013

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 13/722,125**

Projected Publication Date: Not Applicable

Non-Publication Request: No

Early Publication Request: No

Title

SEMICONDUCTOR DEVICE

Preliminary Class

257

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at <http://www.uspto.gov/web/offices/pac/doc/general/index.html>.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, <http://www.stopfakes.gov>. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER
Title 35, United States Code, Section 184
Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign Assets Control, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit <http://www.SelectUSA.gov> or call +1-202-482-6800.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/722,125	12/20/2012	Yoshihiro TAKAISHI	LL12P00415US0	4586

130036 7590 04/03/2015
IIPH2 [54361] c/o Stoel Rives LLP 130036
201 South Main Street, Suite 1100, One Utah Center
Salt Lake City, UT 84111

EXAMINER

COLEMAN, WILLIAM D

ART UNIT	PAPER NUMBER
----------	--------------

2823

NOTIFICATION DATE	DELIVERY MODE
-------------------	---------------

04/03/2015

ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

kristine.blust@stoel.com
joe.hawkins@stoel.com
slcpatent@stoel.com

<i>Applicant-Initiated Interview Summary</i>	Application No. 13/722,125	Applicant(s) TAKAISHI, YOSHIHIRO	
	Examiner W DAVID COLEMAN	Art Unit 2823	

All participants (applicant, applicant's representative, PTO personnel):

(1) W DAVID COLEMAN. (3) ____.

(2) Joseph J. Hawkins 63,194. (4) ____.

Date of Interview: 30 March 2015.

Type: ☒ Telephonic ☐ Video Conference
 ☐ Personal [copy given to: ☐ applicant ☒ applicant's representative]

Exhibit shown or demonstration conducted: ☐ Yes ☒ No.
 If Yes, brief description: ____.

Issues Discussed ☐101 ☐112 ☐102 ☐103 ☒Others
 (For each of the checked box(es) above, please describe below the issue and detailed description of the discussion)

Claim(s) discussed: ____.

Identification of prior art discussed: Not Applicable.

Substance of Interview
 (For each issue discussed, provide a detailed description and indicate if agreement was reached. Some topics may include: identification or clarification of a reference or a portion thereof, claim interpretation, proposed amendments, arguments of any applied references etc...)

Applicants representative called and informed me that the Terminal Disclaimer filed March 26, 2015 was inadvertently filed in the After-Final response. The Examiner agreed with Applicants representative to not enter the After-Final response.

Applicant recordation instructions: The formal written reply to the last Office action must include the substance of the interview. (See MPEP section 713.04). If a reply to the last Office action has already been filed, applicant is given a non-extendable period of the longer of one month or thirty days from this interview date, or the mailing date of this interview summary form, whichever is later, to file a statement of the substance of the interview

Examiner recordation instructions: Examiners must summarize the substance of any interview of record. A complete and proper recordation of the substance of an interview should include the items listed in MPEP 713.04 for complete and proper recordation including the identification of the general thrust of each argument or issue discussed, a general indication of any other pertinent matters discussed regarding patentability and the general results or outcome of the interview, to include an indication as to whether or not agreement was reached on the issues raised.

☒ Attachment

/W DAVID COLEMAN/ Primary Examiner, Art Unit 2823	
--	--

Summary of Record of Interview Requirements

Manual of Patent Examining Procedure (MPEP), Section 713.04, Substance of Interview Must be Made of Record

A complete written statement as to the substance of any face-to-face, video conference, or telephone interview with regard to an application must be made of record in the application whether or not an agreement with the examiner was reached at the interview.

Title 37 Code of Federal Regulations (CFR) § 1.133 Interviews

Paragraph (b)

In every instance where reconsideration is requested in view of an interview with an examiner, a complete written statement of the reasons presented at the interview as warranting favorable action must be filed by the applicant. An interview does not remove the necessity for reply to Office action as specified in §§ 1.111, 1.135. (35 U.S.C. 132)

37 CFR §1.2 Business to be transacted in writing.

All business with the Patent or Trademark Office should be transacted in writing. The personal attendance of applicants or their attorneys or agents at the Patent and Trademark Office is unnecessary. The action of the Patent and Trademark Office will be based exclusively on the written record in the Office. No attention will be paid to any alleged oral promise, stipulation, or understanding in relation to which there is disagreement or doubt.

The action of the Patent and Trademark Office cannot be based exclusively on the written record in the Office if that record is itself incomplete through the failure to record the substance of interviews.

It is the responsibility of the applicant or the attorney or agent to make the substance of an interview of record in the application file, unless the examiner indicates he or she will do so. It is the examiner's responsibility to see that such a record is made and to correct material inaccuracies which bear directly on the question of patentability.

Examiners must complete an Interview Summary Form for each interview held where a matter of substance has been discussed during the interview by checking the appropriate boxes and filling in the blanks. Discussions regarding only procedural matters, directed solely to restriction requirements for which interview recordation is otherwise provided for in Section 812.01 of the Manual of Patent Examining Procedure, or pointing out typographical errors or unreadable script in Office actions or the like, are excluded from the interview recordation procedures below. Where the substance of an interview is completely recorded in an Examiners Amendment, no separate Interview Summary Record is required.

The Interview Summary Form shall be given an appropriate Paper No., placed in the right hand portion of the file, and listed on the "Contents" section of the file wrapper. In a personal interview, a duplicate of the Form is given to the applicant (or attorney or agent) at the conclusion of the interview. In the case of a telephone or video-conference interview, the copy is mailed to the applicant's correspondence address either with or prior to the next official communication. If additional correspondence from the examiner is not likely before an allowance or if other circumstances dictate, the Form should be mailed promptly after the interview rather than with the next official communication.

The Form provides for recordation of the following information:

- Application Number (Series Code and Serial Number)
- Name of applicant
- Name of examiner
- Date of interview
- Type of interview (telephonic, video-conference, or personal)
- Name of participant(s) (applicant, attorney or agent, examiner, other PTO personnel, etc.)
- An indication whether or not an exhibit was shown or a demonstration conducted
- An identification of the specific prior art discussed
- An indication whether an agreement was reached and if so, a description of the general nature of the agreement (may be by attachment of a copy of amendments or claims agreed as being allowable). Note: Agreement as to allowability is tentative and does not restrict further action by the examiner to the contrary.
- The signature of the examiner who conducted the interview (if Form is not an attachment to a signed Office action)

It is desirable that the examiner orally remind the applicant of his or her obligation to record the substance of the interview of each case. It should be noted, however, that the Interview Summary Form will not normally be considered a complete and proper recordation of the interview unless it includes, or is supplemented by the applicant or the examiner to include, all of the applicable items required below concerning the substance of the interview.

A complete and proper recordation of the substance of any interview should include at least the following applicable items:

- 1) A brief description of the nature of any exhibit shown or any demonstration conducted,
- 2) an identification of the claims discussed,
- 3) an identification of the specific prior art discussed,
- 4) an identification of the principal proposed amendments of a substantive nature discussed, unless these are already described on the Interview Summary Form completed by the Examiner,
- 5) a brief identification of the general thrust of the principal arguments presented to the examiner,
(The identification of arguments need not be lengthy or elaborate. A verbatim or highly detailed description of the arguments is not required. The identification of the arguments is sufficient if the general nature or thrust of the principal arguments made to the examiner can be understood in the context of the application file. Of course, the applicant may desire to emphasize and fully describe those arguments which he or she feels were or might be persuasive to the examiner.)
- 6) a general indication of any other pertinent matters discussed, and
- 7) if appropriate, the general results or outcome of the interview unless already described in the Interview Summary Form completed by the examiner.

Examiners are expected to carefully review the applicant's record of the substance of an interview. If the record is not complete and accurate, the examiner will give the applicant an extendable one month time period to correct the record.

Examiner to Check for Accuracy

If the claims are allowable for other reasons of record, the examiner should send a letter setting forth the examiner's version of the statement attributed to him or her. If the record is complete and accurate, the examiner should place the indication, "Interview Record OK" on the paper recording the substance of the interview along with the date and the examiner's initials.

<i>Applicant-Initiated Interview Summary</i>	Application No. 13/722,125	Applicant(s) TAKAISHI, YOSHIHIRO	
	Examiner W DAVID COLEMAN	Art Unit 2823	

All participants (applicant, applicant's representative, PTO personnel):

(1) W DAVID COLEMAN. (3) ____.

(2) Joseph J. Hawkins 63,194. (4) ____.

Date of Interview: 30 March 2015.

Type: ☒ Telephonic ☐ Video Conference
 ☐ Personal [copy given to: ☐ applicant ☒ applicant's representative]

Exhibit shown or demonstration conducted: ☐ Yes ☒ No.
 If Yes, brief description: ____.

Issues Discussed ☐101 ☐112 ☐102 ☐103 ☒Others
 (For each of the checked box(es) above, please describe below the issue and detailed description of the discussion)

Claim(s) discussed: ____.

Identification of prior art discussed: Not Applicable.

Substance of Interview
 (For each issue discussed, provide a detailed description and indicate if agreement was reached. Some topics may include: identification or clarification of a reference or a portion thereof, claim interpretation, proposed amendments, arguments of any applied references etc...)

Applicants representative called and informed me that the Terminal Disclaimer filed March 26, 2015 was inadvertently filed in the After-Final response. The Examiner agreed with Applicants representative to not enter the After-Final response.

Applicant recordation instructions: The formal written reply to the last Office action must include the substance of the interview. (See MPEP section 713.04). If a reply to the last Office action has already been filed, applicant is given a non-extendable period of the longer of one month or thirty days from this interview date, or the mailing date of this interview summary form, whichever is later, to file a statement of the substance of the interview

Examiner recordation instructions: Examiners must summarize the substance of any interview of record. A complete and proper recordation of the substance of an interview should include the items listed in MPEP 713.04 for complete and proper recordation including the identification of the general thrust of each argument or issue discussed, a general indication of any other pertinent matters discussed regarding patentability and the general results or outcome of the interview, to include an indication as to whether or not agreement was reached on the issues raised.

☒ Attachment

/W DAVID COLEMAN/ Primary Examiner, Art Unit 2823	
--	--

Summary of Record of Interview Requirements

Manual of Patent Examining Procedure (MPEP), Section 713.04, Substance of Interview Must be Made of Record

A complete written statement as to the substance of any face-to-face, video conference, or telephone interview with regard to an application must be made of record in the application whether or not an agreement with the examiner was reached at the interview.

Title 37 Code of Federal Regulations (CFR) § 1.133 Interviews

Paragraph (b)

In every instance where reconsideration is requested in view of an interview with an examiner, a complete written statement of the reasons presented at the interview as warranting favorable action must be filed by the applicant. An interview does not remove the necessity for reply to Office action as specified in §§ 1.111, 1.135. (35 U.S.C. 132)

37 CFR §1.2 Business to be transacted in writing.

All business with the Patent or Trademark Office should be transacted in writing. The personal attendance of applicants or their attorneys or agents at the Patent and Trademark Office is unnecessary. The action of the Patent and Trademark Office will be based exclusively on the written record in the Office. No attention will be paid to any alleged oral promise, stipulation, or understanding in relation to which there is disagreement or doubt.

The action of the Patent and Trademark Office cannot be based exclusively on the written record in the Office if that record is itself incomplete through the failure to record the substance of interviews.

It is the responsibility of the applicant or the attorney or agent to make the substance of an interview of record in the application file, unless the examiner indicates he or she will do so. It is the examiner's responsibility to see that such a record is made and to correct material inaccuracies which bear directly on the question of patentability.

Examiners must complete an Interview Summary Form for each interview held where a matter of substance has been discussed during the interview by checking the appropriate boxes and filling in the blanks. Discussions regarding only procedural matters, directed solely to restriction requirements for which interview recordation is otherwise provided for in Section 812.01 of the Manual of Patent Examining Procedure, or pointing out typographical errors or unreadable script in Office actions or the like, are excluded from the interview recordation procedures below. Where the substance of an interview is completely recorded in an Examiners Amendment, no separate Interview Summary Record is required.

The Interview Summary Form shall be given an appropriate Paper No., placed in the right hand portion of the file, and listed on the "Contents" section of the file wrapper. In a personal interview, a duplicate of the Form is given to the applicant (or attorney or agent) at the conclusion of the interview. In the case of a telephone or video-conference interview, the copy is mailed to the applicant's correspondence address either with or prior to the next official communication. If additional correspondence from the examiner is not likely before an allowance or if other circumstances dictate, the Form should be mailed promptly after the interview rather than with the next official communication.

The Form provides for recordation of the following information:

- Application Number (Series Code and Serial Number)
- Name of applicant
- Name of examiner
- Date of interview
- Type of interview (telephonic, video-conference, or personal)
- Name of participant(s) (applicant, attorney or agent, examiner, other PTO personnel, etc.)
- An indication whether or not an exhibit was shown or a demonstration conducted
- An identification of the specific prior art discussed
- An indication whether an agreement was reached and if so, a description of the general nature of the agreement (may be by attachment of a copy of amendments or claims agreed as being allowable). Note: Agreement as to allowability is tentative and does not restrict further action by the examiner to the contrary.
- The signature of the examiner who conducted the interview (if Form is not an attachment to a signed Office action)

It is desirable that the examiner orally remind the applicant of his or her obligation to record the substance of the interview of each case. It should be noted, however, that the Interview Summary Form will not normally be considered a complete and proper recordation of the interview unless it includes, or is supplemented by the applicant or the examiner to include, all of the applicable items required below concerning the substance of the interview.

A complete and proper recordation of the substance of any interview should include at least the following applicable items:

- 1) A brief description of the nature of any exhibit shown or any demonstration conducted,
- 2) an identification of the claims discussed,
- 3) an identification of the specific prior art discussed,
- 4) an identification of the principal proposed amendments of a substantive nature discussed, unless these are already described on the Interview Summary Form completed by the Examiner,
- 5) a brief identification of the general thrust of the principal arguments presented to the examiner,
(The identification of arguments need not be lengthy or elaborate. A verbatim or highly detailed description of the arguments is not required. The identification of the arguments is sufficient if the general nature or thrust of the principal arguments made to the examiner can be understood in the context of the application file. Of course, the applicant may desire to emphasize and fully describe those arguments which he or she feels were or might be persuasive to the examiner.)
- 6) a general indication of any other pertinent matters discussed, and
- 7) if appropriate, the general results or outcome of the interview unless already described in the Interview Summary Form completed by the examiner.

Examiners are expected to carefully review the applicant's record of the substance of an interview. If the record is not complete and accurate, the examiner will give the applicant an extendable one month time period to correct the record.

Examiner to Check for Accuracy

If the claims are allowable for other reasons of record, the examiner should send a letter setting forth the examiner's version of the statement attributed to him or her. If the record is complete and accurate, the examiner should place the indication, "Interview Record OK" on the paper recording the substance of the interview along with the date and the examiner's initials.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Confirmation No. 4586

Yoshihiro TAKAISHI

Application No. 13/722,125

Filed: December 20, 2012

For: **SEMICONDUCTOR DEVICE**

Group Art Unit: 2823

Examiner: Coleman, William D.

Docket No. LL12P00415US0

RESPONSE AFTER FINAL UNDER 37 C.F.R. § 1.116

TO THE COMMISSIONER FOR PATENTS:

This paper is being filed in response to the Final Office Action of January 29, 2015, and includes:

A **Listing of Claims** that begins on page 2; and

Remarks that begin on page 7.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/722,125	12/20/2012	Yoshihiro TAKAISHI	5754-1111

466
YOUNG & THOMPSON
209 Madison Street
Suite 500
Alexandria, VA 22314

CONFIRMATION NO. 4586
POWER OF ATTORNEY NOTICE



Date Mailed: 04/01/2015

NOTICE REGARDING CHANGE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 03/26/2015.

- The Power of Attorney to you in this application has been revoked by the assignee who has intervened as provided by 37 CFR 3.71. Future correspondence will be mailed to the new address of record(37 CFR 1.33).

/s/brahim/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/722,125	12/20/2012	Yoshihiro TAKAISHI	LL12P00415US0

CONFIRMATION NO. 4586

POA ACCEPTANCE LETTER

130036
IIPH2 [54361] c/o Stoel Rives LLP 130036
201 South Main Street, Suite 1100, One Utah Center
Salt Lake City, UT 84111



Date Mailed: 04/01/2015

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 03/26/2015.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

/s/brahim/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Application Number 	Application/Control No. 13/722,125	Applicant(s)/Patent under Reexamination TAKAISHI, YOSHIHIRO	

Document Code - DISQ	Internal Document – DO NOT MAIL
-----------------------------	--

TERMINAL DISCLAIMER	☒ APPROVED	☐ DISAPPROVED
Date Filed : 26 MAR 2015	This patent is subject to a Terminal Disclaimer	

Approved/Disapproved by:

JAB

POWER OF ATTORNEY TO PROSECUTE APPLICATIONS BEFORE THE USPTO

I hereby revoke all previous powers of attorney given in the application identified in the attached statement under 37 CFR 3.73(c).

I hereby appoint:



Practitioners associated with Customer Number:

130036

OR



Practitioner(s) named below (if more than ten patent practitioners are to be named, then a customer number must be used):

Name	Registration Number

Name	Registration Number

As attorney(s) or agent(s) to represent the undersigned before the United States Patent and Trademark Office (USPTO) in connection with any and all patent applications assigned only to the undersigned according to the USPTO assignment records or assignments documents attached to this form in accordance with 37 CFR 3.73(c).

Please change the correspondence address for the application identified in the attached statement under 37 CFR 3.73(c) to:



The address associated with Customer Number:

130036

OR

☐	Firm or Individual Name			
	Address			
	City	State	Zip	
	Country			
	Telephone	Email		

Assignee Name and Address: PS4 LUXCO S.A.R.L.
208, VAL DES BONS MALADES
LUXEMBOURG, LUXEMBOURG L-2121

A copy of this form, together with a statement under 37 CFR 3.73(c) (Form PTO/AIA/96 or equivalent) is required to be Filed in each application in which this form is used. The statement under 37 CFR 3.73(c) may be completed by one of The practitioners appointed in this form, and must identify the application in which this Power of Attorney is to be filed.

SIGNATURE of Assignee of Record

The individual whose signature and title is supplied below is authorized to act on behalf of the assignee

Signature		Date	March 23, 2015
Name	Tom D. Wippman	Telephone	
Title	Manager A, authorized to act on behalf of PS4 LUXCO S.A.R.L.		

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		
<p>The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.</p> <p>This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.</p>			

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)	
--	--

Inventor Information:

Inventor 1 Remove				
Legal Name				
Prefix	Given Name	Middle Name	Family Name	Suffix
	Yoshihiro		TAKAISHI	
Residence Information (Select One) ☐ US Residency ☒ Non US Residency ☐ Active US Military Service				
City	Tokyo	Country of Residence	JP	
Mailing Address of Inventor:				
Address 1		c/o Elpida Memory, Inc.		
Address 2		2-1, Yaesu 2-chome, Chuo-ku		
City	Tokyo	State/Province		
Postal Code		Country	JP	
All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the Add button. Add				

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below. For further information see 37 CFR 1.33(a).			
☐ An Address is being provided for the correspondence information of this application.			
Customer Number	00466		
Email Address	embon@young-thompson.com	Add Email	Remove Email

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		

Application Information:

Title of the Invention	SEMICONDUCTOR DEVICE		
Attorney Docket Number	8040-1178	Small Entity Status Claimed	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Suggested Class (if any)		Sub Class (if any)	
Suggested Technology Center (if any)			
Total Number of Drawing Sheets (if any)	10	Suggested Figure for Publication (if any)	

Publication Information:

☐	Request Early Publication (Fee required at time of Request 37 CFR 1.219)
☐	Request Not to Publish. I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application has not and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32). Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.			
<div style="border: 1px solid black; height: 20px; width: 100%;"></div>			
Please Select One:	☒ Customer Number	☐ US Patent Practitioner	☐ Limited Recognition (37 CFR 11.9)
Customer Number	80466 130036		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c) or indicate National Stage entry from a PCT application. Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.			
Prior Application Status		Remove	
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)
Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the Add button.			Add

Foreign Priority Information:

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		

This section allows for the applicant to claim benefit of foreign priority and to identify any prior foreign application for which priority is not claimed. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(a).

			Remove
Application Number	Country i	Filing Date (YYYY-MM-DD)	Priority Claimed
2011-285544	JP	2011-12-27	☒ Yes ☐ No
Additional Foreign Priority Data may be generated within this form by selecting the Add button.			Add

Authorization to Permit Access:

☐ Authorization to Permit Access to the Instant Application by the Participating Offices

If checked, the undersigned hereby grants the USPTO authority to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the World Intellectual Property Office (WIPO), and any other intellectual property offices in which a foreign application claiming priority to the instant patent application is filed access to the instant patent application. See 37 CFR 1.14(c) and (h). This box should not be checked if the applicant does not wish the EPO, JPO, KIPO, WIPO, or other intellectual property office in which a foreign application claiming priority to the instant patent application is filed to have access to the instant patent application.

In accordance with 37 CFR 1.14(h)(3), access will be provided to a copy of the instant patent application with respect to: 1) the instant patent application-as-filed; 2) any foreign application to which the instant patent application claims priority under 35 U.S.C. 119(a)-(d) if a copy of the foreign application that satisfies the certified copy requirement of 37 CFR 1.55 has been filed in the instant patent application; and 3) any U.S. application-as-filed from which benefit is sought in the instant patent application.

In accordance with 37 CFR 1.14(c), access may be provided to information concerning the date of filing this Authorization.

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		

Applicant 1

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Remove

☒ Assignee	☐ Legal Representative under 35 U.S.C. 117
☐ Person to whom the inventor is obligated to assign.	☐ Person who shows sufficient proprietary interest

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor :

If the Assignee is an Organization check here. ☒

Organization Name ~~Elpida Memory, Inc.~~ PS4 LUXCO S.A.R.L.

Mailing Address Information:

Address 1	2-1, Yaesu 2-chome <u>208, VAL DES BONS MALADES</u>		
Address 2	Chuo-ku		
City	Tokyo <u>LUXEMBOURG</u>	State/Province	
Country JP	<u>LUXEMBOURG</u>	Postal Code	<u>L-2121</u>
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button.

Add

Signature:

Remove

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications

Signature	/Eric Jensen/		Date (YYYY-MM-DD)	2012-12-19
First Name	Eric	Last Name	Jensen	Registration Number
				37855

Additional Signature may be generated within this form by selecting the Add button.

Add

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

In re application of:

Yoshihiro TAKAISHI

Application No. 13/722,125

Filed: December 20, 2012

For: **SEMICONDUCTOR DEVICE**

Group Art Unit: 2823

Examiner: Coleman, William D.

Confirmation No. 4586

Docket No. LL12P00415US0

TRANSMITTAL LETTER

I hereby certify that the following papers are being submitted for the above-referenced application ("Application") to the United States Patent and Trademark Office via EFS-Web electronic filing system on March 30, 2015.

1. A statement under 37 C.F.R. § 3.73(c) establishing ownership of the Application;
2. A power of attorney executed by the owner of the Application;
3. A corrected Application Data Sheet that designates the applicant of the Application per 37 C.F.R. § 1.76(c); and
4. A response after final under 37 C.F.R. § 1.116.

The Commissioner is authorized to charge any additional fees required in connection with the filing of these papers, or credit overpayment, to **Deposit Account No. 502375**.

Signature: **Joseph J. Hawkins**/

Joseph J. Hawkins
jhawkins@stoel.com
(801) 578-6971
Registration No. 63,194
Dated March 30, 2015

STOEL RIVES LLP
201 S Main Street, Suite 1100
Salt Lake City, UT 84111-4904
Telephone: (801) 328-3131
Facsimile: (801) 578-6999

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Confirmation No. 4586

Yoshihiro TAKAISHI

Application No. 13/722,125

Filed: December 20, 2012

For: **SEMICONDUCTOR DEVICE**

Group Art Unit: 2823

Examiner: Coleman, William D.

Docket No. LL12P00415US0

Date: March 30, 2015

RESPONSE AFTER FINAL UNDER 37 C.F.R. § 1.116

TO THE COMMISSIONER FOR PATENTS:

This paper is being filed in response to the Final Office Action of January 29, 2015, and includes:

A **Listing of Claims** that begins on page 2;

An **Examiner Interview Summary** that begins on page 7; and

Remarks that begin on page 8.

LISTING OF CLAIMS

1. (Previously presented) A semiconductor device comprising:
 - a plurality of vertical transistors provided to stand from a semiconductor substrate and comprising a diffusion layer at their end portions on the semiconductor substrate side;
 - a conductive plug provided to stand from the semiconductor substrate and connected to the diffusion layer of the plurality of vertical transistors, the plurality of vertical transistors being uniformly arranged near the conductive plug and sharing the diffusion layer and the conductive plug; and
 - a dummy pillar provided to stand from the semiconductor substrate and comprising, over a side surface of the dummy pillar, a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors.
2. (Original) The semiconductor device according to claim 1, wherein each vertical transistor comprises:
 - a semiconductor pillar provided to stand from the semiconductor substrate and forming a channel;
 - a gate insulating film and a gate electrode provided over a side surface of the semiconductor pillar;
 - an upper diffusion layer provided at an upper end of the semiconductor pillar and serving as one of a source and a drain; and
 - a lower diffusion layer provided at a lower end of the semiconductor pillar and serving as the other of the source and the drain,the conductive plug is a lower diffusion layer side contact plug connected to the lower diffusion layer,
 - the plurality of vertical transistors share the lower diffusion layer and the lower diffusion layer side contact plug, and
 - the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

3. (Original) The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

4. (Original) The semiconductor device according to claim 2, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the lower diffusion layer side contact plug is twice or less a distance between the lower diffusion layer side contact plug and the semiconductor pillar closest to the lower diffusion layer side contact plug.

5. (Original) The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug in a Π -shape in plan view.

6. (Original) The semiconductor device according to claim 5, wherein a plurality of lower diffusion layer side contact plugs are provided, the semiconductor pillars are arranged in a shape combining a plurality of Π -shapes in plan view, and the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the Π -shapes.

7. (Original) The semiconductor device according to claim 6, wherein the semiconductor pillars are arranged in a shape combining two Π -shapes in plan view, and the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the two Π -shapes.

8. (Original) The semiconductor device according to claim 2, wherein the gate electrodes provided over the side surfaces of the semiconductor pillars are connected to each other between the adjacent semiconductor pillars, thereby forming a single gate electrode shared by the semiconductor pillars.

9. (Canceled).

10. (Previously presented) The semiconductor device according to claim 1, further comprising an active region in which the semiconductor pillars are arranged and an element isolation region surrounding the active region,

wherein the dummy pillar is disposed at a position lying over the active region, and the element isolation region and comprises the power feed gate electrode over the side surface of the dummy pillar, and the power feed gate electrode is connected to the gate electrode between the dummy pillar and the semiconductor pillar closest to the dummy pillar.

11. (Original) The semiconductor device according to claim 10, wherein the dummy pillar comprises a first dummy pillar standing in the active region and a second dummy pillar standing in the element isolation region and is an integrated pillar in which one side surface of the first dummy pillar and one side surface of the second dummy pillar are in contact with each other.

12. (Original) The semiconductor device according to claim 11, wherein another side surface, located on an opposite side of the one side surface, of the first dummy pillar faces the side surface of the semiconductor pillar closest to the dummy pillar.

13. (Original) The semiconductor device according to claim 2, wherein the upper diffusion layers are connected to each other so that the plurality of vertical transistors are connected in parallel to each other.

14. (Original) The semiconductor device according to claim 2, wherein each semiconductor pillar has a thickness which allows full depletion.

15. (Previously presented) A semiconductor device comprising:
a plurality of semiconductor pillars provided to stand from a semiconductor substrate,
each of the semiconductor pillars forming a channel;
a gate insulating film and a gate electrode provided over a side surface of each of the semiconductor pillars;
an upper diffusion layer provided at an upper end of each of the semiconductor pillars to serve as one of a source and a drain;

a lower diffusion layer operatively coupled to a lower end of each of the semiconductor pillars to serve as the other of the source and the drain; and
a lower diffusion layer side contact plug connected to the lower diffusion layer, wherein the semiconductor pillars share the lower diffusion layer and the lower diffusion layer side contact plug, and
wherein the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

16. (Original) The semiconductor device according to claim 15, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

17. (Original) The semiconductor device according to claim 16, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the conductive plug is twice or less a distance between the conductive plug and the semiconductor pillar closest to the conductive plug.

18. (Currently amended) A semiconductor device comprising:
a semiconductor substrate with an active region provided on a surface of said semiconductor substrate;
a plurality of vertical transistors provided in the active region so as to stand from the semiconductor substrate;
a lower diffusion layer at end portions of each of said vertical transistors on the semiconductor substrate side;
upper diffusion layers at opposite upper portions of each of said vertical transistors;
a conductive plug provided to stand from the semiconductor substrate and connected to the lower diffusion layer of the plurality of vertical transistors, the plurality of vertical transistors being uniformly arranged near the conductive plug and sharing the upper diffusion layers and the lower diffusion layer so as to be connected in parallel to each other; and

a dummy pillar provided to stand from the semiconductor substrate and comprising, over a side surface of the dummy pillar, a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors.

19. (Original) The semiconductor device according to claim 18, wherein the plurality of vertical transistors are uniformly arranged so as to surround the conductive plug.

20. (Original) The semiconductor device according to claim 18, wherein, in plan view, a distance between the conductive plug and the vertical transistor farthest from the conductive plug is twice or less a distance between the conductive plug and the vertical transistor closest to the conductive plug.

EXAMINER INTERVIEW SUMMARY

The Applicant thanks Examiner Coleman for the telephone interview held on March 30, 2015 with the Applicant's representative, Joseph J. Hawkins (Reg. No. 63,194). In the Interview, the provisional rejection of claims 15-17 on the grounds of nonstatutory double patenting were discussed. The Examiner Coleman indicated that the provisional rejections would be withdrawn since U.S. Patent Application Serial No. 12/212,364 is abandoned, and as such, any purported double patenting issues raised thereby are moot. Examiner Coleman agreed not to enter the Applicant's earlier-filed response, including the unnecessary terminal disclaimer pertaining to U.S. Patent Application Serial No. 12/212,364. The Applicant appreciates Examiner Coleman's assistance.

REMARKS

This paper is being filed in response to the Final Office Action of January 29, 2015 (the "Office Action"), and replaces with Response after Final Office Action and terminal disclaimer submitted on March 26, 2015, which were not entered in accordance with the Examiner Interview held on March 30, 2015. In accordance with 37 C.F.R. § 1.116, this response places the Application in condition for allowance by addressing formal requirements of the Office Action.

STATUS OF THE CLAIMS

Claims 1-8 and 10-20 are pending in the Application. Claim 9 was previously canceled without prejudice or disclaimer.

In the Office Action, claims 1-8, 10-14, and 18-20 are allowed. Claims 15-17 stand provisionally rejected on the ground of nonstatutory double patenting over claims 1 and 2 of copending U.S. Patent Application Serial No. 12/212,364.

REMARKS REGARDING CLAIMS 15-17

U.S. Patent Application Serial No. 12/212,364 is abandoned, which renders moot the provisional rejection of claims 15-17 on the ground of nonstatutory double patenting. The Applicant, therefore, respectfully requests that the provisional rejection of claims 15-17 be withdrawn.

CONCLUSION

The Applicant respectfully submits that the Application is in condition for allowance, and a Notice of Allowance is respectfully requested. If the Examiner notes any further matters that may be resolved by a telephone interview, the Examiner is encouraged to contact Joseph J. Hawkins by telephone at (801) 578-6971 or email at jhawkins@stoel.com.

Respectfully submitted,

By **/Joseph J. Hawkins/**

Joseph J. Hawkins
Registration No. 63,194

STOEL RIVES LLP
201 S. Main St., Suite 1100
Salt Lake City, UT 84111-4904

STATEMENT UNDER 37 CFR 3.73(c)Applicant/Patent Owner: PS4 LUXCO S.A.R.L.Application No./Patent No.: 13/722,125Filed/Issue Date: December 20, 2012Titled: SEMICONDUCTOR DEVICEPS4 LUXCO S.A.R.L., a Corporation

(Name of Assignee)

(Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that, for the patent application/patent identified above, it is (choose one of options 1, 2, 3 or 4 below):

1. ☒ The assignee of the entire right, title, and interest.
2. ☐ An assignee of less than the entire right, title, and interest (check applicable box):
- ☐ The extent (by percentage) of its ownership interest is _____%. Additional Statement(s) by the owners holding the balance of the interest must be submitted to account for 100% of the ownership interest.
- ☐ There are unspecified percentages of ownership. The other parties, including inventors, who together own the entire right, title and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

3. ☐ The assignee of an undivided interest in the entirety (a complete assignment from one of the joint inventors was made). The other parties, including inventors, who together own the entire right, title, and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

4. ☐ The recipient, via a court proceeding or the like (e.g., bankruptcy, probate), of an undivided interest in the entirety (a complete transfer of ownership interest was made). The certified document(s) showing the transfer is attached.

The interest identified in option 1, 2 or 3 above (not option 4) is evidenced by either (choose one of options A or B below):

- A. ☐ An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.
- B. ☒ A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: TAKAISHI, YOSHIHIRO To: ELPIDA MEMORY, INC.The document was recorded in the United States Patent and Trademark Office at
Reel 029515, Frame 0618, or for which a copy thereof is attached.2. From: ELPIDA MEMORY, INC. To: PS4 LUXCO S.A.R.L.The document was recorded in the United States Patent and Trademark Office at
Reel 032901, Frame 0196, or for which a copy thereof is attached.

[Page 1 of 2]

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Western Digital Exhibit 1006

STATEMENT UNDER 37 CFR 3.73(c)

3. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

4. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

5. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

6. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☐ As required by 37 CFR 3.73(c)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Joseph J. Hawkins/

3/30/2015

Signature

Date

Joseph J. Hawkins

63,194

Printed or Typed Name

Title or Registration Number

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Electronic Acknowledgement Receipt

EFS ID:	21911608
Application Number:	13722125
International Application Number:	
Confirmation Number:	4586
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Yoshihiro TAKAISHI
Customer Number:	466
Filer:	Joseph Jackson Hawkins
Filer Authorized By:	
Attorney Docket Number:	5754-1111
Receipt Date:	30-MAR-2015
Filing Date:	20-DEC-2012
Time Stamp:	12:35:01
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Power of Attorney	POA_Executed_PS4.pdf	130502 f108b201671da0e983d6a49c0550d1832f89ffde	no	2

Warnings:

Information:

2	Application Data Sheet	Corrected_ADS_13722125_Prnt.pdf	1133196 25d0404cc8cb0ef93c3b3ddfa9774ada91901090	no	6
Warnings:					
Information:					
This is not an USPTO supplied ADS fillable form					
3	Transmittal Letter	Transmittal_Rev.pdf	80935 f8204baceb8537aa649d450518ab5600ac29867a	no	1
Warnings:					
Information:					
4	Response After Final Action	LL2P00415US0_13722125_ResponseAfterFinal_Rev.pdf	99843 f0742984dba76c4f7d2fea78af1942b7bb7bf7b5	no	8
Warnings:					
Information:					
5	Assignee showing of ownership per 37 CFR 3.73.	LL2P00415US0_13722125_373c.pdf	119587 d1a638e8a7a5d615adf9dad5535e577e759b1095	no	3
Warnings:					
Information:					
Total Files Size (in bytes):			1564063		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 13/722,125	Filing Date 12/20/2012	☐ To be Mailed
---	---	----------------------------------	---------------------------------------

 ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO

APPLICATION AS FILED – PART I

FOR	NUMBER FILED (Column 1)	NUMBER EXTRA (Column 2)	RATE (\$)	FEE (\$)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X \$ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X \$ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).			
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))				
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL	

APPLICATION AS AMENDED – PART II

	(Column 1)	(Column 2)	(Column 3)	(Column 4)	(Column 5)	RATE (\$)	ADDITIONAL FEE (\$)	
AMENDMENT	03/30/2015	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA			
	Total (37 CFR 1.16(i))	* 19	Minus	** 20	= 0	X \$80 =	0	
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X \$420 =	0	
	☐ Application Size Fee (37 CFR 1.16(s))							
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							
TOTAL ADD'L FEE							0	
	(Column 1)	(Column 2)	(Column 3)	(Column 4)	(Column 5)			
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA			
	Total (37 CFR 1.16(i))	*	Minus	**	=	X \$ =		
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$ =		
	☐ Application Size Fee (37 CFR 1.16(s))							
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							
TOTAL ADD'L FEE								

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

 LIE
/DAVID SASFAI/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

POWER OF ATTORNEY TO PROSECUTE APPLICATIONS BEFORE THE USPTO

I hereby revoke all previous powers of attorney given in the application identified in the attached statement under 37 CFR 3.73(c).

I hereby appoint:



Practitioners associated with Customer Number:

130036

OR



Practitioner(s) named below (if more than ten patent practitioners are to be named, then a customer number must be used):

Name	Registration Number

Name	Registration Number

As attorney(s) or agent(s) to represent the undersigned before the United States Patent and Trademark Office (USPTO) in connection with any and all patent applications assigned only to the undersigned according to the USPTO assignment records or assignments documents attached to this form in accordance with 37 CFR 3.73(c).

Please change the correspondence address for the application identified in the attached statement under 37 CFR 3.73(c) to:



The address associated with Customer Number:

130036

OR

☐	Firm or Individual Name			
	Address			
	City	State	Zip	
	Country			
	Telephone	Email		

Assignee Name and Address: PS4 LUXCO S.A.R.L.
208, VAL DES BONS MALADES
LUXEMBOURG, LUXEMBOURG L-2121

A copy of this form, together with a statement under 37 CFR 3.73(c) (Form PTO/AIA/96 or equivalent) is required to be Filed in each application in which this form is used. The statement under 37 CFR 3.73(c) may be completed by one of The practitioners appointed in this form, and must identify the application in which this Power of Attorney is to be filed.

SIGNATURE of Assignee of Record

The individual whose signature and title is supplied below is authorized to act on behalf of the assignee

Signature		Date	March 23, 2015
Name	Tom D. Wippman	Telephone	
Title	Manager A, authorized to act on behalf of PS4 LUXCO S.A.R.L.		

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

STATEMENT UNDER 37 CFR 3.73(c)Applicant/Patent Owner: PS4 LUXCO S.A.R.L.Application No./Patent No.: 13/722,125Filed/Issue Date: December 20, 2012Titled: SEMICONDUCTOR DEVICEPS4 LUXCO S.A.R.L., a Corporation

(Name of Assignee)

(Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that, for the patent application/patent identified above, it is (choose one of options 1, 2, 3 or 4 below):

1. ☒ The assignee of the entire right, title, and interest.
2. ☐ An assignee of less than the entire right, title, and interest (check applicable box):
- ☐ The extent (by percentage) of its ownership interest is _____%. Additional Statement(s) by the owners holding the balance of the interest must be submitted to account for 100% of the ownership interest.
- ☐ There are unspecified percentages of ownership. The other parties, including inventors, who together own the entire right, title and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

3. ☐ The assignee of an undivided interest in the entirety (a complete assignment from one of the joint inventors was made). The other parties, including inventors, who together own the entire right, title, and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

4. ☐ The recipient, via a court proceeding or the like (e.g., bankruptcy, probate), of an undivided interest in the entirety (a complete transfer of ownership interest was made). The certified document(s) showing the transfer is attached.

The interest identified in option 1, 2 or 3 above (not option 4) is evidenced by either (choose one of options A or B below):

- A. ☐ An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.
- B. ☒ A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: TAKAISHI, YOSHIHIRO To: ELPIDA MEMORY, INC.The document was recorded in the United States Patent and Trademark Office at
Reel 029515, Frame 0618, or for which a copy thereof is attached.2. From: ELPIDA MEMORY, INC. To: PS4 LUXCO S.A.R.L.The document was recorded in the United States Patent and Trademark Office at
Reel 032901, Frame 0196, or for which a copy thereof is attached.

[Page 1 of 2]

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Western Digital Exhibit 1006

STATEMENT UNDER 37 CFR 3.73(c)

3. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

4. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

5. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

6. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☐ As required by 37 CFR 3.73(c)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Joseph J. Hawkins/

3/26/2015

Signature

Date

Joseph J. Hawkins

63,194

Printed or Typed Name

Title or Registration Number

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		
<p>The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.</p> <p>This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.</p>			

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)	
--	--

Inventor Information:

Inventor 1 Remove				
Legal Name				
Prefix	Given Name	Middle Name	Family Name	Suffix
	Yoshihiro		TAKAISHI	
Residence Information (Select One) ☐ US Residency ☒ Non US Residency ☐ Active US Military Service				
City	Tokyo	Country of Residence	JP	
Mailing Address of Inventor:				
Address 1		c/o Elpida Memory, Inc.		
Address 2		2-1, Yaesu 2-chome, Chuo-ku		
City	Tokyo	State/Province		
Postal Code		Country	JP	
All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the Add button. Add				

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below. For further information see 37 CFR 1.33(a).			
☐ An Address is being provided for the correspondence information of this application.			
Customer Number	00466		
Email Address	embon@young-thompson.com	Add Email	Remove Email

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		

Application Information:

Title of the Invention	SEMICONDUCTOR DEVICE		
Attorney Docket Number	8040-1178	Small Entity Status Claimed	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Suggested Class (if any)		Sub Class (if any)	
Suggested Technology Center (if any)			
Total Number of Drawing Sheets (if any)	10	Suggested Figure for Publication (if any)	

Publication Information:

☐	Request Early Publication (Fee required at time of Request 37 CFR 1.219)
☐	Request Not to Publish. I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application has not and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32). Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.			
<div style="border: 1px solid black; height: 20px; width: 100%;"></div>			
Please Select One:	☒ Customer Number	☐ US Patent Practitioner	☐ Limited Recognition (37 CFR 11.9)
Customer Number	80466 130036		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c) or indicate National Stage entry from a PCT application. Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.			
Prior Application Status		Remove	
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)
Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the Add button.			Add

Foreign Priority Information:

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		
<p>This section allows for the applicant to claim benefit of foreign priority and to identify any prior foreign application for which priority is not claimed. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(a).</p>			
			Remove
Application Number	Country ¹	Filing Date (YYYY-MM-DD)	Priority Claimed
2011-285544	JP	2011-12-27	☒ Yes ☐ No
Additional Foreign Priority Data may be generated within this form by selecting the Add button.			Add

Authorization to Permit Access:

☐ Authorization to Permit Access to the Instant Application by the Participating Offices
<p>If checked, the undersigned hereby grants the USPTO authority to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the World Intellectual Property Office (WIPO), and any other intellectual property offices in which a foreign application claiming priority to the instant patent application is filed access to the instant patent application. See 37 CFR 1.14(c) and (h). This box should not be checked if the applicant does not wish the EPO, JPO, KIPO, WIPO, or other intellectual property office in which a foreign application claiming priority to the instant patent application is filed to have access to the instant patent application.</p> <p>In accordance with 37 CFR 1.14(h)(3), access will be provided to a copy of the instant patent application with respect to: 1) the instant patent application-as-filed; 2) any foreign application to which the instant patent application claims priority under 35 U.S.C. 119(a)-(d) if a copy of the foreign application that satisfies the certified copy requirement of 37 CFR 1.55 has been filed in the instant patent application; and 3) any U.S. application-as-filed from which benefit is sought in the instant patent application.</p> <p>In accordance with 37 CFR 1.14(c), access may be provided to information concerning the date of filing this Authorization.</p>

Applicant Information:

<p>Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.</p>
--

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		

Applicant 1

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Remove

☒ Assignee	☐ Legal Representative under 35 U.S.C. 117
☐ Person to whom the inventor is obligated to assign.	☐ Person who shows sufficient proprietary interest

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor :

If the Assignee is an Organization check here. ☒Organization Name ~~Elpida Memory, Inc.~~ PS4 LUXCO S.A.R.L.**Mailing Address Information:**

Address 1	2-1, Yaesu 2-chome <u>208, VAL DES BONS MALADES</u>		
Address 2	Chuo-ku		
City	Tokyo <u>LUXEMBOURG</u>	State/Province	
Country ¹	JP <u>LUXEMBOURG</u>	Postal Code	<u>L-2121</u>
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button.

Add

Signature:

Remove

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications

Signature	/Eric Jensen/		Date (YYYY-MM-DD)	2012-12-19
First Name	Eric	Last Name	Jensen	Registration Number
			37855	

Additional Signature may be generated within this form by selecting the Add button.

Add

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

**TERMINAL DISCLAIMER TO OBVIATE A PROVISIONAL DOUBLE PATENTING
REJECTION OVER A PENDING "REFERENCE" APPLICATION**Docket Number (Optional)
LL2P00415US0

In re Application of: Yoshihiro TAKAISHI

Application No.: 13/722,125

Filed: December 20, 2012

For: SEMICONDUCTOR DEVICE

The applicant, PS4 LUXCO S.A.R.L., owner of 100 percent interest in the instant application hereby disclaims, except as provided below, the terminal part of the statutory term of any patent granted on the instant application which would extend beyond the expiration date of the full statutory term of any patent granted on pending **reference** Application Number 12/212,364, filed, September 17, 2008, as the term of any patent granted on said **reference** application may be shortened by any terminal disclaimer filed prior to the grant of any patent on the pending **reference** application. The applicant hereby agrees that any patent so granted on the instant application shall be enforceable only for and during such period that it and any patent granted on the **reference** application are commonly owned. This agreement runs with any patent granted on the instant application and is binding upon the grantee, its successors or assigns.

In making the above disclaimer, the applicant does not disclaim the terminal part of any patent granted on the instant application that would extend to the expiration date of the full statutory term of any patent granted on said **reference** application, "as the term of any patent granted on said **reference** application may be shortened by any terminal disclaimer filed prior to the grant of any patent on the pending **reference** application," in the event that: any such patent granted on the pending **reference** application expires for failure to pay a maintenance fee, is held unenforceable, is found invalid by a court of competent jurisdiction, is statutorily disclaimed in whole or terminally disclaimed under 37 CFR 1.321, has all claims canceled by a reexamination certificate, is reissued, or is in any manner terminated prior to the expiration of its full statutory term as shortened by any terminal disclaimer filed prior to its grant.

Check either box 1 or 2 below, if appropriate.

1. ☐ The undersigned is the applicant. If the applicant is an assignee, the undersigned is authorized to act on behalf of the assignee.

I hereby acknowledge that any willful false statements made are punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

2. ☒ The undersigned is an attorney or agent of record. Reg. No. 63,194

/Joseph J. Hawkins/
Signature

03/26/2015
Date

Joseph J. Hawkins
Typed or printed name

Attorney
Title

801-578-6971
Telephone Number

- ☒ Terminal disclaimer fee under 37 CFR 1.20(d) is included.

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.321. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

In re application of:

Yoshihiro TAKAISHI

Application No. 13/722,125

Filed: December 20, 2012

For: **SEMICONDUCTOR DEVICE**

Group Art Unit: 2823

Examiner: Coleman, William D.

Confirmation No. 4586

Docket No. LL12P00415US0

TRANSMITTAL LETTER

I hereby certify that the following papers are being submitted to the United States Patent and Trademark Office via EFS-Web electronic filing system on March 26, 2015.

1. An executed power of attorney;
2. A Statement under 37 C.F.R. 3.73(c) establishing ownership of the Application;
3. A Corrected Application Data Sheet that designates the assignee as the applicant of the Application;
4. A Terminal Disclaimer and Fee;
5. A response after final under 37 C.F.R. § 1.116

The Commissioner is authorized to charge any additional fees required in connection with the filing of these papers, or credit overpayment, to **Deposit Account No. 502375**.

Signature: **Joseph J. Hawkins/**

Joseph J. Hawkins
Registration No. 63,194
Dated March 26, 2015

STOEL RIVES LLP
One Utah Center Suite 1100
201 S Main Street
Salt Lake City, UT 84111-4904
Telephone: (801) 328-3131
Facsimile: (801) 578-6999

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Confirmation No. 4586

Yoshihiro TAKAISHI

Application No. 13/722,125

Filed: December 20, 2012

For: **SEMICONDUCTOR DEVICE**

Group Art Unit: 2823

Examiner: Coleman, William D.

Docket No. LL12P00415US0

RESPONSE AFTER FINAL UNDER 37 C.F.R. § 1.116

TO THE COMMISSIONER FOR PATENTS:

This paper is being filed in response to the Final Office Action of January 29, 2015, and includes:

A **Listing of Claims** that begins on page 2; and

Remarks that begin on page 7.

LISTING OF CLAIMS

1. (Previously presented) A semiconductor device comprising:
 - a plurality of vertical transistors provided to stand from a semiconductor substrate and comprising a diffusion layer at their end portions on the semiconductor substrate side;
 - a conductive plug provided to stand from the semiconductor substrate and connected to the diffusion layer of the plurality of vertical transistors, the plurality of vertical transistors being uniformly arranged near the conductive plug and sharing the diffusion layer and the conductive plug; and
 - a dummy pillar provided to stand from the semiconductor substrate and comprising, over a side surface of the dummy pillar, a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors.
2. (Original) The semiconductor device according to claim 1, wherein each vertical transistor comprises:
 - a semiconductor pillar provided to stand from the semiconductor substrate and forming a channel;
 - a gate insulating film and a gate electrode provided over a side surface of the semiconductor pillar;
 - an upper diffusion layer provided at an upper end of the semiconductor pillar and serving as one of a source and a drain; and
 - a lower diffusion layer provided at a lower end of the semiconductor pillar and serving as the other of the source and the drain,the conductive plug is a lower diffusion layer side contact plug connected to the lower diffusion layer,
 - the plurality of vertical transistors share the lower diffusion layer and the lower diffusion layer side contact plug, and
 - the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

3. (Original) The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

4. (Original) The semiconductor device according to claim 2, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the lower diffusion layer side contact plug is twice or less a distance between the lower diffusion layer side contact plug and the semiconductor pillar closest to the lower diffusion layer side contact plug.

5. (Original) The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug in a Π -shape in plan view.

6. (Original) The semiconductor device according to claim 5, wherein a plurality of lower diffusion layer side contact plugs are provided, the semiconductor pillars are arranged in a shape combining a plurality of Π -shapes in plan view, and the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the Π -shapes.

7. (Original) The semiconductor device according to claim 6, wherein the semiconductor pillars are arranged in a shape combining two Π -shapes in plan view, and the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the two Π -shapes.

8. (Original) The semiconductor device according to claim 2, wherein the gate electrodes provided over the side surfaces of the semiconductor pillars are connected to each other between the adjacent semiconductor pillars, thereby forming a single gate electrode shared by the semiconductor pillars.

9. (Canceled).

10. (Previously presented) The semiconductor device according to claim 1, further comprising an active region in which the semiconductor pillars are arranged and an element isolation region surrounding the active region,

wherein the dummy pillar is disposed at a position lying over the active region, and the element isolation region and comprises the power feed gate electrode over the side surface of the dummy pillar, and the power feed gate electrode is connected to the gate electrode between the dummy pillar and the semiconductor pillar closest to the dummy pillar.

11. (Original) The semiconductor device according to claim 10, wherein the dummy pillar comprises a first dummy pillar standing in the active region and a second dummy pillar standing in the element isolation region and is an integrated pillar in which one side surface of the first dummy pillar and one side surface of the second dummy pillar are in contact with each other.

12. (Original) The semiconductor device according to claim 11, wherein another side surface, located on an opposite side of the one side surface, of the first dummy pillar faces the side surface of the semiconductor pillar closest to the dummy pillar.

13. (Original) The semiconductor device according to claim 2, wherein the upper diffusion layers are connected to each other so that the plurality of vertical transistors are connected in parallel to each other.

14. (Original) The semiconductor device according to claim 2, wherein each semiconductor pillar has a thickness which allows full depletion.

15. (Previously presented) A semiconductor device comprising:
a plurality of semiconductor pillars provided to stand from a semiconductor substrate,
each of the semiconductor pillars forming a channel;
a gate insulating film and a gate electrode provided over a side surface of each of the semiconductor pillars;
an upper diffusion layer provided at an upper end of each of the semiconductor pillars to serve as one of a source and a drain;

a lower diffusion layer operatively coupled to a lower end of each of the semiconductor pillars to serve as the other of the source and the drain; and
a lower diffusion layer side contact plug connected to the lower diffusion layer,
wherein the semiconductor pillars share the lower diffusion layer and the lower diffusion layer side contact plug, and
wherein the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

16. (Original) The semiconductor device according to claim 15, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

17. (Original) The semiconductor device according to claim 16, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the conductive plug is twice or less a distance between the conductive plug and the semiconductor pillar closest to the conductive plug.

18. (Currently amended) A semiconductor device comprising:
a semiconductor substrate with an active region provided on a surface of said semiconductor substrate;
a plurality of vertical transistors provided in the active region so as to stand from the semiconductor substrate;
a lower diffusion layer at end portions of each of said vertical transistors on the semiconductor substrate side;
upper diffusion layers at opposite upper portions of each of said vertical transistors;
a conductive plug provided to stand from the semiconductor substrate and connected to the lower diffusion layer of the plurality of vertical transistors, the plurality of vertical transistors being uniformly arranged near the conductive plug and sharing the upper diffusion layers and the lower diffusion layer so as to be connected in parallel to each other; and

a dummy pillar provided to stand from the semiconductor substrate and comprising, over a side surface of the dummy pillar, a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors.

19. (Original) The semiconductor device according to claim 18, wherein the plurality of vertical transistors are uniformly arranged so as to surround the conductive plug.

20. (Original) The semiconductor device according to claim 18, wherein, in plan view, a distance between the conductive plug and the vertical transistor farthest from the conductive plug is twice or less a distance between the conductive plug and the vertical transistor closest to the conductive plug.

REMARKS

This paper is being filed in response to the Final Office Action of January 29, 2015 (the "Office Action"). In accordance with 37 C.F.R. § 1.116, this response places the Application in condition for allowance by complying with formal requirements of the Office Action.

STATUS OF THE CLAIMS

Claims 1-8 and 10-20 are pending in the Application. Claim 9 was previously canceled without prejudice or disclaimer.

In the Office Action, claims 1-8, 10-14, and 18-20 are allowed. Claims 15-17 stand provisionally rejected on the ground of nonstatutory double patenting over claims 1 and 2 of copending U.S. Patent Application Serial No. 12/212,364.

REMARKS REGARDING CLAIMS 15-17

A terminal disclaimer is filed herewith, rendering the provisional rejection of claims 15-17 on the grounds of nonstatutory double patenting over claims 1 and 2 of copending U.S. Patent Application Serial No. 12/212,364 moot.

CONCLUSION

The Applicant respectfully submits that the Application is in condition for allowance, and a Notice of Allowance is respectfully requested. If the Examiner notes any further matters that may be resolved by a telephone interview, the Examiner is encouraged to contact Joseph J. Hawkins by telephone at (801) 578-6971 or email at jhawkins@stoel.com.

Respectfully submitted,

By **/Joseph J. Hawkins/**

Joseph J. Hawkins
Registration No. 63,194

STOEL RIVES LLP
One Utah Center Suite 1100
201 S Main Street
Salt Lake City, UT 84111-4904
Telephone: (801) 328-3131

Electronic Patent Application Fee Transmittal

Application Number:	13722125			
Filing Date:	20-Dec-2012			
Title of Invention:	SEMICONDUCTOR DEVICE			
First Named Inventor/Applicant Name:	Yoshihiro TAKAISHI			
Filer:	Joseph Jackson Hawkins			
Attorney Docket Number:	5754-1111			
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Statutory or Terminal Disclaimer	1814	1	160	160
Total in USD (\$)				160

Electronic Acknowledgement Receipt

EFS ID:	21888166
Application Number:	13722125
International Application Number:	
Confirmation Number:	4586
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Yoshihiro TAKAISHI
Customer Number:	466
Filer:	Joseph Jackson Hawkins
Filer Authorized By:	
Attorney Docket Number:	5754-1111
Receipt Date:	26-MAR-2015
Filing Date:	20-DEC-2012
Time Stamp:	16:38:58
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$ 160
RAM confirmation Number	3361
Deposit Account	502375
Authorized User	HAWKINS, JOSEPH J.

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination process fees)

Western Digital Exhibit 1006

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Power of Attorney	POA_Executed_PS4.pdf	130502	no	2
			f108b201671da0e983d6a49c0550d1832f89ffde		
Warnings:					
Information:					
2	Assignee showing of ownership per 37 CFR 3.73.	LL2P00415US0_13722125_373c.pdf	119577	no	3
			2c1d33e688f1db3e36626c6ab31a82eb7d302b8d		
Warnings:					
Information:					
3	Application Data Sheet	Corrected_ADS_13722125_Prnt.pdf	1133196	no	6
			25d0404cc8cb0ef93c3b3ddfa9774ada919d1090		
Warnings:					
Information:					
This is not an USPTO supplied ADS fillable form					
4	Terminal Disclaimer Filed	LL2P00415US0_13722125_Terminal.pdf	247062	no	2
			9d7f79fbd8eb5656ca541a1bd4a88e9ab4a734a4		
Warnings:					
Information:					
5	Transmittal Letter	Transmittal.pdf	79661	no	1
			9ea27b4e943c5ed9dbd46a918000e413cedffc9c		
Warnings:					
Information:					
6	Response After Final Action	LL2P00415US0_ResponseAfterFinal.pdf	95419	no	7
			dc5daad38aaf843b0a16ab0e0b573e23b4d00e86		
Warnings:					
Information:					
7	Fee Worksheet (SB06)	fee-info.pdf	30415	no	2
			808af883f20c489b8dee95d4fb79d461b78969cd		
Warnings:					
Information:					
Total Files Size (in bytes):			Western Digital Exhibit 1006		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Electronic Acknowledgement Receipt

EFS ID:	21888166
Application Number:	13722125
International Application Number:	
Confirmation Number:	4586
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Yoshihiro TAKAISHI
Customer Number:	466
Filer:	Joseph Jackson Hawkins
Filer Authorized By:	
Attorney Docket Number:	5754-1111
Receipt Date:	26-MAR-2015
Filing Date:	20-DEC-2012
Time Stamp:	16:38:58
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$ 160
RAM confirmation Number	3361
Deposit Account	502375
Authorized User	HAWKINS, JOSEPH J.

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination process fees)

Western Digital Exhibit 1006

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Power of Attorney	POA_Executed_PS4.pdf	130502	no	2
			f108b201671da0e983d6a49c0550d1832f89ffde		
Warnings:					
Information:					
2	Assignee showing of ownership per 37 CFR 3.73.	LL2P00415US0_13722125_373c.pdf	119577	no	3
			2c1d33e688f1db3e36626c6ab31a82eb7d302b8d		
Warnings:					
Information:					
3	Application Data Sheet	Corrected_ADS_13722125_Prnt.pdf	1133196	no	6
			25d0404cc8cb0ef93c3b3ddfa9774ada919d1090		
Warnings:					
Information:					
This is not an USPTO supplied ADS fillable form					
4	Terminal Disclaimer Filed	LL2P00415US0_13722125_Terminal.pdf	247062	no	2
			9d7f79fbd8eb5656ca541a1bd4a88e9ab4a734a4		
Warnings:					
Information:					
5	Transmittal Letter	Transmittal.pdf	79661	no	1
			9ea27b4e943c5ed9dbd46a918000e413cedffc9c		
Warnings:					
Information:					
6	Response After Final Action	LL2P00415US0_ResponseAfterFinal.pdf	95419	no	7
			dc5daad38aaf843b0a16ab0e0b573e23b4d00e86		
Warnings:					
Information:					
7	Fee Worksheet (SB06)	fee-info.pdf	30415	no	2
			808af883f20c489b8dee95df4b79d461b78969cd		
Warnings:					
Information:					
Total Files Size (in bytes):			Western Digital Exhibit 1006		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 13/722,125	Filing Date 12/20/2012	☐ To be Mailed
---	---	----------------------------------	---------------------------------------

ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO

APPLICATION AS FILED – PART I

(Column 1)

(Column 2)

FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X \$ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X \$ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).			
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))				
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL	

APPLICATION AS AMENDED – PART II

(Column 1)

(Column 2)

(Column 3)

AMENDMENT	03/26/2015	CLAIMS REMAINING AFTER AMENDMENT	MINUS	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	* 19	Minus	** 20	= 0	X \$80 =	0
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X \$420 =	0
	☐ Application Size Fee (37 CFR 1.16(s))						
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						
TOTAL ADD'L FEE						0	

(Column 1)

(Column 2)

(Column 3)

AMENDMENT	CLAIMS REMAINING AFTER AMENDMENT	MINUS	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X \$ =
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$ =
	☐ Application Size Fee (37 CFR 1.16(s))					
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					
TOTAL ADD'L FEE						

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

LIE
/MONIQUE BRUNSON/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/722,125	12/20/2012	Yoshihiro TAKAISHI	5754-1111	4586

466 7590 01/29/2015
YOUNG & THOMPSON
209 Madison Street
Suite 500
Alexandria, VA 22314

EXAMINER

COLEMAN, WILLIAM D

ART UNIT	PAPER NUMBER
----------	--------------

2823

NOTIFICATION DATE	DELIVERY MODE
-------------------	---------------

01/29/2015

ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

DocketingDept@young-thompson.com
yandtpair@firsttofile.com

Office Action Summary	Application No. 13/722,125	Applicant(s) TAKAISHI, YOSHIHIRO	
	Examiner WILLIAM D. COLEMAN	Art Unit 2823	AIA (First Inventor to File) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
 - If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
 - Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133).
- Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) ☒ Responsive to communication(s) filed on November 25, 2014.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.
- 2a) ☒ This action is **FINAL**. 2b) ☐ This action is non-final.
- 3) ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
- 4) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

- 5) ☒ Claim(s) 1-20 is/are pending in the application.
5a) Of the above claim(s) _____ is/are withdrawn from consideration.
- 6) ☒ Claim(s) 1-8, 10-14 and 18-20 is/are allowed.
- 7) ☒ Claim(s) 15-17 is/are rejected.
- 8) ☐ Claim(s) _____ is/are objected to.
- 9) ☐ Claim(s) _____ are subject to restriction and/or election requirement.

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

Application Papers

- 10) ☐ The specification is objected to by the Examiner.
- 11) ☐ The drawing(s) filed on _____ is/are: a) ☐ accepted or b) ☐ objected to by the Examiner.
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

- 12) ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

- a) ☒ All b) ☐ Some** c) ☐ None of the:
1. ☒ Certified copies of the priority documents have been received.
 2. ☐ Certified copies of the priority documents have been received in Application No. _____.
 3. ☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

- | | |
|---|---|
| 1) ☒ Notice of References Cited (PTO-892) | 3) ☐ Interview Summary (PTO-413)
Paper No(s)/Mail Date. _____ |
| 2) ☐ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b)
Paper No(s)/Mail Date _____ | 4) ☐ Other: _____ |

1. The present application is being examined under the pre-AIA first to invent provisions.

DETAILED ACTION

Allowable Subject Matter

2. Claims 1-8, 10-14 and 18-20 allowed.
3. The following is an examiner's statement of reasons for allowance: reasons for allowance are recited in Applicants arguments/remarks filed November 25, 2014.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Double Patenting

4. The nonstatutory double patenting rejection is based on a judicially created doctrine grounded in public policy (a policy reflected in the statute) so as to prevent the unjustified or improper timewise extension of the "right to exclude" granted by a patent and to prevent possible harassment by multiple assignees. A nonstatutory double patenting rejection is appropriate where the claims at issue are not identical, but at least one examined application claim is not patentably distinct from the reference claim(s) because the examined application claim is either anticipated by, or would have been obvious over, the reference claim(s). See, e.g., *In re Berg*, 140 F.3d 1428, 46 USPQ2d 1226 (Fed. Cir. 1998); *In re Goodman*, 11 F.3d 1046, 29 USPQ2d 2010 (Fed. Cir. 1993); *In re Longi*, 759 F.2d 887, 225 USPQ 645 (Fed. Cir. 1985); *In re Van*

Art Unit: 2823

Ornum, 686 F.2d 937, 214 USPQ 761 (CCPA 1982); *In re Vogel*, 422 F.2d 438, 164 USPQ 619 (CCPA 1970); and *In re Thorington*, 418 F.2d 528, 163 USPQ 644 (CCPA 1969).

A timely filed terminal disclaimer in compliance with 37 CFR 1.321(c) or 1.321(d) may be used to overcome an actual or provisional rejection based on a nonstatutory double patenting ground provided the reference application or patent either is shown to be commonly owned with this application, or claims an invention made as a result of activities undertaken within the scope of a joint research agreement. A terminal disclaimer must be signed in compliance with 37 CFR 1.321(b).

The USPTO internet Web site contains terminal disclaimer forms which may be used. Please visit <http://www.uspto.gov/forms/>. The filing date of the application will determine what form should be used. A web-based eTerminal Disclaimer may be filled out completely online using web-screens. An eTerminal Disclaimer that meets all requirements is auto-processed and approved immediately upon submission. For more information about eTerminal Disclaimers, refer to <http://www.uspto.gov/patents/process/file/efs/guidance/eTD-info-I.jsp>.

5. Claims 15-17 are provisionally rejected on the ground of nonstatutory double patenting over claims 1 and 2 of copending Application No. 12/212,364. This is a provisional double patenting rejection because the patentably indistinct claims have not in fact been patented.

The subject matter claimed in the instant application is fully disclosed in the referenced copending application and would be covered by any patent granted on that copending application since the referenced copending application and the instant application are claiming common subject matter, as follows: a semiconductor memory device comprising semiconductor pillars having an upper diffusion layer, lower diffusion layer, conductive plug. Please note that

Art Unit: 2823

currently amended claim 15 includes only functional language, i.e., “operatively coupled” which will still read on copending Application 12/212,364.

Furthermore, there is no apparent reason why applicant would be prevented from presenting claims corresponding to those of the instant application in the other copending application. See *In re Schneller*, 397 F.2d 350, 158 USPQ 210 (CCPA 1968). See also MPEP § 804.

Conclusion

6. Applicant's amendment necessitated the new ground(s) of rejection presented in this Office action. Accordingly, **THIS ACTION IS MADE FINAL**. See MPEP § 706.07(a). Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the date of this final action.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to WILLIAM D. COLEMAN whose telephone number is (571)272-1856. The examiner can normally be reached on Monday-Friday 9:00 AM - 5:30 PM.

Art Unit: 2823

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Olik Chaudhuri can be reached on 571-272-9820. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/WILLIAM D COLEMAN/
Primary Examiner, Art Unit 2823

Notice of References Cited	Application/Control No. 13/722,125	Applicant(s)/Patent Under Reexamination TAKAISHI, YOSHIHIRO	
	Examiner WILLIAM D. COLEMAN	Art Unit 2823	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-2009/0072291	03-2009	TAKAISHI, Yoshihiro	257/306
	B	US-			
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

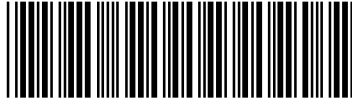
FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

<p><i>Index of Claims</i></p> 	Application/Control No. 13722125	Applicant(s)/Patent Under Reexamination TAKAISHI, YOSHIHIRO
	Examiner DAMON HILLMAN	Art Unit 2891

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant					☐ CPA					☐ T.D.					☐ R.1.47				
CLAIM		DATE																	
Final	Original	11/18/2013	08/20/2014	01/23/2015															
	1	✓	✓	=															
	2	✓	✓	=															
	3	✓	✓	=															
	4	✓	✓	=															
	5	✓	✓	=															
	6	✓	✓	=															
	7	✓	✓	=															
	8	✓	✓	=															
	9	✓	O	-															
	10	✓	O	=															
	11	✓	O	=															
	12	✓	O	=															
	13	✓	O	=															
	14	✓	O	=															
	15	✓	O	✓															
	16	✓	O	✓															
	17	✓	O	✓															
	18	✓	✓	=															
	19	✓	✓	=															
	20	✓	✓	=															

MS Amendment
PATENT
5754-1111

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of:

Yoshihiro TAKAISHI

Conf.: 4586

Application No.: 13/722,125

Group: 2891

Filed: December 20, 2012

Examiner: Hillman, Damon A.

SEMICONDUCTOR DEVICE

AMENDMENT

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

November 25, 2014

Sir:

In response to the Office Action mailed August 26, 2014, please amend the above-identified application as follows:

Amendments to the Claims are reflected in the listing of claims which begins on page 2 of this paper.

Remarks begin on page 10 of this paper.

AMENDMENTS TO THE CLAIMS:

This listing of claims will replace all prior versions, and listings, of claims in the application:

LISTING OF CLAIMS:

1. (currently amended) A semiconductor device comprising:

a plurality of vertical transistors provided to stand from a semiconductor substrate and comprising a diffusion layer at their end portions on the semiconductor substrate side; and

a conductive plug provided to stand from the semiconductor substrate and connected to the diffusion layer of the plurality of vertical transistors, the plurality of vertical transistors being uniformly arranged near the conductive plug and sharing the diffusion layer and the conductive plug; and

a dummy pillar provided to stand from the semiconductor substrate and comprising, over a side surface of the dummy pillar, a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors ~~wherein the plurality of vertical transistors are uniformly arranged near the conductive plug and share the diffusion layer and the conductive plug.~~

2. (original) The semiconductor device according to claim 1, wherein

each vertical transistor comprises:

a semiconductor pillar provided to stand from the semiconductor substrate and forming a channel;

a gate insulating film and a gate electrode provided over a side surface of the semiconductor pillar;

an upper diffusion layer provided at an upper end of the semiconductor pillar and serving as one of a source and a drain; and

a lower diffusion layer provided at a lower end of the semiconductor pillar and serving as the other of the source and the drain,

the conductive plug is a lower diffusion layer side contact plug connected to the lower diffusion layer,

the plurality of vertical transistors share the lower diffusion layer and the lower diffusion layer side contact plug, and

the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

3. (original) The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

4. (original) The semiconductor device according to claim 2, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the lower diffusion layer side contact plug is twice or less a distance between the lower diffusion layer side contact plug and the semiconductor pillar closest to the lower diffusion layer side contact plug.

5. (original) The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug in a Π -shape in plan view.

6. (original) The semiconductor device according to claim 5, wherein

a plurality of lower diffusion layer side contact plugs are provided,

the semiconductor pillars are arranged in a shape combining a plurality of Π -shapes in plan view, and

the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the Π -shapes.

7. (original) The semiconductor device according to claim 6, wherein

the semiconductor pillars are arranged in a shape combining two Π -shapes in plan view, and

the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the two Π -shapes.

8. (original) The semiconductor device according to claim 2, wherein the gate electrodes provided over the side surfaces of the semiconductor pillars are connected to each other between the adjacent semiconductor pillars, thereby forming a single gate electrode shared by the semiconductor pillars.

9. (canceled)

10. (currently amended) The semiconductor device according to claim ~~[[9]]~~ 1, further comprising an active region in which the semiconductor pillars are arranged and an element isolation region surrounding the active region,

wherein the dummy pillar is disposed at a position lying over the active region and the element isolation region, and comprises the power feed gate electrode over the side surface of the dummy pillar, and the power feed gate electrode is connected to the gate electrode between the dummy pillar and the semiconductor pillar closest to the dummy pillar.

11. (original) The semiconductor device according to claim 10, wherein the dummy pillar comprises a first dummy pillar standing in the active region and a second dummy pillar standing in the element isolation region and is an integrated pillar in which one side surface of the first dummy pillar and one side surface of the second dummy pillar are in contact with each other.

12. (original) The semiconductor device according to claim 11, wherein another side surface, located on an opposite side of the one side surface, of the first dummy pillar faces the side surface of the semiconductor pillar closest to the dummy pillar.

13. (original) The semiconductor device according to claim 2, wherein the upper diffusion layers are connected to each other so that the plurality of vertical transistors are connected in parallel to each other.

14. (original) The semiconductor device according to claim 2, wherein each semiconductor pillar has a thickness which allows full depletion.

15. (currently amended) A semiconductor device comprising:

a plurality of semiconductor pillars provided to stand from a semiconductor substrate, each of the semiconductor pillars forming a channel;

a gate insulating film and a gate electrode provided over a side surface of each of the semiconductor pillars;

an upper diffusion layer provided at an upper end of each of the semiconductor pillars to serve as one of a source and a drain;

a lower diffusion layer ~~provided at~~ operatively coupled to a lower end of each of the semiconductor pillars to serve as the other of the source and the drain; and

a lower diffusion layer side contact plug connected to the lower diffusion layer,

wherein the semiconductor pillars share the lower diffusion layer and the lower diffusion layer side contact plug, and

wherein the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

16. (original) The semiconductor device according to claim 15, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

17. (original) The semiconductor device according to claim 16, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the conductive plug is twice or less a distance between the conductive plug and the semiconductor pillar closest to the conductive plug.

18. (currently amended) A semiconductor device comprising:

a semiconductor substrate with an active region provided on a surface of said semiconductor substrate;

a plurality of vertical transistors provided in the active region so as to stand from the semiconductor substrate;

a lower diffusion layer at end portions of each of said vertical transistors on the semiconductor substrate side;

upper diffusion layers at opposite upper portions of each of said vertical transistors; ~~and~~

a conductive plug provided to stand from the semiconductor substrate and connected to the lower diffusion layer of the plurality of vertical transistors, ~~wherein~~ the plurality of vertical transistors ~~are~~ being uniformly arranged near the conductive plug and ~~share~~ sharing the upper diffusion layers and the lower diffusion layer so as to be connected in parallel to each other; and

a dummy pillar provided to stand from the semiconductor substrate and comprising, over a side surface of the dummy pillar, a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors.

19. (original) The semiconductor device according to claim 18, wherein the plurality of vertical transistors are uniformly arranged so as to surround the conductive plug.

20. (original) The semiconductor device according to claim 18, wherein, in plan view, a distance between the conductive plug and the vertical transistor farthest from the conductive plug is twice or less a distance between the conductive plug and the vertical transistor closest to the conductive plug.

REMARKS

The application has been amended and is believed to be in condition for allowance.

The indication that claims 9-17 would be allowable if rewritten in independent form is acknowledged with thanks.

Further to this, Applicants note that claim 15 is already in independent form, and therefore understand that claim 15 and claims 16-17 depending therefrom are allowed.

In addition, the undersigned appreciates with thanks the Examiner's taking time to discuss this application in several telephonic interviews. The substance of the interview was an agreement that the rejections for obviousness, non-statutory double patenting, and indefiniteness of the Office Action of February 21, 2014 will be withdrawn, and further that the subject matter recited in dependent claim 9 pertaining to a dummy pillar is directed to allowable subject matter.

Particularly to the latter, it was agreed that an amendment to include the subject matter of claim 9 with independent claim 1 would place claim 1 into condition for allowance regardless of whether such amendment also included the subject matter of intervening dependent claims 2 and 8.

The recollection foregoing is believed to be consistent with the Interview Summary that was issued August 26, 2014.

Amendments to the Application

Independent claims 1 and 18 are amended to incorporate the subject matter of dependent claim 9, exclusive of the subject matter of intervening dependent claims 2 and 8.

Claim 9 is canceled, without prejudice, as being redundant with amended claim 1. Dependent claim 10 is amended to depend directly from claim 1.

Claim 15 is amended with a minor revision believed to improve the clarity of the claim language.

None of the amendments foregoing is believed to introduce new matter.

Prior Art Rejections - Section 102

The Office Action rejected claims 1-8 and 13-20 under 35 USC 102(b) as being anticipated by Takaishi (U.S. Pub. No. 2009/0085102, (Japanese Patent Abstract 2009-081389); hereafter "TAKAISHI").

In response, it is firstly noted that independent claims 1 and 18 have been amended, as indicated above, to recite a dummy pillar as previously recited by former claim 9, provided to stand from the semiconductor substrate, this dummy pillar comprising, over a side surface of the dummy pillar, a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors.

It is respectfully submitted, based at least on the indications by the Examiner indicated in the telephonic

interviews discussed above, that TAKAISHI does not anticipate, or even suggest, a semiconductor device as recited by claims 1 and 18 as amended to include this feature.

Accordingly, it is respectfully submitted that claims 1 and 18 are allowable over TAKAISHI.

It is also respectfully submitted that the claims depending from claims 1 and 18 are allowable at least in that they each depend from an allowable base claim.

Withdrawal of the rejections under Section 102 is thereby respectfully requested.

Further, as indicated above, claims 15-17 are understood to be allowed.

Applicant thereby respectfully requests, for each and all the reasons set forth above, reconsideration of the claims as presented herewith and their early passage to issue.

Applicant respectfully submits that the instant paper fully responds to the August 26, 2014 Official Action and that the claims as presented are patentable.

In order to expedite the prosecution of this case, the Examiner is invited to telephone the attorney for Applicant at the number provided below to discuss any matters that might be helpful to advancing the case toward allowance.

The Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fees required under 37 C.F.R. § 1.16 or under 37 C.F.R. § 1.17.

Respectfully submitted,

YOUNG & THOMPSON

/Jeremy G. Mereness/
Jeremy G. Mereness, Reg. No. 63,422
209 Madison Street
Suite 500
Alexandria, VA 22314
Telephone (703) 521-2297
Telefax (703) 685-0573

JGM/clt

Electronic Acknowledgement Receipt

EFS ID:	20801030
Application Number:	13722125
International Application Number:	
Confirmation Number:	4586
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Yoshihiro TAKAISHI
Customer Number:	466
Filer:	Eric Jensen/Cynthia Thompson
Filer Authorized By:	Eric Jensen
Attorney Docket Number:	5754-1111
Receipt Date:	25-NOV-2014
Filing Date:	20-DEC-2012
Time Stamp:	17:00:57
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		AMD.pdf	51456 65cb27080a3547237edc5ec9253ecec8a0839fa3	yes	13

	Multipart Description/PDF files in .zip description		
	Document Description	Start	End
	Amendment/Req. Reconsideration-After Non-Final Reject	1	1
	Claims	2	9
	Applicant Arguments/Remarks Made in an Amendment	10	13
Warnings:			
Information:			
Total Files Size (in bytes):		51456	
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>			

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 13/722,125	Filing Date 12/20/2012	☐ To be Mailed
---	---	----------------------------------	---------------------------------------

ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO**APPLICATION AS FILED – PART I**

(Column 1)

(Column 2)

FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X \$ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X \$ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).			
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))				
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL	

APPLICATION AS AMENDED – PART II

(Column 1)

(Column 2)

(Column 3)

AMENDMENT	11/25/2014	CLAIMS REMAINING AFTER AMENDMENT	MINUS	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	* 19	Minus	** 20	= 0	X \$80 =	0
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X \$420 =	0
	☐ Application Size Fee (37 CFR 1.16(s))						
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						
						TOTAL ADD'L FEE	0

(Column 1)

(Column 2)

(Column 3)

AMENDMENT	CLAIMS REMAINING AFTER AMENDMENT	MINUS	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X \$ =
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$ =
	☐ Application Size Fee (37 CFR 1.16(s))					
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					
						TOTAL ADD'L FEE

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

LIE
/URSULA BENTON/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/722,125	12/20/2012	Yoshihiro TAKAISHI	5754-1111	4586

466 7590 08/26/2014
YOUNG & THOMPSON
209 Madison Street
Suite 500
Alexandria, VA 22314

EXAMINER

COLEMAN, WILLIAM D

ART UNIT	PAPER NUMBER
----------	--------------

2823

NOTIFICATION DATE	DELIVERY MODE
-------------------	---------------

08/26/2014

ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

DocketingDept@young-thompson.com
yandtpair@firsttofile.com

Office Action Summary	Application No. 13/722,125	Applicant(s) TAKAISHI, YOSHIHIRO	
	Examiner WILLIAM D. COLEMAN	Art Unit 2823	AIA (First Inventor to File) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) ☒ Responsive to communication(s) filed on February 21, 2014.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on ____.
- 2a) ☐ This action is **FINAL**. 2b) ☒ This action is non-final.
- 3) ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on ____; the restriction requirement and election have been incorporated into this action.
- 4) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

- 5) ☒ Claim(s) 1-20 is/are pending in the application.
5a) Of the above claim(s) ____ is/are withdrawn from consideration.
- 6) ☐ Claim(s) ____ is/are allowed.
- 7) ☒ Claim(s) 1-8 and 18-20 is/are rejected.
- 8) ☒ Claim(s) 9-17 is/are objected to.
- 9) ☐ Claim(s) ____ are subject to restriction and/or election requirement.

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

Application Papers

- 10) ☐ The specification is objected to by the Examiner.
- 11) ☐ The drawing(s) filed on ____ is/are: a) ☐ accepted or b) ☐ objected to by the Examiner.
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

- 12) ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

- a) ☒ All b) ☐ Some** c) ☐ None of the:
1. ☒ Certified copies of the priority documents have been received.
2. ☐ Certified copies of the priority documents have been received in Application No. ____.
3. ☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

- 1) ☐ Notice of References Cited (PTO-892)
- 2) ☐ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b)
Paper No(s)/Mail Date ____.
- 3) ☒ Interview Summary (PTO-413)
Paper No(s)/Mail Date ____.
- 4) ☐ Other: ____.

Art Unit: 2823

1. The present application is being examined under the pre-AIA first to invent provisions.

DETAILED ACTION

Response to Arguments

2. Applicant's arguments, see Applicants Arguments/Remarks, filed February 21, 2014, with respect to claims 1-20 have been fully considered and are persuasive. The Office Action of November 21, 2013 has been withdrawn (i.e, prior art rejection, §35 U.S.C. 112 rejection and double patenting rejection are withdrawn).

Claim Rejections - 35 USC § 102

3. The following is a quotation of the appropriate paragraphs of pre-AIA 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

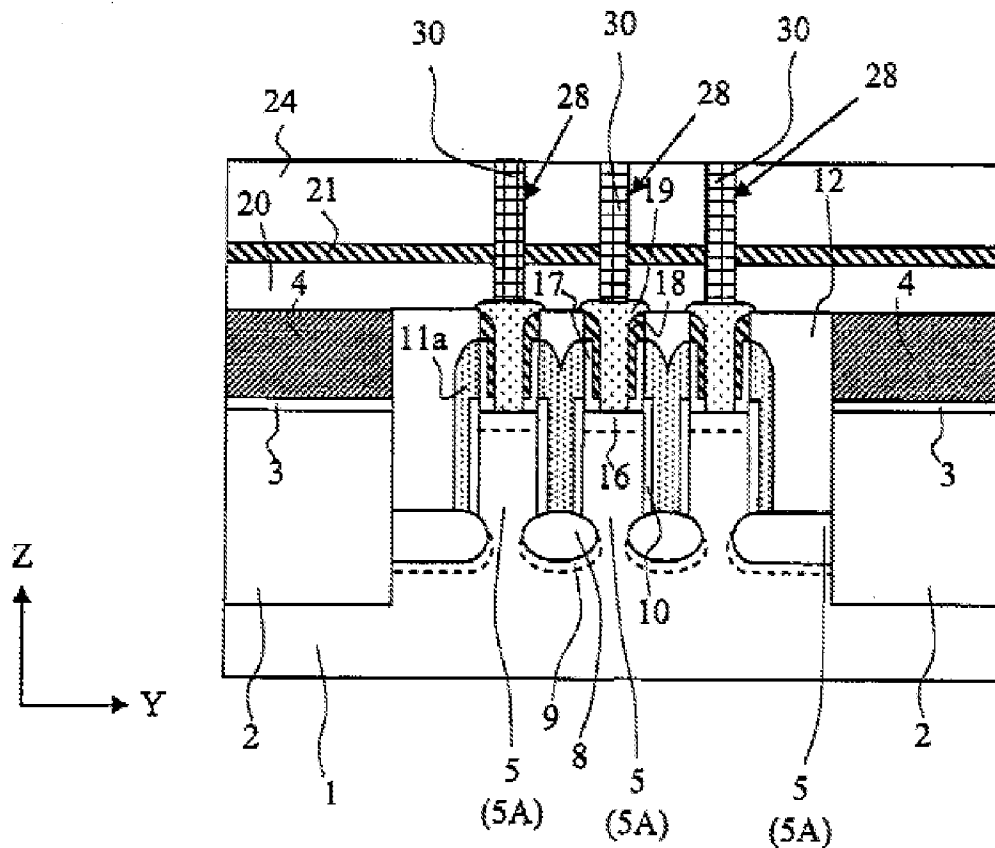
A person shall be entitled to a patent unless –

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

4. Claims, 1-8 and 13-20 are rejected under pre-AIA 35 U.S.C. 102(b) as being anticipated by Takaishi U.S. Patent Application Publication 2009/0085102 A1 (Japanese Patent Abstract 2009-081389).

Takaishi teaches a semiconductor device as claimed. See FIGS. 1-20, where Takaishi teaches the following limitations.

Art Unit: 2823



Pertaining to claim 1, Takaishi teaches a semiconductor device comprising:

a plurality of vertical transistors **50** provided to stand from a semiconductor substrate **1** and

comprising a diffusion layer **9** at their end portions on the semiconductor substrate side; and

a conductive plug **30** provided to stand from the semiconductor substrate and connected to the diffusion layer of the plurality of vertical transistors,

wherein the plurality of vertical transistors are uniformly arranged near the conductive plug and share the diffusion layer and the conductive plug.

Pertaining to claim 2, Takaishi teaches the semiconductor device according to claim 1, wherein

Art Unit: 2823

each vertical transistor comprises:

a semiconductor pillar provided to stand from the semiconductor substrate and forming a channel;

a gate insulating film and a gate electrode provided over a side surface of the semiconductor pillar;

an upper diffusion layer **16** provided at an upper end of the semiconductor pillar and serving as one of a source and a drain; and

a lower diffusion layer provided at a lower end of the semiconductor pillar and serving as the other of the source and the drain,

the conductive plug is a lower diffusion layer side contact plug connected to the lower diffusion layer,

the plurality of vertical transistors share the lower diffusion layer and the lower diffusion layer side contact plug, and

the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

Pertaining to claim 3, Takaishi teaches the semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

Pertaining to claim 4, Takaishi teaches the semiconductor device according to claim 2, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the lower diffusion layer side contact plug is twice or less a

Art Unit: 2823

distance between the lower diffusion layer side contact plug and the semiconductor pillar closest to the lower diffusion layer side contact plug.

Pertaining to claim 5, Takaishi teaches the semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug in a N-shape in plan view.

Pertaining to claim 6, Takaishi teaches the semiconductor device according to claim 5, wherein a plurality of lower diffusion layer side contact plugs are provided, the semiconductor pillars are arranged in a shape combining a plurality of N-shapes in plan view, and the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the N-shapes.

Pertaining to claim 7, Takaishi teaches the semiconductor device according to claim 6, wherein the semiconductor pillars are arranged in a shape combining two N-shapes in plan view, and the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the two N-shapes.

Pertaining to claim 8, Takaishi teaches the semiconductor device according to claim 2, wherein the gate electrodes provided over the side surfaces of the semiconductor pillars are connected to each other

Art Unit: 2823

between the adjacent semiconductor pillars, thereby forming a single gate electrode shared by the semiconductor pillars.

Pertaining to claim 18, Takaishi teaches a semiconductor device comprising:

a semiconductor substrate with an active region provided on a surface of said semiconductor substrate;

a plurality of vertical transistors provided in the active region so as to stand from the semiconductor substrate;

a lower diffusion layer at end portions of each of said vertical transistors on the semiconductor substrate side;

upper diffusion layers at opposite upper portions of each of said vertical transistors; and

a conductive plug provided to stand from the semiconductor substrate and connected to the lower diffusion layer of the plurality of vertical transistors,

wherein the plurality of vertical transistors are uniformly arranged near the conductive plug and share the upper diffusion layers and the lower diffusion layer so as to be connected in parallel to each other.

Pertaining to claim 19, Takaishi teaches the semiconductor device according to claim 18,

wherein the plurality of vertical transistors are uniformly arranged so as to surround the conductive plug.

Art Unit: 2823

Pertaining to claim 20, Takaishi teaches the semiconductor device according to claim 18, wherein, in plan view, a distance between the conductive plug and the vertical transistor farthest from the conductive plug is twice or less a distance between the conductive plug and the vertical transistor closest to the conductive plug.

Objections

5. Claims 9-17 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to WILLIAM D. COLEMAN whose telephone number is (571)272-1856. The examiner can normally be reached on Monday-Friday 9:00 AM - 5:30 PM.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Olik Chaudhuri can be reached on 571-272-9820. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Art Unit: 2823

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/WILLIAM D COLEMAN/
Primary Examiner, Art Unit 2823

<i>Index of Claims</i> 	Application/Control No. 13722125	Applicant(s)/Patent Under Reexamination TAKAISHI, YOSHIHIRO
	Examiner DAMON HILLMAN	Art Unit 2891

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant				☐ CPA				☐ T.D.				☐ R.1.47			
CLAIM		DATE													
Final	Original	11/18/2013	08/20/2014												
	1	✓	✓												
	2	✓	✓												
	3	✓	✓												
	4	✓	✓												
	5	✓	✓												
	6	✓	✓												
	7	✓	✓												
	8	✓	✓												
	9	✓	○												
	10	✓	○												
	11	✓	○												
	12	✓	○												
	13	✓	○												
	14	✓	○												
	15	✓	○												
	16	✓	○												
	17	✓	○												
	18	✓	✓												
	19	✓	✓												
	20	✓	✓												

Search Notes 	Application/Control No. 13722125	Applicant(s)/Patent Under Reexamination TAKAISHI, YOSHIHIRO
	Examiner DAMON HILLMAN	Art Unit 2891

CPC- SEARCHED		
Symbol	Date	Examiner
H01L 29/78; H01L 29/7813	08/20/2014	/WDC/

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
257	334	11/17/2013	D.H.
438	268	08/20/2014	/WDC/

SEARCH NOTES		
Search Notes	Date	Examiner
EAST	11/17/2013	D.H.
PALM	11/17/2013	D.H.
Classification Home Page	11/17/2013	D.H.

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner

	/WILLIAM D COLEMAN/ Primary Examiner.Art Unit 2823
--	---

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	213085	pillar	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:32
S2	1124	silicon adj plug	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:32
S3	54	S1 and S2	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:32
S4	2519	(438/268).OCLS.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:32
S5	0	conductive adj padt	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:33
S6	16535	conductive adj pad	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:33
S7	6	S4 and S6	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:33
S8	589912	interconnect	US-PGPUB;	OR	OFF	2014/08/20

			USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			06:34
S9	238	S4 and S8	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:34
S10	36642	multiple adj vias or multiple adj holes or multiple adj openings	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:36
S11	0	S5 and S10	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:36
S12	2	conductive adj pad near4 (multiple adj vias or multiple adj holes or multiple adj openings)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:37
S13	405950	fuse or anti adj fuse	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:38
S14	571	S6 and S13	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:38
S15	3653087	semiconductor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:39
S16	305	S14 and S15	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT;	OR	OFF	2014/08/20 06:39

			IBM_TDB			
S17	6815	vertical adj transistor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:40
S18	0	S16 and S17	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:40
S19	0	H01L27/78.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:44
S20	12780	H01L29/78.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:45
S21	10471	elpida adj memory.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:45
S22	65	S20 and S21	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:45
S23	2016923	laser	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:54
S24	48140	S13 and S23	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:54
S25	226	S6 and S24	US-PGPUB; USPAT; USOCR; FPRS;	OR	OFF	2014/08/20 06:55

			EPO; JPO; DERWENT; IBM_TDB			
S26	4275	via adj array	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:56
S27	54	S6 and S26	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 06:57
S28	10	("20030020163" "20050280149" "20060091566" "20060097406" "20060125118" "7233075" "7291865" "7538434").PN. OR ("8178980").URPN.	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 06:59
S29	3	("20130134507").PN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:01
S30	3	("20090085102").PN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:03
S31	3	("2009/0085102").URPN.	USPAT	OR	OFF	2014/08/20 07:03
S32	12	("20080150030" "20080296677" "20090085102" "20090148992" "20100078712" "20100123170" "20100252879" "20110006360" "20110089394" "20110266615" "6015725" "7687351").PN. OR ("8729626").URPN.	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 07:04
S33	657245	adhesion	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 07:06
S34	2250	S10 and S33	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 07:06
S35	59	S6 and S34	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 07:06
S36	61	("20010051426" "20020005582" "4141030" "5309025" "5357136" "5547901" "5631498" "5668411" "5686762" "5693565" "5700735" "5703408" "5707894" "5723822" "5736791" "5751065" "5785236"	US-PGPUB; USPAT; USOCR	OR	OFF	2014/08/20 07:08

		"5795796" "5807787" "5834365" "5886414" "5900668" "5904565" "5923088" "5936283" "5994762" "6002179" "6033984" "6034439" "6081033" "6127266" "6133136" "6184121" "6207547" "6218732" "6232662" "6249038" "6252300" "6255586" "6297563" "6306750" "6320263" "6329722" "6350667" "6358847" "6362528" "6444295" "6448641" "6448650" "6451681" "6551916" "6599578" "6625882" "6633087" "6720658" "GB2184288").PN. OR ("7026721").URPN.				
S37	56	("5923088").URPN.	USPAT	OR	OFF	2014/08/20 07:10
S38	0	H01L27/7813.cpc.	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:11
S39	10938	H01L29/7813.cpc.	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:12
S40	408	S1 and S39	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:12
S41	82	S8 and S40	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:12
S42	2	"20130161738"	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 07:14
S43	4	((("7528035") or ("6560135")).PN.	US- PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2014/08/20 09:56

C:\Users\wcoleman\Documents\EAST\Workspaces\FY2014\13722125.wsp

MS Amendment
PATENT
5754-1111

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Yoshihiro TAKAISHI

Conf. 4586

Application No. 13/722,125

Group 2891

Filed December 20, 2012

Examiner Hillman, Damon A.

SEMICONDUCTOR DEVICE

AMENDMENT

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

February 21, 2014

Sir:

In response to the Office Action mailed November 21, 2013, please amend the above-identified application as follows:

Amendments to the Claims are reflected in the listing of claims which begins on page 2 of this paper.

Remarks begin on page 10 of this paper.

AMENDMENTS TO THE CLAIMS:

This listing of claims will replace all prior versions, and listings, of claims in the application:

LISTING OF CLAIMS:

1. (original) A semiconductor device comprising:

a plurality of vertical transistors provided to stand from a semiconductor substrate and comprising a diffusion layer at their end portions on the semiconductor substrate side; and

a conductive plug provided to stand from the semiconductor substrate and connected to the diffusion layer of the plurality of vertical transistors,

wherein the plurality of vertical transistors are uniformly arranged near the conductive plug and share the diffusion layer and the conductive plug.

2. (original) The semiconductor device according to claim 1, wherein

each vertical transistor comprises:

a semiconductor pillar provided to stand from the semiconductor substrate and forming a channel;

a gate insulating film and a gate electrode provided over a side surface of the semiconductor pillar;

an upper diffusion layer provided at an upper end of the semiconductor pillar and serving as one of a source and a drain; and

a lower diffusion layer provided at a lower end of the semiconductor pillar and serving as the other of the source and the drain,

the conductive plug is a lower diffusion layer side contact plug connected to the lower diffusion layer,

the plurality of vertical transistors share the lower diffusion layer and the lower diffusion layer side contact plug, and

the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

3. (original) The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

4. (original) The semiconductor device according to claim 2, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the lower diffusion layer side contact plug is twice or less a distance between the lower diffusion layer side contact plug and the semiconductor pillar closest to the lower diffusion layer side contact plug.

5. (original) The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug in a Π -shape in plan view.

6. (original) The semiconductor device according to claim 5, wherein

a plurality of lower diffusion layer side contact plugs are provided,

the semiconductor pillars are arranged in a shape combining a plurality of Π -shapes in plan view, and

the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the Π -shapes.

7. (original) The semiconductor device according to claim 6, wherein

the semiconductor pillars are arranged in a shape combining two Π -shapes in plan view, and

the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the two Π -shapes.

8. (original) The semiconductor device according to claim 2, wherein the gate electrodes provided over the side surfaces of the semiconductor pillars are connected to each other

between the adjacent semiconductor pillars, thereby forming a single gate electrode shared by the semiconductor pillars.

9. (currently amended) The semiconductor device according to claim 8, further comprising a ~~dummy pillar~~ provided to stand from the semiconductor substrate and comprising, over its a side surface of the dummy pillar, a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors.

10. (currently amended) The semiconductor device according to claim 9, further comprising an active region in which the semiconductor pillars are arranged and an element isolation region surrounding the active region,

wherein the dummy pillar is disposed at a position lying over the active region and the element isolation region, and comprises the power feed gate electrode over ~~its~~ the side surface of the dummy pillar, and the power feed gate electrode is connected to the gate electrode between the dummy pillar and the semiconductor pillar closest to the dummy pillar.

11. (original) The semiconductor device according to claim 10, wherein the dummy pillar comprises a first dummy pillar standing in the active region and a second dummy pillar standing in the element isolation region and is an integrated pillar in

which one side surface of the first dummy pillar and one side surface of the second dummy pillar are in contact with each other.

12. (original) The semiconductor device according to claim 11, wherein another side surface, located on an opposite side of the one side surface, of the first dummy pillar faces the side surface of the semiconductor pillar closest to the dummy pillar.

13. (original) The semiconductor device according to claim 2, wherein the upper diffusion layers are connected to each other so that the plurality of vertical transistors are connected in parallel to each other.

14. (original) The semiconductor device according to claim 2, wherein each semiconductor pillar has a thickness which allows full depletion.

15. (currently amended) A semiconductor device comprising:

a plurality of semiconductor ~~pillar~~ pillars provided to stand from a semiconductor substrate, each of the semiconductor pillars ~~and~~ forming a channel;

a gate insulating film and a gate electrode provided over a side surface of each of the semiconductor ~~pillar~~ pillars;

an upper diffusion layer provided at an upper end of each of the semiconductor ~~pillar~~ pillars ~~and serving to serve~~ as one of a source and a drain;

a lower diffusion layer provided at a lower end of each of the semiconductor ~~pillar~~ pillars ~~and serving to serve~~ as the other of the source and the drain; and

a lower diffusion layer side contact plug connected to the lower diffusion layer,

wherein the semiconductor pillars share the lower diffusion layer and the lower diffusion layer side contact plug, and

wherein the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

16. (original) The semiconductor device according to claim 15, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

17. (original) The semiconductor device according to claim 16, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the conductive plug is twice or less a distance

between the conductive plug and the semiconductor pillar closest to the conductive plug.

18. (currently amended) A semiconductor device comprising:

a semiconductor substrate ~~comprising~~ with an active region provided on its a surface of said semiconductor substrate;

a plurality of vertical transistors provided in the active region so as to stand from the semiconductor substrate; and comprising

a lower diffusion layer at ~~their~~ end portions of each of said vertical transistors on the semiconductor substrate side; and

upper diffusion layers at ~~their other end portions~~ opposite upper portions of each of said vertical transistors; and

a conductive plug provided to stand from the semiconductor substrate and connected to the lower diffusion layer of the plurality of vertical transistors,

wherein the plurality of vertical transistors are uniformly arranged near the conductive plug and share the upper diffusion layers and the lower diffusion layer so as to be connected in parallel to each other.

19. (original) The semiconductor device according to claim 18, wherein the plurality of vertical transistors are uniformly arranged so as to surround the conductive plug.

20. (original) The semiconductor device according to claim 18, wherein, in plan view, a distance between the conductive plug and the vertical transistor farthest from the conductive plug is twice or less a distance between the conductive plug and the vertical transistor closest to the conductive plug.

REMARKS

The application has been amended and is believed to be in condition for allowance.

Amendments to the Application

Claims 9-10, 15 and 18 are amended to address some minor issues of antecedent basis and form.

None of the amendments foregoing is believed to introduce new matter.

Section 112, second paragraph

The Official Action rejected claims 5-7 under 35 USC 112, second paragraph over the recitation "[I]-shape". The Office Action states that this term "should be clearly referenced in the specification, also claims should be in English".

In response, it is respectfully submitted that this term "[I]-shape" clearly references the specification at least in that it is the same term used in the specification to describe this feature. For example, page 6, lines 11-15 describe:

In the active region 1A, five vertical transistors, i.e. a first unit transistor 50A1, a second unit transistor 50A2, a third unit transistor 50A3, a fourth unit transistor 50A4, and a fifth unit transistor 50A5, are arranged in a [I]-shape and protrude from a semiconductor substrate surface.

Further, at lines 17-19 of the same page, the specification provides:

A metal contact plug 31 connected to the lower diffusion layer and shared by the vertical transistors is disposed in a central region of the [I]-shape.

Other examples are provided throughout the specification, including (but not limited to) page 8, lines 2-17 (expressly describing the "[I]-shape"); lines 21-23 of the same page; page 10, lines 21-23; and page 17, lines 7-8.

It is respectfully submitted that in view of these passages containing the term "[I]-shape", claims 5-7 are definite in that the skilled person would reasonably be understood to have the capability to understand what is claimed when the claim is read in light of the specification.¹ Particularly, it is clear from the specification and the drawings corresponding thereto what the term "[I]-shape" refers to (see, e.g., page 8, lines 2-23; Figure 1).

Accordingly, it is respectfully submitted that claims 5-7 sufficiently set out and circumscribe a particular subject matter such that the skilled person would be able to determine the metes and bounds of the invention claimed by these claims. It is therefore respectfully submitted that the claims are definite in accordance with Section 112.

Withdrawal of the rejection under 35 USC 112, second paragraph is respectfully requested.

¹ See MPEP 2173.02: "it is important to analyze claim terms in view of the application's specification from the perspective of those skilled in the relevant art". The test for definiteness under 35 U.S.C. 112, second paragraph, is whether "those skilled in the art would understand what is claimed when the claim is read in light of the specification."

Non-Statutory Double Patenting

The Official Action *provisionally* rejected claims 1-20 on the ground of nonstatutory obviousness-type double patenting as being unpatentable over claims 1-3, 5, 9, and 13 of co-pending Application No. 13/683,191.

In response, the provisional rejection is noted. However, since this rejection has been indicated as provisional, Applicant respectfully submits that no Terminal Disclaimer is required at this time. Should co-pending U.S. Application 13/683,191 go to allowance, for example, the matter of the provisional rejection with respect to the present application should be re-visited and a determination made at that time in consideration of any amendments made to the claims of the present and the co-pending applications.

Prior Art Rejections - Section 103

The Office Action rejected claims 1-8 and 13-20 under 35 USC 103(a) as being unpatentable over Cheng (U.S. Pat. No. 7,528,035; "CHENG") in view of Matsuoka et al. (U.S. Pat. No. 6,560,135; "MATSUOKA").

The Office Action rejected claims 9-12 under 35 USC 103(a) as being unpatentable over CHENG in view of MATSUOKA and Nojima (U.S. Pat. No. 8,174,068; "NOJIMA").

These rejections are respectfully traversed.

In rejecting the claims, the Office Action states "Where the claimed and the prior art products are identical or

substantially identical in structure or composition, or are produced by identical or substantially identical processes, a *prima facie* case of either anticipation or obviousness has been established", citing *In re Best*, 195 USPQ 430,433 (CCPA 1977).

However, on page 8, the Office Action states that CHENG does not specifically disclose (at least) a "conductive plug" as recited by independent claims 1 and 18, a lower diffusion layer side contact plug as recited by independent claim 15. It is therefore respectfully submitted, because primary reference CHENG does not teach every element recited in the independent claims, that a *prima facie* case for anticipation is not shown².

It is also respectfully submitted that the Office Action has not presented a *prima facie* case for obviousness for any of the independent claims 1, 15 or 18 because i) the Office Action has failed to make a clear showing of all the features recited in the claims, and ii) fails to provide a clear and explicit articulation of the reason(s), supported by the facts on the record why the claimed invention would have been obvious.

In rejecting the claims, the Office Action primarily relies on CHENG as teaching a semiconductor device with a plurality of vertical transistors standing from a semiconductor

² See MPEP 2131: "A claim is anticipated only if each and every element as set forth in the claim is found, either expressly or inherently described, in a single prior art reference." *Verdegaal Bros. v. Union Oil Co. of California*, 814 F.2d 628, 631, 2 USPQ2d 1051, 1053 (Fed. Cir. 1987). "The identical invention must be shown in as complete detail as is contained in the ... claim." *Richardson v. Suzuki Motor Co.*, 868 F.2d 1226, 1236, 9 USPQ2d 1913, 1920 (Fed. Cir. 1989).

substrate. CHENG teaches toward a method for forming vertical trench vertical memory cells that mitigate the problem of interference by neighboring cells as the scale of such cells is reduced (column 1 line 58 to column 2 line 8). To this end, CHENG teaches forming an insulating ring that isolates at least a portion of a vertical transistor, thereby isolating the vertical transistor from neighboring vertical transistors (column 2, lines 12-28).

However, the vertical transistor in CHENG is different from that in the present application. The channel region in the present invention is a silicon pillar having a gate electrode which surrounds it. In contrast, the gate electrode in CHENG is a conductive pillar with a silicon channel surrounding it.

Further, any modification that would add a contact (i.e., to contact the source/drain region) to CHENG would have been readily understood as inappropriate because the transistor in CHENG is already connected internally with the capacitor electrode 126 through the buried straps 134 and conductive material 127. Thus, the person skilled in the art would have had absolutely no motivation to integrate an additional contact to connect doped source/drain region 140, and thereby CHENG cannot lead to the claimed invention.

In particular, the Office Action offers CHENG as teaching vertical transistors standing from a semiconductor and substrate comprising a diffusion layer at end portions of the

transistors on the substrate side and the transistors share the diffusion layer (citing Figures 1 and 10, items 28a-d and 140a-d). CHENG's Figure 1, depicting "Prior Art", shows a "strap outdiffusion region 28c... [that] overlaps with strap outdiffusion region 28d," (column 1, lines 62-66).

However, in CHENG's Figure 10, each of the buried strap outdiffusions 140a, 140b, 140c, and 140d "are surrounded by an insulating ring 121... [and are] precluded from merging," (column 7, lines 62-64). As shown in Figure 11, "Each vertical transistor is isolated from its neighbors by insulating spacer ring 121," (column 7, lines 60-61).

Therefore, CHENG's Figure 10 does not teach all the features for which it is offered. As to CHENG's Figure 1, the Office Action concedes that Figure 1 makes no hint of a conductive plug (as recited by claims 1 and 18) or a lower diffusion layer side contact plug (as recited by claim 15), nor any suggestion of an arrangement of any vertical transistors with respect to these elements.

The Office Action offers MATSUOKA as teaching a conductive plug, alleging that MATSUOKA is in the same field of endeavor and citing Figures 11 and 19, items 1104 and 1105.

However, MATSUOKA is directed to an MRAM device; that is, a non-volatile memory device (see, e.g., column 1, lines 52-54; column 2, lines 36-64) in contrast to the volatile memory device of CHENG. As explained throughout columns 1 and 2 of

MATSUOKA, MRAMs differ from conventional DRAMs (like CHENG) in that they employ tunnel magneto resistance (TMR) of a magneto tunnel junction (MTJ) which provides a persistent storage of a bit as a direction of a spin in the magnetic tunnel junction. Conventional volatile DRAM as in CHENG does not utilize these components, and there is no teaching in MATSUOKA (nor is any teaching offered by the Office Action) that suggests that any of the structural arrangements disclosed by MATSUOKA is in any way applicable to CHENG.

Figure 19 of MATSUOKA shows a step in the process of producing an MRAM circuit in accordance with the reference. A tungsten bit line 602 is accumulated at 100 nm in a top layer over a TMR device 502 formed of a laminated film of NiFe/Al₂O₃/CoFe (column 6, lines 63-64; column 7, lines 1-2).

Figure 11 shows another manufacturing step in the MRAM. A tungsten writing word line 702 is accumulated at 100 nm in a top layer over the bit line 602 (column 7, lines 3-13).

In both these Figures, a pair of TMR devices 502 are shown positioned side-by-side, a polycrystal line silicon plug 1105 is provided beneath each TMR device 502, and a conductive plug 1104 is shown "formed by using the known CMP method" at either side of the pair of TMR devices 502.

The theory of obviousness offered by the Office Action relies upon a skilled person having had a reasonable rationale to modify CHENG based on these teachings of MATSUOKA in a manner

that would have led to a result that would have satisfied the claims and produced a predictably workable result and does not alter the principle operation of CHENG.³ However, neither of these Figures, or any associated text, makes any teaching, either in structure or function, that remotely corresponds to any teaching of CHENG. On the contrary, as indicated above, MATSUOKA is directed to a different form of memory device from CHENG that both functions and is structured differently.

It is therefore respectfully submitted that there is insufficient objective evidence on the record to support any theory for combining CHENG with MATSUOKA. The Office Action alleges that the skilled person would have readily recognized a desirability and advantage to modify CHENG with MATSUOKA, but does not cite either what the desirability/advantage is or where it is taught in the prior art. The Office Action alleges that the skilled person would have known of a need to open a contact with passing through a portion between the writing word lines without electrically shorting with the writing word lines so as to connect plugs, but no explanation is provided why this is desirable or even pertinent to CHENG.

³ See MPEP § 2143.01: If a proposed modification would render the prior art invention being modified unsatisfactory for its intended purpose, then there is no suggestion or motivation to make the proposed modification; if the proposed modification or combination of the prior art would change the principle of operation of the prior art invention being modified, then the teachings of the references are not sufficient to render the claims *prima facie* obvious.

Even when considered in the best possible light, MATSUOKA and CHENG are simply not sufficiently analogous to each other to support any reason for modifying CHENG's structure based on MATSUOKA. At the very least, a proposed combination of references requires sufficient teachings to show that the skilled person would have had a reasonable expectation that the combined result would have been successful.⁴ Here, no such teaching have been presented, nor are any such teachings known after a carefully study of both references.

It is therefore respectfully submitted that the proposed combination of CHENG and MATSUOKA fails to combine and teach all the features for which they are offered, and obviousness is not shown. Accordingly, it is respectfully submitted that independent claims 1, 15 and 18 are allowable over MATSUOKA and CHENG.

It is further respectfully submitted that the rejections of the claims depending from 1, 15 and 18 are traversed at least in that each of these dependent claims depends from an allowable base claim.

For example, in rejecting claims 17 and 20, the Office Action cites *In re Woodruff* as showing obviousness over the recitations in these claims pertaining to the relative distances of the pillars from each other. This conclusion is respectfully

⁴ See MPEP § 2143.02: Where there is a reason to modify or combine the prior art to achieve the claimed invention, the claims may be rejected as prima facie obvious provided there is also a reasonable expectation of success.

traversed. *In re Woodruff* pertains to cases where claims recite ranges of values of particular parameters (e.g., a titanium alloy with 0.6-0.9% nickel (Ni) and 0.2-0.4% molybdenum (Mo); see MPEP § 2131.03), and the prior art also discloses a range of the same values that overlaps or are inside the range recited in the claims (see MPEP § 2141.04).

Here, the Office Action has not made a showing that claimed distances pertaining to the placement and arrangement of the plural contact plugs is either known in the prior art, overlap a range of such distances taught in the prior art, or lie inside a range of such distances taught in the prior art. Further, the Office Action fails to make a showing that the distances recited in the claims are “result-effective variables” (see MPEP § 2144.05, §§ II(A)). On the contrary, the references offered by the Office Action do not appear to make any teaching toward the significance of the distances recited by the claims.

It is therefore respectfully submitted that the Office Action has not presented a *prima facie* case for obviousness of claims 17 and 20, and claims 17 and 20 are thereby allowable in their own right in addition to being dependent from claims 15 and 18, respectively.

It is further respectfully submitted that the Office Action fails to show obviousness over claims 9-12.

In rejecting the claims, the Office Action concedes that CHENG and MATSUOKA fail to suggest a dummy pillar as recited

by claims 9-12. The Office Action offers NOJIMA as teaching a semi-conductor device comprising a dummy pillar with a side surface power feed gate electrode on its side surface, citing Figure 25, items 15B and 16. The Office Action alleges that the skilled person would have readily known desirability and advantages of modifying CHENG and MATSUOKA with NOJIMA in order to form a vertical transistor "to prevent short-circuiting between the dummy silicon pillar and the gate contact plug".

This conclusion, also, is respectfully traversed. Respectfully, the rationale offered by the Office Action, as best understood, involves circular logic where a dummy pillar is alleged necessary for preventing short-circuiting between said dummy pillar and another component. The rationale fails to present any theory why incorporating a dummy pillar into a combined CHENG and MATSUOKA device would predictably lead to a successful device.

As to NOJIMA, Figure 25 is directed to a volatile DRAM device where a vertical transistor unit comprises a silicon pillar in the form of a quadratic prism, where three side surfaces are covered with a gate electric film 15A and the remaining side surface is covered with an insulating dummy pillar 15B (column 4, lines 8-22). A gate electrode 16 made of a polycrystalline film is formed to surround the outer circumferences of the gate dielectric film 15A and the dummy pillar 15B, the gate electrode 16 facing the side surface of the

silicon pillar 14 by sandwiching the gate dielectric film 15A and the dummy pillar 15B (column 4, lines 23-26).

This arrangement improves upon a prior design where two silicon pillars are arranged close to one another, insulated from each other, where one of the pillars is used for a channel and the other as a "dummy" that extends a length of a gate electrode to a lateral direction (column 1, lines 27-35). This older design was subject to short-circuiting between the dummy pillar and the gate electrode as chip size is made smaller (column 1, lines 55-62). The arrangement proposed by NOJIMA and shown in Figures 1 and 25 serves to prevent such short-circuiting (column 3, lines 13-15).

However, as conceded by the Office Action, neither of CHENG or MATSUOKA incorporates a dummy pillar, nor is there any teaching in NOJIMA suggesting that its pillar arrangement is combinable with either of these other references. As above with respect to CHENG and MATSUOKA, obviousness is not shown unless all the features of the claims are both shown in the prior art and combinable in such a way as to lead to a predictably successful result. Here, there is no teaching in any of the references offered by the Office Action to suggest how the proposed modification would be carried out, or how the combined result would appear, or whether the combined result would be even remotely successful. Respectfully, the mere showing that a

circuit arrangement existed that incorporated a "dummy pillar" is not sufficient to sustain a *prima facie* case for obviousness.

It is therefore respectfully submitted that the rejections of claims 9-12 is improper, and that claims 9-12 are allowable in their own right in addition to being dependent from claim 1.

Withdrawal of the rejections under Section 103 is thereby respectfully requested.

From the foregoing, it will be apparent that Applicant has fully responded to the November 21, 2013 Official Action and that the claims as presented are patentable. In view of this, Applicant respectfully requests reconsideration of the claims, as presented, and their early passage to issue.

In order to expedite the prosecution of this case, the Examiner is invited to telephone the attorney for Applicant at the number provided below to discuss any matters that might be helpful to advancing the case toward allowance.

The Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fees required under 37 C.F.R. § 1.16 or under 37 C.F.R. § 1.17.

Respectfully submitted,

YOUNG & THOMPSON

/Jeremy G. Mereness/
Jeremy G. Mereness, Reg. No. 63,422
209 Madison Street
Suite 500
Alexandria, VA 22314
Telephone (703) 521-2297
Telefax (703) 685-0573

JGM/lrs

Electronic Acknowledgement Receipt

EFS ID:	18264770
Application Number:	13722125
International Application Number:	
Confirmation Number:	4586
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Yoshihiro TAKAISHI
Customer Number:	466
Filer:	Eric Jensen/Linda Sayyad
Filer Authorized By:	Eric Jensen
Attorney Docket Number:	5754-1111
Receipt Date:	21-FEB-2014
Filing Date:	20-DEC-2012
Time Stamp:	13:13:33
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		AMD.pdf	92642 da5be52172c8cbe8541bcb2abe169ab97fa646	yes	23

	Multipart Description/PDF files in .zip description		
	Document Description	Start	End
	Amendment/Req. Reconsideration-After Non-Final Reject	1	1
	Claims	2	9
	Applicant Arguments/Remarks Made in an Amendment	10	23
Warnings:			
Information:			
Total Files Size (in bytes):		92642	
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>			

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 13/722,125	Filing Date 12/20/2012	☐ To be Mailed
---	---	----------------------------------	---------------------------------------

 ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO

APPLICATION AS FILED – PART I

FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A	N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X \$ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X \$ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).			
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))				
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT	(Column 1)	(Column 2)	(Column 3)	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)
	02/21/2014	CLAIMS REMAINING AFTER AMENDMENT					
	Total (37 CFR 1.16(i))	* 20	Minus	** 20	= 0	X \$80 =	0
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X \$420 =	0
	☐ Application Size Fee (37 CFR 1.16(s))						
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						
TOTAL ADD'L FEE						0	
AMENDMENT	(Column 1)	(Column 2)	(Column 3)	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)
		CLAIMS REMAINING AFTER AMENDMENT					
	Total (37 CFR 1.16(i))	*	Minus	**	=	X \$ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$ =	
	☐ Application Size Fee (37 CFR 1.16(s))						
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						
TOTAL ADD'L FEE							

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

 LIE
/KIMBERLY PANNELL/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/722,125	12/20/2012	Yoshihiro TAKAISHI	8040-1178	4586

466 7590 11/21/2013
YOUNG & THOMPSON
209 Madison Street
Suite 500
Alexandria, VA 22314

EXAMINER

HILLMAN, DAMON A

ART UNIT	PAPER NUMBER
----------	--------------

2891

NOTIFICATION DATE	DELIVERY MODE
-------------------	---------------

11/21/2013

ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

DocketingDept@young-thompson.com
yandtpair@firsttofile.com

Office Action Summary	Application No. 13/722,125	Applicant(s) TAKAISHI, YOSHIHIRO	
	Examiner DAMON HILLMAN	Art Unit 2891	AIA (First Inventor to File) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) ☒ Responsive to communication(s) filed on 12/20/2012.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on ____.
- 2a) ☐ This action is **FINAL**. 2b) ☒ This action is non-final.
- 3) ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on ____; the restriction requirement and election have been incorporated into this action.
- 4) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

- 5) ☒ Claim(s) 1-20 is/are pending in the application.
5a) Of the above claim(s) ____ is/are withdrawn from consideration.
- 6) ☐ Claim(s) ____ is/are allowed.
- 7) ☒ Claim(s) 1-20 is/are rejected.
- 8) ☐ Claim(s) ____ is/are objected to.
- 9) ☐ Claim(s) ____ are subject to restriction and/or election requirement.

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

Application Papers

- 10) ☐ The specification is objected to by the Examiner.
- 11) ☒ The drawing(s) filed on 12/20/2012 is/are: a) ☒ accepted or b) ☐ objected to by the Examiner.
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

- 12) ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

- a) ☒ All b) ☐ Some c) ☐ None of the:
1. ☐ Certified copies of the priority documents have been received.
 2. ☐ Certified copies of the priority documents have been received in Application No. ____.
 3. ☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).
- * See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

- | | |
|---|---|
| 1) ☒ Notice of References Cited (PTO-892) | 3) ☐ Interview Summary (PTO-413)
Paper No(s)/Mail Date. ____. |
| 2) ☒ Information Disclosure Statement(s) (PTO/SB/08)
Paper No(s)/Mail Date <u>12/20/2012</u> . | 4) ☐ Other: ____. |

DETAILED ACTION

The present application is being examined under the pre-AIA first to invent provisions.

Double Patenting

1. The nonstatutory double patenting rejection is based on a judicially created doctrine grounded in public policy (a policy reflected in the statute) so as to prevent the unjustified or improper timewise extension of the “right to exclude” granted by a patent and to prevent possible harassment by multiple assignees. A nonstatutory obviousness-type double patenting rejection is appropriate where the conflicting claims are not identical, but at least one examined application claim is not patentably distinct from the reference claim(s) because the examined application claim is either anticipated by, or would have been obvious over, the reference claim(s). See, e.g., *In re Berg*, 140 F.3d 1428, 46 USPQ2d 1226 (Fed. Cir. 1998); *In re Goodman*, 11 F.3d 1046, 29 USPQ2d 2010 (Fed. Cir. 1993); *In re Longi*, 759 F.2d 887, 225 USPQ 645 (Fed. Cir. 1985); *In re Van Ornum*, 686 F.2d 937, 214 USPQ 761 (CCPA 1982); *In re Vogel*, 422 F.2d 438, 164 USPQ 619 (CCPA 1970); and *In re Thorington*, 418 F.2d 528, 163 USPQ 644 (CCPA 1969).

A timely filed terminal disclaimer in compliance with 37 CFR 1.321(c) or 1.321(d) may be used to overcome an actual or provisional rejection based on a nonstatutory double patenting ground provided the conflicting application or patent either is shown to be commonly owned with this application, or claims an invention made as a result of activities undertaken within the scope of a joint research agreement.

Effective January 1, 1994, a registered attorney or agent of record may sign a terminal disclaimer. A terminal disclaimer signed by the assignee must fully comply with 37 CFR 3.73(b).

Claims **1-20** are provisionally rejected on the ground of nonstatutory obviousness-type double patenting as being unpatentable over claims **1,2,3,5,9,13** of copending Application No. 13/683,191. Although the conflicting claims are not identical, they are not patentably distinct from each other because:

In Regards to Claim 1, 13/683,191 (**claim 1**) disclose a plurality of vertical transistors provided to stand from a semiconductor substrate and comprising a diffusion layer at their end portions on the semiconductor substrate side; and a conductive plug provided to stand from the semiconductor substrate and connected.

Art Unit: 2891

In Regards to Claim 2, 13/683,191 (claims 5 and 13) disclose wherein each vertical transistor comprises: a semiconductor pillar provided to stand from the semiconductor substrate and forming a channel; a gate insulating film and a gate electrode provided over a side surface of the semiconductor pillar; an upper diffusion layer provided at an upper end of the semiconductor pillar and serving as one of a source and a drain.

In Regards to Claim 3, 13/683,191 (claim 1) disclose wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

In Regards to Claim 4, 13/683,191 (claim 1) disclose in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the lower diffusion layer side contact plug is twice or less a distance between the lower diffusion layer side contact plug and the semiconductor pillar closest to the lower diffusion layer side contact plug.

In Regards to Claim 5, 13/683,191 (claim 1) disclose wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

In Regards to Claim 6, 13/683,191 (claim 1) disclose wherein a plurality of lower diffusion layer side contact plugs are provided, the semiconductor pillars are arranged in a shape combining a plurality.

In Regards to Claim 7, 13/683,191 (claim 1) disclose wherein the semiconductor pillars are arranged in a shape combining two.

In Regards to Claim 8, 13/683,191 (claim 1) disclose wherein the gate electrodes provided over the side surfaces of the semiconductor pillars are connected to each other between the adjacent semiconductor pillars, thereby forming a single gate electrode shared by the semiconductor pillars.

In Regards to Claim 9, 13/683,191 (claim 1) disclose further comprising a dummy pillar provided to stand from the semiconductor substrate and comprising over its side surface a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors.

In Regards to Claim 10, 13/683,191 (claims 2,9) disclose further comprising an active region in which the semiconductor pillars are arranged and an element isolation region surrounding the active region, wherein the dummy pillar is disposed at a position lying over the active region and the element isolation region and comprises the power feed gate electrode.

In Regards to Claim 11, 13/683,191 (claim 1) disclose wherein the dummy pillar comprises a first dummy pillar standing in the active region and a second dummy pillar standing in the element isolation region and is an integrated pillar in which one side surface of the first dummy pillar.

In Regards to Claim 12, 13/683,191 (claim 1) disclose wherein another side surface, located on an opposite side of the one side surface, of the first dummy pillar faces the side surface of the semiconductor pillar closest to the dummy pillar.

In Regards to Claim 13, 13/683,191 (claim 3) disclose wherein the upper diffusion layers are connected to each other so that the plurality of vertical transistors are connected in parallel to each other.

In Regards to Claim 14, 13/683,191 (claim 1) disclose wherein each semiconductor pillar has a thickness which allows full depletion.

In Regards to Claim 15, 13/683,191 (claims 1,5,13) disclose a semiconductor pillar provided to stand from a semiconductor substrate and forming a channel; a gate insulating film and a gate electrode provided over a side surface of the semiconductor pillar; an upper diffusion layer provided at an upper end of the semiconductor pillar and serving as one of a source and a drain; a lower diffusion layer provided at a lower end of the semiconductor pillar and serving as the other of the source and the drain; and a lower diffusion layer side contact plug connected to the lower diffusion layer, the semiconductor pillars share the lower diffusion layer.

Art Unit: 2891

In Regards to Claim 16, 13/683,191 (**claims 1,3**) disclose wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

In Regards to Claim 17, 13/683,191 (**claims 1**) disclose a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the conductive plug is twice or less a distance between the conductive plug and the semiconductor pillar closest to the conductive plug.

In Regards to Claim 18, 13/683,191 (**claims 1,5,13**) disclose a semiconductor substrate comprising an active region on its surface; a plurality of vertical transistors provided in the active region so as to stand from the semiconductor substrate and comprising a lower diffusion layer at their end portions on the semiconductor substrate side and upper diffusion layers at their other end portions.

In Regards to Claim 19, 13/683,191 (**claims 1,5**) disclose wherein the plurality of vertical transistors are uniformly arranged so as to surround the conductive plug.

In Regards to Claim 20, 13/683,191 (**claims 1,5**) disclose a distance between the conductive plug and the vertical transistor farthest from the conductive plug is twice or less a distance between the conductive plug and the vertical transistor closest to the conductive plug.

Claim Rejections - 35 USC § 112

The following is a quotation of 35 U.S.C. 112(b): (B) CONCLUSION.—The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the inventor or a joint inventor regards as the invention. The following is a quotation of 35 U.S.C. 112 (pre-AIA), second paragraph: The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the applicant regards as his invention.

Claims 5-7 are rejected under 35 U.S.C. 112(b) or 35 U.S.C. 112 (pre-AIA), second paragraph, as being indefinite for failing to particularly point out and distinctly claim the subject matter which the inventor or a joint inventor, or for pre-AIA the applicant regards as the invention.

The claims state: "Π-shape." These terms should be clearly referenced in the specification, also claims should be in English, appropriate action is required.

Claims 1-8 and 13-20 are rejected under 35 U.S.C. 103(a) as being unpatentable over Cheng (U.S. Pat # 7,528,035 B2) in view of Matsuoka et al. (U.S. Pat # 6,560,135 B2).

In Regards to Claim 1, Cheng discloses, A semiconductor device comprising (**See Figs. 1-11**): a plurality of vertical transistors provided (**See Figs. 2-10 and associated text**) to stand from a

Art Unit: 2891

semiconductor substrate (**See Figs. 2-10 item 102**) and comprising a diffusion layer (**See Figs. 1,10 items 28a-d,140a-d**) at their end portions on the semiconductor substrate side (**See Figs. 2-10 item 102**); and connected to the diffusion layer (**See Figs. 1,10 items 28a-d,140a-d**) of the plurality of vertical transistors (**See Figs. 1-10 and associated text**), wherein the plurality of vertical transistors are uniformly arranged near (**See Figs. 1-10 and associated text**), and share the diffusion layer (**See Figs. 1,10 items 28a-d,140a-d**).

Where the claimed and the prior art products are identical or substantially identical in structure or composition, or are produced by identical or substantially identical processes, a prima facie case of either anticipation or obviousness has been established. In re Best, 195 USPQ 430, 433 (CCPA 1977).

In Regards to Claim 2, Cheng discloses, wherein each vertical transistor comprises (**See Figs. 2-10 and associated text**): a semiconductor pillar provided to stand from the semiconductor substrate and forming a channel (**See Figs. 2-10 item 102**); a gate insulating film (**See Fig. 9 item 142**) and a gate electrode provided over a side surface of the semiconductor pillar (**See Fig. 9 item 144**); an upper diffusion layer provided at an upper end of the semiconductor pillar (**See Fig. 9 item 146**) and serving as one of a source and a drain (**See Fig. 9 item 146**); and a lower diffusion layer (**See Figs. 1,9 items 28a-d,140a-d**) provided at a lower end of the semiconductor pillar (**See Fig. 9 and associated text**) and serving as the other of the source and the drain (**See Figs. 1,9 items 28a-d,140a-d**), is a lower diffusion layer side (**See Figs. 1,9 items 28a-d,140a-d**), connected to the lower diffusion layer (**See Figs. 1,9 items 28a-d,140a-d**), the plurality of vertical transistors share the lower diffusion layer (**See Figs. 1,9 items 28a-d,140a-d**) and the lower diffusion layer side (**See Figs. 1,9 items 28a-d,140a-d**), and the semiconductor pillars are uniformly arranged near the lower diffusion layer side (**See Figs. 1,9 items 28a-d,140a-d**).

In Regards to Claim 4, Cheng discloses, in plan view, a distance between the lower diffusion layer side (**See Figs. 1,9 items 28a-d,140a-d**), and the semiconductor pillar farthest from the lower diffusion layer side (**See Figs. 1,9 items 28a-d,140a-d**), the lower diffusion layer side (**See Figs. 1,9 items 28a-d,140a-d**), closest to the lower diffusion layer side (**See Figs. 1,9 items 28a-d,140a-d**).

Art Unit: 2891

In Regards to Claim 5, Cheng discloses, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side **(See Figs. 1,9 items 28a-d,140a-d)**.

In Regards to Claim 6, Cheng discloses, wherein a plurality of lower diffusion layer side **(See Figs. 1,9 items 28a-d,140a-d)**, the semiconductor pillars are arranged in a shape combining a plurality of Π -shapes in plan view **(See Figs. 2-10 and associated text)**, and the lower diffusion layer side **(See Figs. 1,9 items 28a-d,140a-d)**.

In Regards to Claim 7, Cheng discloses, wherein the semiconductor pillars are arranged in a shape combining two Π -shapes in plan view **(See Figs. 2-10 and associated text)**, and the lower diffusion layer side **(See Figs. 1,9 items 28a-d,140a-d)**.

In Regards to Claim 8, Cheng discloses, wherein the gate electrodes provided over the side surfaces of the semiconductor pillars **(See Fig. 9 item 144)** are connected to each other between the adjacent semiconductor pillars **(See Fig. 9 item 144 and associated text)**, thereby forming a single gate electrode shared by the semiconductor pillars **(See Fig. 9 item 144)**.

In Regards to Claim 13, Cheng discloses, wherein the upper diffusion layers are connected to each other **(See Fig. 9 item 146)** so that the plurality of vertical transistors are connected in parallel to each other **(See Fig. 9 item 146 and associated text)**.

In Regards to Claim 14, Cheng discloses, wherein each semiconductor pillar has a thickness which allows full depletion **(See Figs. 2-10 and associated text)**.

In Regards to Claim 15, Cheng discloses, A semiconductor device comprising: a semiconductor pillar **(See Figs. 1-11)** provided to stand from a semiconductor substrate **(See Figs. 2-10 item 102)** and forming a channel **(See Figs. 2-10 item 102)**; a gate insulating film **(See Fig. 9 item 142)** and a gate electrode provided over a side surface of the semiconductor pillar **(See Fig. 9 item 144)**; an upper diffusion layer provided at an upper end of the semiconductor pillar **(See Fig. 9 item 146)** and serving as one of a source and a drain **(See Fig. 9 item 146)**; a lower diffusion layer **(See Figs. 1,9 items 28a-d,140a-d)** provided at a lower end of the semiconductor pillar **(See Figs. 1,9 and associated text)** and serving as the other of the source and the drain **(See Figs. 1,9 items 28a-d,140a-d)**; and a lower diffusion layer side **(See Figs. 1,9 items 28a-d,140a-d)**, to the lower diffusion layer **(See Figs. 1,9 items**

Art Unit: 2891

28a-d,140a-d), the semiconductor pillars share the lower diffusion layer and the lower diffusion layer side **(See Figs. 1,9 items 28a-d,140a-d)**, and the semiconductor pillars are uniformly arranged near the lower diffusion layer side **(See Figs. 1,9 items 28a-d,140a-d)**.

Where the claimed and the prior art products are identical or substantially identical in structure or composition, or are produced by identical or substantially identical processes, a prima facie case of either anticipation or obviousness has been established. In re Best, 195 USPQ 430, 433 (CCPA 1977).

In Regards to Claim 17, Cheng discloses, wherein, in plan view, a distance between the lower diffusion layer side **(See Figs. 1,9 items 28a-d,140a-d)**.

In Regards to Claim 18, Cheng discloses, A semiconductor device comprising: a semiconductor substrate **(See Figs. 2-10 item 102)** comprising an active region on its surface **(See Figs. 1-11)**; a plurality of vertical transistors provided in the active region **(See Figs. 1-11)** so as to stand from the semiconductor substrate **(See Figs. 2-10 item 102)** and comprising a lower diffusion layer **(See Figs. 1,9 items 28a-d,140a-d)** at their end portions on the semiconductor substrate side **(See Figs. 2-10 item 102)** and upper diffusion layers at their other end portions **(See Fig. 9 item 146)**; and connected to the lower diffusion layer of the plurality of vertical transistors **(See Figs. 1,9 items 28a-d,140a-d)**, and share the upper diffusion layers **(See Fig. 9 item 146)** and the lower diffusion layer so as to be connected in parallel to each other **(See Figs. 1,9 items 28a-d,140a-d)**.

Cheng does not specifically disclose, and a conductive plug provided to stand from the semiconductor substrate, the conductive plug, and the conductive plug, the conductive plug, contact plug, contact plug, contact plug, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug, contact plug, contact plug is twice or less a distance between, contact plug and the semiconductor pillar, contact plug, contact plug in a Π -shape in plan view, contact plugs are provided, contact plugs are arranged so as to be respectively surrounded by the Π -shapes, contact plugs are arranged so as to be respectively surrounded by the two Π -shapes, contact plug connected, contact plug, contact plug, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug, contact plug and the semiconductor pillar farthest from the conductive plug is twice or less a distance between the conductive plug and the semiconductor

Art Unit: 2891

pillar closest to the conductive plug, and a conductive plug provided to stand from the semiconductor substrate, wherein the plurality of vertical transistors are uniformly arranged near the conductive plug, wherein the plurality of vertical transistors are uniformly arranged so as to surround the conductive plug, wherein, in plan view, a distance between the conductive plug and the vertical transistor farthest from the conductive plug is twice or less a distance between the conductive plug and the vertical transistor closest to the conductive plug.

In Regards to Claim 1, Matsuoka et al. discloses, and a conductive plug (**See Figs. 11,19 items 1104,1105**) provided to stand from the semiconductor substrate (**Fig. 11 item 901**), the conductive plug (**See Figs. 11,19 items 1104,1105**), and the conductive plug (**See Figs. 11,19 items 1104,1105**).

In Regards to Claim 2, Matsuoka et al. discloses, the conductive plug (**See Figs. 11,19 items 1104,1105**), contact plug (**See Figs. 11,19 items 1104,1105**), contact plug (**See Figs. 11,19 items 1104,1105**), contact plug (**See Figs. 11,19 items 1104,1105**).

In Regards to Claim 3, Matsuoka et al. discloses, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug (**See Figs. 11,19 items 1104,1105**).

In Regards to Claim 4, Matsuoka et al. discloses, contact plug (**See Figs. 11,19 items 1104,1105**), contact plug is twice or less a distance between (**See Figs. 11,19 items 1104,1105**), contact plug and the semiconductor pillar (**See Figs. 11,19 items 1104,1105**), contact plug (**See Figs. 11,19 items 1104,1105**).

In Regards to Claim 5, Matsuoka et al. discloses, contact plug in a Π -shape in plan view (**See Figs. 11,19 items 1104,1105**).

In Regards to Claim 6, Matsuoka et al. discloses, contact plugs are provided (**See Figs. 11,19 items 1104,1105**), contact plugs are arranged so as to be respectively surrounded by the Π -shapes (**See Figs. 11,19 items 1104,1105**).

In Regards to Claim 7, Matsuoka et al. discloses, contact plugs are arranged so as to be respectively surrounded by the two Π -shapes (**See Figs. 11,19 items 1104,1105**).

Art Unit: 2891

In Regards to Claim 15, Matsuoka et al. discloses, contact plug connected (**See Figs. 11,19 items 1104,1105**), contact plug (**See Figs. 11,19 items 1104,1105**), contact plug (**See Figs. 11,19 items 1104,1105**).

In Regards to Claim 16, Matsuoka et al. discloses, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug (**See Figs. 11,19 items 1104,1105**).

In Regards to Claim 17, Matsuoka et al. discloses, contact plug (**See Figs. 11,19 items 1104,1105**) and the semiconductor pillar farthest from the conductive plug (**See Figs. 11,19 items 1104,1105**) is twice or less a distance between the conductive plug and the semiconductor pillar closest to the conductive plug (**See Figs. 11,19 items 1104,1105**).

“The law is replete with cases in which the difference between the claimed invention and the prior art is some range or other variable within the claims. . . . In such a situation, the applicant must show that the particular range is critical, generally by showing that the claimed range achieves unexpected results relative to the prior art range.” *In re Woodruff*, 919 F.2d 1575, 16 USPQ2d 1934 (Fed. Cir. 1990).

In Regards to Claim 18, Matsuoka et al. discloses, and a conductive plug provided to stand from the semiconductor substrate (**See Figs. 11,19 items 1104,1105**), wherein the plurality of vertical transistors are uniformly arranged near the conductive plug (**See Figs. 11,19 items 1104,1105**).

In Regards to Claim 19, Matsuoka et al. discloses, wherein the plurality of vertical transistors are uniformly arranged so as to surround the conductive plug (**See Figs. 11,19 items 1104,1105**).

In Regards to Claim 20, Matsuoka et al. discloses, wherein, in plan view, a distance between the conductive plug (**See Figs. 11,19 items 1104,1105**) and the vertical transistor farthest from the conductive plug is twice or less a distance between the conductive plug (**See Figs. 11,19 items 1104,1105**) and the vertical transistor closest to the conductive plug (**See Figs. 11,19 items 1104,1105**).

“The law is replete with cases in which the difference between the claimed invention and the prior art is some range or other variable within the claims. . . . In such a situation, the applicant must show that the particular range is critical, generally by showing that the claimed range achieves unexpected results relative to the prior art range.” *In re Woodruff*, 919 F.2d 1575, 16 USPQ2d 1934 (Fed. Cir. 1990).

Art Unit: 2891

It would have been obvious to one of ordinary skill in the art at the time of the invention, to combine the teachings of Cheng to what is taught in Matsuoka et al. since they are in the same field of endeavor, a person having ordinary skill in the art at the time of invention would have readily recognized the desirability and advantages of modifying Cheng as suggested by Matsuoka et al., because it is necessary to open a contact with passing through a portion between the writing word lines without electrically shorting with the writing word lines so as to connect plugs . All the claim elements were known in the prior art and one skilled in the art could have combined the elements as claimed by known methods with no change in their respective functions, and the combination would have yielded predictable results to one of ordinary skill in the art at the time of the invention. *KSR Int'l Co. v. Teleflex Inc.* 550 U.S. ___, 82USPQ2d 1385 (Supreme Court 2007) (KSR).

Claims 9-12 are rejected under 35 U.S.C. 103(a) as being unpatentable over Cheng (U.S. Pat # 7,528,035 B2) in view of Matsuoka et al. (U.S. Pat # 6,560,135 B2) and in further view of Nojima (U.S. Pat # 8,174,068 B2).

In Regards to Claims 9-12, Cheng and Matsuoka et al. disclose all of the limitations above except, further comprising a dummy pillar provided to stand from the semiconductor substrate and comprising over its side surface a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors, further comprising an active region in which the semiconductor pillars are arranged and an element isolation region surrounding the active region, wherein the dummy pillar is disposed at a position lying over the active region and the element isolation region and comprises the power feed gate electrode over its side surface and the power feed gate electrode is connected to the gate electrode between the dummy pillar and the semiconductor pillar closest to the dummy pillar, wherein the dummy pillar comprises a first dummy pillar standing in the active region and a second dummy pillar standing in the element isolation region and is an integrated pillar in which one side surface of the first dummy pillar and one side surface of the second dummy pillar are in contact with each other, wherein another side surface, located on an opposite side of the one side surface, of the first dummy pillar faces the side surface of the semiconductor pillar closest to the dummy pillar.

In Regards to Claim 9, Nojima discloses, further comprising a dummy pillar (**See Fig. 25 item 15B**) provided to stand from the semiconductor substrate (**See Fig. 25 item 11**) and comprising over its side surface a power feed gate electrode (**See Fig. 25 item 16**), of the plurality of vertical transistors (**See Fig. 25 and associated text**).

Where the claimed and the prior art products are identical or substantially identical in structure or composition, or are produced by identical or substantially identical processes, a prima facie case of either anticipation or obviousness has been established. In re Best, 195 USPQ 430, 433 (CCPA 1977).

In Regards to Claim 10, Nojima discloses, further comprising an active region in which the semiconductor pillars are arranged (**See Figs. 1A-25 and associated text**) and an element isolation region surrounding the active region (**See Fig. 1A item 12 and associated text**), wherein the dummy pillar is disposed at a position lying over the active region (**See Fig. 25 item 15B**) and the element isolation region (**See Fig. 1A item 12 and associated text**) and comprises the power feed gate electrode over its side surface (**See Fig. 25 item 16**) and the power feed gate electrode (**See Fig. 25 item 16**), between the dummy pillar (**See Fig. 25 item 15B**) and the semiconductor pillar closest to the dummy pillar (**See Fig. 25 item 15B and associated text**).

In Regards to Claim 11, Nojima discloses, wherein the dummy pillar (**See Fig. 25 item 15B**) comprises a first dummy pillar standing in the active region (**See Fig. 25 item 15B**) and a second dummy pillar (**See Fig. 25 item 15A**) standing in the element isolation region and is an integrated pillar (**See Fig. 1A item 12 and associated text**) in which one side surface of the first dummy pillar (**See Fig. 25 item 15B**) and one side surface of the second dummy pillar are in contact with each other (**See Fig. 25 item 15A**).

In Regards to Claim 12, Nojima discloses, wherein another side surface, located on an opposite side of the one side surface, of the first dummy pillar (**See Fig. 25 item 15B**) faces the side surface of the semiconductor pillar closest to the dummy pillar (**See Fig. 25 item 15B**).

It would have been obvious to one of ordinary skill in the art at the time of the invention, to combine the teachings of Cheng and Matsuoka et al. to what is taught in Nojima since they are in the same field of endeavor, a person having ordinary skill in the art at the time of invention would have readily

Art Unit: 2891

recognized the desirability and advantages of modifying Cheng and Matsuoka et al. as suggested by Nojima, to form vertical transistor to prevent short-circuiting between the dummy silicon pillar and the gate contact plug. All the claim elements were known in the prior art and one skilled in the art could have combined the elements as claimed by known methods with no change in their respective functions, and the combination would have yielded predictable results to one of ordinary skill in the art at the time of the invention. *KSR Int'l Co. v. Teleflex Inc.* 550 U.S. ___, 82USPQ2d 1385 (Supreme Court 2007) (KSR).

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to DAMON HILLMAN whose telephone number is (571)270-7647. The examiner can normally be reached on Monday - Friday 7:00am to 4:00pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Matthew C. Landau can be reached on 5712721731. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/DAMON HILLMAN/
Examiner, Art Unit 2891

/Telly D Green/

Primary Examiner, Art Unit 2822

Art Unit: 2891

1.

Notice of References Cited	Application/Control No. 13/722,125	Applicant(s)/Patent Under Reexamination TAKAISHI, YOSHIHIRO	
	Examiner DAMON HILLMAN	Art Unit 2891	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-8,174,068	05-2012	Nojima, Kazuhiro	257/336
*	B	US-6,560,135	05-2003	Matsuoka et al.	365/97
*	C	US-7,528,035	05-2009	Cheng, Kangguo	438/243
*	D	US-2013/0134507	05-2013	TAKAISHI, Yoshihiro	257/334
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Receipt date: 12/20/2012

Doc code: IDS

Doc description: Information Disclosure Statement (IDS) Filed

13722125 - GAIL: 2891

Approved for use through 07/31/2012. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		
	Filing Date		2012-12-19
	First Named Inventor	Yoshihiro TAKAISHI	
	Art Unit		
	Examiner Name		
	Attorney Docket Number	8040-1178	

U.S.PATENTS							Remove
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	
	1	7945272		2011-05-17	KIM	Corresponds to 2006-081184	
	2	6813714		2004-11-02	HARDJONO et al.	English language	
	3	6584566		2003-06-24	HARDJONO	English language	
If you wish to add additional U.S. Patent citation information please click the Add button.							Add
U.S.PATENT APPLICATION PUBLICATIONS							Remove
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	
	1	20100011063		2010-01-14	BLAIOTTA et al.	Corresponds to 2008-543137	
	2	20070071021		2007-03-29	GIRAO	Corresponds to 2007-089156	
	3	20060063548		2006-03-23	KIM	Corresponds to 2006-081184	

Receipt date: 12/20/2012 INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		13722125 - GAU: 2891	
	Filing Date		2012-12-19	
	First Named Inventor	Yoshihiro TAKAISHI		
	Art Unit			
	Examiner Name			
	Attorney Docket Number	8040-1178		

	6	2009-081389	JP		2009-04-16		Cited in the specification, English abstract	☐
--	---	-------------	----	--	------------	--	--	--------------------------

If you wish to add additional Foreign Patent Document citation information please click the Add button **Add**

NON-PATENT LITERATURE DOCUMENTS

Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1		☐

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature	/Damon Hillman/	Date Considered	11/16/2013
--------------------	-----------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

Receipt date: 12/20/2012 INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		13722125 - GAU: 2891
	Filing Date		2012-12-19
	First Named Inventor	Yoshihiro TAKAISHI	
	Art Unit		
	Examiner Name		
	Attorney Docket Number	8040-1178	

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☐ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Eric Jensen/	Date (YYYY-MM-DD)	2012-12-19
Name/Print	Eric Jensen	Registration Number	37855

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	10	("20030044020" "20030177267" "20060063548" "20070071021" "20090024848" "20100011063" "20110072121" "6584566" "6813714" "7945272").PN.	US-PGPUB; USPAT; USOCR	OR	ON	2013/11/16 17:33
S2	1	"20130161738"	US-PGPUB; USPAT; USOCR	OR	ON	2013/11/16 17:33
S3	74	((YOSHIHIRO) near2 (TAKAISHI)).INV.	US-PGPUB; USPAT; USOCR	OR	ON	2013/11/16 17:40
S4	62	((YOSHIHIRO) near2 (TAKAISHI)).INV.	EPO; JPO; DERWENT	OR	ON	2013/11/16 17:40
S5	0	("20030044020" "20030177267" "20060063548" "20070071021" "20090024848" "20100011063" "20110072121" "6584566" "6813714" "7945272").PN. and (semiconductor adj device)	US-PGPUB; USPAT; USOCR	OR	ON	2013/11/16 17:41
S6	61	((YOSHIHIRO) near2 (TAKAISHI)).INV. and (semiconductor adj device)	US-PGPUB; USPAT; USOCR	OR	ON	2013/11/16 17:42
S7	22	((YOSHIHIRO) near2 (TAKAISHI)).INV. and (semiconductor adj device) and (vertical adj transistor)	US-PGPUB; USPAT; USOCR	OR	ON	2013/11/16 17:42
S8	21	((YOSHIHIRO) near2 (TAKAISHI)).INV. and (semiconductor adj device) and (vertical adj transistor) and (diffusion adj layer)	US-PGPUB; USPAT; USOCR	OR	ON	2013/11/16 17:43
S9	21	((YOSHIHIRO) near2 (TAKAISHI)).INV. and (semiconductor adj device) and (vertical adj transistor) and (diffusion adj layer) and (substrate)	US-PGPUB; USPAT; USOCR	OR	ON	2013/11/16 17:43
S10	3	((YOSHIHIRO) near2 (TAKAISHI)).INV. and (semiconductor adj device) and (vertical adj transistor) and (diffusion adj layer) and (substrate) and (conductive adj plug)	US-PGPUB; USPAT; USOCR	OR	ON	2013/11/16 17:46
S11	2	(semiconductor adj device) and (plurality with vertical adj transistor) and (diffusion adj layer) and (substrate) and (conductive adj plug)	US-PGPUB; USPAT; USOCR	OR	ON	2013/11/17 00:30
S12	2	(semiconductor adj device) and (plurality with vertical adj transistor) and (diffusion adj layer) and (substrate) and (conductive adj plug)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 00:40

S13	32	(semiconductor adj device) and (plurality with vertical adj transistor) and (diffusion adj layer) and (substrate)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 00:52
S14	2	(semiconductor adj device) and (plurality with vertical adj transistor) and (diffusion adj layer) and (substrate) and (conduct\$3 adj plug)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 01:08
S15	11	(semiconductor adj device) and (plurality adj vertical adj transistor) and (diffusion adj layer) and (substrate)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 01:10
S16	80	(semiconductor adj device) and (plurality adj vertical adj transistor)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 01:13
S17	76	(semiconductor adj device) and (plurality adj vertical adj transistor) and (substrate)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 01:13
S18	0	(semiconductor adj device) and (plurality adj vertical adj transistor) and (substrate) and (diffusion adj (lyer or wire or film))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 01:17
S19	80	(semiconductor adj device) and (plurality adj vertical adj transistor)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 01:27
S20	80	(semiconductor adj device) and (plurality adj vertical adj transistor)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 01:32
S21	14	(semiconductor adj device) and (plurality adj vertical adj transistor) and (diffusion adj layer)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 01:41
S22	1	(semiconductor adj device) and (plurality adj vertical adj transistor) and (power adj feed adj gate adj electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 21:47

S23	1	(semiconductor adj device) and (plurality adj vertical adj transistor) and (feed adj gate adj electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 21:47
S24	0	(semiconductor adj device) and (plurality adj vertical adj transistor) and (power adj gate adj electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 21:49
S25	1	(power adj feed adj gate adj electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 21:56
S26	38	(feed adj gate adj electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 21:57
S27	3	(feed adj gate adj electrode) and (dummy adj gate)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 21:57
S28	0	((YOSHIHIRO) near2 (TAKAISHI)).INV. and (feed adj gate adj electrode) and (dummy adj gate)	US-PGPUB; USPAT; USOCR	OR	ON	2013/11/17 22:02
S29	1	(feed adj gate adj electrode) and (dummy adj pillar)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 22:07
S30	112	(dummy adj pillar)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 22:32
S31	56	(dummy adj pillar) and (vertical adj transistor)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2013/11/17 22:32

11/ 18/ 2013 12:35:23 AM
C:\ Users\ dhillman1\ Documents\ EAST\ Workspaces\ 13722125.wsp

Search Notes 	Application/Control No. 13722125	Applicant(s)/Patent Under Reexamination TAKAISHI, YOSHIHIRO
	Examiner DAMON HILLMAN	Art Unit 2891

CPC- SEARCHED		
Symbol	Date	Examiner

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
257	334	11/17/2013	D.H.

SEARCH NOTES		
Search Notes	Date	Examiner
EAST	11/17/2013	D.H.
PALM	11/17/2013	D.H.
Classification Home Page	11/17/2013	D.H.

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner

/DAMON HILLMAN/ Examiner.Art Unit 2891	
---	--

<p><i>Index of Claims</i></p> 	Application/Control No. 13722125	Applicant(s)/Patent Under Reexamination TAKAISHI, YOSHIHIRO
	Examiner DAMON HILLMAN	Art Unit 2891

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant		☐ CPA		☐ T.D.		☐ R.1.47			
CLAIM		DATE							
Final	Original	11/18/2013							
	1	✓							
	2	✓							
	3	✓							
	4	✓							
	5	✓							
	6	✓							
	7	✓							
	8	✓							
	9	✓							
	10	✓							
	11	✓							
	12	✓							
	13	✓							
	14	✓							
	15	✓							
	16	✓							
	17	✓							
	18	✓							
	19	✓							
	20	✓							



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 4586

SERIAL NUMBER 13/722,125	FILING or 371(c) DATE 12/20/2012 RULE	CLASS 257	GROUP ART UNIT 2891	ATTORNEY DOCKET NO. 8040-1178		
APPLICANTS ELPIDA MEMORY, INC., Tokyo, JAPAN INVENTORS Yoshihiro TAKAISHI, Tokyo, JAPAN; ** CONTINUING DATA ***** ** FOREIGN APPLICATIONS ***** JAPAN 2011-285544 12/27/2011 ** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** 02/09/2013						
Foreign Priority claimed ☒ Yes ☐ No 35 USC 119(a-d) conditions met ☒ Yes ☐ No Verified and Acknowledged <u>/DAMON A HILLMAN/</u> Examiner's Signature		☐ Met after Allowance Initials	STATE OR COUNTRY JAPAN	SHEETS DRAWINGS 10	TOTAL CLAIMS 20	INDEPENDENT CLAIMS 3
ADDRESS YOUNG & THOMPSON 209 Madison Street Suite 500 Alexandria, VA 22314 UNITED STATES						
TITLE SEMICONDUCTOR DEVICE						
FILING FEE RECEIVED 1260	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:		☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit			

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 1 1 年 1 2 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 1 1 - 2 8 5 5 4 4
Application Number:

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

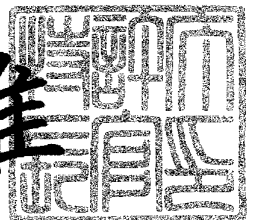
J P 2 0 1 1 - 2 8 5 5 4 4

出 願 人 エルピーダメモリ株式会社
Applicant(s):

2 0 1 3 年 7 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

羽 藤 秀 雄



【書類名】	特許願
【整理番号】	09P00475
【提出日】	平成23年12月27日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 29/78
【発明者】	
【住所又は居所】	東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社 内
【氏名】	高石 芳宏
【特許出願人】	
【識別番号】	500174247
【氏名又は名称】	エルピーダメモリ株式会社
【代理人】	
【識別番号】	100077838
【弁理士】	
【氏名又は名称】	池田 憲保
【選任した代理人】	
【識別番号】	100082924
【弁理士】	
【氏名又は名称】	福田 修一
【選任した代理人】	
【識別番号】	100129023
【弁理士】	
【氏名又は名称】	佐々木 敬
【手数料の表示】	
【予納台帳番号】	012427
【納付金額】	15,000円
【提出物件の目録】	
【物件名】	明細書 1
【物件名】	特許請求の範囲 1
【物件名】	要約書 1
【物件名】	図面 1
【包括委任状番号】	1108111

【書類名】明細書

【発明の名称】半導体装置および半導体装置の製造方法

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、トランジスタの微細化の技術として、縦型トランジスタが提案されている。

【0003】

縦型トランジスタは、半導体基板の主面に対して垂直方向に延びる半導体ピラーをチャンネルとして用いるトランジスタである。

【0004】

具体的には、縦型トランジスタは、半導体基板から立ち上がるように半導体ピラー（基柱）が設けられており、半導体ピラーの周囲にはゲート絶縁膜を介してゲート電極が設けられている。半導体ピラーの下部の横側にはドレイン領域およびドレイン電極が設けられ、半導体ピラーの上部にはソース領域及びソース電極が設けられている（特許文献1）。

【0005】

この縦型トランジスタはチャンネルを基板平面に平行に配置した従来のトランジスタと比べて、平面上の占有面積が小さく、チャンネル長（ゲート長）を長くしてもトランジスタの平面上の占有面積の増加がない。

【0006】

そのため、トランジスタの平面上の占有面積を大きくしなくても短チャンネル効果が抑制できる。またチャンネルの完全空乏化が可能となり、良好なS値（Subthreshold swing value）および大きなドレイン電流が得られるという利点を有している。

【0007】

また縦型トランジスタは、チャンネル部の全周に亘ってゲート電極が形成されており（ゲート電極で覆われており）、ソース・ドレイン以外の外的要因に左右されることなく、チャンネルの電位をゲート電極で効果的に制御可能である。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2009-081389号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

ここで、縦型トランジスタを用いた半導体装置は、トランジスタの特性を維持しつつ、高い電流駆動能力を得るために、半導体ピラーを複数設けて、それら複数の半導体ピラーの上下部に設けた上部拡散層と下部拡散層を夫々並列に接続する場合がある。この際、半導体ピラーの上部拡散層に接続させる上部コンタクトプラグと半導体ピラー間における電気抵抗のばらつきは、上部拡散層が半導体ピラーの上端に設けられるという構造上、上部コンタクトプラグの接続位置が限定されるので、許容程度となっている。しかし、半導体ピラーの下部拡散層に接続させる下部コンタクトプラグと半導体ピラー間における電気抵抗のばらつきは、下部拡散層と下部コンタクトプラグの接続位置によって大きく変動するために、平面視において半導体ピラーと下部コンタクトプラグの最長間隔が最短間隔の2倍以上になると、複数の半導体ピラーに設けられた夫々のトランジスタ特性がばらつく問題があった。

【0010】

本発明は、このような問題に鑑みてなされたもので、その目的は、複数の縦型トランジスタを接続した構造でも、個々の半導体ピラーに設けられたトランジスタの特性を安定化させることが可能な半導体装置を提供することにある。

【課題を解決するための手段】

【0011】

前述した目的を達成するために、本発明の第1の態様は、半導体基板から立ち上がるように設けられ、前記半導体基板側の端部に拡散層を有する複数の縦型トランジスタと、前記半導体基板から立ち上がるように設けられ、複数の前記縦型トランジスタの前記拡散層に接続される導電プラグと、を有し、複数の前記縦型トランジスタは、前記導電プラグの周囲に均等配置され、前記拡散層および前記導電プラグを共有している、半導体装置である。

【0012】

本発明の第2の態様は、(a)半導体基板から立ち上がるように、複数の縦型トランジスタを形成し、複数の前記縦型トランジスタの前記半導体基板側の端部に、拡散層を、複数の縦型トランジスタが共有するように設け、(b)前記半導体基板から複数の前記縦型トランジスタの前記拡散層に接続される導電プラグを立ち上がるように設ける、を有し、前記(a)は、複数の前記縦型トランジスタを、前記導電プラグを設ける部分の周囲に均等配置する、半導体装置の製造方法である。

【発明の効果】

【0013】

本発明によれば、複数の縦型トランジスタを接続した構造でも、個々の半導体ピラーに設けられたトランジスタの特性を安定化させることが可能な半導体装置を提供することができる。

【図面の簡単な説明】

【0014】

【図1】第1の実施形態に係る半導体装置100の構造を示す模式図（平面図）であって、構成要素の配置状況を明確にするため、層間絶縁膜並びにコンタクトプラグ上に位置している配線を透過状態として、その輪郭だけを点線で記載している。

【図2】図1のX1-X1'断面図である。

【図3】図1のY1-Y1'断面図である。

【図4】第2の実施形態に係る半導体装置100aの構造を示す模式図（平面図）である。

【図5】第3の実施形態に係る半導体装置100bの構造を示す模式図（平面図）である。

【図6】第4の実施形態に係る半導体装置100cの構造を示す模式図（平面図）である。

【図7】第5の実施形態に係る半導体装置100dの構造を示す模式図（平面図）である。

【図8】第1の実施形態に係る半導体装置100の製造方法を説明するための図（平面図）である。

【図9】図8のX1-X1'断面図である。

【図10】第1の実施形態に係る半導体装置100の製造方法を説明するための図（平面図）である。

【図11】図10のX1-X1'断面図である。

【図12】図10のY1-Y1'断面図である。

【図13】第1の実施形態に係る半導体装置100の製造方法を説明するための図（平面図）である。

【図14】図13のX1-X1'断面図である。

【図15】図13のY1-Y1'断面図である。

【図16】第1の実施形態に係る半導体装置100の製造方法を説明するための図（断面図）である。

【図17】第1の実施形態に係る半導体装置100の製造方法を説明するための図（断面図）である。

【図18】第1の実施形態に係る半導体装置100の製造方法を説明するための図（平面図）であって、構成要素の配置状況を明確にするため、最上層の下地となった構成要素を破線で記載している。

【図19】図18のX1-X1'断面図である。

【図20】図18のY1-Y1'断面図である。

【発明を実施するための形態】

【0015】

以下、図面に基づいて本発明に好適な実施形態を詳細に説明する。

【0016】

まず、図1を参照して、本発明の第1の実施形態に係る半導体装置100の概略構成を説明する。

【0017】

図1に示すように、第1の実施形態に係る半導体装置100は、半導体基板としてのシリコン基板1から立ち上がるように設けられた縦型トランジスタである第1の単位トランジスタ50A₁、第2の単位トランジスタ50A₂、第3の単位トランジスタ50A₃、第4の単位トランジスタ50A₄、および第5の単位トランジスタ50A₅と、各単位トランジスタのシリコン基板1側の端部に設けられ、各単位トランジスタに共有されるピラ一下部拡散層9と、シリコン基板1から立ち上がるように設けられ、ピラ一下部拡散層9に接続された導電プラグとしてのメタルコンタクトプラグ31を有しており、各々の単位トランジスタは後述するように、メタルコンタクトプラグ31を共有しており、1つの並列トランジスタを構成している。

【0018】

また、各単位トランジスタはメタルコンタクトプラグ31の周囲に均等配置されている。なお、「均等配置」とは、第1の実施形態では、平面視において、メタルコンタクトプラグ31から最も距離が近い単位トランジスタと最も遠い単位トランジスタの距離の差が2倍以内になるような配置を指すものとする。

【0019】

次に、図1を参照して、半導体装置100の構成について、さらに詳細に説明する。

【0020】

図1に示すように、半導体装置100は、STI (Shallow Trench Isolation) 2に囲まれた活性領域となる領域Aを有し、領域A内に、シリコン基板1の表面から立ち上がるように（Z方向に向けて突出するように）設けられた第1のシリコンピラー5A₁、第2のシリコンピラー5A₂、第3のシリコンピラー5A₃、第4のシリコンピラー5A₄、および第5のシリコンピラー5A₅の5つのシリコンピラーが設けられている。各々のシリコンピラーは、X方向の幅およびY方向の幅が同一の矩形となるように構成されている。ここでは幅を50nmとする。なお、各々のシリコンピラーの平面形状は、矩形に限らず、円形であっても良い。円形の場合は直径を50nmとする。

【0021】

各々のシリコンピラーは、単位トランジスタのチャネル部を構成するものである。すなわち、第1のシリコンピラー5A₁、第2のシリコンピラー5A₂、第3のシリコンピラー5A₃、第4のシリコンピラー5A₄、および第5のシリコンピラー5A₅の5つのシリコンピラーは、第1の単位トランジスタ50A₁、第2の単位トランジスタ50A₂、第3の単位トランジスタ50A₃、第4の単位トランジスタ50A₄、および第5の単位トランジスタ50A₅の5つの単位トランジスタに各々対応している。

【0022】

5つの単位トランジスタは、平面視で凹形状となるように配置されている。すなわち、第1の単位トランジスタ50A₁と第2の単位トランジスタ50A₂の2つの単位トランジスタがX方向の同一線上に中心が位置するように一定の間隔で配置される。ここでは、その間隔を30nmとしている。また、第2の単位トランジスタ50A₂、第3の単位トランジスタ50A₃、第4の単位トランジスタ50A₄の3つの単位トランジスタがY方

向の同一線上に中心が位置するように一定の間隔で配置される。ここでは、各々の単位トランジスタの間隔を30nmとしている。さらに、第4の単位トランジスタ50A₄と第5の単位トランジスタ50A₅の2つの単位トランジスタがX方向の同一線上に中心が位置するように一定の間隔で配置される。ここでは、その間隔を30nmとしている。第1の単位トランジスタ50A₁および第2の単位トランジスタ50A₂と、第5の単位トランジスタ50A₅および第4の単位トランジスタ50A₄とは、第3の単位トランジスタ50A₃の中心を通過してX方向に延在する線分に対して線対称の位置に配置されている。これにより、5つの単位トランジスタの配置は凹形状となっている。

【0023】

各々の単位トランジスタの直上には、シリコンプラグ19、メタルコンタクトプラグ30及びメタル配線33が配置されている。各々の単位トランジスタと、シリコンプラグ19及びメタルコンタクトプラグ30は、平面視において、同一領域内で互いに重なって配置されている。メタル配線33は、5つの単位トランジスタの配置に沿って凹形状となるようにXY方向へ延在して配置されている。メタル配線33は、メタルコンタクトプラグ30を介して、各々のシリコンピラーの上部に形成され、各々の単位トランジスタを構成するピラー上部拡散層16と接続されており、各々の単位トランジスタへの給電配線となっている。このように、5つの単位トランジスタは、メタル配線33によって並列に接続されており、1つの並列トランジスタを構成している。

【0024】

一方、第3のシリコンピラー5A₃とX方向に隣接するように、平面視矩形形状のゲート吊りシリコンピラー6が一定の間隔で、シリコン基板1から立ち上がるように配置されている。ここでは、その間隔を30nmとしている。ゲート吊りシリコンピラー6の直上には、平面視矩形形状のメタルコンタクトプラグ41が配置されている。メタルコンタクトプラグ41は、平面視において、ゲート吊りシリコンピラー6と部分的に重なる位置に配置されているが、X方向においてゲート吊りシリコンピラー6の外側に若干はみ出した構成となっている。なお、図1では、メタルコンタクトプラグ41がゲート吊りシリコンピラー6に対してX方向にオフセットしているが、これに限るものではなく、各々のシリコンピラーに接触しない範囲の任意の位置でY方向にオフセットされても良い。

【0025】

また、隣接するシリコンピラーの隙間及び第3のシリコンピラー5A₃とゲート吊りシリコンピラー6の隙間を覆って、各々のシリコンピラーとゲート吊りシリコンピラー6の側面全体にゲート電極11（図2、図3参照）が設けられている。上記のメタルコンタクトプラグ41は、上記のはみ出した部分でゲート吊りシリコンピラー6の側面に設けられたゲート電極11と接続されている。ゲート電極11の平面視の厚さ（図2におけるX方向の厚さ）は20nmとしている。

【0026】

ゲート電極の厚さを20nmとしているので、前述のように30nmとした各々のシリコンピラー同士の間隔は、ゲート電極11の厚みの2倍以下とされている。第1のシリコンピラー5A₁～第5のシリコンピラー5A₅の側面に設けられた厚さ20nmのゲート電極11は、各々のシリコンピラー間隔がゲート電極11の膜厚の2倍以下とされた30nmの部分で互いに接触し、1つのゲート電極として機能する。

【0027】

前述のように、第3のシリコンピラー5A₃とゲート吊りシリコンピラー6との間隔も30nmとしているので、ゲート電極11の厚みの2倍以下となっている。第3のシリコンピラー5A₃の側面とゲート吊りシリコンピラー6の側面に設けられた厚さ20nmのゲート電極11は、各々のピラー間隔がゲート電極11の膜厚の2倍以下とされた30nmの部分で互いに接触し、第3のシリコンピラー5A₃とゲート吊りシリコンピラー6に共通のゲート電極となっている。従って、ゲート吊りシリコンピラー6のゲート電極11から供給されたゲート電圧は、第3のシリコンピラー5A₃のゲート電極11を介して、第1のシリコンピラー5A₁と第2のシリコンピラー5A₂と第4のシリコンピラー5A

4と第5のシリコンピラー5A₅のゲート電極11に供給される。

【0028】

メタルコンタクトプラグ41の直上には、ゲート吊り配線42が配置されている。ゲート吊り配線42は、平面視で直線状に設けられており、メタル配線33と交わらないように一方のX方向へ延在して配置されている。ゲート吊り配線42の端部は、メタルコンタクトプラグ41を介して、各々の単位トランジスタ50Aを構成するゲート電極11と接続されている。

【0029】

凹形状に配置された5つの単位トランジスタの内側で、2つの単位トランジスタ（第1の単位トランジスタ50A₁と第5の単位トランジスタ50A₅）で挟まれた領域の中央部には、平面視で円形のメタルコンタクトプラグ31が配置されている。即ち、図1ではメタルコンタクトプラグ31は、凹形状に配置された5つの単位トランジスタに囲まれるように設けられている。メタルコンタクトプラグ31は、図1に示したように、第1の単位トランジスタ50A₁および第5の単位トランジスタ50A₅の中心を結ぶY方向の中心線と、第3の単位トランジスタ50A₃の中心を通るX方向の中心線との交点に中心が位置する円形として形成される。第1の実施形態ではメタルコンタクトプラグ31の直径を40nmとしている。前述のように、各々のシリコンピラーのX方向およびY方向の幅を50nmとし、各々のシリコンピラーの間隔を30nmとしている。従って、メタルコンタクトプラグ31の外周と、第1のシリコンピラー5A₁、第3のシリコンピラー5A₃、および第5のシリコンピラー5A₅との各々の最近接間隔は35nmとなり、最短間隔となる。

【0030】

一方、第2のシリコンピラー5A₂、および第4のシリコンピラー5A₄は、メタルコンタクトプラグ31に対してX方向に45度傾斜した方向に延在することとなる。従って、第2のシリコンピラー5A₂、および第4のシリコンピラー5A₄を構成する矩形の角部がメタルコンタクトプラグ31の外周に対して最近接の状態となり、この場合、最近接間隔は57nmとなる。

【0031】

第1の実施形態では、メタルコンタクトプラグ31の中心に対して、X方向もしくはY方向に延在する同一中心線上に中心が位置するように設けられた第1のシリコンピラー5A₁、第3のシリコンピラー5A₃、第5のシリコンピラー5A₅と、メタルコンタクトプラグ31の外周との間隔はいずれも35nmで最短間隔を構成する。一方、メタルコンタクトプラグ31に対して、X方向の中心線から45度傾斜した方向に延在する第2のシリコンピラー5A₂、第4のシリコンピラー5A₄とメタルコンタクトプラグ31の外周との間隔はいずれも57nmで最長間隔を構成する。この場合、最長間隔（57nm）は、最短間隔（35nm）の2倍以下となっているので、複数のシリコンピラーを配置するためにメタルコンタクトプラグ31と各々のシリコンピラーとの間隔が不均一となり、メタルコンタクトプラグ31からシリコンピラーに至る下部拡散層の寄生抵抗が各々のシリコンピラーごとに変化してしまい、半導体装置全体として特性が不安定になる問題を回避することができる。各々のシリコンピラーを直径50nmの円形で形成した場合、最長間隔は67nmとなるが、この場合でも最短間隔（35nm）の2倍以下となっているので、上記の問題を回避することができる。

【0032】

メタルコンタクトプラグ31の直上には、メタル配線34が配置されている。メタル配線34は、メタルコンタクトプラグ31を介して、各々の単位トランジスタを構成するピラー下部拡散層9と接続されており、ピラー下部拡散層への給電配線となっている。

【0033】

次に、図2および図3を参照して、個々の単位トランジスタ50の構造の詳細について、さらに説明する。図2および図3に示すように、シリコン基板1上には、STI（Shallow Trench Isolation；素子分離溝）2が設けられている。STI2に囲まれた活性領域

である領域Aには、半導体の基柱（半導体ピラー）である、第1のシリコンピラー5A₁～第5のシリコンピラー5A₅の5つのシリコンピラー5が立設されている。第1のシリコンピラー5A₁および第2のシリコンピラー5A₂はX方向に延在している。第5のシリコンピラー5A₅および第4のシリコンピラー5A₄もX方向に延在している。また、第2のシリコンピラー5A₂、第3のシリコンピラー5A₃、第4のシリコンピラー5A₄はY方向に延在している。そのため、5つのシリコンピラーは、前述のように凹形状に配置されている。

【0034】

各々のシリコンピラーは、対応する各々の単位トランジスタ50のチャネル部を構成する柱状の半導体である。従って、各々の単位トランジスタは縦型トランジスタである。5つのシリコンピラーは、STI2に区画された領域Aに全てが同一の高さとなるように配置されている。

【0035】

なお、各々のシリコンピラーの太さ（シリコン基板1の基板表面に平行な面で切った断面の大きさ）は、完全空乏化が可能な太さにしている。

【0036】

各々の単位トランジスタは、シリコンピラー5の上端部と下端部に、それぞれ不純物拡散層を有している。シリコンピラーの上端部に位置したピラー上部拡散層16はソース／ドレインの一方であり、シリコンピラーの下端部に位置したピラー下部拡散層9はソース／ドレインの他方である。ピラー上部拡散層16とピラー下部拡散層9との間に挟まれたシリコンピラーの中央部は、チャネル部を構成している。

【0037】

5つのシリコンピラーのシリコンピラー群の中心となっている第3のシリコンピラー5A₃に対してX方向に隣接するように、ゲート吊りシリコンピラー6が配置されている。シリコンピラー5とゲート吊りシリコンピラー6は、シリコン基板1の表面をエッチングして設けられている。ゲート吊りシリコンピラー6は、シリコン基板1の表面から突出した柱状の半導体である。ゲート吊りシリコンピラー6は、ゲート電極11の高さを嵩上げてゲート電極11と上部のゲート吊り配線42との距離を小さくするための突起層として機能する。隣接するシリコンピラー5の間隔 並びに ゲート吊りシリコンピラー6とシリコンピラー5との間隔（シリコンピラー5とゲート吊りシリコンピラー6との隙間の大きさ）は、ゲート電極11の厚みの2倍以下としている。ここでは30nmとしている。なお、ゲート電極の平面視における厚さは20nmとしている。

【0038】

シリコンピラー5とゲート吊りシリコンピラー6の周囲におけるシリコン基板1の上面には、絶縁膜8が設けられている。絶縁膜8は、シリコンピラー5とゲート吊りシリコンピラー6の周囲を覆って、STI2に達している。ピラー下部拡散層9は、絶縁膜8の下方で絶縁膜8と重なるように配置されており、絶縁膜8によってピラー下部拡散層9とゲート電極11とが電氣的に絶縁されている。ピラー下部拡散層9は、5つのシリコンピラー同士を電氣的に接続しており、5つの単位トランジスタである第1の単位トランジスタ50A₁～第5の単位トランジスタ50A₅に共通の拡散層を構成する。なお、STI2は、ピラー下部拡散層9よりも深く設けられており、STI2を挟んで隣接する活性領域同士でピラー下部拡散層9が導通しないようになっている。

【0039】

シリコンピラー5とゲート吊りシリコンピラー6の側面には、ゲート絶縁膜10が配置されている。また、ゲート絶縁膜10を介してシリコンピラー5とゲート吊りシリコンピラー6の側面に厚さ20nmのゲート電極11が配置されている（図2のX方向の厚さ）。ゲート電極11は、ここでは図示していないが、STI2の内壁面と、STI2の上面に積層された絶縁膜3とマスク膜4の内壁面の一部にも設けられている。ゲート絶縁膜10は、シリコンピラー5の外周面を覆って絶縁膜8と接続されている。シリコンピラー5のチャネル部とピラー上部拡散層16と絶縁膜8の下方に配置されたピラー下部拡散層9

は、ゲート絶縁膜10と絶縁膜8によって、ゲート電極11と電氣的に絶縁されている。

【0040】

ゲート電極11は、隣接するシリコンピラー5の隙間及びシリコンピラー5とゲート吊りシリコンピラー6の隙間を覆って、シリコンピラー5とゲート吊りシリコンピラー6の側面全体に設けられている。

【0041】

シリコンピラー同士の間隔（隙間の大きさ）は、ゲート電極11の厚みの2倍以下とされている。第1のシリコンピラー5A₁～第5のシリコンピラー5A₅の側面に設けられた厚さ20nmのゲート電極11は、各々のシリコンピラー間隔がゲート電極11の膜厚の2倍以下とされた30nmの部分で互いに接触し、1つのゲート電極として機能する。第1のシリコンピラー5A₁～第5のシリコンピラー5A₅の隙間には、ゲート電極11がシリコンピラー5の高さ方向全体に隙間なく設けられており、第1の単位トランジスタ50A₁～第5の単位トランジスタA₅に共通のゲート電極として配置される。

【0042】

第3のシリコンピラー5A₃とゲート吊りシリコンピラー6との間隔（隙間の大きさ）は、ゲート電極11の厚みの2倍以下とされている。第3のシリコンピラー5A₃の側面とゲート吊りシリコンピラー6の側面に設けられた厚さ20nmのゲート電極11は、各々のピラー間隔がゲート電極11の膜厚の2倍以下とされた30nmの部分で互いに接触し、1つのゲート電極として機能する。第3のシリコンピラー5A₃とゲート吊りシリコンピラー6との隙間には、ゲート電極11がシリコンピラー5の高さ方向全体に隙間なく設けられており、第3のシリコンピラー5A₃とゲート吊りシリコンピラー6に共通のゲート電極となっている。従って、ゲート吊りシリコンピラー6のゲート電極11から供給されたゲート電圧は、第3のシリコンピラー5A₃のゲート電極11を介して、第1のシリコンピラー5A₁と第2のシリコンピラー5A₂と第4のシリコンピラー5A₄と第5のシリコンピラー5A₅のゲート電極11に供給される。

【0043】

STI2とゲート吊りシリコンピラー6の上面には、絶縁膜3が配置されている。STI2とゲート吊りシリコンピラー6の上面には、絶縁膜3を覆ってマスク膜4が設けられており、さらにゲート電極11と絶縁膜8を覆って第1層間絶縁膜12が設けられている。第1層間絶縁膜12は、STI2と絶縁膜3とマスク膜4の壁面に囲まれた領域に設けられている。マスク膜4と第1層間絶縁膜12の上面には、第2層間絶縁膜20が設けられている。第2層間絶縁膜20を覆ってストッパー膜21が設けられ、さらにストッパー膜21を覆って第3層間絶縁膜24が設けられている。

【0044】

第3層間絶縁膜24の上面には、ゲート吊り配線42が配置されている。ゲート吊り配線42は、第3層間絶縁膜24、ストッパー膜21、第2層間絶縁膜20及び第1層間絶縁膜12を貫通するメタルコンタクトプラグ41（導電プラグ）によってゲート電極11と接続されている。

【0045】

メタルコンタクトプラグ41は、ゲート吊りシリコンピラー6と部分的に重なる位置に設けられている。ゲート吊りシリコンピラー6の上（より詳細には、ゲート吊りシリコンピラー6の上面に位置した絶縁膜3の上）には、マスク膜4が配置されており、メタルコンタクトプラグ41は、マスク膜4の側面に位置したゲート電極11の上端部と接続されている。ゲート吊りシリコンピラー6の上に配置されたマスク膜4は、ゲート吊りシリコンピラー6と共に、ゲート電極11の高さを嵩上げして、ゲート電極11とゲート吊り配線42との距離を小さくするための突起層として機能する。

【0046】

ゲート吊り配線42は、メタルコンタクトプラグ41と少なくとも部分的に重なる位置に配置されている。

【0047】

第3層間絶縁膜24の上面には、メタル配線33、34が配置されている。

【0048】

メタル配線33は、第1層間絶縁膜12とゲート電極11で取り囲まれたシリコンプラグ（導電プラグ）19と、第3層間絶縁膜24、ストッパー膜21及び第2層間絶縁膜20を貫通するメタルコンタクトプラグ（導電プラグ）30とを介して、各々のシリコンピラーのピラー上部拡散層16と接続されている。シリコンプラグ19は、シリコン中にヒ素等の不純物を注入（拡散）したものであり、ピラー上部拡散層16と共に単位トランジスタ50のソース／ドレインの一方を構成している。シリコンプラグ19の側面には、サイドウォール膜18と絶縁膜17が配置されており、サイドウォール膜18と絶縁膜17によって、シリコンプラグ19とゲート電極11とが電氣的に絶縁されている。

【0049】

メタル配線34は、第3層間絶縁膜24、ストッパー膜21、第2層間絶縁膜20、第1層間絶縁膜12及び絶縁膜8を貫通するメタルコンタクトプラグ（導電プラグ）31によって、ピラー下部拡散層9と接続されている。

【0050】

このように、第1の実施形態に係る半導体装置は、1つの活性領域内でピラー下部拡散層9を共有して立設され、第一の方向（X方向）の同一線上に中心が位置するように一定の間隔で配置された第1および第2の単位トランジスタ（50A₁、50A₂）と、第一の方向に垂直な第二の方向（Y方向）の同一線上に中心が位置するように一定の間隔で配置された第2、第3、第4の単位トランジスタ（50A₂、50A₃、50A₄）と、第一の方向の同一線上に中心が位置するように一定の間隔で配置された第4、第5の単位トランジスタ（50A₄、50A₅）と、ピラー下部拡散層に導通するメタルコンタクトプラグ31を有し、メタルコンタクトプラグ31は、第1の単位トランジスタ50A₁および第5の単位トランジスタ50A₅の中心を結ぶ第二の方向の中心線と、第3の単位トランジスタ50A₃の中心を通る第一の方向の中心線との交点に中心が位置する円形として配置される構成となっている。

【0051】

これにより、メタルコンタクトプラグ31の外周と第2の単位トランジスタ50A₂を構成する第2のシリコンピラー5A₂との最近接間隔となる最長間隔を、メタルコンタクトプラグ31の外周と第3の単位トランジスタ50A₃を構成する第3のシリコンピラー5A₃との最近接間隔となる最短間隔の2倍以下の距離とすることができる（均等配置することができる）。

【0052】

従って、従来技術のように、複数のシリコンピラーを配置するためにメタルコンタクトプラグ31と各々のシリコンピラーとの間隔が不均一となり、メタルコンタクトプラグ31からシリコンピラーに至る下部拡散層9の寄生抵抗が各々のシリコンピラーごとに变化してしまい、半導体装置100全体として特性が不安定になる問題を回避することができる。

【0053】

次に、第2の実施形態に係る半導体装置100aについて、図4を参照して説明する。

【0054】

第2の実施形態は、第1の実施形態において、凹形状の両側辺部分の先端に、さらに単位トランジスタを追加配置したものである。

【0055】

なお、第2の実施形態において、第1の実施形態と同様の機能を果たす要素については同一の番号を付し、主に第1の実施形態と異なる部分について説明する。

【0056】

図4に示すように、第2の実施形態に係る半導体装置100aは、第1の実施形態における凹形状の両側辺部分の先端にそれぞれ新たな単位トランジスタである第6の単位トランジスタ50A₆および第7の単位トランジスタ50A₇が配置された構成となっている。

。すなわち、第7の単位トランジスタ $50A_7$ 、第1の単位トランジスタ $50A_1$ 、第2の単位トランジスタ $50A_2$ の3つの単位トランジスタがX方向の同一線上に中心が位置するように一定の間隔で配置される。また、第2の単位トランジスタ $50A_2$ 、第3の単位トランジスタ $50A_3$ 、第4の単位トランジスタ $50A_4$ の3つの単位トランジスタがY方向の同一線上に中心が位置するように一定の間隔で配置される。さらに、第4の単位トランジスタ $50A_4$ 、第5の単位トランジスタ $50A_5$ 、第6の単位トランジスタ $50A_6$ の3つの単位トランジスタがX方向の同一線上に中心が位置するように一定の間隔で配置される。第7、第1および第2の単位トランジスタ($50A_7$ 、 $50A_1$ 、 $50A_2$)と、第6、第5、第4の単位トランジスタ($50A_6$ 、 $50A_5$ 、 $50A_4$)とは、第3の単位トランジスタ $50A_3$ の中心を通してX方向に延在する線分に対して線対称の位置に配置されている。これにより、7つの単位トランジスタの配置は凹形状となっている。各々の単位トランジスタは縦型トランジスタで構成されている。また、7つの単位トランジスタは実施形態1と同様に、ピラー下部拡散層を共有すると共にメタル配線33で並列に接続することにより1つの並列トランジスタを構成している。

【0057】

凹形状に配置された7つのシリコンピラー5の内側で、第1のシリコンピラー $5A_1$ と第5のシリコンピラー $5A_5$ で挟まれた領域の中央部には、平面視で円形のメタルコンタクトプラグ31が、7つのシリコンピラーに囲まれるように配置されている。具体的には、メタルコンタクトプラグ31は、図4に示したように、第1の単位トランジスタ $50A_1$ および第5の単位トランジスタ $50A_5$ の中心を結ぶY方向の中心線と、第3の単位トランジスタ $50A_3$ の中心を通るX方向の中心線との交点に中心が位置する円形として配置される。

【0058】

上記の構成により、平面視におけるメタルコンタクトプラグ31と、第2のシリコンピラー $5A_2$ 、第4のシリコンピラー $5A_4$ 、第6のシリコンピラー $5A_6$ 、第7のシリコンピラー $5A_7$ との最近接間隔で示される最長間隔は、最短間隔(第1のシリコンピラー $5A_1$ 、第3のシリコンピラー $5A_3$ 、第5のシリコンピラー $5A_5$ との最近接間隔)の2倍以下にすることができる(均等配置することができる)。

【0059】

従って、第2の実施形態に係る半導体装置100aは、縦型トランジスタで構成される並列トランジスタの特性の不安定性を回避しつつ、第1の実施形態に比べてより大きな電流に対応することができる。

【0060】

次に、第3の実施形態に係る半導体装置100bについて、図5を参照して説明する。

【0061】

第3の実施形態は、第2の実施形態において、8つのシリコンピラー5を、平面視で複数の凹形状を組み合わせた形状となるように配置したものである。

【0062】

なお、第3の実施形態において、第2の実施形態と同様の機能を果たす要素については同一の番号を付し、主に第2の実施形態と異なる部分について説明する。

【0063】

図5に示すように、第3の実施形態に係る半導体装置100bは、STI2に囲まれた領域Aを有し、領域Aには、平面視で矩形状の8つのシリコンピラー5($5A_1 \sim 5A_5$ 及び $5A_8 \sim 5A_{10}$)が設けられている。8つのシリコンピラー5は、平面視で複数の凹形状を組み合わせた形状、ここでは2つの凹形状を組み合わせた「ダブル凹形状」となるように配置されている。さらに詳細に述べると、8つのシリコンピラー5の一部($5A_2 \sim 5A_4$ 、 $5A_8$ 、 $5A_9$)はY方向へ点在するように等間隔で配置されており、さらに第2のシリコンピラー $5A_2$ の左側となるように、第1のシリコンピラー $5A_1$ がX方向へ点在して第2のシリコンピラー $5A_2 \sim$ 第4のシリコンピラー $5A_4$ と同じ間隔となるように配置されている。また、第1のシリコンピラー $5A_1$ と同様に、第4のシリコン

ピラー5 A₄の左側となるように、第5のシリコンピラー5 A₅が配置されており、さらに第9のシリコンピラー5 A₉の左側となるように、第10のシリコンピラー5 A₁₀が配置されている。

【0064】

ダブル凹形状に配置された8つのシリコンピラー5の内側で、第1のシリコンピラー5 A₁と第5のシリコンピラー5 A₅並びに第5のシリコンピラー5 A₅と第10のシリコンピラー5 A₁₀で挟まれた夫々の領域の中央部には、平面視で円形状の2つのメタルコンタクトプラグ31（31 A、31 B）が、それぞれ凹形状に配置されたシリコンピラーに囲まれるように配置されている。このような配置にすることで、平面視におけるメタルコンタクトプラグ31（31 A、31 B）とシリコンピラー5との最長間隔（第2のシリコンピラー5 A₂、第4のシリコンピラー5 A₄、第9のシリコンピラー5 A₉との間隔）は、最短間隔（第1のシリコンピラー5 A₁、第3のシリコンピラー5 A₃、第5のシリコンピラー5 A₅、第8のシリコンピラー5 A₈、第10のシリコンピラー5 A₁₀との間隔）の2倍以下にすることができる（均等配置することができる）。

【0065】

従って、第3の実施形態に係る半導体装置100 bによれば、縦型トランジスタで構成される並列トランジスタの特性の不安定性を回避しつつ、第2の実施形態に比べてより大きな電流に対応することができる。

【0066】

次に、第4の実施形態に係る半導体装置100 cについて、図6を参照して説明する。

【0067】

第4の実施形態は、第3の実施形態において、ダブル凹形状の、それぞれの両側辺部分の先端に、さらに単位トランジスタを追加配置したものである。

【0068】

なお、第4の実施形態において、第3の実施形態と同様の機能を果たす要素については同一の番号を付し、主に第3の実施形態と異なる部分について説明する。

【0069】

図6に示すように、第4の実施形態に係る半導体装置100 cは、STI 2に囲まれた領域Aを有し、領域Aには、平面視で矩形状の11個のシリコンピラー5（5 A₁～5 A₁₁）が設けられている。11個のシリコンピラー5は、平面視でダブル凹形状となるように配置されている。さらに詳細に述べると、11個のシリコンピラー5の一部（5 A₂～5 A₄、5 A₈、5 A₉）はY方向へ点在するように等間隔で配置されており、さらに第2のシリコンピラー5 A₂の左側となるように、第1のシリコンピラー5 A₁と第7のシリコンピラー5 A₇がX方向へ点在して第2のシリコンピラー5 A₂～第4のシリコンピラー5 A₄と同じ間隔となるように配置されている。また、第1のシリコンピラー5 A₁、第7のシリコンピラー5 A₇と同様に、第4のシリコンピラー5 A₄の左側となるように、第5のシリコンピラー5 A₅と第6のシリコンピラー5 A₆が配置されており、さらに第9のシリコンピラー5 A₉の左側となるように、第10のシリコンピラー5 A₁₀と第11のシリコンピラー5 A₁₁が配置されている。

【0070】

ダブル凹形状に配置された11個のシリコンピラー5の内側で、第1のシリコンピラー5 A₁と第5のシリコンピラー5 A₅並びに第5のシリコンピラー5 A₅と第10のシリコンピラー5 A₁₀で挟まれた夫々の領域の中央部には、平面視で円形状の2つのメタルコンタクトプラグ31（31 A、31 B）が凹形状に配置されたシリコンピラーに囲まれるように配置されている。このような配置にすることで、平面視におけるメタルコンタクトプラグ31（31 A、31 B）とシリコンピラー5との最長間隔（第2のシリコンピラー5 A₂、第4のシリコンピラー5 A₄、第6のシリコンピラー5 A₆、第7のシリコンピラー5 A₇、第9のシリコンピラー5 A₉、第11のシリコンピラー5 A₁₁との間隔）は、最短間隔（第1のシリコンピラー5 A₁、第3のシリコンピラー5 A₃、第5のシリコンピラー5 A₅、第8のシリコンピラー5 A₈、第10のシリコンピラー5 A₁₀と

の間隔)の2倍以下にすることができる(均等配置することができる)。

【0071】

従って、第4の実施形態に係る半導体装置100cは、縦型トランジスタで構成される並列トランジスタの特性の不安定性を回避しつつ、第3の実施形態に比べてより大きな電流に対応することができる。

【0072】

次に、第5の実施形態に係る半導体装置100dについて、図7を参照して説明する。

【0073】

第5の実施形態は、第1～第4の実施形態とは異なり、シリコンピラーが一行に並んでいる構造において、シリコンピラーがメタルコンタクトプラグ31の周囲に均等に配置されるように構成したものである。

【0074】

なお、第5の実施形態において、第1～第4の実施形態と同様の機能を果たす要素については同一の番号を付し、主に第1の実施形態と異なる部分について説明する。

【0075】

図7に示すように、第5の実施形態に係る半導体装置100dは、Y方向に点在した7つのシリコンピラー5と、均等間隔で3つ配置された、メタルコンタクトプラグ31を有している。

【0076】

より具体的に説明すると、1つの活性領域内でY方向に配置された7つのシリコンピラーの内、中央に位置する第4のシリコンピラー5A₄に対して中心がX方向に延在するように配置されたメタルコンタクトプラグ31Bの他、第2のシリコンピラー5A₂と第6のシリコンピラー5A₆に対して中心がX方向に延在する2つのメタルコンタクトプラグ31A、31Cが配置されており、いずれのシリコンピラー5Aであってもいずれかのメタルコンタクトプラグとの間隔を最短間隔の2倍以下となっている。この場合、3つのメタルコンタクトプラグ31とX方向に対向する各々のシリコンピラーの間隔は最短間隔で配置される。

【0077】

このように、シリコンピラーは必ずしも凹形状にメタルコンタクトプラグを囲んでいる必要はなく、シリコンピラーとメタルコンタクトプラグ31の最短間隔と最長間隔の差が2倍以内となるように均等配置されていればよい。

【0078】

次に、第1の実施形態に係る半導体装置100の製造方法について、図8～図20を参照して詳細に説明する。

【0079】

なお、第2～第5の実施形態に係る半導体装置100a～100dの製造方法は、第1の実施形態に係る半導体装置100の製造方法と同様であるため、説明を省略する。

【0080】

まず図8および図9に示すように、フォトリソグラフィ法およびドライエッチング法を用いて、シリコン基板1に溝(図示せず)を形成する。次に、溝の内壁を含むシリコン基板1の全面に薄いシリコン酸化膜(図示せず)を熱酸化法によって形成した後、溝の内部を埋め込むように、シリコン基板1の全面へシリコン窒化膜をCVD(Chemical Vapor Deposition)法によって堆積させる。その後、シリコン基板1上の不要なシリコン窒化膜をCMP(Chemical Mechanical Polishing)法により除去して、シリコン窒化膜を溝の内部だけに残すことにより、素子分離となるSTI2を形成する。

【0081】

次に図10～図12に示すように、CVD法によって、シリコン基板1上にシリコン酸化膜である絶縁膜3を10nm厚となるように形成してから、シリコン窒化膜であるマスク膜4を120nm厚となるように形成する。次に、フォトリソグラフィ法およびドライエッチング法を用いて、絶縁膜3とマスク膜4をパターンニングする。ここでは、各シリコ

ンピラー（ $5A_1 \sim 5A_5$ ）に対応するマスク膜4をX方向およびY方向の幅が各々50 nmとなる矩形で形成した。矩形に限らず、直径50 nmの円形であっても良い。また、このときパターンニングした開口部には、シリコン基板1とSTI 2が露出している。

【0082】

次に、マスク膜4をマスクとして、露出させたシリコン基板1とSTI 2を深さが150 nmとなるようにドライエッチングして、単位トランジスタのチャンネルとなる5つのシリコンピラー5（ $5A_1 \sim 5A_5$ ）とゲート電極を上層配線に接続するための1つのゲート吊りシリコンピラー6を、シリコン基板1から立ち上がるような形状に形成する。これにより、各シリコンピラー（ $5A_1 \sim 5A_5$ ）は、X方向およびY方向の幅を50 nmとする矩形で形成される。

【0083】

このときのシリコンピラー5とゲート吊りシリコンピラー6のレイアウトは、図10に示した通りである。すなわち、STI 2で囲まれた領域Aに、単位トランジスタを形成するためのシリコンピラー5を配置形状が凹形状となるように5つ配置し、それぞれのシリコンピラー5の間隔をこの後形成するゲート電極の膜厚の2倍以下とする。具体的には、図10において、X方向の同一線上に中心が位置するように設けられた第1のシリコンピラー $5A_1$ と第2のシリコンピラー $5A_2$ の間隔は30 nmとなっている。同じくX方向の同一線上に中心が位置する第5のシリコンピラー $5A_5$ と第4のシリコンピラー $5A_4$ の間隔も30 nmとなっている。また、Y方向の同一線上に中心が位置するように設けられた第2のシリコンピラー $5A_2$ 、第3のシリコンピラー $5A_3$ 、第4のシリコンピラー $5A_4$ の各々の間隔も30 nmとなっている。

【0084】

なお、凹形状の内部の中心は、後にメタルコンタクトプラグ31が配置される位置31であり、換言すれば、各シリコンピラーは位置31'の周囲に均等配置されるように形成される（図10では、各シリコンピラーは位置31'を囲むように凹形状に配置されている）。

【0085】

同様に、ゲート電極の膜厚の2倍以下の間隔で、第3のシリコンピラー $5A_3$ とX方向に隣接するように、ゲート吊りシリコンピラー6を1つ配置する。ここでは、第3のシリコンピラー $5A_3$ とゲート吊りシリコンピラー6の間隔も30 nmとしている。チャンネル部を形成するシリコンピラー5の太さ（シリコン基板1に平行な面で切った断面の大きさ）は、完全空乏化が可能な太さである。ゲート電極を吊り上げるゲート吊りシリコンピラー6のサイズは任意であり、チャンネル部を形成するシリコンピラー5と同じサイズである必要はない。

【0086】

次に図13～図15に示すように、シリコンピラー5とゲート吊りシリコンピラー6の側面を熱酸化法で5 nm厚となるように酸化し（図示せず）、CVD法によるシリコン窒化膜を20 nm厚となるように成膜後、全面エッチバックを行って、シリコンピラー5とゲート吊りシリコンピラー6とマスク膜4の側面にサイドウォール膜を形成する。このとき、STI 2の側面にもサイドウォール膜が形成される。次に、熱酸化法によってシリコン基板1の酸化を行い、シリコンの露出部分に30 nm厚の絶縁膜8を形成する。このとき、シリコンピラー5とゲート吊りシリコンピラー6の側面はサイドウォール膜で覆われており、夫々の上面はマスク膜4で覆われているため、酸化はされない。

【0087】

次に、イオン注入によって、絶縁膜8の下方にピラー下部拡散層9を形成する。ここで、ピラー下部拡散層9は、5つのシリコンピラー5（ $5A_1 \sim 5A_5$ ）で共有される。なお注入する不純物は、例えばN型トランジスタの場合はヒ素を用いることができる。このとき、シリコンピラー5とゲート吊りシリコンピラー6の上面には、マスク膜4が100 nm厚で形成されており、マスク膜4はピラー下部拡散層9上の絶縁膜8よりも十分に厚く、シリコンピラー5とゲート吊りシリコンピラー6の上部には不純物が注入されないの

で、拡散層は形成されない。次に、ドライエッチング法あるいはウェットエッチング法によって、シリコンピラー5とゲート吊りシリコンピラー6の側面に形成したサイドウォール膜と熱酸化膜を除去する。

【0088】

次に、熱酸化法によって、シリコンピラー5とゲート吊りシリコンピラー6の側面に3nm厚のシリコン酸化膜であるゲート絶縁膜10を形成する。次に、シリコン基板1の全面にゲート電極となる20nm厚のポリシリコン膜（多結晶シリコン膜）をCVD法により成膜してから、全面エッチバックを行い、シリコンピラー5及びゲート吊りシリコンピラー6の側面のみにゲート電極11を形成する。シリコンピラー5及びゲート吊りシリコンピラー6の側面にゲート電極11を形成した場合、STI2の側面にもゲート電極11（図示せず）が形成される。図14と図15に示すように、シリコンピラー5同士の間隔並びにシリコンピラー5とゲート吊りシリコンピラー6の間隔は、前述のように、ゲート電極11の膜厚の2倍以下（30nm）としているので、各々のシリコンピラー5の間および第3のシリコンピラー5A₃とゲート吊りシリコンピラー6の間はゲート電極11で完全に埋められる。従って、第1のシリコンピラー5A₁～第5のシリコンピラー5A₅の側面におけるゲート電極11は、一体化して接続されており、さらにゲート吊りシリコンピラー6の側面におけるゲート電極11が、第3のシリコンピラー5A₃の側面におけるゲート電極11へ接続されている。

【0089】

次に図16に示すように、シリコンピラー5とゲート吊りシリコンピラー6を埋め込むように、CVD法によって、シリコン酸化膜である第1層間絶縁膜12を形成する。次に、CMP法によって、第1層間絶縁膜12をマスク膜4が露出するように平坦化し、続けてCVD法によって、シリコン酸化膜であるマスク膜13を50nm厚となるように成膜する。

【0090】

次に、フォトリソグラフィ法とエッチング法を用いて、マスク膜13の一部を除去する。除去するマスク膜13のパターン40は、図1に示したように、シリコンピラー5を配置した部分のみである。マスク膜13を除去した開口部14には、シリコンピラー5の上方におけるマスク膜4が露出する。次に、露出したマスク膜4をウェットエッチングによって選択的に除去し、さらに絶縁膜3を除去することで、シリコンピラー5の上方に開口部15を形成する。開口部15の底面には、シリコンピラー5の上面が露出しており、側面にはゲート電極11の一部が露出している。

【0091】

次に図17に示すように、熱酸化法によって、開口部15の内壁へシリコン酸化膜である絶縁膜17を形成する。次に、開口部15からシリコンピラー5の上部に不純物（N型トランジスタとするのであれば、リンやヒ素など）をイオン注入し、ピラー上部拡散層16を形成する。また、CVD法によるシリコン窒化膜を10nm厚程度成膜してから、エッチバックを行うことにより、開口部15の内壁へサイドウォール膜18を形成する。このサイドウォール膜18の形成時に、シリコンピラー5の上面に形成されていた絶縁膜17も除去して、シリコンピラー5の上面を露出させる。このとき絶縁膜17は、サイドウォール膜18の下方と開口部15におけるゲート電極11の露出面に残留する。サイドウォール膜18は、この後形成するシリコンプラグとゲート電極11との間の絶縁を確保する役割を果たす。

【0092】

次に、選択エピタキシャル成長法を用いて、開口部15を塞ぐようにシリコンピラー5の上面へシリコンプラグ19を成長させる。その後、N型トランジスタとする場合には、ヒ素などをイオン注入して、シリコンプラグ19内をn型の導電体として、シリコンピラー5の上部に形成したピラー上部拡散層16と電気的に接触させる。

【0093】

次に図18～図20に示すように、CVD法によって、開口部14を埋め込むようにシ

リコン酸化膜である第2層間絶縁膜20を形成する。次に、CVD法によって、シリコン窒化膜であるストッパー膜21を20nm厚となるように成膜する。次に、CVD法によって、シリコン酸化膜である第3層間絶縁膜24を150nm厚となるように成膜する。

【0094】

次に、フォトリソグラフィ法およびドライエッチング法を用いて、コンタクト孔27～29を形成する。ここで、コンタクト孔29は、図18に示したように、第1のシリコンピラー5A₁および第5のシリコンピラー5A₅の中心を結ぶY方向の中心線と、第3のシリコンピラー5A₃の中心を通るX方向の中心線との交点に中心が位置する円形として形成される。ここではコンタクト孔29の直径を40nmとしている。これにより、コンタクト孔29の外周と、第1のシリコンピラー5A₁、第3のシリコンピラー5A₃、および第5のシリコンピラー5A₅との各々の最近接間隔は35nmとなり、最短間隔となる。コンタクト孔27の形成では、ドライエッチングをストッパー膜21で一旦止めることで、ゲート電極11までの深さを制御しているが、ゲート吊りシリコンピラー6の上面は、残留しているマスク膜4が保護するので、エッチングされない。コンタクト孔27は、ゲート吊りシリコンピラー6の中心からずらした位置に形成しているので、その底部には、ゲート吊りシリコンピラー6の上方に形成したマスク膜4と、ゲート吊りシリコンピラー6の側面に形成したゲート電極11の一部が露出している。またコンタクト孔28の底部には、シリコンプラグ19の少なくとも一部が露出しており、コンタクト孔29の底部には、ピラー下部拡散層9の一部が露出している。これらのコンタクト孔27～29は同時に形成しても良いが、別々に形成しても良い。

【0095】

次に、CVD法によって、第3層間絶縁膜24を覆うようにタングステン(W)と窒化チタン(TiN)とチタン(Ti)で構成された金属膜を成膜して、コンタクト孔27～29の内部を埋め込む。次にCMP法によって、第3層間絶縁膜24上の金属膜を除去して、シリコンプラグ19に対するメタルコンタクトプラグ30、ピラー下部拡散層9に対するメタルコンタクトプラグ31、ゲート電極11に対するメタルコンタクトプラグ41を形成する。

【0096】

前述のように、直径40nmのコンタクト孔29内に形成されたメタルコンタクトプラグ31の直径は40nmとなる。従って、図18に示すように、メタルコンタクトプラグ31の外周と、第1のシリコンピラー5A₁、第3のシリコンピラー5A₃、および第5のシリコンピラー5A₅との各々の最近接間隔は35nmとなり、最短間隔となる。一方、第2のシリコンピラー5A₂、および第4のシリコンピラー5A₄は、メタルコンタクトプラグ31に対してX方向に45度傾斜した方向に延在することとなる。従って、第2のシリコンピラー5A₂、および第4のシリコンピラー5A₄を構成する矩形の角部がメタルコンタクトプラグ31の外周に対して最近接の状態となり、この場合、57nmとなる。ここでは、メタルコンタクトプラグ31に対して、X方向もしくはY方向に延在する同一中心線上に中心が位置するように設けられた第1のシリコンピラー5A₁、第3のシリコンピラー5A₃、第5のシリコンピラー5A₅との間隔はいずれも35nmで最短間隔を構成する。一方、メタルコンタクトプラグ31に対して、X方向の中心線から45度傾斜した方向に延在する第2のシリコンピラー5A₂、第4のシリコンピラー5A₄との間隔はいずれも57nmで最長間隔を構成する。この場合、最長間隔(57nm)は、最短間隔(35nm)の2倍以下となっているので、図7に示した従来技術のように、複数のシリコンピラーを配置するためにメタルコンタクトプラグ31と各々のシリコンピラーとの間隔が不均一となり、下部拡散層の寄生抵抗が各々のシリコンピラーごとに变化して、半導体装置全体として特性が不安定になる問題を回避することができる。各々のシリコンピラーを円形で形成した場合、最長間隔は67nmとなるが、この場合でも最短間隔(35nm)の2倍以下となっているので、上記の問題を回避することができる。

【0097】

次に図1に示したように、スパッタ法によるタングステン(W)と窒化タングステン(

WN) で構成されたメタル配線 3 3、3 4 とゲート吊り配線 4 2 を形成する。このとき、メタルコンタクトプラグ 4 1 は、ゲート吊り配線 4 2 と接続される。また、ピラー下部拡散層 9 に接続している 1 つのメタルコンタクトプラグ 3 1 A は、メタル配線 3 4 と接続している。さらに、5 つのシリコンピラー 5 A に形成されたピラー上部拡散層 1 6 に接続している 5 つのメタルコンタクトプラグ 3 0 は、メタル配線 3 3 に接続している。

【0098】

以上が製造方法の説明である。

【0099】

以上説明した第 1 の実施形態～第 5 の実施形態の半導体装置によれば、平面視において複数のシリコンピラー 5 をメタルコンタクトプラグ 3 1 の周辺に均等配置している。この構成によれば、メタルコンタクトプラグ 3 1 と個々のシリコンピラー 5 の最長間隔は、最短間隔の 2 倍以内となり、メタルコンタクトプラグ 3 1 とシリコンピラー 5 の間の電気抵抗ばらつきを許容値以内にする事ができる。さらに、縦型トランジスタの特性劣化を防いで、半導体装置の動作を安定させることができる。

【産業上の利用可能性】

【0100】

以上、本発明を実施形態に基づいて説明したが、本発明は実施形態に限定されるものではない。当業者であれば本発明の範囲内において各種変形例および変更例に想到するのは当然のことであり、これらも本発明の範囲に属するものと了解される。

【符号の説明】

【0101】

- 1 シリコン基板
- 2 S T I
- 3 絶縁膜
- 4 マスク膜
- 5 シリコンピラー
- 5 A₁ 第 1 のシリコンピラー
- 5 A₂ 第 2 のシリコンピラー
- 5 A₃ 第 3 のシリコンピラー
- 5 A₄ 第 4 のシリコンピラー
- 5 A₅ 第 5 のシリコンピラー
- 5 A₆ 第 6 のシリコンピラー
- 5 A₇ 第 7 のシリコンピラー
- 5 A₈ 第 8 のシリコンピラー
- 5 A₉ 第 9 のシリコンピラー
- 5 A₁₀ 第 10 のシリコンピラー
- 5 A₁₁ 第 11 のシリコンピラー
- 6 シリコンピラー
- 8 絶縁膜
- 9 ピラー下部拡散層
- 10 ゲート絶縁膜
- 11 ゲート電極
- 12 第 1 層間絶縁膜
- 13 マスク膜
- 14 開口部
- 15 開口部
- 16 ピラー上部拡散層
- 17 絶縁膜
- 18 サイドウォール膜
- 19 シリコンプラグ

2 0	第 2 層間絶縁膜
2 1	ストッパー膜
2 4	第 3 層間絶縁膜
2 7	コンタクト孔
2 8	コンタクト孔
2 9	コンタクト孔
3 0	メタルコンタクトプラグ
3 1	メタルコンタクトプラグ
3 1 A	メタルコンタクトプラグ
3 1'	位置
3 3	メタル配線
3 4	メタル配線
4 0	パターン
4 1	メタルコンタクトプラグ
4 2	配線
5 0	単位トランジスタ
5 0 A	単位トランジスタ
5 0 A ₁	第 1 の単位トランジスタ
5 0 A ₂	第 2 の単位トランジスタ
5 0 A ₃	第 3 の単位トランジスタ
5 0 A ₄	第 4 の単位トランジスタ
5 0 A ₅	第 5 の単位トランジスタ
5 0 A ₆	第 6 の単位トランジスタ
5 0 A ₇	第 7 の単位トランジスタ
1 0 0	半導体装置
1 0 0 a	半導体装置
1 0 0 b	半導体装置
1 0 0 c	半導体装置
1 0 0 d	半導体装置
A	領域

【書類名】特許請求の範囲

【請求項 1】

半導体基板から立ち上がるように設けられ、前記半導体基板側の端部に拡散層を有する複数の縦型トランジスタと、

前記半導体基板から立ち上がるように設けられ、複数の前記縦型トランジスタの前記拡散層に接続される導電プラグと、

を有し、

複数の前記縦型トランジスタは、前記導電プラグの周囲に均等配置され、前記拡散層および前記導電プラグを共有している、半導体装置。

【請求項 2】

前記縦型トランジスタは、

半導体基板から立ち上がるように設けられ、チャンネル部を有する半導体ピラーと、

複数の前記半導体ピラーの側面に設けられたゲート絶縁層およびゲート電極と、

複数の前記半導体ピラーの上端に設けられ、ソースまたはドレインの一方となる上部拡散層と、

複数の前記半導体ピラーの下端に設けられ、ソースまたはドレインの他方となる下部拡散層と、

を有し、

前記導電プラグは、前記下部拡散層に接続される下部拡散層側コンタクトプラグであり

、
複数の前記縦型トランジスタは、前記下部拡散層と前記下部拡散層側コンタクトプラグを共有するように設けられ、かつ各々の前記半導体ピラーが前記下部拡散層側コンタクトプラグの周囲に均等配置されている、請求項 1 記載の半導体装置。

【請求項 3】

前記半導体ピラーは、前記下部拡散層側コンタクトプラグの周囲を囲むように均等配置されている、請求項 2 記載の半導体装置。

【請求項 4】

複数の前記半導体ピラーは、平面視において、前記下部拡散層側コンタクトプラグとの距離が最も近いものと最も遠いものの差が 2 倍以内である、請求項 2 または 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記半導体ピラーは、前記下部拡散層側コンタクトプラグの周囲を「凹」形状に囲むように均等配置されている、請求項 2～4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記下部拡散層側コンタクトプラグは複数設けられ、

前記半導体ピラーは、「凹」形状を複数組み合わせた配置形状を有し、

前記下部拡散層側コンタクトプラグは個々の前記「凹」形状に囲まれるように配置されている、請求項 5 に記載の半導体装置。

【請求項 7】

前記半導体ピラーは、平面上の配置形状が「凹」形状を 2 つ組み合わせた配置形状であり、

前記下部拡散層側コンタクトプラグは、2 つの前記「凹」形状のそれぞれに囲まれるように設けられている、請求項 6 記載の半導体装置。

【請求項 8】

前記半導体基板から立ち上がるように設けられ、複数の前記縦型トランジスタの前記ゲート電極に接続されるゲート吊りシリコンピラーを有する、請求項 2～7 のいずれか一項に記載の半導体装置。

【請求項 9】

複数の前記上部拡散層は互いに接続され、複数の前記縦型トランジスタが並列接続されている、請求項 2～8 のいずれか一項に記載の半導体装置。

【請求項 1 0】

前記半導体ピラーは、完全空乏化が可能な太さである、請求項 2～9 のいずれか一項に記載の半導体装置。

【請求項 1 1】

(a) 半導体基板から立ち上がるように、複数の縦型トランジスタを形成し、複数の前記縦型トランジスタの前記半導体基板側の端部に、拡散層を、複数の縦型トランジスタが共有するように設け、

(b) 前記半導体基板から複数の前記縦型トランジスタの前記拡散層に接続される導電プラグを立ち上がるように設ける、

を有し、

前記 (a) は、複数の前記縦型トランジスタを、前記導電プラグを設ける部分の周囲に均等配置する、半導体装置の製造方法。

【請求項 1 2】

前記 (a) は、半導体基板から立ち上がるように複数の半導体ピラーを設け、

複数の前記半導体ピラーの側面にゲート絶縁膜およびゲート電極を設け、

複数の前記半導体ピラーの上端にソースまたはドレインの一方となる上部拡散層を設け、

、

複数の前記半導体ピラーの下端にソースまたはドレインの他方となる下部拡散層を設け、

、

を有し、

前記 (b) は、前記導電プラグを、下部拡散層側コンタクトプラグとして前記下部拡散層に接続し、

さらに、前記 (a) は、複数の前記半導体ピラーを、前記 (b) において前記下部拡散層側コンタクトプラグが設けられる位置の周囲に均等配置する、請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 3】

前記 (a) は、複数の前記半導体ピラーを、前記下部拡散層側コンタクトプラグが設けられる位置の周囲を囲むように均等配置する、請求項 1 2 記載の半導体装置の製造方法。

【請求項 1 4】

前記 (a) は、複数の前記半導体ピラーを、平面視において、前記下部拡散層側コンタクトプラグが設けられる位置との距離が最も近いものと最も遠いものの差が 2 倍以内になるように配置する、請求項 1 2 または 1 3 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 5】

前記 (a) は、複数の前記半導体ピラーを、前記下部拡散層側コンタクトプラグが設けられる位置の周囲を「凹」形状に囲むように均等配置する、請求項 1 2～1 4 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 6】

前記 (a) は、前記半導体ピラーを、「凹」形状を複数組み合わせた配置形状となるように設け、

前記 (b) は、前記下部拡散層側コンタクトプラグを複数設け、かつ、個々の前記下部拡散層側コンタクトプラグが個々の前記「凹」形状に囲まれるように配置する、請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 7】

前記 (a) は、前記半導体ピラーを、平面上の配置形状が「凹」形状を 2 つ組み合わせた配置形状となるように設け、

前記 (b) は、前記下部拡散層側コンタクトプラグを、2 つの前記「凹」形状に囲まれるように設ける、請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 8】

(c) 前記半導体基板から立ち上がるように複数の前記縦型トランジスタの前記ゲート

電極に接続されるゲート吊りシリコンピラーを設ける、
を有する、請求項 12～17 のいずれか一項に記載の半導体装置の製造方法。

【請求項 19】

(d) 複数の前記上部拡散層を互いに接続し、複数の前記縦型トランジスタを並列接続する、

を有する請求項 12～18 のいずれか一項に記載の半導体装置の製造方法。

【請求項 20】

前記 (a) は、前記半導体ピラーを、完全空乏化が可能な太さに形成する、請求項 12～19 のいずれか一項に記載の半導体装置の製造方法。

【書類名】 要約書

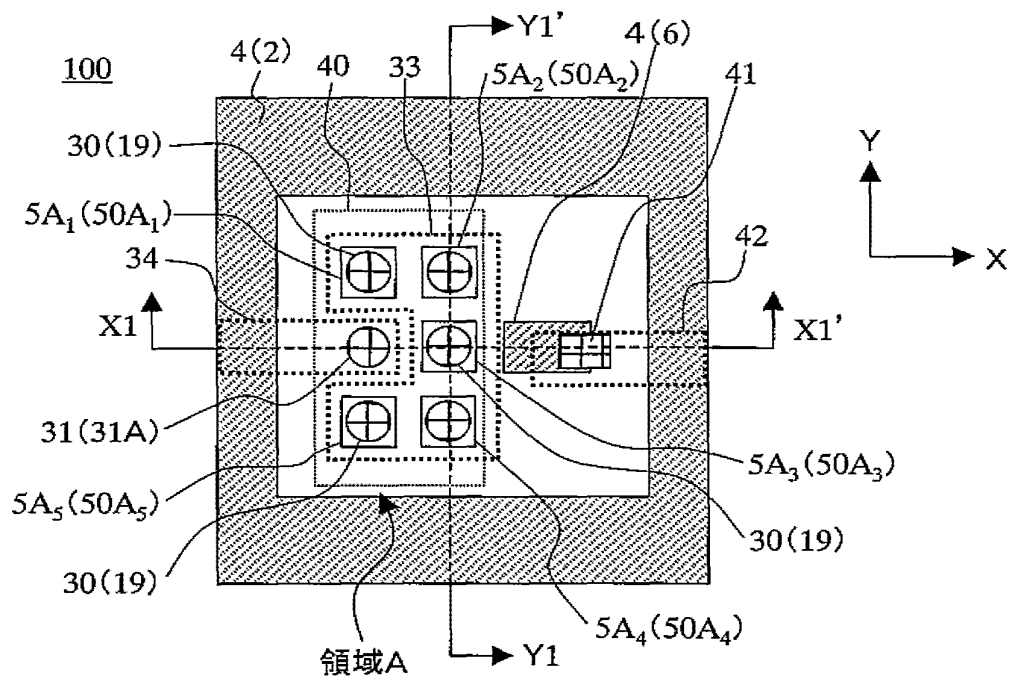
【要約】

【課題】 複数の縦型トランジスタを接続した構造でも、個々のピラーに設けられたトランジスタの特性を安定化させることが可能な半導体装置を提供する。

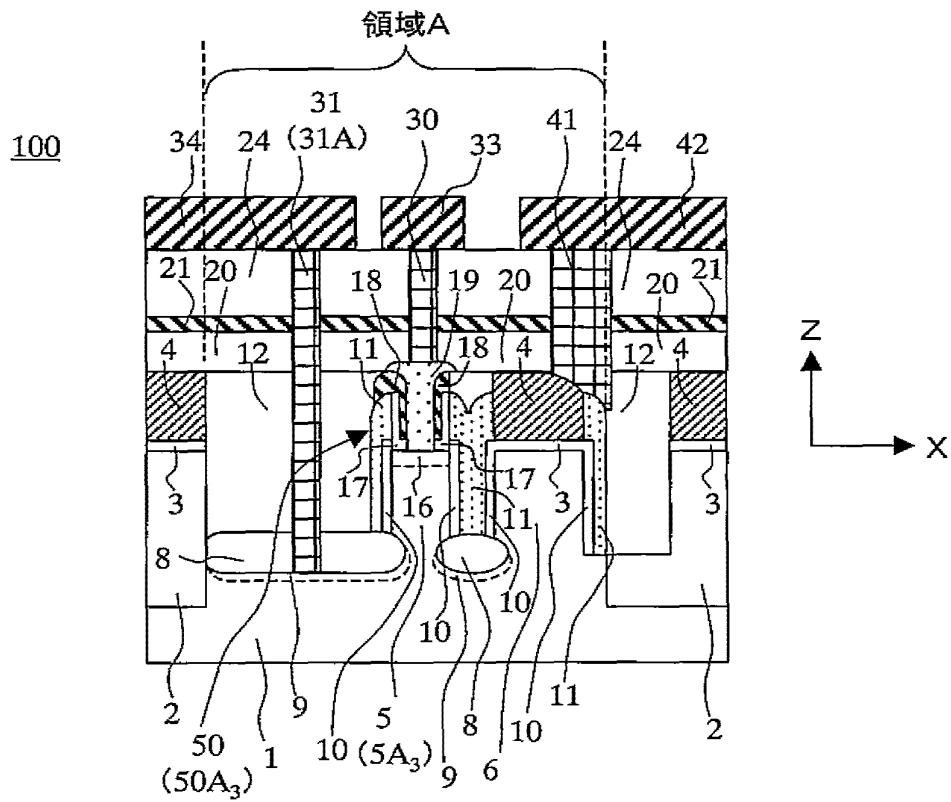
【解決手段】 本発明の半導体装置 100 は、シリコン基板 1 から立ち上がるように設けられ、シリコン基板 1 の端部にピラー下部拡散層 9 を有する複数の縦型トランジスタ 50 と、シリコン基板 1 から立ち上がるように設けられ、複数の縦型トランジスタ 50 のピラー下部拡散層 9 に接続されるメタルコンタクトプラグ 31 を有し、複数の縦型トランジスタ 50 は、メタルコンタクトプラグ 31 の周囲に均等配置され、メタルコンタクトプラグ 31 を共有している。

【選択図】 図 2

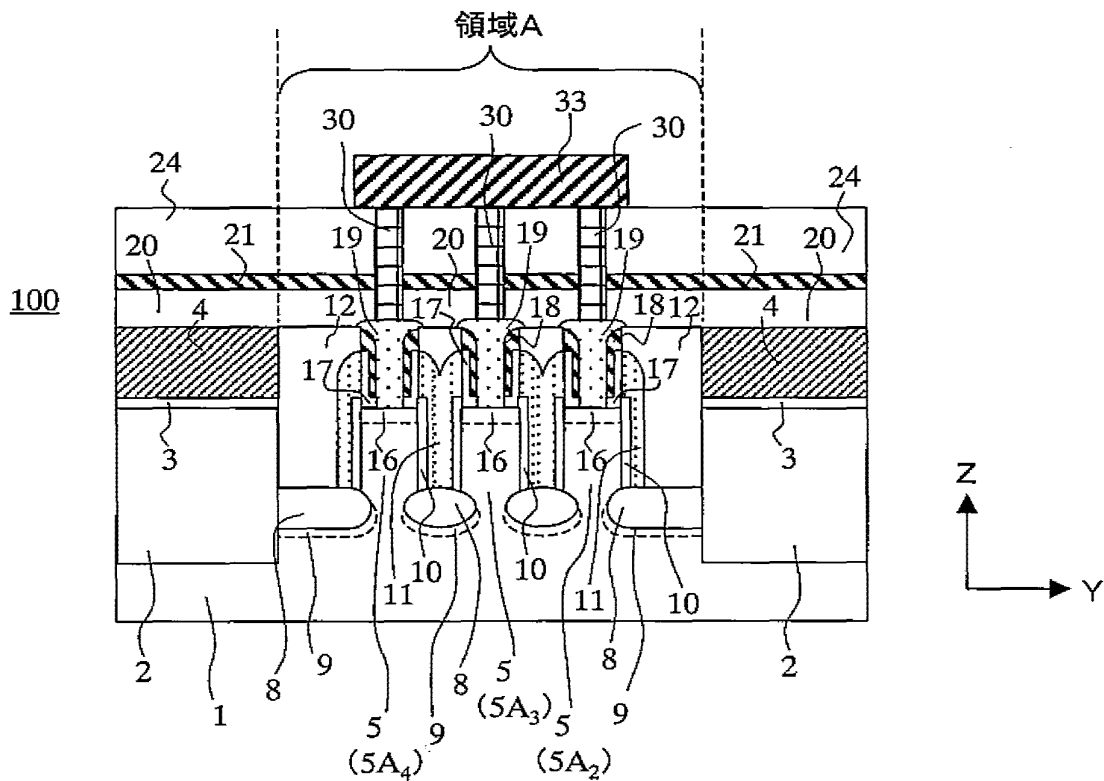
【書類名】 図面
【図 1】



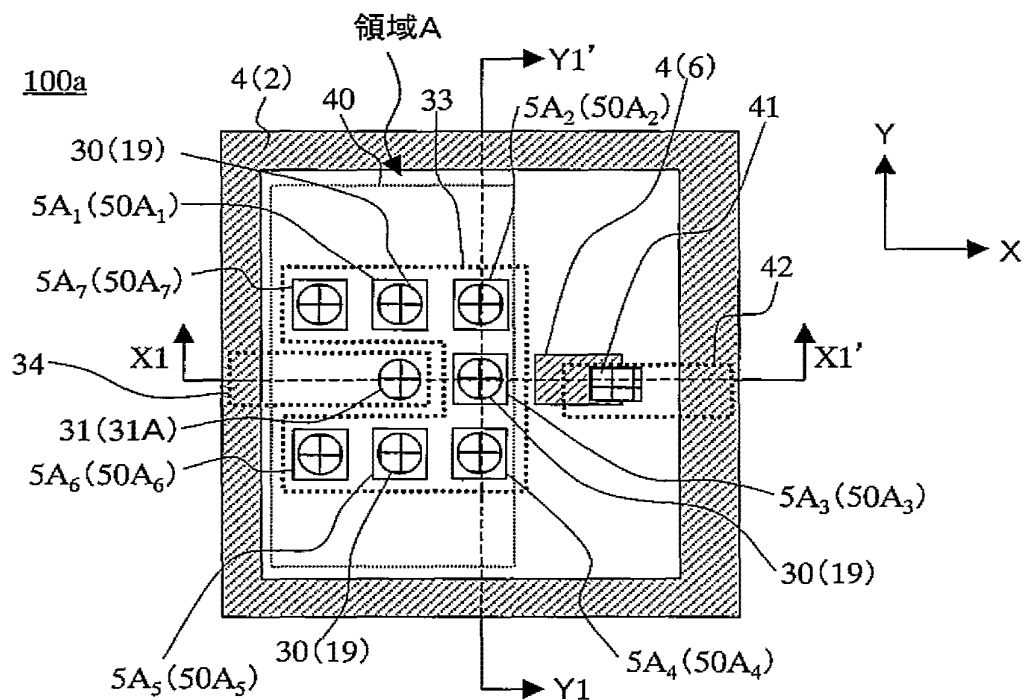
【図 2】



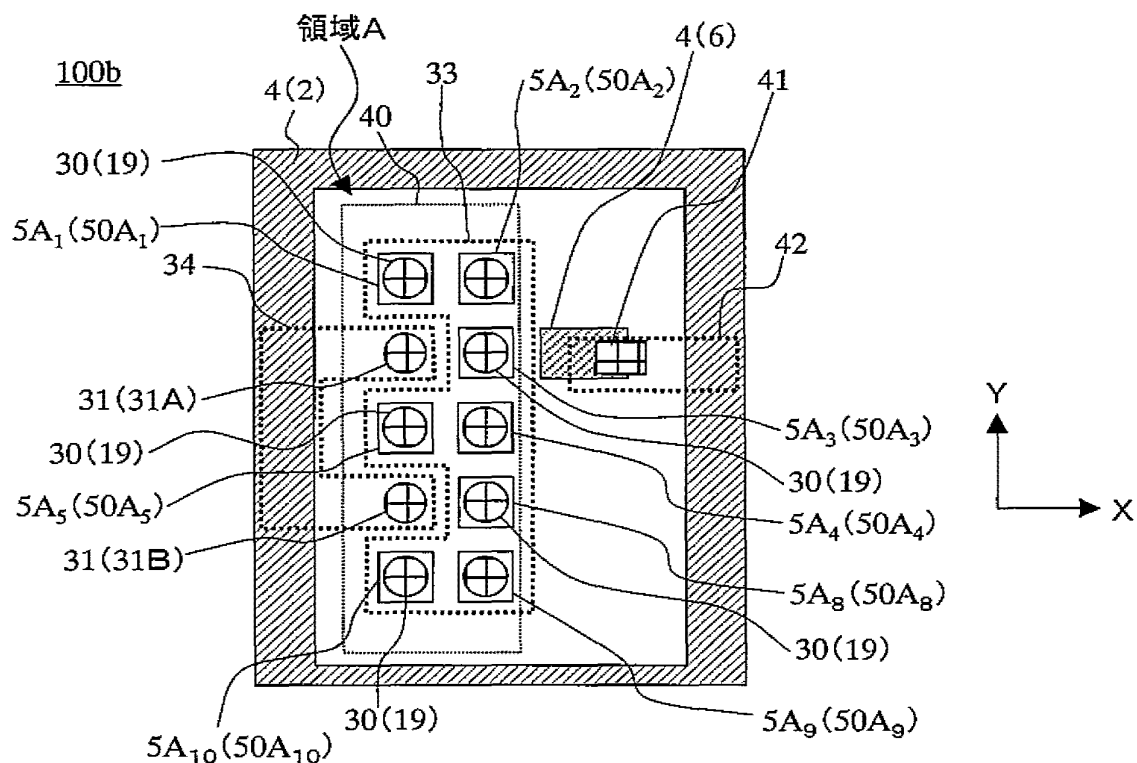
【図3】



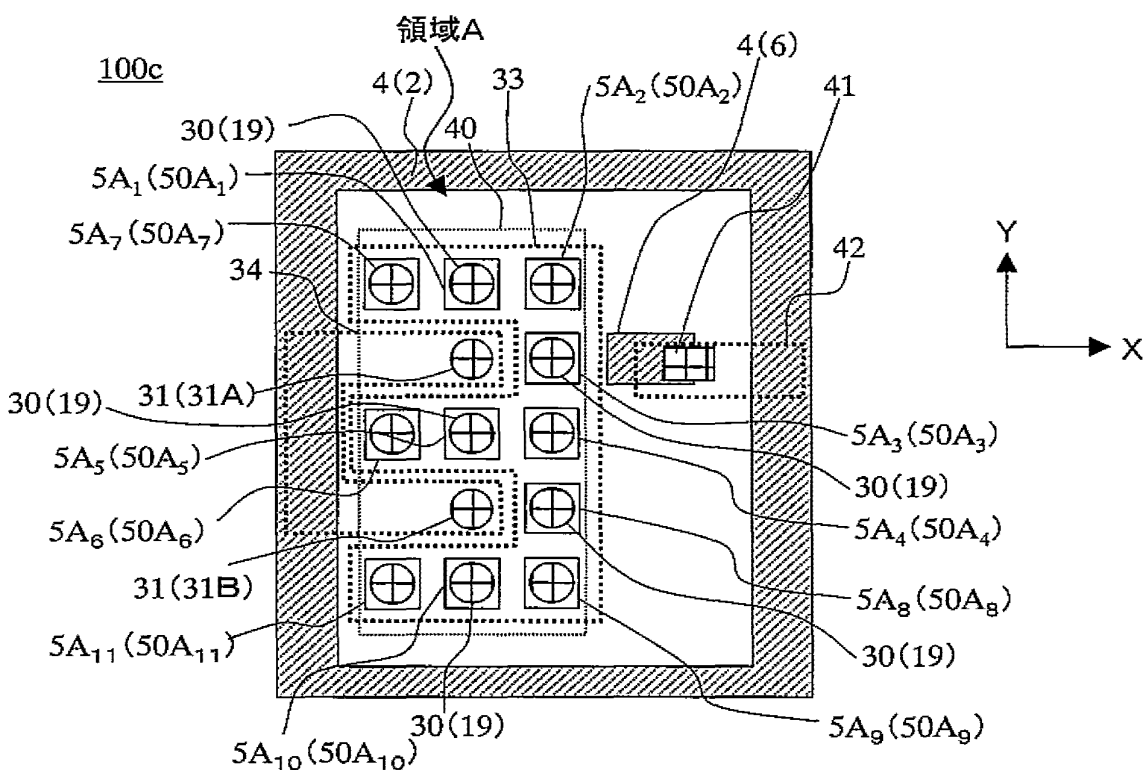
【図4】



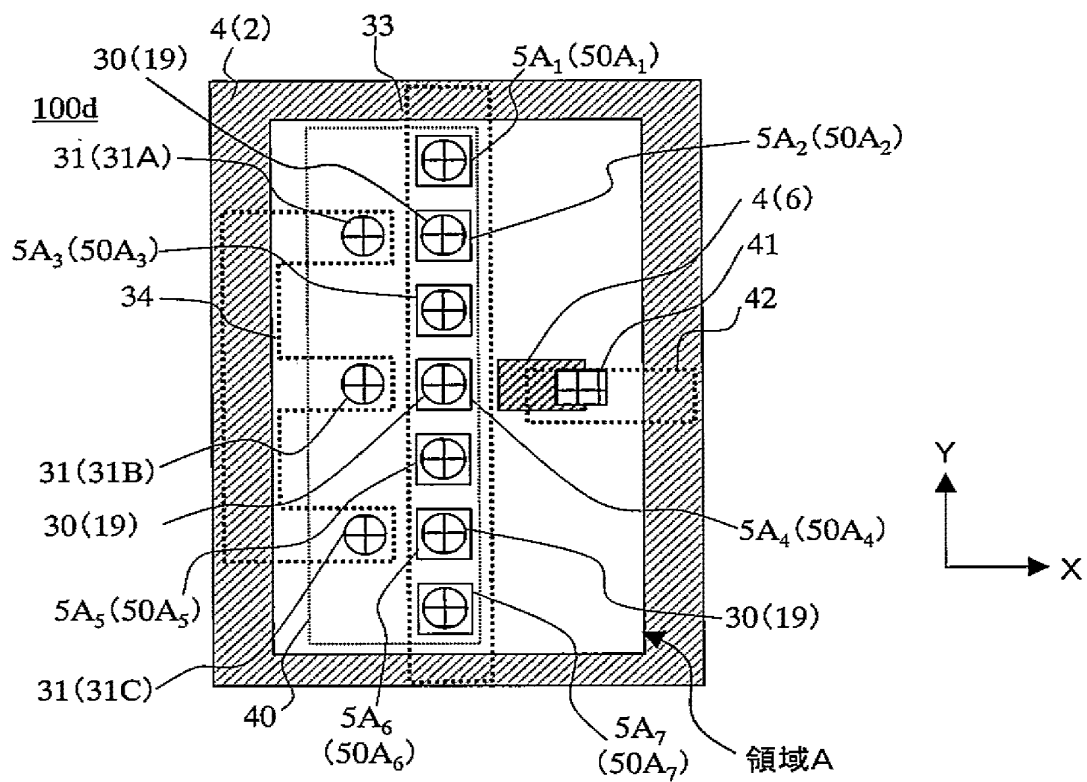
【図 5】



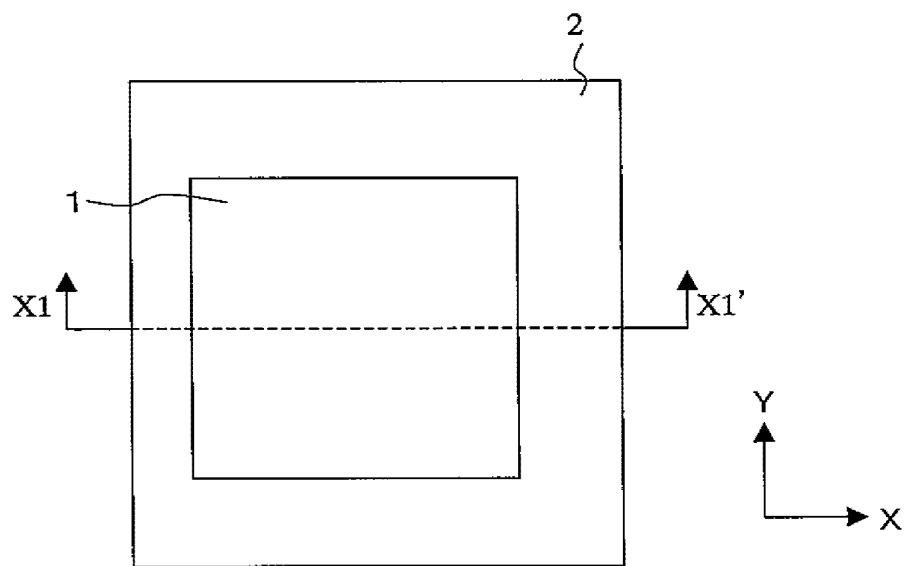
【図 6】



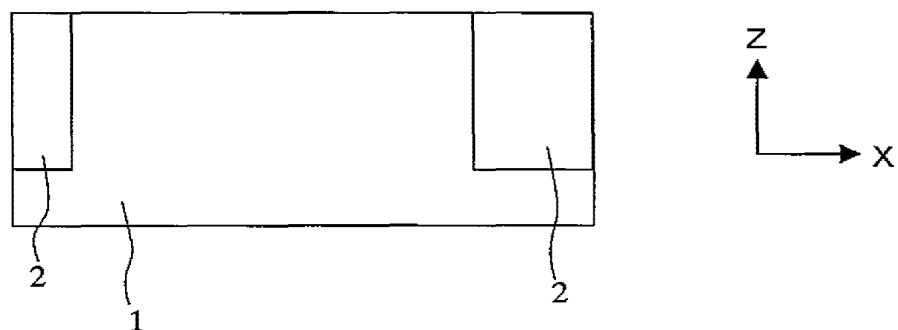
【図 7】



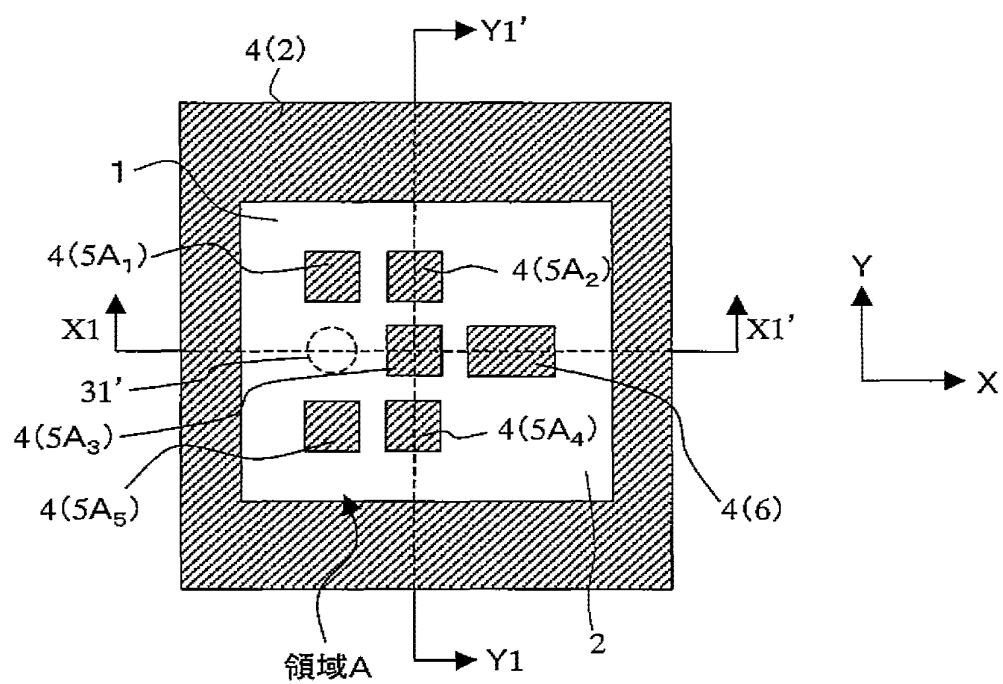
【図 8】



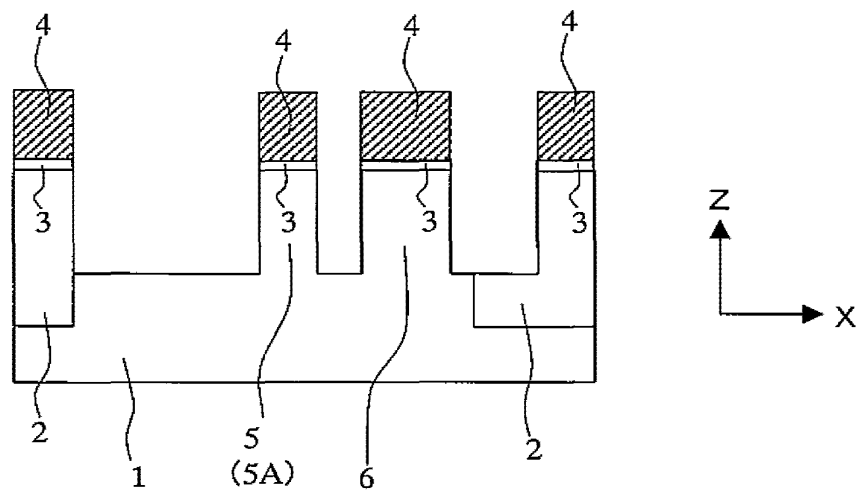
【図 9】



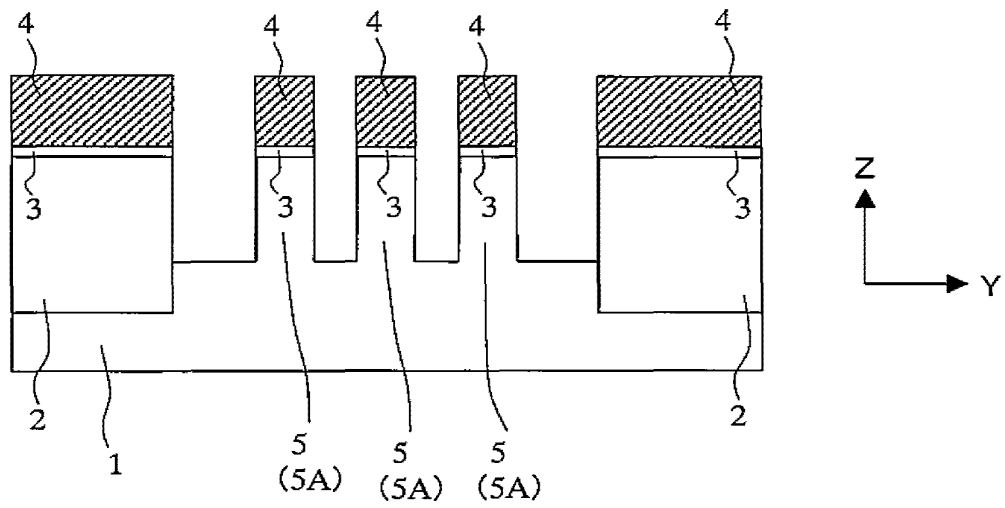
【図 10】



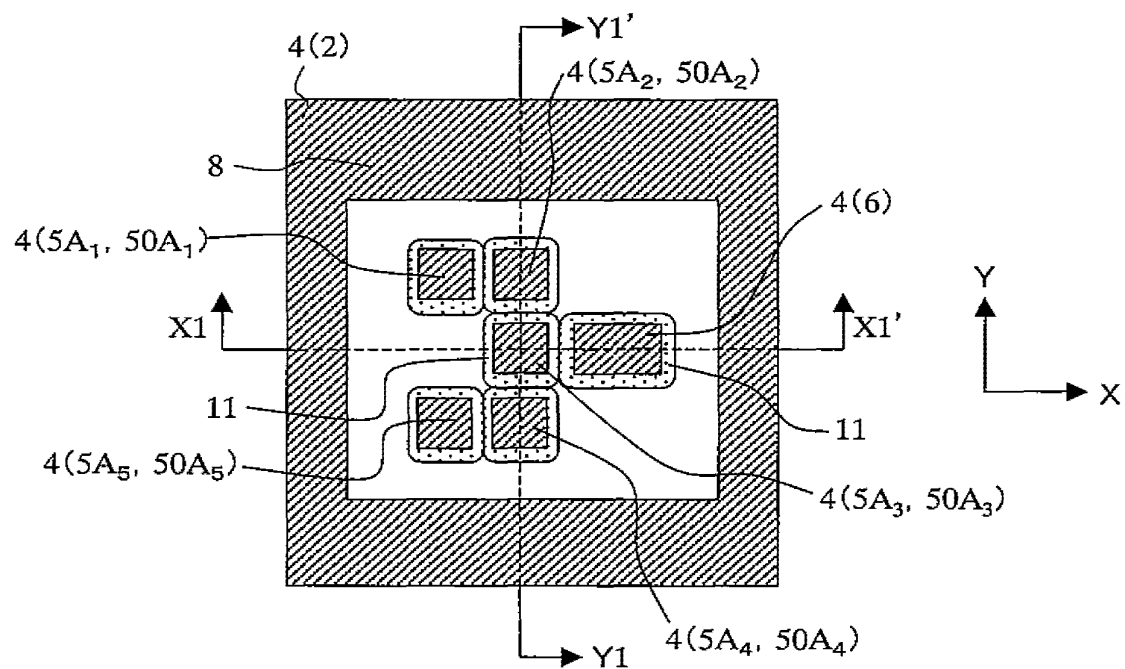
【図 1 1】



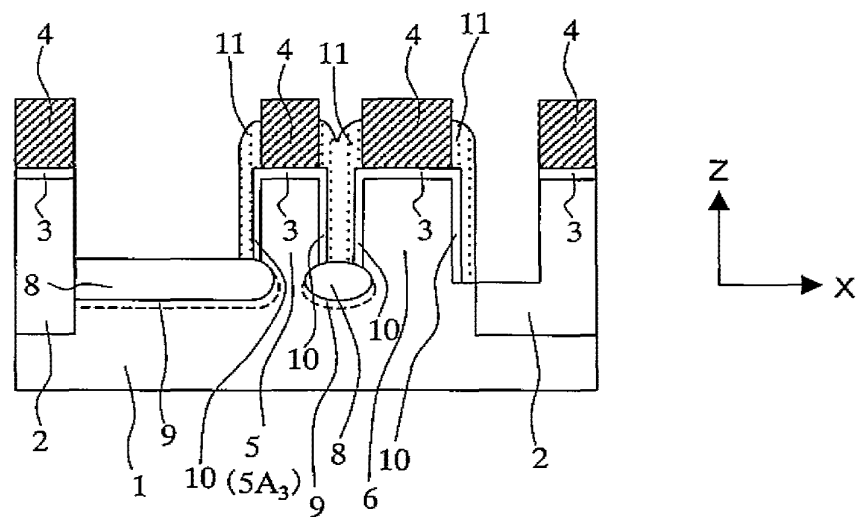
【図 1 2】



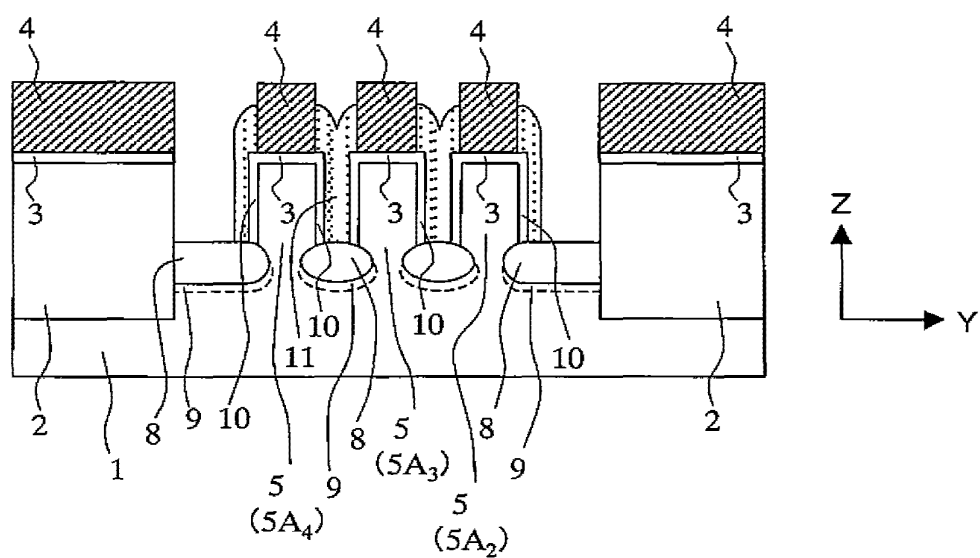
【図 1 3】



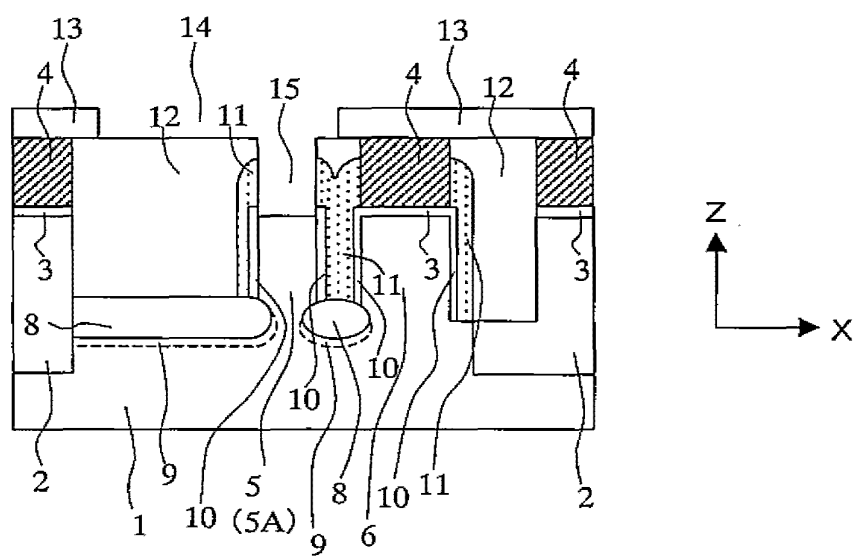
【図 1 4】



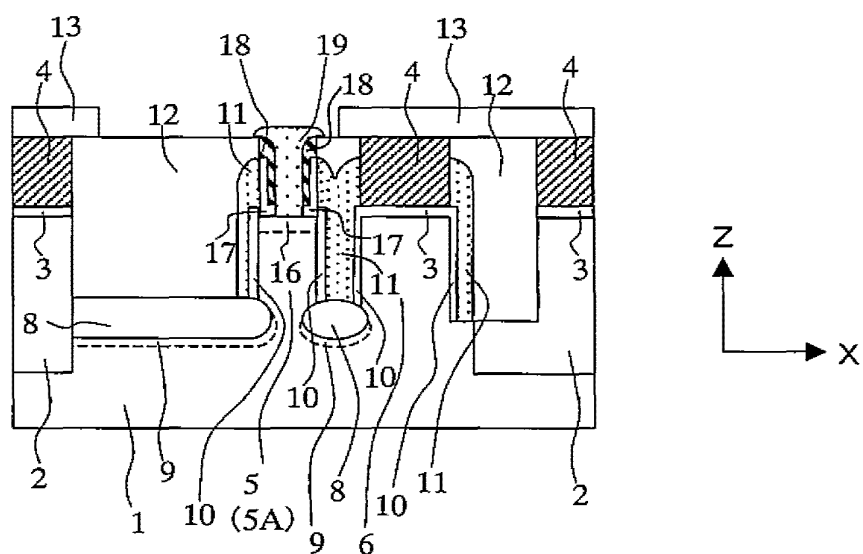
【図 15】



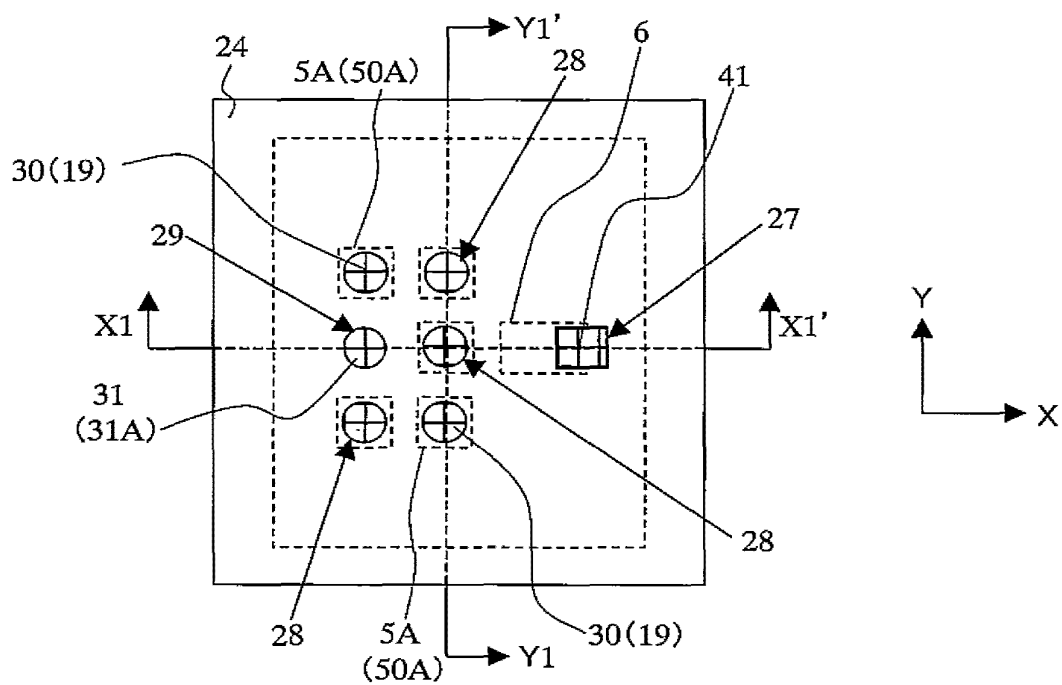
【図 16】



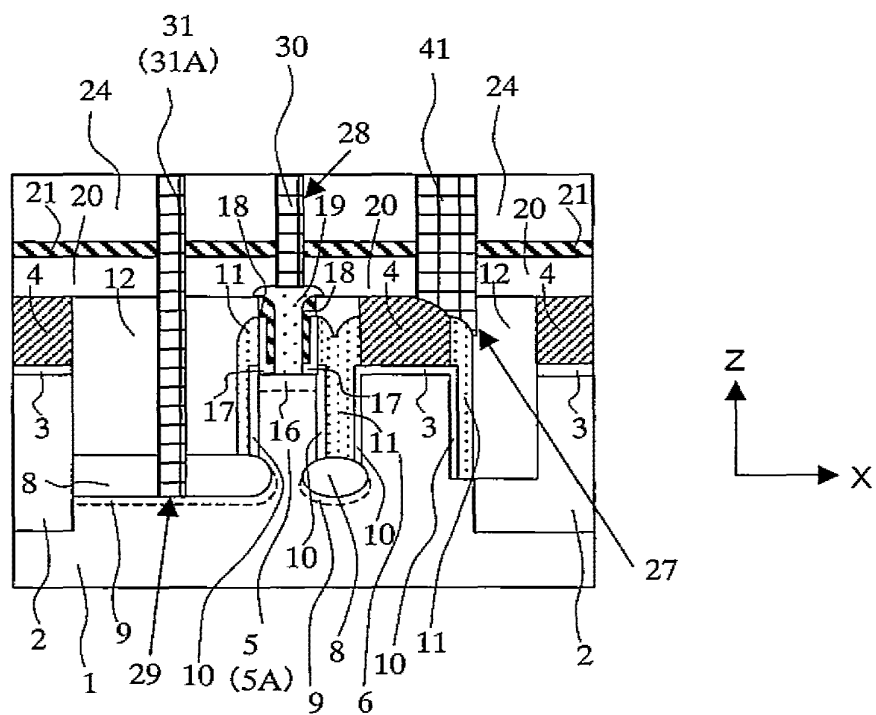
【図 17】



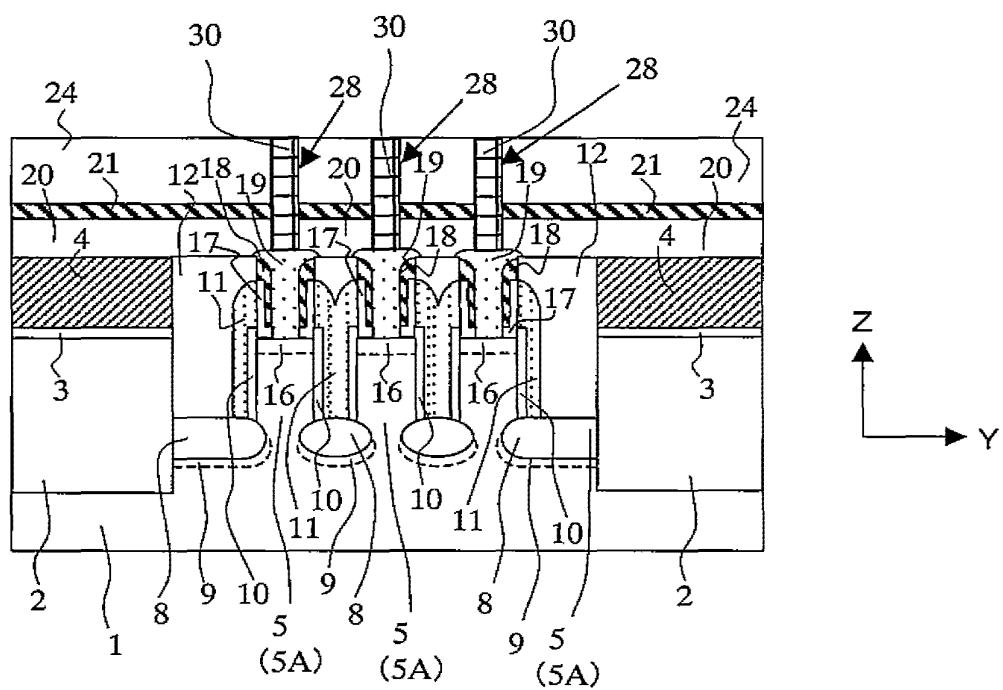
【図 18】



【例 19】



【例 20】



出願人履歴

5 0 0 1 7 4 2 4 7

20000712

名称変更

東京都中央区八重洲 2－2－1

エルピーダメモリ株式会社



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/722,125	12/20/2012	Yoshihiro TAKAISHI	8040-1178

CONFIRMATION NO. 4586

PUBLICATION NOTICE



OC00000062230114

466
YOUNG & THOMPSON
209 Madison Street
Suite 500
Alexandria, VA 22314

Title:SEMICONDUCTOR DEVICE

Publication No.US-2013-0161738-A1

Publication Date:06/27/2013

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently <http://www.uspto.gov/patft/>.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently <http://pair.uspto.gov/>. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY. DOCKET NO	TOT CLAIMS	IND CLAIMS
13/722,125	12/20/2012	2812	1260	8040-1178	20	3

CONFIRMATION NO. 4586

466
YOUNG & THOMPSON
209 Madison Street
Suite 500
Alexandria, VA 22314

FILING RECEIPT



Date Mailed: 02/13/2013

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Yoshihiro TAKAISHI, Tokyo, JAPAN;

Applicant(s)

Elpida Memory, Inc., Tokyo, JAPAN

Assignment For Published Patent Application

ELPIDA MEMORY, INC., Tokyo, JAPAN

Power of Attorney: The patent practitioners associated with Customer Number 00466

Domestic Applications for which benefit is claimed - None.

A proper domestic benefit claim must be provided in an Application Data Sheet in order to constitute a claim for domestic benefit. See 37 CFR 1.76 and 1.78.

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see <http://www.uspto.gov> for more information.)
JAPAN 2011-285544 12/27/2011

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 02/09/2013

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 13/722,125**

Projected Publication Date: 06/27/2013

Non-Publication Request: No

Early Publication Request: No

Title

SEMICONDUCTOR DEVICE

Preliminary Class

438

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at <http://www.uspto.gov/web/offices/pac/doc/general/index.html>.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, <http://www.stopfakes.gov>. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER
Title 35, United States Code, Section 184
Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign Assets Control, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit <http://www.SelectUSA.gov> or call +1-202-482-6800.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875						Application or Docket Number 13/722,125				
APPLICATION AS FILED - PART I										
(Column 1)		(Column 2)		SMALL ENTITY		OR OTHER THAN SMALL ENTITY				
FOR	NUMBER FILED	NUMBER EXTRA	RATE(\$)	FEE(\$)		RATE(\$)	FEE(\$)			
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	390			
SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A	N/A			N/A	620			
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	250			
TOTAL CLAIMS (37 CFR 1.16(j))	20	minus 20 = *				x 62 =	0.00			
INDEPENDENT CLAIMS (37 CFR 1.16(h))	3	minus 3 = *				x 250 =	0.00			
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00			
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00			
* If the difference in column 1 is less than zero, enter "0" in column 2.				TOTAL		TOTAL	1260			
APPLICATION AS AMENDED - PART II										
(Column 1)		(Column 2)		(Column 3)		SMALL ENTITY		OR OTHER THAN SMALL ENTITY		
AMENDMENT A		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE(\$)	ADDITIONAL FEE(\$)		RATE(\$)	ADDITIONAL FEE(\$)
	Total (37 CFR 1.16(i))	*	Minus	**	=	x	=		x	=
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x	=		x	=
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
						TOTAL ADD'L FEE			TOTAL ADD'L FEE	
AMENDMENT B		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE(\$)	ADDITIONAL FEE(\$)		RATE(\$)	ADDITIONAL FEE(\$)
	Total (37 CFR 1.16(i))	*	Minus	**	=	x	=		x	=
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x	=		x	=
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
						TOTAL ADD'L FEE			TOTAL ADD'L FEE	
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3. ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20". *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3". The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.										



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/722,125	12/20/2012	Yoshihiro TAKAISHI	8040-1178

466
YOUNG & THOMPSON
209 Madison Street
Suite 500
Alexandria, VA 22314

CONFIRMATION NO. 4586
POA ACCEPTANCE LETTER



Date Mailed: 02/13/2013

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 12/20/2012.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

/ygenet/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

PATENT ASSIGNMENT

Electronic Version v1.1

Stylesheet Version v1.1

SUBMISSION TYPE:	NEW ASSIGNMENT
NATURE OF CONVEYANCE:	ASSIGNMENT
CONVEYING PARTY DATA	
Name	Execution Date
Yoshihiro TAKAISHI	12/10/2012
RECEIVING PARTY DATA	
Name:	Elpida Memory, Inc.
Street Address:	2-1, Yaesu 2-chome
Internal Address:	Chuo-ku
City:	Tokyo
State/Country:	JAPAN
PROPERTY NUMBERS Total: 1	
Property Type	Number
Application Number:	13722125
CORRESPONDENCE DATA	
Fax Number:	7036850573
<i>Correspondence will be sent via US Mail when the fax attempt is unsuccessful.</i>	
Phone:	703 521-2297
Email:	yreynolds@young-thompson.com
Correspondent Name:	YOUNG & THOMPSON
Address Line 1:	209 Madison Street
Address Line 2:	Suite 500
Address Line 4:	Alexandria, VIRGINIA 22314
ATTORNEY DOCKET NUMBER:	8040-1178
NAME OF SUBMITTER:	Eric Jensen
This document serves as an Oath/Declaration (37 CFR 1.63).	
Total Attachments: 1 source=ASSMT#page1.tif	

OP \$40.00 13722125

ASSIGNMENT AND INVENTOR'S DECLARATION

WHEREAS I/we, the undersigned inventor(s), hereafter also referred to as "assignor(s)", have invented certain new and useful improvements described in the application identified below; and

WHEREAS, Elpida Memory, Inc., hereinafter referred to as "assignee(s)", whose address is 2-1, Yaesu 2-chome, Chuo-ku, Tokyo, Japan, is desirous of acquiring the entire right, title and interest in and to the application and invention, and to any United States patents to be obtained therefor;

NOW, THEREFORE, for valuable consideration, the receipt and sufficiency of which is hereby acknowledged, I/we, the above-named assignor(s), hereby sell, assign and transfer to the above named assignee(s), its successors and assigns, the entire right, title and interest in the application and the invention disclosed therein for the United States of America, including all divisions, and continuations thereof, and all Letters Patent of the United States that may be granted thereon, and all reissues thereof, including any right to bring or maintain an action for infringement under the provisional rights granted pursuant to Title 35, Section 154 of the United States Code or any other cause of action for acts which would constitute infringement occurring prior to this assignment, and including the right to claim priority under the International Convention of Paris (1883), as amended, of or in any corresponding foreign patent application, and I/we request the Director of the U.S. Patent and Trademark Office to issue any Letters Patent granted upon the invention set forth in the application to the assignee(s), its successors and assigns.

As a below named inventor, I hereby declare that:

This assignment and declaration ☒ The attached application, or
is directed to:

☒ United States Application or PCT International Application Number 13/722,125
filed on _____ (Confirmation No. _____).

December 20, 2012

The application is entitled: SEMICONDUCTOR DEVICE

The above-identified application was made or was authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this assignment with declaration is punishable under 18 USC 1001 by fine or imprisonment of not more than five (5) years, or both.

Given Name(s)	Yoshihiro	Family Name/Surname	TAKAISHI
Inventor's signature	<i>Yoshihiro Takaishi</i>		Date December 10, 2012
Given Name(s)	Family Name/Surname		
Inventor's signature			Date
Given Name(s)	Family Name/Surname		
Inventor's signature			Date
Given Name(s)	Family Name/Surname		
Inventor's signature			Date

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No. **8040-1178****To the Commissioner of Patents**

Transmitted herewith for filing is the patent application of:

Inventors: **Yoshihiro TAKAISHI**Corresponding to **Japanese** Patent Application No. **2011-285544** filed on **December 27, 2011**, the entirety of which application is hereby expressly incorporated by reference in the accompanying application.Title: **SEMICONDUCTOR DEVICE**

Enclosed are:

- ☐ Applicant claims small entity status under 37 C.F.R. § 1.27
- ☒ Specification – Total Pages **46**
- ☐ Drawings – Total Sheets **10**
- ☒ Newly executed Oath or Declaration
- ☐ Copy of Oath or Declaration/Power of Attorney from a prior application (continuation/divisional)
- ☐ The entire disclosure of the prior application, from which a copy of the oath or declaration is supplied as indicated in the preceding box, is considered as being part of the disclosure of the accompanying application and is hereby incorporated by reference therein.
- ☐ Deletion of inventor(s). A signed statement attached deleting inventor(s) named in the prior application (see 37 CFR 1.63 (d)(2) and 1.33(b))
- ☒ Application Data Sheet under 37 C.F.R. § 1.76
- ☐ Nucleotide and/or Amino Acid Sequence Submission (if applicable, all necessary)
- a. ☐ Computer Readable Form (CRF)
- b. ☐ Specification Sequence Listing on: i. ☐ CD-ROM or CD-R (2 copies); or ii. ☐ paper
- c. ☐ Statement verifying identity of above copies
- ☒ Assignment Papers filed via EFS.
- ☐ 37 C.F.R. §3.73(c) Statement (when there is an assignee – PTO/AIA/96) ☒ Power of Attorney
- ☐ Confirmation of English translation of prior provisional application under 37 CFR 1.78(a)(5)
- ☒ Information Disclosure Statement (PTO/SB/08 or PTO-1449) ☒ Copies of IDS citations attached
- ☐ Preliminary Amendment
- ☐ Other: _____
- ☒ The required filing fees are being paid online simultaneously herewith by credit card.
- ☒ The Director is hereby authorized in this, concurrent, and future submissions, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17.

SEND ALL CORRESPONDENCE TO THE ADDRESS
ASSOCIATED WITH CUSTOMER NO. **00466****YOUNG & THOMPSON**209 Madison Street, Suite 500
Alexandria, VA 22314
Telephone: (703) 521-2297
Facsimile: (703) 685-0573

EJ/yr

/Eric Jensen /

Signature

Eric Jensen, Reg. No. 37,855

Name, Registration Number

19 December 2012

No documents available for this priority number.



Espacenet

Bibliographic data: WO2007072814 (A1) — 2007-06-28

**TERMINAL IDENTIFICATION METHOD, AUTHENTICATION METHOD,
AUTHENTICATION SYSTEM, SERVER, TERMINAL, RADIO BASE STATION,
PROGRAM, AND RECORDING MEDIUM**

Inventor(s): TAKASUGI KOICHI [JP]; MITANI KOKI [JP]; SAITO HIROSHI [JP] ±
(TAKASUGI, KOICHI, ; MITANI, KOKI, ; SAITO, HIROSHI)

Applicant(s): NIPPON TELEGRAPH & TELEPHONE [JP]; TAKASUGI KOICHI [JP];
MITANI KOKI [JP]; SAITO HIROSHI [JP] ± (NIPPON TELEGRAPH
AND TELEPHONE CORPORATION, ; TAKASUGI, KOICHI, ; MITANI,
KOKI, ; SAITO, HIROSHI)

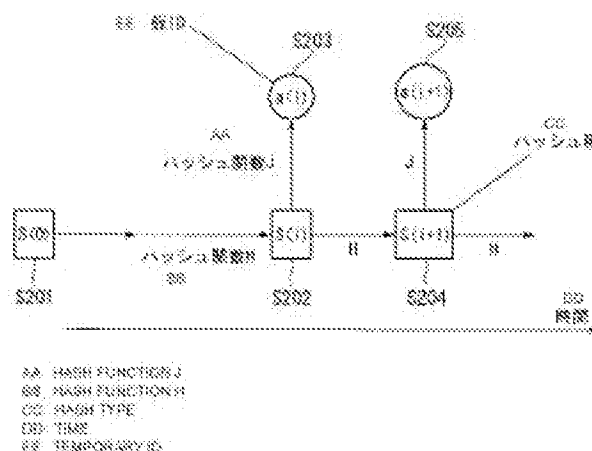
Classification: - international: G06F21/20; G06F21/24; G06K17/00; G06K19/07;
G06K19/10; H04L12/28; H04L9/32
- cooperative: H04L63/0869; H04L9/3236; H04L9/3273; H04W12/06;
H04L2209/805

**Application
number:** WO2006JP325258 20061219

**Priority
number(s):** JP20050364522 20051219 ; JP20060127546 20060501

**Also published
as:** EP1873674 (A1) US2011072121 (A1) US2009024848 (A1)
JP2011081817 (A) JP4642845 (B2)

Abstract of WO2007072814 (A1)



Provided is a terminal identification method capable of identifying a plurality of terminal ID, performing bidirectional communication between a terminal and a network, and protecting privacy. Moreover, provided are an authentication method and an authentication system capable of reducing the radio communication procedure, the radio communication amount, and the power consumption without requiring a complicated calculation process. A server and a terminal share a Hash function and an initial value decided for each terminal, calculate the same temporary ID according to the initial value Hashed by the Hash function the same number of times, and identifies the terminal by using the calculated temporary ID. Moreover, the server and the terminal hold a common Hash function and authentication information and upon communication, acquire an authentication communication parameter from temporarily common communication parameter, and generates an authentication key by using the authentication information, the authentication communication parameter, and the Hash function. By using the generated authentication key, at least one of the server and the terminal performs authentication.

Last updated: 19.12.2012 Worldwide Database 5.6.4: 92p

【特許請求の範囲】**【請求項 1】**

サーバと1つ以上の端末との間のネットワークを介した通信における前記端末を識別する端末識別方法において、

前記サーバと前記端末の双方において第一のハッシュ関数Hと前記端末毎に決められた初期値 $S(k, 0)$ を共有し、

前記サーバと前記端末それぞれにおいて、前記初期値 $S(k, 0)$ を前記第一のハッシュ関数Hで1回ハッシュするかまたは前記初期値 $S(k, 0)$ とパラメータiと前記第一のハッシュ関数Hとに基づいた演算を行うことにより得られる値 $S(k, 1)$ に基づいて仮IDを算出し、

前記サーバと前記端末との間でハッシュする回数を同じとすることにより、前記サーバと前記端末で同じ仮IDを算出して、前記仮IDを用いて前記端末を識別する端末識別方法。

【請求項 2】

請求項1記載の端末識別方法において、

前記サーバと前記端末の双方において、前記ハッシュされた値 $S(k, 1)$ を、さらに前記サーバと前記端末で共有された第二のハッシュ関数Jでハッシュすることにより、前記仮IDを算出する端末識別方法。

【請求項 3】

請求項1または2に記載の端末識別方法において、

前記サーバと前記端末それぞれにおいて、前記第一のハッシュ関数Hで1回ハッシュする前にハッシュの回数iに関する前処理を行い、前記前処理および前記第一のハッシュ関数Hによるハッシュにより得られた値を前記仮IDとして算出する端末識別方法。

【請求項 4】

請求項1～3のいずれかに記載の端末識別方法において、前記ハッシュする回数は、前記サーバと前記端末との間で一定回数以上の通信あるいは認証を行った後、又は、一定時間以上を経過した後に変更することを特徴する端末識別方法。

【請求項 5】

請求項1～4のいずれかに記載の端末識別方法において、

前記サーバにおいて前記ハッシュする回数の変更を行った後に、前記サーバから前記端末に前記ハッシュする回数を変更したことを通知する端末識別方法。

【請求項 6】

請求項1～5のいずれかに記載の端末識別方法において、

前記サーバにおいて、変更前と変更後の仮IDと、変更前と変更後のハッシュ回数の差を保有する端末識別方法。

【請求項 7】

請求項1～6のいずれかに記載の端末識別方法について、

前記サーバにおいて、変更前の仮IDを受信した際には、前記端末に変更前と変更後のハッシュ回数の差を通知して、前記端末において仮IDを更新する端末識別方法。

【請求項 8】

請求項1～7のいずれかに記載の端末識別方法において、前記サーバにおいて、変更後の仮IDを受信した際には、前記サーバに保持されている変更前の仮IDを削除する端末識別方法。

【請求項 9】

請求項1～8のいずれかに記載の端末識別方法において、

前記サーバから前記端末に通信を行う際には、前記サーバに保持されている前記端末の変更前及び変更後の仮IDを順に用いて、前記端末に対して、前記サーバに信号を送信することを要求する端末識別方法。

【請求項 10】

請求項1～9のいずれかに記載の端末識別方法において、

前記サーバにおいて、仮IDを変更する際に、新しく算出した仮IDが他の端末の仮IDと競合する場合には、前記他の端末と競合しない仮IDが算出されるまでハッシュ回数を変更して、新しい仮IDを算出する端末識別方法。

【請求項11】

請求項1～10のいずれかに記載の端末識別方法において、

前記端末から前記サーバへの通信を行う際に端末認証キーを用いて前記端末の認証を行うことにより、前記サーバから前記端末へ仮ID更新用のハッシュ回数情報を通知する端末識別方法。

【請求項12】

請求項1～11のいずれかに記載の端末識別方法において、

前記サーバから前記端末への通信を行う際にネットワーク認証キーを用いて前記サーバの認証を行うことにより、前記端末が受信した仮ID更新用の信号を、前記端末内の仮ID変更に反映させる端末識別方法。

【請求項13】

請求項1～12のいずれかに記載の端末識別方法において、

前記サーバは、前記サーバと前記端末との間であらかじめ取り決めた仮IDを前記端末から受信した場合に、生成する度に異なる値を有する初期ベクトルを生成し、前記初期ベクトルと前記第一のハッシュ関数Hと前記初期値 $S(k, 0)$ とに基づいて前記ハッシュする回数を算出して、前記仮IDを初期化する端末識別方法。

【請求項14】

請求項13記載の端末識別方法において、

前記サーバは、前記仮IDを初期化した場合に、前記初期ベクトルと前記ハッシュする回数を前記端末に通知して、前記仮IDの初期化を前記端末に通知する端末識別方法。

【請求項15】

請求項14記載の端末識別方法において、

前記端末は、前記初期値 $S(k, 0)$ と前記サーバから通知される前記初期ベクトルおよび前記ハッシュする回数とに基づいて前記仮IDを算出する端末識別方法。

【請求項16】

ネットワークを介して接続された端末と通信を行うサーバにおいて、

前記端末に保持された初期値と同じ初期値 $S(k, 0)$ を保持する記憶手段と、

前記記憶手段に保持された前記初期値 $S(k, 0)$ をハッシュ関数Hにより、前記端末におけるハッシュ演算と同じ1回ハッシュするかまたは前記初期値 $S(k, 0)$ とパラメータiと前記ハッシュ関数Hとに基づいた前記端末における演算と同じ演算を行うことにより得られる値 $S(k, i)$ に基づいて仮IDを算出する仮ID算出手段と、

を具備し、前記仮ID算出手段によって算出された前記仮IDを用いて前記端末を識別するサーバ。

【請求項17】

ネットワークを介して接続されたサーバと通信を行う端末において、

前記サーバに保持された初期値と同じ初期値 $S(k, 0)$ を保持する記憶手段と、

前記記憶手段に保持された前記初期値 $S(k, 0)$ をハッシュ関数Hにより、前記サーバにおけるハッシュ演算と同じi回ハッシュするかまたは前記初期値 $S(k, 0)$ とパラメータiと前記ハッシュ関数Hとに基づいた前記サーバにおける演算と同じ演算を行うことにより得られる値 $S(k, i)$ に基づいて仮IDを算出する仮ID算出手段と、

を具備し、前記仮ID算出手段によって算出された前記仮IDを用いて前記サーバと通信を行う端末。

【請求項18】

ネットワークを介して接続された端末と通信を行うサーバのコンピュータにより実行されるプログラムであって、

前記端末に保持された初期値と同じ初期値 $S(k, 0)$ をハッシュ関数Hにより前記端末におけるハッシュ演算と同じi回ハッシュするかまたは前記初期値 $S(k, 0)$ とパラ

10

20

30

40

50

メータ i と前記ハッシュ関数 H とに基づいた前記端末における演算と同じ演算を行うことにより得られる値 $S(k, i)$ を生成して、前記値 $S(k, i)$ に基づいて仮 ID を算出する仮 ID 算出ステップと、

前記仮 ID 算出ステップによって算出された前記仮 ID を用いて前記端末を識別する端末識別ステップと

を有するプログラム。

【請求項 19】

ネットワークを介して接続されたサーバと通信を行う端末のコンピュータにより実行されるプログラムであって、

前記サーバに保持された初期値と同じ初期値 $S(k, 0)$ をハッシュ関数 H により前記サーバにおけるハッシュ演算と同じ i 回ハッシュするかまたは前記初期値 $S(k, 0)$ とパラメータ i と前記ハッシュ関数 H とに基づいた前記サーバにおける演算と同じ演算を行うことにより得られる値 $S(k, i)$ を生成して、前記値 $S(k, i)$ に基づいて仮 ID を算出する仮 ID 算出ステップと、

前記仮 ID 算出ステップによって算出された前記仮 ID を用いて前記サーバと通信を行うステップと

を有するプログラム。

【請求項 20】

サーバと端末との間の通信における認証方法において、

共通するハッシュ関数と認証情報とを前記サーバと前記端末とがそれぞれ保持し、

前記サーバと前記端末との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして前記サーバと前記端末とがそれぞれ取得し、

前記認証情報と前記認証用通信パラメータとに基づき前記ハッシュ関数を用いて認証キーを前記サーバと前記端末とがそれぞれ生成し、

前記生成した認証キーを用いて前記サーバと前記端末との間の認証を前記サーバまたは前記端末の少なくとも一方が行う認証方法。

【請求項 21】

前記サーバと前記端末との間の通信は無線基地局を介して行い、且つ、前記端末と前記無線基地局との間は無線通信を用いて行い、

前記通信パラメータが前記端末と前記無線基地局との間の無線通信時に一時的に共通な無線通信パラメータである請求項 20 に記載の認証方法。

【請求項 22】

前記端末と前記サーバとが共通する第 1 のハッシュ関数と第 1 の認証情報をそれぞれ保持しており、

前記端末が、

前記認証用通信パラメータと前記第 1 の認証情報とに基づき前記第 1 のハッシュ関数を用いて前記認証キーである第 1 の端末認証キーを生成し、

前記生成した第 1 の端末認証キーを前記サーバへ前記無線基地局を介して送信し、

前記無線基地局が、

前記端末からの前記第 1 の端末認証キーに、前記端末と前記無線基地局との間の前記無線通信パラメータを前記認証用通信パラメータとして付加して前記サーバへ送信し、

前記サーバが、

前記第 1 の端末認証キーと前記無線基地局が付加した前記認証用通信パラメータとを前記無線基地局から受信し、

前記受信した認証用通信パラメータと前記第 1 の認証情報とに基づき前記第 1 のハッシュ関数を用いて前記認証キーである第 2 の端末認証キーを生成し、

前記受信した第 1 の端末認証キーと前記生成した第 2 の端末認証キーとが同一であるか否かを検出することにより前記端末を認証する請求項 21 に記載の認証方法。

【請求項 23】

前記端末と前記サーバとが共通する第 2 のハッシュ関数と第 2 の認証情報をそれぞれ保

持しており、

前記サーバが、更に、

前記受信した認証用通信パラメータと前記第2の認証情報とに基づき前記第2のハッシュ関数を用いて前記認証キーである第1のネットワーク認証キーを生成し、

前記生成した第1のネットワーク認証キーを前記端末へ前記無線基地局を介して送信し、

前記端末が、更に、

前記サーバから前記無線基地局を介して前記第1のネットワーク認証キーを受信し、

前記第1の端末認証キーを生成する時に用いた前記認証用通信パラメータと前記第2の認証情報とに基づき前記第2のハッシュ関数を用いて前記認証キーである第2のネットワーク認証キーを生成し、

前記受信した第1のネットワーク認証キーと前記生成した第2のネットワーク認証キーとが同一であるか否かを検出することにより前記サーバを認証する請求項22に記載の認証方法。

【請求項24】

前記端末と前記サーバとが共通する第1のハッシュ関数と第1の認証情報をそれぞれ保持しており、

前記サーバが、更に、前記第1の認証情報を前記無線基地局へ送信し、

前記無線基地局が、更に、

前記認証用通信パラメータと前記サーバから受信した前記第1の認証情報とに基づき、前記第1のハッシュ関数を用いて前記認証キーである第1のネットワーク認証キーを生成し、

生成した前記第1のネットワーク認証キーを前記端末へ送信し、

前記端末が、更に、

前記無線基地局から前記第1のネットワーク認証キーを受信し、

前記認証用通信パラメータと前記第1の認証情報とに基づき前記第1のハッシュ関数を用いて前記認証キーである第2のネットワーク認証キーを生成し、

受信した前記第1のネットワーク認証キーと生成した前記第2のネットワーク認証キーとが同一であるか否かを検出することにより前記サーバを認証する請求項21に記載の認証方法。

【請求項25】

前記端末と前記サーバとが共通する第2のハッシュ関数と第2の認証情報をそれぞれ保持しており、

前記端末が、

前記第2の認証情報と前記第2のネットワーク認証キーを生成する時に用いた前記認証用通信パラメータとに基づき前記第2のハッシュ関数を用いて前記認証キーである第1の端末認証キーを生成し、

生成した前記第1の端末認証キーを前記無線基地局へ送信し、

前記無線基地局が、

前記端末からの前記第1の端末認証キーに、前記端末と前記無線基地局との間の前記無線通信パラメータを前記認証用通信パラメータとして付加して前記サーバへ送信し、

前記サーバが、

前記第1の端末認証キーと前記認証用通信パラメータとを前記無線基地局から受信し、

受信した前記認証用通信パラメータと前記第2の認証情報とに基づき前記第2のハッシュ関数を用いて前記認証キーである第2の端末認証キーを生成し、

受信した前記第1の端末認証キーと生成した前記第2の端末認証キーとが同一であるか否かを検出することにより前記端末を認証する請求項24に記載の認証方法。

【請求項26】

前記無線通信パラメータが、

端末識別子、フレーム番号、スロット番号、時刻情報、前記無線基地局の識別子、ペー

ジングエリアの識別子、前記無線基地局がサービスを提供する端末グループの数、前記無線基地局が提供する通信キャリア数、前記無線基地局が報知する通信の混雑状況を示す指標値、前記端末が所属する端末グループ番号、前記端末が通信中の通信キャリア番号、または、通信制御に利用する乱数、および、これらの組み合わせである請求項 21 から請求項 25 のいずれかに記載の認証方法。

【請求項 27】

端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行い、前記サーバと前記端末とが共通するハッシュ関数と認証情報とをそれぞれ保持する認証システムであって、

前記端末が、

前記端末と前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する端末側認証パラメータ取得手段と、

前記端末側認証パラメータ取得手段が取得した前記認証用通信パラメータと前記認証情報と前記ハッシュ関数とに基づき第 1 の認証キーを生成する端末側認証キー生成手段と、

前記第 1 の認証キーを前記サーバへ前記無線基地局を介して送信する端末側認証キー送信手段と、

を有し、

前記無線基地局が、

前記端末と前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する無線基地局側認証パラメータ取得手段と、

前記端末が送信した前記第 1 の認証キーに、前記無線基地局側認証パラメータ取得手段が取得した前記認証用通信パラメータを付加し、前記サーバへ送信する転送手段と、

を有し、

前記サーバが、

前記認証用通信パラメータが付加された前記第 1 の認証キーを前記無線基地局より受信するサーバ側受信手段と、

前記サーバ側受信手段が受信した前記認証用通信パラメータと前記認証情報と前記ハッシュ関数とに基づき第 2 の認証キーを生成するサーバ側認証キー生成手段と、

前記生成した第 2 の認証キーと前記受信した第 1 の認証キーとが同一であるか否かを検出することにより前記端末の認証を行うサーバ側認証手段と、

を有する認証システム。

【請求項 28】

端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行い、前記サーバと前記端末とが共通するハッシュ関数と認証情報とをそれぞれ保持する認証システムにおいて用いられる端末であり、

前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する端末側認証パラメータ取得手段と、

前記端末側認証パラメータ取得手段が取得した前記認証用通信パラメータと前記認証情報と前記ハッシュ関数とに基づき第 1 の認証キーを生成する端末側認証キー生成手段と、

前記第 1 の認証キーを前記サーバへ前記無線基地局を介して送信する端末側認証キー送信手段と、

を有する端末。

【請求項 29】

端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行い、前記サーバと前記端末とが共通するハッシュ関数と認証情報とをそれぞれ保持する認証システムにおいて用いられる無線基地局であり、

前記端末と前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する無線基地局側認証パラメータ取得手段と、

前記端末が送信した認証キーに、前記無線基地局側認証パラメータ取得手段が取得した前記認証用通信パラメータを付加し、前記サーバへ送信する転送手段と、

10

20

30

40

50

を有する無線基地局。

【請求項 3 0】

端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行い、前記サーバと前記端末とが共通するハッシュ関数と認証情報とをそれぞれ保持する認証システムにおいて用いられるサーバであり、

認証用通信パラメータが付加された第 1 の認証キーを前記無線基地局より受信するサーバ側受信手段と、

前記サーバ側受信手段が受信した前記認証用通信パラメータと前記認証情報と前記ハッシュ関数とに基づき第 2 の認証キーを生成するサーバ側認証キー生成手段と、

前記生成した第 2 の認証キーと前記受信した第 1 の認証キーとが同一であるか否かを検出することにより前記端末の認証を行うサーバ側認証手段と、

を有するサーバ。

【請求項 3 1】

端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行う認証システムにおいて用いられる前記端末のコンピュータにより実行されるプログラムであって、

前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する端末側認証パラメータ取得ステップと、

前記端末側認証パラメータ取得ステップにより取得した前記認証用通信パラメータと前記サーバと共通するハッシュ関数と前記サーバと共通する認証情報とに基づき第 1 の認証キーを生成する端末側認証キー生成ステップと、

前記端末側認証キー生成ステップにより生成された前記第 1 の認証キーを前記サーバへ前記無線基地局を介して送信する端末側認証キー送信ステップと

を有するプログラム。

【請求項 3 2】

端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行い、前記サーバと前記端末とが共通するハッシュ関数と認証情報とをそれぞれ保持する認証システムにおいて用いられる前記無線基地局のコンピュータにより実行されるプログラムであって、

前記端末と前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する無線基地局側認証パラメータ取得ステップと、

前記端末が送信した認証キーに、前記無線基地局側認証パラメータ取得ステップにより取得した前記認証用通信パラメータを付加し、前記サーバへ送信する転送ステップと

を有するプログラム。

【請求項 3 3】

端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行う認証システムにおいて用いられる前記サーバのコンピュータにより実行されるプログラムであって、

認証用通信パラメータが付加された第 1 の認証キーを前記無線基地局より受信するサーバ側受信ステップと、

前記サーバ側受信ステップにより受信した前記認証用通信パラメータと前記端末と共通する認証情報と前記端末と共通するハッシュ関数とに基づき第 2 の認証キーを生成するサーバ側認証キー生成ステップと、

前記サーバ側認証キー生成ステップにより生成された前記第 2 の認証キーと前記受信した第 1 の認証キーとが同一であるか否かを検出することにより前記端末の認証を行うサーバ側認証ステップと

を有するプログラム。

【請求項 3 4】

請求項 1 8、1 9、3 1～3 3 のいずれかに記載のプログラムを記録したコンピュータ読み取り可能な記録媒体。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プライバシーの保護が要求されるRFID(Radio Frequency Identification)等に用いられる端末識別方法に関する。また、本発明は、ユビキタスネットワークおよびネットワークセキュリティに用いられる無線端末とサーバとの間の認証方法に関する。

本願は、2005年12月19日に日本へ出願された特願2005-364522号および2006年5月1日に日本へ出願された特願2006-127546号に基づき優先権を主張し、それらの内容をここに援用する。

【背景技術】

【0002】

近年ユビキタスというものの普及が言われている。ユビキタスとは、コンピュータとネットワークを利用して、ヒトやモノの状態を取得して、その場所の全体の状況を監視したり、周囲の状況にあった情報を提供したりすること等を可能にする情報システムである。

このユビキタスにおいて、重要な役割を果たすのがセンサネットワークとなる。センサネットワークとは、小型無線装置が個々のセンサに内蔵され、センサ同士が無線で自律的に情報の流通を行い、収集したデータからその場に適したサービスを提供するという考え方と、そのシステムを示す。

センサネットワークとして、例えば、防災、防犯、セキュリティ、医療、環境問題、農業といった分野への応用が考えられている。更には、オフィスにおける空調管理、車載コンピュータに搭載され車と道路情報との連動、車同士の連動などがある。

センサには、熱、温度、水、湿度、音、光、磁気、風、振動、圧力、加速度、方角といった一般的に利用されているものの他にも、血圧、脈拍、心拍数、血糖値などのバイタルサインをはかるバイオセンサ、有害な化合物や希少な資源となる物質を検出するセンサなど多種多様なタイプがある。これらのセンサを組み合わせることで、さまざまな情報を得ることができ、そこから提供されるアプリケーションも様々となる。

利用される分野も様々であり、ヒトの住生活に関すること、ヒトの行動や、ヒトの病態もわかる生態情報を送ることも可能であり、そのような情報を送信する場合には、送信におけるプライバシー保護の技術が非常に重要になる。

また、様々なセンサに取り付ける為には送信機は非常に安価に製造できる必要がある。

【0003】

安価な送信を提供可能なものとしてRFIDと言われるものがある。これは微小な無線チップにより人やモノを識別・管理する仕組みとして使われている。しかしながら、プライバシー保護の点においては考慮されていなかった。

【0004】

このような問題を解決する1つの方法として、ネットワークにおける端末を識別する端末IDであり、且つセキュリティ上動的に変化する端末IDの付与方法である、ハッシュチェーンを利用する方法がある。

【0005】

例えば、ハッシュチェーンを利用する方式(非特許文献1参照)では、 k 番で一意に識別されるRFIDタグとネットワーク(NW)側のサーバで共有された値 $S(k, 0)$ をハッシュ関数 H で1回ハッシュし $S(k, 1)$ を求め、 $S(k, 1)$ からハッシュ関数 J (非特許文献1ではハッシュ関数 G)でハッシュされた $a(k, 1)$ を1回目のタグIDとして利用する。上記の計算をまずはタグが行い、タグIDとしてNWに送信する。NW側のサーバでは収容するすべてのタグについて予め $a(k, i)$ を求め k との対応表を作成しておき、タグから送出された $a(k, i)$ が一致する $a(k, i)$ の k を見つけることでそのタグが k であると一意に識別することが可能である。

【0006】

この方式の特徴はタグで $S(k, 0)$ 、 $S(k, i-1)$ の情報をメモリから参照する

10

20

30

40

50

と、そのタグが捨てられたときに $S(k, i)$ を取得したとしても、過去の $a(k, 0)$ から $a(k, i-1)$ の値を推察することが困難になることである。これはハッシュ関数 H の逆計算が困難であることを利用している。また、ハッシュ関数 J の逆計算の困難性により、送出された $a(k, i)$ から $S(k, i)$ を推察することも困難なので、次に利用する $a(k, i+1)$ を推察することが困難である。

【0007】

これにより、タグのメモリ解析や無線の盗聴によるタグのトラッキングは困難であり、タグの所有者のプライバシーを保護することが可能である。

【0008】

一方、ユビキタスネットワークングで用いられる認証方式の一つであるチャレンジ&レスポンス認証方式では、あらかじめサーバとクライアントの間で予めそれぞれが有した（共有した）秘密の値そのものをやりとりすることなく、サーバがクライアントを認証することができる（非特許文献2、非特許文献3）。

上記チャレンジ&レスポンス認証方式では、サーバはクライアントに対してチャレンジ（例えば、非特許文献3の第55ページに記載された乱数 RA ）と呼ばれる毎回変わる値を送信する。ここで、毎回変わる値の生成法としては乱数を用いるのが一般的となっている。

次に、クライアントはチャレンジと秘密の値を組み合わせて演算（例えば、非特許文献3の第55ページに記載の MAC (Message Authentication Code) を用いた演算) し、結果をレスポンス（非特許文献3の第55ページに記載の Hk ）としてサーバに返信する。最後に、サーバはクライアントと同様にチャレンジと秘密の値を組み合わせて演算し、自らの演算の結果とクライアントから受信したレスポンスとを比較し、同一であると検出することにより、クライアントが秘密の値を共有している正当なクライアントであることを認証する。相互認証の場合は、サーバとクライアントの役割を入れ替えて同様の認証を再度行う。なお、非特許文献2については、非特許文献3のクライアントが乱数 RB を生成するとともにこの乱数 RB を用いてレスポンスを生成している点を除いて、非特許文献3と同様の技術を開示している。

このように、チャレンジ&レスポンス認証方式では、サーバとクライアントの間の通信路では毎回変わる値が送受信されるため、あらかじめサーバとクライアントの間で共有されている秘密の値を知らない盗聴者がクライアントになりすますことはできない。

【非特許文献1】Forward-Secure RFID Privacy Protection for Low-cost RFID、大久保美也子、鈴木幸太郎、木下真吾（NTT）、CSS2003、pp. 491-496、2003年10月

【非特許文献2】未来ねっとシリーズ「ユビキタスサービスネットワーク技術」、三宅功、斎藤洋、弓場英明、ISBN:4885499186、pp. 228-229、2003年9月

【非特許文献3】Applied Cryptography, Second Edition, Bruce Schneier, John Wiley & Sons, ISBN 0-471-11709-9、pp. 52-57および454-459、1996年

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、ハッシュチェーンを利用した従来方法では、端末からNW側への一方向通信しか使用できない環境では、NW側と端末側で端末IDを同期することが難しい。さらに、複数の端末IDが同一になる可能性があるという問題もあった。

また、ハッシュチェーンを利用したID生成方法は $ID(a(k, i))$ 長が短いと、複数の無線端末のIDが偶然衝突する可能性がある。この場合NW側では無線端末の識別が困難となる。また、ID長を長くすると衝突の確率は減るが衝突の確率を0にすることはできない。更に、ID長を長くすると無線帯域を消費するという問題があった。

【0010】

また、従来方式ではRFIDタグからNWへの一方向通信のみを想定している。そのため、 $a(k, i)$ の系列を将来にわたり計算しておきテーブルとして保持しなくてはならない。これはNWサーバでの $S(k, i)$ と無線端末側の $S(k, i)$ を同期させることが困難であるからである。要するに、RFIDが i をインクリメントして、NWに送信しても、無線環境によってはNW側で受信できず、NW側では i がインクリメントされたかどうか判別できないという問題があった。

【0011】

一方、上述したチャレンジ&レスポンス認証方式では、認証毎に毎回変わる値を生成し、相互にやり取りする必要がある。通常、毎回変わる値としては乱数を用いることが多いが、乱数生成のためには乱数生成機能や乱数計算のための電力といった無線端末のリソースを必要とし、また、乱数を伝達するために無線帯域と無線通信のための電力を消費する。また、相互に認証を行う際にはお互いにチャレンジとレスポンスを交換するため、通信手順において4メッセージの通信が必要であり、無線端末のリソースや無線帯域が多く消費されてしまうという問題がある。

【0012】

特に、センサ等の安価な小型移動無線端末のように、処理性能がそれほど高くなく、無線端末が通常通信するデータ量が少なく、多くの無線端末が同時に通信を行う場合には、計算の処理量や、認証に用いる通信量が多く、認証のための通信を何度も行うチャレンジ&レスポンス認証方式における問題は顕著となる。また、センサ等の小型移動無線端末においては、内蔵する電池により長時間駆動する必要があることもあり、この点でもチャレンジ&レスポンス認証方式における問題は顕著となる。

【0013】

従って、相互認証が可能であり、公開鍵暗号方式・乱数生成・時計等の複雑な計算処理機能を必要とせず、計算処理量、無線通信手順、および無線通信量が少なく、認証における通信のための消費電力が少ない認証方法が要求されている。

【0014】

本発明は上記事情を考慮してなされたものであり、その目的は、複数の端末IDが識別され、かつ、端末とNW側において双方向通信が可能となるプライバシーが保護された端末識別方法、サーバ、端末、プログラムおよび記録媒体を提供することにある。また、本発明の目的は、認証における複雑な計算処理を必要とせず、認証に要する無線通信手順および無線通信量が少なく消費電力が少ない認証方法、認証システム、端末、サーバ、無線基地局、プログラムおよび記録媒体を提供することにある。

【課題を解決するための手段】

【0015】

本発明は上述した問題を解決するためになされたもので、本発明の端末識別方法は、サーバと1つ以上の端末との間のネットワークを介した通信における前記端末を識別する端末識別方法であって、前記サーバと前記端末の双方において第一のハッシュ関数 H と前記端末毎に決められた初期値 $S(k, 0)$ を共有し、前記サーバと前記端末それぞれにおいて、前記初期値 $S(k, 0)$ を前記第一のハッシュ関数 H で i 回ハッシュするかまたは前記初期値 $S(k, 0)$ とパラメータ i と前記第一のハッシュ関数 H とに基づいた演算を行うことにより得られる値 $S(k, i)$ に基づいて仮IDを算出し、前記サーバと前記端末との間でハッシュする回数を同じとすることにより、前記サーバと前記端末で同じ仮IDを算出して、前記仮IDを用いて前記端末を識別する。

【0016】

本発明の端末識別方法において、前記サーバと前記端末の双方において、前記ハッシュされた値 $S(k, i)$ を、さらに前記サーバと前記端末で共有された第二のハッシュ関数 J でハッシュすることにより、前記仮IDを算出するようにしても良い。

【0017】

本発明の端末識別方法において、前記サーバと前記端末それぞれにおいて、前記第一のハッシュ関数 H で i 回ハッシュする前にハッシュの回数 i に関する前処理を行い、前記前

処理および前記第一のハッシュ関数Hによるハッシュにより得られた値を前記仮IDとして算出するようにしても良い。

【0018】

本発明の端末識別方法において、前記ハッシュする回数は、前記サーバと前記端末との間で一定回数以上の通信あるいは認証を行った後、又は、一定時間以上を経過した後に変更するようにしても良い。

【0019】

本発明の端末識別方法において、前記サーバにおいて前記ハッシュする回数の変更を行った後に、前記サーバから前記端末に前記ハッシュする回数を変更したことを通知するようにしても良い。

10

【0020】

本発明の端末識別方法において、前記サーバにおいて、変更前と変更後の仮IDと、変更前と変更後のハッシュ回数の差を保有するようにしても良い。

【0021】

本発明の端末識別方法について、前記サーバにおいて、変更前の仮IDを受信した際には、前記端末に変更前と変更後のハッシュ回数の差を通知して、前記端末において仮IDを更新するようにしても良い。

【0022】

本発明の端末識別方法において、前記サーバにおいて、変更後の仮IDを受信した際には、前記サーバに保持されている変更前の仮IDを削除するようにしても良い。

20

【0023】

本発明の端末識別方法において、前記サーバから前記端末に通信を行う際には、前記サーバに保持されている前記端末の変更前及び変更後の仮IDを順に用いて、前記端末に対して、前記サーバに信号を送信することを要求するようにしても良い。

【0024】

本発明の端末識別方法において、前記サーバにおいて、仮IDを変更する際に、新しく算出した仮IDが他の端末の仮IDと競合する場合には、前記他の端末と競合しない仮IDが算出されるまでハッシュ回数を変更して、新しい仮IDを算出するようにしても良い。

【0025】

本発明の端末識別方法において、前記端末から前記サーバへの通信を行う際に端末認証キーを用いて前記端末の認証を行うことにより、前記サーバから前記端末へ仮ID更新用のハッシュ回数情報を通知するようにしても良い。

30

【0026】

本発明の端末識別方法において、前記サーバから前記端末への通信を行う際にネットワーク認証キーを用いて前記サーバの認証を行うことにより、前記端末が受信した仮ID更新用の信号を、前記端末内の仮ID変更に反映させるようにしても良い。

【0027】

本発明の端末識別方法において、前記サーバは、前記サーバと前記端末との間であらかじめ取り決めた仮IDを前記端末から受信した場合に、生成する度に異なる値を有する初期ベクトルを生成し、前記初期ベクトルと前記第一のハッシュ関数Hと前記初期値S(k, 0)とに基づいて前記ハッシュする回数を算出して、前記仮IDを初期化するようにしても良い。

40

【0028】

本発明の端末識別方法において、前記サーバは、前記仮IDを初期化した場合に、前記初期ベクトルと前記ハッシュする回数を前記端末に通知して、前記仮IDの初期化を前記端末に通知するようにしても良い。

【0029】

本発明の端末識別方法において、前記端末は、前記初期値S(k, 0)と前記サーバから通知される前記初期ベクトルおよび前記ハッシュする回数とに基づいて前記仮IDを算

50

出するようにしても良い。

【0030】

本発明のサーバは、ネットワークを介して接続された端末と通信を行うサーバであって、前記端末に保持された初期値と同じ初期値 $S(k, 0)$ を保持する記憶手段と、前記記憶手段に保持された前記初期値 $S(k, 0)$ をハッシュ関数 H により、前記端末におけるハッシュ演算と同じ i 回ハッシュするかまたは前記初期値 $S(k, 0)$ とパラメータ i と前記ハッシュ関数 H とに基づいた前記端末における演算と同じ演算を行うことにより得られる値 $S(k, i)$ に基づいて仮 ID を算出する仮 ID 算出手段と、を具備し、前記仮 ID 算出手段によって算出された前記仮 ID を用いて前記端末を識別する。

【0031】

本発明の端末は、ネットワークを介して接続されたサーバと通信を行う端末であって、前記サーバに保持された初期値と同じ初期値 $S(k, 0)$ を保持する記憶手段と、前記記憶手段に保持された前記初期値 $S(k, 0)$ をハッシュ関数 H により、前記サーバにおけるハッシュ演算と同じ i 回ハッシュするかまたは前記初期値 $S(k, 0)$ とパラメータ i と前記ハッシュ関数 H とに基づいた前記サーバにおける演算と同じ演算を行うことにより得られる値 $S(k, i)$ に基づいて仮 ID を算出する仮 ID 算出手段と、を具備し、前記仮 ID 算出手段によって算出された前記仮 ID を用いて前記サーバと通信を行う。

【0032】

本発明のプログラムは、ネットワークを介して接続された端末と通信を行うサーバのコンピュータにより実行されるプログラムであって、前記端末に保持された初期値と同じ初期値 $S(k, 0)$ をハッシュ関数 H により前記端末におけるハッシュ演算と同じ i 回ハッシュするかまたは前記初期値 $S(k, 0)$ とパラメータ i と前記ハッシュ関数 H とに基づいた前記端末における演算と同じ演算を行うことにより得られる値 $S(k, i)$ を生成して、前記値 $S(k, i)$ に基づいて仮 ID を算出する仮 ID 算出ステップと、前記仮 ID 算出ステップによって算出された前記仮 ID を用いて前記端末を識別する端末識別ステップとを有する。

【0033】

本発明のプログラムは、ネットワークを介して接続されたサーバと通信を行う端末のコンピュータにより実行されるプログラムであって、前記サーバに保持された初期値と同じ初期値 $S(k, 0)$ をハッシュ関数 H により前記サーバにおけるハッシュ演算と同じ i 回ハッシュするかまたは前記初期値 $S(k, 0)$ とパラメータ i と前記ハッシュ関数 H とに基づいた前記サーバにおける演算と同じ演算を行うことにより得られる値 $S(k, i)$ を生成して、前記値 $S(k, i)$ に基づいて仮 ID を算出する仮 ID 算出ステップと、前記仮 ID 算出ステップによって算出された前記仮 ID を用いて前記サーバと通信を行うステップとを有する。

【0034】

本発明の認証方法は、サーバと端末との間の通信における認証方法であって、共通するハッシュ関数と認証情報とを前記サーバと前記端末とがそれぞれ保持し、前記サーバと前記端末との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして前記サーバと前記端末とがそれぞれ取得し、前記認証情報と前記認証用通信パラメータとに基づき前記ハッシュ関数を用いて認証キーを前記サーバと前記端末とがそれぞれ生成し、前記生成した認証キーを用いて前記サーバと前記端末との間の認証を前記サーバまたは前記端末の少なくとも一方が行う認証方法である。

【0035】

本発明の認証方法において、前記サーバと前記端末との間の通信は無線基地局を介して行い、且つ、前記端末と前記無線基地局との間は無線通信を用いて行い、前記通信パラメータが前記端末と前記無線基地局との間の無線通信時に一時的に共通な無線通信パラメータであっても良い。

【0036】

本発明の認証方法において、前記端末と前記サーバとが共通する第1のハッシュ関数と

10

20

30

40

50

第1の認証情報をそれぞれ保持しており、前記端末が、前記認証用通信パラメータと前記第1の認証情報とに基づき前記第1のハッシュ関数を用いて前記認証キーである第1の端末認証キーを生成し、前記生成した第1の端末認証キーを前記サーバへ前記無線基地局を介して送信し、前記無線基地局が、前記端末からの前記第1の端末認証キーに、前記端末と前記無線基地局との間の前記無線通信パラメータを前記認証用通信パラメータとして付加して前記サーバへ送信し、前記サーバが、前記第1の端末認証キーと前記無線基地局が付加した前記認証用通信パラメータとを前記無線基地局から受信し、前記受信した認証用通信パラメータと前記第1の認証情報とに基づき前記第1のハッシュ関数を用いて前記認証キーである第2の端末認証キーを生成し、前記受信した第1の端末認証キーと前記生成した第2の端末認証キーとが同一であるか否かを検出することにより前記端末を認証するようにしても良い。

10

【0037】

本発明の認証方法において、前記端末と前記サーバとが共通する第2のハッシュ関数と第2の認証情報をそれぞれ保持しており、前記サーバが、更に、前記受信した認証用通信パラメータと前記第2の認証情報とに基づき前記第2のハッシュ関数を用いて前記認証キーである第1のネットワーク認証キーを生成し、前記生成した第1のネットワーク認証キーを前記端末へ前記無線基地局を介して送信し、前記端末が、更に、前記サーバから前記無線基地局を介して前記第1のネットワーク認証キーを受信し、前記第1の端末認証キーを生成する時に用いた前記認証用通信パラメータと前記第2の認証情報とに基づき前記第2のハッシュ関数を用いて前記認証キーである第2のネットワーク認証キーを生成し、前記受信した第1のネットワーク認証キーと前記生成した第2のネットワーク認証キーとが同一であるか否かを検出することにより前記サーバを認証するようにしても良い。

20

【0038】

本発明の認証方法において、前記端末と前記サーバとが共通する第1のハッシュ関数と第1の認証情報をそれぞれ保持しており、前記サーバが、更に、前記第1の認証情報を前記無線基地局へ送信し、前記無線基地局が、更に、前記認証用通信パラメータと前記サーバから受信した前記第1の認証情報とに基づき、前記第1のハッシュ関数を用いて前記認証キーである第1のネットワーク認証キーを生成し、生成した前記第1のネットワーク認証キーを前記端末へ送信し、前記端末が、更に、前記無線基地局から前記第1のネットワーク認証キーを受信し、前記認証用通信パラメータと前記第1の認証情報とに基づき前記第1のハッシュ関数を用いて前記認証キーである第2のネットワーク認証キーを生成し、受信した前記第1のネットワーク認証キーと生成した前記第2のネットワーク認証キーとが同一であるか否かを検出することにより前記サーバを認証するようにしても良い。

30

【0039】

本発明の認証方法において、前記端末と前記サーバとが共通する第2のハッシュ関数と第2の認証情報をそれぞれ保持しており、前記端末が、前記第2の認証情報と前記第2のネットワーク認証キーを生成する時に用いた前記認証用通信パラメータとに基づき前記第2のハッシュ関数を用いて前記認証キーである第1の端末認証キーを生成し、生成した前記第1の端末認証キーを前記無線基地局へ送信し、前記無線基地局が、前記端末からの前記第1の端末認証キーに、前記端末と前記無線基地局との間の前記無線通信パラメータを前記認証用通信パラメータとして付加して前記サーバへ送信し、前記サーバが、前記第1の端末認証キーと前記認証用通信パラメータとを前記無線基地局から受信し、受信した前記認証用通信パラメータと前記第2の認証情報とに基づき前記第2のハッシュ関数を用いて前記認証キーである第2の端末認証キーを生成し、受信した前記第1の端末認証キーと生成した前記第2の端末認証キーとが同一であるか否かを検出することにより前記端末を認証するようにしても良い。

40

【0040】

本発明の認証方法において、前記無線通信パラメータが、端末識別子、フレーム番号、スロット番号、時刻情報、前記無線基地局の識別子、ページングエリアの識別子、前記無線基地局がサービスを提供する端末グループの数、前記無線基地局が提供する通信キャリア

50

ア数、前記無線基地局が報知する通信の混雑状況を示す指標値、前記端末が所属する端末グループ番号、前記端末が通信中の通信キャリア番号、または、通信制御に利用する乱数、および、これらの組み合わせであっても良い。

【0041】

本発明の認証システムは、端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行い、前記サーバと前記端末とが共通するハッシュ関数と認証情報とをそれぞれ保持する認証システムであって、前記端末が、前記端末と前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する端末側認証パラメータ取得手段と、前記端末側認証パラメータ取得手段が取得した前記認証用通信パラメータと前記認証情報と前記ハッシュ関数とに基づき第1の認証キーを生成する端末側認証キー生成手段と、前記第1の認証キーを前記サーバへ前記無線基地局を介して送信する端末側認証キー送信手段と、を有し、前記無線基地局が、前記端末と前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する無線基地局側認証パラメータ取得手段と、前記端末が送信した前記第1の認証キーに、前記無線基地局側認証パラメータ取得手段が取得した前記認証用通信パラメータを付加し、前記サーバへ送信する転送手段と、を有し、前記サーバが、前記認証用通信パラメータが付加された前記第1の認証キーを前記無線基地局より受信するサーバ側受信手段と、前記サーバ側受信手段が受信した前記認証用通信パラメータと前記認証情報と前記ハッシュ関数とに基づき第2の認証キーを生成するサーバ側認証キー生成手段と、前記生成した第2の認証キーと前記受信した第1の認証キーとが同一であるか否かを検出することにより前記端末の認証を行うサーバ側認証手段と、を有する。

【0042】

本発明の端末は、端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行い、前記サーバと前記端末とが共通するハッシュ関数と認証情報とをそれぞれ保持する認証システムにおいて用いられる端末であり、前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する端末側認証パラメータ取得手段と、前記端末側認証パラメータ取得手段が取得した前記認証用通信パラメータと前記認証情報と前記ハッシュ関数とに基づき第1の認証キーを生成する端末側認証キー生成手段と、前記第1の認証キーを前記サーバへ前記無線基地局を介して送信する端末側認証キー送信手段と、を有する。

【0043】

本発明の無線基地局は、端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行い、前記サーバと前記端末とが共通するハッシュ関数と認証情報とをそれぞれ保持する認証システムにおいて用いられる無線基地局であり、前記端末と前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する無線基地局側認証パラメータ取得手段と、前記端末が送信した認証キーに、前記無線基地局側認証パラメータ取得手段が取得した前記認証用通信パラメータを付加し、前記サーバへ送信する転送手段と、を有する。

【0044】

本発明のサーバは、端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行い、前記サーバと前記端末とが共通するハッシュ関数と認証情報とをそれぞれ保持する認証システムにおいて用いられるサーバであり、認証用通信パラメータが付加された第1の認証キーを前記無線基地局より受信するサーバ側受信手段と、前記サーバ側受信手段が受信した前記認証用通信パラメータと前記認証情報と前記ハッシュ関数とに基づき第2の認証キーを生成するサーバ側認証キー生成手段と、前記生成した第2の認証キーと前記受信した第1の認証キーとが同一であるか否かを検出することにより前記端末の認証を行うサーバ側認証手段と、を有する。

【0045】

本発明のプログラムは、端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行う認証システムにおいて用いられる前記端末の

コンピュータにより実行されるプログラムであって、前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する端末側認証パラメータ取得ステップと、前記端末側認証パラメータ取得ステップにより取得した前記認証用通信パラメータと前記サーバと共通するハッシュ関数と前記サーバと共通する認証情報とに基づき第1の認証キーを生成する端末側認証キー生成ステップと、前記端末側認証キー生成ステップにより生成された前記第1の認証キーを前記サーバへ前記無線基地局を介して送信する端末側認証キー送信ステップとを有する。

【0046】

本発明のプログラムは、端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行い、前記サーバと前記端末とが共通するハッシュ関数と認証情報とをそれぞれ保持する認証システムにおいて用いられる前記無線基地局のコンピュータにより実行されるプログラムであって、前記端末と前記無線基地局との間の通信時に一時的に共通な通信パラメータを認証用通信パラメータとして取得する無線基地局側認証パラメータ取得ステップと、前記端末が送信した認証キーに、前記無線基地局側認証パラメータ取得ステップにより取得した前記認証用通信パラメータを付加し、前記サーバへ送信する転送ステップとを有する。

【0047】

本発明のプログラムは、端末とサーバとが無線基地局を介して認証を行い、前記端末と前記無線基地局が無線通信により通信を行う認証システムにおいて用いられる前記サーバのコンピュータにより実行されるプログラムであって、認証用通信パラメータが付加された第1の認証キーを前記無線基地局より受信するサーバ側受信ステップと、前記サーバ側受信ステップにより受信した前記認証用通信パラメータと前記端末と共通する認証情報と前記端末と共通するハッシュ関数とに基づき第2の認証キーを生成するサーバ側認証キー生成ステップと、前記サーバ側認証キー生成ステップにより生成された前記第2の認証キーと前記受信した第1の認証キーとが同一であるか否かを検出することにより前記端末の認証を行うサーバ側認証ステップとを有する。

【0048】

本発明の記録媒体は、上記各プログラムを記録したコンピュータ読み取り可能な記録媒体である。

【発明の効果】

【0049】

本発明では、ネットワーク側のサーバと端末との間で、端末識別用の仮IDの生成の基となるハッシュ回数を同期する（同じとする）。さらに、サーバで仮IDを変更する際に、他の端末に付与された仮IDと一致しないようにハッシュ回数を選択する。これにより、他の端末の仮IDと一致しない仮IDが得られる。また仮IDは、ネットワーク側と端末側で同期することが可能であるので、動的に変化する仮IDにより端末を識別可能となる。この仮IDを用いて、端末とサーバの間の通信が行われることにより、第三者が端末に対するトラッキングを行うことを防止することが可能となり、プライバシーが保護された端末の通信が提供される効果を奏する。

また、本発明では、ハッシュ回数を指定することで、仮IDそのものを指定するよりも無線帯域が節約できるほか、暗号化する必要もない。すなわち、何百億台の端末を識別する仮IDのビット長に比べて、ハッシュ回数はかなり短いビット長で表現できるため、更新に必要な情報が少なく済み、無線の帯域を有効利用できる。また、次に利用する仮IDそのものを無線端末に送信すると、盗聴された場合にトラッキング防止の効果がなくなるので、この部分を暗号化する必要があるが、本発明ではこうした暗号化を行う必要がない。

【0050】

また、本発明によれば、無線端末と認証管理サーバの間の相互認証の手順の数を従来に比べて減らすことができるので、無線端末による無線通信手順および無線通信量が少なく、特に無線区間で時刻とともに変化する認証パラメータを新規に生成し送受信する必要が

ないため、無線端末の計算処理量と無線通信量が少なく、また、公開鍵暗号方式や乱数生成などの複雑な計算機能を使用せず、認証における通信のための消費電力が少ない認証が可能になるという効果を奏する。

【0051】

また、本発明によれば、無線端末と無線基地局との間の通信時に一時的に共通な通信パラメータを複数組み合わせることで認証パラメータとして利用することができるため、認証パラメータの値の変化のパターンをより複雑にすることができ、結果として認証キーのランダム性が増し、認証の安全性が向上するという効果を奏する。

【図面の簡単な説明】

【0052】

【図1】本発明の第1実施形態による端末識別方法を適用したデータ通信システムの構成を示すブロック図である。

【図2】第1実施形態において用いられる仮IDの算出方法を示したブロック図である。

【図3】第1実施形態において用いられるID管理DB104の記憶内容の例を示したブロック図である。

【図4】第1実施形態において用いられる仮ID生成フローを示した流れ図である。

【図5】第1実施形態において用いられる本ID検索フローを示した流れ図である。

【図6】第1実施形態における端末からのuploadを説明するための流れ図である。

【図7】第1実施形態における端末からのdownloadを説明するための流れ図である。

【図8】第1実施形態において仮IDを初期化するための仮ID初期化処理を示したシーケンス図である。

【図9】第1実施形態において仮ID初期ベクトルを用いて仮IDを算出する手順を示した説明図である。

【図10】第2実施形態による認証システムの構成を示すブロック図である。

【図11】第2実施形態において、無線端末1101と認証管理サーバ1103における認証方法の概要を説明する説明図である。

【図12】第2実施形態において、乱数とMAC—端末IDを用いた認証用通信パラメータの導出手順を示したシーケンス図である。

【図13】第2実施形態において、認証を要求する側である無線端末1101の構成を示す機能ブロック図である。

【図14】第2実施形態において、認証をする側の認証管理サーバ1103の構成を示す機能ブロック図である。

【図15】第2実施形態において、認証キーを生成する方法を説明する説明図である。

【図16】第2実施形態において、無線端末が認証管理サーバに対して認証の開始を要求する場合について認証の全体における動作を説明したシーケンス図である。

【図17】第2実施形態において、認証管理サーバが無線端末に対して認証の開始を要求する場合について認証の全体における動作を説明したシーケンス図である。

【図18】本発明の第3実施形態によるシステムの構成を示すブロック図である。

【図19】第3実施形態において、無線端末がID&認証管理サーバに対して認証の開始を要求する場合についてシステム全体の処理の流れを示したシーケンス図である。

【図20】第3実施形態において、ID&認証管理サーバが無線端末に対して認証の開始を要求する場合についてシステム全体の処理の流れを示したシーケンス図である。

【図21】第3実施形態において、仮ID初期化処理についてシステム全体の処理の流れを示したシーケンス図である。

【符号の説明】

【0053】

101 無線端末

102 端末

103 ID管理サーバ

10

20

30

40

50

104 ID管理DB
 105 無線基地局
 106 ネットワーク
 107 ネットワーク
 1101 無線端末
 1102 無線基地局
 1103 認証管理サーバ
 1104 認証管理データベース
 1105 ネットワーク
 1210、1310 認証パラメータ取得部
 1211、1311 認証パラメータ生成部
 1212、1312 認証情報取得部
 1213、1313 認証キー生成部
 1203 認証キー送信部
 1301 認証キー受信部
 1302 認証キー取得部
 1303 認証部
 2001 無線端末
 2002 無線基地局
 2003 ID&認証管理サーバ
 2004 ID管理データベース
 2005 認証管理データベース
 2006 端末
 2007 ネットワーク
 2008 ネットワーク

10

20

【発明を実施するための最良の形態】

【0054】

以下、図面を参照して本発明の各実施形態について説明する。

〔第1実施形態〕

最初に、本実施形態のポイントを説明する。まず無線端末とNWの双方向通信を想定する。お互いに総合認証する際、NW認証情報とともにIDの世代をあらわす i （0以上の整数）の増加分 d （0以上の整数）をID管理サーバで算出する。ID管理サーバは増加分 d をID管理DB（データベース）に保存し（後述する実施形態の仮ID予約）、さらに、無線端末に通知する（後述する実施形態の端末認証応答）ことにより、無線端末とID管理サーバ（ID管理サーバにおける保存先はID管理DB）上の i はともに d 増加し、無線端末の $S(k, i)$ とID管理サーバ上の $S(k, i)$ は常に同期する。

30

【0055】

新たなIDが既に利用されている他の無線端末のIDと衝突しないように、 i の増加分 d を算出しなければならない。そこで、NW側に配置されたID管理サーバはID管理DBに次に利用する無線端末のIDを登録する。もし、既に登録されているIDを新たに登録しようとしたときにIDが衝突していると検知すれば、ID管理DBへの登録を拒否する。もし、IDが衝突していなければ、ID管理DBに登録する。拒否された場合は i をインクリメントして次のIDを生成し、再登録をする。ID管理サーバでは登録に成功するまでの i のインクリメント回数を計測し、それを i の増加分 d とする。

40

【0056】

i の増加分 d を通知された無線端末は d 回、ハッシュ関数をかけて新たなIDを生成する。その後、 $i+d$ を新たな i とする。このようにして、ネットワークユニークなテンポラリなIDが生成可能である。

【0057】

また、ID管理サーバと無線端末間のネットワークでは無線端末はテンポラリなID

50

により識別されるため、無線端末のアクセス網を盗聴しても、無線端末をトラッキングすることは困難となる。

【0058】

各無線端末が時刻により可変なIDを送出し、無線端末のトラッキングを防止する場合においても、同一時間に異なる無線端末から同一のIDがNW側に通知されることはない。これにより、NW側では無線端末を一意に識別することとトラッキング防止が両立でき、必要な宛先に転送することが可能である。

【0059】

また、無線端末を収容するアクセス網では上記の時刻により可変なIDにより無線端末が識別されるため、無線端末のトラッキングが困難となる。

10

【0060】

次に、本実施形態についてさらに詳しく説明する。図1は同実施形態の全体図である。無線端末101はテンポラリーなIDとして仮IDで識別され、また、普通のIDとして本IDで識別される。仮IDと本IDはすべての無線端末でユニークであり、必ず特定の無線端末を識別可能である。

【0061】

無線端末101はセンサなどの情報を収集して、仮IDとともに、端末102に情報を送信する装置である。この際、ID管理サーバ103が中継し、ID管理サーバ103にて、仮IDから本IDに変換され、本IDとセンサデータが端末102に送信される。あるいはセンサの設定情報等を端末102から本IDとともに送信し、ID管理サーバ103で本IDから仮IDに変換され、ID管理サーバ103から無線端末101は仮IDで呼び出され、無線端末101は端末102からのセンサの設定情報等をNWの認証情報とともに受信する。

20

【0062】

ID管理サーバ103はID管理DB104にアクセスして、本IDから仮IDを取得したり、仮IDから本IDを取得したり、新しい仮IDを生成したりする。ID管理DB104には本IDと仮IDの対応関係が保存されている。無線基地局105は無線端末101の無線回線を終端し、ネットワーク106に接続する。無線基地局105とID管理サーバ103はネットワーク106に接続している。ネットワーク106では無線端末101は仮IDにより識別される。これにより、ID管理サーバ103と無線基地局105間のネットワーク106、及び、無線基地局105と無線端末101の無線区間では無線端末のトラッキングは困難である。また、ID管理サーバ103と端末102はネットワーク107に接続している。ネットワーク107では無線端末は本IDにより識別される。

30

ネットワーク107ではそれぞれの無線端末への通信を捕捉することができるが、どの無線基地局に収容されているかわからないため、無線端末の場所をトラッキングすることはできない。

【0063】

例えば、イベント会場における入場者の軌跡をRFIDにより追跡する場合を考える。この場合、無線端末101とは、イベント入場者へ配られる入場者証に付加された、会場内での位置を測定できるセンサとそれに関連したRFIDタグなどである。RFIDからは一定時間毎に入場者の位置情報が送信される。送信された情報は、イベント会場内に設置された無線基地局105により受信され、ネットワーク106、ID管理サーバ103、ID管理DB104およびネットワーク107を介して、端末102に入場者の位置（軌跡）として保存される。

40

端末102は、入場者の軌跡を基に、入場者が立ち寄ったブースに関連する情報を入場者が持っている携帯電話へメールとして送信することも可能である。

また、後日、入場者が別途PC（パーソナルコンピュータ）を用いて端末102にアクセスすることにより、自身が立ち寄ったブースを確認することも可能である。

このような例の場合にも、本実施形態の効果により、第三者に対して入場者がどのよう

50

なブースに立ち寄ったかというプライバシーは保護されている。

また、イベント入場者が会場へ入退出する際に、端末102から無線端末101の設定のための送信を行い、無線端末101が送信する時間間隔の設定を変更することも可能である。例えば、会場内にいる時は1分毎に送信するように設定し、会場内にいない時は5分毎に送信するように位置センサとRFIDの設定を行うことも可能である。

【0064】

仮IDの計算方法を図2に示す。本IDがkである無線端末101とID管理サーバ103は秘密情報として $S(k, 0)$ を共有する(ステップS201)。図2においては、本IDがkである場合を示しているのので、添え字kは省略する。無線端末101とID管理サーバ103はそれぞれハッシュ関数Hで、ハッシュ種 $S(k, 0)$ をi回ハッシュし、 $S(k, i)$ を求め(ステップS202)、 $S(k, i)$ からハッシュ関数Jでハッシュされた $a(k, i)$ を仮IDとして利用する(ステップS203)。この時、無線端末101とID管理サーバ103(ID管理DB104)はkおよび $S(k, i)$ を保存しておく。その後、次に利用する仮ID(NEXT仮ID)を計算するには $S(k, i)$ をハッシュ関数Hでd回ハッシュし $S(k, i+d)$ を求め(ステップS204)、これをハッシュ関数Jでハッシュした $a(k, i+d)$ (ステップS205)をNEXT仮IDとして利用する。NEXT仮IDを求める計算は、無線端末101とID管理サーバ103で独立に行われる。図2においては、dが1の場合を例示してある。

【0065】

図3にID管理DB104の記憶内容の例を示す。ID管理DB104では本IDと(仮ID、仮IDポインタ、ハッシュ回数)の組をいくつか、と最新のハッシュ種 $S(k, i)$ と初期ハッシュ種 $S(k, 0)$ 、前回仮IDを更新した仮ID更新時刻、初期化用仮IDがそれぞれの無線端末毎に記憶されている。なお、初期化用仮IDは後述する仮IDの初期化処理を行う場合にのみ必要となるフィールドである。また、初期ハッシュ種は無線端末毎に異なるように設定されるが、全ての無線端末についてユニークな値であること(すなわち、他の無線端末と同じ値になることを全く許容しないこと)までは必要ない。さらに、初期ハッシュ種および初期化用仮IDは、サービス中、内容が変更されることなくあらかじめ設定しておいた値が保持される。

【0066】

ID管理サーバ103はある無線端末101の仮IDを一定回数以上の通信あるいは認証を行った後、あるいは一定時間以上経過後に更新する。更新のフローを図4に示す。図4では一定時間以上経過後に仮IDを更新する場合を示しているが、一定回数以上の通信あるいは認証を行った後に仮IDを更新する場合も同様である。ID管理サーバ103はまずID管理DB104に接続し、本IDkをキーに仮IDのハッシュ種 $S(k, i)$ を取得する(ステップS401、S402)。次に仮IDのハッシュ種 $S(k, i)$ をハッシュ関数Hで一回ハッシュして $S(k, i+1)$ を生成し、それをハッシュ関数Jでハッシュすることにより、 $a(k, i+1)$ を計算する(ステップS403)。計算された $a(k, i+1)$ をID管理DB104に登録し仮IDを予約する(ステップS404)。ID管理DB104は登録されているすべての無線端末の仮ID(a)と比較し、一致しなければ予約可とし、一致すれば予約否とし(ステップS404a、)、その結果をID管理サーバ103に返す(ステップS405)。ID管理サーバ103は予約否と返されれば更に $S(k, i+1)$ をハッシュ関数Hで一回ハッシュし $S(k, i+2)$ を求め、これをハッシュ関数Jでハッシュした $a(k, i+2)$ を計算し(ステップS406)、ID管理DB104に登録し、仮IDを予約する。このようにID管理サーバ103がID管理DB104に対して仮IDが予約できるまでハッシュ関数Hでハッシュしていく。このハッシュ回数をdとすると次に利用するNEXT仮IDは $a(k, i+d)$ となる。NEXT仮IDがID管理DB104に登録されると $S(k, i+d)$ を新たなハッシュ種とする。次のNEXT仮IDでは、新たな $S(k, i)$ は $S(k, i+d)$ となり上記手順を繰り返す。

【0067】

各仮IDには仮IDポインタがついている。仮IDには仮IDポインタ、生成するためのハッシュ回数が関連づけられ、ID管理DB104に保存される（ステップS407、S408、S409）。仮IDポインタは0が現在利用すべき仮IDで-1が一回前の仮IDであることを示している。つまり、これから利用すべき仮IDに対して仮IDポインタにあらかじめ+1を設定しておき（ステップS404a）、仮IDポインタを更新する際に（ステップS408）、本IDに関連づけられているすべての仮IDの仮IDポインタ（+1、0、-1のいずれかの値を有する）を1減らすことで、現在利用すべき仮IDの仮IDポインタが0となり、一回前の仮IDの仮IDポインタが-1となり、二回前の仮IDの仮IDポインタが-2となる。そして、仮IDポインタが-1よりも小さい仮IDをID管理DB104から削除する（ステップS408）。

10

【0068】

次にID管理サーバ103がID管理DB104にアクセスし、仮IDから本IDを検索する手順と、ID管理DB104の仮ID情報を更新するフローを図5に示す。

ID管理サーバ103はID管理DB104に対し、仮IDを含む本ID検索要求を送信する（ステップS501）。本ID検索要求を受信したID管理DB104は、ID管理DB104内のすべての仮IDと照合する。一致した場合、本IDを特定するとともに、前回仮ID更新時刻、仮IDに関連づけられている仮IDポインタ、ハッシュ回数を取得する（ステップS502）。取得した本ID、前回仮ID更新時刻、仮IDポインタ、ハッシュ回数をパラメータとし、本ID検索応答とし、ID管理サーバ103に送信する（ステップS503）。本ID検索応答を受信したID管理サーバ103は仮IDポインタを確認し、仮IDポインタが0である場合（前回の仮IDの更新が成功している場合）、本IDを指定した旧仮ID削除要求をID管理DB104に送信し（ステップS504）、指定された本IDに対応する仮IDポインタが-1の仮IDを削除する（ステップS505）。その後、現在時刻と前回仮ID更新時刻との差が仮ID更新間隔より長い場合は仮IDの生成フロー（図4）を実行する（ステップS506）。ID管理サーバ103は無線端末101に転送するためのハッシュ回数を決定する（ステップS507）。仮IDポインタが-1の場合（前回の仮IDの更新が失敗している場合）は、ID管理DB104から受信した本ID検索応答のハッシュ回数を無線端末101に転送するハッシュ回数とする（ステップS508）。現在時刻と前回仮ID更新時刻の差が仮ID更新間隔より短い場合は無線端末101に転送するハッシュ回数を0とし（ステップS509）、現在時刻と前回仮ID更新時刻の差が仮ID更新間隔より長い場合等しい場合は仮ID生成フロー（図4）で得たハッシュ回数を無線端末101に転送するハッシュ回数とする（ステップS507）。

20

30

【0069】

以上のように、無線端末101とID管理サーバ103で同期をとりながらハッシュを行うが、不安定な通信路を想定すると、ACKの不達、ACKのACKの不達等、何回通信しても完全な同期をとることができない。そこで、一回分の同期のずれは検知して、復旧するというのが図5の本ID検索フローの流れである。

【0070】

次に実際のデータ通信がどのように行われるかを説明する。

40

まず、無線端末101から端末102へデータがUploadされる場合を図6に示す。まず、無線端末101では端末認証キーを生成する（ステップS601）。その後、仮ID、端末認証キー、データをパラメータに端末認証要求を端末102へ向けて、送信する（ステップS602）。この時、無線端末101と端末102との通信を中継するID管理サーバ103は端末認証要求を送信してきた無線端末101がどの無線端末か、また正当な端末であるかが不明確なため、受信したデータは保留にしておく。その後、ID管理サーバ103は図5のフローに従い本ID検索を行い（ステップS603）、仮IDから本IDに変換することで、端末認証要求を送ってきた無線端末101を特定する（ステップS604）。また、仮IDの更新が必要であれば、更新に必要なハッシュ回数dを得る。次にこの端末認証キーを利用し、特定した無線端末が正当な送り主であることを確

50

める。次に自らのNW認証キーを生成し（ステップS605）、端末認証応答で無線端末101へ送信する（ステップS606）。端末認証応答のパラメータは仮ID、NW認証キー、ハッシュ回数である。ハッシュ回数は図5の本ID検索フローにおいて、ID管理サーバ103で決定されたハッシュ回数を利用する。無線端末101は端末認証応答を受信すると（ステップS607）、NW認証キーを利用し、データを中継したNW装置（ID管理サーバ103）の正当性を確認する。その後ID管理サーバ103に認証完了を送信する（ステップS608）。認証完了を受信したID管理サーバ103は、保留していた端末102向けのデータを本IDとともに端末102へ送信する（ステップS609）。また、無線端末101は端末認証応答で通知されたハッシュ回数dの分だけ $S(k, i)$ をハッシュ関数Hでハッシュし $S(k, i+d)$ を算出し、それをハッシュ関数Jでハッシュした $a(k, i+d)$ を次に使用する仮IDとする（ステップS610）。以降、新たな $S(k, i)$ を $S(k, i+d)$ とし、上記、フローを繰り返す。

【0071】

次に、端末102から無線端末101へデータがDownloadされる場合を図7に示す。基本的にはデータのUploadと同様であるが、端末102は送信先無線端末101の本IDと送信データをID管理サーバ103に送信する（ステップS701）。ID管理サーバ103は受信した本IDを仮IDに変換し（ステップS702、S703）、無線基地局105の端末呼出機能を利用し（ステップS704）、仮IDをパラメータとして呼び出す（ステップS705）。呼出を受けた無線端末101はデータUploadと同様の手順で端末102へアクセスする。UploadとDownloadの違いはデータが端末認証要求とともに送信されるか端末認証応答とともに送信されるかである。なお、ID管理DB104において同一の本IDに関連付けられた複数の仮IDがある場合、ID管理サーバ103は呼び出しが成功するまで、それぞれの仮IDで呼び出す必要がある。

【0072】

Uploadの例としては、センサからの情報を無線端末101から端末102に送信することが考えられる。例えば、防犯に用いる場合には、窓ガラスが割られたことにより無線端末101から送信が開始され、端末102を用いて警備会社が無線端末101のある家の異常を検知する。また、定期的な温度測定を行い無線端末101が端末102に送信し、端末102は送信された温度に応じて、無線端末101のまわりの温度調節をする、などが可能である。

【0073】

Downloadの例としては、センサの測定条件や測定方法の設定が考えられる。例えば、センサのオン、オフの切り替え、センサの測定間隔時間を1分毎に行うのか10分毎に行うのか、などの設定が可能である。温度が何度以上の場合に通信するような場合であれば、温度の閾値の設定も可能である。

【0074】

なお、端末102、ID管理サーバ103、ID管理DB104は端末認証応答でハッシュ回数が正確に無線端末に送信されたかを確認することはできない。そのため、無線端末では仮IDの生成を行わず（ステップS610が実行されず）、古い仮IDが次の通信時に利用される可能性があるため、仮IDポインタが0の仮IDが利用されるまで、ID管理DB104に記載の仮IDポインタが-1の仮IDを削除してはならない（ステップS505で仮IDポインタが-1の仮IDを削除する）。

【0075】

また、上記実施形態では、ID管理サーバ103とID管理DB104を別々の装置として説明を行ったが、本発明はID管理サーバとID管理DBを一体として設計する場合にも適応可能である。

【0076】

また上記実施形態においては、サーバ側（ID管理サーバ103とID管理DB104）と無線端末101の両方において、図2に示されるように、ハッシュ列 $S(i)$ より

ハッシュ関数Hで複数回のハッシュを行い $(S(i+d))$ 、更にハッシュ関数Jでハッシュを行うことにより求めた $a(i+d)$ を仮IDとしたが、ハッシュ関数Jによるハッシュをサーバ側と無線端末側の両方で省略し、 $S(i+d)$ を仮IDとして用いることも可能である。この場合においても、ハッシュ関数Hによるハッシュの回数をサーバ側と端末側で同期することが重要となる。

【0077】

しかしながら、上記のように、ハッシュ関数Jによるハッシュをサーバ側と無線端末側の両方で省略し、仮IDとして $S(i)$ や $S(i+d)$ を仮IDとして用いるだけでは、仮IDである $S(i)$ の無線通信を盗聴し、これをハッシュすることで、次回の仮IDである $S(i+d)$ を推測することが、容易になされてしまう可能性がある。

この場合においても、関数の作り方を以下のように工夫することにより、第三者からの端末に対してのトラッキングが困難な、仮IDを作ることが可能となる。

例えば、 $S(i+1) = H(S(i) \text{ XOR } (i+1))$ （ここで、関数Hは引数をハッシュ関数Hでハッシュする関数であり、関数XORはビット列の排他的論理和をとる関数である。）と構成する。あるいは、例えば、 $S(i+1) = H(S(0) \text{ XOR } i)$ と構成する。これらの構成では、無線部分に流れない i を利用して、XOR関数による処理を行い、その後ハッシュしている。そのため、第三者が盗聴したとしても、次回の仮IDである $S(i+1)$ の推測が困難となる。

このような構成は、XORに限定されるものではなく、他の関数でも可能である。重要な点は、現在の仮IDである $S(i)$ または初期値 $S(0)$ を、そのままハッシュして、次の仮IDである $S(i+1)$ を作るのではなく、まず、現在の仮IDに対して、無線部分に流れない部分であるハッシュの回数 i に関する関数で前処理を行い、次に、前処理を行った仮IDに対してハッシュを行うことにより、次の仮IDを求めることである。

以上のように、仮IDである $S(i)$ より、まず無線部分に流れない部分であるハッシュの回数 i に関する前処理を行い、これをハッシュすることにより次の仮IDである $S(i+1)$ を作ることより、たとえ盗聴されたとしても、推測を困難とすることができる仮IDの作成が可能となる。

【0078】

なお、ID管理DB104に記憶されている仮ID更新時刻を更新するタイミングは種々考えられるが、例えば、図6のステップS602においてID管理サーバ103が無線端末101から新たな仮IDを受信したタイミング、あるいは、図6のステップS606でID管理サーバ103が端末認証応答を無線端末101へ向けて送信するタイミングなどが考えられる。また、ID管理DB104に記憶されているハッシュ回数の更新タイミングも種々考えられるが、例えば、図4のステップS404aで行うことが考えられる。

【0079】

また、上述した説明では、図6に示すように無線端末101から端末認証要求があった場合に、“現在時刻－前回仮ID更新時刻>仮ID更新間隔”の条件を満たしていれば仮IDを更新するようにしていたが、端末認証要求の有無にかかわらず一定時間以上経過後に更新するようにしても良い。

【0080】

次に、これまでに説明した処理では無線端末101とID管理サーバ103との間における同期のずれを復旧できない場合に、こうした同期ずれを解消するための処理について説明する。

【0081】

上述したように、無線端末101とID管理サーバ103における一回分の同期ずれに関しては復旧が可能である。しかし、無線端末101の電源が切断されるなど、何らかの原因によって無線端末101の内部にあるメモリの内容が消失してしまったような場合には、無線端末101側での処理が継続できなくなり、同期ずれを復旧することができなくなる。そこで、こうした場合には、無線端末101及びID管理サーバ103の状態に拘らず仮IDの初期化（以下、仮ID初期化処理とする）を行って、無線端末101とID

管理サーバ103との間で再同期をとるようにする。

【0082】

図8は仮ID初期化処理を行う場合のシーケンスを示したものであって、図6に示したシーケンスとほぼ同様であるが、図6のステップS606に対応するステップS606aにおいて、ハッシュ回数に代えて仮IDハッシュ回数を送信するとともに仮ID初期ベクトルをさらに送信する点で異なるほか、図6のステップS603及びS610にそれぞれ対応するステップS603a及びS610aの処理が異なっている。なお、図8に示したシーケンスは無線端末101の出荷時にも行われる。

【0083】

無線端末101が、ID管理サーバ103との間で同期がずれていると判断した場合、図6と同様に端末認証キーを生成し（ステップS601）、仮ID、端末認証キー、データをパラメータとして端末認証要求を端末102へ向けて送信する（ステップS602）。なお、無線端末101が同期ずれと判断する場合としては、例えば、正当な端末ではないとして自身の無線端末101がID管理サーバ103から認証されなかった場合や、無線端末101が自身のメモリの内容が消失するなど何らかの異常を検出した場合などが考えられる。また、端末認証要求とともに送信する仮IDは、無線端末101とID管理サーバ103との間で無線端末毎に予め取り決めておいた仮ID（仮ID初期化処理のための専用の仮ID）を用いるものとする。この初期化用仮IDは、例えば無線端末101の出荷にあたって、無線端末101の内部に設けた不揮発性メモリ等に記憶しておくものとする。また、ID管理DB104については初期化用仮IDを初期化用仮IDのフィールド

【0084】

ID管理サーバ103は、ID管理DB104の初期化用仮IDフィールドを参照して、端末認証要求とともに送信されてきた仮IDがいずれかの初期化用仮IDに一致するか否かを判定する。もし送信された仮IDに一致するものがある場合には、一致する初期化用仮IDに対応する本IDを取得するとともに、無線端末101が同期のずれを検出しているものと判断して仮ID初期化処理を行う（ステップS603a）。

【0085】

図9は仮ID初期化処理における仮IDの生成手順を示している。まず、ID管理サーバ103は仮ID初期ベクトルIVを生成する（ステップS801）。その際、ID管理サーバ103はそれまでに生成した仮ID初期ベクトルIVと同じものを生成しないようにする。具体的には、乱数を用いて仮ID初期ベクトルIVを生成する方法、あるいは、仮ID初期ベクトルIVの初期値を予め設定しておき、最初に初期化用仮IDを生成する場合はこの初期値を用い、それ以後については、初期化用仮IDを生成する度に仮ID初期ベクトルIVを所定数（例えば“1”）だけ増加させてゆく方法などが考えられる。

【0086】

次に、ID管理サーバ103は、無線端末101とID管理サーバ103との間で共有している初期ハッシュ種 $S(k, 0, 0)$ （前述した初期ハッシュ種 $S(k, 0)$ に同じ）と仮ID初期ベクトルIVとからハッシュ種 $S(k, 0, IV)$ を生成する（ステップS802）。次に、ID管理サーバ103は、ハッシュ種 $S(k, 0, IV)$ をハッシュ関数Hで1回ハッシュしてハッシュ種 $S(k, 1, IV)$ を求め（ステップS803）、ハッシュ種 $S(k, 1, IV)$ からハッシュ関数Jでハッシュされた $a(k, 1, IV)$ を仮IDとして利用する（ステップS804）。なお、ハッシュ回数1は、前述の場合と同様に、生成される仮IDである $a(k, 1, IV)$ に競合がなくなるまで1から順次1ずつインクリメントしてゆくものとする。

【0087】

次に、ID管理サーバ103は、先に取得した本IDに対応するID管理DB104上のエントリの初期化を行う。すなわち、取得した本IDに関連付けられている仮ID、仮IDポインタ、ハッシュ回数からなる組をすべて削除する。また、仮IDのフィールドには $a(k, 1, IV)$ を設定し、仮IDポインタのフィールドには0を設定し、ハッシュ

回数のフィールドには上記ハッシュ回数 i を設定し、仮 ID 更新時刻のフィールドには初期化処理を行った時刻を設定し、ハッシュ種のフィールドにはハッシュ種 $S(k, i, IV)$ を設定する。

【0088】

次いで、ID管理サーバ103及びID管理DB104は、図6の場合と同様に無線端末認証およびNW認証キー生成（ステップS604およびステップS605）を行ったのち、仮ID、NW認証キー、仮IDハッシュ回数（ハッシュ回数 i ）、仮ID初期ベクトル IV を付加した端末認証応答を無線端末101へ送信する（ステップS606a）。次に、無線端末101、無線基地局105、ID管理サーバ103、端末102は図6の場合と同様にステップS607～S609の処理を行う。次いで、無線端末101は、自身が保持しているハッシュ種 $S(k, 0, 0)$ ならびに端末認証応答で通知された仮IDハッシュ回数及び仮ID初期ベクトル IV を用いて、ID管理サーバ103と同様の手順で $S(k, i, IV)$ および $a(k, i, IV)$ をそれぞれハッシュ種および仮IDとして生成する（ステップS610a）。

【0089】

なお、この後、次に利用する仮ID（NEXT仮ID）を計算するにはハッシュ種 $S(k, i, IV)$ をハッシュ関数 H で d 回（図9では d が1の場合を例示）ハッシュして $S(k, i+d, IV)$ を求め（ステップS805）、これをハッシュ関数 J でハッシュした $a(k, i+d, IV)$ をNEXT仮IDとして利用する（ステップS806）。また、図8では図6に基づいた仮ID初期化処理の手順について説明したが、端末102へUploadすべきデータがなければ、パラメータとしてデータを端末認証要求に付加しなくとも良く、また、ID管理サーバ103から端末102へデータを送信する必要もない。

【0090】

上述の説明においては、センサと連動したRFIDとして実施形態の多くを例示してきたが、本発明による方法は、センサと連動したRFIDに限定されるのではなく、流通で用いられている商品識別のためのRFIDタグとしての運用も可能であるし、携帯電話のような任意の通信方式に適用することも可能である。

【0091】

以上のように、本実施形態では、ネットワーク106側のID管理サーバ103と無線端末101との間で、端末IDの生成の基となるハッシュ回数を同期する（同じとする）。さらに、ID管理サーバ103で端末IDを変更する際に、他の端末に付与された端末IDと一致しないようにハッシュ回数を選択する。これにより、他の端末の端末IDと一致しない端末ID（仮ID）が得られる。また仮IDは、ネットワーク106側と無線端末101側で同期することが可能であるので、無線端末101を動的に変化する仮IDにより識別可能となる。

この仮IDを用いて、無線端末101とID管理サーバ103の間の通信が行われることにより、第三者が端末に対するトラッキングを行うことを防止することが可能となり、プライバシーが保護された端末の通信が提供される効果を奏する。

【0092】

〔第2実施形態〕

次に、本発明の第2実施形態について説明する。図10は、本実施形態による無線端末の認証システムの構成を示す概略ブロック図である。認証システムは、無線端末1101と無線基地局1102と認証管理サーバ1103と認証管理データベース1104とネットワーク1105とから構成されている。

【0093】

無線端末1101は、無線基地局1102、認証管理サーバ1103を経由してネットワーク1105に接続し、ネットワーク1105に接続される他の端末またはサーバ（図示省略）と通信を行うことができる。また、無線端末1101は、認証管理サーバ1103との間で相互認証を行い、相互認証が完了した後、認証管理サーバ1103を介してネ

ットワーク 1105 への通信を行う。この無線端末 1101 は、それぞれがユニークな端末 ID を有しており、この端末 ID によりそれぞれの無線端末が識別される。

無線端末 1101 は、認証管理サーバ 1103 との間で、ハッシュ関数と無線端末 1101 の認証情報と認証管理サーバ 1103 の認証情報とを共通に予め有している。無線端末 1101 は、認証管理サーバ 1103 に対して認証するための認証データを、認証管理サーバ 1103 へ無線基地局 1102 を介して送信する。ここで、認証データは、無線端末 1101 と無線基地局 1102 との間の無線通信に関する通信パラメータから選択された認証用通信パラメータと、認証管理サーバ 1103 と共通の認証情報（無線端末 1101 の認証情報または認証管理サーバ 1103 の認証情報）と、ハッシュ関数とを用いて算出される認証キーを含む。また、認証データは端末 ID を含む。

10

【0094】

無線基地局 1102 は、複数の無線端末 1101 と同時に接続することが可能であり、無線端末 1101 と認証管理サーバ 1103 との間の認証データおよび通信のためのデータの送受信を中継する。また、無線基地局 1102 は、無線端末 1101 と認証管理サーバ 1103 との間の認証データに、無線端末 1101 と無線基地局 1102 との間の無線通信に関する通信パラメータから選択された認証用通信パラメータを付加して中継する。この認証用通信パラメータ（通信パラメータ）は、無線端末 1101 が認証データを作成する時に用いた認証用通信パラメータと同一のものである。

【0095】

認証管理サーバ 1103 は、無線基地局 1102、認証管理データベース 1104 とネットワーク 1105 に接続される。この認証管理サーバ 1103 は、複数の無線基地局 1102 と接続されていてもよい。

20

また、認証管理サーバ 1103 は、無線端末 1101 からの認証データを、無線基地局 1102 を介して受信する。

また、認証管理サーバ 1103 は、無線端末 1101 と共通する、ハッシュ関数と無線端末 1101 の認証情報と認証管理サーバ 1103 の認証情報とを予め有している。また、認証管理サーバ 1103 は、無線端末 1101 からの認証データを受信した際に、受信した認証データに含まれる端末 ID に基づいて、必要に応じて認証管理データベース 1104 より、無線端末 1101 の認証に必要な認証情報（無線端末 1101 の認証情報と認証管理サーバ 1103 の認証情報）を読み出す。

30

ここで、無線端末 1101 の認証情報だけでなく、認証管理サーバ 1103 の認証情報も、端末ごとに固有の値であるため、認証管理サーバ 1103 は、ネットワーク認証キーを作成する前に、無線端末 1101 の認証情報と認証管理サーバ 1103 の認証情報とを、認証管理データベース 1104 から読み出す。

認証管理サーバ 1103 は、認証データと無線基地局 1102 により付加された認証用通信パラメータと、無線端末 1101 と共通の認証情報（無線端末 1101 の認証情報または認証管理サーバ 1103 の認証情報）とハッシュ関数とに基づき、無線端末 1101 を認証する。

【0096】

認証管理データベース 1104 は、認証管理サーバ 1103 に接続する。また、認証管理データベース 1104 は、無線端末 1101 の端末 ID と関連付けて、認証管理サーバ 1103 と無線端末 1101 との間の認証情報（無線端末 1101 の認証情報と認証管理サーバ 1103 の認証情報）を記憶する。認証情報は、無線端末 1101 ごとに異なり、無線端末 1101 が有する認証情報（無線端末 1101 の認証情報と認証管理サーバ 1103 の認証情報）と共通な情報である。

40

【0097】

なお、無線端末 1101 と無線基地局 1102 との間の通信は無線接続となっており、無線端末 1101 の移動とともに、無線端末 1101 が接続する無線基地局 1102 は変更される。例えば、無線端末 1101 から最も近い無線基地局 1102 へ、または、無線端末 1101 から最も無線通信の状態がよい無線基地局 1102 へ、無線端末 1101 の

50

接続する無線基地局 1102 が変更される。

なお、認証管理サーバ 1103 および認証管理データベース 1104 は、別々の装置であってもよい、一体となってもよい。

【0098】

次に、図 10 の実施形態においてなされる、無線端末 1101 と認証管理サーバ 1103 との間の認証メッセージの交換による相互認証方式の処理の一例を、図 11 を用いて説明する。ただし、図 11 では、無線端末 1101 と認証管理サーバ 1103 の間の認証メッセージを中継するだけであるので、無線基地局 1102 については図示せずに説明する。

まず、説明における初期状態として、無線端末 1101 と認証管理サーバ 1103 は、あらかじめ、無線端末 1101 の認証情報である端末認証情報 $f_0(n)$ と、認証管理サーバ 1103 の認証情報であるネットワーク認証情報 $g_0(n)$ とを、秘密情報として共通に有している。すなわち、無線端末 1101 は、自分の端末認証情報 $f_0(n)$ およびネットワーク認証情報 $g_0(n)$ を保持し、認証管理サーバ 1103 は無線端末ごとに当該無線端末が用いる端末認証情報 $f_0(n)$ とネットワーク認証情報 $g_0(n)$ とを端末 ID とともに保持する。なお、端末認証情報 $f_0(n)$ とネットワーク認証情報 $g_0(n)$ とは同じ内容の情報であっても異なる内容の情報であってもいずれでも良い。ただし、端末認証情報とネットワーク認証情報が同一の内容である場合は、これら認証情報から認証キー（端末認証キーとネットワーク認証キー）を生成する演算を端末認証の場合とネットワーク認証の場合とで変える必要がある。例えば、図 11 の場合には、ハッシュ関数 F とハッシュ G とで異なる演算を行うようにする。これは、認証情報から認証キーを生成する演算を端末認証の場合とネットワーク認証の場合とで同一にすると、端末認証キーとネットワーク認証キーが同一になってしまい、受け取った認証キーをそのまま送信することが可能となって、相互認証が行えなくなるためである。

また、無線端末 1101 と無線基地局 1102 との間では、後述する通信のための時間によりまたは端末の位置により変化する共通の通信のための通信パラメータをそれぞれが有する。

【0099】

また、ここで、 n は無線端末 1101 を識別する端末 ID であり、 G と F はハッシュ関数、 t は認証パラメータである。

また、前述の $f_0(n)$ は端末 ID が n の端末認証情報であり、 $g_0(n)$ は端末 ID が n のネットワーク認証情報である。

また、後述の $f_1(n, t)$ は端末 ID が n であり、認証パラメータ t と端末認証情報 $f_0(n)$ とハッシュ関数 F とに基づき無線端末 1101 で生成する端末認証キーである。

また、後述の $f_2(n, t)$ は端末 ID が n であり、認証パラメータ t と端末認証情報 $f_0(n)$ とハッシュ関数 F とに基づき認証管理サーバ 1103 で生成する端末認証キーである。

また、後述の $g_1(n, t)$ は端末 ID が n であり、認証パラメータ t とネットワーク認証情報 $g_0(n)$ とハッシュ関数 G とに基づき無線端末 1101 で生成するネットワーク認証キーである。なお、ハッシュ関数 G はハッシュ関数 F と同じ関数であっても異なる関数であってもいずれでも良い。

また、後述の $g_2(n, t)$ は端末 ID が n であり、認証パラメータ t とネットワーク認証情報 $g_0(n)$ とハッシュ関数 G とに基づき認証管理サーバ 1103 で生成するネットワーク認証キーである。

【0100】

まず認証時に、無線端末 1101 は、無線基地局 1102 と無線通信を開始する。その際、無線端末 1101 と無線基地局 1102 との間の無線通信に関する共通の通信パラメータをそれぞれが有する。無線端末 1101 は、通信パラメータから、予め決められた特定の通信パラメータを認証用通信パラメータとして選択する。ここでは、選択された 2 つ

10

20

30

40

50

の通信パラメータである認証用通信パラメータを、それぞれ認証用通信パラメータ1と認証用通信パラメータ2とする。なお、以下ではこれら2つ認証用通信パラメータを利用した場合を例に挙げて説明するが、1つ以上の任意の数の認証用通信パラメータを利用しても良い。

通信パラメータと認証用通信パラメータの詳細については後に詳細に説明する。

【0101】

次に、無線端末1101は、認証用通信パラメータ1と認証用通信パラメータ2より、認証パラメータ t を生成する（ステップS a 1）。次に、無線端末1101は、生成した認証パラメータ t と端末認証情報 $f 0 (n)$ とに基づいてハッシュ関数 F による演算を行うことにより、端末認証キー $f 1 (n, t)$ を生成し（ステップS a 2）、認証管理サーバ1103へ送信する（ステップS a 3）。認証パラメータ t と端末認証キー $f 1 (n, t)$ とを生成する方法については、後に詳細に説明する。

【0102】

無線基地局1102は、無線端末1101から認証管理サーバ1103へ向けて送信された端末認証キー $f 1 (n, t)$ を中継する。中継において無線基地局1102は、無線端末1101と無線基地局1102との間の無線通信に関する特定の2つの通信パラメータを認証用通信パラメータ（認証用通信パラメータ1と認証用通信パラメータ2）とし、この認証用通信パラメータ（認証用通信パラメータ1と認証用通信パラメータ2）を端末認証キー $f 1 (n, t)$ に付加して認証管理サーバ1103へ送信する。

ここで、無線端末1101と無線基地局1102との間で認証用通信パラメータとして用いた通信パラメータは、少なくとも無線端末1101と無線基地局1102との間の通信において、端末認証キー $f 1 (n, t)$ を送信する間に、それぞれに共通であり参照可能なものである。つまり、認証用通信パラメータとして用いた通信パラメータは、端末認証キーを送信するとき無線端末と無線基地局の間で共通に参照できることが重要であり、送信する間に変化のないものである必要は必ずしもなく、例えばメモリ等に記憶しておけば変化していても構わない。

【0103】

次に、認証管理サーバ1103は、受信した認証用通信パラメータ（認証用通信パラメータ1と認証用通信パラメータ2）より認証パラメータ t を生成する（ステップS b 1）。次に、認証管理サーバ1103は、生成した認証パラメータ t と認証管理サーバ1103が保持する端末認証情報 $f 0 (n)$ とに基づいてハッシュ関数 F による演算を行うことにより、端末認証キー $f 2 (n, t)$ を生成する（ステップS b 2）。そして、認証管理サーバ1103は、受信した端末認証キー $f 1 (n, t)$ と生成した端末認証キー $f 2 (n, t)$ とが同一であるか否かを検出し、検出した結果が同一であることにより、無線端末1101が秘密情報を共有している正当な無線端末であると認証する。

これにより、認証管理サーバ1103における無線端末1101の認証が完了する。

【0104】

また同様に、認証管理サーバ1103は、受信した認証用通信パラメータ（認証用通信パラメータ1と認証用通信パラメータ2）より認証パラメータ t を生成する（ステップS c 1）。次に、認証管理サーバ1103は、生成した認証パラメータ t とネットワーク認証情報 $g 0 (n)$ とに基づいてハッシュ関数 G による演算を行うことにより、ネットワーク認証キー $g 2 (n, t)$ を生成し（ステップS c 2）、無線端末1101宛てに無線基地局1102へ送信する（ステップS c 3）。

無線基地局1102は、認証管理サーバ1103から送信されたネットワーク認証キー $g 2 (n, t)$ を、無線端末1101へ送信する。

無線端末1101は、ネットワーク認証キー $g 2 (n, t)$ を受信すると、端末認証キー $f 1 (n, t)$ を生成する時に用いた認証用通信パラメータ（認証用通信パラメータ1と認証用通信パラメータ2）より、認証パラメータ t を生成する（ステップS d 1）。次に、無線端末1101は、生成した認証パラメータ t と無線端末1101が保持するネットワーク認証情報 $g 0 (n)$ に基づいて、ハッシュ関数 G による演算を行うことにより、

ネットワーク認証キー $g_1(n, t)$ を生成する (ステップ S d 2)。そして、無線端末 1101 は、生成したネットワーク認証キー $g_1(n, t)$ と受信したネットワーク認証キー $g_2(n, t)$ とが同一であるか否かを検出し、検出の結果が同一であることにより認証管理サーバ 1103 が秘密情報を共有している正当な認証管理サーバであるものとして、認証を成立する。

これにより、無線端末 1101 における認証管理サーバ 1103 の認証が完了する。

【0105】

その後、無線端末 1101 が、無線端末 1101 が認証管理サーバ 1103 を認証完了したことを示す情報を認証管理サーバ 1103 へ送信し、認証管理サーバ 1103 がその情報を受信することにより、無線端末 1101 と認証管理サーバ 1103 との間の相互認証が完了する。

【0106】

なお、上記説明においては、まず認証時に、無線端末 1101 は、無線基地局 1102 と無線通信を開始し、無線端末 1101 と無線基地局 1102 との間の無線通信に関する共通の通信パラメータをそれぞれが有し、通信パラメータから予め決められた特定の通信パラメータを認証用通信パラメータとして選択し、選択された 2 つの通信パラメータを認証用通信パラメータ 1 と認証用通信パラメータ 2 とした。しかし、認証用通信パラメータを取得する方法は、これに限られるものではない。

例えば、無線基地局 1102 は、無線端末 1101 との無線接続のための通信パラメータを無線端末 1101 へ定期的に報知している。無線端末 1101 は無線基地局 1102 から報知された通信パラメータを保持し、保持する通信パラメータを、認証用通信パラメータとしてもよい。

また例えば、無線端末 1101 は、無線端末 1101 の移動にともない、無線基地局 1102 より無線通信のための通信パラメータを取得し、取得した通信パラメータより、認証用通信パラメータとしてもよい。

このように、無線端末 1101 と無線基地局 1102 との間で、共通の通信パラメータをそれぞれが有しており、無線端末 1101 が共通に有する通信パラメータより認証用通信パラメータを取得する。また、無線端末 1101 と無線基地局 1102 で用いた通信パラメータは、無線端末 1101 と無線基地局 1102 との間の通信において、少なくとも、端末認証キー $f_1(n, t)$ を送信する間に、それぞれに共通であり参照可能なものである。つまり、上述したように、認証用通信パラメータとして用いた通信パラメータは、端末認証キーを送信するときに無線端末と無線基地局の間で共通に参照できることが重要であり、送信する間に通信パラメータは変化のないものである必要は必ずしもない。

【0107】

なお、図 11 の説明において、無線端末 1101 と認証管理サーバ 1103 において、それぞれ、ステップ S c 1 とステップ S d 1 において、認証用通信パラメータ 1 と認証用通信パラメータ 2 とに基づいて認証パラメータ t を生成したが、必ずしも生成する必要はない。

例えば、無線端末 1101 においては、ステップ S a 1 で生成した認証パラメータ t と、ステップ S d 1 で生成した認証パラメータ t とは同一であることより、ステップ S a 1 で生成した認証パラメータ t を保持しておき、保持した認証パラメータ t をステップ S d 2 で用いてもよい。

同様に、認証管理サーバ 1103 においても、ステップ S b 1 で生成した認証パラメータ t と、ステップ S c 1 で生成した認証パラメータ t とは同一であることより、ステップ S b 1 で生成した認証パラメータ t を保持しておき、保持した認証パラメータ t をステップ S c 2 で用いてもよい。

【0108】

次に、図 11 の説明における、認証管理サーバ 1103 が無線端末 1101 を認証 (端末認証) するための端末認証キー $f(n, t)$ ($f_1(n, t)$ または $f_2(n, t)$) を生成する方法の概要を説明する。端末認証キー $f(n, t)$ は、無線端末 1101 と認

証管理サーバ1103とで、それぞれ生成される。

まず、無線端末1101もしくは認証管理サーバ1103は、認証用通信パラメータ1および認証用通信パラメータ2を取得し、これらを元に排他的論理和をとるなどの演算を行い、認証パラメータ t を生成する。次に、無線端末1101もしくは認証管理サーバ1103は、端末認証情報 $f0(n)$ および認証パラメータ t を元に、ハッシュ関数 F を利用して演算し、端末認証キー $f(n, t)$ を生成する。

【0109】

次に、無線端末1101が認証管理サーバ1103を認証（ネットワーク認証）するためのネットワーク認証キー $g(n, t)$ （ $g1(n, t)$ または $g2(n, t)$ ）を生成する方法の概要を説明する。ネットワーク認証キー $g(n, t)$ は、無線端末1101と認証管理サーバ1103とで、それぞれ生成される。

10

無線端末1101もしくは認証管理サーバ1103はネットワーク認証情報 $g0(n)$ および、端末認証の際に使用した認証パラメータ t を元にハッシュ関数 G を利用して演算し、ネットワーク認証キー $g(n, t)$ を生成する。

ここで、認証キー生成に使用するハッシュ関数 F やハッシュ関数 G として、例えばSHA-1（Secure Hash Algorithm-1）などを用いることが可能である。

【0110】

ここで、上記説明した端末認証キー $f(n, t)$ およびネットワーク認証キー $g(n, t)$ の生成において、無線端末1101と認証管理サーバ1103が同じ認証パラメータ t を保持する必要がある。本実施形態では、無線帯域と無線通信の電力消費を低減するため、また、認証パラメータ t が豊富なバリエーションを有するようにするため、無線接続区間の両端の装置となる無線端末1101と無線基地局1102との間で既に共有されている無線接続のための情報（通信パラメータ）を、認証パラメータ t を生成するための認証用通信パラメータとして用いる。

20

本実施形態では、認証パラメータ t を生成するための認証用通信パラメータ1および認証用通信パラメータ2として、2つの通信パラメータである無線端末識別子（MAC（Media Access Control）-端末ID）とフレーム番号を使用する。

無線端末識別子（MAC-端末ID）とは、無線端末1101と無線基地局1102の間に確立されるリンクを識別するために用いる識別子であり、同じ無線端末でもリンク再確立などのタイミングで異なるMAC-端末IDが付加されることがある。フレーム番号とは、フレームというデータの送受信単位に対して付加される番号であり、データ送受信の度に異なる番号が付加される。

30

無線端末識別子（MAC-端末ID）とフレーム番号とは、ともに、時刻とともに変化する通信パラメータである。時刻とともに変化する通信パラメータとしては、他に、スロット番号、時刻情報などがあり、スロット番号、時刻情報などを認証用通信パラメータ1および認証用通信パラメータ2として用いることも可能である。

【0111】

なお、認証パラメータ t を生成するための認証用通信パラメータ（通信パラメータ）として、通信パラメータは時刻と共に変化する値だけではなく、端末の移動に応じて変化する値も使用することが可能である。例えば、無線基地局の識別子、ページングエリアの識別子、無線基地局がサービスを提供する端末グループの数、無線基地局が提供する通信キャリア数、を用いることも可能である。

40

また、認証パラメータ t を生成するための認証用通信パラメータ（通信パラメータ）として、他にも、無線基地局が報知する通信の混雑状況を示す指標値、端末が所属する端末グループ番号、端末が通信中の通信キャリア番号などを用いることも可能である。

【0112】

ここで用いた、無線基地局の識別子とは、無線端末が無線基地局を一意に識別するために用いられる情報である。例えば、無線端末は、移動して異なる無線基地局のサービス提供範囲内に移ったことを、無線基地局が報知する無線基地局の識別子が変わったことによ

50

り検知する。

また、ページングエリアの識別子とは、無線端末が複数の無線基地局のグループであるページングエリアを一意に識別するために用いられる情報である。例えば、無線端末は、移動して異なるページングエリアに移ったことを、無線基地局が報知するページングエリアの識別子の変化したことにより検知する。

ここで、ページングエリアとは、複数の隣接する無線基地局のグループのことである。例えば、無線端末は、無線基地局間の移動のたびに位置登録を行うのではなく、ページングエリアという複数の無線基地局のグループ間の移動の時にだけ位置登録を行うことにより、位置登録に要する通信回数を低減させることができる。

【0113】

無線基地局がサービスを提供する端末グループの数とは、無線端末を複数のグループに分ける場合の端末グループの総数の情報である。例えば、無線基地局は、それぞれの端末グループに対して異なる境界を持つページングエリアの識別子を報知することなどが可能になる。

また、無線基地局が提供する通信キャリア数は、無線基地局と無線端末が制御情報やデータの送受信に使用することのできる通信キャリアの数の情報である。例えば、無線基地局が提供する通信キャリア数が複数ある場合は、無線基地局あるいは無線端末が使用する通信キャリアを選択する。

【0114】

無線基地局が報知する通信の混雑状況を示す指標値は、無線基地局の通信の混雑状況を示す指標値の情報である。例えば、無線端末が制御情報やデータの送受信を開始する際に、通信キャリアを選択するために用いる。

また、端末が所属する端末グループ番号とは、無線基地局が提供するページングエリアを端末グループごとに分ける場合などに使用する端末グループ識別用の番号である。

また、端末が通信中の通信キャリア番号とは、無線端末が無線基地局との間で制御情報やデータの送受信を行う際に使用する通信キャリアに付けられた識別用の番号である。

【0115】

さらに、認証用通信パラメータ1および認証用通信パラメータ2として、乱数とMAC一端末IDを使用しても良い。図12はこの場合の認証用通信パラメータの導出手順を示したシーケンス図である。最初に、無線端末1101は乱数を生成し（ステップS1101）、生成された乱数をMAC一端末ID割り当て要求に付与して無線基地局1102へ送信する（ステップS1102）。無線基地局1102は、他の無線端末に割り当て済みのMAC一端末IDとの競合をチェックし、無線端末1101に対して割り当て可能なMAC一端末IDを算出する（ステップS1103）。次に、無線基地局1102は、無線端末1101から受信した乱数と算出されたMAC一端末IDとをMAC一端末ID割り当て応答に付加して無線端末1101へ送信し（ステップS1104）、送信された乱数及びMAC一端末IDをそれぞれ認証用通信パラメータ1及び認証用通信パラメータ2として決定する（ステップS1105）。無線端末1101は、MAC一端末ID割り当て応答を受信し、このMAC一端末ID割り当て応答に付加されている乱数及びMAC一端末IDをそれぞれ認証用通信パラメータ1及び認証用通信パラメータ2として決定する（ステップS1106）。

【0116】

なお、図12に示した処理はMAC一端末IDの割り当て処理に基づいている。MAC一端末ID割り当て処理において、無線基地局は無線端末に対してMAC一端末IDを割り当てる。また、MAC一端末ID割り当て処理は、認証を行うか否かに拘らず、無線区間を用いて無線端末と無線基地局の間で一対一で制御情報等の通信を行う場合には必ず行われる。したがって、この割り当て処理の際に認証用通信パラメータ1および認証用通信パラメータ2を併せて設定することで、別途認証のために新たに乱数を発生させて無線端末に送信する必要はなくなる。

なお、MAC一端末ID割り当て処理の終了後に無線端末と無線基地局との間で通信す

10

20

30

40

50

る場合、無線基地局は、送信および受信のためのスロットを割り当て、MAC一端末IDとスロットの位置とを無線端末へ報知チャネルで報知する。

また、無線基地局では、無線端末から無線基地局への通信のタイミングが分からない場合もある。こうした場合、無線端末はランダムアクセス領域を利用してMAC一端末IDにてスロット割り当て要求を送信する。どの無線端末もランダムアクセス領域を利用して送信を行うことができ、無線端末間で送信が衝突した場合には送信したメッセージ等は破棄される。MAC一端末ID割り当て要求もこのランダムアクセス領域を利用する。

【0117】

このように本実施形態においては、認証パラメータ t が、無線接続区間の両端の装置となる無線端末1101と無線基地局1102との間で既に共有されている無線接続のための情報（通信パラメータ）により生成され、無線接続のための共有されている情報が、時間や位置により、豊富なバリエーションを有する点が重要である。

また、無線接続区間の両端の装置となる無線端末1101と無線基地局1102との間の無線接続のための情報（通信パラメータ）は既に共有されており、この既に共有されている情報（通信パラメータ）を認証用通信パラメータ（例えば、認証用通信パラメータ1と2）として用いて、認証パラメータ t を生成することにより、後述するように、無線端末1101と認証管理サーバ1103との間の相互認証が3メッセージで実現することが可能となる。

【0118】

次に、無線端末1101と認証管理サーバ1103について、図13と図14とを用いてさらに説明する。

図13において、無線端末1101は、認証パラメータ取得部1210と、認証パラメータ生成部1211と、認証情報取得部1212と、認証キー生成部1213と、認証キー送信部1203を有する。

認証パラメータ取得部1210は、認証要求を送信するための無線端末1101と無線基地局1102との間の通信における通信パラメータより、認証用通信パラメータを選択し、取得する。認証用通信パラメータとして選択される通信パラメータとは、例えば、無線端末識別子（MAC一端末ID）とフレーム番号である。ここでは説明のため、認証パラメータ取得部1210が選択し取得する2つの通信パラメータを、認証用通信パラメータ1と認証用通信パラメータ2とする。

【0119】

認証パラメータ生成部1211は、認証パラメータ取得部1210が取得した認証用通信パラメータ1と認証用通信パラメータ2とにより、認証パラメータ t を生成する。

認証情報取得部1212は、無線端末1101が有する認証情報（無線端末1101の認証情報）を取得する。

認証キー生成部1213は、認証パラメータ生成部1211が生成した認証パラメータ t と認証情報取得部1212が取得した認証情報とに基づいて、ハッシュ関数による演算を行い、認証キーを生成する。

認証キー送信部1203は、認証キー生成部1213により生成された認証キーと、無線端末1101を識別する端末IDとを含む端末認証要求情報を、認証管理サーバ1103に送信する。

【0120】

次に、機能ブロック図14を用いて、認証をする側の認証管理サーバ1103の機能を説明する。認証管理サーバ1103は、認証キー受信部1301と、認証パラメータ取得部1310と、認証パラメータ生成部1311と、認証情報取得部1312と、認証キー生成部1313と、認証キー取得部1302と、認証部1303を有する。

認証キー受信部1301は、無線端末1101からの端末認証要求情報を無線基地局1102を中継して受信する。ここで、認証キー受信部1301が受信する端末認証要求情報には、無線端末1101で送信された認証キーと端末IDと、無線基地局1102により端末認証要求情報に付加された無線端末1101と無線基地局1102との間の無線通

10

20

30

40

50

信に関する通信パラメータより選択された認証用通信パラメータ（認証用通信パラメータ 1 と認証用通信パラメータ 2）とが含まれる。

【0121】

認証パラメータ取得部 1310 は、認証キー受信部 1301 が受信した端末認証要求情報から、認証用通信パラメータ（認証用通信パラメータ 1 と認証用通信パラメータ 2）を抽出する。

認証パラメータ生成部 1311 は、認証パラメータ取得部 1310 が抽出した認証用通信パラメータ（認証用通信パラメータ 1 と認証用通信パラメータ 2）から、認証パラメータ t を生成する。

認証情報取得部 1312 は、認証キー受信部 1301 が受信した端末 ID に基づき、認証管理データベース 1104 より該当する認証情報（無線端末 1101 の認証情報）を取得する。

認証キー生成部 1313 は、認証パラメータ生成部 1311 が生成した認証パラメータ t と、認証情報取得部 1312 が取得した認証情報とに基づき、ハッシュ関数による演算を行うことにより、認証キーを生成する。

認証キー取得部 1302 は、認証キー受信部 1301 が受信した端末認証要求情報から、認証キーを抽出する。

認証部 1303 は、認証キー生成部 1313 が生成した認証キーと認証キー取得部 1302 が抽出した認証キーとが一致するか否かを検出することにより、無線端末 1101 の認証を行う。

【0122】

次に、図 15 を用いて、本実施形態における、認証を要求する側である無線端末 1101 における認証キーを生成する方法について、より具体的な例を説明する。

まず、認証パラメータ取得部 1210 は、認証用通信パラメータ 1 としてフレーム番号を、認証用通信パラメータ 2 として無線端末識別子（MAC-端末 ID）を取得する。

次に、認証パラメータ生成部 1211 は、認証パラメータ取得部 1210 が取得した認証用通信パラメータ 1 のビット列の最後にパディングを加え、ビット長を調整する（ステップ S1301）。次に、認証パラメータ生成部 1211 は、認証パラメータ取得部 1210 が取得した認証用通信パラメータ 2 のビット列の先頭にパディングを加える（ステップ S1302）。これにより、ビット長が調整される。ここでは、パディングを加える方法の一例として、全ビットが 0 の値を加える。ビット長を調整する方法としては、ビット長が長い場合は任意の部分を取り出す、あるいは、ビット長が短い場合は任意の部分にパディングを加える、などという方法がある。

次に、認証パラメータ生成部 1211 は、パディングを加えた認証用通信パラメータ 1 と認証用通信パラメータ 2 の排他的論理和を計算し、認証パラメータ t を生成する（ステップ S1303）。

【0123】

次に、認証キー生成部 1213 は、認証情報取得部 1212 が取得した認証情報と認証パラメータ生成部 1211 が生成した認証パラメータ t とを連結し（ステップ S1304）、必要に応じて任意の箇所にパディングを加え、SHA-1 によるハッシュ計算を行う（ステップ S1305）。

次に、認証キー生成部 1203 は、ハッシュ結果の全部または一部を取り出して認証キーを生成する（ステップ S1306）。

【0124】

なお、上記説明において、無線端末 1101 が認証を要求する側であり、認証管理サーバ 1103 が認証をする側であるとして説明を行った。しかし、無線端末 1101 と認証管理サーバ 1103 とは、それぞれが認証を要求する側と、認証をする側になることが可能である。そのため、無線端末 1101 は、図 13 に説明した認証を要求する側の機能も有するし、図 14 に説明した認証をする側の機能も有する。また、認証管理サーバ 1103 も、図 13 に説明した認証を要求する側の機能も有するし、図 14 に説明した認証をする

10

20

30

40

50

る側の機能も有する。

【0125】

また、図15を用いて、本実施形態における、無線端末1101が認証キーを生成する方法について説明をしたが、認証管理サーバ1103が認証キーを生成する方法も無線端末1101が認証キーを生成する方法と同様である。

つまり、上記認証を要求する側と認証をする側の機能の説明において、図13の認証パラメータ生成部1211と図14の認証パラメータ生成部1311、図13の認証キー生成部1213と図14の認証キー生成部1313はそれぞれ同じ機能を有し、認証パラメータ t と認証情報に基づいて認証キーを生成する方法は同じである。

ただし、認証用通信パラメータと認証情報の取得方法は、認証パラメータ取得部1210と認証パラメータ取得部1310とにおいて、認証情報取得部1212と認証情報取得部1312とにおいて、それぞれ異なる。すなわち、認証パラメータ取得部1210は無線端末1101と無線基地局1102との間の通信における通信パラメータから認証用通信パラメータを選択して取得するのに対して、認証パラメータ取得部1310は認証キー受信部1301が受信した端末認証要求情報から認証用通信パラメータを抽出する。また、認証情報取得部1212は無線端末1101が有する認証情報を取得するのに対して、認証情報取得部1312は認証キー受信部1301が受信した端末IDに基づいて認証管理データベース1104から該当する無線端末1101の認証情報を取得する。

【0126】

次に、本実施形態における認証システム全体の処理の流れを、図16のシーケンス図を用いて説明する。

まず、無線端末1101は無線基地局1102と無線通信を開始する。次に、無線端末1101は、無線端末1101と無線基地局1102の間の無線通信の接続のための情報（通信パラメータ）の中から認証用通信パラメータ1および認証用通信パラメータ2を取得し、排他的論理和をとるなどの演算を行い、認証パラメータ t を生成する。次に、無線端末1101は認証パラメータ t と端末認証情報 $f_0(n)$ を元にハッシュ関数 F を利用して演算し、端末認証キー $f_1(n, t)$ を生成する（ステップS1401）。次に、無線端末1101は、自身の識別子となる端末IDと端末認証キー $f_1(n, t)$ とを端末認証要求メッセージとして、無線基地局1102へ送信する（ステップS1402）。

次に、無線基地局1102は、無線端末1101と無線基地局1102の間の無線接続のための情報の中から認証用通信パラメータ1および認証用通信パラメータ2を取得し、無線端末1101からの端末認証要求メッセージに付加し（ステップS1403）、認証管理サーバ1103へ送信する（ステップS1404）。

【0127】

次に、認証管理サーバ1103は、受信した端末認証要求メッセージに含まれる端末IDを用いて、認証管理データベース1104から無線端末1101固有の端末認証情報 $f_0(n)$ およびネットワーク認証情報 $g_0(n)$ を取得する。次に、認証管理サーバ1103は、受信した端末認証要求メッセージに含まれる認証用通信パラメータ1および認証用通信パラメータ2を元に、排他的論理和をとるなどの演算を行い、認証パラメータ t を生成する。次に、認証管理サーバ1103は、生成した認証パラメータ t と取得した端末認証情報 $f_0(n)$ を元にハッシュ関数 F を利用して演算し、端末認証キー $f_2(n, t)$ を生成する。認証管理サーバ1103は、受信した端末認証キー $f_1(n, t)$ と、認証管理サーバ1103側が保持する端末認証情報 $f_0(n)$ および認証パラメータ t から生成した端末認証キー $f_2(n, t)$ が同一であるか否かを検出し、検出結果が同一であることにより、無線端末1101が同じ端末認証情報 $f_0(n)$ を共有する正当な無線端末であることを認証する。

【0128】

認証管理サーバ1103は、受信した端末認証キー $f_1(n, t)$ と生成した端末認証キー $f_2(n, t)$ との検出の結果が同一でない場合には、無線端末1101は正当な無線端末ではなく、認証は失敗となる。認証管理サーバ1103は、認証失敗が判明した時

点でそれ以後の認証処理を行わず、必要に応じて無線端末1101へのエラーメッセージの送信等を行う。認証失敗の場合、無線端末1101はネットワーク1105との通信を開始することはできない。

【0129】

次に、認証管理サーバ1103は、無線端末1101が正当な無線端末であることを認証した場合、端末認証キー $f_2(n, t)$ を生成する際に使用した認証パラメータ t と取得したネットワーク認証情報 $g_0(n)$ とを元にハッシュ関数 G を利用して演算し、ネットワーク認証キー $g_2(n, t)$ を生成する(ステップS1405)。認証管理サーバ1103は、ネットワーク認証キー $g_2(n, t)$ と無線端末1101の識別子となる端末IDとを端末認証応答メッセージとして無線基地局1102へ送信する(ステップS1406)。

10

次に、無線基地局1102は、認証管理サーバ1103より受信した端末認証応答メッセージを、無線端末1101へ送信する(ステップS1407)。

【0130】

次に、無線端末1101は、無線端末1101が予め保持している認証管理サーバ1103に関するネットワーク認証情報 $g_0(n)$ と端末認証キー $f_1(n, t)$ を生成する際に使用した認証パラメータ t とを元に、ハッシュ関数 G を利用して演算し、ネットワーク認証キー $g_1(n, t)$ を生成する。次に、無線端末1101は受信したネットワーク認証キー $g_2(n, t)$ と、生成したネットワーク認証キー $g_1(n, t)$ とが同一であるか否かを検出し、検出の結果が同一であることにより、認証管理サーバ1103が同じネットワーク認証情報 $g_0(n)$ を共有する正当な認証管理サーバであることを認証する。

20

【0131】

無線端末1101は、受信したネットワーク認証キー $g_2(n, t)$ と生成したネットワーク認証キー $g_1(n, t)$ との検出の結果が同一でない場合、「認証管理サーバ1103は正当な認証管理サーバではない」とし、認証は失敗となる。無線端末1101は、認証失敗が判明した時点で、それ以後の認証処理を行わず、必要に応じて認証管理サーバ1103へのエラーメッセージの送信等を行う。認証失敗の場合、無線端末1101はネットワーク1105との通信を開始することはできない(ステップS1408)。

【0132】

次に、無線端末1101は、認証管理サーバ1103が正当な認証管理サーバであることを認証した場合、相互認証の完了を認証管理サーバ1103へ伝達するために、自身の識別子となる端末IDを含む端末認証完了メッセージを、無線基地局1102へ送信する(ステップS1409)。

30

次に、無線基地局1102は、無線端末1101からの端末認証完了メッセージを、認証管理サーバ1103へ送信する(ステップS1410)。

次に、認証管理サーバ1103は、端末認証完了メッセージの受信により、無線端末1101と認証管理サーバ1103との間の相互認証が完了したことを検出する。相互認証の完了により、無線端末1101は認証管理サーバ1103を介してネットワーク1105との通信を行うことが可能となる。

40

【0133】

以上のように、無線端末1101と認証管理サーバ1103の間の相互認証が、ステップS1402・1404と、ステップS1406・1407と、ステップS1409・1410とにおける、無線端末1101と認証管理サーバ1103との間の合計3回のメッセージの交換で可能となる。

【0134】

上記の例は、無線端末1101が認証管理サーバ1103に対して認証の開始を要求する場合として説明を行ったが、認証管理サーバ1103から無線端末1101に対して認証の開始を要求する場合は認証の順序が逆になる。すなわち、認証管理サーバ1103の要求に基づき、先に無線端末1101においてネットワーク認証キー $g(n, t)$ を比較

50

し、その応答を受けた認証管理サーバ1103において端末認証キー $f(n, t)$ の比較を行う、という順序で相互認証が完了する。

【0135】

この場合の認証システム全体の処理の流れを図17のシーケンス図を用いて説明する。例えば、ネットワーク1105に接続される他の端末が無線端末1101を送信先としてデータを送信する場合、他の端末は無線端末1101の端末IDを付与したデータを認証管理サーバ1103に送信する。認証管理サーバ1103は、受信した端末IDを用いて、認証管理データベース1104から無線端末1101固有の端末認証情報 $f_0(n)$ およびネットワーク認証情報 $g_0(n)$ を取得する。

【0136】

次に、認証管理サーバ1103は、受信した端末IDとネットワーク認証情報 $g_0(n)$ を端末認証要求メッセージに付加して無線基地局1102へ送信する（ステップS1501）。ここで、認証用通信パラメータ1及び認証用通信パラメータ2は無線端末1101及び無線基地局1102のみが知りうるので、ネットワーク認証キーは認証管理サーバ1103ではなく無線基地局1102で生成することになる。そのために、認証管理サーバ1103から無線基地局1102に対してネットワーク認証情報 $g_0(n)$ が通知される。

【0137】

無線基地局1102は、無線端末1101と無線基地局1102の間の通信パラメータの中から認証用通信パラメータ1および認証用通信パラメータ2を取得し、排他的論理和をとるなどの演算を行って認証パラメータ t を生成する。次に、無線基地局1102は、生成した認証パラメータ t と受信した端末認証要求メッセージに付加されたネットワーク認証情報 $g_0(n)$ とを元にハッシュ関数 G を利用して演算し、ネットワーク認証キー $g_2(n, t)$ を生成する（ステップS1502）。次に、無線基地局1102は、ネットワーク認証キー $g_2(n, t)$ と端末IDとを端末認証要求メッセージに付加して無線端末1101へ送信する（ステップS1503）。

【0138】

無線端末1101は、無線端末1101と無線基地局1102の間の通信パラメータの中から認証用通信パラメータ1および認証用通信パラメータ2を取得し、排他的論理和をとるなどの演算を行って認証パラメータ t を生成する。次に無線端末1101は、認証パラメータ t と自身が予め保持している認証管理サーバ1103に関するネットワーク認証情報 $g_0(n)$ とを元に、ハッシュ関数 G を利用して演算し、ネットワーク認証キー $g_1(n, t)$ を生成する。次に、無線端末1101は受信したネットワーク認証キー $g_2(n, t)$ と、生成したネットワーク認証キー $g_1(n, t)$ とが同一であるか否かを検出し、検出の結果が同一であることにより、認証管理サーバ1103が同じネットワーク認証情報 $g_0(n)$ を共有する正当な認証管理サーバであることを認証する（ステップS1504）。

【0139】

一方、受信したネットワーク認証キー $g_2(n, t)$ と生成したネットワーク認証キー $g_1(n, t)$ との検出の結果が同一でない場合、無線端末1101は、「認証管理サーバ1103は正当な認証管理サーバではない」とし、認証は失敗となる。無線端末1101は、認証失敗が判明した時点で、それ以後の認証処理を行わず、必要に応じて認証管理サーバ1103へのエラーメッセージの送信等を行う。認証失敗の場合、無線端末1101はネットワーク1105との通信を開始することはできない。

【0140】

次に、認証管理サーバ1103が正当な認証管理サーバであることを認証した場合、無線端末1101は、ネットワーク認証キー $g_1(n, t)$ を生成する際に使用した認証パラメータ t と自身が保持する端末認証情報 $f_0(n)$ を元にハッシュ関数 F を利用して演算し、端末認証キー $f_1(n, t)$ を生成する（ステップS1505）。次に、無線端末1101は、自身の端末IDと端末認証キー $f_1(n, t)$ とを端末認証応答メッセージ

10

20

30

40

50

に付加して無線基地局 1102 へ送信する（ステップ S1506）。

【0141】

無線基地局 1102 は、先に取得した認証用通信パラメータ 1 および認証用通信パラメータ 2（ステップ S1502）を無線端末 1101 からの端末認証応答メッセージに付加し（ステップ S1507）、認証管理サーバ 1103 へ送信する（ステップ S1508）。

【0142】

認証管理サーバ 1103 は、受信した端末認証応答メッセージに付加された認証用通信パラメータ 1 および認証用通信パラメータ 2 をもとに排他的論理和をとるなどの演算を行って認証パラメータ t を生成する。次に、認証管理サーバ 1103 は、生成した認証パラメータ t と先に取得した端末認証情報 $f0(n)$ を元にハッシュ関数 F を利用して演算し、端末認証キー $f2(n, t)$ を生成する（ステップ S1509）。

【0143】

次に、認証管理サーバ 1103 は、受信した端末認証キー $f1(n, t)$ と生成した端末認証キー $f2(n, t)$ が同一であるか否かを検出し、検出結果が同一であることにより、無線端末 1101 が同じ端末認証情報 $f0(n)$ を共有する正当な無線端末であることを認証する。一方、受信した端末認証キー $f1(n, t)$ と生成した端末認証キー $f2(n, t)$ との検出の結果が同一でない場合には、無線端末 1101 は正当な無線端末ではなく、認証は失敗となる。認証管理サーバ 1103 は、認証失敗が判明した時点でそれ以後の認証処理を行わず、必要に応じて無線端末 1101 へのエラーメッセージの送信等を行う。認証失敗の場合、無線端末 1101 はネットワーク 1105 との通信を開始することはできない（ステップ S1510）。

【0144】

一方、無線端末 1101 が正当な無線端末であることを認証した場合、認証管理サーバ 1103 は相互認証の完了を無線端末 1101 へ伝達するために、端末 ID を付加した端末認証完了メッセージを無線基地局 1102 へ送信する（ステップ S1511）。無線基地局 1102 は、認証管理サーバ 1103 からの端末認証完了メッセージを無線端末 1101 へ送信する（ステップ S1512）。

【0145】

無線端末 1101 は、端末認証完了メッセージの受信により、無線端末 1101 と認証管理サーバ 1103 との間の相互認証が完了したことを検出する。この相互認証の完了によって、無線端末 1101 は認証管理サーバ 1103 を介してネットワーク 1105 との通信を行うことが可能となる。

【0146】

以上のように、無線端末 1101 と認証管理サーバ 1103 の間の相互認証が、ステップ S1501・1503 と、ステップ S1506・1508 と、ステップ S1511・1512 とにおける、無線端末 1101 と認証管理サーバ 1103 との間の合計 3 回のメッセージの交換で可能となる。

【0147】

以上説明したように、認証管理サーバが無線端末を認証する端末認証の際、無線端末では時刻または無線端末の位置とともに変化する無線基地局と共通の通信パラメータ（無線端末識別子（MAC-端末 ID）、フレーム番号、スロット番号、時刻情報など）から、予め決められた通信パラメータを認証用通信パラメータとして選択し取得し、選択し取得した認証用通信パラメータを元に端末認証キーを生成し送信する。無線基地局では、端末認証キーを認証管理サーバへ中継するとき、上記選択し取得された通信パラメータである認証用通信パラメータを付加して認証管理サーバに送信する。認証管理サーバは、受信した認証用通信パラメータに基づいて端末認証キーを独自に計算して、無線端末からの端末認証キーと同一であれば、無線端末を認証する。

また、無線端末が認証管理サーバを認証するネットワーク認証は、端末認証と同様の方法で、認証管理サーバがネットワーク認証キーを無線端末へ送信することにより実現し

最後に無線端末から認証管理サーバへ完了通知を送信する。以上により、無線端末と認証管理サーバとの間の相互認証が、合計3メッセージで実現可能となる。

無線基地局から報知される、または、通信の開始時に無線基地局と無線端末との間で共有される通信パラメータは時刻または端末の移動とともに変化し、さらに、無線基地局と無線端末で同一の値を共有できるため、チャレンジ&レスポンスにおける毎回変わる値の代わりとして利用可能である。

また、無線基地局から報知される、または、通信の開始時に無線基地局と無線端末との間で共有される通信パラメータは無線端末と無線基地局との間の通信路を確立するために必須であり既存のものであるため、通信パラメータを認証用通信パラメータとして利用する場合に、新たなコストは発生しない。

【0148】

以上の本実施形態による認証の方法により、センサ等の安価な小型移動無線端末のように、通信するデータ量が少なく、限られた無線帯域の中で多くの端末を認証する場合においても、相互認証が可能である。

また、本実施形態による認証の方法では、公開鍵暗号方式、乱数生成、時計等の複雑な計算処理機能を必要としないため、無線端末が小型かつ安価な場合でも本実施形態の認証方法を用いることが可能である。

また、本実施形態による認証の方法では、計算処理量および無線通信量が少ないため、無線端末の電池による長時間駆動が可能である。

また、本実施形態による認証の方法では、無線通信手順および無線通信量が少ないため、無線帯域の有効利用が可能であり、多くの端末が同時に認証を行うことが可能である。

【0149】

なお、本実施形態は、端末と認証管理サーバの相互認証にのみ用いるだけでなく、認証管理サーバにおける端末認証のみ、端末におけるネットワーク認証のみでも有効である。

例えば、図11の無線端末1101から認証管理サーバ1103へ端末認証キー $f(n, t)$ を送信し、認証管理サーバ1103が端末認証キー $f(n, t)$ を認証することのみにより、無線端末1101の認証管理サーバ1103における認証が完了し、この端末認証のみを用いることも可能である。

また、逆に、認証管理サーバ1103から無線端末1101へネットワーク認証キー $g(n, t)$ を送信し、無線端末1101がネットワーク認証キー $g(n, t)$ を認証することのみにより、認証管理サーバ1103の無線端末1101における認証が完了し、このネットワーク認証のみを用いることも可能である。

【0150】

なお、本実施形態の説明において、認証パラメータ t を生成するために認証用通信パラメータとして、認証用通信パラメータ1のフレーム番号と認証用通信パラメータ2の無線端末識別子(MAC-端末ID)を通信パラメータより選択して説明をおこなった。しかし、本実施形態における認証パラメータ t を生成する方法はこれに限られるものではなく、通信パラメータである、端末識別子(MAC-端末ID)、フレーム番号、スロット番号、時刻情報、無線基地局の識別子、ページングエリアの識別子、無線基地局がサービスを提供する端末グループの数、無線基地局が提供する通信キャリア数、無線基地局が報知する通信の混雑状況を示す指標値、端末が所属する端末グループ番号または端末が通信中の通信キャリア番号、乱数、および、これらの任意の組み合わせを認証用通信パラメータとして選択し、選択した認証用通信パラメータに基づいて認証パラメータ t を生成してもよい。

【0151】

以上、本発明の各実施形態を、図面を参照して詳述してきたが、具体的な構成はこれらの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計等も含まれる。例えば、上述した第1実施形態と第2実施形態を適宜組み合わせるようにしても良い。以下、こうした組み合わせの一例を第3実施形態として説明する。

【0152】

〔第3実施形態〕

図18は本実施形態によるシステムの構成を示すブロック図である。無線端末2001は第1実施形態の無線端末101の機能及び第2実施形態の無線端末1101の機能を有している。無線基地局2002は第1実施形態の無線基地局105の機能及び第2実施形態の無線基地局1102の機能を有している。ID&認証管理サーバ2003は第1実施形態のID管理サーバ103の機能及び第2実施形態の認証管理サーバ1103の機能を有している。ID管理データベース2004、認証管理データベース2005、端末2006は、第1実施形態のID管理DB104、第2実施形態の認証管理データベース1104、第1実施形態の端末102と同等の機能を有している。また、ネットワーク2007及び2008は第1実施形態のネットワーク106及び107や第2実施形態のネットワーク1105と同様のものである。

10

【0153】

図19は、無線端末2001がID&認証管理サーバ2003に対して認証の開始を要求する場合について、システム全体の処理の流れを示したシーケンス図である。個々の動作は基本的に第1実施形態の動作および第2実施形態の動作と同等であるため、主要な点についてのみ言及することとして詳細については省略し、全体の処理の流れを中心に説明を行う。

【0154】

まず、無線端末2001は端末認証キーを生成し（ステップS2001）、自身の仮IDと端末認証キーとを端末認証要求メッセージに付加して無線基地局2002へ送信する（ステップS2002）。無線基地局2002は、端末認証要求メッセージが送信されたスロットの位置に基づいて、このスロットの位置に割り当てられたMAC-端末ID（したがって、このMAC-端末IDが割り当てられた無線端末2001）を認識できる。無線基地局2002は仮IDおよびMAC-端末IDを記憶するとともに、認証用通信パラメータ1および認証用通信パラメータ2を取得して無線端末2001からの端末認証要求メッセージに付加し、ID&認証管理サーバ2003へ送信する（ステップS2003）。ID&認証管理サーバ2003は、受信した端末認証要求メッセージに付加されている仮IDを端末ID検索要求メッセージ（図5の本ID検索要求に相当）に付加してID管理データベース2004に送信する（ステップS2004）。ID管理DB2004は本ID検索を行って仮IDから本IDを取得し、得られた本IDを端末ID検索応答メッセージ（図5の本ID検索応答に相当）に付加してID&認証管理サーバ2003に送信する（ステップS2005）。

20

30

【0155】

ID&認証管理サーバ2003は、送信された本IDを認証情報要求メッセージに付加して認証管理データベース2005に送信する（ステップS2006）。認証管理データベース2005は端末認証情報およびNW認証情報を取得し、これらを認証情報検索応答メッセージに付加してID&認証管理サーバ2003に送信する（ステップS2007）。ID&認証管理サーバ2003は、本IDを付加したNEXT仮ID検索要求メッセージ（図4の検索要求に相当）をID管理DB2004に送信する（ステップS2008）。ID管理DB2004は他の端末の仮IDと競合しない仮IDをNEXT仮IDとして生成し、これに対応するハッシュ回数を仮IDハッシュ回数としてNEXT仮ID検索応答メッセージ（図5のステップS507～S509等に相当）に付加してID&認証管理サーバ2003に送信する（ステップS2009）。

40

【0156】

ID&認証管理サーバ2003は、自身が保持する認証用通信パラメータ1および認証用通信パラメータ2ならびに認証情報検索応答メッセージに付加されていた端末認証情報を用いて端末認証キーを生成し（ステップS2010）、生成された端末認証キーと端末認証要求メッセージに付加されていた端末認証キーとの照合を行う（ステップS2011）。次に、ID&認証管理サーバ2003は認証用通信パラメータ1、認証用通信パラメータ2、NW認証情報を用いてNW認証キーを生成し（ステップS2012）、仮ID、

50

本ID、NW認証キー、仮IDハッシュ回数を付加した端末認証応答メッセージを無線基地局2002へ送信する（ステップS2013）。

【0157】

無線基地局2002は端末認証応答メッセージに付加されている仮ID及び本IDと、無線端末2001から端末認証要求メッセージを受信した際に記憶しておいた仮ID及びMAC一端末IDとに基づいて、本IDとMAC一端末IDの対応関係を認識できる。そして、この後にメッセージ（例えば、端末認証完了メッセージ）を受信した場合、無線基地局2002は本IDとMAC一端末IDとの間の上記対応関係をもとにMAC一端末IDを本IDへ変換することができる。無線端末2001の移動によって当該無線端末2001の属する無線基地局が変更された場合などには、MAC一端末ID解放メッセージが送信されてMAC一端末IDが解放されるが、それまでの間は、無線区間ではMAC一端末IDで無線端末2001を識別でき、また、有線区間では本IDで無線端末2001を識別できるため、ネットワーク側で仮IDと本IDの変換をすることなくメッセージの授受が可能となる。

【0158】

次いで、無線基地局2002は、NW認証キー及び仮IDハッシュ回数を付加した端末認証応答メッセージを無線端末2001へ送信する（S2014）。無線端末2001は自身が保持する認証用通信パラメータ1、認証用通信パラメータ2、NW認証情報を用いてNW認証キーを生成し（ステップS2015）、生成されたNW認証キーと端末認証応答メッセージに付加されているNW認証キーとを照合する（ステップS2016）。この照合によってNW認証が成功した場合、無線端末2001は端末認証完了メッセージを無線基地局2002を経由してID&認証管理サーバ2003へ送信する（ステップS2017、S2018）。また、無線端末2001は端末認証応答メッセージに付加されている仮IDハッシュ回数を用いて仮IDを更新する（ステップS2019）。

【0159】

次に、図20は、ID&認証管理サーバ2003が無線端末2001に対して認証の開始を要求する場合について、システム全体の処理の流れを示したシーケンス図である。

【0160】

まず、ID&認証管理サーバ2003は、無線端末2001を送信先として指定した端末等（図示せず）からのデータ送信要求にตอบสนองし、このデータ送信要求に付加されている無線端末2001の本IDを付加した仮ID検索要求メッセージ（図7の仮ID検索に相当）をID管理DB2004に送信する（ステップS2101）。ID管理DB2004は受信した本IDに対応する仮IDを検索し、得られた仮IDを付加した仮ID検索応答メッセージ（図7の仮ID検索応答に相当）をID&認証管理サーバ2003に送信する（ステップS2102）。

【0161】

ID&認証管理サーバ2003は、送信された本IDを認証情報要求メッセージに付加して認証管理データベース2005に送信する（ステップS2103）。認証管理データベース2005は本IDに対応する端末認証情報およびNW認証情報を取得し、これらを認証情報検索応答メッセージに付加してID&認証管理サーバ2003に送信する（ステップS2104）。ID&認証管理サーバ2003は本IDを付加したNEXT仮ID検索要求メッセージをID管理DB2004に送信する（ステップS2105）。ID管理DB2004は他の端末の仮IDと競合しない仮IDをNEXT仮IDとして生成し、これに対応するハッシュ回数を仮IDハッシュ回数としてNEXT仮ID検索応答メッセージに付加し、ID&認証管理サーバ2003に送信する（ステップS2106）。ID&認証管理サーバ2003は、仮ID、本ID、NW認証情報、仮IDハッシュ回数を付加した端末認証要求メッセージを無線基地局2002に送信する（ステップS2107）。

【0162】

無線基地局2002は、自身が保持する認証用通信パラメータ1および認証用通信パラメータ2ならびに受信したNW認証情報とを用いてNW認証キーを生成し（ステップS2

108)、生成されたNW認証キー、仮ID、仮IDハッシュ回数を付加した端末認証要求メッセージを無線端末2001に送信する(ステップS2109)。なお、この場合、無線基地局2002はどのMAC-端末IDの無線端末へ端末認証要求メッセージを送信すれば良いのかが不明であるため、報知チャネルを用いてすべての無線端末へ端末認証要求メッセージを送信する。また、認証用通信パラメータとしては、MAC-端末IDや、MAC-端末ID割り当て処理時の乱数を利用できないため、これら以外の通信パラメータを用いるようにする。ただし、無線基地局から報知チャネルにて呼び出しメッセージで無線端末を呼び出し、MAC-端末IDを割り当てた後に、端末認証要求メッセージを無線端末へ送信する場合には、MAC-端末IDやMAC-端末ID割り当て時の乱数を利用できる。

【0163】

無線基地局2002からの端末認証要求メッセージを受けて、無線端末2001は自身が保持する認証用通信パラメータ1、認証用通信パラメータ2、NW認証情報を用いてNW認証キーを生成し(ステップS2110)、生成されたNW認証キーと端末認証要求メッセージに付加されているNW認証キーとの照合を行う(ステップS2111)。次に、無線端末2001は上述した認証用通信パラメータ1および認証用通信パラメータ2と自身が保持する端末認証情報とを用いて端末認証キーを生成し(ステップS2112)、自身の仮IDと生成した端末認証キーとを端末認証応答メッセージに付加して無線基地局2002へ送信する(ステップS2113)。無線基地局2002は、端末認証応答メッセージに付加された仮IDを本IDに変換し、本ID、端末認証キー、自身が保持する認証用通信パラメータ1および認証用通信パラメータ2を付加した端末認証応答メッセージをID&認証管理サーバ2003へ送信する(ステップS2114)。

【0164】

ID&認証管理サーバ2003は、受信した認証用通信パラメータ1および認証用通信パラメータ2ならびに先に取得しておいた端末認証情報を用いて端末認証キーを生成し(ステップS2115)、生成された端末認証キーと受信した端末認証応答メッセージに付加されている端末認証キーとの照合を行う(ステップS2116)。この照合によって端末認証が成功した場合、ID&認証管理サーバ2003は端末認証完了メッセージを無線基地局2002を経由して無線端末2001へ送信する(ステップS2117、S2118)。この端末認証完了メッセージを受けて、無線端末2001は端末認証要求メッセージに付加されていた仮IDハッシュ回数をを用いて仮IDを更新する(ステップS2119)。

【0165】

次に、図21は、仮ID初期化処理について、システム全体の処理の流れを示したシーケンス図である。基本的にシステム全体の流れは図19と同様であって、図19のステップS2008におけるNEXT仮ID検索要求メッセージの代わりに、本IDを付加した初期化用NEXT仮ID検索要求メッセージをID&認証管理サーバ2003からID管理DB2004へ送信する点(図21のステップS2008a)、図19のステップS2009におけるNEXT仮ID検索応答メッセージに代えて、仮IDハッシュ回数および仮ID初期ベクトルを付加した初期化用NEXT仮ID検索応答メッセージをID管理DB2004からID&認証管理サーバ2003へ送信する(図21のステップS2009a)点、ID&認証管理サーバ2003から無線基地局2002へ送信する端末認証応答メッセージに対して仮ID初期ベクトルをさらに付加する(図21のステップS2013a)点、無線基地局2002から無線端末2001へ送信する端末認証応答メッセージに対して仮ID初期ベクトルIVをさらに付加する(図21のステップS2014a)点、および、図8及び図9を参照して説明した仮ID初期化に関連する処理を行う点(無線端末2001が仮ID初期化処理用の専用仮IDを指定する点、ID&認証管理サーバ2003が仮ID初期ベクトルを生成して初期化されたハッシュ種、仮ID、仮IDハッシュ回数を算出する点、仮IDハッシュ回数及び仮ID初期ベクトルをID&認証管理サーバ2003から無線端末2001へ送信して、無線端末2001においても初期化処理を行

10

20

30

40

50

う等)が相違している。

【0166】

なお、上述した各実施形態における無線端末、無線基地局、ID管理サーバ、認証管理サーバ、ID&認証管理サーバがそれらの内部にコンピュータシステムを備えるように構成しても良い。この場合において、これら無線端末、無線基地局、ID管理サーバ、認証管理サーバ、ID&認証管理サーバの各部の動作過程をプログラムの形式でコンピュータ読み取り可能な記録媒体に記憶し、このプログラムをコンピュータシステムが読み出して実行することにより、上述した各処理を実現するようにしても良い。

【0167】

ここで言うコンピュータシステムとは、CPU (Central Processing Unit)、各種メモリ、周辺機器等のハードウェアやOS (Operating System)を含むものである。また、WWW (World Wide Web) システムを利用している場合であれば、コンピュータシステムはホームページ提供環境あるいは表示環境も含む。

【0168】

また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、フラッシュメモリ等の書き込み可能な不揮発性メモリ、CD (Compact Disc) - ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置を指す。また、「コンピュータ読み取り可能な記録媒体」は、インターネット等のネットワークや電話回線等の通信回線を介してプログラムが送信された場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリ (例えばDRAM (Dynamic Random Access Memory)) のように、一定時間プログラムを保持しているものも含む。

【0169】

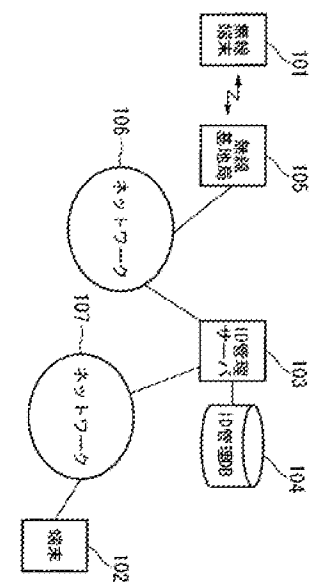
また、上述したプログラムは、当該プログラムを記憶装置等に格納したコンピュータシステムから、伝送媒体を介して、あるいは、伝送媒体中の伝送波により他のコンピュータシステムに伝送されてもよい。ここで言う「伝送媒体」は、インターネット等のネットワークや電話回線等の通信回線のように情報を伝送する機能を有する媒体のことを指す。また、上記プログラムは、前述した機能の一部を実現するためのものであっても良く、さらには前述した機能をコンピュータシステムに既に記録されているプログラムとの組合せで実現できるもの、いわゆる差分プログラムであっても良い。

【産業上の利用可能性】

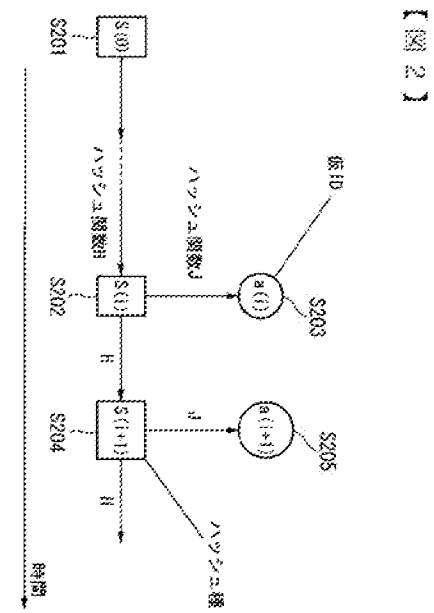
【0170】

本発明は、プライバシーの保護が要求される無線端末に用いるのに好適である。また、本発明は、無線端末とサーバとの間の認証方法に用いて好適である。

【図1】

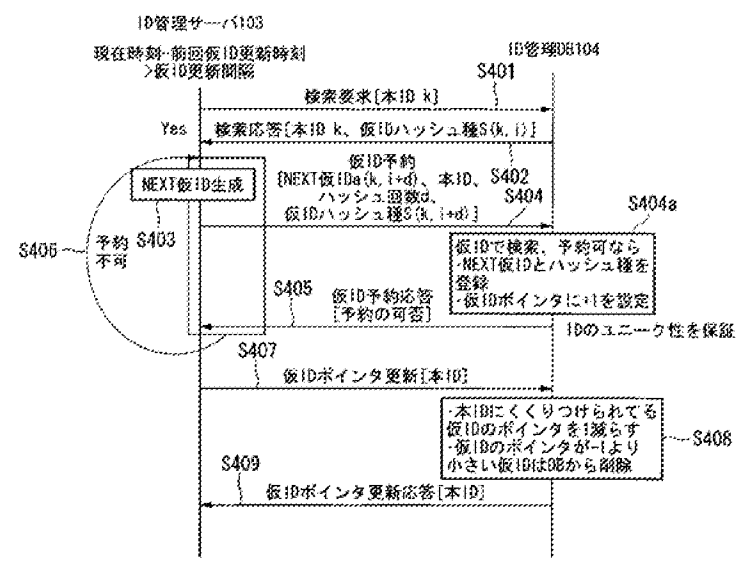


【図3】

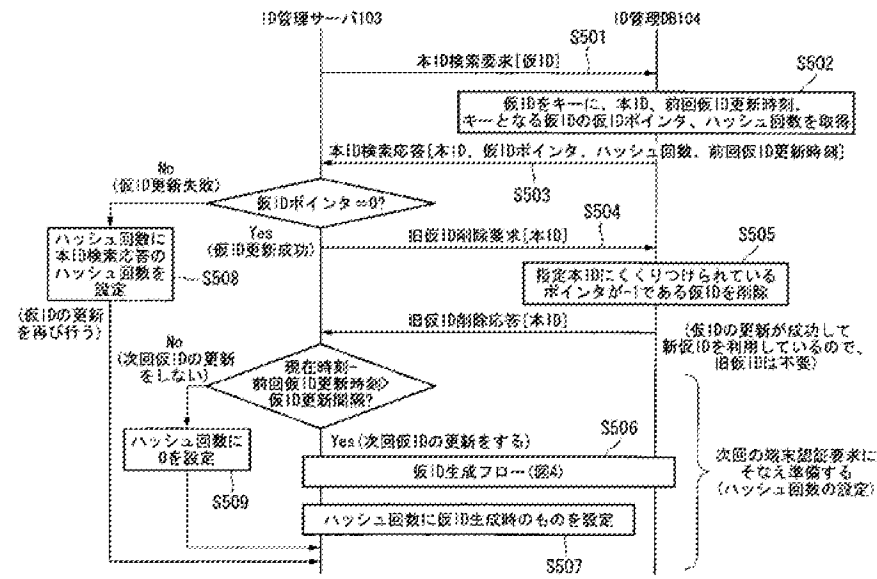


【図2】

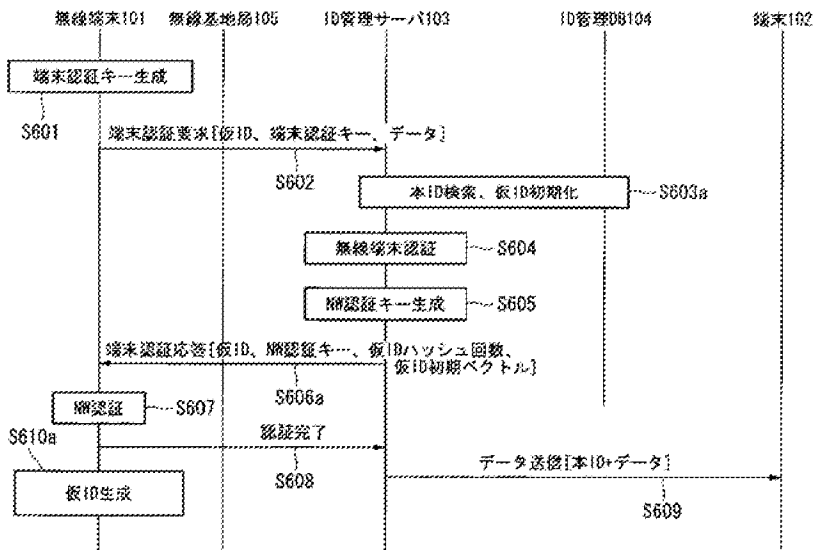
【図4】



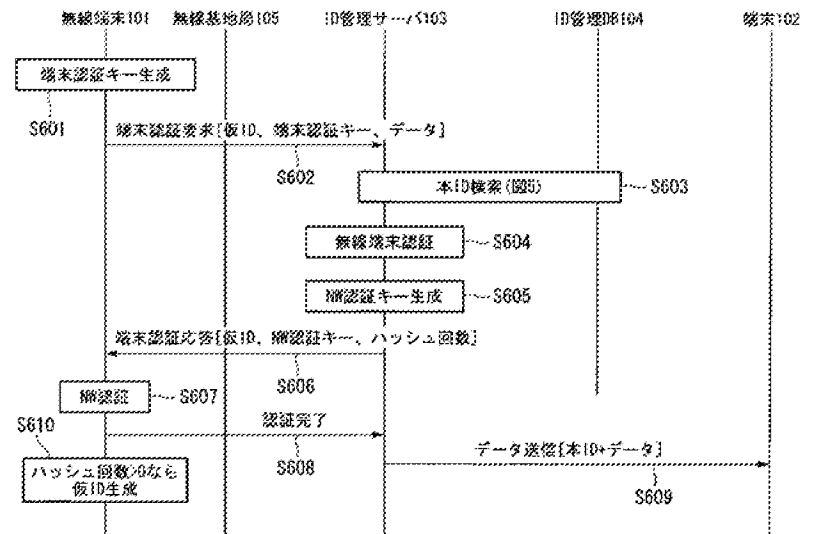
【図5】



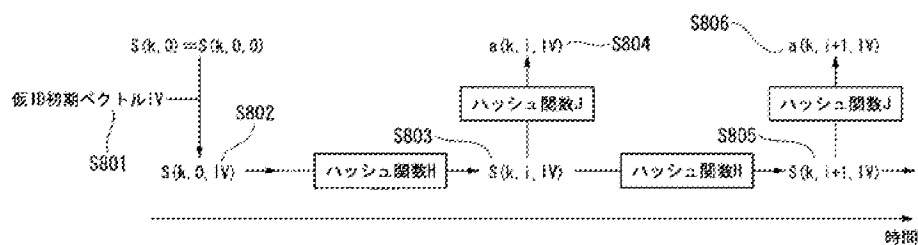
本ID	仮ID	仮ID ポインタ	ハッシュ 回数	仮ID	仮ID ポインタ	ハッシュ 回数	仮ID 更新時刻	ハッシュ 種	初期 ハッシュ種	初期化用 仮ID
0001	35A039	-1	3	298715	0	3	2005.09.27.18:34	275BD3	275BD3	8F047D
0002	8B708E	0	2				2005.09.27.7:05	75A031	465B33	37A296
0003	4C9125	0	1				2005.09.27.12:06	8D9B3E	5495C0	839C73



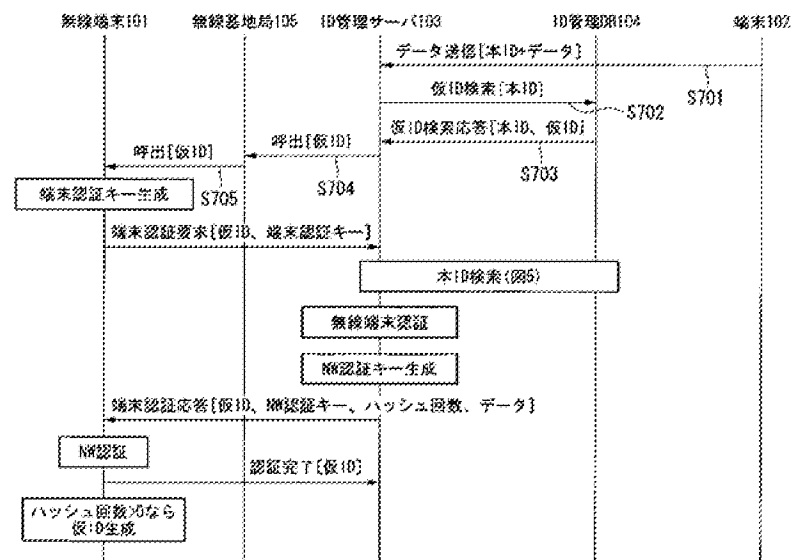
【図8】



【図6】

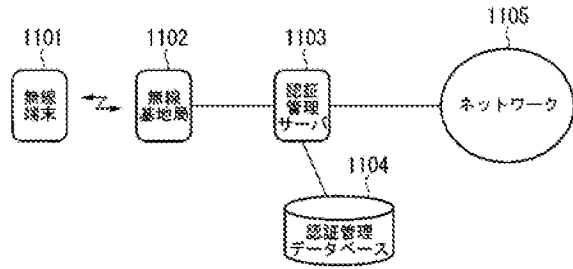


【図9】

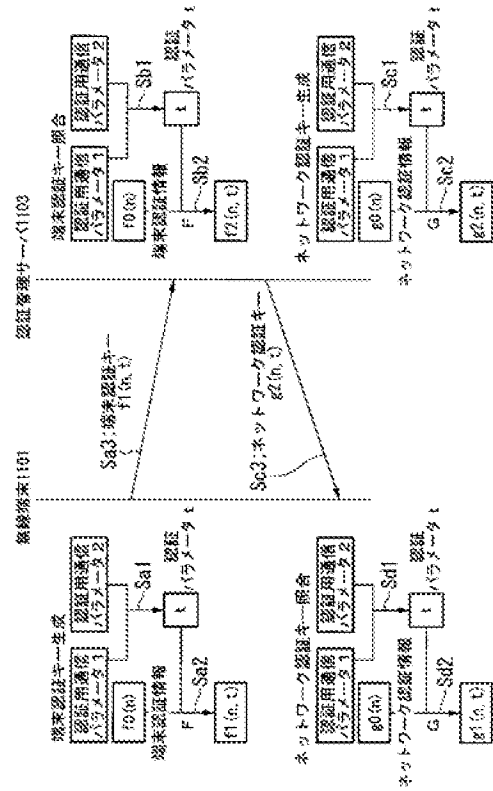


【図7】

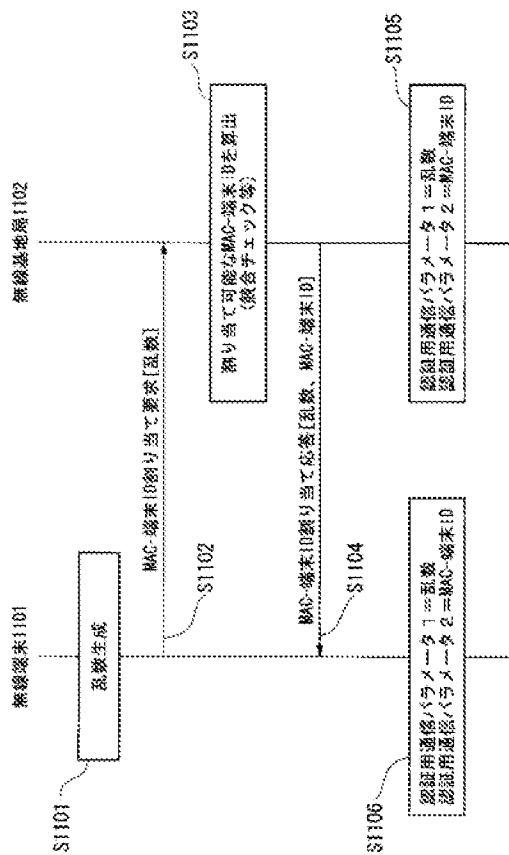
【 10 】



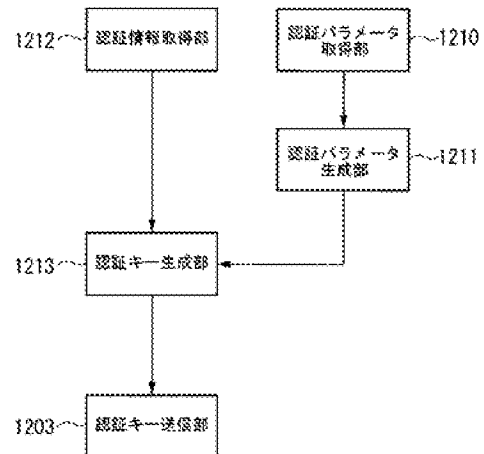
[X]



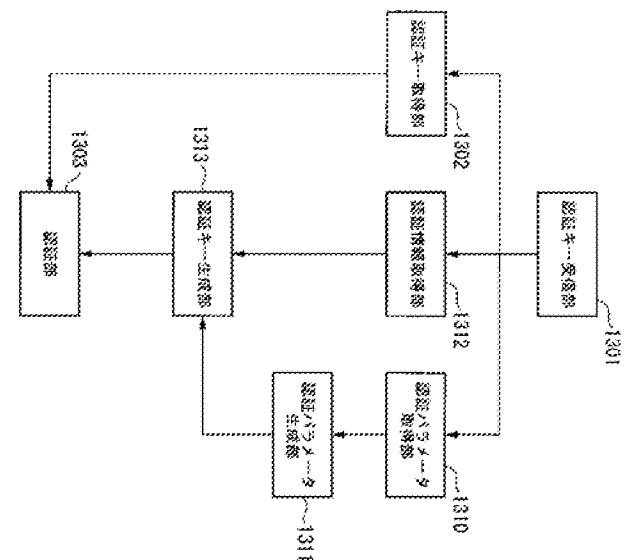
【例 12】



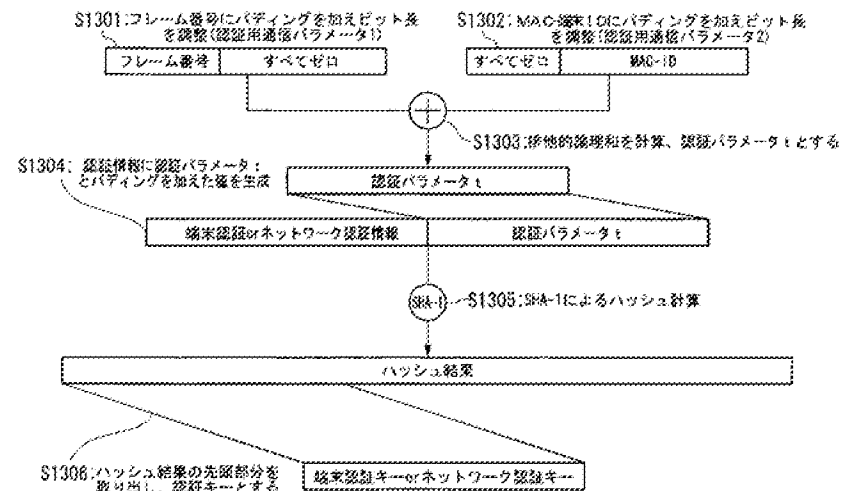
【例 13】



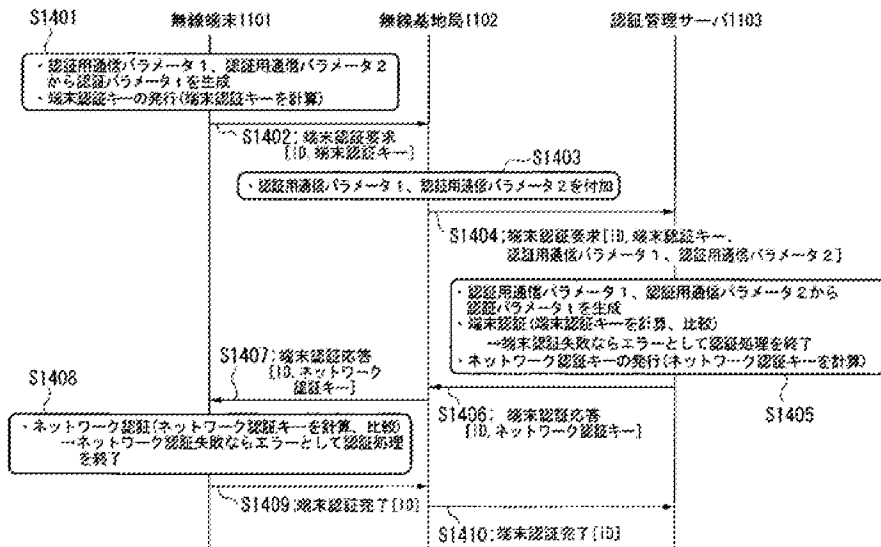
【図14】



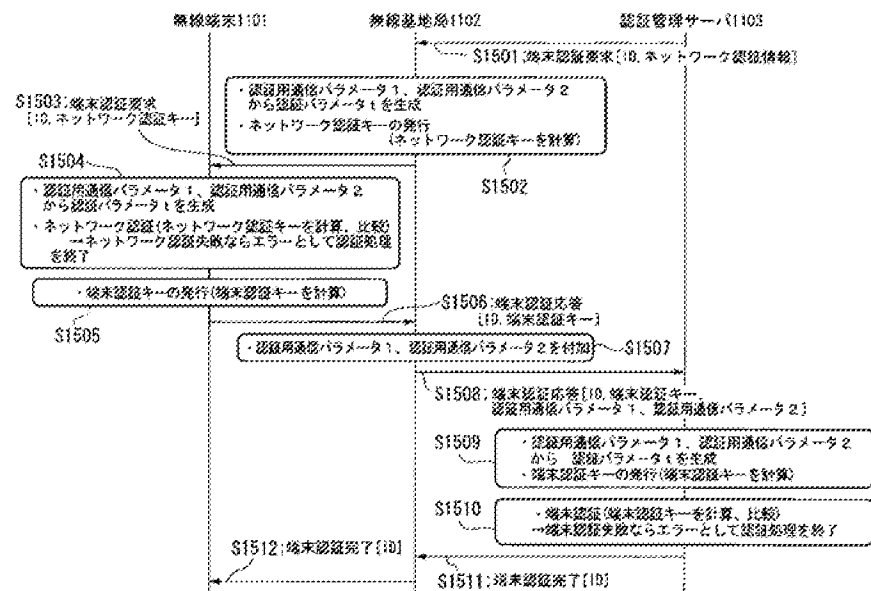
【図15】

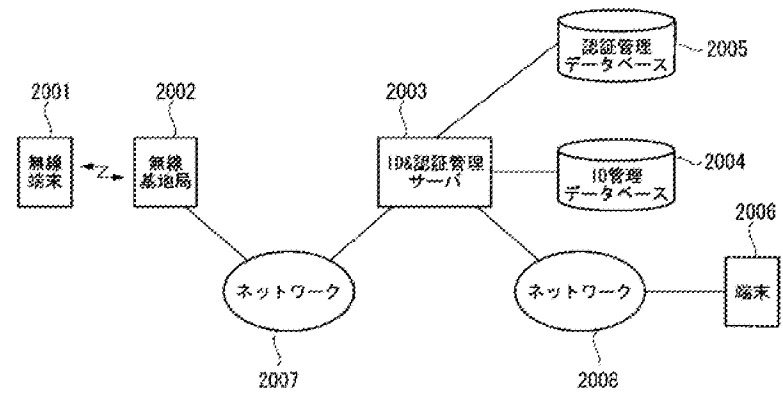
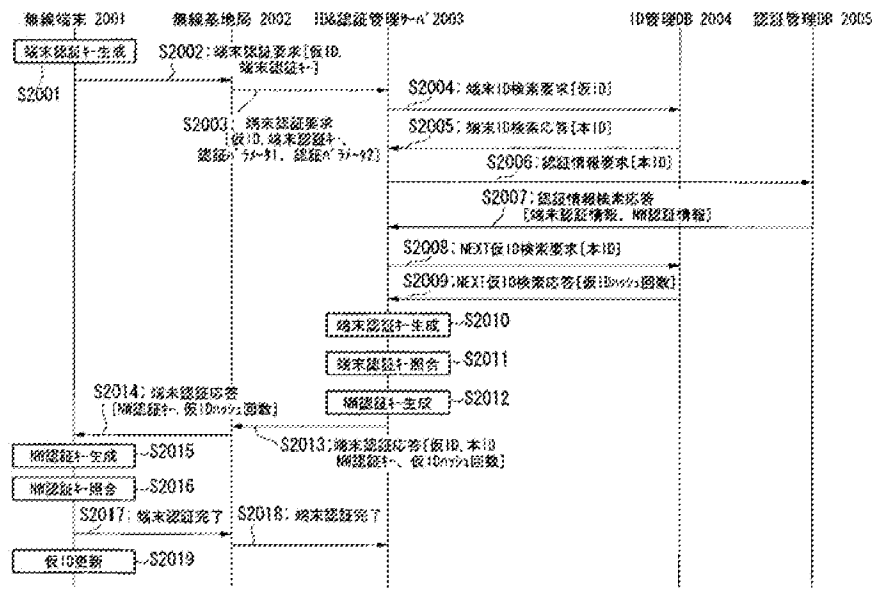
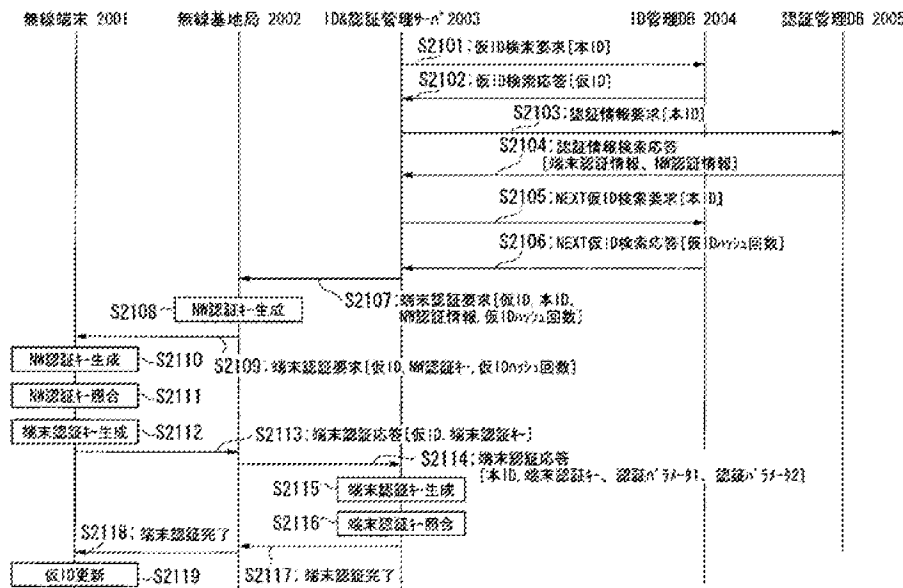
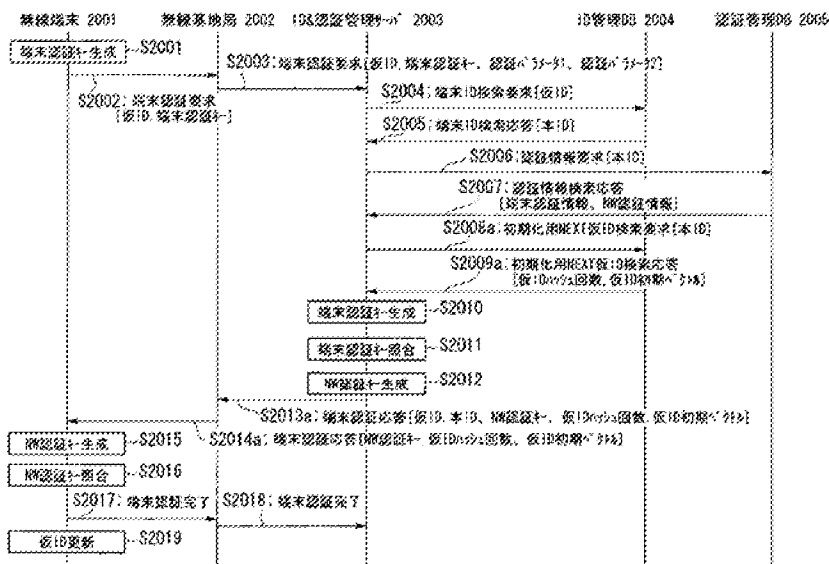


【図16】



【図17】





【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/325258

A. CLASSIFICATION OF SUBJECT MATTER

G06F21/20(2006.01)1, G06F21/24(2006.01)1, G06K17/00(2006.01)1, G06K19/07(2006.01)1, G06K19/10(2006.01)1, H04L9/32(2006.01)1, H04L12/28(2006.01)1

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F21/20, G06F21/24, G06K17/00, G06K19/07, G06K19/10, H04L9/32, H04L12/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Miyako OKUBO, Kotaro SUZUKI, Shingo KINOSHITA, "Forward-Secure PFID Privacy Protection for Low-cost RFID", Computer Security Symposium 2003 Ronbunshu, Shadan Hojin Information Processing Society of Japan, 29 October, 2003 (29.10.03), pages 491 to 496	1-19, 34
A	Shingo KINOSHITA, Bungaku HOSHINO, Tomoyuki KOMURO, Akiko FUJIMURA, Miyako OKUBO, "RFID Privacy Hogo o Jitsugen suru Kahen Hitoku ID Hoshiki", Computer Security Symposium 2003 Ronbunshu, Shadan Hojin Information Processing Society of Japan, 29 October, 2003 (29.10.03), pages 497 to 502	1-19, 34

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search
22 February, 2007 (22.02.07)Date of mailing of the international search report
06 March, 2007 (06.03.07)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Eggsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/325258

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/031579 A1 (Nippon Telegraph And Telephone Corp.), 07 April, 2005 (07.04.05), All pages; all drawings & US 2006/80732 A1 & EP 1669877 A1	1-19, 34
A	JP 2005-339238 A (Nippon Telegraph And Telephone Corp.), 08 December, 2005 (08.12.05), All pages; all drawings (Family: none)	1-19, 34
X A	JP 2004-274429 A (Sony Corp.), 30 September, 2004 (30.09.04), All pages; all drawings; particularly, Par. Nos. [0017], [0018] & WO 2004/082205 A1 & US 2006/168253 A1 & EP 1603269 A1	20 21-34
A	"Applied Cryptography, Second Edition", Bruce Schneier, John Wiley & Sons, Inc., 1996, pp. 52-56, 429-459	20-34
A	JP 2005-137011 A (Microsoft Corp.), 26 May, 2005 (26.05.05), All pages; all drawings & US 2005/97325 A1 & US 2005/182935 A1 & US 2005/289082 A1 & EP 1528707 A2	20-34
A	JP 2003-110628 A (NEC Corp.), 11 April, 2003 (11.04.03), All pages; all drawings; particularly, Par. No. [0037] (Family: none)	20-34

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/325258

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-19 and 34 relate to a technical feature for holding an initial value and a Hash function common to a server and a terminal and calculating a temporary ID of the terminal according to a common parameter by using the initial value and the Hash function.

The inventions of claims 20-34 relate to a technical feature for holding a Hash function and authentication information common to a server and a terminal and performing authentication between the server and the terminal according to a common parameter by using the initial value and the Hash function.

(Continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

Form PCT/ISA/210 (continuation of first sheet (2)) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/325258

Continuation of Box No.III of continuation of first sheet(3)

These two groups of inventions are not so linked as to form a single general inventive concept.

It should be noted that claim 34 alternatively cites description of claims belonging to different groups of inventions and belongs to both groups of inventions.

国際調査報告

国際出願番号 PCT/J P 2006/325258

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT規則(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-19及び34に係る発明は、サーバと端末において共通する初期値及びハッシュ関数を保持し、共通のパラメータに基づいて前記初期値及び前記ハッシュ関数を用いて前記端末の仮IDを算出することに関するものである。

請求の範囲20-34に係る発明は、サーバと端末において共通するハッシュ関数と認証情報を保持し、共通のパラメータに基づいて前記ハッシュ関数及び前記認証情報を用いて前記サーバと前記端末間の認証を行うことに関するものである。

これら2つの発明群が、単一の一般的発明概念を形成するように連関している一群の発明であるとは認められない。

なお、請求の範囲34は、異なる発明群に関する請求の範囲の記載を根拠的に引用するものであるため、両方の発明群に属すると認められる。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付を伴う異議申立てがなかった。

様式PCT/ISA/210 (第1ページの続表(3)) (2005年4月)

国際調査報告		国際出願番号 PCT/JP2006/325258	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G06F21/20(2006.01)1, G06F21/24(2006.01)1, G06R17/00(2006.01)1, G06R19/07(2006.01)1, G06K19/10(2006.01)1, H04L9/32(2006.01)1, H04L12/28(2006.01)1			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G06F21/20, G06F21/24, G06R17/00, G06R19/07, G06R19/10, H04L9/32, H04L12/28			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使った電子データベース (データベースの名称、調査に使用した用部)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名、及び一部の箇所に要約するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	大久保 美也子, 鈴木 幸太郎, 木下 真吾, "Forward-Secure RFID Privacy Protection for Low-cost RFID", コンピュータセキュリティシンポジウム 2003 論文集, 社団法人情報処理学会, 2003. 10. 29, pp. 491-496	1-19, 34	
A	木下 真吾, 星野 文学, 小室 智之, 藤村 明子, 大久保 美也子, "RFID プライバシー保護を実現する可変秘匿 ID 方式", コンピュータセキュリティシンポジウム 2003 論文集, 社団法人情報処理学会, 2003. 10. 29, pp. 497-502	1-19, 34	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって目明である組合せによって進歩性がないと考えられるもの 「R」同一パテントファミリー文献	
国際調査を完了した日 22. 02. 2007		国際調査報告の発送日 06. 03. 2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 8 号		特許庁審査官 (検査のある職員) 高橋 点 電話番号 03-3581-1101 内線 3546	55 3044

様式 PCT/ISA/210 (第 2 ページ) (2006 年 4 月)

国際調査報告

国際出願番号 PCT/JP2006/325258

C (続き) 関連すると認められる文献		
引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 2005/031579 A1 (日本電信電話株式会社) 2005.04.07, 全頁, 全図 & US 2006/80732 A1 & EP 1669877 A1	1-19, 34
A	JP 2005-339238 A (日本電信電話株式会社) 2005.12.08, 全頁, 全図 (ファミリーなし)	1-19, 34
X	JP 2004-274429 A (ソニー株式会社) 2004.09.30, 全頁, 全図, 特に【0017】及び【0018】段落	20
A	& WO 2004/082205 A1 & US 2006/168253 A1 & EP 1603269 A1	21-34
A	"Applied Cryptography, Second Edition", Bruce Schneier, John Wiley & Sons, Inc., 1996, pp. 52-56, 429-459	20-34
A	JP 2005-137011 A (マイクロソフト コーポレーション) 2005.05.26, 全頁, 全図 & US 2005/97325 A1 & US 2005/182935 A1 & US 2005/289082 A1 & EP 1528707 A2	20-34
A	JP 2003-110628 A (日本電気株式会社) 2003.04.11, 全頁, 全図, 特に【0037】段落 (ファミリーなし)	20-34

様式 PCT/ISA/210 (第2ページの続き) (2005年4月)

 フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TC), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 齋藤 洋

東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

Fターム(参考) 5B285 AA01 AA04 BA10 CA41 CB42 CE53 CB58 CB72 DA10

5J104 AA07 AA16 EA03 EA15 EA16 JA01 KA01 KA03 KA21 NA05

NA12 NA38

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

Electronic Patent Application Fee Transmittal

Application Number:

Filing Date:

Title of Invention:

SEMICONDUCTOR DEVICE

First Named Inventor/Applicant Name:

Yoshihiro TAKAISHI

Filer:

Eric Jensen/Yolanda Reynolds

Attorney Docket Number:

8040-1178

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Utility application filing	1011	1	390	390
Utility Search Fee	1111	1	620	620
Utility Examination Fee	1311	1	250	250

Pages:

Claims:

Miscellaneous-Filing:

Petition:

Patent-Appeals-and-Interference:

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				1260

Electronic Acknowledgement Receipt

EFS ID:	14513026
Application Number:	13722125
International Application Number:	
Confirmation Number:	4586
Title of Invention:	SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Yoshihiro TAKAISHI
Customer Number:	466
Filer:	Eric Jensen/Yolanda Reynolds
Filer Authorized By:	Eric Jensen
Attorney Docket Number:	8040-1178
Receipt Date:	20-DEC-2012
Filing Date:	
Time Stamp:	16:05:01
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$ 1260
RAM confirmation Number	3823
Deposit Account	250120
Authorized User	REYNOLDS, YOLANDA

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination process fees)

Western Digital Exhibit 1006

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Abstract	ABSTRACT.pdf	17607	no	1
			17b5ea07e6e9eb2d126ecd40a8a8615e07e01a15		
Warnings:					
Information:					
2	Application Data Sheet	ADS.pdf	1882181	no	6
			3ee7b4fda3d9a19535b0bb55d126bfab19a9c463		
Warnings:					
Information:					
3	Claims	CLM.pdf	38365	no	5
			7a85346d45a966a7f257c080c5fb1af6acc87035		
Warnings:					
Information:					
4	Oath or Declaration filed	DEC.pdf	459508	no	2
			99b05cbf2a8b98eba25743387a84383af1d0a332		
Warnings:					
Information:					
5	Drawings-only black and white line drawings	DWGS.pdf	421838	no	10
			ffe611ef916bb8b3b13e8622f0eb33d7361a61e7		
Warnings:					
Information:					
6	Information Disclosure Statement (IDS) Form (SB08)	IDS.pdf	612971	no	5
			bdf63484a4d9ab44b2b3d34ec4e0626ff3cef2e0		
Warnings:					
Information:					
7	Foreign Reference	JP2006-081184.pdf	9227546	no	13
			2a78168a9f7784f5b099392ecd05c94de4aff691		
Warnings:					
Information:					
8	Foreign Reference	JP2007-089156.pdf	9956714	no	11
			267c1b7bb86aab7b69e29c6614106576bcecb619		
Warnings:					
Information:					

9	Foreign Reference	JP2008-257340.pdf	18581426	no	22
			b58483eb479d966e741acb3e3bee50ba5165550b		
Warnings:					
Information:					
10	Foreign Reference	JP2008-543137.pdf	20870764	no	25
			fd04f1711dc37eaa60c2d729b57749c0670a5f5		
Warnings:					
Information:					
11	Foreign Reference	JP2009-081389.pdf	19718485	no	19
			f48ea240beae4ed5da789a56a127350b7d18a931		
Warnings:					
Information:					
12	Specification	SPEC.pdf	149651	no	30
			ad779905133baeced505c7a3c5754706d8f8f75b		
Warnings:					
Information:					
13	Transmittal of New Application	TR-APP.pdf	41383	no	1
			04784ea9147b72278c9f6469f0a17cf7902a0f16		
Warnings:					
Information:					
14	Foreign Reference	WO2007-072814.pdf	17455323	no	56
			de902e34ccfe8afe9b37baf02b9f81d2ed46cdaf		
Warnings:					
Information:					
15	Fee Worksheet (SB06)	fee-info.pdf	33011	no	2
			1f4ccee14bb22199988215b6f6a8c520d4e71352		
Warnings:					
Information:					
Total Files Size (in bytes):			99466773		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

ABSTRACT

A semiconductor device 100 includes a plurality of vertical transistors 50 provided to stand from a silicon substrate 1 and having a pillar lower diffusion layer 9 at their end portions on the silicon substrate 1 side, a metal contact plug 31 provided to stand from the silicon substrate 1 and connected to the pillar lower diffusion layer 9 of the plurality of vertical transistors 50, the plurality of vertical transistors 50 are uniformly arranged around the metal contact plug 31 and share the pillar lower diffusion layer 9 and the metal contact plug 31.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		
<p>The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.</p> <p>This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.</p>			

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)
--

Inventor Information:

Inventor 1					Remove
Legal Name					
Prefix	Given Name	Middle Name	Family Name	Suffix	
	Yoshihiro		TAKAISHI		
Residence Information (Select One) ☐ US Residency ☒ Non US Residency ☐ Active US Military Service					
City	Tokyo	Country of Residence	JP		
Mailing Address of Inventor:					
Address 1		c/o Elpida Memory, Inc.			
Address 2		2-1, Yaesu 2-chome, Chuo-ku			
City	Tokyo	State/Province			
Postal Code		Country	JP		
All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the Add button.					
Add					

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below. For further information see 37 CFR 1.33(a).			
☐ An Address is being provided for the correspondence information of this application.			
Customer Number	00466		
Email Address	embon@young-thompson.com	Add Email	Remove Email

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		

Application Information:

Title of the Invention	SEMICONDUCTOR DEVICE		
Attorney Docket Number	8040-1178	Small Entity Status Claimed	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Suggested Class (if any)		Sub Class (if any)	
Suggested Technology Center (if any)			
Total Number of Drawing Sheets (if any)	10	Suggested Figure for Publication (if any)	

Publication Information:

☐	Request Early Publication (Fee required at time of Request 37 CFR 1.219)
☐	Request Not to Publish. I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application has not and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32). Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.			
<div> <div>Please Select One:</div> <div> ☒ Customer Number ☐ US Patent Practitioner ☐ Limited Recognition (37 CFR 11.9) </div> </div>			
Customer Number	00466		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c) or indicate National Stage entry from a PCT application. Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.			
Prior Application Status		<div>Remove</div>	
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)
Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the Add button.			<div>Add</div>

Foreign Priority Information:

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		

This section allows for the applicant to claim benefit of foreign priority and to identify any prior foreign application for which priority is not claimed. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(a).

			Remove
Application Number	Country ⁱ	Filing Date (YYYY-MM-DD)	Priority Claimed
2011-285544	JP	2011-12-27	☒ Yes ☐ No
Additional Foreign Priority Data may be generated within this form by selecting the Add button.			Add

Authorization to Permit Access:

☐ Authorization to Permit Access to the Instant Application by the Participating Offices
<p>If checked, the undersigned hereby grants the USPTO authority to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the World Intellectual Property Office (WIPO), and any other intellectual property offices in which a foreign application claiming priority to the instant patent application is filed access to the instant patent application. See 37 CFR 1.14(c) and (h). This box should not be checked if the applicant does not wish the EPO, JPO, KIPO, WIPO, or other intellectual property office in which a foreign application claiming priority to the instant patent application is filed to have access to the instant patent application.</p> <p>In accordance with 37 CFR 1.14(h)(3), access will be provided to a copy of the instant patent application with respect to: 1) the instant patent application-as-filed; 2) any foreign application to which the instant patent application claims priority under 35 U.S.C. 119(a)-(d) if a copy of the foreign application that satisfies the certified copy requirement of 37 CFR 1.55 has been filed in the instant patent application; and 3) any U.S. application-as-filed from which benefit is sought in the instant patent application.</p> <p>In accordance with 37 CFR 1.14(c), access may be provided to information concerning the date of filing this Authorization.</p>

Applicant Information:

<p>Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.</p>
--

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		

Applicant 1

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Remove

☒ Assignee	☐ Legal Representative under 35 U.S.C. 117
☐ Person to whom the inventor is obligated to assign.	☐ Person who shows sufficient proprietary interest

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor :

If the Assignee is an Organization check here. ☒

Organization Name

Elpida Memory, Inc.

Mailing Address Information:

Address 1	2-1, Yaesu 2-chome		
Address 2	Chuo-ku		
City	Tokyo	State/Province	
Country ⁱ	JP	Postal Code	
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button.

Add

Signature:

Remove

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications

Signature	/Eric Jensen/		Date (YYYY-MM-DD)	2012-12-19
First Name	Eric	Last Name	Jensen	Registration Number
			37855	

Additional Signature may be generated within this form by selecting the Add button.

Add

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	8040-1178
		Application Number	
Title of Invention	SEMICONDUCTOR DEVICE		

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

What is claimed is:

1. A semiconductor device comprising:
a plurality of vertical transistors provided to stand from a semiconductor
5 substrate and comprising a diffusion layer at their end portions on the
semiconductor substrate side; and
a conductive plug provided to stand from the semiconductor substrate
and connected to the diffusion layer of the plurality of vertical transistors,
wherein the plurality of vertical transistors are uniformly arranged near
10 the conductive plug and share the diffusion layer and the conductive plug.
2. The semiconductor device according to claim 1, wherein
each vertical transistor comprises:
a semiconductor pillar provided to stand from the semiconductor
15 substrate and forming a channel;
a gate insulating film and a gate electrode provided over a side surface
of the semiconductor pillar;
an upper diffusion layer provided at an upper end of the semiconductor
pillar and serving as one of a source and a drain; and
20 a lower diffusion layer provided at a lower end of the semiconductor
pillar and serving as the other of the source and the drain,
the conductive plug is a lower diffusion layer side contact plug
connected to the lower diffusion layer,
the plurality of vertical transistors share the lower diffusion layer and the
25 lower diffusion layer side contact plug, and
the semiconductor pillars are uniformly arranged near the lower
diffusion layer side contact plug.

3. The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

5 4. The semiconductor device according to claim 2, wherein, in plan view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the lower diffusion layer side contact plug is twice or less a distance between the lower diffusion layer side contact plug and the semiconductor pillar closest to the lower diffusion layer side contact plug.

10

5. The semiconductor device according to claim 2, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug in a $\sqcap$ -shape in plan view.

15 6. The semiconductor device according to claim 5, wherein a plurality of lower diffusion layer side contact plugs are provided, the semiconductor pillars are arranged in a shape combining a plurality of $\sqcap$ -shapes in plan view, and
the lower diffusion layer side contact plugs are arranged so as to be
20 respectively surrounded by the $\sqcap$ -shapes.

7. The semiconductor device according to claim 6, wherein the semiconductor pillars are arranged in a shape combining two $\sqcap$ -shapes in plan view, and
25 the lower diffusion layer side contact plugs are arranged so as to be respectively surrounded by the two $\sqcap$ -shapes.

8. The semiconductor device according to claim 2, wherein the gate

electrodes provided over the side surfaces of the semiconductor pillars are connected to each other between the adjacent semiconductor pillars, thereby forming a single gate electrode shared by the semiconductor pillars.

5 9. The semiconductor device according to claim 8, further comprising a dummy pillar provided to stand from the semiconductor substrate and comprising over its side surface a power feed gate electrode connected to the gate electrodes of the plurality of vertical transistors.

10 10. The semiconductor device according to claim 9, further comprising an active region in which the semiconductor pillars are arranged and an element isolation region surrounding the active region, wherein the dummy pillar is disposed at a position lying over the active region and the element isolation region and comprises the power feed gate electrode over its side surface and
15 the power feed gate electrode is connected to the gate electrode between the dummy pillar and the semiconductor pillar closest to the dummy pillar.

 11. The semiconductor device according to claim 10, wherein the dummy pillar comprises a first dummy pillar standing in the active region and a
20 second dummy pillar standing in the element isolation region and is an integrated pillar in which one side surface of the first dummy pillar and one side surface of the second dummy pillar are in contact with each other.

 12. The semiconductor device according to claim 11, wherein another
25 side surface, located on an opposite side of the one side surface, of the first dummy pillar faces the side surface of the semiconductor pillar closest to the dummy pillar.

13. The semiconductor device according to claim 2, wherein the upper diffusion layers are connected to each other so that the plurality of vertical transistors are connected in parallel to each other.

5 14. The semiconductor device according to claim 2, wherein each semiconductor pillar has a thickness which allows full depletion.

15 15. A semiconductor device comprising:
a semiconductor pillar provided to stand from a semiconductor
10 substrate and forming a channel;
a gate insulating film and a gate electrode provided over a side surface of the semiconductor pillar;
an upper diffusion layer provided at an upper end of the semiconductor pillar and serving as one of a source and a drain;
15 a lower diffusion layer provided at a lower end of the semiconductor pillar and serving as the other of the source and the drain; and
a lower diffusion layer side contact plug connected to the lower diffusion layer,
the semiconductor pillars share the lower diffusion layer and the lower
20 diffusion layer side contact plug, and
the semiconductor pillars are uniformly arranged near the lower diffusion layer side contact plug.

25 16. The semiconductor device according to claim 15, wherein the semiconductor pillars are uniformly arranged so as to surround the lower diffusion layer side contact plug.

17. The semiconductor device according to claim 16, wherein, in plan

view, a distance between the lower diffusion layer side contact plug and the semiconductor pillar farthest from the conductive plug is twice or less a distance between the conductive plug and the semiconductor pillar closest to the conductive plug.

5

18. A semiconductor device comprising:

a semiconductor substrate comprising an active region on its surface;

a plurality of vertical transistors provided in the active region so as to stand from the semiconductor substrate and comprising a lower diffusion layer at their end portions on the semiconductor substrate side and upper diffusion layers at their other end portions; and

a conductive plug provided to stand from the semiconductor substrate and connected to the lower diffusion layer of the plurality of vertical transistors, wherein the plurality of vertical transistors are uniformly arranged near the conductive plug and share the upper diffusion layers and the lower diffusion layer so as to be connected in parallel to each other.

19. The semiconductor device according to claim 18, wherein the plurality of vertical transistors are uniformly arranged so as to surround the conductive plug.

20. The semiconductor device according to claim 18, wherein, in plan view, a distance between the conductive plug and the vertical transistor farthest from the conductive plug is twice or less a distance between the conductive plug and the vertical transistor closest to the conductive plug.

ASSIGNMENT AND INVENTOR'S DECLARATION

WHEREAS I/we, the undersigned inventor(s), hereafter also referred to as "assignor(s)", have invented certain new and useful improvements described in the application identified below; and

WHEREAS, Elpida Memory, Inc., hereinafter referred to as "assignee(s)", whose address is 2-1, Yaesu 2-chome, Chuo-ku, Tokyo, Japan, is desirous of acquiring the entire right, title and interest in and to the application and invention, and to any United States patents to be obtained therefor;

NOW, THEREFORE, for valuable consideration, the receipt and sufficiency of which is hereby acknowledged, I/we, the above-named assignor(s), hereby sell, assign and transfer to the above named assignee(s), its successors and assigns, the entire right, title and interest in the application and the invention disclosed therein for the United States of America, including all divisions, and continuations thereof, and all Letters Patent of the United States that may be granted thereon, and all reissues thereof, including any right to bring or maintain an action for infringement under the provisional rights granted pursuant to Title 35, Section 154 of the United States Code or any other cause of action for acts which would constitute infringement occurring prior to this assignment, and including the right to claim priority under the International Convention of Paris (1883), as amended, of or in any corresponding foreign patent application, and I/we request the Director of the U.S. Patent and Trademark Office to issue any Letters Patent granted upon the invention set forth in the application to the assignee(s), its successors and assigns.

As a below named inventor, I hereby declare that:

This assignment and declaration ☒ The attached application, or
is directed to:

☐ United States Application or PCT International Application Number _____
filed on _____ (Confirmation No. _____).

The application is entitled: SEMICONDUCTOR DEVICE

The above-identified application was made or was authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this assignment with declaration is punishable under 18 USC 1001 by fine or imprisonment of not more than five (5) years, or both.

Given Name(s)	Yoshihiro	Family Name/Surname	TAKAISHI
Inventor's signature	<i>Yoshihiro Takaishi</i>		Date December 10, 2012
Given Name(s)	Family Name/Surname		
Inventor's signature			Date
Given Name(s)	Family Name/Surname		
Inventor's signature			Date
Given Name(s)	Family Name/Surname		
Inventor's signature			Date

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the application identified in the attached transmittal letter.

I hereby appoint Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A or equivalent):

Customer Number

00466

I furthermore authorize Young & Thompson and Practitioner(s) associated with Customer Number 00466 to attach a photocopy of this form to a form PTO/AIA/82A or equivalent that references an application in which Practitioner(s) associated with Customer Number 00466 have been granted Power of Attorney as described herein.

I furthermore authorize Young & Thompson and Practitioner(s) associated with Customer Number 00466 to accept and follow instructions from as to any action to be taken in the U.S. Patent & Trademark Office regarding this application without direct communication between Young & Thompson or Practitioner(s) associated with Customer Number 00466 and the Applicant herein named. In the event of a change in the persons from whom instructions may be taken, Young & Thompson and Practitioner(s) associated with Customer Number 00466 will be so notified by the Applicant named herein.

Please recognize or change the correspondence address for the above-identified patent to:

c/o YOUNG & THOMPSON
209 Madison Street, Suite 500
Alexandria, VA 22314

Customer Number

00466

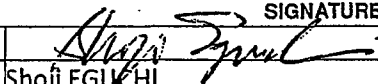
Address all telephone calls to Young & Thompson at 703-521-2297. Facsimile: 703-685-0573.

I am the Applicant:

- ☐ Inventor or Joint Inventor
☐ Legal Representative of a Deceased or Legally Incapacitated Inventor
☒ Assignee or Person to Whom the Inventor is Under an Obligation to Assign
☐ Person Who Otherwise Shows Sufficient *Proprietary* Interest (e.g., a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document)

SIGNATURE of Applicant for Patent

Signature



Date

October 26, 2012

Name

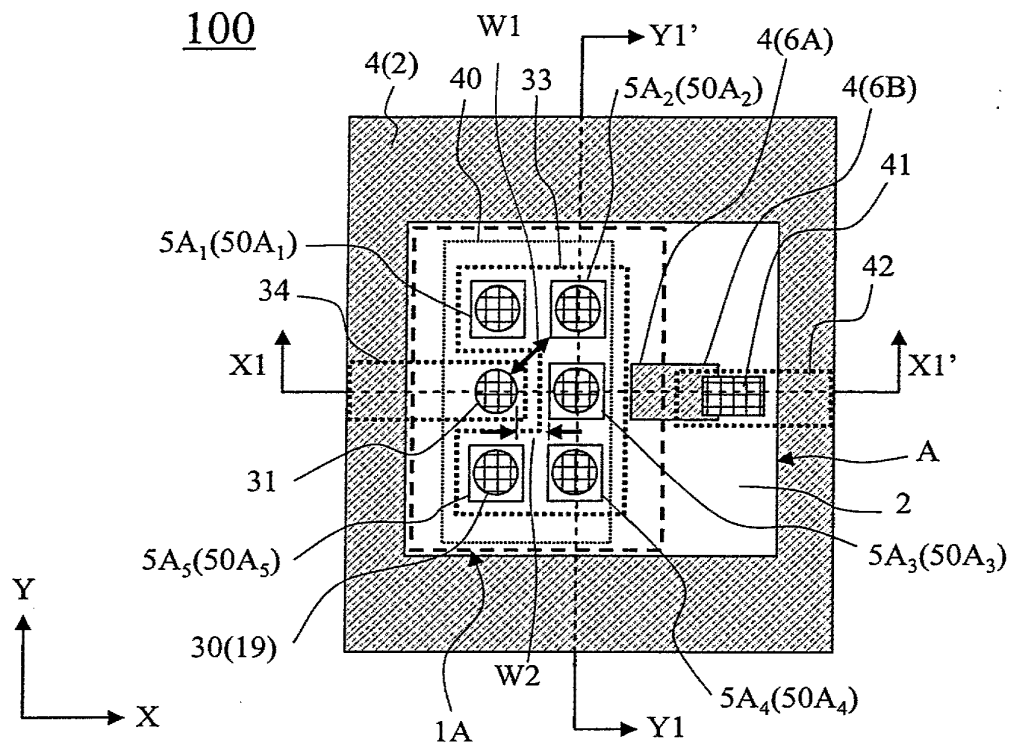
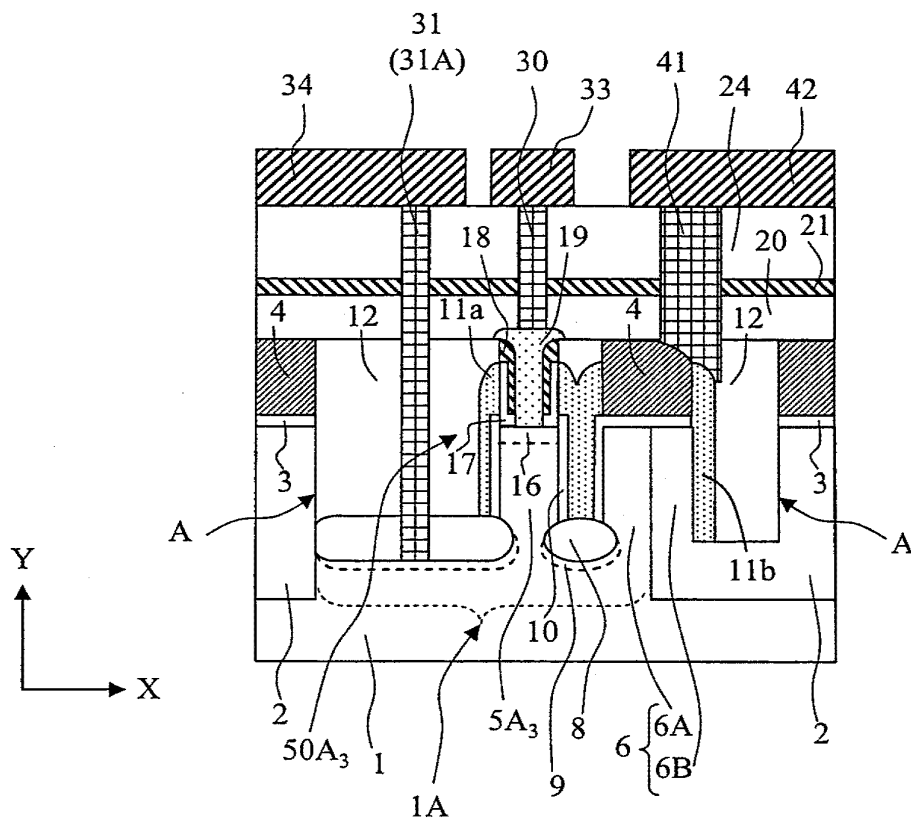
Shoji EGUCHI

Title and Company

Principal Professional, Elpida Memory, Inc.

NOTE: Signature - This form must be signed by the applicant or applicant's representative in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications.

☐ Total of form(s) is submitted.

**FIG. 1****FIG. 2**

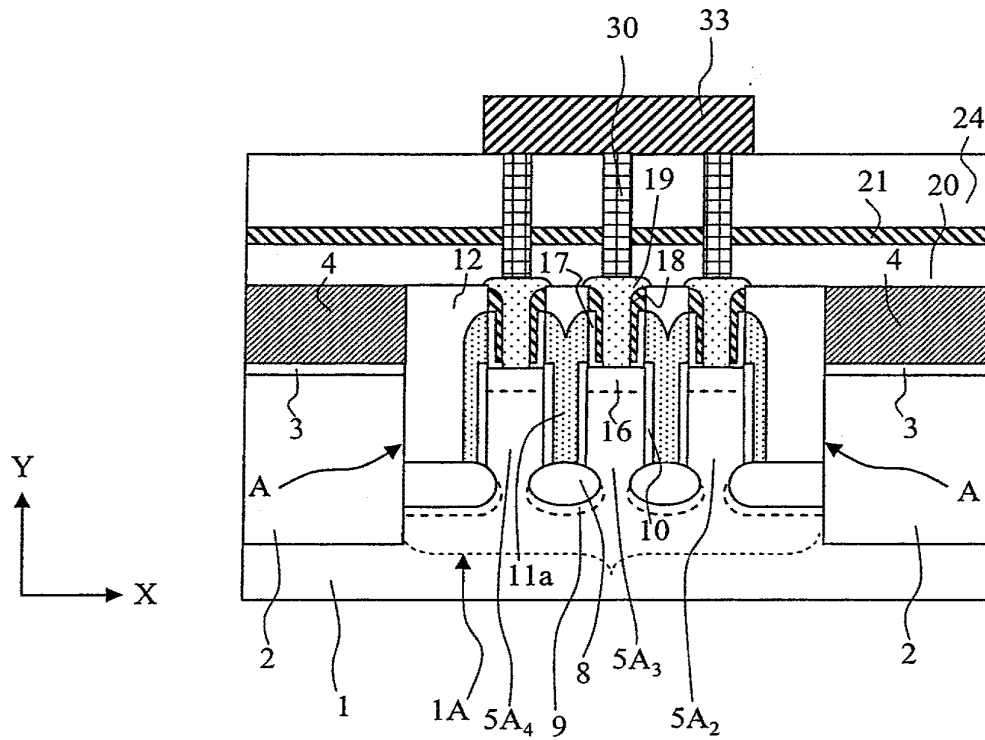


FIG. 3

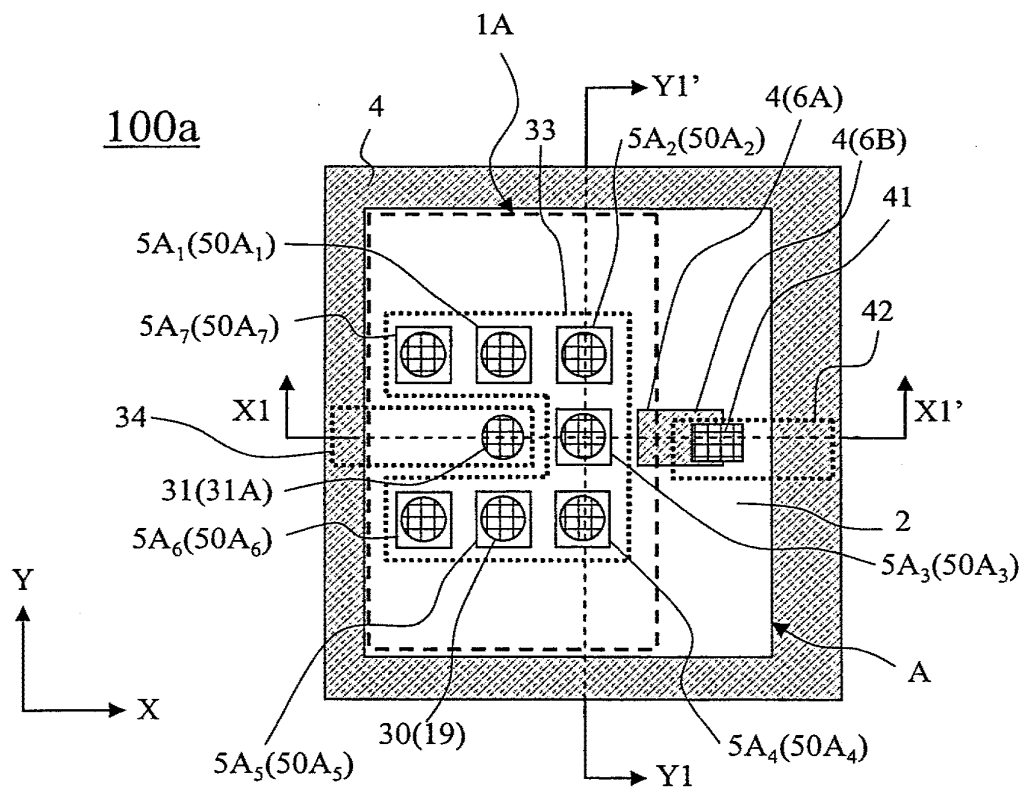


FIG. 4

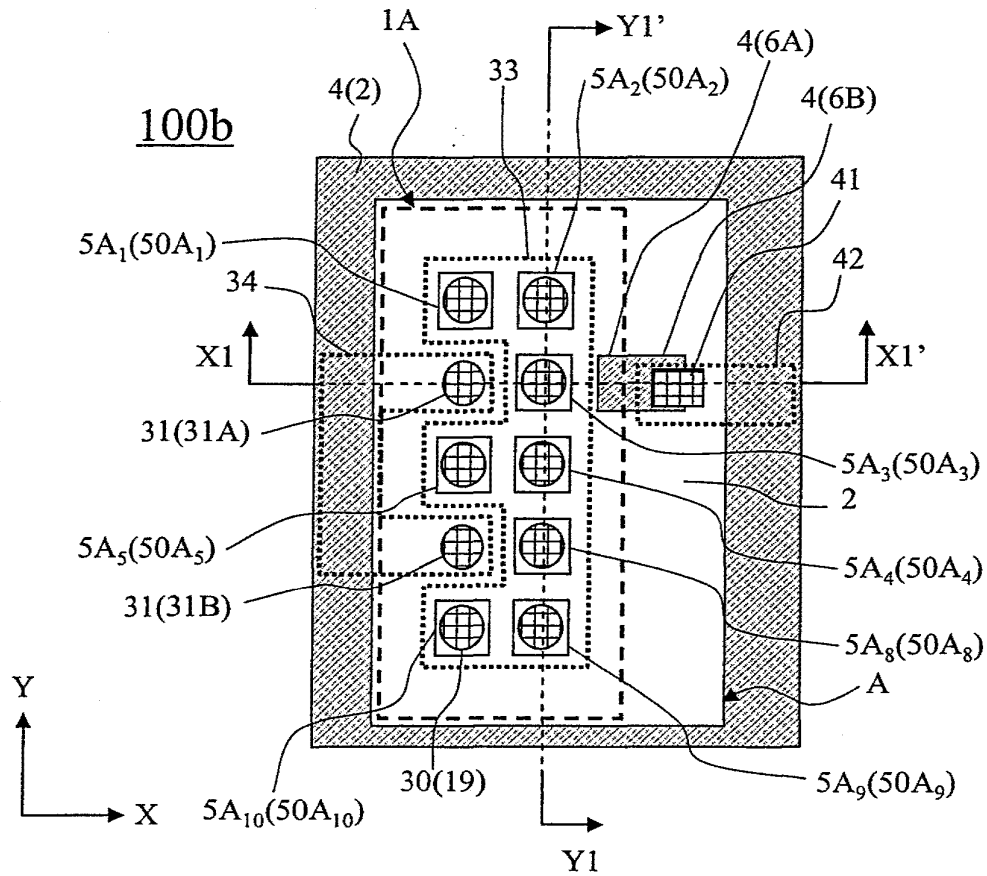


FIG. 5

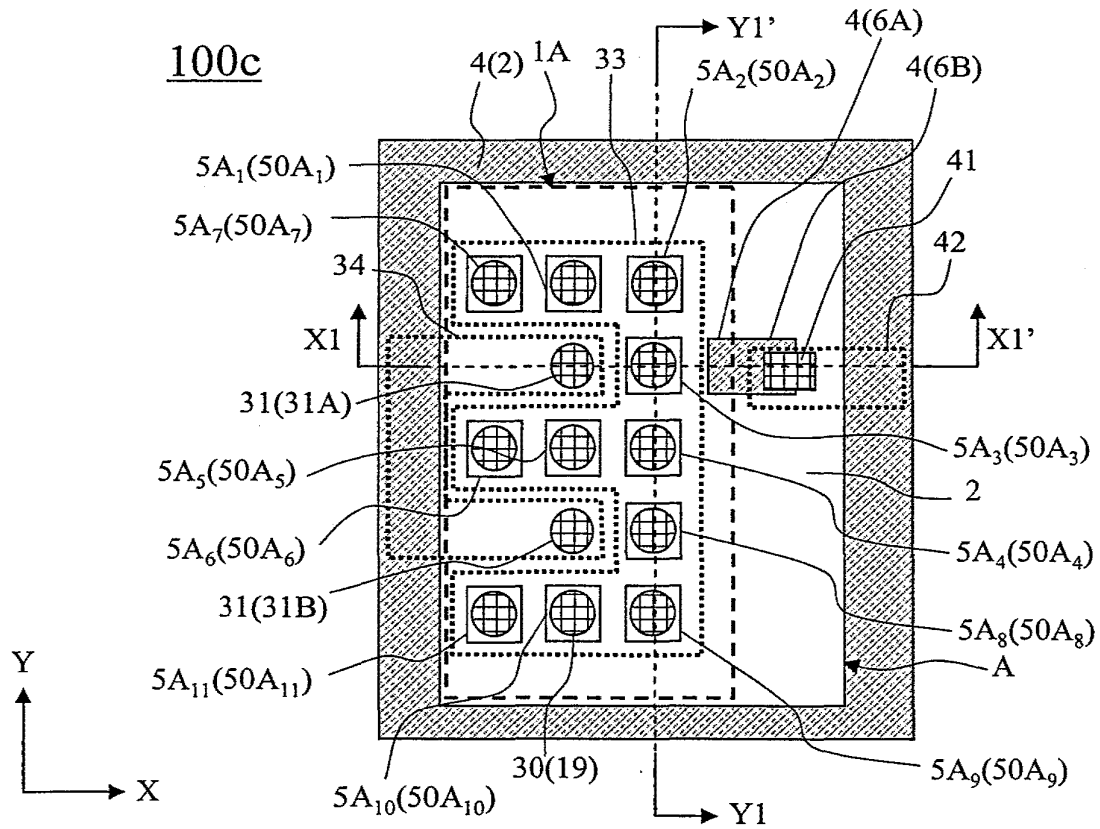


FIG. 6

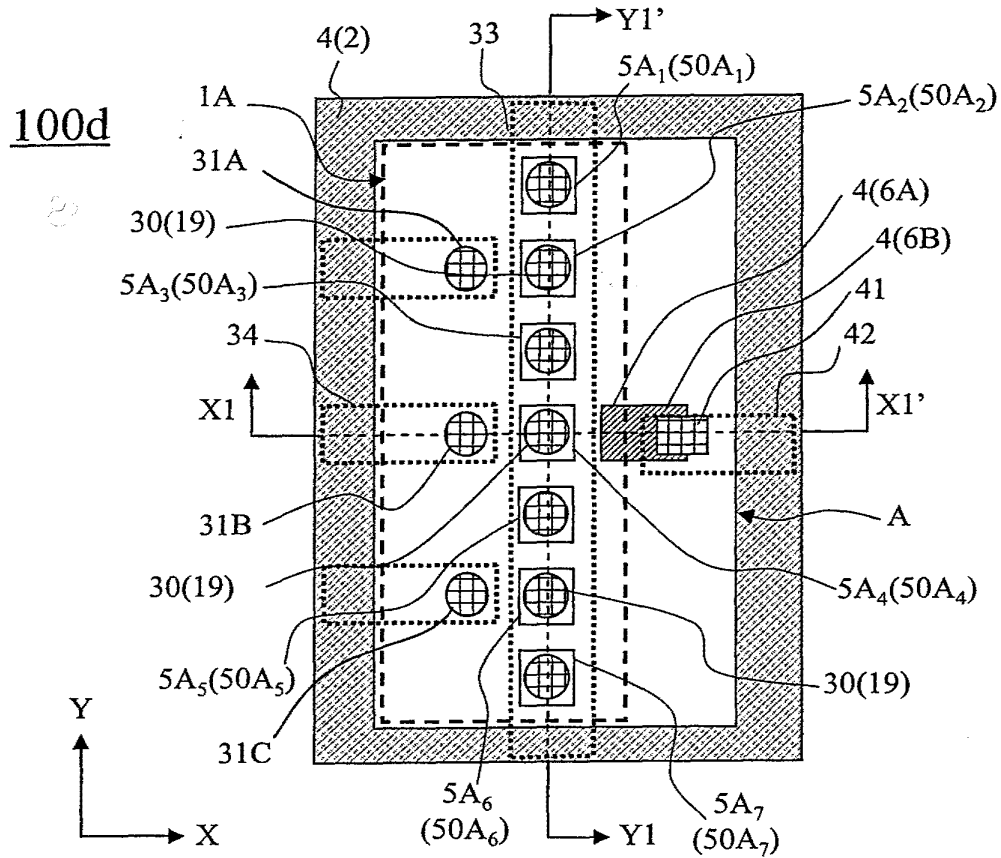


FIG. 7

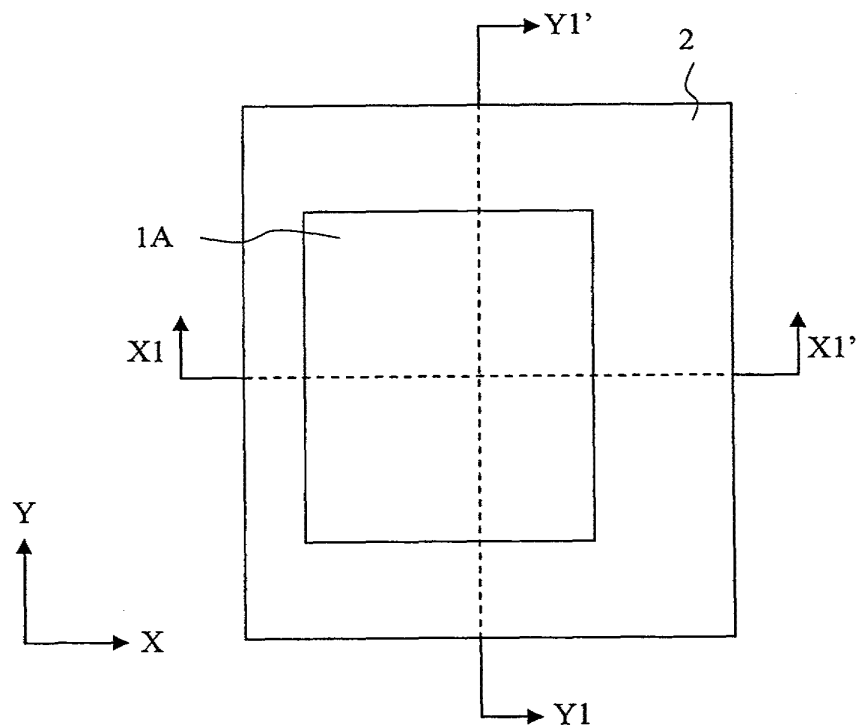


FIG. 8

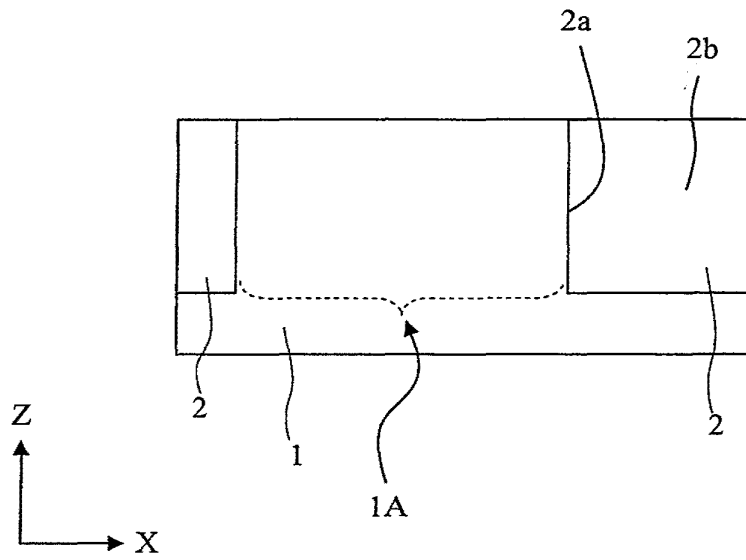


FIG. 9

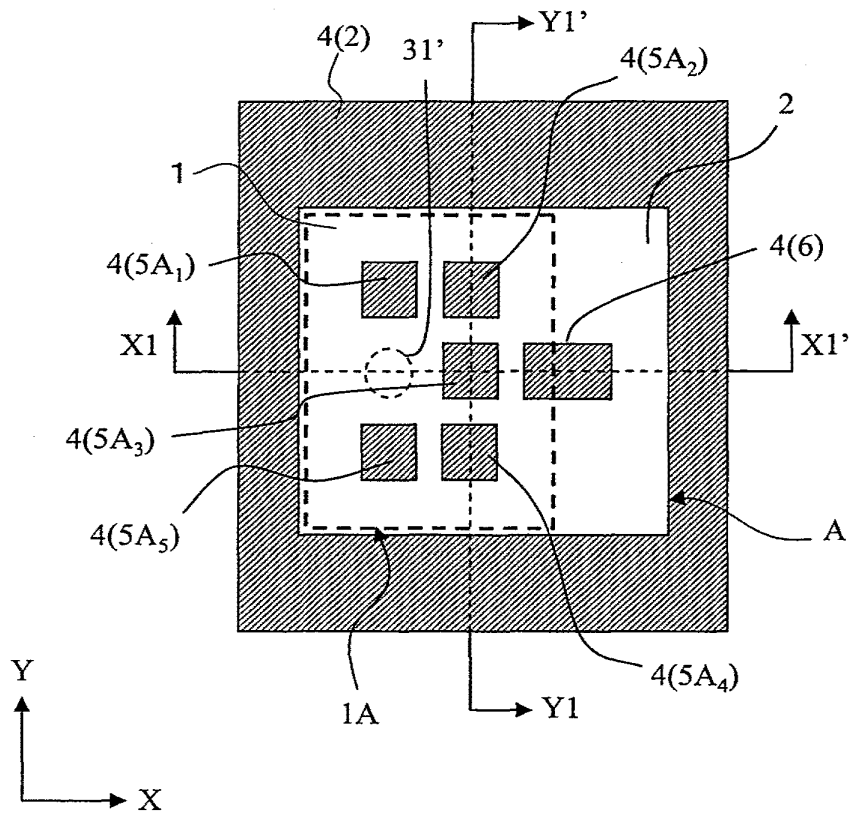


FIG. 10

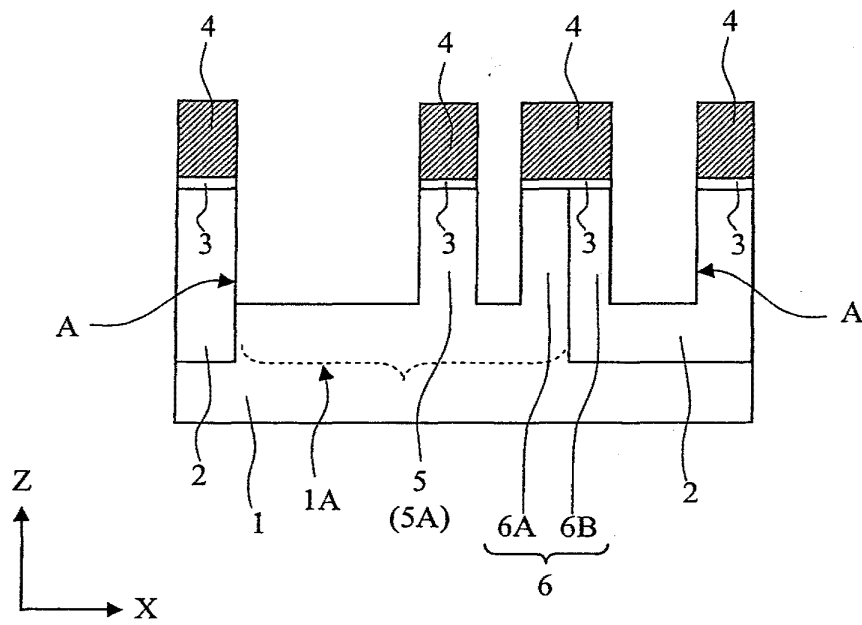


FIG. 11

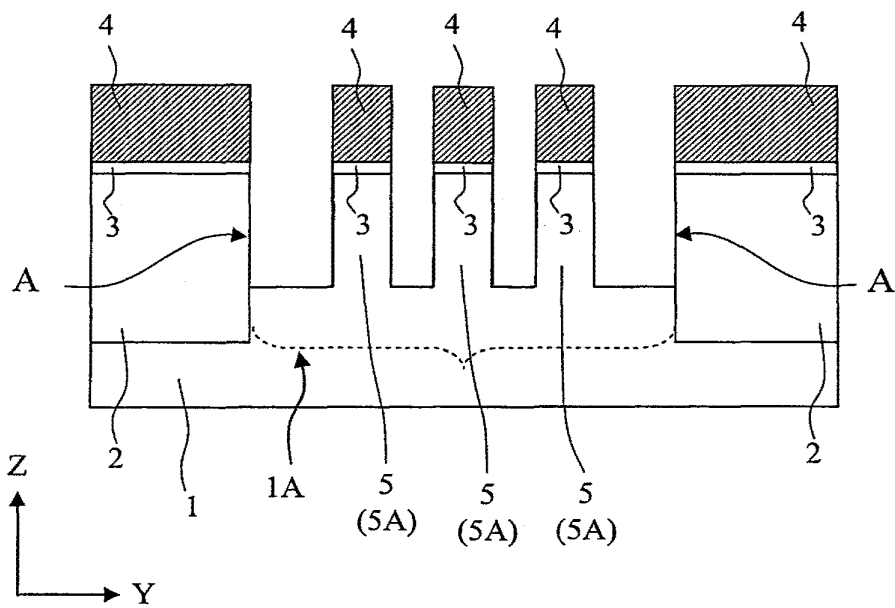


FIG. 12

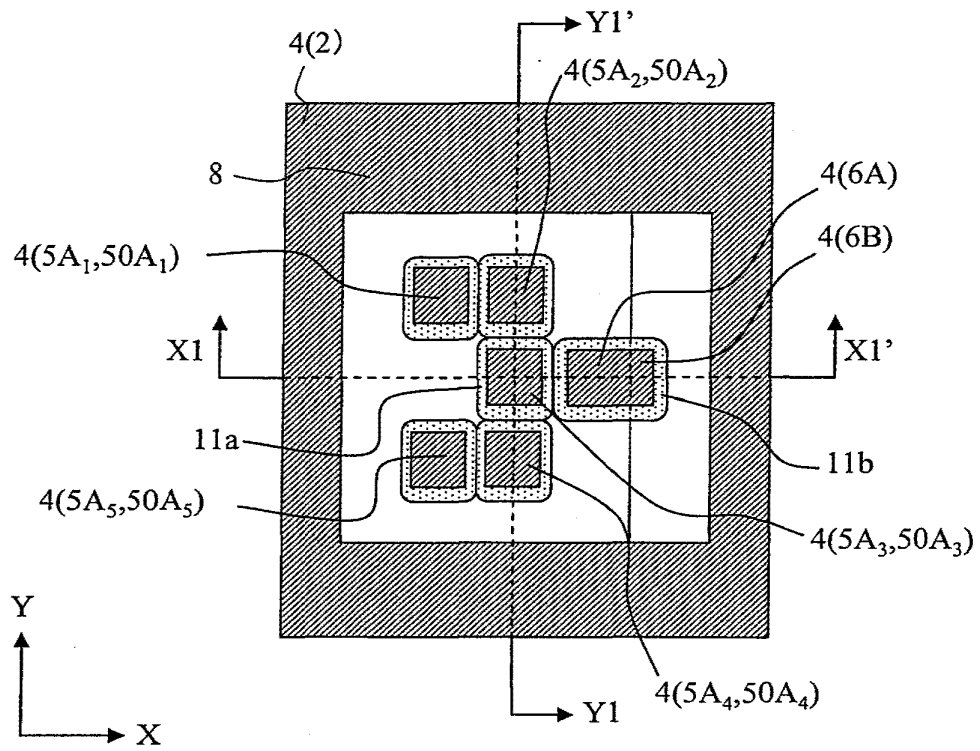


FIG. 13

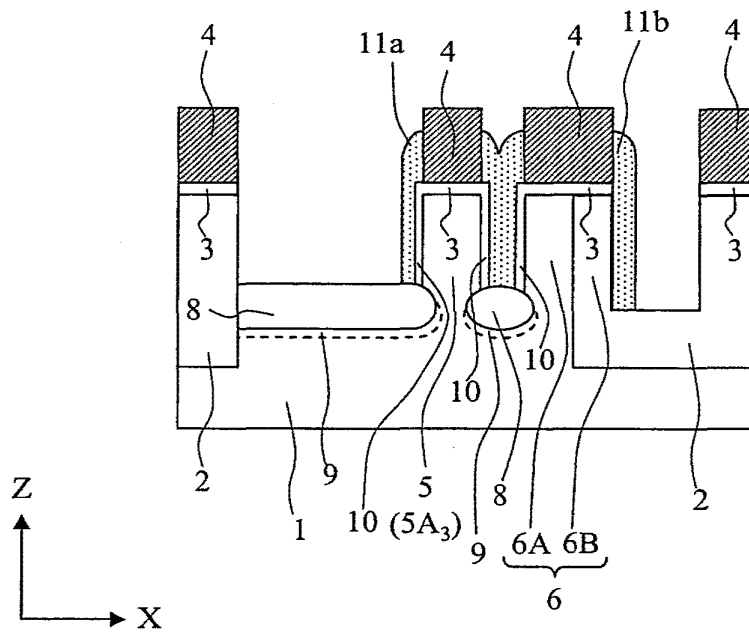


FIG. 14

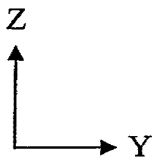


FIG. 15

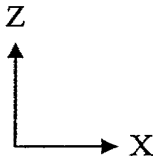


FIG. 16

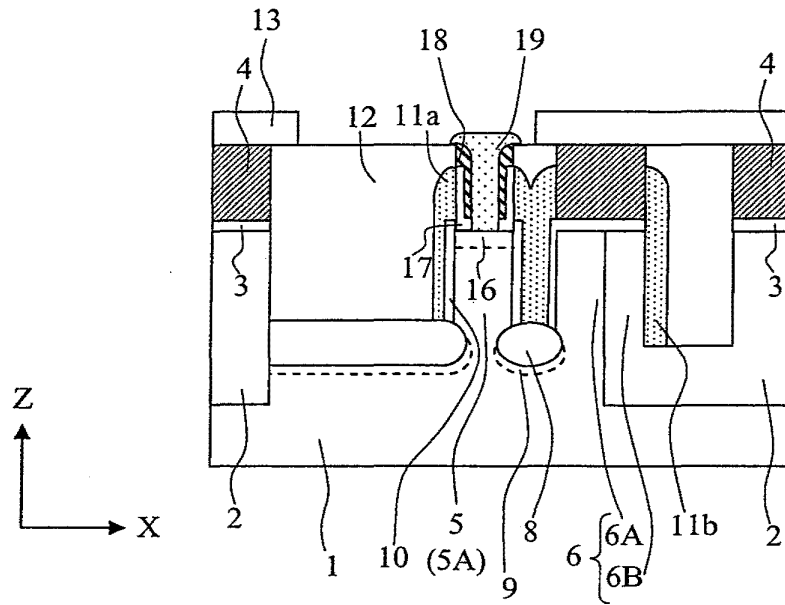


FIG. 17

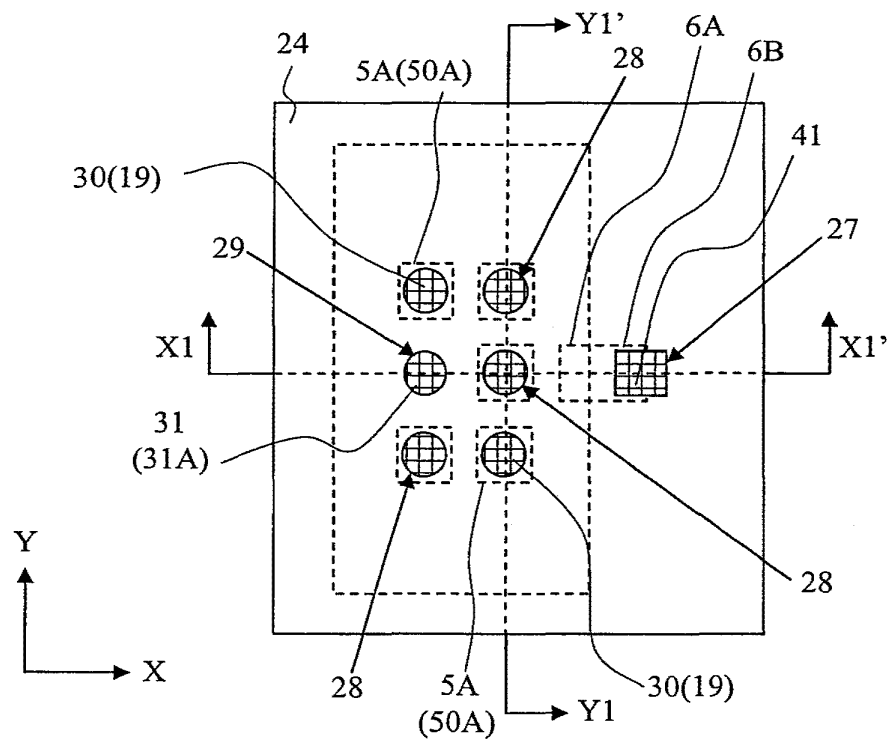


FIG. 18

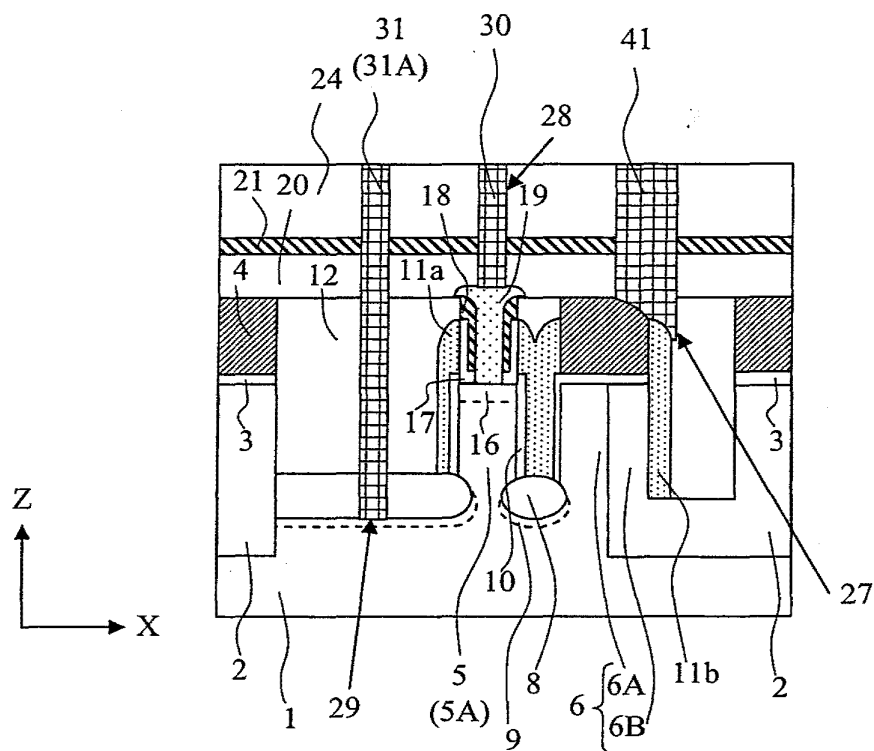


FIG. 19

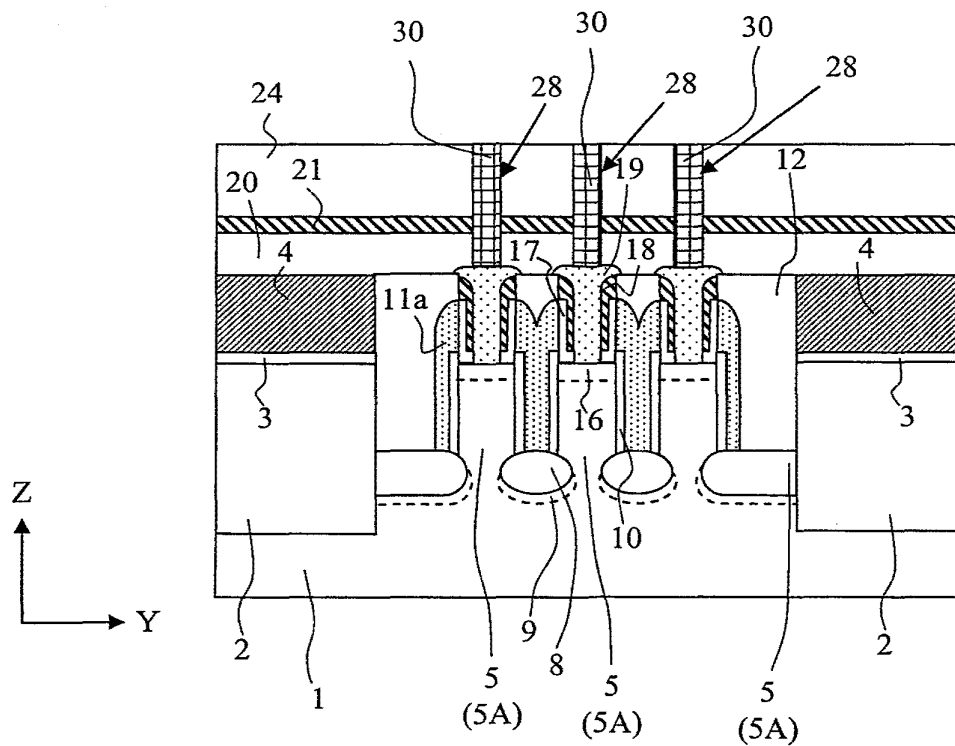


FIG. 20

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		
	Filing Date		2012-12-19
	First Named Inventor	Yoshihiro TAKAISHI	
	Art Unit		
	Examiner Name		
	Attorney Docket Number	8040-1178	

U.S.PATENTS							Remove
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	
	1	7945272		2011-05-17	KIM	Corresponds to 2006-081184	
	2	6813714		2004-11-02	HARDJONO et al.	English language	
	3	6584566		2003-06-24	HARDJONO	English language	
If you wish to add additional U.S. Patent citation information please click the Add button.							Add
U.S.PATENT APPLICATION PUBLICATIONS							Remove
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	
	1	20100011063		2010-01-14	BLAIOTTA et al.	Corresponds to 2008-543137	
	2	20070071021		2007-03-29	GIRAO	Corresponds to 2007-089156	
	3	20060063548		2006-03-23	KIM	Corresponds to 2006-081184	

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number		
Filing Date		2012-12-19
First Named Inventor	Yoshihiro TAKAISHI	
Art Unit		
Examiner Name		
Attorney Docket Number	8040-1178	

4	20090024848		2009-01-22	TAKASUGI et al.	Corresponds to WO2007/072814
5	20110072121		2011-03-24	TAKASUGI et al.	Corresponds to WO2007/072814
6	20030044020		2003-03-06	ABOBA et al.	English language
7	20030177267		2003-09-18	ORAVA et al.	English language

If you wish to add additional U.S. Published Application citation information please click the Add button. **Add**

FOREIGN PATENT DOCUMENTS

Remove

Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ²	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1	WO2007/072814	WO		2007-06-28		English abstract	☐
	2	2006-081184	JP		2006-03-23		English abstract	☐
	3	2007-089156	JP		2007-04-05		English abstract	☐
	4	2008-257340	JP		2008-10-23		English abstract	☐
	5	2008-543137	JP		2008-11-27		English abstract	☐

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number		
Filing Date		2012-12-19
First Named Inventor	Yoshihiro TAKAISHI	
Art Unit		
Examiner Name		
Attorney Docket Number	8040-1178	

6	2009-081389	JP		2009-04-16		Cited in the specification, English abstract	☐
---	-------------	----	--	------------	--	--	--------------------------

If you wish to add additional Foreign Patent Document citation information please click the Add button **Add**

NON-PATENT LITERATURE DOCUMENTS

Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1		☐

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number	
Filing Date	2012-12-19
First Named Inventor	Yoshihiro TAKAISHI
Art Unit	
Examiner Name	
Attorney Docket Number	8040-1178

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☐ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Eric Jensen/	Date (YYYY-MM-DD)	2012-12-19
Name/Print	Eric Jensen	Registration Number	37855

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

No documents available for this priority number.



Espacenet

Bibliographic data: JP2006081184 (A) — 2006-03-23

**GROUP COMMUNICATION METHOD USING TERMINAL LOCATION INFORMATION,
AND PT SERVICE TERMINAL**

Inventor(s): KIM SUNG CHUL ± (KIM SUNG CHUL)

Applicant(s): LG ELECTRONICS INC ± (LG ELECTRONICS INC)

Classification: - **international:** H04M3/56; H04W4/08; H04W4/02; H04W64/00
- **cooperative:** H04L29/08657; H04W4/02; H04W4/023; H04W4/08;
H04W8/186; H04L29/06442; H04W64/00

Application number: JP20050258603 20050906

Priority number (s): KR20040071763 20040908

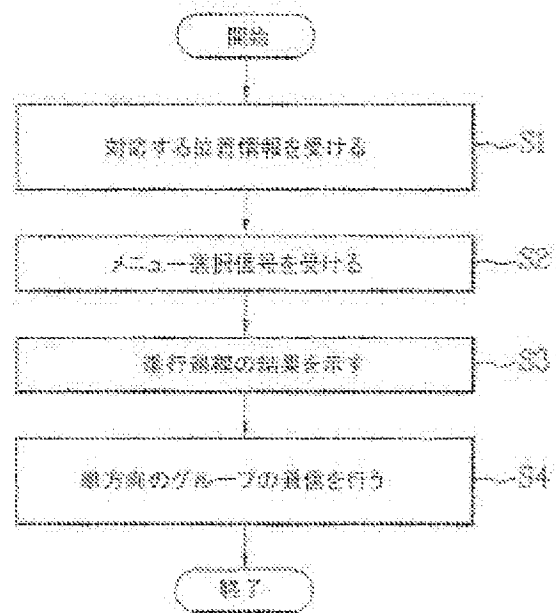
Also published as: US2006063548 (A1) US7945272 (B2) KR20060022960 (A)
KR100698112 (B1) EP1635595 (A2) more

Abstract of JP2006081184 (A)

PROBLEM TO BE SOLVED: To improve communication efficiency and to reduce unnecessary communications by speedily communicating with counterparts located in a prescribed area by providing a group communication method and a group communication terminal capable of selectively communicating with a group of communicating counterparts located in the specific area. ; **SOLUTION:** The group communication method using a group communication service system to which a location information based service function is applied, and terminal location information according to the present invention includes a location information providing device which uses a mobile communication network or a satellite signal to measure a location of a mobile communication terminal and provides various information services associated with the measured location, and a terminal to which location information of counterparts registered in the terminal is provided from the location information providing device while continuously exchanging status information with a network during movement, and which performs group communication according to user selection signals. ; **COPYRIGHT:** (C) 2006,JPO&NCIP

FIG. 4

Last updated: 19.12.2012 Worldwide
Database 5.8.4; 92p



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-81184

(P2006-81184A)

(43) 公開日 平成18年3月23日(2006.3.23)

(51) Int. Cl.	F I	テーマコード (参考)
H04Q 7/38 (2006.01)	H04B 7/26 109A	5K067
H04Q 7/34 (2006.01)	H04B 7/26 106A	5K201
H04M 3/56 (2006.01)	H04M 3/56 Z	

審査請求 有 請求項の数 15 O L (全 11 頁)

(21) 出願番号	特願2005-258603 (P2005-258603)	(71) 出願人	502032105
(22) 出願日	平成17年9月6日(2005.9.6)		エルジー エレクトロニクス インコーポ
(31) 優先権主張番号	10-2004-0071763		レイティド
(32) 優先日	平成16年9月8日(2004.9.8)		大韓民国, ソウル 150-721, ヨン
(33) 優先権主張国	韓国 (KR)		ドンポーク, ヨイドードン, 20
		(74) 代理人	100078282
			弁理士 山本 秀策
		(74) 代理人	100062409
			弁理士 安村 高明
		(74) 代理人	100113413
			弁理士 森下 夏樹
		(72) 発明者	キム スン チュル
			大韓民国, ソウル, クアナクダ,
			ボンチョンードン, ドゥサン アパート
			メント 105-304
			最終頁に続く

(54) 【発明の名称】 端末の位置情報を用いたグループ通信方法、及びP Tサービス用端末機

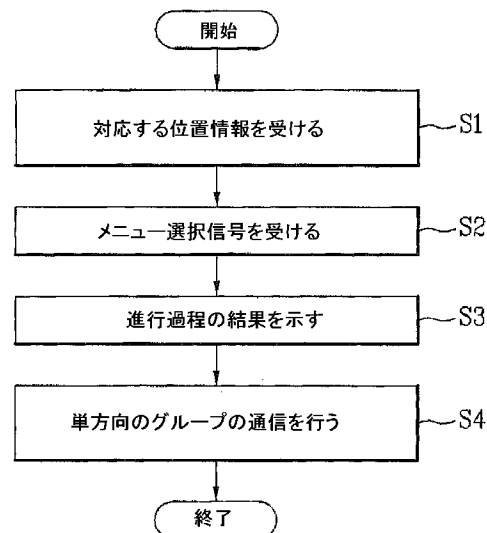
(57) 【要約】

【課題】 特定の領域にいるグループ通信相手との選択的な通信の可能なグループ通信方法、及びグループ通信用端末機を提供し、特定の地域に位置する相手との迅速な通話を可能にして通信の効率を高めると共に、不必要な通信を減らす。

【解決手段】 本発明に係る位置情報基盤サービス機能を適用したグループ通信サービスシステムおよび端末の位置情報を用いたグループ通信方法は、移動通信網や衛星信号などを用いて移動通信端末の位置を測定し、測定した位置と関連した多様な情報サービスを提供する位置情報提供装置と、移動中にネットワークと状態情報を続けて交換しながら、前記位置情報提供装置から端末機に登録された相手の位置情報が提供され、ユーザーの選択信号に従ってグループ通信を行う端末機とを含んでなることを特徴とする。

【選択図】 図4

FIG. 4



【特許請求の範囲】**【請求項 1】**

P T (Push-To)サービス加入者の位置情報を獲得した後、距離上所定の範囲以内に位置する前記 P T サービス加入者間のグループ通信のためのメンバーリストを登録する過程と、

前記メンバーリストに登録された一人以上のメンバーとのグループ通信を要請する過程と、

前記グループ通信に対する要請受諾が完了すると、グループ間の通信を行う過程とを含んでなる端末の位置情報を用いたグループ通信方法。

【請求項 2】

前記加入者の位置情報は、位置基盤サービス、G P S (Global Positioning Service)、又はプレゼンスサーバーのうち、何れか一つを介して提供されることを特徴とする請求項 1 に記載の端末の位置情報を用いたグループ通信方法。

【請求項 3】

グループ通信を要請する端末は、招待者、またはグループ通信の設定権限を有するマスター端末のうちの一つであることを特徴とする請求項 1 に記載の端末の位置情報を用いたグループ通信方法。

【請求項 4】

前記距離上所定の範囲は、マスター端末を基準に既定儀された範囲を意味することを特徴とする請求項 3 に記載の端末の位置情報を用いたグループ通信方法。

【請求項 5】

前記所定の範囲は、ユーザーによって、或いは予めシステム、又は端末によって定義することができることを特徴とする請求項 4 に記載の端末の位置情報を用いたグループ通信方法。

【請求項 6】

前記メンバーリストは、周期的に更新されることを特徴とする請求項 1 に記載の端末の位置情報を用いたグループ通信方法。

【請求項 7】

前記メンバーリストは、ユーザーとの関係によるグループ別の分類が前提となって分離されることを特徴とする請求項 1 に記載の端末の位置情報を用いたグループ通信方法。

【請求項 8】

前記グループ通信を介して送受信されるデータは、音声やテキスト、又は映像データのうち何れか一つ、或いは混合された形態のデータであることを特徴とする請求項 1 に記載の端末の位置情報を用いたグループ通信方法。

【請求項 9】

P T サービス加入者の位置情報を受信し、グループメンバーとの通信を行う無線送受信部と、

前記無線送受信部を介して受信した加入者位置情報を用いて、距離上ユーザーから所定の範囲内のメンバー情報を表示するための制御信号を出力する制御部と、

前記制御部の制御信号に従って、距離上所定の範囲内のグループメンバーのリストを示す表示部とを含んでなるグループ通信機能を有する P T サービス用移動通信端末機。

【請求項 10】

前記制御部の制御信号によって表示されるメンバーリストは、ユーザーとの関係によるグループ別の分類が前提となって分離されることを特徴とする請求項 9 に記載の P T サービス用移動通信端末機。

【請求項 11】

前記グループメンバー間の通信を介して送受信されるデータは、音声やテキスト、又は映像データのうち何れか一つ、或いは混合された形態のデータであることを特徴とする請求項 9 に記載の P T サービス用移動通信端末機。

【請求項 12】

移動通信網や衛星信号などを用いて移動通信端末の位置を測定し、測定した位置と関連した多様な情報サービスを提供する位置情報提供装置と、

移動中にネットワークと状態情報を続けて交換しながら、前記位置情報提供装置から端末機に登録された相手の位置情報が提供され、ユーザーの選択信号に従ってグループ通信を行う端末機とを含んでなる、位置情報基盤サービス機能を適用したグループ通信サービスシステム。

【請求項 1 3】

前記端末機は、

性格別に分けられたグループを、再び距離上所定の範囲内に位置するメンバーでグルーピングする機能；

全体の相手を互いに所定の範囲内の距離に位置するメンバーでグルーピングする機能；

ユーザーが選択した相手から所定の範囲以内の距離に位置する相手をグルーピングする機能；

ユーザーから距離上所定の範囲以内の距離に位置する相手をグルーピングする機能を有することを特徴とする、位置情報基盤サービス機能を適用したグループ通信サービスシステム。

【請求項 1 4】

前記端末機の多様な機能メニューは、ポップアップ形態でディスプレイされることを特徴とする請求項 1 3 に記載の位置情報基盤サービス機能を適用したグループ通信サービスシステム。

【請求項 1 5】

前記所定の範囲の設定は、ユーザーによって、或いは予めシステム、又は端末によって定義されることができるところを特徴とする請求項 1 3 又は請求項 1 4 に記載の位置情報基盤サービス機能を適用したグループ通信サービスシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、端末の位置情報を用いたグループ通信方法、及びグループ通信用端末機に関し、より詳細には、獲得した位置情報を用いて、通話の相手を地域別に分け、特定地域に位置する相手とのグループ通信を行うことのできるグループ通信方法、及びグループ通信用端末機に関するものである。

【背景技術】

【0002】

プッシュ トーク (Push-to-Talk: PTT) とは、一種のトランシーバー (Walkie-Talkie) 形態の半二重方式の幹線電話システム (Trunked Radio System: TRS) サービスを端末機に実現したものであって、PT サービスの一つである。

【0003】

PT サービスは、移動通信ネットワークユーザーとサービス提供者に、より迅速な通信サービスを提供するためのもので、一人のクライアントが他の一人、或いは多数のクライアントとセッションが設定された状態でメディアデータを伝送できる通信サービスである。

【0004】

PT サービスは、音声 (オーディオ) データを伝送するための PTT サービス、動画 (ビデオ) を伝送するためのプッシュ トビュー (Push-to-View: PTV)、データ伝送のためのプッシュ トデータ (Push-to-Data: PTD) などがあり、PT サービスは、一人の受信者との通話 (1-to-1)、又はグループチャットセッションのような多数の受信者グループの間の通話 (1-to-many) を許容する。また、セッションを設定するために、セッション初期化プロトコル (session initiation protocol: SIP) を用いる。

【0005】

PTT 機能を有した端末機は、図 1 に示したように、PTT 端末機に登録されたリスト

の現在の情報を周期的にアップデートしながら、まるでフォンプックを検索するごとく、所望の相手やグループにP T T通話をすることができる。相手の現在の状態情報としては、通話可能の状態（on/off）、通話中の状態（call）、接続状態などを分かることができ、このような状態は、適切なアイコンや文字で表示される。

【発明の開示】

【発明が解決しようとする課題】

【0006】

P T T端末機は、各相手の現在の状態を表示するものの、相手の現在の位置に対する情報は提供しない。したがって、このような要求を解決できないという問題がある。

本発明は、特定の領域にいるグループ通信相手との選択的な通信が可能なグループ通信方法、及びグループ通信用端末機を提供することを目的とする。 10

他の目的として、特定の地域に位置する相手との迅速な通話を可能にして通信の効率を高めることにある。

【0007】

さらに他の目的として、不必要な通信を減らすことにある。

【課題を解決するための手段】

【0008】

上記目的を達成するための本発明に係る位置情報基盤サービス機能を適用した単方向音声通信システムは、獲得した位置情報を用いて相手のリストをグルーピングし、特定地域のグループのメンバーとP Tサービスによるグループ通信をすることができるという特徴をもつ。 20

【0009】

かかる構成は、移動通信網や衛星信号などを用いて、モバイル端末の位置を測定し、測定した位置に関連した多様な情報サービスを提供する位置情報基盤サービス(Location Based Service: L B S)装置と、移動中にネットワークと状態情報を続けて交換しながら、端末機に登録された相手の位置情報が前記L B S装置から提供され、ユーザーの選択信号に従って単方向グループ音声通信を行うグループ通信用端末機とを含んでなることを特徴とする。

【0010】

本発明に係る位置情報基盤サービス機能を適用した単方向音声通信システムの細部の特徴は、前記グループ通信用端末機が、性格別に分けられたグループを再び地域別にグルーピングする機能と、全体の相手を同一の地域別にグルーピングする機能と、ユーザーが選択した相手と同一の地域に位置する相手をグルーピングする機能を有することにある。 30

【0011】

本発明に係る位置情報基盤サービス機能を適用した単方向音声通信システムの他の細部の特徴は、前記グループ通信用端末機の多様な機能メニューは、ポップアップ形態でディスプレイされることにある。

【0012】

本発明に係る位置情報基盤サービス機能を適用した単方向音声通信方法は、ユーザーがウェブ上に登録した相手の現在の状態情報、及び位置情報基盤サービス(L B S)を介して相手の位置情報が提供される過程と、ユーザーからメニュー選択信号が入力される過程と、メニュー選択信号を分析して、該当処理結果をディスプレイする過程と、ユーザーから提供される通話信号が入力され、選択された相手との単方向グループ通信を行う過程とを含んでなることを特徴とする。 40

【0013】

上記目的を達成するために、本発明は、例えば、以下の手段を提供する。

(項目1)

P T(Push-To)サービス加入者の位置情報を獲得した後、距離上所定の範囲以内に位置する前記P Tサービス加入者間のグループ通信のためのメンバーリストに登録する過程と、

前記メンバーリストに登録された一人以上のメンバーとのグループ通信を要請する過程と、

前記グループ通信に対する要請受諾が完了すると、グループ間の通信を行う過程とを含んでなる端末の位置情報を用いたグループ通信方法。

(項目 2)

前記加入者の位置情報は、位置基盤サービス、GPS (Global Positioning Service)、又はプレゼンスサーバーのうち、何れか一つを介して提供されることを特徴とする項目 1 に記載の端末の位置情報を用いたグループ通信方法。

(項目 3)

グループ通信を要請する端末は、招待者、またはグループ通信の設定権限を有するマスター端末のうちの一つであることを特徴とする項目 1 に記載の端末の位置情報を用いたグループ通信方法。

10

(項目 4)

前記距離上所定の範囲は、マスター端末を基準に既定儀された範囲を意味することを特徴とする項目 3 に記載の端末の位置情報を用いたグループ通信方法。

(項目 5)

前記所定の範囲は、ユーザーによって、或いは予めシステム、又は端末によって定義することができることを特徴とする項目 4 に記載の端末の位置情報を用いたグループ通信方法。

(項目 6)

20

前記メンバーリストは、周期的に更新されることを特徴とする項目 1 に記載の端末の位置情報を用いたグループ通信方法。

(項目 7)

前記メンバーリストは、ユーザーとの関係によるグループ別の分類が前提となって分離されることを特徴とする項目 1 に記載の端末の位置情報を用いたグループ通信方法。

(項目 8)

前記グループ通信を介して送受信されるデータは、音声やテキスト、又は映像データのうち何れか一つ、或いは混合された形態のデータであることを特徴とする項目 1 に記載の端末の位置情報を用いたグループ通信方法。

(項目 9)

30

PT サービス加入者の位置情報を受信し、グループメンバーとの通信を行う無線送受信部と、

前記無線送受信部を介して受信した加入者位置情報を用いて、距離上ユーザーから所定の範囲内のメンバー情報を表示するための制御信号を出力する制御部と、

前記制御部の制御信号に従って、距離上所定の範囲内のグループメンバーのリストを示す表示部とを含んでなるグループ通信機能を有する PT サービス用移動通信端末機。

(項目 10)

前記制御部の制御信号によって表示されるメンバーリストは、ユーザーとの関係によるグループ別の分類が前提となって分離されることを特徴とする項目 9 に記載の PT サービス用移動通信端末機。

40

(項目 11)

前記グループメンバー間の通信を介して送受信されるデータは、音声やテキスト、又は映像データのうち何れか一つ、或いは混合された形態のデータであることを特徴とする項目 9 に記載の PT サービス用移動通信端末機。

(項目 12)

移動通信網や衛星信号などを用いて移動通信端末の位置を測定し、測定した位置と関連した多様な情報サービスを提供する位置情報提供装置と、

移動中にネットワークと状態情報を続けて交換しながら、前記位置情報提供装置から端末機に登録された相手の位置情報が提供され、ユーザーの選択信号に従ってグループ通信を行う端末機とを含んでなる、位置情報基盤サービス機能を適用したグループ通信サービス

50

システム。

(項目 1 3)

前記端末機は、

性格別に分けられたグループを、再び距離上所定の範囲内に位置するメンバーでグルーピングする機能；

全体の相手を互いに所定の範囲内の距離に位置するメンバーでグルーピングする機能；

ユーザーが選択した相手から所定の範囲以内の距離に位置する相手をグルーピングする機能；

ユーザーから距離上所定の範囲以内の距離に位置する相手をグルーピングする機能を有することを特徴とする、位置情報基盤サービス機能を適用したグループ通信サービスシステム。

10

(項目 1 4)

前記端末機の多様な機能メニューは、ポップアップ形態でディスプレイされることを特徴とする項目 1 3 に記載の位置情報基盤サービス機能を適用したグループ通信サービスシステム。

(項目 1 5)

前記所定の範囲の設定は、ユーザーによって、或いは予めシステム、又は端末によって定義されることができるとを特徴とする項目 1 3 又は項目 1 4 に記載の位置情報基盤サービス機能を適用したグループ通信サービスシステム。

【発明の効果】

20

【0 0 1 4】

本発明は、既存の P T T サービスに L B S 概念を導入して、性格別に分けられたグループ（例えば、友達、同好会、同期会、職場など）を、再び距離上所定の範囲以内に位置したメンバーでグルーピングして、所望の地域にいる個人、或いはグループだけで P T 通信を行うことができる効果を有する。

【発明を実施するための最良の形態】

【0 0 1 5】

以下、添付の図面に基づいて本発明に係る位置情報基盤サービスの機能を適用したグループ通信サービスシステムの構成、およびそれによる動作を説明する。

【0 0 1 6】

30

図 2 は、本発明に係る位置情報基盤サービス機能を適用した単方向音声通信を行うための構成要素を概略的に示す構成図である。

【0 0 1 7】

本発明は、移動通信端末 1 1、1 2、1 3 の現在の位置情報に基づいたサービスに適用した技術である。加入者の位置情報は、L B S、G P S、或いはメッセージの機能が付加されたプレゼンスサービスなどを通して提供される。

【0 0 1 8】

以下では、L B S を用いて位置情報を受信し、P T サービス実現の一つである P T T 端末機を用いた実施例を用いて、本発明の動作過程を説明する。

【0 0 1 9】

40

移動通信端末機 1 1、1 2、1 3 の現在の位置を測定するための衛星 3 0 と、前記移動通信端末機 1 1、1 2、1 3 の相互間の情報交換を行うための通信ネットワーク 2 0 とを含んで構成されたシステムが構成され、本発明に係る音声通信方法を実現する。

【0 0 2 0】

L B S とは、位置確認技術 (Location Detection Technology: L D T) を用いてユーザーの位置を把握し、これと関連したアプリケーションを付加したサービスを示すものである。多方面に亘る利用が可能であって、最近、更に注目を浴びている。L B S は、移動通信網や衛星信号などを用いてモバイル端末の位置を測定し、測定した位置と関連した多様な情報サービスを提供するための技術として、移動通信網技術、位置追跡技術、端末機技術、及び情報技術との統合技術があり、これらが有機的に結合したシステムの構成が必

50

要である。

【0021】

LBSは、各事業者ごとに実現方式およびサービス方式が異なる。GPSモジュールを用いた方式か、単純に基地局PN、BASE_IDなどの情報を用いた方式かによって詳細さや正確度が異なるが、現在の自分の位置を知らせたり、所望する相手の位置情報を調べることのできるサービスである。

【0022】

特に、3Gを迎えて位置基盤サービスの機能が大幅に強化されることに予想される移動電話に高付加価値の差別的なサービスが提供可能となることにより、サービス事業者ばかりでなく、世界的な通信装備製造会社までが技術開発および市場拡大に積極的に参加している。

10

【0023】

このようなLBSは、位置基盤の応用的な提供の可能なネットワークを用いた標準化されたサービス、位置情報に接続、提供、または位置情報によって作用する全ての応用ソフトウェアサービスであり、移動するユーザーがそれらの地理学的な位置、所在、または知られた存在に対するサービスを受けるようにするものである。

【0024】

即ち、LBSは、ユーザーの位置獲得、サービスの提供のための位置情報の利用という重要な2つの特徴を有しており、このような特徴を用いて、ユーザー・機器・端末・車両などの位置を把握して、ユーザーの位置情報活用の要求を満足させることのできるサービスを意味する。

20

【0025】

かかる構成を有するシステムが備えられた状態における本発明の実施例は、図3に示した通りである。即ち、ユーザーが特定の地域を指定した場合、PTT端末機に接続可能な対象者の情報が地域別に現れる。このようなLBS機能を適用するための方法は、図4のフローチャートのように進行される。図4は、本発明に係る位置情報基盤サービスの機能を適用した単方向音声通信方法の進行過程を示すフローチャートである。

【0026】

PTT端末機の電源をつけると、ユーザーがウェブ上に登録した接続可能な対象者の現在の情報ばかりでなく、LBSを介して確保された位置情報も受ける。この情報は周期的に更新される(S1)。

30

【0027】

その後、ユーザーがPTTのメニュー機能を用いて多様な信号を入力する。PTT端末では、このようなユーザーのメニュー選択信号を受ける。この際、グループ通信を要請する端末は招待者と表示し、グループ通信の設定権限を有する端末をマスターとする(S2)。

【0028】

ユーザーは、リスト上の対象者を選択して、位置情報を見られるばかりでなく、オプションメニューを用いて、位置情報による整列を行うこともできる。例えば、全体の対象者を互いに所定の距離内に位置するメンバーでグルーピングしたり、ユーザーが選択した対象者から所定の距離範囲内に位置する対象者のみグルーピングしたり、ユーザーから所定の距離範囲内に位置するグループ通信メンバーでグルーピングしたり、性格別に分けられたグループを、再び距離上所定の範囲内に位置するメンバーでグルーピングするなど、多様なメニューを選択することができる。前記距離上の所定の範囲は、前記マスター端末を基準に定義されるもので、これはユーザーが設定することもでき、予めシステム、又は端末に組み込んで保存されることもできる。

40

【0029】

PTTの画面表示部を介してユーザーのメニュー選択による結果を示す(S3)。その後、ユーザーがリスト上の一人または多数の対象者を相手に単方向の音声通信を行う(S4)。

50

【0030】

例えば、タクシー会社や宅配会社で特定の地域に位置する職員にのみ単方向の通話をしようとする場合に適切に用いることができる。また、友達、同好会などの会員のうち、特定の地域にいる会員だけでグループ通信をしようとする場合にもこの機能を用いることができる。

【0031】

図5は、本発明に係るP Tサービス用端末機の構成を概略的に示すブロック図である。図示したように、P Tサービス加入者の位置情報を受信し、グループメンバーとの通信を行う無線送受信部3と、前記無線送受信部3を介して受信した加入者の位置情報を用いて、キーパッド1を介して入力されたユーザーの要求信号に従って、距離上ユーザーから所定の範囲内のメンバー情報を表示するための制御信号を出力する制御部2と、前記制御部2の制御信号に従って、距離上所定の範囲内のグループメンバーのリストを示す表示部4とを含んで構成されている。

10

【0032】

前記送受信部3を介して送受信されるデータは、音声やテキスト、または映像データのうち、何れか一つ、或いは混合された形態のデータとなる。

【0033】

以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。

20

【0034】

特定の領域にいるグループ通信相手との選択的な通信の可能なグループ通信方法、及びグループ通信用端末機を提供し、特定の地域に位置する相手との迅速な通話を可能にして通信の効率を高めると共に、不必要な通信を減らす。

【0035】

本発明に係る位置情報基盤サービス機能を適用したグループ通信サービスシステムおよび端末の位置情報を用いたグループ通信方法は、移動通信網や衛星信号などを用いて移動通信端末の位置を測定し、測定した位置と関連した多様な情報サービスを提供する位置情報提供装置と、移動中にネットワークと状態情報を続けて交換しながら、前記位置情報提供装置から端末機に登録された相手の位置情報が提供され、ユーザーの選択信号に従ってグループ通信を行う端末機とを含んでなることを特徴とする。

30

【図面の簡単な説明】

【0036】

【図1】従来技術に係るP T T端末機の画面の例示図である。

【図2】本発明に係る位置情報基盤サービス機能を適用した単方向音声通信を行うための構成要素を概略的に示す構成図である。

【図3】本発明が適用されたP T T端末機の画面の例示図である。

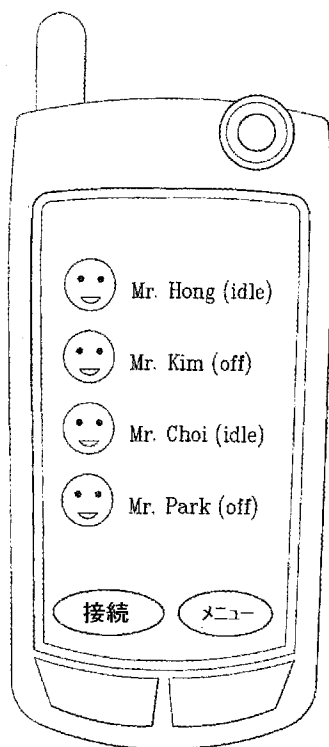
【図4】本発明に係る位置情報基盤サービス機能を適用した単方向音声通信方法の進行過程を示すフローチャートである。

40

【図5】本発明に係るP Tサービス用端末機の構成を概略的に示すブロック図である。

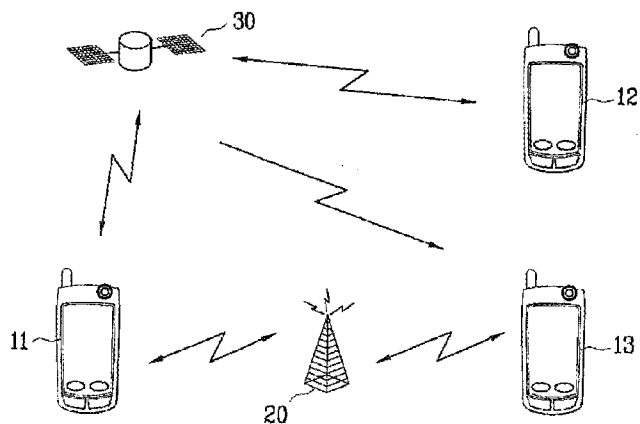
【図 1】

FIG. 1



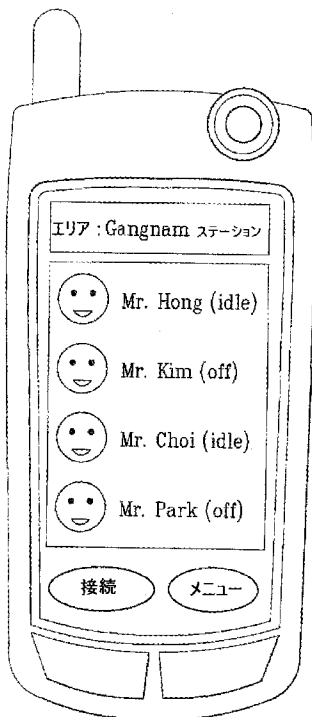
【図 2】

FIG. 2



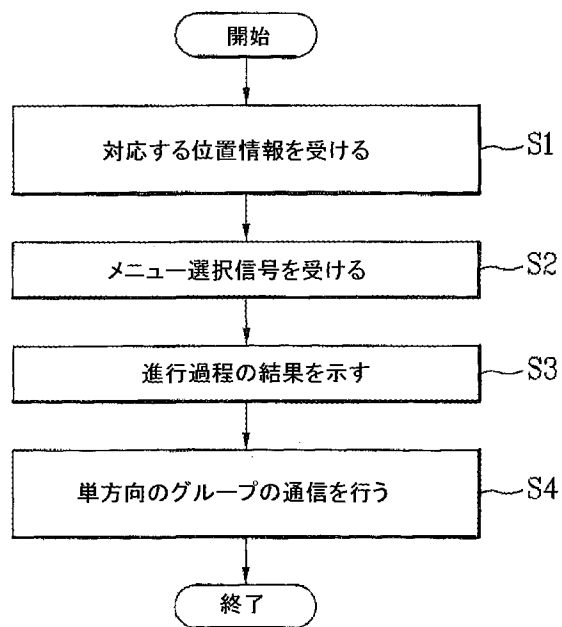
【図 3】

FIG. 3



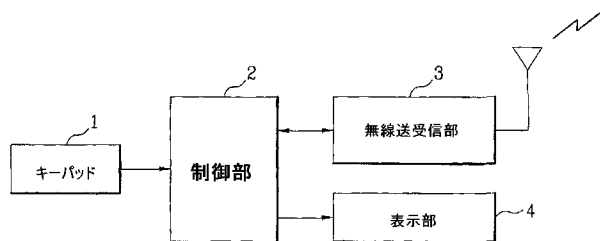
【図 4】

FIG. 4



【図 5】

FIG. 5



フロントページの続き

F ターム(参考) 5K067 AA21 BB02 DD11 DD15 EE02 EE10 EE16 FF01 HH11 HH22
HH31
5K201 BB09 BC28 BC30 BD02 CA02 CB01 CB02 CB12 CC04 CC10
CD09 EA07 ED05

No documents available for this priority number.



Espacenet

Bibliographic data: JP2007089156 (A) — 2007-04-05

MESSAGE TRANSMITTING METHOD

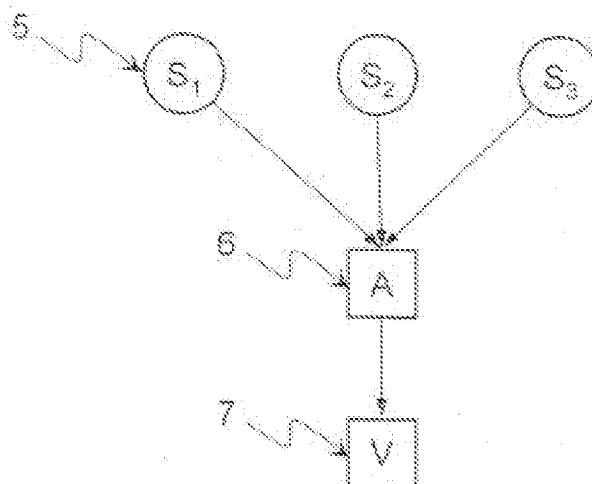
Inventor(s): GIRAO JOAO $\pm$ (GIRAO JOAO)
Applicant(s): NEC CORP $\pm$ (NEC CORP)
Classification: - **international:** G09C1/00; H04L9/32
 - **cooperative:** G06F9/546; H04L63/123
Application number: JP20060248868 20060914
Priority number(s): DE200510045733 20050923
Also published as: US2007071021 (A1) DE102005045733 (A1)

Abstract of JP2007089156 (A)

PROBLEM TO BE SOLVED: To provide a method for transmitting a message to a destination entity (3) from at least one message generating entity (1). ;

SOLUTION: A message to be transmitted with a generating entity is signed, individual entities (1, 2, 3) are mutually connected through a network (4), and at least one concentration entity (2) for concentrating a plurality of messages to one concentrated message is provided within the network (4). In this message transmitting method, a signature of the concentrated message is generated by the

concentration entity (2) so that the concentrated message and individual messages included in the concentrated message can be verified with the destination entity (3) by detecting the concentrated message and the signature thereof. Thereby easy and safe authentication can be obtained. ; COPYRIGHT: (C)2007,JPO&INPIT



Last updated: 19.12.2012 Worldwide Database 5.8.4; 92p

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-89156

(P2007-89156A)

(43) 公開日 平成19年4月5日(2007.4.5)

(51) Int. Cl.	F I	テーマコード (参考)
H04L 9/32 (2006.01)	H04L 9/00 675B	5J104
G09C 1/00 (2006.01)	G09C 1/00 640D	

審査請求 有 請求項の数 12 O L (全 9 頁)

(21) 出願番号	特願2006-248868 (P2006-248868)	(71) 出願人	000004237
(22) 出願日	平成18年9月14日 (2006.9.14)		日本電気株式会社
(31) 優先権主張番号	102005045733.9		東京都港区芝五丁目7番1号
(32) 優先日	平成17年9月23日 (2005.9.23)	(74) 代理人	100097157
(33) 優先権主張国	ドイツ (DE)		弁理士 桂木 雄二
		(72) 発明者	ジョアオ ジラオ
			ドイツ共和国、69115 ハイデルベルク、クアフェアステンアンラーゲ 36、エヌイーシー ヨーロッパ リミテッド内
		Fターム(参考)	5J104 AA09 JA21 LA03 LA06 NA02 PA07

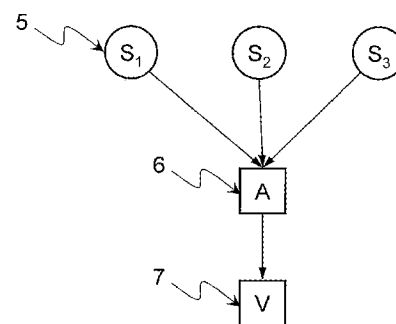
(54) 【発明の名称】 メッセージ送信方法

(57) 【要約】

【課題】 少なくとも1つのメッセージ作成エンティティ (1) から宛先エンティティ (3) へメッセージを送信する方法を提供する。

【解決手段】 作成エンティティによって送信されるメッセージは署名され、個々のエンティティ (1, 2, 3) はネットワーク (4) を通じて相互接続され、複数のメッセージを1つの集約メッセージにまとめる少なくとも1つの集約エンティティ (2) がネットワーク (4) 内に設けられる。本発明によれば、集約メッセージおよび集約メッセージに含まれる個々のメッセージが、集約メッセージおよび集約メッセージの署名を知ることによって宛先エンティティ (3) で検証できるように、集約メッセージの署名が前記集約エンティティ (2) によって作成される。これにより、簡単で安全な認証が可能となる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

少なくとも 1 つのメッセージ作成エンティティから宛先エンティティへメッセージを送信する方法において、前記作成エンティティによって送信されるメッセージは署名され、個々のエンティティはネットワークを通じて相互接続され、複数のメッセージを 1 つの集約メッセージにまとめる少なくとも 1 つの集約エンティティが前記ネットワーク内に設けられ、

前記集約エンティティは、前記宛先エンティティが前記集約メッセージおよび前記集約メッセージの署名を知ることによって前記集約メッセージおよび前記集約メッセージに含まれる個々のメッセージを検証できるように、前記集約メッセージの署名を作成する、こ
10

【請求項 2】

前記宛先エンティティが、前記集約メッセージに含まれる個々のメッセージに関する情報を有しないことを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記集約メッセージの署名が署名関数により計算され、前記集約メッセージの署名を計算するために、受信されたメッセージの署名および前記集約エンティティの鍵が前記署名関数によって使用されることを特徴とする請求項 1 または 2 に記載の方法。

【請求項 4】

前記署名関数は、集約メッセージの正しい署名の作成が、権限のある集約エンティティ
20

で対応する適切な鍵を用いる場合のみ可能となるように設計されることを特徴とする請求項 1 - 3 のいずれか 1 項に記載の方法。

【請求項 5】

前記作成エンティティによって送信されるメッセージがあらゆる作成エンティティによって同一の鍵で署名されることを特徴とする請求項 1 - 4 のいずれか 1 項に記載の方法。

【請求項 6】

前記作成エンティティによってメッセージに署名するために、少なくとも 2 個の相異なる鍵が使用されることを特徴とする請求項 1 - 4 のいずれか 1 項に記載の方法。

【請求項 7】

前記集約メッセージの署名を作成する際に前記集約エンティティによって前記作成エン
30

ティティとは異なる鍵が使用されることを特徴とする請求項 1 - 6 のいずれか 1 項に記載の方法。

【請求項 8】

前記集約エンティティの鍵が、前記集約エンティティへメッセージを送信する作成エンティティの鍵に合わせて調整されることを特徴とする請求項 7 に記載の方法。

【請求項 9】

前記集約エンティティによって集約のために受信されるメッセージが認証に関してチェックされ、認証をチェックするために該メッセージの署名がチェックされることを特徴とする請求項 1 - 8 のいずれか 1 項に記載の方法。

【請求項 10】

集約メッセージの認証に失敗した場合、前記集約メッセージに含まれる個々のメッセージおよび／またはチェックのために必要な鍵が前記宛先エンティティにより要求され、各メッセージが認証に関して別々にチェックされることを特徴とする請求項 1 - 9 のいずれ
40

【請求項 11】

1 つまたは複数の集約エンティティの集約メッセージが、別の集約エンティティによって連結されることを特徴とする請求項 1 - 10 のいずれか 1 項に記載の方法。

【請求項 12】

前記別の集約エンティティによって受信されるメッセージが、1 つまたは複数の作成エンティティのメッセージと同様に処理されることを特徴とする請求項 1 - 11 に記載の方法。
50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、少なくとも1つのメッセージ作成エンティティから宛先エンティティへメッセージを送信する方法に関する。ここで、作成エンティティによって送信されるメッセージは署名され、個々のエンティティはネットワークを通じて相互接続され、複数のメッセージを1つの集約メッセージにまとめる少なくとも1つの集約エンティティがネットワーク内に設けられる。

【背景技術】

【0002】

現在利用可能なネットワークの容量が増大するのに伴い、転送データ量の重要性は低下しつつある。通常、2つのエンティティ間でかなり容易に大量のデータを交換することができるになっている。しかしながら、一部のアプリケーション、特に、電源リソースの限られた無線ネットワークおよび移動通信加入者からなるシステムの場合には、システム全体の能力を向上させるために、送信データ量を低減し最適化すると有意義なことがある。

【0003】

その理由としては、例えば、受信データを処理する際の受信機的能力が限られていることや、非常に詳細な情報が不要なことが挙げられる。前者は特に、リアルタイムシステムや電源リソースの限られたシステムの場合である。後者は、多くのアプリケーションの場合に重要となり得る。この点、例えば、ユーザがサービスを利用した時間の長さを測定する際には、既に利用したサービスに関するあらゆるメッセージを送信する必要はない。その代わりに、全利用期間と、おそらくは利用の開始時点および／または終了時点を送信し保存すれば十分である。同様に、ある特定の環境における平均測定値を算出するためのセンサネットワークの場合には、個々のあらゆるセンサの値が必要なわけではない。

【0004】

この場合に意味があるのは、まず個々の測定値から平均値を算出した後、これらの値を対応する宛先エンティティへ送信し始めることである。

【0005】

このような集約メカニズムは、以前から工学分野で知られており、応用されて成果を収めている。この目的のためには、複数のメッセージとして送信された複数のデータを1つまたは複数の集約エンティティで収集し、まとめて集約メッセージとする。集約のためには、既に上記で指摘したように、いくつかの利用可能な方法がある。例えば、加減算、平均値の計算、分散の算出、あるいはその他の結合方法が実行可能である。この集約の後に、データを集約メッセージとして宛先エンティティへ送信する。

【0006】

しかし、集約を用いる場合、いくつかのアプリケーションでは、無権限の作成エンティティによる変更や無権限の作成に対して送信メッセージを保護することができるような、特定のセキュリティメカニズムが必要である。

【0007】

このようなアプリケーションとしては、例えば、電子支払いシステムや電子投票の実施が挙げられる。

【0008】

このようなセキュリティ要求を満たすため、現在知られている集約システムが従っている手法にはいくつかのものがあるが、そのほとんどはデジタル署名を利用している。ある手法では、個々の署名付きメッセージを変更せずに1つの新規メッセージにまとめる。その後、その集約メッセージ全体について署名を計算し、集約メッセージに付加する。宛先エンティティで集約メッセージを受信した時には、まず、集約メッセージを認証するために、集約エンティティの署名をチェックしなければならない。その後、集約メッセージに含まれる各メッセージを別々にチェックしなければならない。

【0009】

データ量を削減する場合、受信される個々のメッセージの署名を集約エンティティでチェックしなければならない。その後、個々のメッセージのデータを集約して新規メッセージに組み込むことができる。これに対応して、このメッセージの署名を生成し、その署名を集約メッセージに付加しなければならない。宛先エンティティでこれを受信した時には、集約メッセージの署名をチェックすれば十分である。しかしこの場合、集約エンティティ自体が無制約に信頼できることが保証されなければならない。この保証は常に与えられるとは限らない。

【発明の開示】

【発明が解決しようとする課題】

10

【0010】

当業者に既知の手法における問題点の一例として、署名を含むすべてのメッセージを常 に送信し、あるいは少なくとも署名を中間局（ここでは集約エンティティ）でチェックし なければならないことがある。この場合、集約エンティティにおいて、送信しなければ ならない不要な大量のデータ、あるいは不要な大量の処理が生じる。さらに、認証がより複 雑になる。すなわち、集約エンティティで署名のチェックを実行しなければならないため 、集約エンティティは、送信エンティティに関する多くの知識を備えなければならない。

【課題を解決するための手段】

【0011】

そこで、本発明は、上記のようなメッセージ送信方法において、集約メッセージに含ま 20 れる個々のメッセージおよび集約メッセージ自体の簡単で安全な認証が可能な方法を実現 し、さらに改良するという課題を解決しようとするものである。

【0012】

本発明によれば、上記の課題は請求項1に記載の特徴を備えた方法によって解決される 。これによれば、本発明の方法は、集約メッセージおよび集約メッセージに含まれる個々 のメッセージが、集約メッセージおよび集約メッセージの署名を知ることによって宛先エ ンティティで検証できるように、集約メッセージの署名が集約エンティティによって作成 されることを特徴とする。

【0013】

本発明により初めて認識されたこととして、集約メッセージおよびその署名の知識のみ 30 に基づいて、集約メッセージに含まれる個々のメッセージおよび集約メッセージ自体の安 全な認証が可能となる。この目的のため、本発明によれば、集約エンティティで受信した メッセージがデータ部分と署名部分に分割される。これらの2つの部分が別々に、好まし くは並行して集約される。署名を集約するため、集約メッセージに含まれるすべてのメッ セージが、その送信元とともに、集約メッセージおよびその署名を知るだけで検証できる ような、署名を計算する署名関数が用いられる。

【0014】

本発明による方法はユニバーサルに適用可能である。本方法は、メッセージを集約する 特定の方法にも、特定のアプリケーションにも制約されない。集約方法は、数学的演算の みに基づくものとする。

40

【0015】

同様に、本発明による方法は、多様なネットワーク技術および多様なトランスポートプ ロトコルとともに使用可能である。例として、イーサネット（登録商標）、IEEE 80 2. 11に準拠したWLAN（無線ローカルエリアネットワーク）、またはUMTS(Uni versal Mobile Telecommunications System)が挙げられるが、本方法は決してこれらに限 定されるものではない。プロトコルの例としては、IPプロトコルが使用可能である。

【0016】

また、集約は、特定のメッセージの集約に限定されない。この点、単一の作成エンティ ティのメッセージも、複数の作成エンティティのメッセージも、集約可能である。さらに 、ある期間にわたって収集された複数のメッセージを集約することができる。これらのメ

50

ッセージを生成したのが単一のエンティティか複数のエンティティかは問わない。

【0017】

特に有利な態様として、1つの集約メッセージに含まれる個々のメッセージの認証のために、個々のメッセージが利用可能である必要はない。その代わりに、集約メッセージおよびその署名を知れば十分である。正しい署名が集約メッセージに付加されている場合、集約メッセージ自体のみならず、集約メッセージに含まれるメッセージも認証できる。

【0018】

これは、集約メッセージの署名を計算する際に署名関数を使用することによって達成できる。署名関数は、複数のメッセージに付随する複数の署名を基に単一の署名を計算することを考慮する。ここで言う複数のメッセージは、受信されると集約メッセージとしてまとめられる。したがって、署名関数をうまく選べば、個々のメッセージの署名に関する情報を集約により失わずに得ることができる。

10

【0019】

さらに、集約メッセージの署名を計算する際には、集約エンティティの鍵が用いられ、これにより集約自体も認証可能となる。

【0020】

本方法のセキュリティのレベルをさらに高くすることに関して、集約メッセージの正しい署名を作成できるのは、対応する権限のある集約エンティティによって、対応する集約鍵を用いて作成される場合だけであるように、署名関数および集約エンティティにより適用される鍵を設計することができる。この場合、集約エンティティの鍵は、個々のメッセージの署名を正しく集約するための前提条件として作用する。集約エンティティの鍵は、集約エンティティが、この鍵と、集約すべきメッセージとともに受信される署名とがある場合にのみ、正しい署名を作成できるように設計することができる。すなわち、集約エンティティは、単独では、有効に署名されたメッセージを作成できない。これにより、本発明による方法のセキュリティを向上させることができる。

20

【0021】

本方法の適用形態によっては、あらゆる作成エンティティが同一の鍵を用いて送信メッセージに署名する場合や、相異なる少なくとも2個の鍵が作成エンティティによって用いられる場合が重要となり得る。同一鍵は、集約すべきメッセージが単一の作成エンティティのみによって生成される場合や、メッセージと特定の作成エンティティとの関連づけが不要な場合に用いられることがある。この場合、メッセージは、作成エンティティからなるグループのみに関連づけることも可能である。作成エンティティの相異なる鍵に基づく署名が特に必要となるのは、特定のセキュリティ指針を遵守しなければならないようなシステムの場合である。例えば、電子投票を実施する場合、特定の一個人によって一票だけが投票されることを保証しなければならない。この場合、各選挙人に、署名のための相異なる一意的な鍵を付与しなければならない。センサネットワークの場合にも、測定値を知るだけでなく、その測定値を特定のセンサに正確にマッピングすることが必要となる場合が非常に多い。この場合、各センサに、署名のための相異なる鍵、好ましくは一意的な鍵を付与しなければならない。

30

【0022】

さらに、複数の鍵を使用することによりセキュリティが向上する。無権限者は、作成エンティティの鍵を見出そうとしても、この鍵で署名されたメッセージにアクセスできるだけである。

40

【0023】

同時に、一部のエンティティやエンティティのグループが同一の鍵を用いてメッセージに署名し、システム全体では複数の鍵が用いられるような適用形態が考えられる。この点、上記のセンサネットワークの場合、あるセンサグループは物理測定の平均値を算出し、他のセンサは正確な値を測定するものとされる。この場合、センサグループには、メッセージに署名するための同一の鍵を付与することができる。したがって、適用形態に応じて、上記の可能性やその他の可能性を任意に選択し、あるいは組み合わせることにより、鍵

50

を配布する際に種々のストラテジを用いることが可能である。

【0024】

ただ、少なくとも集約エンティティは、作成エンティティ（複数可）の鍵（複数可）とは異なる鍵を有するのが好ましい。この場合、集約エンティティの鍵は、作成エンティティ（複数可）の鍵（複数可）に合わせて調整可能である。この場合特に、対称鍵を用いることができる。さらに、当業者に既知のように、鍵の一斉相互調整を適用することが考えられる。

【0025】

また、当業者に既知のさまざまな鍵保管方法が適用可能である。この点、鍵は、システム内に変数としてソフトウェア的に保管しても、別個のチップ上に保管してもよい。鍵は、変更可能であってもよいが、モジュール等のセキュリティメカニズムの交換に限ることによって保護することも可能である。

【0026】

アプリケーションから要求される場合には、集約エンティティで受信される集約すべきメッセージは、その認証に関してチェックされることが可能である。このチェックは、好ましくは集約前に行われ、正しく認証できたメッセージのみを集約することができる。メッセージを検証するため、メッセージと署名が適合するかどうかに関してメッセージの署名をチェックする。このためには、署名方法に関して用いられる当業者に既知の方法が適用される。

【0027】

宛先エンティティにより実行される集約メッセージの認証が失敗した場合、宛先エンティティは、集約エンティティに対して、集約メッセージに含まれる個々のメッセージを送信するよう要求することができる。このためには、集約エンティティが、対応する集約したメッセージをある一定期間バッファリングする必要がある。この期間は、アプリケーションに応じて長くあるいは短く選択できる。こうして、集約メッセージに含まれる個々のメッセージは、その認証に関して宛先エンティティによって個別にチェックされる。この目的のため、状況によっては署名をチェックするために必要となる鍵を、宛先エンティティに提供しなければならない。この鍵は、宛先エンティティ自体で保管しても、ネットワーク内の別の場所で保管してもよい。

【0028】

また、特に本方法のユニバーサルな適用に関して、集約エンティティをカスケード接続することができる。この点、作成エンティティのメッセージが1つの集約エンティティに供給されることは必ずしも必要でない。その代わりに、1つまたは複数の集約エンティティの既に集約されたメッセージを、ある集約エンティティでまとめることができる。この場合、受信された集約メッセージは前述のように処理される。これは、署名の集約を特別に設計することにより可能となる。特に、作成エンティティにより生成された個々のメッセージの集約と、既に集約されたメッセージとの混合形態も可能である。

【0029】

集約メッセージの集約は、例えば、選挙を電子的に実行する際に必要となる可能性がある。個々の投票所のメッセージを複数の端末にわたって、および／またはある特定の時間にわたって、集約することができる。複数の投票所の集約メッセージを連結することにより、ある町の全投票所にわたる集約メッセージとすることができる。選挙区や地域レベルでさらに集約を実施することも可能である。

【0030】

本発明を有利な態様で実施し改良するためのいくつかの選択肢がある。これに関しては、一方で請求項1に従属する請求項を参照し、他方で図面とともに本発明の好ましい実施例に関する以下の説明を参照されたい。本発明の好ましい実施例および図面の説明においては、本発明の一般的に好ましい実施形態および改良形態も説明される。

【発明を実施するための最良の形態】

【0031】

図1は、本発明による方法を適用した実施例を模式的に示している。複数の作成エンティティ1がメッセージを生成して集約エンティティ2へ送信する。集約エンティティは、宛先エンティティ3へ集約メッセージを送信する。各エンティティはネットワークコネクション4を通じて相互接続される。このネットワークを通じて、メッセージ、必要なシグナリング、要求等の情報およびデータが送信される。ネットワークコネクションはそれぞれ仕様が異なる場合がある。この点、作成エンティティは、WLANコネクションによって集約エンティティに接続されたセンサシステムを含み得る。集約エンティティと宛先エンティティとのコネクションには、DSLコネクションが使用可能である。

【0032】

図2は、簡単な実施例の信号フローを示している。1つまたは複数の作成エンティティによって生成された個々のメッセージが集約エンティティ2で集約される（集約6）。 10

【0033】

図2は、個々のメッセージの署名の処理を示している。署名 S_1 、 S_2 および S_3 を集約6により併合する。また、集約エンティティ2の鍵を用いて、署名 S_1 、 S_2 および S_3 から集約署名を計算する。最後に、集約メッセージとともに宛先エンティティへ送信された集約署名は、宛先エンティティ3で、検証ステップ7において検証される。ここで、はっきり指摘しておかなければならないが、署名5が、1つまたは複数の作成エンティティ1および／または集約エンティティ2のいずれによって作成されるかは問わない。

【0034】

図3は、本実施例において、集約メッセージが1つの作成エンティティ1のみによって生成された場合の、本発明による方法の適用例を示している。この図では、本発明による方法の適用は、AAA（認証・許可・アカウントティング）サーバの場合を例示している。AAAサーバは、無線ネットワークでシステムアクセスを制御するため、あるいは利用時間を集計するために用いられる。図3に示す例では、移動局8が時刻 T_1 、 T_2 および T_3 にアクセスルータ9へのメッセージを作成し、これらのメッセージにより、ある一定期間無線ネットワークを使用するための許可を要求する。この場合、各メッセージ5には、移動局8によって対応する署名がなされる。 20

【0035】

メッセージに署名するためには、ECC（楕円曲線暗号）に基づく特定の署名方法が用いられる。ECCの場合、いわゆるDLP（離散対数問題）が存在するため、離散対数は計算が困難である。したがって、（整数の集合 Z に属する数と、ある点との）楕円曲線スカラー乗算の逆関数は、通常の計算量ではもはや計算できない。いくつかの曲線の場合には、計算量が非常に膨大になるため、逆関数を計算することはほとんど不可能である。そのような曲線上には、自分自身との任意回数の加算によって曲線上の他の点を生成することができる特定の点 G が存在する。この点を生成元（ジェネレータ）という。 30

【0036】

この署名生成関数により、メッセージ m に対して署名 C を計算する。このためには、作成エンティティの鍵（ α 、 β 、 Θ ）が必要である。実際の計算を行う前に、メッセージ m を曲線上に写像する。こうして得られる点を M とする。セキュリティを向上させるため、ランダムな点 R を署名関数に付加する。この点自体は、乱数 k と生成元 K との積により計算される。したがって署名は次式により生成することができる。 40

$$C = \alpha * M + \beta * R + \Theta * G \quad (1)$$

アスタリスクは集合 Z の数とある点との乗算により曲線上の別の点を生成することを表す。さらに、特定の（ α 、 β 、 Θ ）を選択すれば、計算をさらに簡単にすることができる。本実施例では、 s を整数の定数として、 $\alpha = s^3$ 、 $\beta = s^2$ 、 $\Theta = s$ である。

【0037】

ある特定の利用時間を要求するあらゆるメッセージをAAAサーバで知る必要はないので、アクセスルータ9が集約エンティティ2として作用する。そこで、アクセスルータ9は、移動局8から受信したメッセージ5を相異なる時点に収集し、所定数のメッセージの後、所定期間の後、または移動局8の利用終了に関するメッセージの後の時点までに得ら 50

れたメッセージを集約する。

【0038】

このために、移動局 8 のメッセージ 5 のデータ部分と署名部分を分離し、並行して集約する。データの集約は、この場合、個々の期間の付加によって表される。

【0039】

個々のメッセージ 11 の署名 C_1 および C_2 を集約する際には、アクセスルータ 9 で受信した個々のメッセージ 5 から集約メッセージ 12 の署名 C_3 を署名関数で計算する。この場合、個々のメッセージ 11 の署名と、メッセージ 11 自体とを付加する。メッセージ 11 のすべての署名に対して同一の鍵が用いられているので、署名の集約は特に簡単である。この署名の特質により、集約メッセージ 12 の署名は次式で計算できる。

$$C_3 = C_1 + C_2 - sG \quad (2)$$

ここで、 sG は集約エンティティの鍵であり、 s および G の意味は前に定義した通りである。この鍵が既知である場合に限り、正しい署名が計算できる。式 (2) の 2 つのメッセージ M_1 および M_2 に対して式 (1) を代入することにより、署名 C_3 がメッセージ $M_3 = M_1 + M_2$ に対する正しい署名であることが容易に証明できる。2 個よりも多くのメッセージを集約するには、公式 (2) に示した関係を複数回適用しなければならない。その結果、集約エンティティの鍵 sG を $(i-1)$ 回減算することが必要である。ここで i は、集約すべきメッセージ 11 の個数である。

【0040】

相異なる鍵を用いる場合、集約エンティティの鍵の公式および生成はより複雑となるが、本方法自体は原理的には変わらない。このため、これ以上の説明は省略する。

【0041】

ここで明らかに分かるように、集約エンティティの鍵は、集約メッセージの正しい署名が集約エンティティにより計算できるように選ばれる。ただし、鍵を考慮するだけでは一般に自己の署名を計算することはできない。集約すべきメッセージの署名が必ず必要である。このため、集約エンティティは集約メッセージを転送するだけであり、自己のメッセージを作成しないようにする。これにより、無制限に信頼できるとは限らない集約エンティティで集約を実行することができる。

【0042】

集約されたデータおよび集約メッセージの計算された署名は、最終的に集約メッセージ 12 へとまとめられ、AAAサーバ 10 へ送信される。そこで、集約メッセージ 12 の検証が実行される。集約メッセージが正しい署名を含む場合、署名検証の特質により、集約メッセージに含まれるメッセージが認証されたと仮定することができる。

【0043】

最後に、留意すべき特に重要な点であるが、上記実施例は、全く任意に選択されたものであり、本発明による教示の実例としての役割を果たすに過ぎず、本発明を上記実施例に限定するものではない。

【図面の簡単な説明】

【0044】

【図 1】本発明による方法を適用したシステムの構造を模式的に示す。

【図 2】本発明による方法を適用する場合に、署名を処理する際の信号フローを模式的に示す。

【図 3】1 つの作成エンティティがメッセージを送信する時間的手順を模式的に示す。

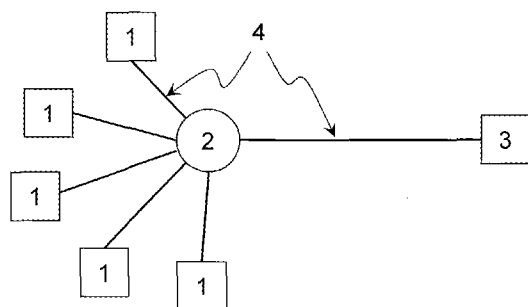
【符号の説明】

【0045】

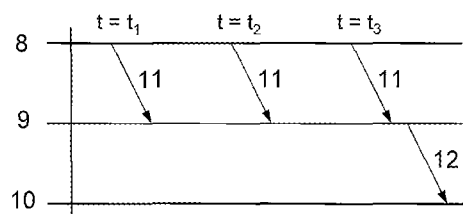
- 1 作成エンティティ
- 2 集約エンティティ
- 3 宛先エンティティ
- 4 ネットワークコネクション
- 5 署名

- 6 集約
- 7 検証
- 8 移動局
- 9 アクセスルータ
- 10 A A Aサーバ
- 11 メッセージ
- 12 集約メッセージ

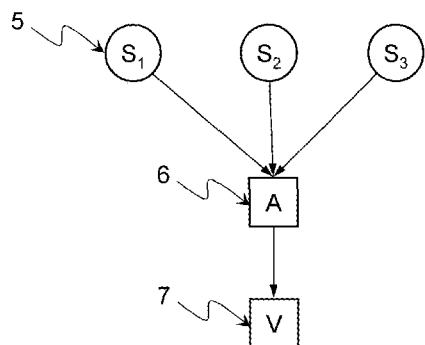
【図 1】



【図 3】



【図 2】



No documents available for this priority number.



Espacenet

Bibliographic data: JP2008257340 (A) — 2008-10-23

**INFORMATION PROCESSING APPARATUS, INFORMATION PROCESSING
METHOD, STORAGE MEDIUM AND PROGRAM**

Inventor(s): MURAYAMA TSUTOMU; TAKARAGI YOICHI; YOSHIHARA KUNIO;
TAKANO JUNICHI; FUKADA SHINICHI ± (MURAYAMA TSUTOMU, ;
TAKARAGI YOICHI, ; YOSHIHARA KUNIO, ; TAKANO JUNICHI, ;
FUKADA SHINICHI)

Applicant(s): CANON KK ± (CANON INC)

Classification: - **international:** **G06F13/00; G06F21/20; G06F21/24**
- **cooperative:**

**Application
number:** JP20070096569 20070402

**Priority number
(s):** JP20070096569 20070402

Abstract of JP2008257340 (A)

PROBLEM TO BE SOLVED: To issue an information processing request reflecting security conditions on an information processing requesting information processing apparatus to another information processing apparatus. ; SOLUTION: When acquiring a request to process data from a data server 20, a data server 10 creates a security request for the data according to the processing request (S5002) and sends the created security request to the data server 20 (S5003). The data server 10 then acquires security setting information created by the data server 10 in response to the security request (S5006). Whether or not to permit the data processing request is determined according to the acquired security setting information and the security request (S5006). A processing request permission or denial in connection with determination results, the data and data security instruction information are sent to the data server 20 in accordance with the determination result (S5007). ; COPYRIGHT: (C)2009,JPO&INPIT



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-257340

(P2008-257340A)

(43) 公開日 平成20年10月23日(2008.10.23)

(51) Int. Cl.	F I	テーマコード (参考)
G06F 21/24 (2006.01)	G06F 12/14 520A	5B017
G06F 21/20 (2006.01)	G06F 15/00 330A	5B285
G06F 13/00 (2006.01)	G06F 13/00 510A	
	G06F 12/14 520F	
	G06F 12/14 560B	
審査請求 未請求 請求項の数 13 O L (全 20 頁)		

(21) 出願番号	特願2007-96569 (P2007-96569)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成19年4月2日(2007.4.2)	(74) 代理人	100145827 弁理士 水垣 親房
		(72) 発明者	村山 努 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	宝木 洋一 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	吉原 邦男 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		最終頁に続く	

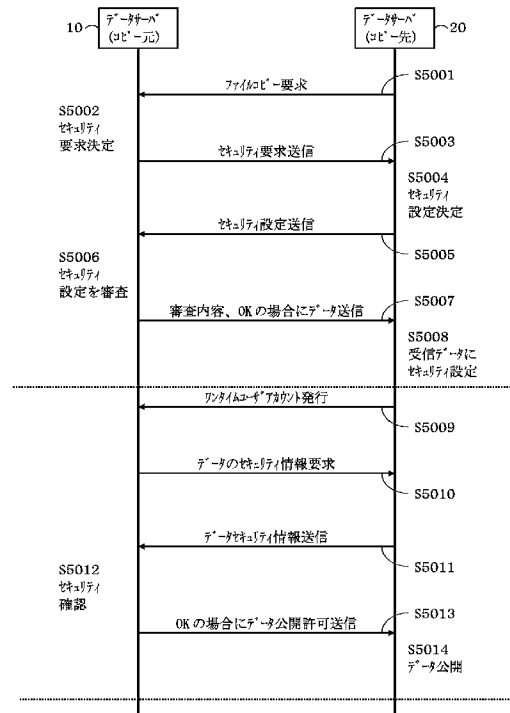
(54) 【発明の名称】 情報処理装置、情報処理方法、記憶媒体及びプログラム

(57) 【要約】

【課題】 情報処理要求元の情報処理装置のセキュリティ条件を反映した情報処理要求を他の情報処理装置に対して行うことである。

【解決手段】 データサーバ10がデータサーバ20からのデータに対する処理要求を取得すると、処理要求に基づいて、データに対するセキュリティ要求を作成し（S5002）、作成されたセキュリティ要求をデータサーバ20に送信する（S5003）。次に、データサーバ10は、セキュリティ要求に基づいて、データサーバ10が作成するセキュリティ設定情報を取得する（S5006）。そして、取得するセキュリティ設定情報と、前記セキュリティ要求とに基づいてデータに対する処理要求の可否を判断する（S5006）。そして、判断された判断結果を伴って処理要求に対する可否と、データと、データのセキュリティ指示情報とをデータサーバ20に送信する（S5007）ことを特徴とする。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

他の情報処理装置と通信可能な情報処理装置であって、
前記他の情報処理装置から前記情報処理装置内の情報に対する特定の処理要求を取得する取得手段と、

前記特定の処理要求を取得した前記他の情報処理装置に対して、前記情報処理装置内の情報に対して設定すべきセキュリティ条件を要求する要求手段と、

前記要求手段による要求に応じて、前記他の情報処理装置から取得するセキュリティ条件を審査して、前記特定の処理要求の可否を決定する決定手段と、
を有することを特徴とする情報処理装置。

10

【請求項 2】

他の情報処理装置から情報を取得して処理する情報処理装置であって、

前記他の情報処理装置内の情報に対する特定の処理要求を送信する第 1 の送信手段と、

前記他の情報処理装置からの要求に応じて、前記他の情報処理装置内の情報に対して設定すべきセキュリティ条件を送信する第 2 の送信手段と、

前記第 2 の送信手段により送信された前記セキュリティ条件に基づいて、前記他の情報処理装置が決定した前記特定の処理要求に対する応答を受信する受信手段と、
を有することを特徴とする情報処理装置。

【請求項 3】

前記特定処理は、前記情報に対する閲覧処理、印刷処理、追記処理、変更処理、消去処理を含むことを特徴とする請求項 1 又は 2 記載の情報処理装置。

20

【請求項 4】

前記セキュリティ条件は、前記情報に対するアクセス要求を制限するアクセス可能数、前記情報に対する追記可能数、前記情報に対する印刷可能人数、前記情報に対するアクセス期間を含むことを特徴とする請求項 1 又は 2 記載の情報処理装置。

【請求項 5】

前記情報に設定されているセキュリティ条件を変更する変更手段と、

前記変更手段により変更された前記セキュリティ条件を前記他の情報処理装置に通知する通知手段と、

を有することを特徴とする請求項 2 記載の情報処理装置。

30

【請求項 6】

第 1 の情報処理装置に対して情報の処理要求を行う第 2 の情報処理装置とが通信可能な情報処理システムであって、

前記第 1 の情報処理装置は、

前記第 2 の情報処理装置から前記第 1 の情報処理装置内の情報に対する特定の処理要求を取得する取得手段と、

前記特定の処理要求を取得した前記第 2 の情報処理装置に対して、前記情報処理装置内の情報に対して設定すべきセキュリティ条件を要求する要求手段と、

前記要求手段による要求に応じて、前記第 2 の情報処理装置から取得するセキュリティ条件を審査して、前記特定の処理要求の可否を決定する決定手段と、
を有し、

40

前記第 2 の情報処理装置は、

前記第 1 の情報処理装置内の情報に対する特定の処理要求を送信する第 1 の送信手段と、

前記第 1 の情報処理装置からの要求に応じて、前記第 1 の情報処理装置内の情報に対して設定すべきセキュリティ条件を送信する第 2 の送信手段と、

前記第 2 の送信手段により送信された前記セキュリティ条件に基づいて、前記第 1 の情報処理装置が決定した前記特定の処理要求に対する応答を受信する受信手段と、
を有することを特徴とする情報処理システム。

【請求項 7】

他の情報処理装置と通信可能な情報処理装置における情報処理方法であって、
前記他の情報処理装置から前記情報処理装置内の情報に対する特定の処理要求を取得する取得工程と、
前記特定の処理要求を取得した前記他の情報処理装置に対して、前記情報処理装置内の情報に対して設定すべきセキュリティ条件を要求する要求工程と、
前記要求工程による要求に応じて、前記他の情報処理装置から取得するセキュリティ条件を審査して、前記特定の処理要求の可否を決定する決定工程と、
を有することを特徴とする情報処理方法。

【請求項 8】

他の情報処理装置から情報を取得して処理する情報処理装置であって、
前記他の情報処理装置内の情報に対する特定の処理要求を送信する第 1 の送信工程と、
前記他の情報処理装置からの要求に応じて、前記他の情報処理装置内の情報に対して設定すべきセキュリティ条件を送信する第 2 の送信工程と、
前記第 2 の送信工程により送信された前記セキュリティ条件に基づいて、前記他の情報処理装置が決定した前記特定の処理要求に対する応答を受信する受信工程と、
を有することを特徴とする情報処理方法。

【請求項 9】

前記特定処理は、前記情報に対する閲覧処理、印刷処理、追記処理、変更処理、消去処理を含むことを特徴とする請求項 7 又は 8 記載の情報処理方法。

【請求項 10】

前記セキュリティ条件は、前記情報に対するアクセス要求を制限するアクセス可能数、前記情報に対する追記可能数、前記情報に対する印刷可能人数、前記情報に対するアクセス期間を含むことを特徴とする請求項 7 又は 8 記載の情報処理方法。

【請求項 11】

前記情報に設定されているセキュリティ条件を変更する変更工程と、
前記変更工程により変更された前記セキュリティ条件を前記他の情報処理装置に通知する通知工程と、
を有することを特徴とする請求項 8 記載の情報処理方法。

【請求項 12】

請求項 7～11 のいずれか 1 項に記載の情報処理方法をコンピュータに実行させるためのプログラムを格納したことを特徴とするコンピュータが読み取り可能な記憶媒体。

【請求項 13】

請求項 7～11 のいずれか 1 項に記載の情報処理方法をコンピュータに実行させることを特徴とするプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、外部装置と通信可能な情報処理装置のデータ処理に関するものである。

【背景技術】

【0002】

近年、オフィス環境では、個人、企業、団体を問わず情報資産のセキュリティを確保することに対する重要性が求められている。また、一方で、複数の個人、企業、団体での作業のコラボレーションによる作業の効率化が求められており、従って情報のセキュリティを確保しつつ情報共有を図る手段が求められている。

【0003】

しかしながら、複数の個人、企業、団体での情報管理のセキュリティポリシーは当然それぞれのドメインで作成、運用管理が行われている。

【0004】

そこで、異なるセキュリティポリシー間の情報に対するコピー処理の実行、中止決定に関する従来例として、特許文献 1 が公開されている。

【0005】

この様に異なるドメイン間で情報のコピーを実現する場合に、データのコピー元のドメインとしては、データのコピー先のドメインで、コピーを行ったデータにどのようなセキュリティポリシーが実現されるかが判断される場合がある。特にどのようなセキュリティポリシーが実現されるかが情報のセキュリティを確保する場合に重要な判断材料となる。

【0006】

一例として、A社がB社に製品開発を依頼する場合に製品仕様書を送信する場合に、この製品仕様書に対してB社の社員全員がアクセス可能というセキュリティ設定が設定されてしまえば、非常に問題がある。

【特許文献1】特開2005-196338号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上記従来例では、コピー実行者のユーザ情報、および元データのコピー元のデータサーバ上のセキュリティ要件、コピーの実行、禁止を判断していた。

【0008】

また、上記従来例では、ユーザ認証情報が1つの管理サーバで管理されていてコピー元のデータサーバ及びコピー先のデータサーバからアクセスする必要があるという制約がある。このため、ユーザ認証情報を管理する管理サーバの情報のメンテナンスコストおよび管理情報の肥大化してしまうという問題がある。

20

【0009】

本発明は、上記の課題を解決するためになされたもので、本発明の目的は、情報処理要求元の情報処理装置のセキュリティ条件を反映した情報処理要求を他の情報処理装置に対して行える仕組みを提供することである。

【課題を解決するための手段】

【0010】

上記目的を達成する本発明の情報処理装置は以下に示す構成を備える。

【0011】

他の情報処理装置と通信可能な情報処理装置であって、前記他の情報処理装置から前記情報処理装置内の情報に対する特定の処理要求を取得する取得手段と、前記特定の処理要求を取得した前記他の情報処理装置に対して、前記情報処理装置内の情報に対して設定すべきセキュリティ条件を要求する要求手段と、前記要求手段による要求に応じて、前記他の情報処理装置から取得するセキュリティ条件を審査して、前記特定の処理要求の可否を決定する決定手段とを有することを特徴とする。

30

【発明の効果】

【0012】

本発明によれば、一方の情報処理装置から他方の情報処理装置に情報の処理要求を行う場合に、それぞれのセキュリティ条件が異なる場合でも、処理要求元の情報処理装置のセキュリティ条件でデータ処理要求の可否を決定することができる。

【発明を実施するための最良の形態】

40

【0013】

次に本発明を実施するための最良の形態について図面を参照して説明する。

【0014】

<システム構成の説明>

〔第1実施形態〕

図1は、本発明の第1実施形態を示すデータ処理システムの概略構成を示す図である。本例は、複数のデータサーバとクライアントとがインターネットを介してデータ処理を行う情報処理システム例である。

【0015】

図1において、データサーバ10とクライアント12はLAN11を介して接続されて

50

いる。そして、ユーザはクライアント 1 2 を通じてデータサーバ 1 0 内の処理対象となるデータ（情報）に対するセキュリティ条件として閲覧、追記、変更、消去などの各種指示を行う。

【0016】

ここで、データサーバ 1 0 は、第 1 の情報処理装置として機能し、第 1 のセキュリティ条件を設定されており、後述するデータサーバ 2 0 に設定されている第 2 のセキュリティ条件とは一致しない場合がある。例えばデータサーバ 2 0 では、コピー許可となる設定であっても、データサーバ 1 0 ではコピー禁止となる。

【0017】

また、データサーバ 1 0 はファイアウォール 1 3 を介して、インターネット 3 0 経由で 10
の外部からのデータ及び各種指示の受信、送信処理を行うことが可能である。

【0018】

同様に、データサーバ 2 0 とクライアント 2 2 は LAN 2 1 を介して接続しており、ユーザはクライアント 2 2 を通じてデータサーバ 2 0 内のデータ（情報）に対する閲覧、追記、変更、消去などの各種指示を行う。なお、本実施形態において、情報は、各データサーバ 1 0、2 0 内の記憶装置に保持されている情報であれば、その情報種別に限定されることはない。ここで、記憶装置は、ハードディスク、光磁気ディスクを媒体とする不揮発性の外部記憶装置や、RAM 等の揮発性メモリが含まれる。

【0019】

また、ファイアウォール 2 3 を介して、インターネット経由 3 0 での外部からのデータ 20
及び各種指示の受信、送信処理を行うことが可能である。

【0020】

なお、データサーバ 2 0 は、他の情報処理装置内、本実施形態では、データサーバ 1 0 内の情報に対する特定の処理要求を送信する送信機能を備える。また、データサーバ 2 0 は、該第 1 の送信機能に従い、データサーバ 1 0 から要求されるセキュリティ条件に従い、データサーバ 1 0 内のデータに対して設定すべきセキュリティ条件を作成して、データサーバ 1 0 に送信する機能を備える。

【0021】

＜ハードウェア構成＞

図 2 は、図 1 に示したデータサーバ 1 0 のハードウェアの内部構成を示すブロック図である。なお、データサーバ 2 0 も同様の構成を持っており説明は省略する。 30

【0022】

図 2 において、1 0 はデータサーバで、ROM 5 0 2 あるいは例えばハードディスクなどの大規模記憶装置 5 1 1 に記憶されたソフトウェアを実行する CPU 5 0 1 を備える。そして、CPU 5 0 1 は、システムバス 5 0 4 に接続される各デバイスを総括的に制御する。

【0023】

5 0 3 は RAM で、CPU 5 0 1 の主メモリ、ワークエリア等として機能する。5 1 2 はタイマで、データサーバ 1 0 内で現在時刻を認識するためのカウント処理を行う。

【0024】

5 0 5 は外部入力コントローラ（PANEL C）で、外部に接続された例えばキーボード 5 0 9 などの入力インターフェース手段等からの指示入力を制御する。 40

【0025】

5 0 6 はディスプレイコントローラ（DISPC）で、外部に接続された例えば液晶ディスプレイなど DISPLAY 5 1 0 の表示を制御する。

【0026】

5 0 7 はディスクコントローラ（DKC）で、例えばハードディスクなどの大規模記憶装置 5 1 1 へのデータの読み取り、書き込み処理を制御する。5 0 8 はネットワークインタフェースカード（NIC）で、LAN 1 1 を介して、他のネットワーク機器あるいはクライアント 1 2 等と双方向にデータをやりとりする。

【0027】

<システム構成>

図3は、図1に示したデータサーバ10のシステムの内部構成を示すブロック図である。

【0028】

図3において、10はデータサーバ全体である。データサーバ10は、中央制御部550を備え、記録部551、UI制御部553、外部通信制御部555、セキュリティ要求作成部561およびセキュリティ設定審査部562が接続されている。

【0029】

記録部551は、大規模記憶装置511で構成されており、データを記録するデータ記録部559、データの名称や作成日付などの属性情報を記録するインデックス情報記録部552、データに対するセキュリティ設定を記録するセキュリティ情報記録部560を含む。

10

【0030】

UI制御部553は、キーボード509等からの指示入力を制御するPANELC505および液晶ディスプレイなどで構成されるDISPLAY510の表示を制御するDISPC506で構成される。

【0031】

外部通信制御部555は、LAN11を介して、他のネットワーク機器と双方向にデータのやりとりを制御するNIC508で構成される。

20

【0032】

図4は、図1に示したデータサーバ20のシステムの内部構成を示すブロック図である。

【0033】

図4において、20はデータサーバ全体である。データサーバ20は中央制御部650を備え、記録部651、UI制御部653、外部通信制御部655、およびセキュリティ設定作成部663が接続されている。

【0034】

記録部651は大規模記憶装置511で構成されている。ここで、記録部651は、データを記録するデータ記録部659、データの名称や作成日付などの属性情報を記録するインデックス情報記録部652、データに対するセキュリティ設定を記録するセキュリティ情報記録部660を含む。

30

【0035】

UI制御部653は、キーボード509等からの指示入力を制御するPANELC505および液晶ディスプレイなどで構成されるDISPLAY510の表示を制御するDISPC506で構成される。

【0036】

外部通信制御部655は、LAN21を介して、他のネットワーク機器と双方向にデータのやりとりを制御するNIC508で構成される。

【0037】

<データコピー処理>

以下、本実施形態の各データサーバ10、20間でのデータのコピー処理を図5に示すタイミングチャートに基づいて説明する。

40

【0038】

図5は、図1に示したデータサーバ20とデータサーバ10とのデータコピー処理を説明するタイミングチャートである。なお、S5001～S5014は各ステップを示す。ここで、データサーバ10がコピー元で、データサーバ20がコピー先となる場合を例として、各データサーバ10、20間でのデータのコピー処理を説明する。また、本実施形態では、処理要求として、コピー処理を例とするが、他の処理要求であってもよい。

【0039】

まず、ユーザがあらかじめ入手したデータサーバ１０内のデータのアドレス情報とデータのコピー要求をクライアント２２からデータサーバ２０へ送信する。

【００４０】

データサーバ２０は、外部通信制御部６５５を介してクライアント２２からコピー要求を受け取る。

【００４１】

そして、Ｓ５００１で、データサーバ２０の中央制御部６５０は、クライアント２２から受け取ったデータサーバ１０内のデータのアドレス情報を元に外部通信制御部６５５を介してデータサーバ１０と通信を開始する。

【００４２】

ここで、外部通信制御部６５５は、データサーバ１０に要求データを示すアドレス情報、データサーバ２０のアドレス情報、属性情報、データのコピー要求を送信する。

【００４３】

次に、Ｓ５００２で、データサーバ１０は、外部通信制御部５５５を介してデータサーバ２０からのコピー処理要求を取得する。

【００４４】

そして、データサーバ１０の中央制御部５５０は、要求されたデータのアドレス情報を元にインデックス情報記録部５５２から要求されたデータの属性情報を取得する。これと同時に、データサーバ１０の中央制御部５５０は、要求されたデータに設定されたセキュリティ情報を、セキュリティ情報記録部５６０から取得する。

【００４５】

そして、データサーバ１０の中央制御部５５０は、送信されたデータサーバ２０の属性情報、要求されたデータの属性情報、要求されたデータに設定されたセキュリティ情報を、セキュリティ要求作成部５６１に送信する。これを受けて、セキュリティ要求作成部５６１は、データサーバ２０へコピーするデータに対してのセキュリティ要求を作成する。

【００４６】

次に、Ｓ５００３で、データサーバ１０の中央制御部５５０は、受け取ったデータサーバ２０のアドレス情報を元に、セキュリティ要求を外部通信制御部５５５を介してデータサーバ２０に送信する。

【００４７】

次に、Ｓ５００４で、データサーバ２０の外部通信制御部６５５を介してセキュリティ要求を受け取った中央制御部６５０は、送信されたセキュリティ要求をセキュリティ設定作成部６６３に送信して、セキュリティ設定情報を作成させる。

【００４８】

次に、Ｓ５００５で、データサーバ２０の中央制御部６５０は、受け取ったデータサーバ１０のアドレス情報を元に外部通信制御部６５５を介して、セキュリティ設定情報を外部通信制御部６５５を介してデータサーバ１０に送信する。

【００４９】

このようにして、データサーバ１０は、データサーバ２０から送信されたセキュリティ設定情報を外部通信制御部５５５を介して受け取る。

【００５０】

そして、データサーバ１０の中央制御部５５０は、Ｓ５００６で、作成したセキュリティ要求と送信されたセキュリティ設定情報をセキュリティ設定審査部５６２に送信して、コピー動作の許可、禁止を判断させる。つまり、データ供給元でデータサーバ１０のセキュリティ設定を反映させ、データサーバ２０のコピー要求の許可、禁止をデータ取得先となるデータサーバ１０側に通知することができる。

【００５１】

このようにデータサーバ１０は、情報の処理要求に対して、データサーバ２０で設定されているセキュリティ条件と、データサーバ１０で設定しているセキュリティ条件とを比較する。そして、その比較結果に基づいてデータサーバ１０のセキュリティ条件を満足し

10

20

30

40

50

ているかどうかを判断する機能を備える。なお、本実施形態では、データサーバ１０のセキュリティ条件を満足しているか否かの判断に基づいて、処理要求である、例えばコピー要求を許可又は中止する決定機能を備える例を説明する。

【００５２】

さらに、後述するように、データサーバ１０のセキュリティ条件を満足していないと判断した場合には、さらに、データサーバ１０のセキュリティ条件を満たすように、データサーバ２０に転送する情報にセキュリティ条件を付加して転送する。

【００５３】

なお、本実施形態において、セキュリティ条件には、情報に対するアクセス要求を制限する情報、例えば情報に対するアクセス可能数、追記可能数、印刷可能人数、アクセス期間が含まれる例を示す。

10

【００５４】

また、第１、第２のセキュリティ条件には、情報に対する特定処理を許可または禁止する条件を含む例を示す。ここで、特定処理とは、情報に対する閲覧処理、印刷処理、追記処理、変更処理、消去処理を含む例を示すが、他の処理を含む構成であってもよい。

【００５５】

次に、Ｓ５００７で、データサーバ１０の中央制御部５５０は、外部通信制御部５５５を介して、セキュリティ設定審査部５６２によるコピー動作の審査結果を外部通信制御部５５５を介してデータサーバ２０に送信する。

【００５６】

20

この場合において、審査結果が許可の場合には、コピー動作の審査結果と共に、データ記録部５５９から取得したデータ、データのセキュリティ変更の指示情報、データ非公開要求を外部通信制御部５５５を介してデータサーバ２０に送信する。

【００５７】

ここで、データのセキュリティ変更の指示情報には、コピー処理終了後、データのセキュリティ情報の変更に対して、「禁止」、「審査」、「変更の通知」のいずれかを示す指示情報が含まれる。ここで、「審査」、「変更の通知」の場合にはデータサーバ１０にアクセスするためのアドレス情報も含まれる。

【００５８】

次に、Ｓ５００８で、データサーバ２０の外部通信制御部６５５を介して中央制御部６５０は、データサーバ１０から送信されたコピーの許可、禁止の審査結果を受け取る。ここで、審査結果は、データサーバ１０が特定の処理要求に対する応答して受信するものであって、データサーバ１０がデータサーバ２０から取得するセキュリティ条件を審査して決定された特定の処理要求の可否結果に対応する。

30

【００５９】

ここで、コピー許可の場合には、中央制御部６５０は、同封されたデータをデータ記録部６５９に保存する。これと同時に、中央制御部６５０は、セキュリティ設定作成部６６３で作成したセキュリティ設定をデータのセキュリティ情報としてセキュリティ情報記録部６６０に保存する。

【００６０】

40

さらに、これと同時に、中央制御部６５０は、受け取ったデータのセキュリティ変更の指示情報をデータのセキュリティ情報としてセキュリティ情報記録部６６０に保存する。

【００６１】

さらに、これと同時に、中央制御部６５０は、受け取った非公開要求にしたがってデータのインデックス情報を非公開状態に変更してインデックス情報記録部６５２に保存する。

【００６２】

なお、コピー禁止の場合には、中央制御部６５０は、外部通信制御部６５５を介してクライアント２２にコピー動作が禁止されたことを通知する。この通知を受け取ったクライアント２２はユーザに対してコピー禁止を通知して処理を終了する。

50

【0063】

次に、中央制御部650は、受け取った非公開状態のデータにアクセス可能な、ワンタイムユーザアカウントを作成して記録部651にワンタイムユーザアカウント情報を記録する。

【0064】

そして、S5009で、中央制御部650は、ワンタイムユーザアカウント情報と受け取ったデータのアドレス情報を外部通信制御部655を介してデータサーバ10に送信する。

【0065】

次に、データサーバ10の外部通信制御部555を介して中央制御部550は、ワンタイムユーザアカウント情報を用いて、データサーバ10に対してログイン処理を行う。そして、ログイン処理が成功した場合は、S5010で、データのデータサーバ20内のアドレス情報を元に、データのデータサーバ10内で設定されたセキュリティ情報の要求を外部通信制御部555を介してデータサーバ20に送信する。

10

【0066】

次に、データサーバ20の中央制御部650は、データサーバ10から外部通信制御部655を介してデータのセキュリティ情報の要求を取得する。そして、S5011で、中央制御部650は、セキュリティ情報記録部660からデータのセキュリティ設定情報を取得し、データのセキュリティ設定情報を外部通信制御部655を介してデータサーバ10に送信する。

20

【0067】

次に、S5012で、中央制御部550は、データサーバ10の外部通信制御部555を介してデータのデータサーバ20でのセキュリティ設定情報を取得する。そして、S5006で、セキュリティ設定審査部562が取得したセキュリティ設定情報とデータ供給元のセキュリティ要求とを比較する。ここで、処理要求があるデータに対するセキュリティ要求は、セキュリティ情報記録部560に記録されている。

【0068】

次に、S5013で、中央制御部550は、セキュリティ設定の比較結果が同じであれば正常にセキュリティ設定が実施されたと判断して、データの公開許可を外部通信制御部555を介してデータサーバ20に送信する。

30

【0069】

そして、中央制御部550は、セキュリティ要求作成部561で作成したセキュリティ要求情報、データサーバ20から送られたセキュリティ設定情報、データサーバ20のコピーされたデータのアドレス情報をセキュリティ情報記録部560に保存する。本実施形態では、各情報をデータのセキュリティ情報の付加情報としてセキュリティ情報記録部560に保存する。

【0070】

一方、中央制御部550は、セキュリティ設定審査部562がセキュリティ設定の比較する。そして、中央制御部550は、その比較結果からセキュリティ設定が異なっていると判断した場合は、セキュリティ設定が正常に実施されなかったと判断してデータの削除要求を外部通信制御部555を介してデータサーバ20に送信する。

40

【0071】

次に、S5014で、データサーバ20の中央制御部650が外部通信制御部655を介してデータの公開許可を取得すると、インデックス情報記録部652のデータの非公開状態を公開状態に変更する。

【0072】

そして、外部通信制御部655を介してクライアント22にコピー動作が正常終了したことを通知し、通知を受け取ったクライアント22はユーザに対してコピー動作の正常終了を通知して処理を終了する。

【0073】

なお、中央制御部 6 5 0 がデータサーバ 2 0 の外部通信制御部 6 5 5 を介してデータの削除要求を受け取ると以下の情報を削除する。

【0074】

ここで、削除される情報とは、データ記録部 6 5 9 内のデータ、インデックス情報記録部 6 5 2 内のデータの属性情報、セキュリティ情報記録部 6 6 0 内のデータのセキュリティ情報を削除する。そして、外部通信制御部 6 5 5 を介してクライアント 2 2 にコピー禁止を通知し、通知を受け取ったクライアント 2 2 はユーザに対してコピー禁止を通知して処理を終了する。

【0075】

これにより、情報処理要求元の情報処理装置（データサーバ 1 0）のセキュリティ条件を反映した情報処理要求を他の情報処理装置（データサーバ 2 0）に対して行える。

10

【0076】

＜コピー元が要求するセキュリティ要求情報＞

図 6 は、図 2 に示したデータサーバ 1 0 のセキュリティ要求作成部 5 6 1 が作成するセキュリティ要求情報 7 0 0 の概念を説明する図である。本例は、図 5 のステップ S 5 0 0 2 でセキュリティ要求作成部 5 6 1 が作成するセキュリティ要求情報 7 0 0 例である。なお、説明上、一例としてテキストデータで説明するが、必ずしもテキストデータである必要はない。

【0077】

図 6 において、セキュリティ要求情報 7 0 0 は、アクセスの制限人数 7 0 1 に関する要求、追記動作の制限人数 7 0 2 に関する要求、印刷動作の制限人数 7 0 3 に関する要求 7 0 3、アクセス期限 7 0 4 に関する要求から構成される。この様に、本実施形態では、セキュリティ条件を構成するセキュリティ要求情報は必要最低限の情報のみから構成される場合を示している。

20

【0078】

＜コピー先が審査用に送信するセキュリティ設定情報＞

図 7 は、図 4 に示したデータサーバ 2 0 のセキュリティ設定作成部 6 6 3 が作成するセキュリティ設定情報 8 0 0 の概念を説明する図である。本例では一例としてテーブルとして説明するが、必ずしもテーブルである必要はない。また、本例は、図 5 の S 5 0 0 4 でデータサーバ 2 0 のセキュリティ設定作成部 6 6 3 が作成するセキュリティ設定情報 8 0 0 の例である。

30

【0079】

図 7 において、セキュリティ設定情報 8 0 0 には、列の情報として、ユーザ名 8 0 1、データサーバ 2 0 でデータに対して実現可能な処理として閲覧処理 8 0 2、印刷処理 8 0 3 がある。さらに、セキュリティ設定情報 8 0 0 には、列の情報として、追記処理 8 0 4、変更処理 8 0 5、消去処理 8 0 6、およびデータに対するアクセス期限 8 0 7 の情報がある。

【0080】

これらの列の情報に対して、ユーザ名 A に設定された各情報が行 8 0 8 に、ユーザ名 B に設定された各情報が行 8 0 9 に、ユーザ名 C に設定された情報が行 8 1 0 に、その他のユーザに設定された情報が行 8 1 1 に設定されている。

40

【0081】

また、行 8 1 2 にはデータサーバ 2 0 でデータに対して実現可能な処理の人数情報（OK の数）が集計されている。この様に、セキュリティ要求情報 7 0 0 に対してセキュリティ設定情報 8 0 0 は詳細な情報が設定されている。

【0082】

＜セキュリティ設定によるコピーの許可、禁止の判定＞

図 8 は、本実施形態を示す情報処理装置における第 1 のデータ処理手順の一例を示すフローチャートである。本例は、図 5 の S 5 0 0 6 での、データサーバ 1 0 のセキュリティ設定審査部 5 6 2 でのコピー動作の許可、禁止の判断処理例である。なお、S 8 0 0 1 ~

50

S 8 0 0 7 は各ステップを示す。また、各ステップは、データサーバ 1 0 の C P U 5 0 1 が制御プログラムを R A M 5 0 3 にロードして実行することで実現される。

【 0 0 8 3 】

まず、S 8 0 0 1 において、セキュリティ設定審査部 5 6 2 は、図 6 に示すデータサーバ 1 0 のセキュリティ要求情報と図 7 に示すデータサーバ 2 0 のセキュリティ設定情報とを中央制御部 5 5 0 から受け取り比較する。

【 0 0 8 4 】

次に、S 8 0 0 2 において、セキュリティ設定審査部 5 6 2 は、データにアクセス可能な全てのユーザ数について比較を行う。そして、セキュリティ設定審査部 5 6 2 は、セキュリティ設定情報 8 0 0 内のアクセス数がセキュリティ要求情報 7 0 0 内のアクセス可能人数 7 0 1 以下であるかどうかを判断する。ここで、セキュリティ設定審査部 5 6 2 がセキュリティ設定情報 8 0 0 内のアクセス数がセキュリティ要求情報 7 0 0 内のアクセス可能人数 7 0 1 を超えていると判断した場合は、S 8 0 0 7 へ進む。そして、S 8 0 0 7 で、コピー禁止の判断を中央制御部 5 5 0 に伝達して、本処理を終了する。

【 0 0 8 5 】

一方、S 8 0 0 2 で、セキュリティ設定審査部 5 6 2 により、セキュリティ設定情報 8 0 0 内のアクセス数がセキュリティ要求情報 7 0 0 内のアクセス可能人数 7 0 1 以内であると判断した場合は、S 8 0 0 3 へ進む。

【 0 0 8 6 】

そして、S 8 0 0 3 で、セキュリティ設定審査部 5 6 2 がデータの各アクセス処理のユーザ数について比較を行い、セキュリティ設定情報 8 0 0 内の各アクセスの人数がセキュリティ要求情報 7 0 0 内のアクセス人数 7 0 2 以下であるかどうかを判断する。

【 0 0 8 7 】

ここで、セキュリティ設定情報 8 0 0 内の各アクセスの人数がセキュリティ要求情報 7 0 0 内のアクセス人数 7 0 2 以下でないと判断した場合は、S 8 0 0 7 へ進む。そして、S 8 0 0 7 で、コピー禁止の判断を中央制御部 5 5 0 に伝達して処理を終了する。

【 0 0 8 8 】

一方、S 8 0 0 3 で、セキュリティ設定情報 8 0 0 内の各アクセスの人数がセキュリティ要求情報 7 0 0 内のアクセス人数 7 0 2 以下であると判断した場合は、S 8 0 0 4 へ進む。

【 0 0 8 9 】

そして、S 8 0 0 4 で、セキュリティ設定審査部 5 6 2 は、全てのユーザについて、データのアクセス期限についてそれぞれ比較を行い、セキュリティ設定内の情報がセキュリティ要求情報内の期限内であるかどうかを判断する。ここで、セキュリティ設定審査部 5 6 2 が期限内でないと判断した場合は、S 8 0 0 7 へ進み、コピー禁止の判断を中央制御部 5 5 0 に伝達して処理を終了する。

【 0 0 9 0 】

一方、S 8 0 0 4 で、セキュリティ設定審査部 5 6 2 が期限内であると判断した場合は、S 8 0 0 5 へ進む。

【 0 0 9 1 】

そして、S 8 0 0 5 で、セキュリティ設定審査部 5 6 2 が図 7 に示すセキュリティ設定情報内のその他のユーザに設定されているアクセス内容、アクセス権限を判断する。ここで、セキュリティ設定審査部 5 6 2 がアクセス権が与えられているユーザの権限を越えて不当なアクセス内容およびアクセス権が禁止されていると判断した場合は、S 8 0 0 7 へ進む。

【 0 0 9 2 】

そして、S 8 0 0 6 で、セキュリティ設定審査部 5 6 2 がコピー許可の判断を中央制御部 5 5 0 に伝達して、本処理を終了する。

【 0 0 9 3 】

一方、S 8 0 0 5 で、セキュリティ設定審査部 5 6 2 が不当なアクセス内容あるいはア

クセス権限が許可されていると判断した場合は、S 8 0 0 6 で、コピー許可の判断を中央制御部 5 5 0 に伝達して、本処理を終了する。

【0 0 9 4】

＜セキュリティ変更＞

図 9 は、本実施形態を示す情報処理装置における第 2 のデータ処理手順の一例を示すフローチャートである。本例は、コピー処理で受け取ったデータへのセキュリティの変更処理例である。なお、S 9 0 0 1 ～ S 9 0 1 1 は各ステップを示す。また、各ステップは、データサーバ 2 0 の C P U 5 0 1 が制御プログラムを R A M 5 0 3 にロードして実行することで実現される。

【0 0 9 5】

まず、S 9 0 0 1 において、ユーザが、データサーバ 2 0 のユーザインターフェースを通じて、データに対してセキュリティの変更を要求する。セキュリティの変更要求を U I 制御部 6 5 3 を介して受け取ったデータサーバ 2 0 の中央制御部 6 5 0 は、セキュリティ情報記録部 6 6 0 からデータのセキュリティ変更の指示情報を取得する。

【0 0 9 6】

次に、S 9 0 0 2 において、中央制御部 6 5 0 は、セキュリティ変更の指示情報が「禁止」であるかどうかを判断する。ここで、セキュリティ変更の指示情報が「禁止」と判断した場合は、S 9 0 0 3 で、データサーバ 2 0 の中央制御部 6 5 0 が、セキュリティ変更が禁止されていることを U I 制御部 6 5 3 を通じてユーザに通知して、本処理を終了する。

【0 0 9 7】

一方、S 9 0 0 2 で、中央制御部 6 5 0 がセキュリティ変更の指示情報が「禁止」でないと判断した場合は、S 9 0 0 4 において、中央制御部 6 5 0 は、セキュリティ変更の指示情報が「審査」であるかどうかを判断する。ここで、中央制御部 6 5 0 がセキュリティ変更の指示情報が「審査」と判断した場合は、S 9 0 0 5 で、データサーバ 1 0 およびデータサーバ 2 0 でセキュリティ変更の審査処理を行う。なお、この審査処理についての詳細は後述する。

【0 0 9 8】

次に、S 9 0 0 6 で、中央制御部 6 5 0 は、セキュリティ変更を実施したかどうかを判断する。ここで、中央制御部 6 5 0 がセキュリティ変更を実施していると判断した場合は、S 9 0 0 7 で、データサーバ 2 0 の中央制御部 6 5 0 は、セキュリティ変更結果を U I 制御部 6 5 3 を通じてユーザに通知して、本処理を終了する。

【0 0 9 9】

一方、S 9 0 0 6 で、中央制御部 6 5 0 がセキュリティ変更を実施していないと判断した場合は、S 9 0 0 7 で、データサーバ 2 0 の中央制御部 6 5 0 は、セキュリティ変更が実行されなかったことを U I 制御部 6 5 3 を通じてユーザに通知して処理を終了する。ここでは、変更禁止を U I 制御部 6 5 3 を通じてユーザに通知して処理を終了する。

【0 1 0 0】

一方、S 9 0 0 4 において、中央制御部 6 5 0 がセキュリティ変更の指示情報が「審査」でないと判断した場合は、セキュリティ変更の指示情報が「変更の通知」と判断できる。

【0 1 0 1】

そこで、S 9 0 0 9 で、データサーバ 2 0 の中央制御部 6 5 0 は、受け取ったセキュリティの変更情報をセキュリティ情報記録部 6 6 0 に保存する。そして、S 9 0 1 0 で、中央制御部 6 5 0 はセキュリティ変更指示を行ったデータサーバのアドレス情報から送信先をデータサーバ 1 0 に特定して、外部通信制御部 6 5 5 を介してデータサーバ 1 0 へセキュリティの変更内容を送信する。

【0 1 0 2】

次に、S 9 0 1 1 で、データサーバ 2 0 の中央制御部 6 5 0 は、セキュリティ変更結果を U I 制御部 6 5 3 を通じてユーザに通知して、本処理を終了する。

【0103】

＜セキュリティ変更の審査＞

以下、図9に示したフローチャートのS9005でのデータサーバ10およびデータサーバ20でセキュリティ変更処理の審査処理を、図10に示すタイミングチャートに基づいて説明する。

【0104】

図10は、図1に示したデータサーバ20とデータサーバ10とのデータコピー処理を説明するタイミングチャートである。なお、S10001～S10011は各ステップを示す。ここで、データサーバ10がコピー元で、データサーバ20がコピー先となる場合を例として、各データサーバ10、20間でのデータのコピー処理を説明する。

10

【0105】

S10001で、データサーバ20の中央制御部650は、セキュリティ変更の指示を行ったデータサーバのアドレス情報から送信先をデータサーバ10に特定する。そして、外部通信制御部655を介してデータサーバ10に対してデータのアドレス情報、セキュリティ設定の変更内容、およびセキュリティ変更の審査要求を送信する。

【0106】

S10002において、データサーバ10の外部通信制御部555を介してセキュリティ変更の審査要求を受け取った中央制御部550は、データへのアドレス情報からデータを特定する。そして、セキュリティ情報記録部560から保存したセキュリティ要求情報を取得する。なお、セキュリティ情報記録部560に保存されるセキュリティ要求情報は、データコピー処理であって、図5に示すタイミングチャートのS5013の処理で保存されるセキュリティ要求情報である。そして、データサーバ20から送信されたセキュリティ設定の変更内容とともに、セキュリティ設定審査部562に送信し、セキュリティ変更の許可、禁止を判断させる(S10003)。

20

【0107】

次に、S10004で、データサーバ10の中央制御部550は外部通信制御部555を介して、セキュリティ変更の審査結果、審査結果が変更許可の場合にデータ非公開要求を外部通信制御部555を介してデータサーバ20に送信する。

【0108】

そして、S10005で、データサーバ20の外部通信制御部655を介して中央制御部650は、セキュリティ変更の許可、禁止の審査結果を受け取る。そして、変更許可の場合にセキュリティ設定作成部663で作成したセキュリティ設定をデータのセキュリティ情報としてセキュリティ情報記録部660に保存する。これと同時に、受け取った非公開要求にしたがってデータのインデックス情報を非公開状態に変更してインデックス情報記録部652に保存する。なお、変更禁止の場合には、処理を終了する。

30

【0109】

次に、S10006で、中央制御部650は受け取った非公開状態のデータにアクセス可能な、ワンタイムユーザアカウントを作成して記録部651にワンタイムユーザアカウント情報を記録する。そして、ワンタイムユーザアカウント情報と受け取ったデータのアドレス情報を外部通信制御部655を介してデータサーバ10に送信する。

40

【0110】

次に、データサーバ10の外部通信制御部555を介して中央制御部550は、ワンタイムユーザアカウント情報を用いて、データサーバ10に対してログイン処理を行う。

【0111】

そして、S10007で、ログイン処理が成功したならば、データのデータサーバ20内のアドレス情報を元に、データのデータサーバ20内で設定されたセキュリティ情報の要求を外部通信制御部555を介してデータサーバ20に送信する。

【0112】

次に、データサーバ20の外部通信制御部655を介して中央制御部650は、データのセキュリティ情報の要求を受け取る。そして、S10008で、中央制御部650はセ

50

セキュリティ情報記録部 660 からデータのセキュリティ情報を取得し、データのセキュリティ情報を外部通信制御部 655 を介してデータサーバ 10 に送信する。

【0113】

次に、S10009 で、データサーバ 10 の外部通信制御部 555 を介して中央制御部 550 は、データのデータサーバ 20 でのセキュリティ情報を受け取り、S10002 で受け取ったセキュリティ設定と比較することでセキュリティを確認する。

【0114】

次に、S10010 で、中央制御部 550 は、比較結果が同じであれば正常にセキュリティ設定が実施されたと判断して、データの公開許可を外部通信制御部 555 を介してデータサーバ 20 に送信する。

【0115】

そして、中央制御部 550 は、セキュリティ要求作成部 561 で作成したセキュリティ要求情報、データサーバ 20 から送られたセキュリティ設定情報、データサーバ 20 のコピーされたデータのアドレス情報を、セキュリティ情報記録部 560 に保存する。なお、本実施形態では、各情報は、データのセキュリティ情報の付加情報としてセキュリティ情報記録部 560 に保存する。

【0116】

一方、中央制御部 550 が比較結果が異なっていると判断した場合は、セキュリティ設定が正常に実施されなかったと判断して、セキュリティの復帰要求を外部通信制御部 555 を介してデータサーバ 20 に送信する。

【0117】

そして、S10011 で、データサーバ 20 の外部通信制御部 655 を介して中央制御部 650 は、データの公開許可を受け取ったならば、インデックス情報記録部 652 のデータの非公開状態を公開状態に変更して処理を終了する。

【0118】

一方、データサーバ 20 がセキュリティ復帰要求を受け取った場合は、セキュリティ情報記録部 660 内のデータのセキュリティ情報を変更前の情報に戻して、インデックス情報記録部 652 のデータの非公開状態を公開状態に変更して、本処理を終了する。

【0119】

なお、上記実施形態では、S10002 および S10003 において、セキュリティ要求情報はコピー処理実行時に作成してセキュリティ情報記録部 560 に保存したものを使用している場合について説明した。

【0120】

しかしながら、図 5 に示すタイミングチャートの S5002 と同様の処理を行って、セキュリティの変更要求を受け取った時点でセキュリティ要求作成部 561 を用いて新規に作成したセキュリティ要求情報を用いても同様の処理を行える。

【0121】

本実施形態によれば、異なるセキュリティポリシーで管理されている複数のデータサーバにおいて、他のデータサーバにデータのコピーを行う際に、コピー元のデータサーバ側で審査および許可されたセキュリティポリシーをコピー先に設定することができる。これにより、コピー元が要望するセキュリティ設定をコピー先のデータ処理に反映させることが可能となる。

【0122】

〔第 2 実施形態〕

以下、図 11 に示すメモリマップを参照して本発明に係る情報処理装置で読み取り可能なデータ処理プログラムの構成について説明する。

【0123】

図 11 は、本発明に係る情報処理装置で読み取り可能な各種データ処理プログラムを格納する記憶媒体のメモリマップを説明する図である。

【0124】

10

20

30

40

なお、特に図示しないが、記憶媒体に記憶されるプログラム群を管理する情報、例えばバージョン情報、作成者等も記憶され、かつ、プログラム読み出し側のOS等に依存する情報、例えばプログラムを識別表示するアイコン等も記憶される場合もある。

【0125】

さらに、各種プログラムに従属するデータも上記ディレクトリに管理されている。また、各種プログラムをコンピュータにインストールするためのプログラムや、インストールするプログラムが圧縮されている場合に、解凍するプログラム等も記憶される場合もある。

【0126】

本実施形態における図8、図9に示す機能が外部からインストールされるプログラムによって、ホストコンピュータにより遂行されていてもよい。そして、その場合、CD-ROMやフラッシュメモリやFD等の記憶媒体により、あるいはネットワークを介して外部の記憶媒体から、プログラムを含む情報群を出力装置に供給される場合でも本発明は適用されるものである。

【0127】

以上のように、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給する。そして、そのシステムあるいは装置のコンピュータ（またはCPUやMPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、本発明の目的が達成されることは言うまでもない。

【0128】

この場合、記憶媒体から読み出されたプログラムコード自体が本発明の新規な機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0129】

従って、プログラムの機能を有していれば、オブジェクトコード、インタプリタにより実行されるプログラム、OSに供給するスクリプトデータ等、プログラムの形態を問わない。

【0130】

プログラムを供給するための記憶媒体としては、例えばフレキシブルディスク、ハードディスク、光ディスク、光磁気ディスク、MO、CD-ROM、CD-R、CD-RW、磁気テープ、不揮発性のメモ리카ード、ROM、DVDなどを用いることができる。

【0131】

この場合、記憶媒体から読出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0132】

その他、プログラムの供給方法としては、クライアントコンピュータのブラウザを用いてインターネットのホームページに接続する。そして、該ホームページから本発明のコンピュータプログラムそのもの、もしくは、圧縮され自動インストール機能を含むファイルをハードディスク等の記録媒体にダウンロードすることによっても供給できる。また、本発明のプログラムを構成するプログラムコードを複数のファイルに分割し、それぞれのファイルを異なるホームページからダウンロードすることによっても実現可能である。つまり、本発明の機能処理をコンピュータで実現するためのプログラムファイルを複数のユーザに対してダウンロードさせるWWWサーバやftpサーバ等も本発明の請求項に含まれるものである。

【0133】

また、本発明のプログラムを暗号化してCD-ROM等の記憶媒体に格納してユーザに配布し、所定の条件をクリアしたユーザに対し、インターネットを介してホームページから暗号化を解く鍵情報をダウンロードさせる。そして、その鍵情報を使用することにより暗号化されたプログラムを実行してコンピュータにインストールさせて実現することも可

10

20

30

40

50

能である。

【0134】

また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけではない。例えばそのプログラムコードの指示に基づき、コンピュータ上で稼働しているOS（オペレーティングシステム）等が実際の処理の一部または全部を行う。そして、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0135】

さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込ませる。その後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPU等が実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0136】

本発明は上記実施形態に限定されるものではなく、本発明の趣旨に基づき種々の変形（各実施形態の有機的な組合せを含む）が可能であり、それらを本発明の範囲から排除するものではない。

【0137】

本発明の様々な例と実施形態を示して説明したが、当業者であれば、本発明の趣旨と範囲は、本明細書内の特定の説明に限定されるのではない。

【図面の簡単な説明】

【0138】

【図1】本発明の第1実施形態を示すデータ処理システムの概略構成を示す図である。

【図2】図1に示したデータサーバのハードウェアの内部構成を示すブロック図である。

【図3】図1に示したデータサーバのシステムの内部構成を示すブロック図である。

【図4】図1に示したデータサーバのシステムの内部構成を示すブロック図である。

【図5】図1に示したデータサーバとデータサーバとのデータコピー処理を説明するタイミングチャートである。

【図6】図2に示したデータサーバのセキュリティ要求作成部が作成するセキュリティ要求情報の概念を説明する図である。

【図7】図4に示したデータサーバのセキュリティ設定作成部が作成するセキュリティ設定情報の概念を説明する図である。

【図8】本実施形態を示す情報処理装置における第1のデータ処理手順の一例を示すフローチャートである。

【図9】本実施形態を示す情報処理装置における第2のデータ処理手順の一例を示すフローチャートである。

【図10】図1に示したデータサーバ20とデータサーバとのデータコピー処理を説明するタイミングチャートである。

【図11】本発明に係る情報処理装置で読み取り可能な各種データ処理プログラムを格納する記憶媒体のメモリマップを説明する図である。

【符号の説明】

【0139】

10、20 データサーバ

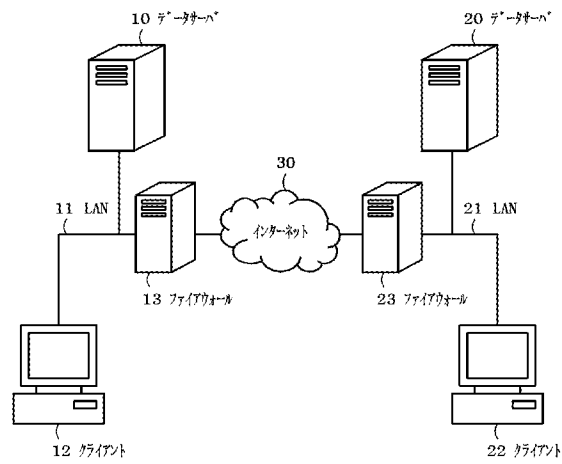
550、650 中央制御部

551、651 記憶部

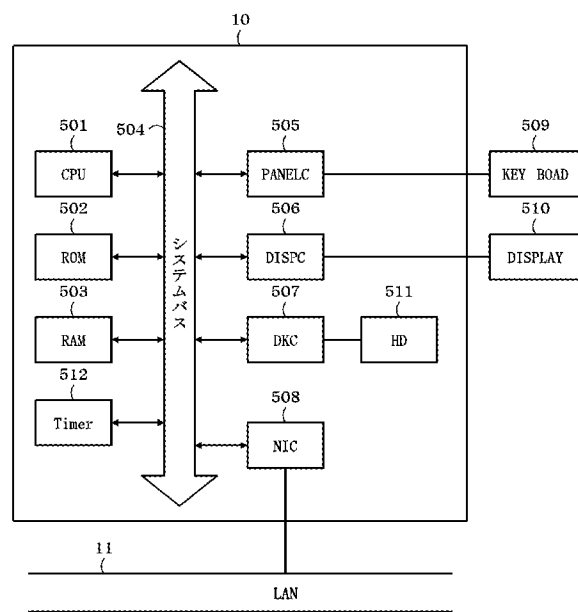
561 セキュリティ要求作成部

562 セキュリティ設定審査部

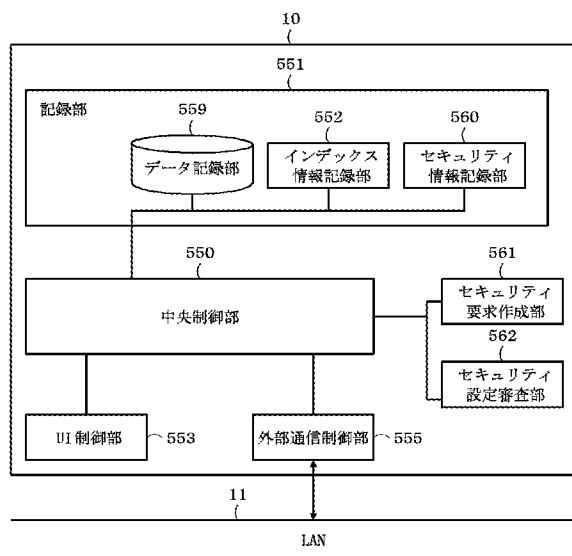
【図 1】



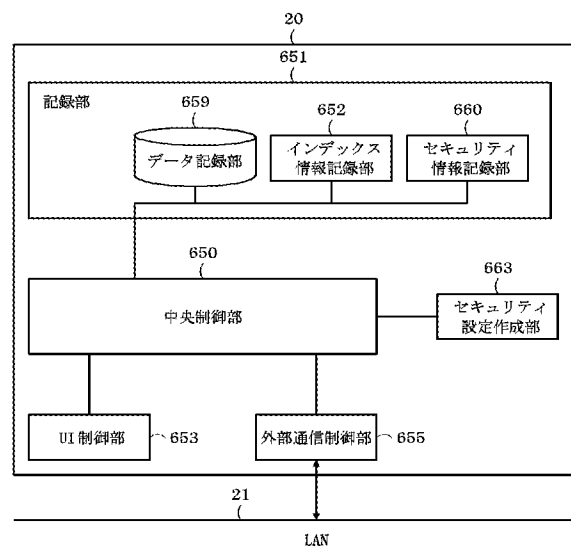
【図 2】



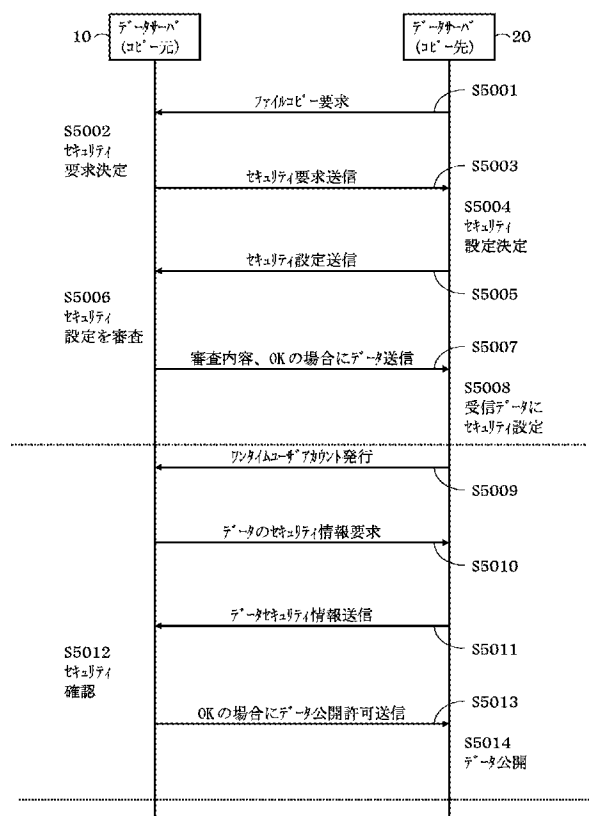
【図 3】



【図 4】



【図 5】



【図 6】

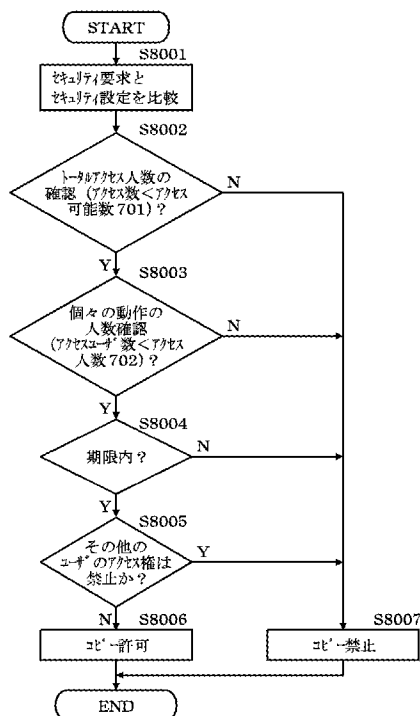
700

- ・アクセス可能人数は3人まで (701)
- ・追記可能人数は1人まで (702)
- ・印刷可能人数は2人まで (703)
- ・アクセス期限は2007年12月31日まで (704)

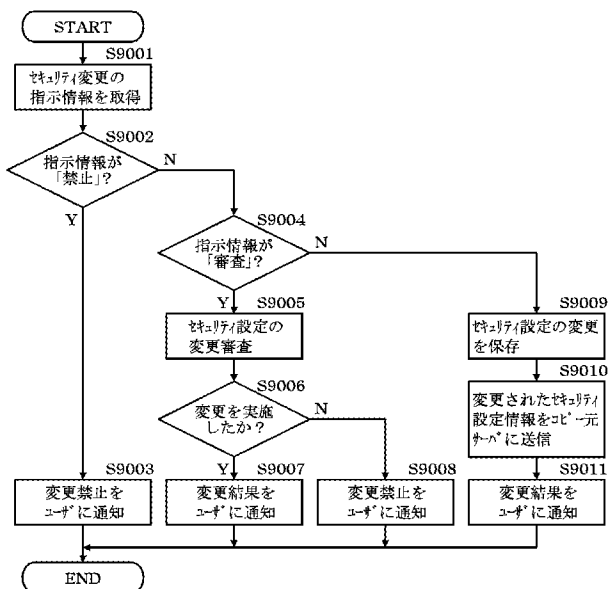
【図 7】

800						
801	802	803	804	805	806	807
ユーザ名	閲覧	印刷	追記	変更	消去	アクセス期限
808 A	OK	OK	NG	NG	NG	～2007.12.31
809 B	OK	NG	NG	NG	NG	～2007.12.31
810 C	OK	OK	OK	NG	NG	～2007.12.31
811 その他のユーザ	NG	NG	NG	NG	NG	無期限
812 OKの数	3	2	1	0	0	

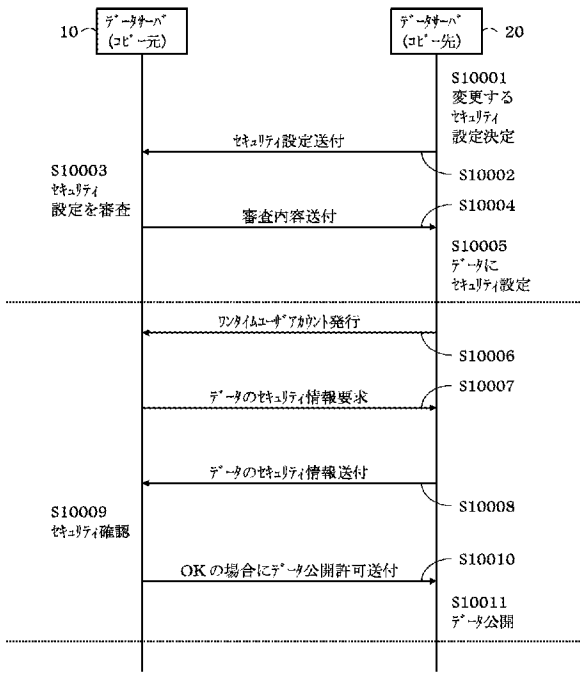
【図 8】



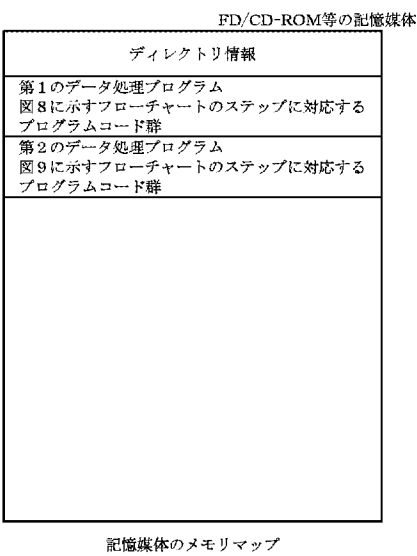
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 高野 潤一

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 深田 慎一

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 5B017 AA02 AA03 BA06 BB06 BB10 CA16

5B285 AA01 AA04 BA07 BA08 CA02 CA17 CA18 CA34 DA05



Europäisches
Patentamt
European
Patent Office
Office européen
des brevets

Bibliographic data: JP2008543137 (A) — 2008-11-27

[illegible]

Last updated: 19/12/2012 Worldwide Database 5.8.4/92p

(19) 日本国特許庁 (JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-543137

(P2008-543137A)

(43) 公表日 平成20年11月27日 (2008.11.27)

(51) Int. Cl.	F I	テーマコード (参考)
H04L 12/56 (2006.01)	H04L 12/56 A	5K030
H04M 11/00 (2006.01)	H04M 11/00 301	5K201

審査請求 有 予備審査請求 有 (全 23 頁)

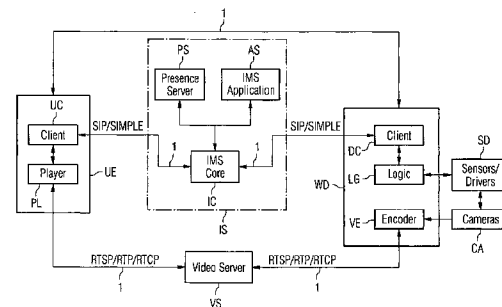
(21) 出願番号	特願2008-512746 (P2008-512746)	(71) 出願人	507389624
(86) (22) 出願日	平成18年5月22日 (2006.5.22)		シーメンス ソシエタ ベル アツィオーニ
(85) 翻訳文提出日	平成19年11月26日 (2007.11.26)		Siemens S. p. A.
(86) 国際出願番号	PCT/EP2006/004817		イタリア国 ミラノ ヴィアーレ ピエロ
(87) 国際公開番号	W02006/125579		エ アルベルト ピレリ 10
(87) 国際公開日	平成18年11月30日 (2006.11.30)		Viale Piero e Alberto Pirelli, 10, 1-2
(31) 優先権主張番号	05425356.2		0126 Milano, Italy
(32) 優先日	平成17年5月23日 (2005.5.23)	(74) 代理人	100061815
(33) 優先権主張国	欧州特許庁 (EP)		弁理士 矢野 敏雄
		(74) 代理人	100094798
			弁理士 山崎 利臣
		(74) 代理人	100099483
			弁理士 久野 琢也

最終頁に続く

(54) 【発明の名称】 機械を、IPマルチメディアサブシステムのIPリンクを介して遠隔管理するための方法およびシステム、IMS

(57) 【要約】

本発明は、機械またはプロセスを、遠隔通信ネットワークのユーザにより遠隔管理するための、いわゆるM2Mソリューションに関する。本発明は、インターネットプロトコルマルチメディアサブシステム (IMS) プラットフォーム (IS) を利用し、権限のあるユーザ (UE) とコントロールすべき機械 (WD) の両者に、プレゼンスとメッセージングサービスを最小の必要条件としてサポートするIMSクライアント (UC, DC) を装備する。権限のあるユーザのクライアント (UC) は、機械のクライアント (DC) を、そのコンタクトリストのバディとして見なし、ユーザと機械との相互作用が、装置によるプレゼンス情報の公開によって、そしてユーザと装置との間のインスタントメッセージングを介して行われる。



【特許請求の範囲】**【請求項 1】**

少なくとも 1 つの装置 (WD, SD, CA) を権限のあるエンドユーザにより、IP 接続をサポートする通信ネットワーク (1) を介して遠隔管理するシステムであって、

前記通信ネットワークにより前記エンドユーザは、前記少なくとも 1 つの装置 (WD, SD, CA) と相互作用することのできるシステムにおいて、

前記権限のあるエンドユーザのユーザ装置 (UE) と、前記少なくとも 1 つの装置 (WD, SD, CA) にはそれぞれ、インターネットプロトコルマルチメディアサブシステム (略して IMS) アプリケーションのそれぞれのクライアント (UC, DC) が装備されており、

前記クライアント (UC, DC) はメッセージングおよびプレゼンスサービスをサポートし、かつそれぞれプレゼンス情報に対する加入者であり、

これにより前記エンドユーザと前記少なくとも 1 つの装置 (WD, SD, CA) との間の前記相互作用は、少なくとも 1 つの装置 (WD, SD, CA) により公開されるプレゼンス情報と、前記エンドユーザと前記少なくとも 1 つの装置 (WD, SD, CA) との間メッセージとを介して行われる、ことを特徴とするシステム。

【請求項 2】

請求項 1 記載のシステムにおいて、

前記アプリケーションクライアント (UC, DC) は前記 IP 接続を介して、IMS システム (IS) の IMS アプリケーションサーバ (AS) に接続されており、

前記 IMS システム (IS) はプレゼンスと IMS アプリケーションをサポートし、

前記アプリケーションサーバ (AS) は、前記クライアント (UC, DC) から発するプレゼンス情報に対するウォッチャとして動作する、ことを特徴とするシステム。

【請求項 3】

請求項 1 または 2 記載のシステムにおいて、

前記ユーザの一人は、システムアドミニストレータとして活動するように構成されており、前記少なくとも 1 つの装置 (WD, SD, CA) を、権限のあるエンドユーザのコンタクトリストにバディとして含む、ことを特徴とするシステム。

【請求項 4】

請求項 1 から 3 までのいずれか一項記載のシステムにおいて、

前記クライアント (UC, DC) は、非 IP 通信手段をサポートするように構成されている、ことを特徴とするシステム。

【請求項 5】

請求項 1 から 4 までのいずれか一項記載のシステムにおいて、

前記装置 (WD, SD, CA) は 1 つまたは複数のマルチメディア流ソース (CA) を含み、

エンコーダ (VE) が、マルチメディア流を前記エンドユーザに、パケットビデオ技術で動作するストリーミングサーバ (VS) を介して伝送するように構成されており、

前記ユーザ装置 (UE) は、前記マルチメディア流を再生するためのマルチメディアプレーヤ (PL) を有する、ことを特徴とするシステム。

【請求項 6】

請求項 5 記載のシステムにおいて、

前記少なくとも 1 つの装置 (WD, SD, CA) は、特定のイベントまたは特定の環境または装置条件を検出するための手段 (SD) を有し、

前記少なくとも 1 つの装置 (WD, SD, CA) のアプリケーションクライアント (DC) は、前記イベントおよび／または前記条件をユーザ装置 (UE) のアプリケーションクライアント (UC) に、当該イベントが発生すると直ちに、またはユーザによる要求に基づき通知するように構成されている、ことを特徴とするシステム。

【請求項 7】

請求項 6 記載のシステムであって、

前記イベントは、マルチメディア流ソースを形成するカメラ（ＣＡ）により探索されるエリア内の動きを含むシステム。

【請求項 8】

請求項 1 から 7 でのいずれか一項記載のシステムにおいて、

前記ネットワーク（１）は移動通信ネットワーク、ＵＭＴＳネットワーク、およびＳＭＳを含む非ＩＰ通信手段である、ことを特徴とするシステム。

【請求項 9】

請求項 5 から 8 でのいずれか一項記載のシステムにおいて、

少なくとも 1 つの装置（ＷＤ，ＳＤ，ＣＡ）のアプリケーションクライアント（ＤＣ）は以下のプレゼンス状態を取るように動作する：

・オフライン状態（１０）、

このオフライン状態では前記装置（ＷＤ，ＳＤ，ＣＡ）はＩＰ接続がアクティブではなく、ユーザアプリケーションクライアント（ＵＣ）によって、前記ユーザと当該装置がＵＭＴＳネットワークカバレッジ内にある場合、非ＩＰ通信手段を介してだけ到達することができる；

・オンライン状態（２０）、

このオンライン状態では前記装置（ＷＤ，ＳＤ，ＣＡ）がＩＰアドレスを獲得し、アプリケーションサーバ（ＡＳ）により登録され、これにより前記装置には前記メッセージングサービスを介して到達することができ、

前記装置（ＷＤ，ＳＤ，ＣＡ）は、オフライン状態（１０）からオンライン状態（２０）へ、非ＩＰ通信手段を介したユーザによるアクティベーション要求に基づき移行し、

前記装置は前記オンライン状態（２０）では、イベントを通知し、データをユーザに伝送することができる；

・アクティブ状態（３０）、

当該アクティブ状態には前記オンライン状態（２０）からユーザによる要求に基づき到達され、

前記アクティブ状態はマルチメディア流を伝送するためのものであり、該マルチメディア流がユーザに伝送されている間、維持される；

ことを特徴とするシステム。

【請求項 10】

少なくとも 1 つの装置（ＷＤ）を権限のあるエンドユーザにより、ＩＰ接続をサポートする通信ネットワーク（１）を介して遠隔管理する方法であって、

前記ＩＰ接続により前記エンドユーザは、前記少なくとも 1 つの装置（ＷＤ）と相互作用することのできる方法において、

・前記権限のあるエンドユーザのユーザ装置（ＵＥ）と、前記少なくとも 1 つの装置（ＷＤ）の両者に、インターネットプロトコルマルチメディアサブシステム（略してＩＭＳ）アプリケーションのそれぞれのクライアント（ＵＣ，ＤＣ）をインストールし、

・前記クライアント（ＵＣ，ＤＣ）を、メッセージとプレゼンスサービスをサポートするようにコンフィギュレートし、

前記クライアントは、前記少なくとも 1 つの装置（ＷＤ，ＳＤ，ＣＡ）のクライアント（ＤＣ，ＵＣ）およびエンドユーザによりそれぞれ生成されたプレゼンス情報に対する加入者であり、

これにより前記エンドユーザと前記少なくとも 1 つの装置（ＷＤ，ＳＤ，ＣＡ）との間の前記相互作用が、前記エンドユーザと前記少なくとも 1 つの装置（ＷＤ，ＳＤ，ＣＡ）との間のメッセージングを介して行われる、ことを特徴とする方法。

【請求項 11】

請求項 10 記載の方法において、

前記プレゼンス情報の公開とメッセージングは、ＩＭＳのＩＭＳアプリケーションサーバ（ＡＳ）を介して行われ、

前記ＩＭＳはプレゼンスとＩＭＳアプリケーションをサポートし、

前記アプリケーションサーバ（ＡＳ）は、前記クライアント（ＵＣ，ＤＣ）から発するプレゼンス情報に対するウォッチャとして動作する、ことを特徴とする方法。

【請求項１２】

請求項１１記載の方法において、

前記装置アプリケーションクライアント（ＤＣ）が前記アプリケーションサーバ（ＡＳ）とまだ接続されていないか、もはや接続されていない場合、前記クライアント（ＵＣ，ＤＣ）は非ＩＰ接続を介して前記ネットワーク（１）により接続される、ことを特徴とする方法。

【請求項１３】

請求項１２記載の方法において、

前記少なくとも１つの装置（ＷＤ，ＳＤ，ＣＡ）は１つまたは複数のソース（ＣＡ）と、マルチメディアコンテンツを前記ユーザに符号化されたパケット形態で配信するために関連付けられている、ことを特徴とする方法。

【請求項１４】

請求項１３記載の方法において、

前記少なくとも１つの装置（ＷＤ，ＳＤ，ＣＡ）に関連した手段（ＳＤ）によって、特定のイベントまたは特定の環境または装置条件を検出し、

前記イベントが発生すると直ちに、またはユーザによる要求に基づいて、前記イベントおよび／または前記条件は前記少なくとも１つの装置（ＷＤ，ＳＤ，ＣＡ）のアプリケーションクライアント（ＤＣ）により前記ユーザ装置（ＵＥ）のアプリケーションクライアント（ＵＣ）に通知される、ことを特徴とする方法。

【請求項１５】

請求項１４記載の方法であって、

前記イベントは、マルチメディア流ソースを形成するカメラ（ＣＡ）により探索されるエリア内の動きを含む方法。

【請求項１６】

請求項１０から１５までのいずれか一項記載の方法において、

前記ユーザ装置（ＵＥ）、前記少なくとも１つの装置（ＷＤ，ＳＤ，ＣＡ）、およびＩＭＳアプリケーションサーバ（ＡＳ）を、ＵＭＴＳネットワークを介し、ＳＭＳを非ＩＰ通信手段として使用して接続する、ことを特徴とする方法。

【請求項１７】

請求項１３から１６までのいずれか一項記載の方法において、

前記少なくとも１つの装置（ＷＤ，ＳＤ，ＣＡ）の前記アプリケーションクライアント（ＤＣ）は以下のプレゼンス状態を取るように動作する：

・オフライン状態（１０）、

当該オフライン状態では前記装置（ＷＤ，ＳＤ，ＣＡ）はＩＰ接続がアクティブではなく、ユーザアプリケーションクライアント（ＵＣ）によって、前記ユーザと当該装置がＵＭＴＳネットワークカバレッジ内にある場合、非ＩＰ通信手段を介してだけ到達することができる；

・オンライン状態（２０）、

当該オンライン状態では前記装置（ＷＤ，ＳＤ，ＣＡ）がＩＰアドレスを獲得し、前記アプリケーションサーバ（ＡＳ）により登録され、これにより前記装置には前記メッセージングサービスを介して到達することができ、

前記装置（ＷＤ，ＳＤ，ＣＡ）は、オフライン状態（１０）からオンライン状態（２０）へ、非ＩＰ通信手段を介したユーザによるアクティベーション要求に基づき移行され、

前記装置は前記オンライン状態（２０）では、イベントを通知し、データをユーザに伝送することができる；

・アクティブ状態（３０）、

当該アクティブ状態には前記オンライン状態（２０）からユーザによる要求に基づき到達され、

10

20

30

40

50

前記アクティブ状態はマルチメディア流を伝送するためのものであり、該マルチメディア流がユーザに伝送されている間、維持される；

ことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

発明の技術分野

本発明は、機械を、IPリンクを介して遠隔管理するための方法およびシステムに関する。

【0002】

発明の背景技術

データ通信、とりわけ無線通信では、いわゆるM2Mソリューションが最近開発されている。ここでM2Mとは、マシン・ツー・マシン、モバイル・ツー・マシン（またはマン・ツー・マシン）、およびマシン・ツー・モバイル（マン）に対するものである。このようなソリューションは開発者に、無線データをシステムとリモートデバイスとの間のリンク、または場所と個人との間のリンクとして使用する簡単な方法を提供する。典型的には、M2Mソリューションは情報収集、パラメータ設定、異常状況の指示送信、または無線データ接続を用いたオンライン処理を行うために形成される。新規のM2Mアプリケーションが連続的に出現しており、これらはほとんどすべての環境（遠隔測定法、テレマティーク、ホームアプリケーション、公衆交通サービス、保安および監視、遠隔医学支援、販売および支払い、保守およびメンテナンス、工業的アプリケーション、および配車管理）でサービスすることができる。M2Mソリューションによって、処理は自動化され、効率が向上し、コストが低減され、さらに良好なサービスレベルが提供される。

【0003】

M2Mに対する多数の商用ソリューションがすでに提案されており、例えばショートメッセージサービス（SMS）、または例えばGSMのCS-D（回路交換データ）のような別のデータ伝送技術に基づくものである。しかし一般的にこのようなソリューションは「仮想」プラットフォームに基づいており、このプラットフォームは特別の適用のためのad-hocに実現されている。従ってこれらのソリューションはフレキシビリティを欠いている。なぜならこれらのソリューションを新しいアプリケーションに適合するためには、実質的にプラットフォーム自体の設計変更が必要だからである。さらに採用されたデータ伝送技術のため、これらの技術は即時性および情報セキュリティ、情報獲得の容易性、ユーザビリティ、信頼性等に関しては品質が低い。

【0004】

従ってフレキシビリティなM2Mソリューションが必要であり、このM2Mソリューションは広範囲な種々のサービスの開発に使用でき、即時性、セキュリティおよび信頼性のある通信を保証するようにする。

【0005】

本発明の概要

この必要性は、本発明によるシステムによって満たされる。本発明のシステムは、インターネットプロトコル（IP）ネットワークと近年実現された無線ネットワークとの統合を利用する。

【0006】

とりわけ本発明は、IPマルチメディアサブシステム、略してIMSとして公知のプラットフォームの仕様にに基づくものである。IMSは3GPP（第3世代パートナーシッププロジェクト）により開発された。このプラットフォームはオペレータ、サービスプロバイダ、および顧客にサービス能力を提供する。ここでIPはこのサービス能力が提供されるように設定されている。IMSの第1の焦点は、ユーザ／顧客にマルチメディアセッションを結合する能力を提供することであり、このマルチメディアセッションでユーザ／顧客は音声およびデータ通信をローミング中であっても送信および受信することができる。

10

20

30

40

50

このフィーチャは遠隔デバイス管理に重要であり、デバイスコントロールおよびモニタリングを任せられた人が自由に移動することができ、固定された位置に拘束されない。いずれの場合でも、IMSは固定ネットワークを介してアクセスすることもでき、このことは採用されたソリューションのフレキシビリティを高める。

【0007】

IMSプラットフォームは多数の3GPP技術仕様書(TS)に記載されており、とりわけ3GPP TS 22.228 V 6.5.0, "Service requirements for the Internet Protocol (IP) multimedia core network subsystem"、ステージ1、リリース6(2004年1月)、および3GPP TS 23.228 V 6.5.0, "IP Multimedia Subsystem (IMS)"、リリース6、(2004年3月)に記載されている。

10

【0008】

より詳細には本発明によるM2Mシステムは、権限のある各エンドユーザのユーザ装置と管理すべき装置とにIMSアプリケーションのそれぞれのクライアントが装備されており、このクライアントはメッセージングとプレゼンスサービスをサポートし、かつそれらのプレゼンス情報に対する相互加入者であることを特徴とする。これによりユーザと装置との間の相互作用が、前記装置により公開されたプレゼンス情報、およびユーザと前記装置との間のメッセージングを介して行われる。

【0009】

本発明はまた、IMSアプリケーションを介した、通信ネットワークのユーザによる装置の管理方法を提供する。この管理方法は、IMSアプリケーションクライアントをインストールすることにより、メッセージングとプレゼンスサービスを、権限のあるユーザ端末と装置との両方でサポートする。クライアントはプレゼンス情報に対する相互加入者であり、管理すべき装置は権限のあるユーザのコンタクトリストにパディとして見える。従ってユーザと装置との相互作用は前記装置により公開されたプレゼンス情報、およびユーザと前記装置との間のメッセージングを介して行われる。

20

【0010】

有利な適用では、前記装置はワイヤレスカメラであり、ライブビデオ流をユーザに配信し、実測エリア内に発生するあらゆる環境をユーザに情報通知する。

【0011】

図面の簡単な説明

30

本発明を、添付図面を参照して詳細に説明する。

図1は、本発明の適用例のブロック回路図である。

図2Aと2Bは、ユーザ装置と管理すべき装置にインストールされたクライアントの概略図である。

図3は、図1の適用例で管理される装置の動作を示す状態線図である。

図4から8(8A、8B)は、本発明の適用例における複数の動作フェーズに関連するメッセージシーケンス線図である。

【0012】

有利な実施形態の説明

図1を参照すると、本発明のシステムのアーキテクチャが、動き検出手段が設けられた1つまたは複数のカメラを制御する適用例において示されている。

40

【0013】

このアーキテクチャは以下のものに基づく：

- ・それぞれのユーザ装置UEを備える複数のユーザ(図には一人のユーザだけが示されている)；
- ・コントロールすべき1つまたは複数のWD(図は1つだけが示されている)；
- ・IPマルチメディアサブシステムIS；
- ・ビデオサーバVS。

【0014】

このシステムの種々のコンポーネントは固定ネットワークまたは無線ネットワークによ

50

り接続されている。ネットワークは一般的に参照番号 1 により示されている。

【0015】

ユーザ装置 UE は IMS クライアント UC をフィーチャし、メッセージングと最小必要セットとしてのプレゼンス、およびマルチメディアプレーヤ PL をサポートする。可能な UE の例は UMTS (Universal Mobile Telecommunications System)、GPRS/EDGE (General Packet Radio Service / Enhanced Data rate for GSM and IS-136 Evolution) モバイル端末、同様にパーソナルコンピュータまたは IP フォンのような固定端末であり、上記の必要性を満たす。ユーザの一人はシステムアドミニストレータとして活動する。

10

【0016】

デバイス WD (または M2M モジュール) は無線デバイスまたは固定デバイスであり、1 つまたは複数のビデオソース (カメラ) CA と関連して、ユーザに配信すべきマルチメディア流を供給する。デバイス WD には次のものが装備されている：

- ・ IMS クライアント DC、同様にメッセージングと最小必要セットとしてのプレゼンスをサポートする；
- ・ オーディオおよびビデオエンコーダ VE、接続されたソース CA により供給される生マルチメディア流をエンコーディングすることができる；
- ・ インテリジェントロジック LG、リクエスト機能を有し、情報をコントロールセンサ (例えば動き検出、温度超過検出) の集合から受信し、コマンド、パラメータ等をコントロールドライバに送信する。

20

センサとドライバはブロック SD により共に示されている。すべてのセンサとドライバが、ソース CA とは別個のブロック SD に組み込まれていても、それらの少なくとも一部はビデオソース CA に、その実行すべき機能に依存して組み込むことができる。その例は動き検出のためのセンサである。

【0017】

もちろん UE と WD にインストールすべきクライアント UC、DC はそれぞれ、UC が人間と相互作用し、DC は自立的に人間の介在なしで動作しなければならないことを考慮すべきである。相違をより良く理解するために、図 2 A と 2 B を参照する。

【0018】

クライアント UC、DC は低位部分と高位部分に分割することができる。低位部分はプロトコルとメッセージを管理し、ネットワーク (IMS プロシージャ、図のネットワークレベル) と相互作用し、高位部分は動作ロジックを有する。

30

【0019】

クライアント UC、DC の低位部分は同じである：これらはネットワーク (ここでは IMS コアプラットフォーム IC) と IMS の典型的言語 (例えばレジスタ、公表、通知、メッセージにより) で相互作用し、両者は特別の適用のためにカスタマイズされたメッセージングを管理することができる。これについては下に示されている。さらに特別の適用では、クライアントは他の通信手段、例えば SMS もそれらのホストユニットのために使用することができる。これも後で明かとなる。

40

【0020】

相違点は上位部分に存在する。ユーザ端末に対するクライアント UC のロジックはグラフィカルユーザインタフェース (GUI) と関連し、これを通じてユーザとの相互作用が行われる。これは I/O ユニットに出入りする矢印により示されている (例えばキーボード、およびスクリーン/ディスプレイ)。このような GUI を通してユーザには発生する状況が情報通知され、ユーザはコマンドを付与することができる。従ってロジックはユーザの意思に服従し、実際の検知から GUI のユーザビリティを第 1 に考慮するよう設計されている。

【0021】

マシンに向けられたクライアント DC は反対に実質的に自立的である。そのロジックは

50

、所定の入力が一連のアクションをトリガし、所定の出力を発生するように実現されている。もちろんロジックは到来するIMSメッセージによりトリガされるだけでなく、マシンが使用される特別のコンテキストに依存する他のイベントによってもトリガされる。同様にマシンが実行すべきアクションは、IMSメッセージをアプリケーションサーバASまたは他のユーザUEに出力するだけでなく、マシン状態または動作を変更することである。従ってロジックはLGとも相互作用する。もちろんマシン用のクライアントでは、頑強性とクライアント事態の信頼性が設計の際の考慮される。クライアントは通常、人間の介在範囲外にあるから、ロジックはすべての場合を想定しなければならない、適切に動作／応答しなければならない。従ってこのロジックは実質的に自己回復ロジックである。

【0022】

図1に戻ると、IPマルチメディアサブシステムISはプレゼンスとIMSアプリケーションをサポートしなければならない。ISの構造はプレゼンスサーバPSにより組織化されている。このプレゼンスサーバPSはプレゼンスサービス、IMSアプリケーションサーバAS、およびIMSコアICをサポートする。これらすべてのコンポーネントは当業者には公知であり、詳細に説明する必要はない。とりわけASはUEからWDへの、およびその反対のリクエストを管理し、代理することができる。さらにASは、UEおよびWDプレゼンス情報のウォッチャとして動作する。UEはWDプレゼンス情報に記名していること、およびその反対が前提とされる。図面に示されているように、ISとクライアントUC、DCとの間の通信はSIP (Session Initiation Protocol) / SIMPLE (SIP for Instant Messaging and Presence Leveraging Extensions) を、セッション確立とサービス提供のために利用する。公知のようにSIPは、一人または複数の参加者とのセッションを形成し、変更し、終了するためのアプリケーション・レイヤー・コントロール (シグナリング) プロトコルである。SIP / SIMPLE プロトコルは当業者には公知のように、RFC (Request for Comments) の複数IETF (Internet Engineering Task Force) 文書およびインターネットドラフトタイプの主題である。関連の文書はIETFサイト<http://www.ietf.org>で読むことができる。

【0023】

ビデオサーバVSは、符号化されたオーディオおよびビデオ流をWDから受信し、これを特別のリクエストに基づいてUEへMPによる再生のために送信することができる。有利にはこのようなサーバは、パケットビデオ技術を利用するストリーミングサーバである。この場合、サーバVSとUEおよびWDとの通信はリアルタイム拡散プロトコル (RTSP)、リアルタイム伝送プロトコル (RTP)、およびリアルタイム伝送制御プロトコル (RTCP) として知られるプロトコルに従って行われる。RTPおよびRTCPプロトコルはIETF RFC 1889および1990に規定されており、RTSPはインターネットドラフトタイプdraft-ietf-rnmusic-rtsp-07の主題である。

【0024】

WDにIMSクライアントDCが存在しているおかげで、システムアドミニストレータは権限のあるエンドユーザUEのコンタクトリストにWDを含めることができる。そしてWDは、これがマシンであり端末を操作する人間ではないにもかかわらず、リスト内の他のバディのように動作する。プレゼンス情報はWDの機能状態を報告し、権限のあるエンドユーザUEはいずれもWDを通常のコンタクトとして選択し、WDと相互作用するIMSクライアントの適切な通信手段をほとんど選択することができる。WDにより発生されるプレゼンス情報は一部が従来の (人間) バディにより発生される情報 (例えばオフライン、オンライン) と等価であり、一部はアプリケーションに典型的である。WDは、人間のバディに似た固有のアイコンをUEのディスプレイ / スクリーン上に有する。このアイコンはプレゼンス情報を示す (例えば異なるプレゼンス状態に対しては異なる色を使用することにより)。さらにこのアイコンはユーザUEに、WDに接続されたデバイス (ビデオ

10

20

30

40

50

オソース C A、センサおよびドライバ S D) についての情報を供給するために拡張することができる。

【0025】

以下に本発明をより詳細に適用例に基づいて説明する。この適用例ではコントロールされるカメラ C A がライブビデオを予選択されたユーザに配信するために使用される。この適用例では：

- ・このサービスは、ライブビデオコンテンツを移動デバイス (W D, C A および S D のすべて；これについては以下、W i C a m (ワイヤレスカメラ) と称する) から 1 つまたは複数の移動端末に U M T S ネットワークを使用して伝送する。
- ・W i C a m デバイスは移動ネットワークと P C M C I A カード (N o b a t e l W i r e l e s s m o d e l M e r l i n U 5 3 0) を介して接続されており、動き検出センサも含めてカメラ C A とも接続されている。
- ・基準ユーザ装置 U E はノキア 6 6 3 0 移動端末である。
- ・I M S サブシステム I S はシーメンス I M S プラットフォーム 3. 0 であり、このサービスは前記プラットフォームにより提供される次の機能性を利用する。

【0026】

- ・本人確認、権限付与および課金；
- ・パディリスト管理；
- ・プレゼンス情報、および
- ・インスタントメッセージング。
- ・このサーバ通信プロトコルはカスタマイズされた S I P メッセージおよび S M S に基づくものであり、ここで W D は I S に接続されていない。
- ・このサーバは、ビデオソース C A が動きを検出する場合に、S I P インスタントメッセージを予選択されたユーザに送信する。

【0027】

デバイス W D はこのような実施例では 3 つの動作状態を有する (図 3)。これはプレゼンス状態に相応する：オフライン状態 1 0、オンライン状態 2 0 およびアクティブ状態 3 0。

【0028】

W D は、その P D P (パケットデータプロトコル) コンテキストがアクティブでない場合、オフライン状態 1 0 である。このような条件の下で、W D には I S を介して到達することはできず、非 I P 通信を介してセルラーネットワーク、例えば S M S (もちろん U E と W D の両方に供給される) によってだけ到達できる。この状態で移動端末 U E は、W D に接続されたデバイス (ビデオソース C A、センサ/ドライバ S D) についての知識を有していない。従って U E により提供される視覚化は、オフライン状態に関連する色の W i C a m アイコンに制限される (プレゼンス情報が色により与えられると仮定して)。オフライン状態で唯一可能なアクションは、権限のあるユーザによる S M S を介したアクティベートである (A c t i v a t e、図 3 の矢印 1 1)。このアクションは W D をオンライン状態 2 0 にもたらし。

【0029】

オンライン状態 2 0 で、W D は I P アドレスを受け取り、I S により登録する。これにより W D には I P アドレスには S I P メッセージによって到達することができる。この状態で U E は、どのデバイスが W D に接続されているかを知り、また W D アイコンをサーチツリーの表示のために拡張することができることを知る。オンライン状態 2 0 で可能なアクションは次のとおりである：W D を再びオフライン状態にもたらしデアクティベート (D e a c t i v a t e 2 1)、S D でセンサにより収集されたデータに対する要求 (D a t a Q u e r y 2 2)、およびユーザにイベントを通知するために W D をイネーブルすること (E n a b l e N o t i f 2 3) である。このようなアクションはすべて W D を同じオンライン状態 2 0 に留める。さらにあるアクションは、1 つまたは複数のカメラ C A からのビデオ流の伝送要求 (V i d e o R e q u e s t 2 4) である。このアクションは W D

をアクティブ状態 30 にもたらず。WD のオンライン状態では、ビデオソース CA が探索エリアでの動きをモニタする状態にある。ソースが動きを検知すると、WD は IP アドレスはこれと通信し、適切な SIP メッセージによりユーザはこのような通知の受信 (Event Notif) をイネーブルされる。

【0030】

アクティブ状態 30 で WD は、カメラ CA により収集されたビデオ流を伝送する。以下の記述では、この例に制限するものではないが、複数のカメラが WD と接続されている場合、同時には 1 つのカメラだけがビデオ流を伝送することができることを前提にする。アクティブ状態で、このアクションは Data Query および Enable Notif とすることができ、さらに伝送しているカメラに関する Video Request メッセージとすることができる。このような要求はすべて 31 により示されており、図示のように WD を同じアクティブ状態 30 に留める。ユーザ UE がカメラからのビデオ流を要求しなくなると、WD はオンライン状態 20 にリターンする (移行 32)。このことは WD により、UDP (User Datagram Protocol) ゲートを、ビデオサーバ VS に向かうビデオ流についてモニタすることによって認識される。

【0031】

デバイス WD に入力およびこれから出力されるメッセージに関するさらなる詳細は次のとおりである。メッセージは実質的に 2 種類ある：SMS メッセージと、SIP プロトコルに従うメッセージである。後者のメッセージは部分的に、特別の適用のためにカスタマイズされている。

【0032】

SMS は、WD が IS にまだ接続されていないか、もはや接続されていないときに使用される。WD に入力される SMS メッセージだけがアクティベートに使用される。WD から出力される SMS は常にアドミニストレータに向けられ、所定の状況 (とりわけユーザがアクティベートを溶解する権限のないこと、IP 接続の不可能または喪失、オフラインへの推移、宛先エラー) が情報通知される。出力される SMS はいずれも、伝送するデバイス WD (1 つ以上のデバイスをアドミニストレータによりコントロールすることができる) の識別子と、この状況の識別子を含む。

【0033】

WD に入力される SIP メッセージは、コマンド (Deactivate、Video Request、Data Query、Enable Notif) のコーディングとコマンドに対するオプションの両方を含むボディを有している。関連の構造は次のとおりである：

```

- Deactivate :  COMMAND=DEACTIVATE |
- VideoRequest :  COMMAND=VIDEOREQUEST | OPTIONS=VideoSource #
- DataQuery :  COMMAND=DATAQUERY | OPTIONS=Sensor # ;
- EnableNotif :  COMMAND=ENABLENOTIF | OPTIONS=ON

```

```

COMMAND=ENABLENOTIF | OPTIONS=OFF

```

WD から出力される SIP メッセージは種々の形式である。メッセージの第 1 グループは REGISTER メッセージと PUBLISH メッセージを含む。

【0034】

REGISTER メッセージは、WD の IS による登録、内部タイムアウトの満了に基づく登録妥当性の拡張および登録抹消に用いられる (拡張時間をゼロにして)。レジスタメッセージは、IMS コア IC 内で CSCF (Call State Control Function) に送信される。

【0035】

PUBLISH メッセージは、現在の状態、すなわちオフライン、オンライン、アクテ

ィブを連結するのに用いられる。これらのメッセージは I C を通して、プレゼンスサーバ P S に送信される。このプレゼンスサーバ P S はこれらをユーザに配信する。このようなメッセージは「ノート」フィールドを有し、このノートフィールドは、オンライン状態の場合、W D がアクセスしたビデオソースのリストを次のようなフォーマットで含む：

S O U R C E 1 | S O U R C E 2 | . . . | S O U R C E n ;

同じ名前が、U E ディスプレイの W D アイコンのサーチツリーに現れる。アクティブ状態の場合、メッセージのノートフィールドは伝送ソースの識別子（例えば S O U R C E x ）を含む。

【0036】

別のメッセージが D a t a Q u e r y への応答または（I S への）イベント通知のために使用される。メッセージは、コマンドおよびオプション、並びに 1 つまたは複数の値を含むボディを有する。例えば D a t a Q u e r y への応答は次のフォームとすることができる：

・から：W i C a m I D

・ボディ：

・ C O M M A N D = D A T A Q U E R Y | O P T I O N S = < センサ # >
| { V A L U E = < 値 > | タイムスタンプ }

そしてイベント通知は次のフォームとすることができる：

・から：W i C a m I D

・ボディ：

・ C O M M A N D = E V E N T N O T I F | O P T I O N S = < センサ # >
| { V A L U E = < 値 > | タイムスタンプ }

値フィールド内の { } は、複数の値／タイムスタンプペアを含むことのできるフィールドを示す。

【0037】

別のメッセージグループは、アドミニストレータに向けられたメッセージを含む。このメッセージはアドミニストレータに、例えばオンライン状態への移行のような状況、および通知すべきイベントを情報通知する。後者のグループのメッセージは「I M メッセージ」として、添付されたメッセージシーケンス線図で識別される。メッセージシーケンス線図については後で説明する。

【0038】

アクティベート、データ問い合わせ（D a t a Q u e r y ）、ビデオリクエスト（V i d e o R e q u e s t ）、およびデアクティベートのプロシージャを、以下図 4 から 8 の線図を参照して詳細に説明する。そこにはメッセージが、それぞれシステムコンポーネントと関連する垂直ラインを接続する矢印によって示されている。コンポーネントの参照符合は図面の上部に示されている。より詳細には、細い線が S I P メッセージを示し、太い矢印線が I M メッセージを示し、破線矢印が S M S メッセージを示す。同じ垂直線から発して終端する、コーナで曲がった矢印はコンポーネントで実行されるチェックを示す。破線矢印と一点鎖線矢印は、それぞれ W D に関する外部と内部のイベントを示す。W D ラインと交差する水平のダッシュは、W D でローカルに実行されるアクションを示す。各プロシ
ージャ毎に、成功した実行（A により示されたオペレーションセット）が最初に示されており、続いて失敗したすべての場合が（B から F により）示されている。B、D、E 失敗は、コンポーネント（それぞれ W i C a m、W D、ユーザ装置 U E または I M S サーバ A S）に到達できなかった場合を示し、C 失敗は権限のないユーザにより開始されたプロシ
ージャを示し、F 失敗は一般的（システム）エラーを示す。

【0039】

図 4 は、アクティベートプロシージャ 11 を示す。ユーザ U E は W D に、「アクティベート」コマンドだけを含む S M S メッセージを送信する。このメッセージの受信と、形式の認識に基づいて、W D はユーザがこのアクションに権限があるか否かをチェックする（A u t h . C h e c k ）。肯定の場合、W D は P D P コンテキストおよび接続性をテスト

10

20

30

40

50

し、自身をインターネットに接続する（PDPコネクト）。その後、WDレジスタは所望の時間に対するASと共に、SIP公開メッセージを「オンライン」状態の指示と共にブレイゼンスサーバPSに送信し、この状態をアドミニストレータにも通信する。

【0040】

アクティベートプロシージャの生じ得る失敗は認証チェックまたはPDPコンテキスト、および廉潔性テストの負の結果によるものである。第1の場合（C）、WDは相応の警報信号を伴うSMSをアドミニストレータに送信する。第2の場合（F）、WDはPDPから遮断し、相応の警報信号を伴うSMSをアドミニストレータに送信する。

【0041】

UEのSIMまたはWDカードにおけるオーバフロー問題を回避するために、各メッセージの構文解析の後および実行すべきアクションの解釈の後、送信／受信されたメッセージのリストはクリアされることに注意されたい。

【0042】

図5から8は、オンライン状態20またはアクティブ状態30（図3）で実行されるプロシージャに関するものである。ここでWDはインターネットに接続されており、従ってWDはSIPメッセージを受信／送信することができる。SIPベースのアプリケーションでは、伝送される各メッセージが肯定応答（200OK）または非肯定応答（4xx／5xx）メッセージにより応答される。

【0043】

図5は、データ問い合わせ（Data Query）プロシージャを示す。このプロシージャは、スタート状態がオンライン状態20および／またはアクティブ状態30であるかに依存せずに同じである。ユーザUEは関連するSIPメッセージをASに送信する。このASはSIPメッセージの受信に基づいて、認証チェックを実行し、チェックに合格するとこのメッセージをWDに転送する。WDは反対に適切にフォーマットされた応答を準備し、これをASに送信し、ASはこの応答をUEに転送する。プロシージャの生じ得る失敗は失敗BとCである。失敗Bの場合、非肯定応答（4xx／5xx）メッセージが、ASからWDへのData Queryの伝送に発生して発生される。このことはUEへのSIP警報メッセージを発生させ、WDには到達できないことを明示する。失敗Cの場合、データ問い合わせメッセージはASによりWDには転送されず、UEはASからSIP警報メッセージを受信する。このメッセージはUEには操作に対して権限のないことを明示する。

【0044】

図6Aと6Bは、オンライン状態20でのビデオ要求（Video Request）プロシージャを示す。このプロシージャは、UEにより実行されるカメラ使用性チェックの結果が正である場合だけ実行することができる。実際にはカメラが使用可能でなければ、ユーザ端末上の相応のアイコンを作用させることはできない。カメラが使用可能であれば、ビデオ要求メッセージがWDへ、データ問い合わせの場合と同じように伝送される。ビデオ要求の結果として、WDはアクティブ状態30に移行し、SIP公開メッセージを発生する。このSIP公開メッセージは、相応の指示と共に要求に関するカメラの識別子を含み、このカメラがビデオサーバVS（切換えGo Server→Live Server）に接続されるようにする。同時にこのような操作と共に、RTP／RTCP／RTSPリンクがUE、VSとWDとの間でセットアップされる（メッセージRTSPリンク、RTSP要求）。リンクがセットアップされると、ビデオ流をUEに、ビデオサーバVSを介して転送することができる。失敗はデータ問い合わせの場合と同じである。

【0045】

WDのアクティブ状態30で実行されるビデオ要求プロシージャは上記の説明とほとんど同じである：相違点は、公開メッセージが必要ないことである。なぜならWDはすでにアクティブ状態であり、リンクはすでにアクティブであるから、ビデオサーバVSとのRTP／RTCP／RTSPリンクをセットアップするためのメッセージが必要ないからである。

【0046】

図7は、イベント通知プロシージャ（Event Notif）を示す。すなわちイネーブルされたときに、イベント、例えば動きがSD内の適切なセンサにより検出された場合にWDにより行われる通信である。イベントの検出に基づいて、WDは相応のフラグをセットし、このイベントの記録を更新する。次にフラグのオン状態が認識された後（図面の“内部割り込み”）、フラグはオフ状態にリセットされ、このイベントはアドミニストレータに、IMメッセージを介して通信され、SIPイベント通知メッセージがASに送信される。ASは配信リストをチェックし、このメッセージをリスト内のUEに転送する。生じ得る失敗はEタイプおよびDタイプであり、これらの失敗は上に説明したB失敗と同じように取り扱われる。

10

【0047】

図8Aと8Bは、WDのデアクティベートを示す。デアクティベートを要求するSIPメッセージはASに、データ問い合わせおよびビデオ要求プロシージャと同じように送信される。結果として、WDはオフライン状態を指示する公開メッセージと、登録時間が経過したことを指示するレジスタメッセージを生成する。次にWDはPDPから遮断し、オフライン条件をアドミニストレータにも通信する。WDはISから遮断されているから、ISとの通信はSMSを介して行われる。

【0048】

デアクティベートプロシージャで生じ得る失敗は失敗B、Cである。これらの失敗は他のプロシージャおよびFと同じように取り扱われる。失敗Fは宛先問題によるものであり、アドミニストレータに適切なSMSメッセージによって通知される。

20

【0049】

上記の説明に制限されるものではないことは明かである。従って、無線カメラの管理によるビデオ配信サービスへの適用例で説明したが、本発明は他の外部デバイスの管理にも使用することができる。当業者であれば問題なしに、クライアントおよびIMSプロシージャの設計における論理を他の特別例に適用することができる。

【図面の簡単な説明】

【0050】

【図1】本発明の適用例のブロック回路図である。

【図2】ユーザ装置と管理すべき装置にインストールされたクライアントの概略図である。

30

【図3】図1の適用例で管理される装置の動作を示す状態線図である。

【図4】本発明の適用例における複数の動作フェーズに関連するメッセージシーケンス線図である。

【図5】本発明の適用例における複数の動作フェーズに関連するメッセージシーケンス線図である。

【図6A】本発明の適用例における複数の動作フェーズに関連するメッセージシーケンス線図である。

【図6B】本発明の適用例における複数の動作フェーズに関連するメッセージシーケンス線図である。

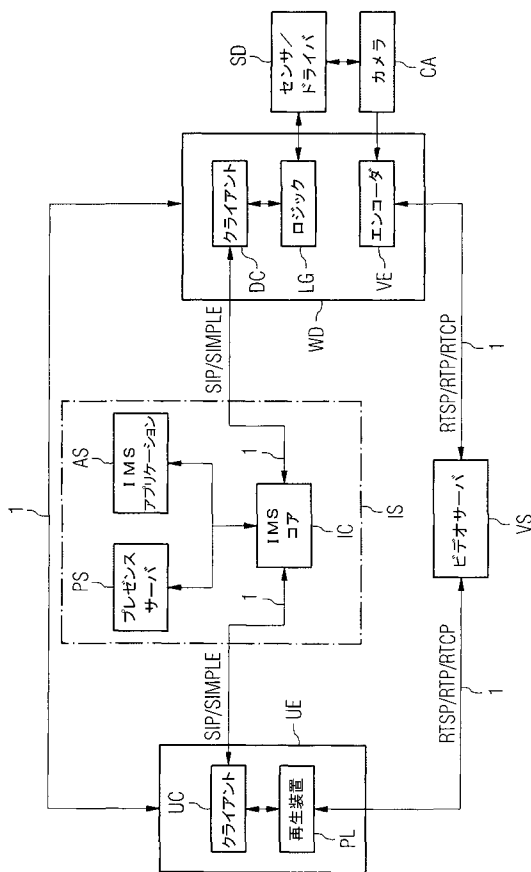
40

【図7】本発明の適用例における複数の動作フェーズに関連するメッセージシーケンス線図である。

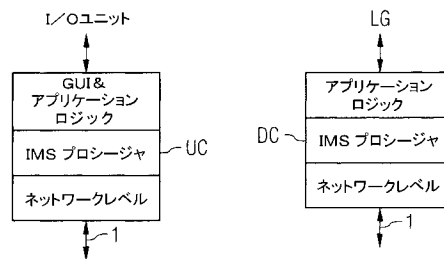
【図8A】本発明の適用例における複数の動作フェーズに関連するメッセージシーケンス線図である。

【図8B】本発明の適用例における複数の動作フェーズに関連するメッセージシーケンス線図である。

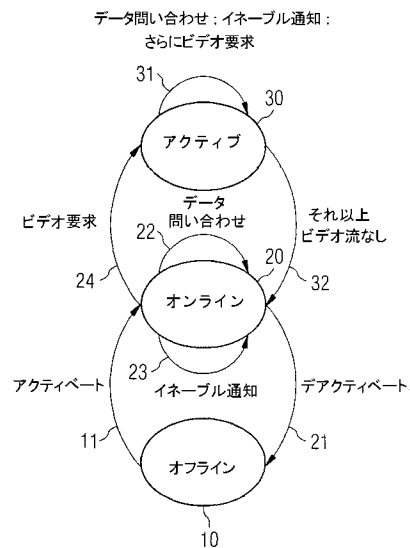
【図 1】



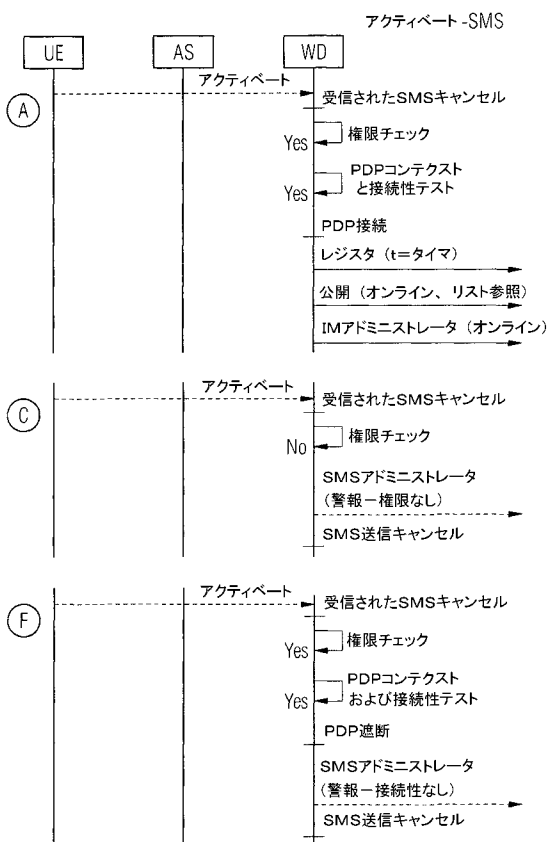
【図 2】



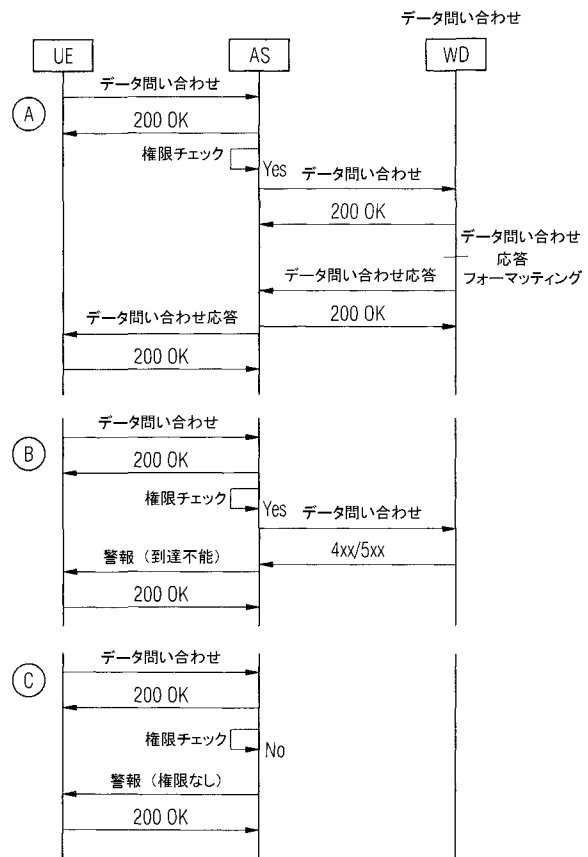
【図 3】



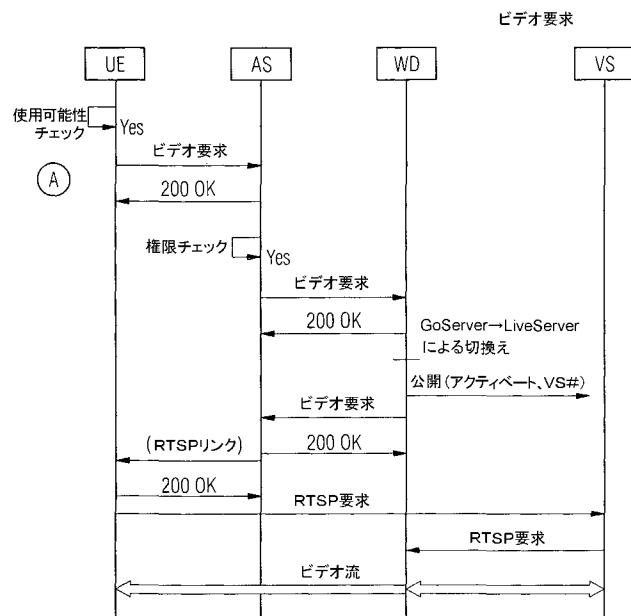
【図 4】



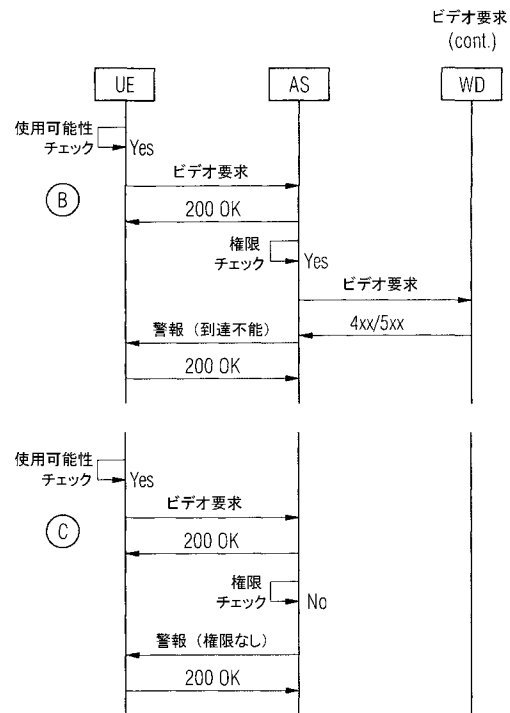
【図 5】



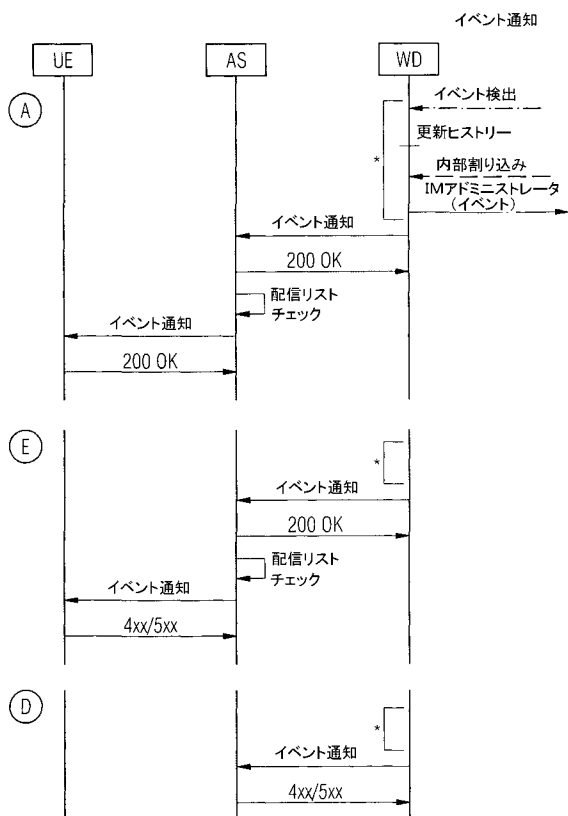
【図 6 A】



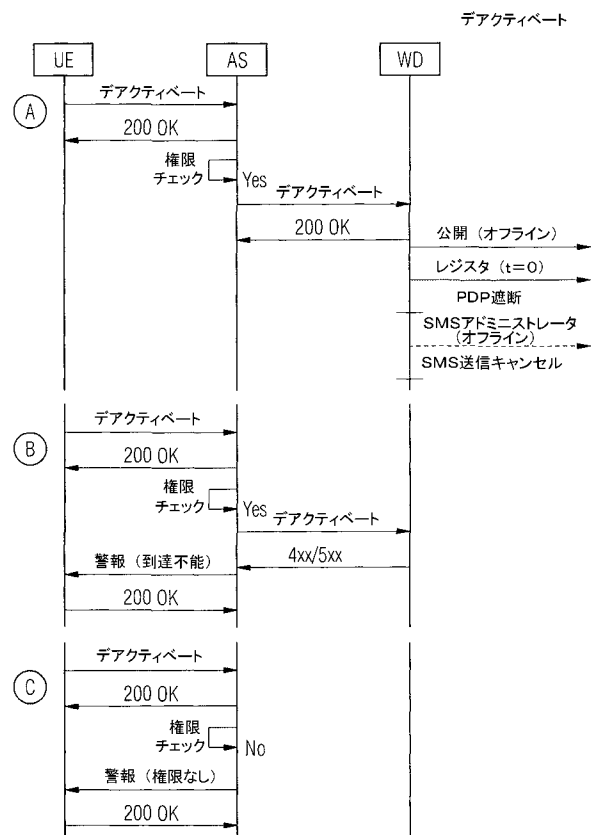
【図 6 B】



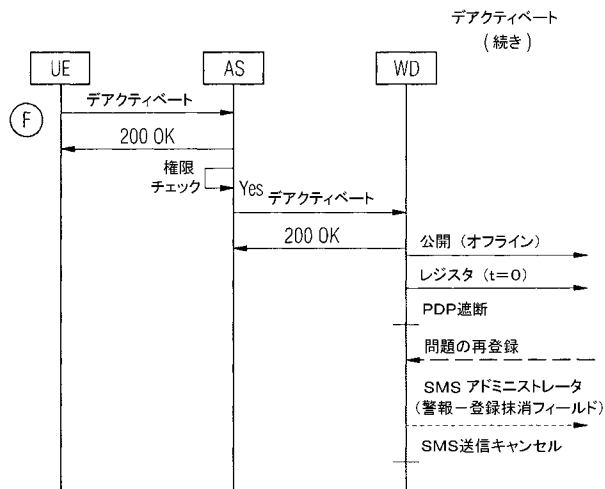
【図 7】



【図 8 A】



【図 8 B】



【手続補正書】

【提出日】平成19年3月21日(2007.3.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも1つのIP能力のある装置(WD, SD, CA)を権限のあるエンドユーザにより、IP接続をサポートする通信ネットワーク(1)を介して遠隔管理するシステムであって、

前記通信ネットワークにより前記エンドユーザは、前記少なくとも1つの装置(WD, SD, CA)と相互作用することのでき、

各権限のあるエンドユーザのユーザ装置(UE)と前記少なくとも1つの装置(WD, SD, CA)には、前記相互作用のために、前記エンドユーザと前記少なくとも1つの装置(WD, SD, CA)との間のメッセージングサービスをサポートする手段が装備されている形式のシステムにおいて、

前記権限のあるエンドユーザのユーザ装置(UE)と、前記少なくとも1つの装置(WD, SD, CA)に装備された前記手段は前記相互作用のために、インターネットプロトコルマルチメディアサブシステム(略してIMS)アプリケーションのそれぞれのクライアント(UC, DC)を有し、

前記クライアント(UC, DC)は前記メッセージングサービスの他にプレゼンスサービスをサポートし、かつそれぞれプレゼンス情報に対する加入者であり、

これにより前記エンドユーザと前記少なくとも1つ装置(WD, SD, CA)との間の

相互作用は、前記ユーザと装置との間のメッセージングの他に、前記少なくとも1つの装置（WD，SD，CA）により公開されたプレゼンス情報を含む、ことを特徴とするシステム。

【請求項2】

請求項1記載のシステムにおいて、

前記アプリケーションクライアント（UC，DC）は前記IP接続を介して、IMSシステム（IS）のIMSアプリケーションサーバ（AS）に接続されており、

前記IMSシステム（IS）はプレゼンスとIMSアプリケーションをサポートし、

前記アプリケーションサーバ（AS）は、前記クライアント（UC，DC）から発するプレゼンス情報に対するウォッチャとして動作する、ことを特徴とするシステム。

【請求項3】

請求項1または2記載のシステムにおいて、

前記ユーザの一人は、システムアドミニストレータとして活動するように構成されており、前記少なくとも1つの装置（WD，SD，CA）を、権限のあるエンドユーザのコンタクトリストにバディとして含む、ことを特徴とするシステム。

【請求項4】

請求項1から3でのいずれか一項記載のシステムにおいて、

前記クライアント（UC，DC）は、非IP通信手段をサポートするように構成されている、ことを特徴とするシステム。

【請求項5】

請求項1から4でのいずれか一項記載のシステムにおいて、

前記装置（WD，SD，CA）は1つまたは複数のマルチメディア流ソース（CA）と、エンコーダ（VE）を有し、

該エンコーダ（VE）は、マルチメディア流を前記エンドユーザに、パケットビデオ技術で動作するストリーミングサーバ（VS）を介して伝送するように構成されており、

前記ユーザ装置（UE）は、前記マルチメディア流を再生するためのマルチメディアプレーヤ（PL）を有する、ことを特徴とするシステム。

【請求項6】

請求項5記載のシステムにおいて、

前記少なくとも1つの装置（WD，SD，CA）は、特定のイベントまたは特定の環境または装置条件を検出するための手段（SD）を有し、

前記少なくとも1つの装置（WD，SD，CA）のアプリケーションクライアント（DC）は、前記イベントおよび／または前記条件をユーザ装置（UE）のアプリケーションクライアント（UC）に、当該イベントが発生すると直ちに、またはユーザによる要求に基づき通知するように構成されている、ことを特徴とするシステム。

【請求項7】

請求項6記載のシステムであって、

前記イベントは、マルチメディア流ソースを形成するカメラ（CA）により探索されるエリア内の動きを含む方法。

【請求項8】

請求項1から7でのいずれか一項記載のシステムにおいて、

前記ネットワーク（1）は移動通信ネットワーク、UMTSネットワーク、およびSMSを含む非IP通信手段である、ことを特徴とするシステム。

【請求項9】

請求項4から8でのいずれか一項記載のシステムにおいて、

少なくとも1つの装置（WD，SD，CA）のアプリケーションクライアント（DC）は以下のプレゼンス状態を取るように動作する：

- ・オフライン状態（10）、

当該オフライン状態では前記装置（WD，SD，CA）はIP接続がアクティブではなく、ユーザアプリケーションクライアント（UC）によって、前記ユーザと当該装置がU

M T S ネットワークカバレッジ内にある場合、非 I P 通信手段を介してだけ到達することができる；

- ・オンライン状態（20）、

該オンライン状態では前記装置（W D，S D，C A）が I P アドレスを獲得し、アプリケーションサーバ（A S）により登録され、これにより前記装置には前記メッセージングサービスを介して到達することができ、

前記装置（W D，S D，C A）は、オフライン状態（10）からオンライン状態（20）へ、非 I P 通信手段を介したユーザによるアクティベーション要求に基づき移行し、

前記装置は前記オンライン状態（20）では、イベントを通知し、データをユーザに伝送することができる；

- ・アクティブ状態（30）、

当該アクティブ状態には前記オンライン状態（20）からユーザによる要求に基づき到達され、

前記アクティブ状態はマルチメディア流を伝送するためのものであり、該マルチメディア流がユーザに伝送されている間、維持される；

ことを特徴とする方法。

【請求項10】

少なくとも1つの装置（W D）を権限のあるエンドユーザにより、I P 接続をサポートする通信ネットワーク（1）を介して遠隔管理する方法であって、

前記 I P 接続により前記エンドユーザは、前記少なくとも1つの装置（W D）と相互作用することのできる方法であって、

前記相互作用は前記エンドユーザと前記少なくとも1つ装置（W D，S D，C A）との間のメッセージングを含んでいる形式の方法において、

- ・前記権限のあるエンドユーザのユーザ装置（U E）と、前記少なくとも1つの装置（W D）の両者に、インターネットプロトコルマルチメディアサブシステム（略して I M S）アプリケーションのそれぞれのクライアント（U C，D C）をインストールし、

- ・前記クライアント（U C，D C）を、メッセージサービスの他に、プレゼンスサービスをサポートするようにコンフィギュレートし、

前記クライアントは、前記少なくとも1つの装置（W D，S D，C A）のクライアント（D C，U C）およびエンドユーザによりそれぞれ生成されたプレゼンス情報に対する加入者であり、

これにより前記エンドユーザと前記少なくとも1つの装置（W D，S D，C A）との間の前記相互作用が、前記少なくとも1つの装置（W D，S D，C A）により公開されたプレゼンス情報も含む、ことを特徴とする方法。

【請求項11】

請求項10記載の方法において、

前記プレゼンス情報の公開とメッセージングは、I M S の I M S アプリケーションサーバ（A S）を介して行われ、

前記 I M S はプレゼンスと I M S アプリケーションをサポートし、

前記アプリケーションサーバ（A S）は、前記クライアント（U C，D C）から発するプレゼンス情報に対するウォッチャとして動作する、ことを特徴とするシステム。

【請求項12】

請求項11記載の方法において、

前記装置アプリケーションクライアント（D C）が前記アプリケーションサーバ（A S）とまだ接続されていないか、もはや接続されていない場合、前記クライアント（U C，D C）は非 I P 接続を介して前記ネットワーク（1）により接続される、ことを特徴とする方法。

【請求項13】

請求項10から12までのいずれか一項記載の方法において、

前記少なくとも1つの装置（W D，S D，C A）は1つまたは複数のソース（C A）と

、マルチメディアコンテンツを前記ユーザに符号化されたパケット形態で配信するために関連付けられている、ことを特徴とする方法。

【請求項 14】

請求項 13 記載の方法において、

前記少なくとも 1 つの装置 (WD, SD, CA) に関連した手段 (SD) によって、特定のイベントまたは特定の環境または装置条件を検出し、

前記イベントが発生すると直ちに、またはユーザによる要求に基づいて、前記イベントおよび／または前記条件は前記少なくとも 1 つの装置 (WD, SD, CA) のアプリケーションクライアント (DC) により前記ユーザ装置 (UE) のアプリケーションクライアント (UC) に通知される、ことを特徴とする方法。

【請求項 15】

請求項 14 記載の方法であって、

前記イベントは、マルチメディア流ソースを形成するカメラ (CA) により探索されるエリア内の動きを含む方法。

【請求項 16】

請求項 10 から 15 までのいずれか一項記載の方法において、

前記ユーザ装置 (UE)、前記少なくとも 1 つの装置 (WD, SD, CA)、および IMS アプリケーションサーバ (AS) を、UMTS ネットワークを介して SMS を非 IP 通信手段として使用して接続する、ことを特徴とする方法。

【請求項 17】

請求項 13 から 16 までのいずれか一項記載の方法において、

前記少なくとも 1 つの装置 (WD, SD, CA) の前記アプリケーションクライアント (DC) は以下のプレゼンス状態を取るよう動作する：

・オフライン状態 (10)、

当該オフライン状態では前記装置 (WD, SD, CA) は IP 接続がアクティブではなく、ユーザアプリケーションクライアント (UC) によって、前記ユーザと当該装置が UMTS ネットワークカバレッジ内にある場合、非 IP 通信手段を介してだけ到達することができる；

・オンライン状態 (20)、

当該オンライン状態では前記装置 (WD, SD, CA) が IP アドレスを獲得し、前記アプリケーションサーバ (AS) により登録され、これにより前記装置には前記メッセージングサービスを介して到達することができ、

前記装置 (WD, SD, CA) は、前記オフライン状態 (10) から前記オンライン状態 (20) へ、非 IP 通信手段を介したユーザによるアクティベーション要求に基づき移行され、

前記装置は前記オンライン状態 (20) では、イベントを通知し、データをユーザに伝送することができる；

・アクティブ状態 (30)、

当該アクティブ状態には前記オンライン状態 (20) からユーザによる要求に基づき到達され、

前記アクティブ状態はマルチメディア流を伝送するためのものであり、該マルチメディア流がユーザに伝送されている間、維持される；

ことを特徴とする方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/004817

A. CLASSIFICATION OF SUBJECT MATTER				
INV. H04L29/06	H04L12/28	H04L12/56	H04L12/58	G08B25/10
G08B13/14	G08B13/194	G08B13/196	G08B25/01	H04N5/14
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols)				
H04L G08B H04M H04N				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the International search (name of data base and, where practical, search terms used)				
EPO-Internal, WPI Data, PAJ				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages			Relevant to claim No.
X	LATVAKOSKI J ET AL: "Interaction of all IP mobile internet devices with networked appliances in a residential home" DISTRIBUTED COMPUTING SYSTEMS WORKSHOPS, 2002. PROCEEDINGS, 22ND INTERNATIONAL CONFERENCE ON 2-5 JULY 2002, PISCATAWAY, NJ, USA, IEEE, 2 July 2002 (2002-07-02), pages 717-722, XP010601604 ISBN: 0-7695-1588-6			1-7, 10-15
Y	the whole document			8,9,16, 17
	-/-			
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.				
* Special categories of cited documents:				
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family				
Date of the actual completion of the international search			Date of mailing of the international search report	
22 September 2006			02/10/2006	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016			Authorized officer Losseau, Dominique	

Form PCT/ISA/210 (second sheet) (April 2006)

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2006/004817

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	MAGEDANZ T ET AL: "The IMS Playground @ Fokus - An Open Testbed for Next Generation Network Multimedia Services" TESTBEDS AND RESEARCH INFRASTRUCTURES FOR THE DEVELOPMENT OF NETWORKS AND COMMUNITIES, 2005. TRIDENTCOM 2004. FIRST INTERNATIONAL CONFERENCE ON TRENTO, ITALY 23-25 FEB. 2005, PISCATAWAY, NJ, USA, IEEE, 23 February 2005 (2005-02-23), pages 2-11, XP010774253 ISBN: 0-7695-2219-X	1-8, 10-16
Y	abstract sections 3.5 and 3.6 page 5, left-hand column - page 5, line R; figures 2,5 section 4.2 page 6, left-hand column; figure 3 section 5.2, items 1) and 3) page 9, left-hand column - page 9, right-hand column; figures 7,9	9,17
Y	US 2004/023664 A1 (MIROUZE MICHEL ET AL) 5 February 2004 (2004-02-05)	8,9,16, 17
A	paragraphs [0011] - [0023] paragraphs [0045], [0046] paragraphs [0054], [0062]	4-7, 13-15
A	US 2004/152469 A1 (YLA-OUTINEN PETTERI ET AL) 5 August 2004 (2004-08-05) paragraphs [0007], [0008] paragraphs [0055], [0056]	1,2,5, 10,11,13
A	US 2004/103153 A1 (CHANG TSUNG-YEN DEAN ET AL) 27 May 2004 (2004-05-27) abstract paragraphs [0007], [0008] paragraphs [0010] - [0012] paragraph [0017] paragraphs [0024], [0029] - [0035] paragraphs [0037], [0040], [0041] paragraphs [0053] - [0056]	3
A	US 2005/083904 A1 (KHARTABIL HISHAM ET AL) 21 April 2005 (2005-04-21) paragraphs [0004] - [0009] paragraphs [0011], [0013]	

Form PCT/ISA/210 (continuation of second sheet) (April 2006)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2006/004817

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2004023664 A1	05-02-2004	AT 259531 T AU 7261901 A CA 2412810 A1 DE 60102021 D1 DE 60102021 T2 EP 1299874 A1 ES 2211819 T3 FR 2811843 A1 WO 0207135 A1 JP 2004504743 T	15-02-2004 30-01-2002 24-01-2002 18-03-2004 25-11-2004 09-04-2003 16-07-2004 18-01-2002 24-01-2002 12-02-2004
US 2004152469 A1	05-08-2004	EP 1590719 A2 WO 2004068261 A2	02-11-2005 12-08-2004
US 2004103153 A1	27-05-2004	AU 2003299564 A1 WO 2004049124 A2	18-06-2004 10-06-2004
US 2005083904 A1	21-04-2005	EP 1676399 A2 WO 2005039061 A2	05-07-2006 28-04-2005

Form: PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TC), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100110593

弁理士 杉本 博司

(74)代理人 100128679

弁理士 星 公弘

(74)代理人 100135633

弁理士 二宮 浩康

(74)代理人 100114890

弁理士 アインゼル・フェリックス＝ラインハルト

(72)発明者 ドナテッラ ブライオッタ

イタリア国 パヴィア ヴィア フラテッリ ロッセリ 1

(72)発明者 エマニュエル モンティチェリ

イタリア国 レグナーノ ヴィア モリーゼ 8

(72)発明者 シモーネ ペンザ

イタリア国 ブッチナスコ ヴィア ヴィヴァルディ 33

(72)発明者 ミルコ ポルカーリ

イタリア国 コルテマッジョーレ ヴィア カミーザ 1

Fターム(参考) 5K030 GA03 GA15 HA08 HB02 HC09 LB02

5K201 AA09 BA01 BA02 CA04 CA08 CA09 CC10 CD09 EA05 EA07

EB06 ED06 EF04

SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND DATA PROCESS SYSTEM

Inventor(s): TAKAISHI YOSHIHIRO ± (TAKAISHI YOSHIHIRO)

Applicant(s): ELPIDA MEMORY INC ± (ELPIDA MEMORY INC)

Classification: - **international:** **H01L29/78; H01L29/786**
- **European:** H01L29/417D4; H01L29/423D2B5T;
H01L29/423D2B7; H01L29/66M6T6F12; H01L29/78C

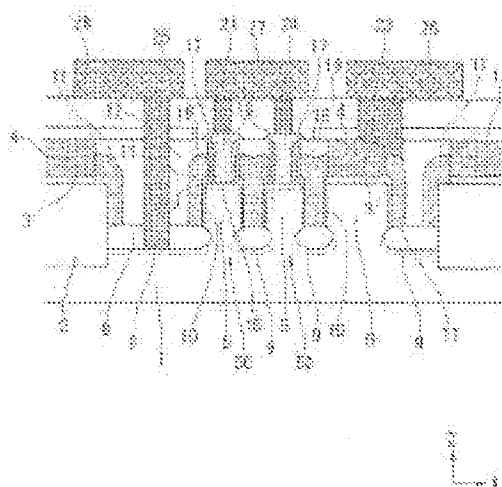
Application number: JP20070251348 20070927

Priority number (s): JP20070251348 20070927

Also published as: US2009085102 (A1)

Abstract of JP2009081389 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor device having such a vertical SGT structure that maintains characteristics of complete depletion type transistor and simultaneously obtains an excellent S value and a large drain current. ; SOLUTION: The semiconductor device includes: a plurality of semiconductor base pillars 5 formed in such a size that can be completely depleted; a gate insulating film 10 formed on each outer peripheral face of the plurality of base pillars 5; and a gate electrode 11 which buries a gap of the plurality of base pillars 5 to cover each outer peripheral face of the plurality of base pillars 5. ; COPYRIGHT: (C) 2009,JPO&INPIT



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-81389

(P2009-81389A)

(43) 公開日 平成21年4月16日(2009.4.16)

(51) Int. Cl.	F 1	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 W	5 F 1 1 O
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 V	5 F 1 4 O
	HO 1 L 29/78 6 5 3 B	
	HO 1 L 29/78 6 5 2 M	
	HO 1 L 29/78 6 5 2 K	
審査請求 未請求 請求項の数 12 O L (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2007-251348 (P2007-251348)	(71) 出願人	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成19年9月27日(2007.9.27)	(74) 代理人	100106909 弁理士 棚井 澄雄
		(74) 代理人	100108578 弁理士 高橋 昭男
		(74) 代理人	100138759 弁理士 大房 直樹
		(74) 代理人	100140774 弁理士 大浪 一徳
		(72) 発明者	高石 芳宏 東京都中央区八重洲二丁目2番1号 エル ピーダメモリ株式会社内
		最終頁に続く	

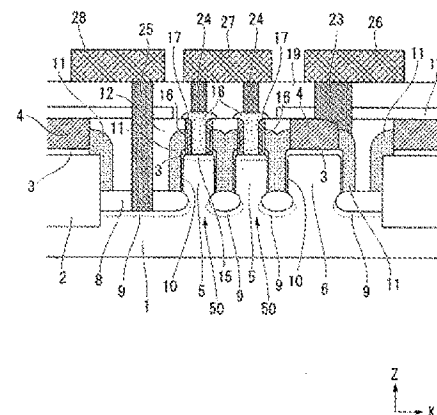
(54) 【発明の名称】 半導体装置、半導体装置の製造方法並びにデータ処理システム

(57) 【要約】

【課題】完全空乏化型のトランジスタ特性を維持しつつ、良好なS値と大きなドレイン電流が得られる縦型SGT構造を有する半導体装置を提供する。

【解決手段】本発明の半導体装置は、完全空乏化が可能な太さに形成された複数の半導体の基柱5と、複数の基柱5の各々の外周面に設けられたゲート絶縁膜10と、複数の基柱5の隙間を埋めて複数の基柱5の各々の外周面を覆うゲート電極11と、を備えていることを特徴とする。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

完全空乏化が可能な太さに形成された複数の半導体の基柱と、
前記複数の基柱の各々の外周面に設けられたゲート絶縁膜と、
前記複数の基柱の隙間を埋めて前記複数の基柱の各々の外周面に覆うゲート電極と、を
備えていることを特徴とする半導体装置。

【請求項 2】

隣接する基柱同士の間隔は、前記ゲート電極の厚みの 2 倍以下であることを特徴とする
請求項 1 に記載の半導体装置。

【請求項 3】

隣接する基柱の隙間に露出した基板の表面に絶縁膜が形成され、前記絶縁膜の下にドレ
イン拡散層が形成され、前記ゲート電極と前記ドレイン拡散層とが前記絶縁膜によって絶
縁されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記ゲート電極上に絶縁膜を介して配線が設けられ、前記ゲート電極と前記配線とが、
前記絶縁膜に形成された第 1 導電プラグを介して接続されると共に、

前記複数の基柱の周囲に第 1 突起層が設けられ、前記第 1 突起層の少なくとも一部が前
記ゲート電極によって覆われており、前記第 1 突起層の表面を覆う部分のゲート電極と重
なる位置に前記第 1 導電プラグが形成されていることを特徴とする請求項 1 に記載の半導
体装置。

【請求項 5】

前記第 1 突起層と、前記第 1 突起層の最も近くに配置されている基柱との間隔は、前記
ゲート電極の厚みの 2 倍以下であることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 突起層上に第 2 突起層が設けられ、前記第 2 突起層の少なくとも一部が前記ゲ
ート電極によって覆われており、前記第 2 突起層の表面を覆う部分のゲート電極と重なる
位置に前記第 1 導電プラグが形成されていることを特徴とする請求項 4 に記載の半導体装
置。

【請求項 7】

前記複数の基柱と前記第 1 突起層は、半導体基板からなる前記基板の表面をエッチング
して形成されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 8】

前記複数の基柱の各々の上面に前記ゲート電極の開口部が形成され、前記ゲート電極の
各々の開口部に、前記複数の基柱の各々のソース拡散層と電氣的に接続された第 2 導電プ
ラグが形成されると共に、

前記ゲート電極の各々の開口部の内壁面に絶縁膜が形成され、前記絶縁膜によって前記
ゲート電極と前記第 2 導電プラグとが電氣的に絶縁されていることを特徴とする請求項 1
に記載の半導体装置。

【請求項 9】

前記複数の基柱はマトリクス状に形成されていることを特徴とする請求項 1 に記載の半
導体装置。

【請求項 10】

基板上に複数の半導体の基柱を形成する工程と、
隣接する基柱の隙間に露出する基板の表面に絶縁膜を形成する工程と、
前記絶縁膜を介して前記基板に不純物を注入し、前記絶縁膜の下にドレイン拡散層を形
成する工程と、

前記複数の基柱の各々の外周面にゲート絶縁膜を形成する工程と、
前記複数の基柱の隙間を埋めて前記複数の基柱の各々の外周面を覆うゲート電極を形成
する工程と、を備えていることを特徴とする半導体装置の製造方法。

【請求項 11】

隣接する基柱同士の間隔は前記ゲート電極の厚みの2倍以下とされ、

前記ゲート電極を形成する工程では、前記基板の全面にゲート電極の形成材料を成膜し、全面エッチバックを行うことにより、前記複数の基柱の外周面と前記複数の基柱の隙間にゲート電極を形成することを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】

請求項1～9のいずれか1項に記載の半導体装置を備えていることを特徴とするデータ処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、縦型SGT (Surround Gate Transistor) 構造を有する半導体装置、半導体装置の製造方法、並びに本発明に基づく半導体装置を含むデータ処理システムに関するものである。

【背景技術】

【0002】

半導体装置の高集積化・高性能化は、大部分はトランジスタの微細化によって達成されている。近年、トランジスタの単純な微細化が困難になってきている。トランジスタのゲート長Lが極端に短くなると、短チャネル効果の影響が大きくなり、しきい値電圧の制御が困難になる。またS値が大きくなり、トランジスタのオフ時の電流低減の観点から、より高いしきい値電圧が必要になる。S値の増加によるしきい値電圧の増大は、低電圧での動作を必要とする半導体装置の実現を困難とする。短チャネル効果低減の手段としては、トランジスタのソース・ドレインの拡散層を浅く形成する方法があるが、ソース・ドレイン抵抗の増加による電流の低減、またDRAMのセルトランジスタに関しては、浅い拡散層では接合リークが増加してDRAMのリフレッシュ特性を悪化させる問題点がある。今までの平面的なMOSトランジスタの微細化のみでは今後の半導体装置の高性能化の達成は困難である。

20

【0003】

近年、このトランジスタの微細化の対策として、3次元構造のトランジスタの検討がなされている。図21は特許文献1に示された縦型SGT (Surround Gate Transistor) 構造を有する3次元トランジスタの一例である。この3次元トランジスタは、半導体基板の主面に対して垂直方向に延びるシリコンピラーをチャンネルとして用いるトランジスタである。図21において、半導体基板101はトランジスタのチャンネル部を構成する半導体の基柱(シリコンピラー)を有しており、その基柱の周囲にはゲート絶縁膜105を介してゲート電極102が設けられている。基柱の下部の横側にはドレイン領域103が設けられ、基柱の上部にはソース領域104が設けられている。符号109はドレイン電極であり、ソース電極106は絶縁膜107を介してソース領域104に接続されMISキャパシタを形成している。なお、符号110、111は素子分離の為にチャンネルストップ及びフィールド絶縁膜であり、符号108はソース領域104及びドレイン領域103とソース電極106及びドレイン電極109とを絶縁するための絶縁膜である。

30

【0004】

40

この構造はトランジスタの占有面積が小さく、チャンネル長(ゲート長)を長くしてもトランジスタの占有面積の増加がない。そのため、トランジスタの占有面積を大きくしなくても短チャネル効果が抑制できる。またチャンネル部の完全空乏化が可能となり、良好なS値および大きなドレイン電流が得られるという利点を有している。また柱状のチャンネル部の全周に亘ってゲート電極が形成(覆う)されており、ソース・ドレイン以外の外的要因がなくなり、チャンネルの電位をゲート電極で効果的に制御可能となる。

【特許文献1】特開平5-136374号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

50

しかしながら、3次元トランジスタのチャネル部を完全空乏化型にするためには、チャネル部を形成するピラー径を小さく（細く）する必要がある。チャネル部不純物濃度、ゲートに印加する電圧、ソース・ドレインに印加する電圧、ソース・ドレインの不純物濃度にも依存するが、ソース・ドレイン間の距離を決定するピラー高さの2倍以下のピラー径が完全空乏化するピラー径の目安である。ピラー径が大きくなると、完全空乏化型トランジスタでなくなり、S値が急激に悪化し、ソース・ドレインの影響が顕著になり、短チャネル効果の影響が強くなる。つまり平面型トランジスタ特性に近づいていく。

【0006】

シリコンピラーを用いたトランジスタのドレイン電流は、チャネル部を構成するシリコンピラーのピラー径に比例する。ピラー径を大きくすることでドレイン電流は増加するが、ピラー径が大きくなると、完全空乏化型のトランジスタでなくなり、トランジスタ特性が急激に悪化する。シリコンピラーを用いた完全空乏化型のトランジスタでは、ドレイン電流に限界がある。電流が必要な場合は、ピラー径を大きくするかわりに、S値が悪化するのでしきい値電圧を高くする。また短チャネル効果の影響が顕著になるので、ソース・ドレインの拡散層プロファイルの変更などが必要になるが、これは、ソース・ドレインの拡散層抵抗増加のため、ドレイン電流をより減少させる影響がある。

【0007】

本発明はこのような事情に鑑みてなされたものであって、完全空乏化型のトランジスタ特性を維持しつつ、良好なS値と大きなドレイン電流が得られる縦型SGT (Surround Gate Transistor) 構造を有する半導体装置とその製造方法、並びにデータ処理システムを提供することを目的とする。

【課題を解決するための手段】

【0008】

上記の課題を解決するため、本発明の半導体装置は、完全空乏化が可能な太さに形成された複数の半導体の基柱と、前記複数の基柱の各々の外周面に設けられたゲート絶縁膜と、前記複数の基柱の隙間を埋めて前記複数の基柱の各々の外周面に覆うゲート電極と、を備えている。この構成によれば、1つのトランジスタのチャネル部を複数の半導体の基柱によって形成しているため、1つの基柱の太さ（基板に平行な面で切った断面の大きさ）を完全空乏化が可能な大きさにまで小さくすることができる。このため、完全空乏化型のトランジスタの特性を維持しつつ、良好なS値と大きなドレイン電流を得ることができる。なお、完全空乏化の条件は、チャネル部不純物濃度、ゲートに印加する電圧、ソース・ドレインに印加する電圧、ソース・ドレインの不純物濃度にも依存するが、ソース・ドレイン間の距離を決定する基柱の高さの2倍以下の太さであることが、完全空乏化が可能な基柱の太さの目安である。

【0009】

本発明においては、隣接する基柱同士の間隔（基柱間の隙間の大きさ）は、前記ゲート電極の厚みの2倍以下であることが望ましい。この構成によれば、基柱の側面に形成されたゲート電極同士を接触させ、1つのゲート電極として機能させることができる。また、基柱同士の間隔を小さくすることで、半導体装置の小型化に寄与することができる。

【0010】

本発明においては、隣接する基柱の隙間に露出した基板の表面に絶縁膜が形成され、前記絶縁膜の下にドレイン拡散層が形成され、前記ゲート電極と前記ドレイン拡散層とが前記絶縁膜によって絶縁されていることが望ましい。この構成によれば、ゲート電極とドレイン拡散層との電氣的短絡を確実に防止することができる。

【0011】

本発明においては、前記ゲート電極上に絶縁膜を介して配線が設けられ、前記ゲート電極と前記配線とが、前記絶縁膜に形成された第1導電プラグを介して接続されると共に、前記複数の基柱の周囲に第1突起層が設けられ、前記第1突起層の少なくとも一部が前記ゲート電極によって覆われており、前記第1突起層の表面を覆う部分のゲート電極と重なる位置に前記第1導電プラグが形成されていることが望ましい。この構成によれば、ゲ

ト電極と配線との間隔が第1突起層の高さだけ嵩上げされるため、両者を接続する第1導電プラグの高さも第1突起層の高さ分だけ小さくすることができる。そのため、第1導電プラグのアスペクト比を小さくするができ、半導体装置を微細化する場合に容易に対応することができる。

【0012】

本発明においては、前記第1突起層と、前記第1突起層の最も近くに配置されている基柱との間隔（第1突起層と基柱との間の隙間の大きさ）は、前記ゲート電極の厚みの2倍以下であることが望ましい。この構成によれば、基柱の側面と第1突起層の側面に形成されたゲート電極同士を接触させ、互いに連続した1つのゲート電極として機能させることができる。また、第1突起層と基柱との間隔を小さくすることで、半導体装置の小型化に寄与することができる。 10

【0013】

本発明においては、前記第1突起層上に第2突起層が設けられ、前記第2突起層の少なくとも一部が前記ゲート電極によって覆われており、前記第2突起層の表面を覆う部分のゲート電極と重なる位置に前記第1導電プラグが形成されていることが望ましい。この構成によれば、ゲート電極と配線との間隔が第2突起層の高さだけ嵩上げされるため、両者を接続する第1導電プラグの高さも第2突起層の高さ分だけ小さくすることができる。そのため、第1導電プラグのアスペクト比を小さくすることができ、半導体装置を微細化する場合に容易に対応することができる。

【0014】

本発明においては、前記複数の基柱と前記第1突起層は、半導体基板からなる前記基板の表面をエッチングして形成されていることが望ましい。この構成によれば、基柱と第1突起層とを同時に形成することができる。また、基柱の高さを大きくしようとする場合、嵩上げる第1突起層の高さも大きくする必要があるが、半導体基板をエッチングして基柱と第1突起層とを同時に形成する方法を用いれば、第1突起層の高さは基柱の高さと同程度の大きさとなるため、容易に大きな高さの第1突起層を形成することができる。 20

【0015】

本発明においては、前記複数の基柱の各々の上面に前記ゲート電極の開口部が形成され、前記ゲート電極の各々の開口部に、前記複数の基柱の各々のソース拡散層と電氣的に接続された第2導電プラグが形成されると共に、前記ゲート電極の各々の開口部の内壁面に絶縁膜が形成され、前記絶縁膜によって前記ゲート電極と前記第2導電プラグとが電氣的に絶縁されていることが望ましい。この構成によれば、ソース拡散層に接続される配線と基柱とを基柱の直上に設けた第2導電プラグによって接続することができる。これにより、配線のレイアウトが容易になり、半導体装置の小型化に寄与することができる。 30

【0016】

本発明においては、前記複数の基柱はマトリクス状に形成されていることが望ましい。この構成によれば、複数の基柱を密に配置することができ、半導体装置の小型化に寄与することができる。

【0017】

本発明の半導体装置の製造方法は、基板上に複数の半導体の基柱を形成する工程と、隣接する基柱の隙間に露出する基板の表面に絶縁膜を形成する工程と、前記絶縁膜を介して前記基板に不純物を注入し、前記絶縁膜の下にドレイン拡散層を形成する工程と、前記複数の基柱の各々の外周面にゲート絶縁膜を形成する工程と、前記複数の基柱の隙間を埋めて前記複数の基柱の各々の外周面を覆うゲート電極を形成する工程と、を備えていることを特徴とする。この方法によれば、1つのトランジスタのチャネル部を複数の半導体の基柱によって形成しているため、1つ当たりの基柱の太さ（基板に平行な面で切った断面の大きさ）を完全空乏化が可能な大きさにまで小さくすることができる。このため、完全空乏化型のトランジスタの特性を維持しつつ、良好なS値と大きなドレイン電流を得ることができる。 40

【0018】

50

本発明においては、隣接する基柱同士の間隔（基柱間の隙間の大きさ）は前記ゲート電極の厚みの2倍以下とされ、前記ゲート電極を形成する工程では、前記基板の全面にゲート電極の形成材料を成膜し、全面エッチバックを行うことにより、前記複数の基柱の外周面と前記複数の基柱の隙間にゲート電極を形成することが望ましい。この方法によれば、基柱の側面に形成されたゲート電極同士が接触し、基柱の高さ方向全体にゲート電極が形成される。そのため、エッチバックによって不要な領域のゲート電極を除去したときに、基柱同士の間隔にゲート電極の断線が発生せず、連続した1つのゲート電極として機能させることができる。また、基柱同士の間隔を小さくすることで、半導体装置の小型化に寄与することができる。

【0019】

本発明のデータ処理システムは、前述した本発明の半導体装置を備えていることを特徴とする。この構成によれば、データ処理システムの小型化、高性能化が図られる。

【発明の効果】

【0020】

本発明によれば、完全空乏化が可能な細い基柱を複数本並列に配置し、それぞれの拡散層を共通化したため、複数の単位トランジスタを並列に配置したのと同等の特性となり、完全空乏化型のトランジスタ特性を維持しつつ、良好なS値と大きなドレイン電流の実現が可能な半導体装置が提供できる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施形態について、図面を参照して詳細に説明する。以下の図面においては、各構成をわかりやすくするために、実際の構造と各構造における縮尺や数等が異なっている。また、XYZ座標系を設定し、各構成の配置を説明する。この座標系においてZ方向はシリコン基板の表面に垂直な方向であり、X方向とY方向はZ方向と直交する方向であって互いに直交する方向である。

【0022】

【半導体装置】

図1は本実施形態の半導体装置の断面構造を示す模式図である。シリコン基板1上にはSTI(Shallow Trench Isolation; 素子分離溝)2が設けられている。STI2に囲まれた領域の中央部には、複数のシリコンピラー(半導体の基柱)5が立設されている。シリコンピラー5は単位トランジスタ50のチャネル部を構成する柱状の半導体層である。複数のシリコンピラー5は同一の高さで互いに並列に配置されている。シリコンピラー5の太さ(シリコン基板1に平行な面で切った断面の大きさ)は、シリコンピラー5を構成する半導体(すなわち単位トランジスタ50のチャネル部)が完全空乏化可能な大きさとされている。

【0023】

シリコンピラー5の上端部と下端部にはそれぞれ不純物拡散層が形成されている。シリコンピラー5の上端部に形成されたピラー上部拡散層15はソース拡散層であり、シリコンピラー5の下端部に形成されたピラー下部拡散層9はドレイン拡散層である。ピラー上部拡散層15とピラー下部拡散層9との間に挟まれたシリコンピラー5の中央部はチャネル部である。複数のシリコンピラー5は、互いにゲート電極11の厚みの2倍以下の間隔で近接して配置されている。

【0024】

複数のシリコンピラー5からなるシリコンピラー群の周囲にはゲート吊りシリコンピラー6が形成されている。シリコンピラー5とゲート吊りシリコンピラー6はシリコン基板1の表面をエッチングして形成されている。ゲート吊りシリコンピラー6はシリコン基板1の表面から突出した柱状の半導体層である。ゲート吊りシリコンピラー6は、ゲート電極11の高さを嵩上げしてゲート電極11と上部のメタル配線(第1配線)26との距離を小さくするための突起層として機能する。ゲート吊りシリコンピラー6に最も近いシリコンピラー5とゲート吊りシリコンピラー6との間隔(シリコンピラー5とゲート吊りシ

リコンピラー 6 との隙間の大きさ) はゲート電極 11 の厚みの 2 倍以下とされている。

【0025】

シリコンピラー 5 とゲート吊りシリコンピラー 6 の周囲に露出したシリコン基板 1 の表面には酸化膜 (絶縁膜) 8 が形成されている。酸化膜 8 はシリコンピラー 5 とゲート吊りシリコンピラー 6 の周囲を覆って S T I 2 に達している。ピラー下部拡散層 9 は酸化膜 8 の下に酸化膜 8 と重なるように配置されており、酸化膜 8 によってピラー下部拡散層 9 とゲート電極 11 とが電氣的に絶縁されている。ピラー下部拡散層 9 はシリコンピラー同士を電氣的に接続しており、シリコンピラー間及びシリコンピラー 5 の周囲に形成されたピラー下部拡散層 9 によって、複数の単位トランジスタ 50 に共通のドレイン部が形成されている。なお、S T I 2 はピラー下部拡散層 9 よりも深く形成されており、S T I 2 を挟んで隣接する領域同士でピラー下部拡散層 9 が導通しないようになっている。

【0026】

シリコンピラー 5 とゲート吊りシリコンピラー 6 の表面にはゲート絶縁膜 10 が形成されている。また、ゲート絶縁膜 10 を介してシリコンピラー 5 とゲート吊りシリコンピラー 6 の表面にゲート電極 11 が形成されている。ゲート電極 11 は、S T I 2 の内壁面と、S T I 2 の上面に積層された酸化膜 3 の内壁面と、マスク窒化膜 4 の内壁面の一部にも形成されている。ゲート絶縁膜 10 はシリコンピラー 5 の外周面と上面を覆って酸化膜 8 と接続されている。シリコンピラー 5 のチャンネル部、ピラー上部拡散層 15、及び酸化膜 8 の下部に形成されたピラー下部拡散層 9 は、ゲート絶縁膜 10 と酸化膜 8 によってゲート電極 11 と電氣的に絶縁されている。

【0027】

ゲート電極 11 は、シリコンピラー 5 の隙間及びシリコンピラー 5 とゲート吊りシリコンピラー 6 との隙間を覆ってシリコンピラー 5 とゲート吊りシリコンピラー 6 の表面全体に形成されている。シリコンピラー同士の間隔 (隙間の大きさ) はゲート電極 11 の厚みの 2 倍以下とされている。シリコンピラー 5 の側面に形成されたゲート電極 11 はピラー間隔がゲート電極 11 の膜厚の 2 倍以下とされた部分で互いに接触し、1 つのゲート電極として機能する。シリコンピラー 5 の隙間にはゲート電極 11 がシリコンピラー 5 の高さ方向全体に隙間なく形成され、複数の単位トランジスタ 50 に共通のゲート電極が形成される。同様に、シリコンピラー 5 とゲート吊りシリコンピラー 6 との間隔はゲート電極 11 の厚みの 2 倍以下とされており、シリコンピラー 5 とゲート吊りシリコンピラー 6 の隙間にはゲート電極 11 がシリコンピラー 5 の高さ方向全体に隙間なく形成されている。

【0028】

S T I 2、シリコンピラー 5、ゲート吊りシリコンピラー 6 の上面には酸化膜 3 が形成されている。S T I 2 とゲート吊りシリコンピラー 6 の上面には酸化膜 3 を覆ってマスク窒化膜 4 が形成され、更にゲート電極 11 と酸化膜 8 を覆って第 1 層間絶縁膜 12 が形成されている。第 1 層間絶縁膜 12 は、S T I 2、酸化膜 3 及びマスク窒化膜 4 の壁面に囲まれた領域に形成されている。マスク窒化膜 4 と第 1 層間絶縁膜 12 の表面にはマスク酸化膜 13 が形成されている。マスク酸化膜 13 にはシリコンピラー 5 と重なる位置に開口部が形成されている。マスク酸化膜 13 と第 1 層間絶縁膜 12 の表面には第 2 層間絶縁膜 19 が形成されている。第 2 層間絶縁膜 12 上にはメタル配線 26、27、28 が形成されている。

【0029】

メタル配線 26 は第 2 層間絶縁膜 19、マスク酸化膜 13 及び第 1 層間絶縁膜 12 を貫通するメタルコンタクトプラグ (導電プラグ) 23 によってゲート電極 11 と接続されている。メタルコンタクトプラグ 23 はゲート吊りシリコンピラー 6 と部分的に重なる位置に形成されている。ゲート吊りシリコンピラー 5 上 (より詳細にはゲート吊りシリコンピラー 6 の表面に形成された酸化膜 3 上) にはマスク窒化膜 4 が形成されており、メタルコンタクトプラグ 23 は、シリコン窒化膜 4 の側面に形成されたゲート電極 11 の上端部と接続されている。ゲート吊りシリコンピラー 6 上に形成されたマスク窒化膜 4 は、ゲート吊りシリコンピラー 6 と共にゲート電極 11 の高さを嵩上げしてゲート電極 11 と上部の

メタル配線 26 との距離を小さくするための突起層として機能する。

【0030】

メタル配線（第2配線）27は、第1層間絶縁膜12、ゲート電極11、ゲート絶縁膜10及び酸化膜3を貫通するシリコンプラグ（導電プラグ）18と、第2層間絶縁膜19を貫通するメタルコンタクトプラグ（導電プラグ）24とを介してシリコンピラー5のピラー上部拡散層15と接続されている。シリコンプラグ18はシリコン中にヒ素等の不純物を注入（拡散）したものであり、ピラー上部拡散層15と共に単位トランジスタ50のソース部を構成する。シリコンプラグ18の側面には、サイドウォール窒化膜17と酸化膜16が形成されており、サイドウォール窒化膜17と酸化膜16によってシリコンプラグ18とゲート電極11とが電氣的に絶縁されている。メタルコンタクトプラグ24とシリコンプラグ18は各々のシリコンピラー5に対して1つずつ形成されている。

【0031】

メタル配線（第3配線）28は、第2層間絶縁膜19、マスク酸化膜13、第1層間絶縁膜12及び酸化膜8を貫通するメタルコンタクトプラグ（導電プラグ）25によってピラー下部拡散層9と接続されている。メタルコンタクトプラグ25は、ゲート電極11が形成されていないシリコンピラー5とSTI2との中間部に形成されている。

【0032】

図2は半導体装置の平面構造を示す模式図である。STI2に囲まれた領域の中央部には平面視矩形状の複数のシリコンピラー5が設けられている。複数のシリコンピラー5はX方向及びY方向にマトリクス状に配置されている。各々のシリコンピラー5は単位トランジスタ50のチャネル部を構成するものである。STI2に囲まれた各々の領域にはシリコンピラー5をチャネル部とする複数の単位トランジスタ50がマトリクス状に複数個ずつ配置されている。1つのトランジスタはSTI2に囲まれた領域に配置された複数の単位トランジスタ50によって構成されている。

【0033】

X方向、Y方向及び対角方向（X方向と45°をなす方向）に隣接するシリコンピラー同士の間隔はゲート電極の膜厚の2倍以下である。各々のシリコンピラー5の直上にはシリコンプラグ18、メタルコンタクトプラグ24及びメタル配線27が形成されている。シリコンピラー5、シリコンプラグ18及びメタルコンタクトプラグ24は同一平面領域内に互いに重なって配置されている。メタル配線27は、複数のメタルコンタクトプラグ24と重なって配置されており、各単位トランジスタ50に共通のソース配線となっている。

【0034】

複数のシリコンピラー5からなるシリコンピラー群の右側には平面視矩形状のゲート吊りシリコンピラー6が形成されている。ゲート吊りシリコンピラー6の直上には平面視矩形状のメタルコンタクトプラグ23が形成されている。メタルコンタクトプラグ23はゲート吊りシリコンピラー6と部分的に重なる位置に形成されている。メタルコンタクトプラグ23の右端（シリコンピラー5と反対側の端部）はゲート吊りシリコンピラー6の外側に若干はみ出している。そして、このはみ出した部分でゲート吊りシリコンピラー6の側面に形成されたゲート電極と接続されている。メタルコンタクトプラグ23の直上にはメタル配線26が形成されている。メタル配線26は、メタルコンタクトプラグ23を介してゲート電極と接続されており、各単位トランジスタ50に共通のゲート配線となっている。

【0035】

シリコンピラー群の左側（ゲート吊りシリコンピラー6とは反対側）には平面視矩形状のメタルコンタクトプラグ25が形成されている。メタルコンタクトプラグ25の直上にはメタル配線28が形成されている。メタル配線28はメタルコンタクトプラグ25を介してピラー下部拡散層と接続されており、各単位トランジスタ50に共通のドレイン配線となっている。

【0036】

なお、図2では平面視矩形状の4つのシリコンピラー5がX方向とY方向にそれぞれ2行2列で形成されているが、シリコンピラー5の形状、数及び配置はこれに限定されない。例えばシリコンピラー5の平面形状は、円や、矩形以外の多角形とすることができる。またシリコンピラー5を多数本形成する場合には、シリコンピラー5をハニカム状に配列し、最密充填構造とすることで、半導体装置の小型化、高集積化を図ることができる。またゲート吊りシリコンピラー6は、ゲート電極の高さを嵩上げしてゲート電極と上部のメタル配線26との距離を小さくするための突起層であり、その大きさ、形状は特に限定されない。

【0037】

[半導体装置の製造方法]

図3～図18は第1実施形態の半導体装置の製造方法の説明図である。図3～図18は図2のX-X断面に対応する断面工程図である。

【0038】

まず始めに図3に示すように、シリコン基板1上に素子分離となるSTI2を形成する。次に図4に示すように、シリコン基板1上に酸化膜3を10nmおよびマスク窒化膜4を120nm形成する。

【0039】

次に図5に示すように、公知のフォトリソグラフィ工程およびドライエッチング工程を用いて、酸化膜3およびマスク窒化膜4をパターンニングする。次に図6に示すように、マスク窒化膜4をマスクとしてシリコン基板1を深さ150nm程度エッチングして、単位トランジスタのチャネル部となるシリコンピラー5と、ゲート電極を上層側のメタル配線に繋げるためのゲート吊りシリコンピラー6を形成する。

【0040】

このときのシリコンピラー5及びゲート吊りシリコンピラー6のレイアウトは図2示した通りである。すなわち、STI2に囲まれた部分に、単位トランジスタを形成するためのシリコンピラー5を4つ配置し、それぞれのシリコンピラー5の間隔をこの後形成するゲート電極の膜厚の2倍以下とする。またゲート吊りシリコンピラー6と少なくとも1つ以上のシリコンピラー5との間隔をゲート電極の膜厚の2倍以下とする。チャネル部を形成するシリコンピラー5の太さ（シリコン基板1に平行な面で切った断面の大きさ）は、チャネル部が完全空乏化できる大きさである。ゲート電極を吊り上げるゲート吊りシリコンピラー6のサイズは任意であり、チャネル部を形成するシリコンピラー5とは同じサイズである必要はない。

【0041】

次に図7に示すように、シリコンピラー5及びゲート吊りシリコンピラー6の側面を5nm程度酸化し（図示せず）、窒化膜を20nm程度成膜した後、全面エッチバックを行い、シリコンピラー5及びゲート吊りシリコンピラー6の側面およびマスク窒化膜4の側面にサイドウォール窒化膜7を形成する。このときSTI2の側面の一部にもサイドウォール窒化膜7が形成される。

【0042】

次に図8に示すように、シリコン酸化を行い、シリコン露出部分に酸化膜8を30nm形成する。このときシリコンピラー5とゲート吊りシリコンピラー6の側面および上面には窒化膜が形成されているため、酸化はされない。

【0043】

次に図9に示すように、不純物、例えばN型トランジスタの場合はヒ素のイオン注入を行い、シリコンピラー5の下部にピラー下部拡散層9を形成する。このときシリコンピラー5及びゲート吊りシリコンピラー6の上面にはマスク窒化膜4が形成されており、またその膜厚は100nm程度あり、シリコンピラー5の下にある酸化膜8の30nmより十分厚いため、シリコンピラー5及びゲート吊りシリコンピラー6の上部には不純物拡散層が形成されない。

【0044】

10

20

30

40

50

次に図10に示すように、サイドウォール窒化膜7およびシリコンピラー5の側面に形成された酸化膜を除去する。

【0045】

次に図11に示すように、シリコンピラー5及びゲート吊りシリコンピラー6の側面にゲート絶縁膜10を形成する。シリコン酸化膜の場合は3nm程度の膜厚である。次に全面にゲート電極となるポリシリコンを20nm成膜し、全面エッチバックを行い、シリコンピラー5及びゲート吊りシリコンピラー6の側面のみにゲート電極11を形成する。このときSTI2の側面の一部にもゲート電極11が形成される。シリコンピラー5同士の間隔はゲート電極11の膜厚の2倍以下であるため、シリコンピラー間はゲート電極11で完全に埋められる。同様に、シリコンピラー5とゲート吊りシリコンピラー6の間隔はゲート電極11の膜厚の2倍以下であるため、シリコンピラー5とゲート吊りシリコンピラー6の間はゲート電極11で完全に埋められる。

【0046】

次に図12に示すように、第1層間絶縁膜12を形成する。その後に第1層間絶縁膜12を公知のCMP技術を用いてマスク窒化膜が露出するように平坦化して、次にマスク酸化膜13を30nm程度成膜する。

【0047】

次に図13に示すように、公知のフォトリソグラフィ技術とエッチング技術を用いてマスク酸化膜13を除去する。除去するパターンレイアウト40は図2に示したように、シリコンピラー5の配置した部分のみである。マスク酸化膜13を除去した部分14は、マスク窒化膜4が露出する。そして、この露出した位置のマスク窒化膜4のみを選択的に除去し、シリコンピラー5の上面部を開口する。

【0048】

次に図14に示すように、酸化処理を行った後に、このシリコンピラー5の上面部に形成された開口部よりシリコンピラー5の上部に不純物（N型トランジスタであれば燐やヒ素など）を注入し、第1の不純物拡散層（ピラー上部拡散層）15を形成する。また、窒化膜を10nm程度成膜し、エッチバックを行うことにより、シリコンピラー5の上部の開口部にサイドウォール窒化膜17形成する。このサイドウォール窒化膜形成時にシリコンピラー5の上面に形成されていた酸化膜も除去し、シリコンピラー5の上面を露出する。酸化膜16はサイドウォール窒化膜17の下およびゲート電極11がポリシリコンの場合は露出していたポリシリコンの側面のみに残る。サイドウォール窒化膜17はトランジスタのLDD構造形成のため、およびこの後形成するシリコンプラグ及びメタルコンタクトプラグとゲート電極11との間の絶縁を確保する役割がある。

【0049】

次に図15に示すように、選択エピタキシャル成長法を用いて、シリコンピラー5の上面にシリコンプラグ18を選択的に形成する。その後に、N型トランジスタの場合は、ヒ素などをイオン注入して、シリコンプラグ内をn型の導電体として、シリコンピラー5の上面に形成した第1の不純物拡散層15に電氣的に接触する第2の不純物拡散層を形成する。次に図16に示すように、第2層間絶縁膜19を形成する。

【0050】

次に図17に示すように、公知のフォトリソグラフィおよびドライエッチング工程を用いて、ゲート吊りシリコンピラー6に対してコンタクト孔20を形成する。コンタクト孔20の位置は、図2に示すように、ゲート吊りシリコンピラー6の中心部よりも少しずらした位置に配置する。このときゲート吊りシリコンピラー6の上面には窒化膜が残っているので、ゲート吊りシリコンピラー6まではエッチングされないが、ゲート電極11まではエッチングされる。次にシリコンピラー5に対してコンタクト孔21を形成し、次にピラー下部拡散層9に対してコンタクト孔22を形成する。これらのコンタクト孔20、21、22は同一のフォトリソグラフィ工程で形成しても良く、また別々のフォトリソグラフィ工程で形成しても良い。

【0051】

次に図18に示すように、各コンタクト孔20、21、22にW/TiN/Tiで形成された金属を埋め込み、ゲート吊りシリコンピラー6に対するメタルコンタクトプラグ23、シリコンピラー5に対するメタルコンタクトプラグ24、ピラー下部拡散層9に対するメタルコンタクトプラグ25をそれぞれ形成する。

【0052】

次に図1に示したように、W/WNで形成されるメタル配線26、27、28を形成する。このとき、図2の平面図に示したとおり、複数あるシリコンピラー5に対するメタルコンタクトプラグ24は同一のメタル配線27に接続する。これによって並列に接続されたトランジスタが完成する。

【0053】

以上説明した本実施形態の半導体装置によれば、次のような効果が得られる。

(1) 1つのトランジスタのチャネル部を複数のシリコンピラー5によって形成しているため、1つのシリコンピラー5の太さ（シリコン基板1に平行な面で切った断面の大きさ）を完全空乏化が可能な大きさにまで小さくすることができる。このため、完全空乏化型のトランジスタの特性を維持しつつ、良好なS値と大きなドレイン電流を得ることができる。

(2) シリコンピラー同士の間隔がゲート電極11の厚みの2倍以下とされているため、シリコンピラー5の側面に形成されたゲート電極同士が接触し、シリコンピラー5の高さ方向全体にゲート電極11が形成される。そのため、エッチバックによって不要な領域のゲート電極11を除去したときに、シリコンピラー同士の隙間にゲート電極11の断線が20発生せず、連続した1つのゲート電極として機能させることができる。また、シリコンピラー同士の間隔を小さくすることで、半導体装置の小型化に寄与することができる。

(3) ゲート電極11の高さを嵩上げするための突起層（ゲート吊りシリコンピラー6、マスク窒化膜4）を形成したため、ゲート電極11とメタル配線26を接続するメタルコンタクトプラグ23のアスペクト比を小さくすることができ、半導体装置を微細化する場合に容易に対応することができる。

【0054】

以上、添付図面を参照しながら本発明に係る好適な実施の形態例について説明したが、本発明は係る例に限定されないことは言うまでもない。上述した例において示した各構成部材の諸形状や組み合わせ等は一例であって、本発明の主旨から逸脱しない範囲において30設計要求等に基づき種々変更可能である。例えば、本実施形態では半導体基板の一例としてシリコン基板を用いたが、シリコン基板以外の基板に半導体の基柱を形成することも可能である。また、ガラス基板等の絶縁基板上に半導体層を形成し、この半導体層をエッチングして半導体の基柱（及び突起層）を形成することもできる。さらに、導電プラグや配線のレイアウトは一例であって、設計要求に応じて任意に変更することができる。

【0055】

[データ処理システム]

次に、本発明の半導体装置を備えた半導体記憶装置及びデータ処理システムの実施形態を説明する。なお、半導体記憶装置及びデータ処理システムは、半導体装置を備えたデバイス及びシステムの一例であり、本発明の半導体装置は、半導体記憶装置以外のデバイス、及びデータ処理システム以外のシステムに広く適用可能である。本実施形態においてデータ処理システムは、例えばコンピュータシステムを含むが、これに限定されない。

【0056】

図19は本実施形態のデータ処理システム400の概略構成図である。データ処理システム400はCPU（Central Processing Unit）410と半導体記憶装置420とを備えている。図19ではCPU410はシステムバス430を介して半導体記憶装置420に接続されているが、システムバス430を介さずにローカルなバスによって接続されても良い。システムバス430は簡便のため1本しか描かれていないが、必要に応じてコネクタなどを介しシリアルないしパラレルに接続される。またデータ処理システム400では、必要に応じて半導体記憶装置以外の記憶装置440、入出力装置450がシステムバ40

ス430に接続される。

【0057】

ここで入出力装置450には、例えば液晶ディスプレイなどのディスプレイデバイスが含まれ、半導体記憶装置以外の記憶装置440には、ハードディスクやMOドライブなどが含まれるが、これに限定されない。入出力装置450には、入力装置と出力装置のいずれか一方のみの場合も含まれる。半導体記憶装置420は、例えばRAM(Random Access Memory)やROM(Read Only Memory)であり、具体的にはSRAM(Static Random Access Memory)、SDRAM(Synchronous Dynamic Random Access Memory)、DDR-SDRAM(Double Data Rate Synchronous Dynamic Random-Access Memory)、DDR2-SDRAM(Double Data Rate 2 Synchronous Dynamic Random-Access Memory)、DDR3-SDRAM(Double Data Rate 3 Synchronous Dynamic Random-Access Memory)等のDRAM、フラッシュメモリ等の半導体素子から構成される記憶媒体である。さらに、各構成要素の個数は、図19では簡略化のため1つの記載にとどめているが、それに限定されず、全てまたはいずれかが複数個の場合も含まれる。

【0058】

図20は半導体記憶装置420の概略構成図である。半導体記憶装置420は、メモリアレイ部501、Xデコーダ部502、Yデコーダ部503、データ制御回路部504、データラッチ回路部505、入出力インターフェース部506、内部CLK(Clock)回路部507、制御信号回路部508を備えている。

【0059】

メモリアレイ部501は、複数のワード線WL(Word line)と、複数のビット線BL(Bit Line)と、センスアンプ回路SA(Sense Amplifier)とを備えており、それぞれのワード線WLとビット線BLの交点にメモリセルMC(Memory Cell)が存在する。

【0060】

メモリアレイ部501とデータラッチ回路505と入出力インターフェース部506は、データ転送用バスにより接続される。データ制御回路部504は、データラッチ回路部505におけるデータ転送を制御する。Xデコーダ部502及びYデコーダ503は、メモリアレイ部501におけるメモリセルMCからの書き込み、読み出し等の動作を制御する。内部CLK回路部507は、CK、/CK、CKE(Clock Enable)が入力され、制御信号回路部508、Xデコーダ502、Yデコーダ503、データ制御回路部504で利用されるクロックを生成する。制御信号回路部508は、入力される/C S(Chip Select)、/R A S(Row Address Strobe)、/C A S(Column Address Strobe)、/W E(Write Enable)に基づいてXデコーダ部502及びYデコーダ503を制御する制御信号を生成して出力する。なお、/は、ロウレベルがアクティブレベルとなることを示す記号である。

【0061】

ワード線WLとビット線BLの交点のそれぞれには、データを記憶するメモリセル(記憶素子)MCが備えられている。メモリセルMCは、データを記憶するためのキャパシタと、選択用のトランジスタにより構成され、当該トランジスタは、ゲートがワード線に接続され、ドレインまたはソースの一方がビット線BLに接続され、他方がキャパシタに接続される。

【0062】

センスアンプ回路SAは、データ記憶用キャパシタからビット線に読み出されるデータを増幅する。メモリアレイ部501におけるデータの検出は、センスアンプ回路SAによって増幅された1対のビット線対上に生じる微小電位差を検出することにより行われる。

【0063】

ここで、メモリアレイ部501を構成するメモリセルMCには、本発明の半導体装置が備えられている。本発明の半導体装置は、センスアンプ回路SAやX制御回路、Y制御回路に備えられても良い。さらに、Xデコーダ部502、Yデコーダ部503、データ制御回路部504、データラッチ回路部505、入出力インターフェース部506に備えられ

ても良い。

【0064】

例えば、メモリセルMCに本発明の半導体装置を適用した場合、個々のトランジスタが縦型SGT構造を有するため、小型で高密度なメモリアレイ部501が提供できる。また、トランジスタのチャネル部が複数の微細なシリコンピラーにより形成されるため、一つ一つのシリコンピラーについては完全空乏化が可能であり、高速応答化と低消費電力化を両立できるトランジスタとなる。

【0065】

特に近年では、低消費電力化は時代の趨勢となっており、半導体装置を備えた種々の電子機器において低消費電力化のための技術開発が進められている。例えば、携帯電話やデジタルプレーヤー等の携帯型電子機器においては、小型、低消費電力でバッテリー寿命の長い電子機器が望まれており、電子機器に内蔵されるデータ処理システムにおいても、よりいっそうの小型化、低消費電力化が求められている。本発明の場合、トランジスタの小型化、低消費電力化が可能であることから、データ処理システムを含む電子機器全体の小型化、低消費電力化が可能である。また、高速応答性によって処理スピードの速い高性能なデータ処理システム及び電子機器を提供できる。

【0066】

このような事情は、本発明の半導体装置をセンスアンプ回路SAやX制御回路、Y制御回路、Xデコーダ部502、Yデコーダ部503、データ制御回路部504、データラッチ回路部505、入出力インターフェース部506に適用した場合も同じである。さらに、CPU410、記憶装置440、入出力装置450に本発明の半導体装置を適用した場合も同様である。データ処理システム400の大きさ、駆動能力は、個々のトランジスタの大きさ、駆動能力に依存するため、これらのトランジスタを本発明の半導体装置に置き換えることで、小型で高性能なデータ処理システムを提供することができる。

【産業上の利用可能性】

【0067】

本発明の活用例として、各種メモリを搭載した半導体装置等が挙げられる。DRAMを一つの適用例として挙げられるが、RAMやROM等のメモリ素子以外にも種々の半導体装置に広く適用できるのは勿論である。

【図面の簡単な説明】

【0068】

【図1】半導体装置の部分断面図であり、図2のX-X線に沿う断面図である。

【図2】同半導体装置の部分平面図である。

【図3】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図4】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図5】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図6】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図7】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図8】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図9】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図10】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図11】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図12】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図13】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図14】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図15】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図16】同半導体装置の製造方法の一実施形態を示す断面工程図である。

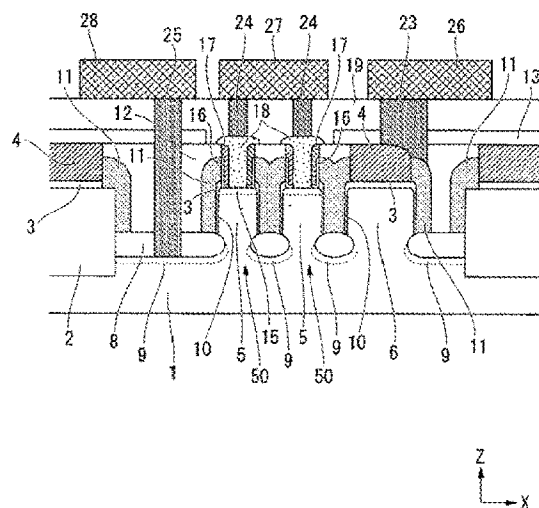
【図17】同半導体装置の製造方法の一実施形態を示す断面工程図である。

【図18】同半導体装置の製造方法の一実施形態を示す断面工程図である。

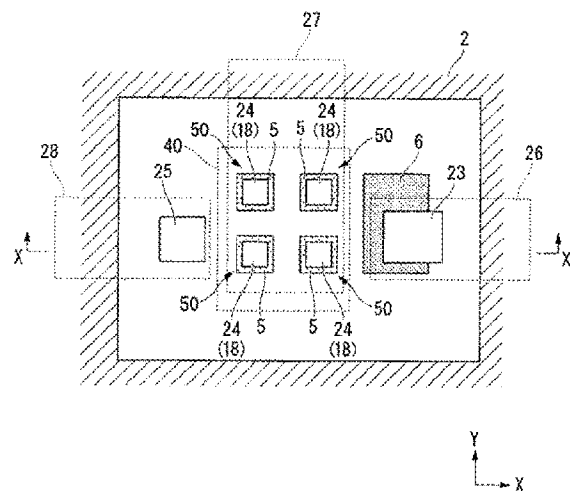
【図19】データ処理システムの概略構成図である。

【 0 0 6 9 】

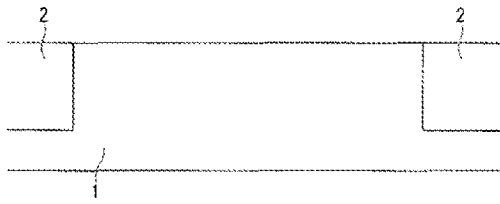
【图 1】



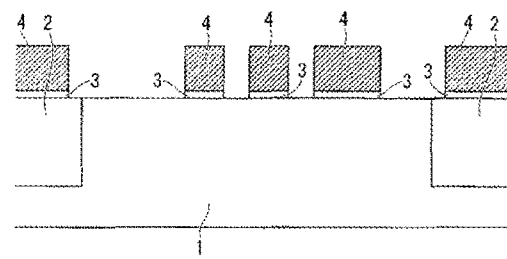
【圖 2】



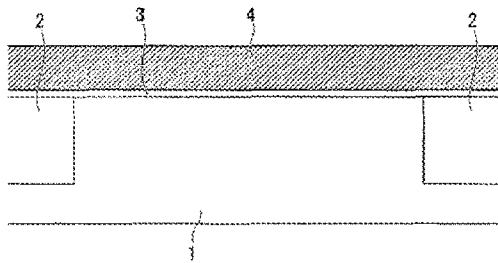
【図 3】



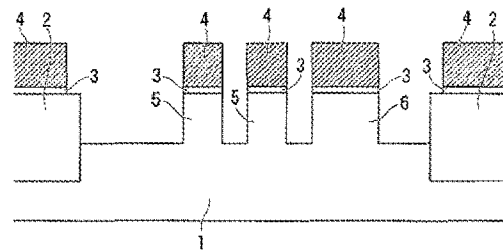
【図 5】



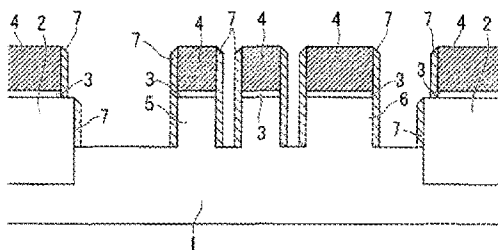
【図 4】



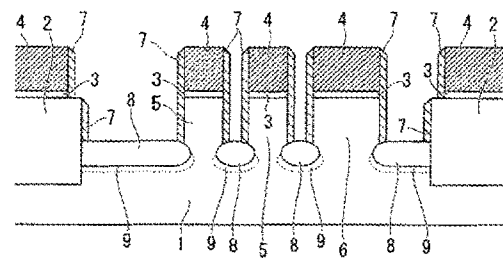
【図 6】



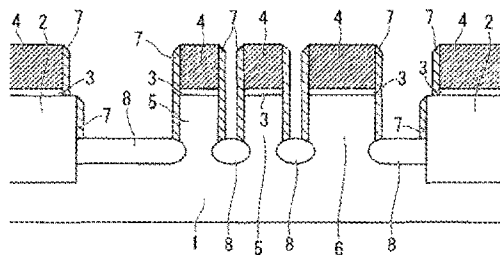
【図 7】



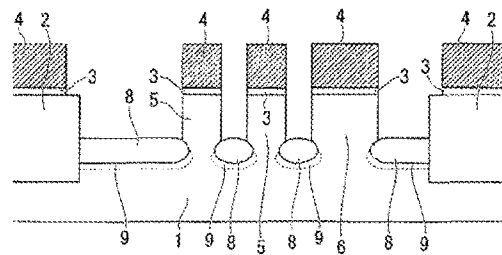
【図 9】



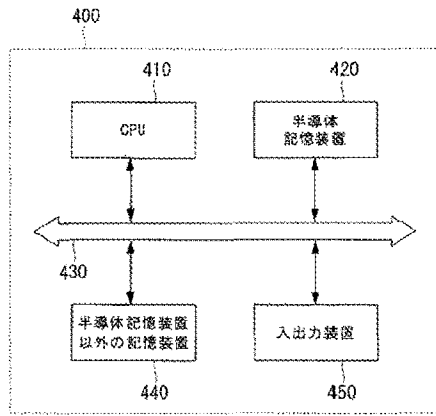
【図 8】



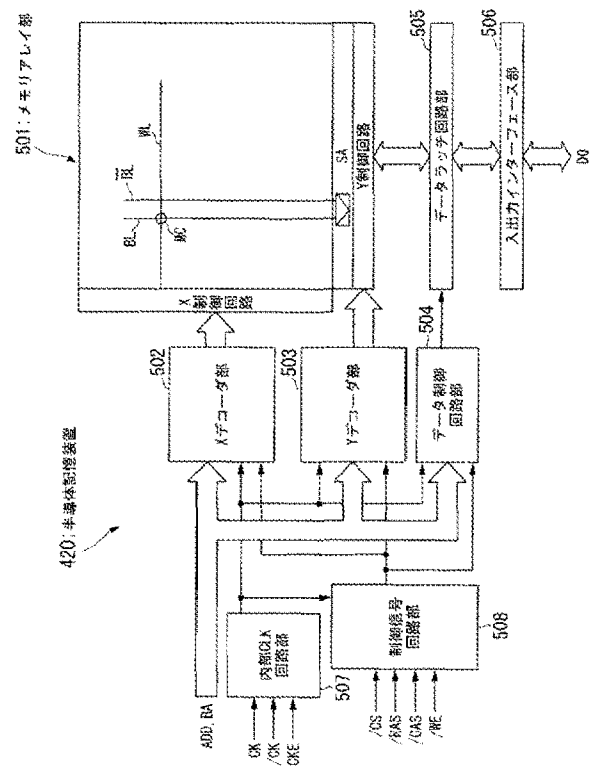
【図 10】



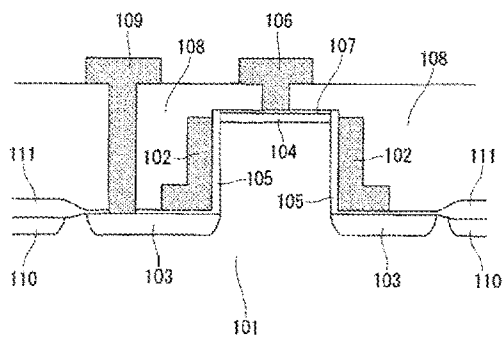
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 L 29/78 6 5 2 L

H 0 1 L 29/78 6 2 6 A

H 0 1 L 29/78 6 1 6 S

H 0 1 L 29/78 6 1 7 J

F ターム (参考) 5F110 AA01 AA04 AA07 AA09 BB06 BB07 BB08 CC09 DD02 EE09
 EE22 EE24 EE42 FF02 GG02 GG12 GG22 GG23 GG30 HJ01
 HJ13 HK09 HK13 HK25 HK32 HK39 HL01 HL04 HL12 HM02
 HM12 NN03 NN23 NN62 NN65 QQ19
 5F140 AA01 AA02 AA05 AA29 AA39 AB04 AC23 AC32 AC36 BA01
 BB04 BC15 BF01 BF04 BF44 BF59 BF60 BH06 BH30 BH47
 BJ07 BJ11 BJ17 BJ20 BJ27 BK13 CA02 CA03 CB04 CC03
 CE07 CE20

SEMICONDUCTOR DEVICE

This application claims the benefit of priority from Japanese Patent
5 Application No. 2011-285544, filed on December 27, 2011, the disclosure of
which is incorporated herein in its entirety by reference.

BACKGROUND OF THE INVENTION:

Field of the Invention

10 This invention relates to a semiconductor device.

Description of Related Art

In recent years, vertical transistors have been proposed as a technique
for transistor miniaturization.

The vertical transistor is a transistor which uses as a channel a
15 semiconductor pillar extending in a direction perpendicular to a main surface of
a semiconductor substrate.

Specifically, as disclosed in, for example, JP-A-2009-081389 (Patent
Document 1), in a vertical transistor, a semiconductor pillar (base pillar) is
provided to stand from a semiconductor substrate and a gate electrode is
20 provided around the semiconductor pillar with a gate insulating film interposed
therebetween. A drain region and a drain electrode are provided on the side of
a lower portion of the semiconductor pillar while a source region and a source
electrode are provided at an upper portion of the semiconductor pillar.

As compared with a conventional transistor in which a channel is
25 disposed parallel to the substrate plane, the area in the plane occupied by the
vertical transistor is smaller and, even if the channel length (gate length) is
increased, there is no increase in transistor occupation area in the plane.

Consequently, it is possible to suppress the short channel effect without

increasing the transistor occupation area in the plane. Further, the vertical transistor has an advantage that since the channel can be fully depleted, it is possible to obtain a satisfactory S value (subthreshold swing value) and a large drain current.

5 In addition, in the vertical transistor, since the gate electrode is formed over the entire periphery of the channel, i.e. the gate electrode covers the entire periphery of the channel, it is possible to effectively control the potential of the channel by a voltage applied to the gate electrode without being affected by external factors other than the source and the drain.

10

SUMMARY:

 Herein, in order to obtain a high current drive capability while maintaining the transistor characteristics, a vertical transistor type semiconductor device may be provided with a plurality of semiconductor pillars, wherein upper diffusion layers provided at upper portions of the semiconductor pillars are connected in parallel to each other and lower diffusion layers provided at lower portions of the semiconductor pillars are connected in parallel to each other. In this event, variation in electrical resistance between upper contact plugs, which are connected to the upper diffusion layers, and the semiconductor pillars is in an allowable range because, in terms of the structure in which the upper diffusion layers are provided at the upper ends of the semiconductor pillars, connecting positions of the upper contact plugs are limited. On the other hand, there has been a problem that electrical resistances between a lower contact plug, which is connected to the lower diffusion layers, and the semiconductor pillars largely differ depending on connecting positions between the lower diffusion layers and the lower contact plug and that if the maximum interval between the semiconductor pillar and the lower contact plug becomes more than twice the minimum interval between the

15

20

25

semiconductor pillar and the lower contact plug in plan view, there occurs variation in characteristics of transistors provided to the semiconductor pillars.

Therefore, a semiconductor device has been desired which, even in a structure where a plurality of vertical transistors are connected to each other,
5 can stabilize the characteristics of the transistors provided to individual semiconductor pillars.

In one embodiment, there is provided a semiconductor device comprising a plurality of vertical transistors provided to stand from a semiconductor substrate and comprising a diffusion layer at their end portions
10 on the semiconductor substrate side; and a conductive plug provided to stand from the semiconductor substrate and connected to the diffusion layer of the plurality of vertical transistors, wherein the plurality of vertical transistors are uniformly arranged near the conductive plug and share the diffusion layer and the conductive plug.

15 In another embodiment, there is provided a semiconductor device comprising a semiconductor pillar provided to stand from a semiconductor substrate and forming a channel a gate insulating film and a gate electrode provided over a side surface of the semiconductor pillar an upper diffusion layer provided at an upper end of the semiconductor pillar and serving as one of a
20 source and a drain a lower diffusion layer provided at a lower end of the semiconductor pillar and serving as the other of the source and the drain and a lower diffusion layer side contact plug connected to the lower diffusion layer, the plurality of semiconductor pillars share the lower diffusion layer and the lower diffusion layer side contact plug, and the semiconductor pillars are uniformly
25 arranged near the lower diffusion layer side contact plug.

In still another embodiment, there is provided a semiconductor device comprising a semiconductor substrate comprising an active region on its surface, a plurality of vertical transistors provided in the active region so as to

stand from the semiconductor substrate and comprising a lower diffusion layer at their end portions on the semiconductor substrate side and upper diffusion layers at their other end portions; and a conductive plug provided to stand from the semiconductor substrate and connected to the lower diffusion layer of the

5 plurality of vertical transistors, wherein the plurality of vertical transistors are uniformly arranged near the conductive plug and share the upper diffusion layers and the lower diffusion layer so as to be connected in parallel to each other.

(Effect of the Invention)

10 According to this invention, it is possible to provide a semiconductor device which, even in a structure where a plurality of vertical transistors are connected to each other, can stabilize the characteristics of the transistors provided to individual semiconductor pillars.

15 BRIEF DESCRIPTION OF THE DRAWINGS:

The above features and advantages of the present invention will be more apparent from the following description of certain preferred embodiments taken in conjunction with the accompanying drawings, in which:

Fig. 1 is an exemplary diagram (plan view) showing the structure of a

20 semiconductor device 100 according to a first embodiment of this invention, wherein, in order to clarify the arrangement of components, interconnections located on an interlayer insulating film and on contact plugs are shown in a see-through state with only their profiles given in dotted lines;

Fig. 2 is a cross-sectional view taken along line X1-X1' of Fig. 1;

25 Fig. 3 is a cross-sectional view taken along line Y1-Y1' of Fig. 1;

Fig. 4 is an exemplary diagram (plan view) showing the structure of a semiconductor device 100a according to a second embodiment of this invention;

Fig. 5 is an exemplary diagram (plan view) showing the structure of a semiconductor device 100b according to a third embodiment of this invention;

Fig. 6 is an exemplary diagram (plan view) showing the structure of a semiconductor device 100c according to a fourth embodiment of this invention;

5 Fig. 7 is an exemplary diagram (plan view) showing the structure of a semiconductor device 100d according to a fifth embodiment of this invention;

Fig. 8 is a diagram (plan view) for explaining a method of manufacturing the semiconductor device 100 according to the first embodiment;

Fig. 9 is a cross-sectional view taken along line X1-X1' of Fig. 8;

10 Fig. 10 is a diagram (plan view) for explaining the method of manufacturing the semiconductor device 100 according to the first embodiment;

Fig. 11 is a cross-sectional view taken along line X1-X1' of Fig. 10;

Fig. 12 is a cross-sectional view taken along line Y1-Y1' of Fig. 10;

15 Fig. 13 is a diagram (plan view) for explaining the method of manufacturing the semiconductor device 100 according to the first embodiment;

Fig. 14 is a cross-sectional view taken along line X1-X1' of Fig. 13;

Fig. 15 is a cross-sectional view taken along line Y1-Y1' of Fig. 13;

Fig. 16 is a diagram (cross-sectional view) for explaining the method of manufacturing the semiconductor device 100 according to the first embodiment;

20 Fig. 17 is a diagram (cross-sectional view) for explaining the method of manufacturing the semiconductor device 100 according to the first embodiment;

Fig. 18 is a diagram (plan view) for explaining the method of manufacturing the semiconductor device 100 according to the first embodiment, wherein, in order to clarify the arrangement of components, those components
25 underlying an uppermost layer are shown in broken lines;

Fig. 19 is a cross-sectional view taken along line X1-X1' of Fig. 18; and

Fig. 20 is a cross-sectional view taken along line Y1-Y1' of Fig. 18.

DETAILED DESCRIPTION OF PREFERRED EMBODIMENTS:

Hereinbelow, preferred embodiments of this invention will be described in detail with reference to the drawings.

First, referring to Figs. 1, 2, and 3, a schematic structure of a semiconductor device 100 according to a first embodiment of this invention will be described.

As shown in a plan view of Fig. 1, the semiconductor device 100 according to the first embodiment has, on a semiconductor substrate of silicon single crystal or the like, an STI (shallow trench isolation) 2 serving as an element isolation region, and an active region 1A (broken-line region) which is the semiconductor substrate surrounded by the STI 2. In the active region 1A, five vertical transistors, i.e. a first unit transistor 50A₁, a second unit transistor 50A₂, a third unit transistor 50A₃, a fourth unit transistor 50A₄, and a fifth unit transistor 50A₅, are arranged in a $\square$ -shape and protrude from a semiconductor substrate surface. An impurity diffusion layer is provided in a surface portion, located around the unit transistors, of the active region 1A and forms a lower diffusion layer shared by the vertical transistors. A metal contact plug 31 connected to the lower diffusion layer and shared by the vertical transistors is disposed in a central region of the $\square$ -shape. Metal contact plugs 30 are disposed above the vertical transistors and are connected to each other by a metal interconnection 33 disposed in contact with upper surfaces of the metal contact plugs 30. Accordingly, the five vertical transistors share the lower diffusion layer and further share the metal interconnection 33 disposed above them. That is, the semiconductor device 100 forms a single vertical transistor in which the five vertical transistors are connected in parallel to each other. A pillar groove forming region A is arranged as an expanded region defined by moving one side surface of the active region 1A to the STI 2 side. As will be described later, a dummy pillar (gate-lift pillar) 6 for applying a gate voltage to

gate electrodes of the five vertical transistors is disposed at the boundary between the active region 1A and the STI 2 in the pillar groove forming region A. The dummy pillar 6 comprises a first dummy pillar (gate-lift silicon pillar) 6A which is a silicon pillar disposed on the active region 1A side and a second
 5 dummy pillar (gate-lift insulating film pillar) 6B which is an insulating film pillar disposed on the STI 2 side. Facing side surfaces of the first and second dummy pillars 6A and 6B are in contact with each other, thereby forming an integral composite pillar.

Referring to Fig. 1, the structure of the semiconductor device 100 will be
 10 described in further detail.

The unit transistors are uniformly arranged around the metal contact plug 31. In the first embodiment, "uniformly arranged" represents an arrangement in which, in plan view, the distance between the metal contact plug 31 and a closest portion of the unit transistor farthest from the metal contact
 15 plug 31 is twice or less the distance between the metal contact plug 31 and a closest portion of the unit transistor closest to the metal contact plug 31. Each of silicon pillars 5 forming channels of the respective unit transistors has a rectangular shape in plan view in which a width in an X-direction (first direction) and a width in a Y-direction (second direction) perpendicular to the X-direction
 20 are equal to each other. Herein, the width is set to 50nm. The shape of each silicon pillar 5 in plan view is not limited to rectangular and may be circular. In the case of the circular shape, the diameter is set to 50nm.

As described above, the silicon pillars respectively form the channels of the unit transistors. That is, the five silicon pillars, i.e. the first silicon pillar $5A_1$,
 25 the second silicon pillar $5A_2$, the third silicon pillar $5A_3$, the fourth silicon pillar $5A_4$, and the fifth silicon pillar $5A_5$, respectively correspond to the five unit transistors, i.e. the first unit transistor $50A_1$, the second unit transistor $50A_2$, the third unit transistor $50A_3$, the fourth unit transistor $50A_4$, and the fifth unit

transistor 50A₅.

The five unit transistors are arranged in the $\sqcap$ -shape in plan view. That is, the two unit transistors, i.e. the first unit transistor 50A₁ and the second unit transistor 50A₂, are arranged at an interval therebetween so that their
5 centers are located on the same line in the X-direction. Herein, this interval is set to 30nm. Further, the three unit transistors, i.e. the second unit transistor 50A₂, the third unit transistor 50A₃, and the fourth unit transistor 50A₄, are arranged at an interval therebetween so that their centers are located on the same line in the Y-direction. Herein, this interval is set to 30nm. Further, the
10 two unit transistors, i.e. the fourth unit transistor 50A₄ and the fifth unit transistor 50A₅, are arranged at an interval therebetween so that their centers are located on the same line in the X-direction. Herein, this interval is set to 30nm. The first and second unit transistors 50A₁ and 50A₂ and the fifth and fourth unit transistors 50A₅ and 50A₄ are arranged at positions which are axisymmetric
15 with respect to a line extending in the X-direction through the center of the third unit transistor 50A₃. Consequently, the five unit transistors are arranged in the $\sqcap$ -shape.

Right above the unit transistors, silicon plugs 19, the metal contact plugs 30, and the metal interconnection 33 are disposed. Each unit transistor,
20 the corresponding silicon plug 19, and the corresponding metal contact plug 30 are arranged so as to overlap each other in plan view in the same region. The metal interconnection 33 is arranged so as to extend in the XY-directions to thereby form a $\sqcap$ -shape along the arrangement of the five unit transistors. The metal interconnection 33 is connected, through the silicon plugs 19 and the
25 metal contact plugs 30, to pillar upper diffusion layers provided at upper portions of the silicon pillars to form the unit transistors and serves as power feed wiring to the unit transistors. In this manner, the five unit transistors are connected in parallel to each other by the metal interconnection 33, thereby forming a single

parallel transistor.

On the other hand, the dummy pillar 6 of a rectangular shape in plan view is adjacently disposed at an interval from the third silicon pillar $5A_3$ in the X-direction and stands from the silicon substrate 1 and the STI 2. Herein, this interval is set to 30nm. The dummy pillar 6 lies over the active region 1A and the STI 2 and comprises the first dummy pillar 6A standing on the active region 1A side formed by the silicon substrate 1 and the second dummy pillar 6B standing on the STI 2 side. One side surface of the first dummy pillar 6A is in contact with one side surface of the second dummy pillar 6B so as to be integrated together. Another side surface of the first dummy pillar 6A faces one side surface, located at a position closest to the first dummy pillar 6A, of the third silicon pillar $5A_3$. A metal contact plug 41 of a rectangular shape in plan view is disposed right above the second dummy pillar 6B. The metal contact plug 41 is arranged at a position partially overlapping the second dummy pillar 6B in plan view and slightly protrudes outward of the second dummy pillar 6B in the X-direction. In Fig. 1, as described above, the metal contact plug 41 is offset in the X-direction with respect to the second dummy pillar 6B, but the configuration is not limited thereto. The metal contact plug 41 may be offset in the Y-direction at an arbitrary position within a range that is free of contact with the silicon pillars.

On side surfaces of each silicon pillar, a gate electrode 11a is provided with a gate insulating film 10 interposed therebetween. The gate electrodes 11a are connected to each other by burying gaps (spaces) between the adjacent silicon pillars, thereby forming a single gate electrode 11a shared by the silicon pillars. On the other hand, a power feed gate electrode 11b is provided on side surfaces of the dummy pillar 6. The power feed gate electrode 11b and the gate electrode 11a are connected to each other by burying a gap (space) between the dummy pillar 6 and the closest silicon pillar

(5A₃ in Fig. 1).

The metal contact plug 41 is connected, at its above-mentioned protruding portion, to the power feed gate electrode 11b provided on the side surface of the second dummy pillar 6B. The thickness in plan view (the
 5 thickness in the X-direction in Fig. 2) of each of the gate electrodes 11a and the power feed gate electrode 11b is set to 20nm. Hereinbelow, the gate electrodes 11a and the power feed gate electrode 11b will be collectively referred to as gate electrodes 11.

Since the thickness of each gate electrode 11 is set to 20nm, the
 10 interval between the silicon pillars and the interval between the silicon pillar and the dummy pillar, each set to 30nm as described above, are each twice or less the thickness of each gate electrode 11. Therefore, the gate electrodes 11 each having the thickness of 20nm, which are provided on the side surfaces of the first to fifth silicon pillars 5A₁ to 5A₅ and the dummy pillar 6, are in contact
 15 with each other in the portions where the interval between the pillars is set to 30nm, i.e. twice or less the thickness of each gate electrode 11, so that the gate electrodes 11 function as a single gate electrode. Consequently, a gate voltage supplied from the power feed gate electrode 11b of the dummy pillar 6 is supplied through the gate electrode 11a of the third silicon pillar 5A₃ to the gate
 20 electrodes 11a of the first silicon pillar 5A₁, the second silicon pillar 5A₂, the fourth silicon pillar 5A₄, and the fifth silicon pillar 5A₅.

In Fig. 1, the metal contact plug 31 is provided so as to be surrounded by the five unit transistors arranged in the $\square$ -shape. As shown in Fig. 1, the metal contact plug 31 has a circular shape in plan view having its center at an
 25 intersection between a center line in the Y-direction passing through the centers of the first and fifth unit transistors 50A₁ and 50A₅ and a center line in the X-direction passing through the center of the third unit transistor 50A₃. In the first embodiment, the diameter of the metal contact plug 31 is set to 40nm. As

described before, the width of each silicon pillar in each of the XY-directions is set to 50nm and the interval between the silicon pillars is set to 30nm.

Therefore, the closest interval between the outer periphery of the metal contact plug 31 and each of the first silicon pillar 5A₁, the third silicon pillar 5A₃, and the fifth silicon pillar 5A₅ is 35nm, which is the minimum interval.

On the other hand, the second silicon pillar 5A₂ and the fourth silicon pillar 5A₄ are each located in a direction inclined by 45 degrees from the X-direction with respect to the metal contact plug 31. Therefore, one corner of the rectangular shape of each of the second silicon pillar 5A₂ and the fourth silicon pillar 5A₄ is closest to the outer periphery of the metal contact plug 31. In this case, the closest interval therebetween is 57nm.

In the first embodiment, the interval between the outer periphery of the metal contact plug 31 and each of the first silicon pillar 5A₁, the third silicon pillar 5A₃, and the fifth silicon pillar 5A₅, the center of which is located on the same center line in the X- or Y-direction as the center of the metal contact plug 31, is 35nm, which is the minimum interval. On the other hand, the interval between the outer periphery of the metal contact plug 31 and each of the second silicon pillar 5A₂ and the fourth silicon pillar 5A₄, each located in the direction inclined by 45 degrees from the center line in the X-direction with respect to the metal contact plug 31, is 57nm, which is the maximum interval. In this case, since the maximum interval (57nm) is twice or less the minimum interval (35nm), it is possible to avoid the prior art problem that the intervals between the metal contact plug 31 and the respective silicon pillars become non-uniform so that parasitic resistances of the lower diffusion layer from the metal contact plug 31 to the respective silicon pillars differ from each other, resulting in unstable characteristics of the entire semiconductor device. If each silicon pillar has a circular shape in plan view having a diameter of 50nm, the maximum interval becomes 67nm. Accordingly, even in this case, the

maximum interval (67nm) is twice or less the minimum interval (35nm) so that it is possible to avoid the above-mentioned problem.

A metal interconnection 34 is disposed on the metal contact plug 31. The metal interconnection 34 is connected to the pillar lower diffusion layer 9, forming the unit transistors, through the metal contact plug 31, thereby serving as power feed wiring to the pillar lower diffusion layer 9.

While a description will be given later with reference to Fig. 16, a pattern 40 shown in Fig. 1 represents a region, which is removed for providing the silicon plugs 19, of a mask film 13 (not illustrated), wherein the inside of the pattern 40 is an opening 14 (not illustrated).

Next, referring to Figs. 2 and 3, details of the structure of the individual unit transistors 50 will be further described. The STI (shallow trench isolation; element isolation region) 2 is provided on the silicon substrate 1. The five silicon pillars 5, i.e. the first to fifth silicon pillars $5A_1$ to $5A_5$, each being a semiconductor base pillar, are provided to stand upright in the active region 1A which is the silicon substrate 1 surrounded by the STI 2.

Each silicon pillar 5 is a columnar semiconductor forming a channel of the corresponding unit transistor 50. Therefore, each unit transistor is a vertical transistor. The five silicon pillars are arranged so as to have the same height in the active region 1A defined by the STI 2. The thickness of each silicon pillar (the size of a cross section taken along a plane parallel to a surface of the silicon substrate 1) is set so as to allow full depletion of the channel.

Each unit transistor has impurity diffusion layers at upper and lower end portions of the silicon pillar 5. The pillar upper diffusion layer 16 located at the upper end portion of the silicon pillar forms one of a source and a drain while the pillar lower diffusion layer 9 located at the lower end portion of the silicon pillar forms the other of the source and the drain. A middle portion, between the pillar upper diffusion layer 16 and the pillar lower diffusion layer 9, of the

silicon pillar forms the channel.

The dummy pillar 6 is disposed adjacent, in the X-direction, to the third silicon pillar $5A_3$ located at the center of the five silicon pillars in the Y-direction. The silicon pillars 5 and the first dummy pillar 6A are formed by etching a surface of the silicon substrate 1 while the second dummy pillar 6B is formed by etching a surface of the STI 2. The first dummy pillar 6A is a columnar semiconductor protruding from the etched surface of the silicon substrate 1 while the second dummy pillar 6B is a columnar semiconductor protruding from the etched surface of the STI 2. The dummy pillar 6 serves as a protruding layer that increases the height of the power feed gate electrode 11b to reduce the distance between the power feed gate electrode 11b and a gate-lift interconnection 42 disposed above the power feed gate electrode 11b. The interval between the adjacent silicon pillars 5 and the interval between the dummy pillar 6 and the silicon pillar $5A_3$ are each set to twice or less the thickness of each gate electrode 11. Herein, this interval is set to 30nm. The thickness of each gate electrode 11 in plan view is set to 20nm.

An insulating film 8 is provided on the etched surface of the active region 1A (silicon substrate 1) located around the silicon pillars 5 and the first dummy pillar 6A. The insulating film 8 covers the etched surface around the silicon pillars 5 and the first dummy pillar 6A and reaches the STI 2. The pillar lower diffusion layer 9 is disposed under the insulating film 8 so as to overlap the insulating film 8 so that the pillar lower diffusion layer 9 is electrically insulated from the gate electrodes 11 by the insulating film 8. The pillar lower diffusion layer 9 electrically connects the five silicon pillars to each other and forms a lower diffusion layer common to the five unit transistors, i.e. the first to fifth unit transistors $50A_1$ to $50A_5$. The STI 2 is provided deeper than the pillar lower diffusion layer 9 so that pillar lower diffusion layers 9 in active regions 1A adjacent to each other across the STI 2 do not conduct each other.

The gate insulating films 10 are disposed on the side surfaces of the silicon pillars 5 and the first dummy pillar 6A. Further, the gate electrodes 11a and the power feed gate electrode 11b each having the thickness (the thickness in the X-direction in Fig. 2) of 20nm are respectively disposed on the side surfaces of the silicon pillars 5 and the first dummy pillar 6A with the gate insulating films 10 interposed therebetween. On the other hand, only the power feed gate electrode 11b is disposed on the side surfaces of the second dummy pillar 6B. Although not illustrated herein, gate electrodes 11 are also provided on portions of inner wall surfaces of the STI 2 and on portions of inner wall surfaces of an insulating film 3 and a mask film 4 stacked on the upper surface of the STI 2. The gate insulating films 10 cover the outer peripheral surfaces of the silicon pillars 5 and are connected to the insulating film 8. The silicon pillars 5 (channels), the pillar upper diffusion layers 16, and the pillar lower diffusion layer 9 disposed under the insulating film 8 are electrically insulated from the gate electrodes 11 by the gate insulating films 10 and the insulating film 8.

As shown in Fig. 2, for example, the unit transistor 50A₃ is formed by the lower diffusion layer 9, the upper diffusion layer 16, the gate insulating film 10, and the gate electrode 11a.

Insulating films 3 are disposed on the upper surfaces of the STI 2 and the dummy pillar 6. Mask films 4 are disposed over the upper surfaces of the STI 2 and the dummy pillar 6 so as to cover the insulating films 3 and, further, a first interlayer insulating film 12 is provided to cover the gate electrodes 11 and the insulating film 8. The first interlayer insulating film 12 is provided by burying a recess in the pillar groove forming region A. That is, the first interlayer insulating film 12 is provided in a region surrounded by the inner wall surfaces of the STI 2, the insulating film 3 stacked thereon, and the mask film 4 stacked thereon. A second interlayer insulating film 20 is provided on upper

surfaces of the mask films 4 and the first interlayer insulating film 12. A stopper film 21 is provided to cover the second interlayer insulating film 20 and, further, a third interlayer insulating film 24 is provided to cover the stopper film 21.

5 The gate-lift interconnection 42 is disposed on an upper surface of the third interlayer insulating film 24. The gate-lift interconnection 42 is connected to the power feed gate electrode 11b through the metal contact plug 41 passing through the third interlayer insulating film 24, the stopper film 21, the second interlayer insulating film 20, and the first interlayer insulating film 12.

10 Jointly with the dummy pillar 6, the mask film 4 disposed over the dummy pillar 6 serves as a protruding layer that increases the height of the power feed gate electrode 11b to reduce the distance between the power feed gate electrode 11b and the gate-lift interconnection 42.

 Metal interconnections 33 and 34 are disposed on the upper surface of
15 the third interlayer insulating film 24.

 The metal interconnection 33 is connected to the pillar upper diffusion layers 16 of the silicon pillars through the metal contact plugs 30 passing through the third interlayer insulating film 24, the stopper film 21, the second interlayer insulating film 20, and the silicon plugs 19 surrounded by the first
20 interlayer insulating film 12 and the gate electrodes 11a. The silicon plugs 19 are formed by injecting (diffusing) impurities such as arsenic into silicon. Jointly with the pillar upper diffusion layer 16, each silicon plug 19 forms one of the source and the drain of the unit transistor 50. A sidewall film 18 and an insulating film 17 are disposed on side surfaces of each silicon plug 19.
25 Consequently, the silicon plugs 19 are each electrically insulated from the gate electrode 11a by the sidewall film 18 and the insulating film 17.

 The metal interconnection 34 is connected to the pillar lower diffusion layer 9 through the metal contact plug (conductive plug) 31 passing through the

third interlayer insulating film 24, the stopper film 21, the second interlayer insulating film 20, the first interlayer insulating film 12, and the insulating film 8.

As described above, the semiconductor device 100 according to the first embodiment has the first and second unit transistors ($50A_1$, $50A_2$) which are arranged at an interval therebetween so that their centers are located on the same line in the first direction (X-direction), the second, third, and fourth unit transistors ($50A_2$, $50A_3$, $50A_4$) which are arranged at an interval therebetween so that their centers are located on the same line in the second direction (Y-direction) perpendicular to the first direction, and the fourth and fifth unit transistor ($50A_4$, $50A_5$) which are arranged at an interval therebetween so that their centers are located on the same line in the first direction, the first to fifth unit transistors standing upright and sharing the pillar lower diffusion layer 9 in the single active region 1A, and further has the metal contact plug 31 electrically connected to the pillar lower diffusion layer 9, wherein the metal contact plug 31 has a circular shape in plan view having its center at the intersection between the center line in the second direction passing through the centers of the first and fifth unit transistors $50A_1$ and $50A_5$ and the center line in the first direction passing through the center of the third unit transistor $50A_3$.

With this configuration, as shown in Fig. 1, in the semiconductor device 100, the closest interval W1 between the outer periphery of the metal contact plug 31 and the second silicon pillar $5A_2$ can be set to twice or less the closest interval W2 between the outer periphery of the metal contact plug 31 and the third silicon pillar $5A_3$, i.e. the uniform arrangement can be achieved. In this case, W1 represents the maximum interval while W2 represents the minimum interval. That is, the maximum interval can be set to twice or less the minimum interval.

Consequently, it is possible to avoid the prior art problem that the intervals between the metal contact plug 31 and the respective silicon pillars

become non-uniform so that parasitic resistances of the lower diffusion layer 9 from the metal contact plug 31 to the respective silicon pillars differ from each other, resulting in unstable characteristics of the entire semiconductor device 100.

5 Next, a semiconductor device 100a according to a second embodiment of this invention will be described with reference to Fig. 4.

In the second embodiment, unit transistors are additionally arranged at open ends of both side portions of the $\sqcap$ -shape in the first embodiment.

10 In the second embodiment, the same reference symbols are assigned to components having the same functions as in the first embodiment, thereby mainly describing those portions which are different from the first embodiment.

As shown in Fig. 4, the semiconductor device 100a according to the second embodiment is configured such that a sixth unit transistor $50A_6$ and a seventh unit transistor $50A_7$, which are new unit transistors, are respectively
 15 arranged at open ends of both side portions of the $\sqcap$ -shape in the first embodiment. That is, three unit transistors, i.e. the seventh unit transistor $50A_7$, a first unit transistor $50A_1$, and a second unit transistor $50A_2$, are arranged at an interval therebetween so that their centers are located on the same line in the X-direction. Further, three unit transistors, i.e. the second unit transistor
 20 $50A_2$, a third unit transistor $50A_3$, and a fourth unit transistor $50A_4$, are arranged at an interval therebetween so that their centers are located on the same line in the Y-direction. Further, three unit transistors, i.e. the fourth unit transistor $50A_4$, a fifth unit transistor $50A_5$, and the sixth unit transistor $50A_6$, are arranged at an interval therebetween so that their centers are located on the same line in
 25 the X-direction. The seventh, first, and second unit transistors ($50A_7$, $50A_1$, $50A_2$) and the sixth, fifth, and fourth unit transistors ($50A_6$, $50A_5$, $50A_4$) are arranged at positions which are axisymmetric with respect to a line extending in the X-direction through the center of the third unit transistor $50A_3$.

Consequently, the seven unit transistors are arranged in a $\sqcap$ -shape. Each unit transistor is a vertical transistor. As in the first embodiment, the seven unit transistors share a pillar lower diffusion layer and are connected in parallel to each other by a metal interconnection 33, thereby forming a single parallel
5 transistor.

As in the first embodiment, a metal contact plug 31 of a circular shape in plan view is disposed so as to be surrounded by seven silicon pillars 5 at a central portion of a region sandwiched between the first silicon pillar 5A₁ and the fifth silicon pillar 5A₅ in the $\sqcap$ -shape.

10 With this configuration, the maximum interval given by the closest interval between the metal contact plug 31 and each of the second silicon pillar 5A₂, the fourth silicon pillar 5A₄, the sixth silicon pillar 5A₆, and the seventh silicon pillar 5A₇ in plan view can be set to twice or less the minimum interval given by the closest interval between the metal contact plug 31 and each of the
15 first silicon pillar 5A₁, the third silicon pillar 5A₃, and the fifth silicon pillar 5A₅ in plan view, i.e. the uniform arrangement can be achieved.

Consequently, the semiconductor device 100a according to the second embodiment can deal with a current greater than that in the first embodiment while avoiding unstable characteristics of the parallel transistor formed by the
20 vertical transistors.

Next, a semiconductor device 100b according to a third embodiment of this invention will be described with reference to Fig. 5.

In the third embodiment, unit transistors are arranged in a shape in which, using the transistor arrangement of the first embodiment as a basic
25 structure, a plurality of basic structures are combined in the Y-direction.

In the third embodiment, the same reference symbols are assigned to components having the same functions as in the first embodiment, thereby mainly describing those portions which are different from the first embodiment.

As shown in Fig. 5, the semiconductor device 100b according to the third embodiment has an active region 1A surrounded by an STI 2, wherein eight silicon pillars 5 (5A₁ to 5A₅ and 5A₈ to 5A₁₀) each having a rectangular shape in plan view are provided in the active region 1A. The eight silicon pillars 5 are arranged in a shape combining a plurality of □-shapes in plan view, herein, in a "double □-shape" combining two □-shapes. More specifically, part (5A₂ to 5A₄, 5A₈, 5A₉) of the eight silicon pillars 5 are arranged at regular intervals in the Y-direction and the first silicon pillar 5A₁ is arranged on the left side of the second silicon pillar 5A₂ at an interval therebetween in the X-direction which is the same as the interval between the adjacent silicon pillars 5 in the Y-direction. Like the first silicon pillar 5A₁, the fifth silicon pillar 5A₅ is arranged on the left side of the fourth silicon pillar 5A₄ and the tenth silicon pillar 5A₁₀ is arranged on the left side of the ninth silicon pillar 5A₉.

In the double □-shape defined by the eight silicon pillars 5, two metal contact plugs 31 (31A, 31B) each having a circular shape in plan view are respectively disposed at central portions of regions respectively sandwiched between the first silicon pillar 5A₁ and the fifth silicon pillar 5A₅ and between the fifth silicon pillar 5A₅ and the tenth silicon pillar 5A₁₀, so as to be respectively surrounded by the silicon pillars 5 arranged in □-shapes. With this configuration, the maximum interval given by the closest interval between the metal contact plug 31 (31A, 31B) and each of the second silicon pillar 5A₂, the fourth silicon pillar 5A₄, and the ninth silicon pillar 5A₉ in plan view can be set to twice or less the minimum interval given by the closest interval between the metal contact plug 31 (31A, 31B) and each of the first silicon pillar 5A₁, the third silicon pillar 5A₃, the fifth silicon pillar 5A₅, the eighth silicon pillar 5A₈, and the tenth silicon pillar 5A₁₀ in plan view, i.e. the uniform arrangement can be achieved.

Consequently, the semiconductor device 100b according to the third

embodiment can deal with a current greater than that in the first embodiment while avoiding unstable characteristics of the parallel transistor formed by the vertical transistors.

Next, a semiconductor device 100c according to a fourth embodiment of
 5 this invention will be described with reference to Fig. 6.

In the fourth embodiment, unit transistors are additionally arranged at open ends of side portions of the double $\sqcap$ -shape in the third embodiment.

In the fourth embodiment, the same reference symbols are assigned to components having the same functions as in the third embodiment, thereby
 10 mainly describing those portions which are different from the third embodiment.

As shown in Fig. 6, the semiconductor device 100c according to the fourth embodiment has an active region 1A surrounded by an STI 2, wherein eleven silicon pillars 5 ($5A_1$ to $5A_{11}$) each having a rectangular shape in plan view are provided in the active region 1A. The eleven silicon pillars 5 are
 15 arranged in a double $\sqcap$ -shape in plan view. More specifically, part ($5A_2$ to $5A_4$, $5A_8$, $5A_9$) of the eleven silicon pillars 5 are arranged at regular intervals in the Y-direction and, further, the first silicon pillar $5A_1$ and the seventh silicon pillar $5A_7$ are arranged so as to be aligned with the second silicon pillar $5A_2$ in the X-direction. Like the first silicon pillar $5A_1$ and the seventh silicon pillar $5A_7$, the
 20 fifth silicon pillar $5A_5$ and the sixth silicon pillar $5A_6$ are arranged so as to be aligned with the fourth silicon pillar $5A_4$ in the X-direction. Further, the tenth silicon pillar $5A_{10}$ and the eleventh silicon pillar $5A_{11}$ are arranged so as to be aligned with the ninth silicon pillar $5A_9$ in the X-direction. The interval between the silicon pillars aligned in the X-direction is the same as the interval between
 25 the silicon pillars aligned in the Y-direction.

In the double $\sqcap$ -shape defined by the eleven silicon pillars 5, two metal contact plugs 31 (31A, 31B) each having a circular shape in plan view are respectively disposed at central portions of regions respectively sandwiched

between the first silicon pillar $5A_1$ and the fifth silicon pillar $5A_5$ and between the fifth silicon pillar $5A_5$ and the tenth silicon pillar $5A_{10}$. With this configuration, the maximum interval given by the closest interval between the metal contact plug 31 (31A, 31B) and each of the second silicon pillar $5A_2$, the fourth silicon pillar $5A_4$, the sixth silicon pillar $5A_6$, the seventh silicon pillar $5A_7$, the ninth silicon pillar $5A_9$, and the eleventh silicon pillar $5A_{11}$ in plan view can be set to twice or less the minimum interval given by the closest interval between the metal contact plug 31 (31A, 31B) and each of the first silicon pillar $5A_1$, the third silicon pillar $5A_3$, the fifth silicon pillar $5A_5$, the eighth silicon pillar $5A_8$, and the tenth silicon pillar $5A_{10}$ in plan view, i.e. the uniform arrangement can be achieved.

Consequently, the semiconductor device 100c according to the fourth embodiment can deal with a current greater than that in the third embodiment while avoiding unstable characteristics of the parallel transistor formed by the vertical transistors.

Next, a semiconductor device 100d according to a fifth embodiment of this invention will be described with reference to Fig. 7.

The fifth embodiment is configured such that, as different from the first to fourth embodiments, silicon pillars are uniformly arranged near metal contact plugs in a structure in which the silicon pillars are aligned in one row.

In the fifth embodiment, the same reference symbols are assigned to components having the same functions as in the first to fourth embodiments, thereby mainly describing those portions which are different from the first embodiment.

As shown in Fig. 7, the semiconductor device 100d according to the fifth embodiment has seven silicon pillars 5 ($5A_1$ to $5A_7$) arranged at regular intervals in the Y-direction and three metal contact plugs 31 (31A, 31B, 31C) arranged at regular intervals in the Y-direction.

More specifically, the metal contact plug 31B is disposed so that its center is aligned in the X-direction with the center of the fourth silicon pillar 5A₄ located in the middle of the seven silicon pillars 5 arranged in the Y-direction in a single active region 1A, and the metal contact plugs 31A and 31C are further
5 disposed so that their centers are respectively aligned in the X-direction with the centers of the second silicon pillar 5A₂ and the sixth silicon pillar 5A₆. The interval between each silicon pillar 5 and the corresponding metal contact plug 31 is set to twice or less the minimum interval. In this case, the interval between each metal contact plug 31 and the corresponding silicon pillar 5
10 facing it in the X-direction is the minimum interval.

In this manner, the silicon pillars 5 do not necessarily surround the contact plug 31 in a $\square$ -shape and it is satisfactory if the silicon pillars 5 are uniformly arranged with respect to the metal contact plug 31, i.e. the maximum interval between the metal contact plug 31 and the silicon pillar 5 is twice or less
15 the minimum interval between the metal contact plug 31 and the silicon pillar 5.

Next, a method of manufacturing the semiconductor device 100 according to the first embodiment will be described in detail with reference to Figs. 8 to 20.

Since methods of manufacturing the semiconductor devices 100a to
20 100d according to the second to fifth embodiments are the same as the method of manufacturing the semiconductor device 100 according to the first embodiment, explanation thereof is omitted.

First, as shown in Figs. 8 and 9, a trench 2a is formed in a silicon substrate 1 using photolithography and dry etching. The depth of the trench 2a
25 is set to, for example, 250nm. Then, an insulating film 2b in the form of a silicon nitride film or a silicon oxide film is deposited over the entire surface of the silicon substrate 1 by CVD (chemical vapor deposition), thereby burying the trench 2a. Thereafter, the unnecessary insulating film 2b formed on the silicon

substrate 1 is removed by CMP (chemical mechanical polishing) so that the insulating film 2b remains only in the trench 2a, thereby forming an STI 2 which will serve as an element isolation region. In this manner, an active region 1A surrounded by the STI 2 is formed.

5 Then, as shown in Figs. 10 to 12, an insulating film 3 in the form of a silicon oxide film is deposited to a thickness of 2nm on the silicon substrate 1 and the STI 2 by CVD and then a mask film 4 in the form of a silicon nitride film is deposited to a thickness of 120nm on the insulating film 3 by CVD. Then, a non-illustrated photoresist mask having a pattern which will be a pillar groove
10 forming region A defined by moving in parallel the position of one side surface of the active region 1A to the STI 2 side is formed by photolithography. The photoresist mask may be a hard mask such as an amorphous carbon film. In this event, patterns corresponding to the arrangement of five silicon pillars 5A₁ to 5A₅ arranged in a $\sqcap$ -shape and a pattern corresponding to the arrangement
15 of a dummy pillar 6 lying over the boundary between the active region 1A and the STI 2 are simultaneously formed. Each of the patterns corresponding to the silicon pillars 5A₁ to 5A₅ is formed to have a rectangular shape having a width of 50nm in each of the XY-directions. Each pattern is not limited to the rectangular shape and may have a circular shape with a diameter of 50nm.
20 Further, the interval between the silicon pillars 5 is set to twice or less the thickness of each of gate electrodes which will be formed later. Specifically, in Fig. 10, the interval between the first silicon pillar 5A₁ and the second silicon pillar 5A₂ which are arranged so that their centers are located on the same line in the X-direction is set to 30nm. Likewise, the interval between the fifth silicon
25 pillar 5A₅ and the fourth silicon pillar 5A₄ which are arranged so that their centers are located on the same line in the X-direction is also set to 30nm. Further, the intervals between the second silicon pillar 5A₂ and the third silicon pillar 5A₃ and between the third silicon pillar 5A₃ and the fourth silicon pillar 5A₄,

whose centers are located on the same line in the Y-direction, are also each set to 30nm.

The center of the inside of the $\square$ -shape is a position 31' where a metal contact plug 31 will be disposed later and, in other words, the silicon pillars 5 are uniformly arranged around the position 31' (in Fig. 10, the silicon pillars 5 are arranged in the $\square$ -shape so as to surround the position 31').

Likewise, the dummy pillar 6 is arranged adjacent to the third silicon pillar 5A₃ in the X-direction at an interval twice or less the thickness of each gate electrode. Herein, the interval between the third silicon pillar 5A₃ and the dummy pillar 6 is also set to 30nm. The thickness of each silicon pillar 5 (the size of a cross section taken along a plane parallel to the silicon substrate 1), which forms a channel, is set so as to allow full depletion of the channel. The width, in the Y-direction, of the dummy pillar 6 for lifting the gate electrode is set equal to the width of the silicon pillar 5 in the Y-direction while the width of the dummy pillar 6 in the X-direction may be different from that of the silicon pillar 5.

Then, by anisotropic dry etching using the photoresist mask, the patterns are transferred to the mask film 4 and the insulating film 3. As a result, an upper surface of the silicon substrate 1 and an upper surface of the STI 2 are exposed in a patterned opening portion (pillar groove forming region A). Thereafter, the photoresist mask is removed.

Then, using the patterned mask films 4 as a mask, the exposed silicon substrate 1 and STI 2 are dug down to a depth of 150nm by anisotropic dry etching, thereby forming the five silicon pillars 5 (5A₁ to 5A₅), which will serve as channels of unit transistors, and the dummy pillar 6 for connecting the power feed gate electrode to an upper interconnection. The pillars are formed so as to protrude upward from the dug-down upper surfaces of the silicon substrate 1 and the STI 2. The silicon pillars 5 are each formed into the rectangular shape having the width of 50nm in each of the XY-directions. As shown in Fig. 11, the

dummy pillar 6 is formed as a composite pillar in which one side surface of a first dummy pillar 6A standing on the active region 1A side and one side surface of a second dummy pillar 6B standing on the STI 2 side are in contact with each other so as to be integrated together.

5 Then, as shown in Figs. 13 to 15, side surfaces of the silicon pillars 5 and the dummy pillar 6 are oxidized to a thickness of 5nm by thermal oxidation (not illustrated) and, then, after depositing a silicon nitride film to a thickness of 20nm by CVD, the entire surface is etched back to form sidewall films on the side surfaces of the silicon pillars 5, the dummy pillar 6, the insulating films 3,
10 and the mask films 4. Then, an insulating film 8 is formed to a thickness of 30nm by thermal oxidation at a portion, around the pillars, of the active region 1A, where the dug-down upper surface of the silicon substrate 1 is exposed. In this event, the side surfaces of the silicon pillars 5 and the dummy pillar 6 are not oxidized because the silicon nitride films are coated thereon.

15 Then, a pillar lower diffusion layer 9 is formed under the insulating film 8 by ion implantation. Herein, the pillar lower diffusion layer 9 is shared by the five silicon pillars 5 (5A₁ to 5A₅). As impurities for the ion implantation, it is possible to use, for example, arsenic in the case of an n-type transistor. Then, the sidewall films and the thermal oxide films formed on the side surfaces of the
20 silicon pillars 5 and the dummy pillar 6 are removed by dry etching or wet etching.

 Then, gate insulating films 10 each in the form of a silicon oxide film having a thickness of 3nm are formed on the side surfaces of the silicon pillars 5 and the first dummy pillar 6A by thermal oxidation. Then, a polysilicon film
25 (polycrystalline silicon film) having a thickness of 20nm, which will be gate electrodes, is deposited over the entire surface by CVD and then the entire surface is etched back, thereby forming gate electrodes 11a on the side surfaces of the silicon pillars 5 and a power feed gate electrode 11b on the side

surfaces of the dummy pillar 6. When the gate electrodes 11 are formed on the side surfaces of the silicon pillars 5 and the dummy pillar 6, gate electrodes 11 (not illustrated) are also formed on the side surfaces of the STI 2. As shown in Figs. 14 and 15, since, as described before, the interval between the adjacent silicon pillars 5 and the interval between the third silicon pillar 5A₃ and the dummy pillar 6 are each set to 30nm, i.e. twice or less the thickness of each gate electrode 11, gaps between the adjacent silicon pillars 5 and a gap between the third silicon pillar 5A₃ and the dummy pillar 6 are completely buried by the gate electrodes 11a and the power feed gate electrode 11b.

Consequently, the gate electrodes 11a on the side surfaces of the first to fifth silicon pillars 5A₁ to 5A₅ are integrally connected to each other and, further, the power feed gate electrode 11b on the side surfaces of the dummy pillar 6 is integrally connected to the gate electrode 11a on the side surfaces of the third silicon pillar 5A₃.

Then, as shown in Fig. 16, a first interlayer insulating film 12 in the form of a silicon oxide film is deposited by CVD so as to bury the silicon pillars 5 and the dummy pillar 6. Then, the first interlayer insulating film 12 is flattened by CMP so as to expose the mask films 4. Subsequently, a mask film 13 in the form of a silicon oxide film is deposited to a thickness of 50nm by CVD.

Then, the mask film 13 is partially removed by photolithography and etching. A pattern 40, to be removed, of the mask film 13 is, as shown in Fig. 1, only a region where the silicon pillars 5 are arranged. At an opening 14 with the mask film 13 removed, the mask films 4 above the silicon pillars 5 are exposed. Then, the exposed mask films 4 are selectively removed by wet etching and further the insulating films 3 are removed, thereby forming openings 15 above the silicon pillars 5. Upper surfaces of the silicon pillars 5 are exposed at the bottom of the openings 15 and the gate electrodes 11a are partially exposed at side surfaces of the openings 15.

Then, as shown in Fig. 17, an insulating film 17 in the form of a silicon oxide film is formed on inner walls of each opening 15 by thermal oxidation. Then, impurities (e.g. phosphorus or arsenic in the case of an n-type transistor) are implanted into upper end portions of the silicon pillars 5 through the openings 15, thereby forming pillar upper diffusion layers 16. Then, a silicon nitride film is deposited to a thickness of about 10nm by CVD and then etching back is carried out, thereby forming sidewall films 18 over the inner walls of the openings 15. In the formation of the sidewall films 18, the insulating films 17 formed on the upper surfaces of the silicon pillars 5 are removed to expose the upper surfaces of the silicon pillars. In this event, the insulating films 17 remain under the sidewall films 18 and on the exposed surfaces of the gate electrodes 11a in the openings 15. The sidewall films 18 serve to ensure insulation between the gate electrodes 11a and silicon plugs which will be formed subsequently.

Then, using a selective epitaxial growth method, silicon plugs 19 are grown on the upper surfaces of the silicon pillars 5 so as to fill the openings 15. Thereafter, in the case of an n-type transistor, impurities such as arsenic are implanted to make the silicon plugs 19 serve as an n-type conductor, thereby allowing the silicon plugs 19 to electrically contact the pillar upper diffusion layers 16 formed at the upper end portions of the silicon pillars 5.

Then, as shown in Figs. 18 to 20, a second interlayer insulating film 20 in the form of a silicon oxide film is deposited by CVD so as to bury the opening 14. Then, a stopper film 21 in the form of a silicon nitride film is deposited to a thickness of 20nm by CVD. Then, a third interlayer insulating film 24 in the form of a silicon oxide film is deposited to a thickness of 150nm by CVD.

Then, contact holes 27, 28, and 29 are formed by photolithography and dry etching. As shown in Fig. 18, the contact hole 29 has a circular shape in plan view having its center at an intersection between a center line in the

Y-direction passing through the centers of the first and fifth silicon pillars $5A_1$ and $5A_5$ and a center line in the X-direction passing through the center of the third silicon pillar $5A_3$. Herein, the diameter of the contact hole 29 is set to 40nm. Therefore, the closest interval between the outer periphery of the contact hole 29 and each of the first silicon pillar $5A_1$, the third silicon pillar $5A_3$, and the fifth silicon pillar $5A_5$ is 35nm, which is the minimum interval. In the formation of the contact hole 27, dry etching is once stopped by the stopper film 21 to thereby control the depth to the gate electrode 11 while an upper surface of the dummy pillar 6 is not etched because it is protected by the remaining mask film 4. Since the contact hole 27 is formed at a position offset from the center of the second dummy pillar 6B, the mask film 4 formed above the second dummy pillar 6B and the power feed gate electrode 11b formed on the side surfaces of the second dummy pillar 6B are partially exposed at the bottom of the contact hole 27. The silicon plug 19 is exposed at least partially at the bottom of each contact hole 28 while the pillar lower diffusion layer 9 is partially exposed at the bottom of the contact hole 29. These contact holes 27 to 29 may be formed simultaneously or separately.

Then, a metal film made of tungsten (W), titanium nitride (TiN), and titanium (Ti) is deposited by CVD to cover the third interlayer insulating film 24, thereby burying the contact holes 27 to 29. Then, the metal film on the third interlayer insulating film 24 is removed by CMP, thereby forming metal contact plugs 30 for the silicon plugs 19, a metal contact plug 31 for the pillar lower diffusion layer 9, and a metal contact plug 41 for the power feed gate electrode 11b.

As described before, the diameter of the metal contact plug 31 formed in the contact hole 29 having the diameter of 40nm becomes 40nm. Therefore, as shown in Fig. 18, the closest interval between the outer periphery of the metal contact plug 31 and each of the first silicon pillar $5A_1$, the third silicon

pillar 5A₃, and the fifth silicon pillar 5A₅ is 35nm, which is the minimum interval. On the other hand, the second silicon pillar 5A₂ and the fourth silicon pillar 5A₄ are each located in a direction inclined by 45 degrees from the X-direction with respect to the metal contact plug 31. Therefore, one corner of the rectangular shape of each of the second silicon pillar 5A₂ and the fourth silicon pillar 5A₄ is closest to the outer periphery of the metal contact plug 31. In this case, the closest interval therebetween is 57nm. Herein, the interval between the outer periphery of the metal contact plug 31 and each of the first silicon pillar 5A₁, the third silicon pillar 5A₃, and the fifth silicon pillar 5A₅, the center of which is located on the same center line in the X- or Y-direction as the center of the metal contact plug 31, is 35nm, which is the minimum interval. On the other hand, the interval between the outer periphery of the metal contact plug 31 and each of the second silicon pillar 5A₂ and the fourth silicon pillar 5A₄, each located in the direction inclined by 45 degrees from the center line in the X-direction with respect to the metal contact plug 31, is 57nm, which is the maximum interval. In this case, since the maximum interval (57nm) is twice or less the minimum interval (35nm), it is possible to avoid the prior art problem that the intervals between the metal contact plug 31 and the respective silicon pillars become non-uniform so that parasitic resistances of the lower diffusion layer 9 from the metal contact plug 31 to the respective silicon pillars differ from each other, resulting in unstable characteristics of the entire semiconductor device. If each silicon pillar has a circular shape in plan view having a diameter of 50nm, the maximum interval becomes 67nm. Accordingly, even in this case, the maximum interval (67nm) is twice or less the minimum interval (35nm) so that it is possible to avoid the above-mentioned problem.

Then, as shown in Fig. 1, metal interconnections 33 and 34 and a gate-lift interconnection 42 made of tungsten (W) and tungsten nitride (WN) are formed by sputtering. In this event, the metal contact plug 41 is connected to

the gate-lift interconnection 42. Further, the single metal contact plug 31A connected to the pillar lower diffusion layer 9 is connected to the metal interconnection 34. Further, the five metal contact plugs 30 connected to the pillar upper diffusion layers 16 formed in the five silicon pillars 5 are connected
5 to the metal interconnection 33.

The above is the description of the semiconductor device manufacturing method.

According to the semiconductor devices of the first to fifth embodiments described above, the silicon pillars 5 are uniformly arranged around or near the
10 metal contact plug 31 in plan view. With this configuration, the maximum interval between the metal contact plug 31 and the silicon pillar 5 is twice or less the minimum interval between the metal contact plug 31 and the silicon pillar 5 so that variation in electrical resistance between the metal contact plug 31 and the respective silicon pillars 5 can be set within an allowable value range.
15 Further, it is possible to prevent degradation of characteristics of the vertical transistors and thus to stabilize the operation of the semiconductor device.

Although the inventions has been described above in connection with several preferred embodiments thereof, it will be appreciated by those skilled in the art that those embodiments are provided solely for illustrating the invention,
20 and should not be relied upon to construe the appended claims in a limiting sense.