

(51) Int.C1. ⁵	Identification mark	JPO File Number	(43) Date of publication: 4 th Year of Heisei March 12 th (1992)
H 0 1 L	27/115		
G 1 1 C	16/02		
	16/04		
H 0 1 L	29/788		
	29/792		
		8831-4M H 01 L 27/10 434	
		7514-4M 29/78 371	
		9191-5L G 11 C 17/00 307 D	
		Review Request No request Number of claims 3 (Total 13 pages)	

(54) Title of Invention: Non-volatile Semiconductor Memory

(21) Application No.: H2-193153

(22) Application Date: 2nd Year of Heisei July 23rd (1990)

(72) Inventor: Tetsuo ENDOH 1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki-shi, Kanagawa
Toshiba Corporate Research & Development Center
(71) Applicant: Toshiba Corporation 72, Horikawa-cho, Saiwai-ku, Kawasaki-shi, Kanagawa
(74) Agent: Attorney Takehiko Suzue Three more persons

Specifications

1, Title of Invention:

Non-volatile Semiconductor Memory

2, What is claimed is:

(1) A non-volatile semiconductor memory comprising:

Semiconductor substrate: this semiconductor substrate is separated by the plaid-shaped groove, presenting with multiple pillar-shaped semiconductor layers in the matrix arrangement; it has the drain diffused layer formed on the various pillar-shaped semiconductor layers, common source diffused layer formed in the bottom of the aforementioned groove, the charge accumulation layer and control gate surrounding at least a part of various pillar-shaped semiconductor layers around. For the multiple pillar-shaped semiconductor layers in one direction, it continuously sets multiple electrically erasable memory cells with control gates, respectively; the bit line connects to the drain diffused layer of multiple memory cells in the cross direction with the aforementioned control gate line.

(2) A non-volatile semiconductor memory comprising:

Semiconductor substrate: this semiconductor substrate is separated by the plaid-shaped groove,

presenting with multiple pillar-shaped semiconductor layers in the matrix arrangement; common source diffused layer formed in the bottom of the aforementioned groove; the charge accumulation layer and control gate surrounding at least the lower part of various pillar-shaped semiconductor layers around, for the multiple pillar-shaped semiconductor layers in the same direction, it continuously sets multiple electrically erasable memory transistors with control gate, respectively; it has the drain diffused layer formed on the various pillar-shaped semiconductor layers and gate electrodes surrounding at least the upper part of various pillar-shaped semiconductor layers, it continuously sets multiple gate transistors formed to be word line from this gate electrode in the same direction with the aforementioned control gate line, respectively; the bit line connects to the drain diffused layer of multiple selection gate transistor in the cross direction between the aforementioned control gate line and word line.

(3) A non-volatile semiconductor memory comprising:

Semiconductor substrate: this semiconductor substrate is separated by the plaid-shaped groove, presenting with multiple pillar-shaped semiconductor

layers in the matrix arrangement; the common source diffused layer formed in the bottom of the aforementioned groove; the charge accumulation layer and control gate surrounding at least the lower part of various pillar-shaped semiconductor layers around, for the multiple pillar-shaped semiconductor layers in the same direction, it continuously sets multiple electrically erasable memory transistors with control gates, respectively; it has the drain diffused layer formed on the various pillar-shaped semiconductor layers and gate electrode surrounding at least the upper part of various pillar-shaped semiconductor layers, for the multiple pillar-shaped semiconductor layers in the same direction, it continuously sets multiple gate transistors formed to be word line from this gate electrode, respectively; the bit line connects to the drain diffused layer of multiple selection gate transistor in the cross direction with the aforementioned word line.

and substrate are grounded. Then, relying on the tunnel current, it injects electron into the floating gate from the substrate. By injecting this electron, the threshold voltage of the memory cell moves in the positive direction. When it emits the electron from the floating gate, the control gate is grounded and the positive high voltage is applied to one of source, drain diffused layer or substrate. Then, relying on the tunnel current, it emits the electron from the floating gate toward the substrate. By emitting this electron, the threshold voltage of the memory cell moves in the negative direction.

In the above actions, in order to efficiently carry out the electron injection and emission, that is to efficiently conduct the writing and erasure, the relationship of capacitance in combination with floating gate, control gate and substrate is very important. In other words, the greater the capacitance between floating gate and control gate, the more effectively it transmits the potential of control gate to the floating gate; so that makes the writing and erasure of EEPROM memory cell much easier. However, with the progress of semiconductor technology in recent years, especially due to the progress of microfabrication technique, the miniaturization and

3. Detailed Description of the Invention

[Purpose of the Invention]

(Field of the Invention)

The present invention is about a non-volatile electrically erasable semiconductor memory using memory transistor with charge accumulation layer and control gate (EEPROM).

(Description of the prior art)

The well-known structure: As the EEPROM memory cell, the MOS transistor structure has charge accumulation layer and control gate on the gate, which uses tunnel current to conduct injection into the charge accumulation layer and emit charge from the charge accumulation layer. In this memory cell, it stores different threshold voltages due to different charge accumulation state of the charge accumulation layer as data "0" and "1". For example, as the charge accumulation layer, if it is the n channel memory cell using the floating gate, when it injects electron into the floating gate, it needs to apply positive high voltage to the control gate after the source, drain diffused layer

large capacitance of EEPROM memory cell are growing rapidly. So, how to ensure the capacitance increase between the floating gate and control gate becomes an important subject.

In order to increase the capacitance between floating gate and control gate, it needs to reduce the thickness of gate dielectric film between them, or increase their dielectric constant, or increase the area between floating gate and control in the opposite direction. However, reducing the thickness of gate dielectric film has a certain limit in the respect of reliability. In the respect of increasing dielectric constant of gate dielectric film, for example, it may consider using silicon nitride film, etc. to replace silicon oxide film, however, it still has the problem of reliability and it is not practical. So, in order to ensure to have sufficient capacitance, it shall ensure the overlapping area between the floating gate and control gate is above the certain value. This becomes a large barrier for achieving the purpose of reducing the area of memory cell and enlarging the capacitance of EEPROM.

In addition, in order to apply high voltage to the memory cell in case of writing and erasure, it needs to conduct the element isolation. So, in the common

LOCOS method, the area of isolation region of elements become greater, it is also the reason of blocking the large capacitance of EEPROM.

(Problems to be solved by the invention)

As above, the problems existing in the EEPROM are: it is impossible to ensure an enough capacitance between floating gate and control gate while reducing the occupied area of memory cell.

The present invention aims to provide an EEPROM of resolving this kind of problem, with large capacitance and high efficiency of writing and erasure.

[Constitution]

(Means for Solving Problems)

The EEPROM involved in the present invention is a memory transistor formed by the side wall of multiple pillar-shaped semiconductor layers in matrix arrangement, separating by the plaid-shaped groove on the semiconductor substrate. That is to say, the memory transistor is composed of drain diffused layer formed on the various pillar-shaped semiconductor layer, common source diffused layer formed at the bottom of the aforementioned groove and charge accumulation layer and control gate surrounding at least a part of various pillar-shaped semiconductor layer around, for the multiple pillar-shaped

semiconductor layer, it can be electrically separated completely depending on the groove. Besides, it can reduce the area of isolation region of elements, so as to make the size of memory cell smaller. So that can obtain the EEPROM of large capacitance, integrating memory cells with excellent efficiency of writing and erasure.

(Embodiments)

In the following, refer to the drawing instruction for the working example of the present invention.

Fig. 1 is the plane diagram of EEPROM memory cell in such embodiments; Fig. 2(a), (b) are the section diagram of A-A' and B-B' in Fig. 1 respectively. In this embodiment, it uses P-type silicon substrate, it is separated by the plaid-shaped groove 3 on the top of it, presenting multiple pillar-shaped P-type silicon layers in matrix arrangement, the pillar-shaped silicon layer 2 is changed to be the domain of memory cell, respectively. In other words, the oxidation film 4 with the specified thickness is implanted and formed at the bottom of groove 3, the floating gate 6 is formed on the side wall by relying on tunnel oxidation film 5 by surrounding the pillar-shaped silicon layer 2, in addition, control gate 8 is formed in the outside of it through layer dielectric film 7. As shown in Fig. 1 and

semiconductor layer in the same direction, continuously setting control gate lines formed from gate electrodes, respectively. In addition, it also sets the bit line connecting to the drain diffused layer of multiple memory transistors in the cross direction with control gate line.

Moreover, the EEPROM involved in the present invention also forms the charge accumulation layer and control gate of the above-mentioned memory transistor at the bottom part of the pillar-shaped semiconductor layer. In addition, it also sets the selection gate transistor that can form the gate electrode by surrounding at least the upper part of the pillar-shaped semiconductor layer.

(Functions)

According to EEPROM memory cell made by the present invention, the side wall using pillar-shaped semiconductor layer has charge accumulation layer and control gate formed by surrounding the pillar-shaped semiconductor layer, so it can be sufficient to ensure the capacitance increase between charge accumulation layer and control gate by using a small occupied area. In addition, the drain diffused layers connecting to each bit line of memory cell are respectively formed on the pillar-shaped

Fig. 2 (b), for the multiple memory cell in the same direction, it continuously sets control gate 8, respectively, forming the control gate line, that is word line WL (WL 1, WL 2,...). The common source diffused layer 9 of memory cell is formed at the bottom of groove 3; drain diffused layer 10 of various memory cells is formed on various pillar-shaped silicon layer 2. CVD oxidation film 11 is covered on the top of substrate of memory cell formed therefore, it opens contact hole on the top of it, sets bit line (BL 1, BL2, ...) of drain diffused layer 10 of memory cell in the cross direction with word line WL, forming the AL wiring 12 jointly connected. As it forms the control gate line, in the position of pillar-shaped silicon layer at the end of cell array, a mask is formed by depending PEP, the contact segment 14 formed by the polycrystalline silicon film connected with control gate is remained on the surface of it, contacting with the AL wiring 13 of word line with simultaneous formation by AL film with bit line BL here.

In the following, refer to Fig. 3(a) - (e) for the instruction of specific manufacturing process example used for obtaining such structure. Fig. 3 (a) - (e) are the process diagram corresponding to the profile of Fig. 1 (a). The P-type silicon layer with low impurity

concentration is epitaxially grown on the P-type silicon substrate with high impurity concentration. It stacks the mask layer 21 on its surface. It adopts the well-known PEP technology to form photoresist pattern 22, then uses it to etch mask layer 21 (Fig. 3 (a)). Then it uses the mask layer 21 to etch the silicon layer 2 according to the reactive ion etching method, so as to form the plaid-shaped groove 3 reaching the depth of substrate 1. In this way, the silicon layer 2 becomes pillar-shaped and separated into multiple island-shaped objects, later it adopts CVD method to stack silicon oxide film 23 and leave it on the side wall of various pillar-shaped silicon layer 2 through anisotropic etching. Then, implant n-type impurity into the ion, it respectively forms drain diffused layer 10 on the top of various pillar-shaped silicon layer 2; it forms common source diffused layer 9 at the bottom of groove (Fig. 3 (b)).

Later, after the etching of oxidation film 23 surrounding the various pillar-shaped silicon layer 2 through isotropic etching, in light of requirements, it may conduct the injection of ion channel on the side wall of various silicon layer 2 by adopting the slant ion implantation. It may also stack oxidation film containing boron through CVD, replacing channel

control gate 8 (Fig. 3 (d)). For the longitudinal direction of Fig. 1, by presetting the interval of pillar-shaped silicon layer 2 below the specified value, it needn't adopt the mask process that can act as the continuous control gate line in this direction to form the control gate 8. At the end of control gate line, it uses a mask to leave the polycrystal silicon film in advance on the pillar-shaped silicon layer as the contact segment 14 of AL wiring.

Finally, it stacks CVD oxidation film 11 on the whole surface, if it is necessary, upon the planarization treatment, a contact hole is opened on the top of it, so as to form the bit line 12 connecting to various memory cell drain diffused layer 10 as well as AL wiring 12, 13 connecting to the word line of control gate line (Fig. 3 (e)).

The action of EEPROM can be simply stated through this embodiment. By supplying the positive potential to the selection word line and selection bit line to flow the channel current on the selected memory cell, so as to inject the hot electron formed nearby drain electrode into the floating gate. In this way, the threshold value of this memory cell moves in the positive direction. This is so-called data writing. Data erasure means to take the selection word line as 0V, supply the positive potential to the selection bit

example injection with boron diffusion from its oxidation film. Then it stacks CVD silicon oxide film 4, after etching this silicon oxide film by using the method of isotropic etching, it is buried to the bottom of groove 3 according to the specified thickness. Then, after forming tunnel oxidation film 5 of such as about 100Å through thermal oxidation in the surrounding area of various silicon layer 2, it stacks the first layer of polycrystalline silicon film. It may etch this first layer of polycrystalline silicon film through anisotropic etching method, leaving the first layer of polycrystalline silicon film only on the side wall of various silicon layer 2, so as to form the floating gate 6 (Fig. 3 (c)).

Next, it forms the layer dielectric film 7 on the surface of floating gate 6 formed around the various pillar-shaped silicon layer 2. For example, it may take this layer dielectric film 7 as ONO film. Specifically, in accordance with the specified thickness of the surface of oxidation floating gate 6, it adopts the method of stacking silicon oxide with film plasma CVD as well as thermal oxidation of its surface to form ONO film. Then, by stacking the second layer of polycrystalline silicon film, it adopts silicon oxide film etching method to etch this film so as to form the

line, and pull out floating gate electron on the substrate depending on the FN tunneling. In this way, the threshold value of memory cell moves in the negative direction. Data reading means that after reading the specified potential, supply the potential to word line, judge "0" and "1" by checking whether unit current flows or not.

The two aspects of data reading and erasure also can make use of FN tunneling. In this situation, data reading is to supply the positive potential to the selection word line, provide 0V to the selection bit line, on the selected memory cell, it injects the electron from one side of substrate into the floating gate through FN tunneling.

It can be seen from this embodiment, if it takes the bottom of plaid-shaped groove as separation region, arranging the pillar-shaped silicon layer to constitute the memory cell of floating gate formed by surrounding this pillar-shaped silicon layer, so that can obtain the memory cell of EEPROM with small occupied area and high integration. Moreover, not only can the memory cell have a small occupied area, but also it can ensure a sufficient capacitance between floating gate and control gate.

In addition, in the embodiment, it needn't use mask to continuously form the control gate of various

memory cells in one direction. This is the first time that it can form the aforementioned control gate in case of asymmetrical configuration of pillar-shaped silicon layer. In other words, by reducing the interval of pillar-shaped silicon layer in the direction of the word line smaller than the interval of pillar-shaped silicon layer in the direction of the bit line, so as to make it separated in the direction of bit line and automatically obtain the control gate line connecting in the direction of the word line under the condition of no mask. On the other hand, for example, in case of symmetrically configuration of pillar-shaped silicon layer, it needs to adopt PEP process. Specifically, it thickly stacks the second polycrystalline silicon film, with PEP process, the process chooses to conduct etching, in order to leave the polycrystalline silicon film in the part that makes it taken as the continuous control gate line. Then it stacks the third layer of polycrystalline silicon film by adopting the same method with that described in the embodiment to conduct the etching for the side wall left. Even in the case of asymmetrical configuration of pillar-shaped silicon layer, sometimes it is not the same with the

shape of this pillar-shaped silicon layer can be in other shapes, for example, as shown in Fig. 5, the pillar-shaped silicon layer is formed by quadrangle pattern. However, if the size of pillar-shaped silicon layer approaches the processing limit too much, even if the layout is quadrangle, after rounding, it will become similar to Fig. 1 in practice.

However, in the 1 transistor/1 unit structure in the above embodiment, if the memory transistor turns to the excessive erasure state, that is to say, if the read potential is 0V and threshold turns to negative, the unit electric current also will flow even if not selected which is not appropriate. In order to practically prevent this condition, besides memory transistor, the gate transistor may also be used. Such embodiments will be explained in the following.

Fig. 6 is the plane diagram of EEPROM in such embodiments; Fig. 7 (a), (b) are the section views of A-A' and B-B' in Fig. 6 respectively. In these figures, when using the same symbols with the corresponding part in the previous embodiments, the detailed description is omitted. Moreover, in the plane graph of Fig. 6, since the selection gate lines that continuously

embodiment that forms the automatic continuous control gate line through its configured interval. Even in this situation, it may also form the continuous control gate line in one direction by adopting the aforementioned mask process.

Moreover, in the embodiment, although the memory cell in floating gate structure is used, the charge accumulation layer does not necessarily have to use floating gate structure; this objective can also be achieved through discharging the charge accumulation layer to the trap on the multilayer dielectric film. For example, even if it is MNOS structure, the present invention is also effective.

Fig. 4 is the section diagram corresponding to Fig. 2 which shows the embodiment that uses this MNOS structure. The parts corresponding to Fig. 2 attach the same symbol, and the detailed description is omitted. As the charge accumulation layer, multi-layer insulator layer 24 can be the laminated structure of tunnel oxide film and silicon nitride film, or the oxide film structure further formed on the nitride film surface.

In Fig. 1, the pillar-shaped silicon layer 2 is cylinder shape, that is to say, the upper surface is circular. The

form the gate electrode of selection gate transistor are too complex, they are not shown.

The same with the previous embodiments, depending on groove 3, to separate and arrange to form pillar-shaped silicon layer 2, form the drain diffused layer 10 above each pillar-shaped silicon layer 2 and form the common source diffused layer 9 in the bottom of groove 3. The memory cell is in the bottom of such pillar-shaped silicon layer 2; the same with the method of the previous embodiments, the floating gate 6 is formed through tunnel oxide film 5; then the control gate 8 is formed by layer dielectric film 7, thereby constituting memory transistor. And, in the upside of pillar-shaped silicon layer 2, the same with memory transistor, the gate electrode 32 is set through gate oxide film 31 surrounding it, constituting selection gate transistor. The same with control gate 8 of memory cell, gate electrode 32 of this transistor is continuously set in the same direction with control gate line to form selection gate line. Through this method, in the internal groove, memory transistor and selection gate transistor are implanted and formed under the state of stack. The same with the previous

embodiments, one end of control gate line is left on the surface of silicon layer as contact segment 14. Moreover, contact segment 15 is left on the selection gate line silicon layer which is at the end opposite to the control gate, making them to contact AL wiring 13, 16 which form word line WL and control gate line CG respectively.

Fig. 8 (a)-(g) is the section diagram corresponding to Fig. 7 (a) which shows the EEPROM manufacturing technique of this embodiment. Wafer is used on the P-type silicon substrate 1 to make the P-type silicon layer 2 to conduct epitaxial growth; after the mask is formed, groove 3 in the plaid-shaped is formed through anisotropic etching method; until drain diffused layer 10 is formed above each silicon layer 2, and the common source diffused layer 9 is formed in the bottom of groove; the method is the same as in the previous embodiments (Fig.8 (a), (b)). Then after tunnel oxide film 5 is formed, accumulate the 1st layer polycrystalline silicon film, etch this film through anisotropic etching method, leave this film on the side wall at the bottom of pillar-shaped silicon layer 2, then form floating gate 5 surrounding the shape of silicon

layer 2 (Fig. 8 (c)). As with the previous embodiments, after layer dielectric film 6 is formed, accumulate the 2nd layer polycrystalline silicon film, etch this film through anisotropic etching method, and again form control gate 8 at the bottom of pillar-shaped silicon layer 2 (Fig. 8 (d)). Control gate 8 continuously forms the control gate line in the same direction. And after etch and remove the unwanted layer dielectric film 7 and tunnel oxide film 2 beneath it, deposit CVD oxide film 111 and implant the film in the middle of groove 3 after etching it, that is to say, implant it in the position of floating gate 7 and control gate 8 of the embedded memory cell (Fig. 8 (e)). Then in the upper portion of the uncovered pillar-shaped silicon layer 2, after forming about 200Å gate oxide film 31 through thermal oxidation method, deposit the 3rd layer polycrystalline silicon film, etch it through anisotropic etching method, and form the gate electrode 32 of MOS transistor (Fig. 8 (f)). This gate electrode 32 also continuously form pattern in the same direction as control gate line and constitute the selection gate line. Although the selection gate line can be continuously formed by self-alignment method, it is hard to achieve

compared with the control gate 8 of memory cell. The reason is that compared with double-layer gate in memory transistor part, since selection gate transistor is single-layer gate, its gate electrode interval between adjacent cells is broader than the control gate interval. Therefore, in order to practically connect gate electrode 32, it can be made into double-layer polycrystalline silicon structure; for the initial polycrystalline silicon film, only the part for connecting gate electrode is left by mask technique; the subsequent polycrystalline silicon film can adopt the side wall residual technology.

Moreover, the control gate line and selection gate line are at different ends respectively; in order to form contact segment 14, 15 above pillar-shaped silicon layer, when conducting the polycrystalline silicon film etching, a mask should be formed in advance.

Finally, deposit CVD oxide film 112, open contact holes, through conducting vapor phase deposition and pattern formation of aluminum, simultaneously form AL wiring 12 that constitutes bit line BL, AL wiring 13 that constitutes control gate line CG, AL wiring 16 that constitutes bit line WL (Fig. 8 (g)).

Fig. 9 (a) shows that the section structure of a memory cell where important parts of EEPROM in this embodiment is replaced by a planer structure; it shows the equivalent circuit the same as Fig. (b).

Using Fig. 9 to simply illustrate the actions of EEPROM in this embodiment, the content is as follows: at first, in the aspect of writing, for example, when using hot carrier injection to write, provide high positive potential to selection word line WL, and provide the specified positive potential to selection control gate line CG and selection bit line BL. Accordingly, the positive potential is transferred to the drain of the memory transistor Qc through the selection gate transistor Qs; channel current is flowed in memory transistor Qc, conducting hot carrier injection. Erasure is regarding selection control gate CG as 0V, providing high positive potential to word line WL and bit line BL to make it release floating gate electron on the drain. In overall erasure, the high positive potential can be provided to the common source, then making it release electron on the source. When conducting reading action, word line WL opens the selection gate transistor Qs, reads control gate line

CG and provides potential to it; it judges "0" and "1" by checking whether the current flows or not.

If using FN tunneling in the aspect of electron injection, the high positive potential is provided to selection control gate line CG and selection word line WL; the selection bit line BL is regarded as 0V; the electron is injected into floating gate from substrate.

According to this embodiment, since it has selection gate transistor, even if in the excessive erasure state, it can also obtain the EEPROM without failure.

However, in this embodiment, as shown in Fig. 9 (a), there is no diffusion zone between the selection gate transistor Qs and memory transistor Qc. This is because that it is very hard for a diffused layer to be selectively formed on the side of pillar-shaped silicon layer. Therefore, in the structure of Fig. 7(a), (b), it is best to make the separating oxidation film between the gate part of memory transistor and the gate part of selection transistor to be thin. Especially when utilizing hot electron injection, in order to convey enough "H" level potential to the drain part of memory transistor, the thickness of this separating oxidation film shall be controlled at about 300-400Å. Such a tiny

type memory cell on a pillar-shaped silicon layer. In the parts corresponding to the previous embodiments, for the parts having the same symbols with the aforementioned embodiments, the detailed description is omitted. In this embodiment, the selection gate transistor Qsl is formed in the lowermost of pillar-shaped silicon layer 2; three memory transistors Qc1, Qc2 and Qc3 are overlapped above it, and the selection gate transistor Qs2 is also formed above it. Basically, this structure can be achieved through repeatedly conducting the previously explained manufacturing technique.

Fig. 13 (a), (b) are the section views corresponding to Fig. 7 (a), (b) respectively in the previous embodiments. In this embodiment, the control gate 8 of memory transistor and gate electrode 32 of selection gate transistor are continuously formed.

Fig. 14 (a) - (e) are the section diagram of manufacturing technique in this embodiment. Mask is used in the same wafer as the previous embodiments; groove 3 is formed by etching; after forming source diffused layer 9 and drain diffused layer 10, tunnel oxide film 5 is formed, floating gate 6 is formed at the bottom of pillar-shaped silicon layer 2; the above

interval, it's hard to implant oxide film only adopting the mentioned CVD in the previous manufacturing technique in practice. Therefore, for the method of implanting CVD oxidation film, it's best to adopt the following method: make floating gate 6 and control gate 8 to be exposed, adopt the gate oxidation which is used for selection gate transistor, simultaneously form thin oxide film in the exposed part of floating gate 6 and control gate 8.

Fig. 10 is an embodiment that regards the memory transistor in the aforementioned embodiment as the same MNOS structure as embodiment in Fig. 4.

Fig. 11 is an embodiment that reverses the memory transistor and selection gate transistor of the aforementioned embodiment, that is to say, it is the section diagram corresponding to Fig. 7(a) which is an embodiment, in which selection gate transistor is formed in the bottom of pillar-shaped silicon layer 2, and memory transistor is formed in the upside. When regarding the hot electron injection mode as the writing mode, the structure of setting selection gate transistor in common source can be adopted.

Fig. 12 is an embodiment that constitutes NAND

technique is the same with the previous embodiments (Fig. 14 (a) - (c)). After that, for example, layer dielectric film 7 on floating gate 6 and gate oxide film 31 of selection gate transistor part are simultaneously formed through thermal oxidation; control gate 8 part and gate electrode 32 part are consecutively formed through the accumulation of the 2nd layer polycrystalline silicon film and anisotropic etching (Fig. 14 (d)). Then CVD oxide film 11 is adopted to conduct the whole surface coverage, and contact hole is opened on it to form AL wiring 12 (Fig. 14 (e)).

Fig. 15 shows the section diagram structure of important part of memory cell in this embodiment, which is corresponding to Fig. 8 (a).

The EEPROM action conducted through this embodiment is basically the same with the previous embodiments. But, since the control gate of memory transistor and the gate electrode of selection gate transistor are common, therefore, providing positive potential to common source S, regarding word line WL (that is, control gate line CG) as 0V, through making it to release floating gate electron on source diffused layer, the erasure action is conducted.

According to this embodiment, the same effect as

the previous embodiments can also be obtained.

Even if in the embodiments illustrated in Fig. 13 and Fig. 14, MNOS structure absolutely can be used to replace floating gate structure as memory transistor.

[Effect of the invention]

As mentioned above, according to the present invention, utilizing the side wall of pillar-shaped semiconductor layer separated by the plaid-shaped groove, through constituting and using the memory cell of memory transistor with charge accumulation layer and control gate, it can fully ensure the capacitance between control gate and charge accumulation layer, and can also reduce the occupying space of memory cell, therefore can obtain the EEPROM that can realize high centralization.

4. Brief description for the drawings

Fig. 1 is the plane diagram of EEPROM provided by an embodiment of the present invention;

Fig. 2 (a), (b) are the section diagrams of A-A' and B-B' in Fig. 1;

Fig. 12 is the section diagram of EEPROM in the embodiment which acts as NAND structure;

Fig. 13 (a), (b) are the section diagrams that make the EEPROM in another other embodiment correspond to Fig. 7(a), (b).

Fig. 14 (a)-(e) are the section diagrams showing its manufacturing technique;

Fig. 15 is the section diagrams showing replacing the plane structure.

1: P-type silicon substrate, 2: P-type silicon layer, 3: plaid-shaped groove, 4: silicon oxide film, 5: tunnel oxide film, 6: floating gate, 7: layer dielectric film, 8: control gate, 9: common source diffused layer, 10: drain diffused layer, 11: CVD oxide layer, 12: AL wiring (bit line), 13: AL wiring (word line), 14, 15: contact segment, 31: gate oxide film, 32: gate electrode, 24: multi-layer insulator layer.

Fig. 3 (a)-(e) are the section diagrams showing the manufacturing technique;

Fig. 4 is the section view of EEPROM in the embodiment which uses MNOS structure;

Fig. 5 is the plane diagram of EEPROM in other embodiment;

Fig. 6 is the plane diagram of EEPROM in another other embodiment;

Fig. 7 (a), (b) are the section diagrams of A-A' and B-B' in Fig. 6;

Fig. 8 (a)-(g) are the section diagrams showing the manufacturing technique;

Fig. 9 (a), (b) are the section diagrams showing replacing the plane structure and the equivalent circuit diagram;

Fig. 10 is the section diagram of EEPROM in the embodiment which uses MNOS structure;

Fig. 11 is the section diagram of EEPROM in the embodiment that reverses the configuration of the memory transistor and the selection gate transistor;

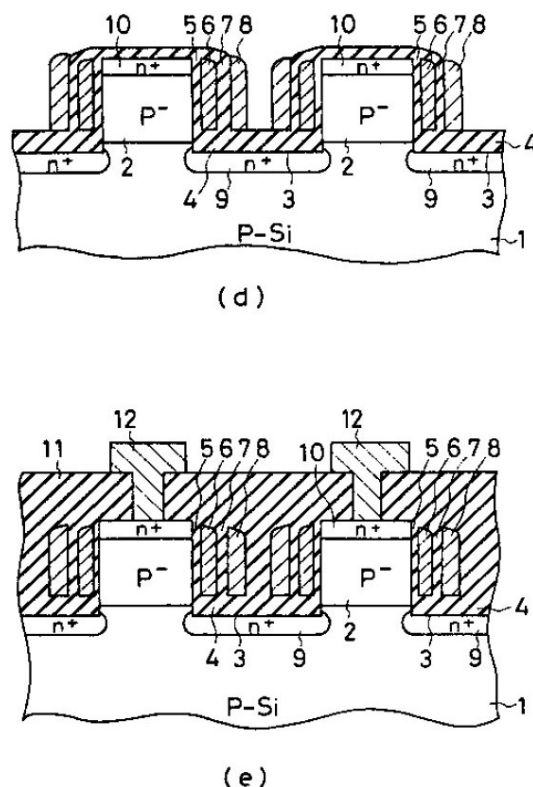


Fig. 3

Agent: Attorney Takehiko Suzue

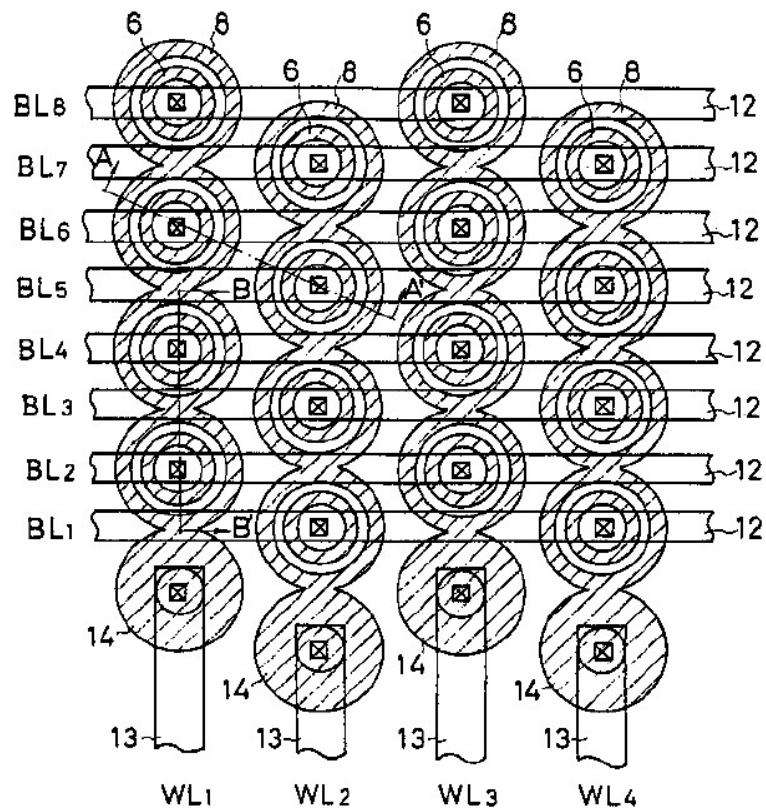


Fig. 1

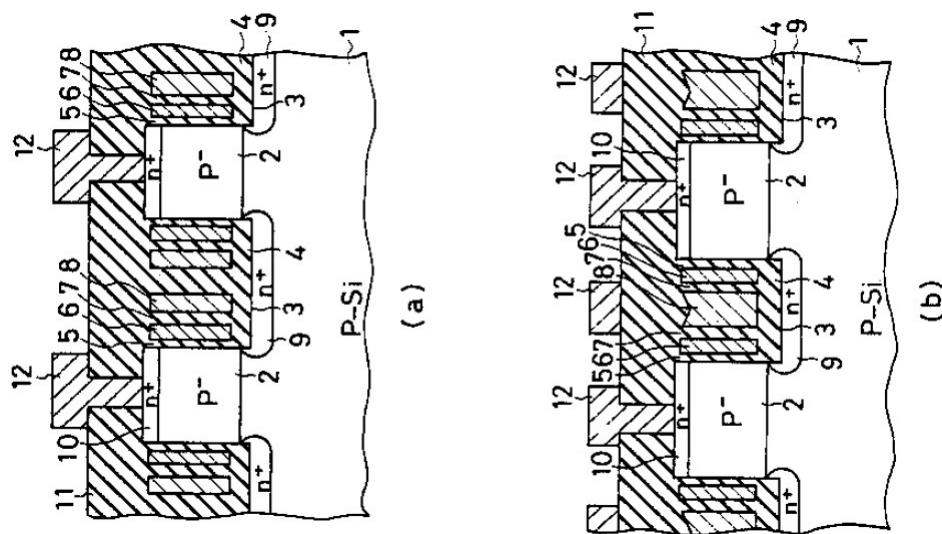


Fig. 2

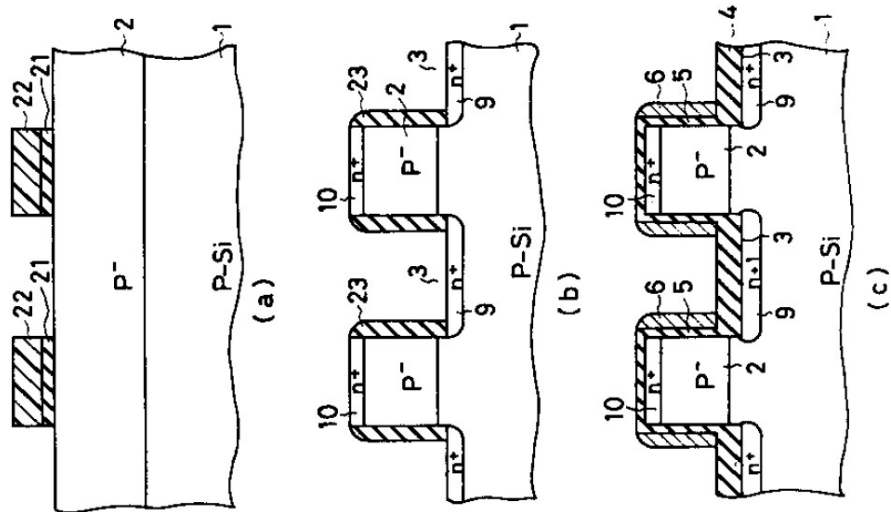


Fig. 3

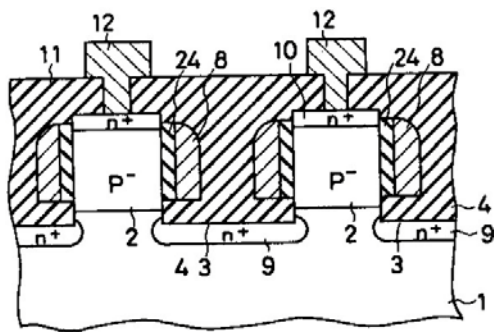


Fig. 4

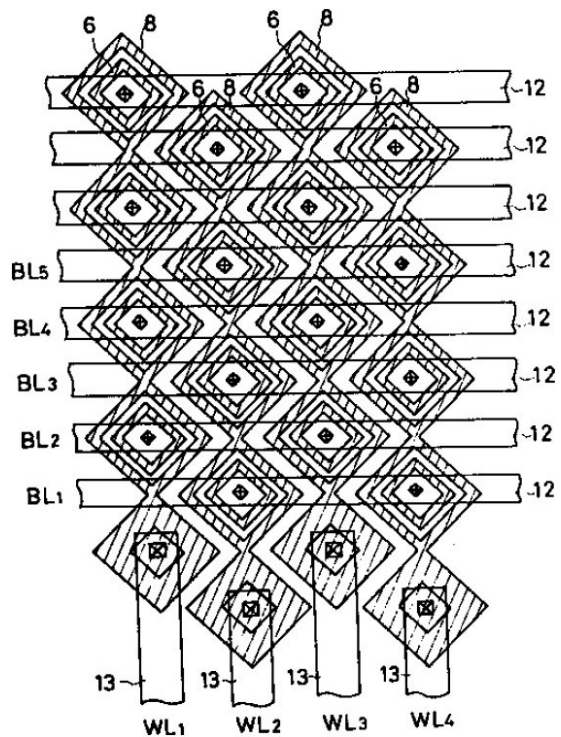


Fig. 5

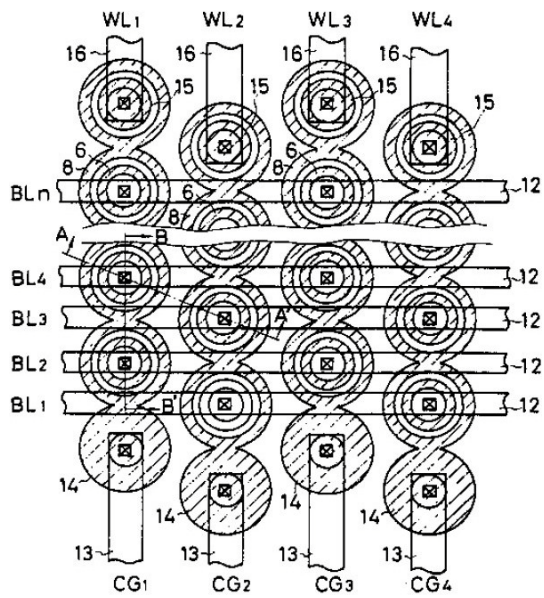
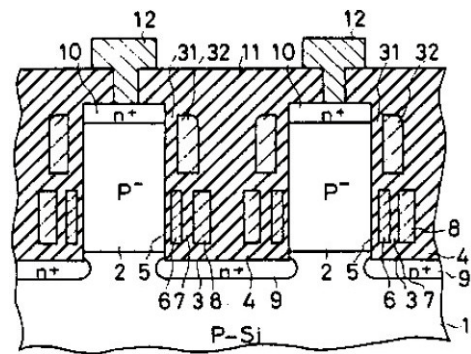
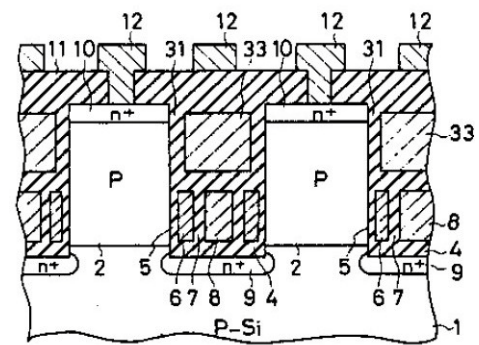


Fig. 6

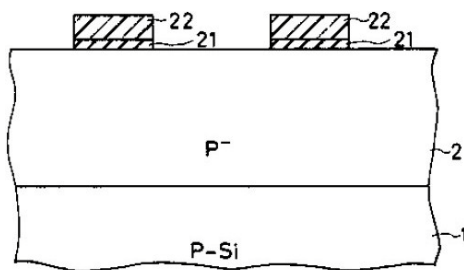


(a)

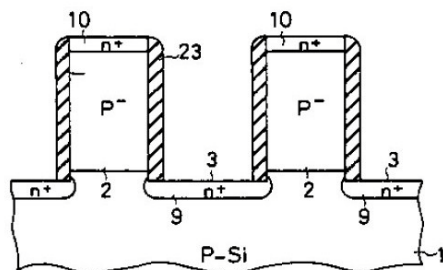


(b)

Fig. 7

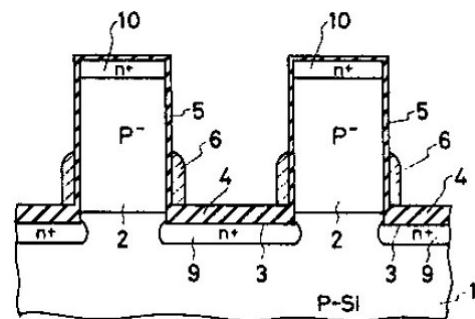


(a)

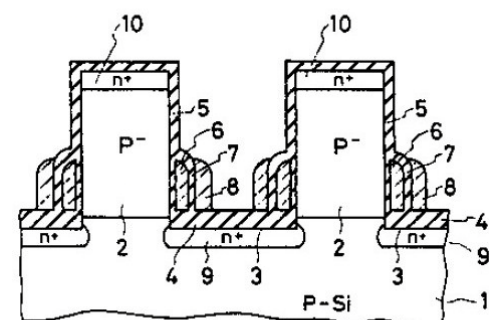


(b)

Fig. 8



(c)



(d)

Fig. 8

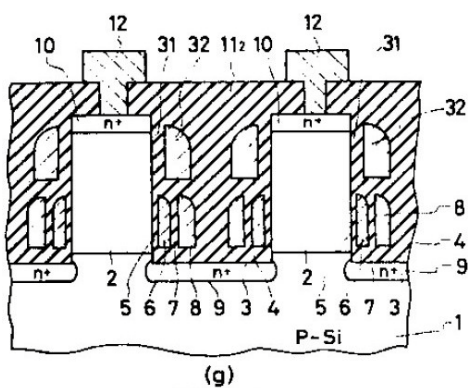
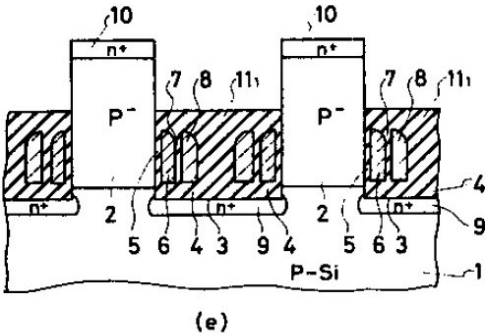


Fig. 8

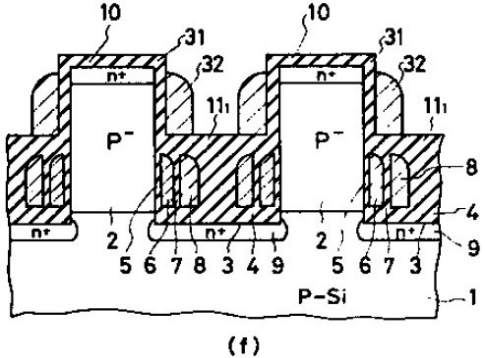


Fig. 8

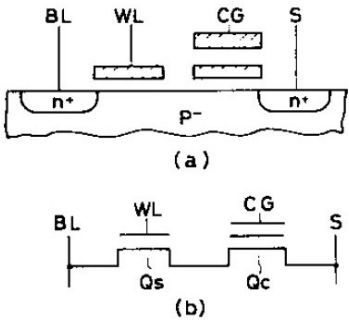


Fig. 9

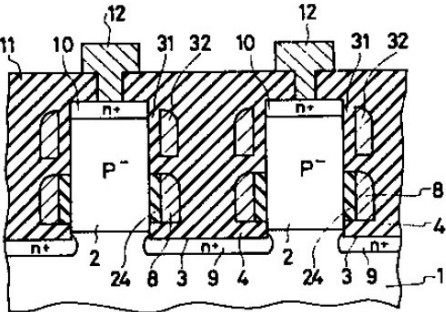


Fig. 10

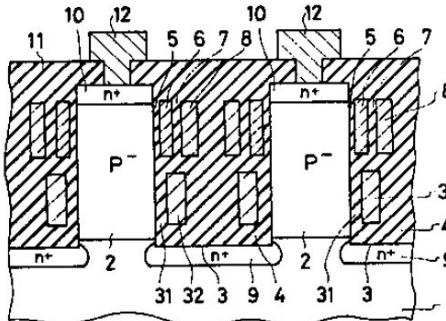


Fig. 11

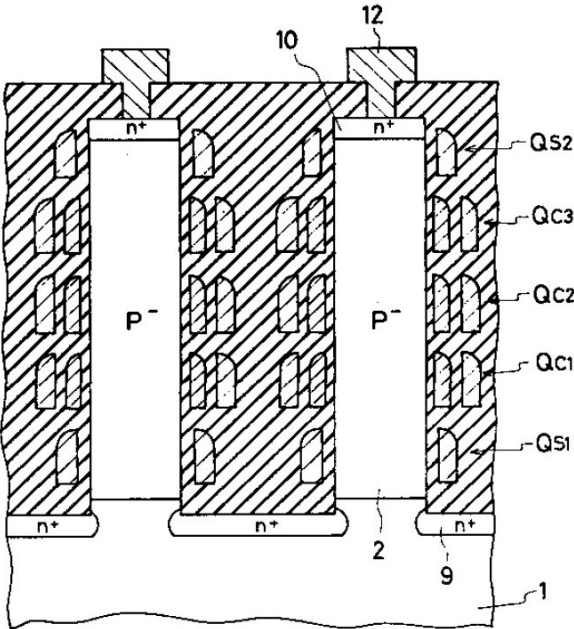
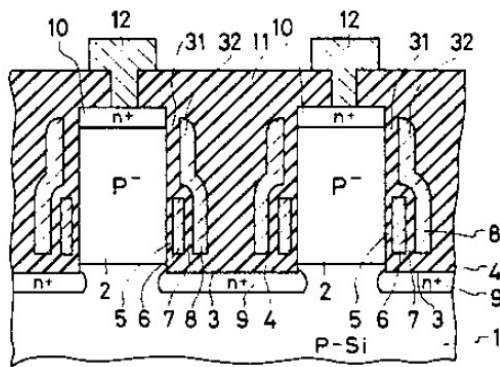
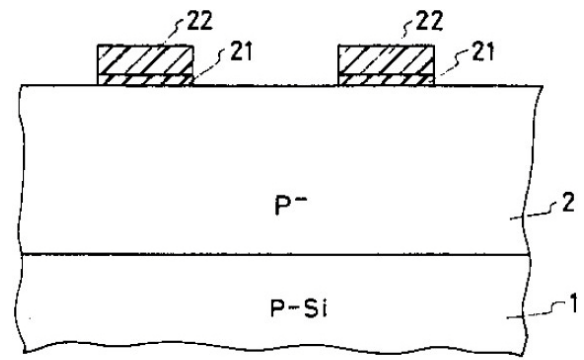


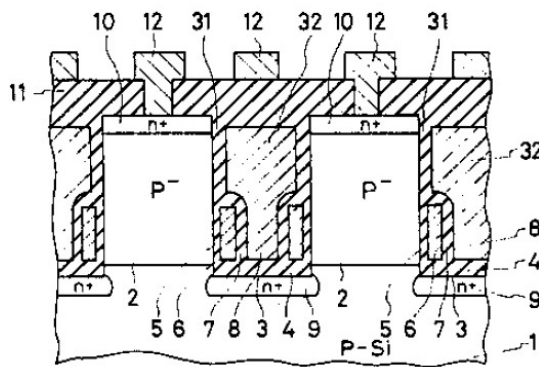
Fig. 12



(a)

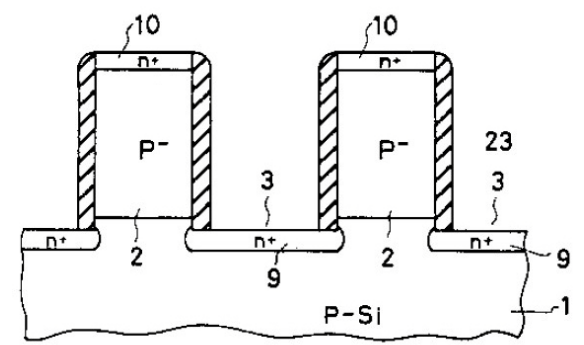


(a)



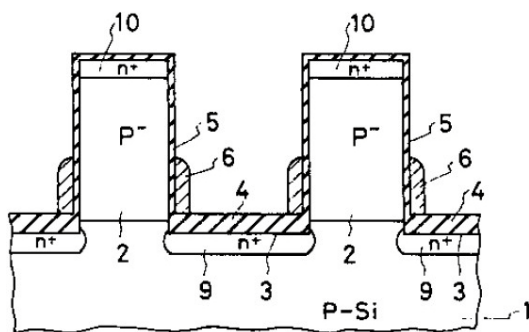
(b)

Fig. 13

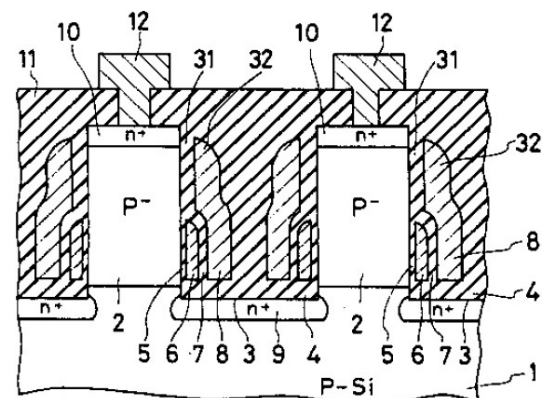


(b)

Fig. 14

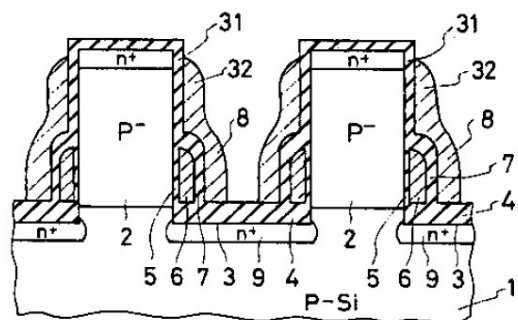


(c)



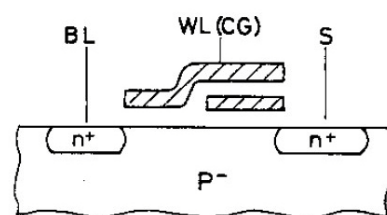
(c)

Fig. 14



(d)

Fig. 14



(e)

Fig. 14

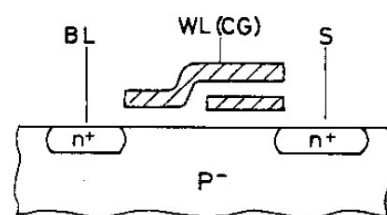


Fig. 15



EXPERT TRANSLATION BUREAU, LLC

Telephone: (312) 759-9999 E-Mail: services@expert-translation.com
18001 North Bay Road, Suite 506, Sunny Isles, FL 33160

www.Expert-Translation.com

CERTIFICATE OF TRANSLATION

March 20, 2023

I, Abe Saburo, hereby certify that

- (a) I am a professional translator and am competent in both Japanese and English languages;*
- (b) I have translated from the original document to the translated document identified below, and to the best of its knowledge, information, and belief the translation of that document is accurate as a publication quality translation; and further,*
- (c) these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.*

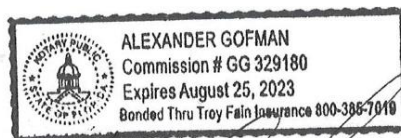
Original Document Identifier: JP1992079369(A)_Japanese.pdf.

Translated Document Identifier: JP1992079369(A)_English.pdf.

Abe Saburo

Abe Saburo

Professional Translator



Alex Gofman
03.20.2023

⑫ 公開特許公報(A)

平4-79369

⑤Int.Cl.⁵

識別記号

庁内整理番号

⑬公開 平成4年(1992)3月12日

H 01 L 27/115

G 11 C 16/02

16/04

H 01 L 29/788

29/792

8831-4M H 01 L 27/10

4 3 4

7514-4M 29/78

3 7 1

9191-5L G 11 C 17/00

3 0 7 D

審査請求 未請求 請求項の数 3 (全13頁)

⑭発明の名称 不揮発性半導体記憶装置

⑮特 願 平2-193153

⑯出 願 平2(1990)7月23日

⑰発 明 者 遠 藤 哲 郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑱出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑲代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 半導体基板と、

この半導体基板上に格子縞状の溝により分離されてマトリクス配列された複数の柱状半導体層と、

各柱状半導体層の上面に形成されたドレイン拡散層、前記溝底部に形成された共通ソース拡散層、および各柱状半導体層の周囲の少くとも一部を取り囲む電荷蓄積層と制御ゲートを有し、制御ゲートが一方向の複数の柱状半導体層について連続的に配設された電氣的書き替え可能な複数のメモリセルと、

前記制御ゲート線と交差する方向の複数のメモリスセルのドレイン拡散層に接続されたビット線と、を備えたことを特徴とする不揮発性半導体記憶装置。

(2) 半導体基板と、

この半導体基板上に格子縞状の溝により分離さ

れてマトリクス配列された複数の柱状半導体層と、

前記溝底部に形成された共通ソース拡散層と、

各柱状半導体層の下部の周囲の少くとも一部を取り囲む電荷蓄積層と制御ゲートを有し、その制御ゲートが一方向の複数の柱状半導体層について連続的に配設された電氣的書き替え可能な複数のメモリ・トランジスタと、

各柱状半導体層の上面に形成されたドレイン拡散層と、各柱状半導体層上部の周囲の少くとも一部を取り囲むゲート電極とを有し、そのゲート電極が前記制御ゲート線と同じ方向に連続的に配設されてワード線となる複数の選択ゲート・トランジスタと、

前記制御ゲート線およびワード線と交差する方向の複数の選択ゲート・トランジスタのドレイン拡散層に接続されたビット線と、を備えたことを特徴とする不揮発性半導体記憶装置。

(3) 半導体基板と、

この半導体基板上に格子縞状の溝により分離さ

れてマトリクス配列された複数の柱状半導体層と、
前記溝底部に形成された共通ソース拡散層と、
各柱状半導体層の下部の周囲の少くとも一部を
取り囲む電荷蓄積層と制御ゲートを有し、その制
御ゲートが一方向の複数の柱状半導体層について
連続的に配設された電氣的書き替え可能な複数の
メモリ・トランジスタと、

各柱状半導体層の上面に形成されたドレイン拡
散層と、各柱状半導体層上部の周囲の少くとも一
部を取り囲むように前記制御ゲートと連続的に形
成されたゲート電極とを有し、そのゲート電極が
一方向の複数の柱状半導体層について連続的に配
設されてワード線となる複数の選択ゲート・トラ
ンジスタと、

前記ワード線と交差する方向の複数の選択ゲー
ト・トランジスタのドレイン拡散層に接続された
ビット線と、
を備えたことを特徴とする不揮発性半導体記憶装
置。

ートに電子が注入される。この電子注入により、
メモリセルのしきい値電圧は正方向に移動する。
浮遊ゲートの電子を放出させるには、制御ゲート
を接地してソース、ドレイン拡散層または基板の
いずれかに正の高電圧を印加する。このとき浮遊
ゲートからトンネル電流によって基板側に電子が
放出される。この電子放出により、メモリセルの
しきい値電圧は負方向に移動する。

以上の動作において、電子注入と放出すなわち
書き込みと消去を効率良く行うためには、浮遊ゲ
ートと制御ゲートおよび基板との間の容量結合の
関係が重要である。すなわち浮遊ゲートと制御ゲ
ート間の容量が大きいほど、制御ゲートの電位を
効果的に浮遊ゲートに伝達することができ、書き
込み、消去が容易になる。しかし近年の半導体技
術の進歩、とくに微細加工技術の進歩により、
EEPROMのメモリセルの小型化と大容量化が
急速に進んでいる。したがってメモリセル面積が
小さくてしかも、浮遊ゲートと制御ゲート間の容
量を如何に大きく確保するかが重要な問題となっ

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、電荷蓄積層と制御ゲートを持つメ
モリ・トランジスタを用いた電氣的書き替え可能
な不揮発性半導体記憶装置 (EEPROM) に関
する。

(従来の技術)

EEPROMのメモリセルとして、ゲート部
に電荷蓄積層と制御ゲートを持ち、トンネル電流
を利用して電荷蓄積層への電荷の注入、電荷蓄積
層からの電荷の放出を行うMOSトランジスタ構
造のものが知られている。このメモリセルでは、
電荷蓄積層の電荷蓄積状態の相違によるしきい値
電圧の相違をデータ“0”、“1”として記憶す
る。例えば電荷蓄積層として浮遊ゲートを用いた
nチャネルのメモリセルの場合、浮遊ゲートに電
子を注入するには、ソース、ドレイン拡散層と基
板を接地して制御ゲートに正の高電圧を印加する。
このとき基板側からトンネル電流によって浮遊ゲ

ている。

浮遊ゲートと制御ゲート間の容量を大きくする
ためには、これらの間のゲート絶縁膜を薄くする
か、その誘電率を大きくするか、または浮遊ゲー
トと制御ゲートの対向面積を大きくすることが必
要である。しかし、ゲート絶縁膜を薄くすること
は、信頼性上限界がある。ゲート絶縁膜の誘電率
を大きくすることは例えば、シリコン酸化膜に代
ってシリコン窒化膜等を用いることが考えられる
が、これも主として信頼性上問題があって実用的
でない。したがって十分な容量を確保するため
には、浮遊ゲートと制御ゲートのオーバーラップ
面積を一定値以上確保することが必要となる。これ
は、メモリセルの面積を小さくしてEEPROMの大
容量化を図る上で障害となる。

また、書き込みおよび消去時にはメモリセルに
高電圧を印加するために、素子分離を確実に
行うことが必要である。したがって通常のLOCOS
法では素子分離領域の面積が大きくなり、これも
EEPROMの大容量化を阻害する原因となっ

いた。

(発明が解決しようとする課題)

以上のようにEEPROMにおいて、メモリセル占有面積を小さくしてしかも、浮遊ゲートと制御ゲート間の容量を十分大きく確保することが難しくなっているという問題があった。

本発明は、この様な問題を解決した、高い書き込み、消去の効率を持つ大容量化EEPROMを提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明に係るEEPROMは、半導体基板に格子縞状の溝により分離されてマトリクス配列された複数の柱状半導体層の側壁を利用してメモリ・トランジスタが構成される。すなわちメモリ・トランジスタは、各柱状半導体層の上面に形成されたドレイン拡散層、前記溝底部に形成された共通ソース拡散層、および各柱状半導体層の周囲の少くとも一部を取り囲む電荷蓄積層と制御ゲートをもって構成され、制御ゲートが一方向の複数の

柱状半導体層について連続的に配設されて制御ゲート線となる。また制御ゲート線と交差する方向の複数のメモリ・トランジスタのドレイン拡散層に接続されたビット線が設けられる。

本発明に係るEEPROMはまた、上述したメモリ・トランジスタの電荷蓄積層と制御ゲートが柱状半導体層の下部に形成され、これに重ねて、柱状半導体層の上部にその周囲の少くとも一部を取り囲むようにゲート電極が形成された選択ゲート・トランジスタが設けられる。

(作用)

本発明によるEEPROMのメモリセルは、柱状半導体層の側壁を利用して、柱状半導体層を取り囲んで形成された電荷蓄積層および制御ゲートを有するから、小さい占有面積で電荷蓄積層と制御ゲートの間の容量を十分大きく確保することができる。また各メモリセルのビット線に繋がるドレイン拡散層は、それぞれ柱状半導体層の上面に形成され、溝によって電氣的に完全に分離されている。さらに素子分離領域が小さくでき、メモ

リセルサイズが小さくなる。したがって、優れた書き込み、消去効率を持つメモリセルを集積した大容量化EEPROMを得ることができる。

(実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図は一実施例のEEPROMのメモリセルアレイを示す平面図であり、第2図(a)(b)はそれぞれ第1図のA-A'およびB-B'断面図である。この実施例では、p型シリコン基板1を用い、この上に格子縞状の溝3により分離された複数の柱状p⁺型シリコン層2がマトリクス配列され、これら各柱状シリコン層2がそれぞれメモリセル領域となっている。すなわち溝3の底部に所定厚みの酸化膜4が埋込み形成され、柱状シリコン層2の周囲を取り囲むように、側壁にトンネル酸化膜5を介して浮遊ゲート6が形成され、さらにその外側に層間絶縁膜7を介して制御ゲート8が形成されている。制御ゲート8は、第1図および第2図(b)に示すように、一方向の複数のメ

モリセルについて連続的に配設されて、制御ゲート線すなわちワード線WL(WL1, WL2, ...)となっている。溝3の底部には、メモリセルの共通ソース拡散層9が形成され、各柱状シリコン層2の上面には各メモリセル毎のドレイン拡散層10が形成されている。このように形成されたメモリセルの基板上はCVD酸化膜11により覆われ、これにコンタクト孔が開けられて、ワード線WLと交差する方向のメモリセルのドレイン拡散層10を共通接続するビット線BL(BL1, BL2, ...)となるA₁配線12が配設されている。制御ゲート線のパターンニングの際に、セルアレイの端部の柱状シリコン層位置にPEPによるマスクを形成しておいてにその表面に制御ゲート線と連続する多結晶シリコン膜からなるコンタクト部14を残し、ここにビット線BLと同時に形成されるA₁膜によってワード線となるA₁配線13をコンタクトさせている。

このような構造を得るための具体的な製造工程例を、第3図(a)~(e)を参照して説明する。第3

図(a)～(e)は、第1図(a)に対応する断面での工程図である。高不純物濃度のp型シリコン基板1に低不純物濃度のp⁻型シリコン層2をエピタキシャル成長させ、その表面にマスク層21を堆積し、公知のPEP工程によりフォトレジスト・パターン22を形成して、これを用いてマスク層21をエッチングする(第3図(a))。そしてマスク層21を用いて、反応性イオンエッチング法によりシリコン層2をエッチングして、基板1に達する深さの格子縞状の溝3を形成する。これにより、シリコン層2は、柱状をなして複数の島に分離される。その後CVD法によりシリコン酸化膜23を堆積し、これを異方性エッチングにより各柱状シリコン層2の側壁に残す。そしてn型不純物をイオン注入によって、各柱状シリコン層2の上面にそれぞれドレイン拡散層10を形成し、溝底部には共通ソース拡散層9を形成する(第3図(b))。

その後、等方性エッチングにより各柱状シリコン層2の周囲の酸化膜23をエッチング除去し

を形成する。そして第2層多結晶シリコン膜を堆積して異方性エッチングによりエッチングすることにより、制御ゲート8を形成する(第3図(d))。このとき制御ゲート8は、柱状シリコン層2の間隔を、第1図の縦方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する制御ゲート線として形成される。制御ゲート線の一端部には、マスクを用いて柱状シリコン層上にA₁配線とのコンタクト部14として多結晶シリコン膜を残しておく。

最後に全面にCVD酸化膜11を堆積し、必要なら平坦化処理を行った後、これにコンタクト孔を開けて、各メモリセルのドレイン拡散層10に接続されるビット線12、および制御ゲート線に接続されるワード線となるA₂配線12、13を形成する(第3図(e))。

この実施例によるEEPROMの動作を簡単に説明する。選択ワード線および選択ビット線に正電位を与えることにより、選択されたメモリセル

た後、必要に応じて斜めイオン注入を利用して各シリコン層2の側壁にチャネルイオン注入を行う。チャネルイオン注入に代って、CVDによりボロンを含む酸化膜を堆積し、その酸化膜からのボロン拡散を利用してよい。そしてCVDシリコン酸化膜4を堆積し、これを等方性エッチングによりエッチングして、溝3の底部に所定厚み埋め込む。その後、熱酸化によって各シリコン層2の周囲に例えば100Å程度のトンネル酸化膜5を形成した後、第1層多結晶シリコン膜を堆積する。この第1層多結晶シリコン膜を異方性エッチングによりエッチングして、各シリコン層2の側壁にのみ残して浮遊ゲート6を形成する(第3図(c))。

次に各柱状シリコン層2の周囲に形成された浮遊ゲート6の表面に層間絶縁膜7を形成する。この層間絶縁膜7はたとえば、ONO膜とする。具体的には浮遊ゲート6の表面を所定厚み酸化した後、プラズマCVDによりシリコン窒化膜を堆積してその表面を熱酸化することにより、ONO膜

でチャネル電流が流れ、ドレイン近傍で生成されたホットエレクトロンが浮遊ゲートに注入される。これにより、そのメモリセルのしきい値は正方向に移動する。これが例えばデータ書き込みである。データ消去は、選択ワード線を0Vとし、選択ビット線に正電位を与えて、浮遊ゲートの電子を基板側にFNトンネリングにより引き抜く。これにより、メモリセルのしきい値は負方向に移動する。データ読出しは、ワード線に所定の読出し電位を与えてセル電流が流れるか否かにより、“0”、“1”を判別する。

データ書き込みと消去の双方に、FNトンネリングを利用することも可能である。この場合書き込みは、選択ワード線に正電位を与え、選択ビット線に0Vを与えて、選択されたメモリセルで基板側から浮遊ゲートに電子をFNトンネリングにより注入する。

この実施例によれば、格子縞状の溝底部を分離領域として、柱状シリコン層が配列され、この柱状シリコン層の周囲を取り囲むように形成さ

れた浮遊ゲートを持つメモリセルが構成されるから、メモリセルの占有面積が小さい、高集積化EEPROMが得られる。しかも、メモリセル占有面積が小さいにも拘らず、浮遊ゲートと制御ゲート間の容量は十分大きく確保することができる。

なお実施例では、マスクを用いることなく各メモリセルの制御ゲートを一方向について連続するように形成した。これは、柱状シリコン層の配置が対称的でない場合に初めて可能である。すなわち、ワード線方向の柱状シリコン層の隣接間隔を、ビット線方向にそれより小さくすることにより、ビット線方向には分離され、ワード線方向に繋がる制御ゲート線がマスクなしで自動的に得られる。これに対して例えば、柱状シリコン層の配置を対称的にした場合には、PEP工程を必要とする。具体的に説明すれば、第2層多結晶シリコン膜を厚く堆積して、PEP工程を経て、制御ゲート線として連続させるべき部分にこれを残すように選択エッチングする。ついで第3層多結晶シリコン膜を堆積して、実施例で説明したと同様に側壁残

しのエッチングを行う。柱状シリコン層の配置が対称的でない場合にも、その配置の間隔によっては実施例のように自動的に連続する制御ゲート線が形成できないこともある。この様な場合にも、上述のようなマスク工程を用いることにより、一方向に連続する制御ゲート線を形成すればよい。

また実施例では、浮遊ゲート構造のメモリセルを用いたが、電荷蓄積層は必ずしも浮遊ゲート構造である必要はなく、電荷蓄積層を多層絶縁膜へのトラップにより実現している例えばMNOS構造の場合にも本発明は有効である。

第4図はその様なMNOS構造のメモリセルを用いた場合の実施例の第2図(a)に対応する断面図である。第2図と対応する部分には同じ符号を付して詳細な説明は省略する。電荷蓄積層となる積層絶縁膜24は、トンネル酸化膜とシリコン窒化膜の積層構造、またはその窒化膜表面にさらに酸化膜を形成した構造とする。

第1図では、柱状シリコン層2が円柱状である場合、すなわち上面が円形である場合を示してい

る。この柱状シリコン層の外形は円柱状でなくてもよく、例えば第5図に示すように、四角形パターンで柱状シリコン層を形成してもよい。ただし、柱状シリコン層の大きさが加工限界近くまで小さい場合には、設計パターンが四角形であっても、コーナーに丸みがつく結果、実質的に第1図と同様のものとなる。

ところで、上記実施例のような1トランジスタ/1セル構成では、メモリ・トランジスタが過消去の状態すなわち、読出し電位が0Vであってしきい値が負の状態になると、非選択でもセル電流が流れることになり、不都合である。これを確実に防止するためには、メモリ・トランジスタのほかに選択ゲート・トランジスタを用いることが望ましい。以下にその様な実施例を説明する。

第6図はそのような実施例のEEPROMの平面図であり、第7図(a)(b)はそれぞれ第6図のA-A'、B-B'断面図である。これらの図で先の実施例と対応する部分には先の実施例と同一符号を付して詳細な説明は省略する。なお第6図

の平面図に於いては、選択ゲート・トランジスタのゲート電極が連続して形成される選択ゲート線は、複雑になるので示していない。

先の実施例と同様に柱状シリコン層2が溝3により分離されて配列形成され、各シリコン層2の上面にドレイン拡散層10が形成され、溝3の底部に共通ソース拡散層9が形成される。メモリセルはこの様な柱状シリコン層2の下部に、先の実施例と同様に、トンネル酸化膜5を介して浮遊ゲート6が形成され、さらに層間絶縁膜7を介して制御ゲート8が形成されて、メモリ・トランジスタが構成される。そして柱状シリコン層2の上部には、メモリ・トランジスタと同様にその周囲を取り囲むように、ゲート酸化膜31を介してゲート電極32が配設されて選択ゲート・トランジスタが構成されている。このトランジスタのゲート電極32は、メモリセルの制御ゲート8と同様に、制御ゲート線と同じ方向には連続して配設されて選択ゲート線となる。この様にメモリ・トランジスタおよび選択ゲート・トランジスタが、溝の内

部に重ねられた状態で埋込み形成される。制御ゲート線は、その一端部を先の実施例と同様にシリコン層表面にコンタクト部14として残し、選択ゲート線も制御ゲートと逆の端部のシリコン層にコンタクト部15を残して、これらにそれぞれワード線WLおよび制御ゲート線CGとなるAl配線13, 16をコンタクトさせている。

第8図(a)～(g)はこの実施例のEEPROMの製造工程を示す第7図(a)に対応する断面図である。p型シリコン基板1にp⁻型シリコン層2をエピタキシャル成長させたウェハを用い、マスクを形成して異方性エッチングにより格子縞状の溝3を形成し、各シリコン層2の上面にドレイン拡散層10、溝底部に共通ソース拡散層9を形成するまでは、先の実施例と同様である(第8図(a)(b))。その後トンネル酸化膜5を形成した後、第1層多結晶シリコン膜を堆積し、これを異方性エッチングによりエッチングして柱状シリコン層2の下部側壁に残して、シリコン層2を取り囲む形の浮遊ゲート5を形成する(第8図(c))。

ゲート8の場合に比べて難しい。なぜなら、メモリ・トランジスタ部は2層ゲートであるのに対し、選択ゲート・トランジスタが単層ゲートであるため、隣接セル間のゲート電極間隔が制御ゲート間隔より広いからである。したがって確実にゲート電極32を連続させるためには、これを二層多結晶シリコン構造として、最初の多結晶シリコン膜についてはマスク工程でゲート電極を繋げる部分にのみ残し、次の多結晶シリコン膜に対して側壁残しの技術を利用すれば良い。

なお、制御ゲート線および選択ゲート線はそれぞれ異なる端部において、柱状シリコン層上面にコンタクト部14, 15が形成されるように、多結晶シリコン膜エッチングに際してマスクを形成しておく。

最後にCVDシリコン酸化膜112を堆積して、コンタクト孔を開けて、Alの蒸着、パターニングにより、ビット線BLとなるAl配線12、制御ゲート線CGとなるAl配線13および、ワード線WLとなるAl配線16を同時に形成する

ついで先の実施例と同様に層間絶縁膜6を形成した後、第2層多結晶シリコン膜を堆積し、これを異方性エッチングによりエッチングして、やはり柱状シリコン層2の下部に制御ゲート8を形成する(第8図(d))。制御ゲート8は、一方向に連続して制御ゲート線となる。そして不要な層間絶縁膜7およびその下のトンネル酸化膜2をエッチング除去した後、CVDシリコン酸化膜111を堆積し、これをエッチングして溝3の途中まで、すなわちメモリセルの浮遊ゲート7および制御ゲート8が隠れるまで埋め込む(第8図(e))。その後露出した柱状シリコン層2の上部に熱酸化により200Å程度のゲート酸化膜31を形成した後、第3層多結晶シリコン膜を堆積し、これを異方性エッチングによりエッチングしてMOSトランジスタのゲート電極32を形成する(第8図(f))。このゲート電極32も制御ゲート線と同じ方向に連続的にパターン形成されて選択ゲート線となる。選択ゲート線もセルフアラインで連続的に形成することができるが、メモリセルの制御

(第8図(g))。

第9図(a)は、この実施例のEEPROMの1メモリセルの要部断面構造を平面構造に置き換えて示し、同図(b)は同じく等価回路を示している。

第9図を用いてこの実施例のEEPROMの動作を簡単に説明すれば、次の通りである。まず書込みにホットキャリア注入を利用する場合の書込みは、選択ワード線WLに十分高い正電位を与え、選択制御ゲート線CGおよび選択ビット線BLに所定の正電位を与える。これにより選択ゲート・トランジスタQsを介して正電位をメモリ・トランジスタQcのドレインに伝達して、メモリ・トランジスタQcでチャネル電流を流して、ホットキャリア注入を行う。消去は、選択制御ゲートCGを0Vとし、ワード線WLおよびビット線BLに高い正電位を与えて、ドレイン側に浮遊ゲートの電子を放出させる。一括消去の場合には、共通ソースに高い正電位を与えてソース側に電子を放出させることもできる。読出し動作は、ワード線WLにより選択ゲート・トランジスタQs

を開き、制御ゲート線CGの読出し電位を与えて、電流の有無により“0”、“1”判別を行う。

電子注入にFNTトンネリングを利用する場合には、選択制御ゲート線CGおよび選択ワード線WLに高い正電位を与え、選択ビット線BLを0Vとして、基板から浮遊ゲートに電子を注入する。

この実施例によれば、選択ゲート・トランジスタがあるため、過消去状態になっても誤動作しないEEPROMが得られる。

ところでこの実施例では、第9図(a)に示したように、選択ゲート・トランジスタ Q_s とメモリ・トランジスタ Q_c の間には拡散層がない。これは、柱状シリコン層の側面に選択的に拡散層を形成することが困難だからである。したがって、第7図(a)(b)の構造において、メモリ・トランジスタのゲート部と選択ゲート・トランジスタのゲート部の間の分離酸化膜はできるだけ薄いことが望ましい。特に、ホットエレクトロン注入を利用する場合には、メモリ・トランジスタのドレイン

方式としてホットエレクトロン注入方式を用いる場合に採用することができる。

第12図は、一つの柱状シリコン層にNAND型メモリセルを構成した実施例である。先の実施例と対応する部分には先の実施例と同一符号を付して詳細な説明は省略する。この実施例では、柱状シリコン層2の最下部に選択ゲート・トランジスタ Q_{s1} を形成し、その上に3個のメモリ・トランジスタ Q_{c1} 、 Q_{c2} 、 Q_{c3} を重ね、更にその上に選択ゲート・トランジスタ Q_{s2} を形成している。この構造は基本的に先に説明した製造工程を繰り返すことにより得られる。

第13図(a)(b)はそれぞれ先の実施例の第7図(a)(b)に対応する断面図である。この実施例では、メモリ・トランジスタの制御ゲート8と選択ゲート・トランジスタのゲート電極32とを連続的に一体的に形成している。

第14図(a)～(e)はこの実施例の製造工程断面図である。先の実施例と同様のウェハにマスクを用いて溝3をエッチング形成し、ソース拡散層

部に十分な“H”レベル電位を伝達するために、この分離酸化膜厚が300～400Å程度であることが必要になる。このような微小間隔は、先の製造工程で説明したCVDによる酸化膜埋込みのみでは実際には困難である。したがってCVD酸化膜埋込みは浮遊ゲート6および制御ゲート8が露出する状態とし、選択ゲート・トランジスタ用のゲート酸化の工程で同時に浮遊ゲート6および制御ゲート8の露出部に薄い酸化膜を形成する方法が望ましい。

第10図は上記実施例におけるメモリ・トランジスタを、第4図の実施例と同様のMNO S構造とした実施例である。

第11図は、上記実施例において、メモリ・トランジスタと選択ゲート・トランジスタを逆にした実施例すなわち、柱状シリコン層2の下部に選択ゲート・トランジスタを形成し、上部にメモリ・トランジスタを形成した実施例の第7図(a)に対応する断面図である。共通ソース側に選択ゲート・トランジスタを設けるこの構造は、書き込み

9およびドレイン拡散層10を形成した後、トンネル酸化膜5を形成し、柱状シリコン層2の下部に浮遊ゲート6を形成するまでの工程は、先の実施例と変わらない(第14図(a)～(c))。その後、浮遊ゲート6上の層間絶縁膜7と選択ゲート・トランジスタ部のゲート酸化膜31を同時に例えば熱酸化によって形成し、第2層多結晶シリコン膜の堆積と異方性エッチングによって、制御ゲート8部とゲート電極32部を連続的に形成する(第14図(d))。そしてCVD酸化膜11によって全面を覆い、これにコンタクト孔を開けてAl配線12を形成する(第14図(e))。

第15図は、この実施例のメモリセルの要部断面構造を、第8図(a)に対応させて示したものである。

この実施例によるEEPROMの動作も先の実施例と基本的には同様である。ただし、メモリ・トランジスタの制御ゲートと選択ゲート・トランジスタのゲート電極が共通であるから、消去動作は、共通ソースSに正電位を与え、ワード線WL

(すなわち制御ゲート線CG)を0Vとして、浮遊ゲートの電子をソース拡散層側に放出させることで行われる。

この実施例によっても、先の実施例と同様の効果が得られる。

第13図および第14図で説明した実施例においても、メモリ・トランジスタとして浮遊ゲート構造に代り、MNOS構造を用いることができることはいうまでもない。

[発明の効果]

以上述べたように本発明によれば、格子縞状溝によって分離された柱状半導体層の側壁を利用して、電荷蓄積層と制御ゲートを持つメモリ・トランジスタを用いたメモリセルを構成することにより、制御ゲートと電荷蓄積層間の容量を十分大きく確保してしかもメモリセル占有面積を小さくして高集積化を図ったEEPROMを得ることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例のEEPROMの平

面図、第12図はNAND構造とした実施例のEEPROMを示す断面図、

第13図(a)(b)はさらに他の実施例のEEPROMを第7図(a)(b)に対応させて示す断面図、

第14図(a)～(e)はその製造工程を示す断面図、

第15図は平面構造に置き換えて示す断面図である。

1…p型シリコン基板、2…p⁻型シリコン層、3…格子縞状溝、4…シリコン酸化膜、5…トンネル酸化膜、6…浮遊ゲート、7…層間絶縁膜、8…制御ゲート、9…共通ソース拡散層、10…ドレイン拡散層、11…CVD酸化膜、12…Al配線(ビット線)、13…Al配線(ワード線)、14, 15…コンタクト部、31…ゲート酸化膜、32…ゲート電極、24…積層絶縁膜。

面図、

第2図(a)(b)は第1図のA-A'およびB-B'断面図、

第3図(a)～(e)は製造工程を示す断面図、

第4図はMNOS構造を用いた実施例のEEPROMを示す断面図、

第5図は他の実施例のEEPROMを示す平面図、

第6図はさらに他の実施例のEEPROMを示す平面図、

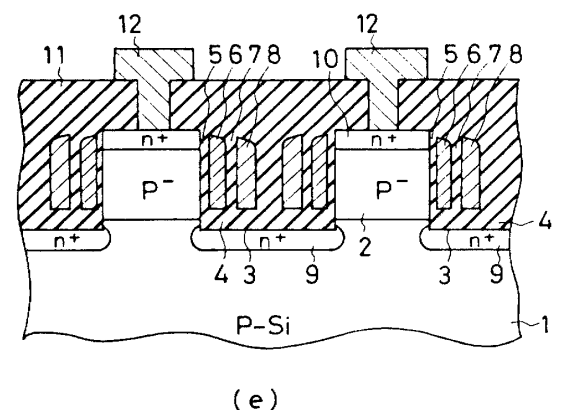
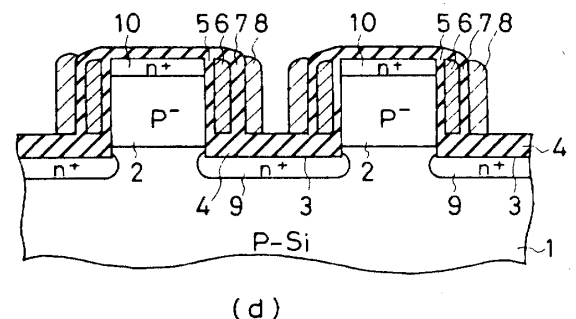
第7図(a)(b)は第6図のA-A'およびB-B'断面図、

第8図(a)～(g)はその製造工程を示す断面図、

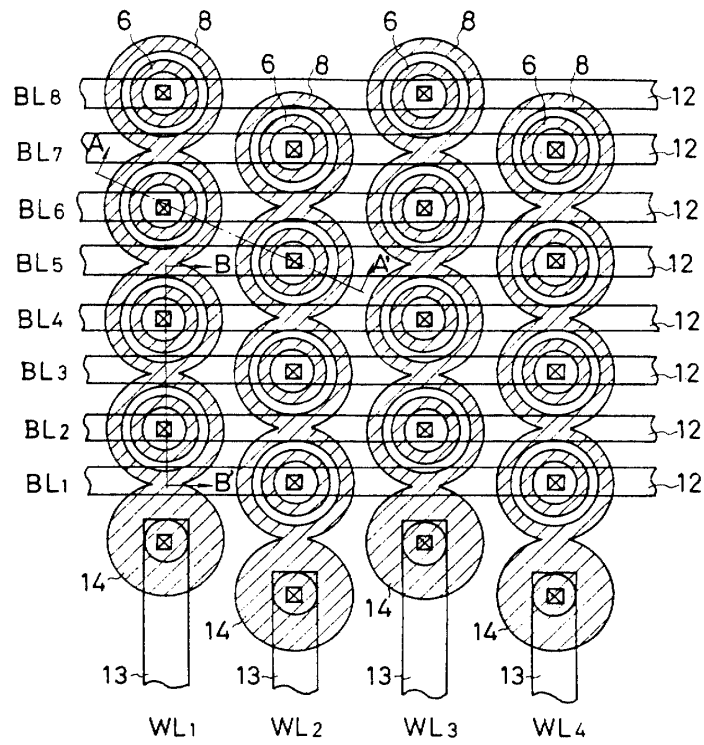
第9図(a)(b)は平面構造に置き換えて示す断面図と等価回路図、

第10図はMNOS構造を用いた実施例のEEPROMを示す断面図、

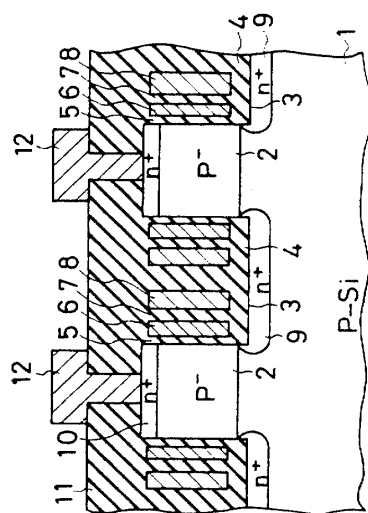
第11図はメモリ・トランジスタと選択ゲート・トランジスタの配置を逆にした実施例のEEPROMを示す断面図、



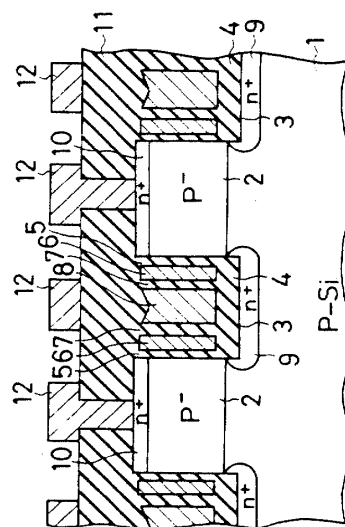
第3図



第 1 図

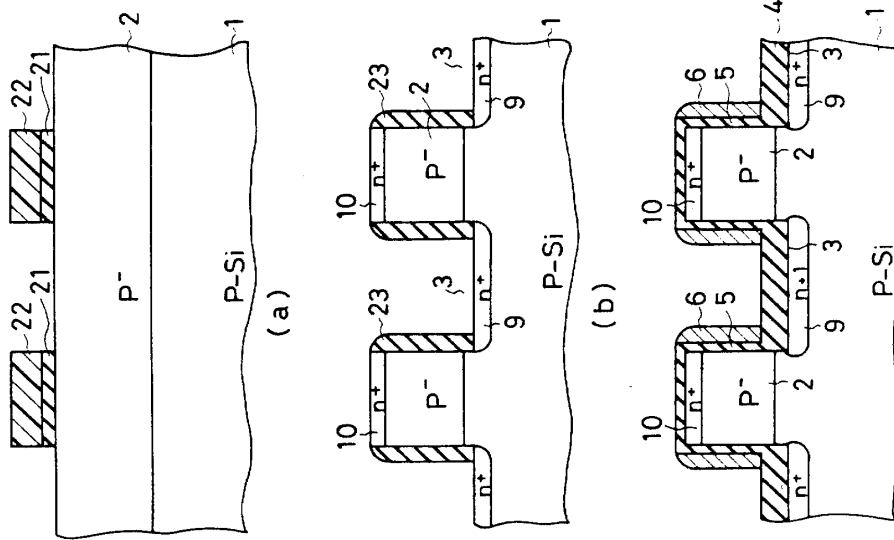


(a)

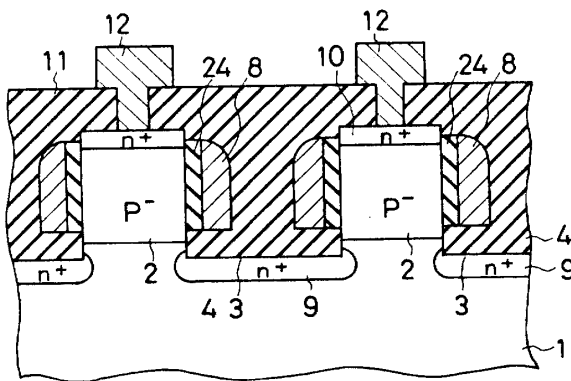


(b)

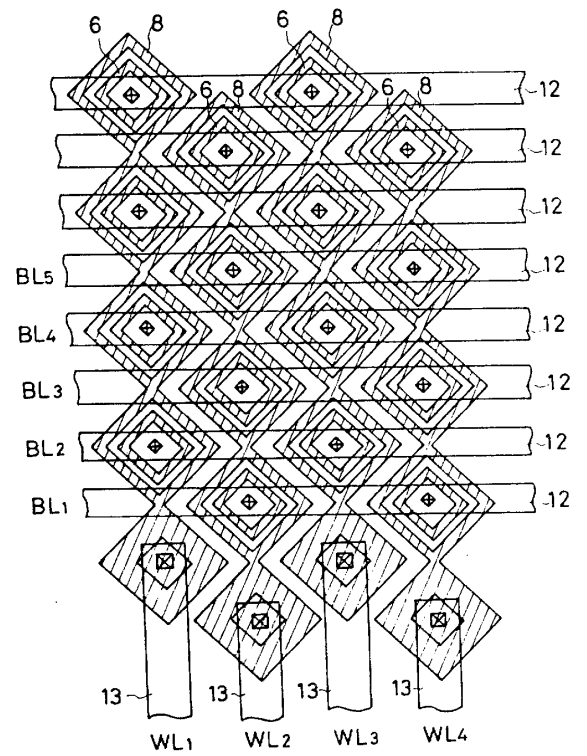
第 2 図



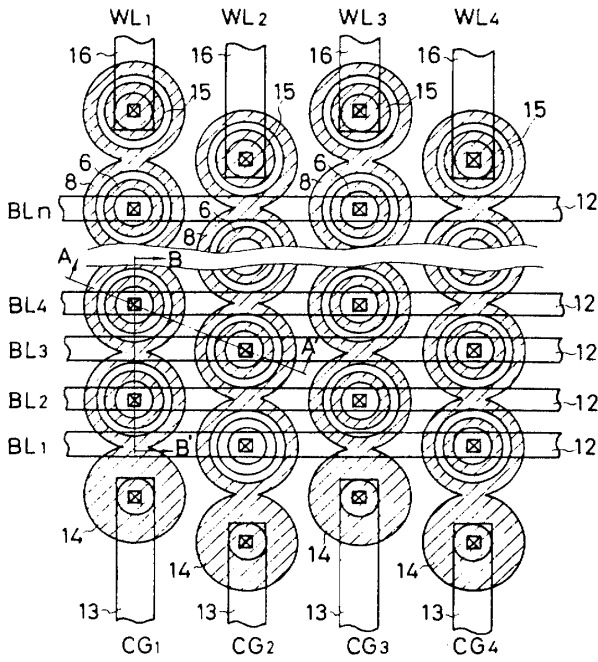
第 3 図



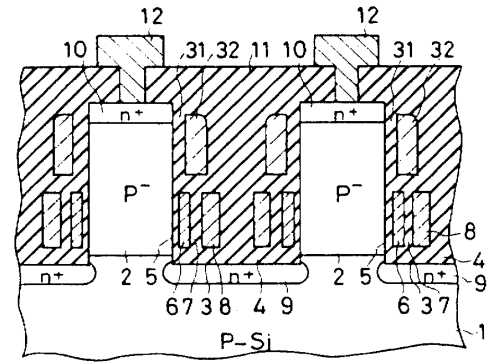
第 4 図



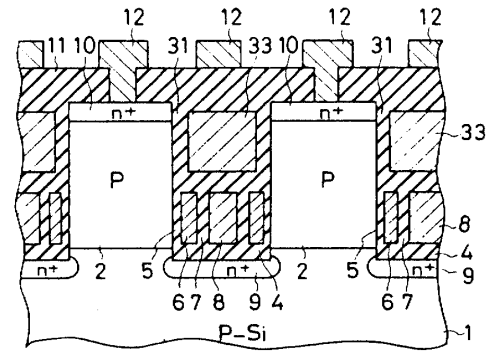
第 5 図



第 6 図

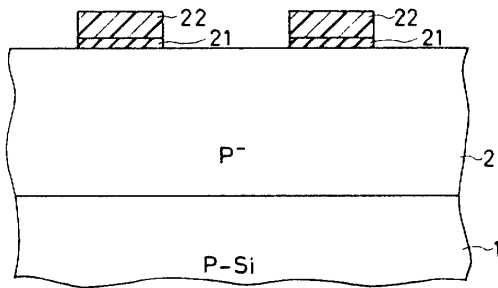


(a)

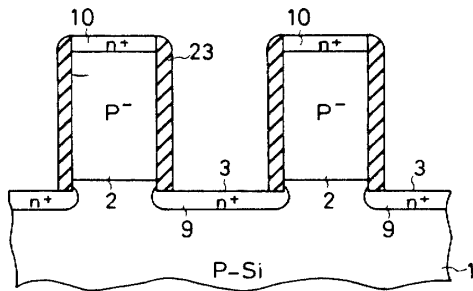


(b)

第 7 図

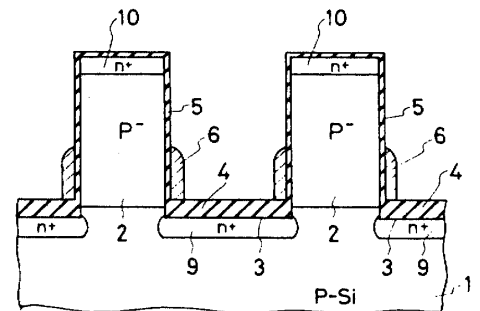


(a)

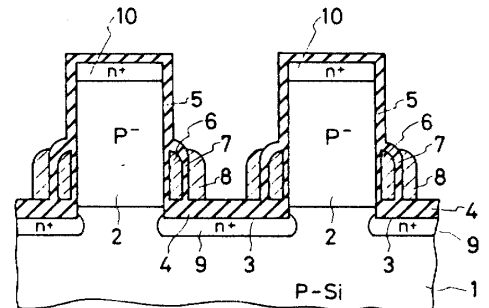


(b)

第 8 図

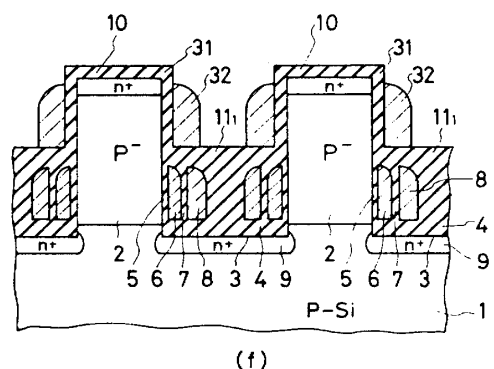
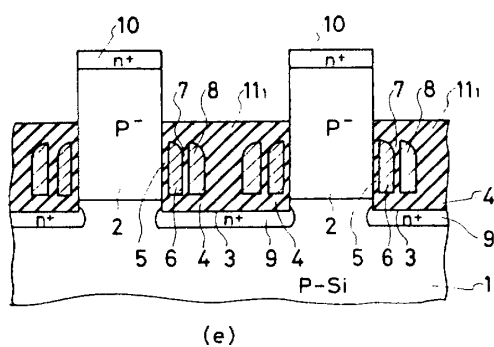


(c)

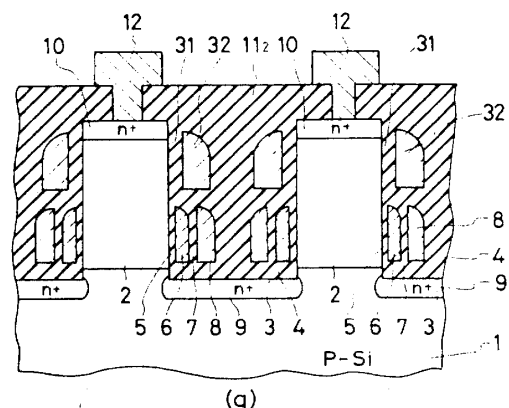


(d)

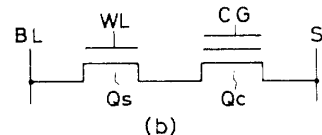
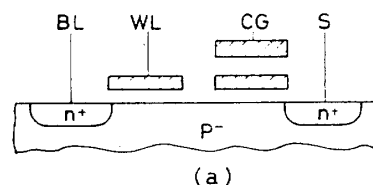
第 8 図



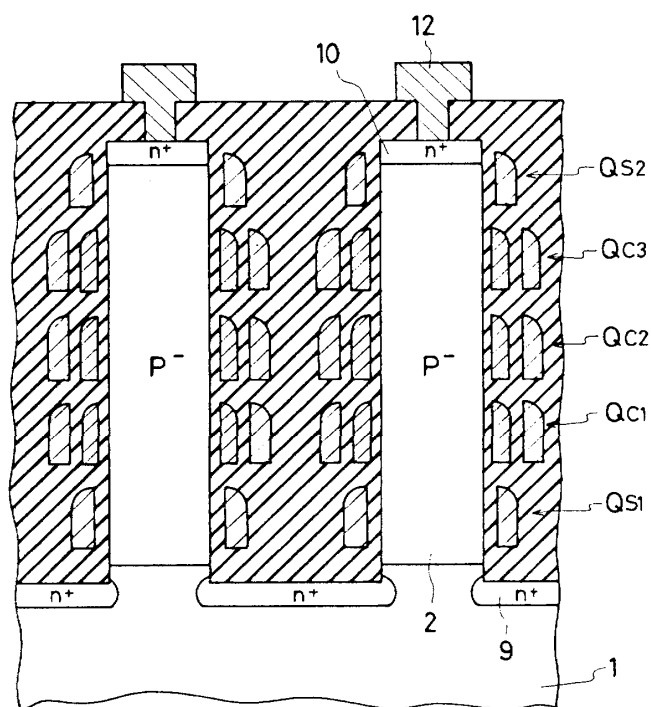
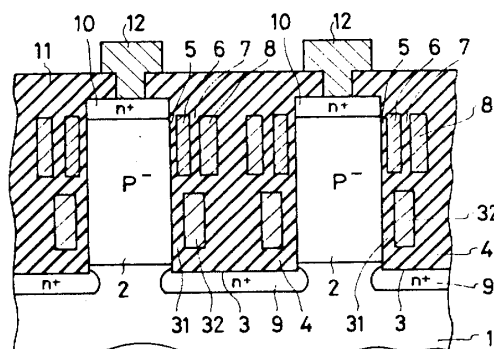
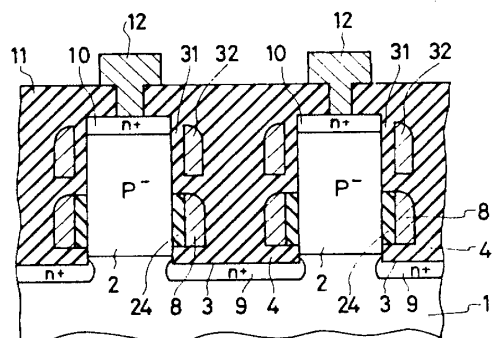
第 8 図

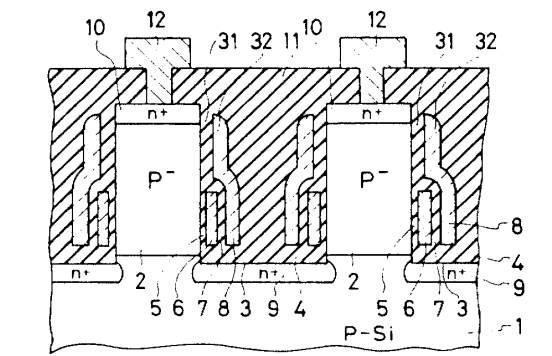


第 8 図

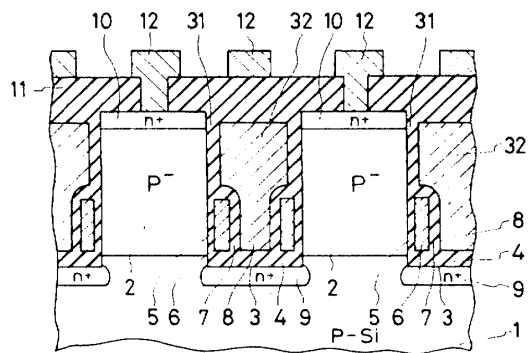


第 9 図



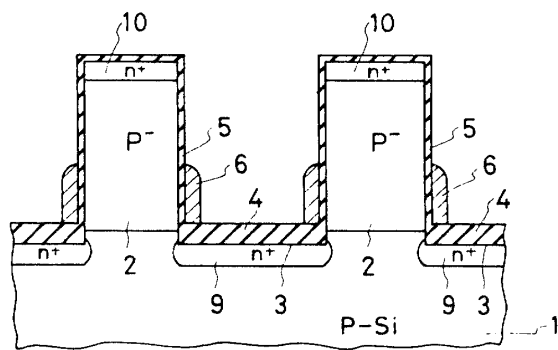


(a)

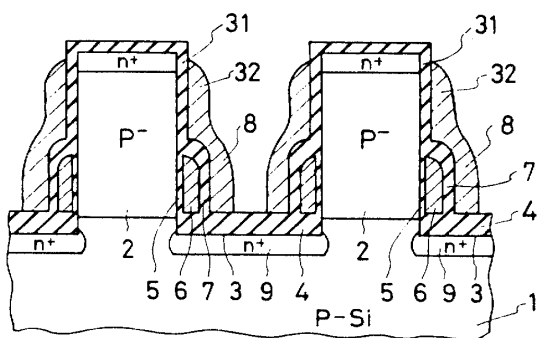


(b)

第 13 図

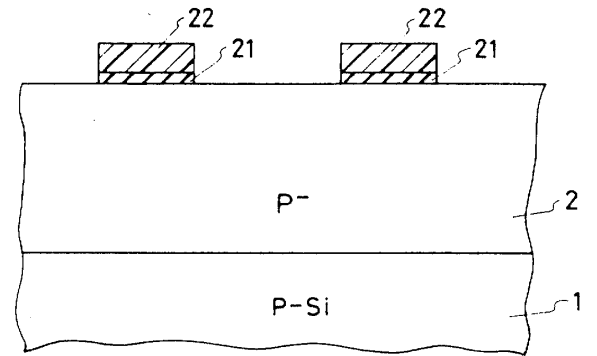


(c)

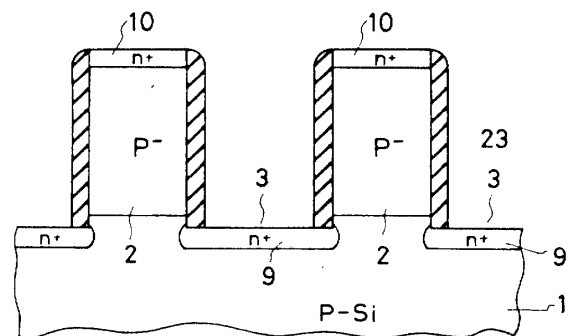


(d)

第 14 図

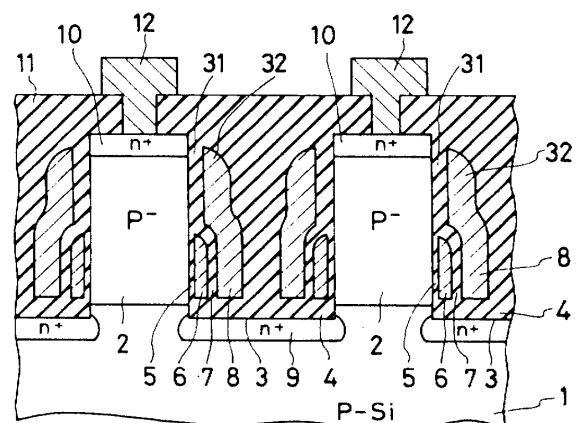


(a)



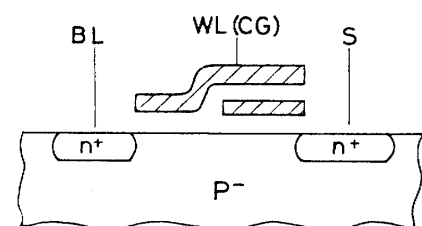
(b)

第 14 図



(e)

第 14 図



第 15 図