UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/759,862	04/13/2010	7697369	Q102115	7014

23373 7590 03/24/2010

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 176 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Atsuo Koshizuka, Tokyo, JAPAN;

PART B - FEE(S) TRANSMITTAL

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, NW
SUITE 800
WASHINGTON, DC 20037

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/759,862	06/07/2007	Atsuo KOSHIZUKA	Q102115	7014

TITLE OF INVENTION: SYSTEM WITH CONTROLLER AND MEMORY

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510.00	$300.00	$0.00	$1,810.00	02/23/2010

EXAMINER	ART UNIT	CLASS-SUBCLASS
Michael Thanh TRAN	2827	365-233100

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) ATTACHED. Use of a Customer Number is required.

2. For printing on the patent front page list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively, 2

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 3

1 Sughrue Mion, PLLC

2

3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

ELPIDA MEMORY, INC. Chuo-ku, Tokyo, Japan

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☑ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

☑ Issue Fee

☑ Publication Fee (No small entity discount permitted)

☐ Advance Order - # of Copies

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

☐ A check is enclosed.

☐ Payment by credit card. Form 1310-2038 is attached.

☑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 19-4880 .

☑ The USPTO is directed and authorized to charge all required fees to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

5. Change in Entity Status (from status indicated above)

☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.

☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

The Director of the USPTO is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above.

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature	/Howard L. Bernstein/	Date	February 23, 2010
Typed or Printed Name	Howard L. Bernstein	Registration No.	25,665

Modified PTOL-85 (Rev. 08/08 Approved for use through 08/31/2010.

Electronic Patent Application Fee Transmittal

Application Number:	11759862
Filing Date:	07-Jun-2007
Title of Invention:	SYSTEM WITH CONTROLLER AND MEMORY
First Named Inventor/Applicant Name:	Atsuo Koshizuka
Filer:	Howard Leonard Bernstein/Sharon Slater
Attorney Docket Number:	Q102115

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl issue fee	1501	1	1510	1510
Publ. Fee- early, voluntary, or normal	1504	1	300	300

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1810**

Electronic Acknowledgement Receipt

EFS ID:	7066996
Application Number:	11759862
International Application Number:	
Confirmation Number:	7014
Title of Invention:	SYSTEM WITH CONTROLLER AND MEMORY
First Named Inventor/Applicant Name:	Atsuo Koshizuka
Customer Number:	23373
Filer:	Howard Leonard Bernstein/Sharon Slater
Filer Authorized By:	Howard Leonard Bernstein
Attorney Docket Number:	Q102115
Receipt Date:	23-FEB-2010
Filing Date:	07-JUN-2007
Time Stamp:	14:05:26
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1810
RAM confirmation Number	407
Deposit Account	194880
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	Q102115_transmittal.pdf	70654 55b75309714a95d39abf746dc86a4b3bdeee8dc8	no	1
Warnings:					
Information:					
2	Fee Worksheet (PTO-875)	fee-info.pdf	32467 71f6042c599cffd18a154a60a3c2df59d069fcc1	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	103121		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

MODIFIED PTO/SB/08a (05-07)
Approved for use through 11/30/2007.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	11/759,862
Confirmation Number	7014
Filing Date	June 7, 2007
First Named Inventor	Atsuo KOSHIZUKA
Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned
Attorney Docket Number	Q102115

U.S. PATENTS

Examiner Initials*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	7362648		2008-04-22	Park et al	

U.S. PATENT APPLICATION PUBLICATIONS

Examiner Initials*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	20060092721		2006-05-04	Lee	

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[5]
	1	2006134334	JP		2006-05-25			N
	2	2006120307	JP		2006-05-11			N
	3	200525765	JP		2005-01-27			N
	4	1494243	EP		2005-01-05			N
	5	200685851	JP		2006-03-30			N

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	T[5]
	1		

EXAMINER SIGNATURE

Examiner Signature	/Michael Tran/	Date Considered	01/27/2009

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. 2 Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). 3 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 5 Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.T./

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

23373 7590 11/23/2009

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
TRAN, MICHAEL THANH	
ART UNIT	PAPER NUMBER
2827	

DATE MAILED: 11/23/2009

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/759,862	06/07/2007	Atsuo Koshizuka	Q102115	7014

TITLE OF INVENTION: SYSTEM WITH CONTROLLER AND MEMORY

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	02/23/2010

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PTOL-85 (Rev. 08/07) Approved for use through 08/31/2010.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

23373 7590 11/23/2009

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/759,862	06/07/2007	Atsuo Koshizuka	Q102115	7014

TITLE OF INVENTION: SYSTEM WITH CONTROLLER AND MEMORY

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	02/23/2010

EXAMINER	ART UNIT	CLASS-SUBCLASS
TRAN, MICHAEL THANH	2827	365-233100

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____

2 _____

3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:

❑ Issue Fee

❑ Publication Fee (No small entity discount permitted)

❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

❑ A check is enclosed.

❑ Payment by credit card. Form PTO-2038 is attached.

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)

❑ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.

❑ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/759,862	06/07/2007	Atsuo Koshizuka	Q102115	7014

23373 7590 11/23/2009

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
TRAN, MICHAEL THANH	
ART UNIT	PAPER NUMBER
2827	

DATE MAILED: 11/23/2009

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 176 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 176 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

PTOL-85 (Rev. 08/07) Approved for use through 08/31/2010.

Notice of Allowability	Application No.	Applicant(s)	
	11/759,862	KOSHIZUKA, ATSUO	
	Examiner	Art Unit	
	MICHAEL T. TRAN	2827	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *amendment filed November 10, 2009*.

2. ☒ The allowed claim(s) is/are *1-27*.

3. ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☐ All b) ☐ Some* c) ☐ None of the:
      1. ☐ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
      1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
   (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Notice of Draftperson's Patent Drawing Review (PTO-948)
3. ☐ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____
4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
5. ☐ Notice of Informal Patent Application
6. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
7. ☐ Examiner's Amendment/Comment
8. ☐ Examiner's Statement of Reasons for Allowance
9. ☐ Other _____.

/MICHAEL T TRAN/
Primary Examiner, Art Unit 2827

DETAILED ACTION

1. In response to the Communication dated November 10, 2009, claims 1-27 are active in this application.

During the Telephonic Interview on September 9, 2009, it was agreed that the Election Requirement should be withdrawn due to the support of the newly added claims by the previously submitted claims. Accordingly, the Election Requirement has been withdrawn.

Specification

2. If there are cross-reference to related applications, please include the respective patent numbers, if known.

Drawings

3. The drawings filed June 7, 2007 have been approved.

Conclusion

4. Any inquiry Concerning this communication or earlier communications from the examiner should be directed to Michael T. Tran whose telephone number is (571) 272-1795.

5. Any inquiry of a general nature or relating to the status of this application should be directed to Group receptionist whose telephone number is (571) 272-1650.

/Michael T. Tran/
Michael T. Tran
Art Unit 2827
November 19, 2009

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 7014

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
11/759,862	06/07/2007	365	2827	Q102115

APPLICANTS
Atsuo Koshizuka, Tokyo, JAPAN;

**** CONTINUING DATA ***************************

**** FOREIGN APPLICATIONS ***************************
JAPAN 2006-160204 06/08/2006

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
06/25/2007

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /MICHAEL THANH TRAN/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		JAPAN	16	13	3

ADDRESS
SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037
UNITED STATES

TITLE
SYSTEM WITH CONTROLLER AND MEMORY

FILING FEE RECEIVED		
2024	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

BIB (Rev. 05/07).

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11759862	KOSHIZUKA, ATSUO
	Examiner	Art Unit
	MICHAEL T TRAN	2827

ORIGINAL		INTERNATIONAL CLASSIFICATION									
CLASS	SUBCLASS	CLAIMED					NON-CLAIMED				
365	233.1	G	1	1	C	7 / 00 (2006.01.01)					

CROSS REFERENCE(S)					
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				
365	230.06				

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1	17	17												
2	2	18	18												
3	3	19	19												
4	4	20	20												
5	5	21	21												
6	6	22	22												
7	7	23	23												
8	8	24	24												
9	9	25	25												
10	10	26	26												
11	11	27	27												
12	12														
13	13														
14	14														
15	15														
16	16														

NONE (Assistant Examiner) (Date)	Total Claims Allowed: 27	
/MICHAEL T TRAN/ Primary Examiner.Art Unit 2827 11/18/2009 (Primary Examiner) (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 10

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11759862	KOSHIZUKA, ATSUO
	Examiner	Art Unit
	MICHAEL T TRAN	2827

SEARCHED			
Class	Subclass	Date	Examiner
365	233.1	11/14/09	mt
365	230.06	11/14/09	mt
	updated	11/14/09	mt

SEARCH NOTES		
Search Notes	Date	Examiner
east	1/28/09	mt
east	11/14/09	mt

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
365	233.1	11/14/09	mt
365	230.06	11/14/09	mt

	/MICHAEL T TRAN/ Primary Examiner.Art Unit 2827

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11759862	KOSHIZUKA, ATSUO
	Examiner	Art Unit
	MICHAEL T TRAN	2827

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	01/28/2009	08/05/2009	11/18/2009						
1	1	✓	✓	=						
2	2	✓	✓	=						
3	3	✓	✓	=						
4	4	✓	✓	=						
5	5	O	=	=						
6	6	✓	✓	=						
7	7	✓	✓	=						
8	8	✓	✓	=						
9	9	✓	✓	=						
10	10	✓	✓	=						
11	11	✓	✓	=						
12	12	✓	✓	=						
13	13	✓	✓	=						
14	14		✓	=						
15	15		O	=						
16	16		✓	=						
17	17		O	=						
18	18		✓	=						
19	19		O	=						
20	20		O	=						
21	21		O	=						
22	22		O	=						
23	23		O	=						
24	24		O	=						
25	25		✓	=						
26	26		✓	=						
27	27		✓	=						

AMENDMENT UNDER 37 C.F.R. § 1.116
EXPEDITED PROCEDURE
GROUP 2827
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q102115
Atsuo KOSHIZUKA	
Appln. No.: 11/759,862	Group Art Unit: 2827
Confirmation No.: 7014	Examiner: Michael Thanh TRAN
Filed: June 7, 2007	

For: SYSTEM WITH CONTROLLER AND MEMORY

AMENDMENT UNDER 37 C.F.R. § 1.116

MAIL STOP AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated August 10, 2009, please amend the above-identified application as follows on the accompanying pages.

TABLE OF CONTENTS

AMENDMENTS TO THE CLAIMS 2

REMARKS 10

Entry Approved
/mt/ 11/18/09

AMENDMENT UNDER 37 C.F.R. § 1.116
EXPEDITED PROCEDURE
GROUP 2827
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Atsuo KOSHIZUKA

Appln. No.: 11/759,862

Confirmation No.: 7014

Filed: June 7, 2007

For: SYSTEM WITH CONTROLLER AND MEMORY

Docket No: Q102115

Group Art Unit: 2827

Examiner: Michael Thanh TRAN

AMENDMENT UNDER 37 C.F.R. § 1.116

MAIL STOP AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated August 10, 2009, please amend the above-identified application as follows on the accompanying pages.

TABLE OF CONTENTS

AMENDMENTS TO THE CLAIMS 2

REMARKS 10

AMENDMENTS TO THE CLAIMS

This listing of claims will replace all prior versions and listings of claims in the application:

LISTING OF CLAIMS:

1. (Currently amended): A system comprising:

a controller adapted to send out a first data strobe signal and a write data signal in a write operation, the write data signal being synchronized with the first data strobe signal, the controller being adapted, in a read operation, to send out a second data strobe signal and to receive a read data signal in synchronization with a read data strobe signal, the read data strobe signal being received by the controller in response to the second data strobe signal; and

a memory adapted to receive the write data signal in synchronization with the first data strobe signal in the write operation, the memory being adapted, in the read operation, to output the read data strobe signal in response to the second data strobe signal and to send the read data signal synchronized with the read data strobe signal.

2. (Original): The system according to claim 1, wherein the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent of and separated from the clock signal.

3. (Original): The system according to claim 2, wherein each of the first and the second data strobe signals and the read data strobe signal has a frequency different from the clock signal.

4. (Original): The system according to claim 2, wherein each of the first and the second data strobe signals and the read data strobe signal is not in synchronization with the clock signal.

5. (Previously presented): A system comprising:

a controller adapted to send out a first data strobe signal and a write data signal in a write operation, the write data signal being synchronized with the first data strobe signal, the controller being adapted, in a read operation, to send out a second data strobe signal and to receive a read data signal in synchronization with a read data strobe signal, the read data strobe signal being received in response to the second data strobe signal; and

a memory adapted to receive the write data signal in synchronization with the first data strobe signal in the write operation, the memory being adapted, in the read operation, to output the read data strobe signal in response to the second data strobe signal and to send the read data signal synchronized with the read data strobe signal,

wherein the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent of and separated from the clock signal,

the memory comprises a low speed memory and a high speed memory,

the clock signal has a clock frequency,

the controller sends out first and second lower data strobe signals as the first and the second data strobe signals for the low speed memory and receives lower read data strobe signal as the read data strobe signal from the low speed memory, each of the first and the second lower data strobe signals and the lower read data strobe signal having a frequency equal to or lower than the clock frequency, and

the controller sends out first and second higher data strobe signals as the first and the second data strobe signals for the high speed memory and receives higher read data strobe signal as the read data strobe signal from the high speed memory, each of the first and the second higher data strobe signals and the higher read data strobe signal having a frequency equal to or 2^n times (n being an integer) as the clock frequency.

6. (Currently amended): A controller for use in a system, the system including a memory,

the controller being adapted to send out a first data strobe signal and a write data signal to the memory in a write operation, the write data signal being synchronized with the first data strobe signal, the controller being adapted to send out a second data strobe signal to the memory and to receive a read data signal in synchronization with a read data strobe signal from the memory in a read operation, the read data strobe signal <u>received by the controller</u> corresponding to the second data strobe signal in the read operation.

7. (Original): The controller according to claim 6, wherein the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent of and separated from the clock signal.

8. (Original): The controller according to claim 7, wherein each of the first and the second data strobe signals and the read data strobe signal has a frequency different from the clock signal.

9. (Original): The controller according to claim 7, wherein each of the first and the second data strobe signals and the read data strobe signal is not in synchronization with the clock signal.

10. (Previously presented): A memory for use in a system, the system including a controller, the controller outputting a data strobe signal in a read operation,

the memory being adapted to send out a read data strobe signal to the controller in response to the data strobe signal and to send out a read data signal synchronized with the read data strobe signal in a read operation.

11. (Original): The memory according to claim 10, the controller being further adapted to send out a clock signal and to send the clock signal to the memory, wherein each of the data strobe signal and the read data strobe signal is independent of and separated from the clock signal.

12. (Original): The memory according to claim 11, wherein each of the data strobe signal and the read data strobe signal has a frequency different from the clock signal.

13. (Original): The memory according to claim 11, wherein each of the data strobe signal and the read data strobe signal is not in synchronization with the clock signal.

14. (Previously presented): The system of claim 1, wherein in the read operation the memory retransmits the second data strobe signal as the read data strobe signal.

15. (Previously presented): The system of claim 14, wherein in the read operation the memory retransmits the second data strobe signal with a time delay as the read data strobe signal.

16. (Previously presented): The controller of claim 6, wherein in the read operation the controller receives a read data signal from the memory which is a retransmission of the second data strobe signal.

17. (Previously presented): The controller of claim 16, wherein in the read operation the controller receives a read data signal from the memory which is a retransmission of the second data strobe signal with a time delay.

18. (Previously presented): The memory of claim 10, wherein in the read operation the read data strobe signal is a retransmission of the received data strobe signal.

19. (Previously presented): The memory of claim 18, wherein in the read operation the read data strobe signal is a retransmission of the received data strobe signal with a time delay.

20. (Withdrawn, currently amended): A system comprising:

a first memory operating at a high data rate;

a second memory operating at a low data rate;

a controller connected to the first and second memories,

wherein the ~~control~~ controller provides first data strobe signals having a frequency higher than a system clock frequency to operate the first memory at the high data rate, and provides second data strobe signals having a frequency lower than the system clock frequency to operate the second memory and a low data rate.

21. (Withdrawn): The system according to claim 20, wherein the first and second memories transfer data synchronously with the first and second data strobe signals, respectively, having frequencies different than the system clock frequency.

22. (Withdrawn): The system according to claim 20, wherein the first memory and the second memory are different from each other within an address space.

23. (Withdrawn): The system according to claim 22, wherein the controller comprises a control circuit which determines whether a signal is designated for the first memory or the second memory.

24. (Withdrawn): The system according to claim 23, wherein the frequency of the first and second data strobe signals is automatically controlled based on the determination of the first and second memories made by the control circuit.

25. (Previously presented): The system according to claim 1, further comprising first and second data strobe lines each provided between the controller and the memory, the first data strobe line transferring the first data strobe signal in the write operation from the controller to the memory, the first data strobe line transferring the second data strobe signal in the read operation

from the controller to the memory, and the second data strobe line transferring the read data strobe signal in the read operation from the memory to the controller.

26. (Previously presented): A controller comprising a first terminal, a second terminal, and a third terminal, the controller being adapted to produce a first data strobe signal at the first terminal and a write data signal at the third terminal in a write operation, the write data signal being synchronized with the first data strobe signal, the controller being adapted to produce a second data strobe signal at the first terminal and to receive a read data signal at the third terminal in synchronization with a read data strobe signal arriving at the second terminal from outside of the controller in a read operation.

27. (Previously presented): The controller according to claim 26, wherein the read data strobe signal is generated outside of the controller in response to the second data strobe signal.

REMARKS

Status of the Application

Claims 1-27 are pending in the application and have been examined. Claim 5 is allowed. Claims 15, 17, and 19 contain allowable subject matter.

With this Amendment, Applicant amends claims 1 and 6 to clarify that the read data strobe signal is received by the controller, and amends claim 20 to correct a typographical error. These amendments are nonlimiting in nature and therefore do not implicate an estoppel.

Summary of Substance of Interview

Applicant thanks the Examiner for the courteous and productive telephonic interview conducted on September 9, 2009. During the interview, the Restriction Requirement withdrawing claims 20-24 issued in the Office Action dated August 10, 2009, was discussed. Applicant's representative explained that limitations similar to the limitations of independent claim 20 were also contained in previously examined claims 5 and 6. The Examiner agreed that these limitations had been previously examined and agreed to withdraw the Restriction Requirement.

The claim rejections over the Jang reference were also discussed. The Examiner agreed that the recited read data strobe signal sent from the memory device to the controller was not disclosed by the cited reference. Further, since the read data strobe signal is not disclosed, the read data signal could not be synchronized to it, as recited in claim. The Examiner agreed to

withdraw the rejections of claims 1-4, 6-14, 16, 18, and 25-27 based on Jang. With regard to claims 20-24, the Examiner stated that Jang did not appear to disclose the limitations related to a first memory operating at a high data rate and a second memory operating at a low data rate, as recited in the claims. The Examiner indicated that further consideration of the reference with regard to these claims would be required.

Restriction Requirement

Applicant respectfully submits that the Restriction Requirement is improper since limitations similar to the limitations of claims 20-24 related to "clocking" and "signals/strobes," alleged by Examiner to be directed to different search classes, are recited in at least claims 5 and 6.

As noted above in the Summary of Substance of Interview, the Examiner has agreed to withdraw the Restriction Requirement of claims 20-24. Applicant notes that the current status of these claims is indicated as "Withdrawn" until the Examiner withdraws the Restriction Requirement.

Claim Rejections

Claims 1-4, 6-14, 16, 18, and 25 --- 35 U.S.C. § 102(e)

Claims 1-4, 6-14, 16, 18, and 25 are rejected under 35 U.S.C. § 102(e) as allegedly being anticipated by U.S. Patent No. 7,237,073 to Jang ("Jang"). As noted above in the Summary of

Substance of Interview, the Examiner has agreed to withdraw this rejection for at least the reasons explained below.

Addressing claim 1, Jang does not disclose or suggest at least "a ***controller*** ... being adapted, in a read operation, to ***send out a second data strobe signal*** and to ***receive a read data signal in synchronization with a read data strobe signal***, the read data strobe signal being received by the controller ***in response to the second data strobe signal***; and ***a memory*** ... being adapted, in the read operation, to ***output the read data strobe signal in response to the second data strobe signal*** and to ***send the read data signal synchronized with the read data strobe signal***," as recited in the claim.

In rejecting claims, the Examiner relies on Figs. 9 and 13 of Jang. Specifically, the Examiner alleges that the signals WDQS and RDQS illustrated in these figures are first and second data strobe signals. However, Applicant respectfully submits that Jang is silent as to sending a ***read data strobe signal*** from a memory device to a controller.

Further, since Jang fails to disclose a read data strobe signal, as recited in claim, Jang is also necessarily silent as to ***sending a read data signal synchronized with the read data strobe signal*** as required by the claim. Therefore, the controller cannot, in a read operation, receive a read data signal in synchronization with the read data strobe signal, as recited in claim. In addition, the timing diagram in Jang's Fig. 13 illustrates that the read data signal is synchronized with the second data strobe signal, *i.e.*, RDQS, as identified by the Examiner, rather than being synchronized with a read data strobe signal, as required by the claim.

Therefore, since Jang fails to disclose or suggest all of the claimed features, Jang does not anticipate claim 1. Accordingly, claim 1 is patentable over Jang. Claims 6 and 10 contain features similar to the features recited in claim 1 and are therefore patentable for similar reasons. Claims 2-4, 7-9, 11-14, 16, 18, and 25 are patentable at least by virtue of their dependencies from one of claims 1, 6, and 10.

With regard to claim 20, Jang fails to disclose or suggest at least "[a] system comprising: a first memory operating at a high data rate; [and] a second memory operating at a low data rate," as recited in claim. Therefore, claim 20 is patentable over Jang for at least these reasons. Claims 21-24 are patentable at least by virtue of their dependence from claim 20.

Claims 26 and 27 --- 35 U.S.C. § 103(a)

Claims 26 and 27 are rejected under 35 U.S.C. § 103(a) as allegedly being unpatentable over Jang. As noted above in the Summary of Substance of Interview, the Examiner has agreed to withdraw this rejection for at least the reasons below.

Claim 26 contains features similar to the features explained above which are recited in claim 1 and is therefore patentable for similar reasons. Claim 27 is patentable at least by virtue of its dependence from claim 26.

Allowable Subject Matter

Applicant thanks the Examiner for the indication that claim 5 is allowed.

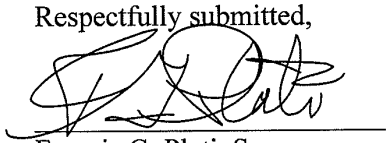
Applicant also thanks the Examiner for the indication that claims 15, 17, and 19 contain allowable subject matter and would be allowable if rewritten in independent form. Applicant respectfully submits that claims 15, 17, and 19 depend from claims 1, 6, and 10 which are patentable as established above. Accordingly, claims 15, 17, and 19 are patentable at least by virtue of their dependencies.

Conclusion

In view of the above, reconsideration and allowance of this application are now believed to be in order, and such actions are hereby solicited. If any points remain in issue which the Examiner feels may be best resolved through a personal or telephone interview, the Examiner is kindly requested to contact the undersigned attorney at the telephone number listed below.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,



Francis G. Plati, Sr.
Registration No. 59,153

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: November 10, 2009

Electronic Acknowledgement Receipt

EFS ID:	6427405
Application Number:	11759862
International Application Number:	
Confirmation Number:	7014
Title of Invention:	SYSTEM WITH CONTROLLER AND MEMORY
First Named Inventor/Applicant Name:	Atsuo Koshizuka
Customer Number:	23373
Filer:	Howard Leonard Bernstein/Jessica Wilkins
Filer Authorized By:	Howard Leonard Bernstein
Attorney Docket Number:	Q102115
Receipt Date:	10-NOV-2009
Filing Date:	07-JUN-2007
Time Stamp:	16:01:01
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		116Amendment.pdf	483212 84133dd0f38478df13c4425301bc1b3dae60eea5	yes	14

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Amendment After Final	1	1
	Claims	2	9
	Applicant Arguments/Remarks Made in an Amendment	10	14
Warnings:			
Information:			
	Total Files Size (in bytes):	483212	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
11/759,862	06/07/2007	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT	11/10/2009	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 27	Minus	** 27	= 0	X $ =		OR	X $52=	0
	Independent (37 CFR 1.16(h))	* 6	Minus	***6	= 0	X $ =		OR	X $220=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/RENEE HAWKINS/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/759,862	06/07/2007	Atsuo Koshizuka	Q102115	7014

23373 7590 09/11/2009

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
TRAN, MICHAEL THANH	
ART UNIT	**PAPER NUMBER**
2827	

MAIL DATE	DELIVERY MODE
09/11/2009	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Interview Summary	Application No.	Applicant(s)	
	11/759,862	KOSHIZUKA, ATSUO	
	Examiner	Art Unit	
	MICHAEL T. TRAN	2827	

All participants (applicant, applicant's representative, PTO personnel):

(1) *MICHAEL T. TRAN*. (3)_____.

(2) *Francis Plati [Reg. 59,153]*. (4)_____.

Date of Interview: *09 September 2009*.

Type: a)☒ Telephonic b)☐ Video Conference
c)☐ Personal [copy given to: 1)☐ applicant 2)☐ applicant's representative]

Exhibit shown or demonstration conducted: d)☐ Yes e)☐ No.
If Yes, brief description: _____.

Claim(s) discussed: *all*.

Identification of prior art discussed: *Jang [U.S. Patent # 7,237,073]*.

Agreement with respect to the claims f)☒ was reached. g)☐ was not reached. h)☐ N/A.

Substance of Interview including description of the general nature of what was agreed to if an agreement was reached, or any other comments: *It was agreed that limitations of newly added claims are supported in examined claims. Therefore, the restriction requirement to claims 20-24 has been withdrawn. It was also agreed that the Jang reference lacks support for the claimed synchronization of the data strobe and read/write strobes during read/write operations*.

(A fuller description, if necessary, and a copy of the amendments which the examiner agreed would render the claims allowable, if available, must be attached. Also, where no copy of the amendments that would render the claims allowable is available, a summary thereof must be attached.)

THE FORMAL WRITTEN REPLY TO THE LAST OFFICE ACTION MUST INCLUDE THE SUBSTANCE OF THE INTERVIEW. (See MPEP Section 713.04). If a reply to the last Office action has already been filed, APPLICANT IS GIVEN A NON-EXTENDABLE PERIOD OF THE LONGER OF ONE MONTH OR THIRTY DAYS FROM THIS INTERVIEW DATE, OR THE MAILING DATE OF THIS INTERVIEW SUMMARY FORM, WHICHEVER IS LATER, TO FILE A STATEMENT OF THE SUBSTANCE OF THE INTERVIEW. See Summary of Record of Interview requirements on reverse side or on attached sheet.

/MICHAEL T TRAN/ Primary Examiner, Art Unit 2827	

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/759,862	06/07/2007	Atsuo Koshizuka	Q102115	7014

23373 7590 08/10/2009

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
TRAN, MICHAEL THANH	
ART UNIT	**PAPER NUMBER**
2827	

MAIL DATE	DELIVERY MODE
08/10/2009	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No.	Applicant(s)	
	11/759,862	KOSHIZUKA, ATSUO	
	Examiner	Art Unit	
	MICHAEL T. TRAN	2827	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *29 April 2009*.

2a)☒ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-27* is/are pending in the application.

4a) Of the above claim(s) *20-24* is/are withdrawn from consideration.

5)☒ Claim(s) *5* is/are allowed.

6)☒ Claim(s) *1-4,6-14,16,18 and 25-27* is/are rejected.

7)☒ Claim(s) *15,17 and 19* is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☐ All b)☐ Some * c)☐ None of:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

1. In response to the Communications dated April 29, 2009, claims 1-27 are active in this application.

Newly submitted claims 20-24 are directed to an invention that is independent or distinct from the invention originally claimed for the following reasons: claims 20-24 are directed towards clocking, classified in class 365, subclass 233.1; whereas, the other claims are directed towards signals/strobe, classified in class 365, subclass 193.

Since applicant has received an action on the merits for the originally presented invention, this invention has been constructively elected by original presentation for prosecution on the merits. Accordingly, claims 20-24 have been withdrawn from consideration as being directed to a non-elected invention. See 37 CFR 1.142(b) and MPEP § 821.03.

Applicant is reminded that upon the **cancellation** of claims to a **non-elected invention**, the inventorship must be amended in compliance with 37 C.F.R. § 1.48(b) if one or more of the currently named inventors is no longer an inventor of at least one claim remaining in the application. Any amendment of inventorship must be accompanied by a diligently-filed petition under 37 C.F.R. § 1.48(b) and by the fee required under 37 C.F.R. § 1.17(h).

Specification

2. If there are cross-reference to related applications, please include the respective patent numbers, if known.

Claim Objections

3. Claims 15, 17, 19 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

Claim Rejections- 35 U.S.C. § 102

4. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless -

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

(e) the invention was described in-
(1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effect under this subsection of a national application published under section 122(b) only if the international application designating the United States was published under Article 21(2)(a) of such treaty in the English language; or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that a patent shall not be deemed filed in the United States for the purposes of this subsection based on the filing of an international application filed under the treaty defined in section 351(a).

5. Claims 1-4, 14 and 25 are rejected under 35 U.S.C 102(e) as being anticipated by Jang [U.S. Patent # 7,237,073].

With respect to claim 1, Jang discloses, in the figures, a system comprising: a controller [400 of figure 9] adapted to send out a first data strobe signal [WDQSO] and a write data signal [DQ] in a write operation, the write data signal being synchronized with the first data strobe signal [see figure 13], the controller being adapted, in a read operation, to send out a second data strobe signal [RDQS0] and to receive a read data signal [DQ] in synchronization with a read data strobe signal, the read data strobe signal corresponding to the second data strobe signal; and a memory [300] adapted to receive the write data signal in synchronization with the first data strobe signal in the write operation, the memory being adapted, in the read operation, to output the read data strobe signal in response to the second data strobe signal and to send out the read data signal synchronized with the read data strobe signal [see figures 9 and 13].

With respect to claim 2, Jang discloses, in the figures, the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent of and separated from the clock signal. See figures 9 and 13.

With respect to claim 3, Jang discloses, in the figures, each of the first and the second data strobe signals and the read data strobe signal has a frequency different from the clock signal. See figures 9 and 13.

With respect to claim 4, Jang discloses, in the figures, each of the first and the second data strobe signals and the read data strobe signal is not in synchronization with the clock signal. See figures 9 and 13.

With respect to claim 14, Jang discloses, in the figures, in the read operation the memory retransmits the second data strobe signal as the read data strobe signal. See figure 11 at nodes 311, 321, 331, 341 – these signals are bi-directional.

With respect to claim 25, Jang discloses, in the figures, first and second data strobe lines [any of 311/312, 331/332] each provided between the controller and the memory, the first data strobe line transferring the first data strobe signal in the write operation from the controller to the memory, the first data strobe line transferring the second data strobe signal in the read operation from the controller to the memory, and the second data strobe line transferring the read data strobe signal in the read operation from the memory to the controller. See figure 11 at nodes 311, 321, 331, 341 – these signals are bi-directional.

6. Claims 6-9 and 16 are rejected under 35 U.S.C 102(e) as being anticipated by Jang [U.S. Patent # 7,237,073].

With respect to claim 6, Jang discloses, in the figures, a controller for use. in a system, the system including a memory, the controller [400 of figure 9] being adapted to send out a first data strobe signal [WDQS] and a write data signal [DQ] to the memory in a write operation, the write data signal being synchronized with the first data strobe signal [see figure 13], the controller being adapted to send out a second data strobe signal [RDQS] to the memory and to receive a read data signal [DQ] in synchronization with a read data strobe signal from the memory in a read operation [see figure 13], the read data strobe signal corresponding to the second data strobe signal in the read operation [see figure 13].

With respect to claim 7, Jang discloses, in the figures, the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent of and separated from the clock signal. See figure 13.

With respect to claim 8, Jang discloses, in the figures, each of the first and the second data strobe signals and the read data strobe signal has a frequency different from the clock signal. See figure 13.

With respect to claim 9, Jang discloses, in the figures, each of the first and the second data strobe signals and the read data strobe signal is not in synchronization with the clock signal. See figure 13.

With respect to claim 16, Jang discloses, in the figures, wherein in the read operation the controller receives a read data signal from the memory which is a retransmission of the second data strobe signal. See figure 11 at nodes 311, 321, 331, 341 – these signals are bi-directional.

7. Claims 10-13 and 18 are rejected under 35 U.S.C 102(e) as being anticipated by Jang

[U.S. Patent # 7,237,073].

With respect to claim 10, Jang discloses, in the figures, the controller [400 of figure 9] outputting a data strobe signal [RDQS/WDQS] in a read operation, the memory being adapted to send out a read data strobe signal to the controller in response to the second data strobe signal and to send out a read data signal synchronized with the read data strobe signal in a read operation. See figure 13.

With respect to claim 11, Jang discloses, in the figures, the controller being further adapted to send out a clock signal and to send the clock signal to the memory, wherein each of the data strobe signal and the read data strobe signal is independent of and separated from the clock signal. See figure 13.

With respect to claim 12, Jang discloses, in the figures, each of the data strobe signal and the read data strobe signal has a frequency different from the clock signal. See figure 13.

With respect to claim 13, Jang discloses, in the figures, each of the data strobe signal and the read data strobe signal is not in synchronization with the clock signal. See figure 13.

With respect to claim 18, Jang discloses, in the figures, wherein in the read operation the read data strobe signal is a retransmission of the received data strobe signal. See figure 11 at nodes 311, 321, 331, 341 – these signals are bi-directional.

Claim Rejections - 35 U.S.C. § 103

8. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

9. Claims 26 and 27 are rejected under 35 U.S.C. § 103(a) as being unpatentable over Jang [U.S. Patent # 7,237,073].

Jang discloses, in the figures, a controller comprising a first terminal [311/312], a second terminal [331/332], and a third terminal [any DQ, DM OR DATA INT terminals], the controller being adapted to produce a first data strobe signal [WDQSO] at the first terminal and a write data signal [DQ] at the third terminal in a write operation, the write data signal being synchronized with the first data strobe signal [see timing figure], the controller being adapted to produce a second data strobe signal [RDQSO] and to receive a read data signal [DQ] at the third terminal in synchronization with a read data strobe signal [RDQSO] arriving at the second terminal from outside of the controller in a read operation.

Jang discloses all of the above mentioned but is silent about the fact that the first terminal and second terminal convey both write and read signals. However, it is noted that it has been held that rearranging parts of an invention involves only routine skill in the art. In re Japikse, 86 USPQ 70. Further, it has been held that omission of an element and its function in a combination where the remaining elements perform the same functions as before involves only routine skill in the art. In re Karlson, 136 USPQ 184. Furthemore, it has been held that where the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable ranges involves only routine skill in the art. In re Aller, 105 USPQ.

With respect to claim 27, Jang discloses, in the figures, the read data strobe signal is generated outside of the controller in response to the second data strobe signal. See figures 11 and 13 at nodes 311, 321, 331, 341 – these signals are bi-directional.

Remarks

10. Applicant's arguments filed April 29, 2009 have been fully considered but they are not persuasive.

Applicant argued that the Jang reference does not disclose a controller which sends out a second data strobe signal and receives a read data strobe signal in respond to the second data strobe signal. However, the claimed recitation does not recite such limitation. In claim 1, as amended, recites that the "read data strobe signal being received". Broadly interpreting this recitation, the read data strobe signal is being received by any element within the claimed system. Therefore, the figures, especially figure 11, clearly shows that such claimed strobe signal is being received by one of the elements [for example, at nodes 311, 321, 331 or 341].

THIS ACTION IS MADE FINAL. Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for response to this final action is set to expire THREE MONTHS from the date of this action. In the event a first response is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event will the statutory period for response expire later than SIX MONTHS from the date of this final action.

Allowable Subject Matter

11. Claim 5 is allowable over the prior art of records.

12. The following is an Examiner's statement of reasons for the indication of allowable subject matter: the prior art of records does not show (in addition to the other elements in the claim) the following:

- the memory comprises a low speed memory and a high speed memory; the clock signal has a clock frequency; the controller sends out first and second lower data strobe signals as the first and the second data strobe signals for the low speed memory and receives lower read data strobe signal as the read data strobe signal from the low speed memory, each of the first and the second lower data strobe signals and the lower read data strobe signal having a frequency equal to or lower than the clock frequency; and the controller sends out first and second higher data strobe signals as the first and the second data strobe signals for the high speed memory and

receives higher read data strobe signal as the read data strobe signal from the high speed memory, each of the first and the second higher data strobe signals and the higher read data strobe signal having a frequency equal to or 2^n times (n being an integer) as the clock frequency.

- wherein in the read operation the memory retransmits the second data strobe signal with a time delay as the read data strobe signal.
- wherein in the read operation the controller receives a read data signal from the memory which is a retransmission of the second data strobe signal with a time delay.
- wherein in the read operation the read data strobe signal is a retransmission of the received data strobe signal with a time delay.

Conclusion

13. When responding to the Office action, Applicants are advised to provide the Examiner with line and page numbers of the application and/or references cited to assist the Examiner in the prosecution of this case.

14. .Any inquiry concerning this communication or earlier communications from the Examiner should be directed to Michael T. Tran whose telephone number is (571) 272-1795. The Examiner can normally be reached on Monday-Thursday from 7:30-6:00 P.M.

15. .Any inquiry of a general nature or relating to the status of this application. should be directed to the Group receptionist whose telephone number is (571) 272-1650.

/Michael T. Tran/
Michael T. Tran
Art Unit 2827
August 7, 2009

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11759862	KOSHIZUKA, ATSUO
	Examiner	Art Unit
	MICHAEL T TRAN	2827

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	01/28/2009	08/05/2009							
	1	✓	✓							
	2	✓	✓							
	3	✓	✓							
	4	✓	✓							
	5	O	=							
	6	✓	✓							
	7	✓	✓							
	8	✓	✓							
	9	✓	✓							
	10	✓	✓							
	11	✓	✓							
	12	✓	✓							
	13	✓	✓							
	14		✓							
	15		O							
	16		✓							
	17		O							
	18		✓							
	19		O							
	20		O							
	21		O							
	22		O							
	23		O							
	24		O							
	25		✓							
	26		✓							
	27		✓							

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q102115
Atsuo KOSHIZUKA	
Appln. No.: 11/759,862	Group Art Unit: 2827
Confirmation No.: 7014	Examiner: Michael Thanh TRAN
Filed: June 7, 2007	

For: SYSTEM WITH CONTROLLER AND MEMORY

AMENDMENT UNDER 37 C.F.R. § 1.111

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated January 30, 2009, please amend the above-identified application as follows on the accompanying pages.

TABLE OF CONTENTS

AMENDMENTS TO THE CLAIMS 2

REMARKS 9

AMENDMENTS TO THE CLAIMS

This listing of claims will replace all prior versions and listings of claims in the application:

LISTING OF CLAIMS:

1. (Currently amended): A system comprising:

a controller adapted to send out a first data strobe signal and a write data signal in a write operation, the write data signal being synchronized with the first data strobe signal, the controller being adapted, in a read operation, to send out a second data strobe signal and to receive a read data signal in synchronization with a read data strobe signal, the read data strobe signal ~~corresponding~~ being received in response to the second data strobe signal; and

a memory adapted to receive the write data signal in synchronization with the first data strobe signal in the write operation, the memory being adapted, in the read operation, to output the read data strobe signal in response to the second data strobe signal and to send ~~out~~ the read data signal synchronized with the read data strobe signal.

2. (Original): The system according to claim 1, wherein the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent of and separated from the clock signal.

3. (Original): The system according to claim 2, wherein each of the first and the second data strobe signals and the read data strobe signal has a frequency different from the clock signal.

4. (Original): The system according to claim 2, wherein each of the first and the second data strobe signals and the read data strobe signal is not in synchronization with the clock signal.

5. (Currently amended): ~~The~~ A system ~~according to claim 2, wherein~~ comprising:

a controller adapted to send out a first data strobe signal and a write data signal in a write operation, the write data signal being synchronized with the first data strobe signal, the controller being adapted, in a read operation, to send out a second data strobe signal and to receive a read data signal in synchronization with a read data strobe signal, the read data strobe signal being received in response to the second data strobe signal; and

a memory adapted to receive the write data signal in synchronization with the first data strobe signal in the write operation, the memory being adapted, in the read operation, to output the read data strobe signal in response to the second data strobe signal and to send the read data signal synchronized with the read data strobe signal,

wherein the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent of and separated from the clock signal,

the memory comprises a low speed memory and a high speed memory;

the clock signal has a clock frequency;

the controller sends out first and second lower data strobe signals as the first and the second data strobe signals for the low speed memory and receives lower read data strobe signal as the read data strobe signal from the low speed memory, each of the first and the second lower

data strobe signals and the lower read data strobe signal having a frequency equal to or lower than the clock frequency~~;~~, and

the controller sends out first and second higher data strobe signals as the first and the second data strobe signals for the high speed memory and receives higher read data strobe signal as the read data strobe signal from the high speed memory, each of the first and the second higher data strobe signals and the higher read data strobe signal having a frequency equal to or 2^n times (n being an integer) as the clock frequency.

6. (Original): A controller for use in a system, the system including a memory,

the controller being adapted to send out a first data strobe signal and a write data signal to the memory in a write operation, the write data signal being synchronized with the first data strobe signal, the controller being adapted to send out a second data strobe signal to the memory and to receive a read data signal in synchronization with a read data strobe signal from the memory in a read operation, the read data strobe signal corresponding to the second data strobe signal in the read operation.

7. (Original): The controller according to claim 6, wherein the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent of and separated from the clock signal.

8. (Original): The controller according to claim 7, wherein each of the first and the second data strobe signals and the read data strobe signal has a frequency different from the clock signal.

9. (Original): The controller according to claim 7, wherein each of the first and the second data strobe signals and the read data strobe signal is not in synchronization with the clock signal.

10. (Currently amended): A memory for use in a system, the system including a controller, the controller outputting a data strobe signal in a read operation,

the memory being adapted to send out a read data strobe signal to the controller in response to the ~~second~~ data strobe signal and to send out a read data signal synchronized with the read data strobe signal in a read operation.

11. (Original): The memory according to claim 10, the controller being further adapted to send out a clock signal and to send the clock signal to the memory, wherein each of the data strobe signal and the read data strobe signal is independent of and separated from the clock signal.

12. (Original): The memory according to claim 11, wherein each of the data strobe signal and the read data strobe signal has a frequency different from the clock signal.

13. (Original): The memory according to claim 11, wherein each of the data strobe signal and the read data strobe signal is not in synchronization with the clock signal.

14. (New): The system of claim 1, wherein in the read operation the memory retransmits the second data strobe signal as the read data strobe signal.

15. (New): The system of claim 14, wherein in the read operation the memory retransmits the second data strobe signal with a time delay as the read data strobe signal.

16. (New): The controller of claim 6, wherein in the read operation the controller receives a read data signal from the memory which is a retransmission of the second data strobe signal.

17. (New): The controller of claim 16, wherein in the read operation the controller receives a read data signal from the memory which is a retransmission of the second data strobe signal with a time delay.

18. (New): The memory of claim 10, wherein in the read operation the read data strobe signal is a retransmission of the received data strobe signal.

19. (New): The memory of claim 18, wherein in the read operation the read data strobe signal is a retransmission of the received data strobe signal with a time delay.

20. (New): A system comprising:

a first memory operating at a high data rate;

a second memory operating at a low data rate;

a controller connected to the first and second memories,

wherein the control provides first data strobe signals having a frequency higher than a system clock frequency to operate the first memory at the high data rate, and provides second data strobe signals having a frequency lower than the system clock frequency to operate the second memory and a low data rate.

21. (New): The system according to claim 20, wherein the first and second memories transfer data synchronously with the first and second data strobe signals, respectively, having frequencies different than the system clock frequency.

22. (New): The system according to claim 20, wherein the first memory and the second memory are different from each other within an address space.

23. (New): The system according to claim 22, wherein the controller comprises a control circuit which determines whether a signal is designated for the first memory or the second memory.

24. (New): The system according to claim 23, wherein the frequency of the first and second data strobe signals is automatically controlled based on the determination of the first and second memories made by the control circuit.

25. (New): The system according to claim 1, further comprising first and second data strobe lines each provided between the controller and the memory, the first data strobe line transferring the first data strobe signal in the write operation from the controller to the memory, the first data strobe line transferring the second data strobe signal in the read operation from the controller to the memory, and the second data strobe line transferring the read data strobe signal in the read operation from the memory to the controller.

26. (New): A controller comprising a first terminal, a second terminal, and a third terminal, the controller being adapted to produce a first data strobe signal at the first terminal and a write data signal at the third terminal in a write operation, the write data signal being synchronized with the first data strobe signal, the controller being adapted to produce a second data strobe signal at the first terminal and to receive a read data signal at the third terminal in synchronization with a read data strobe signal arriving at the second terminal from outside of the controller in a read operation.

27. (New): The controller according to claim 26, wherein the read data strobe signal is generated outside of the controller in response to the second data strobe signal.

REMARKS

Status of the Application

Claims 1-13 have been examined. With this Amendment, Applicant adds new claims 14-27.

After entry of this Amendment, claims 1-27 will be pending in the application.

Formalities

Applicant thanks the Examiner for considering the references cited with the Information Disclosure Statements filed on June 7, 2007, July 16, 2008, November 10, 2008 and January 7, 2009.

Applicant also thanks the Examiner for acknowledging the claim for priority under 35 U.S.C. § 119 and receipt of a certified copy of the priority document.

Claim Amendments and New Claims

Claim 5 is amended to incorporate the subject matter of claims 1 and 2 from which it depends. Applicant respectfully submits that claim 5 is now in condition for allowance.

Claims 14-27 are added to recite additional features of the disclosed apparatuses.

Applicant respectfully submits that new claims 14-27 are fully supported in the disclosure. No new matter has been added.

Claim Rejections

Claims 1-4 and 6-13 --- 35 U.S.C. § 102(e)

Claims 1-4 and 6-13 have been rejected under 35 U.S.C. § 102(e) as allegedly being anticipated by U.S. Patent No. 7,237,073 to Jang ("Jang"). Applicant traverses this rejection.

With regard to claim 1, Jang does not disclose or suggest at least "a controller adapted to send out a first data strobe signal and a write data signal in a write operation," and "in a read operation, to send out a second data strobe signal and to receive a read data signal in synchronization with a read data strobe signal, the read data strobe signal being received in response to the second data strobe signal," as recited in the claim. The Examiner alleges that these features are disclosed by figures 9 and 13 of Jang.

Jang is directed to a memory system having a memory controller and a memory device which provides a data inversion scheme (column 4, lines 33-36, Fig. 9). Jang, however, does not disclose or suggest a controller which provides the strobe signals as claimed by Applicant. Jang discloses that during a write operation, the data control circuit 114 in memory device 300 (see Figs. 11 and 12) inputs data in response to a write data strobe signal WDQS0, which is a clock input of the data control circuit 114, from the memory controller 400 (see column 5, lines 48-55). On the other hand, during a read operation, a data strobe signal generator 113 in the memory device 300 generates a read data strobe signal RDQS0, and the data control circuit 114 outputs data. The signal lines for WDQS0 and RDQS0 also provide data inversion flags RFLAG0 and WFLAG0, respectively, for performing a data inversion operation.

The data inversion flags RFLAG0 and WFLAG0 cause the data inversion block 115 of the memory device 300 (see Figs. 11 and 12) to perform a data inversion process during read and write operations (column 5, lines 57-60). Thus, even if broadly construed as a strobe signal, RFLAG0, illustrated in Fig. 9 as being sent from the memory controller 400 to the memory device 300, only causes the memory device 300 to perform a data inversion process. The RFLAG0 signal generated by the controller 400 does not cause the controller 400 to receive a

read data strobe signal in response to RFLAG0, as does the claimed second data strobe signal. Thus, Jang does not does not disclose or suggest at least a controller which sends out a second data strobe signal and receives a read data strobe signal in response to the second data strobe signal, as claimed by Applicant.

Accordingly, since Jang does not disclose or suggest all of the features of claim 1, claim 1 is not anticipated by Jang and is therefore patentable over the cited reference. Claims 6 and 10 contain features similar to the features recited in claim 1 and are therefore patentable for similar reasons. Claims 2-4, 7-9 and 11-13 are patentable at least by virtue of their dependencies from one of claims 1, 6 and 10.

New Claims

Applicant has added new claims 14-27.

New claims 14-19 depend from one of claims 1, 6 and 10 and are patentable at least by virtue of their dependencies.

New claims 20-24 recite subject matter similar to that recited in allowable claim 5. Applicant respectfully submits that these claims are patentable over the prior art for reasons similar to the reasons claim 5 is patentable.

Claim 25 depends from claim 1 and is therefore patentable at least by virtue of its dependence.

New independent claim 26 recites that the controller produces "a second data strobe signal ... in a read operation." Applicant respectfully submits that Jang does not provide such disclosure. As described in Fig. 9 and column 2, lines 7-8 of Jang, a data strobe signal <0:3> is produced by a memory device. Accordingly, claim 26 is patentable over Jang.

Allowable Subject Matter

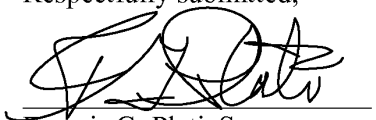
Applicant thanks the Examiner for the indication that claims 5 contain allowable subject matter and would be allowable if rewritten in independent form. Applicant has rewritten claim 5 as suggested by the Examiner and respectfully submits that rewritten claim 5 is allowable.

Conclusion

In view of the above, reconsideration and allowance of this application are now believed to be in order, and such actions are hereby solicited. If any points remain in issue which the Examiner feels may be best resolved through a personal or telephone interview, the Examiner is kindly requested to contact the undersigned at the telephone number listed below.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,



SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Francis G. Plati, Sr.
Registration No. 59,153

Date: **April 29, 2009**

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Atsuo KOSHIZUKA

Appln. No.: 11/759,862

Confirmation No.: 7014

Filed: June 7, 2007

For: SYSTEM WITH CONTROLLER AND MEMORY

Docket No: Q102115

Group Art Unit: 2827

Examiner: Michael Thanh TRAN

EXCESS CLAIM FEE PAYMENT LETTER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

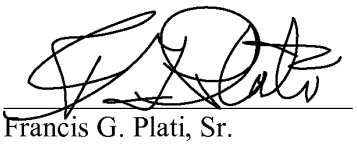
Sir:

An Amendment under 37 C.F.R. § 1.111 is attached hereto for concurrent filing in the above-identified application. The resulting excess claim fee has been calculated as shown below:

	After Amendment		Highest No. Previously Paid For						
All Claims	27	-	20	=	7	X	$52.00	=	$364.00
Independent	6	-	3	=	3	X	$220.00	=	$660.00
					TOTAL			=	**$1024.00**

The USPTO is directed and authorized to charge the statutory fee of $1024.00 and all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,



SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Francis G. Plati, Sr.
Registration No. 59,153

Date: **April 29, 2009**

Electronic Patent Application Fee Transmittal

Application Number:	11759862
Filing Date:	07-Jun-2007
Title of Invention:	SYSTEM WITH CONTROLLER AND MEMORY
First Named Inventor/Applicant Name:	Atsuo Koshizuka
Filer:	Francis G. Plati Sr./Angela Boyd
Attorney Docket Number:	Q102115

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Claims in excess of 20	1202	7	52	364
Independent claims in excess of 3	1201	3	220	660
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1024**

Electronic Acknowledgement Receipt

EFS ID:	5240263
Application Number:	11759862
International Application Number:	
Confirmation Number:	7014
Title of Invention:	SYSTEM WITH CONTROLLER AND MEMORY
First Named Inventor/Applicant Name:	Atsuo Koshizuka
Customer Number:	23373
Filer:	Francis G. Plati Sr./Angela Boyd
Filer Authorized By:	Francis G. Plati Sr.
Attorney Docket Number:	Q102115
Receipt Date:	29-APR-2009
Filing Date:	07-JUN-2007
Time Stamp:	12:20:28
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1024
RAM confirmation Number	7814
Deposit Account	194880
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees) Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		Q102115_Amendment.pdf	99855 2a72fcc9eb3977160940d4e6f7c3f3c4a731a178	yes	12

Multipart Description/PDF files in .zip description

Document Description	Start	End
Amendment/Req. Reconsideration-After Non-Final Reject	1	1
Claims	2	8
Applicant Arguments/Remarks Made in an Amendment	9	12

Warnings:					
Information:					
2	Miscellaneous Incoming Letter	Q102115_ExcessClaimLetter.pdf	57534 6e97c5faf254d8c3b6c08480e2267c9b5b0f82ea	no	1
Warnings:					
Information:					
3	Fee Worksheet (PTO-875)	fee-info.pdf	32342 2b25ce03bf19f8b58b63da2cfb25f5f10e73df65	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	189731		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Atsuo KOSHIZUKA

Appln. No.: 11/759,862

Confirmation No.: 7014

Filed: June 7, 2007

For: SYSTEM WITH CONTROLLER AND MEMORY

Docket No: Q102115

Group Art Unit: 2827

Examiner: Michael Thanh TRAN

EXCESS CLAIM FEE PAYMENT LETTER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

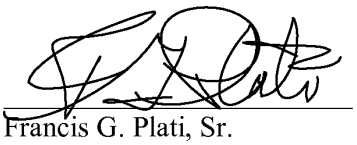
Sir:

An Amendment under 37 C.F.R. § 1.111 is attached hereto for concurrent filing in the above-identified application. The resulting excess claim fee has been calculated as shown below:

	After Amendment		Highest No. Previously Paid For						
All Claims	27	-	20	=	7	X	$52.00	=	$364.00
Independent	6	-	3	=	3	X	$220.00	=	$660.00
					TOTAL			=	**$1024.00**

The USPTO is directed and authorized to charge the statutory fee of $1024.00 and all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,



SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Francis G. Plati, Sr.
Registration No. 59,153

Date: **April 29, 2009**

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
11/759,862	06/07/2007	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

		(Column 1)		(Column 2)	(Column 3)	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
AMENDMENT	04/29/2009	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 27	Minus	** 20	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	* 6	Minus	***3	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1)		(Column 2)	(Column 3)					
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/PEGGY YARBOROUGH/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/759,862	06/07/2007	Atsuo Koshizuka	Q102115	7014

23373 7590 01/30/2009

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
TRAN, MICHAEL THANH	
ART UNIT	PAPER NUMBER
2827	

MAIL DATE	DELIVERY MODE
01/30/2009	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No.	Applicant(s)	
	11/759,862	KOSHIZUKA, ATSUO	
	Examiner	Art Unit	
	MICHAEL T. TRAN	2827	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *June 7, 2007 through January 7, 2009*.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-13* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *1-4 and 6-13* is/are rejected.

7)☒ Claim(s) *5* is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *060707,071608,111008,010709*.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

1. In response to the Communications dated June 7, 2007 through January 7, 2009, claims 1-13 are active in this application.

Specification

2. If there are cross-reference to related applications, please include the respective patent numbers, if known.

Foreign Priority

3. Receipt is acknowledged of papers submitted under 35 U.S.C. 119(a) (d), which papers have been placed of record in the file.

Information Disclosure Statement

4. The information disclosure statements filed June 7, 2007 through January 7, 2009 have been considered.

Claim Objections

5. Claims 5 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

Claim Rejections- 35 U.S.C. § 102

6. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless -

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

(e) the invention was described in-
(1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effect under this subsection of a national application published under section 122(b) only if the international application designating the United States was published under Article 21(2)(a) of such treaty in the English language; or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that a patent shall not be deemed filed in the United States for the purposes of this subsection based on the filing of an international application filed under the treaty defined in section 351(a).

7. Claims 1-4 are rejected under 35 U.S.C 102(e) as being anticipated by Jang [U.S. Patent # 7,237,073].

With respect to claim 1, Jang discloses, in the figures, a system comprising: a controller [400 of figure 9] adapted to send out a first data strobe signal [WDQSO] and a write data signal [DQ] in a write operation, the write data signal being synchronized with the first data strobe signal [see figure 13], the controller being adapted, in a read operation, to send out a second data strobe signal [RDQS0] and to receive a read data signal [DQ] in synchronization with a read data strobe signal, the read data strobe signal corresponding to the second data strobe signal; and a memory [300] adapted to receive the write data signal in synchronization with the first data strobe signal in the write operation, the memory being adapted, in the read operation, to output the read data strobe signal in response to the second data strobe signal and to send out the read data signal synchronized with the read data strobe signal [see figures 9 and 13].

With respect to claim 2, Jang discloses, in the figures, the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent of and separated from the clock signal. See figures 9 and 13.

With respect to claim 3, Jang discloses, in the figures, each of the first and the second data strobe signals and the read data strobe signal has a frequency different from the clock signal. See figures 9 and 13.

With respect to claim 4, Jang discloses, in the figures, each of the first and the second data strobe signals and the read data strobe signal is not in synchronization with the clock signal. See figures 9 and 13.

8. Claims 6-9 are rejected under 35 U.S.C 102(e) as being anticipated by Jang [U.S. Patent # 7,237,073].

With respect to claim 6, Jang discloses, in the figures, a controller for use. in a system, the system including a memory, the controller [400 of figure 9] being adapted to send out a first data strobe signal [WDQS] and a write data signal [DQ] to the memory in a write operation, the write data signal being synchronized with the first data strobe signal [see figure 13], the controller being adapted to send out a second data strobe signal [RDQS] to the memory and to receive a read data signal [DQ] in synchronization with a read data strobe signal from the memory in a read operation [see figure 13], the

read data strobe signal corresponding to the second data strobe signal in the read operation [see figure 13].

With respect to claim 7, Jang discloses, in the figures, the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent of and separated from the clock signal. See figure 13.

With respect to claim 8, Jang discloses, in the figures, each of the first and the second data strobe signals and the read data strobe signal has a frequency different from the clock signal. See figure 13.

With respect to claim 9, Jang discloses, in the figures, each of the first and the second data strobe signals and the read data strobe signal is not in synchronization with the clock signal. See figure 13.

9. Claims 10-13 are rejected under 35 U.S.C 102(e) as being anticipated by Jang [U.S. Patent # 7,237,073].

With respect to claim 10, Jang discloses, in the figures, the controller [400 of figure 9] outputting a data strobe signal [RDQS/WDQS] in a read operation, the memory being adapted to send out a read data strobe signal to the controller in response to the second data strobe signal and to send out a read data signal synchronized with the read data strobe signal in a read operation. See figure 13.

With respect to claim 11, Jang discloses, in the figures, the controller being further adapted to send out a clock signal and to send the clock signal to the memory, wherein each of the data strobe signal and the read data strobe signal is independent of and separated from the clock signal. See figure 13.

With respect to claim 12, Jang discloses, in the figures, each of the data strobe signal and the read data strobe signal has a frequency different from the clock signal. See figure 13.

With respect to claim 13, Jang discloses, in the figures, each of the data strobe signal and the read data strobe signal is not in synchronization with the clock signal. See figure 13.

Allowable Subject Matter

10. The following is an Examiner's statement of reasons for the indication of allowable subject matter: the prior art of records does not show (in addition to the other elements in the claim) the following:

- the memory comprises a low speed memory and a high speed memory; the clock signal has a clock frequency; the controller sends out first and second lower data strobe signals as the first and the second data strobe signals for the low speed memory and receives lower read data strobe signal as the read data strobe signal from the low speed memory, each of the first and the second lower data strobe signals and the lower read data strobe signal having a frequency equal to or lower than the clock frequency; and the controller sends out first and second higher data strobe signals as the first and the second data strobe signals for the high speed memory and receives higher read data strobe signal as the read data strobe signal from the high speed memory, each of the first and the second higher data strobe signals and the higher read data strobe signal having a frequency equal to or 2^n times (n being an integer) as the clock frequency.

Conclusion

11. When responding to the Office action, Applicants are advised to provide the Examiner with line and page numbers of the application and/or references cited to assist the Examiner in the prosecution of this case.

12. .Any inquiry concerning this communication or earlier communications from the Examiner should be directed to Michael T. Tran whose telephone number is (571) 272-1795. The Examiner can normally be reached on Monday-Thursday from 7:30-6:00 P.M.

13. .Any inquiry of a general nature or relating to the status of this application. should be directed to the Group receptionist whose telephone number is (571) 272-1650.

/Michael T. Tran/
Michael T. Tran
Art Unit 2827
January 30, 2009

Notice of References Cited	Application/Control No. 11/759,862	Applicant(s)/Patent Under Reexamination KOSHIZUKA, ATSUO	
	Examiner MICHAEL T. TRAN	Art Unit 2827	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-7,237,073	06-2007	Jang, Seong-Jin	711/154
*	B	US-7,029,299	04-2006	Chen, Chiu-Kuei	439/159
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11759862	KOSHIZUKA, ATSUO
	Examiner	Art Unit
	MICHAEL T TRAN	2827

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	01/28/2009								
	1	✓								
	2	✓								
	3	✓								
	4	✓								
	5	O								
	6	✓								
	7	✓								
	8	✓								
	9	✓								
	10	✓								
	11	✓								
	12	✓								
	13	✓								

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11759862	KOSHIZUKA, ATSUO
	Examiner	Art Unit
	MICHAEL T TRAN	2827

SEARCHED			
Class	Subclass	Date	Examiner

SEARCH NOTES		
Search Notes	Date	Examiner
east	1/28/09	mt

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

	/MICHAEL T TRAN/ Primary Examiner.Art Unit 2827

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L2	4	"7237073".did. or "7029299".did.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/01/28 11:19
L3	2	2 and (strob$3 same read$3 same (writ$3 or program$4))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/01/28 11:19
L4	2	"6789209".did.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/01/28 12:05
S1	47	KOSHIZUKA-ATSUO.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/01/27 18:28
S2	163	jang-seong-jin.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/01/27 19:25
S3	10	jang-seong.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/01/27 19:25

1/28/2009 12:47:42 PM
C:\Documents and Settings\mtran1\My Documents\EAST\Workspaces\11759862.wsp

MODIFIED PTO/SB/08a (09-08)

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	11/759,862
	Filing Date	June 7, 2007
	First Named Inventor	Atsuo KOSHIZUKA
	Art Unit	2827
	Examiner Name	Michael Thanh TRAN
	Attorney Docket Number	Q102115

U.S. PATENTS

Examiner Initials*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

U.S. PATENT APPLICATION PUBLICATIONS

Examiner Initials*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[5]
	1	2003-7069	JP	A	2003-01-10	Mitsubishi Electric Corp		Abstract

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	T[5]
	1		

EXAMINER SIGNATURE

Examiner Signature	/Michael Tran/	Date Considered	01/27/2009

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. 2 Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). 3 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 5 Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.T./

Substitute for Form 1449 A & B/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	Not yet assigned
Confirmation Number	Not yet assigned
Filing Date	June 7, 2007
First Named Inventor	Atsuo KOSHIZUKA
Art Unit	Not yet assigned
Examiner Name	Not yet assigned
Attorney Docket Number	Q102115

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number	Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document
		US 6,789,209	B1	09-07-2004	Suzuki et al.
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]	Number[4]	Kind Code[5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Translation[6]

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	Translation[6]

Examiner Signature	/Michael Tran/	Date Considered	01/27/2009

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1]Applicant's unique citation designation number (optional). [2]See Kind Codes of USPTO Patent Documents at www.uspto.gov, MPEP 901.04 or follow the hyperlink from the title of the document to the intranet. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST. 3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. [6] Applicant is to indicate here if English language Translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.T./

MODIFIED PTO/SB/08a (05-07)
Approved for use through 11/30/2007.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	11/759,862
Confirmation Number	7014
Filing Date	June 7, 2007
First Named Inventor	Atsuo KOSHIZUKA
Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned
Attorney Docket Number	Q102115

U.S. PATENTS

Examiner Initials*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	7362648		2008-04-22		

U.S. PATENT APPLICATION PUBLICATIONS

Examiner Initials*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	20060092721		2006-05-04	Lee	

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[5]
	1	2006134334	JP		2006-05-25			N
	2	2006120307	JP		2006-05-11			N
	3	200525765	JP		2005-01-27			N
	4	1494243	EP		2005-01-05			N
	5	200685851	JP		2006-03-30			N

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	T[5]
	1		

EXAMINER SIGNATURE

Examiner Signature	/Michael Tran/	Date Considered	01/27/2009

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. 2 Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). 3 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 5 Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.T./

[Page 1 of 1]

MODIFIED PTO/SB/08a (09-08)

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	11/759,862
Filing Date	June 7, 2007
First Named Inventor	Atsuo KOSHIZUKA
Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned
Attorney Docket Number	Q102115

U.S. PATENTS

Examiner Initials*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

U.S. PATENT APPLICATION PUBLICATIONS

Examiner Initials*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[5]
	1	2005-033958	WO	A1	2005-04-14	RAMBUS, INC		N

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	T[5]
	1		

EXAMINER SIGNATURE

Examiner Signature	/Michael Tran/	Date Considered	01/27/2009

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. 2 Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). 3 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 5 Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.T./

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q102115
Atsuo KOSHIZUKA	
Appln. No.: 11/759,862	Group Art Unit: 2827
Confirmation No.: 7014	Examiner: Michael Thanh TRAN
Filed: June 7, 2007	

For: SYSTEM WITH CONTROLLER AND MEMORY

INFORMATION DISCLOSURE STATEMENT
UNDER 37 C.F.R. §§ 1.97 and 1.98

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450
Sir:

In accordance with the duty of disclosure under 37 C.F.R. § 1.56, Applicant hereby notifies the U.S. Patent and Trademark Office of the documents which are listed on the attached PTO/SB/08 (modified) form and/or listed herein and which the Examiner may deem material to patentability of the claims of the above-identified application.

1. JP 2003-007069 A, published January 10, 2003, along with an English-Language Abstract;

One copy of each of the listed documents is submitted herewith, except for the following: U.S. patents and/or U.S. patent publications; and co-pending non-provisional U.S. applications filed after June 30, 2003.

The present Information Disclosure Statement is being filed: (1) No later than three months from the application's filing date; (2) Before the mailing date of the first Office Action on the merits (whichever is later); or (3) Before the mailing date of the first Office Action after

filing a request for continued examination (RCE) under §1.114, and therefore, no Statement under 37 C.F.R. § 1.97(e) or fee under 37 C.F.R. § 1.17(p) is required.

In compliance with the concise explanation requirement under 37 C.F.R. § 1.98(a)(3) for foreign language documents, Applicant encloses herewith a copy of a corresponding Japanese Office Action dated November 25, 2008 and an English translation of the pertinent portions thereof which cites such documents and indicates the degree of relevance found by the foreign patent office.

The submission of the listed documents is not intended as an admission that any such document constitutes prior art against the claims of the present application. Applicant does not waive any right to take any action that would be appropriate to antedate or otherwise remove any listed document as a competent reference against the claims of the present application.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,

/Howard L. Bernstein/

Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: January 7, 2009

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	11/759,862
	Filing Date	June 7, 2007
	First Named Inventor	Atsuo KOSHIZUKA
	Art Unit	2827
	Examiner Name	Michael Thanh TRAN
	Attorney Docket Number	Q102115

U.S. PATENTS						
Examiner Initials*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

U.S. PATENT APPLICATION PUBLICATIONS						
Examiner Initials*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

FOREIGN PATENT DOCUMENTS								
Examiner Initials*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[5]
	1	2003-7069	JP	A	2003-01-10	Mitsubishi Electric Corp		Abstract

NON-PATENT LITERATURE DOCUMENTS			
Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	T[5]
	1		

EXAMINER SIGNATURE			
Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. 2 Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). 3 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 5 Applicant is to place a check mark here if English language translation is attached.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-007069
(43)Date of publication of application : 10.01.2003

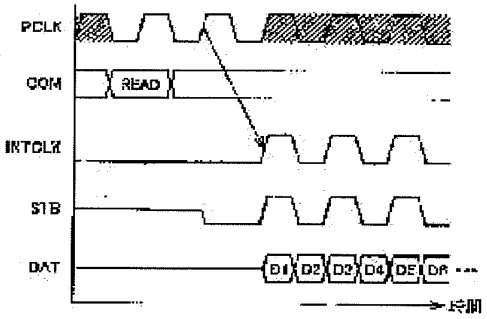
(51)Int.Cl. G11C 11/413
G06F 12/00
G11C 11/407

(21)Application number : 2001-183107
(22)Date of filing : 18.06.2001

(71)Applicant : MITSUBISHI ELECTRIC CORP
(72)Inventor : SAKAMOTO WATARU

(54) SEMICONDUCTOR MEMORY AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a semiconductor memory and a semiconductor integrated circuit device in which a data input/output cycle can be varied quickly.
SOLUTION: In this semiconductor memory, an internal clock synchronizing with a non-continuous external toggle signal PCLKINTCLK inputted with data read request is generated by an incorporated clock generating circuit. Data output processing and data output in the inside are performed synchronizing with the internal clock INTCLK. A data strobe signal STB indicating a data output cycle is outputted with data output. A cycle of the data strobe signal STB is same as a cycle of the internal clock INTCLK.



(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2003－7069
（P2003－7069A）
(43)公開日　平成15年１月10日(2003.1.10)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード*（参考）
Ｇ１１Ｃ　11/413		Ｇ０６Ｆ　12/00	５６４Ａ	５Ｂ０１５
Ｇ０６Ｆ　12/00	５６４	Ｇ１１Ｃ　11/34	Ｊ	５Ｂ０６０
Ｇ１１Ｃ　11/407			３６２Ｓ	５Ｍ０２４
			３５４Ｃ	

審査請求　未請求　請求項の数10　ＯＬ　（全 13 頁）

(21)出願番号　特願2001－183107(P2001－183107)

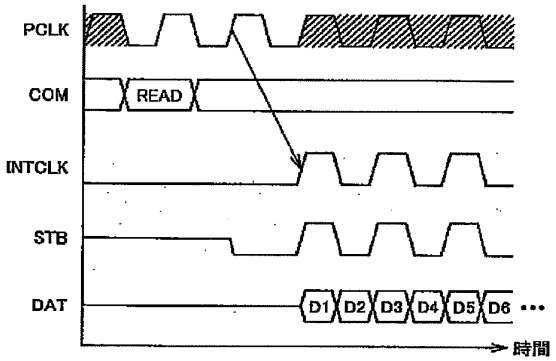
(22)出願日　平成13年６月18日(2001.6.18)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(72)発明者　坂本　渉
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(74)代理人　100064746
弁理士　深見　久郎　（外４名）

最終頁に続く

(54)【発明の名称】　半導体記憶装置および半導体集積回路装置

(57)【要約】
【課題】　データ入出力周期を迅速に変化することが可能な半導体記憶装置および半導体集積回路装置を提供することである。
【解決手段】　本発明に従う半導体記憶装置は、内蔵するクロック発生回路によって、データ読出要求ＲＥＡＤとともに入力される非連続な外部トグル信号ＰＣＬＫに同期した内部クロックＩＮＴＣＬＫを生成する。内部におけるデータ出力処理およびデータ出力は、内部クロックＩＮＴＣＬＫに同期して実行される。データ出力とともに、データ出力周期を示すデータストローブ信号ＳＴＢが出力される。データストローブ信号ＳＴＢの周期は、内部クロックＩＮＴＣＬＫの周期と同一である。



1

【特許請求の範囲】

【請求項１】　外部クロック信号を共有する複数の装置から構成されるシステム内に搭載される半導体記憶装置であって、

データ出力周期を指示するためのパルスを含む、前記外部クロック信号とは異なる非連続な周期制御信号を受けて、前記パルスに基づいた周期を有する内部クロックを生成するクロック生成回路と、

前記内部クロックに同期して、データ出力処理を実行する内部回路とを備える、半導体記憶装置。

【請求項２】　前記内部回路は、前記半導体記憶装置からの前記データ出力周期を示すためのデータストローブ信号を、前記内部クロック信号に基づいて生成し、

前記データストローブ信号は外部に対して出力される、請求項１記載の半導体記憶装置。

【請求項３】　外部クロック信号を共有する複数の装置から構成されるシステム内に搭載される半導体記憶装置であって、

データ入力周期を指示するためのパルスを含む、前記外部クロック信号とは異なる周期制御信号を受けて、前記パルスに基づいた周期を有する内部クロックを生成するクロック生成回路と、

前記内部クロックに同期して、データ入力処理を実行する内部回路とを備える、半導体記憶装置。

【請求項４】　前記内部回路は、

複数ビットの入力データを受けるための第１および第２の入力バッファと、

前記第１もしくは第２の入力バッファで受けられた前記入力データのうちの１ビットに対する前記データ入力処理を、段階的に順次実行するための第１から第ｎ（ｎ：自然数）のｎ個のパイプライン処理ユニットとを含み、

前記第１および第２の入力バッファは、前記周期制御信号に応答したタイミングで相補的に動作し、

前記ｎ個のパイプライン処理ユニットの各々は、前記内部クロックに基づいたタイミングで所定動作を実行する、請求項３記載の半導体記憶装置。

【請求項５】　前記クロック生成回路は、前記内部クロックを所定時間ずつ遅延させて得られる第１番目から第ｎ番目の第１サブクロックと、前記内部クロックの反転クロックを所定時間ずつ遅延させて得られる第１番目から第ｎ番目の第２サブクロックとをさらに生成し、

第ｉ番目（ｉ：１～ｎの自然数）のパイプライン処理ユニットは、第ｉ番目の第１および第２サブクロックに応答して動作し、

前記所定時間は、前記内部クロックの最小周期の１／２よりも小さくなるように設定される、請求項４記載の半導体記憶装置。

【請求項６】　前記クロック生成回路は、

前記周期制御信号を第１の遅延時間ずつ段階的に遅延させて、複数の遅延信号を出力する第１の遅延部と、

2

前記複数の遅延信号のそれぞれと前記周期制御信号との位相を比較するための位相比較部と、

前記位相比較部における比較結果に基づいて、前記パルスのパルス幅を検出するための判定部と、

前記周期制御信号および前記内部クロック信号を受けて、前記内部クロック信号の生成後においては前記内部クロック信号を出力し、それ以外の期間においては前記周期制御信号を出力するセレクタと、

前記判定部からの指示に応じて、前記セレクタの出力を前記パルス幅に相当する第２の遅延時間遅延して前記内部クロックを生成する第２の遅延部とを含む、請求項１または３に記載の半導体記憶装置。

【請求項７】　前記周期制御信号は、２つ以上の前記パルスを含み、

前記位相比較部は、各遅延信号および前記周期制御信号の立上がりエッジ同士もしくは立ち下がりエッジ同士を比較する、請求項６記載の半導体記憶装置。

【請求項８】　前記周期制御信号は、１つ以上の前記パルスを含み、

前記位相比較部は、各遅延信号および前記周期制御信号の立上がりエッジと立ち下がりエッジとを比較する、請求項６記載の半導体記憶装置。

【請求項９】　クロック信号を共有する複数の装置から構成されるシステム内に搭載される半導体集積回路装置であって、

データ出力時において、前記複数の装置のうちの他の１つからのデータ出力要求とともに入力される、前記クロック信号とは異なる非連続な第１の周期制御信号を受けて、前記第１の周期制御信号信号に基づいた周期を有する内部クロックを生成するクロック生成回路と、

前記データ出力時において、前記内部クロックに同期してデータ出力処理を実行する内部回路とを備え、

前記内部回路は、前記内部クロックの周期に従って要求されたデータを出力するとともに、前記データ出力周期を示すためのデータストローブ信号を出力する、半導体集積回路装置。

【請求項１０】　前記クロック生成回路は、データ入力時において、前記複数の装置のうちの他の１つからのデータ入力要求とともに入力される、前記クロック信号とは異なる非連続な第２の周期制御信号を受けて、前記第２の周期制御信号信号に基づいた周期を有する内部クロックを生成し、

前記内部回路は、前記データ出力時において、前記内部クロックに同期してデータ入力処理を実行する、請求項９記載の半導体集積回路装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、半導体集積回路装置に関し、より特定的には、複数の装置で構成されるシステム内に搭載される半導体集積回路装置に関する。

【０００２】

【従来の技術】従来、高速インターフェイス機能を有する半導体記憶装置は、外部クロックに同期してデータ入出力を実行する、同期型半導体記憶装置として構成されていた。たとえば、共通の外部クロックに基づいて動作する複数の装置から構成されるシステムに、このような同期型半導体記憶装置を搭載すれば、当該外部クロックに同期したタイミングで、高速なデータ入出力を実行することができる。

【０００３】図１３は、従来の同期型半導体記憶装置におけるデータ入出力タイミングを説明するタイミングチャートである。

【０００４】図１３を参照して、外部クロックＥＸＴＣＬＫは、同期型半導体記憶装置が搭載されるシステム内で供給されるクロックである。外部クロックＥＸＴＣＬＫは、一定周期でハイレベル（以下Ｈレベルとも称する）およびローレベル（以下、単にＬレベルとも称する）を繰返す。

【０００５】同期型半導体記憶装置に対するデータ出力指示は、リードコマンドＲＥＡＤとして、外部クロックＥＸＴＣＬＫに同期したタイミングで与えられる。

【０００６】同期型半導体記憶装置内部には、外部クロックＥＸＴＣＬＫに同期した内部クロックを生成するためのＤＬＬ（Delay Locked Loop）またはＰＬＬ（Phase Locked Loop）で構成される内部クロック生成回路が備えられている。クロック生成回路は、フリーラン信号である外部クロックＥＸＴＣＬＫを常にモニタし、外部クロックに同期した内部クロックを生成する。

【０００７】リードコマンドＲＥＡＤの入力に応答して、同期型半導体記憶装置内部では、この内部クロックに同期して所定のデータ出力処理が実行される。所定のレイテンシ（図１３では、２クロックサイクル）経過後において、外部クロックＥＸＴＣＬＫに同期した周期で、データＤＡＴの出力が開始される。図１３においては、外部クロックＥＸＴＣＬＫの立上りエッジおよび立下りエッジの両方に同期してデータ出力が実行される、いわゆるＤＤＲ（Double Data Rate）動作を実行する同期型半導体記憶装置の動作が示されている。

【０００８】また、同期型半導体記憶装置からのデータ出力周期を同一システム内の他の装置に示すための信号として、データストローブ信号ＳＴＢがデータＤＡＴに合わせて出力される。データストローブ信号ＳＴＢは、外部クロックＥＸＴＣＬＫと同期し、同一の周期を有することになる。

【０００９】図示しないが、同期型半導体記憶装置におけるデータ入力処理についても同様に、外部クロックＥＸＴＣＬＫに同期した内部クロックに基づいたタイミングで実行される。この結果、同期型半導体記憶装置は、外部クロックＥＸＴＣＬＫに同期した周期でデータ入出力を実行することができる。

【００１０】

【発明が解決しようとする課題】しかしながら、従来の同期型半導体記憶装置におけるデータ入出力は、フリーラン状態の外部クロックの周期と全く同一の周期でしか実行することができなかった。したがって、システム全体の動作効率を考慮した適切なデータ転送タイミングを得るためにデータ入出力周期を変更したい場合には、システム全体で共有される外部クロックの周波数を変更する必要があった。

【００１１】すなわち、同期型半導体記憶装置に代表される、システム内に搭載された半導体集積回路装置を、ある一定速度で動作している状態から、さらに高速に動作させる必要が生じた場合や、より低速に動作させる必要が生じた場合においては、共通の外部クロックの周波数を一旦変更した後に、当該システムを構成する各装置が変更後の外部クロックに基づいて安定的に動作できるまで間、このような動作速度の変更をすることができなかった。この結果、システムを構成する各半導体集積回路装置のデータ入出力周期を、システム全体の動作効率を考慮して迅速に変化させることが困難であるという問題があった。

【００１２】この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、システム全体で共有される外部クロックとは無関係に、データ入出力周期を迅速に変化することが可能な半導体記憶装置および半導体集積回路装置を提供することである。

【００１３】

【課題を解決するための手段】請求項１記載の半導体記憶装置は、外部クロック信号を共有する複数の装置から構成されるシステム内に搭載される半導体記憶装置であって、データ出力周期を指示するためのパルスを含む、外部クロック信号とは異なる非連続な周期制御信号を受けて、パルスに基づいた周期を有する内部クロックを生成するクロック生成回路と、内部クロックに同期して、データ出力処理を実行する内部回路とを備える。

【００１４】請求項２記載の半導体記憶装置は、請求項１記載の半導体記憶装置であって、内部回路は、半導体記憶装置からのデータ出力周期を示すためのデータストローブ信号を、内部クロック信号に基づいて生成し、データストローブ信号は外部に対して出力される。

【００１５】請求項３記載の半導体記憶装置は、外部クロック信号を共有する複数の装置から構成されるシステム内に搭載される半導体記憶装置であって、データ入力周期を指示するためのパルスを含む、外部クロック信号とは異なる周期制御信号を受けて、パルスに基づいた周期を有する内部クロックを生成するクロック生成回路と、内部クロックに同期して、データ入力処理を実行する内部回路とを備える。

【００１６】請求項４記載の半導体記憶装置は、請求項３記載の半導体記憶装置であって、内部回路は、複数ビ

ットの入力データを受けるための第１および第２の入力バッファと、第１もしくは第２の入力バッファで受けられた入力データのうちの１ビットに対するデータ入力処理を、段階的に順次実行するための第１から第ｎ（ｎ：自然数）のｎ個のパイプライン処理ユニットとを含む。第１および第２の入力バッファは、周期制御信号に応答したタイミングで相補的に動作し、ｎ個のパイプライン処理ユニットの各々は、内部クロックに基づいたタイミングで所定動作を実行する。

【００１７】請求項５記載の半導体記憶装置は、請求項４記載の半導体記憶装置であって、クロック生成回路は、内部クロックを所定時間ずつ遅延させて得られる第１番目から第ｎ番目の第１サブクロックと、内部クロックの反転クロックを所定時間ずつ遅延させて得られる第１番目から第ｎ番目の第２サブクロックとをさらに生成し、第ｉ番目（ｉ：１～ｎの自然数）のパイプライン処理ユニットは、第ｉ番目の第１および第２サブクロックに応答して動作し、所定時間は、内部クロックの最小周期の１／２よりも小さくなるように設定される。

【００１８】請求項６記載の半導体記憶装置は、請求項１または３に記載の半導体記憶装置であって、クロック生成回路は、周期制御信号を第１の遅延時間ずつ段階的に遅延させて、複数の遅延信号を出力する第１の遅延部と、複数の遅延信号のそれぞれと周期制御信号との位相を比較するための位相比較部と、位相比較部における比較結果に基づいて、パルスのパルス幅を検出するための判定部と、周期制御信号および内部クロック信号を受けて、内部クロック信号の生成後においては内部クロック信号を出力し、それ以外の期間においては周期制御信号を出力するセレクタと、判定部からの指示に応じて、セレクタの出力をパルス幅に相当する第２の遅延時間遅延して内部クロックを生成する第２の遅延部とを含む。

【００１９】請求項７記載の半導体記憶装置は、請求項６記載の半導体記憶装置であって、周期制御信号は、２つ以上のパルスを含み、位相比較部は、各遅延信号および周期制御信号の立上がりエッジ同士もしくは立ち下がりエッジ同士を比較する。

【００２０】請求項８記載の半導体記憶装置は、請求項６記載の半導体記憶装置であって、周期制御信号は、１つ以上のパルスを含み、位相比較部は、各遅延信号および周期制御信号の立上がりエッジと立ち下がりエッジとを比較する。

【００２１】請求項９記載の半導体集積回路装置は、クロック信号を共有する複数の装置から構成されるシステム内に搭載される半導体集積回路装置であって、データ出力時において、複数の装置のうちの他の１つからのデータ出力要求とともに入力される、クロック信号とは異なる非連続な第１の周期制御信号を受けて、第１の周期制御信号信号に基づいた周期を有する内部クロックを生成するクロック生成回路と、データ出力時において、内部クロックに同期してデータ出力処理を実行する内部回路とを備える。内部回路は、内部クロックの周期に従って要求されたデータを出力するとともに、データ出力周期を示すためのデータストローブ信号を出力する。

【００２２】請求項１０記載の半導体集積回路装置は、請求項９記載の半導体集積回路装置であって、クロック生成回路は、データ入力時において、複数の装置のうちの他の１つからのデータ入力要求とともに入力される、クロック信号とは異なる非連続な第２の周期制御信号を受けて、第２の周期制御信号信号に基づいた周期を有する内部クロックを生成し、内部回路は、データ出力時において、内部クロックに同期してデータ入力処理を実行する。

【００２３】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳細に説明する。なお、以下において、同一符号は同一または相当部分を示すものとする。

【００２４】［実施の形態１］図１は、本発明の実施の形態１に従う半導体集積回路装置の代表例として示される同期型半導体記憶装置１の全体構成を示す概略ブロック図である。実施の形態１においては、同期型半導体記憶装置１のデータ出力動作について主に説明する。

【００２５】図１を参照して、同期型半導体記憶装置１は、行列状に配列された複数のメモリセルを有するメモリアレイ１０と、アドレス端子１２と、コマンド制御信号端子１４と、クロック端子１６と、データ端子１８と、データストローブ信号端子１９とを備える。

【００２６】アドレス端子１２は、メモリアレイ１０内におけるメモリセル選択を実行するためのバンクアドレスＢＡおよびアドレス信号Ａ０～Ａｎを受ける。コマンド制御信号端子１４は、チップセレクト信号／ＣＳ、ロウアドレスストローブ信号／ＲＡＳ、コラムアドレスストローブ信号／ＣＡＳ、ライトイネーブル信号／ＷＥおよびデータマスク信号ＤＱＭ等のコマンド制御信号を受ける。同期型半導体記憶装置１に対する動作指示、すなわちコマンドの入力は、コマンド制御信号の信号レベルの組合せによって実行される。

【００２７】クロック端子１６は、クロックイネーブル信号ＣＫＥおよび外部トグル信号ＰＣＬＫを受ける。外部トグル信号ＰＣＬＫは、同期型半導体記憶装置１からのデータ出力周期を指示するために、データ出力時に外部から入力される。データ端子１８は、外部との間でデータＤＡＴの授受を実行する。本実施の形態においては、１回のデータ出力動作およびデータ入力動作において、８ビットのデータＤ１～Ｄ８が入出力されるものとする。

【００２８】データストローブ信号端子１９は、同期型半導体記憶装置１のデータ入出力周期を示すためのデータストローブ信号ＳＴＢを入出力する。データ入力時に

おいては、データストローブ信号ＳＴＢは、入力されるデータとともに、外部から与えられる。同期型半導体記憶装置１は、データストローブ信号ＳＴＢによって指示された周期でデータ入力処理を実行する。一方、データ出力時においては、同期型半導体記憶装置１からのデータ出力周期に同期したデータストローブ信号ＳＴＢが内部で生成され、データストローブ信号ＳＴＢとしてデータストローブ信号端子１９から出力される。

【００２９】同期型半導体記憶装置１は、さらに、アドレスバッファ２２と、制御信号入力バッファ２４と、コントロール回路およびモードレジスタ３０と、行デコーダおよびワードドライバ４０と、列デコーダ４５と、センスアンプ５０とを備える。

【００３０】アドレスバッファ２２は、アドレス端子１２に入力されたバンクアドレスＢＡおよびアドレス信号Ａ０～Ａｎを受けて、行アドレスＸＡと列アドレスＹＡとを生成する。行アドレスＸＡと列アドレスＹＡとは、行デコーダおよびワードドライバ４０と、列デコーダ４５とにそれぞれ伝達される。

【００３１】制御信号入力バッファ２４は、コマンド制御信号端子１４に入力されたコマンド制御信号を受けて、コントロール回路およびモードレジスタ３０に伝達する。コントロール回路およびモードレジスタ３０は、制御信号入力バッファ２４を介して受けた、外部からのコマンド制御信号の組合せに応答して、同期型半導体記憶装置１において、指示された所定コマンドを実行するための制御信号群を生成する。

【００３２】同期型半導体記憶装置１は、さらに、内部クロックＩＮＴＣＬＫを生成するための内部クロック生成回路１００を備える。内部クロック生成回路１００は、データ出力時においては、クロック端子１６に入力された外部トグル信号ＰＬＣＫに基づいた周期を有する内部クロックＩＮＴＣＬＫを生成する。また、データ入力時においては、データストローブ信号端子１９に入力されたデータストローブ信号ＳＴＢに基づいた周期を有する内部クロックＩＮＴＣＬＫを生成する。内部クロック生成回路１００の構成および動作については、後ほど詳細に説明する。

【００３３】内部クロックＩＮＴＣＬＫは、コントロール回路およびモードレジスタ３０、、アドレスバッファ２２および制御信号入力バッファ２４に伝達される。したがって、同期型半導体記憶装置１からのデータ入出力処理を、内部クロックＩＮＴＣＬＫに同期して実行できる。

【００３４】なお、データ入出力処理のうち、外部との間でのデータ授受以外の処理は、内部クロックＩＮＴＣＬＫと同期して実行する必要はない。これらの処理タイミングは、コントロール回路およびモードレジスタ３０によって任意に指定できる。

【００３５】行デコーダおよびワードドライバ４０は、

行アドレスＸＡに応じてメモリアレイ１０における行選択を実行する。具体的には、メモリアレイ１０においてメモリセル行ごとに配置されたワード線（図示せず）の選択的な活性化を制御する。

【００３６】列デコーダ４５は、列アドレスＹＡに応じてメモリアレイ１０における列選択を実行する。具体的には、メモリアレイ１０においてメモリセル列ごとに配置された複数のビット線（図示せず）を選択的にセンスアンプ５０と結合する。

【００３７】センスアンプ５０は、列選択結果に応じたビット線と結合されて、選択されたビット線の電圧を増幅する。

【００３８】同期型半導体記憶装置１は、さらに、プリアンプおよびライトドライバ６０と、入力バッファ７０と、出力バッファ７５と、マルチプレクサ８０と、Ｖｒｅｆ発生回路８５とを備える。

【００３９】データ出力時において、プリアンプおよびライトドライバ６０は、センスアンプ５０を介してメモリアレイ１０から読出された８ビットの読出データを増幅して出力する。

【００４０】プリアンプおよびライトドライバ６０は、データ入力時においては、外部からの入力データ（８ビット）を、データ書込対象となるメモリセルと結合された複数のビット線に対して駆動する。マルチプレクサ８０は、プリアンプおよびライトドライバ６０から並列に読出された８個の読出データのうちの１ビットを、出力バッファ７５へ順に伝達する。

【００４１】出力バッファ７５は、マルチプレクサ８０から選択的に伝達された読出データを、データ端子１８を介して外部に出力する。さらに、データ出力時においては、内部クロックＩＮＴＣＬＫに基づいて生成される、すなわち内部クロックＩＮＴＣＬＫに同期したデータストローブ信号ＳＴＢがデータストローブ信号端子１９から出力される。

【００４２】データ出力時においては、入力バッファ７０は、基準電圧Ｖｒに基づいて、データ端子１８に入力されたデータＤＡＴ（Ｄ１～Ｄ８）を受ける。Ｖｒｅｆ発生回路８５は、データ端子１８に入力されたデータがＨレベルおよびＬレベルのいずれであるかを判定するための基準電圧Ｖｒを生成する。データ入力時においては、データストローブ信号端子１９に対して、データストローブ信号ＳＴＢが外部から入力される。さらに、データストローブ信号ＳＴＢは、内部クロックＩＮＴＣＬＫを生成するために、内部クロック生成回路１００に対しても伝達される。

【００４３】入力バッファ７０、出力バッファ７５およびマルチプレクサ８０の動作についても、内部クロックＩＮＴＣＬＫまたはデータストローブ信号ＳＴＢに同期して実行される。

【００４４】図２は、内部クロック生成回路１００の構

成を示すブロック図である。図２を参照して、内部クロック生成回路１００は、遅延部１１０と、位相比較部１２０と、判定部１３０と、セレクタ１３５と、遅延部１４０とを含む。

【００４５】遅延部１１０は、直列に接続されたｍ個（ｍ：自然数）の遅延ユニット１１２を有する。遅延ユニット１１２の各々は、一定の遅延時間ΔＴを入力信号に対して付与する。データ出力時においては、第１段目の遅延ユニットには、周期制御信号に相当する外部トグル信号ＰＬＣＫが入力される。複数の遅延ユニット１１２によって段階的に遅延された外部トグル信号を取出すためのタップが、ノードＮａ１～Ｎａｍにそれぞれ対応して配置される。この結果、遅延部１１０は、ｍ段階にΔＴずつ遅延された外部トグル信号ＰＣＬＫｄ１～ＰＣＬＫｄｍを出力する。

【００４６】位相比較部１２０は、ｍ個の遅延された外部トグル信号ＰＣＬＫｄ１～ＰＣＬＫｄｍに対応してそれぞれ設けられるｍ個の比較ユニット１２５－１～１２５－ｍを有する。比較ユニット１２５－１～１２５－ｍの各々は、遅延された外部トグル信号ＰＣＬＫｄ１～ＰＣＬＫｄｍのうちの対応する１つと外部トグル信号ＰＣＬＫとの間で位相を比較する。

【００４７】判定部１３０は、比較ユニット１２５－１～１２５－ｍのそれぞれにおける位相比較結果を受けて、位相比較結果の切換わり点を検出する。

【００４８】図３は、内部クロック生成回路１００の動作を説明するための概念図である。図３を参照して、本発明の実施の形態１においては、外部トグル信号ＰＣＬＫは、データ出力周期を指示するための少なくとも２つのパルスを有するものとする。外部トグル信号ＰＣＬＫのパルス幅は、データ出力周期に相当する。

【００４９】外部トグル信号ＰＣＬＫの最初の立上がりエッジを遅延部１１０によって段階的に遅延させるとともに、位相比較部１２０によって、外部トグル信号の次の立上がりエッジと、段階的に遅延された外部トグル信号ＰＣＬＫｄ１～ＰＣＬＫｄｍとの位相を比較することによって、外部トグル信号ＰＣＬＫの周期Ｔｃを検出することができる。すなわち、位相比較結果の切換わり点に対応するノードまでの間に含まれる遅延ユニットの個数Ｎ（Ｎ：１～ｍの自然数）と遅延ユニット１１２による遅延時間ΔＴとの積が、外部トグル信号ＰＣＬＫの周期Ｔｃに相当する。

【００５０】再び図２を参照して、セレクタ１３５は、遅延部１４０からノードＮｃに出力される内部クロックＩＮＴＣＬＫと、トグル信号ＰＣＬＫとを受けて、選択制御信号ＳＬに応じた一方を遅延部１４０に伝達する。具体的には、ノードＮｃに内部クロックＩＮＴＣＬＫが生成されるまでの期間においては、セレクタ１３５は外部トグル信号ＰＣＬＫを出力する。反対に、ノードＮｃに内部クロックＩＮＴＣＬＫが生成された後の期間においては、セレクタ１３５は内部クロックＩＮＴＣＬＫを出力する。

【００５１】遅延部１４０は、直列に接続されたｍ個の遅延ユニット１４２を有する。第１段目の遅延ユニットには、セレクタ１３５の出力が入力される。遅延ユニット１４２の各々は、遅延ユニット１１２の遅延時間ΔＴと同様の遅延時間を有する。この結果、ｍ個の遅延ユニット１４２は、ΔＴずつ段階的に遅延されたセレクタ１３５の出力をそれぞれ出力する。内部クロックＩＮＴＣＬＫが生成されるノードＮｃと、ｍ個の遅延ユニットの出力ノードとの間には、スイッチＳ１～Ｓｍがそれぞれ配置される。

【００５２】スイッチＳ１～Ｓｍのうちの、位相比較部１２０における位相比較結果の切換わり点に対応する１つは、判定部１３０によって指定されて、選択的にオンする。この結果、セレクタ１３５から出力された信号は、遅延部１４０によって遅延部１１０によって検出された外部トグル信号ＰＣＬＫの周期Ｔｃだけ遅延されて、ノードＮｃに出力される。

【００５３】セレクタ１３５が外部トグル信号ＰＣＬＫを出力している期間には、外部トグル信号ＰＣＬＫをＴｃ遅延することによって、内部クロックＩＮＴＣＬＫが生成される。一旦、内部クロックＩＮＴＣＬＫが生成された後には、セレクタ１３５および遅延部１４０によって、外部トグル信号ＰＣＬＫの周期Ｔｃに相当する自己発振ループが形成されて、内部クロックＩＮＴＣＬＫが連続的に生成される。

【００５４】再び図３を参照して、内部クロックＩＮＴＣＬＫは、外部トグル信号ＰＣＬＫの少なくとも２つの立上がりエッジに基づいて検出された周期Ｔｃと同一の周期を有する信号として生成される。すなわち、外部トグル信号ＰＣＬＫおよび内部クロックＩＮＴＣＬＫのデューティ比を５０％に設定すると、内部クロックＩＮＴＣＬＫのパルス幅Ｔｈは、トグル信号ＰＣＬＫのパルス幅と等しくなる。

【００５５】図４は、他の構成例に従う内部クロック生成回路１０１の構成を示すブロック図である。

【００５６】図４を参照して、他の構成例に従う内部クロック生成回路１０１は、インバータ１５０をさらに含む点で、図２に示した内部クロック生成回路１００と異なる。インバータ１５０は、外部トグル信号ＰＣＬＫを反転して位相比較部１２０に伝達する。すなわち、内部クロック生成回路１０１においては、反転された外部トグル信号ＰＣＬＫと、遅延された外部トグル信号ＰＣＬＫｄ１～ＰＣＬＫｄｍのそれぞれとの間で位相比較が実行される。

【００５７】したがって、比較ユニット１２５－１～１２５－ｍの各々は、外部トグル信号ＰＣＬＫの最初の立上がりエッジを遅延部１１０によって段階的に遅延させるとともに、位相比較部１２０によって、外部トグル信

号の最初の立下がりエッジと、段階的に遅延された外部トグル信号ＰＣＬＫｄ１～ＰＣＬＫｄｍとの位相を比較することによって、外部トグル信号ＰＣＬＫのパルス幅Ｔｈを検出することができる。

【００５８】遅延ユニット１４２の各々は、遅延ユニット１１２の遅延時間ΔＴの２倍の遅延時間２・ΔＴを有する。この結果、内部クロック生成回路１０１においては、ｍ個の遅延ユニット１４２は、２・ΔＴずつ段階的に遅延されたセレクタ１３５の出力をそれぞれ出力する。したがって、スイッチＳ１～Ｓｍのうちの、位相比較部１２０における位相比較結果の切換わり点に対応する１つを選択的にオンすることによって、セレクタ１３５から出力された信号は、外部トグル信号ＰＣＬＫのパルス幅Ｔｈの２倍、すなわち外部トグル信号ＰＣＬＫの周期Ｔｃ、遅延部１４０によって遅延されて、ノードＮｃに出力される。

【００５９】セレクタ１３５の動作は、内部クロック生成回路１００と同様であるので、詳細な説明は繰り返さない。

【００６０】このような構成とすることにより、図５に示されるように、外部トグル信号ＰＣＬＫに少なくとも１つのパルスが含まれれば、外部トグル信号ＰＣＬＫのパルス幅Ｔｈを検出することができる。さらに、内部クロックＩＮＴＣＬＫは、外部トグル信号ＰＣＬＫに含まれるパルスのパルス幅Ｔｈに基づいて、一定周期Ｔｃで連続的に生成される。

【００６１】このように生成された内部クロックＩＮＴＣＬＫに同期して、同期型半導体記憶装置１内部におけるデータ出力動作は順次実行される。

【００６２】図６は、同期型半導体記憶装置１のデータ出力動作を説明するタイミングチャートである。

【００６３】図６を参照して、外部トグル信号ＰＣＬＫとともに与えられたデータ出力要求、すなわちリードコマンドＲＥＡＤに応答して、データ出力処理が実行される。具体的には、メモリアレイ１０から読み出された８ビットの読出データが並列に、センスアンプ５０を介してプリアンプおよびライトドライバ６０から出力される。メモリアレイ１０からのデータ読出処理は、内部クロックＩＮＴＣＬＫに同期したタイミングで実行する必要はなく、自由なタイミングで実行できる。

【００６４】８ビットの読出データは、マルチプレクサ８０によって順に１ビットずつが選択されて、出力バッファ７５に伝達される。出力バッファ７５は、内部クロックＩＮＴＣＬＫに応答して動作して、マルチプレクサ８０から伝達された出力データＤ１～Ｄ８の各々をデータ端子１８から順次出力する。

【００６５】あるいは、内部クロックに基づいたパイプライン処理によって、８ビットの読出データを順次出力する構成としてもよい。この場合には、マルチプレクサ８０部分に必要なビット数分のレジスタを設ける必要がある。なお、パイプライに処理に用いる内部クロックは、内部クロック生成回路１００からの内部クロックＩＮＴＣＬＫとは別のクロックを用いてもよい。

【００６６】また、出力バッファ７５は、内部クロックＩＮＴＣＬＫに基づいて、たとえば内部クロックＩＮＴＣＬＫをバッファリングした後に、データストローブ信号端子１９から、データストローブ信号ＳＴＢとして外部に出力する。

【００６７】このように、実施の形態１に従う構成によれば、データ出力要求とともに入力される外部トグル信号によって指示されるデータ出力周期に基づいて、データ出力を実行することができる。この外部トグル信号は、フリーラン状態の外部クロックとは全く独立に設定可能な、所望の周期を指示できる非連続な信号である。したがって、同期型半導体記憶装置１が含まれるシステム内において、最適な効率でデータ転送を実行するために、データ出力周期（周波数）を柔軟に変更することができる。

【００６８】［実施の形態２］実施の形態２においては、図１に示した同期型半導体記憶装置１におけるデータ入力動作について説明する。本実施の形態においては、同期型半導体記憶装置１におけるデータ入力動作は、パイプライン処理に基づいて実行されるものとする。

【００６９】図７は、同期型半導体記憶装置１における実施の形態２に従うデータ入力処理を説明する概念図である。

【００７０】図７を参照して、入力バッファ７０は、データ端子１８に連続的に入力される複数ビットの入力データの奇数ビットを受けるための奇数バッファ７６と、偶数ビットを受けるための偶数バッファ７７とを有する。奇数バッファ７６は、データストローブ信号ＳＴＢの立上がりエッジに応答して動作し、データ端子１８への入力データを取込む。偶数バッファ７７は、データストローブ信号ＳＴＢの反転信号に基づいて、すなわち奇数バッファ７６と相補的に動作して、データ端子１８への入力データを取込む。

【００７１】入力バッファによって取込まれた入力データは、パイプライン処理ユニット９０～９２の各々によって段階的に処理されて、メモリアレイ１０に書込まれる。

【００７２】図７におけるパイプライン処理ユニット９０～９２による処理は、行デコーダおよびワードドライバ４０、列デコーダ４５、センスアンプ５０およびプリアンプおよびライトドライバ６０等によって実行される一連のデータ入力処理を総括的に示している。最終段のパイプライン処理ユニット９２においては、選択メモリセルに対する書込動作が実行されるものとする。

【００７３】なお、図７においては、パイプライン処理ユニット９０～９２によって、データ入力処理が３段階

に分割されて実行される例を示したが、データ入力処理は、任意の複数個の段階に分割して実行することができる。

【００７４】奇数バッファ７６もしくは偶数バッファ７７によって取込まれた入力データは、パイプライン処理ユニット９０～９２のそれぞれによって、パイプライン処理１（単に「処理１」とも称する）、パイプライン処理２（単に「処理２」とも称する）およびメモリセルへの書込動作を段階的に実行されて、選択メモリセルに伝達される。

【００７５】パイプライン処理ユニット９０、９１および９２は、内部クロックＩＮＴＣＬＫおよびその反転クロックの立上がりエッジの各々に応答して動作する。あるいは、内部クロックＩＮＴＣＬＫおよびその反転クロックの立下がりエッジの各々に応答して動作させてもよい。

【００７６】図８は、実施の形態２に従うデータ入力処理の進行を説明するタイミングチャートである。

【００７７】図８を参照して、時刻Ｔ０におけるデータストローブ信号ＳＴＢの立上がりエッジに応答して、１番目の入力データＤ１は奇数バッファ７６によって取込まれる。データストローブ信号ＳＴＢの立下がりエッジ、すなわち反転されたデータストローブ信号ＳＴＢの立上がりエッジに相当する時刻Ｔ１において、データ端子１８に入力された第２番目の入力データＤ２が偶数バッファ７７によって取込まれるのと並列して、入力データＤ１に対する「処理１」が、パイプライン処理ユニット９０によって実行される。

【００７８】データストローブ信号ＳＴＢに基づいた、内部クロックＩＮＴＣＬＫの生成が開始されると、時刻Ｔ２における内部クロックＩＮＴＣＬＫの次の立上がりエッジに応答して、３番目の入力データＤ３が奇数バッファ７６によって取込まれるのと並列して、第１番目の入力データＤ１がパイプライン処理ユニット９１（処理２）で処理されるとともに、第２番目の入力データがパイプライン処理ユニット９０（処理１）によって処理される。

【００７９】以下、データストローブ信号ＳＴＢの立上がりエッジおよび立下がりエッジの各々において、入力データが１ビットずつ順に奇数バッファ７６もしくは偶数バッファ７７によって取込まれるとともに、取込まれた入力データは、パイプライン処理ユニット９０、９１および９２によって、データストローブ信号ＳＴＢと同期した内部クロックＩＮＴＣＬＫに応答して段階的に処理されてメモリセルに書込まれていく。

【００８０】このように、順に入力される複数ビットの入力データを、内部クロックＩＮＴＣＬＫに応答して相補的に動作する、奇数バッファ７６および偶数バッファ７７によって選択的に取込むとともに、入力データの各ビットに対して、パイプライン処理ユニット９０、９１および９２の各々において、重複する処理期間を設けることなく順次データ入力処理を実行することができる。

【００８１】したがって、１ビットの入力データに対するデータ入力処理を実行するための回路群を用いて、複数ビットの入力データを効率的にかつ高速に処理することができる。

【００８２】図９は、実施の形態２に従うデータ入力動作を説明するタイミングチャートである。

【００８３】図９を参照して、データ入力時においては、データストローブ信号端子１９に入力されるデータストローブ信号ＳＴＢが周期制御信号に相当する。したがって、データ入力時には、データストローブ信号ＳＴＢに基づいて、内部クロックＩＮＴＣＬＫが生成される。データ入力時においては、データストローブ信号ＳＴＢは、図１で説明した外部トグル信号ＰＣＬＫに代えて内部クロック生成回路１００または１０１に入力される。この結果、データストローブ信号ＳＴＢは、データ入力周期を指示するための２つまたは１つ以上のパルスを含むことにより、同期型半導体記憶装置１におけるデータ入力周期を指示することができる。

【００８４】同期型半導体記憶装置１内部においては、図７および図８で説明したように、内部クロックＩＮＴＣＬＫに同期して、データ入力処理がパイプライン動作に基づいて実行される。この結果、データ端子１８への入力データＤＡＴ（Ｄ１～Ｄ８）を、データストローブ信号ＳＴＢによって指示されるデータ入力周期に従って、データ入力処理を実行することができる。

【００８５】なお、図９の例においては、８ビットのデータを入力するためにデータストローブ信号ＳＴＢは、４つのパルスを含むする例を示しているが、実施の形態１で説明したように、データストローブ信号ＳＴＢには、１つ以上または２つ以上のパルスを有すれば、当該パルス幅に応じた内部クロックを同期型半導体記憶装置１内部で生成することができる。

【００８６】［実施の形態３］実施の形態２においては、データストローブ信号ＳＴＢによって指示されたデータ入力周期でデータ入力を実行するとともに、内部においてはパイプライン動作に基づいて、効率的なデータ入力処理を実行することが可能な構成について説明した。しかしながら、実施の形態２に従う構成によれば、外部から要求されるデータ入力周期、すなわちデータストローブ信号ＳＴＢのパルス幅に応じて、同期型半導体記憶装置１内部におけるデータ入力処理時間が変動することになってしまう。実施の形態３においては、外部から要求されたデータ入力周期に基づいて、外部からのデータ入力を受付けるとともに、内部におけるデータ入力処理時間が一定となるような構成について説明する。

【００８７】図１０を参照して、実施の形態３に従う構成においては、内部クロック生成回路１００は、図２に示した構成に加えて、内部クロックＩＮＴＣＬＫを遅延

させるための遅延回路１６０～１６２と、内部クロックＩＮＴＣＬＫの反転クロッを遅延させるための遅延回路１６５～１６７とをさらに有する。

【００８８】遅延回路１６０～１６２は、内部クロックＩＮＴＣＬＫを△Ｔｃずつ段階的に遅延させて、サブクロックＳＣ１～ＳＣ３をそれぞれ生成する。すなわち、遅延回路１６０が出力するサブクロックＳＣ１は、内部クロックＩＮＴＣＬＫよりも△Ｔｃだけ遅延されている。同様に、遅延回路１６１が生成するサブクロックＳＣ２は、サブクロックＳＣ１よりも△Ｔｃ遅延されている。遅延回路１６２が生成するサブクロックＳＣ３は、サブクロックＳＣ２より△Ｔｃ遅延されている。

【００８９】同様に、遅延回路１６５～１６７は、反転クロックを△Ｔｃずつ段階的に遅延させて、サブクロックＩＳＣ１～ＩＳＣ３をそれぞれ生成する。すなわち、遅延回路１６５が出力するサブクロックＩＳＣ１は、内部クロックＩＮＴＣＬＫの反転クロックよりも△Ｔｃだけ遅延されている。同様に、遅延回路１６６が生成するサブクロックＩＳＣ２は、サブクロックＩＳＣ１よりも△Ｔｃ遅延されている。遅延回路１６７が生成するサブクロックＩＳＣ３は、サブクロックＩＳＣ２より△Ｔｃ遅延されている。

【００９０】パイプライン処理ユニット９０は、サブクロックＳＣ１およびＩＳＣ１の立ち上がりエッジの各々に応答して動作する。同様に、パイプライン処理ユニット９１は、サブクロックＳＣ２およびＩＳＣ２の立ち上がりエッジの各々に応答して動作し、パイプライン処理ユニット９２は、サブクロックＳＣ３およびＩＳＣ３の立ち上がりエッジの各々に応答して動作する。

【００９１】図１１は、実施の形態３に従うデータ入力処理の進行を説明するタイミングチャートである。

【００９２】図１１を参照して、時刻Ｔ０におけるデータストローブ信号ＳＴＢの立上がりエッジに応答して、第１番目の入力データＤ１が奇数バッファ７６によって取込まれる。

【００９３】遅延回路１６０～１６２および１６５～１６７の各々における遅延時間△Ｔｃは、各パイプライン処理ユニット９０，９１，９２における処理所要時間を考慮して、内部クロックＩＮＴＣＬＫの半周期（Ｔｃ／２）よりも短くなるように設定される。なお、内部クロックＩＮＴＣＬＫは、外部から要求されるデータ入力周期に応じてその周期が変化するが、遅延時間△Ｔｃは、たとえばスペック上想定される最小の周期を考慮して定められる。

【００９４】したがって、内部クロックＩＮＴＣＬＫの立下がりエッジに相当する時刻ｔ１よりも前の時刻ｔａにおいて、サブクロックＳＣ１が立上がるので、パイプライン処理ユニット９０によって、第１番目の入力データＤ１に対する「処理１」が実行される。以降、時刻ｔａより所定の遅延時間△Ｔｃずつ経過した時刻ｔｂおよびｔｃにおいて、パイプライン処理ユニット９１による「処理２」およびパイプライン処理ユニット９２による「メモリセル書込」が実行される。

【００９５】一方、時刻ｔａより遅く時刻ｔｂよりも早い時刻Ｔ１において、データストローブ信号ＳＴＢの反転信号の立上がりエッジに応答して、偶数バッファ７７によって、第２番目の入力データＤ２が取込まれる。以降、時刻Ｔ１から所定の遅延時間△Ｔｃずつ経過した時刻ｔｄ、ｔｅおよびｔｆにおいて、第２番目の入力データＤ２に対する、パイプライン処理ユニット９０による「処理１」、パイプライン処理ユニット９１による「処理２」およびパイプライン処理ユニット９２による「メモリセル書込」がそれぞれ実行される。

【００９６】以降の入力データＤ３，…も、データストローブ信号ＳＴＢに応答したタイミングで奇数バッファ７６および偶数バッファ７７によって取込まれ、入力データＤ１およびＤ２と同様のタイミングにおいて、パイプライン処理によってデータ入力処理が実行される。

【００９７】このように、実施の形態３に従う構成によれば、実施の形態２と同様に、外部から要求されたデータ入力周期に従ってパイプライン処理に基づくデータ入力処理を実行するとともに、データ入力処理の所要時間を、外部から要求されるデータ入力周期にかかわらず一定に維持することができる。

【００９８】［実施の形態４］実施の形態４においては、実施の形態１から３で説明した同期型半導体記憶装置に代表される、本願発明に従う半導体集積回路装置を用いて構成されるシステムの構成について説明する。

【００９９】図１２は、本願発明に従う半導体集積回路装置によって構成されるシステム３００の構成を示す概略ブロック図である。

【０１００】図１２を参照して、実施の形態４に従うシステム３００は、半導体集積回路装置２００および２１０を備える。半導体集積回路装置２００および２１０の各々は、たとえば実施の形態１～３で説明した同期型半導体記憶装置１を適用することができる。また、同期型半導体記憶装置に限られず、メモリコントローラ、マイクロコンピュータ、チップセット、グラフィックチップおよびＣＰＵ（Central Processing Unit）等の回路装置についても同様に適用することができる。

【０１０１】半導体集積回路装置２００および２１０は、実施の形態１で説明した内部クロック生成回路１００（もしくは１０１）を内蔵する。

【０１０２】システム３００においては、共通の外部クロックＥＸＴＣＬＫが設けられ、半導体集積回路装置２００および２１０は、外部クロックＥＸＴＣＬＫに同期して動作することも可能である。

【０１０３】システム３００を構成する半導体集積回路装置２００および２１０の間におけるデータ転送は、外部トグル信号ＰＣＬＫおよびデータストローブ信号ＳＴ

Ｂによってそれぞれ指定される、データ入力周期およびデータ出力周期に基づいて実行される。

【０１０４】たとえば、半導体集積回路装置２１０から半導体集積回路装置２００に対してデータ出力を要求する場合には、データ出力要求とともにデータ出力周期を指示するトグル信号ＰＣＬＫｂが出力される。半導体集積回路装置２００は、トグル信号ＰＣＬＫｂに基づいて内部クロック生成回路１００（または１０１）によって生成される内部クロックＩＮＴＣＬＫａに基づいてデータ出力処理を実行する。半導体集積回路装置２００は、トグル信号ＰＣＬＫｂによって指示されたデータ出力周期に従って、ｎビット（ｎ：２以上の自然数）のデータＤＡＴを出力する。さらに、データＤＡＴとともに、内部クロックＩＮＴＣＬＫａと同様の周期を有するデータストローブ信号ＳＴＢａが出力される。

【０１０５】半導体集積回路装置２００からのデータを受ける半導体集積回路装置２１０においては、データストローブ信号ＳＴＢａに同期した内部クロックＩＮＴＣＬＫｂを内部クロックで生成し、内部クロックＩＮＴＣＬＫｂに同期して、ｎビットのデータＤＡＴの入力処理を実行する。この結果、半導体集積回路装置２００から転送されたデータＤＡＴを、データストローブ信号ＳＴＢａに同期して受けることができる。

【０１０６】システム３００が３個以上の半導体集積回路装置から構成される場合においても、それぞれの半導体集積回路装置ごとにトグル信号およびデータストローブ信号を設定することによって、同様のデータ転送を実行することができる。

【０１０７】このように、本願発明の装置に従う半導体集積回路装置を用いて構成されたシステムにおいては、装置間のデータ転送を、システム全体の効率を考慮して変化させることができるため、システムに最適なデータ転送を実行することが可能である。

【０１０８】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【０１０９】

【発明の効果】請求項１および２に記載の半導体記憶装置は、周期制御信号に基づいて外部クロックと全く独立な周期でデータ出力を実行できるので、システムの全体効率を考慮した適切な周期でデータを転送できる。

【０１１０】請求項３記載の半導体記憶装置は、周期制御信号に基づいて外部クロックと全く独立な周期でデータ入力を実行できるので、システムの全体効率を考慮した適切な周期でデータを転送できる。

【０１１１】請求項４記載の半導体記憶装置は、請求項３記載の半導体記憶装置が奏する効果に加えて、パイプライン処理によって複数ビットのデータ入力処理を効率的に実行できる。

【０１１２】請求項５記載の半導体記憶装置は、請求項４記載の半導体記憶装置が奏する効果に加えて、周期制御信号によって指示されるデータ入力周期に依存せず、データ入力処理の所用時間を一定にすることができる。

【０１１３】請求項６記載の半導体記憶装置は、請求項１記載の半導体記憶装置が奏する効果に加えて、非連続な周期制御信号に基づいて、周期制御信号に含まれるパルス幅に応じた周波数を有する内部クロックを生成することができる。

【０１１４】請求項７記載の半導体記憶装置は、周期制御信号が少なくとも２個のパルスを含めば、請求項６記載の半導体記憶装置が奏する効果を享受できる。

【０１１５】請求項８記載の半導体記憶装置は、周期制御信号が少なくとも１個のパルスを含めば、請求項６記載の半導体記憶装置が奏する効果を享受できる。

【０１１６】請求項９および１０に記載の半導体集積回路装置は、同一システム内の他の装置との間で、周期制御信号に基づいて、外部クロックと全く独立な周期でデータ入力およびデータ出力を実行できるので、システムの全体効率を考慮した適切な周期でデータを転送できる。

【図面の簡単な説明】

【図１】　本発明の実施の形態１に従う半導体集積回路装置の代表例として示される同期型半導体記憶装置の全体構成を示す概略ブロック図である。

【図２】　図１に示される内部クロック生成回路の構成例を示すブロック図である。

【図３】　図２に示される内部クロック生成回路の動作を説明するための概念図である。

【図４】　図１に示される内部クロック生成回路の他の構成例を示すブロック図である。

【図５】　図４に示される内部クロック生成回路の動作を説明するための概念図である。

【図６】　図１に示される同期型半導体記憶装置のデータ出力動作を説明するタイミングチャートである。

【図７】　図１に示される同期型半導体記憶装置の実施の形態２に従うデータ入力処理を説明する概念図である。

【図８】　実施の形態２に従うデータ入力処理の進行を説明するタイミングチャートである。

【図９】　実施の形態２に従うデータ入力動作を説明するタイミングチャートである。

【図１０】　図１に示される同期型半導体記憶装置の実施の形態３に従うデータ入力処理を説明する概念図である。

【図１１】　実施の形態３に従うデータ入力処理の進行を説明するタイミングチャートである。

【図１２】　本願発明に従う半導体集積回路装置によっ

19

て構成されるシステムの構成例を示す概略ブロック図である。

【図１３】　従来の同期型半導体記憶装置におけるデータ入出力タイミングを説明するタイミングチャートである。

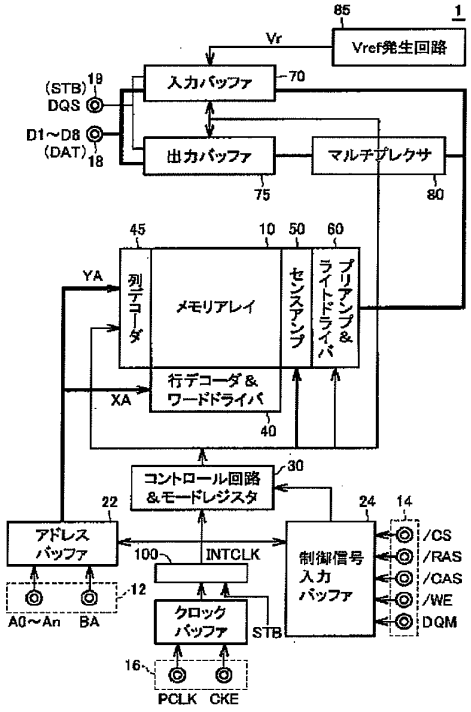
【符号の説明】

１　同期型半導体記憶装置、１０　メモリアレイ、１２　アドレス端子、１４コマンド制御信号端子、１６　クロック端子、１８　データ端子、１９　データストローブ信号端子、３０　コントロール回路およびモードレジスタ、４０ワードドライバ、４５　列デコーダ、５０　センスアンプ、７０　入力バッファ、７５　出力バッファ、

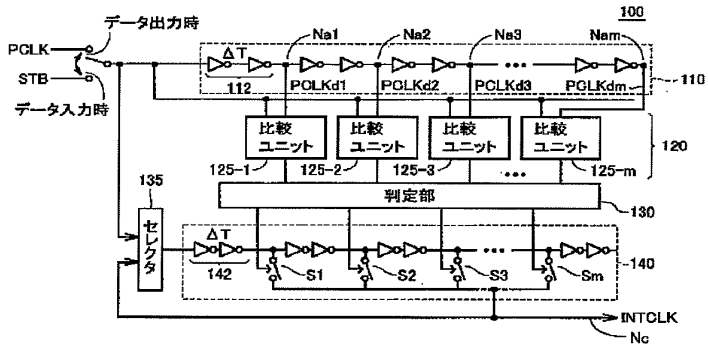
20

＊ァ、７６　奇数バッファ、７７　偶数バッファ、８０　マルチプレクサ、９０，９１，９２　パイプライン処理ユニット、１００，１０１内部クロック生成回路、１１０，１４０　遅延部、１１２，１４２　遅延ユニット、１２０　位相比較部、１２５－１～１２５－ｍ　比較ユニット、１３０　判定部、１３５　セレクタ、１５０　インバータ、１６０～１６２，１６５～１６７　遅延回路、２００，２１０　半導体集積回路装置、３００　システム、ＥＸＴＣＬＫ　外部クロック、ＩＮＴＣＬＫ，ＩＮＴＣＬＫａ，ＩＮＴＣＬＫｂ　内部クロック、ＰＣＬＫ，ＰＣＬＫｂ，ＰＣＬＫｄ１　外部トグル信号、Ｓ１～Ｓｍ　スイッチ、ＳＴＢ　データストローブ信号。

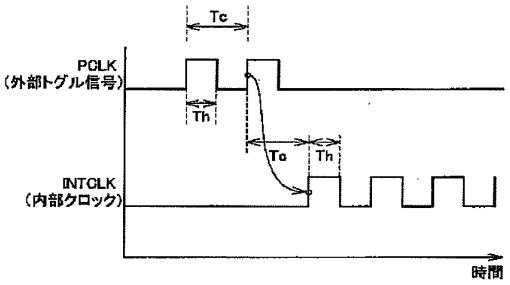
【図１】



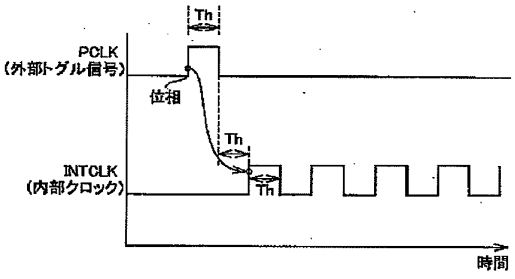
【図２】



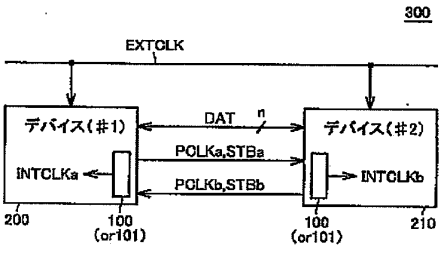
【図３】



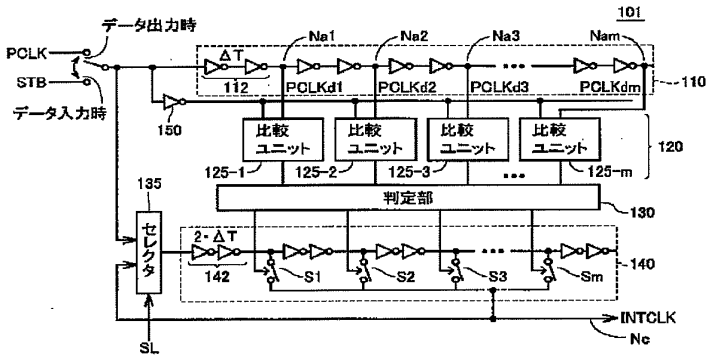
【図５】



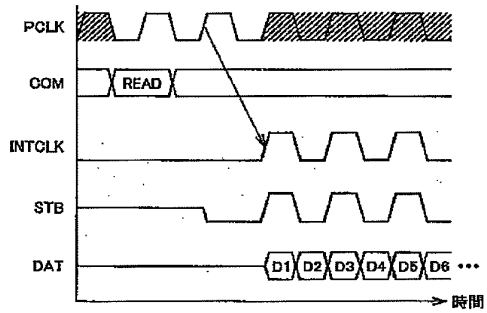
【図１２】



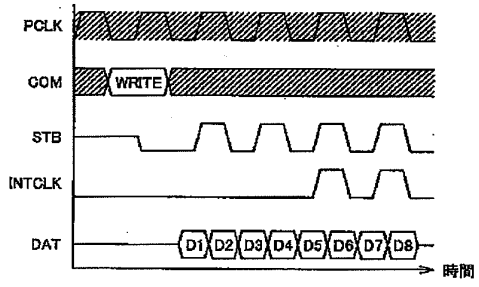
【図４】


データ出力時
PCLK
STB
データ入力時
150
ΔT
112
Na1
Na2
Na3
Nam
101
PCLKd1
PCLKd2
PCLKd3
PCLKdm
110
比較ユニット
125-1
125-2
125-3
125-m
120
135
セレクタ
判定部
130
2・ΔT
142
S1
S2
S3
Sm
140
INTCLK
Nc
SL

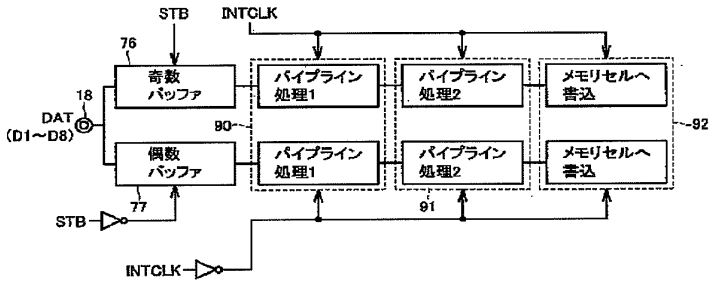
【図６】


PCLK
COM
READ
INTCLK
STB
DAT
D1
D2
D3
D4
D5
D6
時間

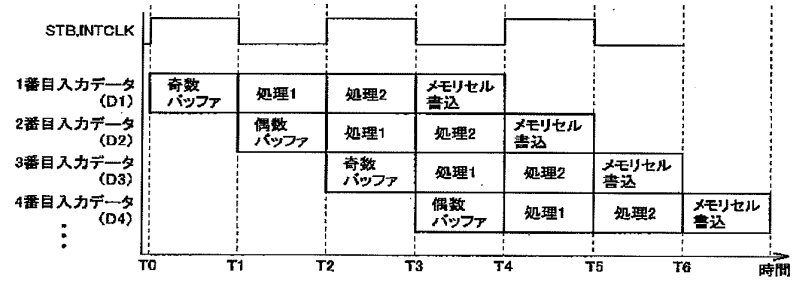
【図９】


PCLK
COM
WRITE
STB
INTCLK
DAT
D1
D2
D3
D4
D5
D6
D7
D8
時間

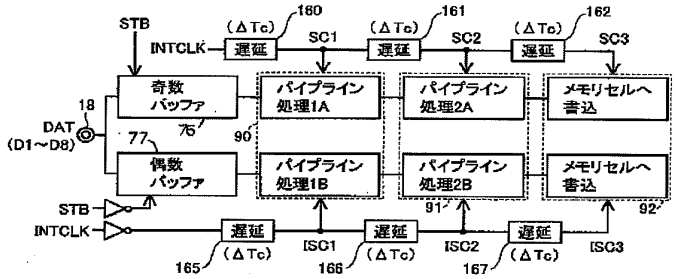
【図７】


STB
INTCLK
76
奇数バッファ
偶数バッファ
18
DAT
(D1～D8)
90
パイプライン処理1
パイプライン処理2
メモリセルへ書込
92
91
77
STB
INTCLK

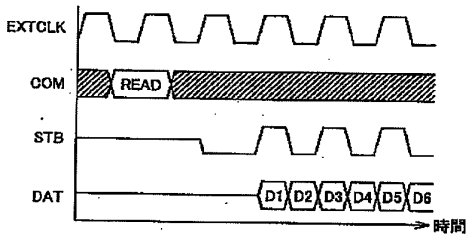
【図８】



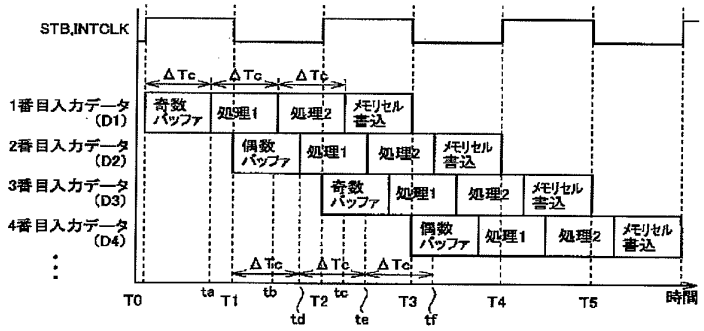
【図１０】



【図１３】



【図１１】



フロントページの続き

Ｆターム(参考) 5B015 HH01 HH03 JJ24 KB36 KB84
KB89 NN03 NN04 QQ18
5B060 CC03 CC04
5M024 AA04 AA49 AA72 BB27 BB33
BB34 DD83 DD90 GG01 JJ02
JJ04 JJ12 JJ32 JJ34 JJ36
JJ40 PP01 PP07 PP10

Electronic Acknowledgement Receipt

EFS ID:	4566895
Application Number:	11759862
International Application Number:	
Confirmation Number:	7014
Title of Invention:	SYSTEM WITH CONTROLLER AND MEMORY
First Named Inventor/Applicant Name:	Atsuo Koshizuka
Customer Number:	23373
Filer:	Howard Leonard Bernstein/Adrienne Williams
Filer Authorized By:	Howard Leonard Bernstein
Attorney Docket Number:	Q102115
Receipt Date:	07-JAN-2009
Filing Date:	07-JUN-2007
Time Stamp:	09:39:27
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		IDS_to_be_filed.PDF	108766 347cbe5e68ddb53c0f33c5813fb7cdd956b3b0a5	yes	3

	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	Information Disclosure Statement Letter		1	2	
	Information Disclosure Statement (IDS) Filed (SB/08)		3	3	
Warnings:					
Information:					
2	NPL Documents	English_Translation.PDF	46391 95fb480dcbc29b63fd33c31092d62be1475d186d	no	1
Warnings:					
Information:					
3	NPL Documents	Japanese_Office_Action.PDF	148955 fc3a6b262b9d057cfbfe9b8ff98b57be69cf363f	no	3
Warnings:					
Information:					
4	Foreign Reference	Reference_JP20037069_Abstract.PDF	1205214 44a7e6d530b0e6d3c7c1fb03b47bf1c7cd36648f	no	14
Warnings:					
Information:					
		Total Files Size (in bytes):	1509326		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Atsuo KOSHIZUKA

Appln. No.: 11/759,862

Confirmation No.: 7014

Filed: June 7, 2007

For: SYSTEM WITH CONTROLLER AND MEMORY

Docket No: Q102115

Group Art Unit: Not Yet Assigned

Examiner: Not Yet Assigned

INFORMATION DISCLOSURE STATEMENT UNDER 37 C.F.R. §§ 1.97 and 1.98

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450
Sir:

In accordance with the duty of disclosure under 37 C.F.R. § 1.56, Applicant hereby notifies the U.S. Patent and Trademark Office of the documents which are listed on the attached PTO/SB/08 (modified) form and/or listed herein and which the Examiner may deem material to patentability of the claims of the above-identified application.

1. International Patent Publication No. 2005-033958, published April 14, 2005

2. Japanese Patent Publication No. 2006-85851, published March 30, 2006 (previously submitted in an Information Disclosure Statement filed July 16, 2008).

3. Japanese Patent Publication No. 2006-134334, published May 25, 2006 (previously submitted in an Information Disclosure Statement filed July 16, 2008).

4. Japanese Patent Publication No. 2006-120307, published May 11, 2006 (previously submitted in an Information Disclosure Statement filed July 16, 2008).

5. Japanese Patent Publication No. 2005-25765, published January 27, 2005 (previously submitted in an Information Disclosure Statement filed July 16, 2008).

One copy of the listed documents is submitted herewith, except for the previously submitted references. Applicant also submits and Japanese Office Action dated August 19, 2008 which cites the above listed references

The present Information Disclosure Statement is being filed: (1) No later than three months from the application's filing date; (2) Before the mailing date of the first Office Action on the merits (whichever is later); or (3) Before the mailing date of the first Office Action after filing a request for continued examination (RCE) under §1.114, and therefore, no Statement under 37 C.F.R. § 1.97(e) or fee under 37 C.F.R. § 1.17(p) is required.

The submission of the listed documents is not intended as an admission that any such document constitutes prior art against the claims of the present application. Applicant does not waive any right to take any action that would be appropriate to antedate or otherwise remove any listed document as a competent reference against the claims of the present application.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,

/Howard L. Bernstein/
Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: November 10, 2008

MODIFIED PTO/SB/08a (09-08)

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	11/759,862
Filing Date	June 7, 2007
First Named Inventor	Atsuo KOSHIZUKA
Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned
Attorney Docket Number	Q102115

U.S. PATENTS

Examiner Initials*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

U.S. PATENT APPLICATION PUBLICATIONS

Examiner Initials*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[5]
	1	2005-033958	WO	A1	2005-04-14	RAMBUS, INC		N

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	T[5]
	1		

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. 2 Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). 3 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 5 Applicant is to place a check mark here if English language translation is attached.

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
14 April 2005 (14.04.2005)

PCT

(10) International Publication Number
WO 2005/033958 A1

(51) International Patent Classification[7]: G06F 13/16

(21) International Application Number:
PCT/US2004/029186

(22) International Filing Date:
3 September 2004 (03.09.2004)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
10/676,648 30 September 2003 (30.09.2003) US

(71) Applicant *(for all designated States except US)*: **RAMBUS INC.** [US/US]; 4440 El Camino Real, Los Altos, CA 94022 (US).

(72) Inventor; and

(75) Inventor/Applicant *(for US only)*: **HAMPEL, Craig, E.** [US/US]; 5927 Dunn Avenue, San Jose, CA 95123 (US).

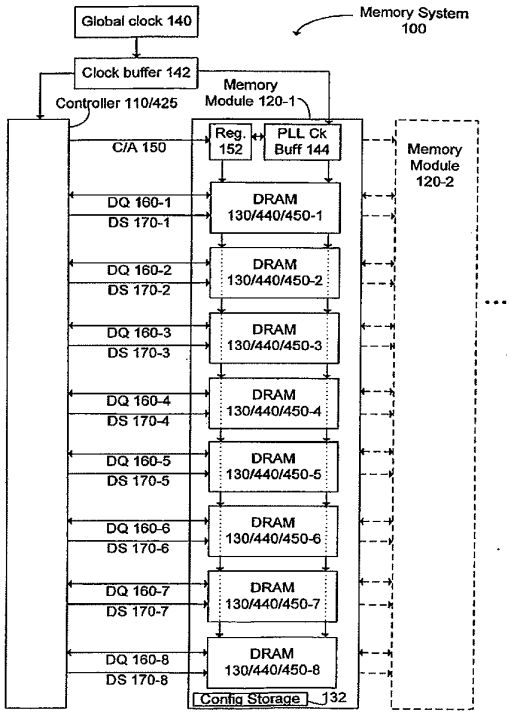
(74) Agents: **WILLIAMS, Gary, S.** et al.; Morgan Lewis & Bockius LLP, 2 Palo Alto Square, 3000 El Camino Real, Suite 700, Palo Alto, CA 94306 (US).

(81) Designated States *(unless otherwise indicated, for every kind of national protection available)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Designated States *(unless otherwise indicated, for every kind of regional protection available)*: ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

[Continued on next page]

(54) Title: INTEGRATED CIRCUIT WITH BI-MODAL DATA STROBE



(57) Abstract: A memory device that has two operating modes. In the first mode the data strobe is source synchronous and is driven by the memory device when data is being transmitted. In the second mode the data strobe is not driven by the memory device. In this mode the data strobe signal is used as a free running clock to sample write data. The capture of read data by the controller is timed by the controller with a calibrated internal timing reference from the system clock.

WO 2005/033958 A1

FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

Published:

— *with international search report*

INTEGRATED CIRCUIT WITH BI-MODAL DATA STROBE

BRIEF DESCRIPTION OF THE INVENTION

[0001] The present invention pertains generally to integrated circuit technologies. More specifically, the present invention pertains to integrated circuit devices with bi-modal data strobes.

BACKGROUND

[0002] A source synchronous data strobe serves to compensate for the delays in the transmit path of a device that is transmitting data and the receive path of a device receiving this data. The size of these delays are a function of the speed, and variation in path speed, of a semiconductor device over its operating conditions and manufacturing tolerances.

[0003] Typically the data strobe interconnect lines between devices are left in a tristate, or quiet state, when responsibility for generating a data strobe is transferred from one device to another. As a result of these quiet periods, the data strobe does not have a predetermined, constant frequency, but resembles a clock being briefly turned on and off. During periods that multiple cycles of the data strobe are generated by a single device, the data strobe signal suffers from standing wave phenomena. The first edge, and perhaps the first few edges of a data strobe will typically arrive in-phase with respect to the data. However, subsequent edges of the data strobe may shift due to reflections of previous data strobe edges, and therefore will not be in phase with respect to the data. In other words, the data strobe would begin to appear more like a free running clock.

[0004] As memory bus speeds have increased, the benefits of using source synchronous data strobes in memory systems have decreased. Over time it is apparent that data strobes will need to be modified to accommodate systems that run faster. Due to manufacturing costs and economies of scale, it would be beneficial if a new system design that addresses the problems with data strobes were compatible with products using source synchronous data strobes.

SUMMARY

[0005] A controller for a memory system is coupled to a data strobe bus, a data bus, and a clock bus. The controller includes an output buffer configured to assert a first data strobe signal on the data strobe bus when the output buffer is enabled. The controller also

includes a register to store a mode of controller operation. The output buffer is enabled only during transfers from the controller of a first data signal over the data bus when the mode of controller operation is set to a first mode of controller operation. The output buffer is, however, continuously enabled when the mode of controller operation is set to a second mode of controller operation. Further, the controller is configured to receive a clock signal over the clock bus and to clock receipt of a second data signal over the data bus with the clock signal.

[0006] In another aspect, a memory device is coupled to a data strobe bus, a data bus, and a clock bus. The memory device is configured to receive over the data strobe bus a data strobe signal that is continuously, remotely asserted on the data strobe bus. The memory device is also configured to receive over the data bus a first data signal in conjunction with the data strobe signal and to clock receipt of the first data signal with the data strobe signal. The memory device is further configured to receive a clock signal over the clock bus. In a first mode of operation, the memory device is configured to transmit over the data bus a second data signal in conjunction with the clock signal and to clock transmission of the second data signal with the clock signal. In a second mode of operation the memory device is configured to clock transmission of the second data signal with the data strobe signal.

BRIEF DESCRIPTION OF THE DRAWINGS

[0007] Aspects of the present invention will be more readily apparent from the following description and appended claims when taken in conjunction with the accompanying drawings, in which:

[0008] Figure 1 illustrates a memory system.

[0009] Figure 2 illustrates a controller of the memory system illustrated in Figure 1.

[0010] Figure 3 illustrates a DRAM that may be included in the memory system illustrated in Figure 1.

[0011] Figure 4 illustrates another DRAM that may be included in the memory system illustrated in Figure 1.

[0012] Figure 5A illustrates another controller that may be included in the memory system illustrated in Figure 1.

[0013] Figure 5B illustrates another DRAM that may be included in the memory system illustrated in Figure 1.

DESCRIPTION OF EMBODIMENTS

[0014] A number of embodiments of the invention are described below. In the interest of clarity, not all features of an actual implementation are described. It will be appreciated that in the development of any such embodiment, numerous implementation-specific decisions must be made to achieve the developers' specific goals, such as compliance with system-related and business-related constraints, which will vary from one implementation to another. Moreover, it will be appreciated that such a development effort might be complex and time-consuming, but would nevertheless be a routine undertaking for those of ordinary skill in the art having the benefit of this disclosure.

[0015] Figure 1 illustrates a memory system 100 that includes a master system clock or global clock 140, a clock buffer 142, a controller 110/425, one or more memory modules 120 (120-1, 120-2), one or more control and address ("C/A") leads 150, eight data ("DQ") leads 160 (160-1 to 160-8) and eight data strobe ("DS") leads 170 (170-1 to 170-8). The memory module 120-1 in some embodiments is a DIMM (dual in-line memory module) that includes eight DRAMs 130/440/450 (130-1 to 130-8), and a configuration storage device 132. While the memory module 120-1 shown in Figure 1 has a single column of DRAMs, one or more of the memory modules in the system 100 may be a multi-rank memory module having two or more columns (also called ranks) of DRAMs. In such memory modules, a single column or rank of the DRAMs is accessed during each memory operation that employs the memory module. Each memory module 120 optionally includes a register 152, a phase locked loop ("PLL") clock buffer 144. These optional support circuits are helpful, for instance, in systems supporting large fan-outs (i.e., large numbers of DRAMs). In particular, these optional circuits support the distribution of clock, control and address signals among the DRAMs 130.

[0016] In some embodiments, the memory module configuration storage device 132 (sometimes called a mode register or configuration register) is implemented as a serial presence detect (SPD) device such as a PROM (programmable read only memory). The configuration storage device 132 is typically read by the controller upon power up or system reset to determine the capabilities and/or configuration of the memory module 120. In some embodiments, a bit within the memory module configuration storage device 132 stores a data strobe mode value (also herein called a directional mode value), indicative of whether the memory devices within the memory module can be configured to disable driving of the data

strobe, in addition to other mode values. The information read from the memory module configuration storage device 132 is used by the controller 110 to set mode bits within the controller 110 and the DRAMs 130. In some embodiments the number of data leads, data strobes and DRAMs may be larger or smaller. Except where otherwise noted, discussions provided here with respect to controller 110 are also applicable to controller 425, and discussions with respect to DRAM 130 are also applicable to DRAMs 440 and 450.

[0017] The C/A leads 150 function as a control and address bus, having as many parallel signal paths as needed by the memory system 100. Similarly, each of the DQ leads 160 function as a data bus, having as many parallel signal paths (or as few as one signal path) as needed by the memory system 100. When the memory system 100 has two or more memory modules, the C/A leads 150, DQ leads 160 and DS leads 170 connect the controller 110 to each of the memory modules.

[0018] In some embodiments, the DS leads 170 transmit data strobes that act as source synchronous bi-directional timing references. The set of leads 150, 160, 170 interconnecting the controller 110/425 and the memory module 120 are sometimes collectively called a memory bus or, more generally, an interconnect. The DS leads 170 separately connect the controller 110 to each DRAM 130 in the memory module 120. When the controller 110 transmits data to a DRAM 130 over a given DQ lead 160, the transmission and receipt of the data is clocked by the data strobe transmitted by the controller 110 over a corresponding DS lead 170. Similarly, in some embodiments, when a DRAM 130 transmits data to the controller 110 over a given DQ lead 160, the transmission and receipt of the data is clocked by the data strobe transmitted by the DRAM 130 over a corresponding DS lead 170.

[0019] In other embodiments, the DS leads 170 in the memory system 100 are configured to operate in a unidirectional manner. More specifically, data strobes transmitted by the DS leads 170 are unidirectional – generated and transmitted by the controller 110 only. The DRAMs 130, therefore, may receive a data strobe but not generate and transmit a data strobe. In these embodiments, when a DRAM 130 transmits data to the controller 110 over a given DQ lead 160, the transmission and receipt of the data is clocked by the clock signal received from the clock buffer 142.

[0020] As described in more detail below, the memory system 100 includes a controller 110 and a DRAM 130 that may be configured to operate in conjunction with DS

leads 170 that are bidirectional or unidirectional. The embodiments described here are not limited to a controller 110 and/or a DRAM 130 that operate in a unidirectional manner. A single part (e.g., a controller 110, DRAM 130/440/450, or memory module 120) may be configurable so as to satisfy past, present, and future needs of the memory system market. In other words, these devices are capable of providing improved performance while also maintaining backwards compatibility.

[0021] Though not illustrated, the controller 110 (sometimes called a memory controller) preferably sends and receives data to and from external components (i.e., components not illustrated in Figure 1). Additionally, the controller 110 sends and receives this same data to and from the memory module 120, which stores this data, via the DQ leads 160. More specifically, each of the DQ leads 160 connects the controller 110 to a DRAM 130 within the memory module 120. And as illustrated in Figure 1, the DQ leads 160 are bi-directional. More specifically, the controller 110 transmits data to and receives data from the DRAMs 130 via the DQ leads 160.

[0022] The controller 110 controls the operation of the memory module 120, and thus the DRAMs 130, via the C/A lead 150, with control and address signals. These signals enable the controller 110 to select one of possibly two or more memory modules 120 to which the controller 110 is coupled. The memory module 120 is configured to receive over the control and address bus 150 control and address signals in conjunction with the clock signal asserted on the clock bus, the clock signal clocking receipt of the control and address signals. The transmission of the control and address signals to the DRAMs 130 is synchronous and operates in parallel with the synchronous transmission of data signals over the DQ leads 160.

[0023] The global clock 140 generates a clock (sometimes called the system clock or reference clock) that is transmitted to the clock buffer 142, which drives the clock to the controller 110 and the memory module 120. The clock buffer is typically PLL based in order to phase align the clock. Other bus structures for distributing the system or reference clock may be used, such as the configuration shown in U.S. Patent No. 5,485,490, which is hereby incorporated by reference. Within the memory module 120, a PLL clock buffer 144 receives the clock from the clock buffer 142. The PLL clock buffer 144 aligns the phase of the module clock (used internally within the memory module) with the received reference clock, and transmits the module clock to the register 152 and the DRAMs 130. The transfer of data

and control signals to the memory module 120 is thus synchronous to the clock generated by the global clock 140.

CONTROLLER WITH DIRECTIONAL MODE CONTROL

[0024] Figure 2 illustrates a controller 110 of the memory system 100 in greater detail. It is noted that Figure 2 is a conceptual representation of a small subset of the components of a typical controller. The controller 110 includes a write indicator 380, a data-out register 388, an output buffer 390, another write indicator 392, an output buffer 394, a data-in register 395, a read indicator 396, an input buffer 397, another read indicator 398, and an input buffer 399. In some implementations, the two read indicators 396, 398 are the same read control signal, and the two write indicators 380, 392 are the same write control signal.

[0025] In some embodiments, the controller further includes a calibration selector 382, a calibration array 384, a clock calibrator 386, while in other embodiments these elements are not included. In those embodiments in which these elements are not include, the clock from the clock buffer 142 is coupled to the output buffer 394.

[0026] The controller 110 also includes a mode register 510, an OR gate 515, a calibration selector 555, a calibration array 560, a clock calibrator 565, and a clocking multiplexor 570. Additional control logic 580 generates the control signals shown in Figure 2, and also performs control functions of the controller 110 that are not relevant to the present discussion. The mode register 510 stores a directional mode. Generally, this mode determines whether the DS leads 170 are unidirectional or bidirectional. The mode register 510 may preferably be set during operation of the controller 110 by one or more external components (not illustrated) or during the manufacture of the controller 110. The directional mode stored by the mode register 510 is transmitted to the OR gate 515 and to the clocking multiplexor 570.

[0027] The OR gate 515, as indicated in the preceding paragraph, receives input from the mode register 510. The OR gate 515 also receives input from the write indicator 380. The output of the OR gate 515 is, therefore, high if either the directional mode is high or the write indicator 380 is high. Preferably, the write indicator 380 is high when the controller 110 writes data to a DRAM, and the directional mode is high when the controller 110 is configured to operate in a unidirectional mode (regardless of whether the controller 110 is writing data, reading data, or is otherwise inactive). The output of the OR gate 515 is

connected to the output buffer 394 to enable or disable the output buffer 394. So when the controller 110 writes data to a DRAM or when the controller 110 is configured to operate in a unidirectional mode, the output buffer 394 is enabled. When the output buffer 394 is not enabled, its output is tristated (i.e., set to a high impedance state), which leaves the DS lead 170 floating if no other device is asserting a signal on the DS lead, and more generally allows the DS lead 170 to be driven by another device (e.g., a memory device in a memory module).

[0028] As indicated above, the controller 110 sets the write indicator 380 to enable the output of the output buffer 394 when transmitting data to a DRAM 130. Additionally, the controller 110 stores calibration data for each memory module 120 to which the controller 110 is connected. In the memory systems illustrated in the present application, only one memory module 120 is shown. Memory systems, however, may include more than one memory module 120. The various connections of the controller 110 to the memory modules 120 may be different. For example, the length and impedance of such connections may vary. As a result, the timing signals (e.g., clock or data strobe) may be calibrated or adjusted.

[0029] As noted above, in some embodiments, the controller includes a calibration selector 382, a calibration array 384, a clock calibrator 386 for adjusting the timing signals used when writing data to a memory device. The calibration array 384 stores calibration data for this purpose. The calibration selector 382 carries a signal generated by the controller 110 that selects a specific calibration based upon which memory module 120 is being written to by the controller 110. The calibration selector 382 may transmit, for example, an address to select a specific calibration value stored by the calibration array 384.

[0030] The selected calibration value is transmitted by the calibration array 384 to the clock calibrator 386, which also receives a clock from the clock buffer 142. The clock calibrator 386 uses the selected calibration value to adjust the phase of the clock received thereby. In some embodiments each stored calibration value specifies a delay to offset state transitions of the clock signal. In some embodiments the stored calibration values each specify a clock phase. The adjusted clock is the basis of a data strobe generated by the controller 110. This data strobe is transmitted by the clock calibrator 386 to the data-out register 388 and to the output buffer 394. As indicated above, the output buffer 394 transmits the data strobe to a DS lead 170. The data strobe clocks the output of data from the data-out register 388 to the output buffer 390, which is connected to the DQ lead 160 and enabled by the write indicator 392.

[0031] In one mode of operation, the data-in register 395 of the controller 110 receives a data strobe from the input buffer 397 and data from the input buffer 399. The input buffer 397 is enabled by the read indicator 396 and the input buffer 399 is enabled by the read indicator 398. The input buffer 397 receives input (i.e., a data strobe) from the DS lead 170 and the input buffer 399 receives input (i.e., data) from the DQ lead 160. The control logic 580 controller 110 sets the read indicators 396, 398 to enable the input buffers 397, 399 when receiving data from a DRAM 130. The received data strobe, therefore, clocks the receipt of the data.

[0032] When the controller 110 is configured to use the DS leads in a bidirectional manner, the data strobe is source synchronous and is driven by a DRAM while the DRAM transmits data. In this mode, the controller 110 is compatible with conventional DRAM (e.g., DRAM 130) memory modules. But when the controller is configured to use the DS leads 170 in a unidirectional manner, the data strobe is not source synchronous and is not driven by a DRAM. In this mode the data strobe may be used by a DRAM as a free running clock to sample data transmitted by the controller 110.

[0033] As described above, the memory module 120 includes a plurality of DRAMs 130. Accordingly, the controller 110 may include (though not illustrated for simplicity) a data-out register 388 for each DRAM 130 within the memory module 120. The output of the clock calibrator 386 is connected to each of the data-out registers 388. Additionally, an output buffer 390, which is in turn connected to a respective DQ lead 160, is included for each data-out register 388. The write indicator 392 is preferably connected to each of these data-out registers 388 so that the output of each data-out register 388 is clocked by the same data strobe and enabled by the same write indicator 392. Additionally, an output buffer 394 is included for each DRAM 130 within the memory module 120. The output of the clock calibrator 386 is connected to each of the data-output buffers 394, which are in turn connected to a respective DS lead 170. This configuration enables the controller to transmit separate data to each DRAM 130 of a memory module 120 simultaneously.

[0034] A given calibration value, therefore, applies to each of the data-out registers 388 simultaneously clocked by the data strobe. Each set of DS 170 and DQ leads 160 connected to a given set of output buffers 390, 394 may also be connected to more than one memory module 120. Calibration values, therefore, are typically derived for each memory module 120, not each DRAM 130 within a memory module 120. When a specific memory

module 120 is selected, this selection is reflected in the control and address signals transmitted to each memory module 120 in order to set the selected memory module 120 to receive data.

[0035] Similarly, the controller 110 may include (though not illustrated for simplicity) a data-in register 395, input buffer 397, and input buffer 399 for each DRAM 130 within the memory module 120 (i.e., each set of DS 170 and DQ leads 160). This configuration enables the controller to receive separate data from each DRAM 130 of a memory module 120 simultaneously. When a specific memory module 120 is selected to transmit data to the controller, only this memory module 120 puts data and a data strobe on the DQ 160 and DS leads 170, respectively.

[0036] The calibration selector 555 carries a signal generated by the control logic 580 of controller 110 depending on which memory module is being read from by the controller 110 (i.e., depending on which memory module is transmitting data over the DQ lead 160 to the controller 110). The calibration selector 555 may transmit an address to select a specific calibration value stored by the calibration array 560.

[0037] The selected calibration value is transmitted by the calibration array 560 to the clock calibrator 565, which also receives a clock from the clock buffer 142. The clock calibrator 565 uses the selected calibration value to adjust the phase of the clock received thereby. The adjusted clock is transmitted by the clock calibrator 565 to the clocking multiplexor 570. It should be noted that the calibration selector 555, calibration array 560 and clock calibrator 565 are used only when the directional mode is unidirectional, and are used to generate a phase adjusted receive clock that is adjusted or calibrated in accordance with the memory device from which data is being received. In some embodiments, operation of the clock calibrator 565 is disabled when the directional mode is bidirectional in order to reduce power usage.

[0038] The clocking multiplexor 570 is configured to transmit either the phase adjusted clock transmitted by the clock calibrator 565 or a data strobe transmitted over the DS lead 170. The output of the clocking multiplexor 570 may be called a clock signal or reference signal, even though in some circumstances this signal may be derived from the received data strobe. The selection of the signal output by the clocking multiplexer 570 is controlled by the mode register 510, which as stated above outputs a directional mode to the clocking multiplexor 570. The output of the clocking multiplexor 570 is transmitted to the

input buffer 397, which as stated above is enabled by the read indicator 396 and connected to the data-in register 395. The data received by the data-in register 395 is, therefore, clocked by either the adjusted clock produced by the clock calibrator 565 or the data strobe transmitted over the DS lead 170. The clocking multiplexor 570 transmits the data strobe transmitted over the DS lead 170 to the input buffer 397 when the controller 110 is configured to operate in a bidirectional mode. Additionally, the clocking multiplexor 570 transmits the adjusted clock produced by the clock calibrator 565 to the input buffer 397 when the controller 110 is configured to operate in a unidirectional mode.

[0039] When the controller 110 is configured to use the DS leads in a bidirectional manner, therefore, the data strobe may be used by the controller 110 to sample data transmitted by a DRAM. But when configured to operate in a unidirectional manner, the capture of read data by the controller 110 is timed or clocked with a calibrated internal timing reference (e.g., the adjusted clock).

DRAM WITH DIRECTIONAL MODE CONTROL

[0040] Figure 3 illustrates a DRAM 130 of the memory system 100. As illustrated in Figure 3, the DRAM 130 includes a mode register 302, C/A register 310, a transmit (Tx) indicator 320, an output buffer 325, a receive (Rx) indicator 330, an input buffer 335, a data-in register 340, a receive indicator 350, an input buffer 355, a transmit (Tx) indicator 360, an output buffer 365, a data-out register 370 and an AND gate 304. In some embodiments, the two receive indicators 330 and 350 are the same receive control signal, and the two transmit indicators 320 and 360 are the same transmit control signal. Furthermore, the receive and transmit indicators may be complements of each other.

[0041] It is noted that Figure 3 is a conceptual representation of a small subset of the components of a DRAM chip. For instance, the data in and data out registers 340, 370 shown in this Figure represent circuitry in the interface to the storage array of the DRAM, such as in the sense amplifier arrays of the DRAM, and that circuit may or may not strictly meet the definition of "registers" (as opposed, for instance, to latches and other clocked circuits). Furthermore, the data in and data out registers 340, 370, while shown separately in Figure 3, may be implemented in part or in whole with the same circuitry.

[0042] The C/A register 310 receives a clock (typically from the PLL clock buffer 144, Figure 1) and control and address signals, via the C/A lead 150, from the controller 110. The clock clocks or times the receipt of these control and address signals.

[0043] The first set of input and output buffers 335, 325 are connected to a DS lead 170 to receive and transmit, respectively, a data strobe. As illustrated, the data strobe transmitted by the output buffer 325 is generated by the DRAM 130 from the clock.

[0044] The DRAM mode register 302 stores a directional mode when used in conjunction with the DRAM 130 (or the DRAM 440 of Figure 4). The directional mode determines whether the DS leads 170 are unidirectional or bidirectional. The mode register 302 may preferably be set during operation of the DRAM 130 by the controller 110 or during the manufacture of the DRAM 130 or memory module 120. In some embodiments, the controller 110 and DRAM 130 are configured so that the controller may send a command over the control and address lines 150 that directs the DRAM to store a particular mode value in the mode register 302. The directional mode stored by the mode register 302 is transmitted to the AND gate 304.

[0045] The AND gate 304, as indicated in the preceding paragraph, receives input from the DRAM mode register 302. The AND gate 304 also receives input from the transmit (Tx) indicator 320. The output of the AND gate 304 is high if the directional mode is high and the transmit (Tx) indicator 320 is high. Preferably, the transmit (Tx) indicator 320 and the directional mode are high when the DRAM 130 transmits a data strobe to the controller and the DRAM 130 is configured to operate in a bidirectional mode. The output of the AND gate 304 is connected to the output buffer 325 to enable or disable the output buffer 325. So when the DRAM 130 transmits data and, in addition, the DRAM 130 is configured to operate in a bidirectional mode, the output buffer 325 is enabled and drives the received clock signal onto the DS lead 170 as the data strobe for the data being transmitted from the data out register 370. Conversely, when the DRAM 130 is configured to operate in a unidirectional mode, the output of the AND gate 304 is low such that the output buffer 325 is disabled. When the output buffer 325 is not enabled, its output is tristated (i.e., set to a high impedance state), which leaves the DS lead 170 floating if no other device is asserting a signal on the DS lead, and more generally allows the DS lead 170 to be driven by another device (e.g., the memory controller 110, or another memory device in another memory module on the same memory bus as the memory module 120 in which the DRAM 130 resides).

[0046] The data strobe received by the input buffer 335 is generated and transmitted by the controller 110. Additionally, the input buffer 335 is enabled (or set to transmit a data strobe from the DS lead 170 to the data-in register 340) by the receive (Rx) indicator 330. Thus, when the DRAM receives data from the controller 110, the receive (Rx) indicator 330 is set so that the input buffer 335 is enabled. The receipt of data by the data-in register 340 is clocked, therefore, by the data strobe received over the DS lead 170.

[0047] The second set of input and output buffers 355, 365 is connected to a data signal (DQ) lead 160 to receive and transmit, respectively, data. As illustrated in Figure 3, the data transmitted by the output buffer 365 is transmitted from the data-out register 370, which receives data from storage elements within the DRAM 130. Additionally, the output buffer 365 is enabled (or set to transmit data to the DQ lead 160) by the transmit (Tx) indicator 360. Thus, when the DRAM transmits data to the controller 110, the transmit (Tx) indicator 360 is set so that the output buffer 365 is enabled. The data received by the input buffer 355 is transmitted by the controller 110. Additionally, the input buffer 355 is enabled to transmit data from the DQ lead 160 to the data-in register 340, which transmits data to storage elements within the DRAM 130, by the receive (Rx) indicator 350. Thus, when the DRAM receives data from the controller 110, the receive (Rx) indicator 350 is set so that the input buffer 355 is enabled. The transmission of data by the data-out register 370 is clocked, therefore, by the clock (not the data strobe received over the DS lead 170).

[0048] As indicated above, when the DRAM 130 is configured to use the DS leads in a bidirectional manner, the data strobe is source synchronous and is driven by the DRAM 130 while the DRAM 130 transmits data. The transmission delays associated with the strobe output buffer 325 and the data output buffer 365 are preferably the same, or very close to being the same. As a result, the phase relationship of the transmitted data and data strobe will be preserved when those signals arrive at the controller. In this mode, the DRAM 130 is compatible with conventional controllers (e.g., controller 110, Figure 1). But when the DRAM 130 is configured to use the DS leads in a unidirectional manner, the data strobe is not source synchronous and is not driven by the DRAM. In this mode, the DRAM 130 is compatible with controllers described herein (e.g., controllers with calibrated timing to receive data from the DRAM 130).

[0049] Figure 4 illustrates another embodiment of a DRAM 440 of the memory system 100. In addition to those components described above in connection with the DRAM 130 illustrated in Figure 3, the DRAM 440 illustrated in Figure 4 includes a multiplexor 410.

[0050] The multiplexor 410 receives the clock (typically from the PLL clock buffer 144) and a data strobe transmitted by the DS lead 170. The output of the multiplexor is transmitted to the data-out register 370. So depending on the selection by the multiplexor 410, the output of data by the data-out buffer is timed or clocked by the clock or the data strobe transmitted by the DS lead 170. This selection is made by the mode register 302, which transmits the directional mode as selection input to the multiplexor 410.

[0051] As indicated above, when the DRAM 440 is configured to use the DS leads 170 in a unidirectional manner, the data output by the DRAM 440 is clocked by the data strobe generated by a controller (e.g., controller 110). This is possible because the data strobe is always transmitted by the controller. Additionally, the data strobe typically suffers from less phase shift than the clock, and as a result the rate of data transmission over the memory bus may be increased over that of prior systems. In this mode, the DRAM 440 is compatible with controllers (such as the controllers described herein) configured to continuously transmit a data strobe to the DRAM 440. But when the DRAM 440 is configured to use the DS leads 170 in a unidirectional manner, the data strobe is not available while the DRAM 440 transmits data. Instead, the data output by the DRAM 440 is clocked by the clock. In this mode, the DRAM 440 is compatible with conventional controllers (e.g., controller 110).

ADDITIONAL EMBODIMENTS

[0052] Figure 5A illustrates another embodiment of a controller 425 for use in the memory system 100. Unlike the controller 110 illustrated in Figure 2, the controller 425 illustrated in Figure 5A does not operate in bidirectional mode. Accordingly, this controller 425 does not include a mode register 510, a write indicator 380, an OR gate 515, or a clocking multiplexor 570. These components are not needed because the output of the clock calibrator 386 is continuously applied to the DS lead 170. Alternately, the controller may include a mode register that stores various mode values, but not a directional mode value.

[0053] Optionally, this embodiment of the controller 425 includes data strobe output buffer 394, to provide a signal delay that matches, or approximately matches, the

transmission delay associate with data-out register 388 and output buffer 390. Additionally, input to the data-in register is always clocked by the output of the clock calibrator 565. This controller 425 is compatible with the DRAMs described herein (e.g., DRAM 130, DRAM 440, and DRAM 450), but is not compatible with conventional DRAMs.

[0054] Figure 5B illustrates another embodiment of a DRAM 450 for use in the memory system 100. Unlike the DRAMs 130, 440 of Figures 3 and 4, this DRAM 450 does not include an AND gate 304 or an output buffer 325. This is because this DRAM 450 does not transmit a data strobe over the DS lead 170. Additionally, this DRAM 450 does not include a multiplexor 410 because the output of the data-out register 370 is not clocked or timed by the clock. Instead, the data-out register 370, like the data-in register 340, is always clocked by a data strobe transmitted over the DS lead 170. Preferably, only control and address signals transmitted over the C/A lead 150 are clocked by the clock. This DRAM 450 is compatible with controllers described herein (e.g., controller 110 and controller 425), but is not compatible with conventional controllers.

[0055] The foregoing descriptions of specific embodiments are presented for purposes of illustration and explanation. The embodiments were chosen and described in order to best explain the principles of the invention and its practical applications, to thereby enable others skilled in the art to best utilize the invention. They are not intended to be exhaustive or to limit the invention to the precise forms disclosed. Various modifications may occur to those skilled in the art having the benefit of this disclosure without departing from the inventive concepts described herein.

[0056] For example, the various data strobes and clocks (i.e., clock signals) described above are illustrated as single ended signals. In alternate embodiments, however, these data strobes and clocks are differential signals. The use of differential signals enables greater clock speeds and data rates. Accordingly, it is the claims, not merely the foregoing illustration, that are intended to define the exclusive rights of the invention.

WHAT IS CLAIMED IS:

1. A controller for a memory system, said controller coupled to a data strobe bus, to an interconnect, and to a clock bus, said controller comprising:

an output buffer configured to assert a first data strobe signal on the data strobe bus when said output buffer is enabled, said first data strobe signal generated by the controller;

a register configured to store information representing a mode of controller operation, the output buffer enabled during transfers from the controller of a first data signal over the interconnect when said mode of controller operation is set to a first mode of controller operation, the output buffer continuously enabled when said mode of controller operation is set to a second mode of controller operation; and

the controller configured to receive a clock signal over the clock bus, said controller further configured to clock receipt of a second data signal over the interconnect with said clock signal.

2. The controller of claim 1, wherein the controller is configured to adjust, when the mode of controller operation is set to the second mode of controller operation, a phase of the clock signal in accordance with a pre-existing calibration while receiving the second data signal over the interconnect.

3. The controller of claim 1, wherein the controller is configured to use, when the mode of controller operation is set to the first mode of controller operation, a second data strobe signal remotely asserted on the data strobe bus as a phase reference while receiving the second data signal over the interconnect.

4. The controller of claim 1, further comprising:

a circuit configured to receive as a first input a mode of controller operation from the register, said first input at a first logic level when said mode of controller operation is set to the first mode of controller operation and said first input at a second logic level when said mode of controller operation is set to the second mode of controller operation;

the circuit configured to receive as a second input an operational state of said controller, said operational state set to the second logic level during the transfers of the first data signal over the interconnect from the controller; and

an output of the circuit coupled to the output buffer such that said output buffer is enabled by said circuit when either the first input or the second input is set to the second logic level.

5. A method of operating a memory system controller, comprising:

maintaining a mode of controller operation;

generating a first data strobe signal;

enabling, when the mode of controller operation is set to a first mode of controller operation, transmission of the first data strobe signal while transferring a first data signal;

enabling, when the mode of controller operation is set to a second mode of controller operation, continuous transmission of the first data strobe signal;

receiving a clock signal; and

clocking receipt of a second data signal with a reference signal.

6. The method of claim 5, further comprising:

adjusting, when the mode of controller operation is set to the second mode of controller operation, a phase of the clock signal in accordance with a pre-existing calibration so as to generate the reference signal while receiving the second data signal.

7. The method of claim 5, further comprising:

using, when the mode of controller operation is set to the first mode of controller operation, a second data strobe signal remotely transmitted by a memory device as the reference signal, and using the reference signal as a phase reference while receiving the second data signal.

8. A memory device to store data in a memory system, the memory device coupled to a data strobe bus, an interconnect, and a clock bus, wherein

the memory device is configured to receive over the data strobe bus a data strobe signal continuously, remotely asserted on said data strobe bus;

the memory device is configured to receive over the interconnect a first data signal in conjunction with the data strobe signal, said memory device further configured to clock receipt of said first data signal with the data strobe signal;

the memory device is configured to receive over the clock bus a clock signal; and

the memory device is configured to transmit over the interconnect a second data signal in conjunction with the clock signal, said memory device further configured to clock transmission of said second data signal with the clock signal.

9. A method of operating a memory device to store data in a memory system, comprising:

receiving a continuous data strobe signal;

intermittently receiving a first data signal in conjunction with the continuous data strobe signal;

clocking receipt of the first data signal with the data strobe signal;

receiving a clock signal;

intermittently transmitting a second data signal in conjunction with the clock signal; and

clocking transmission of the second data signal with the clock.

10. A memory device to store data in a memory system, the memory device coupled to a data strobe bus, an interconnect, and a clock bus, wherein

the memory device is configured to receive over the data strobe bus a data strobe signal continuously, remotely asserted on said data strobe bus;

the memory device is configured to receive over the interconnect a first data signal in conjunction with the data strobe signal, said memory device further configured to clock receipt of said first data signal with the data strobe signal; and

the memory device is configured to transmit over the interconnect a second data signal in conjunction with the data strobe signal, said memory device further configured to clock transmission of said second data signal with the data strobe signal.

11. A method of operating a memory device to store data in a memory system, comprising

receiving a continuous data strobe signal;

intermittently receiving a first data signal for storage in conjunction with the continuous data strobe signal;

clocking receipt of the first data signal with the data strobe signal;

intermittently transmitting from storage a second data signal in conjunction with the data strobe signal; and

clocking transmission of the second data signal with the data strobe signal.

12. A memory device to store data in a memory system, the memory device coupled to a data strobe bus and an interconnect, said memory device comprising:

an output buffer configured to transmit a first data strobe signal when enabled;

circuitry to transmit over the interconnect a first data signal, said first data signal transmitted in conjunction with the first data strobe signal when the output buffer is enabled;

a register to store a mode of memory device operation, the memory device configured to enable the output buffer when said mode of memory device operation is set to a first mode of memory device operation, the memory device configured to disable the output buffer when said mode of memory device operation is set to a second mode of memory device operation; and

additional circuitry configured to receive over the interconnect a second data signal in conjunction with a second data strobe signal remotely asserted on the data strobe bus, said second data strobe signal clocking receipt of said second data signal.

13. A method of operating a memory device to store data in a memory system, comprising

intermittently receiving a first data signal in conjunction with a first data strobe signal, said first data strobe signal clocking receipt of said first data signal;

intermittently transmitting a second data signal;

storing a mode of memory device operation;

setting an output to a second data strobe signal while transmitting the second data signal when the stored mode of memory device operation is a first mode of memory device operation; and

preventing output of the second data strobe when the mode of memory device operation is set to a second mode of memory device operation.

14. A memory device to store data in a memory system, the memory device coupled to a data strobe bus, an interconnect, a clock bus, and a control and address bus, wherein

the memory device is configured to receive over the control and address bus a control and address signal in conjunction with a clock signal remotely asserted on the clock bus, said clock signal clocking receipt of said control and address signal;

the memory device is configured to receive over the interconnect a first data signal in conjunction with a first data strobe signal remotely asserted on the data strobe bus, said first data strobe signal clocking receipt of said first data signal; and

the memory device is configured to transmit over the interconnect a second data signal, the first data strobe signal clocking transmission of said second data signal.

15. A method of operating a memory device to store data in a memory system, comprising:

intermittently receiving a control and address signal in conjunction with a clock signal, said clock signal clocking receipt of said control and address signal;

intermittently receiving a first data signal in conjunction with a first data strobe signal, said first data strobe signal clocking receipt of said first data signal;

intermittently transmitting from storage a second data signal, said first data strobe signal clocking transmission of said second data signal.

16. A memory device to store data in a memory system, the memory device coupled to a data strobe bus, an interconnect, and a clock bus, wherein

the memory device is configured to receive over the interconnect a first data signal in conjunction with a first data strobe signal remotely asserted on the data strobe bus, said first data strobe signal providing a phase reference while receiving said first data signal; and

the memory device includes a register to store a reference mode;

the memory device is configured to receive over the clock bus a clock signal;

the memory device is configured to transmit over the interconnect a second data signal;

the memory device is configured to use, when the reference mode is set to a first reference mode, the first data strobe signal as a phase reference while transmitting the second data signal; and

the memory device is configured to use, when the reference mode is set to a second reference mode, the clock signal as the phase reference while transmitting the second data signal.

17. A method of operating a memory device to store data in a memory system, comprising

intermittently receiving a first data signal in conjunction with a remotely asserted first data strobe signal, said first data strobe signal providing a phase reference while receiving said first data signal;

storing a reference mode;

receiving a clock signal;

intermittently transmitting a second data signal;

using, when the reference mode is set to a first reference mode, the first data strobe signal as a phase reference while transmitting the second data signal; and

using, when the reference mode is set to a second reference mode, the clock signal as the phase reference while transmitting said second data signal.

18. A memory system, comprising

a controller, a memory device, and a clock signal generator;

a data strobe bus coupling the controller to the memory device;

an interconnect coupling the controller to the memory device;

the clock signal generator configured to transmit a clock signal to the controller;

the controller configured to use the clock signal in conjunction with a pre-existing calibration to clock a first data signal received from the memory device over the interconnect;

the controller further configured to continuously assert a data strobe signal on the data strobe bus; and

the memory device configured to use the data strobe signal to clock a second data signal received from the controller over the interconnect.

19. The memory system of claim 18, wherein the calibration comprises a delay to offset state transitions of the clock signal that otherwise time sampling of the first data signal by the controller.

20. The memory system of claim 18, wherein the memory device is further configured to use the data strobe signal as a phase reference while transmitting the second data signal.

21. The memory system of claim 18, wherein

the clock signal generator is further configured to transmit the clock signal to the memory device; and

the memory device is further configured to use the clock signal as a phase reference while transmitting the second data signal.

22. A controller for a memory system, said controller coupled to a data strobe bus, to an interconnect, and to a clock bus, said controller comprising:

a bimodal data strobe interface configured to connect the controller to the data strobe bus; and

means for storing information representing a mode of controller operation;

wherein the bimodal data strobe interface includes means for utilizing the data strobe bus as a unidirectional data strobe bus when the mode of controller operation is set to a first mode and for utilizing the data strobe bus as a bidirectional data strobe bus when the mode of controller operation is set to a second mode.

23. A controller for a memory system, said controller coupled to a data strobe bus, to an interconnect, and to a clock bus, said controller comprising:

means for asserting a first data strobe signal on the data strobe bus when said asserting means is enabled;

means for storing information representing a mode of controller operation;

wherein the asserting means is enabled during transfers from the controller of a first data signal over the interconnect when said mode of controller operation is set to a first mode of controller operation, and wherein the asserting means is continuously enabled when said mode of controller operation is set to a second mode of controller operation; and

the controller configured to receive a clock signal over the clock bus, said controller further configured to clock receipt of a second data signal over the interconnect with said clock signal.

24. A memory device to store data, the memory device coupled to a data strobe bus, an interconnect, and a clock bus, the memory device comprising:

a bimodal data strobe interface configured to connect the memory device to the data strobe bus; and

a storage circuit for storing information representing a mode of operation;

wherein the bimodal data strobe interface includes means for utilizing the data strobe bus as a unidirectional data strobe bus when the mode of operation is set to a first mode and for utilizing the data strobe bus as a bidirectional data strobe bus when the mode of operation is set to a second mode.

25. A memory module, comprising:

a plurality of dynamic memory random access memory devices (DRAMs); and

a serial presence device configured to store information indicating whether the memory devices are bimodal with respect to use of a set of data strobe busses, wherein each of the memory devices, if bimodal, includes a configuration mechanism for configuring the memory device to drive a respective data strobe bus while transmitting data in one mode of operation and for configuring the memory device to not drive the data strobe bus while transmitting data in another mode of operation.

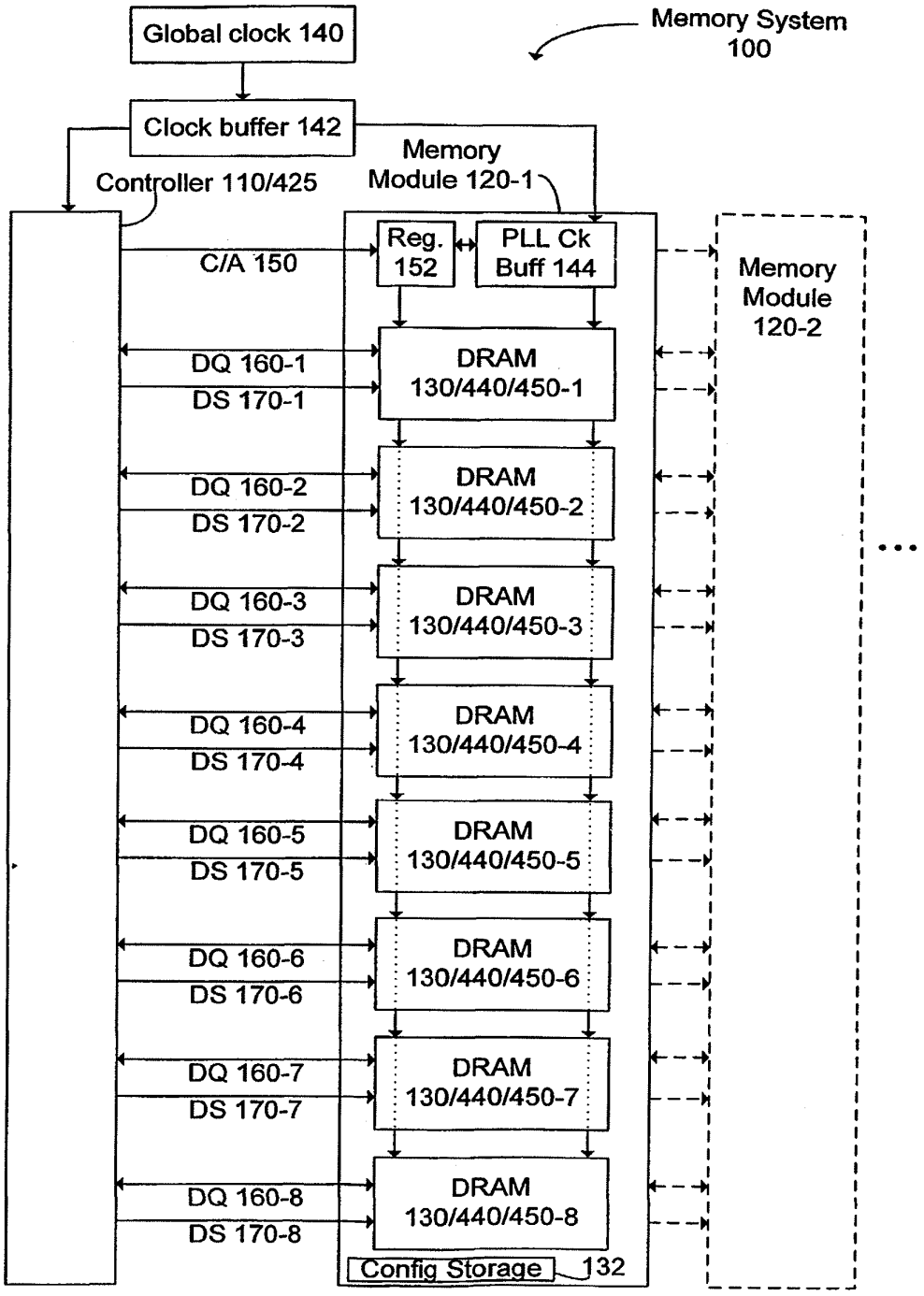

Global clock 140
Memory System 100
Clock buffer 142
Memory Module 120-1
Controller 110/425
C/A 150
Reg. 152
PLL Ck Buff 144
Memory Module 120-2
DQ 160-1
DS 170-1
DRAM 130/440/450-1
DQ 160-2
DS 170-2
DRAM 130/440/450-2
DQ 160-3
DS 170-3
DRAM 130/440/450-3
DQ 160-4
DS 170-4
DRAM 130/440/450-4
DQ 160-5
DS 170-5
DRAM 130/440/450-5
DQ 160-6
DS 170-6
DRAM 130/440/450-6
DQ 160-7
DS 170-7
DRAM 130/440/450-7
DQ 160-8
DS 170-8
DRAM 130/440/450-8
Config Storage 132

Figure 1

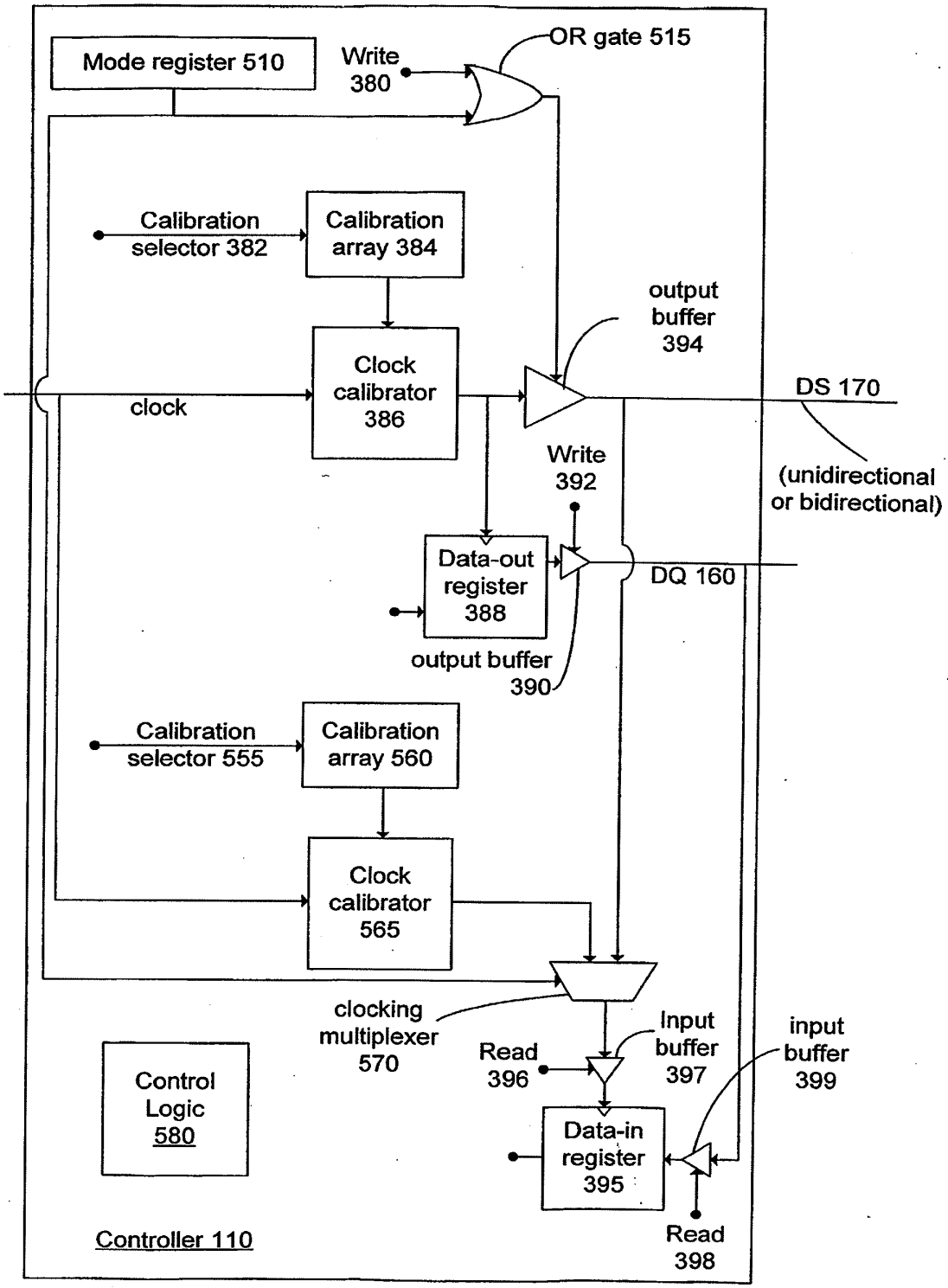

Mode register 510
Write 380
OR gate 515
Calibration selector 382
Calibration array 384
output buffer 394
Clock calibrator 386
clock
DS 170
(unidirectional or bidirectional)
Write 392
Data-out register 388
DQ 160
output buffer 390
Calibration selector 555
Calibration array 560
Clock calibrator 565
clocking multiplexer 570
Input buffer 397
input buffer 399
Read 396
Control Logic 580
Data-in register 395
Read 398
Controller 110

Figure 2

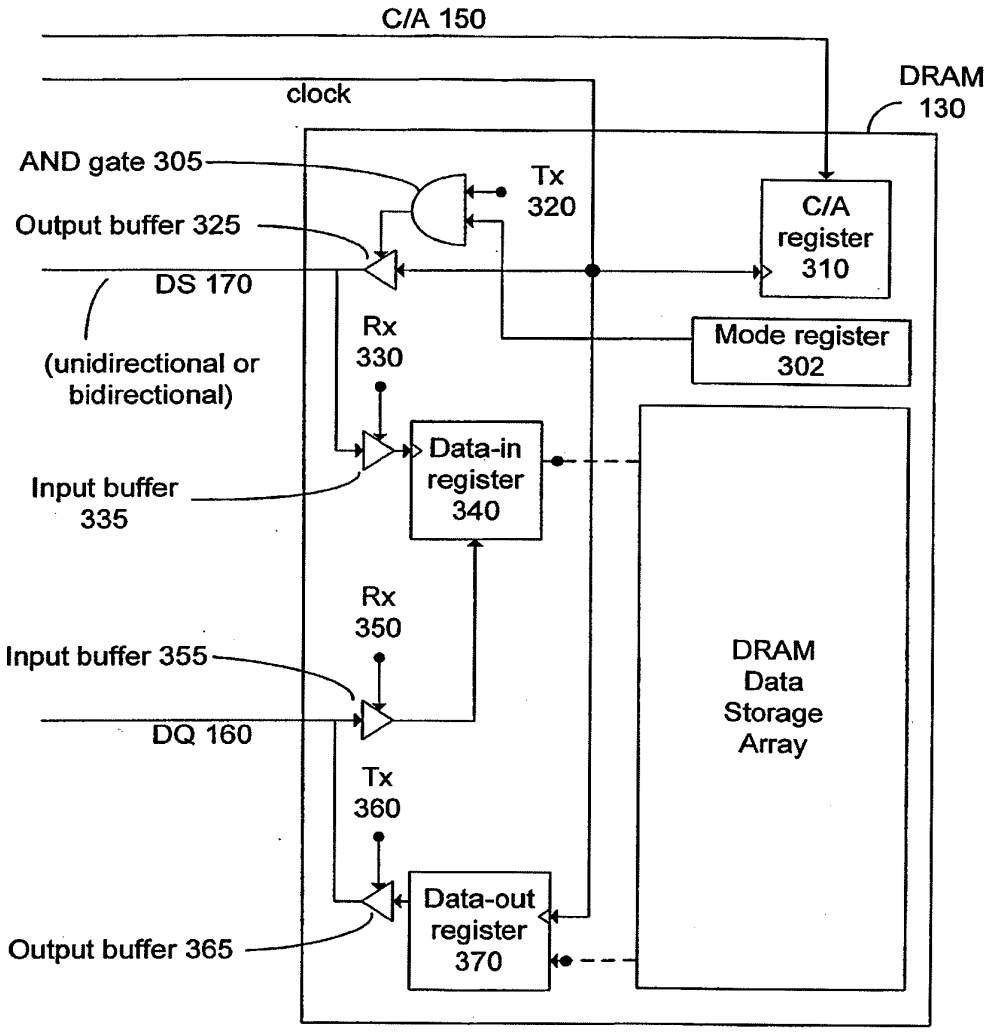

C/A 150
clock
DRAM
130
AND gate 305
Tx
320
Output buffer 325
C/A
register
310
DS 170
(unidirectional or
bidirectional)
Rx
330
Mode register
302
Data-in
register
340
Input buffer
335
Rx
350
Input buffer 355
DRAM
Data
Storage
Array
DQ 160
Tx
360
Data-out
register
370
Output buffer 365

Figure 3

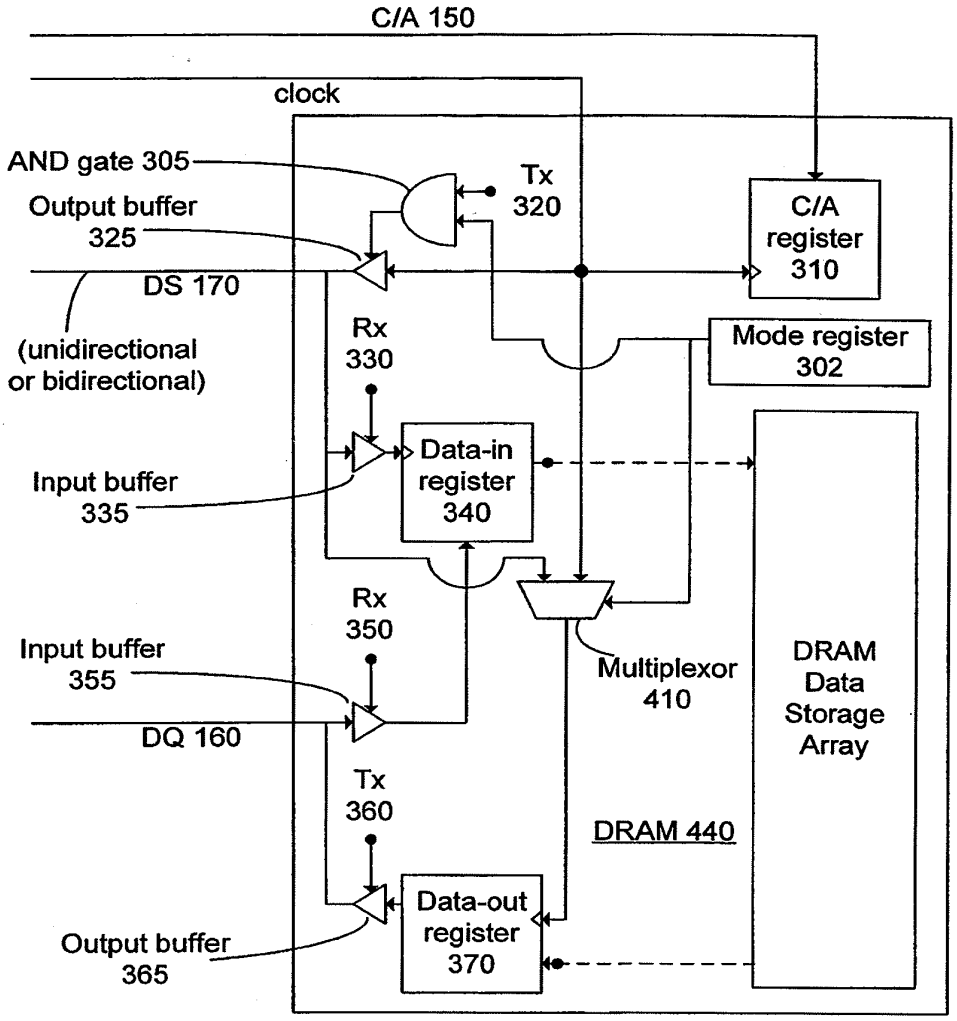

C/A 150
clock
AND gate 305
Output buffer 325
DS 170
(unidirectional or bidirectional)
Tx 320
C/A register 310
Mode register 302
Rx 330
Data-in register 340
Input buffer 335
Rx 350
Input buffer 355
DQ 160
Multiplexor 410
DRAM Data Storage Array
Tx 360
DRAM 440
Data-out register 370
Output buffer 365

Figure 4

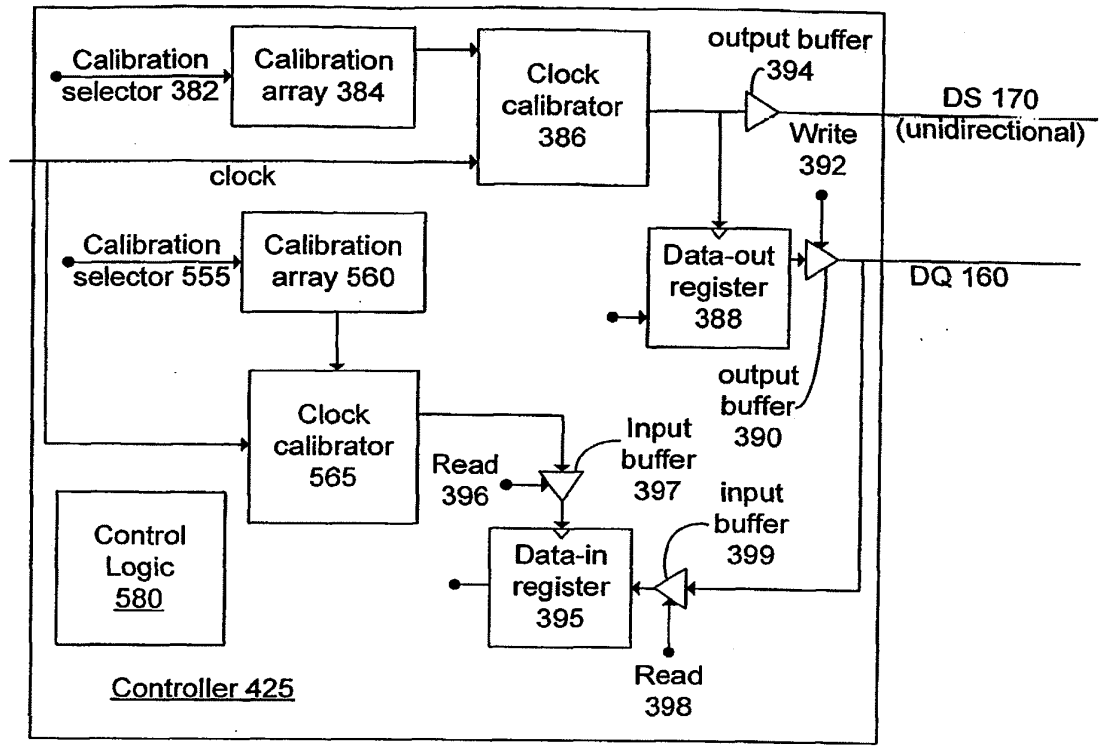


Figure 5A

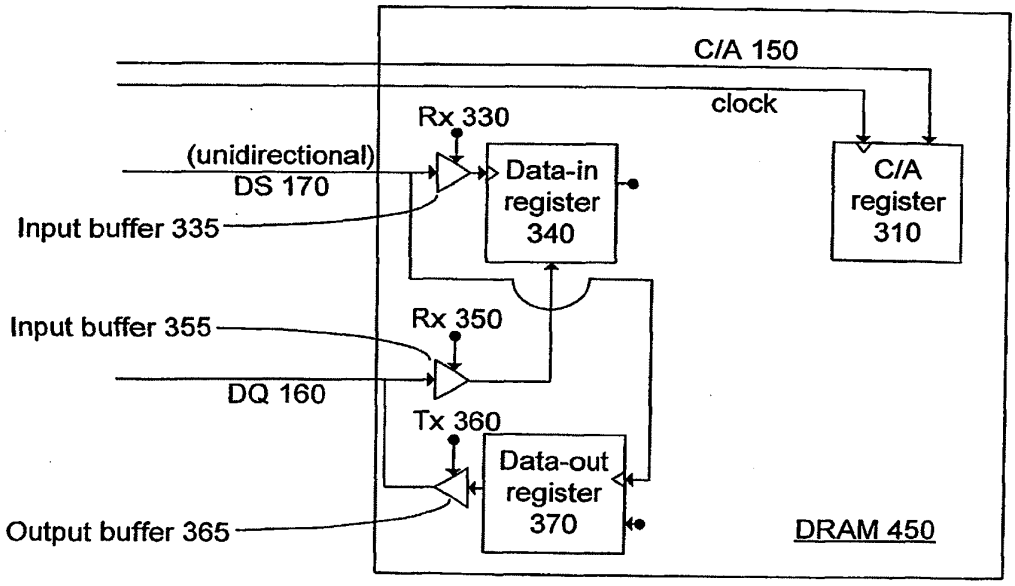


Figure 5B

INTERNATIONAL SEARCH REPORT

Inte ial Application No
PCT/US2004/029186

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F13/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G06F G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2001/054135 A1 (MATSUDA YOICHI) 20 December 2001 (2001-12-20) figures 3-8C paragraphs '0013!, '0034! paragraphs '0046! - '0056!	1-25
A	US 6 397 312 B1 (TAKEMAE YOSHIHIRO ET AL) 28 May 2002 (2002-05-28) figures 7-15 column 7, line 38 - column 8, line 59	1-25
A	US 6 621 496 B1 (RYAN KEVIN J) 16 September 2003 (2003-09-16) column 4, line 28 - line 50 column 5, line 51 - line 65	1-25

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 December 2004	27/12/2004

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Albert, J

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

Information on patent family members

Inte I Application No
PCT/US2004/029186

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2001054135 A1	20-12-2001	JP 2002007200 A	11-01-2002
		CN 1337718 A	27-02-2002
		US 2004133758 A1	08-07-2004
US 6397312 B1	28-05-2002	JP 11025029 A	29-01-1999
		KR 271724 B1	15-11-2000
US 6621496 B1	16-09-2003	US 2004017373 A1	29-01-2004

Form PCT/ISA/210 (patent family annex) (January 2004)

Electronic Acknowledgement Receipt

EFS ID:	4262912
Application Number:	11759862
International Application Number:	
Confirmation Number:	7014
Title of Invention:	SYSTEM WITH CONTROLLER AND MEMORY
First Named Inventor/Applicant Name:	Atsuo Koshizuka
Customer Number:	23373
Filer:	Howard Leonard Bernstein/Anthony Green
Filer Authorized By:	Howard Leonard Bernstein
Attorney Docket Number:	Q102115
Receipt Date:	10-NOV-2008
Filing Date:	07-JUN-2007
Time Stamp:	16:47:40
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		IDS_as_filed.PDF	142507 c3c2e23019f0e40fa245435c1bc2d6544bc7330f	yes	3

	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	Information Disclosure Statement Letter		1	2	
	Information Disclosure Statement (IDS) Filed (SB/08)		3	3	
Warnings:					
Information:					
2	NPL Documents	JP_Office_Action.PDF	72250 b0a144c905c82fda56a8fd1d4a929b552b50785c	no	2
Warnings:					
Information:					
3	Foreign Reference	WO_2005_033958.PDF	1511361 f0ee23e39bf991c99644c61969e26e47d8c9e56f	no	31
Warnings:					
Information:					
		Total Files Size (in bytes):	1726118		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Atsuo KOSHIZUKA

Appln. No.: 11/759,862

Confirmation No.: 7014

Filed: June 7, 2007

For: SYSTEM WITH CONTROLLER AND MEMORY

Docket No: Q102115

Group Art Unit: Not Yet Assigned

Examiner: Not Yet Assigned

INFORMATION DISCLOSURE STATEMENT UNDER 37 C.F.R. §§ 1.97 and 1.98

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450
Sir:

In accordance with the duty of disclosure under 37 C.F.R. § 1.56, Applicant hereby notifies the U.S. Patent and Trademark Office of the documents which are listed on the attached PTO/SB/08 A & B (modified) form and/or listed herein and which the Examiner may deem material to patentability of the claims of the above-identified application.

1. Japanese Patent Application No. 2006-120307, published May 11, 2006, corresponding to United States Patent Publication 7,362,648, published April 22, 2008.
2. Japanese Patent Application No. 2005-25765, published January 27, 2005, corresponding to European Patent Publication 1494243, published January 5, 2005.
3. Japanese Patent Application No. 2006-134334, published May 25, 2006 corresponding to United States Patent Publication 2006/0092721, published May 4, 2006.

4. Japanese Patent Application No. 2006-85851, published March 30, 2006, along with English Abstract.

One copy of each of the listed documents is submitted herewith, except for the following: U.S. patents and/or U.S. patent publications.

The present Information Disclosure Statement is being filed: (1) No later than three months from the application's filing date; (2) Before the mailing date of the first Office Action on the merits (whichever is later); or (3) Before the mailing date of the first Office Action after filing a request for continued examination (RCE) under §1.114, and therefore, no Statement under 37 C.F.R. § 1.97(e) or fee under 37 C.F.R. § 1.17(p) is required.

In compliance with the concise explanation requirement under 37 C.F.R. § 1.98(a)(3) for foreign language documents, Applicant encloses here with a copy of a corresponding Japanese Office Action dated April 16, 2008, and an English translation of the pertinent portions thereof which cites such documents and indicates the degree of relevance found by the foreign office.

The submission of the listed documents is not intended as an admission that any such document constitutes prior art against the claims of the present application. Applicant does not waive any right to take any action that would be appropriate to antedate or otherwise remove any listed document as a competent reference against the claims of the present application.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,



Laura Moskowitz
Registration No. 55,470

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

MODIFIED PTO/SB/08a (05-07)
Approved for use through 11/30/2007.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	11/759,862
	Confirmation Number	7014
	Filing Date	June 7, 2007
	First Named Inventor	Atsuo KOSHIZUKA
	Art Unit	Not Yet Assigned
	Examiner Name	Not Yet Assigned
	Attorney Docket Number	Q102115

U.S. PATENTS

Examiner Initials*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	7362648		2008-04-22		

U.S. PATENT APPLICATION PUBLICATIONS

Examiner Initials*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	20060092721		2006-05-04	Lee	

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[5]
	1	2006134334	JP		2006-05-25			N
	2	2006120307	JP		2006-05-11			N
	3	200525765	JP		2005-01-27			N
	4	1494243	EP		2005-01-05			N
	5	200685851	JP		2006-03-30			N

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	T[5]
	1		

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. 2 Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). 3 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 5 Applicant is to place a check mark here if English language translation is attached.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-120307
(P2006-120307A)
(43)公開日　平成18年5月11日(2006.5.11)

(51)Int.Cl.		F I			テーマコード（参考）
G11C 11/407	(2006.01)	G11C	11/34	362S	5M024
G11C 11/401	(2006.01)	G11C	11/34	362Z	

審査請求 未請求　請求項の数 44　OL　（全 22 頁）

(21)出願番号　特願2005-304593 (P2005-304593)
(22)出願日　平成17年10月19日 (2005.10.19)
(31)優先権主張番号　10-2004-0083745
(32)優先日　平成16年10月19日 (2004.10.19)
(33)優先権主張国　韓国 (KR)

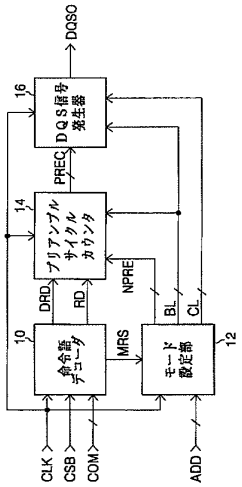
(71)出願人　390019839
三星電子株式会社
Samsung Electronics Co., Ltd.
大韓民国京畿道水原市靈通区梅灘洞４１６
416, Maetan-dong, Yeongtong-gu, Suwon-si Gyeonggi-do, Republic of Korea
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘

最終頁に続く

(54)【発明の名称】メモリシステム、半導体メモリ装置、及びこのシステムと装置の出力データストローブ信号発生方法

(57)【要約】
【課題】メモリシステム、半導体メモリ装置、及びこのシステムと装置の出力データストローブ信号発生方法を公開する。
【解決手段】少なくとも二つ以上の半導体メモリ装置、及び半導体メモリ装置を制御するメモリ制御部を備えて、メモリ制御部が半導体メモリ装置に命令信号を共通で印加し、チップ選択信号をそれぞれ印加し、半導体メモリ装置が出力データストローブ信号を共通ラインに出力し、半導体メモリ装置のそれぞれは命令信号及びチップ選択信号に応答してリード命令及びダミーリード命令を検出し、ダミーリード命令とリード命令との間のサイクル数からバースト長さに対応するサイクル数を差し引いた数をプリアンブルサイクル数として算出し、出力データストローブ信号のストローブ信号が発生する前に算出されたプリアンブルサイクル数分のプリアンブル信号を発生させることを特徴とする。これは、プリアンブルサイクル数が可変であることで、一つの装置から発生するストローブ信号と他の一つの装置から発生するプリアンブル信号との衝突を防ぐことができる。

【図2】



【特許請求の範囲】
【請求項１】
少なくとも二つの半導体メモリ装置と、
前記少なくとも二つの半導体メモリ装置を制御するメモリ制御部とを備えて、
前記メモリ制御部が前記少なくとも二つの半導体メモリ装置に命令信号及びチップ選択信号を印加し、前記少なくとも二つの半導体メモリ装置が出力データストローブ信号を出力し、
前記半導体メモリ装置のそれぞれは、
前記命令信号及び前記チップ選択信号に応答してリード命令及びダミーリード命令を検出し、算出されたプリアンブルサイクル数に基づいて少なくとも一つのプリアンブル信号を発生することを特徴とするメモリシステム。
【請求項２】
前記算出されたプリアンブルサイクル数は、
前記ダミーリード命令と前記リード命令との間のサイクル数からバースト長さに対応するサイクル数を差し引いた数であることを特徴とする請求項１記載のメモリシステム。
【請求項３】
前記メモリ制御部は、
前記半導体メモリ装置の前記出力データストローブ信号を共通ラインによって出力することを特徴とする請求項１記載のメモリシステム。
【請求項４】
前記少なくとも二つの半導体メモリ装置に印加される前記チップ選択信号は、それぞれの半導体メモリ装置に対応するチップ選択信号であることを特徴とする請求項１記載のメモリシステム。
【請求項５】
前記命令信号は、
前記少なくとも二つの半導体メモリ装置に対して共通に印加されることを特徴とする請求項１記載のメモリシステム。
【請求項６】
前記少なくとも二つの半導体メモリ装置のそれぞれは、
前記命令信号及び前記チップ選択信号に応答して他の半導体メモリ装置のリード命令を検出することによって、前記ダミーリード命令を検出することを特徴とする請求項２記載のメモリシステム。
【請求項７】
前記少なくとも二つの半導体メモリ装置のそれぞれは、
前記命令信号及び前記チップ選択信号に応答してリード信号、ダミーリード信号、及びモード設定信号を発生する命令語デコーダと、
前記モード設定信号に応答してバースト長さ信号、及びＣＡＳレイテンシー信号を設定するモード設定部と、
前記算出されたプリアンブルサイクル数に基づいてプリアンブルサイクル信号を発生するプリアンブルサイクルカウンタと、
を備えることを特徴とする請求項４記載のメモリシステム。
【請求項８】
前記少なくとも二つの半導体メモリ装置のそれぞれは、
前記リード信号に応答して前記出力データストローブ信号を前記ＣＡＳレイテンシー信号に対応するサイクル分だけ遅延させて前記出力データストローブ信号のストローブ信号を発生する出力データストローブ信号発生部をさらに備えることを特徴とする請求項７記載のメモリシステム。
【請求項９】
前記命令語デコーダは、
前記チップ選択信号が活性化されて前記命令信号がリード命令を指定する信号であれば

前記リード信号を発生し、前記チップ選択信号が非活性化されて前記命令信号がリード命令を指定する信号であれば前記ダミーリード信号を発生することを特徴とする請求項７記載の半導体メモリ装置。

【請求項１０】

前記プリアンブルサイクルカウンタは、

前記ダミーリード信号または前記リード信号に応答して前記バースト長さに対応するサイクル分だけ遅延して活性化されて、次に入力される前記ダミーリード信号または前記リード信号に応答して非活性化されるイネーブル信号を発生するイネーブル信号発生器と、

前記イネーブル信号が活性化されるとクロック信号に応答してカウンティング動作を実行し、前記イネーブル信号が非活性化されるとカウンティング動作を終了して前記算出されたプリアンブルサイクル数を発生するプリアンブルサイクルカウンタと、

前記算出されたプリアンブルサイクル数を保存して前記プリアンブルサイクル信号に出力するレジスタと、

を備えることを特徴とする請求項７記載のメモリシステム。

【請求項１１】

前記モード設定部は、

前記モード設定信号に応答してプリアンブルサイクル信号をさらに設定することを特徴とする請求項１０記載のメモリシステム。

【請求項１２】

前記プリアンブルサイクルカウンタは、

前記算出されたプリアンブルサイクル数が前記設定されたプリアンブルサイクル信号になると前記カウンティング動作を中止することを特徴とする請求項１１記載のメモリシステム。

【請求項１３】

前記レジスタは、

初期に前記設定されたプリアンブルサイクル信号を保存し、前記リード信号に応答して前記算出されたプリアンブルサイクル数を保存して前記プリアンブルサイクル信号を出力することを特徴とする請求項１２記載のメモリシステム。

【請求項１４】

前記イネーブル信号発生器は、

前記ダミーリード信号と前記リード信号との論理和を演算する論理和ゲートと、

前記クロック信号に応答して前記論理和ゲートの出力信号を前記バースト長さ信号に対応するサイクル分だけ遅延させるバースト長さ遅延器と、

前記バースト長さ遅延器の出力信号が活性化されると活性化され、前記論理和ゲートの出力信号が活性化されると非活性化される前記イネーブル信号を発生するラッチと、

を備えることを特徴とする請求項１０記載のメモリシステム。

【請求項１５】

前記バースト長さ遅延器は、

所定数の従属接続されたＤフリップフロップを備えて、

前記Ｄフリップフロップは前記論理和ゲートの出力信号が活性化されるとリセットされることを特徴とする請求項１４記載のメモリシステム。

【請求項１６】

前記プリアンブルサイクルカウンタは、

比較信号に応答して前記クロック信号を発生する論理積ゲートと、

前記イネーブル信号が活性化されるとイネーブルされて前記論理積ゲートの出力信号に応答してカウンティング動作を実行して前記算出されたプリアンブルサイクル数を発生し、前記イネーブル信号が非活性化されるとリセットされるカウンタと、

前記算出されたプリアンブルサイクル数と前記設定されたプリアンブルサイクル信号とが同一であれば前記比較信号を発生する比較器を備えることを特徴とする請求項１１記載のメモリシステム。

【請求項１７】
前記カウンタは、
前記論理積ゲートの出力信号に応答してカウンティング動作を実行する所定数の従属接続されたフリップフロップを備えることを特徴とする請求項１６記載のメモリシステム。
【請求項１８】
前記フリップフロップのそれぞれは、
入力信号とカウンティング出力信号との論理積を演算して出力信号を発生する論理積ゲートと、
前記入力信号とカウンティング入力信号との排他的論理和を演算する排他的論理和ゲートと、
前記クロック信号に応答して前記排他的論理和ゲートの出力信号をラッチして前記カウンティング出力信号で発生するＤフリップフロップとを備えて、
前記フリップフロップの最初端の前記入力信号で前記イネーブル信号が印加され、前記最初端のカウンティング入力信号で接地電圧が印加され、前記最初端のフリップフロップを除いた残りのフリップフロップそれぞれの入力信号及びカウンティング入力信号で全端のフリップフロップの出力信号及びカウンティング出力信号がそれぞれ印加されることを特徴とする請求項１７記載のメモリシステム。
【請求項１９】
命令信号及びチップ選択信号をデコーディングしてリード信号、ダミーリード信号、及びモード設定信号を発生する命令語デコーダと、
前記モード設定信号に応答してバースト長さ信号及びＣＡＳレイテンシー信号を設定するモード設定部と、
算出されたプリアンブルサイクル数に基づいてプリアンブルサイクル信号を発生するプリアンブルサイクルカウンタを備えることを特徴とする半導体メモリ装置。
【請求項２０】
前記算出されたプリアンブルサイクル数は、
前記リード信号と前記ダミーリード信号との間のサイクル数からバースト長さに対応するサイクル数を差し引いた数であることを特徴とする請求項１９記載の半導体メモリ装置。
【請求項２１】
前記半導体メモリ装置は、
前記リード信号に応答して前記出力データストローブ信号を前記ＣＡＳレイテンシー信号に対応するサイクル分だけ遅延させて前記出力データストローブ信号のストローブ信号を発生する出力データストローブ信号発生部をさらに備えることを特徴とする請求項２０記載の半導体メモリ装置。
【請求項２２】
前記命令語デコーダは、
前記チップ選択信号が活性化されて前記命令信号がリード命令を指定する信号であれば前記リード信号を発生し、前記チップ選択信号が非活性化されて前記命令信号がリード命令を指定する信号であれば前記ダミーリード信号を発生することを特徴とする請求項２０記載の半導体メモリ装置。
【請求項２３】
前記プリアンブルサイクルカウンタは、
前記ダミーリード信号または前記リード信号に応答して前記バースト長さに対応するサイクル分だけ遅延して活性化されて、次に入力される前記ダミーリード信号または前記リード信号に応答して非活性化されるイネーブル信号を発生するイネーブル信号発生器と、
前記イネーブル信号が活性化されるとクロック信号に応答してカウンティング動作を実行し、前記イネーブル信号が非活性化されるとカウンティング動作を終了して前記プリアンブルサイクル数を発生するプリアンブルサイクルカウンタと、
前記プリアンブルサイクル数を保存して前記プリアンブルサイクル信号を出力するレジ

スタを備えることを特徴とする請求項２０記載の半導体メモリ装置。
【請求項２４】
前記モード設定部は、
前記モード設定信号に応答してプリアンブルサイクル信号をさらに設定することを特徴とする請求項２０記載の半導体メモリ装置。
【請求項２５】
前記プリアンブルサイクルカウンタは、
前記プリアンブルサイクル数が前記設定されたプリアンブルサイクル信号になれば前記カウンティング動作を中止することを特徴とする請求項２４記載の半導体メモリ装置。
【請求項２６】
前記レジスタは、
初期に前記設定されたプリアンブルサイクル信号を保存し、前記リード信号に応答して前記算出されたプリアンブルサイクル数を保存して前記プリアンブルサイクル信号を出力することを特徴とする請求項２５記載の半導体メモリ装置。
【請求項２７】
前記イネーブル信号発生器は、
前記ダミーリード信号と前記リード信号との論理和を演算する論理和ゲートと、
前記クロック信号に応答して前記論理和ゲートの出力信号を前記バースト長さ信号に対応するサイクル分だけ遅延させるバースト長さ遅延器と、
前記バースト長さ遅延器の出力信号が活性化されると活性化され、前記論理和ゲートの出力信号が活性化されると非活性化される前記イネーブル信号を発生するラッチと、
を備えることを特徴とする請求項２３記載の半導体メモリ装置。
【請求項２８】
前記バースト長さ遅延器は、
所定数の従属接続されたＤフリップフロップを備えて、
前記Ｄフリップフロップは前記論理和ゲートの出力信号が活性化されるとリセットされることを特徴とする請求項２７記載の半導体メモリ装置。
【請求項２９】
前記プリアンブルサイクルカウンタは、
比較信号に応答して前記クロック信号を発生する論理積ゲートと、
前記イネーブル信号が活性化されるとイネーブルされて、前記論理積ゲートの出力信号に応答してカウンティング動作を実行して前記カウンティングされた信号を発生して前記イネーブル信号が非活性化されるとリセットされるカウンタと、
前記カウンティングされた信号と前記設定されたプリアンブルサイクル信号とが同一であれば前記比較信号を発生する比較器と、
を備えることを特徴とする請求項２４記載の半導体メモリ装置。
【請求項３０】
前記カウンタは、
前記論理積ゲートの出力信号に応答してカウンティング動作を実行する所定数の従属接続されたフリップフロップを備えることを特徴とする請求項２９記載の半導体メモリ装置。
【請求項３１】
前記フリップフロップのそれぞれは、
入力信号とカウンティング出力信号との論理積を演算して出力信号を発生する論理積ゲートと、
前記入力信号とカウンティング入力信号との排他的論理和を演算する排他的論理和ゲートと、
前記クロック信号に応答して前記排他的論理和ゲートの出力信号をラッチして前記カウンティング出力信号で発生するＤフリップフロップとを備えて、
前記フリップフロップの最初端の前記入力信号で前記イネーブル信号が印加されて、前

記最初端のカウンティング入力信号で接地電圧が印加されて、前記最初端のフリップフロップを除いた残りのフリップフロップそれぞれの入力信号及びカウンティング入力信号で全端のフリップフロップの出力信号及びカウンティング出力信号がそれぞれ印加されることを特徴とする請求項３０記載の半導体メモリ装置。

【請求項３２】

半導体メモリ装置のそれぞれで命令信号及びチップ選択信号を印加する段階と、

前記命令信号及び前記チップ選択信号に応答してリード命令及びダミーリード命令を検出する段階と、

プリアンブルサイクル数を算出する段階と、

前記算出されたプリアンブルサイクル数に基づいて少なくとも一つのプリアンブル信号を発生する段階と、

を備えることを特徴とする出力データストローブ信号発生方法。

【請求項３３】

前記プリアンブルサイクル数を算出する段階は、

前記ダミーリード命令と前記リード命令との間のサイクル数からバースト長さに対応するサイクル数を差し引くことを特徴とする請求項３２記載の出力データストローブ信号発生方法。

【請求項３４】

前記方法は、

前記半導体メモリ装置の前記出力データストローブ信号を共通ラインによって出力することを特徴とする請求項３３記載の出力データストローブ信号発生方法。

【請求項３５】

前記命令信号及び前記チップ選択信号を印加する段階は、

前記半導体メモリ装置のそれぞれで前記命令信号を共通で印加し、

前記半導体メモリ装置のそれぞれで、それぞれのチップ選択信号を印加することを特徴とする請求項３４記載の出力データストローブ信号発生方法。

【請求項３６】

前記リード命令及び前記ダミーリード命令を検出する段階は、

前記半導体メモリ装置のそれぞれで、前記リード命令及び前記ダミーリード命令を検出し、前記命令信号及び前記チップ選択信号に応答して少なくとも一つの他の半導体メモリ装置のリード命令を検出することによって、前記ダミーリード命令を検出する段階を備えることを特徴とする請求項３４記載の出力データストローブ信号発生方法。

【請求項３７】

前記方法は、

前記命令信号及び前記チップ選択信号に応答してリード信号、ダミーリード信号、及びモード設定信号を発生し、

前記モード設定信号に応答してバースト長さ信号、ＣＡＳレイテンシー信号、及びプリアンブルサイクル信号を設定し、

前記リード信号に応答して出力データストローブ信号を発生し、

前記出力データストローブ信号のストローブ信号を前記ＣＡＳレイテンシー信号に対応するサイクル分だけ遅延させて発生することを特徴とする請求項３６記載の出力データストローブ信号発生方法。

【請求項３８】

前記リード信号、前記ダミーリード信号、及び前記モード設定信号を発生する段階は、

前記チップ選択信号が活性化されて前記命令信号がリード命令を指定する信号であれば前記リード信号を発生し、前記チップ選択信号が非活性化されて前記命令信号がリード命令を指定する信号であれば前記ダミーリード信号を発生することを特徴とする請求項３７記載の出力データストローブ信号発生方法。

【請求項３９】

前記算出されたプリアンブルサイクル数に基づいてプリアンブル信号を発生する段階は

、
前記ダミーリード信号または前記リード信号に応答して前記バースト長さに対応するサイクル分だけ遅延して活性化されて、次に入力される前記ダミーリード信号または前記リード信号に応答して非活性化されるイネーブル信号を発生し、
前記イネーブル信号が活性化されるとカウンティング動作を実行し、
前記カウンティングされた数が設定されたプリアンブルサイクル信号になるとカウンティング動作を中止し、前記イネーブル信号が非活性化されるとカウンティング動作を終了して前記算出されたプリアンブルサイクル数を発生し、
初期に前記設定されたプリアンブルサイクル信号及び前記算出されたプリアンブルサイクル数を保存し、
前記プリアンブルサイクル信号を発生することを特徴とする請求項３８記載の出力データストローブ信号発生方法。
【請求項４０】
命令信号及びチップ選択信号に応答してリード信号、ダミーリード信号、及びモード設定信号を発生する段階と、
前記モード設定信号に応答してバースト長さ信号、ＣＡＳレイテンシー信号、及びプリアンブルサイクル信号を設定する段階と、
プリアンブルサイクル数を算出する段階と、
前記算出されたプリアンブルサイクル数に基づいてプリアンブルサイクル信号を発生する段階を備えることを特徴とする出力データストローブ信号発生方法。
【請求項４１】
前記プリアンブルサイクル数を算出する段階は、
前記ダミーリード命令と前記リード命令との間のサイクル数からバースト長さに対応するサイクル数を差し引くことを特徴とする請求項４０記載の出力データストローブ信号発生方法。
【請求項４２】
前記方法は、
前記リード信号に応答して出力データストローブ信号を発生し、
前記発生した出力データストローブ信号を前記ＣＡＳレイテンシー信号に対応するサイクル分だけ遅延し、
前記出力データストローブ信号のストローブ信号を発生することを特徴とする請求項４１記載の出力データストローブ信号発生方法。
【請求項４３】
前記リード信号、前記ダミーリード信号及び前記モード設定信号を発生する段階は、
前記チップ選択信号が活性化されて前記命令信号がリード命令を指定する信号であれば前記リード信号を発生し、前記チップ選択信号が非活性化されて前記命令信号がリード命令を指定する信号であれば前記ダミーリード信号を発生することを特徴とする請求項４１記載の半導体メモリ装置の出力データストローブ信号発生方法。
【請求項４４】
前記ダミーリード信号または前記リード信号に応答して前記バースト長さに対応するサイクル数分だけ遅延して活性化されて、次に入力される前記ダミーリード信号または前記リード信号に応答して非活性化されるイネーブル信号を発生し、
前記イネーブル信号が活性化されるとクロック信号に応答してカウンティング動作を実行し、
前記算出されたプリアンブルサイクル数が前記設定されたプリアンブルサイクル信号になるとカウンティング動作を中止し、
前記設定されたプリアンブルサイクル信号及び前記算出されたプリアンブルサイクル数を保存し、
前記プリアンブルサイクル信号を発生することを特徴とする請求項４３記載の出力データストローブ信号発生方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、メモリシステムに関し、特にリード動作時にプリアンブル信号を有した出力データストローブ信号を発生するメモリシステム、半導体メモリ装置、及びこのシステムと装置の出力データストローブ信号発生方法（Ｍｅｍｏｒｙ ｓｙｓｔｅｍ、ｓｅｍｉｃｏｎｄｕｃｔｏｒ ｍｅｍｏｒｙ ｄｅｖｉｃｅ、ａｎｄ ｏｕｔｐｕｔ ｓｔｒｏｂｅ ｓｉｇｎａｌ ｇｅｎｅｒａｔｉｎｇ ｍｅｔｈｏｄ ｔｈｅｒｅｏｆ）に関するものである。
【背景技術】
【０００２】
一般に、メモリシステムは、メモリ制御部と半導体メモリ装置からなっており、メモリ制御部と半導体メモリ装置との間のデータ転送の際、入／出力データの正確なタイミングを知らせるためにデータとともに入／出力データストローブ信号を発生させる。
【０００３】
ダブルデータレート半導体メモリ装置の場合、クロック信号の上昇エッジと下降エッジとに同期してデータを入／出力する。入／出力データストローブ信号は、クロック信号に同期して発生されており、この装置はライト動作時に入力データストローブ信号とともに入力データストローブ信号によってサンプリングされた入力データを受信し、リード動作時に出力データストローブ信号とともに出力データを発信する。
【０００４】
ところが、メモリシステムの動作速度が増加することによってクロック信号の周波数が高くなり、半導体メモリ装置がリード動作時にクロック信号に同期して発生する出力データストローブ信号が、発生初期にロー出力電圧からハイ出力電圧にと安定されたスイングをしなくなる恐れがある。したがって、初期に転送される出力データストローブ信号とデータの発生タイミングとが不一致となる場合がある。
【０００５】
そこで、半導体メモリ装置は、出力データストローブ信号のストローブ信号が発生される前に固定された所定サイクルの間にプリアンブル信号を発生することによって、ストローブ信号の発生初期にストローブ信号が安定したスイングとなることができる。したがって、初期に転送される出力データストローブ信号と出力データの発生タイミングとが一致することになる。プリアンブル信号は、出力データストローブ信号のストローブ信号が発生する前に発生される信号で、クロック信号に同期して発生することになるが、初期に発生した信号は不安定なスイングとしてクロック信号と同期しない。しかしながら、固定された所定サイクルの間にトグリングされることによって漸次的にクロック信号に同期するようになる。
【０００６】
ところが、メモリ制御部に複数の半導体メモリ装置が接続され、出力データストローブ信号ライン及び出力データラインが共通で接続される場合は、複数の半導体メモリ装置におけるデータストローブ信号のプリアンブル信号のサイクル数が固定されていると、一つの半導体メモリ装置に対するリード動作後、直ちに他の一つの半導体メモリ装置に対するリード動作がなされると問題が発生する。
【０００７】
すなわち、一つの半導体メモリ装置から出力データストローブ信号のストローブ信号が発生するうちに、他の一つの半導体メモリ装置から出力データストローブ信号のプリアンブル信号が発生すると、ストローブ信号とプリアンブル信号との間に衝突が起きる。このようなことによって、他の一つの半導体メモリ装置に対するプリアンブル信号によって、一つの半導体メモリ装置に対するストローブ信号の発生タイミングが一つの半導体メモリ装置に対する出力データの発生タイミングとは不一致することもある。
【発明の開示】

【発明が解決しようとする課題】
【０００８】
本発明の目的は、複数の半導体メモリ装置に対するリード動作時に一つの装置から発生するストローブ信号と他の一つの装置から発生するプリアンブル信号との衝突を防ぐことができるメモリシステムを提供することにある。
【０００９】
本発明の他の目的は、出力データストローブ信号のプリアンブル信号のサイクル数を変更することができる半導体メモリ装置を提供することにある。
【００１０】
本発明のまた他の目的は、前記目的とは異なる目的を果たすためのメモリシステムと半導体メモリ装置の出力データストローブ信号発生方法を提供することにある。
【課題を解決するための手段】
【００１１】
前記目的を果たすための本発明のメモリシステムは、少なくとも二つの半導体メモリ装置、及び少なくとも二つの前記半導体メモリ装置を制御するメモリ制御部を備えて、前記メモリ制御部が前記少なくとも二つの半導体メモリ装置に命令信号を共通に印加し、チップ選択信号をそれぞれ印加し、前記少なくとも二つの半導体メモリ装置が出力データストローブ信号を共通ラインに出力し、前記半導体メモリ装置のそれぞれは前記命令信号及び前記チップ選択信号に応答してリード命令及びダミーリード命令を検出して、前記ダミーリード命令と前記リード命令との間のサイクル数でバースト長さに対応するサイクル数を差し引いた数をプリアンブルサイクル数として算出し、前記出力データストローブ信号のストローブ信号を発生する前に、算出されたプリアンブルサイクル数分のプリアンブル信号を発生することを特徴とする。
【００１２】
前記半導体メモリ装置のそれぞれは、前記命令信号及び前記チップ選択信号に応答して他の半導体メモリ装置のリード命令を検出することで、前記ダミーリード命令を検出できることを特徴とする。
【００１３】
前記他の目的を果たすための本発明の半導体メモリ装置は、命令信号及びチップ選択信号に応答してリード信号、ダミーリード信号、及びモード設定信号を発生する命令語デコーダ、前記モード設定信号に応答してバースト長さ信号及びＣＡＳレイテンシー信号を設定するモード設定部、及び前記リード信号と前記ダミーリード信号との間のサイクル数からバースト長さに対応するサイクル数を差し引いた数をプリアンブルサイクル数に算出してプリアンブルサイクル信号を発生するプリアンブルサイクルカウンタを備えることを特徴とする。
【００１４】
前記半導体メモリ装置は、前記リード信号に応答して前記出力データストローブ信号を発生し、前記出力データストローブ信号のストローブ信号を前記ＣＡＳレイテンシー信号に対応するサイクル分だけ遅延されて発生し、前記ストローブ信号を発生する前に前記プリアンブルサイクル信号に対応するサイクル分だけプリアンブル信号を発生する出力データストローブ信号発生部をさらに備えることを特徴とする。
【００１５】
前記命令語デコーダは、前記チップ選択信号が活性化されて、前記命令信号がリード命令を指定する信号であれば前記リード信号を発生し、前記チップ選択信号が非活性化となり、前記命令信号がリード命令を指定する信号であれば前記ダミーリード信号を発生することを特徴として、前記プリアンブルサイクルカウンタは前記ダミーリード信号または前記リード信号に応答して前記バースト長さに対応するサイクル分だけ遅延されて活性化し、次に入力される前記ダミーリード信号または前記リード信号に応答して非活性化されるイネーブル信号を発生するイネーブル信号発生器、前記イネーブル信号が活性化されると、クロック信号に応答してカウンティング動作を実行し、前記イネーブル信号が非活性化

されるとカウンティング動作を終了しカウンティングされた信号を発生するプリアンブルサイクルカウンタ、及び前記カウンティングされた信号を保存して前記プリアンブルサイクル信号を発生するレジスタを備えることを特徴とする。

【００１６】

前記モード設定部は、前記モード設定信号に応答して最大プリアンブルサイクル信号をさらに設定することを特徴とし、前記プリアンブルサイクルカウンタは前記カウンティングされた信号が前記最大プリアンブルサイクル信号になると、前記カウンティング動作を中止することを特徴とし、前記レジスタは初期に前記最大プリアンブルサイクル信号を保存し、前記リード信号に応答して前記カウンティングされた信号を保存して前記プリアンブルサイクル信号を発生することを特徴とする。

【００１７】

前記イネーブル信号発生器は、前記ダミーリード信号と前記リード信号を論理和する論理和ゲート、前記クロック信号に応答して前記論理和ゲートの出力信号を前記バースト長さ信号に対応するサイクル分だけ遅延させるバースト長さ遅延器、及び前記バースト長さ遅延器の出力信号が活性化されると活性化になり、前記論理和ゲートの出力信号が活性化されると非活性化される前記イネーブル信号を発生するラッチを備えることを特徴として、前記バースト長さ遅延器は、所定数の従属接続されたＤフリップフロップを備えて、前記Ｄフリップフロップは前記論理和ゲートの出力信号が活性化されるとリセットされることを特徴とする。

【００１８】

前記プリアンブルサイクルカウンタは、比較信号に応答して前記クロック信号を発生する論理積ゲート、前記イネーブル信号が活性化されるとイネーブルされて前記論理積ゲートの出力信号に応答してカウンティング動作を実行して前記カウンティングされた信号を発生し、前記イネーブル信号が非活性化されるとリセットされるカウンタ、及び前記カウンティングされた信号と前記最大プリアンブルサイクル信号が同じであれば前記比較信号を発生する比較器を備えることを特徴とし、前記カウンタは前記論理積ゲートの出力信号に応答してカウンティング動作を実行する所定数の従属接続されたフリップフロップを備えることを特徴とし、前記フリップフロップのそれぞれは入力信号とカウンティング出力信号との論理積を演算して出力信号を発生する論理積ゲート、前記入力信号とカウンティング入力信号との排他的論理和を演算する排他的論理和ゲート、及び前記クロック信号に応答して前記排他的論理和ゲートの出力信号をラッチして前記カウンティング出力信号として発生するＤフリップフロップを備えて、前記フリップフロップの最初端の前記入力信号で前記イネーブル信号が印加されて、前記最初端のカウンティング入力信号で接地電圧が印加されて、前記最初端のフリップフロップを除いた残りのフリップフロップそれぞれの入力信号及びカウンティング入力信号で全端のフリップフロップの出力信号及びカウンティング出力信号がそれぞれ印加されることを特徴とする。

【００１９】

前記また他の目的を果たすための本発明によるメモリシステムの出力データストローブ信号発生方法は、少なくとも二つの半導体メモリ装置、及び前記半導体メモリ装置を制御するメモリ制御部を備えるメモリシステムの出力データストローブ信号発生方法において、前記メモリ制御部が前記半導体メモリ装置に命令信号を共通的に印加して、チップ選択信号をそれぞれ印加して前記半導体メモリ装置のうち、一つの半導体メモリ装置を選択し、前記半導体メモリ装置が出力データストローブ信号を共通ラインに出力し、前記半導体メモリ装置のそれぞれが前記命令信号及び前記チップ選択信号に応答してリード命令及びダミーリード命令を検出し、前記ダミーリード命令と前記リード命令との間のサイクル数からバースト長さに対応するサイクル数を差し引いた数をプリアンブルサイクル数として算出して、前記出力データストローブ信号のストローブ信号を発生する前に算出されたプリアンブルサイクル数分のプリアンブル信号を発生することを特徴とする。

【００２０】

前記また他の目的を果たすための本発明による半導体メモリ装置の出力データストロー

ブ信号発生方法は、命令信号及びチップ選択信号に応答してリード信号、ダミーリード信号、及びモード設定信号を発生し、前記モード設定信号に応答してバースト長さ信号、ＣＡＳレイテンシー信号、及び最大プリアンブルサイクル信号を設定して、前記リード信号と前記ダミーリード信号との間のサイクル数からバースト長さに対応するサイクル数を差し引いた数をプリアンブルサイクル数として算出してプリアンブルサイクル信号を発生することを特徴とし、前記リード信号に応答して出力データストローブ信号を発生し、前記出力データストローブ信号のストローブ信号を前記ＣＡＳレイテンシー信号に対応するサイクル分だけ遅延して発生し、前記ストローブ信号を発生する前に前記プリアンブルサイクル信号に対応するサイクル分のプリアンブル信号を発生することを特徴とする。

【００２１】

前記チップ選択信号が活性化されて前記命令信号がリード命令を指定する信号であれば前記リード信号を発生し、前記チップ選択信号が非活性化されて前記命令信号がリード命令を指定する信号であれば前記ダミーリード信号を発生することを特徴とし、前記ダミーリード信号または前記リード信号に応答して前記バースト長さに対応するサイクル分だけ遅延して活性化されて、次に入力される前記ダミーリード信号または前記リード信号に応答して非活性化されるイネーブル信号を発生し、前記イネーブル信号が活性化されるとクロック信号に応答してカウンティング動作を実行し、前記カウンティングされた数が前記最大プリアンブルサイクル信号になればカウンティング動作を中止し、前記イネーブル信号が非活性化されればカウンティング動作を終了してカウンティングされた信号を発生して、初期に前記最大プリアンブルサイクル信号を保存し、前記リード信号に応答して前記カウンティングされた信号を保存して前記プリアンブルサイクル信号を発生することを特徴とする。

【発明の効果】

【００２２】

本発明のメモリシステムによれば、複数の半導体メモリ装置のそれぞれが他の半導体メモリ装置のリード動作を検出してプリアンブルサイクル数を可変することによって、一つの装置から発生するストローブ信号と他の一つの装置から発生されるプリアンブル信号との衝突を防ぐことができる。

【００２３】

本発明の半導体メモリ装置及びこの装置の出力データストローブ信号発生方法はデータバスの効率性を高めることができる。

【発明を実施するための最良の形態】

【００２４】

以下、添付された図面を参照して本発明の半導体メモリ装置、この装置の出力データストローブ信号発生方法、及びこの装置を備えたメモリシステムを例示的に説明する。

【００２５】

図１は、本発明によるメモリシステムの実施例の構成を示すブロック図で、メモリ制御部１００及びｎ個の半導体メモリ装置２００－１～２００－ｎで構成されている。

【００２６】

図１に示されたブロックのそれぞれの機能を次に説明する。

【００２７】

メモリ制御部１００は、反転チップ選択信号ＣＳＢ１、・・・、ＣＳＢｎ、クロック信号ＣＬＫ、命令信号ＣＯＭ、アドレス信号ＡＤＤ、入力データ信号ＤＩＮ、及び入力データストローブ信号ＤＱＳＩを出力し、出力データ信号ＤＯＵＴ及び出力データストローブ信号ＤＱＳＯを入力する。ｎ個の半導体メモリ装置２００－１～２００－ｎのそれぞれはクロック信号ＣＬＫ、命令信号ＣＯＭ、アドレス信号ＡＤＤ、入力データ信号ＤＩＮ、及び入力データストローブ信号ＤＱＳＩを共通で受信し、反転チップ選択信号ＣＳＢ１、ＣＳＢ２、…、ＣＳＢｎをそれぞれ受信する。そして、出力データストローブ信号ＤＱＳＯ及び出力データ信号ＤＯＵＴを出力する。

【００２８】

図１に示すように本発明の好適な実施例のメモリシステムでは、反転チップ選択信号ＣＳＢ１、ＣＳＢ２、…、ＣＳＢｎに応答してｎ個の半導体メモリ装置２００－１～２００－ｎのそれぞれが選択される。そして、クロック信号ＣＬＫ、命令信号ＣＯＭ、アドレス信号ＡＤＤに応答して、半導体メモリ装置２００－１～２００－ｎのうち選択された半導体メモリ装置に対するライト動作またはリード動作が実行される。

【００２９】

図２は、図１に示された半導体メモリ装置の一実施例の構成を示すブロック図で、半導体メモリ装置の内部ブロックのうち、出力データストローブ信号ＤＱＳＯを発生することに係わるブロックのみを示したもので、このブロックは、命令語デコーダ１０、モード設定部１２、プリアンブルサイクルカウンタ１４、及び出力データストローブ信号ＤＱＳＯ発生器１６で構成されている。

【００３０】

図２に示されたブロックのそれぞれの機能を次に説明する。

【００３１】

命令語デコーダ１０は、クロック信号ＣＬＫに応答して反転チップ選択信号ＣＳＢ及び命令信号ＣＯＭを受信し、これらをデコーディングして、ダミーリード信号ＤＲＤ、リード信号ＲＤ、及びモード設定信号ＭＲＳを発生する。

【００３２】

モード設定部１２は、モード設定信号ＭＲＳに応答してアドレス信号ＡＤＤを受信し、これをデコーディングして、バースト長さ信号ＢＬ、ＣＡＳレイテンシー信号ＣＬ、及び最大プリアンブルサイクル信号ＮＰＲＥを発生する。モード設定信号ＭＲＳに応答して印加されるアドレス信号ＡＤＤはモード設定コードであり、メモリセル（図示せず）のアドレス信号ではない。そして、最大プリアンブルサイクル信号ＮＰＲＥは、最大プリアンブルサイクル数を示して、バースト長さ信号ＢＬはバースト長さを指定する信号であり、ＣＡＳレイテンシー信号ＣＬはＣＡＳレイテンシーを指定する信号である。

【００３３】

例えば、バースト長さを４及び８で設定することが可能とすれば、モード設定部１２はバースト長さ４に対応するモード設定コードが入力されると、バースト長さ信号ＢＬ４を「ハイ」レベルとし、バースト長さ８に対応するモード設定コードが入力されると、バースト長さ信号ＢＬ８を「ハイ」レベルとする。他の例として、モード設定部１２は、バースト長さ４に対応するモード設定信号が入力されると、バースト長さ信号ＢＬ４を「ロー」レベルとし、バースト長さ８に対応するモード設定信号が入力されると、バースト長さ信号ＢＬ８を「ロー」レベルとする。最大プリアンブルサイクル数、バースト長さ、及びＣＡＳレイトンシの一つ以上は、設計に基づいて装置によってまたはシステムによって変更することができる。

【００３４】

プリアンブルサイクルカウンタ１４は、ダミーリード信号ＤＲＤ、リード信号ＲＤ、最大プリアンブルサイクル信号ＮＰＲＥ、及びバースト長さ信号ＢＬを受信し、プリアンブルサイクル数を算出してプリアンブルサイクル信号ＰＲＥＣを発生する。すなわち、プリアンブルサイクルカウンタ１４は、ダミーリード信号ＤＲＤとリード信号ＲＤとの間のサイクル数からバースト長さに対応するサイクル数を差し引いた数をプリアンブルサイクル数として算出してプリアンブルサイクル信号ＰＲＥＣを発生し、このとき、算出されるプリアンブルサイクル数は最大プリアンブルサイクル数を超えることができない。

【００３５】

出力データストローブ信号発生器１６は、プリアンブルサイクル信号ＰＲＥＣ、バースト長さ信号ＢＬ、及びＣＡＳレイテンシー信号ＣＬを受信して出力データストローブ信号ＤＱＳＯを発生する。すなわち、出力データストローブ信号発生器１６はプリアンブルサイクル数に対応するサイクル分のプリアンブル信号を発生した後にバースト長さに対応するサイクル分のストローブ信号を発生する。そして、この際に発生されるストローブ信号は、リード命令が印加された後、ＣＡＳレイテンシーに対応するサイクル分だけ遅延した

後にクロック信号ＣＬＫに同期して発生される。

【００３６】

図３は、図２に示された命令語デコーダ１０の実施例の構成を示すブロック図で、命令語デコーダ１０は、ダミーリード命令検出器１０－１、リード命令検出器１０－２、及びモード設定命令検出器１０－３で構成されている。

【００３７】

図３に示されたブロックのそれぞれの機能を次に説明する。

【００３８】

ダミーリード命令検出器１０－１は、クロック信号ＣＬＫの上昇エッジで「ハイ」レベルの反転チップ選択信号ＣＳＢ、「ハイ」レベルの反転ローアドレスストローブ信号ＲＡＳＢ、反転コラムアドレスストローブ信号ＣＡＳＢ、及び反転ライトイネーブル信号ＷＥＢが印加されるとダミーリード信号ＤＲＤを発生する。

【００３９】

リード命令検出器１０－２は、クロック信号ＣＬＫの上昇エッジで「ロー」レベルの反転チップ選択信号ＣＳＢ、「ハイ」レベルの反転ローアドレスストローブ信号ＲＡＳＢ、反転コラムアドレスストローブ信号ＣＡＳＢ、及び反転ライトイネーブル信号ＷＥＢが印加されるとリード信号ＲＤを発生する。例えば、リード命令検出器１０－２は、「ロー」レベルの反転チップ選択信号ＣＳＢ、及び「ハイ」レベルを有する反転ローアドレスストローブ信号ＲＡＳＢ、反転コラムアドレスストローブ信号ＣＡＳＢ、反転ライトイネーブル信号ＷＥＢがクロック信号ＣＬＫの上昇及び／又は下降エッジで印加されるとリード信号ＲＤを発生する。

【００４０】

モード設定命令検出器１０－３は、「ロー」レベルの反転チップ選択信号ＣＳＢ、反転ローアドレスストローブ信号ＲＡＳＢ、反転コラムアドレスストローブ信号ＣＡＳＢ、及び反転ライトイネーブル信号ＷＥＢが印加されるとモード設定信号ＭＲＳを発生する。

【００４１】

図４Ａは、図２に示されたプリアンブルサイクルカウンタ１４の一実施例の構成を示すブロック図で、カウンタイネーブル信号発生器１４－１、プリアンブルカウンタ１４－２、及びレジスタ１４－３で構成されている。

【００４２】

図４Ａに示されたブロックのそれぞれの機能を次に説明する。

【００４３】

カウンタイネーブル信号発生器１４－１は、ダミーリード信号ＤＲＤとリード信号ＲＤに応答してトグリングするイネーブル信号ＥＮを発生する。この際に発生するイネーブル信号ＥＮは、ダミーリード信号ＤＲＤまたはリード信号ＲＤが入力されるとクロック信号ＣＬＫに応答してバースト長さに対応するサイクル分だけ遅延された後に活性化されて、次のダミーリード信号ＤＲＤまたはリード信号ＲＤに応答して非活性化される。プリアンブルサイクルカウンタ１４－２は、イネーブル信号ＥＮに応答してイネーブルされてクロック信号ＣＬＫに応答してカウンティング動作を実行する。そして、カウンティングされた値が最大プリアンブルサイクル数になればカウンティング動作を中止する。レジスタ１４－３は、初期に最大プリアンブルサイクル信号ＮＰＲＥを保存し、この後リード信号ＲＤに応答してプリアンブルサイクルカウンタ１４－２から出力される値を保存し、この値をプリアンブルサイクル信号ＰＲＥＣとして発生する。

【００４４】

図４Ｂは、図２に示されたプリアンブルサイクルカウンタにおける他の実施例の構成を示すブロック図で、図４Ａのプリアンブルサイクルカウンタ１４－２をプリアンブルサイクルカウンタ１４－２’に代替して構成されている。

【００４５】

図４Ｂのブロックのうち、図４Ａのブロックと同一番号を有するブロックの機能は同一であり、その説明を省略し、異なるブロックの機能についてのみ説明をする。

【００４６】
プリアンブルサイクルカウンタ１４－２’はイネーブル信号ＥＮに応答してイネーブルされ、クロック信号ＣＬＫに応答してカウンティング動作を実行する。この際、プリアンブルサイクルカウンタ１４－２’は所定値のみまでをカウンティングする。
【００４７】
図５は、図４Ａ、Ｂに示されたカウンティングイネーブル信号発生器の実施例の構成を示す図で、論理和ゲート２０、バースト長さ遅延器２２、及びラッチ２４で構成されている。論理和ゲート２０は、ＮＯＲゲートＮＯＲとインバータＩ１で構成されて、ラッチ２４はインバータＩ２、Ｉ３、及びＮＡＮＤゲートＮＡ１、ＮＡ２で構成されている。
【００４８】
図５に示されたブロックのそれぞれの機能を次に説明する。
【００４９】
論理和ゲート２０は、ダミーリード信号ＤＲＤとリード信号ＲＤとの論理和を演算して信号ｂを発生する。バースト長さ遅延器２２は、論理和ゲート２０の出力信号ｂをクロック信号ＣＬＫに応答してバースト長さ信号ＢＬに対応するサイクル分だけ遅延して信号ａを発生し、信号ｂｂに応答してリセットされる。例えば、半導体メモリ装置がダブルデータレートで動作する場合において、バースト長さ遅延器２２は、バースト長さが４であれば信号ｂを２サイクル分だけ遅延させ、バースト長さが８であれば信号ｂを４サイクル分だけ遅延させる。ラッチ２４は、信号ａが活性化されるとイネーブル信号ＥＮを活性化し、信号ｂが活性化されるとイネーブル信号ＥＮを非活性化する。
【００５０】
図６は、図５に示されたバースト長さ遅延器２２の実施例の構成を示す図で、Ｄフリップフロップ ＤＦ１、ＤＦ２、ＤＦ３、ＤＦ４及びスィッチＳＷ１～ＳＷ４で構成されている。
【００５１】
図６は、半導体メモリ装置がダブルデータレートで動作し、バースト長さが４又は８で設定されうる場合の構成を示す図で、バースト長さが４に設定されるとバースト長さ信号ＢＬ４が「ハイ」レベルとなり、バースト長さが８に設定されるとバースト長さ信号ＢＬ８が「ハイ」レベルとなる。
【００５２】
バースト長さ信号ＢＬ４が「ハイ」レベルとなり、バースト長さ信号ＢＬ８が「ロー」レベルになれば、スィッチＳＷ１がオンとなり、スィッチＳＷ２～ＳＷ４がオフとなる。この場合には、ＤフリップフロップＤＦ１、ＤＦ２が動作して信号ｂを２サイクル分だけ遅延させて信号ａを発生し、信号ｂｂに応答してリセットされる。
【００５３】
一方、バースト長さ信号ＢＬ４が「ロー」レベルとなり、バースト長さ信号ＢＬ８が「ハイ」になれば、スィッチＳＷ１がオフとなり、スィッチＳＷ２～ＳＷ４がオンとなる。この場合、４個のＤフリップフロップＤＦ１～ＤＦ４がクロック信号ＣＬＫに応答して信号ｂを４サイクル分だけ遅延させて信号ａを発生し、信号ｂｂに応答してリセットされる。
【００５４】
図７Ａは、図４Ａに示されたプリアンブルサイクルカウンタ１４－２の実施例の構成を示すブロック図で、プリアンブルサイクルカウンタは、論理積ゲート３０、カウンタ３２、及び比較器３４で構成されて、論理積ゲート３０はＮＡＮＤゲートＮＡ３とインバータＩ４で構成されて、カウンタ３２はフリップフロップＦＦ１～ＦＦ３で構成される。
【００５５】
図７Ａは、半導体メモリ装置の最大プリアンブルサイクル信号ＮＰＲＥが３ビットで構成される場合の構成を示す図である。図７Ａに示されたブロックのそれぞれの機能を次に説明する。
【００５６】

論理積ゲート３０は、信号ｃに応答してクロック信号ＣＬＫを発生する。カウンタ３２は「ロー」レベルのイネーブル信号ＥＮに応答してリセットされて、「ハイ」レベルのイネーブル信号ＥＮが発生されると論理積ゲート３０の出力信号に応答してカウンティング動作を実行してプリアンブルサイクル数に対応する３ビットの信号Ｑ１～Ｑ３を発生する。比較器３４は、３ビットの信号Ｑ１～Ｑ３が３ビットの最大プリアンブルサイクル信号ＮＰＲＥ１、ＮＰＲＥ２、ＮＰＲＥ３と同一であれば「ロー」レベルの信号ｃを発生する。結果的に、比較器３４が「ロー」レベルの信号ｃを発生すると論理積ゲート３０の出力信号が「ロー」レベルとなり、これによってフリップフロップＦＦ１～ＦＦ３がカウンティング動作を実行しなくなり、信号Ｑ１～Ｑ３はイネーブル信号ＥＮが「ロー」レベルにディセーブルされるまで最終的にカウンティングされた信号Ｑ１～Ｑ３を維持し、イネーブル信号ＥＮが「ロー」レベルでディセーブルされると信号Ｑ１～Ｑ３が「ロー」レベルにリセットされる。すなわち、例えば最大プリアンブルサイクル信号ＮＰＲＥが「１０１」であれば、カウンタ３２はイネーブル信号ＥＮが「ハイ」レベルを維持する間にクロック信号ＣＬＫに応答して「１０１」までをカウンティングし、その後は、クロック信号ＣＬＫが発生しないので「１０１」を維持し、イネーブル信号ＥＮが「ロー」レベルにディセーブルされるとリセットされて「０００」の信号Ｑ１～Ｑ３を発生する。

【００５７】

図７Ｂは、図４Ｂに示されたプリアンブルサイクルカウンタ１４－２’の実施例の構成を示すブロック図で、図７Ａの比較器３４を比較器３４’に代替して構成されている。

【００５８】

図７Ｂのブロックのうち、図７Ａのブロックと同一番号を有するブロックの機能は同じでありその説明を省略し、異なるブロックの機能について説明する。

【００５９】

比較器３４’は、３ビットの信号Ｑ１～Ｑ３が所定値となると「ロー」レベルの信号ｃを発生する。例えば、比較器３４’は３ビットの信号Ｑ１～Ｑ３が「１０１」になると、これを検出して「ロー」レベルの信号ｃを発生するように構成されたり、「１１０」になると、これを検出して「ロー」レベルの信号ｃを発生するように構成されたりする。これは、インバータまたはＮＡＮＤゲートのような簡単な論理ゲートを用いて構成することができる。

【００６０】

図８は、図７Ａ、Ｂに示されたフリップフロップの実施例の構成を示す図で、フリップフロップは、論理積ゲート４０、ＸＯＲゲートＸＯＲ、及びＤフリップフロップＤＦ５で構成されている。そして、論理積ゲート４０はＮＡＮＤゲートＮＡ４、及びインバータＩ５で構成されている。

【００６１】

図８に示された構成の機能を次に説明する。

【００６２】

論理積ゲート４０は、入力端子Ｃｉとカウンティング出力端子Ｑｉに出力される信号との論理積を演算して演算結果を出力端子Ｃｏとしてを発生する。ＸＯＲゲートＸＯＲは、入力端子Ｃｉとカウンティング入力端子Ｑｉ－１に印加される信号との排他的論理和を演算して二つの入力が同じであれば「ロー」レベルの信号を発生し、異なれば「ハイ」レベルの信号を発生する。ＤフリップフロップＤＦ５は、リセット端子ＲＥに印加されるイネーブル信号ＥＮの下降エッジに応答してリセットされ、クロック信号ＣＬＫに応答してＸＯＲゲートＸＯＲの出力信号をラッチしてカウンティング出力端子Ｑｉとして出力する。

【００６３】

すなわち、図８に示されたフリップフロップは、入力端子Ｃｉ及びカウンティング出力端子Ｑｉで「ハイ」レベルの信号が発生されると出力端子Ｃｏで「ハイ」レベルの信号を発生し、入力端子Ｃｉに印加される信号とカウンティング入力端子Ｑｉ－１に印加される信号が互いに異なればクロック信号ＣＬＫに応答して「ハイ」レベルの信号をラッチして「ハイ」レベルのカウンティング出力信号Ｑｉを発生する。

【００６４】
図９は、本発明の好適な実施例の半導体メモリ装置の動作を説明するための動作タイミング図で、メモリ制御部１００に二つの半導体メモリ装置２００－１、２００－２が接続された場合の動作を示したものである。ここでは、これらの半導体メモリ装置がダブルデータレートで動作し、ＣＡＳレイテンシーが６で、バースト長さが４に設定されて、最大プリアンブルサイクル信号ＮＰＲＥが「１００」に設定されている場合の動作を示したものである。
【００６５】
図９において、ＣＬＫ、ＣＯＭは半導体メモリ装置２００－１、２００－２に共通で印加されるクロック信号及び命令信号をそれぞれ示し、ＣＳＢ１は半導体メモリ装置２００－１に印加される反転チップ選択信号を、ＣＳＢ２は半導体メモリ装置２００－２に印加される反転チップ選択信号をそれぞれ示す。そして、ＲＤ１、ＤＲＤ１、ＥＮ１、Ｑ１１～Ｑ１３、ＰＲＥＣ１は半導体メモリ装置２００－１の内部で発生する信号を、ＲＤ２、ＤＲＤ２、ＥＮ２、Ｑ２１～Ｑ２３、ＰＲＥＣ２は半導体メモリ装置２００－２の内部で発生する信号を示す。ＤＱＳＯ、ＤＯＵＴは、半導体メモリ装置２００－１、２００－２から出力される出力データストローブ信号及び出力データをそれぞれ示す。
【００６６】
クロック信号ＣＬＫの上昇エッジで「ロー」レベルの反転チップ選択信号ＣＳＢ１及びリード命令を指定する命令信号ＣＯＭが印加されると、半導体メモリ装置２００－１の命令語デコーダ１０がリード信号ＲＤ１を発生し、半導体メモリ装置２００－２の命令語デコーダ１０がダミーリード信号ＤＲＤ２を発生する。そして、半導体メモリ装置２００－１のレジスタ１４－３は、リード信号ＲＤ１に応答してプリアンブルサイクルカウンタ１４－２または１４－２’から出力される設定されたプリアンブル初期値である「１００」の信号Ｑ１１～Ｑ１３をプリアンブルサイクル信号ＰＲＥＣ１として発生する。
【００６７】
したがって、半導体メモリ装置２００－１は、期間Ｔ１で、４サイクル分のプリアンブル信号を発生し、期間Ｔ２で、ストローブ信号とともに出力データＤＯＵＴを発生する。
【００６８】
そして、半導体メモリ装置２００－１、２００－２のそれぞれのカウンタイネーブル信号発生器１４－１は、バースト長さに対応するサイクル分、すなわち、２サイクル分だけ遅延された後にイネーブル信号ＥＮ１、ＥＮ２を活性化する。それでは、半導体メモリ装置２００－１、２００－２のそれぞれのプリアンブルサイクルカウンタ１４－２または１４－２’がクロック信号ＣＬＫに応答してカウンティング動作を実行する。
【００６９】
一番目のリード命令を指定する命令信号ＣＯＭが印加された後、３サイクル後にクロック信号ＣＬＫの上昇エッジで「ロー」レベルの反転チップ選択信号ＣＳＢ２及びリード命令を指定する命令信号ＣＯＭが印加されると、半導体メモリ装置２００－２の命令語デコーダ１０がリード信号ＲＤ２を発生し、半導体メモリ装置２００－１の命令語デコーダ１０がダミーリード信号ＤＲＤ１を発生する。そうすると、半導体メモリ装置２００－１、２００－２のそれぞれのカウンタイネーブル信号発生器１４－１はイネーブル信号ＥＮ１、ＥＮ２を非活性化する。そうすると、半導体メモリ装置２００－１、２００－２のそれぞれのプリアンブルサイクルカウンタ１４－２または１４－２’のカウンティング動作が終了となり、「００１」の信号Ｑ１１～Ｑ１３を発生する。
【００７０】
半導体メモリ装置２００－２のレジスタ１４－３はリード信号ＲＤ２に応答して「００１」の信号をプリアンブルサイクル信号ＰＲＥＣ２として発生する。すなわち、リード信号ＲＤ２がダミーリード信号ＤＲＤ２から３サイクル後にイネーブルされて、バースト長さＢＬが４として２サイクルに対応するので、プリアンブルサイクルは３サイクルから２サイクルを引いた１サイクルとなる。
【００７１】

したがって、期間Ｔ３で半導体メモリ装置２００－２は１サイクル分のプリアンブル信号を発生し、期間Ｔ４でストローブ信号とともに出力データＤＯＵＴを発生する。

【００７２】

上述したような動作を実行することによって、期間Ｔ５で半導体メモリ装置２００－１は「０１１」のプリアンブルサイクル信号ＰＲＥＣ１が発生されるので３サイクル分のプリアンブル信号を発生し、期間Ｔ６でストローブ信号とともに出力データＤＯＵＴを発生する。すなわち、リード信号ＲＤ１がダミーリード信号ＤＲＤ１から５サイクル後にイネーブルされ、バースト長さＢＬが４として２サイクルに対応するので、プリアンブルサイクルは５サイクルから２サイクルを引いた３サイクルとなる。

【００７３】

期間Ｔ７で半導体メモリ装置２００－２は「０００」のプリアンブルサイクル信号ＰＲＥＣ２が発生されるのでプリアンブル信号を発生しなくなり、ストローブ信号とともに出力データＤＯＵＴを発生する。すなわち、期間Ｔ７で半導体メモリ装置２００－２から出力されるデータＤＯＵＴは期間Ｔ６のストローブ信号が半導体メモリ装置２００－２のプリアンブル信号となってストローブ信号と出力データのタイミングとが一致するようになる。すなわち、リード信号ＲＤ２がダミーリード信号ＤＲＤ２から２サイクル後にイネーブルされ、バースト長さＢＬが４として２サイクルに対応するので、プリアンブルサイクルは２サイクルから２サイクルを引いた０サイクルとなる。

【００７４】

また、メモリ制御部１００がバースト長さに対応するサイクル分の遅延時間を有して半導体メモリ装置２００－１、２００－１に連続的なリード命令を印加することが可能である。これによって、データバスの効率性が高くなることになる。

【００７５】

上述した動作タイミング図に示すように本発明のメモリシステムは、プリアンブルサイクルが可変であることによって、二つの半導体メモリ装置２００－１、２００－２から出力されるストローブ信号とプリアンブル信号との間に衝突が発生しない。

【００７６】

上述の実施例では、メモリ制御部１００に二つの半導体メモリ装置２００－１、２００－２が接続して構成される場合を用いて説明したが、３個以上の半導体メモリ装置が接続される場合も同じ動作を実行する。

【００７７】

上述した実施例の半導体メモリ装置の出力データストローブ信号発生方法は、ダブルデータレートで動作し、バースト長さが可変である場合を例示して説明したが、シングルまたはクォドデータレートで動作してバースト長さが可変である場合及びシングルまたはクォドデータレートで動作してバースト長さが固定される場合にも適用可能である。例えば、バースト長さが固定される場合には、図５のバースト長さ遅延器が固定されたバースト長さに対応するサイクル分だけ遅延されるように設計すれば良い。

【００７８】

そして、上述の実施例では、メモリ制御部に複数の半導体メモリ装置が接続される場合を例示して説明したが、メモリ制御部にメモリモジュールが接続される場合にも適用することが可能である。すなわち、メモリ制御部にデュアルランクメモリモジュールが接続される場合に反転チップ選択信号だけ、互いに異なるラインを介してモジュールの前面部と後面部にそれぞれ印加されて、他の信号は共通ラインを介してメモリ制御部とモジュールの前面部と後面部との間に転送されるので本発明が適用できる。

【００７９】

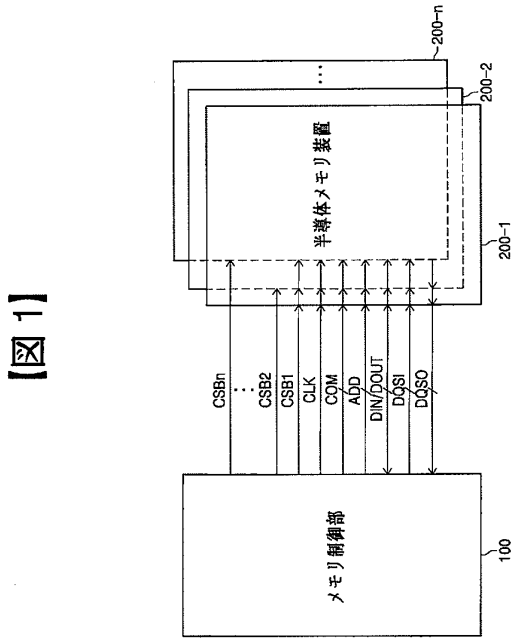
上述では、本発明の好ましい実施形態を参照しながら説明したが、当該技術分野の熟練した当業者は、添付の特許請求範囲に記載された本発明の思想及び領域から逸脱しなし範囲で、本発明を多様に修正及び変更させることができる。

【図面の簡単な説明】

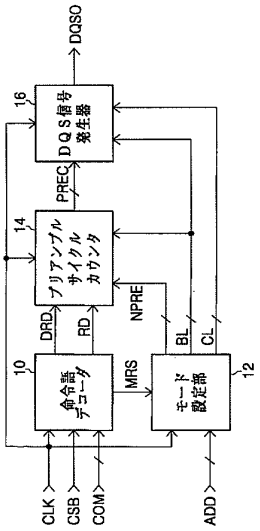
【００８０】

【図１】本発明によるメモリシステムの実施例の構成を示すブロック図である。
【図２】図１に示された半導体メモリ装置の実施例の構成を示すブロック図である。
【図３】図２に示された命令語デコーダの実施例の構成を示すブロック図である。
【図４Ａ】図２に示されたプリアンブルサイクルカウンタの実施例の構成を示すブロック図である。
【図４Ｂ】図２に示されたプリアンブルサイクルカウンタの実施例の構成を示すブロック図である。
【図５】図４Ａ、Ｂに示されたカウンティングイネーブル信号発生器の実施例の構成を示す図である。
【図６】図５に示されたバースト長さ遅延器の実施例の構成を示す図である。
【図７Ａ】図４Ａ、Ｂに示されたプリアンブルサイクルカウンタの実施例の構成を示すブロック図である。
【図７Ｂ】図４Ａ、Ｂに示されたプリアンブルサイクルカウンタの実施例の構成を示すブロック図である。
【図８】図７Ａ、Ｂに示されたフリップフロップの実施例の構成を示す図である。
【図９】本発明の好適な実施例の半導体メモリ装置の動作を説明するための動作タイミング図である。
【符号の説明】
【００８１】
１０：命令語デコーダ
１０－１：ダミーリード命令検出器
１０－２：リード命令検出器
１０－３：モード設定命令検出器
１２：モード設定部
１４：プリアンブルサイクルカウンタ
１４－１：カウンタイネーブル信号発生器
１４－２、１４－２’：プリアンブルサイクルカウンタ
１４－３：レジスタ
１６：ＤＱＳ信号発生器
２２：バースト長さ遅延器
３４、３４’：比較器
１００：メモリ制御部
２００：半導体メモリ装置

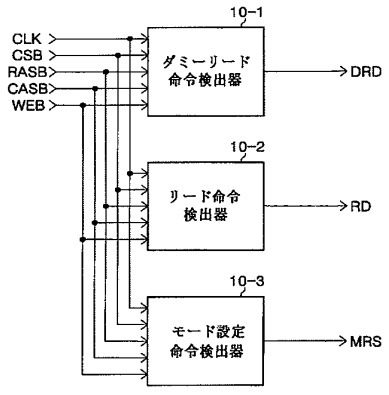
【図１】


200-n
200-2
200-1
半導体メモリ装置
CSBn
CSB2
CSB1
CLK
COM
ADD
DIN/DOUT
DQSI
DQSO
メモリ制御部
100

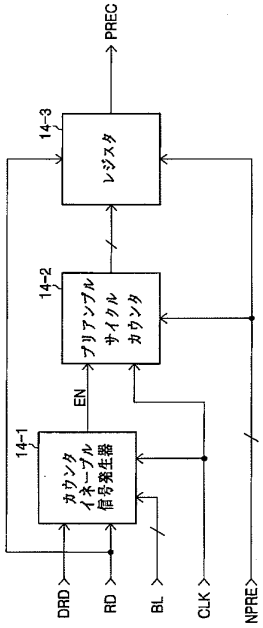
【図２】


DQSO
16
DQS信号発生器
PREC
14
プリアンブルサイクルカウンタ
NPRE
DRD
RD
BL
CL
10
命令語デコーダ
MRS
モード設定部
12
CLK
CSB
COM
ADD

【図３】

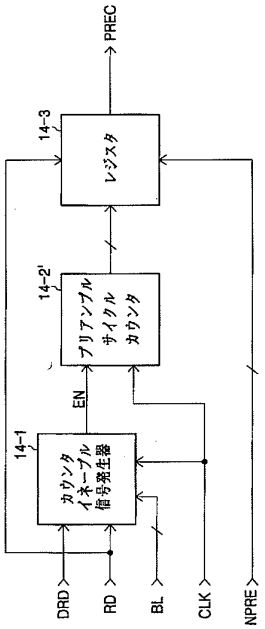

10-1
CLK
CSB
RASB
CASB
WEB
ダミーリード命令検出器
DRD
10-2
リード命令検出器
RD
10-3
モード設定命令検出器
MRS

【図４Ａ】


PREC
14-3
レジスタ
14-2
プリアンブルサイクルカウンタ
EN
14-1
カウンタイネーブル信号発生器
DRD
RD
BL
CLK
NPRE

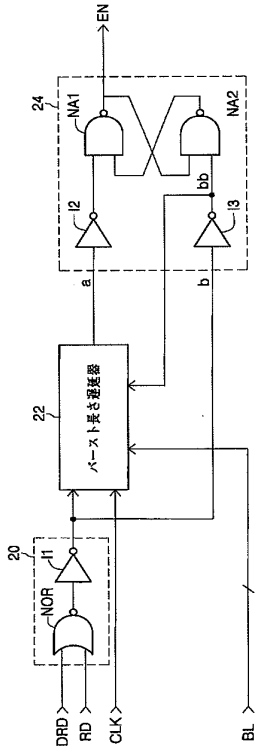
【図４Ｂ】

【図4B】



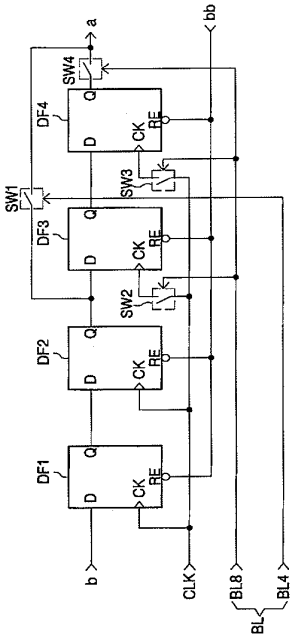
【図５】

【図5】



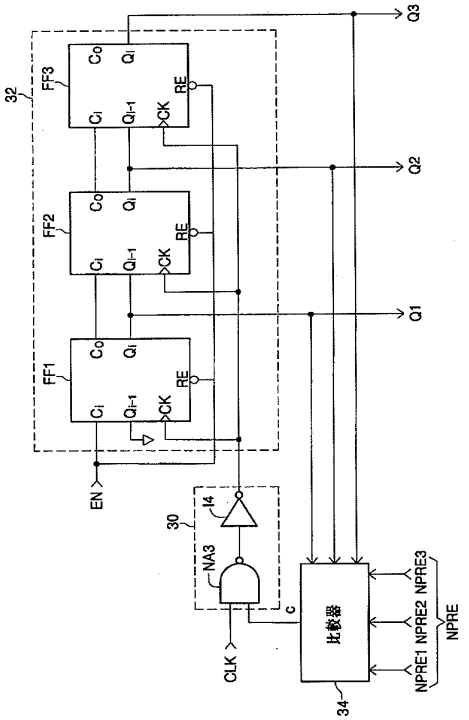
【図６】

【図6】

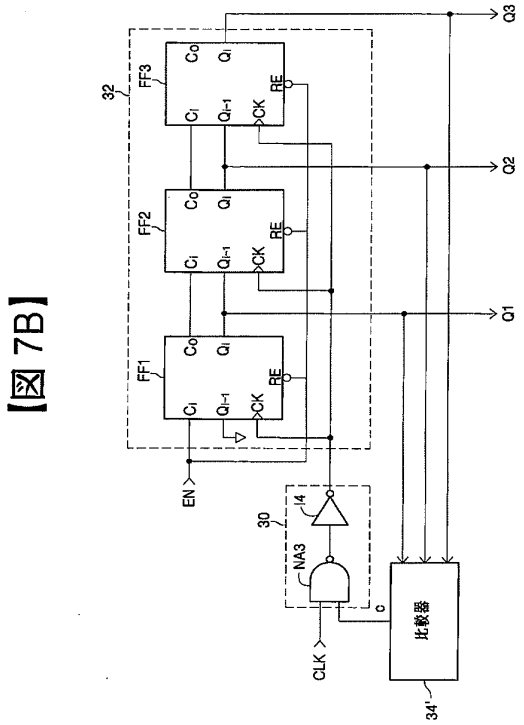


【図７Ａ】

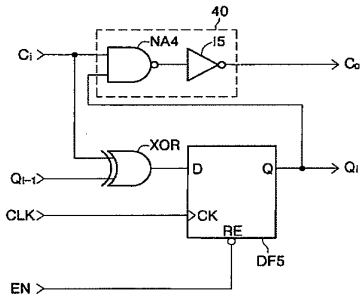
【図7A】



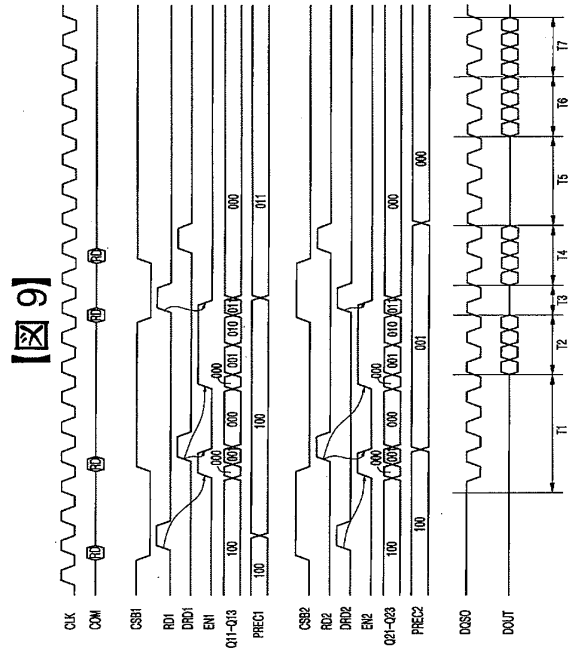
【図７Ｂ】


【図7B】
32
FF3
FF2
FF1
Co
Ci
Qi
Qi-1
CK
RE
EN
30
I4
NA3
c
CLK
比較器
34'
Q3
Q2
Q1

【図８】


【図8】
40
NA4
I5
Ci
Co
XOR
D
Q
Qi
Qi-1
CLK
CK
RE
DF5
EN

【図９】


【図9】
CLK
COM
CSB1
RD1
DRD1
EN1
Q11-Q13
PREC1
CSB2
RD2
DRD2
EN2
Q21-Q23
PREC2
DQSO
DOUT
T1
T2
T3
T4
T5
T6
T7

フロントページの続き

(74)代理人 100116894
弁理士 木村 秀二
(72)発明者 朴光一
大韓民国 京畿道 龍仁市 上▲ヒョン▼洞 ８６９ ＬＧ Ｘｉアパートメント ９０９棟 １０２号
(72)発明者 張星珍
大韓民国 京畿道 城南市 盆唐区 二梅洞 １２２ 金剛アパートメント １０４棟 ７０４号
(72)発明者 宋鎬永
大韓民国 京畿道 龍仁市 器興邑 農書里 サン ７－１ マロニエードング １４０７

Ｆターム(参考) 5M024 AA40 AA49 BB27 BB33 DD83 GG20 JJ03 JJ04 JJ30 JJ52
JJ53 JJ54 PP01 PP02 PP07 QQ10

【要約の続き】
【選択図】 図２

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-25765
(P2005-25765A)
(43)公開日　平成17年1月27日(2005.1.27)

(51)Int.Cl.[7]	F I			テーマコード（参考）
G06F 13/16	G06F	13/16	510A	5B060
G06F 12/04	G06F	12/04	520A	5M024
G11C 11/401	G11C	11/34	362Z	

審査請求 未請求　請求項の数 25　OL　（全 15 頁）

(21)出願番号　特願2004-198062(P2004-198062)
(22)出願日　平成16年7月5日(2004.7.5)
(31)優先権主張番号　2003-044846
(32)優先日　平成15年7月3日(2003.7.3)
(33)優先権主張国　韓国(KR)
(31)優先権主張番号　10/737861
(32)優先日　平成15年12月18日(2003.12.18)
(33)優先権主張国　米国(US)

(71)出願人　390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞４１６
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二
(72)発明者　張星珍
大韓民国京畿道城南市盆唐区二梅洞１２２番地金剛アパート１０４棟７０４号

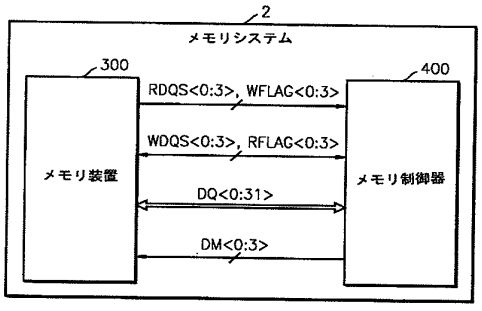
Fターム(参考)　5B060 CB03　DA05

最終頁に続く

(54)【発明の名称】データ反転を有するメモリシステム及びメモリシステムにおけるデータ反転方法

(57)【要約】
【課題】　データ反転を有するメモリシステム及びメモリシステムにおけるデータ反転方法を提供する。
【解決手段】パッケージされた装置に別途のピン又はボールを追加せずにバイト単位の書き込みデータの挿入を提供するメモリ装置においてデータを読み出すか、或いはデータを書き込むメモリシステム及び方法に関する。これにより、メモリ装置の高周波数特性が向上されうる。
【選択図】図９

【図　９】



【特許請求の範囲】
【請求項１】
メモリ装置において、
データを保持するためのメモリセルアレイと、
前記メモリ装置にデータを書き込むか、或いは前記メモリ装置からデータを読み出すデータ入出力バスと、
前記メモリセルアレイに書き込まれるか、或いは読み出されるデータを選択的に反転させるデータ反転回路と、
前記メモリ装置からデータを読み出す時に読出しデータストローブを伝達し、前記メモリ装置にデータを書き込む時に書き込みデータ反転フラグを伝達する第１入出力部とを含むことを特徴とするメモリ装置。
【請求項２】
前記メモリ装置は、
前記メモリ装置にデータを書き込む時に書き込みデータストローブを伝達し、前記メモリ装置からデータを読み出す時に読出しデータ反転フラグを伝達する第２入出力部をさらに含むことを特徴とする請求項１に記載のメモリ装置。
【請求項３】
前記メモリ装置は、
前記メモリ装置にデータを書き込む時に書き込みデータマスキング信号を伝達し、前記メモリ装置からデータを読み出す時に読出しデータ反転フラグを伝達する第２入出力部をさらに含むことを特徴とする請求項１に記載のメモリ装置。
【請求項４】
前記メモリ装置は、
書き込みデータストローブを伝達する双方向性の入力部をさらに含むことを特徴とする請求項３に記載のメモリ装置。
【請求項５】
前記メモリセルアレイは多数のデータワードに前記データを保持し、前記各データワードは多数のデータバイトを含み、
前記メモリ装置は前記データが前記メモリセルアレイに書き込まれる時に前記データのそれぞれのバイトを選択的に反転させる手段をさらに含むことを特徴とする請求項１に記載のメモリ装置。
【請求項６】
前記書き込みデータ反転フラグは前記メモリ装置に書き込まれるデータの全てのバイトに対する書き込みデータ反転動作を制御することを特徴とする請求項１に記載のメモリ装置。
【請求項７】
データストローブ信号に応答してメモリ装置にデータを書き込み、前記メモリ装置からデータを読み出すための制御器において、前記制御器は、
前記制御器が前記メモリ装置にデータを書き込むか、或いは読み出すためのデータ入出力バスと、
前記メモリ装置からデータを読み出す時に読出しデータストローブを伝達し、前記メモリ装置にデータを書き込む時に書き込みデータ反転フラグを伝達する第１入出力部とを含むことを特徴とする制御器。
【請求項８】
前記制御器は、
前記メモリ装置にデータを書き込む時に書き込みデータストローブを伝達し、前記メモリ装置からデータを読み出す時に読出しデータ反転フラグを伝達する第２入出力部をさらに含むことを特徴とする請求項７に記載の制御器。
【請求項９】
前記制御器は、

前記メモリ装置にデータを書き込む時に書き込みデータマスキング信号を伝達し、前記メモリ装置からデータを読み出す時に読出しデータ反転フラグを伝達する第２入出力部をさらに含むことを特徴とする請求項７に記載の制御器。

【請求項１０】

前記書き込みデータ反転フラグは前記メモリ装置に書き込まれるデータの全てのバイトに対する書き込みデータ反転動作を制御することを特徴とする請求項７に記載の制御器。

【請求項１１】

前記制御器は多数のデータワードを出力し、前記各データワードは多数のデータバイトを含み、前記制御器は多数の書き込みデータ反転フラグを出力し、各書き込みデータ反転フラグは対応するデータのバイトが反転されるか否かを示すことを特徴とする請求項７に記載の制御器。

【請求項１２】

メモリシステムにおいて、

データを保持するためのメモリセルアレイを有するメモリ装置と、

前記メモリ装置に連結され、データストローブ信号に応答して前記メモリ装置にデータを書き込み、前記メモリ装置からデータを読み出す制御器と、

前記制御器と前記メモリ装置との間に、前記メモリ装置からデータを読み出す時に読出しデータストローブを伝達し、前記メモリ装置にデータを書き込む時に書き込みデータ反転フラグを伝達する第１入出力ラインとを含むことを特徴とするメモリシステム。

【請求項１３】

前記メモリシステムは、

前記制御器と前記メモリ装置との間で、前記メモリ装置にデータを書き込む時に書き込みデータストローブを伝達し、前記メモリ装置からデータを読み出す時に読出しデータ反転フラグを伝達する第２入出力ラインをさらに含むことを特徴とする請求項１２に記載のメモリシステム。

【請求項１４】

前記メモリシステムは、

前記制御器と前記メモリ装置との間で、前記メモリ装置にデータを書き込む時に書き込みデータマスキング信号を伝達し、前記メモリ装置からデータを読み出す時に読出しデータ反転フラグを伝達する第２入出力ラインをさらに含むことを特徴とする請求項１２に記載のメモリシステム。

【請求項１５】

前記書き込みデータ反転フラグは前記メモリ装置に書き込まれるデータの全てのバイトに対する書き込みデータ反転動作を制御することを特徴とする請求項１２に記載のメモリシステム。

【請求項１６】

前記メモリセルアレイは多数のデータワードにデータを保持し、前記各データワードは多数のデータバイトを含み、

前記メモリ装置は前記データが前記メモリセルアレイに書き込まれる時に前記データのそれぞれのバイトを選択的に反転させる手段をさらに含むことを特徴とする請求項１２に記載のメモリシステム。

【請求項１７】

それぞれのデータワードが多数のデータバイトを含む多数のデータワードを含むメモリ装置内のメモリセルにデータを書き込む方法において、前記方法は、

前記メモリ装置のデータ入力部からデータを受信する段階と、

前記メモリ装置で、前記受信されたデータワードの対応するバイトが反転されなければならないかを示す多数の書き込みデータ反転フラグを受信する段階と、

前記書き込みデータ反転フラグに応答して前記受信されたデータワードのそれぞれのバイトを選択的に反転させる段階と、

前記選択的に反転されたデータワードを前記メモリセルに書き込む段階とを含むことを

特徴とする方法。
【請求項１８】
前記多数の書き込みデータ反転フラグは前記メモリ装置で前記メモリ装置がデータ読み出し動作中にデータストローブ信号をも搬送する多数のピンから受信されることを特徴とする請求項１７に記載の方法。
【請求項１９】
前記メモリ装置で各書き込みデータストローブが前記受信されたデータワードの一つのバイトに対応する多数の書き込みデータストローブを受信する段階をさらに含み、
前記選択的に反転されたデータワードを前記メモリセルに書き込む段階は、各データバイトを前記対応する書き込みデータストローブに同期して前記メモリセルに書き込む段階を含み、
前記書き込みデータストローブは前記メモリ装置がデータ読み出し動作中に読出しデータ反転フラグをも搬送する前記メモリ装置の多数のピンから受信されることを特徴とする請求項１７に記載の方法。
【請求項２０】
メモリセルにデータを出力する方法において、前記方法は、
データワードの各バイトを選択的に反転させる段階と、
各書き込みデータ反転フラグがデータワードの対応するバイトが反転されたか否かを示す多数の書き込みデータ反転フラグを設定する段階と、
前記選択的に反転されたデータワードを出力する段階と、
前記多数の書き込みデータ反転フラグを出力する段階とを含むことを特徴とする方法。
【請求項２１】
前記多数の書き込みデータ反転フラグは前記メモリセルを有するメモリ装置により受信され、前記多数の書き込みデータ反転フラグは前記メモリ装置がデータ読み出し動作中にデータストローブ信号をも搬送する多数のピンから受信されることを特徴とする請求項２０に記載の方法。
【請求項２２】
各書き込みデータストローブが前記受信されたデータワードの一つのバイトに対応する多数の書き込みデータストローブを前記メモリ装置に出力する段階をさらに含み、
前記選択的に反転されたデータワードを前記メモリセルに書き込む段階は、各データバイトを前記対応する書き込みデータストローブに同期して前記メモリセルに書き込む段階を含み、
前記書き込みデータストローブは前記メモリ装置がデータ読み出し動作中に読出しデータ反転フラグをも搬送する多数のピンから前記メモリ装置に出力されることを特徴とする請求項２０に記載の方法。
【請求項２３】
それぞれのデータワードが多数のデータバイトを含む多数のデータワードを含むメモリ装置と制御器とのデータ通信方法において、前記方法は、
データワードの各バイトを選択的に反転させる段階と、
各書き込みデータ反転フラグが前記データワードの対応するバイトが反転されたか否かを示す多数の書き込みデータ反転フラグを設定する段階と、
前記選択的に反転されたデータワードを出力する段階と、
前記多数の書き込みデータ反転フラグを出力する段階と、
前記メモリ装置のデータ入力部から前記選択的に反転されたデータワードを受信する段階と、
前記多数の書き込みデータ反転フラグを前記メモリ装置から受信する段階と、
前記書き込みデータ反転フラグにより前記受信されたデータワードの各バイトを選択的に反転させる段階と、
前記選択的に反転された受信データワードを前記メモリ装置のメモリセルアレイに書き込む段階とを含むことを特徴とする方法。

【請求項２４】
前記多数の書き込みデータ反転フラグはメモリセルを有するメモリ装置により受信され、前記多数の書き込みデータ反転フラグは前記メモリ装置がデータ読み出し動作中にデータストローブ信号をも搬送する多数のピンから受信されることを特徴とする請求項２３に記載の方法。
【請求項２５】
各書き込みデータストローブが前記受信されたデータワードの一つのバイトに対応する多数の書き込みデータストローブを前記メモリ装置から受信する段階をさらに含み、
前記選択的に反転されたデータワードを前記メモリセルに書き込む段階は、各データバイトを前記対応する書き込みデータストローブに同期して前記メモリセルに書き込む段階を含み、
前記書き込みデータストローブは前記メモリ装置がデータ読み出し動作中に読出しデータ反転フラグをも搬送する前記メモリ装置の多数のピンから受信されることを特徴とする請求項２３に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明はメモリシステムに係り、特にデータ反転を有するメモリシステム及びメモリシステムに対するデータ反転方法に関する。
【背景技術】
【０００２】
一般に、メモリシステムではデータ伝送速度を向上させることが非常に重要である。このため、メモリ装置の高周波数特性(速度)を向上させるための多様な技術が開発されてきた。幾つかのメモリ装置では、装置の同時スイッチング雑音を減らすためデータ反転スキームが使用される。こうしたメモリ装置とメモリシステムの例が説明される。
【０００３】
図１はメモリ装置100とメモリ制御器200とを有する従来のメモリシステム1のブロック図である。
【０００４】
メモリシステム1は次のようなデータ反転スキームで動作する。データ書き込み動作時の場合、単一DM＜0:3＞はデータマスキング動作を実行し、WDQS＜0:3＞はデータストローブ信号として動作し、DIMはデータ(四つのデータバイト全て)を反転させるか否かを示す書き込みデータ反転フラグである。一方、データ読み出し動作時の場合、単一RDQS＜0:3＞はデータストローブ信号として動作し、DM＜0:3＞は読出しデータ反転フラグである。
【０００５】
図２はデータ反転を有する従来のメモリ装置100の例示的なボール(又はピン)の構成を示す。図２に示されたように、メモリ装置100は書き込みデータ反転フラグ(DIM)専用ピン又はボール160を有する。
【０００６】
図３はメモリ装置100のデータプロセッシングを示すブロック図である。メモリ装置100はバイト0に対するデータプロセッシング回路110と、バイト1に対するデータプロセッシング回路120と、バイト2に対するデータプロセッシング回路130と、バイト3に対するデータプロセッシング回路140及びメモリセルアレイ150を含む。メモリ装置100で、ピン111,121,131,141でのRDQS＜0:3＞データストローブ信号、ピン112,122,132,142でのWDQS＜0:3＞データストローブ信号の各単一ビットはメモリセルアレイ150の一つの8-bitバイトのデータをプロセッシングするため一つのデータプロセス部110,120,130,140に連結される。データ書き込み動作時に、ピン114,124,134,144でのDM＜0:3＞は四つのデータプロセッシング回路110,120,130,140に対する書き込みデータをマスキングする。一方、データ読み出し動作時に、DM＜0:3＞信号の各単一ビットはデータプロセッシング回路110,120,130,140のうち一つに対する読出しデータ反転フラグになる。一方、データ書き込み動作時に、

ピン160でのDIMは四つのデータバイト全てに対する書き込みデータ反転フラグとして使用される。DQ＜0:31＞を含む四つのバイトのデータは入出力ピン113,123,133,143から入出力される。

【０００７】

図４はメモリ装置100のバイト0に対するデータプロセッシング回路110を示すブロック図である。図３のデータプロセッシング回路120,130,140はデータプロセッシング回路110と類似した構造を有する。データプロセッシング回路110はデータストローブ信号発生器113と、データ制御回路114及びデータ反転ブロック115を含む多数個の構成要素を有する。データストローブ信号発生器113は読出しデータストローブ信号RDQS0を生成する。データ制御回路114はデータ読み出し動作及び書き込み動作のいずれの場合にもデータの入出力を制御する。DM0は次の二つの機能を実行する。即ち、データ書き込み動作時に書き込みデータをマスキングし、またデータ読み出し動作時に読出しデータ反転フラグR__FLAG0を出力する。一方、DIMはデータ書き込み動作時に書き込みデータ反転フラグW__FLAG0を出力する。データ反転ブロック115は前記フラグR__FLAG0, W__FLAG0により読み出し動作時及び書き込み動作時にデータ反転プロセスを実行する。

【０００８】

図５は従来のデータ反転ブロック115を示す。データ反転ブロック115はデータトグル検出回路115-1及びデータ反転回路115-2を含む。データトグル検出回路115-1はメモリセルアレイから入力された読出しデータが反転されたか否かを検出し、対応するロジック状態を有する読出しデータ反転フラグR__FLAG0を出力する。データ反転回路115-2はデータ書き込みモードでW__FLAGの論理状態又はデータ読み出しモードでR__FLAG0の論理状態によりメモリセルアレイに書き込まれるデータ又はメモリセルアレイから読み取られたデータを反転させる。

【０００９】

データ反転ブロック115はメモリ装置100の入出力バッファの同時スイッチング雑音を減少させ、メモリ装置の高周波数特性を向上させる。

【００１０】

図6は従来のデータトグル検出回路115-1を示す。データトグル検出回路115-1は入力データDATA__INT＜0:7＞を3.5ユニットのリファレンス電流能力を有するリファレンスターミナル（基準ターミナル）と比較する。例えば、DATA__INT＜0:7＞が11111110なら、ノードN1は論理ロー状態0にプルダウンされ、出力信号 R__FLAG0は論理ハイ状態1になる。一方、DATA__INT＜0:7＞が11100000なら、ノードN1は論理ハイ状態1にプルアップされ、出力信号 R__FLAG0は論理ロー状態0になる。従って、DATA__INT＜0:7＞で論理ハイであるビット数が4より大きければ、 R__FLAG0は論理ハイになり、 DATA__INT＜0:7＞の論理ハイであるビット数が4より小さければ、R__FLAG0は論理ローになる。

【００１１】

図７は従来のデータ反転回路115-2を示す。データ反転回路115-2はデータインバータ116-1,116-2,116-3,116-4,116-5,116-6,116-7,116-8を含む。図７に示されたデータインバータ116-2,116-3,116-4,116-5,116-6,116-7,116-8はデータインバータ116-1と類似した構造を有する。データ読み出し動作時に、読出し信号はスイッチS5,S7を閉じ、R__FLAG0信号は対応するデータビットが反転されたか否かによりスイッチS1,S2のうちいずれか一つを閉じる。同様に、データ書き込み動作時に、書込み信号はスイッチS6,S8を閉じ、W__FLAG信号は対応するデータビットが反転されたか否かによりスイッチS3,S4のうちいずれか一つを閉じる。

【００１２】

図８はデータ反転スキームを有するメモリ装置のタイミング図を示す。特に、図８のタイミング図はメモリ装置に4データバイトが連続的に一回で書き込まれるか、或いは連続的に一回で読み取られる、所謂“バースト-4”動作を有するメモリ装置を示す。図８に示されたように、読出しデータQ0,Q1,Q2,Q3はRDQS0の立上りエッジに同期してメモリ装置から出力される。一方、書き込みデータD0,D1,D2,D3はWDQS0パルスの中央に同期して(セン

ターストロービング)メモリ装置に入力される。また、DM0はデータ読み出し動作時に、読出しデータ反転フラグとして動作し、データ書き込み動作時に、書き込みデータをマスキングする。DIMはデータ書き込み動作時に書き込みデータ反転フラグとして動作する。

【００１３】

従って、単一DQSメモリ装置100及びメモリ制御器200を有する従来のメモリシステム1の動作が図1-8を参照して説明された。

【００１４】

しかし、前述したデータ反転を有するメモリシステムには次の問題点が存在する。

【００１５】

一つは、書き込みデータ反転フラグのために別途のピン(DIMピン)が必要であるということである。これはメモリ装置のピンオーバーヘッドを増加させる。

【００１６】

他の一つは、メモリ装置のデータ入力全てに対して(例えば、32DQ入力ピン)単に一つの書き込みデータ反転フラグのみ提供されるということである。従って、図1-8に示された装置及び方法としては、データ書き込み動作時にそれぞれのバイトに対してデータ反転を選択的に適用させることができない問題点がある。一方、バイト単位で書き込みデータ反転を行えばメモリ装置の高周波数動作を向上させ得る。

【００１７】

従って、向上されたデータ反転機能を有するメモリシステム及びメモリ装置を開発する必要性がある。また、メモリ装置で向上されたデータ反転方法を提供する必要性がある。

【発明の開示】

【発明が解決しようとする課題】

【００１８】

本発明の技術的課題は、改良されたデータ反転機能を有するメモリシステム及びメモリ装置を提供するところにある。

【００１９】

本発明の他の技術的課題は、メモリ装置で改良されたデータ反転方法を提供するところにある。

【課題を解決するための手段】

【００２０】

前記技術的課題を達成するために本発明に係るメモリ装置は、データを保持するメモリセルアレイと、前記メモリ装置にデータを書き込むか、或いは前記メモリ装置からデータを読み出すためのデータ入出力(I/O)バスと、メモリセルアレイにデータを書き込むか、或いはメモリセルアレイからデータを読み出す時に前記データを選択的に反転させるためのデータ反転回路と、前記メモリ装置からデータを読み出す時に読出しデータストローブを伝達し、前記メモリ装置にデータを書き込む時に書き込みデータ反転フラグを伝達するための第１入出力(I/O)部と、を含む。

【００２１】

前記他の技術的課題を達成するために本発明に係るメモリシステムは、データを保持するためのメモリセルアレイを有するメモリ装置と、前記メモリ装置に連結され、データストローブ信号に応答して前記メモリ装置にデータを書き込むか、或いは前記メモリ装置からデータを読み出す制御器と、前記制御器と前記メモリ装置との間に連結され、前記メモリ装置からデータを読み出す時に読出しデータストローブを伝達し、前記メモリ装置にデータを書き込む時に書き込みデータ反転フラグを伝達するための第１入出力(I/O)部と、を含む。

【発明の効果】

【００２２】

本発明によると、出力データ全体ではなく、所定ビット数(例えばバイト)単位で出力データの反転するか否かが決定されうるため、信号充実度及び高周波数特性が向上されうる。

【発明を実施するための最良の形態】
【００２３】
本発明と本発明の動作上の利点及び本発明の実施により達成される技術的課題を十分に理解するためには本発明の望ましい実施形態を例示する添付図面及び添付図面に記載された内容を参照しなければならない。
【００２４】
以下、添付した図面に基づき本発明の望ましい実施形態を説明することにより、本発明を詳細に説明する。各図面に提示された同一な参照符号は同様の構成要素を示す。
【００２５】
図９はデータ反転を有し動作する本発明の一実施形態によるメモリシステム2を示す。メモリシステム2はメモリ装置300とメモリ制御器400とを含む。図１のメモリシステム1と比較して、メモリシステム2はメモリ制御器400とメモリ装置300との間に如何なるDIM信号も含まないという相違点を有する。
【００２６】
図10はメモリ装置300の例示的なボール(又はピン)の構成を示す。図10を参照すれば、メモリ装置300のボール(又はピン)は図２に示されたメモリ装置100のボール(又はピン)と類似した構造を有するものの、メモリ装置300はDIMピン160を含まず余分な未使用NCピン360を有するという相違点がある。また、図10のボール/ピン311,321,331,341はRDQS＜0:3＞、WFLAG＜0:3＞と呼び、図10のボール/ピン312,322,332,342はWDQS＜0:3＞、RFLAG＜0:3＞と呼ぶ。これについては具体的に後述する。
【００２７】
図11は本発明の一実施形態によるメモリ装置300のデータプロセッシングブロックを示すブロック図である。メモリ装置300はバイト0に対するデータプロセッシング回路310と、バイト1に対するデータプロセッシング回路320と、バイト2に対するデータプロセッシング回路330と、バイト3に対するデータプロセッシング回路340と、メモリセルアレイ350とを含む。メモリ装置300で、ピン311,321,331,341でのRDQS＜0:3＞、WFLAG＜0:3＞信号データの各単一ビット、ピン321,322,332,342でのWDQS＜0:3＞,RFLAG＜0:3＞信号データの各単一ビットは、メモリセルアレイ350の一つの8－bitバイトのデータをプロセッシングするため一つのデータプロセッシング部310,320,330,340に連結される。
【００２８】
データ読み出し動作時に、DQ＜0:31＞を含む4バイトのデータは入出力部313,323,333,343を通じてデータプロセッシング部310,320,330,340から出力され、RDQS＜0:3＞、WFLAG＜0:3＞信号は読出しデータストローブとして機能する。一方、WDQS＜0:3＞、RFLAG＜0:3＞信号は四つのデータバイトそれぞれに対して読出しデータ反転フラグとして機能する。
【００２９】
一方、データ書き込み動作時に、DQ＜0:31＞を含む4バイトのデータは入出力部313,323,333,343を通じてデータプロセッシング部310,320,330,340に入力され、WDQS＜0:3＞、RFLAG＜0:3＞信号は書き込みデータストローブとして機能する。一方、RDQS＜0:3＞、WFLAG＜0:3＞信号は四つのデータバイトそれぞれに対して書き込みデータ反転フラグとして機能する。また、データ書き込み動作時に、ピン314,324,334,344でDM＜0:3＞は四つのデータプロセッシング回路310,320,330,340に対して書き込みデータをマスキングする。
【００３０】
図12は本発明の一実施形態によるメモリ装置300のバイト0データプロセッシング回路310のブロック図である。図11のデータプロセッシング回路320,330,340はデータプロセッシング回路310と類似した構造を有する。データプロセッシング回路310はデータストローブ信号発生器113、データ制御回路114及びデータ反転ブロック115を含んだ多数個の構成要素を有する。データ制御回路114はWDQS0、RFLAG0に応答してデータ読み出し動作時及びデータ書き込み動作時のいずれの場合にもデータの入出力を制御する。これについては具体的に後述する。
【００３１】

データ読み出し動作時に、データ制御回路114は読出しデータDATA＜0:7＞をDQ＜0:7＞信号として出力する。データストローブ信号発生器113は読出しデータストローブ信号を生成して、前記読出しデータストローブを出力バッファOB1を通じてRDQS0、WFLAG0信号として出力する。一方、読出しデータ反転フラグは出力バッファOB2を通じてデータ反転ブロック115からWDQS0、RFLAG0信号として出力される。

【００３２】

データ書き込み動作時に、データ制御回路114は書き込みデータストローブ信号WDQS0、RFLAG0及びデータマスク信号DM0に応答して、DQ＜0:7＞信号から書き込みデータDATA＜0:7＞を入力する。図12に示されたように、データ書き込み動作時に、書き込みデータストローブ信号WDQS0、RFLAG0はデータ制御回路114のクロック入力として提供されて、書き込みデータDQ＜0:7＞内にクロックされる。データマスクDM0はデータ制御回路114のイネーブル入力に提供されて書き込みデータがマスキングされると、動作をディスエーブルさせる。データ反転ブロック115は書き込み動作時にRDQS0、WFLAG0信号から入力バッファIB1に入力された書き込みデータ反転フラグに応答してデータ反転を実行する。

【００３３】

データ反転ブロック115自体の動作は図5～図7を参照して説明されたメモリ装置100の動作と同一である。従って、説明を簡略化するためこれについての説明は繰り返さない。

【００３４】

図13は本発明の一実施形態によるデータ反転スキームを有するメモリ装置のタイミング図である。特に、図13のタイミング図はメモリ装置に4データバイトが連続的に一回に書き込まれるか、或いはメモリ装置で連続的に一回に読み取られる、所謂“バースト-4”動作を有するメモリ装置を示す。図13に示されたように、読出しデータQ0,Q1,Q2,Q3はRDQS0、WFLAG0信号の立上りエッジに同期してメモリ装置から出力される。WDQS0、RFLAG0信号はデータ読み出し動作中に読出しデータ反転フラグとして動作する。一方、書き込みデータD0,D1,D2,D3はWDQS0,RFLAG0パルスの中央に同期して(センターストロービング)メモリ装置に入力される。また、DM0はデータ書き込み動作中に書き込みデータをマスキングする。RDQS0,WFLAG0信号はデータ書き込み動作中に書き込みデータ反転フラグとして動作する。

【００３５】

下の表１では図９のメモリ装置300の多様な入出力部の機能を図１及び図３のメモリ装置100の入出力部と比較した。

【００３６】

【表１】

	読出し動作		書き込み動作	
入/出力ピン	メモリ装置 100	メモリ装置 300	メモリ装置 100	メモリ装置 300
DM<0:3>	読出しデータ反転フラグ	DNC	書き込みデータマスキング	書き込みデータマスキング
DIM	DNC		書き込みデータ反転フラグ	
RDQS<0:3> (RDQS<0:3>,WFLAG<0:3>)	読出しデータストローブ	読出しデータストローブ	DNC	書き込みデータ反転フラグ
WDQS<0:3> (WDQS<0:3>,RFLAG<0:3>)	DNC	読出しデータ反転フラグ	書き込みデータストローブ	書き込みデータストローブ

【００３７】

表１を参照すれば、メモリ装置300は四つの書き込みデータ反転フラグRDQS＜0:3＞、WFLAG＜0:3＞で動作するので、書き込み反転はバイト単位で個別的に実行されうる。これは図３のメモリ装置100と異なる点であり、本発明に係るメモリ装置は高周波数特性が向上されうる。

本発明の望ましい実施形態が本明細書に開示されたが、本発明の範囲内で多様な変形が可能である。例えば、図14は本発明の他の実施形態によるメモリ装置のタイミング図を示す。図13のタイミング図と類似し、図14のタイミング図はメモリ装置に4データバイトが連続的に一回で書き込まれるか、或いはメモリ装置で連続的に一回で読み取られる、所謂“バースト-4”動作を有するメモリ装置を示す。図14を参照すれば、読出しデータQ0,Q1,Q2,Q3はRDQS0,WFLAG0の立上りエッジに同期してメモリ装置から出力される。DM0はデータ読み出し動作中に読出しデータ反転フラグとして動作する。一方、書き込みデータD0,D1,D2,D3はWDQS0パルスの中央に同期して(センターストロービング)メモリ装置に入力される。また、DM0はデータ書き込み動作中に書き込みデータをマスキングする。RDQS0,WFLAG0信号はデータ書き込み動作中に書き込みデータ反転フラグとして動作する。

【００３８】

下の表２では図14に示されたタイミング図を有するメモリ装置の多様な入出力部の機能を図１及び図３のメモリ装置100の入出力部と比較した。

【００３９】

【表２】

	読出し動作		書き込み動作	
入/出力ピン	メモリ装置100	メモリ装置300	メモリ装置100	メモリ装置300
DM<0:3>	読出しデータ反転フラグ	読出しデータ反転フラグ	書き込みデータマスキング	書き込みデータマスキング
DIM	DNC		書き込みデータ反転フラグ	
RDQS<0:3> (RDQS<0:3>,WFLAG<0:3>)	読出しデータストローブ	読出しデータストローブ	DNC	書き込みデータ反転フラグ
WDQS<0:3>	DNC	DNC	書き込みデータストローブ	書き込みデータストローブ

【００４０】

表２を参照すれば、表２に説明されたメモリ装置はまた四つの書き込みデータ反転フラグRDQS＜0:3＞,WFLAG＜0:3＞で動作するので、書き込み反転がバイト単位で個別的に実行されうる。これは図３のメモリ装置100とは異なる点であり、高周波数特性を向上させる。

本発明は図面に示された一実施形態を参考に説明したが、これは例示的なものに過ぎず、当業者であれば、これより多様な変形及び均等な他の実施形態が可能であるという点を理解することであろう。例えば、本明細書では全32ビットのデータを8ビット単位に分けて反転するか否かを決定する例が記載されているが、何ビット単位で反転するか否かを決定するか、或いは全ビット数をいくらにするか等はいくらでも変更されうる。従って、本発明の技術的範囲は特許請求の範囲の記載に基づいて定められなければならない。

【産業上の利用可能性】

【００４１】

本発明によると、メモリ装置はメモリ装置が使用されるメモリモジュール及びメモリカードに使用され、また前記メモリが装着されるコンピュータシステム、ディジタルカメラ、カムコーダー及び多様な電子機器に使用されうる。

【図面の簡単な説明】

【００４２】

【図１】データ反転スキームを有するメモリ装置を備えたメモリシステムのブロック図である。

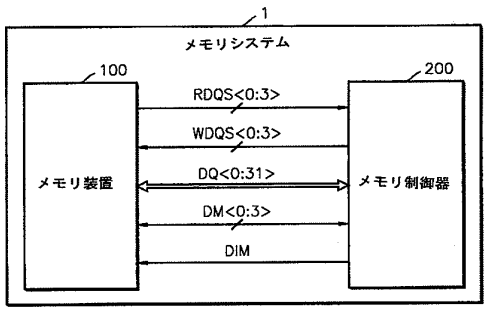
【図２】従来のデータ反転を有するメモリ装置のボール(又はピン)構成図である。

【図３】従来メモリ装置のデータプロセッシングブロックのブロック図である。

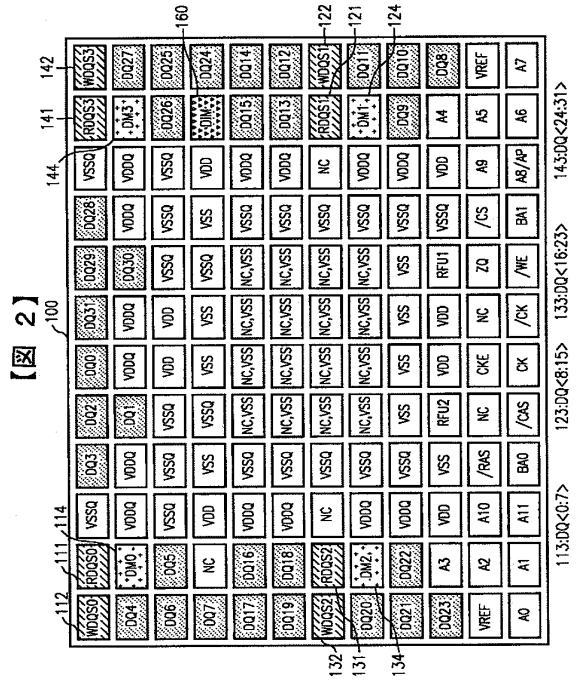
【図４】従来のバイト0データプロセッシング回路のブロック図である。

【図５】従来のデータ反転回路図である。
【図６】従来のデータトグル検出回路図である。
【図７】従来のデータ反転ブロックを示したブロック図である。
【図８】データ反転回路を有するメモリ装置のタイミング図である。
【図９】本発明の一実施形態によるメモリシステムのブロック図である。
【図１０】本発明の一実施形態によるメモリ装置のボール(又はピン)構成図である。
【図１１】本発明の一実施形態によるメモリ装置のデータプロセッシングブロックのブロック図である。
【図１２】本発明の一実施形態によるバイト0データプロセッシング回路のブロック図である。
【図１３】本発明の一実施形態によるデータ反転回路を有するメモリ装置のタイミング図である。
【図１４】本発明の他の実施形態によるデータ反転回路を有するメモリ装置のタイミング図である。
【符号の説明】
【００４３】
１，２　メモリシステム
３００　メモリ装置
４００　　メモリ制御器

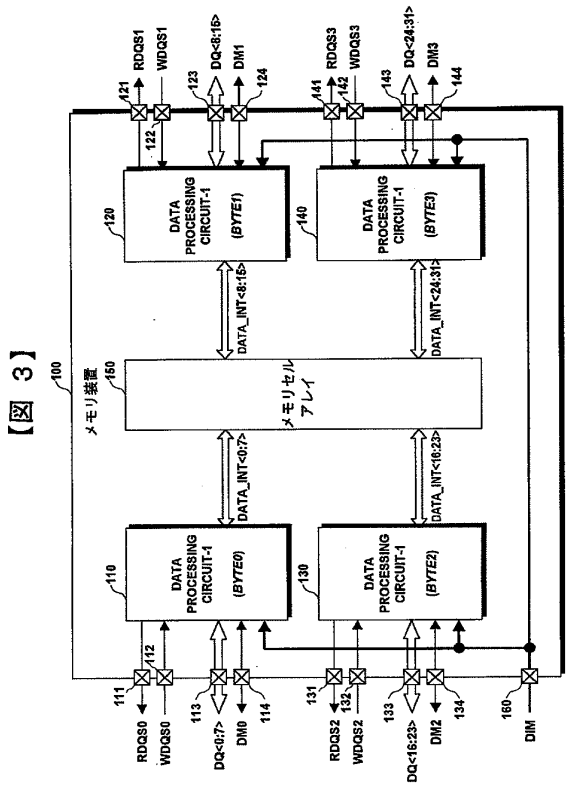
【図１】



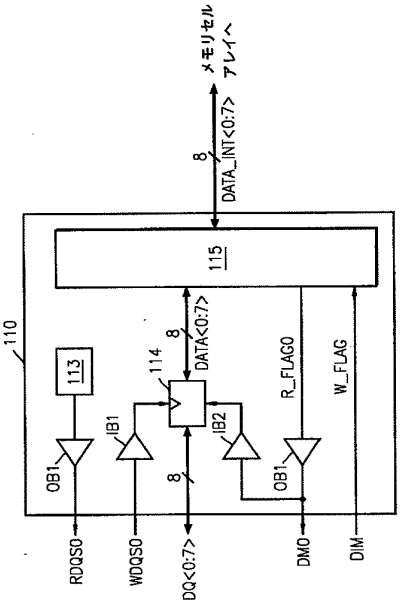
【図２】



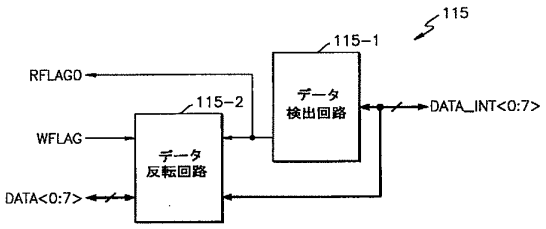
【図３】


メモリ装置
100
メモリセルアレイ
160
DATA PROCESSING CIRCUIT-1 (BYTE1)
120
DATA PROCESSING CIRCUIT-1 (BYTE3)
140
DATA PROCESSING CIRCUIT-1 (BYTE0)
110
DATA PROCESSING CIRCUIT-1 (BYTE2)
130
DATA_INT<8:15>
DATA_INT<24:31>
DATA_INT<0:7>
DATA_INT<16:23>
RDQS1
WDQS1
DQ<8:15>
DM1
RDQS3
WDQS3
DQ<24:31>
DM3
RDQS0
WDQS0
DQ<0:7>
DM0
RDQS2
WDQS2
DQ<16:23>
DM2
DIM

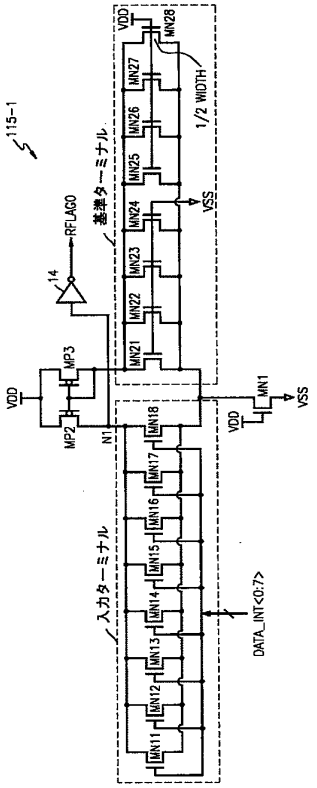
【図４】


メモリセルアレイ
DATA_INT<0:7>
115
110
113
114
DATA<0:7>
R_FLAG0
W_FLAG
OB1
IB1
IB2
RDQS0
WDQS0
DQ<0:7>
DM0
DIM

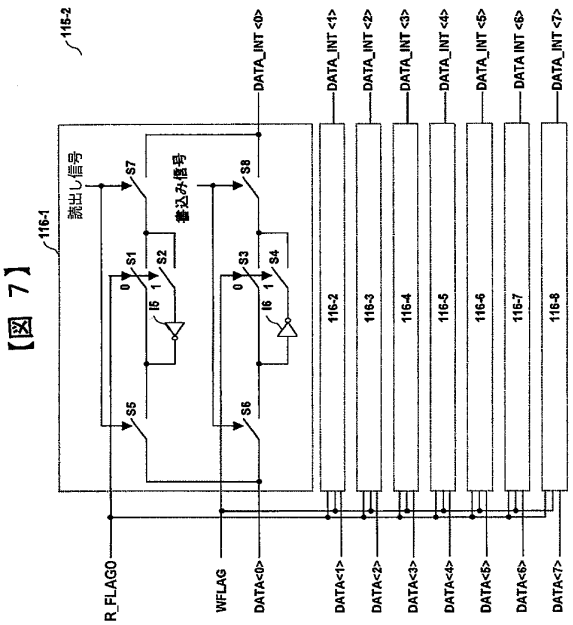
【図５】


115
115-1
データ検出回路
115-2
データ反転回路
RFLAG0
WFLAG
DATA<0:7>
DATA_INT<0:7>

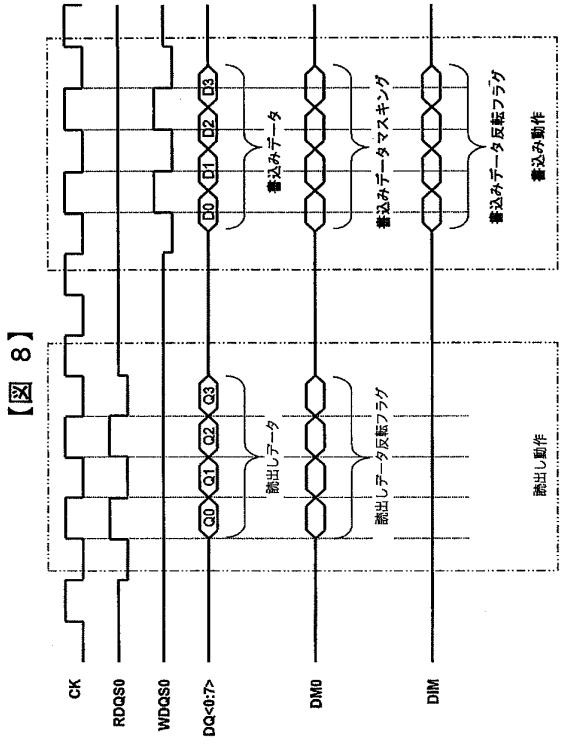
【図６】


115-1
基準ターミナル
入力ターミナル
RFLAG0
1/2 WIDTH
VDD
VSS
MP1
MP2
MP3
MN1
N1
DATA_INT<0:7>

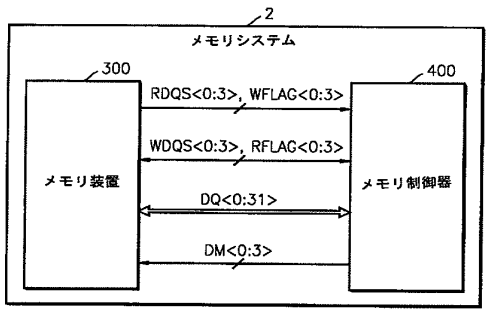
【図７】


116-2
読出し信号
書込み信号
S1
S2
S3
S4
S5
S6
S7
S8
I5
I6
116-1
116-2
116-3
116-4
116-5
116-6
116-7
116-8
DATA_INT <0>
DATA_INT <1>
DATA_INT <2>
DATA_INT <3>
DATA_INT <4>
DATA_INT <5>
DATA_INT <6>
DATA_INT <7>
R_FLAG0
WFLAG
DATA<0>
DATA<1>
DATA<2>
DATA<3>
DATA<4>
DATA<5>
DATA<6>
DATA<7>

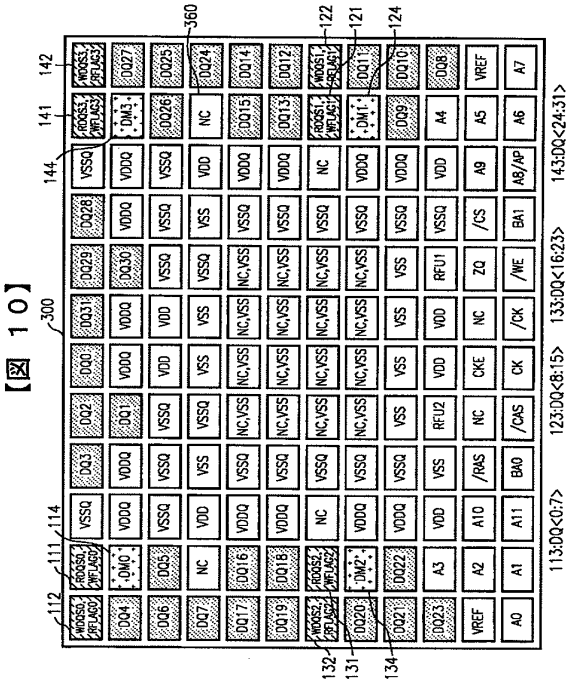
【図８】


CK
RDQS0
WDQS0
DQ<0:7>
DM0
DIM
Q0
Q1
Q2
Q3
D0
D1
D2
D3
読出しデータ
読出しデータ反転フラグ
書込みデータ
書込みデータマスキング
書込みデータ反転フラグ
読出し動作
書込み動作

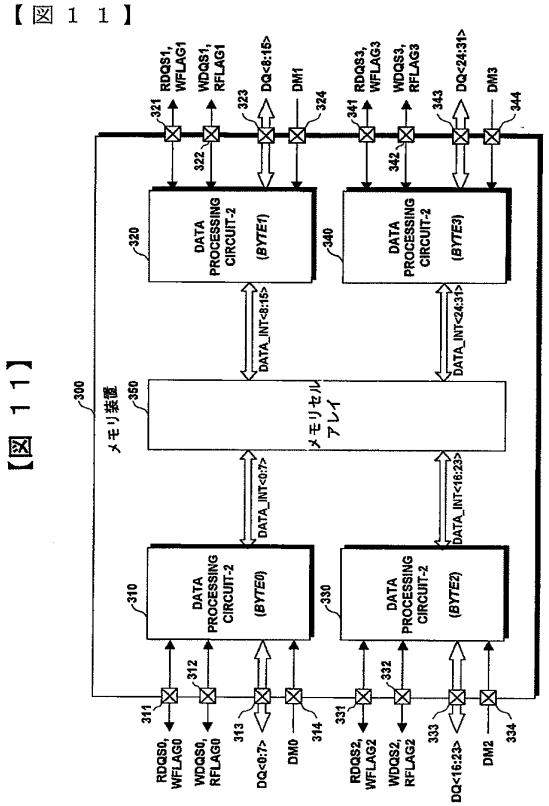
【図９】


【図 9】
2
メモリシステム
300
400
メモリ装置
メモリ制御器
RDQS<0:3>, WFLAG<0:3>
WDQS<0:3>, RFLAG<0:3>
DQ<0:31>
DM<0:3>

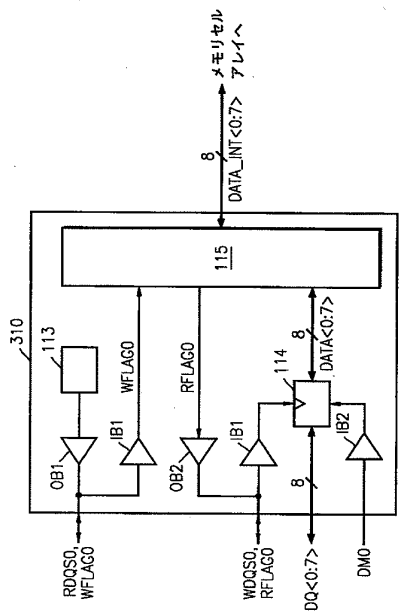
【図１０】


【図 10】
300
360
122
121
124
142
141
144
114
111
112
132
131
134
113:DQ<0:7>
123:DQ<8:15>
133:DQ<16:23>
143:DQ<24:31>

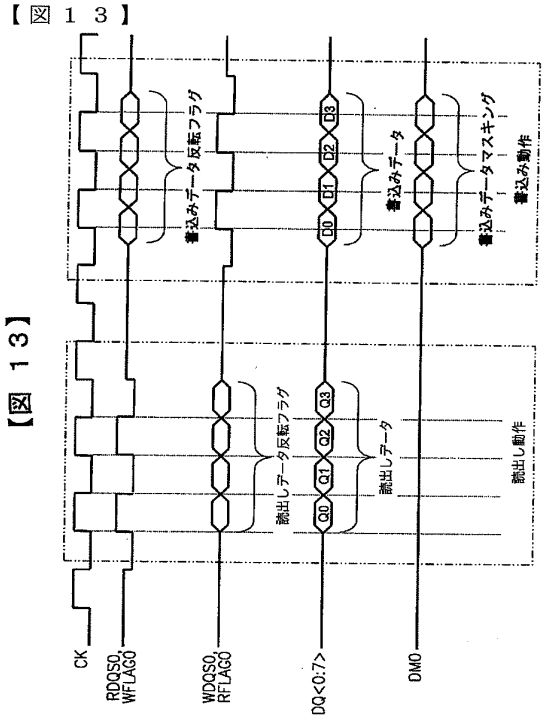
【図１１】



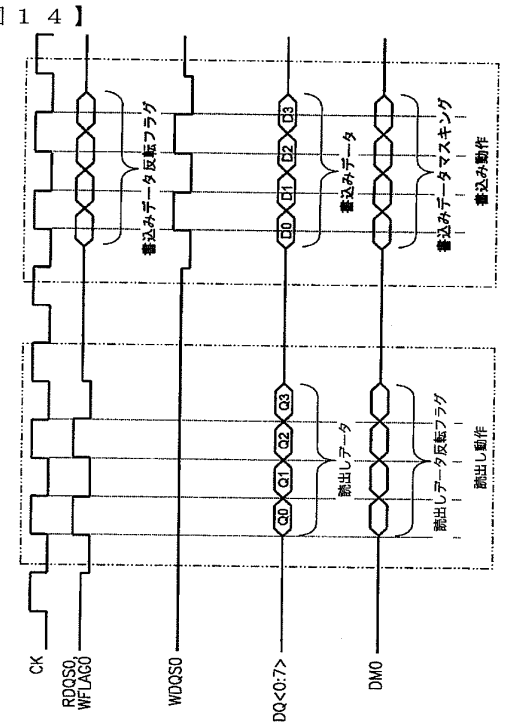
【図１２】



【図１３】



【図１４】



フロントページの続き

Ｆターム(参考) 5M024 AA22 BB27 BB33 BB34 DD32 DD41 KK20 PP01 PP02 PP03
PP07 PP10

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 1 494 243 A2

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
05.01.2005 Bulletin 2005/01

(51) Int Cl.7: **G11C 7/10**

(21) Application number: **04253625.0**

(22) Date of filing: **17.06.2004**

(84) Designated Contracting States:
AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LI LU MC NL PL PT RO SE SI SK TR
Designated Extension States:
AL HR LT LV MK

(30) Priority: **03.07.2003 KR 2003044846**
18.12.2003 US 737861

(71) Applicant: **Samsung Electronics Co., Ltd.**
Suwon-si, Gyeonggi-do (KR)

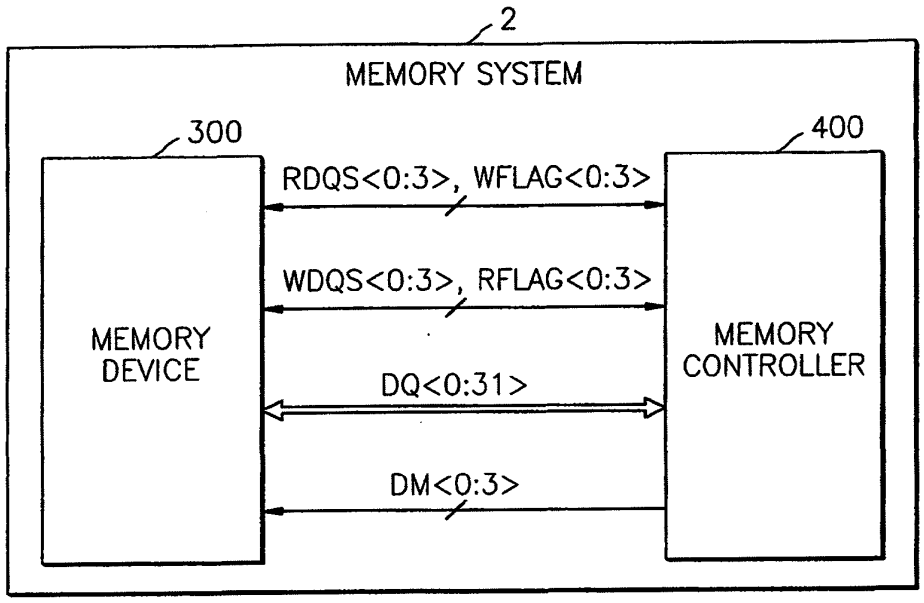
(72) Inventor: **Jang, Seong-jin**
Sungnam-city, Kyungki-do (KR)

(74) Representative: **Mounteney, Simon James**
MARKS & CLERK,
57-60 Lincoln's Inn Fields
London WC2A 3LS (GB)

(54) Memory system having data inversion and data inversion method for a memory system

(57) A memory system and a method of reading and writing data to a memory device provide byte-by-byte write data insertion without adding extra pins or balls to the packaged device. Accordingly, the high frequency performance of the device can be improved.

FIG. 9



EP 1 494 243 A2

Printed by Jouve, 75001 PARIS (FR)

Description

CROSS-REFERENCES TO RELATED APPLICATIONS

[0001] This application claims priority from Korean Patent Application No. 2003-44846, filed on 3 July 2003 the entirety of which is hereby incorporated by reference for all purposes as if fully set forth herein.

BACKGROUND AND SUMMARY

Field.

[0002] This invention pertains to the field of memory systems, and more particularly, to a memory system having data inversion, and to a method of data inversion for a memory system.

Description.

[0003] Generally, it is a goal to improve the data transfer speed of a memory system. To this end, various techniques are employed to improve the high frequency characteristics (speed) of a memory device. For some memory devices, a data inversion scheme is employed to reduce the simultaneous switching noise in the device and thereby improve the high frequency operating characteristics. An example of such a memory device and associated memory system will now be described in further detail.

[0004] FIG. 1 is a block diagram of a conventional memory system 1, having a memory device 100 and a memory controller 200.

[0005] The memory system 1 operates with a data inversion scheme, as follows. During a data write operation, the signals DM<0:3> perform a data masking operation, WDQS<0:3> operate as data strobe signals, and DIM is a write data inversion flag in indicating whether or not the data (all four data bytes) should be inverted. Meanwhile, during a data read operation, the signals RDQS<0:3> operate as data strobe signals, and DM<0:3> are read data inversion flags.

[0006] FIG. 2 shows an exemplary ball (or pin) configuration of a conventional mode memory device 100 with data inversion. As can be seen from FIG. 2, the memory device 100 includes a dedicated pin or ball 160 for the write data inversion flag DIM.

[0007] FIG. 3 shows a data processing block diagram of the memory device 100. The memory device 100 includes data processing circuit 110 for byte0, data processing circuit 120 for byte1, data processing circuit 130 for byte2, data processing circuit 140 for byte4, and memory cell array 150. In the memory device 100, each single bit of the RDQS<0:3> data strobe signals at pins 111, 121, 131 and 141, and the WDQS<0:3> data strobe signals at pins 112, 122, 132 and 142, is dedicated to one data processing unit 110, 120, 130 or 140 for processing one eight-bit byte of data for the memory cell array 150. During a data write operation, DM<0:3> at pins 114, 124, 134, and 144, masks write data for the four data processing circuits 110, 120, 130 and 140. Meanwhile, during a data read operation, each single bit of the DM<0:3> signals is dedicated as a read data inversion flag for one of the data processing unit 110, 120, 130 or 140. On the other hand, during a data write operation, DIM at pin 160 is used as a write data inversion flag for all four data bytes. Four bytes of data comprising DQ<0:31> are input/output at the input/outputs 113, 123, 133 and 143.

[0008] FIG. 4 shows a block diagram of the byte0 data processing circuit 110 of the memory device 100. The data processing circuits 120, 130, and 140 in FIG. 3 are configured similarly to data processing circuit 110. The data processing circuit 110 comprises a number of components, including data strobe signal generator 113, data control circuit 114, and the data inversion block 115. The data strobe signal generator 113 generates the read data strobe signal RDQS0. Data control circuit 114 controls data input/output during both data read and data write operations. DM0 performs two functions: it masks write data during a data write operation, and it serves to output the read data inversion flag R_FLAG0 during a data read operation. Meanwhile, DIM outputs the write data inversion flag W_FLAG during a data write operation. The data inversion block 115 performs a data inversion process during read and write operations according to the flags R_FLAG0 and W_FLAG.

[0009] FIG. 5 shows a conventional data inversion block 115. The data inversion block 115 includes the data toggle detection circuit 115-1 and the data inversion circuit 115-2. The data toggle detection circuit 115-1 detects whether the read data input from a memory cell array are inverted or not, and then outputs the read data inversion flag R_FLAG0 having the corresponding logic state. Data inversion circuit 115-2 inverts the data being written to, or read from, the memory cell array according to the logical states of the W_FLAG in a data write mode, or the R_FLAG0 in a data read mode.

[0010] The data inversion block 115 reduces the simultaneous switching noise in the input/output buffers of the memory device 100 and thereby improves the high frequency characteristics of the device.

[0011] FIG. 6 shows a conventional data toggle detection circuit 115-1. The data toggle detection circuit 115-1 com-

EX1002 / Page 180 of 321
Western Digital Technologies, Inc.

pares input data DATA_INT<0:7> with a reference terminal having a reference current capability of 3.5 units. If, for example, DATA_INT<0:7> is 11111110, then the node N1 will be pulled down to a logical low state (0), and the output signal R_FLAG0 will be in a logical high state (1). Meanwhile, if DATA_INT<0:7> is 11100000, then the node N1 will be pulled up to a logical high state (1), and the output signal R_FLAG0 will be in a logical high state (0). Accordingly, if the number of bits of DATA_INT<0:7> which are logically high are greater than 4, then R_FLAG0 will be logically high, while if the number of bits of DATA_INT<0:7> which are logically high are less than 4, then R_FLAG0 will be logically low.

[0012] FIG. 7 shows a conventional data inversion circuit 115-2. The data inversion circuit 115-2 includes data inverters 116-1, 116-2, 116-3, 116-4, 116-5, 116-6, 116-7, and 116-8. The data inverters 116-2, 116-3, 116-4, 116-5, 116-6, 116-7, and 116-8 in FIG. 7 are configured similarly to data inverter 116-1. During a data read operation, the READ signal closes the switches S5 and S7, while the R_FLAG0 signal closes one of the switches S1 and S2 depending upon whether the corresponding data bit is to be inverted or not. Similarly, during a data write operation, the WRITE signal closes the switches S6 and S8, while the W_FLAG signal closes one of the switches S3 and S4 depending upon whether the corresponding data bit is to be inverted or not.

[0013] FIG. 8 shows a timing diagram of a memory device with a data inversion scheme. In particular, the timing diagram of FIG. 8 shows a memory device with so-called "Burst-4" operation wherein four data bytes are written to, or read from, the memory device in a sequential burst. As can be seen from FIG. 8, read data (Q0, Q1, Q2, and Q3) are output from the memory device in sync with the rising edge of RDQS0. Meanwhile, write data (D0, D1, D2, and D3) are input to the memory device in sync with the center of the WDQS0 pulses (center strobing). Furthermore, DM0 operates as a read data inversion flag during data read operations, and to mask write data during data write operations. DIM operates as a write data inversion flag during data write operations.

[0014] Accordingly, operation of a conventional memory system 1 with a single DQS memory device 100 and a memory controller 200 has now been explained in relevant part with respect to FIGs. 1-8.

[0015] However, there are drawbacks to memory system with data inversion as described above.

[0016] For one thing, an additional pin (DIM pin) is required for the write data inversion flag. This increases the pin overhead of the memory device.

[0017] For another thing, only one write data inversion flag is provided for all of the data inputs (e.g., 32 DQ input pins) of the memory device. So, with the device and method illustrated in FIGs. 1-8, it is not possible to selectively apply data inversion to individual bytes during a data write operation. Meanwhile, applying write data inversion on a byte-by-byte basis improves the high frequency operation of the device.

[0018] Accordingly, it would be advantageous to provide a memory system and memory device having an improved data inversion function. It would also be advantageous to provide an improved method of data inversion for a memory device. Other and further objects and advantages will appear hereinafter.

[0019] The present invention is directed toward a memory system and memory device having an improved data inversion function, and an improved method of data inversion for a memory device.

[0020] In one aspect of the invention, a memory device comprises: a memory cell array that stores data; a data input/output (I/O) bus through which the data is written into and read from the memory device; a data inversion circuit that selectively inverts the data when it is written into and read from the memory cell array; and a first input/output (I/O) that carries a read data strobe when reading the data from the memory device, and that carries a write data inversion flag when writing the data into the memory device.

[0021] In another aspect of the invention, a controller adapted to write data into a memory device and to read the data out of the memory device in response to data strobe signals comprises: a data input/output (I/O) bus through which the controller writes data to, and reads data from, a memory device; and a first input/output (I/O) that carries a read data strobe when reading the data from the memory device, and that carries a write data inversion flag when writing the data into the memory device.

[0022] In yet another aspect of the invention, a memory system comprises: a memory device having a memory cell array that stores data; a controller, connected to the memory device, that writes the data into the memory device and to reads the data out of the memory device in response to data strobe signals; and a first input/output (I/O) line, between the controller and memory device, that carries a read data strobe when reading the data from the memory device, and that carries a write data inversion flag when writing the data into the memory device.

BRIEF DESCRIPTION OF THE DRAWINGS

[0023] FIG. 1 is a block diagram of a memory system with a memory device having a data inversion scheme;

[0024] FIG. 2 shows a ball (or pin) configuration of a conventional memory device with data inversion;

[0025] FIG. 3 shows a data processing block diagram of a conventional memory device;

[0026] FIG. 4 shows a block diagram of a conventional byte0 data processing circuit;

[0027] FIG. 5 shows a conventional data inversion circuit;

EX1002 / Page 181 of 321
Western Digital Technologies, Inc.

[0028] FIG. 6 shows a conventional data toggle detection circuit;
[0029] FIG. 7 shows a conventional data inversion block;
[0030] FIG. 8 shows a timing diagram of a memory device with a data inversion circuit;
[0031] FIG. 9 shows a block diagram of one embodiment of memory system according to one or more aspects of the present invention;
[0032] FIG. 10 shows a ball (or pin) configuration of one embodiment of a memory device system according to one or more aspects of the present invention;
[0033] FIG. 11 shows a data processing block diagram of one embodiment of a memory device system according to one or more aspects of the present invention;
[0034] FIG. 12 shows a block diagram of one embodiment of a byte0 data processing circuit according to one or more aspects of the present invention;
[0035] FIG. 13 shows a timing diagram of one embodiment of a memory device with a data inversion circuit according to one or more aspects of the present invention;
[0036] FIG. 14 shows a timing diagram of another embodiment of a memory device with a data inversion circuit according to one or more aspects of the present invention

DETAILED DESCRIPTION

[0037] FIG. 9 shows one embodiment of a memory system 2 operating with data inversion. The memory system 2 includes a memory device 500 and a memory controller 600. In clear distinction from the memory system 1 of FIG. 1, the memory system 2 does not include any DIM signal between the memory controller 400 and the memory device 300.
[0038] FIG. 10 shows an exemplary ball (or pin) configuration of the memory device 300. As can be seen from FIG. 10, the balls (or pins) of the memory device 500 similar to those for the memory device 100 shown in FIG. 2, except that the memory device 500 does not include the DIM pin 160, and instead has an extra unused (NC) pin 360. Also, the balls/pins 311, 321, 331 and 341 in FIG. 10 are named RDQS<0:3>,WFLAG<0:3>, and the balls/pins 312, 322, 332 and 342 in FIG. 10 are named WDQS<0:3>,RFLAG<0:3>, as will be explained in greater detail below.
[0039] FIG. 11 shows a data processing block diagram of one embodiment of the memory device 300. The memory device 300 includes data processing circuit 310 for byte0, data processing circuit 320 for byte1, data processing circuit 330 for byte2, data processing circuit 340 for byte4, and memory cell array 350. In the memory device 300, each single bit of data on the RDQS<0:3>,WFLAG<0:3> signals at pins 311, 321, 331 and 341, and the WDQS<0:3>,RFLAG<0:3>signals at pins 312, 322, 332 and 342, is dedicated to one data processing unit 310, 320, 330 or 140 for processing one eight-bit byte of data for the memory cell array 350.
[0040] During a data read operation, four bytes of data comprising DQ<0:31> are output from the data processing units 310, 320, 330 or 340 via the input/outputs 313, 323, 333 and 343, with the RDQS<0:3>,WFLAG<0:3> signals functioning as read data strobes. Meanwhile, the WDQS<0:3>,RFLAG<0:3> signals function as read data inversion flags for each of the four data bytes.
[0041] On the other hand, during a data write operation four bytes of data comprising DQ<0:31> are input to the data processing units 310, 320, 330 or 340 via the input/outputs 313, 323, 333 and 343, with the WDQS<0:3>,RFLAG<0:3> signals functioning as write data strobes. Meanwhile the RDQS<0:3>,WFLAG<0:3> signals function as write data inversion flags for each of the four data bytes. Also during a data write operation, DM<0:3> at pins 314, 324, 334, and 344, masks write data for the four data processing circuits 310, 320, 330 and 340.
[0042] FIG. 12 shows a block diagram of one embodiment of the byte0 data processing circuit 310 of the memory device 300. The data processing circuits 320, 330, and 340 in FIG. 3 are configured similarly to data processing circuit 310. The data processing circuit 310 comprises a number of components, including data strobe signal generator 113, data control circuit 114, and the data inversion block 115. Data control circuit 114 controls data input/output during both data read and data write operations in response to the WDQS0,RFLAG0 signal, as will be explained below.
[0043] During a data read operation, the data control circuit 114 outputs the read data DATA<0:7> as the DQ<0:7> signals. The data strobe signal generator 113 generates the read data strobe signal and outputs the read data strobe through the output buffer OB1 as the RDQS0,WFLAG0 signal. Meanwhile, the read data inversion flag is output from the data inversion block 115 through the output buffer OB2 to the WDQS0,RFLAG0 signal.
[0044] During a data write operation, the data control circuit 114 inputs the read data DATA<0:7> from the DQ<0:7> signals in response to the write data strobe signal WDQS0,RFLAG0 and the data mask signal DM0. As shown in FIG. 12, during the data write operation, the write data strobe signal WDQS0,RFLAG0 is provided to a clock input of the data control circuit 114 to clock in the read data DQ<0:7>. The data mask DM0 is supplied to an enable input of the data control circuit 114, disabling operation when the write data is masked. The data inversion block 115 performs a data inversion process during write operations according to the write data inversion flag input to the input buffer IB1 from the RDQS0,WFLAG0 signal.
[0045] The operation of the data inversion block 115 itself is the same as for the memory device 100, which was

EX1002 / Page 182 of 321
Western Digital Technologies, Inc.

described in detail previously with respect to FIGs. 5-7. So for brevity, that explanation is not repeated again here.

[0046] FIG. 13 shows a timing diagram of one embodiment of a memory device with a data inversion scheme. In particular, the timing diagram of FIG. 13 shows a memory device with so-called "Burst-4" operation wherein four data bytes are written to, or read from, the memory device in a sequential burst. As can be seen from FIG. 13, read data (Q0, Q1, Q2, and Q3) are output from the memory device in sync with the rising edge of the RDQS0,WFLAG0 signal. The WDQS0,RFLAG0 signal operates as a read data inversion flag during data read operations. Meanwhile, write data (D0, D1, D2, and D3) are input to the memory device in sync with the center of the WDQS0,RFLAG0 pulses (center strobing). Furthermore, DM0 masks write data during data write operations. The RDQS0,WFLAG0 signal operates as a write data inversion flag during data write operations.

[0047] Table 1 below compares the function of various input/outputs for the memory device 300 of FIGs. 9 and 11, with those of the memory device 100 of FIGs. 1 and 3.

Table 1

	READ OPERATION		WRITE OPERATION	
INPUT/OUTPUT PINS	**MEMORY DEVICE 100**	**MEMORY DEVICE 300**	**MEMORY DEVICE 100**	**MEMORY DEVICE 300**
DM<0:3>	Read Data Inversion Flag	**DNC**	Write Data Masking	Write Data Masking
DIM	DNC		Write Data Inversion Flag	
RDQS<0:3> (RDQS<0:3>,WFLAG<0:3>)	Read Data Strobe	Read Data Strobe	DNC	**Write Data Inversion Flag**
WDQS<0:3> (WDQS<0:3>,RFLAG<0:3>)	DNC	**Read Data Inversion Flag**	Write Data Strobe	Write Data Strobe

[0048] Beneficially, because the memory device 300 operates with four write data inversion flags (RDQS<0:3>, WFLAG<0:3>), write data inversion can be individually performed on a data byte by byte basis. This is in contrast to the memory device 100 of FIG. 1, and improves the high frequency performance of the device.

[0049] While preferred embodiments are disclosed herein, many variations are possible which remain within the concept and scope of the invention.

[0050] For example, FIG. 14 shows a timing diagram of another embodiment of a memory device with a data inversion scheme. In similarity to FIG. 13, the timing diagram of FIG. 14 shows a memory device with so-called "Burst-4" operation wherein four data bytes are written to, or read from, the memory device in a sequential burst. As can be seen from FIG. 14, read data (Q0, Q1, Q2, and Q3) are output from the memory device in sync with the rising edge of the RDQS0,WFLAG0 signal. DM0 operates as a read data inversion flag during data read operations. Meanwhile, write data (D0, D1, D2, and D3) are input to the memory device in sync with the center of the WDQS0 pulses (center strobing). Furthermore, DM0 masks write data during data write operations. The RDQS0,WFLAG0 signal operates as a write data inversion flag during data write operations.

[0051] Table 2 below compares the function of various input/outputs for the memory device whose timing diagram is illustrated in FIG. 14, with those of the memory device 100 of FIGs. 1 and 3.

Table 2

	READ OPERATION		WRITE OPERATION	
INPUT/OUTPUT PINS	**MEMORY DEVICE 100**	**MEMORY DEVICE 300**	**MEMORY DEVICE 100**	**MEMORY DEVICE 300**
DM<0:3>	Read Data Inversion Flag	Read Data Inversion Flag	Write Data Masking	Write Data Masking
DIM	DNC		Write Data Inversion Flag	
RDQS<0:3> (RDQS<0:3>,WFLAG<0:3>)	Read Data Strobe	Read Data Strobe	DNC	**Write Data Inversion Flag**
WDQS<0:3>	DNC	DNC	Write Data Strobe	Write Data Strobe

EX1002 / Page 183 of 321
Western Digital Technologies, Inc.

[0052] Beneficially, because the memory device described in Table 2 also operates with four write data inversion flags (RDQS<0:3>, WFLAG<0:3>), write data inversion can be individually performed on a data byte by byte basis. This is in contrast to the memory device 100 of FIG. 3, and improves the high frequency performance of the device.

[0053] These and other such variations would become clear to one of ordinary skill in the art after inspection of the specification, drawings and claims herein. The invention therefore is not to be restricted except within the spirit and scope of the appended claims.

Claims

1. A memory device, comprising:

   a memory cell array that stores data;
   a data input/output (I/O) bus through which the data is written into and read from the memory device;
   a data inversion circuit that selectively inverts the data when it is written into and read from the memory cell array; and
   a first input/output (I/O) that carries a read data strobe when reading the data from the memory device, and that carries a write data inversion flag when writing the data into the memory device.

2. The memory device of claim 1, further comprising a second I/O that carries a write data strobe when writing the data into the memory device, and that carries a read data inversion flag when reading the data from the memory device.

3. The memory device of claim 1, further comprising a second I/O that carries a write data masking signal when writing the data into the memory device, and that carries a read data inversion flag when reading the data from the memory device.

4. The memory device of claim 3, further comprising a unidirectional input that carries a write data strobe.

5. The memory device of claim 1, wherein the memory cell array stores the data in a plurality of data words, wherein each data word comprises a plurality of data bytes, and wherein the memory device further comprises means for selectively inverting individual bytes of the data when the data is written into the memory cell array.

6. The memory device of claim 1, wherein the write data inversion flag controls write data inversion for all bytes of data written into the memory device.

7. A controller adapted to write data into a memory device and to read the data out of the memory device in response to data strobe signals, the controller comprising:

   a data input/output (I/O) bus through which the controller writes data to, and reads data from, a memory device; and
   a first input/output (I/O) that carries a read data strobe when reading the data from the memory device, and that carries a write data inversion flag when writing the data into the memory device.

8. The controller of claim 7, further comprising a second I/O that carries a write data strobe when writing the data into the memory device, and that carries a read data inversion flag when reading the data from the memory device.

9. The controller of claim 7, further comprising a second I/O that carries a write data masking signal when writing the data into the memory device, and that carries a read data inversion flag when reading the data from the memory device.

10. The controller of claim 7, wherein the write data inversion flag controls a write data inversion operation for all bytes of data written into the memory device.

11. The controller of claim 7, wherein the controller outputs a plurality of data words, wherein each data word comprises a plurality of data bytes, and wherein the controller also outputs a plurality of write data inversion flags, each write data inversion flag indicating whether a corresponding byte of a data word is to be inverted.

EX1002 / Page 184 of 321
Western Digital Technologies, Inc.

12. A memory system, comprising:

a memory device having a memory cell array that stores data;
a controller, connected to the memory device, that writes the data into the memory device and that reads the data out of the memory device in response to data strobe signals; and
a first input/output (I/O) line, between the controller and memory device, that carries a read data strobe when reading the data from the memory device, and that carries a write data inversion flag when writing the data into the memory device.

13. The memory system of claim 12, further comprising a second I/O line between the controller and memory device that carries a write data strobe when writing the data into the memory device, and that carries a read data inversion flag when reading the data from the memory device.

14. The memory system of claim 12, further comprising a second I/O between the controller and memory device that carries a write data masking signal when writing the data into the memory device, and that carries a read data inversion flag when reading the data from the memory device.

15. The memory system of claim 12, wherein the write data inversion flag controls a write data inversion operation for all bytes of data written into the memory device.

16. The memory system of claim 12, wherein the memory cell array stores the data in a plurality of data words, wherein each data word comprises a plurality of data bytes, and wherein the memory device further comprises means for selectively inverting individual bytes of the data when the data is written into the memory cell array.

17. A method of writing data to a memory cell in a memory device, wherein the data comprises a plurality of data words and each data word comprises a plurality of data bytes, the method comprising:

receiving a data word at a data input of the memory device;
receiving a plurality of write data inversion flags at the memory device, each write data inversion flag indicating whether a corresponding byte of the received data word should be inverted;
selectively inverting individual bytes of the received data word according to the write data inversion flags; and
writing the selectively inverted data word into the memory cell.

18. The method of claim 17, wherein the plurality of write data inversion flags are received at the memory device at a plurality of pins which also carry data strobe signals during a data read operation for the memory device.

19. The method of claim 17, further comprising receiving a plurality of write data strobes at the memory device, each write data strobe corresponding to one byte of the received data word, wherein writing the selectively inverted data word into the memory cell includes writing each data byte into the memory cell in synchronism with the corresponding write data strobe, and wherein the write data strobes are received at the memory device at a plurality of pins which also carry read data inversion flags during a data read operation for the memory device.

20. A method of outputting data to be written to a memory cell, the method comprising:

selectively inverting individual bytes of a data word;
setting a plurality of write data inversion flags, each write data inversion flag indicating whether a corresponding byte of the data word is inverted;
outputting the selectively inverted data word; and
outputting the plurality of write data inversion flags.

21. The method of claim 20, wherein the plurality of write data inversion flags are received by a memory device having the memory cell therein, the plurality of write data inversion flags being received at a plurality of pins which also carry data strobe signals during a date read operation for the memory device.

22. The method of claim 20, further comprising outputting a plurality of write data strobes to the memory device, each write data strobe corresponding to one byte of the received data word, wherein writing the selectively inverted data word into the memory cell includes writing each data byte into the memory cell in synchronism with the corresponding write data strobe, and wherein the write data strobes are outputted to the memory device at a plurality of pins

EX1002 / Page 185 of 321
Western Digital Technologies, Inc.

which also carry read data inversion flags during a data read operation for the memory device.

23. A method of communicating data between a controller and a memory device, wherein the data comprises a plurality of data words and each data word comprises a plurality of data bytes, the method comprising:

selectively inverting individual bytes of a data word;
setting a plurality of write data inversion flags, each write data inversion flag indicating whether a corresponding byte of the data word is inverted;
outputting the selectively inverted data word;
outputting the plurality of write data inversion flags;
receiving the selectively inverted data word at a data input of the memory device;
receiving the plurality of write data inversion flags at the memory device;
selectively inverting individual bytes of the received data word according to the write data inversion flags; and
writing the selectively inverted received data word into a memory cell array of the memory device.

24. The method of claim 23, wherein the plurality of write data inversion flags are received by a memory device having the memory cell therein, the plurality of write data inversion flags being received at a plurality of pins which also carry data strobe signals during a date read operation for the memory device.

25. The method of claim 23, further comprising receiving a plurality of write data strobes at the memory device, each write data strobe corresponding to one byte of the received data word, wherein writing the selectively inverted data word into the memory cell includes writing each data byte into the memory cell in synchronism with the corresponding write data strobe, and wherein the write data strobes are received at the memory device at a plurality of pins which also carry read data inversion flags during a data read operation for the memory device.

EX1002 / Page 186 of 321
Western Digital Technologies, Inc.

FIG. 1

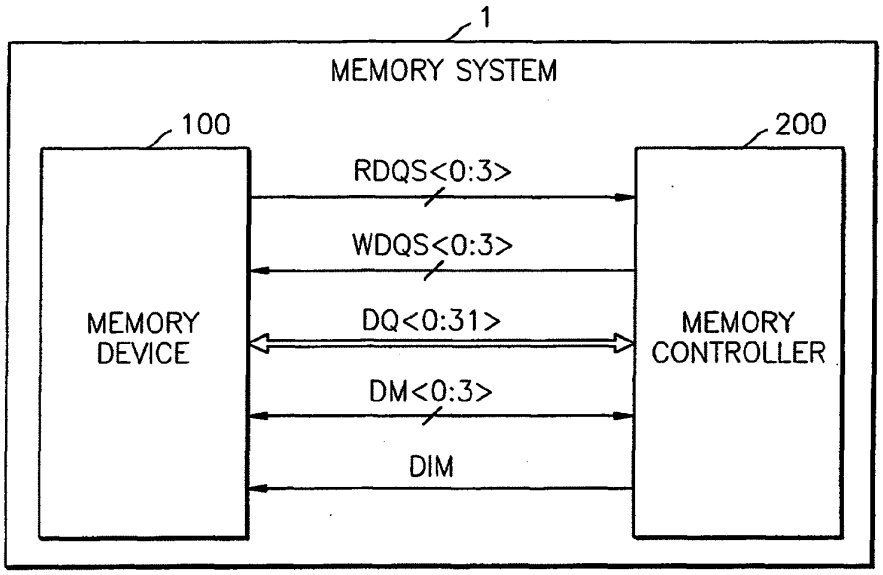

1
MEMORY SYSTEM
100
200
RDQS<0:3>
WDQS<0:3>
DQ<0:31>
DM<0:3>
DIM
MEMORY DEVICE
MEMORY CONTROLLER

FIG. 2

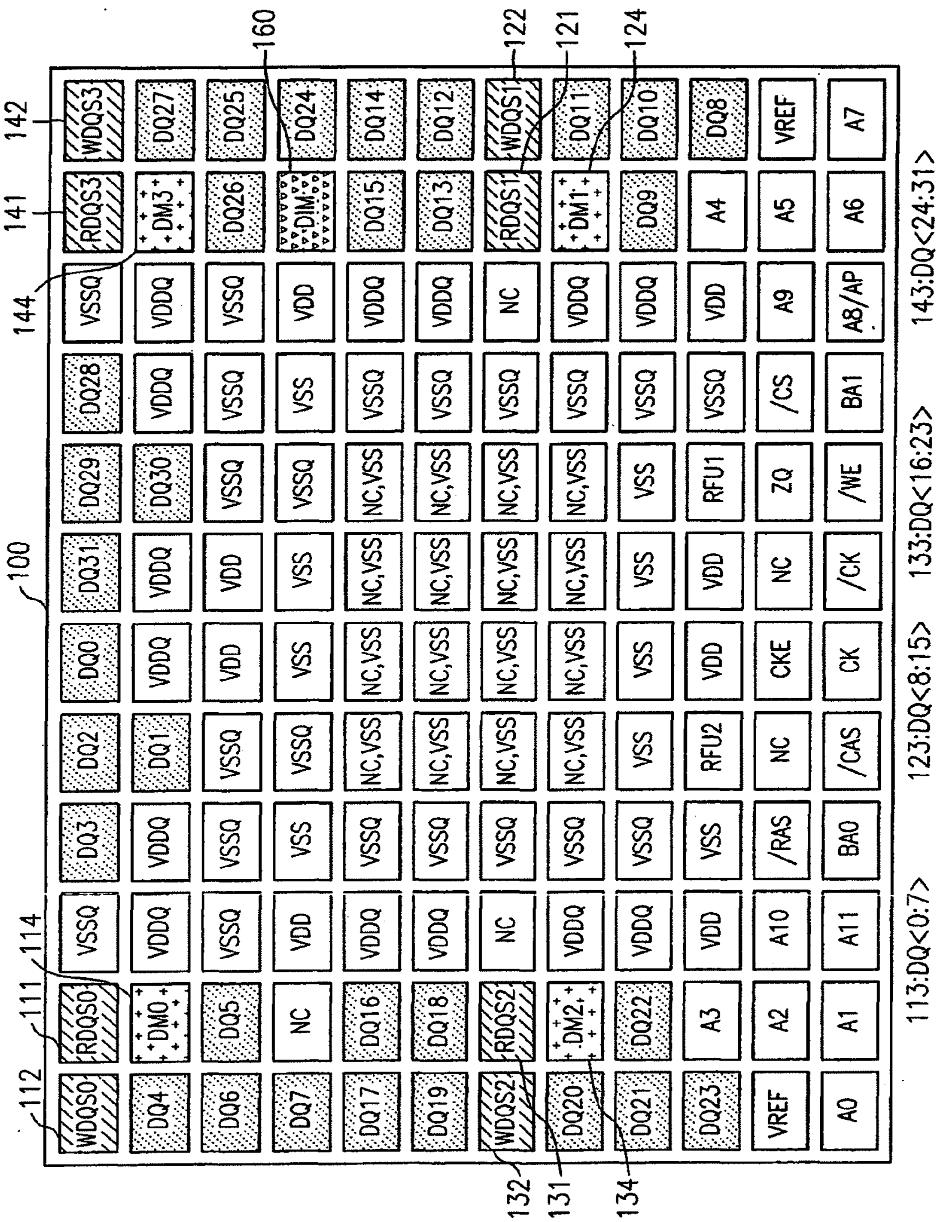
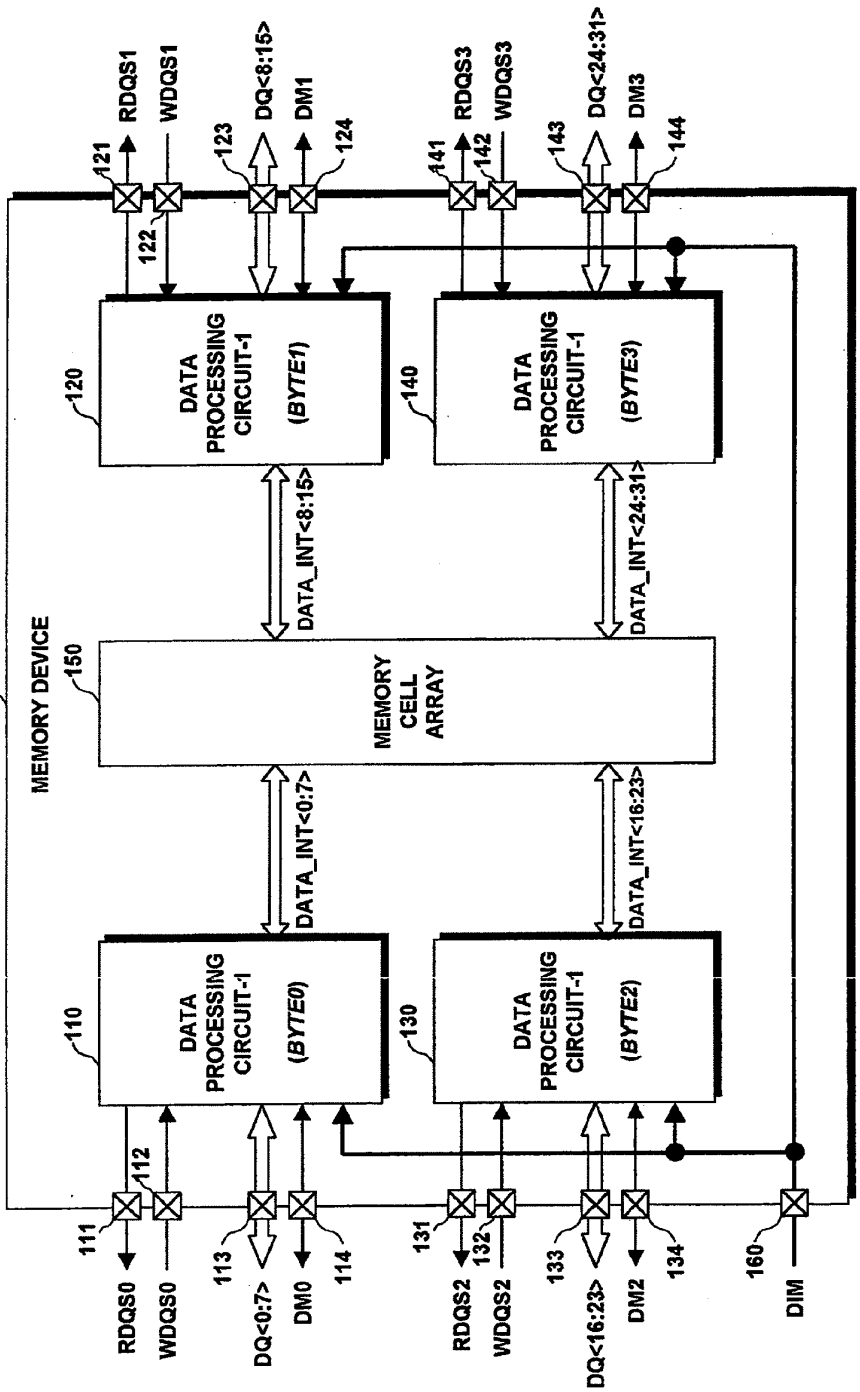
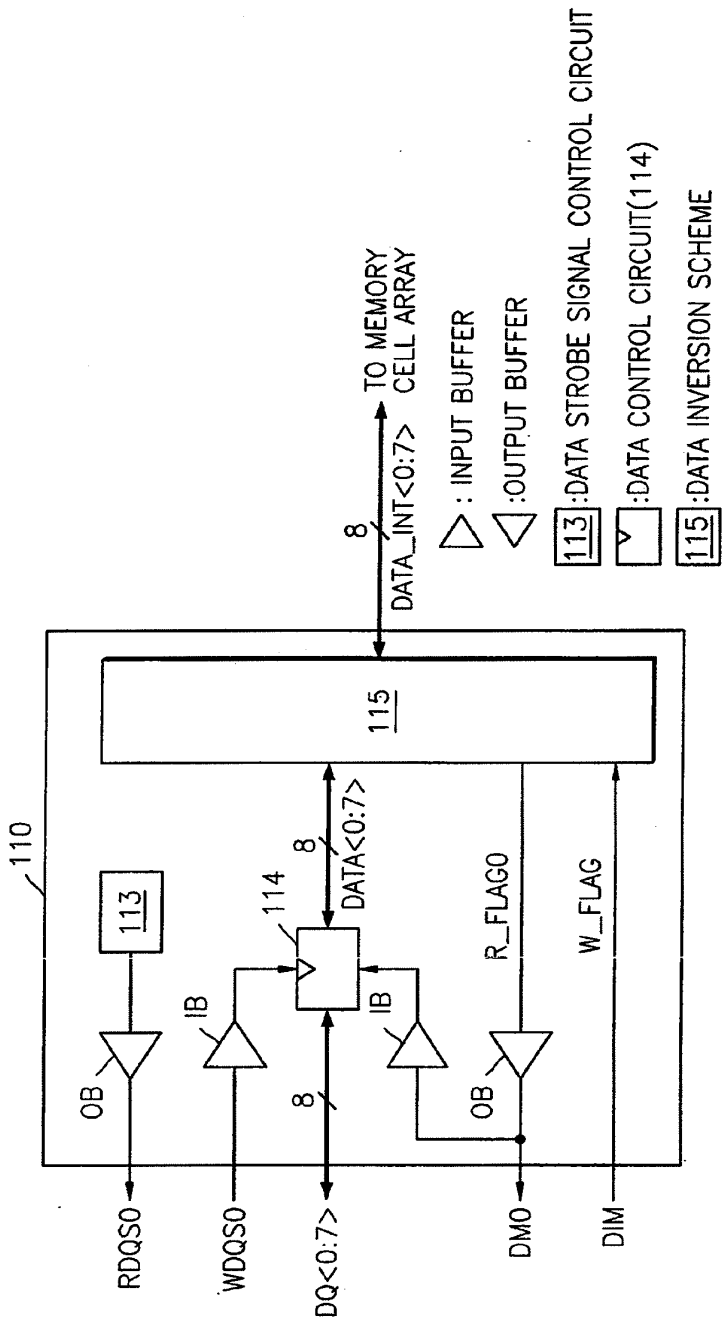

100
142
141
144
160
122
121
124
112
111
114
132
131
134
WDQS3 RDQS3 VSSQ DQ28 DQ29 DQ31 DQ0 DQ2 DQ3 VSSQ RDQS0 WDQS0
DQ27 DM3 VDDQ VDDQ DQ30 VDDQ VDDQ DQ1 VDDQ VDDQ DM0 DQ4
DQ25 DQ26 VSSQ VSSQ VSSQ VDD VDD VSSQ VSSQ VSSQ DQ5 DQ6
DQ24 DIM VDD VSS VSSQ VSS VSS VSSQ VSS VDD NC DQ7
DQ14 DQ15 VDDQ VSSQ NC,VSS NC,VSS NC,VSS NC,VSS VSSQ VDDQ DQ16 DQ17
DQ12 DQ13 VDDQ VSSQ NC,VSS NC,VSS NC,VSS NC,VSS VSSQ VDDQ DQ18 DQ19
WDQS1 RDQS1 NC VSSQ NC,VSS NC,VSS NC,VSS NC,VSS VSSQ NC RDQS2 WDQS2
DQ11 DM1 VDDQ VSSQ NC,VSS NC,VSS NC,VSS NC,VSS VSSQ VDDQ DM2 DQ20
DQ10 DQ9 VDDQ VSSQ VSS VSS VSS VSS VSSQ VDDQ DQ22 DQ21
DQ8 A4 VDD VSSQ RFU1 VDD VDD RFU2 VSS VDD A3 DQ23
VREF A5 A9 /CS ZQ NC CKE NC /RAS A10 A2 VREF
A7 A6 A8/AP BA1 /WE /CK CK /CAS BA0 A11 A1 A0
143:DQ<24:31>
133:DQ<16:23>
123:DQ<8:15>
113:DQ<0:7>

FIG. 3



EX1002 / Page 189 of 321
Western Digital Technologies, Inc.

FIG. 4



EX1002 / Page 190 of 321
Western Digital Technologies, Inc.

FIG. 5

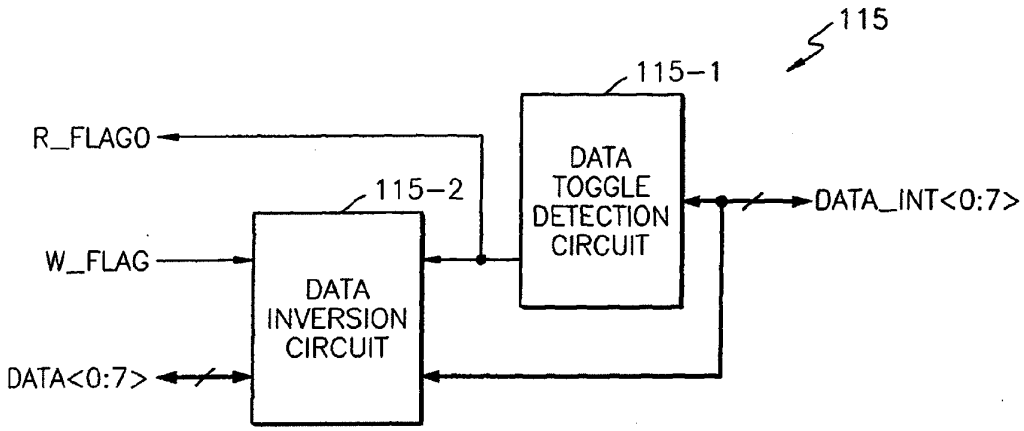

115
115-1
DATA TOGGLE DETECTION CIRCUIT
R_FLAG0
115-2
W_FLAG
DATA INVERSION CIRCUIT
DATA<0:7>
DATA_INT<0:7>

FIG. 6

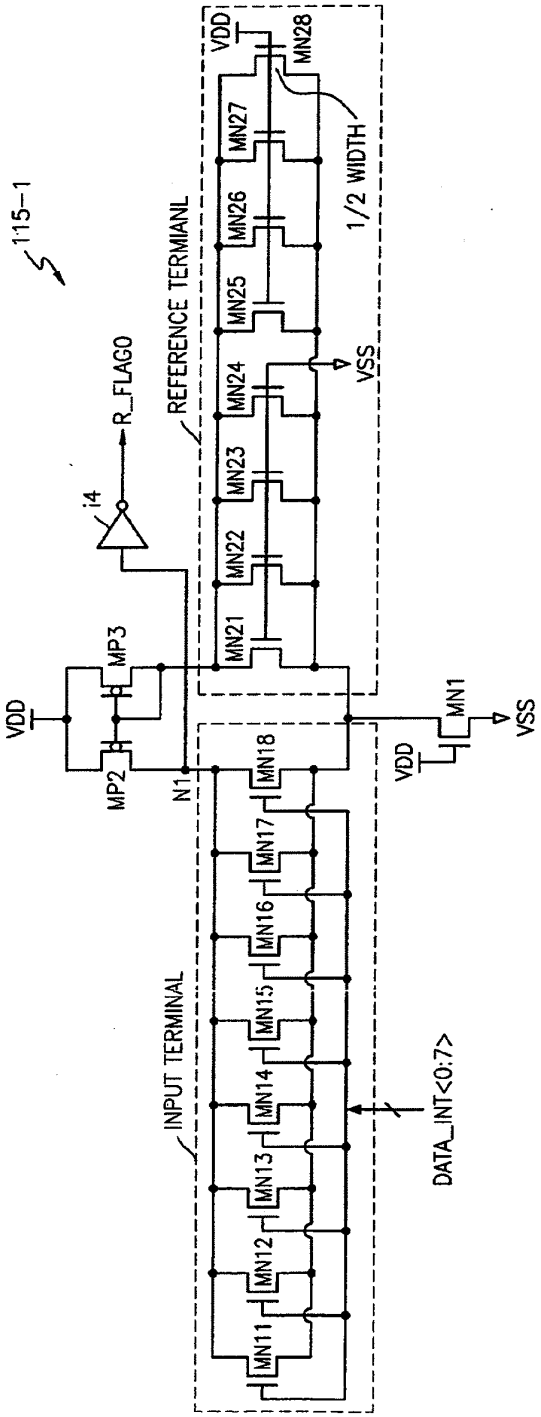

115-1
R_FLAG0
i4
REFERENCE TERMIANL
INPUT TERMINAL
VDD
MP3
MP2
N1
MN1
VSS
MN28
MN27
MN26
MN25
MN24
MN23
MN22
MN21
MN18
MN17
MN16
MN15
MN14
MN13
MN12
MN11
1/2 WIDTH
DATA_INT<0:7>

FIG. 7

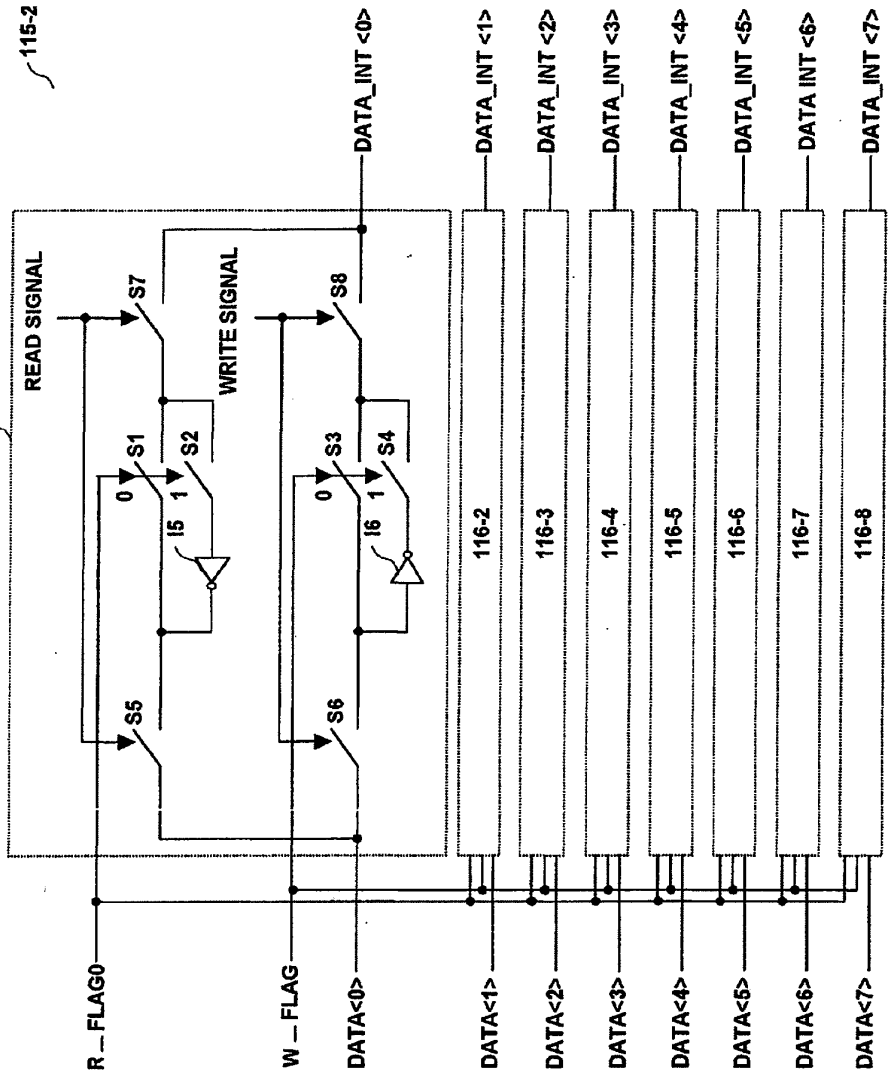

115-2
116-1
READ SIGNAL
WRITE SIGNAL
S1
S2
S3
S4
S5
S6
S7
S8
0
1
I5
I6
DATA_INT <0>
DATA_INT <1>
DATA_INT <2>
DATA_INT <3>
DATA_INT <4>
DATA_INT <5>
DATA INT <6>
DATA_INT <7>
116-2
116-3
116-4
116-5
116-6
116-7
116-8
R_FLAG0
W_FLAG
DATA<0>
DATA<1>
DATA<2>
DATA<3>
DATA<4>
DATA<5>
DATA<6>
DATA<7>

FIG. 8

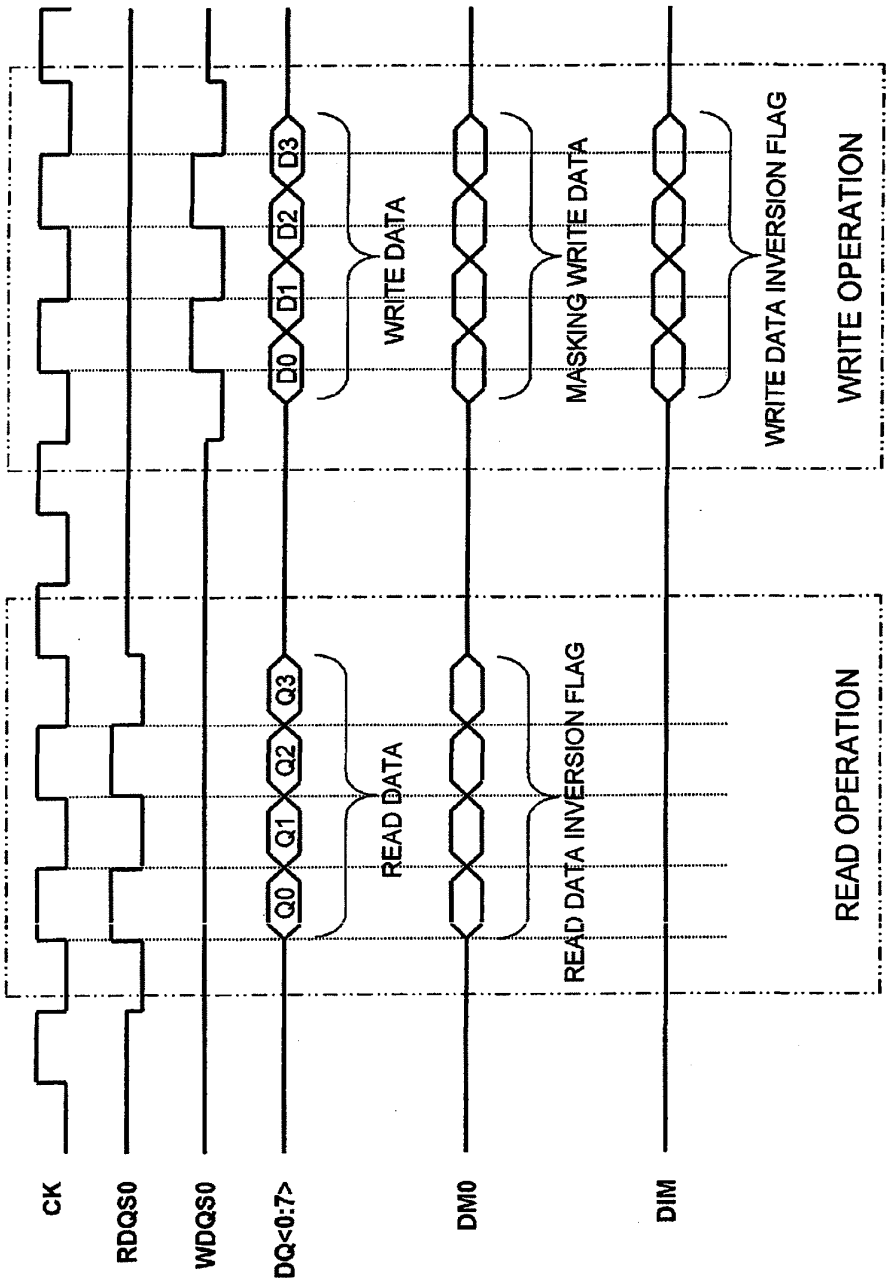

CK
RDQS0
WDQS0
DQ<0:7>
DM0
DIM
Q0
Q1
Q2
Q3
READ DATA
READ DATA INVERSION FLAG
READ OPERATION
D0
D1
D2
D3
WRITE DATA
MASKING WRITE DATA
WRITE DATA INVERSION FLAG
WRITE OPERATION

FIG. 9

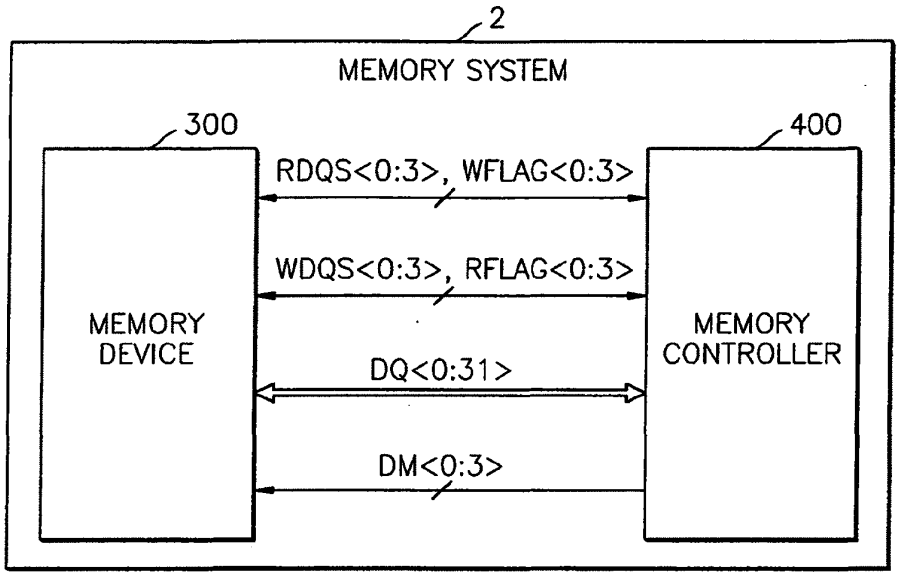
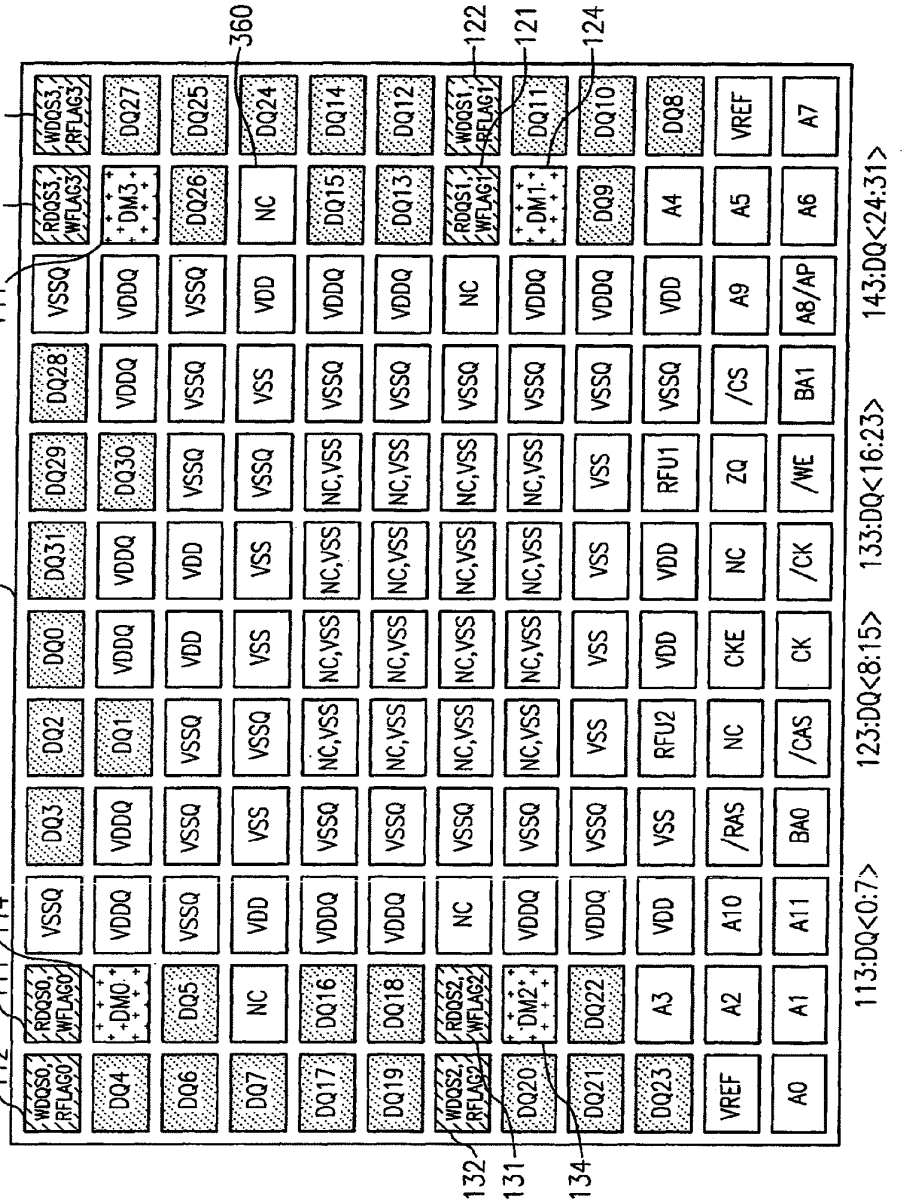

2
MEMORY SYSTEM
300
400
RDQS<0:3>, WFLAG<0:3>
WDQS<0:3>, RFLAG<0:3>
MEMORY DEVICE
MEMORY CONTROLLER
DQ<0:31>
DM<0:3>

FIG. 10



EX1002 / Page 196 of 321
Western Digital Technologies, Inc.

FIG. 11

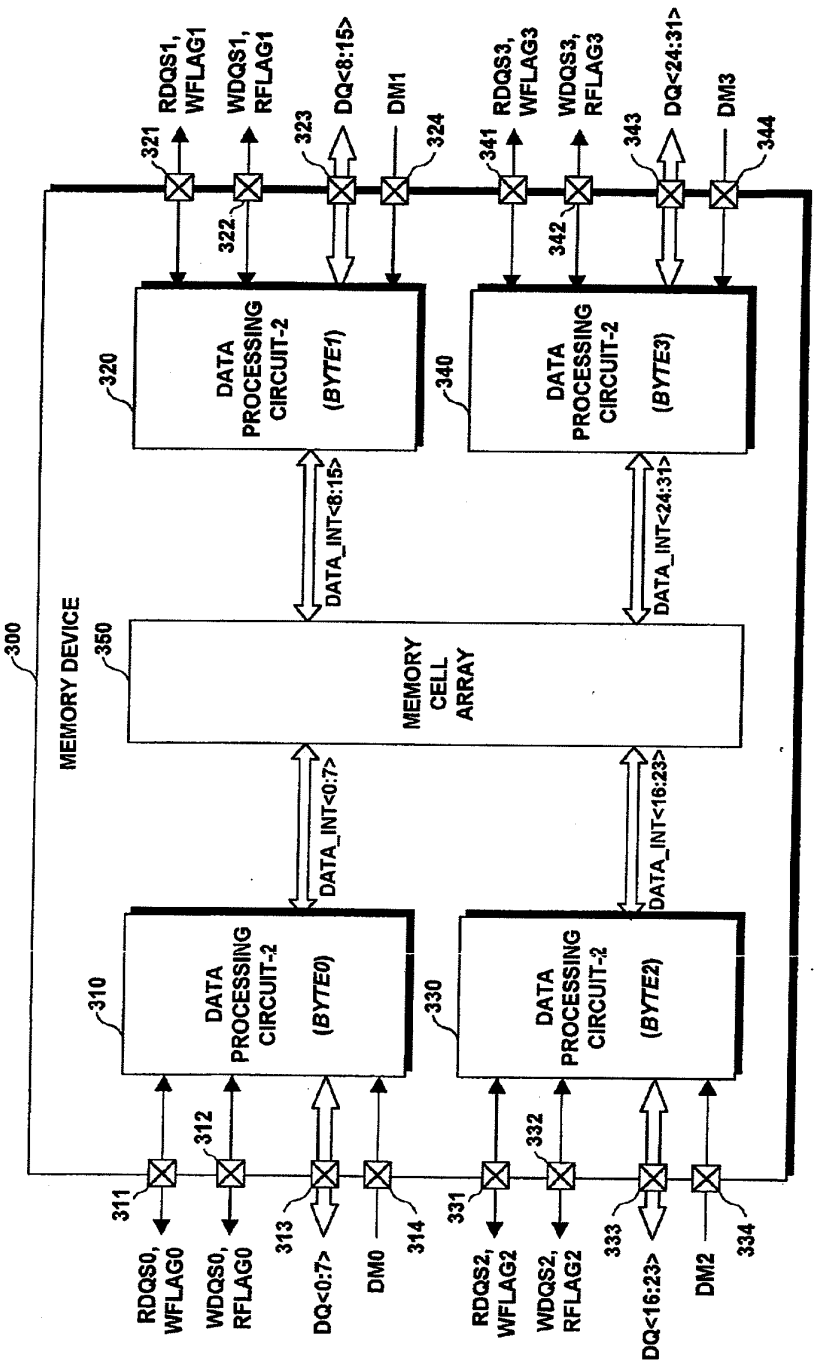

MEMORY DEVICE
300
MEMORY CELL ARRAY
350
DATA PROCESSING CIRCUIT-2 (BYTE0)
310
DATA PROCESSING CIRCUIT-2 (BYTE1)
320
DATA PROCESSING CIRCUIT-2 (BYTE2)
330
DATA PROCESSING CIRCUIT-2 (BYTE3)
340
DATA_INT<0:7>
DATA_INT<8:15>
DATA_INT<16:23>
DATA_INT<24:31>
RDQS0, WFLAG0
WDQS0, RFLAG0
DQ<0:7>
DM0
RDQS1, WFLAG1
WDQS1, RFLAG1
DQ<8:15>
DM1
RDQS2, WFLAG2
WDQS2, RFLAG2
DQ<16:23>
DM2
RDQS3, WFLAG3
WDQS3, RFLAG3
DQ<24:31>
DM3
311
312
313
314
321
322
323
324
331
332
333
334
341
342
343
344

FIG. 12

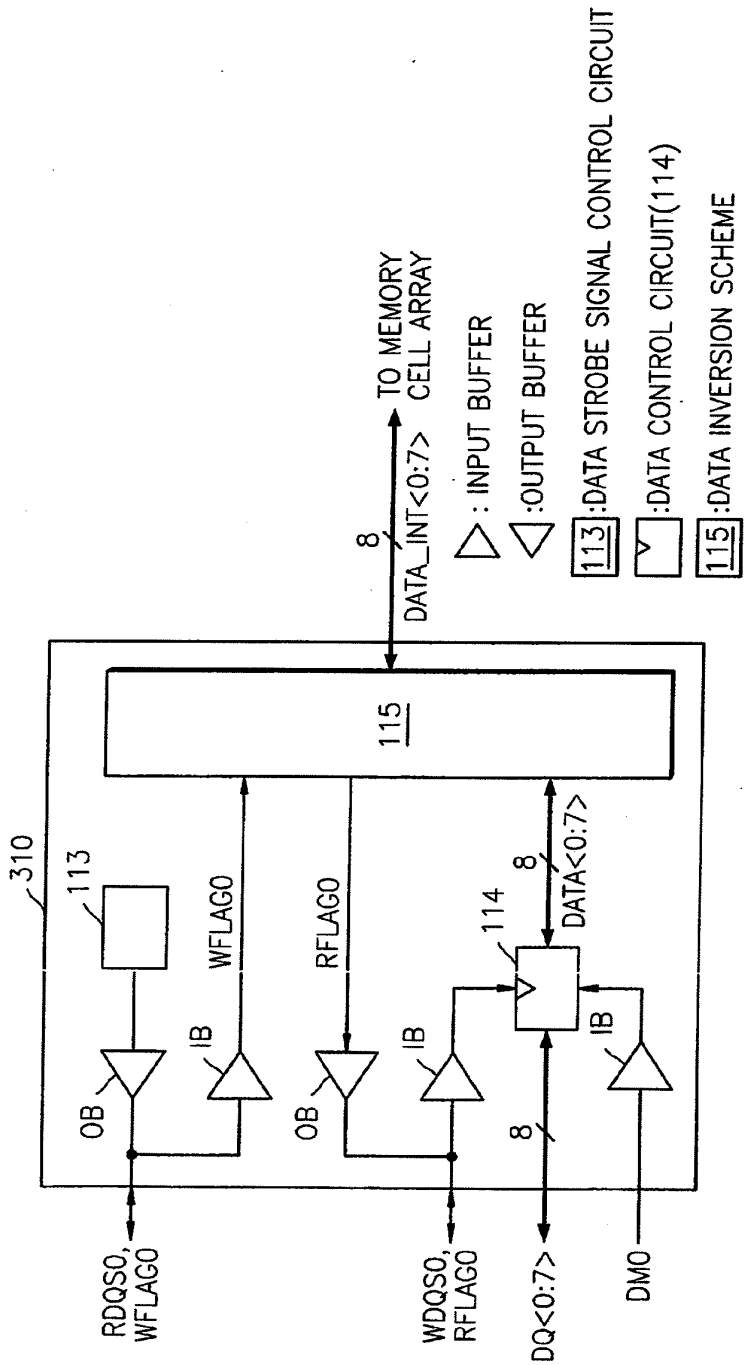
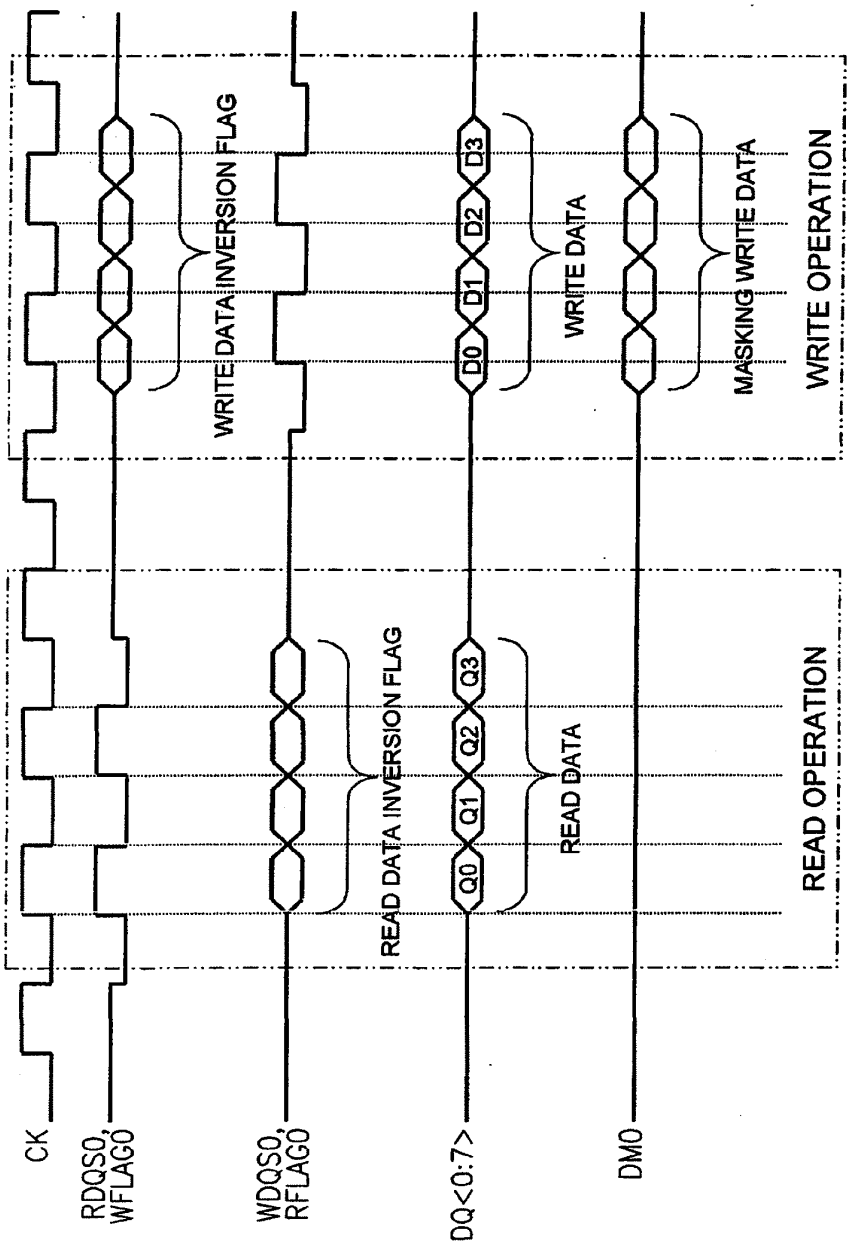
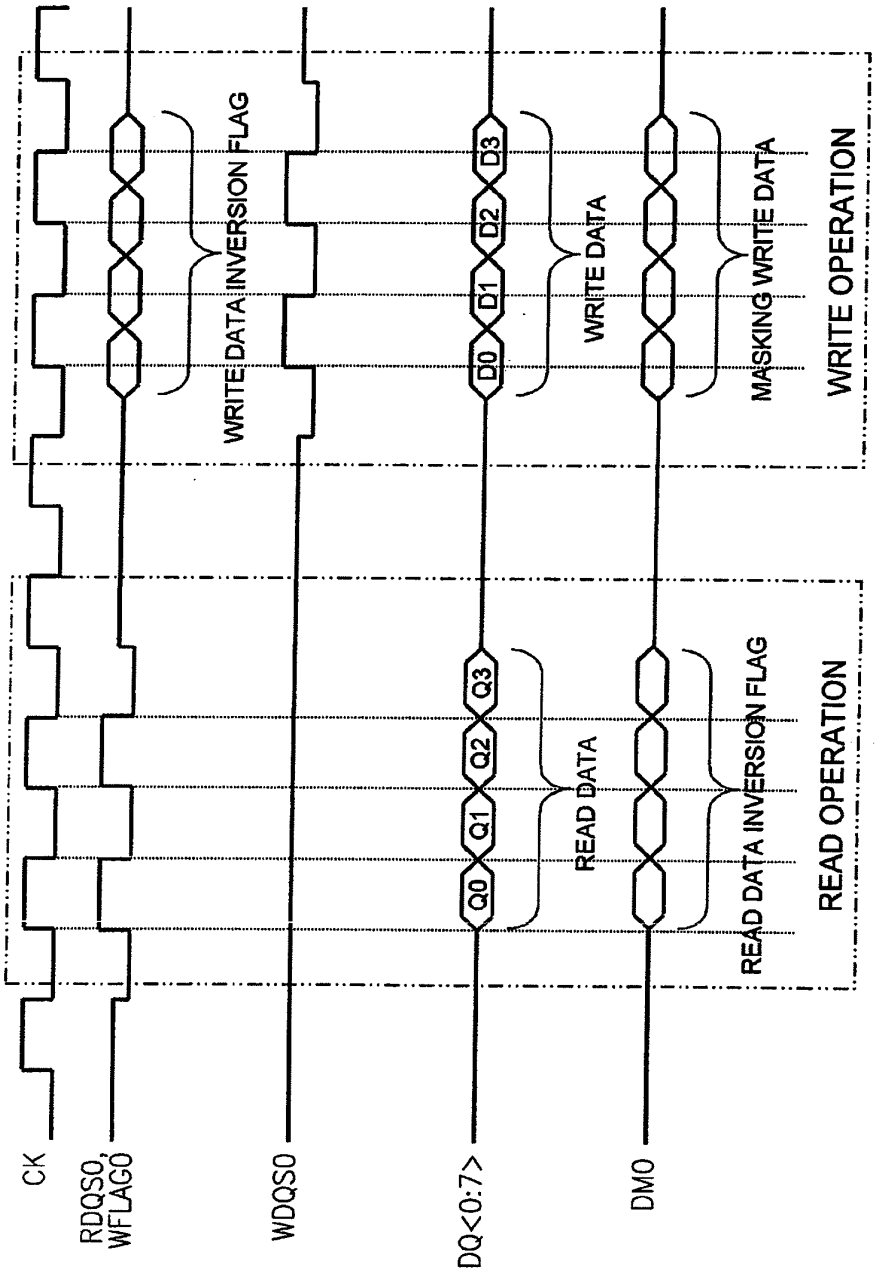

TO MEMORY CELL ARRAY
DATA_INT<0:7>
8
: INPUT BUFFER
:OUTPUT BUFFER
113 :DATA STROBE SIGNAL CONTROL CIRCUIT
:DATA CONTROL CIRCUIT(114)
115 :DATA INVERSION SCHEME
310
113
115
WFLAG0
RFLAG0
114
DATA<0:7>
8
OB
IB
RDQS0, WFLAG0
WDQS0, RFLAG0
DQ<0:7>
DM0

FIG. 13



EX1002 / Page 199 of 321
Western Digital Technologies, Inc.

FIG. 14


CK
RDQS0, WFLAG0
WDQS0
DQ<0:7>
DM0
Q0
Q1
Q2
Q3
READ DATA
READ DATA INVERSION FLAG
READ OPERATION
D0
D1
D2
D3
WRITE DATA
MASKING WRITE DATA
WRITE DATA INVERSION FLAG
WRITE OPERATION

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-134334
(P2006-134334A)
(43)公開日　平成18年5月25日(2006.5.25)

(51) Int.Cl.		F I			テーマコード（参考）
G06F 12/00	(2006.01)	G06F	12/00	564A	5B060
G11C 11/401	(2006.01)	G06F	12/00	597D	5M024
G11C 11/407	(2006.01)	G11C	11/34	362Z	
		G11C	11/34	362S	

審査請求 未請求　請求項の数 44　OL　（全 26 頁）

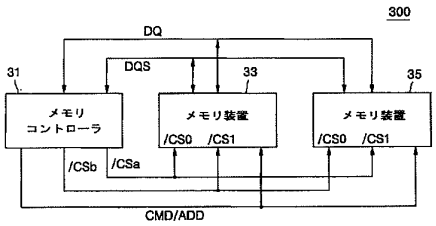
(21)出願番号　特願2005-321358 (P2005-321358)
(22)出願日　平成17年11月4日 (2005.11.4)
(31)優先権主張番号　10-2004-0089253
(32)優先日　平成16年11月4日 (2004.11.4)
(33)優先権主張国　韓国 (KR)

(71)出願人　390019839
三星電子株式会社
Samsung Electronics Co., Ltd.
大韓民国京畿道水原市靈通区梅灘洞４１６
416, Maetan-dong, Yeongtong-gu, Suwon-si Gyeonggi-do, Republic of Korea
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘

最終頁に続く

(54)【発明の名称】データストローブバスラインの効率を向上させることができるメモリ装置、それを備えるメモリシステム及びデータストローブ信号の制御方法

(57)【要約】
【課題】　ＣＴＴを使用して両方向のデータストローブ信号を伝達するバスラインの効率を向上させることができ、消費電力が低いメモリ装置、それを備えるメモリシステム及びデータストローブ信号の制御方法を提供する。
【解決手段】スタンバイ区間中にデータストローブバスラインが電源電圧の半分となることを防止するために、メモリ装置内のデータストローブ出力ドライバーがアクティブスタンバイ区間中にもデータストローブ信号をハイインピーダンスＨｉ－Ｚ状態に駆動せず、データストローブ信号をハイインピーダンスＨｉ－Ｚ状態に駆動しなければならない状況が発生するまで有効論理レベルに駆動するメモリシステムである。
【選択図】　図３



【特許請求の範囲】
【請求項１】
複数個のメモリ装置と、
前記複数個のメモリ装置を制御するメモリコントローラと、
前記複数個のメモリ装置と前記メモリコントローラとの間に連結され、データを伝達するデータバスラインと、
前記複数個のメモリ装置と前記メモリコントローラとの間に連結され、前記データをストローピングするデータストローブ信号を伝達するデータストローブバスラインと、を備え、
前記各メモリ装置は、読み取り動作によるデータ出力が終了した後、自身のデータストローブ信号を有効論理レベルに駆動することを特徴とするメモリシステム。
【請求項２】
前記メモリコントローラから前記複数個のメモリ装置のうち第１メモリ装置に読み取り命令が入力されると、前記第１メモリ装置は、前記読み取り命令から所定の時間後に自身のデータストローブ信号を前記有効論理レベルに駆動し、バースト長によるデータを出力した後に再び前記自身のデータストローブ信号を前記有効論理レベルに駆動することを特徴とする請求項１に記載のメモリシステム。
【請求項３】
前記第１メモリ装置に前記読み取り命令が入力された後、再び前記第１メモリ装置に他の読み取り命令が入力されると、前記第１メモリ装置は、前記自身のデータストローブ信号を前記有効論理レベルに駆動し続け、前記他の読み取り命令によるＣＡＳレイテンシ後に前記自身のデータストローブ信号を再びバースト長単位でトグルさせた後、再び前記有効論理レベルに駆動することを特徴とする請求項２に記載のメモリシステム。
【請求項４】
前記第１メモリ装置に前記読み取り命令が入力された後、第２メモリ装置に他の読み取り命令が入力されると、前記第１メモリ装置は、前記他の読み取り命令をスヌーピングした後、前記自身のデータストローブ信号を前記有効論理レベルからハイインピーダンス状態に駆動することを特徴とする請求項２に記載のメモリシステム。
【請求項５】
前記第２メモリ装置は、自身のデータストローブ信号を前記有効論理レベルに駆動し、バースト長単位でトグルさせた後で再びローレベルに駆動することを特徴とする請求項４に記載のメモリシステム。
【請求項６】
前記第１メモリ装置に前記読み取り命令が入力された後、前記第１メモリ装置または第２メモリ装置に書き込み命令が入力されると、前記第１メモリ装置は、前記書き込み命令後、自身のデータストローブ信号をハイインピーダンス状態に駆動することを特徴とする請求項２に記載のメモリシステム。
【請求項７】
前記第１メモリ装置のデータストローブ信号がハイインピーダンス状態に駆動されても、前記データストローブバスラインは、前記メモリコントローラにより前記有効論理レベルに維持されることを特徴とする請求項６に記載のメモリシステム。
【請求項８】
前記メモリコントローラから前記複数個のメモリ装置のうち第１メモリ装置に書き込み命令が入力された後、再び前記第１メモリ装置に読み取り命令が入力されると、前記第１メモリ装置は、前記読み取り命令から所定の時間後に自身のデータストローブ信号を前記有効論理レベルに駆動し、バースト長によるデータ出力後に再び前記自身のデータストローブ信号を前記有効論理レベルに駆動することを特徴とする請求項１に記載のメモリシステム。
【請求項９】
前記メモリコントローラから前記複数個のメモリ装置のうち第１メモリ装置に書き込み

命令が入力された後、第２メモリ装置に読み取り命令が入力されると、前記第２メモリ装置は、前記読み取り命令をスヌーピングした後、自身のデータストローブ信号を前記有効論理レベルに駆動し、バースト長単位でトグルさせた後で再び前記有効論理レベルに駆動することを特徴とする請求項１に記載のメモリシステム。

【請求項１０】

前記各メモリ装置は、

メモリセルアレイと、

前記メモリセルアレイから読み取られるデータをバッファリングして、前記データバスラインに出力するデータ出力バッファと、

前記データストローブ信号をバッファリングして、前記データストローブバスラインに出力するデータストローブ出力バッファと、を備え、

前記データストローブ出力バッファは、読み取り動作により前記データ出力バッファからデータ出力が終了した後、自身のデータストローブ信号を前記有効論理レベルに駆動することを特徴とする請求項１に記載のメモリシステム。

【請求項１１】

前記各メモリ装置は、

第１チップ選択ピンと、

第２チップ選択ピンと、

命令入力ピンと、

読み取り命令のバースト長単位でのトグルパターンを、前記データストローブ信号として前記データストローブ出力バッファに提供するデータストローブ信号パターン発生器と、

前記命令入力ピンを通じて受信される命令をデコーディングして、その結果によって前記データストローブ出力バッファ及び前記データストローブ信号パターン発生器を制御する命令デコーダと、をさらに備えることを特徴とする請求項１０に記載のメモリシステム。

【請求項１２】

前記命令デコーダは、前記第１チップ選択ピンに入力される信号が活性化され、前記第２チップ選択ピンに入力される信号が不活性化されると、前記命令入力ピン上の命令を自身に与えられた命令として認識することを特徴とする請求項１１に記載のメモリシステム。

【請求項１３】

前記命令デコーダは、前記第１チップ選択ピンに入力される信号が不活性化され、前記第２チップ選択ピンに入力される信号が活性化されると、前記命令入力ピン上の命令を自身でない他のメモリ装置に与えられた命令として認識することを特徴とする請求項１１に記載のメモリシステム。

【請求項１４】

前記各メモリ装置は、遅延同期ループ回路を含まないことを特徴とする請求項１に記載のメモリシステム。

【請求項１５】

前記メモリコントローラは、

前記複数個のメモリ装置の一つから前記データバスラインを通じてデータを受信してバッファリングするデータ入力バッファと、

前記複数個のメモリ装置の一つから前記データストローブバスラインを通じてデータストローブ信号を受信してバッファリングするデータストローブ入力バッファと、

クロック信号を受信してバッファリングするクロックバッファと、

前記データストローブ入力バッファの出力を受けてラッチクロック、複数個の奇数ビット用のイネーブル信号、及び複数個の偶数ビット用のイネーブル信号を発生させる制御信号発生器と、

前記クロックバッファによりバッファリングされたクロック信号を受けて、第１及び第

２内部クロックを発生させるクロック発生器と、
それぞれ対応する奇数ビット用のイネーブル信号及び前記ラッチクロックに応答して、前記データ入力バッファによりバッファリングされたデータの対応する奇数ビットを受けてラッチする複数個の奇数ビットラッチ回路と、
それぞれ対応する偶数ビット用のイネーブル信号及び前記ラッチクロックに応答して、前記データ入力バッファによりバッファリングされたデータの対応する偶数ビットを受けてラッチする複数個の偶数ビットラッチ回路と、
前記第１及び第２内部クロックに応答して、前記奇数ビットラッチ回路にラッチされた奇数ビットと前記偶数ビットラッチ回路にラッチされた偶数ビットとを内部に伝達するスイッチング部と、を備えることを特徴とする請求項１に記載のメモリシステム。

【請求項１６】
メモリ装置と、
前記メモリ装置を制御するメモリコントローラと、
前記メモリ装置と前記メモリコントローラとの間に連結され、データを伝達するデータバスラインと、
前記メモリ装置と前記メモリコントローラとの間に連結され、前記データをストロービングするデータストローブ信号を伝達するデータストローブバスラインと、を備え、
前記メモリ装置は、読み取り動作によるデータ出力が終了した後、自身のデータストローブ信号を有効論理レベルに駆動することを特徴とするメモリシステム。

【請求項１７】
前記メモリコントローラから前記メモリ装置に読み取り命令が入力されると、前記メモリ装置は、前記読み取り命令から所定の時間後に自身のデータストローブ信号を前記有効論理レベルに駆動し、バースト長単位で前記自身のデータストローブ信号をトグルさせた後、再び前記自身のデータストローブ信号を前記有効論理レベルに駆動することを特徴とする請求項１６に記載のメモリシステム。

【請求項１８】
前記メモリ装置に前記読み取り命令が入力された後、再び前記メモリ装置に他の読み取り命令が入力されると、前記メモリ装置は、前記自身のデータストローブ信号を前記有効論理レベルに駆動し続け、前記他の読み取り命令によるＣＡＳレイテンシ後に、前記自身のデータストローブ信号を再びバースト長単位でトグルさせた後で再び前記有効論理レベルに駆動することを特徴とする請求項１７に記載のメモリシステム。

【請求項１９】
前記メモリ装置に前記読み取り命令が入力された後、前記メモリ装置に書き込み命令が入力されると、前記メモリ装置は、前記書き込み命令後、自身のデータストローブ信号をハイインピーダンス状態に駆動することを特徴とする請求項１７に記載のメモリシステム。

【請求項２０】
前記メモリ装置のデータストローブ信号がハイインピーダンス状態に駆動されても、前記データストローブバスラインは、前記メモリコントローラにより前記有効論理レベルに維持されることを特徴とする請求項１９に記載のメモリシステム。

【請求項２１】
前記メモリ装置に書き込み命令が入力された後、再び前記メモリ装置に読み取り命令が入力されると、前記メモリ装置は、前記読み取り命令から所定の時間後に自身のデータストローブ信号を前記有効論理レベルに駆動し、バースト長によるデータ出力後に再び前記自身のデータストローブ信号を前記有効論理レベルに駆動することを特徴とする請求項１６に記載のメモリシステム。

【請求項２２】
前記メモリ装置は、プリチャージスタンバイ状態では、前記データストローブ信号をハイインピーダンス状態に駆動することを特徴とする請求項１６に記載のメモリシステム。

【請求項２３】

前記メモリ装置は、
メモリセルアレイと、
前記メモリセルアレイから読み取られるデータをバッファリングして、前記データバスラインに出力するデータ出力バッファと、
前記データストローブ信号をバッファリングして、前記データストローブバスラインに出力するデータストローブ出力バッファと、を備え、
前記データストローブ出力バッファは、読み取り動作により前記データ出力バッファからデータ出力が終了した後、自身のデータストローブ信号を前記有効論理レベルに駆動することを特徴とする請求項１７に記載のメモリシステム。
【請求項２４】
前記メモリ装置は、
少なくとも一つのチップ選択ピンと、
命令入力ピンと、
読み取り命令のバースト長単位でのトグルパターンを、前記データストローブ信号として前記データストローブ出力バッファに提供するデータストローブ信号パターン発生器と、
前記命令入力ピンを通じて受信される命令をデコーディングして、その結果によって前記データストローブ出力バッファ及び前記データストローブ信号パターン発生器を制御する命令デコーダと、をさらに備えることを特徴とする請求項２３に記載のメモリシステム。
【請求項２５】
前記命令デコーダは、前記少なくとも一つのチップ選択ピンに入力される信号が活性化されると、前記命令入力ピン上の命令を受け取ることを特徴とする請求項２４に記載のメモリシステム。
【請求項２６】
前記メモリ装置は、遅延同期ループ回路を含まないことを特徴とする請求項１６に記載のメモリシステム。
【請求項２７】
前記メモリコントローラは、
前記メモリ装置から前記データバスラインを通じてデータを受信してバッファリングするデータ入力バッファと、
前記メモリ装置から前記データストローブバスラインを通じてデータストローブ信号を受信してバッファリングするデータストローブ入力バッファと、
クロック信号を受信してバッファリングするクロックバッファと、
前記データストローブ入力バッファの出力を受けてラッチクロック、複数個の奇数ビット用のイネーブル信号、及び複数個の偶数ビット用のイネーブル信号を発生させる制御信号発生器と、
前記クロックバッファによりバッファリングされたクロック信号を受けて、第１及び第２内部クロックを発生させるクロック発生器と、
それぞれ対応する奇数ビット用のイネーブル信号及び前記ラッチクロックに応答して、前記データ入力バッファによりバッファリングされたデータの対応する奇数ビットを受けてラッチする複数個の奇数ビットラッチ回路と、
それぞれ対応する偶数ビット用のイネーブル信号及び前記ラッチクロックに応答して、前記データ入力バッファによりバッファリングされたデータの対応する偶数ビットを受けてラッチする複数個の偶数ビットラッチ回路と、
前記第１及び第２内部クロックに応答して、前記奇数ビットラッチ回路にラッチされた奇数ビットと前記偶数ビットラッチ回路にラッチされた偶数ビットとを内部に伝達するスイッチング部と、を備えることを特徴とする請求項１６に記載のメモリシステム。
【請求項２８】
少なくとも一つのメモリ装置と、

前記少なくとも一つのメモリ装置を制御するメモリコントローラと、
前記少なくとも一つのメモリ装置と前記メモリコントローラとの間に連結され、データを伝達するデータバスラインと、
前記少なくとも一つのメモリ装置と前記メモリコントローラとの間に連結され、前記データをストローピングするデータストローブ信号を伝達するデータストローブバスラインと、を備え、
前記メモリコントローラは、自身から出力されるデータストローブ信号をトグルさせた後で有効論理レベルに駆動することを特徴とするメモリシステム。

【請求項２９】
メモリセルアレイと、
前記メモリセルアレイから読み取られるデータをバッファリングして出力するデータ出力バッファと、
前記データをストローピングするデータストローブ信号をバッファリングして出力するデータストローブ出力バッファと、を備え、
前記データストローブ出力バッファは、読み取り動作により前記データ出力バッファからデータ出力が終了した後、前記データストローブ信号を有効論理レベルに駆動することを特徴とするメモリ装置。

【請求項３０】
少なくとも一つのチップ選択ピンと、
命令入力ピンと、
読み取り命令のバースト長単位でのトグルパターンを、前記データストローブ信号として前記データストローブ出力バッファに提供するデータストローブ信号パターン発生器と、
前記命令入力ピンを通じて受信される命令をデコーディングして、その結果によって前記データストローブ出力バッファ及び前記データストローブ信号パターン発生器を制御する命令デコーダと、をさらに備えることを特徴とする請求項２９に記載のメモリ装置。

【請求項３１】
前記命令入力ピンを通じて前記読み取り命令が入力されると、前記データストローブ出力バッファは、前記読み取り命令から所定の時間後に前記データストローブ信号を前記有効論理レベルに駆動し、前記パターン発生器から前記バースト長単位でのトグルパターンを受けて出力した後、再び前記データストローブ信号を前記有効論理レベルに駆動することを特徴とする請求項３０に記載のメモリ装置。

【請求項３２】
前記命令入力ピンを通じて前記読み取り命令が入力された後、再び前記命令入力ピンを通じて他の読み取り命令が入力されると、前記データストローブ出力バッファは、前記データストローブ信号を前記有効論理レベルに駆動し続け、前記他の読み取り命令によるＣＡＳレイテンシ後に、前記パターン発生器から前記他の読み取り命令のバースト長単位でのトグルパターンを受けて出力した後で再び前記有効論理レベルに駆動することを特徴とする請求項３１に記載のメモリ装置。

【請求項３３】
前記命令入力ピンを通じて前記読み取り命令が入力された後、前記命令入力ピンを通じて書き込み命令が入力されると、前記データストローブ出力バッファは、前記書き込み命令後、前記データストローブ信号をハイインピーダンス状態に駆動することを特徴とする請求項３１に記載のメモリ装置。

【請求項３４】
前記命令入力ピンを通じて書き込み命令が入力された後、前記命令入力ピンを通じて読み取り命令が入力されると、前記データストローブ出力バッファは、前記読み取り命令から所定の時間後に前記データストローブ信号を前記有効論理レベルに駆動し、前記読み取り命令のバースト長によるデータ出力後に再び前記データストローブ信号を前記有効論理レベルに駆動することを特徴とする請求項３０に記載のメモリ装置。

【請求項３５】
前記データストローブ出力バッファは、プリチャージスタンバイ状態では、前記データストローブ信号をハイインピーダンス状態に駆動することを特徴とする請求項２９に記載のメモリ装置。
【請求項３６】
前記メモリ装置は、遅延同期ループ回路を含まないことを特徴とする請求項２９に記載のメモリ装置。
【請求項３７】
データをストロービングするためにデータストローブ信号を出力するメモリ装置で、前記データストローブ信号を制御する方法において、
前記メモリ装置に読み取り命令が印加されると、前記読み取り命令から所定の時間後に前記データストローブ信号を有効論理レベルに駆動するステップと、
前記有効論理レベルに駆動するステップ後、バースト長単位で前記データストローブ信号をトグルさせるステップと、
前記トグルさせるステップ後、前記データストローブ信号を再び前記有効論理レベルに駆動するステップと、を含むことを特徴とするデータストローブ信号の制御方法。
【請求項３８】
前記メモリ装置に前記読み取り命令が入力された後、前記メモリ装置に書き込み命令が入力されると、前記書き込み命令から所定の時間後に、前記データストローブ信号をハイインピーダンス状態に駆動するステップをさらに含むことを特徴とする請求項３７に記載のデータストローブ信号の制御方法。
【請求項３９】
前記メモリ装置のプリチャージスタンバイ状態で、前記データストローブ信号をハイインピーダンス状態に駆動するステップをさらに含むことを特徴とする請求項３７に記載のデータストローブ信号の制御方法。
【請求項４０】
データを受信してバッファリングするデータ入力バッファと、
前記データをストロービングするデータストローブ信号を受信してバッファリングするデータストローブ入力バッファと、
クロック信号を受信してバッファリングするクロックバッファと、
前記データストローブ入力バッファの出力を受けてラッチクロック、複数個の奇数ビット用のイネーブル信号、及び複数個の偶数ビット用のイネーブル信号を発生させる制御信号発生器と、
前記クロックバッファによりバッファリングされたクロック信号を受けて、第１及び第２内部クロックを発生させるクロック発生器と、
それぞれ対応する奇数ビット用のイネーブル信号及び前記ラッチクロックに応答して、前記データ入力バッファによりバッファリングされたデータの対応する奇数ビットを受けてラッチする複数個の奇数ビットラッチ回路と、
それぞれ対応する偶数ビット用のイネーブル信号及び前記ラッチクロックに応答して、前記データ入力バッファによりバッファリングされたデータの対応する偶数ビットを受けてラッチする複数個の偶数ビットラッチ回路と、
前記第１及び第２内部クロックに応答して、前記奇数ビットラッチ回路にラッチされた奇数ビットと前記偶数ビットラッチ回路にラッチされた偶数ビットとを内部に伝達するスイッチング部と、を備えることを特徴とするメモリコントローラ。
【請求項４１】
前記制御信号発生器は、
前記データストローブ入力バッファの出力信号を受けて、それと同じ前記ラッチクロックを発生させるパルス発生器と、
前記ラッチクロックの遷移をカウンティングして、前記複数個の奇数ビット用のイネーブル信号と前記複数個の偶数ビット用のイネーブル信号とを発生させるリングカウンタと

、を備えることを特徴とする請求項４０に記載のメモリコントローラ。
【請求項４２】
前記奇数ビットラッチ回路それぞれは、
前記対応する奇数ビット用のイネーブル信号によりイネーブルされ、前記ラッチクロックの立上りエッジに応答して前記対応する奇数ビットをラッチする第１フリップフロップと、
前記ラッチクロックの立下りエッジに応答して、前記第１フリップフロップの出力をラッチする第２フリップフロップと、を備えることを特徴とする請求項４０に記載のメモリコントローラ。
【請求項４３】
前記偶数ビットラッチ回路それぞれは、
前記対応する偶数ビット用のイネーブル信号によりイネーブルされ、前記ラッチクロックの立下りエッジに応答して前記対応する偶数ビットをラッチするフリップフロップを備えることを特徴とする請求項４０に記載のメモリコントローラ。
【請求項４４】
前記スイッチング回路は、
前記第１内部クロックに応答して、最初の奇数ビットラッチ回路にラッチされた最初の奇数ビットを内部に伝達する第１スイッチと、
前記第１内部クロックに応答して、最初の偶数ビットラッチ回路にラッチされた最初の偶数ビットを内部に伝達する第２スイッチと、
前記第２内部クロックに応答して、二番目の奇数ビットラッチ回路にラッチされた二番目の奇数ビットを内部に伝達する第３スイッチと、
前記第２内部クロックに応答して、二番目の偶数ビットラッチ回路にラッチされた二番目の偶数ビットを内部に伝達する第４スイッチと、を備えることを特徴とする請求項４０に記載のメモリコントローラ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ＣＴＴ（Ｃｅｎｔｅｒ Ｔａｂ Ｔｅｒｍｉｎａｔｉｏｎ）を使用するメモリシステムに係り、特に両方向データストローブ信号を伝達するバスラインの効率を向上させることができ、消費電力が低いメモリ装置、それを備えるメモリシステム及びデータストローブ信号の制御方法に関する。
【背景技術】
【０００２】
ＣＴＴを使用するシステムでは、図１に示すように、送信器１１と受信器１３との間に連結されるバスライン１５が、電源電圧ＶＤＤの半分に相当する終端電圧Ｖｔｔで終端される。したがって、データの伝送がないスタンバイ区間には、バスライン１５がＶＤＤ／２レベルに維持される。かかる場合、チャンネル、すなわちバスライン１５上でＡＣノイズが発生する場合、受信器１３の感知度によってこのノイズがバスライン上の信号遷移として認識されることもある。
【０００３】
図１に示したシステムがメモリシステムである場合、メモリコントローラが送信器１１の役割を果たすときは、メモリ装置が受信器１３の役割を果たし、逆にメモリ装置が送信器１１の役割を果たすときは、メモリコントローラが受信器１３の役割を果たす。
【０００４】
前記のように、受信器１３がバスライン１５上のノイズを信号遷移として誤って認識すれば、実際には意図されない無効遷移であるにもかかわらず、受信器１３がこの無効遷移を受け取って、これにより誤動作が引き起こされることがある。
【０００５】
したがって、前記のような問題点を解決するためには、受信器１３がいかなる場合にも

意図しない無効遷移を受け取ってはならない。このために、送信器１１のドライバーが有効遷移を始める前に、すなわち有効遷移を有する信号をバスライン１５上に駆動する前に、十分に長時間バスライン１５を有効な一定のレベルに維持させ、受信器１３は、この有効レベル区間以後に入力される遷移のみを有効遷移として認識させる。しかし、データストローブ信号ＤＱＳの有効レベル区間を十分に長くする場合は、データストローブ信号ＤＱＳを伝達するバスラインの効率が低下することがある。

【０００６】

図２Ａ及び図２Ｂは、かかる方式によって動作するＤＤＲ（Ｄｕａｌ Ｄａｔａ Ｒａｔｅ）シンクロナスＤＲＡＭ（Ｄｙｎａｍｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）の概略的なタイミング図である。図２Ａは、書き込み動作時における、ＤＤＲシンクロナスＤＲＡＭのタイミング図であり、図２Ｂは、読み取り動作時における、ＤＤＲシンクロナスＤＲＡＭのタイミング図である。

【０００７】

ＤＤＲシンクロナスＤＲＡＭでは、ＤＱＳバスラインの効率低下を最小化するために、図２Ａに示したように、書き込み動作時には、ｔＤＱＳＳ仕様を有し、データストローブ信号ＤＱＳがクロック信号ＣＫに同期されて入力されるように定義されている。これにより、ＤＤＲシンクロナスＤＲＡＭは、書き込み命令の受信後にクロック数をカウントすることによって、データストローブ信号ＤＱＳの有効遷移を認識する。

【０００８】

しかし、ＤＤＲシンクロナスＤＲＡＭの読み取り動作時には、ＤＬＬ（Ｄｅｌａｙ Ｌｏｃｋｅｄ Ｌｏｏｐ）を使用して出力データをクロック信号ＣＫと同期して出力させて、メモリコントローラが、前記出力データのメモリコントローラへの到着時間をさらに正確に予想可能にする。すなわち、図２Ｂに示したように、読み取り動作時には、ＤＬＬを使用してｔＤＱＳＣＫ（ｃｌｏｃｋｔｏ ｏｕｔｐｕｔ ｄｅｌａｙ ｖａｒｉａｔｉｏｎ）を減少させる。しかし、メモリ装置でＤＬＬの使用は、電力消費を増加させるという欠点がある。

【発明の開示】

【発明が解決しようとする課題】

【０００９】

本発明が解決しようとする課題は、ＣＴＴを使用して両方向データストローブ信号を伝達するバスラインの効率を向上させることができ、電力消費が低いメモリシステムを提供するところにある。

【００１０】

本発明が解決しようとする他の課題は、両方向データストローブ信号を伝達するバスラインの効率を向上させることができるメモリ装置を提供するところにある。

【００１１】

本発明が解決しようとするさらに他の課題は、両方向データストローブ信号を伝達するバスラインの効率を向上させることができるデータストローブ信号の制御方法を提供するところにある。

【００１２】

本発明が解決しようとするさらに他の課題は、メモリ装置がＤＬＬを含まなくてもメモリ装置から読み取られるデータをレイテンシの増加なしに安定的に受信できるメモリコントローラを提供するところにある。

【課題を解決するための手段】

【００１３】

前記課題を解決するための本発明によるメモリシステムは、少なくても一つのメモリ装置、前記少なくても一つのメモリ装置を制御するメモリコントローラ、前記少なくても一つのメモリ装置と前記メモリコントローラとの間に連結され、データを伝達するデータバスライン、及び前記少なくても一つのメモリ装置と前記メモリコントローラとの間に連結され、前記データをストロービングするデータストローブ信号を伝達するデータストロー

ブバスラインを備え、前記メモリ装置は、読み取り動作によるデータ出力が終了した後、自身のデータストローブ信号を有効論理レベルに駆動することを特徴とする。

【００１４】

前記他の課題を解決するための本発明によるメモリ装置は、メモリセルアレイ、前記メモリセルアレイから読み取られるデータをバッファリングして出力するデータ出力バッファ、及び前記データをストロービングするデータストローブ信号をバッファリングして出力するデータストローブ出力バッファを備え、前記データストローブ出力バッファは、読み取り動作により前記データ出力バッファからデータ出力が終了した後、前記データストローブ信号を有効論理レベルに駆動することを特徴とする。

【００１５】

望ましい一実施形態によれば、前記本発明によるメモリ装置は、少なくとも一つのチップ選択ピン、命令入力ピン、読み取り命令のバースト長単位でのトグルパターンを前記データストローブ信号として前記データストローブ出力バッファに提供するデータストローブ信号パターン発生器、及び前記命令入力ピンを通じて受信される命令をデコーディングして、その結果によって前記データストローブ出力バッファ及び前記データストローブ信号パターン発生器を制御する命令デコーダをさらに備える。

【００１６】

前記本発明によるメモリ装置は、ＤＬＬ回路を含まなくてもよい。

【００１７】

前記さらに他の課題を解決するための本発明によるデータストローブ信号の制御方法は、データをストロービングするためにデータストローブ信号を出力するメモリ装置で、前記データストローブ信号を制御する方法において、前記メモリ装置に読み取り命令が印加されると、前記読み取り命令から所定の時間後に前記データストローブ信号を有効論理レベルに駆動するステップ、前記有効論理レベルに駆動するステップ後、バースト長単位で前記データストローブ信号をトグルさせるステップ、及び前記トグルさせるステップ後、前記データストローブ信号を再び前記有効論理レベルに駆動するステップを含むことを特徴とする。

【００１８】

前記本発明によるデータストローブ信号の制御方法は、前記メモリ装置に前記読み取り命令が入力された後、前記メモリ装置に書き込み命令が入力されると、前記書き込み命令から所定の時間後に、前記データストローブ信号をハイインピーダンスＨｉ－Ｚ状態に駆動するステップをさらに含む。

【００１９】

前記さらに他の課題を解決するための本発明によるメモリコントローラは、データ入力バッファ、データストローブ入力バッファ、クロックバッファ、制御信号発生器、クロック発生器、複数個の奇数ビットラッチ回路、複数個の偶数ビットラッチ回路、及びスイッチング部を備えることを特徴とする。

【００２０】

前記データ入力バッファは、データを受信してバッファリングする。前記データストローブ入力バッファは、前記データをストロービングするデータストローブ信号を受信してバッファリングする。前記クロックバッファは、クロック信号を受信してバッファリングする。

【００２１】

前記制御信号発生器は、前記データストローブ入力バッファの出力を受けてラッチクロック、複数個の奇数ビット用のイネーブル信号、及び複数個の偶数ビット用のイネーブル信号を発生させる。前記クロック発生器は、前記クロックバッファによりバッファリングされたクロック信号を受けて、第１及び第２内部クロックを発生させる。

【００２２】

前記複数個の奇数ビットラッチ回路は、それぞれ対応する奇数ビット用のイネーブル信号及び前記ラッチクロックに応答して、前記データ入力バッファによりバッファリングさ

れたデータの対応する奇数ビットを受けてラッチする。前記複数個の偶数ビットラッチ回路は、それぞれ対応する偶数ビット用のイネーブル信号及び前記ラッチクロックに応答して、前記データ入力バッファによりバッファリングされたデータの対応する偶数ビットを受けてラッチする。前記スイッチング部は、前記第１及び第２内部クロックに応答して、前記奇数ビットラッチ回路にラッチされた奇数ビットと前記偶数ビットラッチ回路にラッチされた偶数ビットとを内部に伝達する。

【発明の効果】

【００２３】

本発明によれば、スタンバイ区間中にデータストローブバスラインがＶＤＤ／２レベル（ＶＤＤは電源電圧）となることを防止するために、メモリ装置内のデータストローブ出力ドライバーがスタンバイ区間中にもデータストローブ信号をハイインピーダンスＨｉ－Ｚ状態に駆動せず、データストローブ信号をハイインピーダンスＨｉ－Ｚ状態に駆動しなければならない状況が発生するまで有効論理レベルに駆動する。したがって、データストローブ信号を伝達するバスラインの効率が向上する。

【発明を実施するための最良の形態】

【００２４】

本発明と、本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施形態を例示する添付図面及び添付図面に記載された内容を参照すべきである。

【００２５】

以下、添付した図面を参照して本発明の望ましい実施形態を説明することにより、本発明を詳細に説明する。各図面に提示された同じ参照符号は同様の構成要素を示す。

【００２６】

図３は、本発明の好適な一実施形態によるメモリシステムを概略的に示すブロック図である。本実施形態は、Ｐｏｉｎｔ（メモリコントローラ３１）ｔｏ ｔｗｏ Ｐｏｉｎｔｓ（メモリ装置３３，３５）の応用例を示す。図５Ａ～Ｃは、図３または図４に示したメモリシステムのタイミング図であり、ここでは、バースト長ＢＬが４であり、ＣＡＳ（Ｃｏｌｕｍｎ Ａｄｄｒｅｓｓ Ｓｔｒｏｂｅ）レイテンシＣＬが３である場合が示されている。

【００２７】

図３に示すように、本発明の好適な一実施形態によるメモリシステムは、二つのメモリ装置３３，３５、メモリ装置３３，３５を制御するメモリコントローラ３１、データバスラインＤＱ、データストローブバスラインＤＱＳ、第１チップ選択信号バスライン／ＣＳａ、第２チップ選択信号バスライン／ＣＳｂ及び命令／アドレスバスラインＣＭＤ／ＡＤＤを備える。

【００２８】

データバスラインＤＱ及びデータストローブバスラインＤＱＳは、メモリ装置３３，３５とメモリコントローラ３１との間に連結される両方向信号ラインである。第１チップ選択信号バスライン／ＣＳａ、第２チップ選択信号バスライン／ＣＳｂ及び命令／アドレスバスラインＣＭＤ／ＡＤＤは、メモリ装置３３，３５とメモリコントローラ３１との間に連結される一方向信号ラインである。メモリ装置３３，３５は、同期式のメモリ装置である。

【００２９】

各メモリ装置３３，３５は、データバスラインＤＱに出力されるデータをストロービングするデータストローブ信号をデータストローブバスラインＤＱＳに出力する。特に、各メモリ装置３３，３５は、バースト長によるデータ出力後にも、直ちにデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動せず、有効論理レベル、すなわちローレベルに駆動するように構成される。

【００３０】

すなわち、本発明では、各メモリ装置３３，３５内のデータストローブ出力ドライバー

が、読み取り動作によるデータの出力が終了した後のアクティブスタンバイ区間中にも、データストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動せず、データストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態にしなければならない状況が発生するまで有効論理レベルに駆動するように構成される。

【００３１】

前記のような機能を具現するために、各メモリ装置３３，３５は、データストローブ信号ＤＱＳをどの時点にハイインピーダンスＨｉ－Ｚに駆動しなければならないか、すなわちいつ前記データストローブ出力ドライバーをターンオフさせるかを決定する構成が必要である。例えば、図３に示したＰｏｉｎｔＡ（マスタに該当するメモリコントローラ３１）ｔｏ ｔｗｏ Ｐｏｉｎｔｓ Ｂ，Ｃ（スレーブに該当するメモリ装置３３，３５）の応用例において、各ポイントの状況によって、すなわちＰｏｉｎｔＡのＰｏｉｎｔＢから読み取り、Ｐｏｉｎｔ ＡのＰｏｉｎｔ Ｃから読み取り、またはＰｏｉｎｔ ＡのＰｏｉｎｔ Ｂに書き込み、Ｐｏｉｎｔ ＡのＰｏｉｎｔ Ｃに書き込みなどの状況によって、それらの各ポイントのデータストローブ出力ドライバーがどんな状態を維持するか（すなわち、出力信号であるデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動するか、有効論理レベルに駆動するか）を決定することが必要である。この決定のためには、メモリ装置３３，３５が命令バスラインＣＭＤ上の命令状況を理解しなければならない。

【００３２】

図３の実施形態において、ＰｏｉｎｔＡはマスタの役割を果たすので、あらゆる命令状況が分かる。しかし、ＰｏｉｎｔＢまたはＣからの読み取り時、ＰｏｉｎｔＢまたはＣからＰｏｉｎｔＡに到着するデータストローブ信号ＤＱＳの到着時点を予測し難いので、データストローブ信号バスラインの効率を最適化することが困難となりうる。しかし、ＰｏｉｎｔＢ，Ｃ（すなわち、メモリ装置）が命令状況を理解すれば、比較的容易にデータストローブ信号バスラインの効率を最適化できる。したがって、本発明では、メモリ装置３３，３５が命令バスラインＣＭＤ上の命令状況を理解するように構成される。

【００３３】

したがって、本発明では、前記のような機能を具現するために、各メモリ装置３３，３５が二つのチップ選択ピン、すなわち第１チップ選択信号バスライン／ＣＳａに連結される第１チップ選択ピン／ＣＳ０、及び第２チップ選択信号バスライン／ＣＳｂに連結される第２チップ選択ピン／ＣＳ１を備える。第１チップ選択ピン／ＣＳ０は、自身の動作のための用途であり、第２チップ選択ピン／ＣＳ１は、自身でない他のメモリ装置に命令が入力されるかをスヌーピングするために用いられる。すなわち、各メモリ装置３３，３５は、第２チップ選択ピン／ＣＳ１に入力される信号の状態を把握して、自身でない他のメモリ装置に命令が入力されるかをスヌーピングし、その結果によって前記データストローブ出力ドライバーを制御する。

【００３４】

ここで、第１チップ選択ピン／ＣＳ０に入力される信号が論理“ロー”に活性化され、第２チップ選択ピン／ＣＳ１に入力される信号が論理“ハイ”に不活性化されると、命令バスラインＣＭＤを通じて入力される命令が自身のメモリ装置に与えられた命令として認識される。第１チップ選択ピン／ＣＳ０に入力される信号が論理“ハイ”に不活性化され、第２チップ選択ピン／ＣＳ１に入力される信号が論理“ロー”に活性化されると、命令バスラインＣＭＤを通じて入力される命令が自身でない他のメモリ装置に与えられた命令として認識される。各メモリ装置３３，３５の詳細な構成は、図６及び図７を参照して後述する。

【００３５】

以下、図３に示した本発明の好適な実施形態において、ＰｏｉｎｔＢに位置したメモリ装置３３及びＰｏｉｎｔＣに位置したメモリ装置３５が命令状況によってどのように反応するかを詳細に説明する。

【００３６】

第１に、メモリコントローラ３１により第１チップ選択信号／ＣＳａが論理“ロー”に活性化され、第２チップ選択信号／ＣＳｂが論理“ハイ”に不活性化され、命令バスラインＣＭＤを通じて読み取り命令ＲＤが伝達されると、第１メモリ装置３３は、読み取り命令ＲＤを自身に与えられた命令として認識して受け取り、次いで、第１メモリ装置３３は、読み取り命令から一つのクロックサイクル以後に自身のデータストローブ信号ＤＱＳを有効論理レベルに駆動し始め、バースト長によるデータの出力後に再び前記ＤＱＳ信号を有効論理レベル、すなわちローレベルに駆動する。

【００３７】

そして、読み取り命令ＲＤが第１メモリ装置３３に入力された後、再び第１メモリ装置３３に他の読み取り命令ＲＤが入力されると（Ｒｅａｄ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、第１メモリ装置３３は、ＤＱＳ信号をローレベルに駆動し続け、前記他の読み取り命令によるＣＡＳレイテンシ後に、前記ＤＱＳ信号をバースト長単位でトグル（ｔｏｇｇｌｅ）させた後で再び前記ＤＱＳ信号をローレベルに駆動する。この場合についてのタイミング図が図５Ａに示されている。

【００３８】

第２に、前記のように第１チップ選択信号／ＣＳａと第２チップ選択信号／ＣＳｂの値を適切に調節することによって、第１メモリ装置３３に読み取り命令ＲＤが入力された後、第２メモリ装置３５に他の読み取り命令ＲＤが入力されると（Ｒｅａｄ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、第１メモリ装置３３は、他の読み取り命令ＲＤをスヌーピングした後、次のクロックエッジで自身のデータストローブ信号ＤＱＳをローレベルからハイインピーダンスＨｉ－Ｚ状態に駆動する。すなわち、第１メモリ装置３３内のデータストローブ出力ドライバー（または、データストローブ出力バッファともいう）がターンオフされる。また、第２メモリ装置３５は、前記他の読み取り命令により第１メモリ装置３３のＤＱＳ出力ドライバーがターンオフされると共に、自身のＤＱＳ出力ドライバーをターンオンさせてＤＱＳ信号をローレベルに駆動し、バースト長単位でトグルさせた後で再びローレベルに駆動する。

【００３９】

第３に、第１メモリ装置３３に読み取り命令ＲＤが入力された後、第１メモリ装置３３または第２メモリ装置３３に書き込み命令ＷＲが入力されると（Ｒｅａｄ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｗｒｉｔｅ）、第１メモリ装置３３は、書き込み命令ＷＲ後、次のクロックエッジで自身のデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動する。しかし、実際には、メモリコントローラ３１がプリアンブルを始めて、データストローブ信号ＤＱＳバスラインはローレベルに維持され、次いで、ＤＱＳの駆動はメモリコントローラ３１が担当する。この場合についてのタイミング図が図５Ｂに示されている。

【００４０】

第４に、第１メモリ装置３３に書き込み命令ＷＲが入力された後、再び第１メモリ装置３３に読み取り命令ＲＤが入力されると（Ｗｒｉｔｅ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、第１メモリ装置３３は、読み取り命令ＲＤ後、次のクロックで自身のデータストローブ信号ＤＱＳをローレベルに駆動し、バースト長単位でトグルした後で再びローレベルに駆動する。この場合についてのタイミング図が図５Ｃに示されている。

【００４１】

第５に、第１メモリ装置３３に書き込み命令ＷＲが入力された後、第２メモリ装置３５に読み取り命令ＲＤが入力されると（Ｗｒｉｔｅ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、第２メモリ装置３３は、読み取り命令ＲＤをスヌーピングした後、次のクロックエッジで自身のデータストローブ信号ＤＱＳをローに駆動し、バースト長単位でトグルした後で再びローレベルに駆動する。

【００４２】

一方、チャンネル上で何らの動作も起きない場合、すなわち第１メモリ装置３３と第２メモリ装置３５がいずれもプリチャージスタンバイ状態である場合には、電力消費を減らすために、第１メモリ装置３３と第２メモリ装置３５それぞれは、自身のデータストロー

ブ信号をハイインピーダンスＨｉ－Ｚ状態に駆動する。すなわち、第１メモリ装置３３及び第２メモリ装置３５内のデータストローブ出力ドライバーがいずれもターンオフされる。ここで、プリチャージスタンバイ状態は、メモリ装置内のメモリセルに連結されたワードラインがディスエーブルされた状態をいう。

【００４３】

図３に示した実施形態は、Ｐｏｉｎｔ（メモリコントローラ３１）ｔｏｔｗｏ Ｐｏｉｎｔｓ（メモリ装置３３，３５）の応用例についての場合であるが、Ｐｏｉｎｔｔｏ Ｐｏｉｎｔの応用例では、一つのメモリ装置が自身についての命令状態のみを基準にデータストローブ出力ドライバーを制御できるので、さらに簡単な制御が可能である。

【００４４】

また、図３に示した実施形態は、本発明の概念をメモリ装置に適用した場合を示し、本発明の概念をメモリコントローラに適用することもあり、この場合には、メモリコントローラがデータストローブバスラインの状態を常に把握しているので、さらに容易に具現可能である。

【００４５】

図４は、本発明の好適な他の実施形態によるメモリシステムを概略的に示すブロック図である。本実施形態は、Ｐｏｉｎｔ（メモリコントローラ４１）ｔｏＰｏｉｎｔ（メモリ装置４３）の応用例を示す。

【００４６】

図４に示すように、本発明の好適な他の実施形態によるメモリシステムは、一つのメモリ装置４３、メモリ装置４３を制御するメモリコントローラ４１、データバスラインＤＱ、データストローブバスラインＤＱＳ、チップ選択信号バスライン／ＣＳａ及び命令／アドレスバスラインＣＭＤ／ＡＤＤを備える。

【００４７】

前記他の実施形態によるメモリシステムは、一つのメモリ装置４３のみを備え、一つのチップ選択信号バスライン／ＣＳａのみを含む。メモリ装置４３の構成は、図３に示したメモリ装置３３，３５と比較して一つのチップ選択ピン／ＣＳ０のみを有する。しかし、図３に示したメモリ装置を使用する場合には、第２チップ選択ピン／ＣＳ１には論理ハイレベルの電源電圧ＶＤＤが連結される。

【００４８】

メモリ装置４３は、図３に示したメモリ装置３３，３５と同様に、データバスラインＤＱに出力されるデータをストロービングするデータストローブ信号をデータストローブバスラインＤＱＳに出力し、特に読み取り動作時、ＤＱＳ信号の最終のトグルエッジ後、直ちにＤＱＳ信号をハイインピーダンスＨｉ－Ｚ状態に駆動せず、有効論理レベル、すなわちローレベルに駆動するように構成される。

【００４９】

すなわち、メモリ装置４３内のデータストローブ出力ドライバーが、バースト長単位でのデータ出力後にもデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動せず、データストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動しなければならない状況が発生するまで有効論理レベルに駆動するように構成される。

【００５０】

以下、図４に示した実施形態において、Ｐｏｉｎｔ Ｂに位置したメモリ装置４３が命令状況によってどのように反応するかを説明する。基本的に図３に示した実施形態の動作と類似しており、図５Ａ～Ｃのタイミング図によって動作する。

【００５１】

第１に、メモリコントローラ４１によりチップ選択信号／ＣＳａが論理“ロー”に活性化され、命令バスラインＣＭＤを通じて読み取り命令ＲＤが伝達されると、メモリ装置４３は、読み取り命令ＲＤを受け取り、次のクロックサイクルに自身のデータストローブ信号ＤＱＳをローレベルに駆動し、バースト長単位でトグルした後で再び有効論理レベル、すなわちローレベルに駆動する。

【００５２】
そして、読み取り命令ＲＤがメモリ装置４３に入力された後、再びメモリ装置４３に他の読み取り命令ＲＤが入力されると（Ｒｅａｄ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、メモリ装置４３は、ＤＱＳ信号をローレベルに駆動し、他の読み取り命令ＲＤによるＣＡＳレイテンシ後に、ＤＱＳ信号をバースト長単位でトグルした後で再びＤＱＳ信号をローレベルに駆動する。
【００５３】
第２に、チップ選択信号／ＣＳａが論理“ロー”に活性化され、メモリ装置４３に読み取り命令ＲＤが入力された後で再びメモリ装置４３に書き込み命令ＷＲが入力されると0（Ｒｅａｄ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｗｒｉｔｅ）、メモリ装置４３は、書き込み命令ＷＲ後、次のクロックエッジで自身のデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動する。しかし、実際には、メモリコントローラ４１がプリアンブルを始めて自身のデータストローブ信号ＤＱＳをローレベルに駆動するので、データストローブ信号ＤＱＳバスラインはローレベルに維持される。
【００５４】
第３に、チップ選択信号／ＣＳａが論理“ロー”に活性化され、メモリ装置４３に書き込み命令ＷＲが入力された後で読み取り命令ＲＤが入力されると（Ｗｒｉｔｅ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、メモリ装置４３は、読み取り命令ＲＤから一つのクロックサイクル後、自身のデータストローブ信号ＤＱＳを論理ローレベルに駆動し、次いで、バースト長単位でトグルさせた後で再びローレベルに駆動する。
【００５５】
一方、プリチャージスタンバイ状態では、メモリ装置４３が自身のデータストローブ信号をハイインピーダンスＨｉ－Ｚ状態に駆動する。すなわち、メモリ装置４３内のデータストローブ出力ドライバーがターンオフされる。
【００５６】
図６は、図４に示したＰｏｉｎｔ ｔｏ Ｐｏｉｎｔの応用例に用いられるメモリ装置のブロック図である。
【００５７】
図６に示すように、前記メモリ装置は、メモリセルアレイ６１、メモリセルアレイ６１から読み取られるデータを出力するデータ出力バッファ６２、データをストロービングするデータストローブ信号ＤＱＳを出力するデータストローブ出力バッファ６３、データストローブ信号ＤＱＳのパターンを発生させるＤＱＳパターン発生器６４、及び命令デコーダ６５を備える。また、前記メモリ装置は、チップ選択ピン／ＣＳ０、命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥ、クロックイネーブルピンＣＫＥ及びクロック入力ピンＣＫを備える。
【００５８】
命令デコーダ６５は、チップ選択ピン／ＣＳ０に入力される信号が論理ローレベルに活性化されると、命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて命令を受信してデコーディングし、その結果によってデータ出力バッファ６２、データストローブ出力バッファ６３及びＤＱＳパターン発生器６４を制御する。
【００５９】
さらに詳細に説明すれば、チップ選択ピン／ＣＳ０に入力される信号が論理ローレベルに活性化され、命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて読み取り命令ＲＤが入力されると、命令デコーダ６５は、読み取り命令印加後、次のクロックサイクルにデータストローブ出力バッファ６３をイネーブルさせてＤＱＳ信号をローレベルに駆動する。次いで、ＤＱＳパターン発生器６４は、前記読み取り命令のバースト長によってトグルするパターンをＤＱＳ出力バッファ６３に出力し、ＤＱＳ出力バッファ６３は、前記トグルパターンと一致するＤＱＳ信号を出力する。次いで、ＤＱＳ出力バッファ６３は、前記トグルが終了した後にもＤＱＳ信号をハイインピーダンス状態にせず、自身のデータストローブ信号ＤＱＳを最終のトグルエッジ後に直ちに有効論理レベル、すなわちローレベルに駆

動する。

【００６０】

そして、読み取り命令ＲＤが入力された後で再び他の読み取り命令ＲＤが入力されると（Ｒｅａｄ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、命令デコーダ６５は、データストローブ出力バッファ６３がＤＱＳ信号をローレベルに駆動し続けるように制御し、次いで、ＤＱＳパターン発生器６４は、前記他の読み取り命令のバースト長によってトグルするパターンをＤＱＳ出力バッファ６３に出力し、ＤＱＳ出力バッファ６３は、前記トグルパターンと一致するＤＱＳ信号を出力する。次いで、ＤＱＳ出力バッファ６３は、前記トグルが終了した後にもＤＱＳ信号をハイインピーダンス状態にせず、有効論理レベル、すなわちローレベルに駆動するように制御する。

【００６１】

チップ選択ピン／ＣＳ０に入力される信号が論理ローレベルに活性化され、命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて読み取り命令ＲＤが入力された後で書き込み命令ＷＲが入力されると（Ｒｅａｄ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｗｒｉｔｅ）、命令デコーダ６５は、データストローブ出力バッファ６３が書き込み命令ＷＲ後、次のクロックエッジで自身のデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動するように制御する。すなわち、データストローブ出力バッファ６３がターンオフされる。

【００６２】

チップ選択ピン／ＣＳ０に入力される信号が論理ローレベルに活性化され、命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて書き込み命令ＷＲが入力された後で読み取り命令ＲＤが入力されると（Ｗｒｉｔｅ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、命令デコーダ６５は、データストローブ出力バッファ６３が読み取り命令ＲＤ後、次のクロックサイクルに自身のデータストローブ信号ＤＱＳを直ちに論理ローレベルに駆動するように制御する。

【００６３】

一方、プリチャージスタンバイ状態では、データストローブ出力バッファ６３が自身のデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動するように制御する。

【００６４】

図７は、図３に示したＰｏｉｎｔ ｔｏ ｔｗｏ Ｐｏｉｎｔｓの応用例に用いられるメモリ装置のブロック図である。

【００６５】

図７に示すように、前記メモリ装置は、メモリセルアレイ７１、メモリセルアレイ７１から読み取られるデータをバッファリングして出力するデータ出力バッファ７２、データをストロービングするデータストローブ信号ＤＱＳをバッファリングして出力するデータストローブ出力バッファ７３、データストローブ信号ＤＱＳのパターンを発生させるＤＱＳパターン発生器７４、及び命令デコーダ７５を備える。また、前記メモリ装置は、第１チップ選択ピン／ＣＳ０、第２チップ選択ピン／ＣＳ１、命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥ、クロックイネーブルピンＣＫＥ及びクロック入力ピンＣＫを備える。

【００６６】

命令デコーダ７５は、第１チップ選択ピン／ＣＳ０に入力される信号が論理ローレベルに活性化され、第２チップ選択ピン／ＣＳ１に入力される信号が論理ハイレベルに不活性化されると、命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥ上の命令を自身に与えられた命令として認識して受け取る。そして、命令デコーダ７５は、受信された命令をデコーディングして、その結果によってデータ出力バッファ７２、データストローブ出力バッファ７３及びＤＱＳパターン発生器７４を制御する。

【００６７】

一方、第１チップ選択ピン／ＣＳ０に入力される信号が論理ハイレベルに不活性化され、第２チップ選択ピン／ＣＳ１に入力される信号が論理ローレベルに活性化されると、命令デコーダ７５は、命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥ上の命令を自身でない他の

メモリ装置に与えられた命令として認識して命令を受け取らない。

【００６８】

さらに詳細に説明すれば、第１チップ選択ピン／ＣＳ０に入力される信号が論理ローレベルに活性化され、第２チップ選択ピン／ＣＳ１に入力される信号が論理ハイレベルに不活性化され、命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて読み取り命令ＲＤが入力されると、命令デコーダ７５は、読み取り命令ＲＤの次のクロックサイクルで、データストローブ出力バッファ７３が自身から出力されるデータストローブ信号ＤＱＳを有効論理レベル、すなわちローレベルに駆動するように制御する。また、ＤＱＳパターン発生器７４は、前記読み取り命令のバースト長単位でのトグルパターンをＤＱＳ出力バッファ７３に出力し、ＤＱＳ出力バッファ７３は、前記トグルパターンのようなＤＱＳ信号を出力する。前記ＤＱＳ信号のトグルが終了した後、すなわちバースト長単位でのデータ出力が終了した後、ＤＱＳ出力バッファ７３は、再びＤＱＳ信号をローレベルに駆動する。

【００６９】

そして、読み取り命令ＲＤが入力された後で再び他の読み取り命令ＲＤが入力されると（Ｒｅａｄ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、命令デコーダ７５は、データストローブ出力バッファ７３が再び自身のデータストローブ信号ＤＱＳを論理ローレベルに駆動するように制御する。

【００７０】

命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて読み取り命令ＲＤが入力された後、第１チップ選択ピン／ＣＳ０に入力される信号が不活性化され、第２チップ選択ピン／ＣＳ１に入力される信号が活性化されて、自身でない他のメモリ装置に読み取り命令ＲＤが入力されると（Ｒｅａｄ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、命令デコーダ７５は、読み取り命令ＲＤをスヌーピングした後、次のクロックエッジで、データストローブ出力バッファ７３がデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動するように制御する。

【００７１】

命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて読み取り命令ＲＤが入力された後で書き込み命令ＷＲが入力されると（Ｒｅａｄ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｗｒｉｔｅ）、命令デコーダ７５は、書き込み命令ＷＲ後、次のクロックエッジで、データストローブ出力バッファ７３がデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動するように制御する。

【００７２】

命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて読み取り命令ＲＤが入力された後、第１チップ選択ピン／ＣＳ０に入力される信号が不活性化され、第２チップ選択ピン／ＣＳ１に入力される信号が活性化されて、自身でない他のメモリ装置に書き込み命令ＷＲが入力されると（Ｒｅａｄ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｗｒｉｔｅ）、命令デコーダ７５は、書き込み命令ＷＲをスヌーピングした後、次のクロックエッジで、データストローブ出力バッファ７３がデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動するように制御する。

【００７３】

命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて書き込み命令ＷＲが入力された後で読み取り命令ＲＤが入力されると（Ｗｒｉｔｅ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、命令デコーダ７５は、読み取り命令ＲＤ後、データストローブ出力バッファ７３がデータストローブ信号ＤＱＳを直ちに論理ローレベルに駆動するように制御する。

【００７４】

命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて書き込み命令ＷＲが入力された後、第１チップ選択ピン／ＣＳ０に入力される信号が不活性化され、第２チップ選択ピン／ＣＳ１に入力される信号が活性化されて、自身でない他のメモリ装置に読み取り命令ＲＤが入力されると（Ｗｒｉｔｅ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｒｅａｄ）、命令デコーダ７５は、読み取り命令ＲＤをスヌーピングした後、次のクロックエッジで、データストローブ出

力バッファ７３がデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動するように制御する。

【００７５】

命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて書き込み命令ＷＲが入力された後で再び書き込み命令ＷＲが入力されると（Ｗｒｉｔｅ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｗｒｉｔｅ）、命令デコーダ７５は、書き込み命令ＷＲ後、データストローブ出力バッファ７３がデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動するように制御する。

【００７６】

命令入力ピン／ＲＡＳ，／ＣＡＳ，／ＷＥを通じて書き込み命令ＷＲが入力された後、第１チップ選択ピン／ＣＳ０に入力される信号が不活性化され、第２チップ選択ピン／ＣＳ１に入力される信号が活性化されて、自身でない他のメモリ装置に書き込み命令ＷＲが入力されると（Ｗｒｉｔｅ ｆｏｌｌｏｗｅｄ ｂｙ ａ ｗｒｉｔｅ）、命令デコーダ７５は、書き込み命令ＷＲをスヌーピングした後、次のクロックエッジで、データストローブ出力バッファ７３がデータストローブ信号ＤＱＳをハイインピーダンスＨｉ－Ｚ状態に駆動するように制御する。

【００７７】

一方、図６及び図７に示したメモリ装置は、一般的に出力データＤＱをクロック信号ＣＫと同期させて出力させるためにＤＬＬ回路を備える。メモリ装置がＤＬＬを使用して出力データＤＱをクロック信号ＣＫと同期させて出力することによって、メモリコントローラが、出力データがメモリコントローラに到着する時間をさらに正確に予想でき、出力データを安定的に受信できる。

【００７８】

しかし、図６及び図７に示したメモリ装置は、ＤＬＬ回路を備えなくてもよい。かかる場合には、メモリコントローラが、メモリ装置から出力される出力データがメモリコントローラに到着する時間を正確に予想し難く、出力データを安定的に受信し難い。すなわち、メモリ装置のｔＳＡＣ（ｃｌｏｃｋ ｔｏ ｏｕｔｐｕｔ ｄｅｌａｙ）変動ウィンドウ、ｔＰＤ（データ／データストローブバスラインの伝播遅延時間）及びクロックスキューを合せた値がクロック信号ＣＫの一つのサイクルタイムを超過して、メモリコントローラの受信器が読み取りプリアンブル区間を予測し難くなる。

【００７９】

かかる問題点を解決するための方法として、プリアンブル区間を広くする方法があり、またはデータストローブ信号を常に有効論理レベルに維持することによって、メモリコントローラの受信器が有効ストローブトグルを認識可能にする方法がある。

【００８０】

図８は、メモリ装置がＤＬＬを含まなくても、メモリ装置から読み取られたデータをレイテンシの増加なしに安定的に受信できる本発明の好適な一実施形態によるメモリコントローラの受信器を示すブロック図である。この受信器は、メモリ装置に含まれてもよい。

【００８１】

図８に示すように、本発明の好適な一実施形態によるメモリコントローラの受信器は、データ入力バッファ８１、データストローブ入力バッファ８２、クロックバッファ８３、制御信号発生器８４、クロック発生器８５、複数個の奇数ビットデータラッチ回路８６，８８、複数個の偶数ビットデータラッチ回路８７，８９、スイッチング部９０及び内部データラッチ回路９１，９２を備える。

【００８２】

データ入力バッファ８１は、基準電圧ＶＲＥＦを基準としてデータＤＩＮを受信してバッファリングする。データストローブ入力バッファ８２は、基準電圧ＶＲＥＦを基準としてデータＤＩＮをストロービングするデータストローブ信号ＤＱＳを受信してバッファリングする。クロックバッファ８３は、基準電圧ＶＲＥＦを基準としてクロック信号ＣＫを受信してバッファリングする。

【００８３】
制御信号発生器８４は、データストローブ入力バッファ８２の出力を受けるパルス発生器８４１、及びパルス発生器８４１の出力に応答するリングカウンタ８４２を備える。パルス発生器８４１は、データストローブ入力バッファ８２の出力信号と同じラッチクロックＬＣＫを発生させる。リングカウンタ８４２は、ラッチクロックＬＣＫの遷移をカウンティングしてラッチ回路８６～８９をイネーブルする信号ＥＮ０～ＥＮ３を発生させる。リングカウンタ８４２は、ラッチクロックＬＣＫの立上りエッジに応答する複数個の奇数ビット用のイネーブル信号ＥＮ０，ＥＮ２と、ラッチクロックＬＣＫの立下りエッジに応答する複数個の偶数ビット用のイネーブル信号ＥＮ１，ＥＮ３とを発生させる。

【００８４】
イネーブル信号ＥＮ０～ＥＮ３は、まず、ラッチ回路８６～８９がイネーブルされるようにいずれも論理ハイとなる。次いで、ＥＮ０は、ＬＣＫの最初の立上りエッジ後にディスエーブルされ、再びＬＣＫの二番目の立上りエッジ後にイネーブルされ、ＬＣＫの三番目の立上りエッジ後にディスエーブルされる。ＥＮ１は、ＬＣＫの最初の立下りエッジ後にディスエーブルされ、再びＬＣＫの二番目の立下りエッジ後にイネーブルされ、三番目の立下りエッジ後にディスエーブルされる。ＥＮ２は、ＬＣＫの二番目の立上りエッジ後にディスエーブルされ、再びＬＣＫの三番目の立上りエッジ後にイネーブルされ、ＬＣＫの四番目の立上りエッジ後にディスエーブルされる。ＥＮ４は、ＬＣＫの二番目の立下りエッジ後にディスエーブルされ、再びＬＣＫの三番目の立下りエッジ後にイネーブルされ、ＬＣＫの四番目の立下りエッジ後にディスエーブルされる。

【００８５】
クロック発生器８５は、クロックバッファ８３によりバッファリングされたクロック信号を受けて、第１及び第２内部クロックＣＫＳ０，ＣＫＳ１を発生させる。

【００８６】
最初の奇数ビットラッチ回路８６は、奇数ビット用のイネーブル信号ＥＮ０に応答してイネーブルされ、ＬＣＫに応答して、データ入力バッファ８１によりバッファリングされた最初のデータ（すなわち、最初の奇数ビット）を受けてラッチする。詳しくは、最初の奇数ビットラッチ回路８６は、奇数ビット用のイネーブル信号ＥＮ０によりイネーブルされ、ラッチクロックＬＣＫの立上りエッジに応答して、前記最初のデータ（最初の奇数ビット）をラッチする第１フリップフロップ８６１、及びラッチクロックＬＣＫの立下りエッジに応答して、第１フリップフロップ８６１の出力をラッチする第２フリップフロップ８６２を備えて構成される。

【００８７】
最初の偶数ビットラッチ回路８７は、偶数ビット用のイネーブル信号ＥＮ１に応答してイネーブルされ、ＬＣＫの立下りエッジに応答して、データ入力バッファ８１によりバッファリングされた二番目のデータ（すなわち、最初の偶数ビット）を受けてラッチする。最初の偶数ビットラッチ回路８７は、フリップフロップで構成される。

【００８８】
二番目の奇数ビットラッチ回路８８は、奇数ビット用のイネーブル信号ＥＮ２に応答してイネーブルされ、ＬＣＫに応答して、データ入力バッファ８１によりバッファリングされた三番目のデータ（すなわち、二番目の奇数ビット）を受けてラッチする。詳しくは、二番目の奇数ビットラッチ回路８８は、奇数ビット用のイネーブル信号ＥＮ２によりイネーブルされ、ラッチクロックＬＣＫの立上りエッジに応答して、前記三番目のデータ（すなわち、二番目の奇数ビット）をラッチする第１フリップフロップ８８１、及びラッチクロックＬＣＫの立下りエッジに応答して、第１フリップフロップ８８１の出力をラッチする第２フリップフロップ８８２を備えて構成される。

【００８９】
二番目の偶数ビットラッチ回路８９は、偶数ビット用のイネーブル信号ＥＮ３に応答してイネーブルされ、ＬＣＫの立下りエッジに応答して、データ入力バッファ８１によりバッファリングされた四番目のデータ（すなわち、二番目の偶数ビット）を受けてラッチす

る。二番目の偶数ビットラッチ回路８９は、フリップフロップで構成される。

【００９０】

スイッチング部９０は、第１及び第２内部クロックＣＫＳ０，ＣＫＳ１に応答して、奇数ビットラッチ回路８６，８８にラッチされたデータ（奇数ビット）と偶数ビットラッチ回路８７，８９にラッチされたデータ（偶数ビット）とを内部データラッチ回路９１，９２に伝達する。

【００９１】

スイッチング部９０は、第１スイッチ９０１、第２スイッチ９０２、第３スイッチ９０３及び第４スイッチ９０４を備える。第１スイッチ９０１は、第１内部クロックＣＫＳ０に応答して、最初の奇数ビットラッチ回路８６にラッチされた最初のデータ（最初の奇数ビット）を内部データラッチ回路９１に伝達する。第２スイッチ９０２は、第１内部クロックＣＫＳ０に応答して、最初の偶数ビットラッチ回路８７にラッチされた二番目のデータ（最初の偶数ビット）を内部データラッチ回路９１に伝達する。

【００９２】

第３スイッチ９０３は、第２内部クロックＣＫＳ１に応答して、二番目の奇数ビットラッチ回路８８にラッチされた三番目のデータ（二番目の奇数ビット）を内部データラッチ回路９２に伝達する。第４スイッチ９０４は、第２内部クロックＣＫＳ１に応答して、二番目の偶数ビットラッチ回路８９にラッチされた四番目のデータ（二番目の偶数ビット）を内部データラッチ回路９２に伝達する。

【００９３】

内部データラッチ回路９１は、伝達された最初のデータ（最初の奇数ビット）と伝達された二番目のデータ（最初の偶数ビット）とをラッチする。内部データラッチ回路９２は、伝達された三番目のデータ（二番目の奇数ビット）と伝達された四番目のデータ（二番目の偶数ビット）とをラッチする。

【００９４】

図９は、図８に示したメモリコントローラの受信器のタイミング図である。ここでは、ＣＬが３であり、ＢＬが８であり、メモリコントローラの受信器ＣＴＲＬがメモリ装置ＤＲＡＭから読み取られるデータを受信する場合についてのタイミング図が示されている。

【００９５】

図９で、ｔＳＡＣ（ｍａｘ）は、最大のｃｌｏｃｋ ｔｏｏｕｔｐｕｔ ｄｅｌａｙを表し、ｔＳＡＣ（ｍｉｎ）は、最小のｃｌｏｃｋ ｔｏ ｏｕｔｐｕｔ ｄｅｌａｙを表す。ＴＷＩＮは、ｔＳＡＣ変動ウィンドウであって、ｔＳＡＣ（ｍａｘ）とｔＳＡＣ（ｍｉｎ）との差を表す。ＴＰＤは、データがメモリ装置からメモリコントローラまで伝達される伝播時間を表す。

【００９６】

ＤＱＳ１は、ｔＳＡＣ（ｍａｘ）である場合、メモリ装置から出力されたデータストローブ信号ＤＱＳがメモリコントローラに到着された遅延されたＤＱＳを表し、ＤＱＳ２は、ｔＳＡＣ（ｍｉｎ）である場合、メモリ装置から出力されたデータストローブ信号ＤＱＳがメモリコントローラに到着された遅延されたＤＱＳを表す。すなわち、ＤＱＳ１，ＤＱＳ２は、それぞれメモリ装置から出力されたデータストローブ信号ＤＱＳが、ｔＳＡＣ（ｍａｘ）条件とｔＳＡＣ（ｍｉｎ）条件とでマザーボード上の伝播時間ＴＰＤ単位で遅延され、メモリコントローラでデータをセンタストロービングできるように９０°シフトされた信号である。

【００９７】

メモリコントローラは、読み取り命令ＲＥＡＤ後、三つのクロックサイクル時間に伝播時間ＴＰＤを加算した時間後に、メモリ装置からデータがメモリコントローラに到着するということを予測できる。すなわち、メモリコントローラは、Ｔ４付近でデータが入ることを予測する。しかし、実際には、メモリ装置のｔＳＡＣ変動ウィンドウＴＷＩＮによってデータがメモリコントローラに到着する時間が異なる。

【００９８】

ＥＮ０～ＥＮ３は、ラッチ回路８６～８９をイネーブルするイネーブル信号であり、ここでは、ｔＳＡＣ（ｍａｘ）のＤＱＳ１を基準として示した。

【００９９】

ＥＮ０は、前記最初のデータ（最初の奇数ビット）を最初の奇数ビットラッチ回路８６の第１フリップフロップ８６１により受け取り、ＤＱＳ１の最初の立上りエッジにラッチした後でディスエーブルされる。ＥＮ１は、前記二番目のデータ（最初の偶数ビット）を最初の偶数ビットラッチ回路８７のフリップフロップにより受け取り、ＤＱＳ１の最初の立下りエッジにラッチした後でディスエーブルされる。ＥＮ２は、前記三番目のデータ（二番目の奇数ビット）を二番目の奇数ビットラッチ回路８８の第１フリップフロップ８８１により受け取り、ＤＱＳ１の二番目の立上りエッジにラッチした後でディスエーブルされる。ＥＮ３は、前記四番目のデータ（二番目の偶数ビット）を二番目の偶数ビットラッチ回路８９のフリップフロップにより受け取り、ＤＱＳ１の二番目の立下りエッジにラッチした後でディスエーブルされる。

【０１００】

また、最初の奇数ビットラッチ回路８６の第２フリップフロップ８６２は、第１フリップフロップ８６１により受け取られた前記最初のデータ（最初の奇数ビット）をラッチする。二番目の奇数ビットラッチ回路８８の第２フリップフロップ８８２は、第１フリップフロップ８８１により受け取られた前記三番目のデータ（二番目の奇数ビット）をラッチする。

【０１０１】

次いで、最初の奇数ビットラッチ回路８６及び最初の偶数ビットラッチ回路８７にラッチされたデータを第１内部データラッチ回路９１に伝達するために、第１内部クロックＣＫＳ０がイネーブルされなければならない。ＣＫＳ０がイネーブルされる時点は、最初の奇数ビットラッチ回路８６の第２フリップフロップ８６２及び最初の偶数ビットラッチ回路８７にデータがラッチされた後であればよいので、少なくともＤＱＳ１の最初の立下りエッジより遅ければよい。

【０１０２】

もし、ＤＱＳ２を基準として、すなわちｔＳＡＣ（ｍｉｎ）を基準としてデータがメモリコントローラに受信されると、ＥＮ０～ＥＮ３は、図８で説明されたように生成される。しかし、ＣＫＳ０は、少なくともＤＱＳ２の三番目の立下りエッジよりは早くなければならない。なぜならば、五番目のデータ（三番目の奇数ビット）及び六番目のデータ（三番目の偶数ビット）が、最初の奇数ビットラッチ回路８６の第２フリップフロップ８６２及び最初の偶数ビットラッチ回路８７にラッチされた前記最初のデータ（最初の奇数ビット）及び前記二番目のデータ（最初の偶数ビット）に上書きされるより早くＣＫＳ０をイネーブルさせて始めて、第１内部データラッチ回路９１に前記最初のデータ（最初の奇数ビット）及び前記二番目のデータ（最初の偶数ビット）を伝達できるためである。

【０１０３】

したがって、ＣＫＳ０の立上りエッジは、ＤＱＳ１の最初の立下りエッジより遅く、ＤＱＳ２の三番目の立下りエッジよりは早くなければならない。

【０１０４】

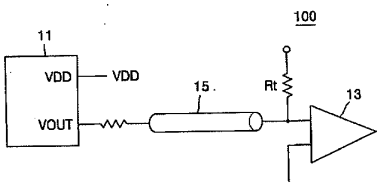
もし、ｔＳＡＣ変動ウィンドウＴＷＩＮがさらに大きくなれば、データをラッチするフリップフロップをさらに含めることによって、ｔＳＡＣ変動ウィンドウＴＷＩＮに影響を受けず、メモリコントローラがデータを正確に受信できる。

【０１０５】

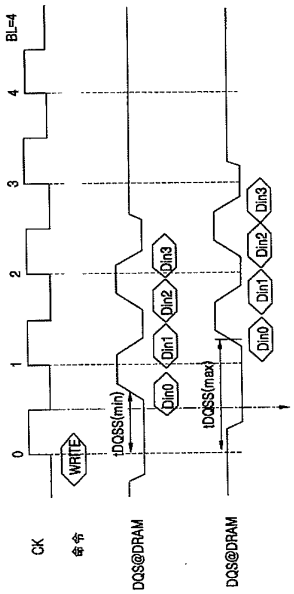
以上、図面と明細書で最適の実施形態が開示された。ここでは、特定の用語が用いられているが、これは単に、本発明を説明するための目的で使われたものであり、意味の限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、当業者であれば、これから多様な変形及び均等な他の実施形態が可能であるという点を理解できるであろう。したがって、本発明の真の技術的な保護範囲は、特許請求の範囲の記載に基づいて定められなければならない。

【産業上の利用可能性】
【０１０６】
本発明は、ＣＴＴを使用するメモリシステム及びそれに採用されるメモリ装置に利用できる。
【図面の簡単な説明】
【０１０７】
【図１】一般的なＣＴＴを使用するメモリシステムを示す図面である。
【図２Ａ】書き込み動作時における、ＤＤＲシンクロナスＤＲＡＭのタイミング図である。
【図２Ｂ】読み取り動作時における、ＤＤＲシンクロナスＤＲＡＭのタイミング図である。
【図３】本発明の好適な一実施形態によるメモリシステムを概略的に示すブロック図である。
【図４】本発明の好適な他の実施形態によるメモリシステムを概略的に示すブロック図である。
【図５Ａ】、
【図５Ｂ】、
【図５Ｃ】図３または図４に示したメモリシステムのタイミング図である。
【図６】図４に示したメモリシステムに用いられるメモリ装置のブロック図である。
【図７】図３に示したメモリシステムに用いられるメモリ装置のブロック図である。
【図８】本発明の好適な一実施形態によるメモリコントローラの受信器を示すブロック図である。
【図９】図８に示したメモリコントローラの受信器のタイミング図である。
【符号の説明】
【０１０８】
３１　メモリコントローラ
３３，３５　メモリ装置
ＤＱ　データバスライン
ＤＱＳ　データストローブバスライン
／ＣＳａ　第１チップ選択信号バスライン
／ＣＳｂ　第２チップ選択信号バスライン
ＣＭＤ／ＡＤＤ　命令／アドレスバスライン
／ＣＳ０　第１チップ選択ピン
／ＣＳ１　第２チップ選択ピン

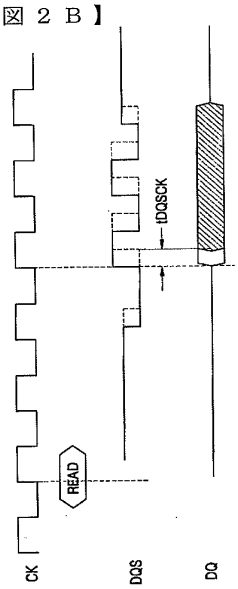
【図１】



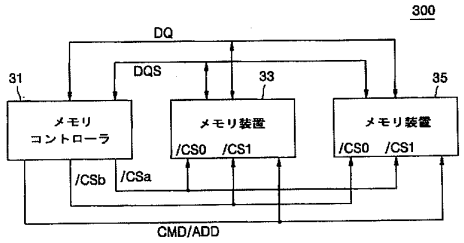
【図２Ａ】



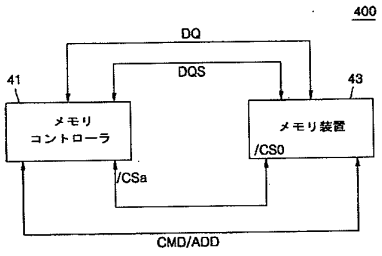
【図２Ｂ】



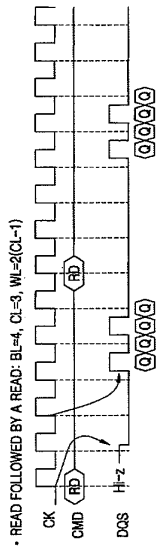
【図３】



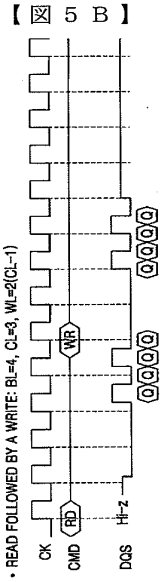
【図４】



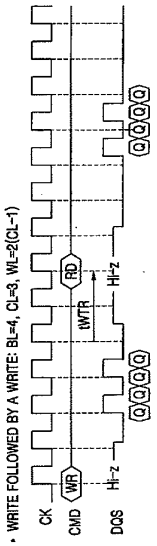
【図５Ａ】



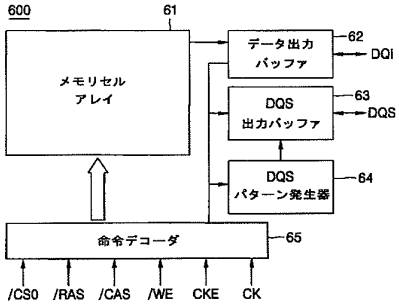
【図５Ｂ】



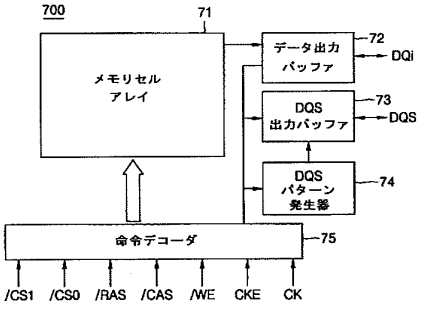
【図５Ｃ】



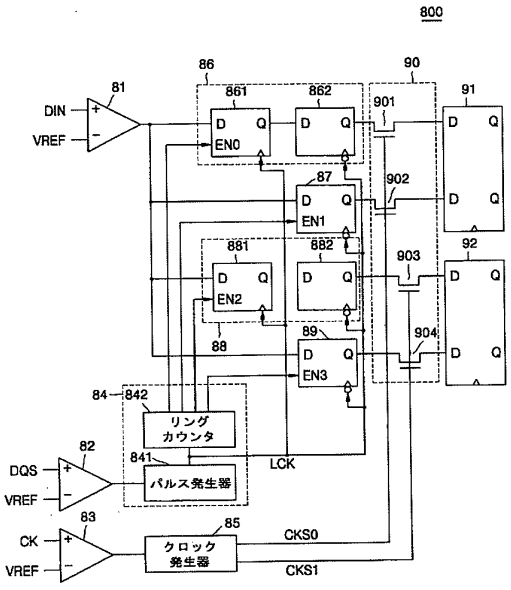
【図６】



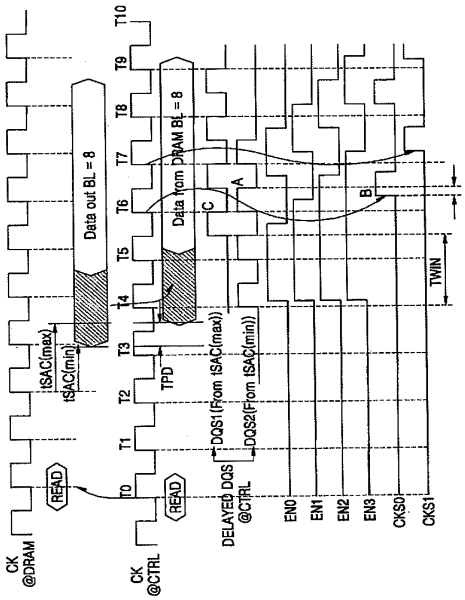
【図７】



【図８】


800
81
DIN
VREF
86
861
862
D Q
EN0
87
EN1
881
882
EN2
88
89
EN3
90
901
902
903
904
91
92
84
842
リング
カウンタ
841
パルス発生器
LCK
82
DQS
VREF
83
CK
VREF
85
クロック
発生器
CKS0
CKS1

【図９】


T10
T9
T8
T7
T6
T5
T4
T3
T2
T1
T0
Data out BL = 8
Data from DRAM BL = 8
A
B
C
TWIN
tSAC(max)
tSAC(min)
TPD
DQS1(From tSAC(max))
DQS2(From tSAC(min))
READ
READ
CK @DRAM
CK @CTRL
DELAYED DQS @CTRL
EN0
EN1
EN2
EN3
CKS0
CKS1

フロントページの続き

(74)代理人 100116894
弁理士 木村 秀二
(72)発明者 李東陽
大韓民国京畿道龍仁市水枝邑豊徳川里１１６７番地鎭山マウルアパート５２６棟３０８号

Ｆターム(参考) 5B060 CC01
5M024 AA22 BB27 BB33 DD83 JJ03 JJ40 KK35 PP01 PP02 PP03
PP07

DEVICE AND METHOD FOR CONTROLLING DDR MEMORY WRITE

Publication number:	JP2006085851
Publication date:	2006-03-30
Inventor:	AMAGASAKI SEIICHI
Applicant:	NEC ENGINEERING LTD
Classification:	
- international:	***G11C11/407;*** **G11C11/407;**
- European:	
Application number:	JP20040271032 20040917
Priority number(s):	JP20040271032 20040917

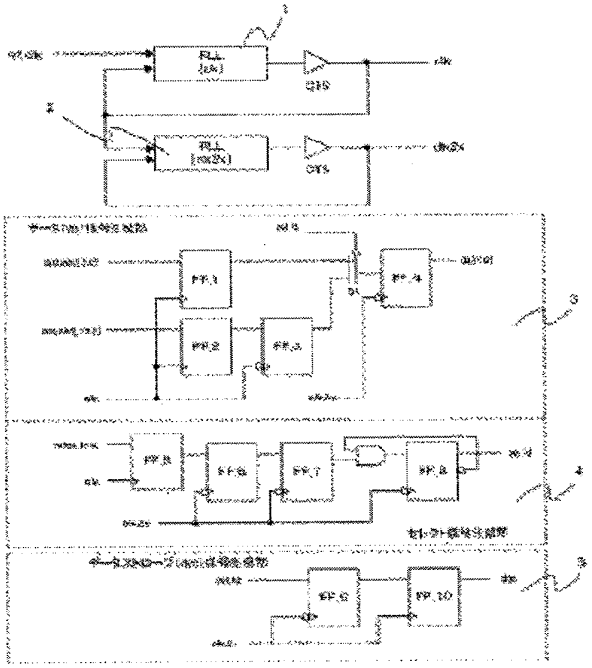
Report a data error here

Abstract of **JP2006085851**

PROBLEM TO BE SOLVED: To provide a device and a method for controlling DDR memory write, capable of satisfying data signal electric specifications (setting up, and holding) for data strobe signal without being affected by a variance in gate delay value caused by a temperature fluctuation, a power supply voltage fluctuation, a manufacturing error or the like accompanying the high speed of a memory clock.

SOLUTION: A desired frequency is set by a PLL 10 to generate a clock signal. A double clock signal is generated from the clock signal. The clock signal and the double clock signal are equal to each other in phase. A start signal is made active by synchronizing with the rise edge of the clock signal to input it to a select signal generation part 40. The start signal is sampled by the fall edge of the double clock signal to output a select signal. The select signal uses a data signal sampled by the rise edge of the clock signal and a data signal sampled by the rise edge of the clock signal->subsequent falling edge as switching conditions. The data selected by the select signal is sampled again by synchronizing with the fall edge of the double clock signal to obtain a rate-converted data signal.

COPYRIGHT: (C)2006,JPO&NCIPI



Data supplied from the ***esp@cenet*** database - Worldwide

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-85851
(P2006-85851A)
(43)公開日　平成18年3月30日(2006.3.30)

(51) Int.Cl.		F I			テーマコード（参考）
G11C 11/407	(2006.01)	G11C	11/34	362S	5M024
		G11C	11/34	354C	

審査請求 有　請求項の数 2　OL　（全 7 頁）

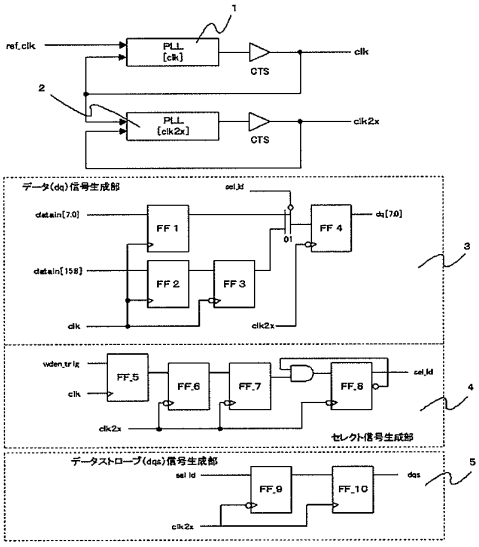
(21)出願番号　特願2004-271032 (P2004-271032)
(22)出願日　平成16年9月17日 (2004.9.17)

(71)出願人　303013763
ＮＥＣエンジニアリング株式会社
東京都港区芝浦三丁目１８番２１号
(74)代理人　100109313
弁理士　机　昌彦
(74)代理人　100136814
弁理士　工藤　雅司
(74)代理人　100111637
弁理士　谷澤　靖久
(72)発明者　尼崎　　誠一
東京都港区芝浦三丁目１８番２１号　日本電気エンジニアリング株式会社内

Ｆターム(参考)　5M024 AA49 BB27 BB34 DD39 DD83 JJ03 JJ04 JJ38 PP01 PP07

(54)【発明の名称】ＤＤＲメモリライト制御装置及び方法

(57)【要約】
【課題】クロックの高速化に伴いゲートディレイ値のばらつきがＤＤＲメモリライト装置の書き込み動作に大きな影響を及ぼしていた。
【構成】　ＰＬＬ１０で所望の周波数を設定しクロック信号を生成する。クロック信号から更に２逓倍クロック信号を生成する。クロック信号と２逓倍クロック信号の位相は等しい。クロック信号のライズエッジに同期して起動信号をアクティブとしセレクト信号生成部４０へ入力する。２逓倍クロック信号のフォールエッジで起動信号をサンプリングしセレクト信号を出力する。セレクト信号はクロック信号のライズエッジでサンプリングしたデータ信号と、クロック信号のライズエッジ→引き続きフォールエッジでサンプリングしたデータ信号を切り換える条件として使用する。セレクト信号により選択されたデータを、２逓倍クロック信号のフォールエッジ同期で再びサンプリングし、レート変換されたデータ信号を得る。
【選択図】　図１



【特許請求の範囲】
【請求項１】
メモリ書き込み制御の基準クロックを発生するメモリクロック発生手段と、前記基準クロックに対し同相かつ２逓倍の周波数となる２逓倍クロックを生成する２逓倍クロック生成手段と、
前記２逓倍クロックのライズエッジ或いはフォールエッジを排他的に使用してデータストローブ信号を生成するデータストローブ信号生成手段と、
前記２逓倍クロックのフォールエッジ同期で出力されるセレクト信号を生成するセレクト信号生成手段と、
前記基準クロックのライズエッジ或いはフォールエッジを排他的に使用して、前記セレクト信号により選択されたデータを、前記２逓倍クロック信号のフォールエッジ同期でサンプリングしてデータ信号を生成するデータ信号生成手段とを備えてなることを特徴とするＤＤＲメモリライト制御装置。
【請求項２】
メモリ書き込み制御の基準クロックに対し同相かつ２逓倍の周波数となる２逓倍クロックを生成するステップと、
前記２逓倍クロックのライズエッジ或いはフォールエッジを排他的に使用してデータストローブ信号を生成するステップと、
前記２逓倍クロックのフォールエッジ同期でセレクト信号を生成するステップと、
前記基準クロックのライズエッジ或いはフォールエッジを排他的に使用して、前記セレクト信号により選択されたデータを、前記２逓倍クロック信号のフォールエッジ同期でサンプリングしてデータ信号を生成するステップとからなることを特徴とするＤＤＲメモリライト制御方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、メモリクロックに対し同相でかつ２逓倍のクロックのライズ（ポジ）エッジ、フォール（ネガ）エッジを使用した、メモリインタフェースのデータ信号とデータストローブ信号生成部におけるＤＤＲメモリライト制御装置及び方法に関する。
【背景技術】
【０００２】
従来のＤＤＲ（Double-Data-Rate）メモリライト制御装置は、使用するメモリクロックの周波数もそれほど高くないこともあり、ゲートディレイ（ゲートの持つそのものの遅延）を利用しメモリインタフェースのデータストローブ信号に対するデータ信号のセットアップ、ホールド規格を満足させることが一般的であり、図４に示すようにゲートディレイ２００を使用する回路構成によりＤＤＲメモリライト制御を行っていた。
しかしながら、使用するメモリクロックの高速化に伴い、温度変動、電源電圧変動、製造誤差等に基づくゲートディレイ値のばらつきが信号制御に与える影響を無視できない状況になっている。
このため、高速なメモリクロックを用いてデータストローブ信号に対するデータ信号のセットアップ、ホールド規格を満足させようとするＤＤＲメモリライト制御においては、そのばらつきが原因でゲートディレイを利用することができなくなっていた。
なお、２つのＰＬＬ（フェーズド・ロックド・ループ）を使用し出力されるクロックのフェーズジッタ、デューティ誤差を抑えるＰＬＬの技術としては、特開平０８－２５１０１９号公報記載の「ＰＬＬ回路」が挙げられる。また、遅延素子を使用し入力のクロックに対し出力データの遅延を併せ込むＤＬＬ（ディレイ・ロックド・ループ）としては、特開２０００－１９５２６３公報「半導体記憶装置」を挙げることができる。
【０００３】
【特許文献１】特開平０８－２５１０１９号公報
【特許文献２】特開２０００－１９５２６３公報

【発明の開示】
【発明が解決しようとする課題】
【０００４】
従来技術においては、使用するメモリクロックの高速化に伴う、温度変動、電源電圧変動、製造ばらつきによるゲートディレイ値のばらつきの増大については考慮されていなかった。
【０００５】
本発明の目的は、ゲートディレイを利用しメモリインタフェースのデータストローブ信号に対するデータ信号のセットアップ、ホールド規格を満足させる回路構成のＤＤＲメモリライト制御において、メモリクロックの高速化に伴う、温度変動、電源電圧変動、製造誤差等によるゲートディレイ値のばらつきの影響を受けることなく、データストローブ信号に対するデータ信号の電気的仕様（セットアップ、ホールド）を満足させるＤＤＲメモリライト制御装置及び方法を実現することにある。
【課題を解決するための手段】
【０００６】
上述の課題を解決するために、本発明のＤＤＲメモリライト制御装置は、メモリ書き込み制御の基準クロックを発生するメモリクロック発生手段と、前記基準クロックに対し同相かつ２逓倍の周波数となる２逓倍クロックを生成する２逓倍クロック生成手段と、前記２逓倍クロックのライズエッジ或いはフォールエッジを排他的に使用してデータストローブ信号を生成するデータストローブ信号生成手段と、前記２逓倍クロックのフォールエッジ同期で出力されるセレクト信号を生成するセレクト信号生成手段と、前記基準クロックのライズエッジ或いはフォールエッジを排他的に使用して、前記セレクト信号により選択されたデータを、前記２逓倍クロック信号のフォールエッジ同期でサンプリングしてデータ信号を生成するデータ信号生成手段とによって構成されることを特徴とする。
【０００７】
また、本発明のＤＤＲメモリライト制御方法は、メモリ書き込み制御の基準クロックに対し同相かつ２逓倍の周波数となる２逓倍クロックを生成するステップと、前記２逓倍クロックのライズエッジ或いはフォールエッジを排他的に使用してデータストローブ信号を生成するステップと、前記２逓倍クロックのフォールエッジ同期でセレクト信号を生成するステップと、前記基準クロックのライズエッジ或いはフォールエッジを排他的に使用して、前記セレクト信号により選択されたデータを、前記２逓倍クロック信号のフォールエッジ同期でサンプリングしてデータ信号を生成するステップとからなることを特徴とする。
【発明の効果】
【０００８】
以上説明してきたとおり本発明のＤＤＲメモリライト制御装置及び方法によれば、メモリクロック同相かつ２逓倍周期のクロックのライズエッジ及びフォールエッジを用いて、データ信号回路及びデータストローブ信号生成回路で夫々排他的に使用することにより、遅延素子の遅延値のばらつきをＰＬＬのばらつきに置き換えることが可能となり、２逓倍クロックの半周期分のマージンを確保することができこれまで使用してきたメモリクロックの周波数を１ランク～２ランク向上させるという効果を奏する。
【発明を実施するための最良の形態】
【０００９】
次に、本発明の実施の形態について図面を参照して詳細に説明する。
【００１０】
図１は、本発明を実施したＤＤＲメモリライト制御装置の構成を示すブロック図である。
このＤＤＲメモリライト制御装置の実施形態では、リファレンスクロック（ｒｅｆ＿ｃｌｋ）信号からメモリクロック（ｃｌｋ）信号を生成するＰＬＬ１０、このＰＬＬ１０の出力をさらにリファレンスクロックとして、メモリクロック（ｃｌｋ）信号の２逓倍の周波

数となる２逓倍クロック（ｃｌｋ２ｘ）信号を生成するＰＬＬ２０が設けられている。さらにメモリクロック（ｃｌｋ）信号に同期し、メモリインタフェースのデータ幅に対し２倍のデータ量のメモリライトデータとなるｄａｔａｉｎ［２ｎ：０］信号から、２逓倍クロック（ｃｌｋ２ｘ）のフォール（ネガ）エッジ同期のデータ（ｄｑ）［ｎ：０］信号を生成するデータ（ｄｑ）信号生成部３０、メモリクロック（ｃｌｋ）信号に同期したメモリライトの起動信号であるｗｄｅｎ＿ｔｒｉｇ信号から、２逓倍クロック（ｃｌｋ２ｘ）のフォール（ネガ）エッジ同期のメモリライトデータ信号のセレクト信号およびデータストローブ信号のイネーブル信号となるｓｅｌ＿ｌｄ信号を生成するセレクト信号生成部４０、上述のｓｅｌ＿ｌｄ信号から２逓倍クロック（ｃｌｋ２ｘ）のライズ（ポジ）エッジ同期のデータストローブ（ｄｑｓ）信号を生成するデータストローブ（ｄｑｓ）信号生成部５０によって構成されている。

本ＤＤＲメモリライト制御装置は、データ（ｄｑ）信号生成部３０から出力されるデータ（ｄｑ）［ｎ：０］信号と、データストローブ（ｄｑｓ）信号生成部５０から出力されるデータストローブ（ｄｑｓ）信号に基づき動作する。

続いて、本実施形態の制御動作について図１から図３を参照しながら詳細に説明する。

リファレンスクロック（ｒｅｆ＿ｃｌｋ）信号をＰＬＬ１０のリファレンスクロックとして、このＰＬＬ１０をメモリのクロックとして使用する周波数に設定し、ＰＬＬ１０より出力させたクロックをメモリクロック（ｃｌｋ）信号とする。このメモリクロック（ｃｌｋ）信号をさらにＰＬＬ２０のリファレンスクロックとして、ＰＬＬ２０の設定をリファレンスクロックの２逓倍の周波数になるよう設定し、ＰＬＬ２０より出力させたクロックを２逓倍クロック（ｃｌｋ２ｘ）信号とする。この装置構成をとることでメモリクロック（ｃｌｋ）信号と、２逓倍クロック（ｃｌｋ２ｘ）信号の位相が同じになる。

次に、メモリライト動作起動時においてメモリクロック（ｃｌｋ）信号のライズ（ポジ）エッジに同期したメモリライト起動（ｗｄｅｎ＿ｔｒｉｇ）信号をアクティブ（”１”）とし、セレクト信号生成部４０へ入力させる。そして２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジで、このメモリライト起動（ｗｄｅｎ＿ｔｒｉｇ）信号をサンプリングし、２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジに同期したＦＦ＿７の出力信号をアクティブ（”１”）にセットする。これにより２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期であるＦＦ＿８の出力（ｓｅｌ＿ｌｄ）信号の動作を開始させる。セレクト信号生成部４０から出力されたセレクト（ｓｅｌ＿ｌｄ）信号は、データ（ｄｑ）信号生成部３０とデータストローブ（ｄｑｓ）信号生成部５０にそれぞれ入力される。

次に図２の各信号のタイムチャートを用いて説明する。まず、メモリクロック（ｃｌｋ）信号のライズ（ポジ）エッジに同期させてｔ０のタイミングで”１”に立ち上げられたメモリライト起動（ｗｄｅｎ＿ｔｒｉｇ）信号は、メモリクロック（ｃｌｋ）信号のライズ（ポジ）エッジ同期のＦＦ＿５によりｔ１のタイミングでサンプリングされる。さらにＦＦ＿５からの出力信号は、２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期のＦＦ＿６によりｓ０のタイミングでサンプリングされる。引き続き、ＦＦ＿６からの出力信号は、２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期のＦＦ＿７によりｓ１のタイミングでサンプリングされる。この、ＦＦ＿７から出力された信号が、ＦＦ＿８のイネーブルとして動作を行う。

次に２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期のＦＦ＿８は、ＦＦ＿７から出力された信号をイネーブルとして動作を開始するため、ｓ２のタイミングで”１”を出力し、ｓ３のタイミングで”０”を出力する。以後ｓ９のタイミングでＦＦ＿７からの出力が”０”になるまで、ｓ４、ｓ６、ｓ８のタイミングで”１”を、ｓ５、ｓ７、ｓ９のタイミングで”０”を交互に出力する。

また、データ（ｄｑ）信号生成部３０へ入力されたセレクト（ｓｅｌ＿ｌｄ）信号は、メモリクロック（ｃｌｋ）信号のライズ（ポジ）エッジでサンプリングした８ビットのメモリライトデータ（ｄａｔａｉｎ［７：０］）信号と、まずメモリクロック（ｃｌｋ）信号のライズ（ポジ）エッジで、引き続いてフォール（ネガ）エッジでサンプリングした８ビ

ットのメモリライトデータ（ｄａｔａｉｎ［１５：８］）信号を切り換える判断条件信号として使用される。このセレクト（ｓｅｌ＿ｌｄ）信号によって選択されたデータを、２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期のＦＦ＿４で再びサンプリングする。この結果、最終的に２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジに同期し、１６ビットのメモリライトデータ（ｄａｔａｉｎ［１５：０］）のレートに対し２倍のレートに変換された８ビットのデータ（ｄｑ）［７：０］信号をデータ（ｄｑ）信号生成部３０より得ることができる。

メモリクロック（ｃｌｋ）信号のライズ（ポジ）エッジに同期したメモリライトデータ（ｄａｔａｉｎ［１５：０］）信号は、ｔ２、ｔ３、ｔ４、ｔ５のタイミングで夫々値が切り換えられ、メモリクロック（ｃｌｋ）信号のライズ（ポジ）エッジ同期のＦＦ＿１、ＦＦ＿２によりそれぞれサンプリングされる。

また、１６ビットのメモリライトデータ（ｄａｔａｉｎ［１５：０］）信号のうち、８ビットのメモリライトデータ（ｄａｔａｉｎ［１５：８］）信号については、ＦＦ＿２から出力された後、さらにメモリクロック（ｃｌｋ）信号のフォール（ネガ）エッジ同期のＦＦ＿３によりサンプリングされる。従って、メモリクロック（ｃｌｋ）信号のライズ（ポジ）エッジ同期のＦＦ＿１からの出力信号に対し、メモリクロック（ｃｌｋ）信号のフォール（ネガ）エッジ同期のＦＦ＿３からの出力信号は、位相がメモリクロック（ｃｌｋ）信号で１８０度ずれていることになる。

さらに２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期のＦＦ＿８の出力であるセレクト（ｓｅｌ＿ｌｄ）信号は、メモリクロック（ｃｌｋ）信号同期のＦＦ＿１、ＦＦ＿３からの出力信号に対し位相がメモリクロック（ｃｌｋ）信号で９０度分ずれていることになる。このことから、２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期のＦＦ＿８の出力であるセレクト（ｓｅｌ＿ｌｄ）信号が”１”の場合に、メモリクロック（ｃｌｋ）信号のライズ（ポジ）エッジに同期したＦＦ＿１からの出力信号を選択し、逆に”０”の場合に、メモリクロック（ｃｌｋ）信号のフォール（ネガ）エッジ同期のＦＦ＿３からの出力を選択することになる。

２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期のＦＦ＿４は、２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期に選択された８ビットの信号をｓ３、ｓ４、ｓ５、ｓ６、ｓ７、ｓ８、ｓ９、ｓ１０とサンプリングし、２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期の８ビットデータ（ｄｑ）［７：０］として、データ（ｄｑ）信号生成部３０から出力される。

データストローブ（ｄｑｓ）信号生成部５０へ入力されたセレクト（ｓｅｌ＿ｌｄ）信号は、まず２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期のＦＦ＿９でサンプリングされ、引き続き２逓倍クロック（ｃｌｋ２ｘ）信号のライズ（ポジ）エッジ同期のＦＦ＿１０で再びサンプリング後、最終的に２逓倍クロック（ｃｌｋ２ｘ）信号のライズ（ポジ）エッジに同期したデータストローブ（ｄｑｓ）信号としてデータストローブ（ｄｑｓ）信号生成部５０より出力される。

２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期のＦＦ＿８の出力であるセレクト（ｓｅｌ＿ｌｄ）信号は、２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期のＦＦ＿９でサンプリングされ、さらに２逓倍クロック（ｃｌｋ２ｘ）信号のライズ（ポジ）エッジに同期したＦＦ＿１０によりサンプリングされることで、２逓倍クロック（ｃｌｋ２ｘ）信号のライズ（ポジ）エッジに同期したデータストローブ（ｄｑｓ）信号としてデータストローブ（ｄｑｓ）信号生成部５０から出力される。従って、データ（ｄｑ）信号生成部３０より出力されたデータ（ｄｑ）［７：０］信号は、２逓倍クロック（ｃｌｋ２ｘ）信号のフォール（ネガ）エッジ同期となり、データストローブ（ｄｑｓ）信号生成部５０より出力されたデータストローブ（ｄｑｓ）信号は、２逓倍クロック（ｃｌｋ２ｘ）信号のライズ（ポジ）エッジ同期となる。

以上のことから、メモリインタフェースのデータストローブ（ｄｑｓ）信号
に対する８ビットのデータ（ｄｑ）［７：０］信号は、セットアップマージンを２逓倍クロック（ｃｌｋ２ｘ）信号の半周期分持たせることができ、また同様にホールドマージン

も２逓倍クロック（ｃｌｋ２ｘ）信号の半周期分だけ持たせることが可能となる。

【図面の簡単な説明】

【００１１】

【図１】本発明のＤＤＲメモリライト制御装置の一実施形態を示すブロック図である。

【図２】本実施形態における各信号のタイムチャートである。

【図３】ＤＤＲメモリライト制御装置におけるクロック信号ｃｌｋ、２逓倍クロック信号ｃｌｋ２ｘ、データストローブ信号ｄｑｓ、及びデータ信号ｄｑの関係を示す要部タイムチャートである。

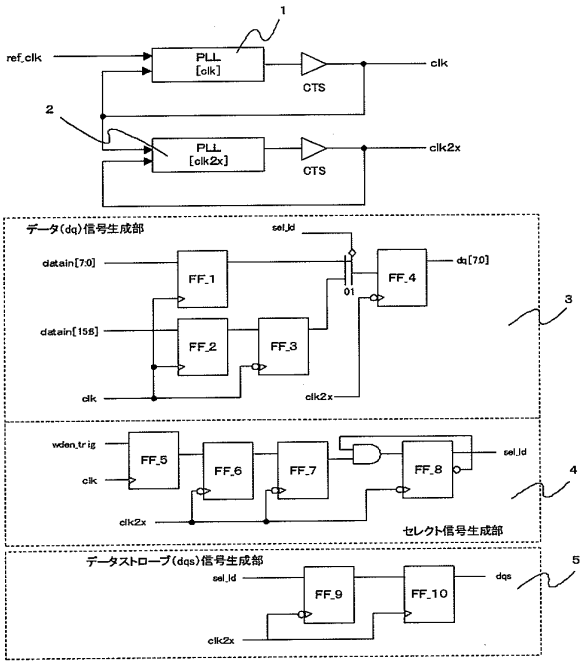
【図４】従来のゲートディレイを用いたＤＤＲメモリライト制御装置を示す図である。

【符号の説明】

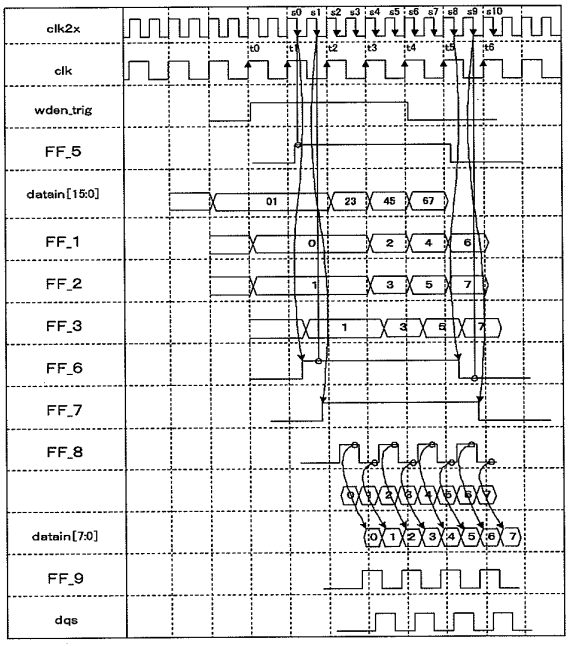
【００１２】

１　ＰＬＬ（ｃｌｋ）
２　ＰＬＬ（ｃｌｋ２ｘ）
３　データ（ｄｑ）信号生成部
４　セレクト信号生成部
５　データストローブ（ｄｑｓ）信号生成部
２００　ゲートディレイ
３００　データ（ｄｑ）信号生成部
４００　データストローブ（ｄｑｓ）信号生成部

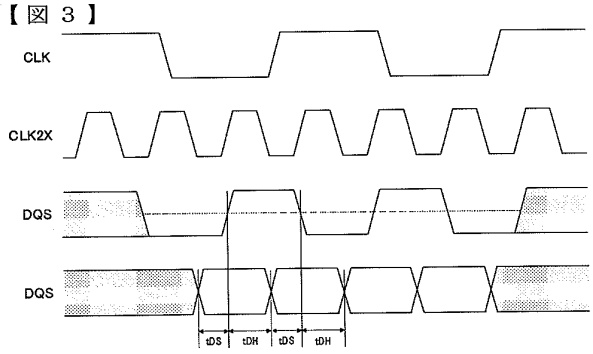
【図１】



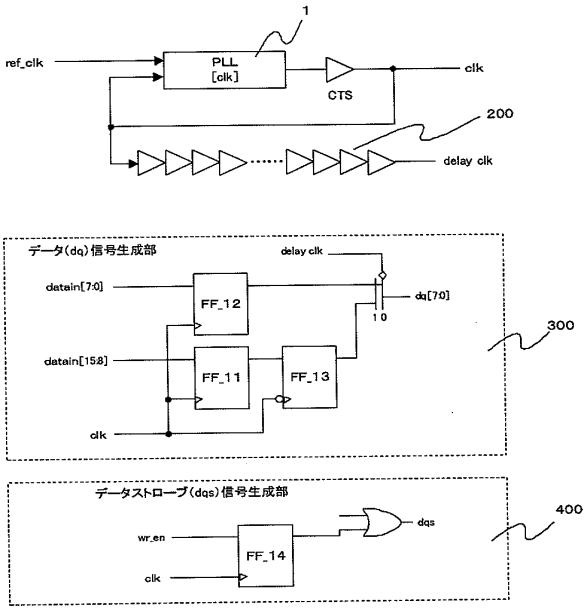
【図２】



【図３】


CLK
CLK2X
DQS
DQS
tDS
tDH
tDS
tDH

【図４】


1
ref_clk
PLL
[clk]
CTS
clk
200
delay clk
データ(dq)信号生成部
delay clk
datain[7:0]
FF_12
dq[7:0]
1 0
300
datain[15:8]
FF_11
FF_13
clk
データストローブ(dqs)信号生成部
400
wr_en
FF_14
dqs
clk

Electronic Acknowledgement Receipt

EFS ID:	3627012
Application Number:	11759862
International Application Number:	
Confirmation Number:	7014
Title of Invention:	SYSTEM WITH CONTROLLER AND MEMORY
First Named Inventor/Applicant Name:	Atsuo Koshizuka
Customer Number:	23373
Filer:	Howard Leonard Bernstein/Mariama Seasay
Filer Authorized By:	Howard Leonard Bernstein
Attorney Docket Number:	Q102115
Receipt Date:	16-JUL-2008
Filing Date:	07-JUN-2007
Time Stamp:	15:54:55
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1		q102115.pdf	5452749 1cdbdc0d6425077922e9a05d715953511b5536a9	yes	99

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Information Disclosure Statement Letter	1	2
	Information Disclosure Statement (IDS) Filed	3	3
	NPL Documents	4	6
	Foreign Reference	7	28
	Foreign Reference	29	43
	Foreign Reference	44	65
	Foreign Reference	66	91
	Foreign Reference	92	99
Warnings:			
Information:			
	Total Files Size (in bytes):	5452749	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(c) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
11/759,862	06/07/2007	Atsuo Koshizuka	Q102115

CONFIRMATION NO. 7014

23373
SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC20037

Title: SYSTEM WITH CONTROLLER AND MEMORY

Publication No. US-2007-0291577-A1
Publication Date: 12/20/2007

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Pre-Grant Publication Division, 703-605-4283

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
11/759,862	06/07/2007	2827	1000	Q102115	13	3

CONFIRMATION NO. 7014

FILING RECEIPT

23373
SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC20037

Date Mailed: 06/26/2007

Receipt is acknowledged of this regular Patent Application. It will be considered in its order and you will be notified as to the results of the examination. Be sure to provide the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION when inquiring about this application. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please mail to the Commissioner for Patents P.O. Box 1450 Alexandria Va 22313-1450. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections (if appropriate).**

Applicant(s)

Atsuo Koshizuka, Tokyo, JAPAN;

Assignment For Published Patent Application

ELPIDA MEMORY, INC., Tokyo, JAPAN

Power of Attorney: The patent practitioners associated with Customer Number 23373

Domestic Priority data as claimed by applicant

Foreign Applications

JAPAN 2006-160204 06/08/2006

If Required, Foreign Filing License Granted: 06/25/2007

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US11/759,862**

Projected Publication Date: 12/13/2007

Non-Publication Request: No

Early Publication Request: No

Title

SYSTEM WITH CONTROLLER AND MEMORY

Preliminary Class

365

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the

subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

OIPE 1AP44
JUN 19 2007
PATENT & TRADEMARK OFFICE

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Atsuo KOSHIZUKA

Appln. No.: 11/759,862

Confirmation No.: 7014

Filed: June 7, 2007

For: SYSTEM WITH CONTROLLER AND MEMORY

Docket No: Q102115

Group Art Unit: 2827

Examiner: Not Yet Assigned

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Howard L. Bernstein
Registration No. 25,665

Enclosures: Japan 2006-160204
Date: June 19, 2007

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: ２００６年 ６月 ８日

出 願 番 号
Application Number: 特願２００６－１６０２０４

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is ＪＰ２００６－１６０２０４

出 願 人
Applicant(s): エルピーダメモリ株式会社

２００７年 ３月１５日

特許庁長官
Commissioner,
Japan Patent Office 中嶋 誠

出証番号 出証特２００７－３０１８５３１

【書類名】　特許願
【整理番号】　22311581
【あて先】　特許庁長官殿
【国際特許分類】　G11C 11/407
【発明者】
　【住所又は居所】　東京都中央区八重洲２－２－１　エルピーダメモリ株式会社内
　【氏名】　越塚　淳生
【特許出願人】
　【識別番号】　500174247
　【氏名又は名称】　エルピーダメモリ株式会社
【代理人】
　【識別番号】　100117341
　【弁理士】
　【氏名又は名称】　山崎　拓哉
【選任した代理人】
　【識別番号】　100125818
　【弁理士】
　【氏名又は名称】　立原　聡
【手数料の表示】
　【予納台帳番号】　245520
　【納付金額】　16,000円
【提出物件の目録】
　【物件名】　特許請求の範囲　1
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1

EX1002 / Page 243 of 321
Western Digital Technologies, Inc.

【書類名】特許請求の範囲
【請求項１】
コントローラ及びメモリを備えるシステムであって、
前記コントローラは、データ書込時においては、前記メモリに対してデータストローブ信号を送信すると共に当該データストローブ信号に同期した書込データを送信し、データ読出時においては、前記メモリに対してデータストローブ信号を送信する一方、前記メモリから送信された読出データストローブ信号を受信し、且つ、当該読出データストローブ信号に基づいて同期をとりながら前記メモリから送信された読出データを受信するものであり、
前記メモリは、データ書込時においては、前記コントローラからの前記データストローブ信号を受信すると共に該受信したデータストローブ信号に同期させるようにして前記書込みデータを受信し、データ読出時においては、前記コントローラから受信した前記データストローブ信号に同期させるようにして前記読出データを送信すると共に、当該受信したデータストローブ信号を前記読出データストローブ信号として前記コントローラに送信する、
システム。
【請求項２】
前記データストローブ信号並びに読出データストローブ信号は、前記コントローラから前記メモリに入力されるクロック信号とは別個独立したものである、
請求項１記載のシステム。
【請求項３】
前記データストローブ信号並びに読出データストローブ信号は、前記クロック信号とは異なる周波数を有するものである、
請求項２記載のシステム。
【請求項４】
前記読出データストローブ信号は、前記クロックと意図的な同期をとることナシに送信されるものである、
請求項２又は請求項３記載のシステム。
【請求項５】
前記メモリは、低速メモリと高速メモリとを備えており、
前記コントローラは、前記低速メモリ用の前記データストローブ信号並びに前記読出データストローブ信号の周波数を前記クロック信号の周波数と同じく又は低くする一方、前記高速メモリ用の前記データストローブ信号並びに前記読出データストローブ信号の周波数を前記クロック信号の周波数の2^n倍（ｎは自然数）とする、
請求項２乃至請求項４のいずれかに記載のシステム。
【請求項６】
請求項２乃至請求項５のいずれかに記載のシステムに使用可能なコントローラであって、
前記メモリに対してクロック信号として出力される内部クロック信号を含み且つ互いに異なる周波数を有する複数の中間クロック信号であって、各中間クロック信号の周波数が前記内部クロック信号の2^m倍（ｍは任意の整数）であるような中間クロック信号を生成する中間クロック信号生成部と、
前記複数の中間クロック信号のうちの一つを選択し、選択された中間クロック信号に基づいて前記データストローブ信号を生成するデータストローブ信号生成部と
を備えるコントローラ。
【請求項７】
請求項５記載のシステムに使用可能なコントローラであって、
前記メモリに対してアドレス信号として出力される内部アドレス信号を生成するアドレス制御回路と、
該内部アドレス信号を見て、前記低速メモリ及び前記高速メモリのいずれとデータの授

EX1002 / Page 244 of 321
Western Digital Technologies, Inc.

受を行うのかを判断し、周波数選択信号を生成する入出力制御回路と、
前記メモリに対してクロック信号として出力される内部クロック信号を含み且つ互いに異なる周波数を有する複数の中間クロック信号であって、各中間クロック信号の周波数が前記内部クロック信号の2^m倍（mは任意の整数）であるような中間クロック信号を生成する中間クロック信号生成部と、
前記周波数選択信号に従って前記複数の中間クロック信号のうちの一つを選択し、選択された中間クロック信号に基づいて前記データストローブ信号を生成するデータストローブ信号生成部と
を備えるコントローラ。
【請求項８】
請求項２乃至請求項４のいずれかに記載のシステムに使用可能なコントローラであって、
互いに異なる周波数を有する複数の中間クロック信号であって、各中間クロック信号の周波数が所定クロック信号の2^m倍（mは任意の整数）であるような中間クロック信号を生成する中間クロック信号生成部と、
前記複数の中間クロック信号のうちの一つを選択し、選択された中間クロック信号を前記メモリに対してクロック信号として出力するクロック信号選択部と、
前記複数の中間クロック信号に含まれる一の前記中間クロック信号に基づいて前記データストローブ信号を生成するデータストローブ信号生成部と
を備えるコントローラ。
【請求項９】
請求項１乃至請求項５のいずれかに記載のシステムに使用可能なメモリであって、
データ書込時には、前記データストローブ信号を受信して、入力側同期信号として出力し、データ読出時には、前記データストローブ信号を受信して、出力側同期信号として出力すると共に前記コントローラに対して前記読出データストローブ信号として送信するデータ入出力同期信号生成部と、
データ書込時には、前記コントローラから送信されてきた前記書込データを前記入力側同期信号に同期させるようにして取り込み、データ読出時には、前記出力側同期信号に同期させるようにして前記コントローラに対して前記読出データを送信するデータ入出力部と
を備えるメモリ。
【請求項１０】
前記データ入出力同期信号生成部は、
前記データストローブ信号を受信して、前記入力側同期信号を生成する一方、中間同期信号を生成するバッファと、
該中間同期信号を受けて前記出力側同期信号を生成すると共に前記読出データストローブ信号を生成する出力同期信号生成部と
を備えており、
前記データ入出力部は、
前記入力側同期信号と同期をとるようにして、前記書込データをラッチするデータラッチと、
前記出力側同期信号に同期させるようにして前記読出データを出力するデータ出力バッファと
を備えている、請求項９記載のメモリ。

EX1002 / Page 245 of 321
Western Digital Technologies, Inc.

【書類名】明細書
【発明の名称】コントローラ及びメモリを備えるシステム
【技術分野】
【０００１】
本発明は、コントローラ及びメモリを備えるシステムに関し、特に、メモリーコントローラ間のデータの送受信に関する。
【背景技術】
【０００２】
従来、メモリーコントローラ間におけるデータの送受信に際しては、データ送信主体となる方がクロック信号に同期したデータストローブ信号を内部で生成し、生成したデータストローブ信号と共にそれに同期したデータの送信を行っていた（例えば、特許文献１の０００２段落～０００５段落）。
【０００３】
【特許文献１】特開２００１－１１０１８３号公報
【発明の開示】
【発明が解決しようとする課題】
【０００４】
前述の従来技術に対して、特許文献１では、データストローブ信号を廃止し、クロック信号そのものにデータの送受信を同期させるシステムを提案している。
【０００５】
本発明は、従来技術とも特許文献１とも更に異なる新たな取り決めに基づいたシステムを提供することを目的とする。
【課題を解決するための手段】
【０００６】
本発明は、上記課題を解決するための手段として、コントローラ及びメモリを備えるシステムであって、
前記コントローラは、データ書込時においては、前記メモリに対してデータストローブ信号を送信すると共に当該データストローブ信号に同期した書込データを送信し、データ読出時においては、前記メモリに対してデータストローブ信号を送信する一方、前記メモリから送信された読出データストローブ信号を受信し、且つ、当該読出データストローブ信号に基づいて同期をとりながら前記メモリから送信された読出データを受信するものであり、
前記メモリは、データ書込時においては、前記コントローラからの前記データストローブ信号を受信すると共に該受信したデータストローブ信号に同期させるようにして前記書込みデータを受信し、データ読出時においては、前記コントローラから受信した前記データストローブ信号に同期させるようにして前記読出データを送信すると共に、当該受信したデータストローブ信号を前記読出データストローブ信号として前記コントローラに送信する、
システムを提供する。
【発明の効果】
【０００７】
本発明によるシステムでは、メモリに対するデータ書込時及びメモリからのデータ読出時のいずれにおいても、コントローラから出力されるデータストローブ信号に基づいたデータ送受信が行われる。従って、メモリ側では、データ書込時は勿論のこと、データ読出時においても、コントローラから入力されたデータストローブ信号を用いてデータ送信を行うこととなり、データストローブ信号をクロック信号に同期させる必要もなければクロック信号からデータストローブ信号を自前で生成する必要もない。
【０００８】
また、上述したシステムにおいては、データストローブ信号をクロック信号から別個独立させることができ、従って、データストローブ信号の周波数をクロック信号とは異なる

EX1002 / Page 246 of 321
Western Digital Technologies, Inc.

周波数にすることができるなど、設計上の自由度が向上する。

【発明を実施するための最良の形態】

【０００９】

以下、本発明の実施の形態によるコントローラ及びメモリを備えたシステムについて、図面を参照して詳細に説明する。

【００１０】

（第１の実施の形態）

本発明の第１の実施の形態によるシステムは、図１に示されるように、コントローラ１００及びメモリ２００を備えるものである。コントローラ１００は、メモリ２００に対してクロック信号、コマンド信号及びアドレス信号を送信すると共に、メモリ２００との間でデータ（ＤＱ）信号の送受信を行うものである。

【００１１】

図１に示されているように、このＤＱ信号の送受信は、コントローラ１００主導の下で行われる。即ち、本実施の形態においては、メモリ２００に対するデータ書込時及びメモリ２００からのデータ読出時のいずれにおいても、コントローラ１００から出力されるデータストローブ信号に基づいたＤＱ信号の送受信が行われる。詳しくは、データ書込時においては、コントローラ１００がメモリ２００に対してデータストローブ信号を送信すると共にデータストローブ信号に同期したＤＱ信号を送信する。メモリ２００は、コントローラ１００から送信されたデータストローブ信号を受信すると共に当該データストローブ信号に同期させるようにしてＤＱ信号を受信する。一方、データ読出時においては、まず、コントローラ１００がメモリ２００に対してデータストローブ信号を送信する。これを受けて、メモリ２００は、受信したデータストローブ信号に同期させるようにしてＤＱ信号を送信すると共に、データストローブ信号を読出データストローブ（ＲＤＱＳ）信号としてコントローラ１００に送信する。その後、コントローラ１００が、ＲＤＱＳ信号との同期をとりながらＤＱ信号を受信する。即ち、本実施の形態によれば、データ読出時においては、コントローラ１００から出力されたデータストローブ信号が、メモリ２００のインタフェース部分を介してループバックされ、コントローラ１００側におけるデータ受信用同期信号として用いられる。

【００１２】

かかるシステムによれば、メモリ２００における入出力動作は、データ書込時は勿論のこと、データ読出時においても、コントローラ１００から入力されたデータストローブ信号のみに支配されることとなり、データの入出力動作をクロック信号から切り離すことができる。そのため、クロック信号から読出データストローブ信号を自前で生成する必要もなければ、読出データストローブ信号をクロック信号に同期させる必要もなくなる。また、データストローブ信号とクロック信号とを互いに異なる周波数とすることも可能となる。

【００１３】

以下、クロック信号の周波数を固定とする一方、データストローブ信号としてクロック信号と異なる周波数の信号を用いることの可能なシステム例について詳細に説明する。

【００１４】

図２に示されるように、本実施の形態におけるコントローラ１００は、コマンド／アドレス（Ｃ／Ａ）制御回路１０、ＰＬＬ／ＤＬＬ部２０、分周器３０、データストローブ信号生成部４０、入出力制御回路５０、データ同期出力部６０、データ同期取込部７０を備えている。

【００１５】

Ｃ／Ａ制御回路１０は、コマンド／アドレス系の回路出力を受けて、内部コマンド信号及び内部アドレス信号を生成するものである。内部コマンド信号及び内部アドレス信号は、それぞれ、バッファを介してコマンド信号及びアドレス信号としてメモリ２００に送信される。なお、本実施の形態において、内部コマンド信号は、入出力制御回路５０にも入力される。

EX1002 / Page 247 of 321
Western Digital Technologies, Inc.

【００１６】
ＰＬＬ／ＤＬＬ部２０は、ベースクロック信号に基づき、内部クロック信号及び内部クロック信号の2^n倍（ｎは自然数）の周波数を有する信号を生成するものであり、分周器３０は、内部クロック信号の2^p倍（ｐは負の整数）の周波数を有する信号を生成するものである。即ち、本実施の形態におけるＰＬＬ／ＤＬＬ部２０及び分周器３０は、内部クロック信号を含み且つ互いに異なる周波数を有する複数の中間クロック信号を生成する中間クロック信号生成部として機能する。但し、本実施の形態における中間クロック信号生成部の出力する各中間クロック信号の周波数は、内部クロック信号の2^m倍（ｍは任意の整数）である。なお、内部クロック信号は、図示されたように、コントローラ１００側における動作クロックとして機能すると共にメモリ２００に対してバッファを介してクロック信号として送信される。
【００１７】
データストローブ信号生成部４０は、ＰＬＬ／ＤＬＬ部２０及び分周器３０から複数の中間クロック信号を受けて、そのうちの一つを選択し、選択した中間クロック信号に基づき入出力制御回路５０の制御の下で内部データストローブ信号を生成し、バッファを介してデータストローブ信号としてメモリ２００に対して出力するものである。なお、本実施の形態においては、内部データストローブ信号は、図示されたように、データ同期出力部６０にも入力されている。
【００１８】
入出力制御回路５０は、入出力に関わる制御を行うものである。具体的には、入出力制御回路５０は、内部コマンド信号を受けて、コマンドがライトコマンドである場合にはデータ同期出力部６０を活性化し、コマンドがリードコマンドである場合にはデータ同期取込部を活性化する。また、本実施の形態による入出力制御回路５０は、データストローブ信号生成部４０に対して、いずれの中間クロック信号に基づいて内部データストローブ信号を生成すべきかを示す周波数選択信号を出力する。本実施の形態におけるデータストローブ信号生成部４０は、周波数選択信号が入力されている間のみ活性化されるセレクタであり、入出力制御回路５０は、プリアンブルを考慮した所定長のストローブ信号を出力しうるようにデータストローブ信号生成部を活性化させる期間（即ち、周波数選択信号の出力期間）を決定している。また、本実施の形態による入出力制御回路５０は、コマンドの内容によりレイテンシ（ライトレーテンシ／リードレイテンシ）を考慮してデータストローブ信号生成部４０の活性化開始タイミングを決定する。
【００１９】
データ同期出力部６０は、入出力制御回路５０の制御により活性化されている間、内部データストローブ信号に同期させるようにして、バッファを介して、出力データをＤＱ信号としてメモリ２００に送信するものである。
【００２０】
一方、データ同期取込部７０は、入出力制御回路５０の制御により活性化されている間、メモリ２００から受信したＲＤＱＳ信号に同期させるようにして、ＤＱ信号として送信されてきた読出データを取り込むものである。
【００２１】
他方、本実施の形態によるメモリ２００は、図３に示されるような構成を備えている。即ち、メモリ２００は、コントローラ１００との間でＤＱ信号の送受信を行うデータ入出力（Ｉ／Ｏ）部２１０と、データストローブ信号に基づいてデータＩ／Ｏ部の動作を規定する同期信号を生成すると共にデータ読出時においてはデータストローブ信号からＲＤＱＳ信号を生成するデータＩ／Ｏ同期信号生成部２２０と、クロック信号を受けて内部クロック信号を生成してコマンド／アドレス系回路等に内部コマンドを供給する内部クロック信号生成部２３０とを少なくとも備えている。図３から明らかに理解されるように、本実施の形態によるメモリ２００における入出力動作は、クロック信号と切り離されており、コントローラ１００から受信したデータストローブ信号のみに基づいて行われる。
【００２２】

EX1002 / Page 248 of 321
Western Digital Technologies, Inc.

図４及び図５には、本実施の形態に適用可能なデータＩ／Ｏ同期信号生成部２２０ａ，２２０ｂ及びデータＩ／Ｏ部２１０の例が示されている。

【００２３】

図４に示される例において、データＩ／Ｏ同期信号生成部２２０ａは、データストローブ信号を受信して入力側同期信号を生成する一方で中間同期信号を生成するバッファと、バッファからの中間同期信号を受けて出力側同期信号を生成すると共にＲＤＱＳ信号を生成する出力同期信号生成部とを備えている。

【００２４】

一方、同図において、データＩ／Ｏ部２１０は、入力側同期信号と同期をとるようにして、ＤＱ信号をラッチしライトデータとして出力するデータラッチと、リードデータを受けて出力側同期信号に同期させるようにしてＤＱ信号としてコントローラ１００側に出力するデータ出力バッファとを備えている。

【００２５】

図５に示される例は、データストローブ信号及びＲＤＱＳ信号をディファレンシャル伝送方式で伝送するものであり、図示されたデータＩ／Ｏ同期信号生成部２２０ｂは、データストローブ信号のレシーバアンプ及びＲＤＱＳ信号のドライバの構成が異なる点を除き、シングルエンデット伝送を採用した図４に示される例と同様の構成を有するものである。

【００２６】

図６乃至図９を参照すると、本実施の形態によるシステムの動作例、特に、メモリ２００の動作タイミングチャートが示されている。このうち、図６及び図７はデータ書込動作に関するものであり、図８及び図９はデータ読出動作に関するものである。

【００２７】

詳しくは、図６は、クロック信号の周波数とデータストローブ信号の周波数とが同一のケースを示すものであり、図７は、データストローブ信号の周波数がクロック信号の周波数の２倍のケースを示すものである。図６に示された例では、データストローブ信号のライズエッジ及びフォールエッジに同期してデータの取込が行われているので、データレートはクロック信号の周波数の２倍となっている。一方、図７に示された例においても、データストローブ信号のライズエッジ及びフォールエッジに同期してデータの取込が行われているが、データストローブ信号の周波数自体がクロック信号の２倍であるので、データレートとしてはクロック信号の周波数の４倍となっている。即ち、図７に示される例は、図２に示されるデータストローブ信号生成部４０において、内部クロック信号の２倍の周波数の中間クロック信号を選択し、それに基づいて内部データストローブ信号を生成した例である。

【００２８】

同様に、図８は、クロック信号の周波数とデータストローブ信号の周波数とが同一のケースを示すものであり、図９は、データストローブ信号の周波数がクロック信号の周波数の２倍のケースを示すものである。図８に示された例では、データストローブ信号のライズエッジ及びフォールエッジに同期してデータが出力されているので、データレートはクロック信号の周波数の２倍となっている。これに対して、図９に示された例においては、クロック周波数の２倍の周波数を有するデータストローブ信号のライズエッジ及びフォールエッジに同期してデータの取込が行われているので、データレートはクロック信号の周波数の４倍となっている。即ち、図９に示される例も、図２に示されるデータストローブ信号生成部４０において、内部クロック信号の２倍の周波数の中間クロック信号を選択し、それに基づいて内部データストローブ信号を生成した例である。

【００２９】

図８及び図９においてｔＲＤＱＳＤは、例えば、図４及び図５に示されるようなデータＩ／Ｏ同期信号生成部２２０ａ，２２０ｂをデータストローブ信号が通りＲＤＱＳ信号として出力されるまでに付加される自然発生的な遅延量を示すものである。即ち、例えば、一般にＤＬＬに組み込まれる遅延レプリカのような厳密な遅延量を有するものではない。

図６及び図７の例においては、クロック信号、データストローブ信号及びＤＱ信号の送信主体がすべてコントローラ１００であり、且つ、コントローラ１００の構成もクロック信号とデータストローブ信号とを敢えて明確にズラして出力するような構成とはしなかったため、同期／非同期の区別がつきにくい図となっていたが、図８及び図９の例においては、ｔＲＤＱＳＤの存在により、ＤＱ信号がＲＤＱＳ信号と同期している一方、クロック信号とは非同期となっていることがより明確に理解される。このように、本実施の形態によれば、メモリ２００側において、データストローブ信号のみに従ってＤＱ信号の送受信を行えることから、メモリ２００の入出力部の構成を簡素化することができる。

【００３０】

図１０を参照すると、上述した第１の実施の形態の応用例が示されている。仮に、図１０に示されるように、同一システム上にデータレートの異なる第１メモリ３００及び第２メモリ４００を混在させようとすると、クロック信号は相対的に低いデータレートのメモリ（この場合は第２メモリ４００）に合わせざるを得ない。従って、従来技術の例や特許文献１記載の方法では、データレートはクロック信号に依存していることから、第１メモリ３００を有効に活用することができず、上記のようにデータレートの異なるメモリを同一システム上に混在させることは困難である。これに対して、上述した第１の実施の形態によるシステムは、クロック信号の周波数を固定とする一方、データストローブ信号としてクロック信号と異なる周波数の信号を用いることのできるものであり、メモリ側の入出力動作はデータストローブ信号のみに依存しているので、第２メモリ４００をクロック信号の半分の周期のデータストローブのライズエッジ及びフォールエッジに同期して動作させる一方、第１メモリ３００を例えば低速メモリの2^n倍（ｎは自然数）のデータレートで動作させることが可能となる。なお、第１メモリ３００及び第２メモリ４００は、データレートに違いがあるだけで、いずれの入出力部分の構成も図１及び図３～図５に例示したような構成とすることができる。

【００３１】

図１１は、図１０のシステムにおいて、第１メモリ３００と第２メモリ４００とがアドレス空間上で区別されている場合に、アドレスの内容によってデータストローブ信号の周波数を自動的に制御することのできるコントローラ１００について例示したものである。なお、図１１に示される構成のうち図１０と同一の構成を有するものについては、同一の参照符号を付して説明を省略することとし、以下においては異なる点のみを説明する。

【００３２】

図１１を参照すると、例示された入出力制御回路５２には、Ｃ／Ａ制御回路１０から出力された内部アドレス信号も入力されている。かかる入出力制御回路５２は、内部アドレス信号を受けて、第１メモリ３００及び第２メモリ４００のいずれのメモリに対する書込／読出動作であるのかを認識し、その認識に基づいて各メモリに対応する周波数を選択させる周波数選択信号をデータストローブ信号生成部４０に入力する。本例によれば、データストローブ信号生成部４０は、データレートの異なる第１メモリ３００及び第２メモリ４００のそれぞれに対して、入出力制御回路５２の制御の下、適切な周波数を有するデータストローブ信号を送出することができる。

【００３３】

（第２の実施の形態）

本発明の第２の実施の形態によるシステムは、上述した第１の実施の形態によるシステムの変形例である。具体的には、本実施の形態によるシステムは、第１の実施の形態と異なり、データストローブ信号の周波数を固定とする一方、クロック信号の周波数を可変とすることができるものである。本実施の形態によるシステムにおいては、メモリ２００の構成は、上述した第１の実施の形態のものと同一で構わない。一方、コントローラの構成は、第１の実施の形態によるコントローラとは若干異なる。以下に、図１２～図１６を参照して詳細に説明するが、上述した第１の実施の形態と同一の構成については同一の参照符号を付して説明を省略することとし、異なる点を特に明確にすることとする。

【００３４】

EX1002 / Page 250 of 321
Western Digital Technologies, Inc.

図１２を参照すると、本実施の形態によるコントローラは、Ｃ／Ａ制御回路１０、ＰＬＬ／ＤＬＬ部２０、分周器３０、クロック信号選択部４２、データストローブ信号生成部４４、入出力制御回路５４、データ同期出力部６０、データ同期取込部７０を備えている。

【００３５】

このうち、クロック信号選択部４２は、入出力制御回路５４の制御の下、ＰＬＬ／ＤＬＬ部２０及び分周器３０から出力された複数の中間クロック信号の中から一つを選択し、バッファを介して、選択した中間クロック信号をクロック信号としてメモリ２００に対して出力するものである。

【００３６】

データストローブ信号生成部４４は、ＰＬＬ／ＤＬＬ部２０及び分周器３０から出力された複数の中間クロック信号のうちの特定の一つを受けて、その中間クロック信号に基づいて、入出力制御回路５４の制御の下、内部データストローブ信号を生成し、バッファを介してデータストローブ信号としてメモリ２００に送出するものである。

【００３７】

入出力制御回路５４は、いずれの中間クロック信号を選択すべきかを示す周波数選択信号をクロック信号選択部４２に対して出力する一方、ライト／リードコマンドに応じたレイテンシ等を考慮して適切な期間だけデータストローブ信号生成部４４を活性化させるべくデータストローブ信号生成部４４に対して活性化信号を出力するものである。なお、入出力制御回路５４によるデータ同期出力部６０及びデータ同期取込部７０に対する制御は上述した第１の実施の形態の場合と同じである。

【００３８】

図１３乃至図１６を参照すると、本実施の形態によるシステムにおけるメモリの動作タイミングチャートが示されている。このうち、図１３及び図１４はデータ書込動作に関するものであり、図１５及び図１６はデータ読出動作に関するものである。

【００３９】

詳しくは、図１３は、クロック信号の周波数とデータストローブ信号の周波数とが同一のケースを示すものであり、図１４は、クロック信号の周波数がデータストローブ信号の周波数の１／２倍のケースを示すものである。図１３に示された例では、データレートはクロック信号の周波数の２倍となっているのに対して、図１４に示された例においては、データレートはクロック信号の周波数の４倍となっている。

【００４０】

同様に、図１５は、クロック信号の周波数とデータストローブ信号の周波数とが同一のケースを示すものであり、図１６は、クロック信号の周波数がデータストローブ信号の周波数の１／２倍のケースを示すものである。図１５に示された例では、データレートはクロック信号の周波数の２倍となっているのに対して、図１６に示された例においては、データレートはクロック信号の周波数の４倍となっている。

【００４１】

このように、本実施例によれば、例えば、クロック周波数を落としてもデータレートを維持することができる。

【００４２】

なお、本実施の形態と上述した第１の実施の形態とを組み合わせることも可能である。即ち、クロック周波数及びデータストローブ信号の周波数をそれぞれ可変とすることとしても良い。

【図面の簡単な説明】

【００４３】

【図１】本発明の第１の実施の形態によるシステムの構成を概略的に示すブロック図である。

【図２】図１に示されるコントローラの構成を概略的に示すブロック図である。

【図３】図１に示されるメモリの構成を概略的に示すブロック図である。

EX1002 / Page 251 of 321
Western Digital Technologies, Inc.

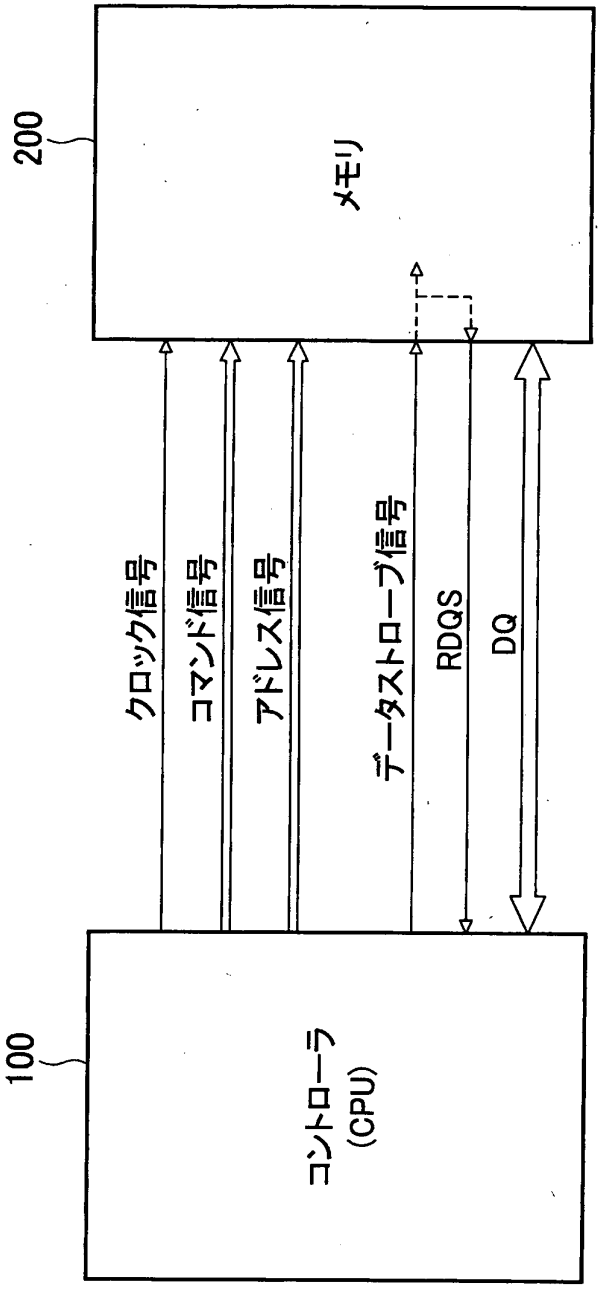
【図４】図３におけるデータＩ／Ｏ同期信号生成部及びデータＩ／Ｏ部の一例を示す図である。
【図５】図３におけるデータＩ／Ｏ同期信号生成部及びデータＩ／Ｏ部の他の例を示す図である。
【図６】図１に示されるシステムにおけるメモリの書込動作タイミングチャートの一例である（ダブルデータレート）。
【図７】図１に示されるシステムにおけるメモリの書込動作タイミングチャートの他の例である（クアッドデータレート）。
【図８】図１に示されるシステムにおけるメモリの読出動作タイミングチャートの一例である（ダブルデータレート）。
【図９】図１に示されるシステムにおけるメモリの読出動作タイミングチャートの他の例である（クアッドデータレート）。
【図１０】第１の実施の形態によるシステムの応用例を概略的に示す図である。
【図１１】図１０に示されるシステムに適用可能なコントローラの構成を概略的に示す図である。
【図１２】本発明の第２の実施の形態によるシステムにおけるコントローラの構成を概略的に示す図である。
【図１３】本発明の第２の実施の形態によるシステムにおけるメモリの書込動作タイミングチャートの一例である（ダブルデータレート）。
【図１４】本発明の第２の実施の形態によるシステムにおけるメモリの書込動作タイミングチャートの他の例である（クアッドデータレート）。
【図１５】本発明の第２の実施の形態によるシステムにおけるメモリの読出動作タイミングチャートの一例である（ダブルデータレート）。
【図１６】本発明の第２の実施の形態によるシステムにおけるメモリの読出動作タイミングチャートの他の例である（クアッドデータレート）。

【符号の説明】

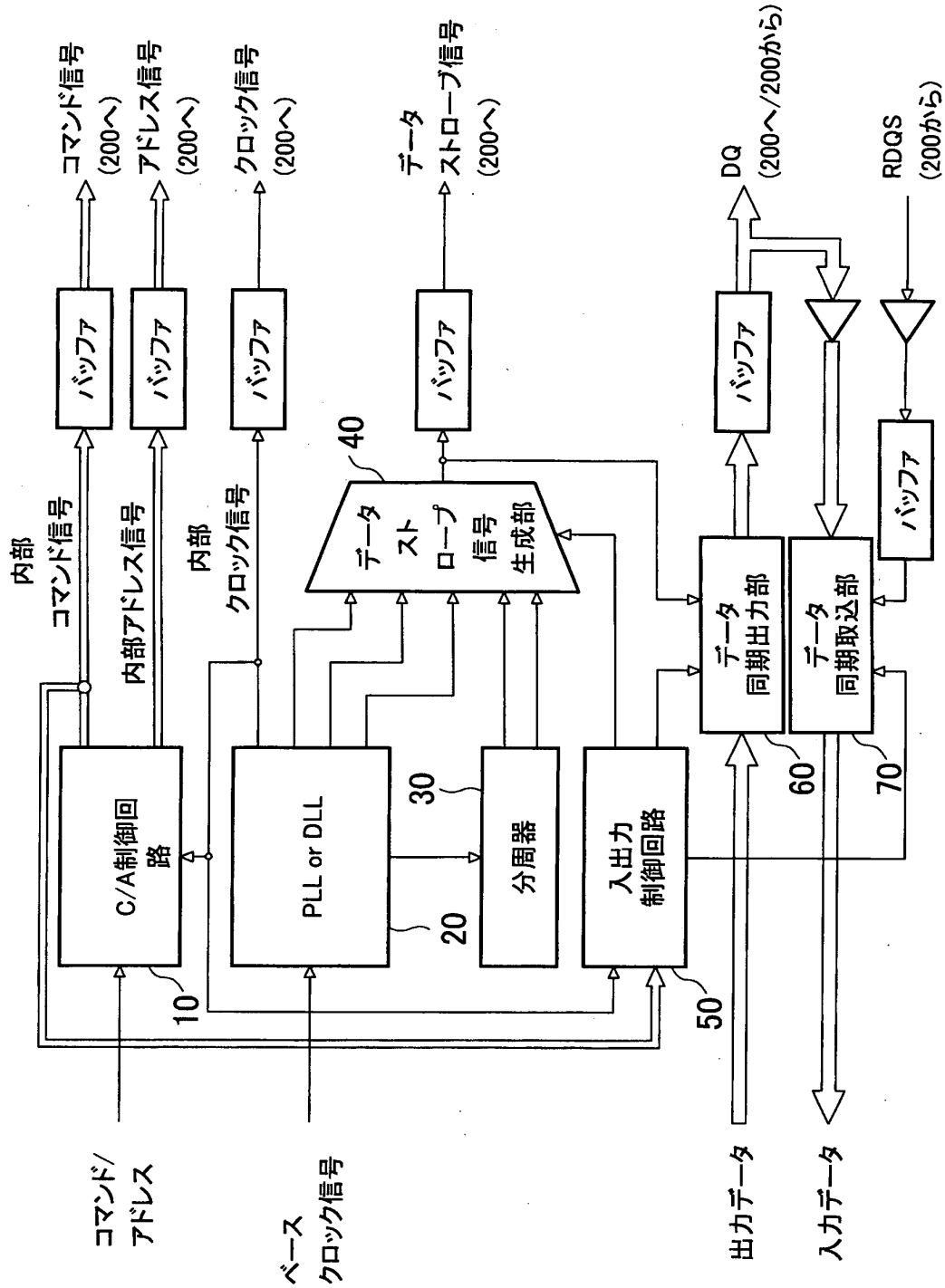
【００４４】

１０	コマンド／アドレス（Ｃ／Ａ）制御回路
２０	ＰＬＬ／ＤＬＬ部
３０	分周器
４０	データストローブ信号生成部
４２	クロック信号生成部
４４	データストローブ信号生成部
５０	入出力制御回路
５２	入出力制御回路
５４	入出力制御回路
６０	データ同期出力部
７０	データ同期取込部
１００	コントローラ（ＣＰＵ）
２００	メモリ
２１０	データ入出力（Ｉ／Ｏ）部
２２０	データ入出力（Ｉ／Ｏ）同期信号生成部
２２０ａ	データ入出力（Ｉ／Ｏ）同期信号生成部
２２０ｂ	データ入出力（Ｉ／Ｏ）同期信号生成部
２３０	内部クロック信号生成部
３００	第１メモリ（高速）
４００	第２メモリ（中速／低速）

【書類名】図面
【図１】

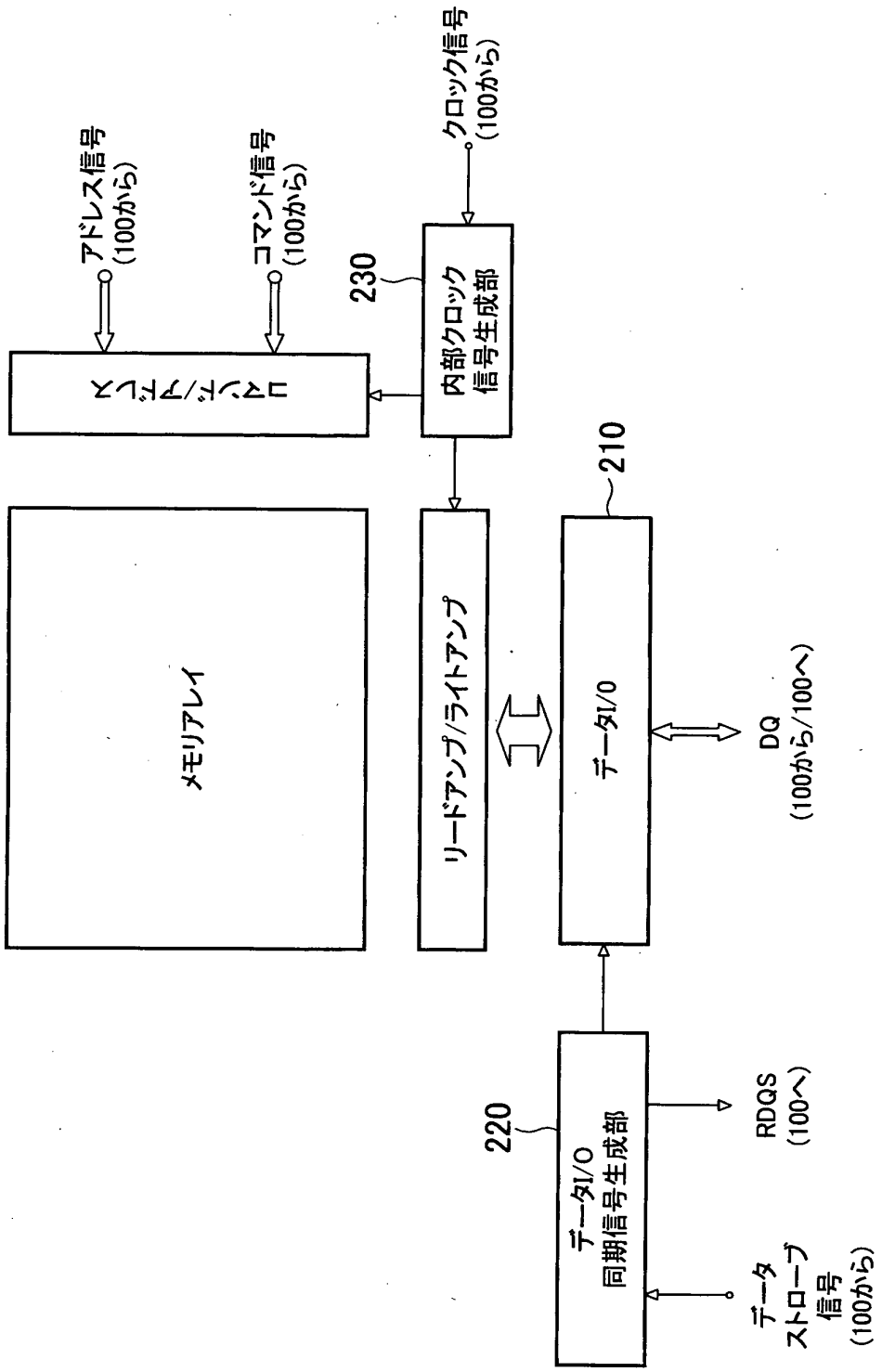

200
メモリ
クロック信号
コマンド信号
アドレス信号
データストローブ信号
RDQS
DQ
100
コントローラ
(CPU)

【図２】



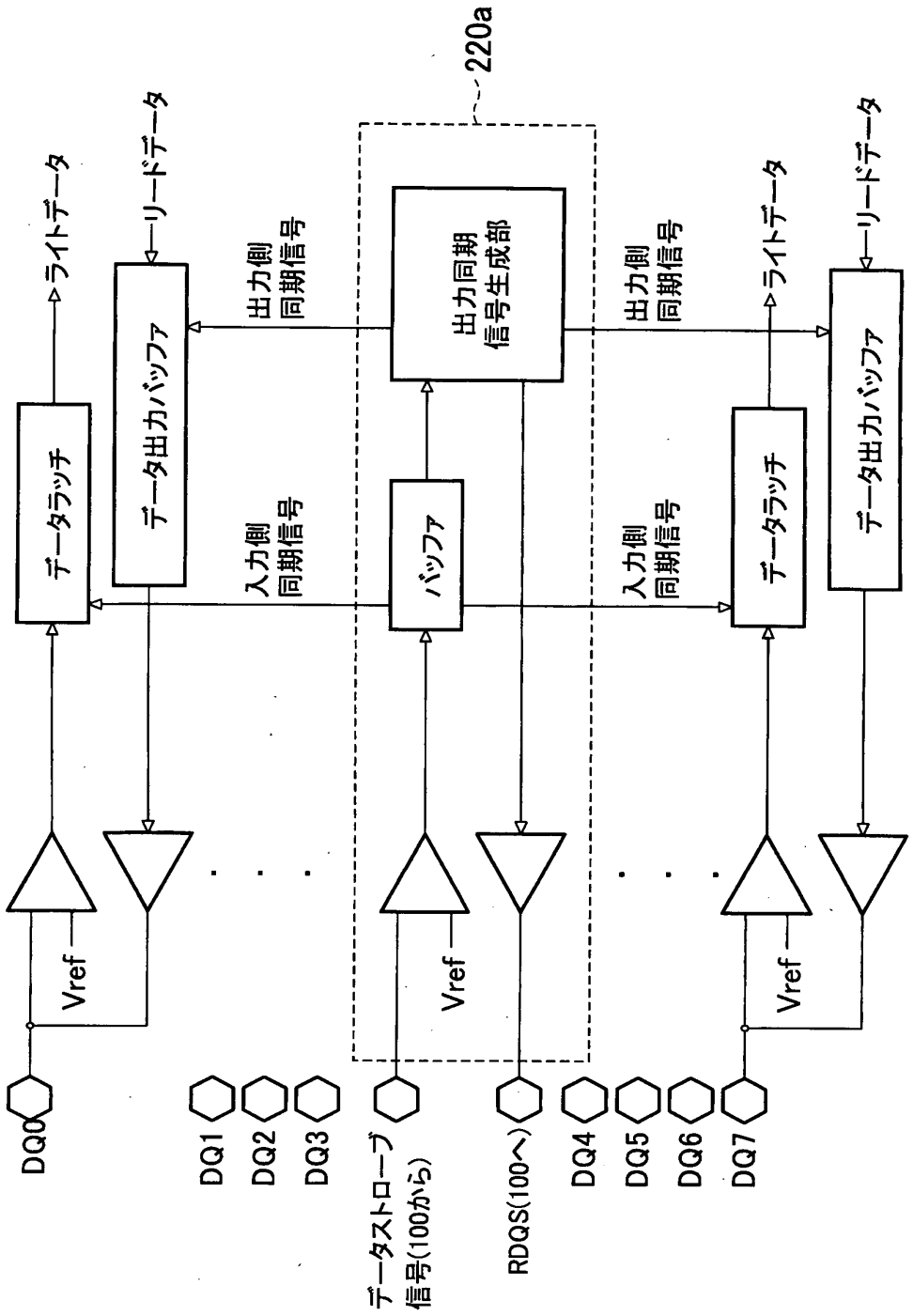
出証特２００７－３０１８５３１

【図３】



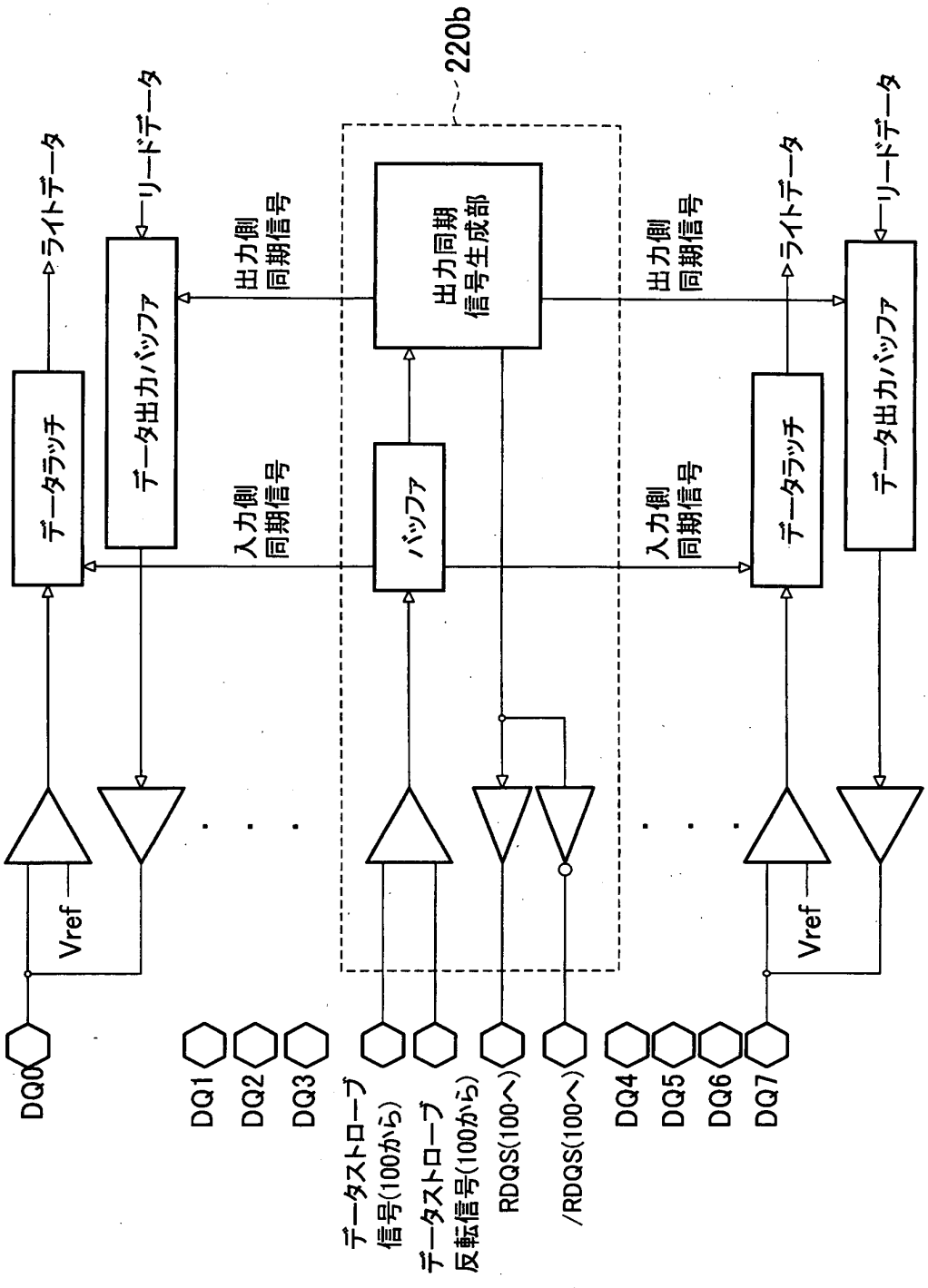
EX1002 / Page 255 of 321
Western Digital Technologies, Inc.

【図４】

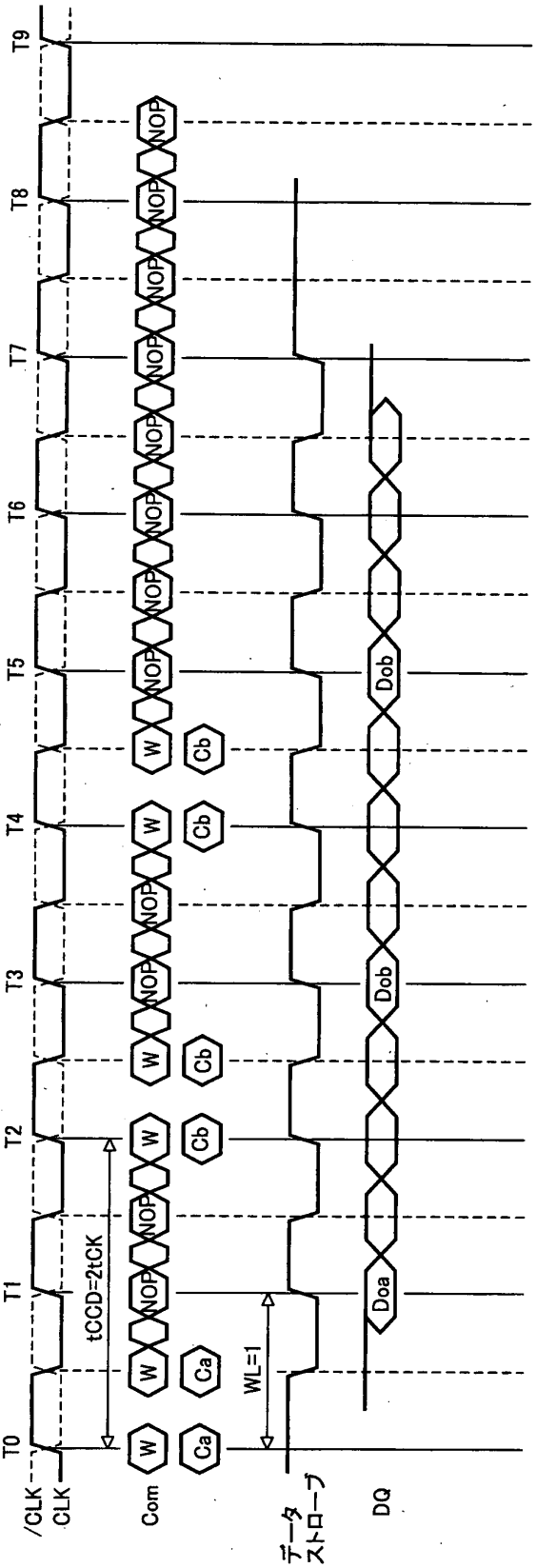


EX1002 / Page 256 of 321
Western Digital Technologies, Inc.

【図５】

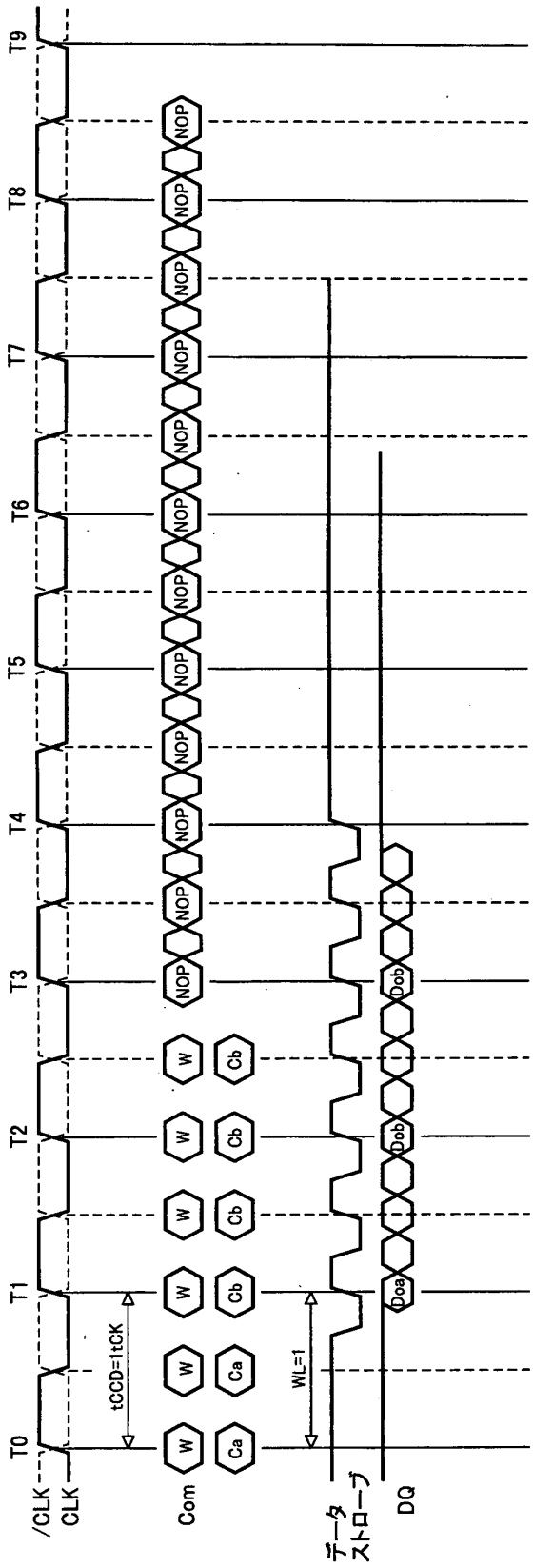

210
220b
ライトデータ
リードデータ
データラッチ
データ出力バッファ
出力側
同期信号
出力同期
信号生成部
入力側
同期信号
バッファ
Vref
DQ0
DQ1
DQ2
DQ3
データストローブ
信号(100から)
データストローブ
反転信号(100から)
RDQS(100へ)
/RDQS(100へ)
DQ4
DQ5
DQ6
DQ7

【図６】



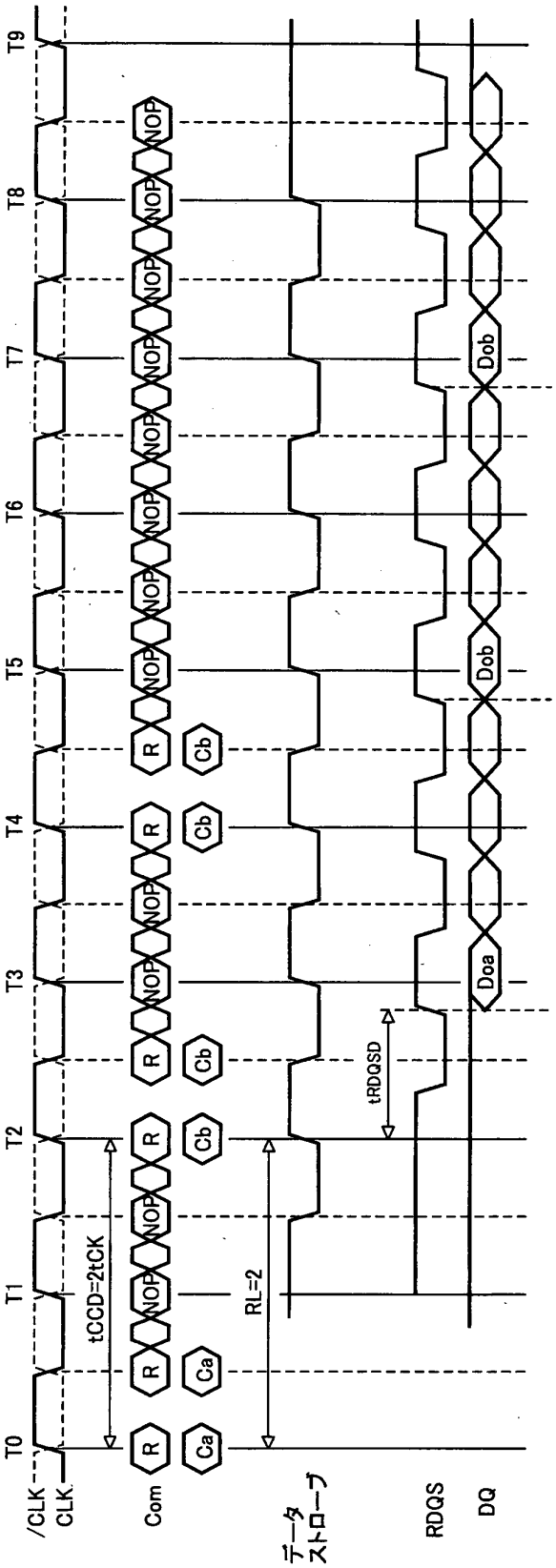
出証特２００７－３０１８５３１

【図７】



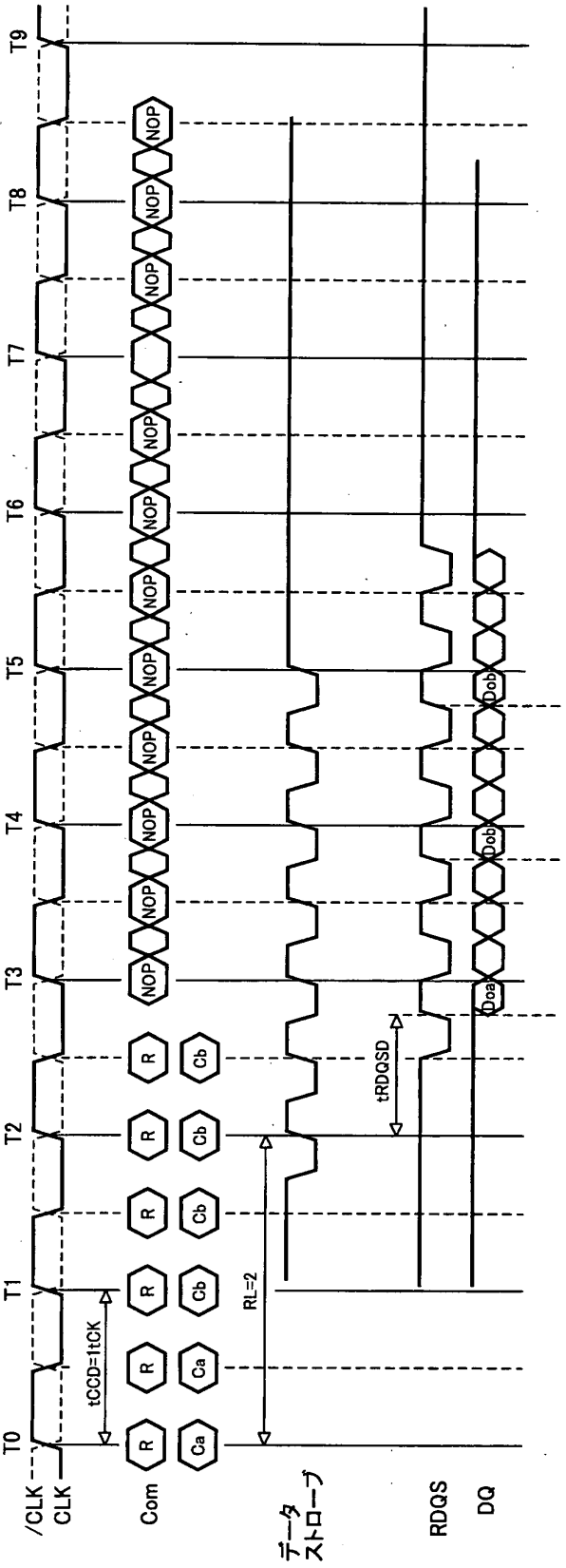
出証特２００７－３０１８５３１

【図８】



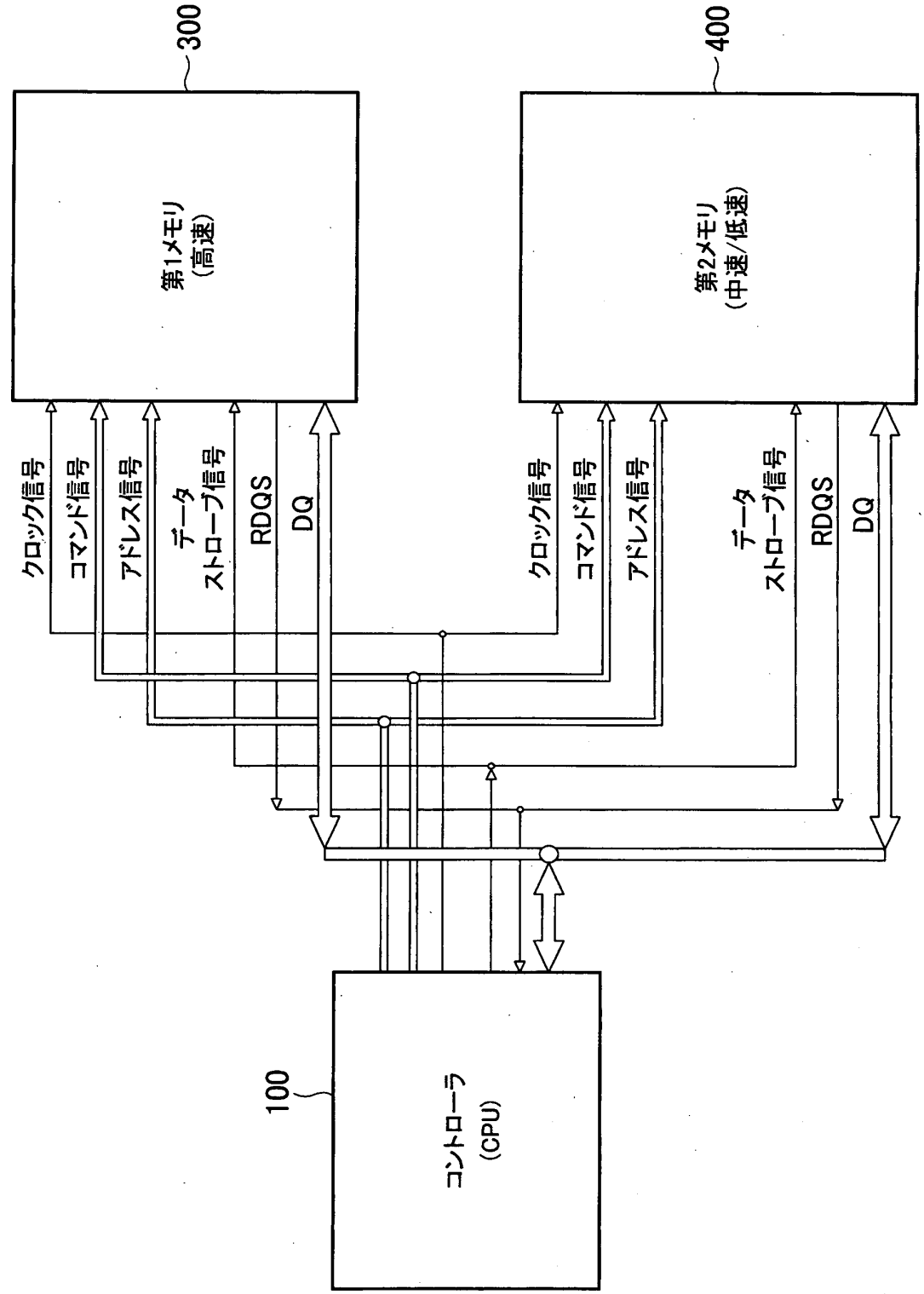
出証特２００７－３０１８５３１

【図９】



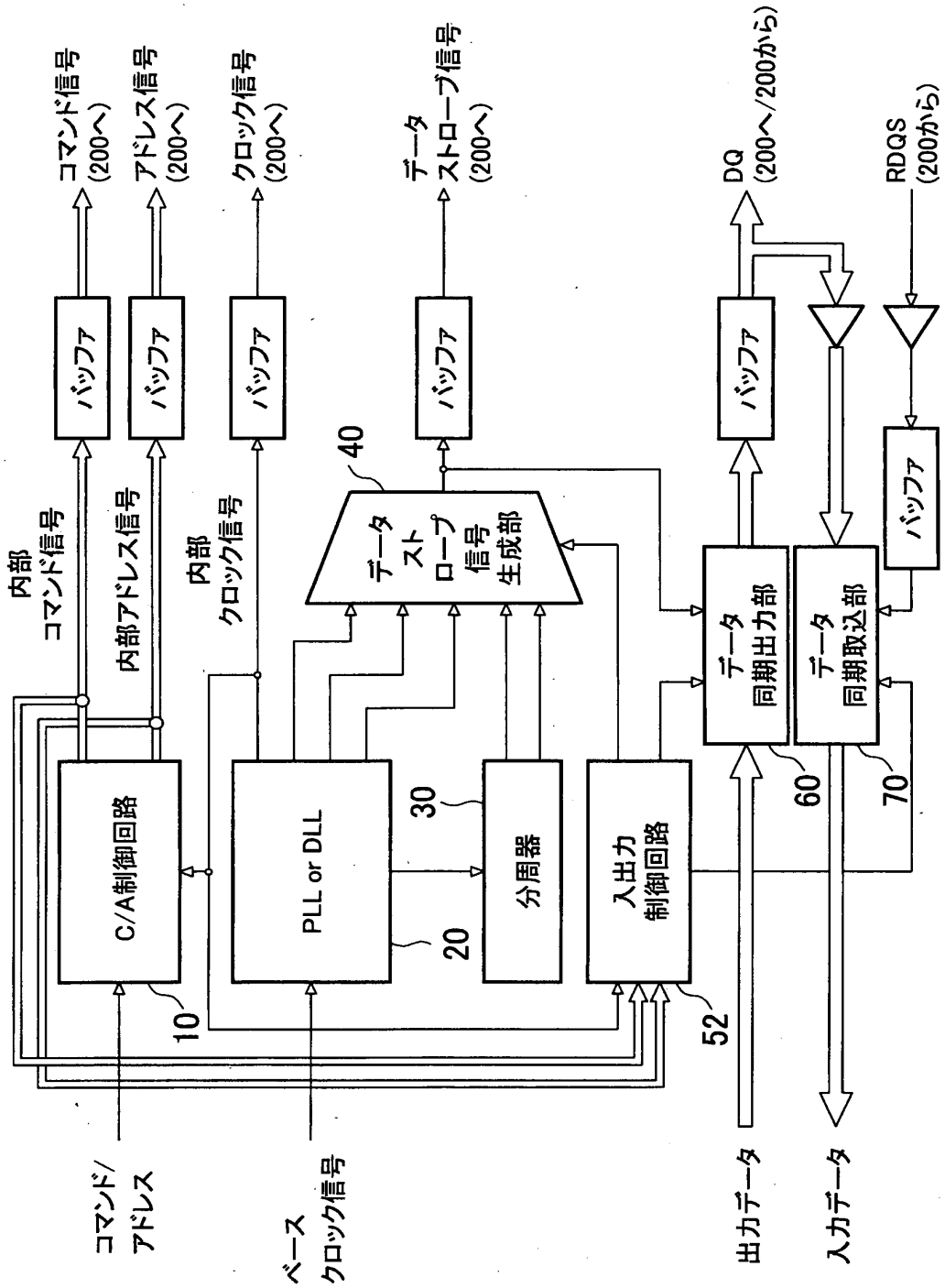
出証特２００７－３０１８５３１

【図１０】



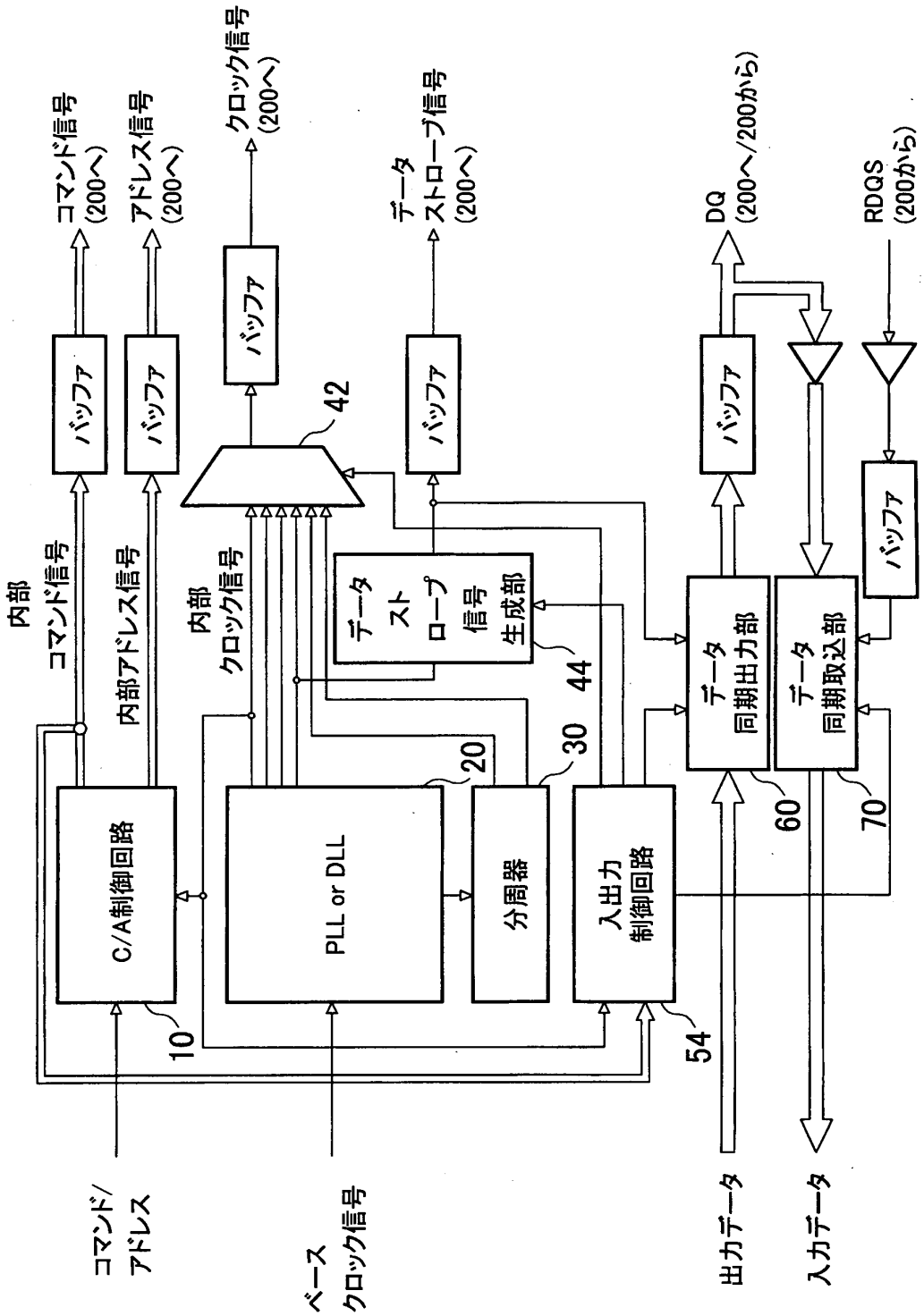
出証特２００７－３０１８５３１

【図１１】



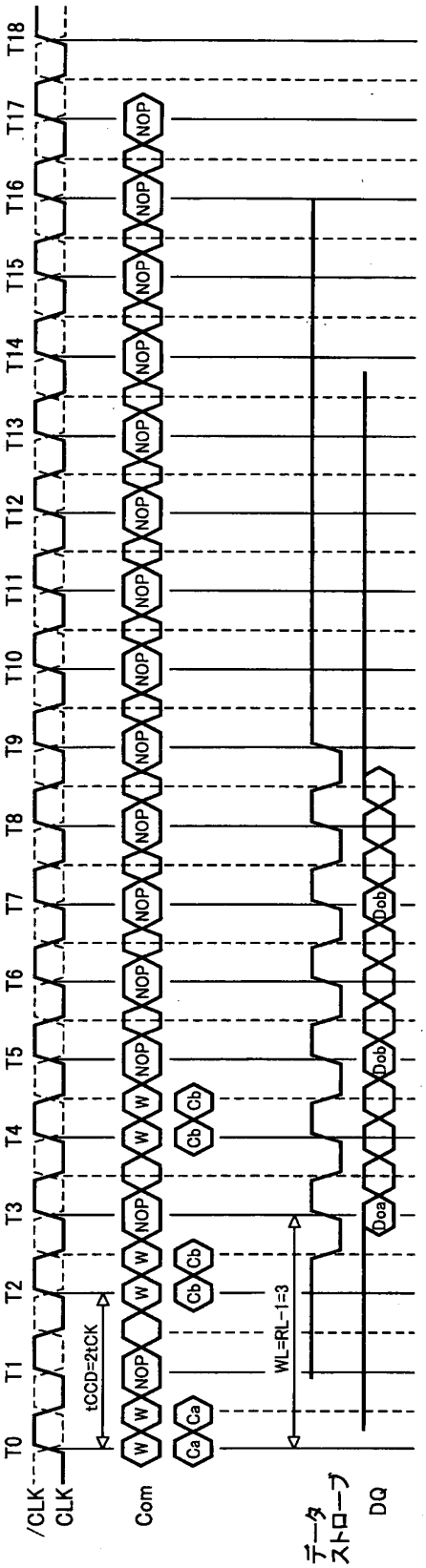
EX1002 / Page 263 of 321
Western Digital Technologies, Inc.

【図１２】

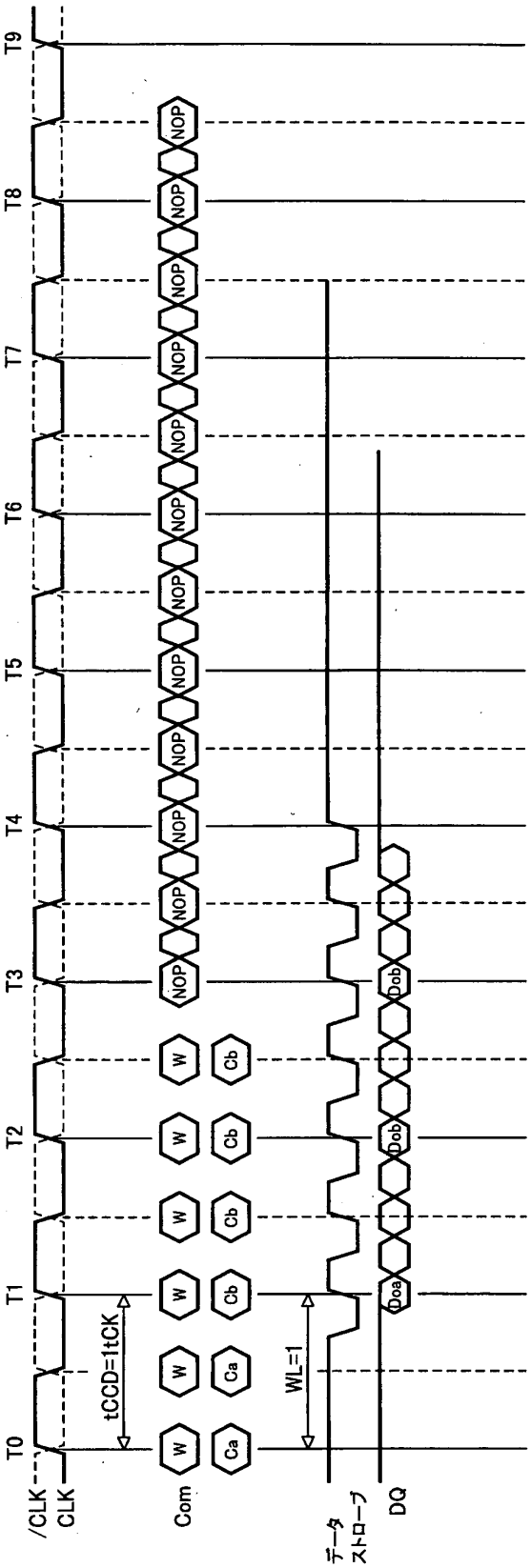


出証特２００７－３０１８５３１

【図１３】

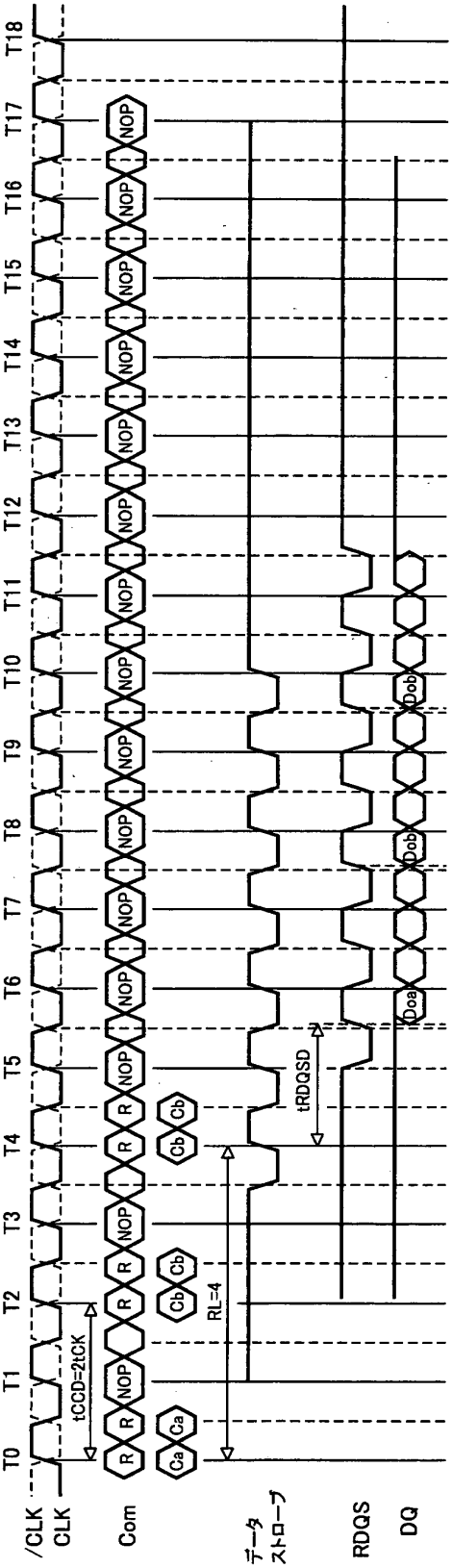

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
T15
T16
T17
T18
/CLK
CLK
Com
データストローブ
DQ
W
NOP
Ca
Cb
Doa
Dob
tCCD=2tCK
WL=RL-1=3

【図１４】

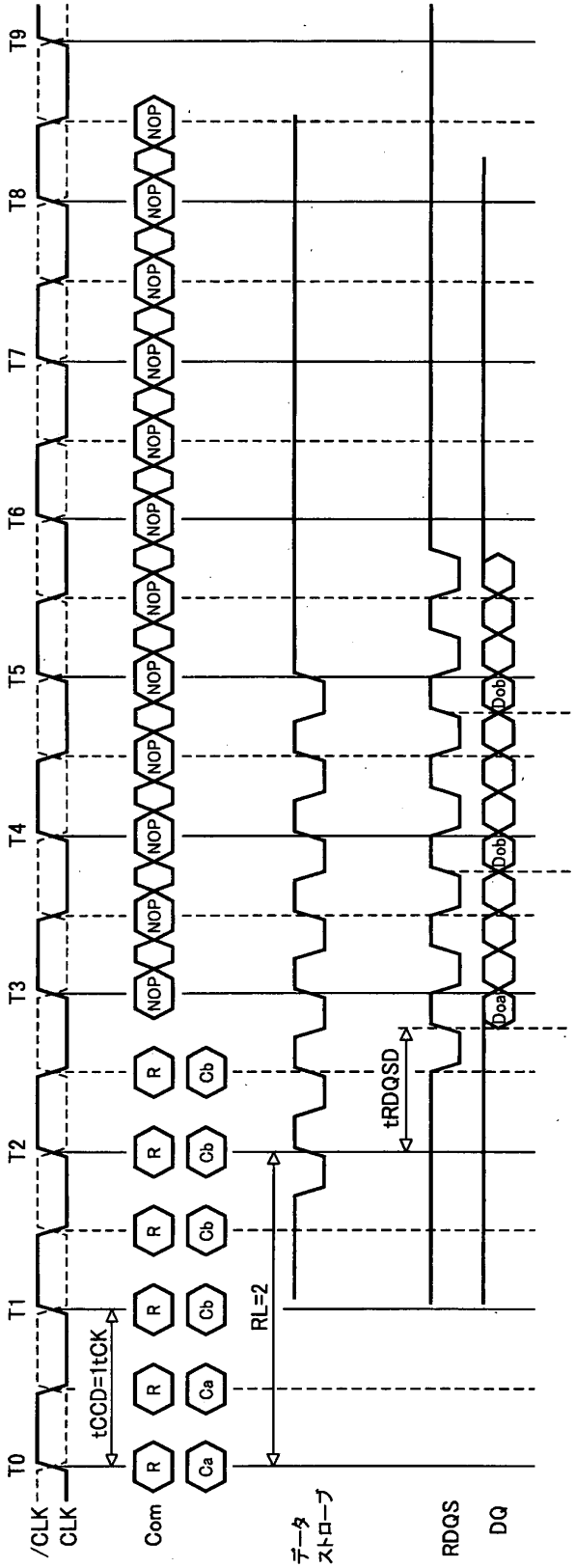


出証特２００７－３０１８５３１

【図１５】


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
T15
T16
T17
T18
/CLK
CLK
Com
データストローブ
RDQS
DQ
R
NOP
Ca
Cb
tCCD=2tCK
RL=4
tRDQSD
Doa
Dob

【図１６】



出証特２００７－３０１８５３１

【書類名】要約書
【要約】
【課題】新たな取り決めに基づいたシステムを提供すること。
【解決手段】本発明によるシステムにおいては、メモリ２００に対するデータ書込時及びメモリ２００からのデータ読出時のいずれにおいても、コントローラ１００から出力されるデータストローブ信号に基づいたデータ（ＤＱ）信号の送受信が行われる。従って、メモリ２００は、データ書込時は勿論のこと、データ読出時においても、コントローラ１００から入力されたデータストローブ信号を用いてデータ送信を行うこととなり、クロック信号から読出データストローブ信号を自前で生成する必要もなければ、読出データストローブ信号をクロック信号に同期させる必要もない。
【選択図】図１

EX1002 / Page 269 of 321
Western Digital Technologies, Inc.

認定・付加情報

特許出願の番号	特願２００６－１６０２０４
受付番号	５０６０１１０８９１０
書類名	特許願
担当官	第七担当上席　　００９６
作成日	平成１８年　６月　９日

＜認定情報・付加情報＞

【提出日】　平成18年 6月 8日

出証特２００７－３０１８５３１

特願２００６－１６０２０４

出　願　人　履　歴　情　報

識別番号　［５００１７４２４７］

１．変更年月日　２０００年　７月１２日
［変更理由］　名称変更
住　所　東京都中央区八重洲２－２－１
氏　名　エルピーダメモリ株式会社

出証番号　出証特２００７－３０１８５３１

MODIFIED FORM PTO/SB/05 (07-06)

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No.	Q102115
First Inventor	Atsuo KOSHIZUKA
Title	SYSTEM WITH CONTROLLER AND MEMORY
Express Mail Label No.	

APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents

1. ☐ Fee Transmittal Form (e.g., PTO/SB/17)
   (Submit an original and duplicate for fee processing)
2. ☐ Applicant claims small entity status.
   See 37 CFR 1.27.
3. ☑ Specification [Total Pages 17]
   Both the claims and abstract must start on a new page
   (For information on the preferred arrangement, see MPEP 608.01(a))
4. ☑ Drawing(s) (35 U.S.C. 113) [Total Sheets 16]
5. Oath or Declaration [Total Sheets 2]
   a. ☑ New executed (original or copy)
   b. ☐ A copy from a prior application (37 CFR 1.63(d))
   (for continuation/divisional with Box 18 completed)
   i. ☐ DELETION OF INVENTORS
   Signed statement attached deleting inventor(s) name in the prior application, see 37 CFR 1.63(d)(2) and 1.33(b).
6. ☑ Application Data Sheet. See 37 CFR 1.76
7. ☐ CD-ROM or CD-R in duplicate, large table or Computer Program (Appendix)
   ☐ Landscape Table on CD
8. ☐ Nucleotide and/or Amino Acid Sequence Submission
   (if applications, items a. – c. are required)
   c. ☐ Computer Readable Form (CRF)
   d. Specification Sequence Listing on:
   ii. ☐ CD-ROM or CD-R (2 copies); or
   iii. ☐ Paper
   e. ☐ Statements verifying identity of above copies

ADDRESS TO:	**Commissioner for Patents** **P.O. Box 1450** **Alexandria VA 22313-1450**

ACCOMPANYING APPLICATION PARTS

9. ☐ Assignment Papers (cover sheet & document(s))
   Name of Assignee ELPIDA MEMORY, INC.,
10. ☐ 37 CFR 3.73(b) Statement ☑ Power of Attorney
    (when there is an assignee)
11. ☐ English Translation Document (if applicable)
12. ☑ Information Disclosure Statement (PTO/SB/08 or PTO-1449)
    ☑ Copies of citations attached
13. ☐ Preliminary Amendment
14. ☐ Return Receipt PostCard (MPEP 503)
    (Should be specifically itemized)
15. ☐ Certified Copy of Priority Document(s)
    (if foreign priority is claimed)
16. ☐ Nonpublication Request under 35 U.S.C. 122(b)(2)(B)(i)
    Applicant must attach form PTO/SB/35 or equivalent.
17. ☑ Priority is claimed from:
    SEE ATTACHED
18. ☐ Other:

19. If a CONTINUING APPLICATION, check appropriate box, and supply the requisite information below and in the first sentence of the specification following the title, or in an Application Data Sheet under 37 CFR 1.76:
☐ Continuation ☐ Divisional ☐ Continuation-in-part (CIP) of prior application No:

Prior application information: Examiner Art Unit:

20. CORRESPONDENCE ADDRESS

☑ The address associated with Customer Number:

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

OR ☐ Correspondence address below

Name	Howard L. Bernstein				
Address	2100 Pennsylvania Ave. NW.				
City	Washington	State	DC	Zip Code	20037
County		Telephone	202-293-7060	Email Address	

Signature	/Howard L. Bernstein/	Date	June 7, 2007
Name (Print/Type)	Howard L. Bernstein	Registration No. (Attorney/Agent)	25,665

UTILITY PATENT APPLICATION TRANSMITTAL
ADDITIONAL PAGE

Priority is claimed from:

Country	Application No	Filing Date
JP	2006-160204	June 8, 2006

SYSTEM WITH CONTROLLER AND MEMORY

BACKGROUND OF THE INVENTION:

[0001] This invention relates to a system having a controller and a memory and, more particularly, to a data sending/receiving operation between the controller and the memory.

[0002] In a conventional data sending/receiving operation between the controller and the memory, either the controller or the memory who serves as a sender generates a data strobe signal which is synchronized with a clock signal. Data signals are sent out from the sender is synchronized with the data strobe signal as disclosed in USP 6,789,209B1, Description of the Related Art, the contents of USP 6,789,209B1 being incorporated herein by reference in their entireties.

[0003] USP 6,789,209B1 points out some problems on the use of the data strobe signal and, alternative to the data strobe signal, proposes a system which sends/receives the data in synchronization with the clock signal.

SUMMARY OF THE INVENTION:

[0004] It is an object of the present invention to provide a system based on a new protocol which is different from the above-described conventional techniques.

[0005] One aspect of the present invention provides a system comprising a controller adapted to send out a first data strobe signal and a write data signal in a write operation. The write data signal is synchronized with the first data strobe signal. The controller is adapted, in a read operation, to send out a second data strobe signal and to receive a read data signal in synchronization with a read data strobe (RDQS) signal. The read data strobe signal corresponds to the second data strobe signal. The system also comprises a memory adapted to receive the write data signal in synchronization

with the first data strobe signal in the write operation. The memory is adapted, in the read operation, to send out the read data strobe signal in response to the second data strobe signal and to send out the read data signal synchronized with the read data strobe signal.

[0006] The controller may be further adapted to produce a clock signal and to send the clock signal to the memory. Each of the first and the second data strobe signals and the read data strobe signal may be independent of and separated from the clock signal.

[0007] Each of the first and the second data strobe signals and the read data strobe signal may has a frequency different from the clock signal.

[0008] Each of the first and the second data strobe signals and the read data strobe signal may not be in synchronization with the clock signal.

[0009] Another aspect of the present invention provides a system wherein the memory comprises a low speed memory and a high speed memory. The controller sends out a clock signal having a clock frequency. The controller also sends out first and second lower data strobe signals as the first and the second data strobe signals for the low speed memory and receives lower read data strobe signal as the read data strobe signal from the low speed memory. Each of the first and the second lower data strobe signals and the lower read data strobe signal has a frequency equal to or lower than the clock frequency. The controller sends out first and second higher data strobe signals as the first and the second data strobe signals for the high speed memory and receives higher read data strobe signal as the read data strobe signal from the high speed memory. Each of the first and the second higher data strobe signals and the higher read data strobe signal has a frequency equal to or 2^n times (n being an integer) as the clock frequency.

[0010] An appreciation of the objectives of the present invention and a more complete understanding of its structure may be had by studying the following

description of the preferred embodiment and by referring to the accompanying drawings.

BRIEF DESCRIPTION OF THE DRAWINGS:

[0011] Fig. 1 is a schematic block diagram showing a structure of a system according to a first embodiment of the present invention;

[0012] Fig. 2 is a schematic diagram showing a structure of a controller of Fig. 1;

[0013] Fig. 3 is a schematic diagram showing a structure of a memory of Fig. 1;

[0014] Fig. 4 shows an example of a data I/O (input/output) synchronization signal generating section and a data I/O section of Fig. 3;

[0015] Fig. 5 shows another example of the data I/O synchronization signal generating section and the data I/O section of Fig. 3;

[0016] Fig. 6 is an example of a timing chart showing a write operation of the memory in the system of Fig. 1 (double data rate);

[0017] Fig. 7 is another example of a timing chart showing a write operation of the memory in the system of Fig. 1 (quad data rate);

[0018] Fig. 8 is an example of a timing chart showing a read operation of the memory in the system of Fig. 1 (double data rate);

[0019] Fig. 9 is another example of a timing chart showing a read operation of the memory in the system of Fig. 1 (quad data rate);

[0020] Fig. 10 is a schematic diagram showing an application of the system according to the first embodiment of the present invention.

[0021] Fig. 11 is a schematic diagram showing a structure of a controller applicable to the system of Fig. 10;

[0022] Fig. 12 is a schematic diagram showing a structure of a controller according to a second embodiment of the present invention;

[0023] Fig. 13 is an example of a timing chart showing a write operation of the

memory in the system according to the second embodiment (double data rate);

[0024] Fig. 14 is another example of a timing chart showing a write operation of the memory in the system according to the second embodiment (quad data rate);

[0025] Fig. 15 is an example of a timing chart showing a read operation of the memory in the system according to the second embodiment (double data rate); and

[0026] Fig. 16 is another example of a timing chart showing a read operation of the memory in the system according to the second embodiment (quad data rate).

[0027] While the invention is susceptible to various modifications and alternative forms, specific embodiments thereof are shown by way of example in the drawings and will herein be described in detail. It should be understood, however, that the drawings and detailed description thereto are not intended to limit the invention to the particular form disclosed, but on the contrary, the intention is to cover all modifications, equivalents and alternatives falling within the spirit and scope of the present invention as defined by the appended claims.

DESCRIPTION OF PREFERRED EMBODIMENTS:

[0028] (1st Embodiment)

Referring to Fig. 1, a system according to a first embodiment of the present invention has a controller 100 and a memory 200. The controller 100 outputs a clock signal, command signals, and address signals to the memory 200. The controller 100 also outputs and receives data (DQ) signals into/from the memory 200.

[0029] The controller 100 is adapted to send out a first data strobe signal and a write data signal in a write operation. The write data signal is synchronized with the first data strobe signal. The controller 100 is also adapted, in a read operation, to send out a second data strobe signal and to receive a read data signal in synchronization with a read data strobe (RDQS) signal. The RDQS signal corresponds to the second data strobe signal.

[0030] The memory 200 is adapted to receive the write data signal in synchronization with the first data strobe signal in the write operation. The memory 200 is adapted, in the read operation, to output the read data strobe signal in response to the second data strobe signal and to send out the read data signal synchronized with the read data strobe signal.

[0031] In this embodiment, each of the first and the second data strobe signals and the read data strobe signal is independent of and separated from the clock signal. In detail, each of the first and the second data strobe signals and the read data strobe signal has a frequency different from the clock signal, and is not in synchronization with the clock signal in this embodiment.

[0032] In the data read operation, the data strobe signal sent out from the controller 100 loopbacks via an interface section (not shown) of the memory 200 and is used as a data reception synchronizing signal at the controller 100.

[0033] In the system according to the first embodiment, the write/read operations to/from the memory 200 are controlled by the data strobe signal outputted from the controller 100. The write and the read operations can be carried out without the use of and independently from the clock signal. Therefore, it is not necessary for the memory 200 to produce the data strobe signal from the clock signal nor to make the read data strobe signal synchronize with the clock signal.

[0034] Now, description will be made about the system in which the clock signal has a constant and fixed frequency while the data strobe signal has the frequency different from the clock signal.

[0035] Referring to Fig. 2, the controller 100 according to the first embodiment has a C/A (command/address) control circuit 10, a PLL/DLL 20, a divider 30, a data strobe signal generating section 40, an input/output control circuit 50, a data synchronous output section 60, and a data synchronous capture section 70.

[0036] Supplied with command/address outputs, the C/A control circuit 10 generates

internal command signals and internal address signals. The internal command signals and the internal address signals are sent to the memory 200 via a buffer as the command signals and the address signals, respectively. In the present embodiment, the internal command signals are also sent to the I/O control circuit 50.

[0037] Supplied with a base clock signal, the PLL/DLL circuit 20 generates an internal clock signal and a signal having the frequency at 2^n times (n being a positive integer) based on the base clock signal. The divider 30 generates a signal having the frequency at 2^p times (p being a negative integer) as the internal clock signal. Each of the PLL/DLL circuit 20 and the divider 30 functions as an intermediate clock signal generator for generating a plurality of intermediate clock signals including the internal clock signals. Each of the plurality of intermediate clock signals has different frequency. In the present embodiment, the intermediate clock signal generator generates the intermediate clock signals each of which has the frequency at 2^m times (m being an arbitral integer) as the internal clock signal. The internal clock signal is sent to the memory 200 via the buffer as the clock signal. As shown in Fig. 1, the internal clock signal also functions as an operation clock in the controller 100.

[0038] The data strobe signal generating section 40 receives the plurality of intermediate clock signals from the PLL/DLL circuit 20 and the divider 30 and selects one of the intermediate clock signals. Based on the selected intermediate clock signal, the data strobe signal generating section 40 generates an internal data strobe signal under the control of the input/output control circuit 50. The internal data strobe signal is sent out as the data strobe signal to the memory 200 via the buffer. In the present embodiment, the internal data strobe signal is also sent to the data synchronous output section 60.

[0039] The input/output control circuit 50 receives the internal command signal and, if the received command is a write command signal, activates the data synchronous output section 60. If the received command is a read command signal, the

input/output control circuit 50 activates the data synchronous capture section 70. The input/output control circuit 50 of the present embodiment also outputs a frequency selecting signal to the data strobe signal generating section 40. The frequency selecting signal indicates one of the intermediate clock signals to be selected for use in generating the internal data strobe signal. In the present embodiment, the data strobe signal generating section 40 is a selector which is brought into the activation state for the predetermined period of time while the frequency selecting signals are supplied thereto. The input/output control circuit 50 determines the activation period of the data strobe signal generating section 40, i.e., the period of producing the frequency selecting signals. During the activated period, the data strobe signal generating section 40 outputs the data strobe signal having the predetermined length in consideration of the preamble period. In addition, the input/output control circuit 50 determines a timing to start the activation period of the data strobe signal generating section 40 in consideration of a latency corresponding to the write/read commands.

[0040] While being activated under the control of the input/output control circuit 50, the data synchronous output section 60 outputs the data as the DQ signal to the memory 200 via the buffer in synchronization with the internal data strobe signal.

[0041] On the other hand, while being activated under the control of the input/output control circuit 50, the data synchronous capture section 70 captures the read data, i.e., the DQ signal in synchronization with the RDQS signal which was sent out from the memory 200.

[0042] Referring to Fig. 3, the memory 200 according to the first embodiment has at least a data I/O (input/output) section 210, a data I/O synchronous signal generating section 220, and an internal clock signal generating section 230. The data I/O (input/output) section 210 sends and receives the DQ signals between the controller 100. The data I/O synchronous signal generating section 220 generates a synchronous signal for controlling the operation of the data I./O section based on the

data strobe signal and generates the RDQS signal from the data strobe signal in the read operation. The internal clock signal generating section 230 generates an internal clock signal upon receiving the clock signal and sends out the internal clock signal to circuits for command/address and so on. As shown in Fig. 3, the input/output operation of the memory 200 is carried out based on the data strobe signal received from the controller 100 and is completely separated from the clock signal.

[0043] Fig. 4 shows the data I/O section 210 and the data I/O synchronous signal generating section 220a applicable to the embodiment of the present invention. The data I/O synchronous signal generating section 220a has the buffer for generating the input synchronous signal from the received data strobe signal and an output synchronous signal generating section for generating the RDQS signal as well as the output synchronous signal from the intermediate synchronous signal from the buffer. The data I/O section 210 has a data latch for latching the DQ signal in synchronization with the input synchronous signal and outputting the same as the write data, and a data output buffer for receiving the read data and outputting the same as the DQ signal in synchronization with the output synchronous signal to the controller 100. In Fig. 4, the data strobe signal and the RDQS signal are transmitted in a single-ended transmission system.

[0044] Fig. 5 shows the data input/output (I/O) section 210 and the data I/O synchronous signal generating section 220b applicable to the embodiment of the present invention. According to the example shown in Fig. 5, the data strobe signal and the RDQS signal are transmitted in the differential transmission system. The data I/O synchronous signal generating section 220b has the structure same as the that described above with reference to Fig. 4 except that the structure of the receiver amplifier and the driver are different.

[0045] Figs. 6 to 9 are timing charts showing the operations of the system according to the embodiment of the present invention. Figs. 6 and 7 are the timing charts

showing the write operation of the memory 200 and Figs. 8 and 9 are the timing charts showing the read operation of the memory 200.

[0046] Referring to Fig. 6, the clock signal and the data strobe signal has the same frequencies. Data are captured in synchronization with the rising edge and the falling edge of the data strobe signal. In the example shown in Fig. 6, the data rate of the data strobe signal is twice as the frequency of the clock signal.

[0047] Referring to Fig. 7, the data strobe signal has the frequency twice as the frequency of the clock signal. Data are captured in synchronization with the rising edge and the falling edge of the clock signal. In this case, the data rate of the data strobe signal is four times as the frequency of the clock signal. Referring to Fig. 2 together with Fig. 7, the example shown in Fig. 7 can be obtained by generating the data strobe signal based on the intermediate clock signal having the frequency twice as that of the internal clock signal selected by the data strobe signal generating section 40.

[0048] Referring to Fig. 8, the clock signal and the data strobe signal has the same frequencies. Data are sent out in synchronization with the rising edge and the falling edge of the data strobe signals. The data rate is twice as the frequency of the clock signal.

[0049] Referring to Fig. 9, the data are captured in synchronization with the rising edge and the falling edge of the frequency of the data strobe signal having the frequency twice as that of the clock signal. The data rate is four times as the frequency of the clock signal. Referring to Fig. 2 together with Fig. 9, the example shown in Fig. 9 can be obtained by selecting one of the intermediate clock signals having the frequency twice as that of the internal clock signal and generating the internal data strobe signal based on the selected one of the intermediate clock signals by the data strobe signal generating section 40.

[0050] Referring to Figs. 8 and 9, tRDQSD represents the spontaneous delay

amount which is added to the data strobe signal while the data strobe signal is outputted as the RDQS signal via the data I/O synchronous signal generating section 220a (Fig. 4) or 220b (Fig. 5). The delay amount shown in Figs. 8 and 9 is not a strict delay amount such as the delay replica incorporated in the DLL. In Fig. 8 and 9, the depiction of the tRDQSD helps it clearly be understood that the DQ signal is synchronized with the RDQS signal but is not synchronized with the clock signals. According to the present embodiment, the DQ signal can be transmitted/received in synchronization with only the data strobe signal. Therefore, the structure of the input/output section of the memory 200 can be simplified.

[0051] Next, description will be made about another example of the first embodiment. Referring to Fig. 10, the system has a high speed memory and a low speed memory. Hereinafter the high speed memory is called a first memory 300 and the low speed memory is called a second memory 400. The first memory 300 has the high data rate while the second memory 400 has the low data rate.

[0052] According to another example, the controller 100 sends out the clock signal having the clock frequency. The controller 100 also sends out first and second lower data strobe signals as the first and the second data strobe signals for the low speed memory 400 and receives lower read data strobe signal as the read data strobe signal from the low speed memory 400. Each of the first and the second lower data strobe signals and the lower read data strobe signal has a frequency equal to or lower than the clock frequency.

[0053] The controller 100 sends out first and second higher data strobe signals as the first and the second data strobe signals for the high speed memory 300 and receives higher read data strobe signal as the read data strobe signal from the high speed memory 300. Each of the first and the second higher data strobe signals and the higher read data strobe signal has a frequency equal to or 2^n times (n being an integer) as the clock frequency.

[0054] According to the first embodiment, the frequency of the clock signal is fixed and constant while the frequency of the data strobe signal is variable and different from the clock signal. Therefore, both the high speed memory 300 and the low speed memory 400 can be operated by the data strobe signals each having the suitable data rate for each memory.

[0055] Fig. 11 shows an example of the controller 100 capable of automatically controlling the frequency of the data strobe signal when the first memory 300 and the second memory 400 are distinctly different from each other within an address space. In this case, the frequency of the data strobe signal is automatically controlled depending on the content of the address. In Fig. 11, the same reference numbers are given to the structures same as those illustrated in Fig. 10 and the description therefor will be omitted.

[0056] Referring to Fig. 11, the internal address signal outputted from the C/A control circuit is supplied to the input/output control circuit 52. The input/output control circuit 52 receives the internal address signal and judges whether the received signal is designated for the first memory 300 or the second memory 400. Based on the judgment result, the input/output control circuit 52 sends out the frequency selection signal to the data strobe signal generating section 40. The frequency selection signal is used to select the frequency corresponding to the designated memory. According to the first embodiment, the data strobe signal generating section 40 sends out the data strobe signal having the frequency suitable for either the first memory 300 or the second memory 400 under the control of the input/output control circuit 52.

[0057] (Second Embodiment)

The system according to the second embodiment of the present invention is a modified example of the first embodiment of the present invention. According to the second embodiment, the frequency of the data strobe signal is fixed and constant while the frequency of the clock signal is variable. The memory 200 of the second

embodiment has the same structure as the first embodiment. The controller 100 of the second embodiment has the structure slightly different from the first embodiment. Hereinbelow, the detailed description will be made about the different parts of the structure with reference to Figs. 12 to 16. In the second embodiment, the same reference numbers are given for the parts those are same as the first embodiment and the description therefor will be omitted.

[0058] Referring to Fig. 12, the controller according to the second embodiment of the present invention has the C/A control circuit 10, the PLL/DLL 20, the divider 30, a clock signal selecting section 42, the data strobe signal generating section 44, the input/output (I/O) control circuit 54, the data synchronous output section 60, and the data synchronous capture section 70.

[0059] Under the control of the I/O control circuit 54, the clock signal selecting section 42 selects one of the plurality of intermediate clock signals outputted from the PLL/DLL 20 and the divider 30. The clock signal selecting section 42 outputs the selected intermediate clock signal as the clock signal to the memory 200 via the buffer.

[0060] The data strobe signal generating section 44 receives a specific one of the plurality of intermediate clock signals outputted from the PLL/DLL 20 and the divider 30. Under the control of the I/O control circuit 54, the data strobe signal generating section 44 generates the internal data strobe signal based on the received intermediate clock signal and sends out the same as the data strobe signal to the memory 200 via the buffer.

[0061] The I/O control circuit 54 outputs the frequency selecting signal to the clock signal selecting section 42. The frequency selecting signal is indicative of the signal to be selected among the intermediate clock signals. The I/O control circuit 54 also outputs an activation signal to the data strobe signal generating section 44. The activation signal activates the data strobe signal generating section 44 for a certain

and suitable period of time in consideration of the latency corresponding to the write/read command. The input/output control circuit 54 controls the data synchronous output section 60 and the data synchronous capture section 70 in the manner same as the first embodiment.

[0062] Figs 13 to 16 show the operation timing charts of the memory 200 of the system according to the present embodiment.

[0063] Figs. 13 and 14 show the timing charts of the data write operation. Referring to Fig. 13, the frequency of the clock signal and the data strobe signal are the same. The data rate of the data strobe signal is twice as the frequency of the clock signal. Referring to Fig. 14, the frequency of the clock signal is 1/2 times as the frequency of the data strobe signal. The data rate of the data strobe signal is four times as the frequency of the clock signal.

[0064] Figs. 15 and 16 show the timing charts of the data read operation. Referring to Fig. 15, the frequency of the clock signal and the data strobe signal are the same. The data rate of the data strobe signal is twice as the frequency of the clock signal. Referring to Fig. 16, the frequency of the clock signal is 1/2 times as the frequency of the data strobe signal. The data rate of the data strobe signal is four times as the frequency of the clock signal.

[0065] The present application is based on Japanese patent applications of JP2006-160204 filed before the Japan Patent Office on June 8, 2006, the contents of which are incorporated herein by reference.

[0066] While there has been described what is believed to be the preferred embodiment of the invention, those skilled in the art will recognize that other and further modifications may be made thereto without departing from the spirit of the invention, and it is intended to claim all such embodiments that fall within the true scope of the invention.

WHAT IS CLAIMED IS:

1. A system comprising:

a controller adapted to send out a first data strobe signal and a write data signal in a write operation, the write data signal being synchronized with the first data strobe signal, the controller being adapted, in a read operation, to send out a second data strobe signal and to receive a read data signal in synchronization with a read data strobe signal, the read data strobe signal corresponding to the second data strobe signal; and

a memory adapted to receive the write data signal in synchronization with the first data strobe signal in the write operation, the memory being adapted, in the read operation, to output the read data strobe signal in response to the second data strobe signal and to send out the read data signal synchronized with the read data strobe signal.

2. The system according to claim 1, wherein the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent of and separated from the clock signal.

3. The system according to claim 2, wherein each of the first and the second data strobe signals and the read data strobe signal has a frequency different from the clock signal.

4. The system according to claim 2, wherein each of the first and the second data strobe signals and the read data strobe signal is not in synchronization with the clock signal.

5. The system according to claim 2, wherein:

the memory comprises a low speed memory and a high speed memory;

the clock signal has a clock frequency;

the controller sends out first and second lower data strobe signals as the first and the second data strobe signals for the low speed memory and receives lower read data strobe signal as the read data strobe signal from the low speed memory, each of the first and the second lower data strobe signals and the lower read data strobe signal having a frequency equal to or lower than the clock frequency; and

the controller sends out first and second higher data strobe signals as the first and the second data strobe signals for the high speed memory and receives higher read data strobe signal as the read data strobe signal from the high speed memory, each of the first and the second higher data strobe signals and the higher read data strobe signal having a frequency equal to or 2^n times (n being an integer) as the clock frequency.

6. A controller for use in a system, the system including a memory,

the controller being adapted to send out a first data strobe signal and a write data signal to the memory in a write operation, the write data signal being synchronized with the first data strobe signal, the controller being adapted to send out a second data strobe signal to the memory and to receive a read data signal in synchronization with a read data strobe signal from the memory in a read operation, the read data strobe signal corresponding to the second data strobe signal in the read operation.

7. The controller according to claim 6, wherein the controller is further adapted to produce a clock signal and to send the clock signal to the memory, each of the first and the second data strobe signals and the read data strobe signal being independent

of and separated from the clock signal.

8. The controller according to claim 7, wherein each of the first and the second data strobe signals and the read data strobe signal has a frequency different from the clock signal.

9. The controller according to claim 7, wherein each of the first and the second data strobe signals and the read data strobe signal is not in synchronization with the clock signal.

10. A memory for use in a system, the system including a controller, the controller outputting a data strobe signal in a read operation,

the memory being adapted to send out a read data strobe signal to the controller in response to the second data strobe signal and to send out a read data signal synchronized with the read data strobe signal in a read operation.

11. The memory according to claim 10, the controller being further adapted to send out a clock signal and to send the clock signal to the memory, wherein each of the data strobe signal and the read data strobe signal is independent of and separated from the clock signal.

12. The memory according to claim 11, wherein each of the data strobe signal and the read data strobe signal has a frequency different from the clock signal.

13. The memory according to claim 11, wherein each of the data strobe signal and the read data strobe signal is not in synchronization with the clock signal.

ABSTRACT OF THE DISCLOSURE

According to the system of the present invention, data (DQ) signals are outputted/received between a controller 100 and a memory 200 based on a data strobe signal sent out from the controller 100. The data strobe signal is independently and completely separated from a clock signal. The data strobe signal has a frequency different from a clock signal. Therefore, the memory 200 is not required to generate a read data strobe signal from the clock signal nor to send the read data strobe signal in synchronization with the clock signal.

(Fig. 1)

EPD0028(US)
2006-160204

DECLARATION AND POWER OF ATTORNEY FOR UTILITY OR DESIGN PATENT APPLICATION (37 CFR 1.63)

As a below named inventor, I hereby declare that: My residence, mailing address, and citizenship are as stated below next to my name. I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

SYSTEM WITH CONTROLLER AND MEMORY

the application of which
☒ is attached hereto

OR

☐ was filed on _____ as United States Application Number or PCT International Application Number _____, (Confirmation No. _____), and was amended on _____ (if applicable).

I hereby state that I have reviewed and understand the contents of the above identified application, including the claims, as amended by any amendment specifically referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56, including for continuation-in-part application(s), material information which became available between the filing date of the prior application and the national or PCT international filing date of the continuation-in-part application.

I hereby claim foreign priority benefits under 35 U.S.C. 119(a)-(d) or (f), or 365(b) of any foreign application(s) for patent, inventor's or plant breeder's rights certificate(s), or 365(a) of any PCT international application(s) which designated at least one country other than the United States of America, listed below and have also identified below, by checking the box, any foreign application(s) for patent, inventor's or plant breeder's rights certificate(s), or any PCT international application(s) having a filing date before that of the application on which priority is claimed.

Prior Foreign Application Number(s)	Country	Foreign Filing Date	Priority Claimed Yes	Priority Claimed No
2006-160204	Japan	June 8, 2006	☒	☐

I hereby claim domestic priority benefits under 35 United States Code §120 of any United States application(s), §119(e) of any United States provisional application(s), or §365(c) of any PCT International application(s) designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in a listed prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code, §112, I acknowledge my duty to disclose any information material to the patentability of this application as defined in 37 C.F.R. 1.56 which occurred between the filing date of the prior application and the national or PCT international filing date of this application:

Prior U.S. or International Application Number(s)	U.S. or International Filing Date	Status

I hereby appoint all attorneys of **SUGHRUE MION, PLLC** who are listed under the USPTO Customer Number shown below as my attorneys to prosecute this application and to transact all business in the United States Patent and Trademark Office connected therewith, recognizing that the specific attorneys listed under that Customer Number may be changed from time to time at the sole discretion of Sughrue Mion, PLLC, and request that all correspondence about the application be addressed to the address filed under the same USPTO Customer Number.



23373
PATENT TRADEMARK OFFICE

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. 1001 and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

NAME OF SOLE OR FIRST INVENTOR:			
Given Name (first and middle [if any]) Atsuo		Family Name or Surname KOSHIZUKA	
Inventor's Signature Atsuo Koshizuka		Date 26th. March. 07	
Residence: City Tokyo	State	Country Japan	Citizenship Japanese
Mailing Address: c/o Elpida Memory, Inc., 2-1, Yaesu 2-chome, Chuo-ku			
City Tokyo	State	Zip	Country Japan
NAME OF SECOND INVENTOR:			
Given Name (first and middle [if any])		Family Name or Surname	
Inventor's Signature		Date	
Residence: City	State	Country	Citizenship
Mailing Address:			
City	State	Zip	Country
NAME OF THIRD INVENTOR:			
Given Name (first and middle [if any])		Family Name or Surname	
Inventor's Signature		Date	
Residence: City	State	Country	Citizenship
Mailing Address:			
City	State	Zip	Country
NAME OF FOURTH INVENTOR:			
Given Name (first and middle [if any])		Family Name or Surname	
Inventor's Signature		Date	
Residence: City	State	Country	Citizenship
Mailing Address:			
City	State	Zip	Country
NAME OF FIFTH INVENTOR:			
Given Name (first and middle [if any])		Family Name or Surname	
Inventor's Signature		Date	
Residence: City	State	Country	Citizenship
Mailing Address:			
City	State	Zip	Country

FIG. 1

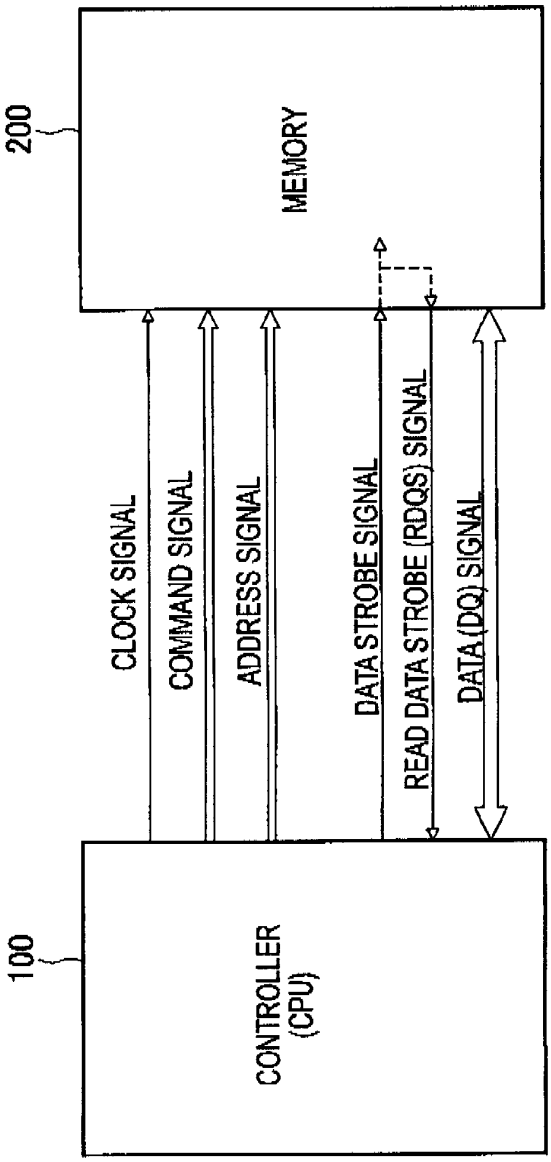

200
MEMORY
CLOCK SIGNAL
COMMAND SIGNAL
ADDRESS SIGNAL
DATA STROBE SIGNAL
READ DATA STROBE (RDQS) SIGNAL
DATA (DQ) SIGNAL
100
CONTROLLER
(CPU)

FIG. 2

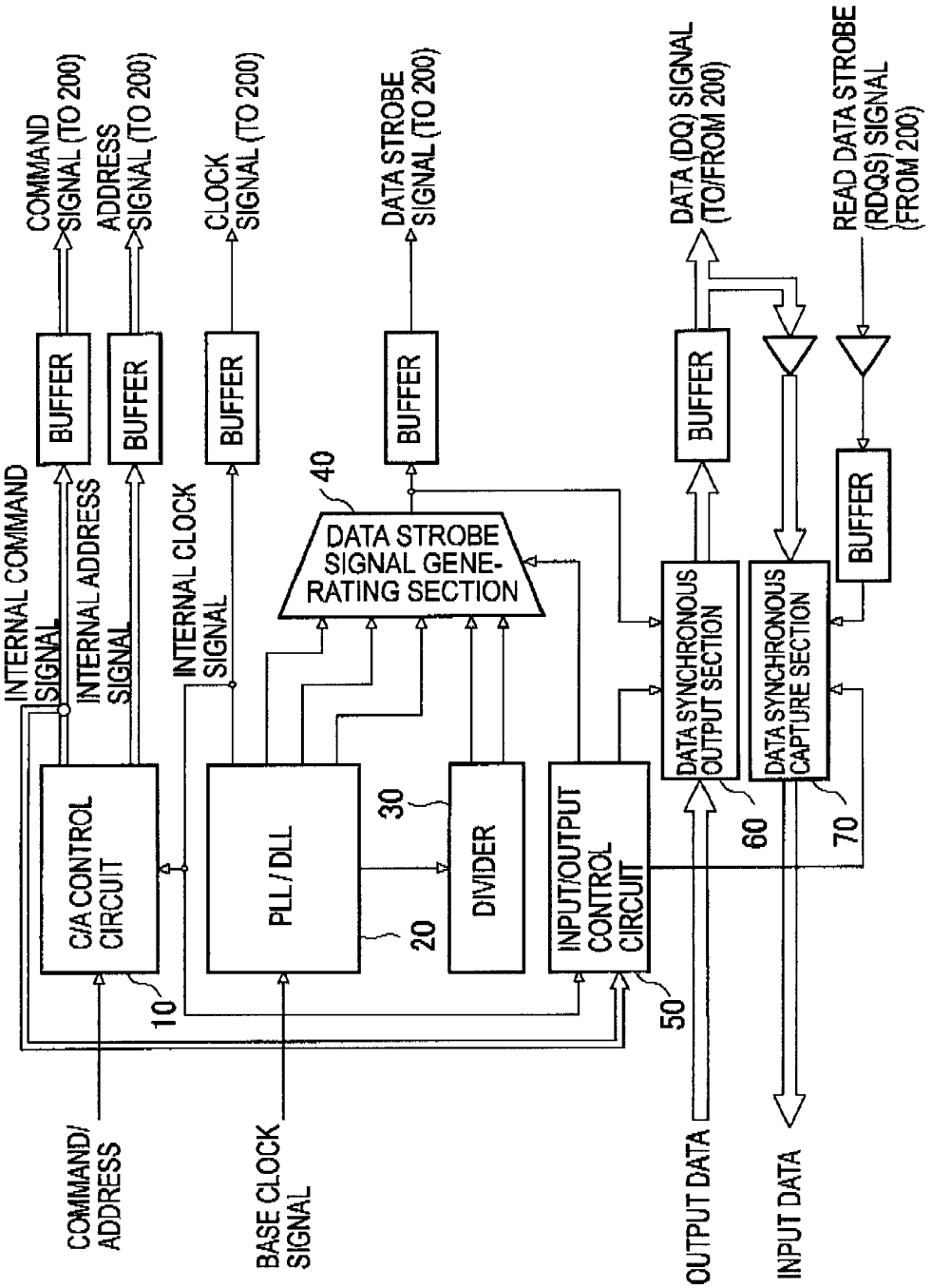

COMMAND SIGNAL (TO 200)
ADDRESS SIGNAL (TO 200)
CLOCK SIGNAL (TO 200)
DATA STROBE SIGNAL (TO 200)
DATA (DQ) SIGNAL (TO/FROM 200)
READ DATA STROBE (RDQS) SIGNAL (FROM 200)
BUFFER
INTERNAL COMMAND SIGNAL
INTERNAL ADDRESS SIGNAL
INTERNAL CLOCK SIGNAL
40
DATA STROBE SIGNAL GENE-RATING SECTION
C/A CONTROL CIRCUIT
PLL / DLL
DIVIDER
INPUT/OUTPUT CONTROL CIRCUIT
DATA SYNCHRONOUS OUTPUT SECTION
DATA SYNCHRONOUS CAPTURE SECTION
10
20
30
50
60
70
COMMAND/ ADDRESS
BASE CLOCK SIGNAL
OUTPUT DATA
INPUT DATA

FIG. 3

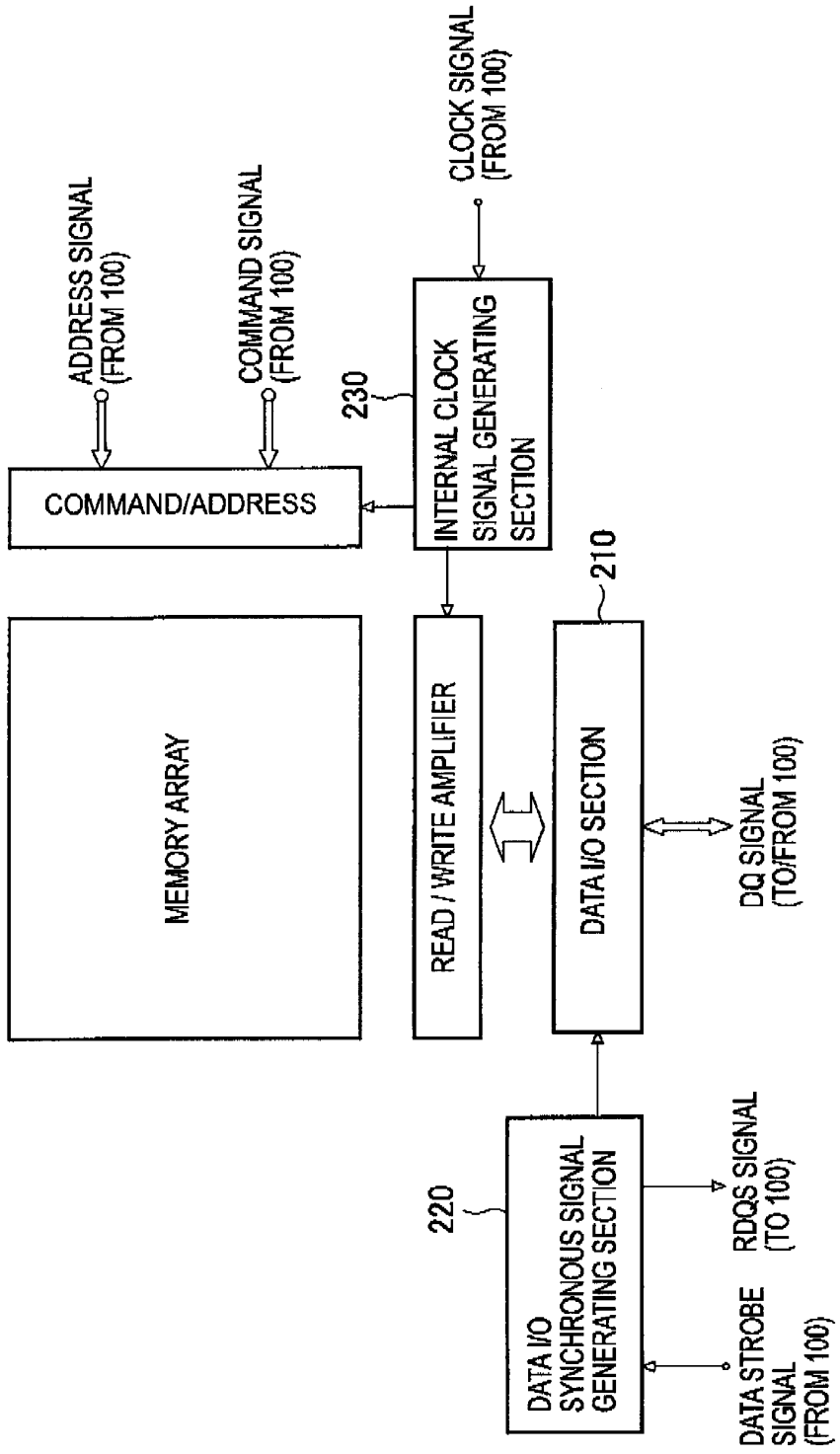

ADDRESS SIGNAL (FROM 100)
COMMAND SIGNAL (FROM 100)
CLOCK SIGNAL (FROM 100)
230
INTERNAL CLOCK SIGNAL GENERATING SECTION
COMMAND/ADDRESS
MEMORY ARRAY
READ / WRITE AMPLIFIER
210
DATA I/O SECTION
DQ SIGNAL (TO/FROM 100)
220
DATA I/O SYNCHRONOUS SIGNAL GENERATING SECTION
RDQS SIGNAL (TO 100)
DATA STROBE SIGNAL (FROM 100)

FIG. 4

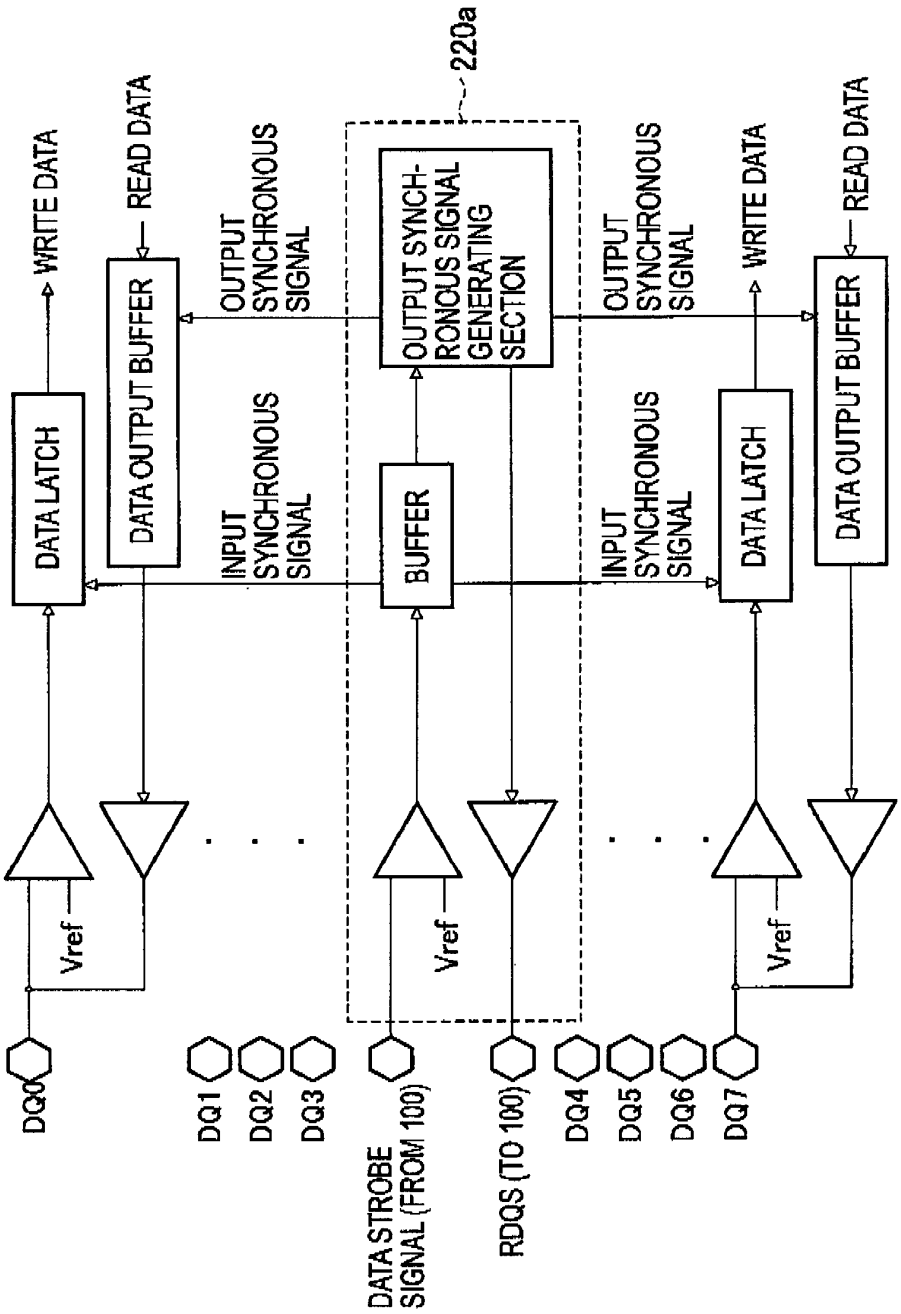

210
220a
WRITE DATA
READ DATA
DATA LATCH
DATA OUTPUT BUFFER
OUTPUT SYNCHRONOUS SIGNAL
INPUT SYNCHRONOUS SIGNAL
OUTPUT SYNCHRONCUS SIGNAL GENERATING SECTION
BUFFER
Vref
DQ0
DQ1
DQ2
DQ3
DATA STROBE SIGNAL (FROM 100)
RDQS (TO 100)
DQ4
DQ5
DQ6
DQ7

FIG. 5

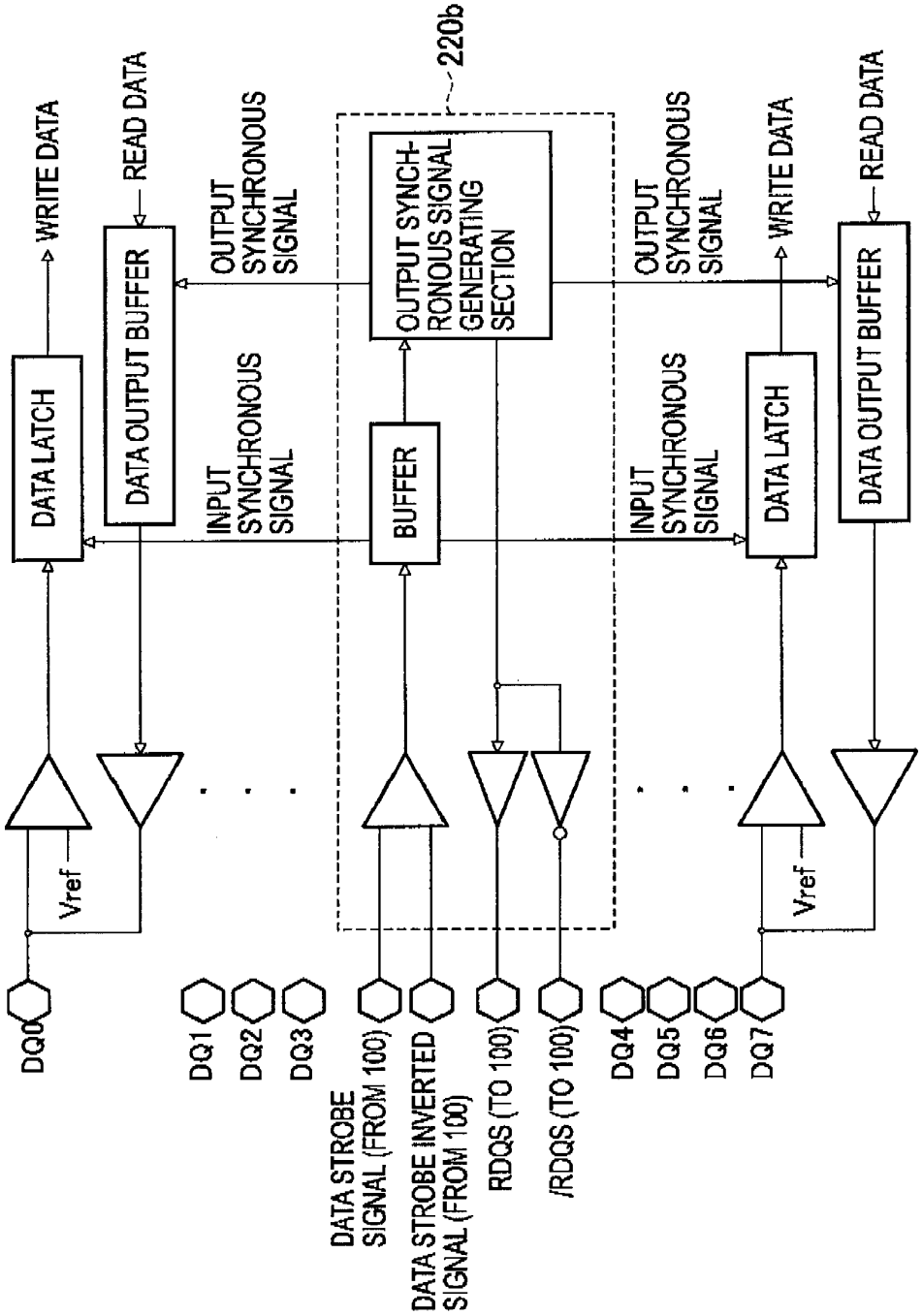

210
220b
WRITE DATA
READ DATA
DATA LATCH
DATA OUTPUT BUFFER
OUTPUT SYNCHRONOUS SIGNAL
INPUT SYNCHRONOUS SIGNAL
BUFFER
OUTPUT SYNCH-RONOUS SIGNAL GENERATING SECTION
Vref
DQ0
DQ1
DQ2
DQ3
DQ4
DQ5
DQ6
DQ7
DATA STROBE SIGNAL (FROM 100)
DATA STROBE INVERTED SIGNAL (FROM 100)
RDQS (TO 100)
/RDQS (TO 100)

FIG. 6

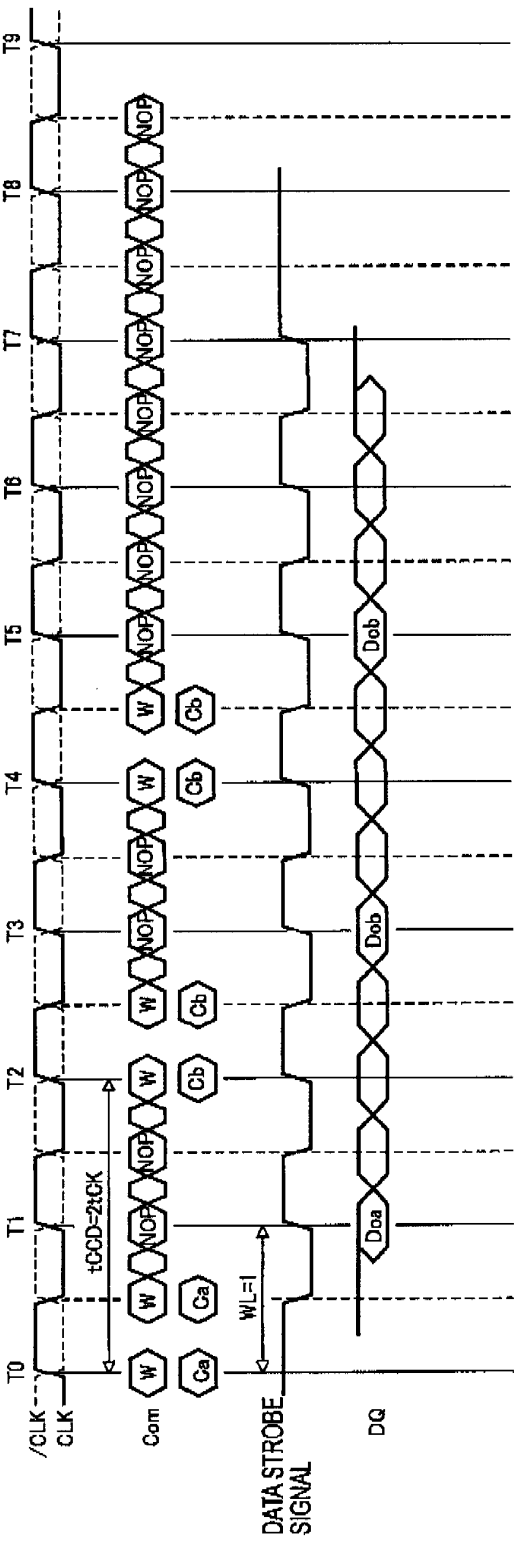

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
/CLK
CLK
Com
DATA STROBE SIGNAL
DQ
W
NOP
Ca
Cb
Doa
Dob
tCCD=2tCK
WL=1

FIG. 7

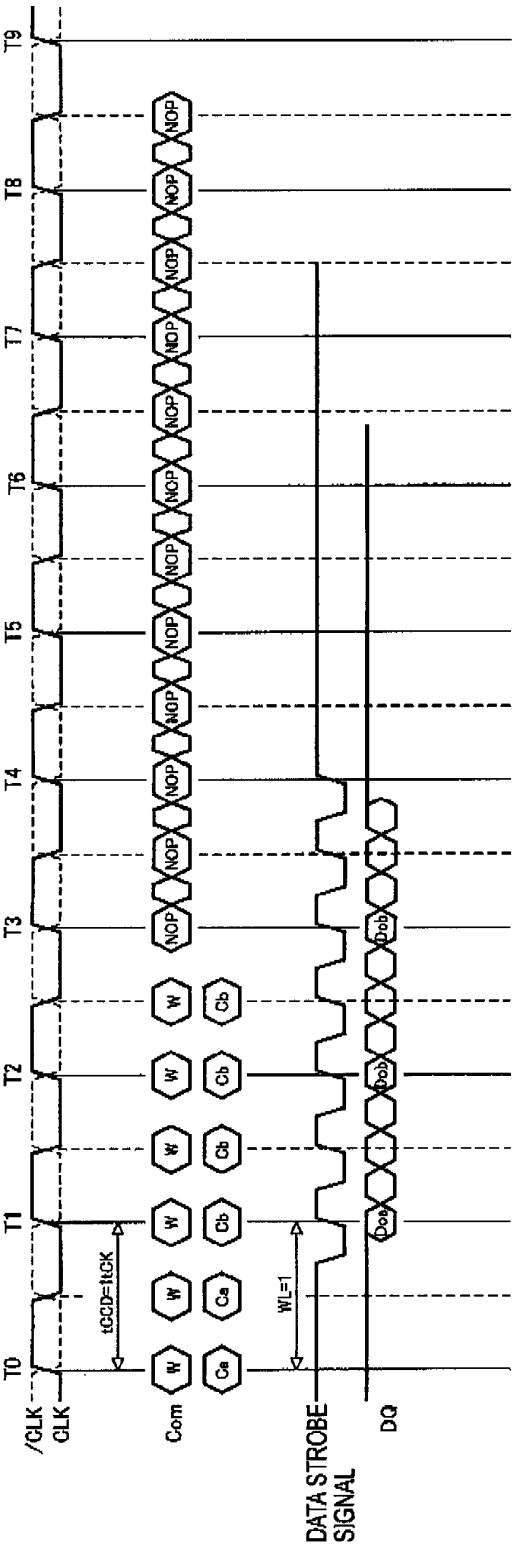

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
/CLK
CLK
Com
DATA STROBE SIGNAL
DQ
tCCD=tCK
WL=1
NOP
W
Ca
Cb
Doa
Dob

FIG. 8

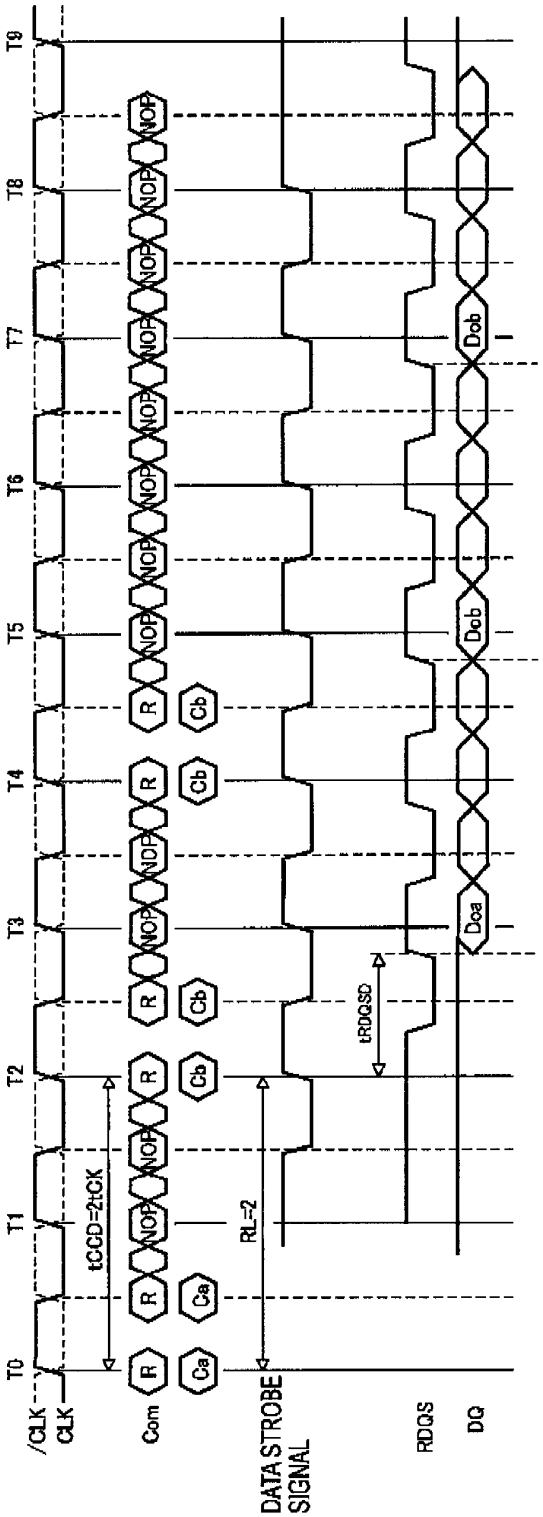

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
/CLK
CLK
Com
R
Ca
Cb
NOP
tCCD=2tCK
RL=2
DATA STROBE SIGNAL
tRDQSD
RDQS
DQ
Doa
Dob

FIG. 9

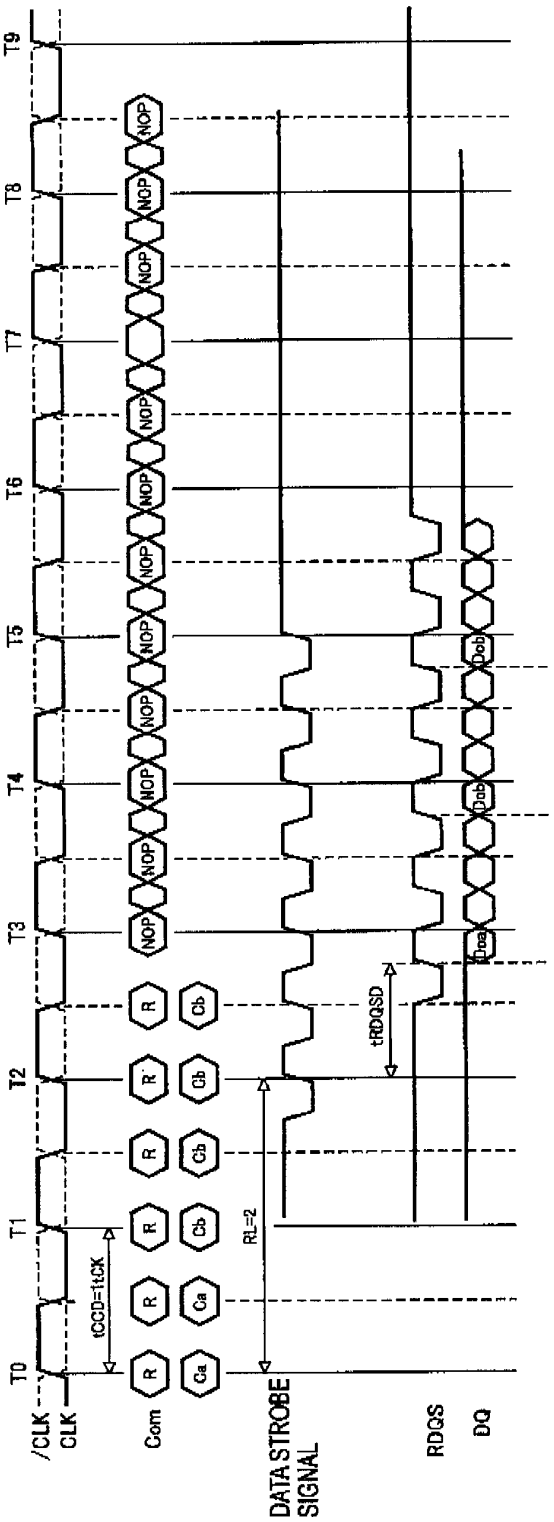

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
/CLK
CLK
Com
DATA STROBE SIGNAL
RDQS
DQ
R
Ca
Cb
NOP
tCCD=1tCK
RL=2
tRDQSD
Doa
Dob

FIG. 10

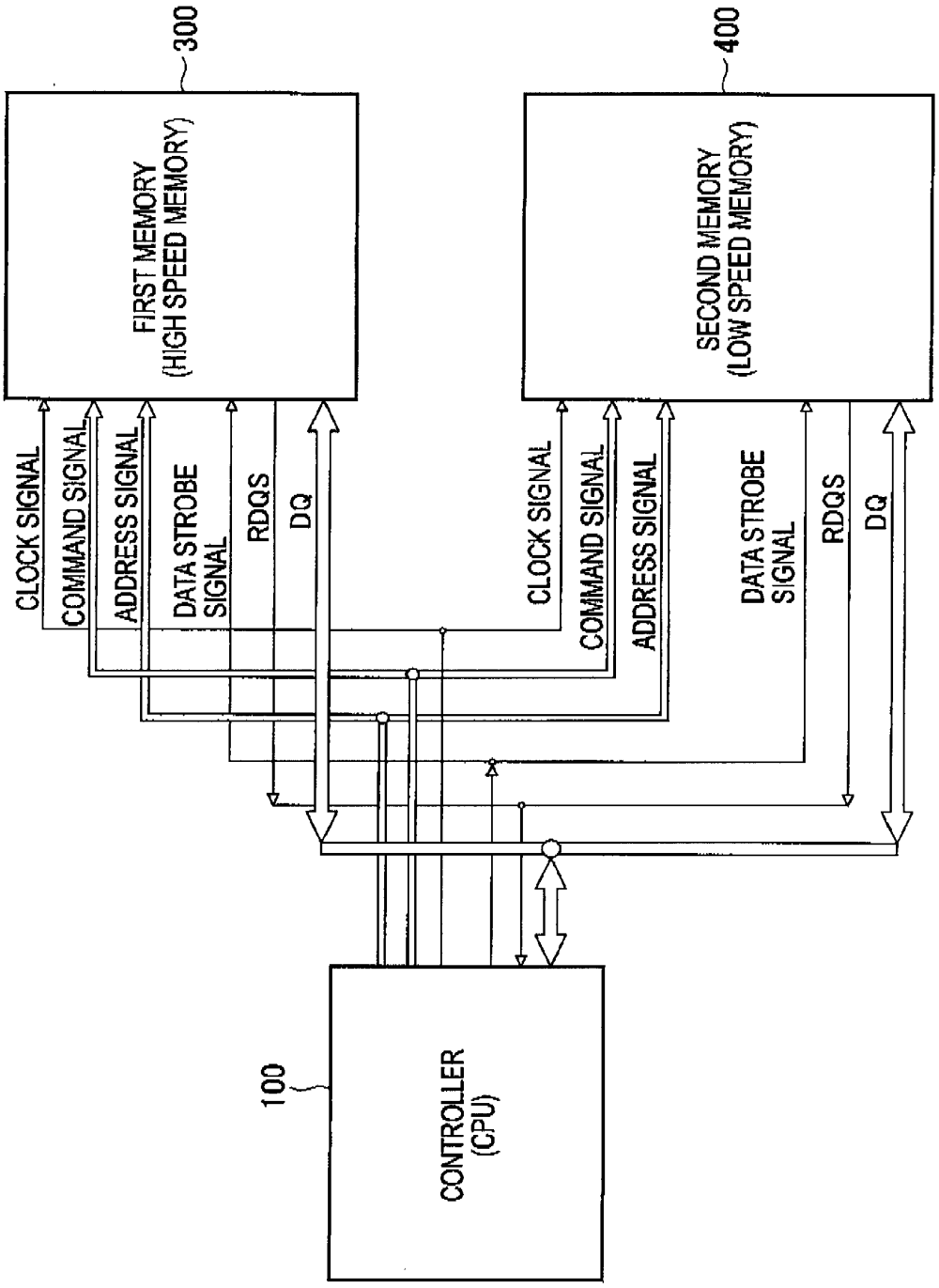

300
FIRST MEMORY
(HIGH SPEED MEMORY)
400
SECOND MEMORY
(LOW SPEED MEMORY)
CLOCK SIGNAL
COMMAND SIGNAL
ADDRESS SIGNAL
DATA STROBE SIGNAL
RDQS
DQ
CLOCK SIGNAL
COMMAND SIGNAL
ADDRESS SIGNAL
DATA STROBE SIGNAL
RDQS
DQ
100
CONTROLLER
(CPU)

FIG. 11

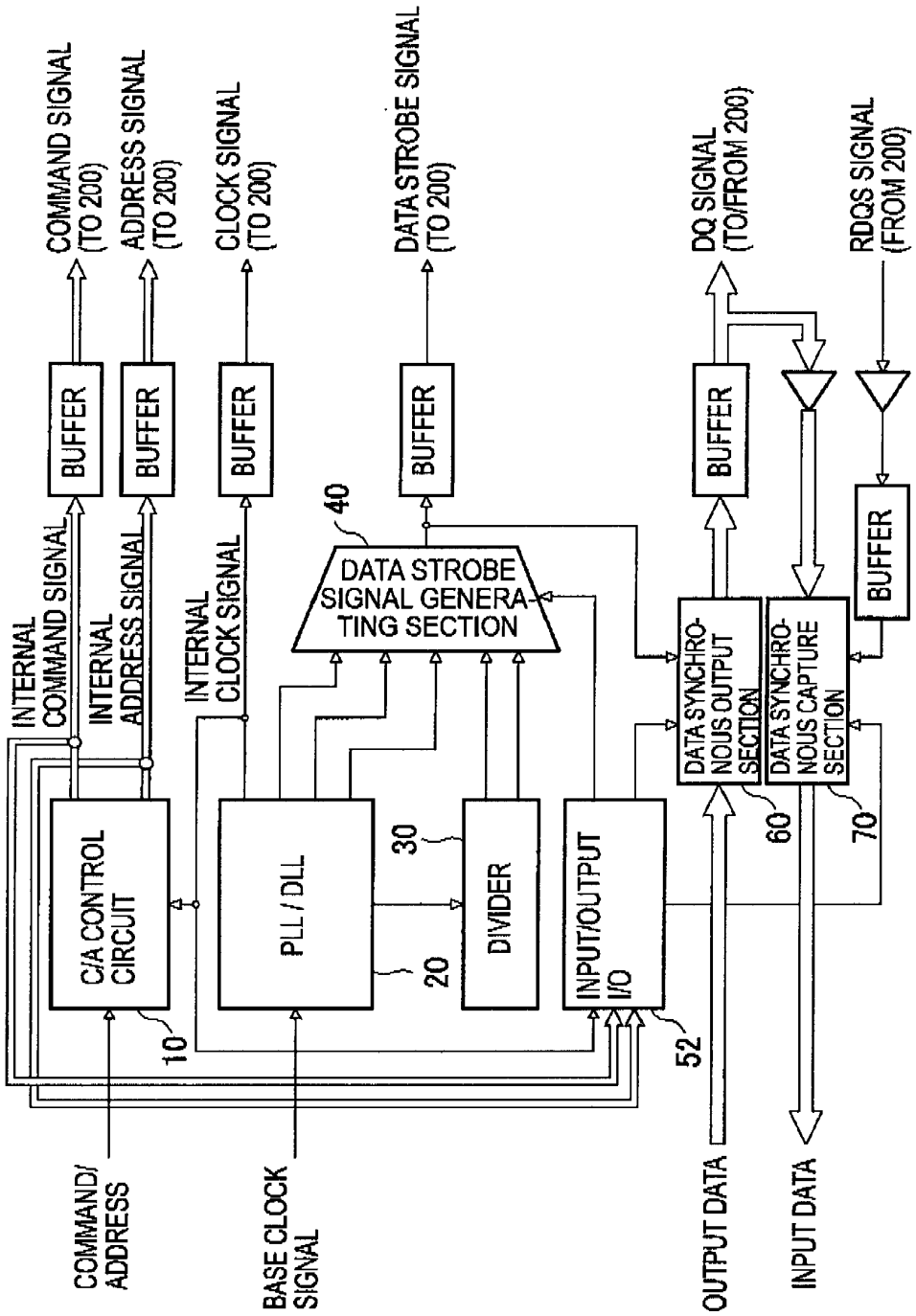

COMMAND SIGNAL (TO 200)
ADDRESS SIGNAL (TO 200)
CLOCK SIGNAL (TO 200)
DATA STROBE SIGNAL (TO 200)
DQ SIGNAL (TO/FROM 200)
RDQS SIGNAL (FROM 200)
BUFFER
INTERNAL COMMAND SIGNAL
INTERNAL ADDRESS SIGNAL
INTERNAL CLOCK SIGNAL
40
DATA STROBE SIGNAL GENERATING SECTION
C/A CONTROL CIRCUIT
PLL / DLL
30
20
DIVIDER
INPUT/OUTPUT I/O
DATA SYNCHRONOUS OUTPUT SECTION
DATA SYNCHRONOUS CAPTURE SECTION
60
70
10
52
COMMAND/ ADDRESS
BASE CLOCK SIGNAL
OUTPUT DATA
INPUT DATA

FIG. 12

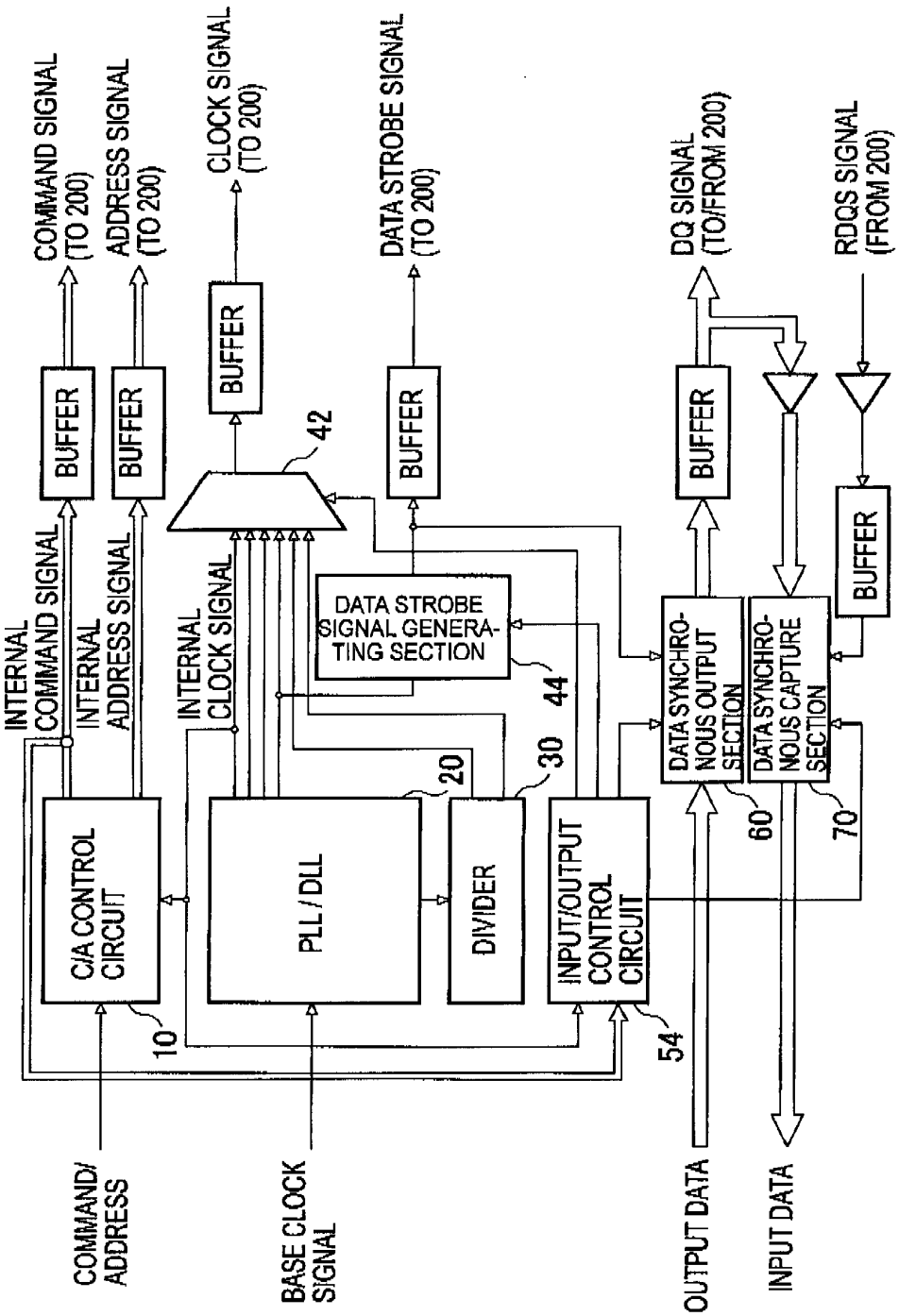

COMMAND SIGNAL (TO 200)
ADDRESS SIGNAL (TO 200)
CLOCK SIGNAL (TO 200)
DATA STROBE SIGNAL (TO 200)
DQ SIGNAL (TO/FROM 200)
RDQS SIGNAL (FROM 200)
BUFFER
INTERNAL COMMAND SIGNAL
INTERNAL ADDRESS SIGNAL
INTERNAL CLOCK SIGNAL
42
DATA STROBE SIGNAL GENERATING SECTION
44
C/A CONTROL CIRCUIT
10
PLL / DLL
20
DIVIDER
30
INPUT/OUTPUT CONTROL CIRCUIT
54
DATA SYNCHRONOUS OUTPUT SECTION
60
DATA SYNCHRONOUS CAPTURE SECTION
70
COMMAND/ ADDRESS
BASE CLOCK SIGNAL
OUTPUT DATA
INPUT DATA

FIG. 13

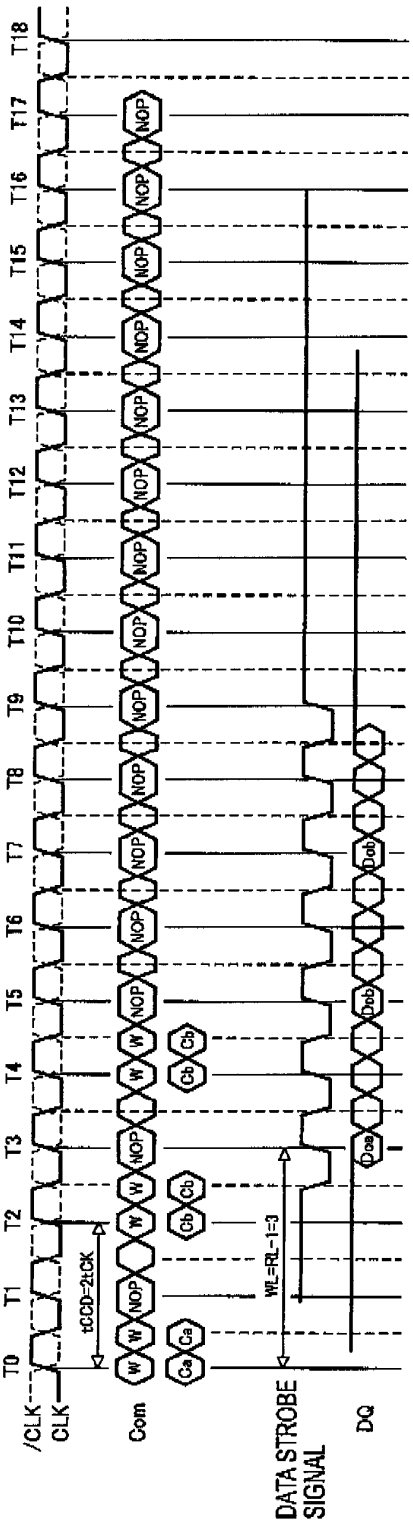

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
T15
T16
T17
T18
/CLK
CLK
Com
tCCD=2tCK
WL=RL-1=3
DATA STROBE SIGNAL
DQ
W
NOP
Ca
Cb
Qaa
Qab
Qba
Qbb

FIG. 14

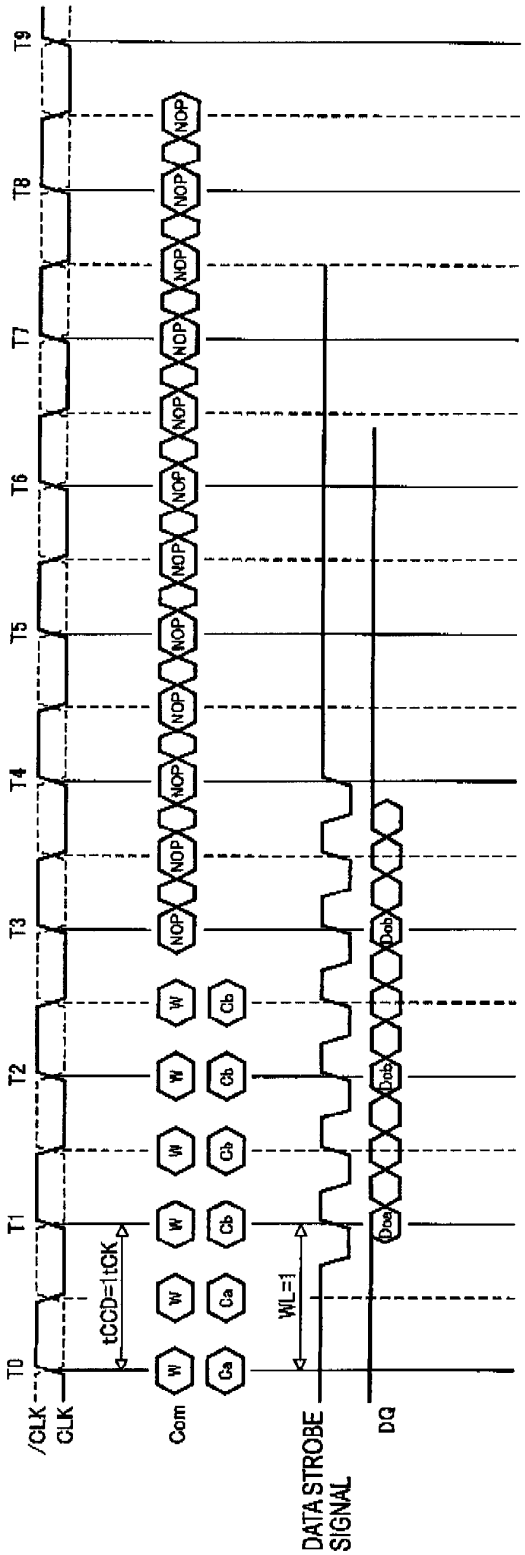

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
/CLK
CLK
Com
DATA STROBE SIGNAL
DQ
tCCD=1tCK
WL=1
NOP
W
Ca
Cb
Doa
Dob

FIG. 15

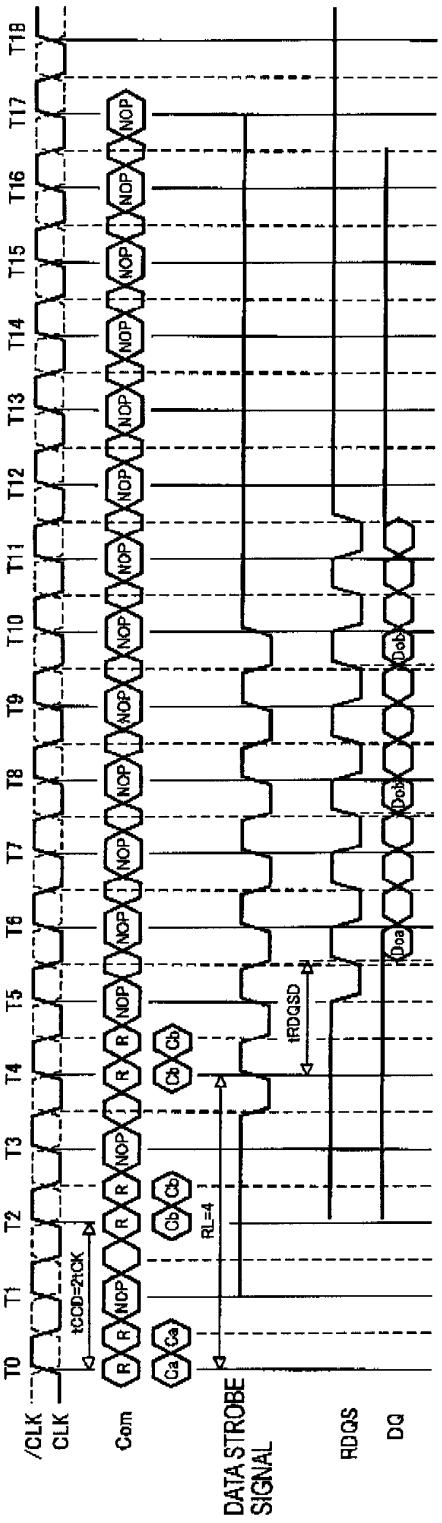
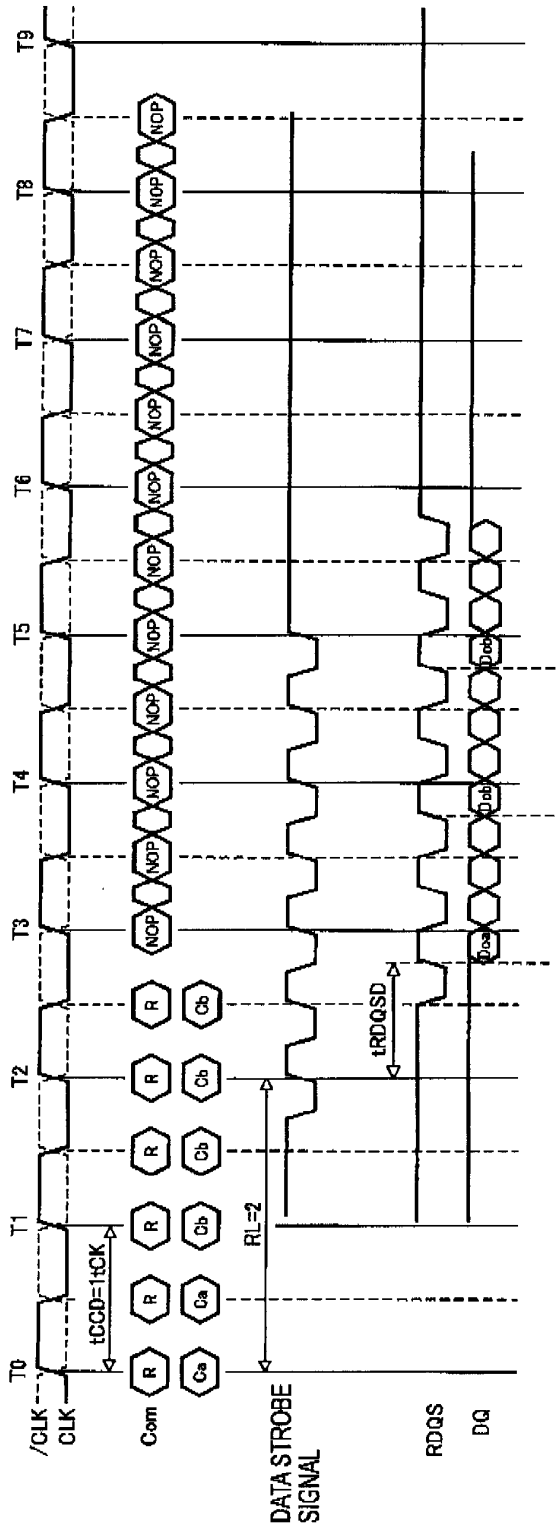

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
T15
T16
T17
T18
/CLK
CLK
Com
DATA STROBE SIGNAL
RDQS
DQ
R
NOP
Ca
Cb
tCCD=2tCK
RL=4
tRDQSD
Doa
Dob

FIG. 16


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
/CLK
CLK
Com
DATA STROBE SIGNAL
RDQS
DQ
R
Ca
Cb
NOP
tCCD=1tCK
RL=2
tRDQSD
Da0
Da1
Da2
Da3
Db0

PTO/SB/14 (02-07)
Approved for use through 02/28/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	Q102115
	Application Number	
Title of Invention	SYSTEM WITH CONTROLLER AND MEMORY	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Applicant Information:

Applicant 1

Applicant Authority ◉ Inventor ○ Legal Representative under 35 U.S.C. 117 ○ Party of Interest under 35 U.S.C. 118

Prefix	Given Name	Middle Name	Family Name	Suffix
	Atsuo		KOSHIZUKA	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Tokyo	Country Of Residence[i]	JP
Citizenship under 37 CFR 1.41(b)[i]	JP		

Mailing Address of Applicant:

Address 1			
Address 2			
City		State/Province	
Postal Code		Country[i]	

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	23373		
Email Address	Hbernstein@sughrue.com	Add Email	Remove Email
Email Address	Tjohnson@sughrue.com	Add Email	Remove Email

PTO/SB/14 (02-07)
Approved for use through 02/28/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	Q102115
	Application Number	
Title of Invention	SYSTEM WITH CONTROLLER AND MEMORY	

Application Information:

Title of the Invention	SYSTEM WITH CONTROLLER AND MEMORY		
Attorney Docket Number	Q102115	**Small Entity Status Claimed** ☐	
Application Type	Nonprovisional		
Subject Matter	Utility		
Suggested Class (if any)		**Sub Class (if any)**	
Suggested Technology Center (if any)			
Total Number of Drawing Sheets (if any)	16	**Suggested Figure for Publication (if any)**	
Publication Information:			
☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)			
☐ Request Not to Publish. I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application has not been and will not be the subject of an application filed in another country, or under a multilateral agreement, that requires publication at eighteen months after filing.			

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Enter either Customer Number or complete the Representative Name section below. If both sections are completed the Customer Number will be used for the Representative Information during processing.

Please Select One:	◉ Customer Number	○ US Patent Practitioner	○ US Representative (37 CFR 11.9)
Customer Number	23373		

Domestic Priority Information:

This section allows for the applicant to claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c). Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78(a)(2) or CFR 1.78(a)(4), and need not otherwise be made part of the specification.

Prior Application Status			Remove
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)

Additional Domestic Priority Data may be generated within this form by selecting the **Add** button.

Foreign Priority Information:

This section allows for the applicant to claim benefit of foreign priority and to identify any prior foreign application for which priority is not claimed. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(a).

PTO/SB/14 (02-07)
Approved for use through 02/28/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	Q102115
	Application Number	
Title of Invention	SYSTEM WITH CONTROLLER AND MEMORY	

Remove

Application Number	Country [i]	Parent Filing Date (YYYY-MM-DD)	Priority Claimed
2006-160204	JP	2006-06-08	(•) Yes ( ) No

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button.

Assignee Information:

Providing this information in the application data sheet does not substitute for compliance with any requirement of part 3 of Title 37 of the CFR to have an assignment recorded in the Office.

Assignee 1

If the Assignee is an Organization check here. [X]

Organization Name	ELPIDA MEMORY, INC.,		
Mailing Address Information:			
Address 1	2-1, Yaesu 2-Chome,		
Address 2			
City	Chuo-ku, Tokyo	**State/Province**	
Country [i]	JP	Postal Code	
Phone Number		Fax Number	
Email Address			

Additional Assignee Data may be generated within this form by selecting the **Add** button.

Signature:

A signature of the applicant or representative is required in accordance with 37 CFR 1.33 and 10.18. Please see 37 CFR 1.4(d) for the form of the signature.

Signature	/Howard L. Bernstein/			Date (YYYY-MM-DD)	2007-06-07
First Name	Howard L.	Last Name	Bernstein	Registration Number	25665

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q102115
Atsuo KOSHIZUKA	
Appln. No.: Not Yet Determined	
Confirmation No.: Not Yet Determined	Group Art Unit: Not Yet Determined
Filed: June 7, 2007	Examiner: Not Yet Determined

For: SYSTEM WITH CONTROLLER AND MEMORY

INFORMATION DISCLOSURE STATEMENT
UNDER 37 C.F.R. §§ 1.97 and 1.98

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the duty of disclosure under 37 C.F.R. § 1.56, Applicant hereby notifies the U.S. Patent and Trademark Office of the documents which are listed on the attached PTO/SB/08 A & B (modified) form and/or listed herein and which the Examiner may deem material to patentability of the claims of the above-identified application.

1. US Patent No. 6,789,209, issued September 7, 2004.

One copy of each of the listed documents is submitted herewith, except for the US Patent.

The submission of the listed documents is not intended as an admission that any such document constitutes prior art against the claims of the present application. Applicant does not waive any right to take any action that would be appropriate to antedate or otherwise remove any

listed document as a competent reference against the claims of the present application.

Respectfully submitted,

/Howard L. Bernstein /

Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: June 7, 2007

Substitute for Form 1449 A & B/PTO				*Complete if Known*	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	Not yet assigned
				Confirmation Number	Not yet assigned
(use as many sheets as necessary)				Filing Date	June 7, 2007
				First Named Inventor	Atsuo KOSHIZUKA
				Art Unit	Not yet assigned
				Examiner Name	Not yet assigned
Sheet	1	of	1	Attorney Docket Number	Q102115

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number	Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document
		US 6,789,209	B1	09-07-2004	Suzuki et al.
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]	Number[4]	Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Translation[6]

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	Translation[6]

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1]Applicant's unique citation designation number (optional). [2]See Kind Codes of USPTO Patent Documents at www.uspto.gov, MPEP 901.04 or follow the hyperlink from the title of the document to the intranet. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST. 3). [4]For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5]Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. [6] Applicant is to indicate here if English language Translation is attached.

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	SYSTEM WITH CONTROLLER AND MEMORY
First Named Inventor/Applicant Name:	Atsuo KOSHIZUKA
Filer:	Howard Leonard Bernstein/Kalkidan Ambachew
Attorney Docket Number:	Q102115

Filed as Large Entity

Utility Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Utility application filing	1011	1	300	300
Utility Search Fee	1111	1	500	500
Utility Examination Fee	1311	1	200	200
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1000**

Electronic Acknowledgement Receipt

EFS ID:	1851684
Application Number:	11759862
International Application Number:	
Confirmation Number:	7014
Title of Invention:	SYSTEM WITH CONTROLLER AND MEMORY
First Named Inventor/Applicant Name:	Atsuo KOSHIZUKA
Customer Number:	23373
Filer:	Howard Leonard Bernstein/Kalkidan Ambachew
Filer Authorized By:	Howard Leonard Bernstein
Attorney Docket Number:	Q102115
Receipt Date:	07-JUN-2007
Filing Date:	
Time Stamp:	19:51:13
Application Type:	Utility

Payment information:

Submitted with Payment	yes
Payment was successfully received in RAM	$1000
RAM confirmation Number	3162
Deposit Account	194880
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 and 1.17	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)	Multi Part /.zip	Pages (if appl.)
1		Q102115.pdf	1356073	yes	44

Multipart Description/PDF files in .zip description

Document Description	Start	End
Transmittal of New Application	1	2
Specification	3	15
Claims	16	18
Abstract	19	19
Oath or Declaration filed	20	21
Drawings	22	37
Application Data Sheet	38	41
Information Disclosure Statement (IDS) Filed	42	44

Warnings:

Information:

2	Fee Worksheet (PTO-06)	fee-info.pdf	8375	no	2

Warnings:

Information:

Total Files Size (in bytes):	1364448

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

6/7/07

PTO/SB/06 (12-04)
Approved for use through 7/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD
Substitute for Form PTO-875

11/759,862

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY FEE ($)		OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY FEE ($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))							300
SEARCH FEE (37 CFR 1.16(k), (i), or (m))							500
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))							200
TOTAL CLAIMS (37 CFR 1.16(i))	13 minus 20 =		X$25=		OR	X$50	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	3 minus 3 =		X$100=			X$200=	
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR						
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))			N/A			N/A	
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1000

APPLICATION AS AMENDED – PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDI-TIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDI-TIONAL FEE ($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	X =		OR	X =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X =		OR	X =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					N/A		OR	N/A	
						TOTAL ADD'T FEE		OR	TOTAL ADD'T FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDI-TIONAL FEE ($)	OR	RATE ($)	ADDI-TIONAL FEE ($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	X =		OR	X =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X =		OR	X =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					N/A		OR	N/A	
						TOTAL ADD'T FEE		OR	TOTAL ADD'T FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comment on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.